ESCUELA POLITECNICA NACIONAL

FACULTAD DE INGENIERIA ELECTRICA

TESIS DE GRADO

"SINCRONIZADOR DE UN TOCACINTAS Y DOS PROYECTORES DE DIAPOSITIVAS"

TESIS PREVIA A LA OBTENCION DEL TITULO DE INGENIERO EN LA ESPECIALIZACION DE ELECTRONICA Y TELECOMUNICACION.

WALTER EDUARDO SALAZAR AGUIRRE

QUITO - 1983

FACULTAD DE INGENIERIA ELECTRICA
BIBLIOTECA
002355
E.P.N.

Certifico que el presente trabajo ha sido realizado en su totalidad por el señor Walter Salazar Aguirre.

ING. ALFONSO ESPINOSA RAMON

Director de Tesis

DEDICATORIA

A MIS PADRES

AGRADECIMIENTO

Agradezco a todas las personas que de una u otra forma colaboraron en la realización del presente trabajo.

EL AUTOR

INDICE

Pág.

SUMARIO

CAPITULO I

1. INTRODUCCION

1.1. Introducción General ---------- 1

1.2. Teoría de Funcionamiento ---------- 2

1.2.1. Descripción General ---------- 2

1.2.2. Señales de Sincronización ------- 3

1.3. Características Generales ---------- 7

1.3.1. Características Técnicas del Tocacintas ---------- 8

1.3.2. Características de las Cintas de Grabación ---------- 9

1.3.3. Características de los Proyectores de Diapositivas ---------- 9

1.3.4. Características Técnicas del Sincronizador ---------- 9

1.4. Instrucciones de Operación ---------- 11

1.4.1. Controles ---------- 11

1.4.2. Instalación ---------- 16

CAPITULO II

Pág.

2. DIAGRAMA DE BLOQUES.

2.1. Diagrama de Bloques General ---------- 20

2.2. Diagrama de Bloques del Codificador Mezclador ---------- 22

2.3. Diagrama de Bloques del Detector-Decodificador-Control ---------- 26

CAPITULO III

3. DISEÑO DEL CODIFICADOR MEZCLADOR

3.1. Sección Digital ---------- 32

3.1.1. Diseño de Control Central ------- 32

3.1.2. Diseño del Selector de Códigos -- 33

3.1.3. Diseño del Sincronismo Transformador Paralelo - Serie ---------- 36

3.1.4. Diseño del Modulador Filtro ----- 40

3.2. Sección Analógica ---------- 48

3.2.1. Diseño de los Pre-amplificadores- 48

3.2.2. Diseño del Mezclador ---------- 57

3.2.3. Diseño del Amplificador Sesing -- 62

CAPITULO IV

4. DISEÑO DEL DETECTOR-DECODIFICADOR-CONTROL

4.1. Sección Analógica ---------- 65

Pág.

4.1.1. Diseño del Amplificador Interfase 65

4.1.2. Diseño del Filtro Pasa-Banda----- 75

4.1.3. Diseño del Amplificador de Nivel- 88

4.1.4. Diseño del Limitador de Amplitud- 91

4.1.5. Diseño del Detector Digital ----- 92

4.2. Sección Digital ---------- 107

4.2.1. Diseño del Circuito Muestreador - 107

4.2.2. Diseño del Circuito Control ----- 109

4.2.3. Diseño del Circuito Decodificador 114

4.2.4. Diseño del Interfase de Salida -- 117

CAPITULO V

5. DISEÑO DEL RELOJ CENTRAL

5.1. Diseño del Reloj Central ---------- 119

5.1.1. Oscilador de Cristal ---------- 119

5.1.2. Divisores de Frecuencia --------- 122

CAPITULO VI

6. DISEÑO DE LAS FUENTES DE VOLTAJE

6.1. Diseño de la Fuente de Voltaje --------- 124

6.1.1. Diseño de la Fuente +5 Volt. D.C. 128

6.1.2. Diseño de la Fuente de +15 Volt. D.C. ---------- 131

Pág.

CAPITULO VII

7. RESULTADOS Y CONCLUSIONES

7.1. Resultados Experimentales ---------- 134

7.2. Recomendaciones para su Construcción --- 136

7.3. Comentario y Conclusiones ---------- 143

Referencias ---------- 145

Bibliografía ---------- 146

ANEXOS

ANEXO 1. Vista Externa e Interna del Sincronizador

ANEXO 2. Diagrama General del Sincronizador

ANEXO 3. Hojas de Datos Técnicos.

SUMARIO

El presente trabajo consiste en el diseño y construcción de un dispositivo electrónico que permite sincronizar las proyecciones de las imágenes de dos proyectores de diapositivas (slides) con las emisiones sonoras provenientes de un tocacintas (cassette).

Este dispositivo, SINCRONIZADOR, utiliza plenamente la capacidad de estereofonía y fidelidad del tocacintas, ésto es, las señales de sincronización son grabadas simultáneamente con los sonidos y no sobre una pista especial adecuada sólo a este fin. El tocacintas, el Sincronizador y los proyectores forman un Sistema Audio- Visual Automático.

Las señales de sincronización tienen un tiempo de duración de 480 ms., están constituídas por un tono de 10 khz de frecuencia y constan de dos partes codificadas: una constante y la otra variable. La parte constante común para todas las señales, determina la precisión y seguridad del inicio de sincronización. La parte variable, determina la manera de proyección de las imágenes.

El tocacintas utilizable es tipo estereofónico. Es indispensable que los proyectores tengan sus controles de proyección por medio de contactos mecánicos.

Capitulo I

INTRODUCCION

1.1. INTRODUCCION GENERAL:

En el transcurso de los últimos años y con el avance tecnológico en el ramo, los equipos audio-visuales, han adquirido gran importancia de uso.

Los Proyectores de diapositivas de accionamiento-manual se los utiliza cada vez más en entrenamiento de - personal, en los establecimientos educacionales para la - enseñanza, en la escenificación de las obras de teatro, - etc. Tomando en consideración la variedad de usos y cumpliendo un objetivo básico de la preparación de Ingenie - ría, cual es el desarrollo de la iniciativa enfocada hacia la solución de problemas concretos, se diseñó y construyó este dispositivo SINCRONIZADOR, el cuál, controlado por las señales grabadas en un tocacintas, acciona automá ticamente a dos Proyectores de Diapositivas, obteniéndose así la sincronización de imágenes y sonidos.

Cabe señalar que en la actualidad en el mercado,- existen aparatos similares en función pero no de las características de este Sincronizador.

No hay que perder de vista además, las limitaciones en cuanto a existencia de componentes que no permitieron desarrollar un circuito que en la práctica y desde el punto de vista de mantenimiento hubiera sido el más adecuado.

1.2. TEORIA DE FUNCIONAMIENTO:

1.2.1. DESCRIPCION GENERAL.-

El Sincronizador básicamente está constituído por dos etapas bien definidas, tanto en funcionamiento como en estructura.

La una etapa del Sincronizador genera en forma análoga las señales de sincronización (tono de 10 khz codificado) y mezcla estas señales con las señales de audio provenientes de fuentes auxiliares externas (voz, sonidos musicales, etc.), de esta forma se hace un solo "pa

quete" de señales de audio, el mismo que es grabado por el tocacintas, obteniéndose el elemento de control del - Sistema Audio-Visual.

La otra etapa del Sincronizador, recibe desde el tocacintas el "paquete" de señales de audio, capta la - presencia o no presencia de la frecuencia de 10 khz, obteniéndose así, una serie de pulsos digitales dentro de los cuales están las señales de sincronización. Después, esta etapa recupera las señales de sincronización, las decodifica y dependiendo de cuál señal se trata, acciona - convenientemente a los Proyectores.

1.2.2. SEÑALES DE SINCRONIZACION.-

Para cumplir con la función de sincronizar, las-señales de sincronización son de duración limitada 480 - ms. Están formadas por dos partes: una constante común para todas ellas y la otra parte variable especial para cada señal, ver fig. 1.2.1. Además,las señales de sincronización están constituídas por un tono de 10 khz y - son las que determina el adelanto o el retraso de las - proyecciones de las dispositivas.

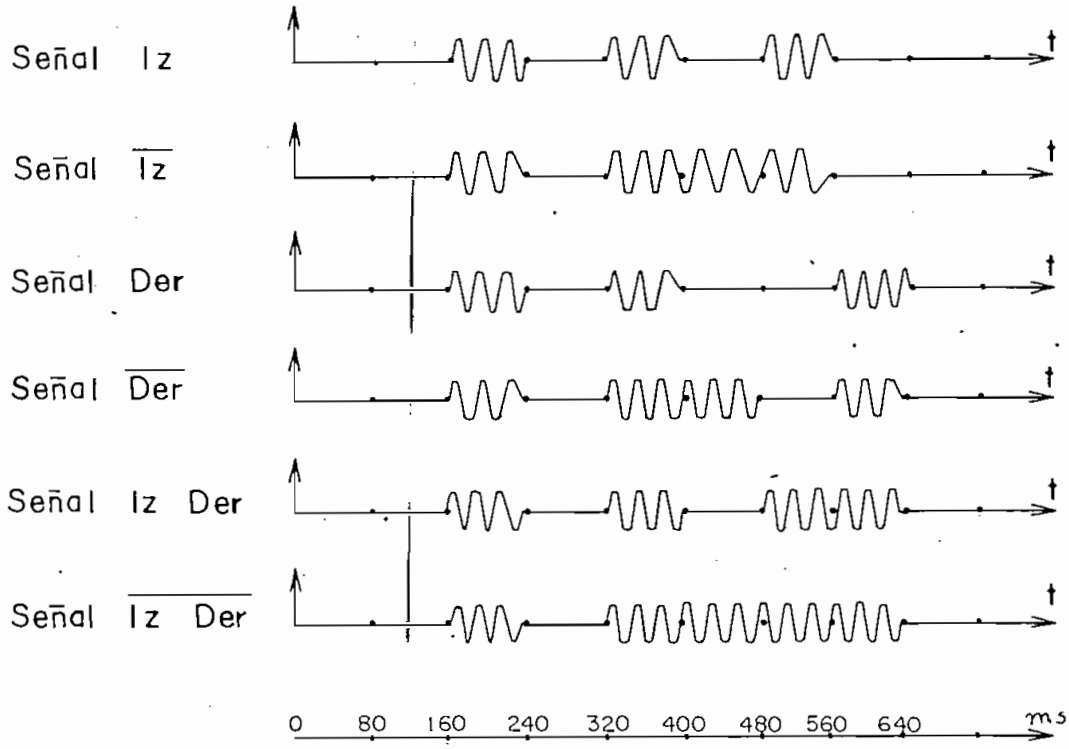


FIG. 1.2.1. Señales analógicas de sincronización

La característica de los Proyectores de tener dos controles para sus proyecciones, adelanto y retraso de - proyección de uno o ambos Proyectores a la vez, nos da la posibilidad de usar como señales, a seis de sus ocho combinaciones posibles, ver tabla 1.2.1.

Los 10 khz de frecuencia del tono se lo escoge en base a dos criterios principales: debe estar comprendido dentro de la respuesta de frecuencia del tocacintas y además, por facilidad de recuperación, ya que durante el tiempo de su aparición se deben producir muchas oscilaciones.

Cada señal de sincronización duran 480 ms. divididos en seis tramos de 80 ms. cada uno, ver fig. 1.2.1., este tiempo se lo escoge con el propósito de evitar en lo posible que la señal sea escuchada en el momento de la emisión de los sonidos de audio desde el tocacintas. Se lo escoge además, por cuanto experimentalmente se logró con este tiempo recuperar con mayor facilidad la señal de sincronización.

SEÑAL	SIGNIFICADO	CODIGO					
		CONSTANTE			VARIABLE		
Iz	Adelanto de proyección del Proyector Izquierdo	1	0	1	0	1	0
$\overline{Iz}$	Retraso de proyección del Proyector Izquierdo	1	0	1	1	1	0
Der	Adelanto de proyección del Proyector Derecho	1	0	1	0	0	1
$\overline{Der}$	Retraso de proyección del Proyector Derecho	1	0	1	1	0	1
Iz Der	Adelanto de proyección de ambos Proyectores	1	0	1	0	1	1
$\overline{Iz\ Der}$	Retraso de proyección de ambos Proyectores	1	0	1	1	1	1
					R	I	D

1 = Presencia del tono de 10 khz.

0 = Ausencia del tono de 10 khz.

TABLA 1.2.1. Interpretación de las señales de sincronización

La parte constante de la señal de sincronización, ver tabla 1.2.1., da la pauta para el inicio de la sincronización; está formada por la secuencia 101 y sirve para que la sincronización se realice sólo cuando aparezca esta secuencia.

La parte variable de la señal, ver tabla 1.2.1., está formada por la secuencia R I D; determina las codificaciones adecuadas para obtener las seis variaciones de la señal de sincronización y se la escogió de esa manera, para facilitar la decodificación. Si el bit R es 0 (1) hay adelanto (retraso) en proyección. Si los bits I y D son 10 (01) hay control sobre el Proyector Izquierdo (Derecho) y si los bits I y D son 11, hay accionamiento sobre los dos Proyectores simultáneamente.

1.3. CARACTERISTICAS TECNICAS:

Las características técnicas del Sincronizador dependen esencialmente de las características del tocacintas y de los Proyectores de diapositivas.

Los datos que se citan se los ha tomado de los da

tos técnicos de los Tocacintas y Proyectores más utilizados en el mercado.

1.3.1. CARACTERISTICAS TECNICAS DEL TOCACINTAS.-

- Estereofónico: Canal Izquierdo L
  Canal Derecho R
- Alta Fidelidad:
- Respuesta de frecuencia: 20 Hz ..... 20 Khz.
- Relación señal ruido: S/N $\geqq$ 54 db.

-Voltajes de salidas:

- Canal Izquierdo: L = 400 mVRMS
- Canal Derecho: R = 400 mVRMS

- Voltajes de entradas:
- Canal Izquierdo: L = 400 mVRMS
- Canal Derecho: R = 400 mVRMS

1.3.2. CARACTERISTICAS DE LAS CINTAS DE GRABACION.-

- Cassette normal:

  Respuesta de frecuencia: 20 Hz ..... 12 Khz.

- Cinta de Carrete abierto:

  Respuesta de frecuencia: 30 Kz ..... 20 Khz.

1.3.3. CARACTERISTICAS DE LOS PROYECTORES DE DISPOSITIVAS

Los Proyectores pueden ser de cualquier tipo, marca, etc., con la particularidad de que su accionamiento sea hecho por medio de dos contactos mecánicos (pulsadores): el uno para adelanto y el otro para retraso de las proyecciones de las dispositivas.

1.3.4. CARACTERISTICAS TECNICAS DEL SINCRONIZADOR.-

La primera etapa del Sincronizador tiene tres entradas para cada Canal, una para micrófono y las otras dos para fuentes de audio auxiliares externas. Como salidas se conserva los dos Canales Izquierdo y Derecho.

La segunda etapa del Sincronizador tiene una sola entrada directa de audio y como salidas tiene cuatro contactos mecánicos (relés).

- NIVELES DE ENTRADAS:
- Micrófonos: ..... 2 mVRMS.
- Entradas auxiliares directas ..... 400 mVRMS.

- NIVELES DE SALIDAS:
- Salidas: ..... 400 mVRMS.

- IMPEDANCIAS:
- Entradas de los Micrófonos 200Ω
- Entradas auxiliares directas ..... 10 KΩ
- Entrada para la sincronización .... 1.6 MΩ

-CARACTERISTICAS DE LAS SECCIONES DE AUDIO:
- Alta Fidelidad:

  Respuesta de Frecuencia:20 Hz..... 20 Khz.

  Relación Señal Ruido: S/N $\geq$ 54 db.

- Estereofonía: Canal Izquierdo IZQ.

  Canal Derecho DER.

1.4. INSTRUCCIONES DE OPERACION:

1.4.1. CONTROLES.-

La fig. 1.4.1. nos enseña los controles frontales del Sincronizador.

- Controles Frontales:

  1. Perilla ENCENDIDO: Para energizar el aparato.
  2. Switch SINCRONIZACION/GRABACION:
     - SINCRONIZACION: Habilita la etapa de sincronización
     - GRABACION: Habilita la etapa de mezcla y generación de las señales de sincronización.
  3. Switch IZQ./NO/IZQ.-DER.
     - IZQ: La señal de sincronización se mezcla en el Canal Izquierdo.
     - NO: No hay mezcla de la señal de sincronización.
     - IZQ.-DER : La señal de sincronización se mezcla en ambos Canales.

4. Pulsadores:

- ADELANTO IZQ: Para el adelanto de proyección del Proyector Izquierdo.

- RETRASO IZQ: Para el retraso de proyección del Proyector Izquierdo.

- ADELANTO IZQ.-DER: Para el adelanto de proyección de los dos Proyectores.

- RETRASO IZQ - DER: Para el retraso de proyección de los dos Proyectores.

- ADELANTO DER: Para el adelanto de proyección del Proyector Derecho.

- RETRASO DER: Para el retraso de proyección del Proyector Derecho.

5. Perillas movibles: Controles de volumen de sus respectivas entradas.

6. Acoplador Entrada IZQ: Entrada auxiliar directa para - el Canal Izquierdo.

7. Acoplador Entrada DER: Entrada auxiliar directa para -

el Canal Derecho.

8. Acoplador MIC-IZQ: Entrada de micrófono para el Canal Izquierdo.

9. Acoplador MIC-DER: Entrada de micrófono para el Canal Derecho.

10. Acoplador Salida IZQ: Salida del Canal Izquierdo.

11. Acoplador Salida DER: Salida del Canal Derecho.

12. Acoplador ENTRADA DE SINCRONIZACION: Entrada directa para la sincronización.

La fig. 1.4.2. nos enseña los controles posteriores del Sincronizador.

- Controles Posteriores:

13. Toma de voltaje de 110 Volt.

14. Conector: Salidas hacia los Proyectores.

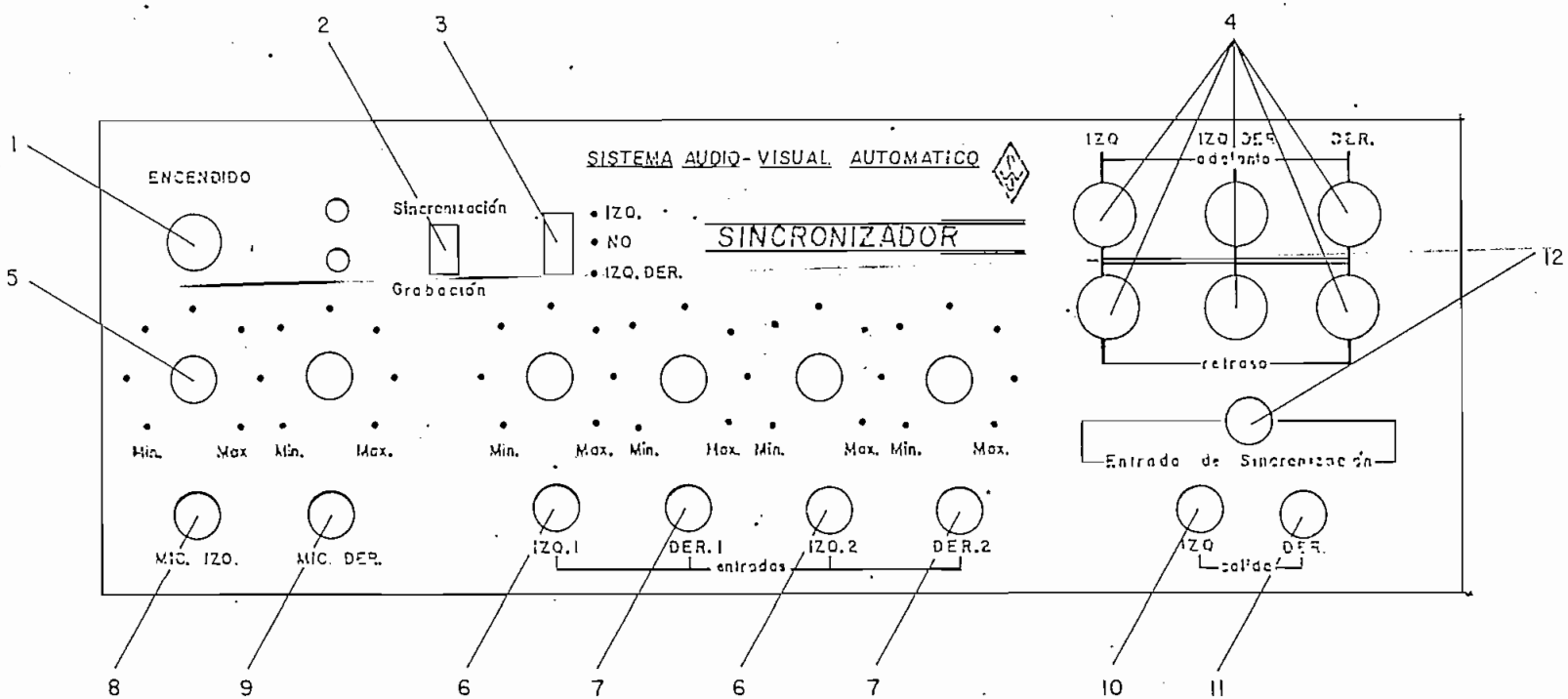


FIG. 1.4.1. Controles Frontales del Sincronizador

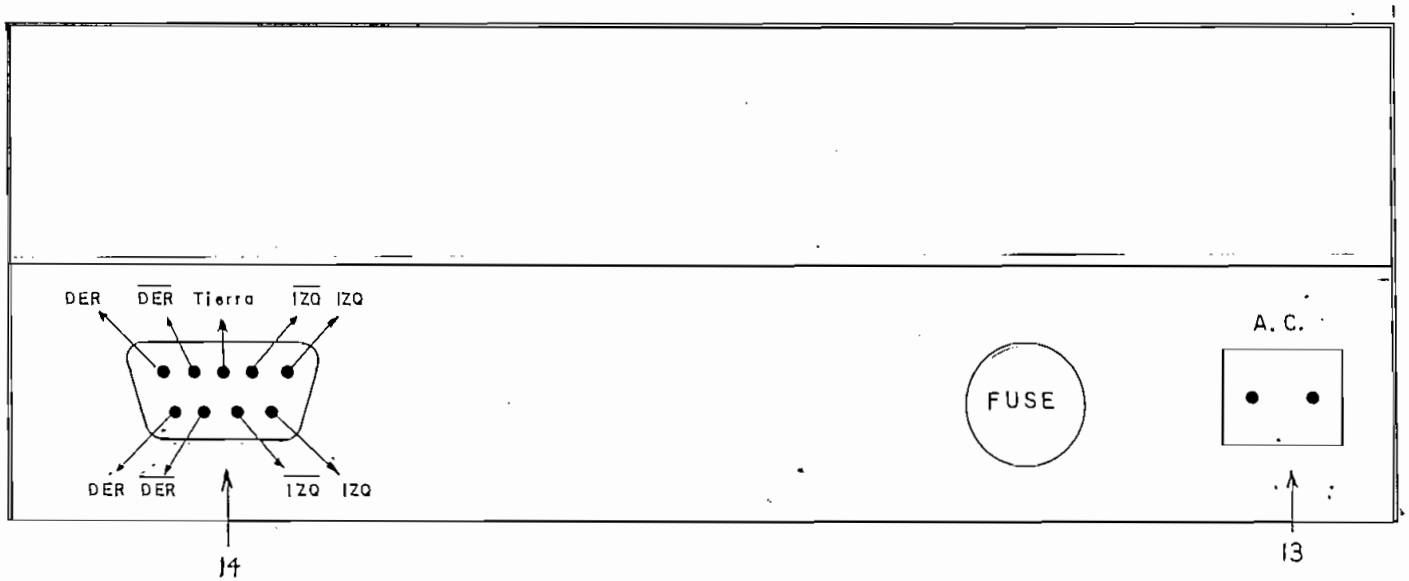


FIG. 1.4.2. Controles Posteriores del Sincronizador

1.4.2. INSTALACION.-

Las figs. 1.4.2.1 y 1.4.2.b, indican respectivamente las conexiones externas necesarias del Sincronizador, para obtener la grabación de las señales de sincronización y para obtener la sincronización de imágenes y sonidos.

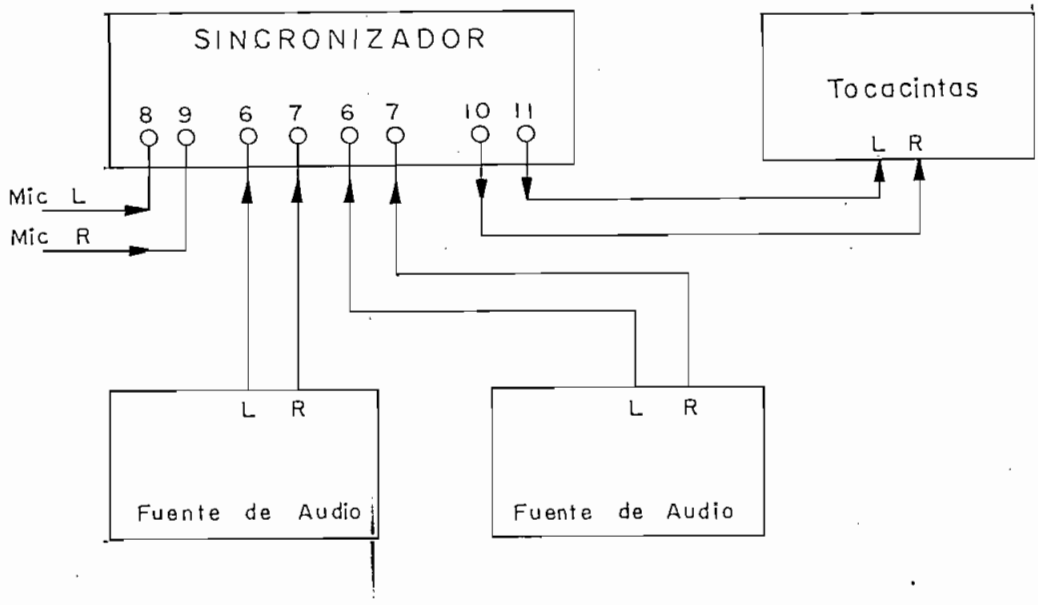


FIG. 1.4.2.a Conexiones para la grabación de las señales de sincronización.

Grabación de las señales de sincronización:

1. Conectar convenientemente los micrófonos y cables auxiliares de acuerdo a la fig. 1.4.2.a.

2. Seleccionar adecuadamente los niveles de mezcla.

3. Seleccionar el switch GRABACION.

4. De acuerdo a la necesidad de grabar las señales de sincronización, ya sea en un solo canal (Izquierdo) o en ambos canales, seleccionar el switch en IZQ. o en IZQ. DER. respectivamente.

5. Iniciar el proceso de mezcla y grabación (Fuentes de audio).

6. Accionar los pulsadores de acuerdo a las necesidades para adelanto y retroceso de proyección de los Proyectores.

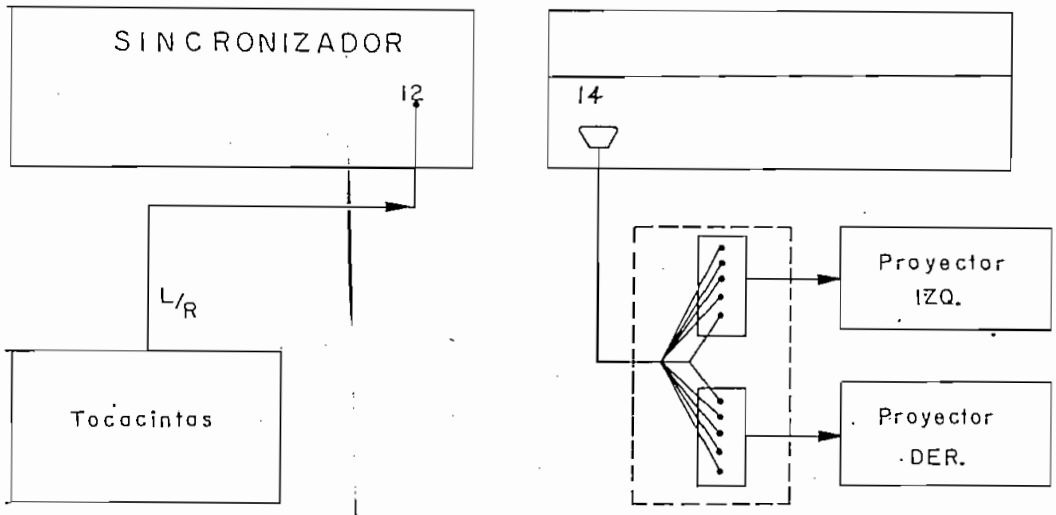


FIG. 1.4.2.b Conexiones para obtener la sincronización.

Sincronización:

1. Conectar cualquier salida L o R del Tocacintas a la entrada de sincronización del Sincronizador.

2. Conectar los terminales del conector especial, con los controles mecánicos (pulsadores) de adelanto y retraso de los Proyectores.

3. Seleccionar el switch SINCRONIZACION.

4. Poner en funcionamiento el Tocacintas y dejar continuar el proceso de sincronización.

Capitulo 2

DIAGRAMA DE BLOQUES

2.1. DIAGRAMA DE BLOQUES GENERAL:

El Sincronizador tiene dos etapas bien definidas: el Codificador-Mezclador y el Detector-Decodificador-Control, ver fig. 2.1.1.

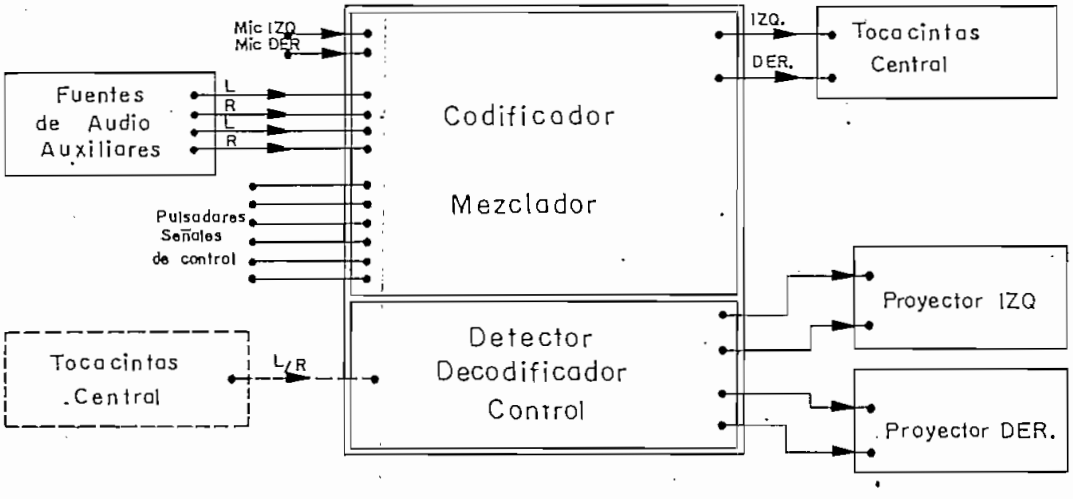


FIG. 2.1.1. Diagrama de Bloques General del Sistema Audio-Visual Automático

Tanto el codificador-Mezclador como el Detector - Decodificador-Control, poseen secciones analógicas y digitales, ver fig. 2.1.2.

De la fig. 2.1.2., dependiendo, de cuál señal de control se ha accionado (pulsadores) la sección digital del Codificador-Mezclador genera una señal de pulsos codificados de duración limitada, luego, en la sección analógica se la convierte en la señal de sincronización y se la mezcla con las demás señales de audio auxiliares externas. La señal de audio así obtenida se graba en el Tocacintas Central.

El control de la proyección automática de las diapositivas lo realiza el Detector-Decodificador-Control, - el cuál, toma la señal de audio del Tocacintas, capta las señales de sincronización, restituye la señal de pulsos - codificada y dependiendo de ésto y por medio del control, acciona el o los Proyectores.

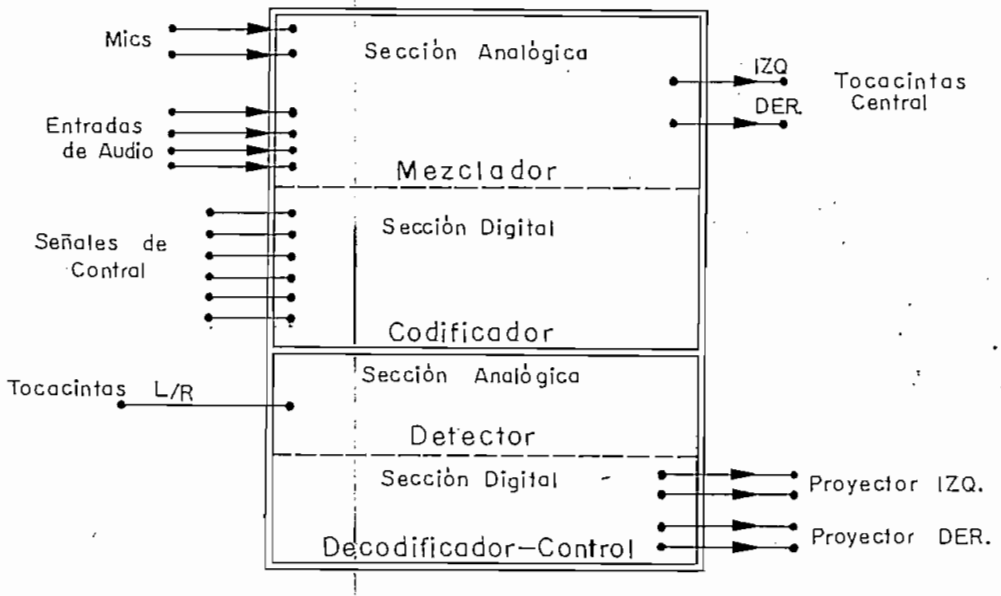


FIG. 2.1.2. Diagrama de Bloques del Sincronizador

2.2. DIAGRAMA DE BLOQUES DE CODIFICADOR-MEZCLADOR:

En base a los requerimientos de funcionamientos del Codificador-Mezclador, se estructuró su diagrama de bloques, ver fig. 2.2.1.

2.2.1. SECCION DIGITAL:

2.2.1.a. CONTROL GENERAL.-

Es un interfase entre la parte mecánica y la parte digital. Al accionar cualquier pulsador, el crontrol central produce dos señales de transición: una de 0 a 1 que corresponde al pulsador que está en uso y la otra - de 1 a 0 común para todos los pulsadores que indica el inicio del proceso.

2.2.1.b. SELECTOR DE CODIGOS.-

Dependiendo de cuál de sus entradas está en 1 - lóg (una sola), nos da a su salida tres bits codifi - cados paralelos R,I,D. Si la entrada es 0 lóg. su salida permanece en 0 lóg.

2.2.1.c. SINCRONISMO TRANSFORMADOR PARALELO-SERIE.-

Sincroniza la señal de inicio del proceso con - una señal externa de reloj. Además,transforma a serie los datos paralelos de las señales de control.

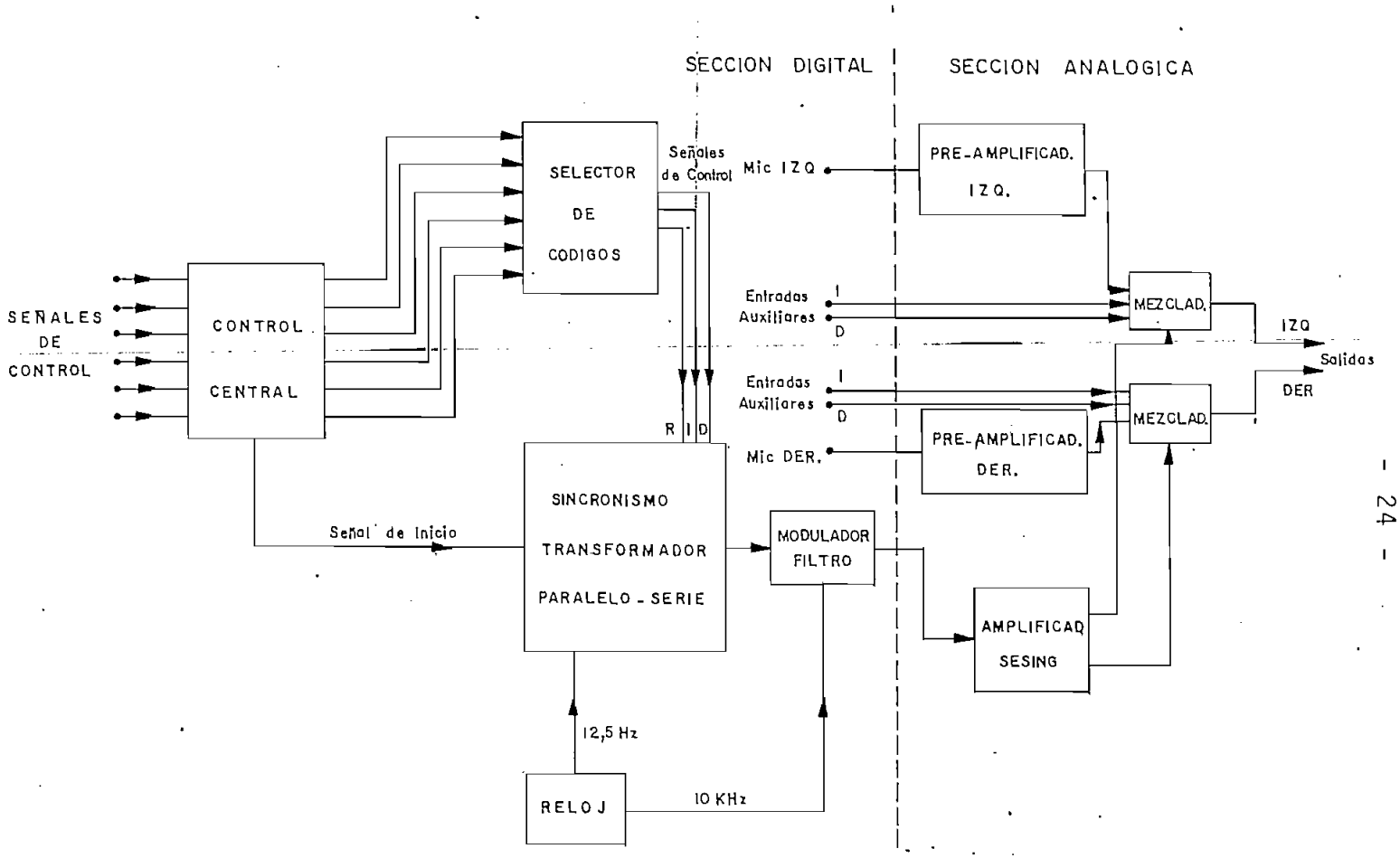


FIG. 2.2.1. Diagrama de Bloques del Codificador-Mezclador

2.2.1.d. MODULADOR FILTRO.-

Es un interfase. Combina (and) las señales - seriales de control con la señal de reloj de 10 Khz, luego, a la señal así obtenida la filtra, obteniéndose las señales de sincronización.

2.2.1.e. RELOJ CENTRAL.-

Genera las señales digitales de 10 Khz, 250 Hz y 12,5 Hz necesarias para el funcionamiento de las distintas secciones digitales.

2.2.2. SECCION ANALOGICA.-

2.2.2.a. PRE-AMPLIFICADORES IZQ. Y DER.-

Amplifican las señales provenientes de los mi -

FACULTAD DE INGENIERIA ELECTRICA
BIBLIOT. C.
002355

crófonos, a un nivel adecuado para la mezcla.

2.2.2.b. MEZCLADORES IZQ. Y DER.-

Mezclan las señales auxiliares externas de audio (voz, sonidos musicales, etc.) con las señales de sincrinización, obteniendo las señales de audio que son grabadas en el Tocacintas Central.

2.2.c. AMPLIFICADOR SESING.-

Amplifica la señal de sincronización a un nivel adecuado para la mezcla.

2.3. DIAGRAMA DE BLOQUES DEL DETECTOR-DECODIFICADOR-CONTROL:

La fig. 2.3.1, nos indica el diagrama de bloques

2.3.1. SECCION ANALOGICA.-

2.3.1.a. AMPLIFICADOR INTERFASE.-

Sirve de interfase, tiene una alta impedancia de entrada.

2.3.1.b. FILTRO PASA-BANDA.-

Atenúa, las señales no iguales a 10 Khz, de tal manera de tener en lo posible, sólo las señales de sincronización.

2.3.1.c. AMPLIFICADOR DE NIVEL.-

Amplifica las señales filtradas, dando el nivel requerido a la entrada del Detector Digital.

2.3.1.d. LIMITADOR DE AMPLITUD DE LA SEÑAL.-

Recorta los picos altos y bajos de la señal filtrada y amplificada; asegurando un nivel límite de entrada al Detector Digital.

2.3.1.e. DETECTOR DIGITAL DE 10 KHZ.-

Con un nivel adecuado de las señales mezcladas de audio a su entrada, detecta en tiempo de duración con un 1 lóg. o la presencia de la frecuencia de 10 Khz, obteniéndose a su salida una señal digital serial.

2.3.2. SECCION DIGITAL.-

2.3.2.a. CIRCUITO MUESTREADOR.-

El circuito toma la señal digital serial del Detector. En la primera transición 0 a 1 que encuentra analiza su duración, si el 1 lóg. dura 60 ms, entonces envía una señal de habilitación para la siguiente etapa y permanece pasivo sin importar cuántas transiciones 0 a 1 más se produzcan a su entrada. Si el 1 lóg. no dura los 60 -

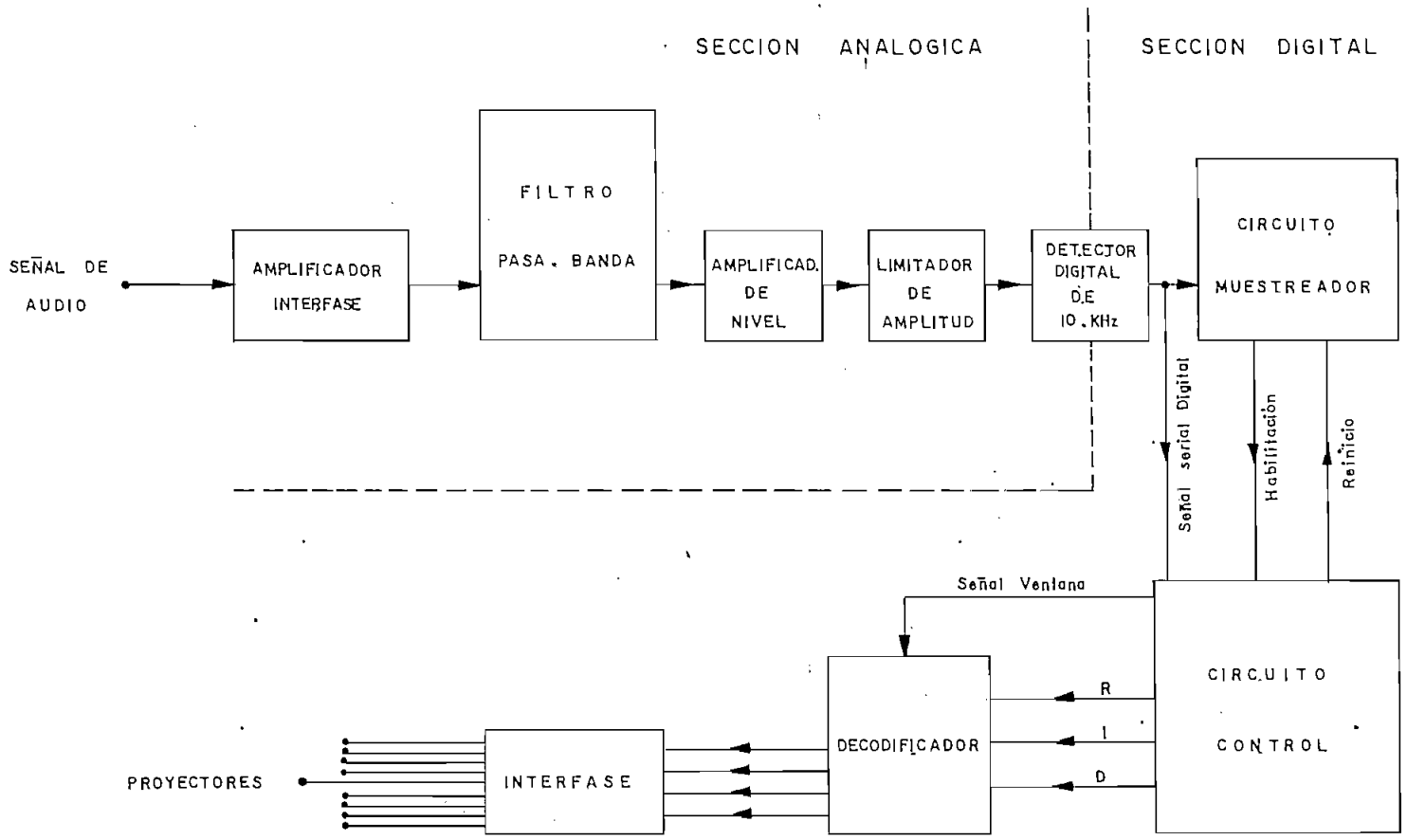


FIG. 2.3.1. Diagrama de Bloques del Detector-Decodificador-Control.

ms, simplemente se activa su seteo interno, no envía señal de habilitación y queda listo para iniciar una nueva tarea de muestreo.

2.3.2.b. CIRCUITO CONTROL.-

Es habilitado por el circuito muestreador. Después de 80 ms. de su habilitación toma la información de la señal serial de entrada; si es 0 lóg. continúa y después de 80 ms. toma otra información de la señal serial; ahora, si es 1 lóg., entonces se tiene la secuencia 101 y la señal que se está analizando es una señal de sincronización y por lo tanto, el circuito toma en secuencia y cada 80 ms. los tres siguientes datos de la señal de sincronización y los transforma a paralelo obteniéndose los datos R,I,D, además, envía una señal de habilitación (señal ventana) para el Decodificador. Al final de la señal ventana, el Circuito Control y el Circuito Muestreador quedan listos para iniciar de nuevo la tarea.

Si en momento del análisis de la señal serial no se obtiene el primer 0 lóg, el Circuito Control y el Circuito Muestreador activan sus seteos internos y quedan -

listos para reiniciar el trabajo. Cosa igual sucede después, si es que no se obtiene el siguiente 1 lóg deseado.

2.3.2.c. DECODIFICADOR.-

Al ser habilitado decodifica su entrada (R,I,D) habilitando una de sus cuatro salidas.

2.3.2.d. INTERFASE.-

Por cada entrada habilitada asegura a su salida correspondiente, el accionamiento de un contacto mecánico.

Capitulo 3

DISEÑO DEL CODIFICADOR-MEZCLADOR

3.1. SECCION DIGITAL:

3.1.1. DISEÑO DE L CONTROL CENTRAL.-

La fig. 3.1.1.a nos muestra el circuito del Control Central. Los biestables J K eliminan las oscilaciones mecánicas de los pulsadores.

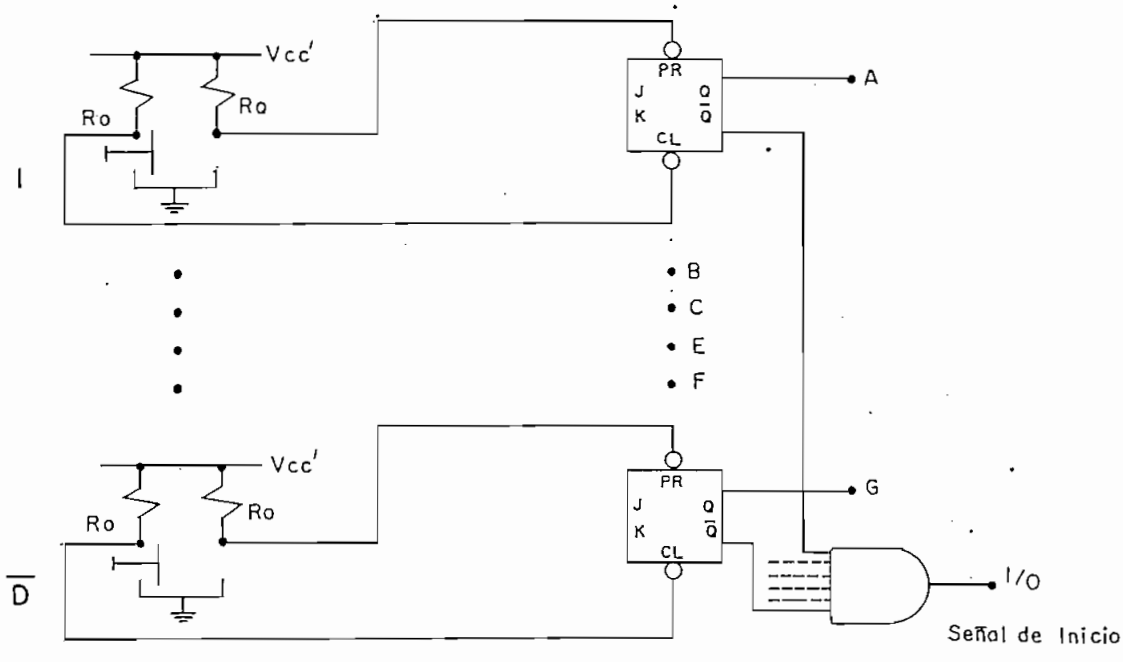


FIG. 3.1.1.a Control Central

Al accionar un pulsador, la salida Q del correspondiente biestable cambia de 0 a 1.

Por las características de los pulsadores, se necesitan las resistencias RO, ver fig. 3.1.1.a. Asumimos una corriente de circulación de 2 mA cuando tenemos un 0 lóg entre los contactos de los pulsadores, luego:

$$RO = \frac{Vcc}{IO} \qquad RO = \frac{5\ Volt.}{2\ mA} \qquad RO = 2.5\ K\Omega$$

Escogemos un valor práctico: $\underline{RO = 2.4\ K\Omega}$ 3.1.1.a

3.1.2. DISEÑO DEL SELECTOR DE CODIGOS.-

Se tiene seis entradas y se necesita a la salida tres bits R,I,D codificados. La tabla 3.1.2.a nos enseña la función requerida.

A	B	C	E	F	G	R	I	D
1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	1	1	0
0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	1	1	1
0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	1	0	1

TABLA 3.1.2.a Función del Selector de Códigos.

Por las condiciones presentadas en la Tabla 3.1.2.a, podemos tomar a priori las siguientes relaciones:

Para la señal R:

$R = B + E + G$ Luego: $R = \overline{\bar{B} \cdot \bar{E} \cdot \bar{G}}$

Para la señal I:

$I = A + B + C + E$ Luego: $I = \overline{\bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{E}}$

Para la señal D:

$D = C + E + F + G$ Luego: $D = \overline{\overline{C} \cdot \overline{E} \cdot \overline{F} \cdot \overline{G}}$

Implementando el circuito tenemos:

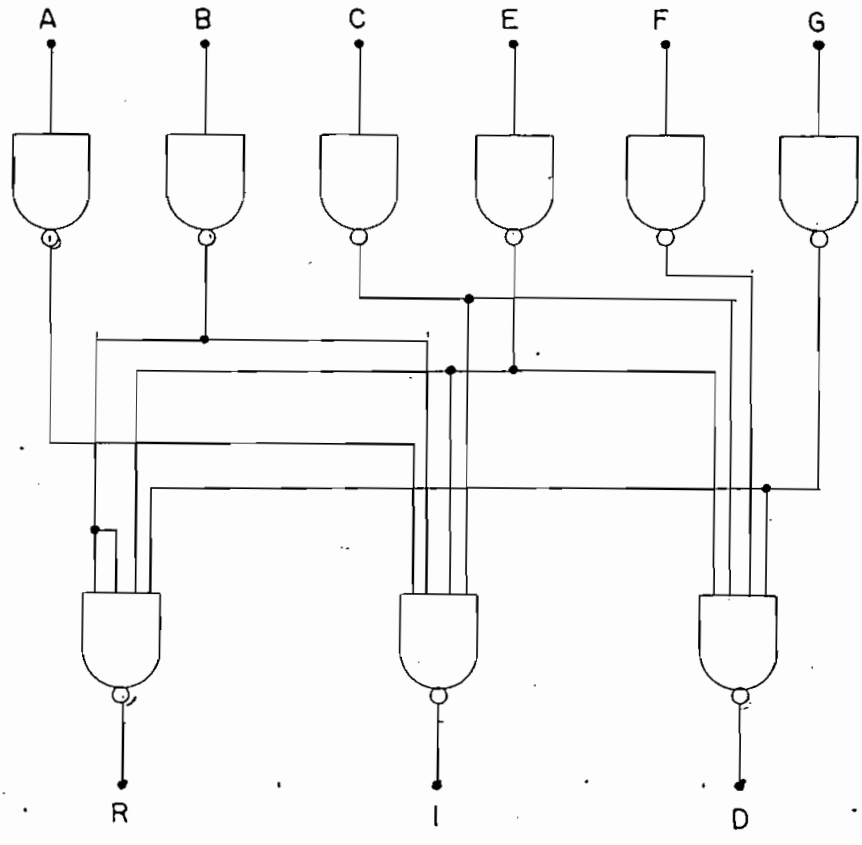


FIG. 3.1.2.a Selector de Códigos.

3.1.3. DISEÑO DEL SINCRONISMO TRANSFORMADOR PARALELO-SERIE

Con cada señal de inicio (1 a 0) del Control Central y con una señal sincronizada de reloj de 80 ms, transforma a serie los seis datos paralelos correspondientes a la señal de control de turno. La fig. 3.1.3.a, nos indica el circuito implementado y la fig. 3.1.3.b, nos enseña su diagrama de tiempos.

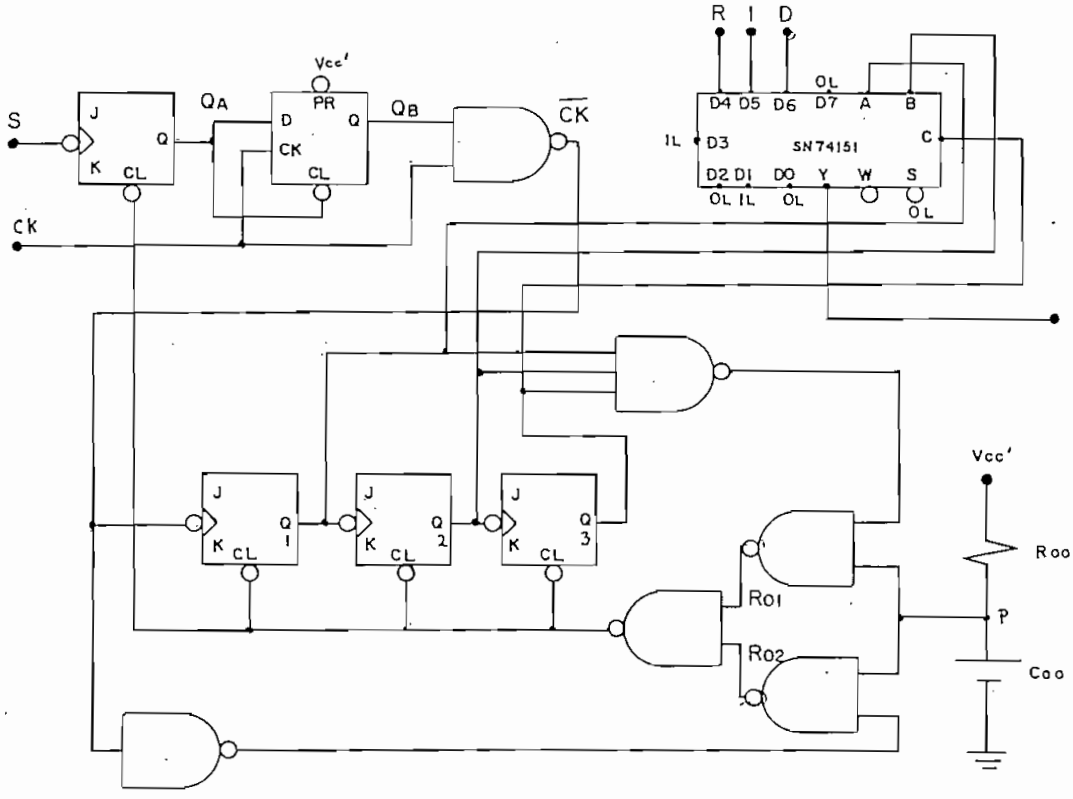


FIG. 3.1.3.a Circuito Sincronismo transformador Paralelo-Serie.

En la fig. 3.1.3.b, al cambiar la señal de inicio S de 1 a 0, QA cambia de 0 a 1 y permanece así hasta no - tener el pulso de borrado B. En la siguiente transición- 0 a 1 del reloj, QB sigue a QA y se obtiene el reloj $\overline{CK}$ - para el contador.

Las salidas Q1, Q2, Q3 del contador módulo 8 , sirven de control para la transformación paralelo-serie.

De la fig. 3.1.3.b, la señal de borrado B se obtiene de:

$$\overline{B} = Q1.Q2.Q3.\overline{CK} \qquad 3.1.3.a$$

Por otro lado, se incluye en este circuito la red R00, C00 que hace las funciones de borrado de inicio, asegurando condiciones iniciales para los contadores en el - momento del encendido, por lo que es necesario variar el diseño de cómo se obtiene la señal $\overline{B}$.

De 3.1.3.a y considerando R00 y C00 tenemos:

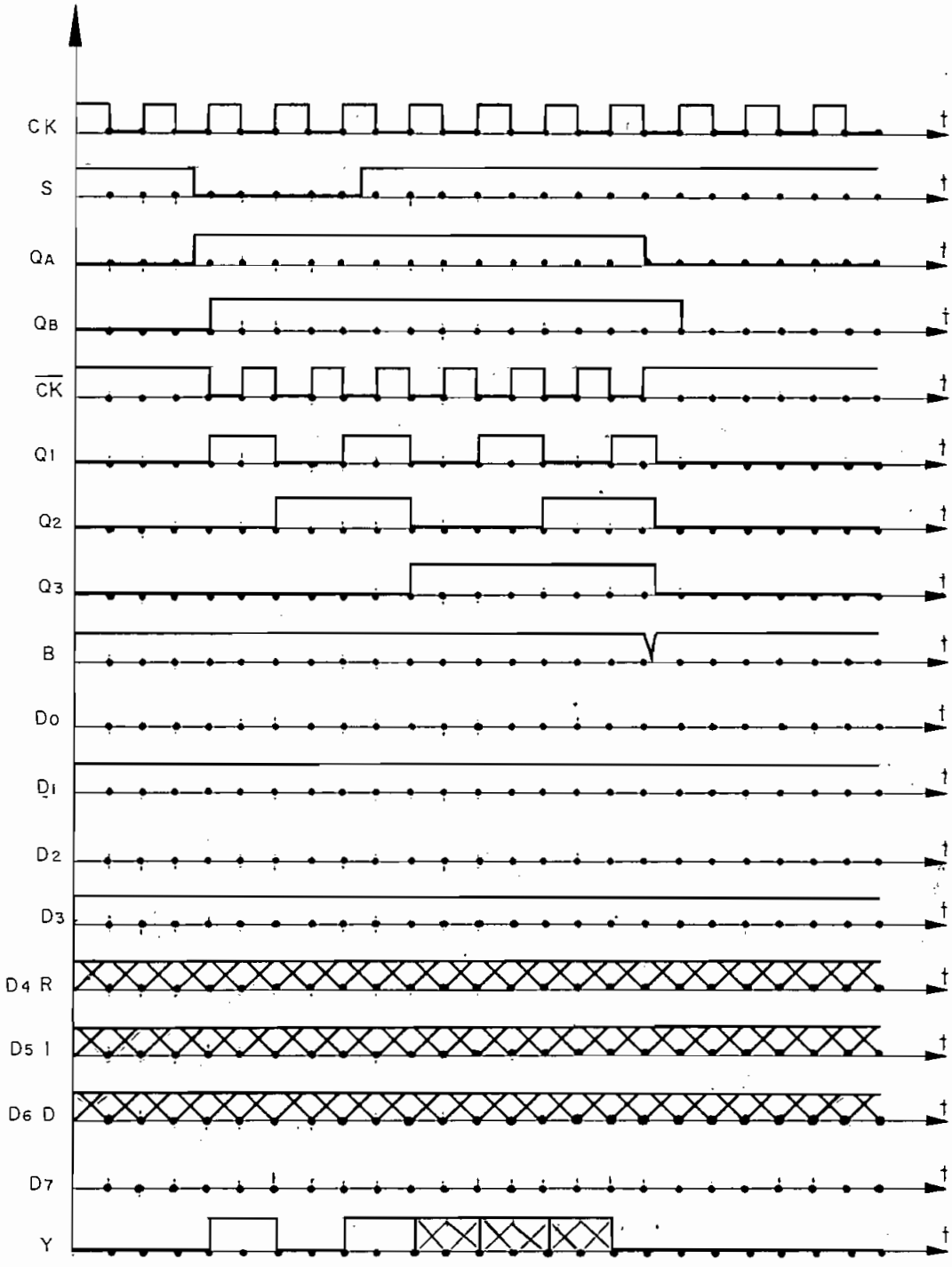


FIG. 3.1.3.b Diagrama de tiempos.

$$\overline{B} = \overline{P} + Q1.Q2.Q3.\overline{CK} \quad (1) \qquad 3.1.3.b$$

$$B = \overline{\overline{P} + Q1.Q2.Q3.\overline{CK}} = P.\overline{Q1.Q2.Q3.\overline{CK}}$$

$$\overline{B} = \overline{P.\ \overline{Q1.Q2.Q3} + P.CK} = \overline{P.\ \overline{Q1.Q2.Q3}.\overline{P.CK}}$$

$$B = \overline{\overline{P.\ \overline{Q1.Q2.Q3}}\ .\ \overline{P.CK}}$$

Por las características del C.I.SN 7493 utilizado para el contador, tenemos:

$$\overline{B} = \overline{RO1\ .\ RO2}$$

Luego:

$$RO1 = \overline{P\ .\ \overline{Q1.Q2.Q3}} \qquad 3.1.3.c$$

$$RO2 = \overline{P\ .\ CK}$$

Los Valores de ROO y COO se toma asumiendo un tiem

---

(1) Ver referencia 1, pág.

po de carga de 1 S

$R00 = 10\ K\Omega$ 3.1.3.e

$C0 = 100\mu F$ 3.1.3.f

Las conexiones del C.I. 74151 (Multiplexer) se justifican por sus propias características. (1)

- 3.1.4. DISEÑO DEL MODULADOR FILTRO.-

Este circuito modula, la señal de 10 Khz con la señal serial de control. Después, la filtra y se obtiene la señal analógica de sincronización. La fig. 3.1.4.a, nos indica el diagrama de tiempos de su funcionamiento.

De la fig. 3.1.4.a, la señal SDS se obtiene de la combinación (and) de la señal de 10 Khz con la señal SSC

Para obtener la señal SAS; recordemos que cualquier señal periódica puede ser desompuesta, por el método de - Fourier, en una serie de señales sinusoidales. Para una -

(1) Ver referencia 3, pág. 7-157.

señal cuadrada periódica, ver fig. 3.1.4.b, tenemos:

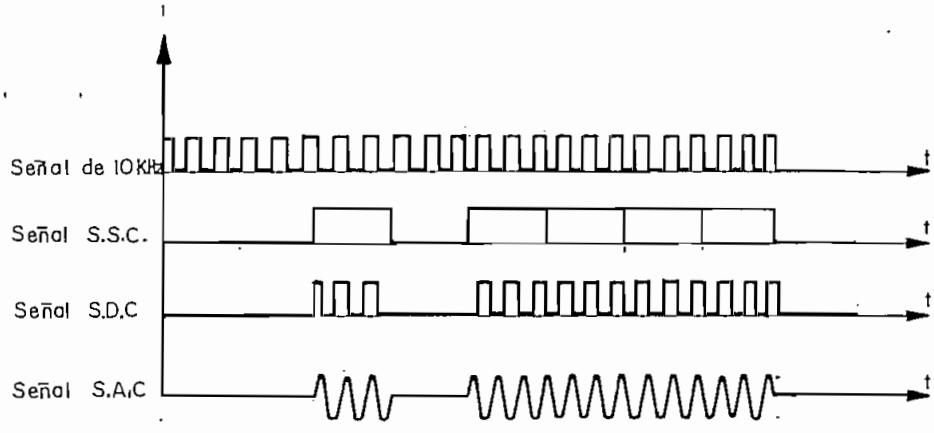


FIG. 3.1.4.a Diagrama de tiempos del Modulador-Filtro.

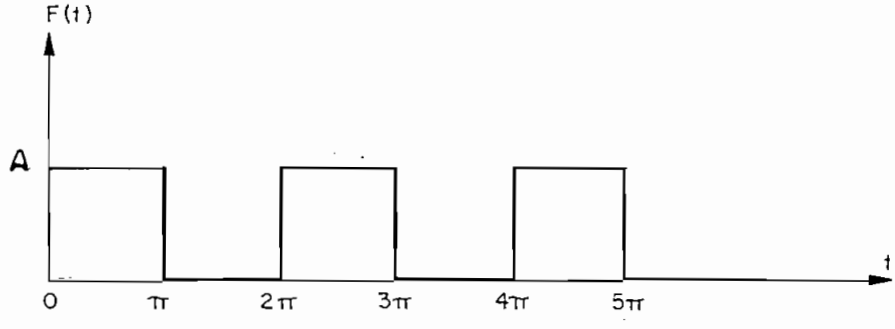


FIG. 3.1.4.b Señal cuadrada periódica.

$$F(t) = \frac{1}{2}\, a0 + a1.\cos Wt + a2.\cos 2Wt + a3.\cos 3Wt + \ldots.$$

$$+ b1.\text{sen } Wt + b2.\text{sen } 2Wt + b3.\text{sen } 3Wt + \ldots \quad 3.1.4.a$$

$$an = \frac{1}{\pi} \int_0^{2\pi} F(t) \,.\, \cos nWt \,.\, d(Wt) \qquad 3.1.4.b$$

$$bn = \frac{1}{\pi} \int_0^{2\pi} F(t) \,.\, \text{sen } nWt \,.\, d(Wt) \qquad 3.1.4.c$$

ahora para n = 0

$$a0 = \frac{1}{\pi} \left[\int_0^{\pi} A.d(Wt) \right] \Longrightarrow a0 = \frac{1}{\pi} A.\pi \Longrightarrow a0=A \qquad 3.1.4.d$$

luego:

$$an = \frac{1}{\pi} \left[\int_0^{\pi} A.\cos nWt.d(Wt) + \int_{\pi}^{2\pi} 0.\text{Cos } nWt.d(Wt) \right]$$

$$an = \frac{A}{\pi} \left[\frac{1}{n} \text{ sen} nWt \right]_0^{\pi} \Longrightarrow an = 0 \qquad 3.1.4.e$$

$$bn = \frac{1}{\Pi} \int_0^{\Pi} A.\text{sen } nWt.d(Wt) + \int_{\Pi}^{2\Pi} 0.\text{sen } nWt.d(Wt)$$

$$bn = \frac{A}{\Pi} \left[-\frac{1}{n} \cos nWt \right]_0^{\Pi} \Longrightarrow bn = \frac{A}{\Pi}\left[+\frac{1}{n}\right]\left[-\cos n\Pi + \cos 0\right]$$

$$bn = \frac{A}{n\Pi} \left[1 - \cos n\Pi \right]$$

$$bn = \frac{2A}{n\Pi} \qquad \text{para } n = 1,3,5,7,\ldots\ldots \qquad 3.1.4.f$$

$$bn = 0 \qquad \text{para } n = 2,4,6,8,\ldots. \qquad 3.1.4.g$$

finalmente:

$$F(t) = \frac{A}{2} + \frac{2A}{\Pi} \text{sen}Wt + \frac{2A}{3\Pi}.\text{sen}3Wt + \frac{2A}{5\Pi}.\ \text{sen}5Wt\ldots \qquad 3.1.4.h$$

donde $F(t) = \quad A$ para $0 \leq Wt \leq \Pi$

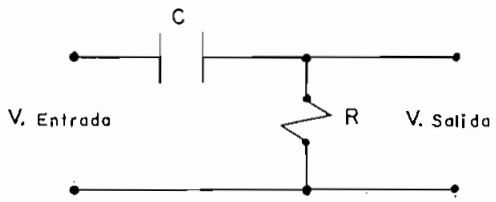
$\qquad\qquad\quad 0$ para $\Pi \leq Wt \leq 2\Pi$

Volviendo a nuestro caso, por 3.1.4.h, la señal-SAS se la obtiene filtrando la componente contínua, y las

frecuencias altas múltiples de 10 Khz.

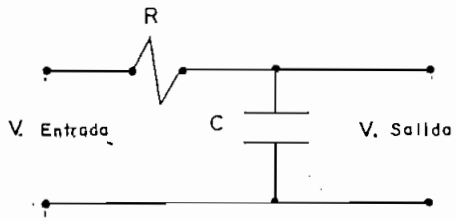
La fig. 3.1.4.c, indica las características de los filtros RC pasa altos y pasa bajos.

FILTRO PASA ALTOS



a) $$\frac{VO}{i} = \frac{1}{1 + \frac{fp}{jf}} \; ; \; fp = \frac{1}{2\Pi \; RC} \qquad 3.1.4.i$$

FILTROS PASA BAJOS



b) $$\frac{Vo}{i} = \frac{1}{1 + \frac{jf}{fp}} \; ; \; fp = \frac{1}{2\Pi \; RC} \qquad 3.1.4.j$$

FIG. 3.1.4.c Filtros

Cálculos numéricos:

La frecuencia de corte fp para ambos casos será:

fp = 10 Khz.

De 3.1.4.i

$$R = \frac{1}{2\Pi\, Cfp}$$ asumimos que C = 2.7 nF.

$$R = \frac{1}{2\Pi\,.(2{,}7.10^{-9})(10.10^{3})}$$ R = 5894Ω

luego:

C = 2.7 n F 3.1.4.k

R = 5.6 KΩ + 300Ω 3.1.4.l

La fig. 3.1.4.d, nos muestra la configuración de la malla de filtraje (1)

---

(1) Ver referencia 4 pág.

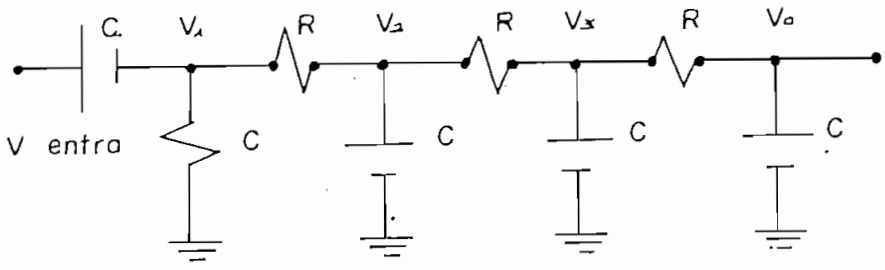


Fig. 3.1.4.d Malla de filtraje

De la fig. 3.1.4.d, para calcular la atenuación de la malla tenemos:

Nodo 1

$$\frac{V1 - Ventra}{\frac{1}{jwc}} + \frac{V1}{R} + \frac{V1 - V2}{R} = 0 \qquad 3.1.4.m$$

Nodo 2

$$\frac{V2 - V1}{R} + \frac{V2}{\frac{1}{jwc}} + \frac{V2 - V3}{R} = 0 \qquad 3.1.4.n$$

Nodo 3

$$\frac{V3 - V2}{R} + \frac{V3}{\frac{1}{jwc}} + \frac{V3 - Vsalida}{R} = 0 \qquad 3.1.4.o$$

Nodo 4

$$\frac{Vsalida - V3}{R} + \frac{Vsalida}{\frac{1}{jwc}} = 0 \qquad 3.1.4.p$$

reordenando tenemos:

$$(2 + jWRC)V1 - V2 = jWRC\ Ventra. \qquad 3.1.4.q$$

$$- V1 + (2+jWRC)V2 - V3 = 0 \qquad 3.1.4.r$$

$$- V2 + (2+jWRC)V3 = Vsalida \qquad 3.1.4.s$$

$$V3 = (1+jWRC)Vsalida \qquad 3.1.4.t$$

reemplazando: C = 2,7nF, R = 5890Ω y f = 10 KHz y resolviendo el sistema de ecuaciones obtenido, tenemos:

$$\frac{Vsalida}{Ventra.} = \frac{1}{3 + 13j} \Longrightarrow \frac{Vsalida}{Ventra.} = 0{,}074 \qquad 3.1.4.u$$

Para un voltaje de entrada de≈ 5Vpp (Voltaje de la señal digital de control), el voltaje de salida es - ≈ 350 mVpp. 3.7.4.v

La fig. 3.1.4.e nos enseña el circuito del Modulador Filtro.

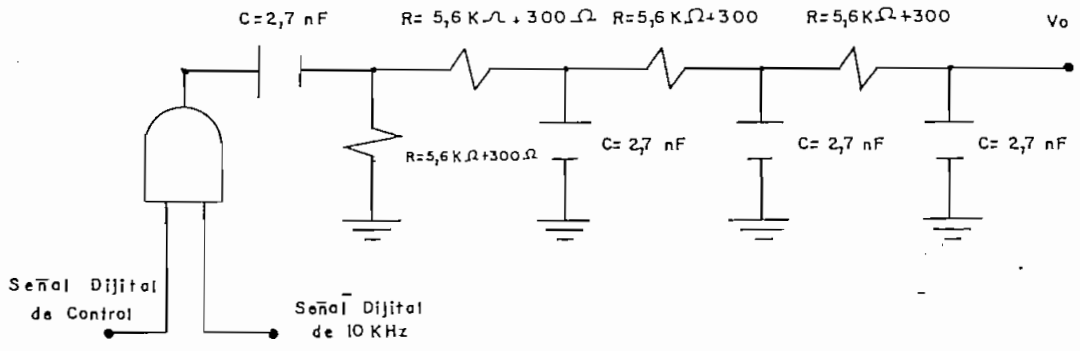


FIG. 3.1.4.e Modulador Filtro

3.2. SECCION ANALOGICA:

3.2.1. DISEÑO DE LOS PRE-AMPLIFICADORES.-

Estos amplifican las señales pequeñas provenientes de los micrófonos desbalanceados, los que, por tener una respuesta de frecuencia plana no requieren ecualización, pero sí requieren de condiciones especiales para minimizar el ruido. (1)

---

(1) Ver referencia 2, pág. 73

La fig. 3.2.1.a, muestra el circuito de el pre - amplificador.

El Amplificador operacional LM 381N, (1) se lo escogió en base a sus características propias frente al ruido, por utilizar un solo voltaje (+) de polarización y - porque se lo utiliza expresamente en aplicaciones de audio.

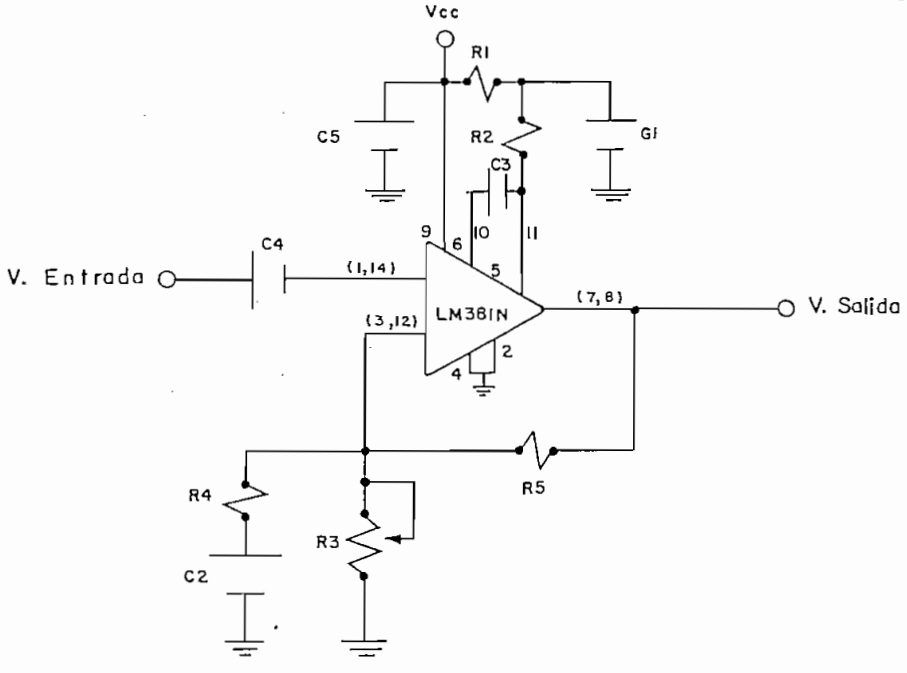


FIG. 3.2.1.a Pre-amplificador

(1) Ver referencia 2, pág. 21

De la fig. 3.2.1.a, R1,R2,C1, ayudan a optimizar las características del circuito frente al ruido, espe - cialmente al que tiene que ver con la resistencia de la fuente. (1)

Para el cálculo de los componentes del circuito, tenemos:

$$R1 + R2 = \frac{Vcc - 2,1}{Ic - 1,8.10^{-6}} \quad (2) \qquad 3.2.1.a$$

donde:

Ic = Corriente de 170μA, para fuentes de impedancias menores de 3KΩ , para optimización frente al ruido.

Recomendaciones del fabricante:

$$R2 = 3R1 \quad (3) \qquad 3.2.1.b$$

Para mantener estable la polarización se toma:

---

(1) Ver referencia 2, pág. 37.

(2) Ver referencia 2, pág. 41.

(3) Ver referencia 2, pág. 42.

$R3 = 1\ K\Omega$ (1) 3.2.1.c

R5 sirve para la polarización.

$$R5 = \frac{1}{2}\left[\frac{Vcc\ .\ R3\ .\ 10^4}{Ve(R3+10^4)-Ic(R3.10^4)}\right] \quad (2) \qquad 3.2.1.d$$

donde:

$$Ve = 0.8 - \frac{Ic}{130}\ .\ 250\ K\Omega \quad (3) \qquad 3.2.1.e$$

$$Ic = 170\mu A \qquad 3.2.1.f$$

La amplificación en A.C. del circuito será:

$$Avac = 1 + \frac{R5}{R4} \quad (4) \qquad 3.2.1.g$$

C2 limita el ancho de banda en las frecuencias bajas.

---

(1) Ver referencia 2, pág. 44.

(2) Ver referencia 2, pág. 43.

(3) Ver referencia 2, pág. 43.

(4) Ver referencia 2, pág. 27.

$$C2 \geq \frac{1}{2\Pi \ f1R4} \qquad (1) \qquad 3.2.1.h$$

f1 = frecuencia inferior del ancho de banda del pre-amplificador.

C1 debe mantener la relación:

$$C1 = \frac{10^{P.S.R./20}}{2\Pi \ Fr.R1A1} \qquad (2) \qquad 3.2.1.i$$

Donde:

P.S.R. = Relación de rechazo a la fuente en db.

Fr = Frecuencia de rizado de la fuente (120Hz)

A1 = Ganancia de voltaje de la primera etapa.

$$A1 = \frac{\dfrac{2 \ . \ 10^5 \ . \ R2}{2 \ . \ 10^5 + R2}}{\dfrac{0,026}{IC} + \dfrac{1}{10^4} + \dfrac{1}{R^3} + \dfrac{1}{R^4}} \qquad (3) \qquad 3.2.1.j$$

---

(1) Ver referencia 2, pág. 28.

(2) Ver referencia 2, pág. 42.

(3) Ver referencia 2, pág. 42.

C3 limita la frecuencia superior de corte fs, del ancho de la banda:

$$C3 \leq \frac{1}{2.\Pi \ fs. \frac{0,026}{Ic} . 10^{A/20}} - 4.10^{-12} \quad (1) \qquad 3.2.1.k$$

A = Ganancia del pre-amplificador en db.

Ic.= 170μA

C5 = C4 = 0.1μF (2) Datos del fabricante 3.2.1.l

-- Cálculos numéricos:

Se requiere:

Volt. de entrada = 2mVRms.

Volt. de salida = 400 mVrms.

Respuesta de frecuencia: 20 hz ..... 20 Khz.

Se escoge una polarización de Vcc = + 15 VD.C.

De 3.2.1.a

---

(1) Ver referencia 2, pág. 76

(2) Ver referencia 2, pág. 29

$$R1 + R2 = \frac{15 - 2,1}{170.10^{-6} - 18.10^{-6}} \Longrightarrow R1+R2=8,48.10^{3}$$

De 3.2.1.b $\qquad R2 = 3R1$

reemplazando y sacando valores tenemos:

$R1 = 2,12 \ . \ 10^{4}$ $\qquad R1 = 22\ K\Omega$ $\qquad$ 3.2.1.m

$R2 = 6,36 \ . \ 10^{4}$ $\qquad R2 = 68\ K\Omega$ $\qquad$ 3.2.1.n

De 3.2.1.c

$R3 = 1\ K\Omega$ $\qquad$ <u>$R3 = 10\ K\Omega$ (variable)</u> $\qquad$ 3.2.1.o

De 3.2.1.d

$$R5 = \frac{1.15.1.10^{3}.1.10^{4}}{2(0,473)(1,1.10^{4}) - 170.10^{-6}(1.10^{3}.10^{4})}$$

$R5 = 21,4\ K\Omega$ $\qquad$ <u>$R5 = 22\ K\Omega$</u> $\qquad$ 3.2.1.p

De 3.2.1.g

$$Avac. = 1 + \frac{22\ K}{R4} = \frac{400mV}{2}$$

$Avac. = 200$ $\qquad$ 3.2.1.q

luego:

$$R4 = \frac{22\ K}{200-1} \qquad \underline{R4 = 110\Omega} \qquad 3.2.1.r$$

De 3.2.1.h

$$C2 \geqq \frac{1}{2\Pi\ .\ 20(110)} \qquad C2 \geqq 72.3\,\mu F$$

$$\underline{C2 = 100\,\mu F} \qquad 3.2.1.s$$

De 3.2.1.j

$$A1 = \frac{\dfrac{2.10^5.68.10^3}{2.10^5+68.10^3}}{\dfrac{0,026}{170.10^6} + \dfrac{1}{10^4} + \dfrac{1}{10^3} + \dfrac{1}{110}} = 202$$

$$\underline{A1 = 202} \qquad 3.2.1.t$$

De 3.2.1.i y tomando un P.S.R. de 100 (1) tenemos:

$$C1 = \frac{10\ \dfrac{100}{20}}{2\Pi\,(120)22.10^3.202} \qquad C1 = 2,98.10^5$$

$$\underline{C1 = 33\,\mu F} \qquad 3.2.1.u$$

(1) Ver referencia 2, pág. 76

De 3.2.1.k

$$C3 \leq \frac{1}{2\ \Pi\ (20.10^3)\ \frac{0,026}{170.10^{-6}}\ .\ 10^{46/20}} - 4.10^{-12}$$

$$C3 \leq 2,56.10^{-10} \qquad \underline{C3 = 256\ pF} \qquad 3.2.1.v$$

El circuito completo del pre-amplificador se muestra en la fig. 3.2.1.b

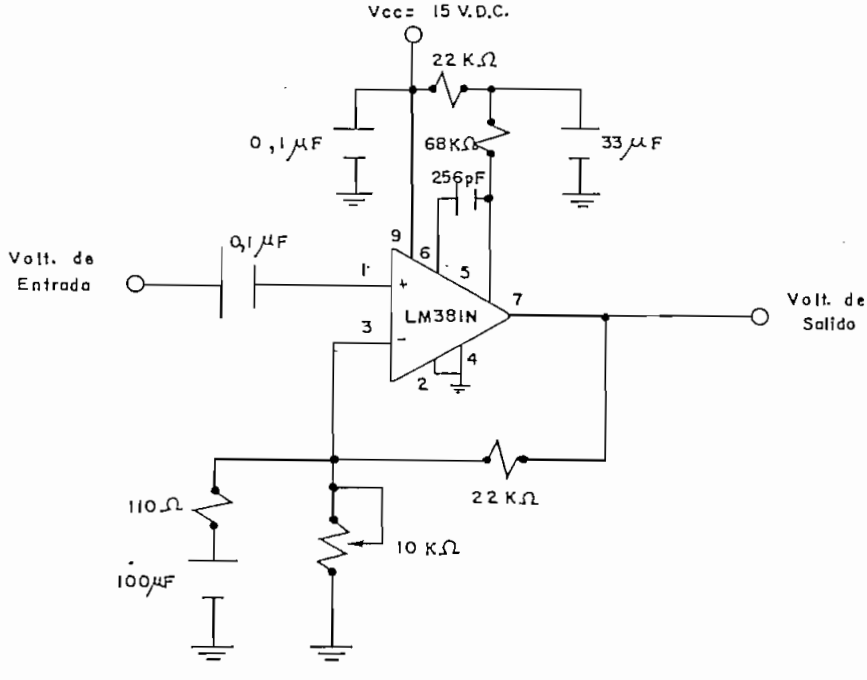


FIG. 3.2.1.b Pre-amplificador

3.2.2. DISEÑO DEL MEZCLADOR.-

Esta etapa se encarga de sumar (mezclar) las señales de audio que llegan a sus entradas.

El LM 381N nos ofrece esta posibilidad de funcionamiento. Como en la mezcla se utiliza niveles de señal relativamente altas (400mV), al LM381N se lo usa con su entrada diferencial (differential imput). (1)

El circuito del mezclador se indica en la fig. 3.2.2.a.

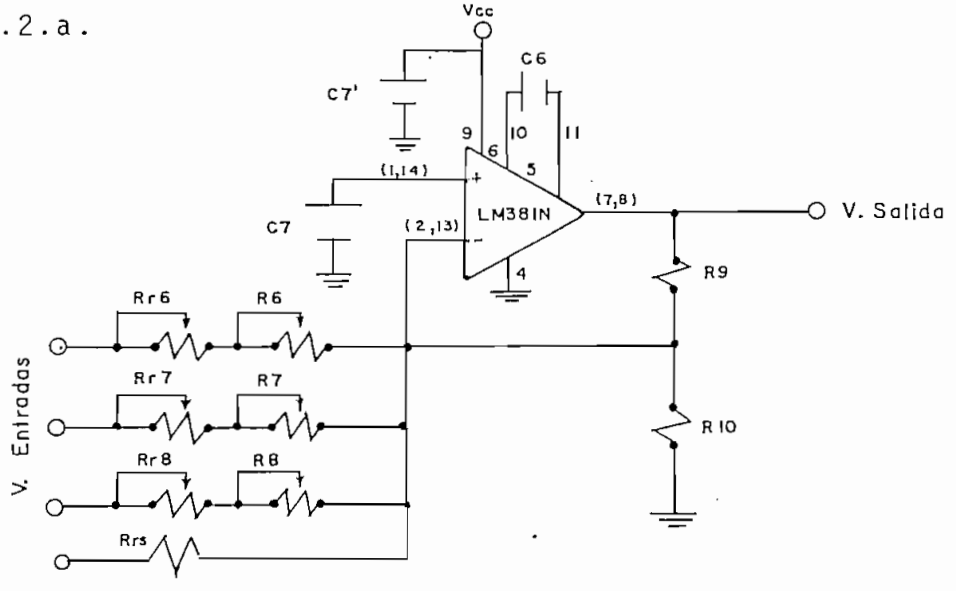


FIG. 3.2.2.a Circuito Mezclador

---

(1) Ver referencia 2, pág. 87.

De la fig. 3.2.2.1, R9 y R10 sirven para polarización. R10 debe tener un valor máximo de 200 KΩ (1)

3.2.2.a

R9 está dada por:

$$R9 = \left(\frac{Vcc}{2.6} - 1\right) R10 \quad (2) \qquad 3.2.2.b$$

Vcc = valor de la fuente de polarización.

R6, R7, R8 son potenciómetros mezcladores.

Rr6, Rr7, Rr8, nivelan cualquier posible diferencia de la señal a la entrada.

La amplificación en A.C. está dada por:

$$Avac. = - \frac{R9}{Rr,6,7,8 + R6,7,8} \quad (3) \qquad 3.2.2.c$$

Las frecuencias altas están limitadas por C6.

---

(1) Ver referencia 2, pág. 23

(2) Ver referencia 2, pág. 25

(3) Ver referencia 2, pág. 89

$$C6 \quad \frac{1}{2\Pi . fs . re . Avac} - 4.10^{-12} \qquad (1) \qquad 3.2.2.d$$

donde:

fs:= frecuencia superior de corte.

re = resistencia de emisor de la primera etapa para señales pequeñas = 1.3 KΩ

Avac. = ganancia a frecuencias medias.

Cálculos numéricos:

Se requiere:

Respuesta de frecuencia: 20 Hz ..... 20 Khz.

Volt. de salida = 400 mVrms.

Datos:

Volt de entrada

Vcc = + 15 VD.C.

De 3.2.2.a

R10 = 4 KΩ R10 = 10KΩ variable 3.2.2.e

---

(1) Ver referencia 2, pág. 29

De 3.2.2.b

$$R9 = \left(\frac{15}{2.6} - 1 \right) 4\ K$$

$$R9 = 1{,}9.10^4 \qquad \underline{R9 = 20K\Omega} \qquad 3.2.2.f$$

De 3.2.2.c

$$Avac. = - \frac{R9}{Rr6,7,8,s + R6,7,8}$$

$$Avac. = - \frac{400\ mVrms.}{400\ mVrms.} = -1$$

Para conseguir esta ganancia R6,7,8,s debe ser 0,- por lo tanto:

$$-1 = - \frac{R9}{Rr6,7,8,s} \quad \text{luego:} \quad \underline{Rr6,7,8,s = 20\ K\Omega} \qquad 3.2.2.g$$

Para poder alcanzar una atenuación en el mezclador de unos 50 db. (que es aproximadamente la ganancia de los pre-amplificadores), el potenciómetro R 6,7,8 debe tener su valor máximo. Como la ganancia del mezclador es 1, la atenuación total será: (1)

(1) Ver referencia 2, pág. 90

$$316.23 = 10^{50/20}$$

$$\text{Atenuación total} = \frac{1}{316,23} = 3,16.10^{-3} \qquad 3.2.2.h$$

luego de 3.2.2.c

$$3,16.10^{-3} = \frac{R9}{Rr6,7,8 + R6,7,8}$$

$$R6,7,8, = \frac{20.10^{3} - 3,16.10^{-3}.20.10^{3}}{3,16.10^{-3}}$$

$$R6,7,8 = 6,3.10^{6} \qquad \underline{R6,7,8 = 5\ M\Omega} \qquad 3.2.2.i$$

De 3.2.2.d

$$C6 \leq \frac{1}{2\Pi\ (20.10^{3})(1,3.10^{3})} - 4.10^{-12}$$

$$C6 \leq 6,11.10^{-9} \qquad \underline{C6 = 560\ pF} \qquad 3.2.2.j$$

La fig. 3.2.2.b, nos enseña el circuito mezcla - dor.

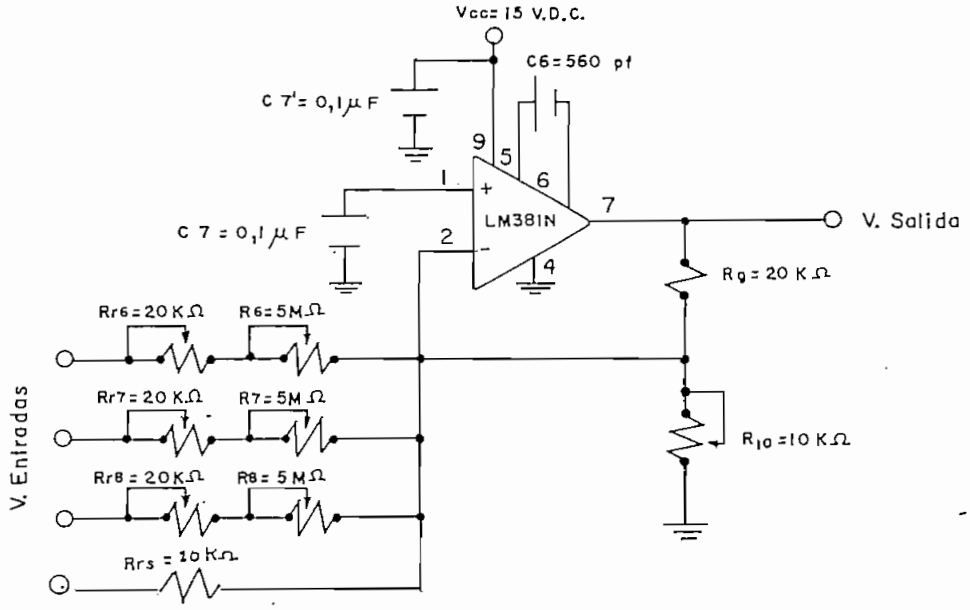


FIG. 3.2.2.b Circuito Mezclador

3.2.3. DISEÑO DEL AMPLIFICADOR SESING.-

Amplifica a un nivel adecuado para la mezcla a las señales de sincronización. No se requiere consideraciones especiales frente al ruido, por lo que se utiliza la misma configuración que el mezclador.

El voltaje máximo de salida requerido en la grabación, para la señal de sincronización, se lo obtuvo por experimentación.

Cálculos numéricos:

Volt. de entrada = 300 mVpp por 3.7.4.v

Volt. de salida = 2000 mVpp Valor escogido por experimentación.

De 3.2.2.a

$R13 = R10 = 8\,K\Omega$ $\underline{R13 = 10\ K\Omega}$ 3.2.3.a

De 3.2.2.b

$R12 = R9 = (\frac{15}{2.6} - 1)\ 8\ K\Omega$ $\underline{R12 = 39\ K\Omega}$ 3.2.3.b

De 3.2.2.c

$$Avac. = -\frac{R9}{Rr11} = -\frac{2000\ Vpp}{300\ Vpp}$$

$$Rr11 = \frac{R9}{6,6} \Longrightarrow Rr11 = \frac{39}{6,6} \Longrightarrow Rr11 = 5,9\ K\Omega$$

como valor práctico utilizamos:

$\underline{Rr11 = 390\Omega + 25\ K\Omega}$ 3.2.3.c

De 3.2.2.d

$$C8 \leq \frac{1}{2\Pi \ (15,10^3)(1,3.10^3)(6.6)} - 4.10^{-12}; \ C8 \leq 1,23.10^{-9}$$

$$\underline{C8 = 1 \ nF} \qquad 3.2.3.d$$

$\underline{C9 = ,1 \ \mu F}$ valor escogido 3.2.3.e

La fig. 3.2.3.a, nos enseña el amplificador Sesing.

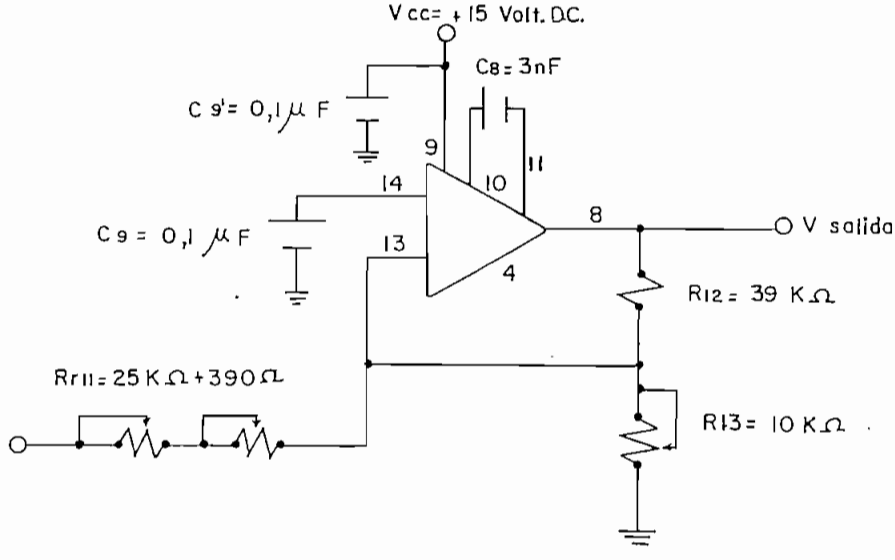


FIG. 3.2.3.a Amplificador Sesing.

Capitulo 4

DISEÑO DEL DETECTOR-DECODIFICADOR CONTROL

4.1. SECCION ANALOGICA:

4.1.1. DISEÑO DEL AMPLIFICADOR INTERFASE.-

Se utiliza el amplificador operacional tipo Norton LM 3900 (1), que trabaja con una sola fuente de voltaje positiva.

La fig. 4.1.1.a, nos enseña el circuito equivalente del amplificador operacional LM3900.

La configuración del amplificador Interfase se muestra en la fig. 4.1.1.b; para efecto de análisis, la fig. 4.1.1.c, indica el circuito equivalente en A.C. del amplificador Interfase.

---

(1) Ver referencia 5, pág. 27.

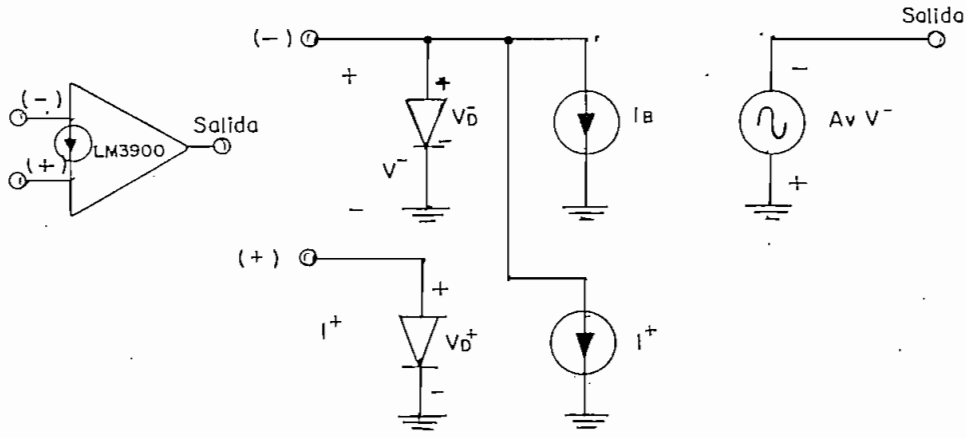


FIG. 4.1.1.a Circuito equivalente del LM 3900

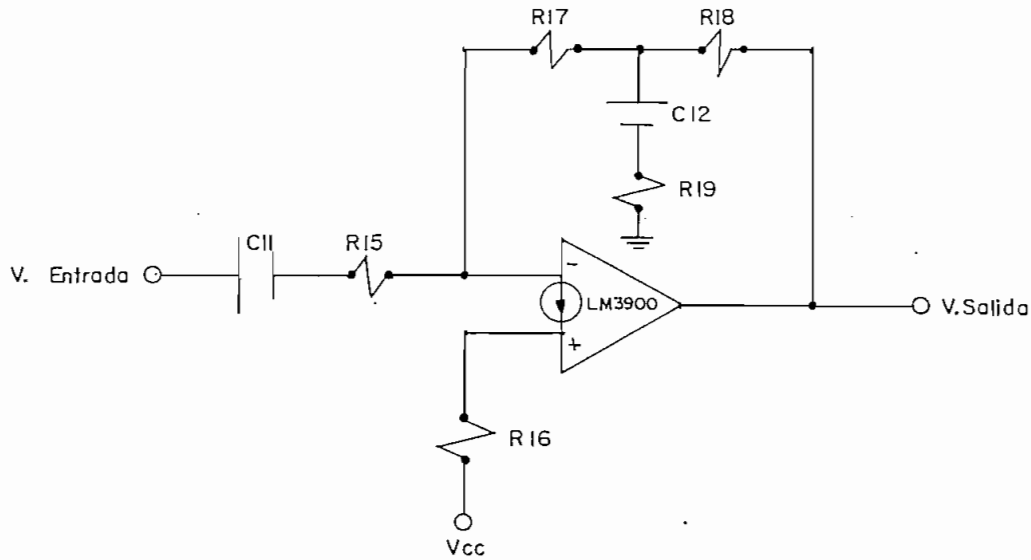


FIG. 4.1.1.b Amplificador Interfase.

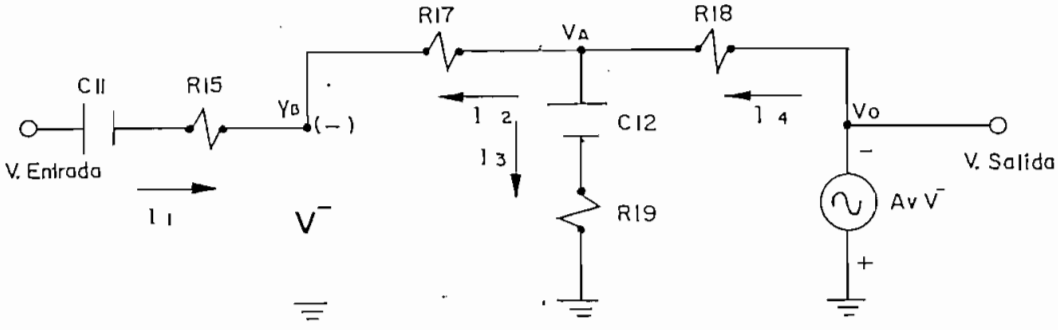


FIG. 4.1.1.c Circuito equivalente en A.C. del amplificador Interfase

De la fig. 4.1.1.c

$$Vo = - Av\ V^{-} \qquad 4.1.1.a$$

$$+ I1 + I2 = 0 \qquad 4.1.1.b$$

$$I4 = 12 + I3 \qquad 4.1.1.c$$

En VB

$$+ \frac{Ventra. + \frac{Vo}{Av}}{R15} + \frac{VA + \frac{Vo}{Av}}{R17} = 0 \qquad 4.1.1.d$$

En VA

$$\frac{VO - VA}{R18} = \frac{VA + \frac{VO}{Av}}{R17} + \frac{VA}{R19 - \frac{j}{W.C12}} = 0 \qquad 4.1.1.e$$

Av valor alto, propio del LM3900 4.1.1.f

De 4.1.1.d

$$\frac{Ventra.}{R15} + \frac{VA}{R17} = 0 \qquad 4.1.1.g$$

De 4.1.1.e

$$\frac{VO - VA}{R18} = \frac{VA}{R17} + \frac{VA}{R19 - \frac{j}{W.C12}} \qquad 4.1.1.h$$

Reagrupando 4.1.1.h

$$\frac{VO}{R18} = \left(\frac{1}{R18} + \frac{1}{R17} + \frac{1}{R19 - \frac{j}{W.C12}}\right)VA \qquad 4.1.1.i$$

Reemplazando 4.1.1.g en 4.1.1.i y reagrupando tenemos:

$$\frac{VO}{Ventra.} = -\frac{R17}{R15} - \frac{R18}{R15} - \frac{R17\ R18}{R15(R19 - \frac{j}{W.C12}} \qquad 4.1.1.j$$

asumimos: $\underline{\underline{R18 = R17 = R15}}$ 4.1.1.k

Reemplazando 4.1.1.k en 4.1.1.j, tenemos:

$$\frac{VO}{Ventra.} = \frac{R18}{R19 - \frac{j}{W.C12}} - 2 = \text{Amplificación A.C} \qquad 4.1.1.l$$

La fig. 4.1.1.d, nos indica el circuito equivalente en - D.C. del amplificador Interfase.

De la fig. 4.1.1.d

$$VO = V\overline{D} + (IB + I+)(R17 + R18) \qquad 4.1.1.m$$

$$I+ = \frac{Vcc - VD^{+}}{R16} \qquad 4.1.1.n$$

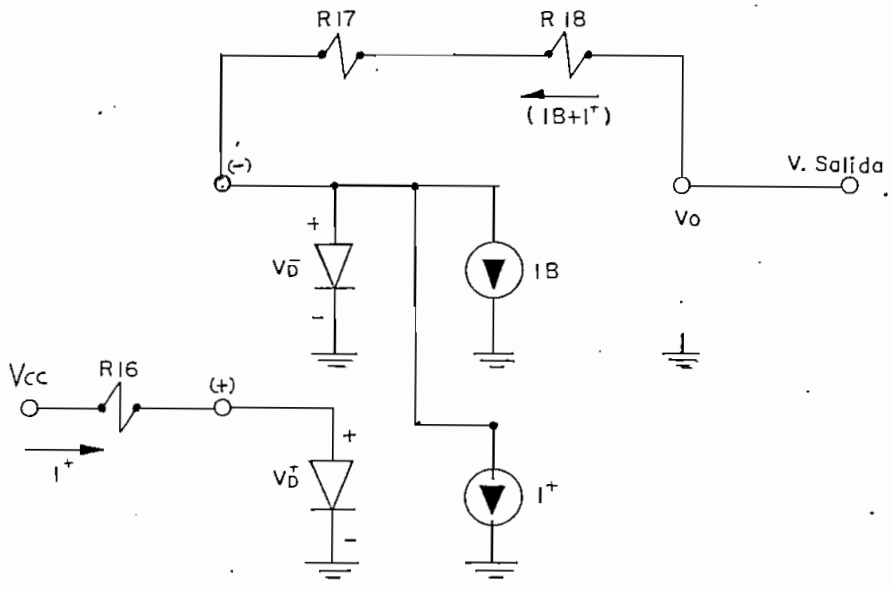


FIG. 4.1.1.d Circuito equivalente en D.C. del amplificador Interfase.

Tomando los siguientes datos proporcionados por el fabricante:

$VD^{+} \approx VD^{-} \approx 0{,}5$ Volt. D.C. 4.1.1.o

$IB \approx 30$ nA.

$VO \gg VD^{+}$ 4.1.1.p

$VO \approx \frac{Vcc}{2}$ 4.1.1.q

Reemplazando 4.1.1.n en 4.1.1.m y considerando - los datos técnicos dados por el fabricante tenemos:

$$VO = \frac{(R17 + R18)}{R16} Vcc \qquad 4.1.1.r$$

Si R17 = R18 (Valor asumido) 4.1.1.s

$$VO = \frac{2\ R18}{R16} Vcc \qquad 4.1.1.t$$

$$\underline{\underline{R16 = 4\ R18}} \qquad 4.1.1.u$$

De la fig. 4.1.1.c, la impedancia de entrada es:

$$Zentra. = \frac{Ventra.}{I1} \qquad 4.1.1.v$$

$$I1 = \frac{Ventra. - V^-}{R15} \qquad 4.1.1.w$$

Reemplazando 4.1.1.w en 4.1.1.v:

$$Zentra. = \frac{R15}{1 - \frac{V^-}{Ventra.}} \qquad 4.1.1.x$$

De 4.1.1.a

$$V^- = - \frac{VO}{AV}$$

$$Zentra. = \frac{R15}{1 + \frac{VO}{Av.VENTRA.}} \Longrightarrow \underline{Zentra. = R15} \qquad 4.1.1.y$$

C11 condensador de paso:

<u>C11 = 0,1μF</u> (valor escogido) 4.1.1.z

C12 aisla a R19 para D.C.

C12 = 0,1μF (valor escogido) 4.1.1.a.a

Cálculos numéricos:

Datos asumidos:

Vcc = + 15 V D.C. 4.1.1.a.b

Alta impedancia = 1,8 MΩ 4.1.1.a.c

Amplificación A.C. = 3 4.1.1.a.d

De 4.1.1.y

Zentra. = R15 $\underline{R15 = 1{,}8\ M\Omega}$ 4.1.1.a.e

De 4.1.1.k

R18 = R17 = R15

R18 = R17 = 1,8 MΩ 4.1.1.a.f

C11 = 0,1 μ F 4.1.1.a.g

C12 = 0,1 μ F 4.1.1.a.h

De 4.1.1.l

$$+A = \frac{R18}{R19 - \frac{j}{W.C12}} - 2$$

Para C12 = 0,1 μ F y para la frecuencia de interés de 10 Khz, el término (1/W.C12) es prácticamente despreciable, luego:

$$A = \frac{R18}{R19} - 2$$

$$R19 = \frac{R18}{2+3} = \frac{1,8\ M\Omega}{25} = 0,36\ M\Omega$$

$$R19 = 360\ K\Omega \qquad 4.1.1.a.i$$

De 4.1.1.u

$$R16 = 4\ R8;\ R16 = 4\ (1,8)\ M\Omega = 7,2\ M\Omega$$

$$\underline{R16 = 7,5\ M\Omega} \qquad 4.1.1.a.j$$

El circuito final del amplificador Interfase se muestra en la fig. 4.1.1.e.

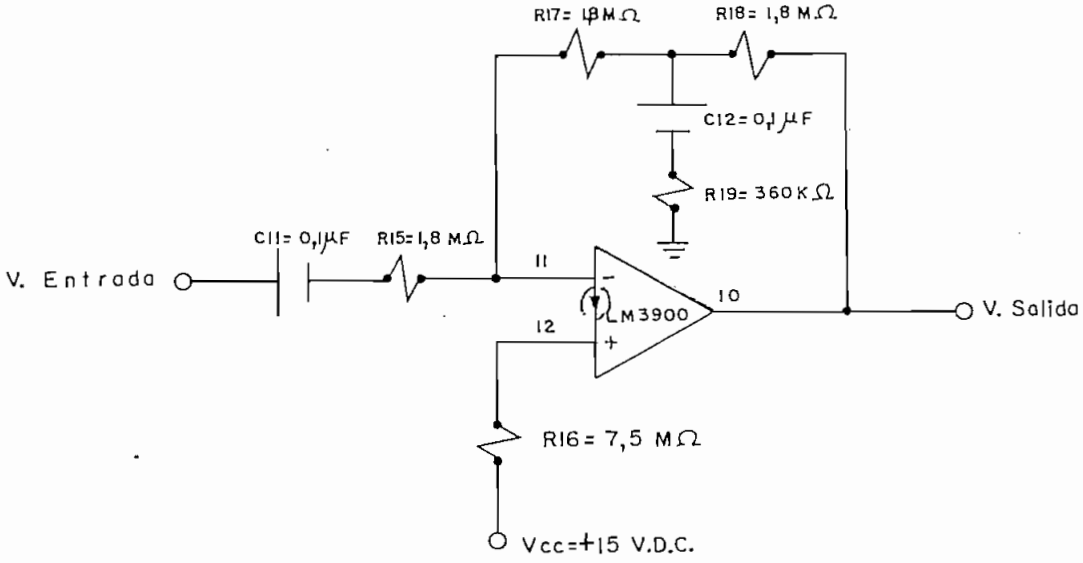


FIG. 4.1.1.e Amplificador Interfase.

4.1.2. DISEÑO DEL FILTRO PASA-BANDA.-

Se utiliza el C.I. LM 3900. La configuración básica del filtro pasa-banda se enseña en la fig. 4.1.2.a

Para el análisis circuital, los equivalentes para A.C. y D.C. del filtro pasa-banda, se muestran en las figs. 4.1.2.b y 4.1.2.c respectivamente.

Análisis en A.C.

$$VO = - Av \cdot V2^- \qquad 4.1.2.a$$

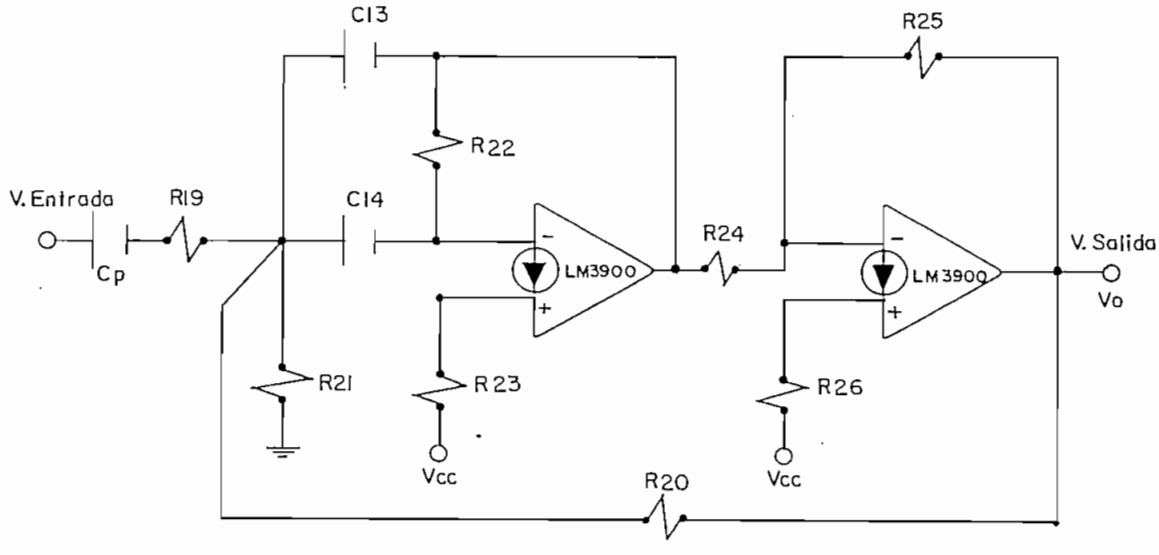


FIG. 4.1.2.a Filtro Pasa-Banda

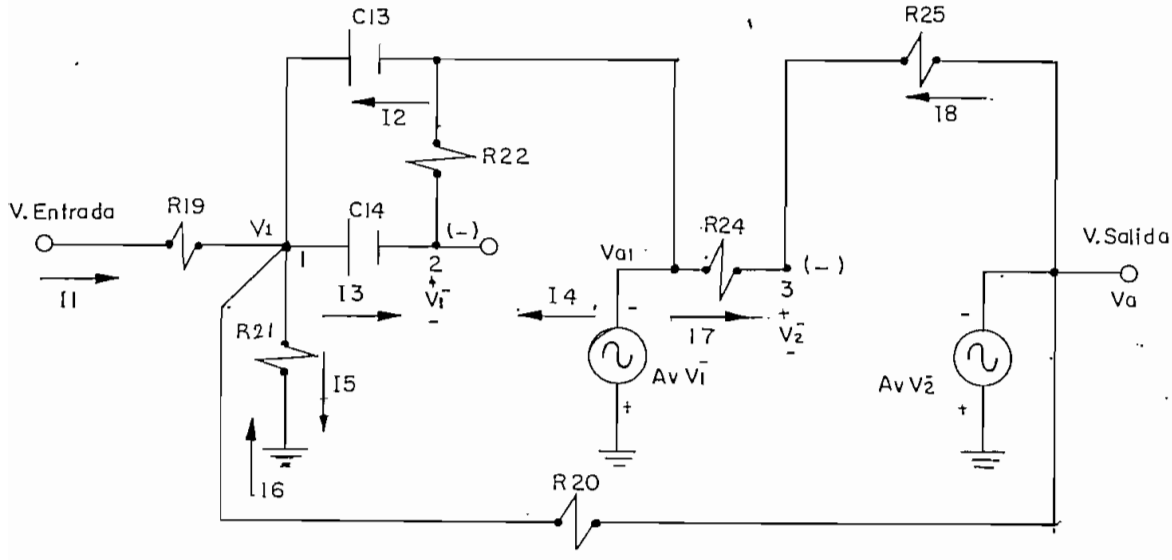


FIG. 4.1.2.b Equivalente A.C. del Filtro Pasa-Banda.

$$V01 = - Av.V1^{-} \qquad 4.1.2.b$$

Av = valor alto (característica del amplificador)

4.1.2.c

Para el nodo 1

$$I1 + I2 + I6 = I3 + I5 \qquad 4.1.2.d$$

$$\frac{Ventra - V1}{R19} + (V01 - V1)(jW.C13) + \frac{V0 - V1}{R20} = (V1 + \frac{V01}{Av}).j.W.C14 + \frac{V1}{R21} \qquad 4.1.2.e$$

Para el nodo 2

$$I3 + I4 = 0 \qquad 4.1.2.f$$

$$(V1 + \frac{V01}{Av})j\ W.C14 + \frac{(V01 + \frac{V01}{Av})}{R22} = 0 \qquad 4.1.2.g$$

Para el nodo 3

$$I8 + I7 = 0 \qquad 4.1.2.h$$

$$\frac{(V01 + \frac{V0}{Av})}{R24} + \frac{(V0 + \frac{V0}{Av})}{R25} = 0 \qquad 4.1.2.i$$

Por 4.1.2.c y reagrupando 4.1.2.e, tenemos:

$$V1\ [\frac{1}{R19} + \frac{1}{R20} + \frac{1}{R21} + j\ W(C13 + C14)] = \frac{Ventra.}{R19} +$$

$$+ j\ V01.W.C13 + \frac{V0}{R20} \qquad 4.1.2.j$$

De 4.1.2.g

$$jW.C14.V1 + \frac{V01}{R22} = 0 \qquad 4.1.2.k$$

De 4.1.2.i

$$\frac{V01}{R24} + \frac{-V0}{R25} = 0 \Longrightarrow V01 = -\frac{R24}{R25} V0 \qquad 4.1.2.1$$

Reemplazando 4.1.2.1 en 4.1.2.k, tenemos:

$$V1 = \frac{R24\ \ V0}{j\ R25\ R22\ W.C14} \qquad 4.1.2.m$$

Reemplazando 4.1.2.m y 4.1.2.~~j~~l en 4.1.2.k:

$$\frac{R24\ \ V0}{j\ R25\ R22\ W.C14} \left[\frac{1}{R19} + \frac{1}{R20} + \frac{1}{R21} + j\ W\ (C13+C14)\right] =$$

$$= \frac{Ventra.}{R19} - j\ \frac{R24}{R25} W.C13\ V0 + \frac{V0}{R20}$$

Reordenando:

$$VO \frac{-j\ R24}{W.C14\ R25\ R22} \left[\frac{1}{R19} + \frac{1}{R20} + \frac{1}{R21} + jW\ (C13+C14) \right] +$$

$$+ j \frac{R24}{R25} W.C13 - \frac{1}{R20} = \frac{Ventra}{R19}$$

Reagrupando:

$$\frac{VO}{Ventra.} = \frac{1}{\left[\frac{R19\ R24}{R22\ R25} \left(\frac{C13}{C14} + 1 \right) - \frac{R19}{R20}\right] + j \left[\frac{R19\ R24}{R25} W.C13 - \frac{R19\ R24}{W.C14\ R22\ R25} \left(\frac{1}{R19} + \frac{1}{R20} + \frac{1}{R21} \right)\right]} \qquad 4.1.2.n$$

$$\frac{VO}{Ventra,} = H \quad \text{Amplificación} \qquad 4.1.2.o$$

Para obtener mayor amplificación real, la parte reactiva debe ser 0, luego de 4.1.2.n tenemos:

$$\frac{R19\ R24}{R25} W.C13 - \frac{R19\ R24}{W.C14\ R22\ R25} \left(\frac{1}{R19} + \frac{1}{R20} + \frac{1}{R21} \right) = 0 \qquad 4.1.2.p$$

Asumimos las siguientes condiciones por facilidad de análisis:

$R19 = R22 = R24$ 4.1.2.q

$C13 = C14 = C$ 4.1.2.r

además:

$R25 = kR19$ Valor especificado por el fabricante. 4.1.2.s

K = factor de ajuste de valores

$1 \leq K \leq 10$ valor especificado por el fabricante 4.1.2.t

en 4.1.2.p reemplazamos las condiciones anteriores, tenemos:

$$R21 = \frac{1}{R19\ W^2\ C^2 - 1/R19 - 1/R20} \qquad 4.1.2.u$$

El factor de calidad Q del filtro está definido por:

$Q = R19\ WC$ (Dato del fabricante) 4.1.2.v

para este filtro el fabricante recomienda:

$$10 \leq Q \leq 50 \qquad 4.1.2.w$$

De 4.1.2.u y reemplazando 4.1.3.v, tenemos:

$$R21 = \frac{R19}{Q^2-1-R19/R20} \qquad 4.1.2.x$$

De 4.1.2.n

$$H = \frac{1}{\frac{R19\ R24}{R22\ R25}\left(\frac{C13}{C14} + 1\right) - \frac{R19}{R20}}$$

reemplazando las condiciones de 4.1.2.q y 4.1.2.r, tenemos:

$$H = \frac{1}{\frac{2}{K} - \frac{R19}{R20}}$$

$$\frac{R19}{R20} = \frac{2}{K} - \frac{1}{H} \qquad 4.1.2.y$$

reemplazando 4.1.2.y en 4.1.2.x, tenemos:

$$R21 = \frac{R19}{Q^2 - 1 - 2/K + 1/H} \qquad 4.1.2.z$$

De 4.1.2.y, despejamos R20, tenemos:

$$R20 = \frac{R19}{2/K - 1/H} \qquad 4.1.2.a.a$$

Análisis en D.C.

El fabricante recomienda que el voltaje de salida D.C. de los amplificadores sea Vcc/2. De manera que para efecto de análisis en D.C., podemos considerar a - Vcc como una fuente única, ver fig. 4.1.2.c.

Análisis en D.C.

$$V01 = V\overline{D} + (I+ + IB)\ R22 \qquad 4.1.2.a.b$$

$$I+ = \frac{Vcc - VD^+}{R23} \qquad 4.1.2.a.c$$

reemplazando 4.1.2.a.c en 4.1.2.a.b, tenemos:

$$V01 = V\overline{D} + (IB + \frac{Vcc - VD^{+}}{R23})\ R22 \qquad 4.1.2.a.d$$

IB = corriente de polarización = 30 nA.

$V01 \gg VD^{-}$ y $Vcc \gg VD^{+}$

Reemplazando en 4.1.2.a.d, tenemos:

$$V01 = \frac{R22}{R23}\ Vcc \qquad \text{pero } V01 = \frac{Vcc}{2}$$

luego:

$$R23 = 2R22 \qquad 4.1.2.a.e$$

De la fig. 4.1.2.c

$$V0 = Vcc/2 = VD^{-}1 + (\ IB1 + I1^{+})\ (R24//R25) \qquad 4.1.2.a.f$$

$$I1^{+} = \frac{Vcc - VD1^{+}}{R26} \qquad 4.1.2.a.g$$

Reemplazando 4.1.2.a.g en 4.1.2.a.f, tenemos:

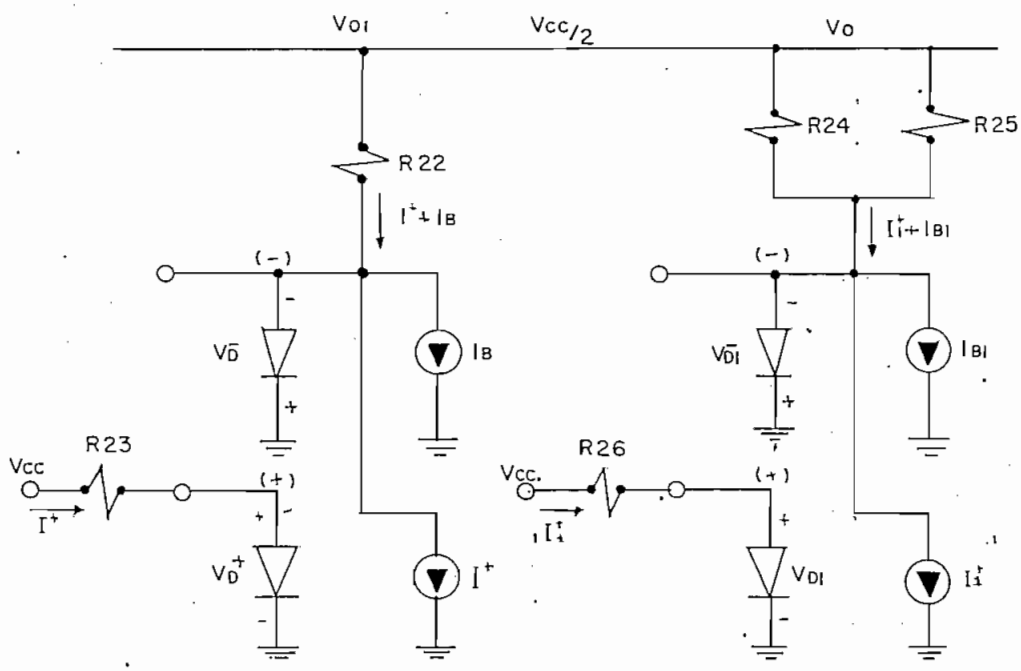


FIG. 4.1.2.c Equivalente D.C. de 1

Filtro Pasa-Banda

$$VO = Vcc/2 = VD\overline{1} + \left(IB1 + \frac{Vcc - VD1^{+}}{R26}\right)(R24//R25)$$

$$R26 = 2[R24//R25] \qquad 4.1.2.a.h$$

R20 y R21 no influyen en polarización

<u>Cálculos numéricos:</u>

Datos:

$Q = 35$ $\quad C = 2,2\ nF$ $\quad Cp = 0,1\mu F$

$H = 2$ $\quad K = 3$

$fo = 10\ Khz'$

De 4.1.2.v

$$R19 = \frac{Q}{2\Pi\ f0\ C} = \frac{35}{2\Pi .10.10^3.2,2.10^{-9}} = 2,53.10^5$$

$R19 = 270\ K\Omega$ 4.1.2.a.i

De 4.1.2.q

$R19 = R22 = R24$

$R22 = 270\ K\Omega$ $\quad R24 = 270\ K\Omega$ 4.1.2.a.j

De 4.1.2.a.a

$$R20 = \frac{R19}{2/K - 1/H} = \frac{270}{2/3 - 1/2} = 1.620\ K\Omega$$

$R20 = 1,6\ M\Omega$ 4.1.2.a.k

De 4.1.2.z

$$R21 = \frac{R19}{Q^2 - 1-2/K + 1/H} = \frac{270}{(35)^2-1-2/3+1/2} = 220$$

$R21 = 150\Omega + 100\Omega$ (variable) 4.1.2.a.l

De 4.1.2.s

$R25 = K\ R19 = 3\ (\ 270\ K\Omega\ ) = 810\ K\Omega$

$R25 = 820\ K\Omega$ 4.1.2.a.m

De 4.1.2.a.c

$R23 = 2\ R22$

$R23 = 2\ (\ 270\ K\Omega\ ) = 540\ K\Omega$

$R23 = 270\ K\Omega + 270\ K\Omega$ 4.1.2.a.n

De 4.1.2.a.h

$$R26 = 2\,[R24//R25] = \frac{2(270\ K\Omega)(820\ K\Omega)}{270\ K\Omega + 820\ K\Omega}$$

$R26 = 406{,}23\ K\Omega$ $\qquad$ $R26 = 390\ K\Omega + 15\ K\Omega$ 4.1.2.a.o

El circuito final se enseña en la fig. 4.1.2.d

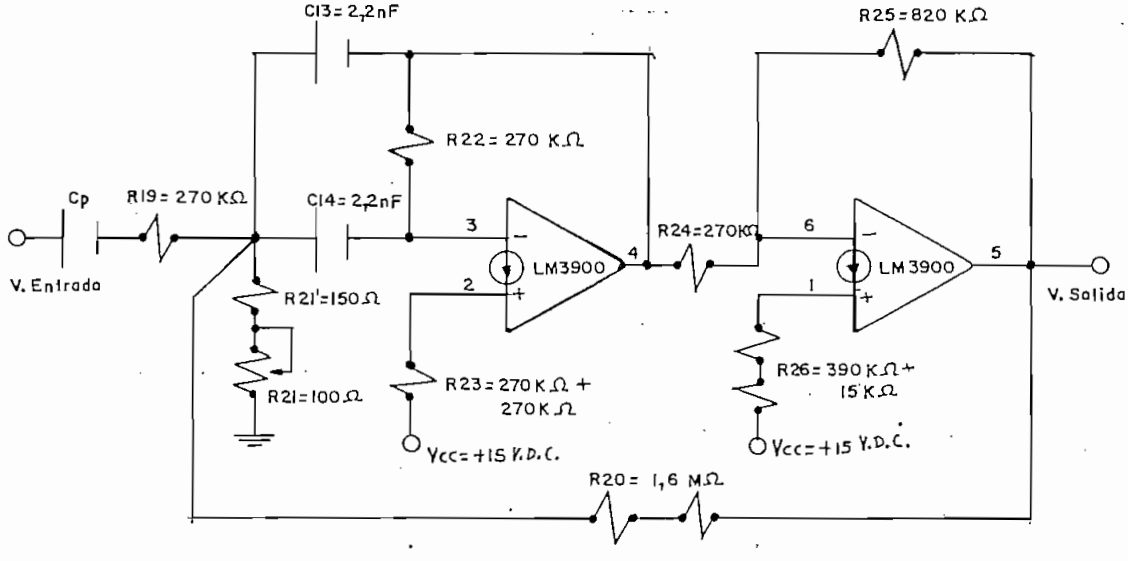


FIG. 4.1.2.d Filtro Pasa-Banda

4.1.3. DISEÑO DEL AMPLIFICADOR DE NIVEL.-

Este amplificador ajusta la señal de sincronización recuperada, a un nivel requerido para obtener un buen funcionamiento del Detector Digital de 10 Khz. Su diseño se lo hace en base a datos obtenidos experimentalmente.

Se utiliza la configuración del amplificador Sesing, ver fig. 3.2.3.a.

Cálculos numéricos:

Del capítulo 7, en la Tabla 7.1.3, para la frecuencia de 10 Khz., obtenemos los siguientes valores:

Ventra. = 240 m Vpp 4.1.3.a

Vsalida = 3 Vpp. 4.1.3.b

De 3.2.2.a

R29 = 100 KΩ R29 = 100 KΩ (variable) 4.1.3.c

De 3.2.2.b

$$R28 = \left(\frac{15}{2,6} - 1\right) 100\ K\Omega = 477\ K\Omega$$

$$R28 = 470\ K\Omega \qquad 4.1.3.d$$

De 3.2.2.c

$$Avc = -\left(\frac{R28}{Rr27}\right)$$

$$Avc = \frac{3\ Vpp}{0,24\ Vpp} = 12,5$$

$$Rr27 = \frac{R28}{AV.C} = \frac{470\ K\Omega}{12,5} \qquad Rr27 = 37,6\ K\Omega$$

como valor práctico tenemos:

$$Rr27 = 30\ K\Omega \text{ variable} \qquad 4.1.3.e$$

De 3.2.2.d

$$C18 \leq \frac{1}{2\Pi\ fs\ re\ Avac} - 4.10^{-12}$$

$$C18 \leq \frac{1}{2\Pi\,(15.10^3)(1,3.10^3)(12,5)} - 4.10^{-12}$$

$$C18 \leq 648 \text{ pf}$$

$$C18 = 560 \text{ pf} \qquad 4.1.3.f$$

$$C15 = C16 = C17 = 0,1\ \mu F \quad (\text{ valores escogidos}) \quad 4.1.3.g$$

La fig. 4.1.3.a, nos enseña el circuito del amplificador de nivel.

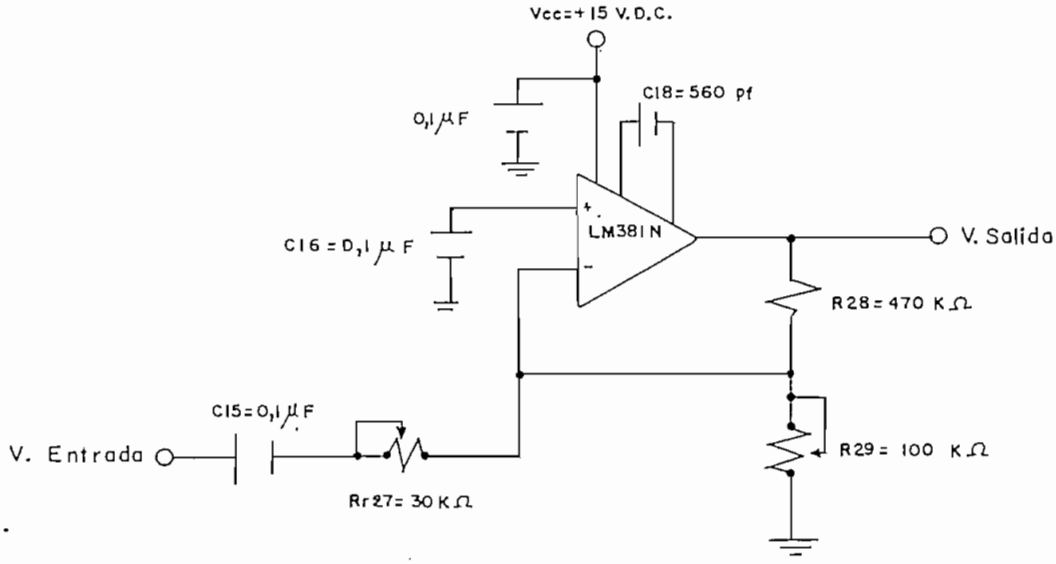


FIG. 4.1.3.a Amplificador de Nivel.

4.1.4. DISEÑO DEL LIMITADOR DE AMPLITUD.-

La fig. 4.1.4.a, nos indica el circuito del limitador de amplitud. El diodo D1 conduce durante el ciclo positivo, el diodo D2 conduce en el ciclo negativo.

La resistencia R30, limita la corriente de circulación por los diodos.

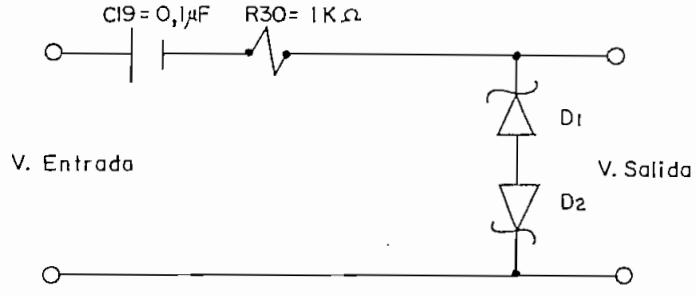


FIG. 4.1.4.a Limitador de Amplitud

Los diodos D1 y D2 son de tipo zener y tienen un voltaje de ruptura de 2,4 volt. D.C., asegurando a la entrada del Detector Digital un voltaje de trabajo límite máximo (≈ 4 Vpp).

D1 = D2 De 2.4 Volt D.C. de ruptura 4.1.4.a

Una resistencia de 1 KΩ asegura protección para este tipo de diodos.

R30 = 1 KΩ (valor escogido experimentalmente) 4.1.4.b

Para el condensador de paso C19 escogemos el valor:

C19 = 0,1 μ F 4.1.4.c

4.1.5. DISEÑO DEL DETECTOR DIGITAL.-

El Detector Digital está constituído por el C. I. LM 1310

Se lo escogió en base a los requerimientos de funcionamiento del Sincronizador, sobre todo, en el proceso de detección en presencia, de la señal de sincronización.

El LM 1310, es un demodulador F.M. estéreo de - lazo asegurado por fase. Demodula las señales provenientes de la etapa de detección de frecuencia intermedia - F.I., de los receptores F.M. estéreos. Utiliza el tono piloto de 19 Khz. para regenerar la subportadora de 38 Khz., que ha sido suprimida en la transmisión.

Las figs. 4.1.5.a y 4.1.5.b, nos enseñan el diagrama de bloques del LM 1310 y el circuito del Detector Digital respectivamente.

En la fig. 4.1.5.b, la señal compuesta de audio que contiene la señal de sincronización, entra al amplificador de audio. La salida es acoplada a dos detectores: el uno, el detector de lazo asegurado por fase (PLL) y el otro, el detector de fase en "fase".

Los 40 Khz. de frecuencia, del oscilador controlado por voltaje V.C.O., es dividida dos veces obteniéndose una señal (10 Khz.) de frecuencia igual a la de - la señal de sincronización. Esta señal, es la realimentación del P.L.L. y además es la otra entrada del detector de fase en "fase".

Cuando la señal de sincronización y la señal interna de 10 Khz. se ponen en fase, el voltaje de salida D.C. del detector de fase en "fase", es un valor proporcional a la amplitud de la señal de sincronización, si este valor es lo suficientemente grande, acciona un disparador electrónico, que permite obtener en el terminal 6 del LM 1310, una señal digital de salida.

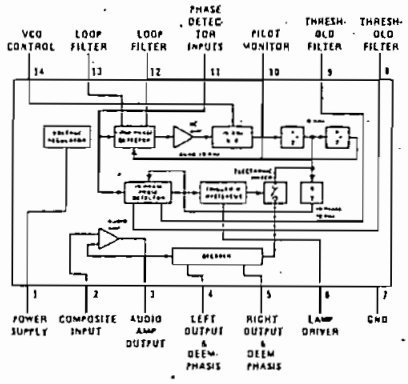


FIG. 4.1.5.a Diagrama de bloques del LM 1310

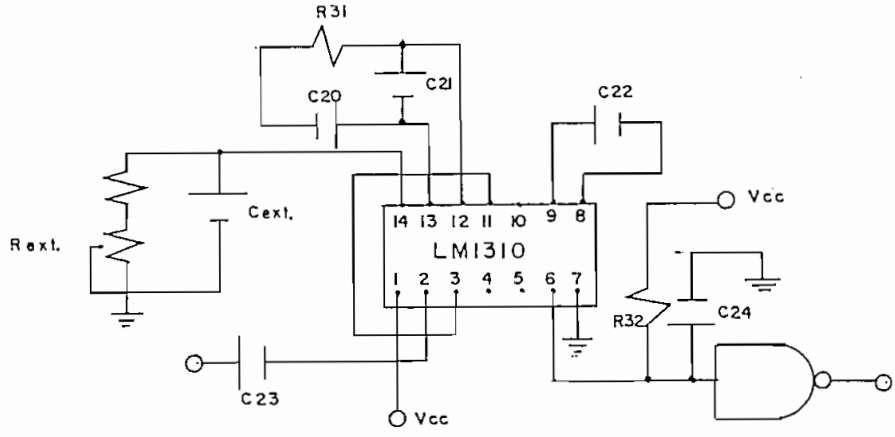


FIG. 4.1.5.b Detector Digital

De la fig. 4.1.5.a, observamos que el LM 1310,- posee cinco secciones: el regulador, el amplificador de audio, el detector de lazo asegurado por fase, el detector de lazo asegurado por fase en "fase" y el circuito-disparador. Todas las secciones están integradas en una sola cápsula.

El regulador elimina la necesidad de utilizar - costosos filtros para la fuente y mantiene un voltaje - interno de 5,8 Volt. D.C. El amplificador de audio de impedancia de entrada alta, se constituye en interfase.

El lazo asegurado por fase, ( ) consta de un detector de fase, un filtro pasa-bajos, un amplificador -

de error D.C. y un oscilador controlado por voltaje V. C.O. Para una señal de entrada nula, el voltaje de salida del amplificador D.C. decae de 0 Volt. y el V.C.O. oscila a una determinada frecuencia f0. Cuando la señal de entrada se incrementa, el detector de fase compara las fases de la señal de entrada f1 con f0, generando un voltaje error relacionado a la diferencia de fase. La señal error es filtrada, amplificada y aplicada al V.C.O., haciendo reducir la diferencia, entre la frecuencia f1 de la señal de entrada y f0. Si la frecuencia f1 es suficientemente cerrada para f0, el PLL hace que el V.C.O. se sincronice con f1, siendo entonces la frecuencia del V.C.O. prácticamente idéntica, a la de la señal de entrada.

Para efecto de análisis, el circuito equivalente para el V.C.O. del LM 1310 dado por el fabricante, se muestra en la fig. 4.1.5.d

En la fig. 4.1.5.d, en el momento de inicio del funcionamiento tenemos:

$$Vp = \frac{5{,}8 \text{ Volt}}{(7.500 + 2.000)\Omega} (2.000\Omega) \qquad Vp = 1{,}22 \text{ Volt.} \quad 4.1.5.a$$

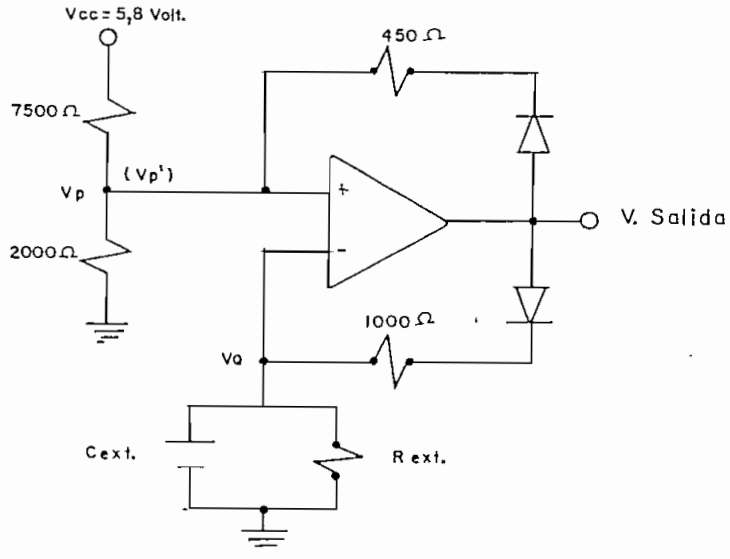
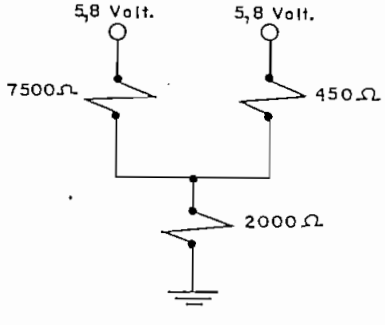


FIG. 4.1.5.d Circuito equivalente del V.C.O del LM 1310

Cuando se obtiene este voltaje inicial de Vp, - el voltaje de salida del V.C.O. sube rápidamente hasta 5,80 volt. (voltaje interno de polarización), y el - voltaje de Vp cambia a Vp', así:



$$Vp' = \frac{5,8 \text{ Volt.}}{\left(2000 + \frac{7500.450}{7500+450}\right)} .2000$$

$$Vp' = 4,78 \text{ Volt.} \qquad 4.1.5.b$$

Bajo estas condiciones el condensador Cext. se carga a través de la resistencia de 1000Ω. Al llegar VQ hasta 4,78 volts., voltaje de Vp', se obliga a que el voltaje de salida del V.C.O. vuelva a 0 volt., con lo que el voltaje Vp' cambia de nuevo al voltaje Vp (1,2 volts.). El condensador ahora se descarga por Rext., hasta que VQ sea 1,2 volts. voltaje de Vp, subiendo el voltaje de salida del V.C.O. nuevamente a 5,8 volts., de esta manera el ciclo se repite obteniéndose a la salida del V.C.O. una oscilación. Ver fig. 4.1.5.e.

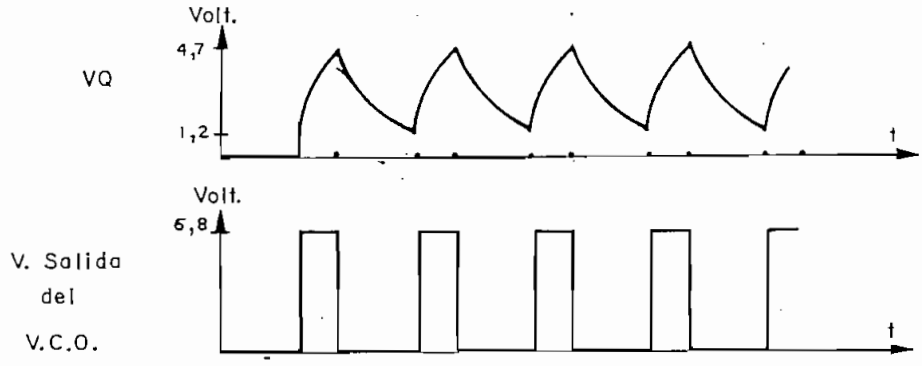


FIG. 4.1.5.e Voltaje de salida del V.C.O.

El tiempo de carga para Cexter. está dado por:

$$\tau_{carga} = 1\ K\Omega\ .\ Cext \Longrightarrow \tau_{carga} = Cext. \qquad 4.1.5.c$$

El tiempo de descarga para Cext. está dada por:

$$\tau_{desc} = Rext\ .\ Cext$$

$$\frac{\tau_{carga}}{\tau_{desc}} = \frac{Cext}{Rext.Cext} \Longrightarrow \tau_{desc} = Rext.\ \tau_{carga}$$

4.1.5.d

luego:

$$\tau_{desc} \gg \tau_{carga} \qquad 4.1.5.e$$

Por 4.1.5.e, podemos asumir que la frecuencia - del voltaje de salida del V.C.O., prácticamente está dada por:

$$fv.C.O = \frac{1}{Rext.Cext} \qquad 4.1.5.f$$

Por otro lado, el rango de captura del sistema-PLL está dado por la banda de frecuencias en la vecin - dad de fo/4, donde el Pll puede establecer el lazo, con una señal de entrada y además, está relacionado con el ancho de banda del filtro pasa-bajos.

En la fig. 4.1.5.b, C20 y R31, determinan el - rango de captura del Detector Digital.

El fabricante recomienda:

$$\Delta B = \frac{1}{C20\ R31}\ Hz \quad \text{rango de captura} \qquad 4.1.5.g$$

$$C21 = 0{,}22\mu F \qquad 4.1.5.h$$

$$C22 = 0{,}33\mu F \qquad 4.1.5.i$$

C21 filtra las frecuencias espureas posibles.

En la fig. 4.1.5.f, se enseña la característica de la corriente de entrada, al terminal 6 del LM 1310, - en función de su voltaje de salida. Del gráfico, para-

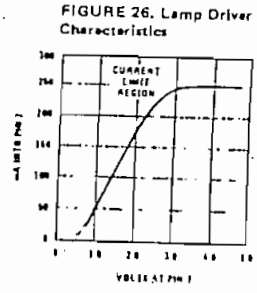


FIG. 4.1.5.f Característica de Voltaje y corriente al terminal 6 del LM 1310

un voltaje de salida al terminal 6 de 0,2 volt D.C., se tiene una corriente de entrada.aproximada de 10mA, luego, de la fig. 4.1.5.b, tenemos:

$$R32 = \frac{Vcc - Volt,term.\ 6}{I\ term.\ 6} \qquad 4.1.5.j$$

La fig. 4.1.5.g, indican las curvas características de funcionamiento del LM 1310 dadas por el fabri-

cante: la del nivel del tono de entrada, en función de su frecuencia y la del rango de captura, en función del nivel de la señal de entrada respectivamente.

De la fig. 4.1.5.g, para nuestro propósito de - obtener el nivel de la señal de 10 Khz., requerido por el LM 1310, es necesario hacer una extrapolación de los valores de los parámetros, considerando una relación lineal entre ellos.

Para una señal de 10 Khz., el nivel requerido - por LM 1310 es de 802 mVrms. 4.1.5.k

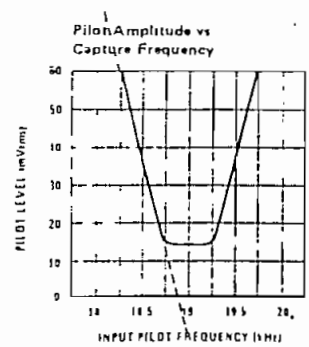


FIG. 4.1.5.g Características del nivel del tono de entrada en función de su frecuencia

FIGURE 25. Capture Range

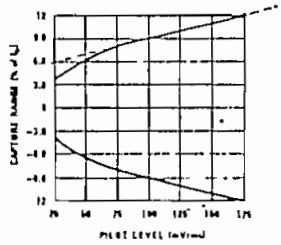


FIG. 4.1.5.h Característica del rango de captura en función del nivel del tono de entrada.

De la fig. 4.1.5.h, asumiendo una relación lineal entre el nivel del tono y el rango de captura, y extrapolando tenemos:

Para un nivel de entrada de 802 mVrms, corresponde a un rango de captura de 41.18% de 10 Khz.

4.1.5.1

Cálculos numéricos:

Datos:

fo = 10 Khz.

f V.C.O. = 4 fO

De 4.1.5.f

$$f\ V.C.O = \frac{1}{Rext\ .\ Cext}$$

asumimos Cext. = 470 pF 4.1.5.m

$$Rext = \frac{1}{40.10^{3}.470.10^{-12}} = 53.191\,\Omega$$

Rext = 31,6 KΩ + 25 KΩ variable 4.1.5.n

De 4.1.5.h

C21 = 0,22 μF

De 4.1.5.i

C22 = 0,33 μF

De 4.1.5.g y 4.1.5.l

$$\Delta B = \frac{1}{C20\ R31}\ Hz.$$

asumimos C20 = 0,47 μF 4.1.5.o

luego:

$$R31 = \frac{1}{0,47.10^{-6}.4,118.10^{3}}$$

R31 = 516,67Ω R31 = 510Ω 4.1.5.p

asumimos el valor de C23

C23 = 0,1 μ F 4.1.5.q

La presencia de C24 en el Detector Digital, es importante en el funcionamiento global del Detector, porque elimina frecuencias espureas, que no permiten su normal - funcionamiento.

El valor de C24 se lo escogió en base a pruebas experimentales:

C24 = 30 μF 4.1.5.r

La fig. 4.1.5.i, indica el circuito final del - Detector Digital.

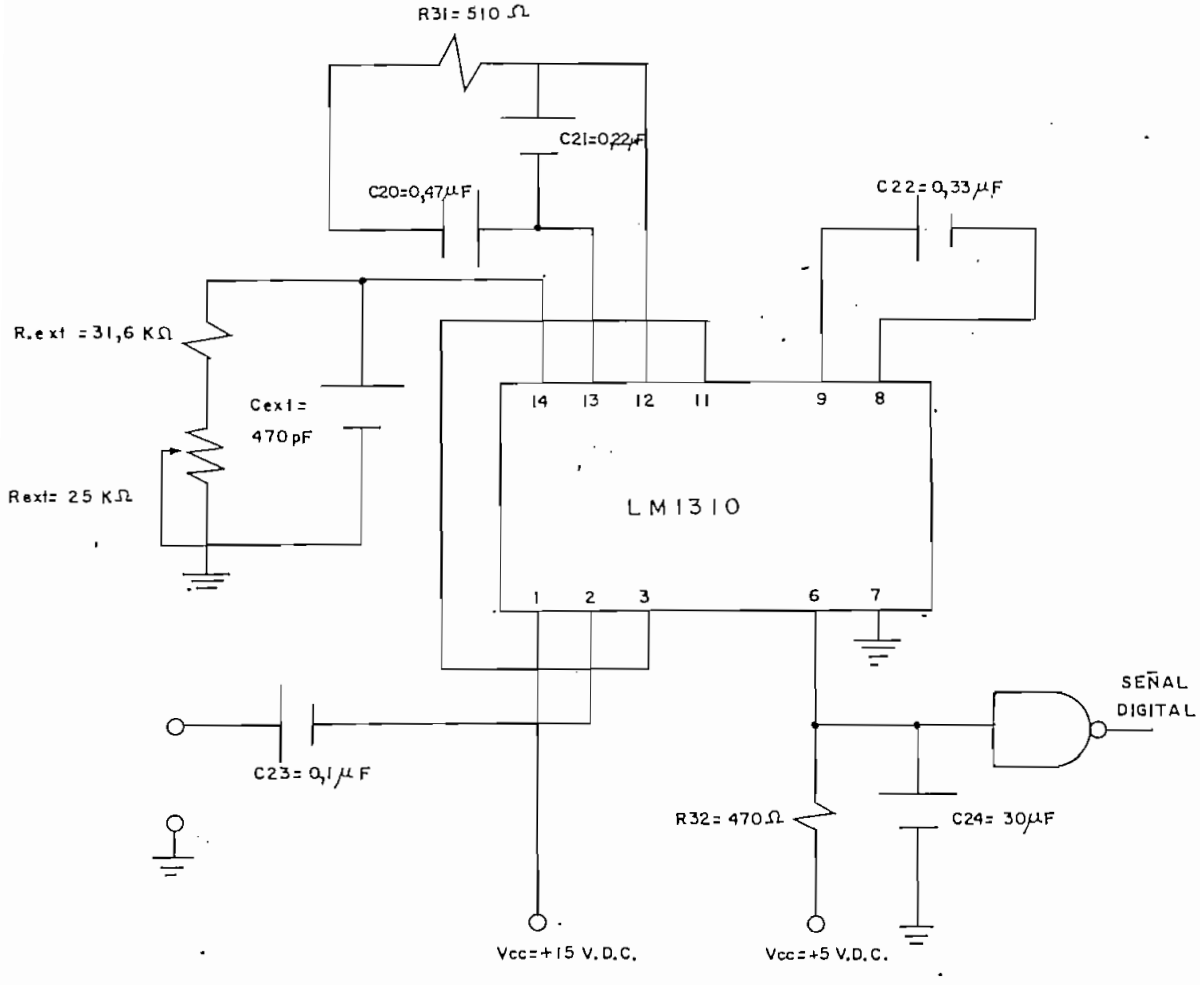


FIG. 4.1.5.i Detector Digital

4.2. SECCION DIGITAL:

4.2.1. DISEÑO DEL CIRCUITO MUESTREADOR.-

La fig. 4.2.1.a, nos indica el diagrama de flujo de funcionamiento del circuito muestreador.

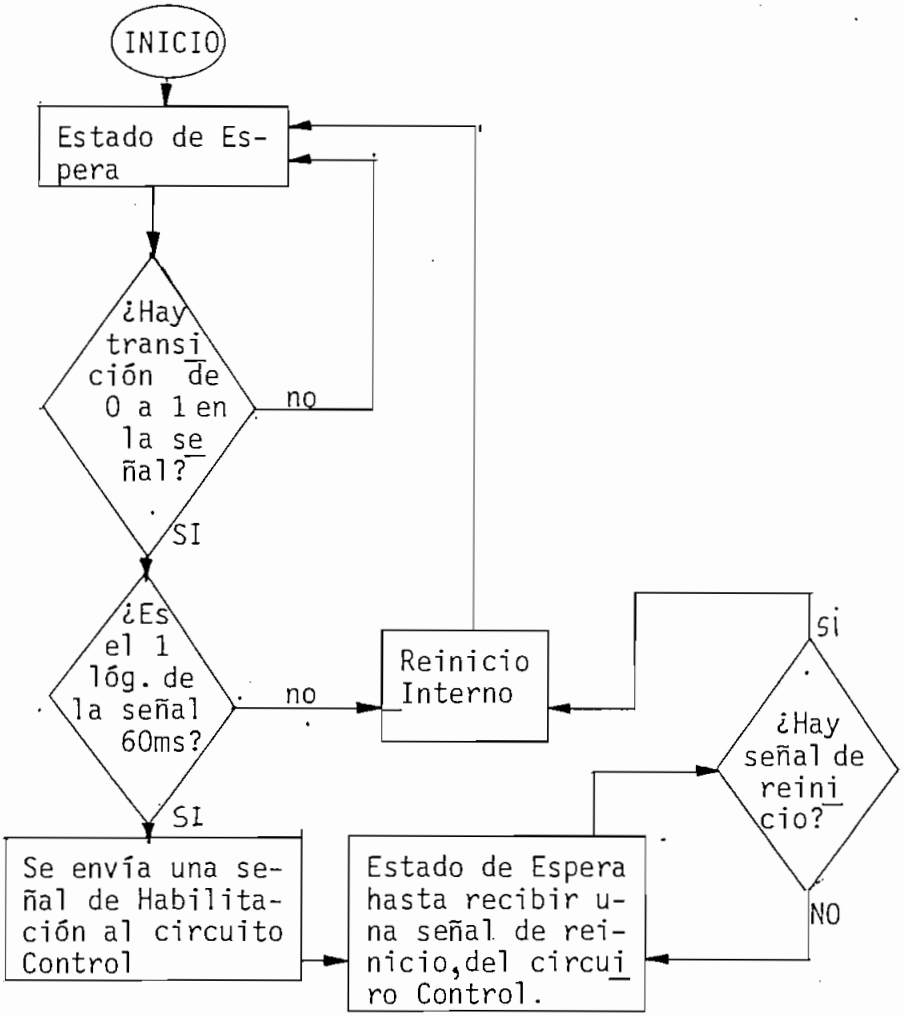


FIG. 4.2.1.a Diagrama de Flujo del funcionamiento del circuito Muestreador.

Las figs. 4.2.1.b y 4.2.1.c, indican el circuito Muestreador y su diagrama de tiempos respectivamente

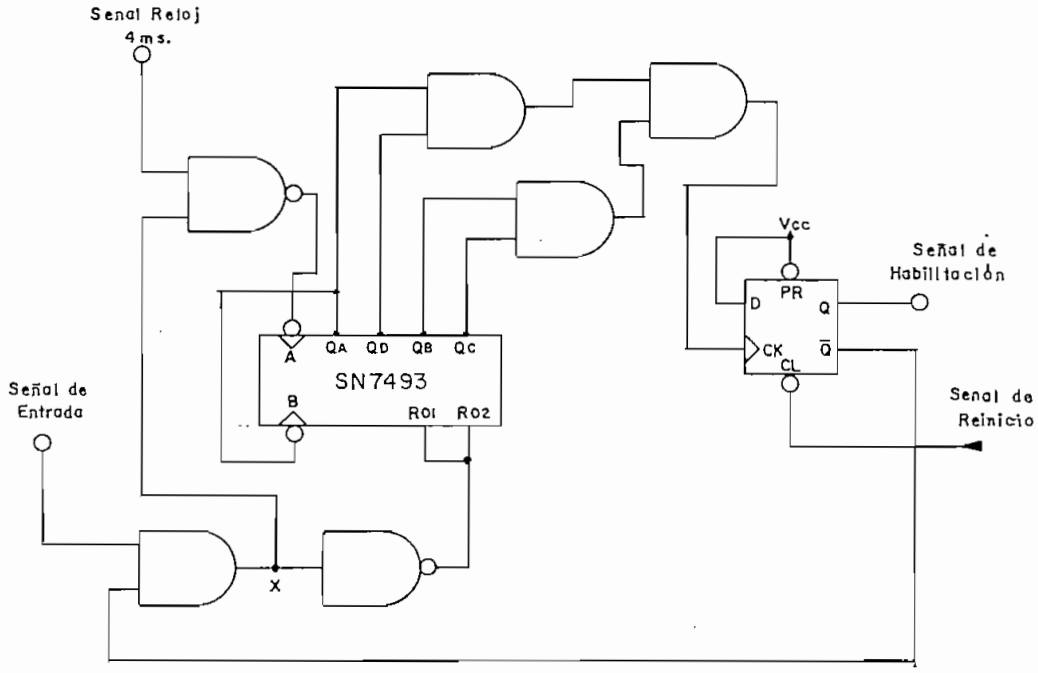


FIG. 4.2.1.b Circuito Muestreador.

De la fig. 4.2.1.c, en la primera transición de o a 1 que aparece en la señal digital de entrada, se habilita el contador módulo 16 y se permite el paso de los pulsos de reloj de 4ms, ahora; si el 1 lóg. de la señal de entrada dura 60 ms, se acciona el biestable tipo D y se obtiene de este modo la señal de habilitación para el circuito Control, permaneciendo en este estado,

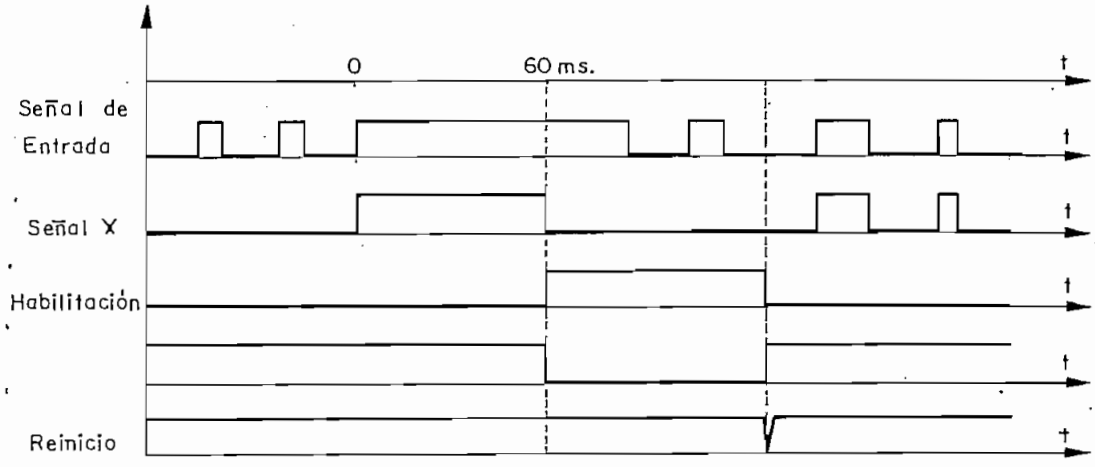


FIG. 4.2.1.c Diagrama de tiempos del Circuito Muestreador.

hasta no recibir la señal de reinicio del circuito Control. Caso contrario, si el 1 lóg de la señal de entrada dura menos de los 60 ms, el contador toma su estado inicial, no hay paso de los pulsos de 4ms., por lo tanto no se tiene la señal de habilitación y el circuito - muestreador queda listo para reiniciar su trabajo.

4.2.2. DISEÑO DEL CIRCUITO CONTROL.-

La fig. 4.2.2.a, indica el diagrama de flujo del

funcionamiento del circuito Control.

El circuito implementado del Control, se indica en la fig. 4.2.2.b y su diagrama de tiempos en la fig. 4.2.2.c.

Cuando el circuito muestreador envía la señal - de habilitación, las señales de reloj de 4 ms. pasan al primer contador decádico, obteniéndose una señal de reloj de 40 ms., sincronizada con la señal de habilitación, para el segundo contador decádico, ver fig. 4.2.2.c.

La salida del segundo contador decádico, opera sobre el multiplexer (SN 74151), para muestrear si es que la señal de entrada tiene en secuencia el 0 lóg y - el 1 lóg, característica de la parte constante de las - señales de sincronización; si ésto sucede, los tres subsiguientes datos serán la información codificada requerida, caso contrario, el circuito se reinicia interna - mente, envía una señal de reinicio al circuito muestreador y queda listo para iniciar de nuevo el trabajo.

La señal Q es el reloj para la transformación -

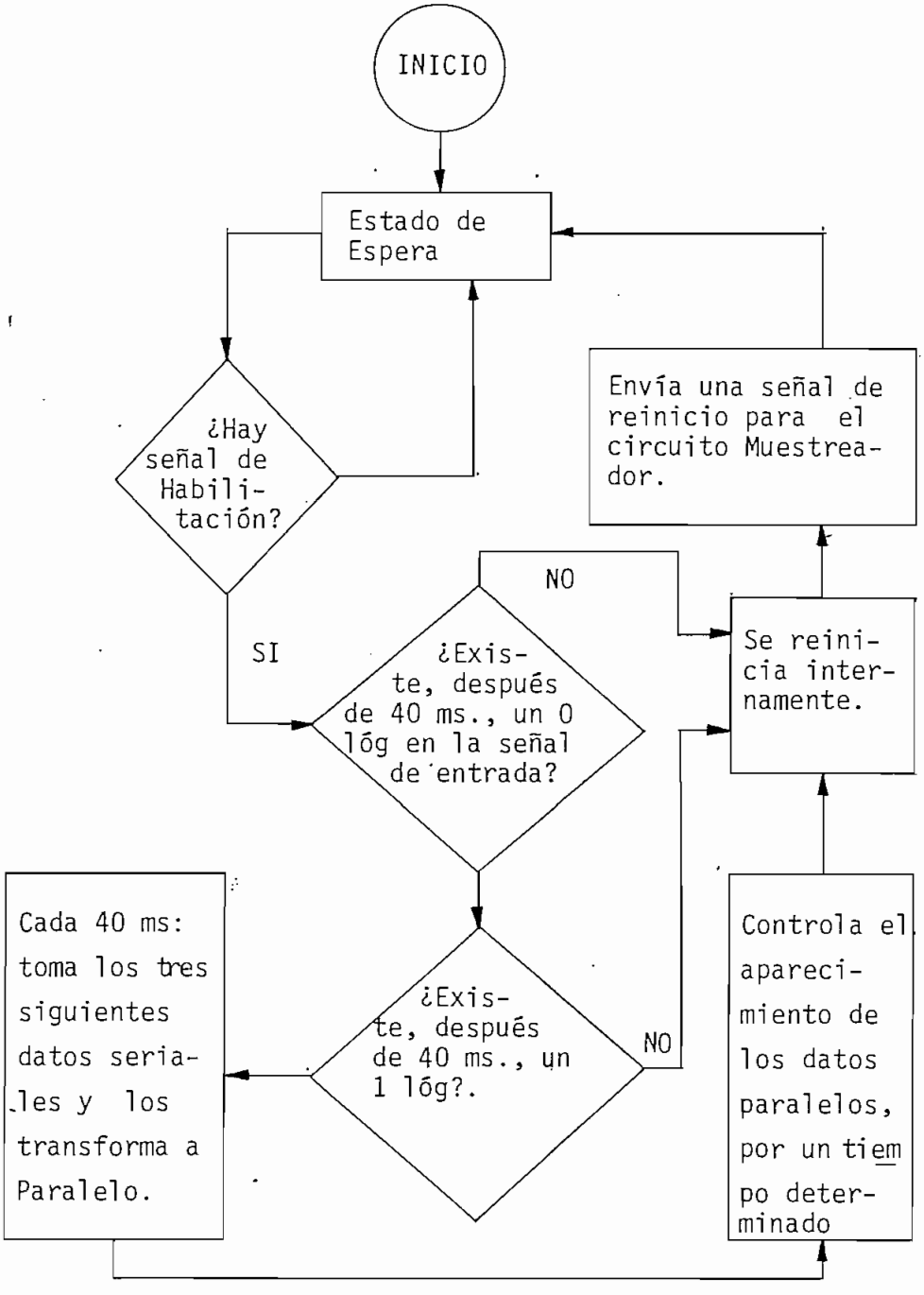
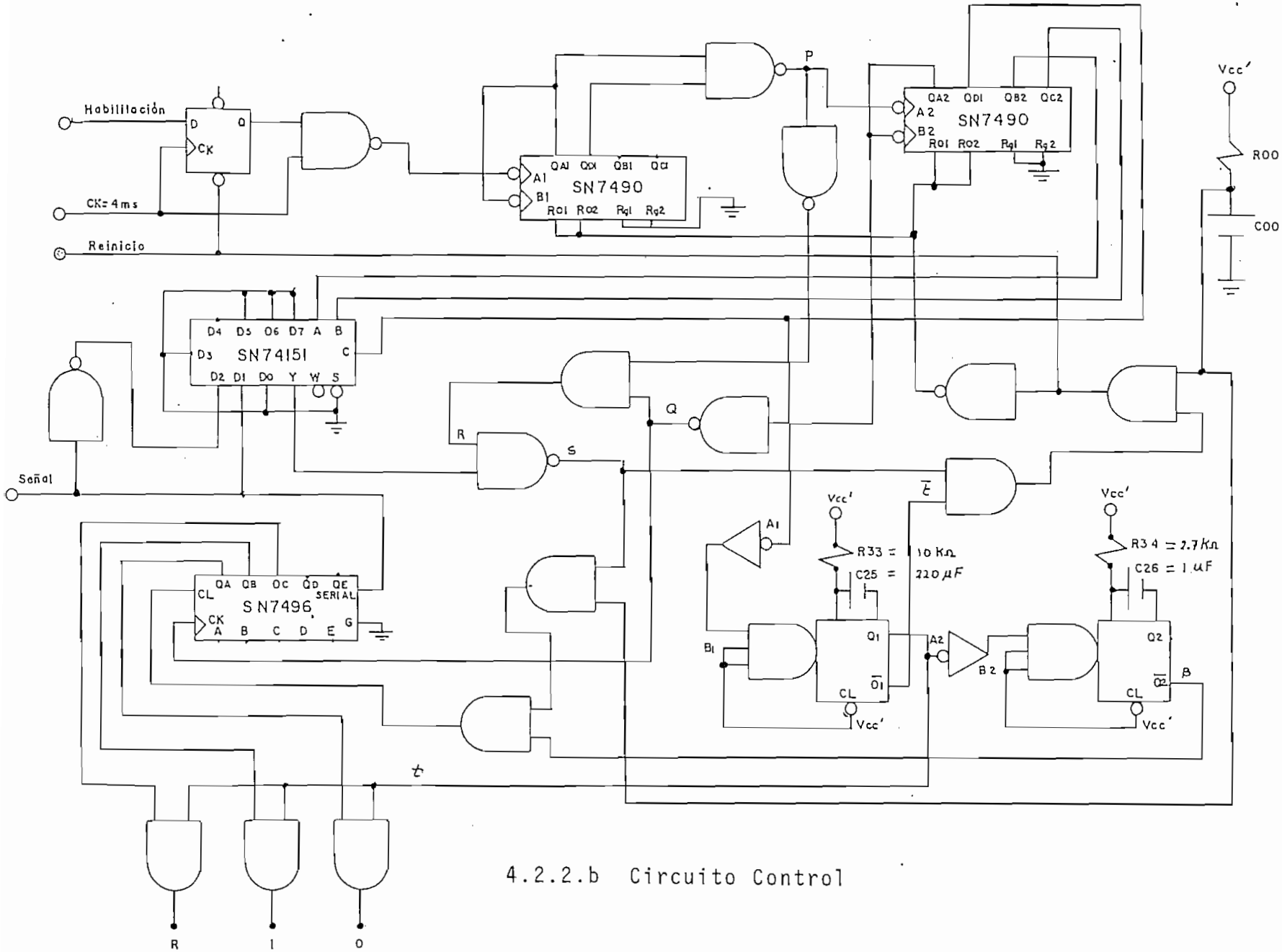
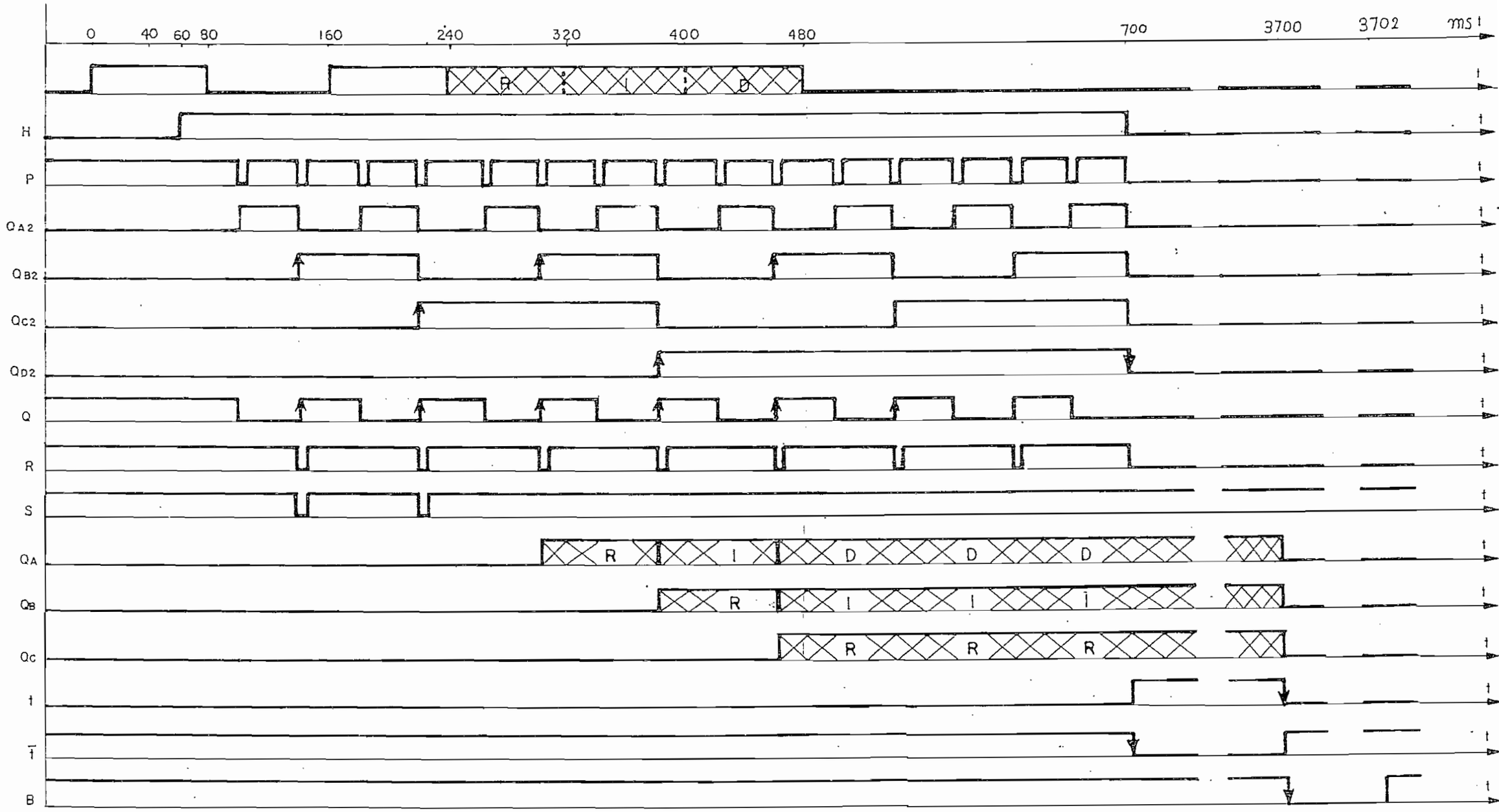


FIG. 4.2.2.a Diagrama de Flujo del Funcionamiento del circuito Control



4.2.2.b Circuito Control



4.2.2.c Diagrama de Tiempos

de serie a paralelo de los datos de la señal de entrada.

Después de transformar a paralelo los tres datos R,I,D seriales, se dispara una ventana t de 1,3 μs.- de duración, para que los datos paralelos puedan pasar a la siguiente etapa, mientras que $\overline{t}$ reinicia al resto de circuito. Al final de t y con su transición negativa, se obtiene la señal B, que sirve para reiniciar al registro de desplazamiento SN7496.

4.2.3. DISEÑO DEL DECODIFICADOR.-

En la tabla 4.2.3.a, se indica las condiciones de trabajo requeridas para el decodificador.

ENTRADAS			SALIDAS			
R	I	D	IZ	$\overline{IZ}$	DER	$\overline{DER}$
0	1	0	1	0	0	0
1	1	0	0	1	0	0
0	0	1	0	0	1	0
1	0	1	0	0	0	1
0	1	1	1	0	1	0
1	1	1	0	1	0	1

TABLA 4.2.3.a Condiciones de trabajo del DEcodificador

IZ = Adelanto de proyección del Proyector IZQ.

$\overline{IZ}$ = Retraso de proyección del Proyector IZQ.

DER = Adelanto de proyección del Proyector DER.

$\overline{DER}$ = Retraso de proyección del Proyector DER.

De la tabla 4.2.3.a tenemos:

D \ RI	00	01	11	10
0	0	1	0	0
1	0	1	0	0

$$IZ = \overline{R}.I \qquad 4.2.3.a$$

D \ RI	00	01	11	10
0	0	0	1	0
1	0	0	1	0

$$\overline{IZ} = R.I \qquad 4.2.3.b$$

D \ RI	00	01	11	10
0	0	0	0	0
1	1	1	0	0

$$DER = \overline{R}.I \qquad 4.2.3.c$$

D \ RI	00	01	11	10
0	0	0	0	0
1	0	0	1	1

$\overline{DER} = R.D$ 4.2.3.d

Implementando el circuito tenemos:

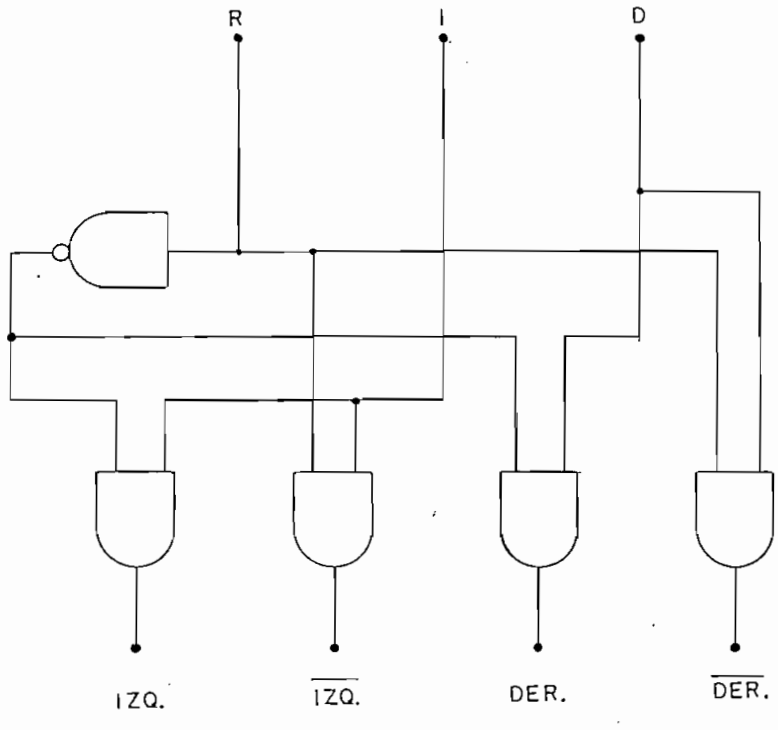


FIG. 4.2.3.a Decodificador

4.2.4. DISEÑO DEL INTERFASE DE SALIDA.-

El aparecimiento de 1 lóg en cualquier señal (IZ, $\overline{IZ}$, DER, $\overline{DER}$), determina el accionamiento del respectivo relé.

La fig. 4.2.4.a, indica el circuito de una de las salidas.

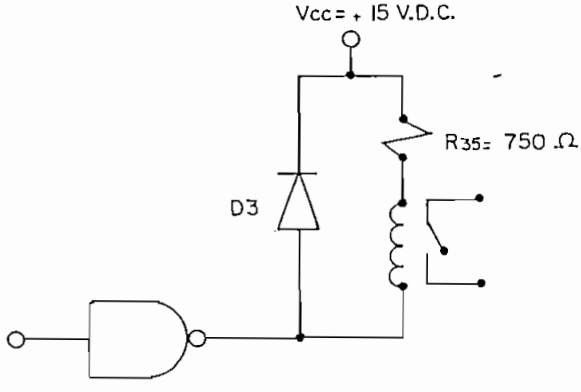


FIG. 4.2.4.a Interfase

Se utiliza:

- Una compuerta NAND de colector abierto (SN 7406).
- Un relé de 180 Ω de bobinado y 45 mA de corriente de trabajo.

Cálculos numéricos:

Vcc = 15 Volt D.C. valor escogido.

De la fig. 4.2.4.a tenemos:

$$R35 = \frac{Vcc}{I\ relé} - R\ relé \qquad 4.2.4.a$$

$$R35 = \frac{15\ Volt}{45\ mA} - 180\Omega$$

$$R35 = 150\Omega \qquad 4.2.4.b$$

La corriente de trabajo del relé, es bastante grande comparada con Iol de la compuerta; manteniéndose en todo caso dentro de los límites de trabajo de la compuerta.

El diodo debe tener un voltaje de ruptura superior a 20 volt. D.C. Se utiliza el diodo 1N34A.

Capítulo 5

DISEÑO DEL RELOJ CENTRAL

5.1. DISEÑO DEL RELOJ CENTRAL:

Por las características del Sincronizador, se necesitan señales de 10 Khz, 250 Hz y 12,5 Hz. de frecuencias.

Se utiliza un oscilador TTL de cristal y divisores de frecuencia.

5.1.1. OSCILADOR DE CRISTAL.-

La fig. 5.1.1.a, indica el oscilador TTL de cristal, la frecuencia de oscilación, se escoge de un valor de 5 M Hz., por estar en la región de mayor estabilidad para cristales de cuarzo (1)

En la fig. 5.1.1.a, al tener dos etapas con in-

---

(1) Ver referencia 6, pág. 99

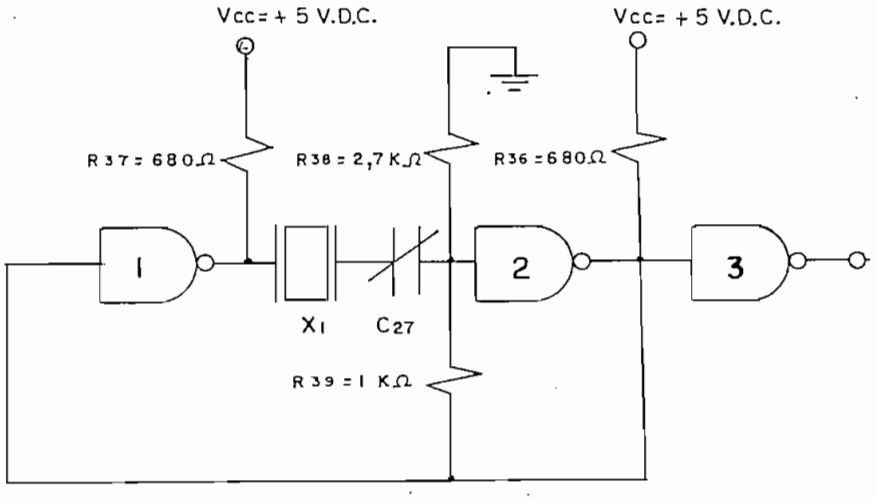


FIG. 5.1.1.a Oscilador TTL de cristal.

versión, (compuertas 1 y 2) se obtiene la oscilación, realimentando la salida de la 2 a la entrada de la 1. - La frecuencia de oscilación estará dada por el cristal-X1, el mismo que se presenta como un cortocircuito a esta frecuencia.

R36 y R37 mejoran los flancos de salidas de 2 y 1 respectivamente. R39 introduce realimentación negativa, para mejorar la estabilidad del circuito. R38 ayuda a limitar la corriente de realimentación negativa haciendo menos crítico el valor de R39. C27, permite el ajuste fino de la frecuencia. La compuerta adicional -

3 mejora la señal de salida y además separa el oscila - dor de la carga.

Cálculos numéricos:

Asumimos una corriente de salida para las compuertas, de 5 veces IIL, para mejorar los flancos de - las salidas.

Luego:

$$R36 = R37 = \frac{Vcc - Vol}{5\ I_{IL}} = \frac{5V - 0.2\ V}{5(1,6.10^{-3})A} = 600\Omega \qquad 5.1.1.a$$

$$R36 = R37 = 680\Omega \qquad (\text{ valor práctico }) \qquad 5.1.1.b$$

Las resistencias R38 y R39 que estabilizan, se las obtuvo experimentalmente. (1)

$$R38 = 2,7\ K\Omega \qquad 5.1.1.c$$

$$R39 = 1\ K\Omega \qquad 5.1.1.d$$

---

(1) Ver referencia 4, pág. 100

C27 capacitor trimmer de 5 a 50 pF 5.1.1.e
valor escogido

5.1.2. DIVISORES DE FRECUENCIA.-

La fig. 5.1.2.a, indica el diagrama de bloques de los divisores de frecuencia.

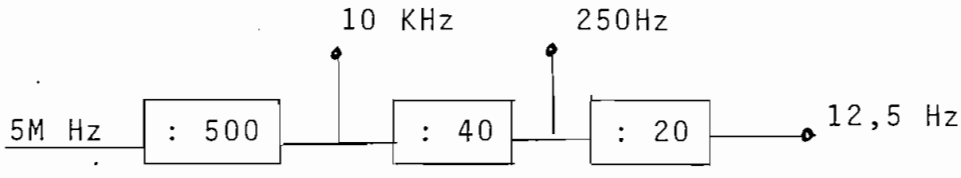


FIG. 5.1.1.a Diagrama de bloques de los divisores de frecuencia

Para obtener los diferentes módulos de los divisores de frecuencia, se utilizan los contadores SN 7493, SN7490 y SN74390, dadas sus características de conexiones. (1)

La fig. 5.1.1.b, indica el circuito de los divisores de frecuencia.

---

(1) Ver referencia 3, págs. 7 - 72

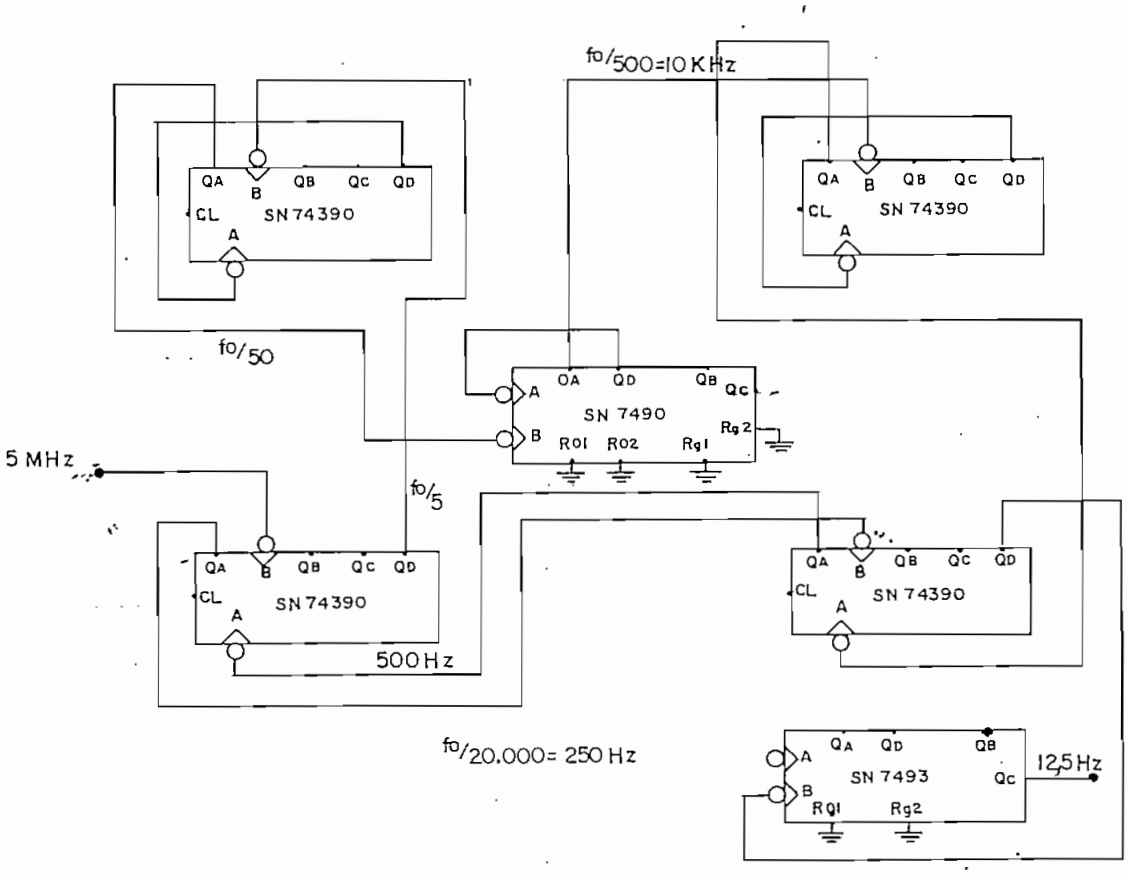


FIG. 5.1.1.b Divisores de Frecuencia.

Capitulo 6

DISEÑO DE LAS FUENTES DE VOLTAJE

6.1. DISEÑO DE LA FUENTE DE VOLTAJE:

En la fig. 6.1.1., se indica el diagrama de bloques de una fuente de voltaje general.

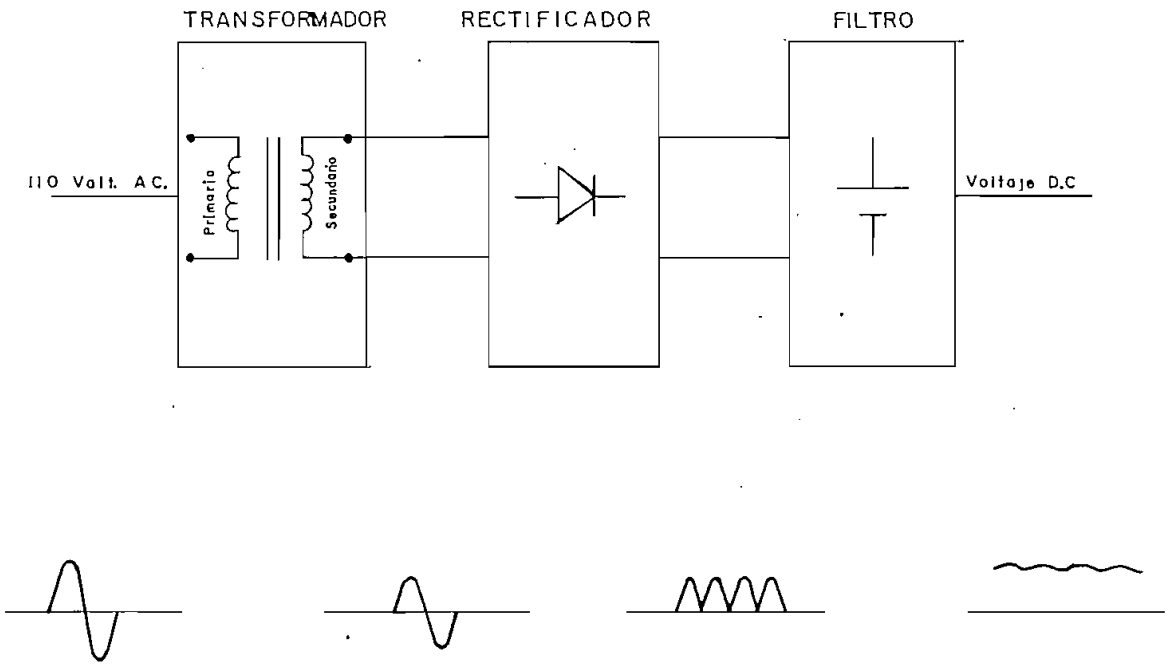


FIG. 6.1.1. Diagrama de bloques de una fuente de Voltaje.

De la fig. 6.1.1., la fuente de voltaje, en su forma simple, consta de tres secciones:

- Un transformador, que aisla a la fuente de la línea externa de voltaje y que reduce los 110 Volt. A.C., a un voltaje A.C. requerido.

- Un puente rectificador, que convierte el voltaje A. C. en D.C. y que satisface, la corriente de carga - necesaria para el capacitor (filtro).

- Un capacitor (filtro), que mantiene el suficiente nivel entre los ciclos de carga, para satisfacer, - las limitaciones del voltaje de entrada del regulador.

Debido a las características de la rectifica - ción de onda completa, los ciclos de carga de capacitor ocurren cada 8.3 ms (120 Hz). 6.1.1

La fig. 6.1.2., enseña la forma de voltaje de salida, como una combinación de un voltaje V.C. (VC) y un voltaje de rizado.

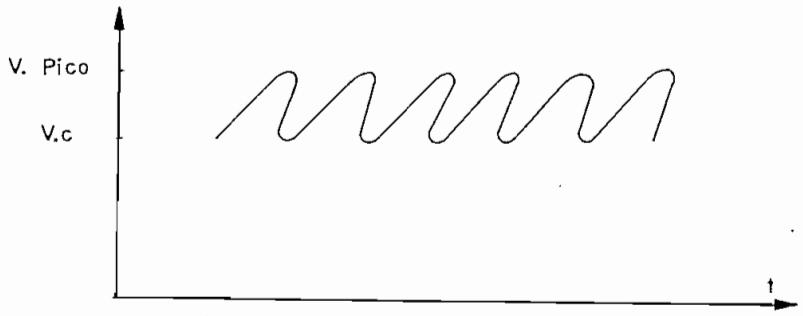


FIG. 6.1.2. Voltaje de Salida

El factor de rizado, está dado por:

$$yF = \frac{Vpico - VC}{VC} \qquad 6.1.2.$$

Para el cálculo de C, sabemos que:

$$C = \frac{dt}{dV} \cdot I \qquad 6.1.3$$

donde:

C = Valor del capacitor en F.

I = Máxima corriente requerida en Amp.

dt = tiempo de carga del capacitor, 8.3 ms (120 Hz)

dV = Voltaje de rizado en voltios.

Para calcular el voltaje del secundario del transformador tenemos:

$$Vsec = \frac{Vc + Vriz + Vrect}{\sqrt{2}} \qquad 6.1.4.$$

donde:

Vc = Voltaje D.C. de la fuente

Vriz = Voltaje de rizado

Vrect = Voltaje de caída de los dos diodos, del rectificador.

Para escoger el puente rectificador, debemos tomar tres consideraciones: la corriente de inicio instantánea, la corriente constante y el voltaje de pico inverso.

Cuando la fuente es energizada, el capacitor está totalmente descargado, apareciendo una carga de 0 y como única carga se tiene la resistencia del secundario del transformador (o,1 Ω), luego:

$$\text{Inicio} = \frac{\text{Vpico}}{\text{Rsecund}} = \qquad 6.1.5$$

La corriente constante de trabajo, debe ser mayor a la de la corriente de trabajo requerida, para la fuente.

El voltaje pico inverso; máximo voltaje inverso que puede aparecer, a través del diodo, antes de que, se destruya; para este caso, con un valor de 100 volt nos proporciona seguridad, luego:

$$\text{Vpico-inverso} \geq 100 \text{ Volt.} \qquad 6.1.6$$

6.1.1. DISEÑO DE LA FUENTE DE +5 VOLT. D.C.

Datos:

Vc = 10 voltios D.C.

Este valor se escoge debido a las características de entrada del regulador de voltaje usado.

yf = 25 % Factor rizado, asumido por consideraciones prácticas.

- I = 5 Amp. Corriente requerida, para la fuente.

De 6.1.2. tenemos:

Vpico = yf.Vc + Vc = (0,25) (10) + 10

Vpico = 12.5 Volt D.C. 6.1.1.a

Luego, de 6.1.1.a el voltaje de rizado es 2,5 voltios

6.1.1.b

De 6.1.3, tenemos:

$$C28 = \frac{dt}{dV} \cdot I$$

$$C28 = \frac{(8,3 \text{ ms})}{(2,5 \text{ Vol})} \cdot 5 \text{ Amp} = 16,6 \cdot 10^{-3} F$$

Como valor práctico tomamos:

C28 = 20.000 μF a 25 V.D.C. 6.1.1.c

De 6.1.4. tenemos:

$$Vsec = \frac{Vc + Vriz + Vrect}{\sqrt{2}}$$

$$Vsec = \frac{10 + 2,5 + 2}{\sqrt{2}} = 10,25 \text{ Volt}$$

Volt. del secundario del transformador = 10 Volt. 6.1.1.d

Para escoger el puente rectificador, tenemos:

De 6.1.5

$$Iinicio = \frac{Vpico}{Rsecundario} = \frac{12,5 \text{ Volt}}{0,1 \text{ Amp}} = 125 \text{ Amp} \quad 6.1.1.c$$

De 6.1.6.

Vpico-inverso = 100 Volt.

I constante = 5 Amp. (requerido)

Podemos usar cualquier puente rectificador que cumpla esas características (MDA 990-2)

Como regulador de voltaje utilizamos el μA 7805 de 1,5 Amp de corriente de salida y de voltaje de salida nominal de 5 Volt D.C.

El circuito final de la fuente de +5 Volt D.C., se indica en la fig. 6.1.1.a.

6.1.2. DISEÑO DE LA FUENTE DE +15 VOLT D.C.-

- Vc = 20 Voltios D.C., valor escogido por las características de entrada del regulador de voltaje usado.

- yf = 25 %

- I = 1 Amp Corriente requerida para la fuente.

De 6.1.2. tenemos:

$$Vpico = yf\ Vc + Vc = (0,25)\ (20) + 20$$

$$Vpico = 25\ Volt. \qquad 6.1.2.a$$

De 6.1.2.a, el voltaje de rizado es 5 Volt.

De 6.1.3. tenemos:

$$C29 = \frac{(8,3\ ms)}{5\ Volt} \cdot 1\ Amp = 1660\ \mu F$$

Se escoge para C29 un valor práctico:

$$C29 = 2.200\ \mu F \text{ a } 25\ Volt\ D.C. \qquad 6.1.2.b$$

Para escoger el puente rectificador:

De 6.1.5

$$Iinicio = \frac{Vpico}{Rsec} = \frac{25\ Volt}{0,1} = 250\ Amp \qquad 6.1.2.c$$

De 6.1.6

$$Vpico - inverso \geq 100\ Volt$$

$$Iconstante = 1\ Amp \quad (\text{ requerido })$$

Se usa un puente rectificador que cumpla con - esas características (MDA 990-2).

El regulador de voltaje escogido es el μA 7815M que nos da un voltaje de salida nominal de +15 V D.C.,- pudiendo tener hasta 1,5 Amp. de corriente de salida.

El circuito final de la fuente de +15 V D.C. se indica en la fig. 6.1.1.a.

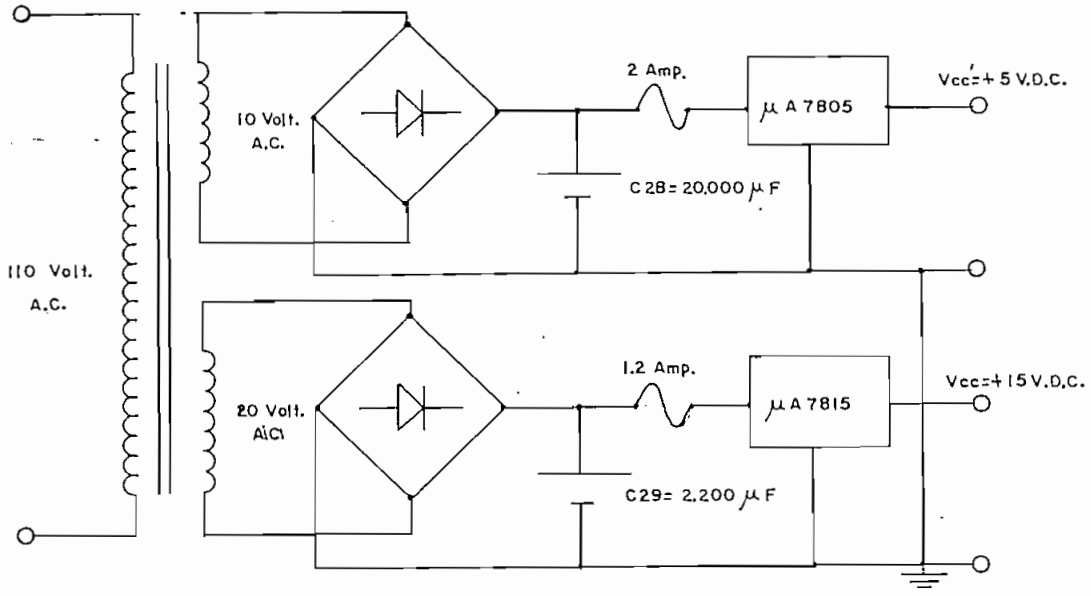


FIG. 6.1.1.a Fuentes de Voltajes de +5 V D.C. y + 15 V D.C.

Capítulo 7

RESULTADOS Y CONCLUSIONES

7.1. RESULTADOS EXPERIMENTALES:

En las tablas 7.1.1., 7.1.2. y 7.1.3. se indican los resultados medidos y tabulados, de las distintas secciones del SINCRONIZADOR.

Además, por mediciones obtuvimos:

- El voltaje de la señal de sincronización pura, en los canales de salida IZQ y DER del SINCRONIZADOR, fue de 1 Vpp.

- El voltaje de la señal de sincronización pura, recuperada desde el Tocacintas Central, fue, alrededor de de 0,15 Vpp.

- El voltaje de ruido de los Pre-amplificadores, con las entradas en cortocircuito, fue de 25 mVpp. 7.1.3

- El voltaje de ruido de los Mezcladores, con las entra

das en cortocircuito, fue de 10 mVpp. 7.1.4

- PARA LOS PRE-AMPLIFICADORES

la amplificación está dada por:

$$A = \frac{Vsalida}{Ventrada}$$

De la tabla 7.1.1. y para 1 KHz tenemos:

$$A = \frac{6,6 \text{ Vpp}}{0,02 \text{ Vpp}} = 330 \Longrightarrow \text{Adb} = 20 \log \ (A)$$

$$\text{Adb} = 20 \log (330) = 50,37$$

$$\text{Adb} = 50,37 \text{ a } 1 \text{ KHz} \qquad 7.1.5$$

la relación señal ruido:

De 7.1.3. y para un voltaje de entrada de 20 mVpp tenemos:

$$S/N = \frac{20 \text{ mVpp} \ . \ 330}{25 \text{ mVpp}} = 264$$

S/N db = 48.43 7.1.6

- Para los Mezcladores:

la amplificación es:

Adb = 3.04 db a 1 KHz 7.1.7

la relación señal ruido es:

S/N db = 49 db 7.1.8

7.2. RECOMENDACIONES PARA SU CONSTRUCCION:

El presente trabajo el SINCRONIZADOR, se ha llevado adelante con una construcción semiprofesional, tratando en lo posible, de obtener un ensamblaje, tanto eléctrico como mecánico, adecuado para la obtención de un buen acabado final.

El SINCRONIZADOR, fue implementado por medio de módulos para sus secciones, con el objeto de tener mayor facilidad en la distribución de los componentes, en

RESPUESTA DE FRECUENCIA DE LOS PRE-AMPLIFICADORES

PARA UN VOLTAJE DE ENTRADA, SINUSOIDAL DE 20 mVpp:

FRECUENCIA EN KHZ	S A L I D A S	
	CANAL IZQ EN Vpp	CANAL DER EN Vpp
0,02	1,3	4
0,05	3	5,2
0,1	5	5,6
1	6,6	6,0
2	6,8	6,0
4	6,4	5,6
6	5,8	5,4
8	5.	4,4
10	4	4
12	3,4	3,6
14	3	3,2
16	2,8	3
18	2,5	2,8
20	2,3	2,6
22	2	2
24	1,8	2
26	1,7	1,8

FRECUENCIA EN KHz	S A L I D A S	
	CANAL IZQ EN Vpp	CANAL DER EN Vpp
28	1,6	1,7
30	1,6	1,6
.Vpp : Voltaje pico-pico de la señal		

TABLA 7.1.1.

RESPUESTA DE FRECUENCIA DE LOS MEZCLADORES

PARA UN VOLTAJE DE ENTRADA SINUSOIDAL

DE 500 mVpp

FRECUENCIA EN KHz	CANAL IZQ 1 EN m Vpp	CANAL DER 1 EN m Vpp	CANAL IZQ 2 EN m Vpp	CANAL DER 2 EN m Vpp
0,01	750	700	750	740
0.02	750	700	750	740
1.	710	710	710	735
2.	710	690	700	720
3.	710	700	700	705
4.	710	690	700	705
5.	710	680	680	700
6.	710	700	690	700
7.	710	700	700	700
8.	710	700	690	700
9.	710	700	690	700
10.	710	690	690	705
11.	700	690	690	705
12.	700	690	690	705
13.	700	695	690	700
14.	700	690	690	700
15.	700	690	690	700
16.	700	690	690	700

FRECUENCIA EN KHz	CANAL IZQ 1 EN m Vpp	CANAL DER 1 EN m Vpp	CANAL IZQ 2 EN m Vpp	CANAL DER 2 EN m Vpp
17.	700	690	690	700
18.	700	690	680	700
19.	700	690	680	700
20.	700	700	680	700
21.	700	700	680	700
22.	700	700	680	700
23.	700	690	680	700
24.	700	700	680	700
25.	700	690	680	700
Vpp: Voltaje pico-pico de la señal				

TABLA 7.1.2

VALORES OBTENIDOS EN LA SECCION DE SINCRONIZACION

PARA UN VOLTAJE DE ENTRADA SINUSOIDAL DE

100 m Vpp.

FRECUENCIA EN KHz	VOLT. DE SALIDA DEL AMPLIFICADOR INTERFASE EN Vpp	VOLT. DE SALIDA DEL FILTRO PASA-BANDA EN Vpp	VOLT. DE ENTRADA AL DETECTOR DIGITAL EN Vpp
1	0,5		
2	0,4		0,1
4	0,36		0,1
6	0,34	0,02	0,2
8	0,32	0,04	0,5
8,5	0,33	0,05	0,7
9	0,31	0,064	1,0
9,5	0,32	0,103	1,8
10	0,32	0,240	3,00
10,5	0,3	0,120	1,8
11	0,3	0,07	1,0
11,5	0,3	0,05	0,74
12	0,3	0,04	0,6
12,5	0,32	0,03	0,5
13	0,32	0,025	0,4

Vpp = Voltaje pico-pico de la señal

TABLA 7.1.3.

el acceso a los mismos y sobre todo para facilidad en chequeos y reparaciones posteriores.

Las secciones de audio, se los construyó en circuitos impresos, utilizando para sus entradas y salidas, cables blindados, con el propósito de minimizar el ruido existente, sobre todo en los pre-amplificadores. No se utilizaron potenciómetros de precisión, ni resistencias de bajo ruido, que son esenciales para la construcción de este tipo de dispositivos de audio. El blindaje de los módulos, es necesario también, sobre todo, para evitar ruidos provenientes de la fuente de voltaje y de fuentes externas.

La construcción de las secciones digitales del SINCRONIZADOR, se lo realizó sobre una tarjeta "VECTOR" utilizando la técnica del "Wire Wrapping", muy común para esta clase de trabajos que usan frecuencias bajas, dando buenos resultados técnicos.

La presencia de los capacitores, en las entradas del voltaje de polarización de los módulos, evitan la presencia de posibles ruidos desde las fuentes de -

voltaje.

Es necesario señalar, que en las secciones de audio, la distribución de los componentes, constituyó un gran problema para el buen funcionamiento, debido a los ruidos que aparecen, por el reducido espacio existente y por la cercanía de los otros circuitos internos, por lo que fue necesario hacer varias pruebas, hasta obtener el circuito implementado.

En la salida del reloj central, se utilizó un cable blindado, para evitar que se constituya en una fuente de ruido.

Las diversas soldaduras y conexiones, se lo realizó de la manera normal recomendada.

7.3. COMENTARIO Y CONCLUSIONES:

El Diseño y construcción del SINCRONIZADOR, a más de constituirse en la solución a un problema concreto propuesto, es sin duda, un elemento de nuestra naciente industria.

Se incursionó en aspectos de lograr un buen acabado externo profesional, que pese a ser una especialidad, significa una buena experiencia para construcciones posteriores.

Es necesario señalar, que en el diseño de muchos circuitos del SINCRONIZADOR, no se utilizó una regla general de diseño, sino, más bien, se los obtuvo experimentalmente, de acuerdo a las necesidades y tratando de solucionar los problemas prácticos que se venían presentando.

Por los resultados generales, por los valores experimentales obtenidos y considerando las dificultades y limitaciones que se presentaron en la construcción, en lo que a audio se refiere, podemos concluir que se ha cumplido con los propósitos fijados en el Capítulo Primero.

REFERENCIAS

1. CONTROL REMOTO DIGITAL DE ENCENCIDO Y APAGADO DE N VARIABLES. Velarde Jaime, E.P.N. 1980.

2. CONSOLA DE AUDIO ESTEREO PARA UNA EMISORA EN F.M. - Corrales Luis, E.P.N. 1979.

3. THE TTL DATA BOOK, Texas Instruments, U.S.A. 1976.

4. SINTETIZADOR DIGITAL DE FRECUENCIAS. Armijos Jack. E.P.N. 1979.

5. GENERADOR POLIFASICO DIGITAL DE SEÑALES. Márquez - Antonio, E.P.N., 1981.

6. ANALISIS Y DISEÑO DE CIRCUITOS ELECTRONICOS. Chir - lian Paul M., McGraw-Hill.

BIBLIOGRAFIA

NATIONAL SEMICONDUCTOR. Audio Handbook, National Semiconductor Corporation, Santa Clara, U.S.A., 1977

HNATEX EUGENE. Aplications of linear Integrated Circuits, A, Wiley - Intercience Publication. U.S.A., 1975.

MILLMAN Y HALKIAS. Electrónica Integrada, Editorial Hispano Europea, Barcelona - España, 1976.

CONSOLA DE AUDIO ESTEREO PARA UNA EMISORA EN F.M. Corrales Luis, E.P.N. 1979.

CIRCUITOS ELECTRICOS. McGraw-Hill, 1969.

CONTROL REMOTO DIGITAL DE ENCENDIDO Y APAGADO DE N VARIABLES. Velarde Jaime, E.P.N. 1980.

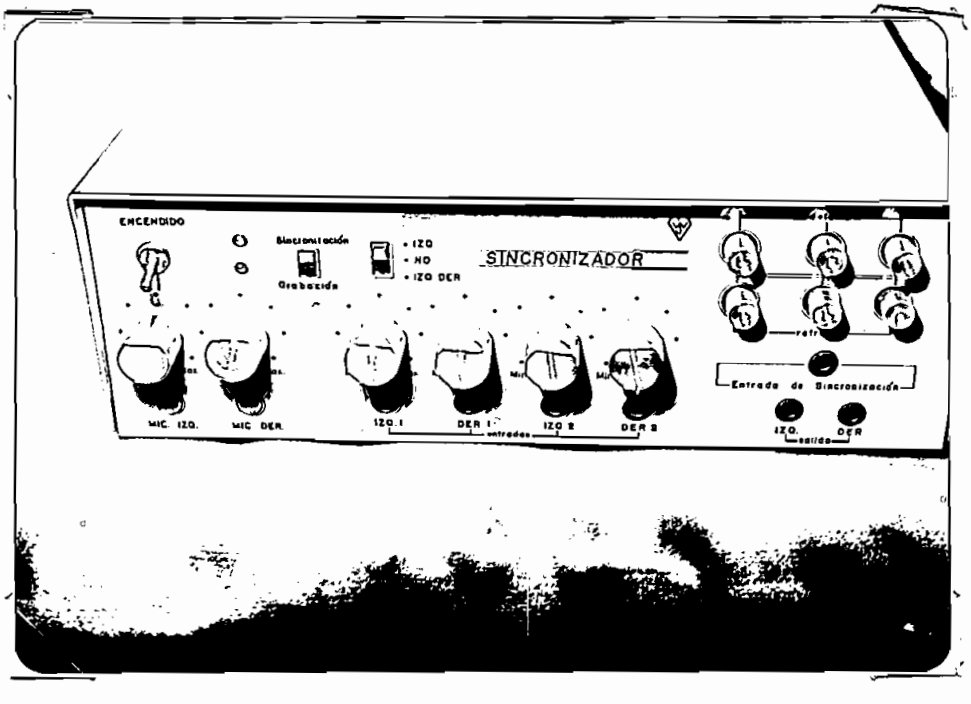
SINTETIZADOR DIGITAL DE FRECUENCIAS. Armijos Jack, E.P.N. 1979.

GENERADOR POLIFASICO DIGITAL DE SEÑALES. Márquez Antonio, E.P.N., 1981.

ANEXO 1

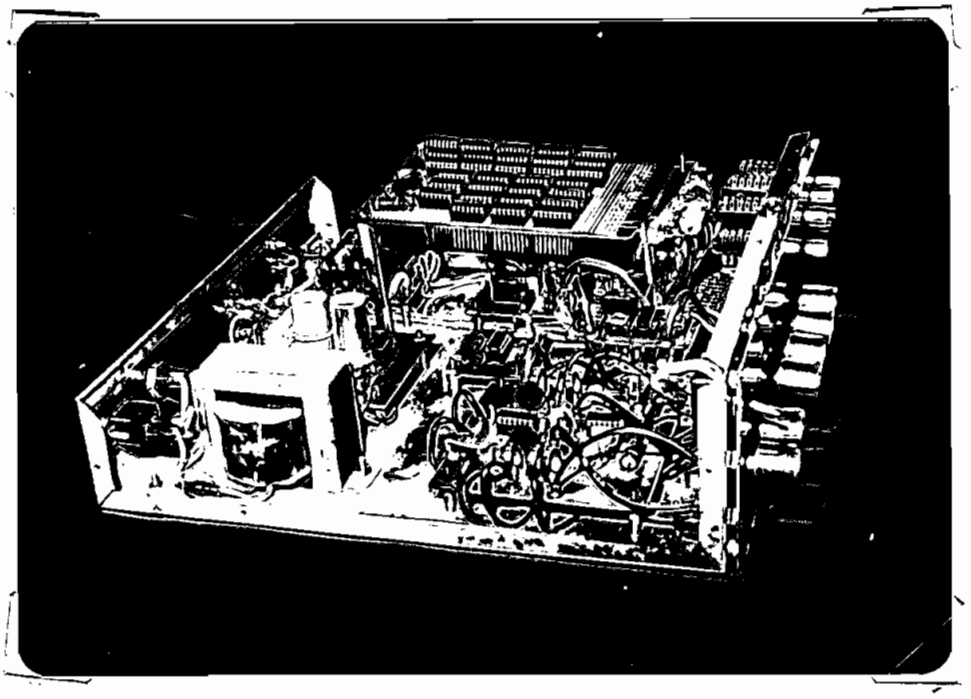
VISTA EXTERNA E INTERNA DEL SINCRONIZADOR

VISTA EXTERNA DEL SINCRONIZADOR



FOTOGRAFIA Nº 1

VISTA INTERNA DEL SINCRONIZADOR



FOTOGRAFIA Nº 2

ANEXO 2

DIAGRAMA GENERAL DEL SINCRONIZADOR

ANEXO 3

HOJAS DE DATOS TECNICOS

National Semiconductor

Audio, Radio and TV Circuits

LM1310 phase locked loop FM stereo demodulator

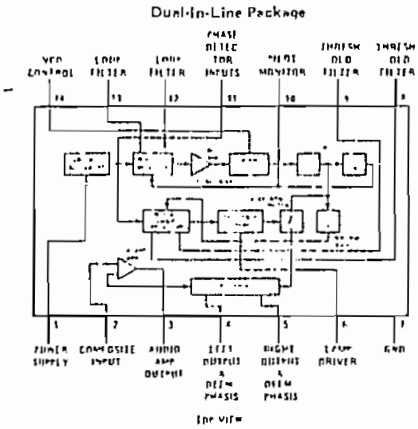
general description

The LM1310 is an integrated FM stereo demodulator using phase locked loop techniques to regenerate the 38 kHz subcarrier. A second version also available is the LM1800 (see separate data sheet) which adds superb power supply rejection and buffered (emitter follower) outputs to the basic phase locked decoder circuit. The features available in these integrated circuits make possible a system delivering high fidelity sound within the cost restraints of inexpensive stereo receivers.

features

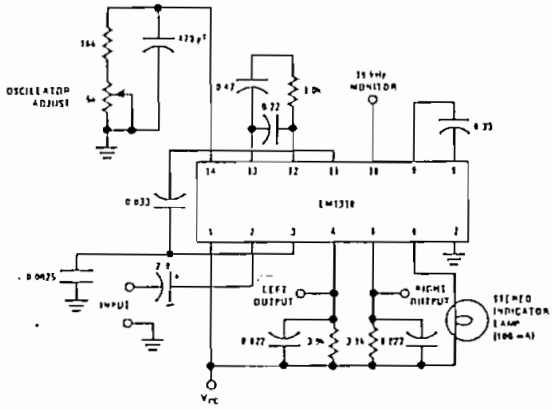
- Automatic stereo/monaural switching
- No coils, all tuning performed with single potentiometer
- Wide supply operating voltage range
- Excellent channel separation

connection diagram

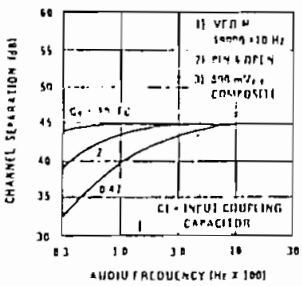


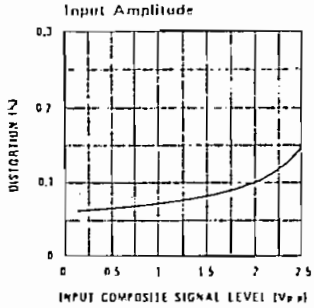
Order Number LM1310N
See NS Package N14A

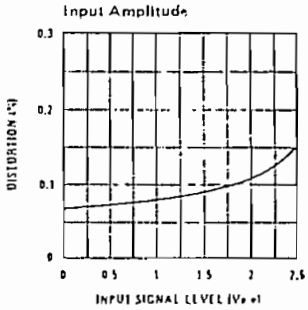
typical application



typical performance characteristics







absolute maximum ratings

Supply Voltage	18V	Operating Supply Voltage Range	10V to 18V
Power Dissipation (Note 2)	715 mW	Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	0°C to +70°C	Lead Temperature (Soldering, 10 seconds)	300°C

electrical characteristics (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current	Lamp Off		18		mA
Lamp Driver Saturation	100 mA Lamp Current		1.3		V
Lamp Driver Leakage			1.0		nA
Pilot Level for Lamp "ON"	Pin 11 Adjusted to 19.00 kHz		15	20	mVrms
Pilot Level for Lamp "OFF"	Pin 11 Adjusted to 19.00 kHz	3.0	7.0		mVrms
Composite Input	Maximum for THD < 0.5%	2.8			Vp-p
Monaural Input	Maximum for THD < 1.0%	2.8			Vp-p
Stereo Channel Separation		30	40		dB
	2.0Vp-p Composite with 10% Pilot		45		dB
Monaural Channel Unbalance	Pilot "OFF"		0.3	1.6	dB
Recovered Audio-			485		mVrms
Total Harmonic Distortion			0.3		%
Total Harmonic Distortion	2.0 Vp-p Composite with 10% Pilot		0.15		%
Capture Range	50 mVrms of Pilot		±3.5		% of f_o
Ultrasonic Frequency Rejection	19 kHz		35		dB
	38 kHz		45		dB
Dynamic Input Resistance		20	50		kΩ
SCA Rejection	f = 67 kHz Measure 9 kHz Beat Note with 1 kHz Modulation "OFF"		75		dB

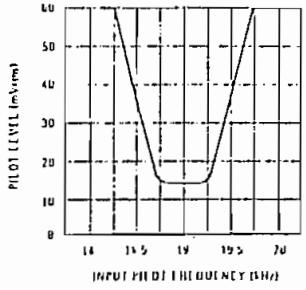
Note 1: Unless otherwise noted: V_{CC} = +12 V_{DC} and T_A = +25°C. The input signal is a 2.8 Vp-p standard multiplex composite signal using 10% Pilot and with L or H channel only modulated at 1.0 kHz.

Note 2: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a thermal resistance of 175°C/W junction to ambient.

Note 3: The VCO can be defeated (sometimes desirable when using an AM-FM receiver in the AM mode) by returning pin 14 to ground through a 2.2 kΩ resistor.

typical performance characteristics (con't)

Pilot Amplitude vs Capture Frequency



National Semiconductor

LM381/LM381A low noise dual preamplifier

general description

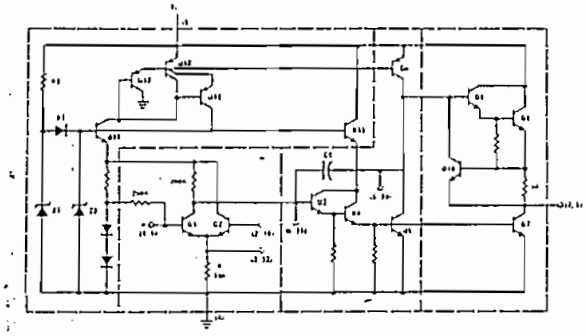
The LM381/LM381A is a dual preamplifier for the amplication of low level signals in applications requiring optimom noise performance. Each of the two amplifiers is completely independent, with individual internal power supply decoupler-regulator, providing 120 dB supply rejection and 60 dB channel separation. Other outstanding features include high gain (112 dB), large output voltage swing (V_{CC} −2V) p-p, and wide power bandwidth (75 kHz, 20V_{p-p}). The LM381/LM381A operates from a single supply across the wide range of 9 to 40V.

Either differential input or single ended input configurations may be selected. The amplifier is internally compensated with the provision for additional external compensation for narrow band applications. For additional information see AN-64, AN-70, and AN-104.

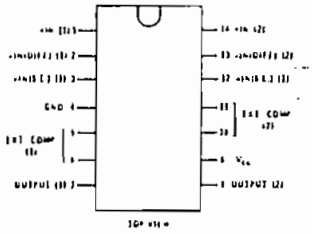
features

- Low Noise — .5 μV total input noise
- High Gain — 112 dB open loop
- Single Supply Operation
- Wide supply range 9–40V
- Power supply rejection 120 dB
- Large output voltage swing (V_{CC} −2V)$_{p-p}$
- Wide bandwidth 15 MHz unity gain
- Power bandwidth 75 kHz, 20 V_{p-p}
- Internally compensated
- Short circuit protected

schematic and connection diagrams

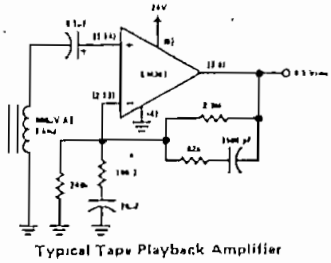


Dual-In-Line Package

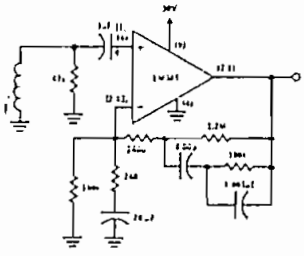


Order Number LM381N or LM381AN
See NS Package N14A

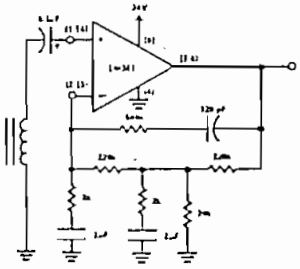
typical applications



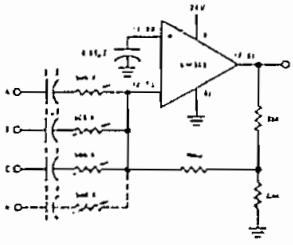
Typical Tape Playback Amplifier



Typical Magnetic Phono Preamp



Two-Pole Fast Turn-On NAB Tape Preamp



Audio Mixer

absolute maximum ratings

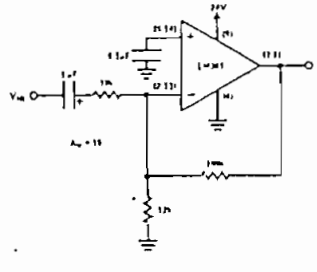
Supply Voltage	+40V
Power Dissipation (Note 1)	715 mW
Operating Temperature Range	0°C to 70°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 sec)	300°C

electrical characteristics T_A = 25°C, V_{CC} = 14V, unless otherwise stated.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Voltage Gain	Open Loop (Differential Input), f = 100 Hz		160,000		V/V
	Open Loop (Single Ended), f = 100 Hz		320,000		V/V
Supply Current	V_{CC} 9 to 40V, $R_L = \infty$		10		mA
Input Resistance					
(Positive Input)			100		kΩ
(Negative Input)			200		kΩ
Input Current					
(Negative Input)			0.5		μA
Output Resistance	Open Loop		150		Ω
Output Current	Source		8		mA
	Sink		2		mA
Output Voltage Swing	Peak-to-Peak		V_{CC} − 2		V
Unity Gain Bandwidth			15		MHz
Power Bandwidth	20 V_{p-p} (V_{CC} = 24V)		75		kHz
Maximum Input Voltage	Linear Operation			300	mVrms
Supply Rejection Ratio	f = 1 kHz		120		dB
Channel Separation	f = 1 kHz		60		dB
Total Harmonic Distortion	60 dB Gain, f = 1 kHz		0.1		%
Total Equivalent Input Noise	R_S = 600Ω, 10 – 10,000 Hz (Single Ended Input, Flat Gain Circuit, A_V = 1000)				
LM381A			0.5	0.7	μVrms
LM381			0.5	1.0	μVrms

Note 1: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a thermal resistance of 175°C/W junction to ambient.

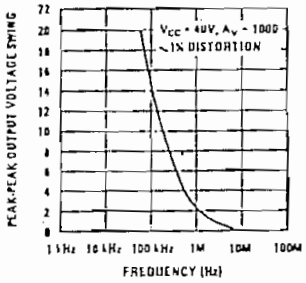
typical applications (con't)



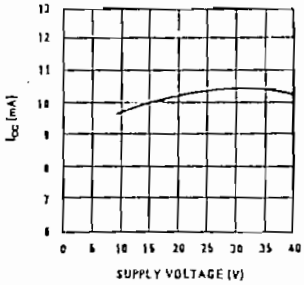
Ultra-Low Distortion Amplifier
(A_V = 10, THD < 0.05%, V_{OUT} = 3 V_{RMS})

typical performance characteristics

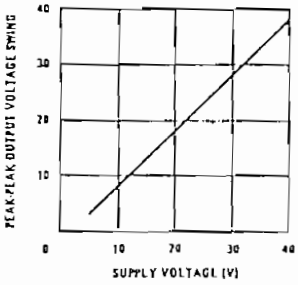
Large Signal Frequency Response



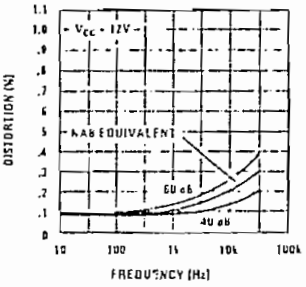
V_{CC} vs I_{CC}



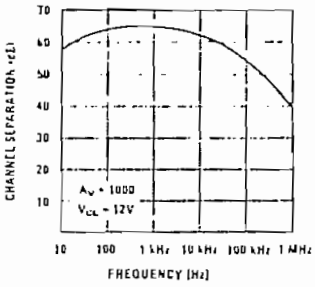
P-P Output Voltage Swing vs V_{CC}



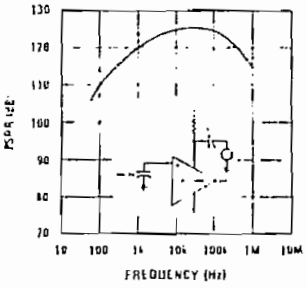
% Distortion



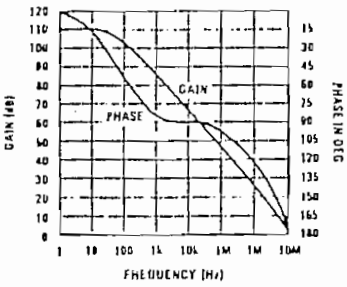
Channel Separation



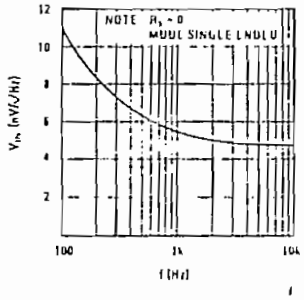
PSRR vs Frequency



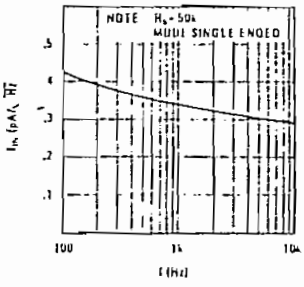
Gain and Phase Response



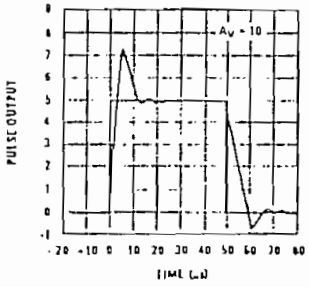
Noise Voltage vs Frequency



Noise Current vs Frequency



Pulse Response



National Semiconductor

Operational Amplifiers/Buffers

LM1900/LM2900/LM3900, LM3301, LM3401 quad amplifiers

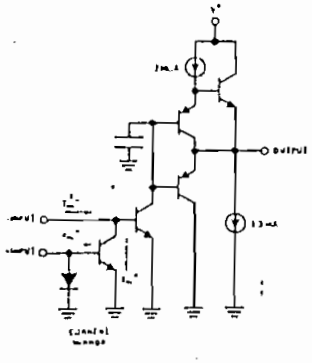
general description

The LM1900 series consists of four independent, dual input, internally compensated amplifiers which were designed specifically to operate off of a single power supply voltage and to provide a large output voltage swing. These amplifiers make use of a current mirror to achieve the non-inverting input function. Application areas include: ac amplifiers, RC active filters, low frequency triangle, squarewave and pulse waveform generation circuits, tachometers and low speed, high voltage digital logic gates.

features

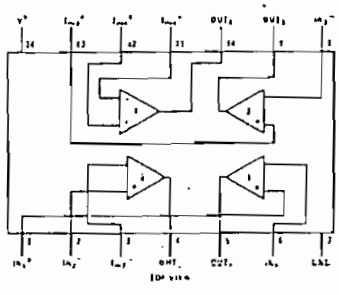
- Wide single supply voltage range or dual supplies — 4 V_{DC} to 36 V_{DC}; ±2 V_{DC} to ±18 V_{DC}
- Supply current drain independent of supply voltage
- Low input biasing current — 30 nA
- High open-loop gain — 70 dB
- Wide bandwidth — 2.5 MHz (Unity Gain)
- Large output voltage swing — (V^+ −1) Vp-p
- Internally frequency compensated for unity gain
- Output short-circuit protection

schematic and connection diagrams

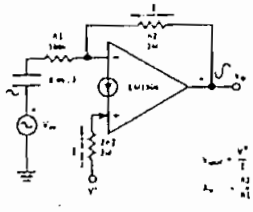


Order Number LM1900D or LM2900D
See NS Package D14E
Order Number LM1900J or LM2900J
See NS Package J14A
Order Number LM2900N, LM3900N, LM3301N or LM3401N
See NS Package N14A

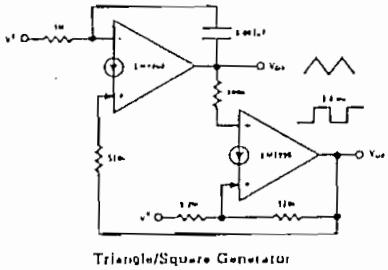
Dual-In-Line and Flat Package



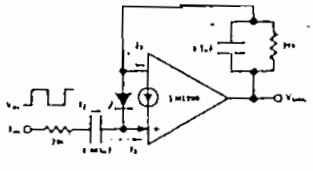
typical applications (V^+ = 15 V_{DC})



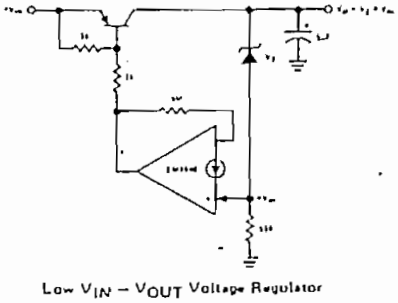
Inverting Amplifier



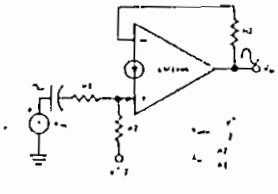
Triangle/Square Generator



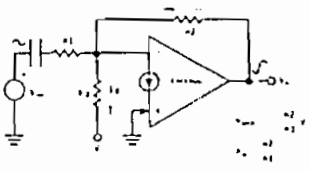
Frequency-Doubling Tachometer



Low $V_{IN} - V_{OUT}$ Voltage Regulator



Non-Inverting Amplifier



Negative Supply Biasing

electrical characteristics (con't) (Note 6)

PARAMETER	CONDITIONS	LM1900			LM2900			LM3900			LM3301			LM3401			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Power Supply Rejection	$T_A = 25°C$, f = 100 Hz	50	70			70			70			70			70		dB
Mirror Gain	@ 20μA (Note 3)	0.95	1.0	1.05	0.90	1.0	1.1	0.90	1.0	1.1	0.90	1	1.10	0.90	1	1.10	μA/μA
	@ 200μA (Note 3)	0.95	1.0	1.05	0.90	1.0	1.1	0.90	1.0	1.1	0.90	1	1.10	0.90	1	1.10	μA/μA
ΔMirror Gain	@ 20μA To 200μA (Note 3)		1	2		2	5		2	5		2	5		2	5	%
Mirror Current	(Note 4)		10	500		10	500		10	500		10	500		10	500	μA_{DC}
Negative Input Current	$T_A = 25°C$ (Note 5)		1.0			1.0			1.0			1.0			1.0		mA_{DC}
Voltage Gain	f = 100 Hz	800															V/mV
Input Bias Current	Inverting Input			150													nA

Note 1: For operating at high temperatures, the device must be derated based on a 125°C maximum junction temperature and a thermal resistance of 175°C/W which applies for the device soldered in a printed circuit board operating in a still air ambient.

Note 2: The output current sink capability can be increased for large signal conditions by overdriving the inverting input. This is shown in the section on Typical Characteristics.

Note 3: This spec indicates the current gain of the current mirror which is used as the non-inverting input.

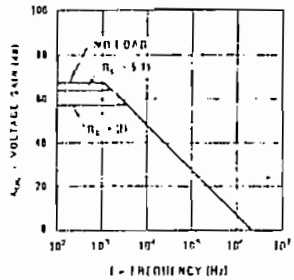
Note 4: Input V_{BE} match between the non-inverting and the inverting inputs occurs for a mirror current (non-inverting input current) of approximately 10μA. This is therefore a typical design center for many of the application circuits.

Note 5: Clamp transistors are included on the IC to prevent the input voltages from swinging below ground more than approximately −0.3 V_{DS}. The negative input currents which may result from large signal overdrive with capacitance input coupling need to be externally limited to values of approximately 1 mA. Negative input currents in excess of 4 mA will cause the output voltage to drop to a low voltage. This maximum current applies to any one of the input terminals. If more than one of the input terminals are simultaneously driven negative smaller maximum currents are allowed. Common-mode current biasing can be used to prevent negative input voltages; see for example, the "Differentiator Circuit" in the applications section.

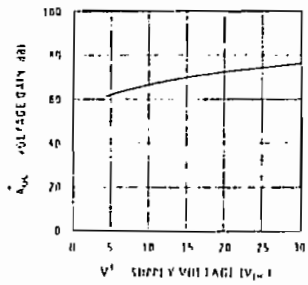
Note 6: These specs apply for $-55°C \leq T_A \leq +125°C$, unless otherwise stated.

Typical performance characteristics

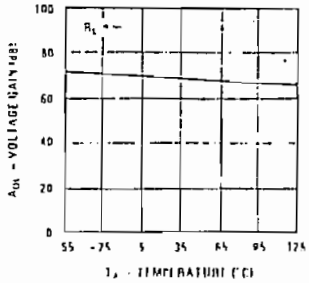
Open Loop Gain



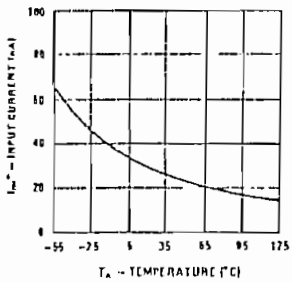
Voltage Gain



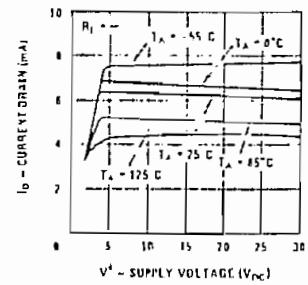
Voltage Gain



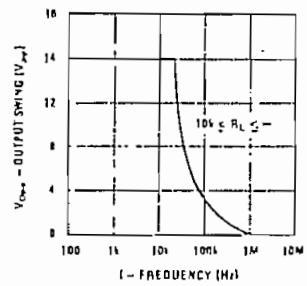
Input Current



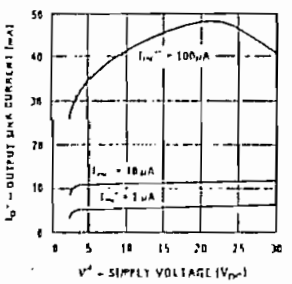
Supply Current



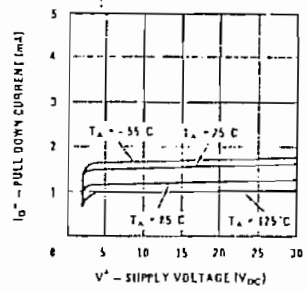
Large Signal Frequency Response



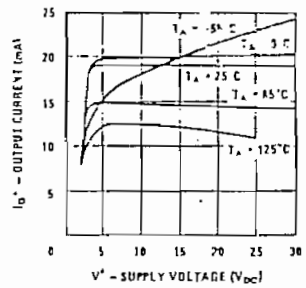
Output Sink Current



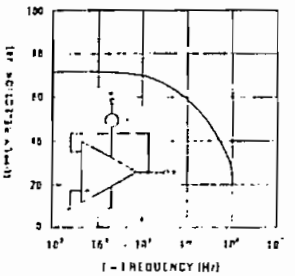
Output Class-A Bias Current



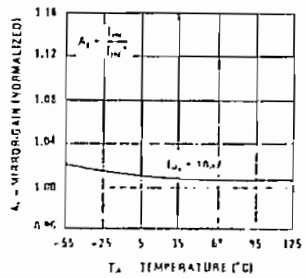
Output Source Current



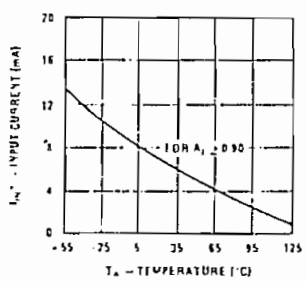
Supply Rejection



Mirror Gain



Maximum Mirror Current



absolute maximum ratings

	LM1900	LM2900/LM3900	LM3301	LM3401
Supply Voltage	36 V_{DC} ±18 V_{DC}	32 V_{DC} ±15 V_{DC}	28 V_{DC} ±14 V_{DC}	18 V_{DC} ±9 V_{DC}
Power Dissipation (T_A = 25°C (Note 1)				
Cavity DIP	900 mW	900 mW		
Flat Pack	800 mW	800 mW		
Molded DIP	570 mW	570 mW	570 mW	570 mW
Input Currents I_{IN}^- or I_{IN}^+	20 mA_{DC}	20 mA_{DC}	20 mA_{DC}	20 mA_{DC}
Output Short Circuit Duration - One Amplifier (T_A = 25°C See Application Hints)	Continuous	Continuous	Continuous	Continuous
Operating Temperature Range	-55°C to +125°C		-40°C to +85°C	0°C to +75°C
LM2900		-40°C to +85°C		
LM3900		0°C to +70°C		
Storage Temperature Range	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C	300°C	300°C	300°C

electrical characteristics (Note 6)

PARAMETER	CONDITIONS	LM1900			LM2900			LM3900			LM3301			LM3401			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Open Loop																	
Voltage Gain														300			V/mV
Voltage Gain	T_A = 25°C, f = 100 Hz	2	3		1.2	2.8		1.2	2.8		1.2	2.8		1.2	2.8		V/mV
Input Resistance	T_A = 25°C, Inverting Input		1			1			1			1		0.1	1		MΩ
Output Resistance			8			8			8			8			8		kΩ
Unity Gain Bandwidth	T_A = 25°C, Inverting Input		2.5			2.5			2.5			2.5			2.5		MHz
Input Bias Current	T_A = 25°C, Inverting Input		25	100		30	200		30	200		30	300		30	300	nA
	Inverting Input															500	nA
Slew Rate	T_A = 25°C, Positive Output Swing		0.5			0.5			0.5			0.5			0.5		V/μs
	T_A = 25°C, Negative Output Swing		20			20			20			20			20		V/μs
Supply Current	T_A = 25°C, R_L = ∞ On All Amplifiers		6.2	12		6.2	10		6.2	10		6.2	10		6.2	10	mA_{DC}
Output Voltage Swing	T_A = 25°C, R_L = 2k, V_{CC} = 15.0 V_{DC}																
V_{OUT} High	I_{IN}^- = 0, I_{IN}^+ = 0	13.5	14.2		13.5			13.5			13.5			13.5			V_{DC}
V_{OUT} Low	I_{IN}^- = 10μA, I_{IN}^+ = 0		0.09	0.2		0.09	0.2		0.09	0.2		0.09	0.2		0.09	0.2	V_{DC}
V_{OUT} High	I_{IN}^- = 0, I_{IN}^+ = 0 R_L = ∞, V_{CC} = 30 V_{DC}	28.0	29.5			29.5			29.5			29.5			29.5		V_{DC}
Output Current Capability	T_A = 25°C																
Source		10	15		6	18		6	10		5	18		5	10		mA_{DC}
Sink	(Note 2)	1.0	1.3		0.5	1.3		0.5	1.3		0.5	1.3		0.5	1.3		mA_{DC}
I_{SINK}	V_{OL} = 1V, I_{IN} = 5μA	4	5			5			5			5			5		mA_{DC}

LINEAR
INTEGRATED CIRCUITS

SERIES uA7800
POSITIVE-VOLTAGE REGULATORS

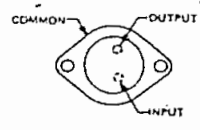
BULLETIN NO. DL-S 7812386, MAY 1976

- 3-Terminal Regulators
- Output Current up to 1.5 A
- No External Components
- Internal Thermal Overload Protection
- Direct Replacements for Fairchild μA7800 Series and National LM340 Series
- High Power Dissipation Capability
- Internal Short-Circuit Current Limiting
- Output Transistor Safe-Area Compensation

NOMINAL OUTPUT VOLTAGE	−55°C TO 150°C OPERATING TEMPERATURE RANGE	0°C TO 125°C OPERATING TEMPERATURE RANGE
5 V	uA7805M	uA7805C
6 V	uA7806M	uA7806C
8 V	uA7808M	uA7808C
8.5 V	uA7885M	uA7885C
12 V	uA7812M	uA7812C
15 V	uA7815M	uA7815C
18 V	uA7818M	uA7818C
24 V	uA7824M	uA7824C
packages	KA	KA and KC

KA PACKAGE

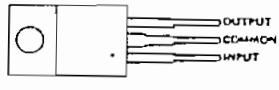
(TOP VEIW



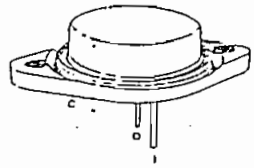
TO-3

KC PACKAGE

(TOP VIEW)



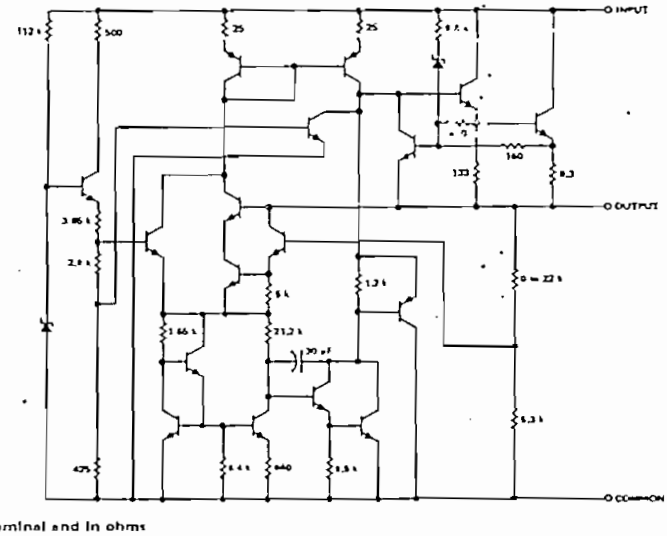
TO-220AB



description

This series of fixed-voltage monolithic integrated-circuit voltage regulators is designed for a wide range of applications. These applications include on-card regulation for elimination of noise and distribution problems associated with single-point regulation. One of these regulators can deliver up to 1.5 amperes of output current. The internal current limiting and thermal shutdown features of these regulators make them essentially immune to overload. In addition to use as fixed-voltage regulators, these devices can be used with external components to obtain adjustable output voltages and currents and also as the power-pass element in precision regulators.

schematic



Resistor values shown are nominal and in ohms

absolute maximum ratings over operating temperature range (unless otherwise noted)

		uA78__M	uA78__C	UNIT
Input voltage	uA7824M, uA7824C	40	40	V
	All others	35	35	
Continuous total dissipation at 25°C free-air temperature (see Note 1)	KA (TO-3) package	3.5	3.5	W
	KC (TO-220AB) package		2	
Continuous total dissipation at (or below) 25°C case temperature (see Note 1)		15	15	W
Operating free-air, case, or virtual junction temperature range		−55 to 150	0 to 150	°C
Storage temperature range		−65 to 150	−65 to 150	°C
Lead temperature 1/16 inch from case for 60 seconds	KA (TO-3) package	300	300	°C
Lead temperature 1/16 inch from case for 10 seconds	KC (TO-220AB) package		260	°C

NOTE 1: For operation above 25°C free-air or case temperature, refer to Dissipation Derating Curves, Figure 1 and Figure 2.

TO-3 AND TO-220AB FREE-AIR TEMPERATURE DISSIPATION DERATING CURVES

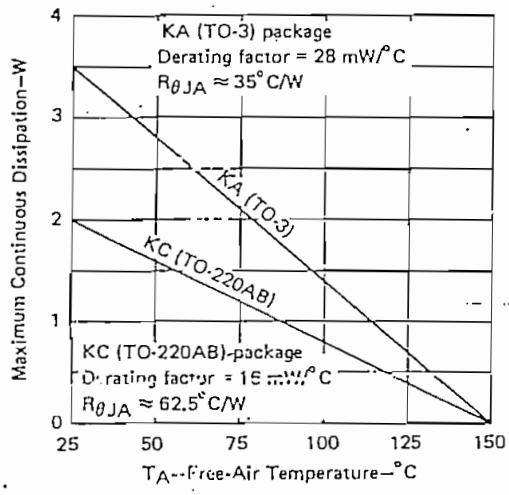


FIGURE 1

TO-3 AND TO-220AB CASE TEMPERATURE DISSIPATION DERATING CURVE

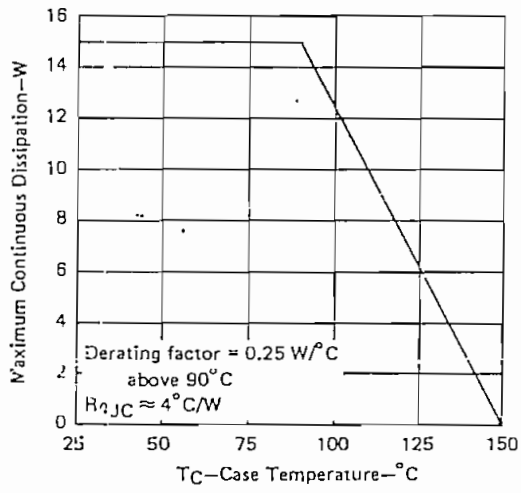


FIGURE 2

recommended operating conditions

		MIN	MAX	UNIT
Input voltage, V_I	uA7805M, uA7805C	7	25	V
	uA7806M, uA7806C	8	25	
	uA7808M, uA7808C	10.5	25	
	uA7885M, uA7885C	10.5	25	
	uA7812M, uA7812C	14.5	30	
	uA7815M, uA7815C	17.5	30	
	uA7818M, uA7818C	21	33	
	uA7824M, uA7824C	27	38	
Output current, I_O			1.5	A
Operating virtual junction temperature T_J	uA7805M thru uA7824M	−55	150	°C
	uA7805C thru uA7824C	0	125	

uA7805M, uA7805C electrical characteristics at specified virtual junction temperature, V_I = 10 V, I_O = 500 mA (unless otherwise noted)

PARAMETER	TEST CONDITIONS†			uA7805M			uA7805C			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
Output voltage	I_O = 5 mA to 1 A, P < 15 W	V_I = 8 V to 20 V	25°C	4.8	5	5.2	4.8	5	5.2	V
			−55°C to 150°C	4.65		5.35				
		V_I = 7 V to 20 V	0°C to 125°C				4.75		5.25	
Input regulation	V_I = 7 V to 25 V		25°C		3	50		3	100	mV
	V_I = 8 V to 12 V				1	25		1	50	
Ripple rejection	V_I = 8 V to 18 V, f = 120 Hz		−55°C to 150°C	68	78					dB
			0°C to 125°C				62	78		
Output regulation	I_O = 5 mA to 1.5 A		25°C		15	50		15	100	mV
	I_O = 250 mA to 750 mA				5	25		5	50	
Output resistance	f = 1 kHz		−55°C to 150°C		0.017					Ω
			0°C to 125°C					0.017		
Temperature coefficient of output voltage	I_O = 5 mA		0°C to 150°C		−1.1					mV/°C
			0°C to 125°C					−1.1		
Output noise voltage	f = 10 Hz to 100 kHz		25°C		40			40		μV
Dropout voltage	I_O = 1 A		25°C		2.0			2.0		V
Bias current			25°C		4.2	6		4.2	8	mA
Bias current change	V_I = 8 V to 25 V		−55°C to 150°C			0.8				mA
	V_I = 7 V to 25 V		0°C to 125°C						1.3	
	I_O = 5 mA to 1 A		−55°C to 150°C			0.5				
			0°C to 125°C						0.5	
Short-circuit output current			25°C		750			750		mA
Peak output current			25°C		2.2			2.2		A

†All characteristics are measured with a capacitor across the input of 0.33 μF and a capacitor across the output of 0.1 μF and all characteristics except noise voltage and ripple rejection ratio are measured using pulse techniques (t_w < 10 ms, duty cycles < 5%). Output voltage changes due to changes in internal temperature must be taken into account separately.