ESCUELA POLITECNICA NACIONAL

FACULTAD DE INGENIERIA ELECTRICA

"INTERFACE DE SEÑALIZACION ENTRE EL EQUIPO TDM Y LA CENTRAL TELEFONICA TIPO ARF-102"

PARTE I

POR

GERMAN ALBERTO CELLERI LOPEZ

TESIS PREVIA A LA OBTENCION DEL TITULO DE INGENIERO EN LA ESPECIALIZACION DE INGENIERIA ELECTRONICA Y TELECOMUNICACIONES EN LA ESCUELA POLITECNICA NACIONAL

QUITO, NOVIEMBRE 1987

FACULTAD DE INGENIERIA ELECTRICA
BIBLIOTECA
003096
E. P. N.

Certifico que el presente trabajo ha sido elaborado en su totalidad por el Sr. Germán Alberto Célleri López

ING. ADOLFO LOZA A.
Director de Tesis

DEDICATORIA

A mi familia

AGRADECIMIENTO

A todas aquellas personas que colaboraron en la realización de este trabajo, en especial a los Ingenieros:
Adolfo Loza y Herbert Jacobson
Y a mis Padres.

INDICE

Pag.

CAPITULO I
"GENERALIDADES"

1.1 Consideraciones Generales del Sistema Telefónico de Quito 2
1.1.1 Estructura de la Red Análogica..... 2
1.1.2 Estructura de la Red Análogo-Digital..... 6
1.2 Requisitos de enlaces troncales entre centrales..... 10
1.2.1 Enlace intercentral analógico en Quito..... 10
1.2.2 Utilización de sistemas Múltiplex Primarios PCM(MIC) en la red intercentral de Quito..... 14

CAPITULO II
"SISTEMA TDM-SEÑALIZACION"

2.1 Introducción al sistema TDM (Desarrollado como Tesis de Grado en la EPN)..... 17
2.2 Normas CCITT de señalización..... 22
2.3 Sistema de Señalización a usarse..... 24

CAPITULO III
"DISEÑO E IMPLEMENTACION DE LA INTERFACE"

3.1 Consideraciones generales..... 29
3.1.1 Aspectos generales del diseño..... 29
3.1.2 Descripción general de la Interface..... 31
3.2 Convertidor de Señalización Entrante(CSE)..... 32
Circuito detector de cambio de polaridad.... 33
Circuito detector de bloqueo..... 34
Circuito para proporcionar los estados H y L.. 35
3.3 Convertidor de Señalización Saliente(CSS)..... 43
Circuito detector de los estados H y L..... 43
Circuito intercambiador de polaridad..... 48
Circuito de bloqueo..... 49
3.4 Intercomunicación al sistema TDM..... 53
3.4.1 Descripción General..... 53
3.4.2 Criterios de diseño..... 54

INDICE

Pag.

3.4.3 Elección del Microprocesador..... 57
3.4.4 Diseño del Hardware auxiliar..... 58
3.4.5 Implementación total..... 70
3.4.6 Desarrollo del Software..... 76
Programas para el uP-Tx..... 77
Subrutina MDT0..... 78
Subrutina AUXT..... 81
Subrutina MDTN..... 84
Programas para el uP-Rx..... 88
Subrutina SSN..... 89
Subrutina MDR0..... 91
Subrutina AUXR..... 94
Subrutina MDRN..... 96

CAPITULO IV
"PRUEBAS Y CONCLUSIONES"

4.1 Pruebas de funcionamiento..... 102
4.1.1 Pruebas de los convertidores CSE y CSS..... 102
4.1.2 Pruebas del Control común..... 106
4.2 Análisis de resultados..... 109
4.3 Conclusiones y comentarios..... 112

APENDICE A 115
APENDICE B 141
APENDICE C 164

BIBLIOGRAFIA

C A P I T U L O I

GENERALIDADES

1.1 CONSIDERACIONES GENERALES DEL SISTEMA TELEFONICO DE QUITO

1.1.1 ESTRUCTURA DE LA RED ANALOGICA

La red telefónica que servía a la ciudad de Quito hasta hace poco, en el año de 1985, era totalmente analógica de tipo malla, como se observa en la figura 1.1.

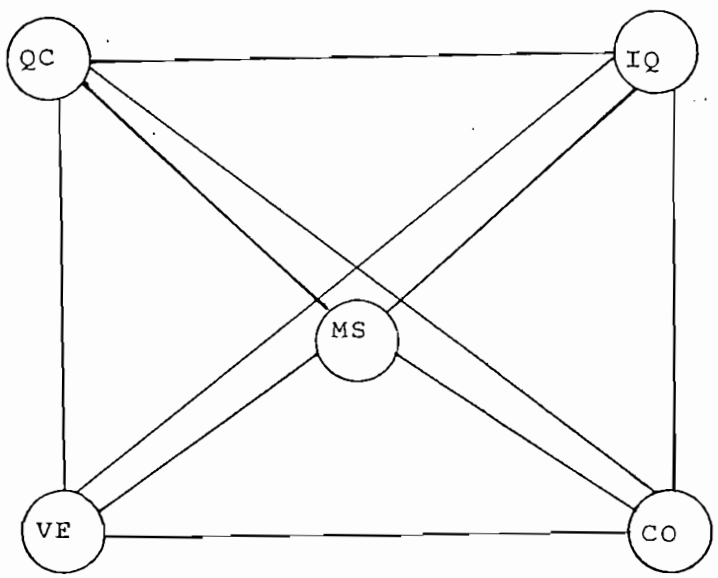


FIG. 1.1 RED INTERCENTRAL DE QUITO (1985)

Para este estudio particular se hará referencia únicamente a la denominada red local, excluyendo las centrales telefónicas de tránsito e internacional, de acuerdo a lo indicado en la figura 1.1 Quito se encuentra dividido para fines de la red telefónica en 5 zonas, cada zona tiene una o varias

centrales con diferentes capacidades y que se detallan a continuación en el cuadro 1.1.

ZONA	CENTRAL	TIPO	CAPACIDAD
VILLA FLORA	VF1	AGF	10000
(VF)	VF2	ARF	5000
QUITO CENTRO	QC1	AGF	10000
(QC)	QC2	ARF	10000
	QC3	ARF	4000
MARISCAL SUCRE	MS1	AGF	10000
(MS)	MS2	ARF	10000
	MS3	ARF	10000
	MS4	ARF	5000
INAQUITO	IQ1	AGF	10000
(IQ)	IQ2	ARF	10000
COTOCOLLAO	CO	ARF	10000
(CO)			

CUADRO 1.1 CENTRALES TELEFONICAS DE QUITO (1985)

Estas centrales son en su totalidad de fabricación LM Ericsson, existiendo dos tipos: AGF y ARF. El tipo de central tiene que ver con su estructura interna, siendo ambos tipos

mencionados de tecnología electromecánica, su diferencia está dada básicamente en la forma en que realizan la conmutación.

En el caso de la central AGF la conmutación se realiza mediante selectores rotatorios tipo RVA, actualmente discontinuada su fabricación. Una muestra de este tipo de selectores se presenta en la figura 1.2.

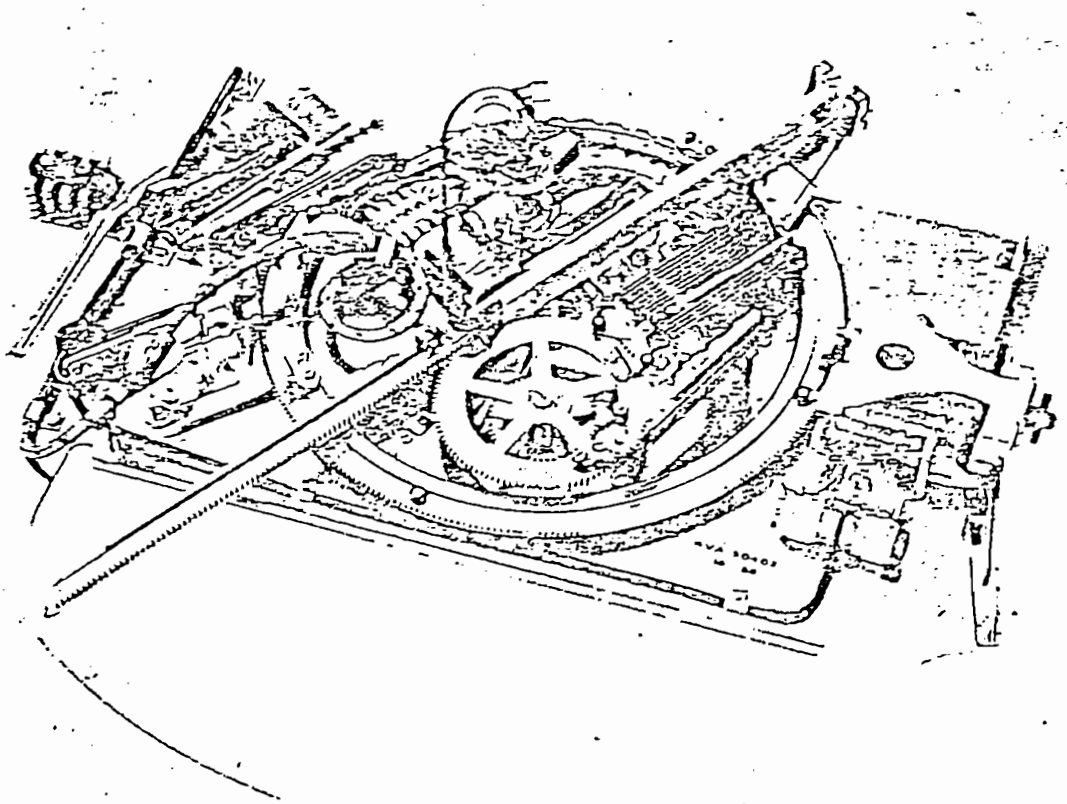


FIG. 1.2 SELECTOR ROTATORIO DE 500 LINEAS EN UNA CENTRAL TELEFONICA AGF

En el caso de ARF, que es una central un poco más moderna se usan para la conmutación los denominados selectores de

coordenadas. Su estructura se muestra en la fig. 1.3.

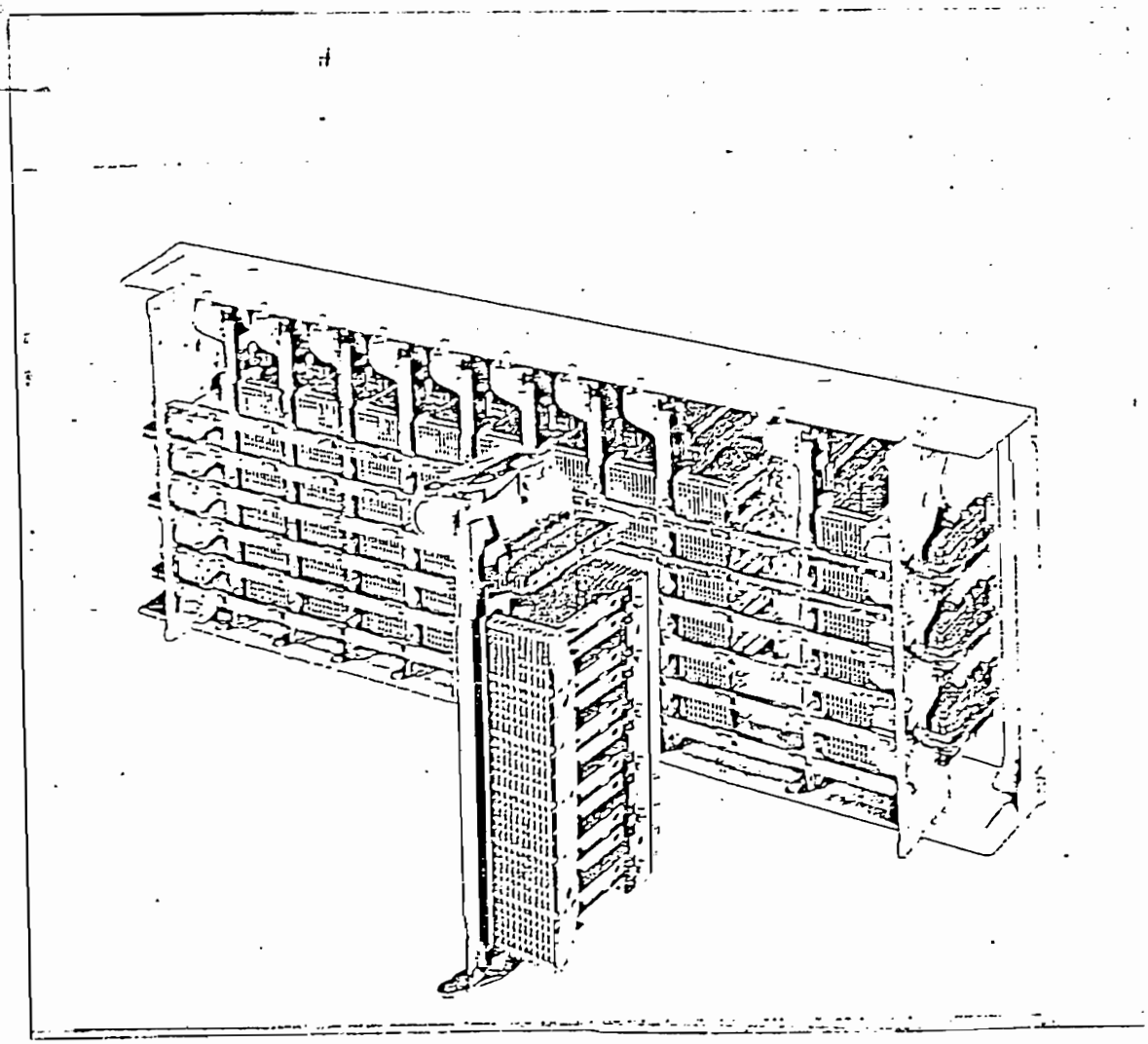


FIG. 1.3 SELECTOR DE COORDENADAS DE UNA CENTRAL ARF

La diferencia entre estas centrales, también se da en otros aspectos que no vienen al caso analizarlos.

La señalización usada en esta estructura de red, corresponde a la desarrollada por LM Ericsson la cual es similar al sistema R2, recomendada por el CCITT (Libro Naranja Tomo VI.3 Recomendaciones Q400-Q480).

Para intercomunicarse las centrales AGF con las ARF se usan equipos de interfaces que transforman la señalización de tipo decádico que usa AGF, a señalización MFC-LME que usa la ARF.

La red intercentral esta formada por circuitos de enlace (canales) que se conectan entre sí a través de hilos metálicos, 2 por cada canal.

1.1.2 ESTRUCTURA DE LA RED ANALOGO-DIGITAL

A principios del año 1986, empiezan a operar en Quito las nuevas centrales digitales, este enorme avance tecnológico en cuanto a centrales telefónicas, al saltar directamente de un tipo de central electromecánico a uno digital, así como la introducción en la red intercentral, de la fibra óptica, significó un reto para la parte de Ingeniería en el IETEL.

En la fig. 1.4 se muestra la nueva estructura de la red telefónica (red local), en ella no se han dibujado todos los enlaces para no complicarla, la idea es mostrar que en la red tipo malla de la anterior estructura se ha añadido una central Tandem creando una estructura combinada malla-estrella.

En el cuadro 1.2 se muestra un detalle de las centrales digitales adquiridas.

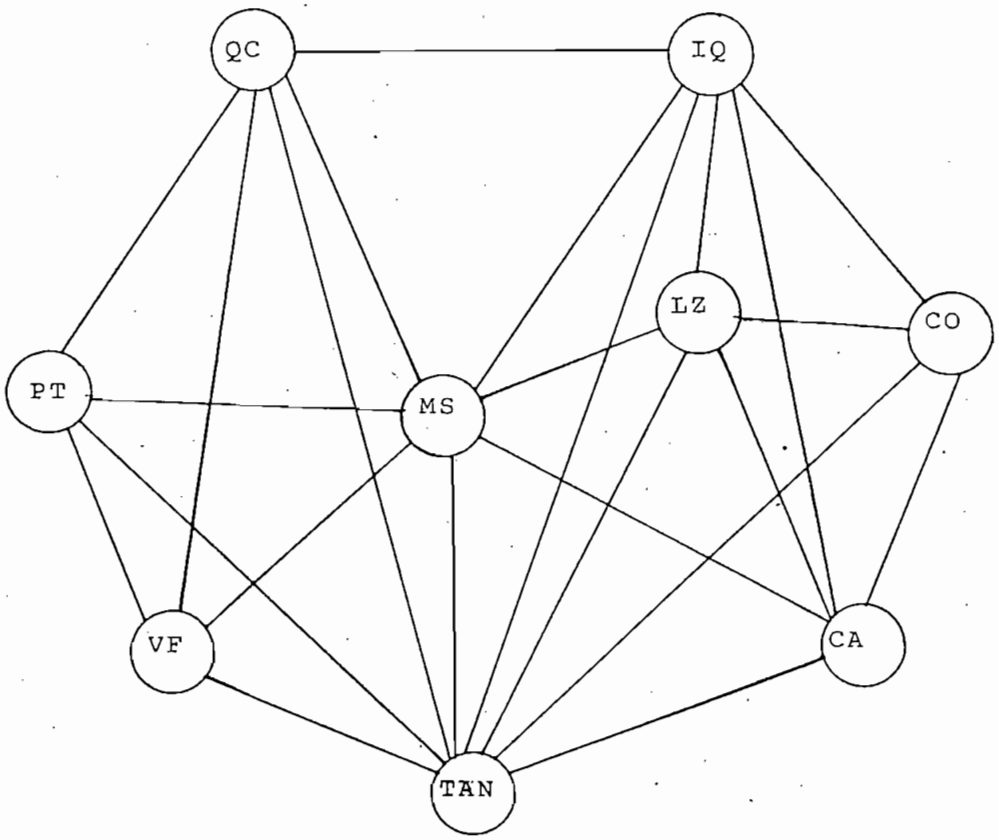


FIG. 1.4 ESTRUCTURA DE LA RED INTERCENTRAL DE QUITO (1986)

UBICACION	CENTRAL	CAPACIDAD
Pintado	Neax -61	10.000 L
Quito Centro	"	1.000 L
Mariscal Sucre	"	5.000 L
Iñaquito	"	10.000 L
La Luz	"	10.000 L
Carcelén	"	5.000 L

CUADRO. 1.2 DETALLE DE LAS CENTRALES DIGITALES.

No se han incluído los pequeños concentradores de Calderón y Guajaló de 250 Líneas cada uno, vinculados a la centrales de el Pintado y Carcelén respectivamente.

Estas centrales usan para la conmutación una red denominada Temporal-Espacial, es decir combinan las dos formas de conmutar señales digitales una temporal usando técnicas PCM y otra espacial con compuertas lógicas.

Esta red está controlada mediante un programa denominado SPC (Stored Program Control), el cual es ejecutado por un procesador central. A fin de integrar estas centrales con las anteriores se utilizó convertidores de señalización análogo-digital y viceversa.

El Ecuador es uno de los primeros países latinoamericanos en utilizar en su red telefónica digital la señalización CCITT No.7, usada únicamente para interconectar centrales digitales. Esta señalización permite ir avanzando más en la construcción de la red de servicios integrados (ISDN) que posibilita no sólo la conexión telefónica entre los usuarios, sino también la transmisión de datos, facsímil, etc. Esta idea se ve fortalecida con la introducción de la fibra óptica, la cual presenta muchas ventajas sobre la red metálica, que entre otras está, la de poder transmitir 1920 canales por una sola fibra de tamaño más reducida que el par metálico (para un solo canal).

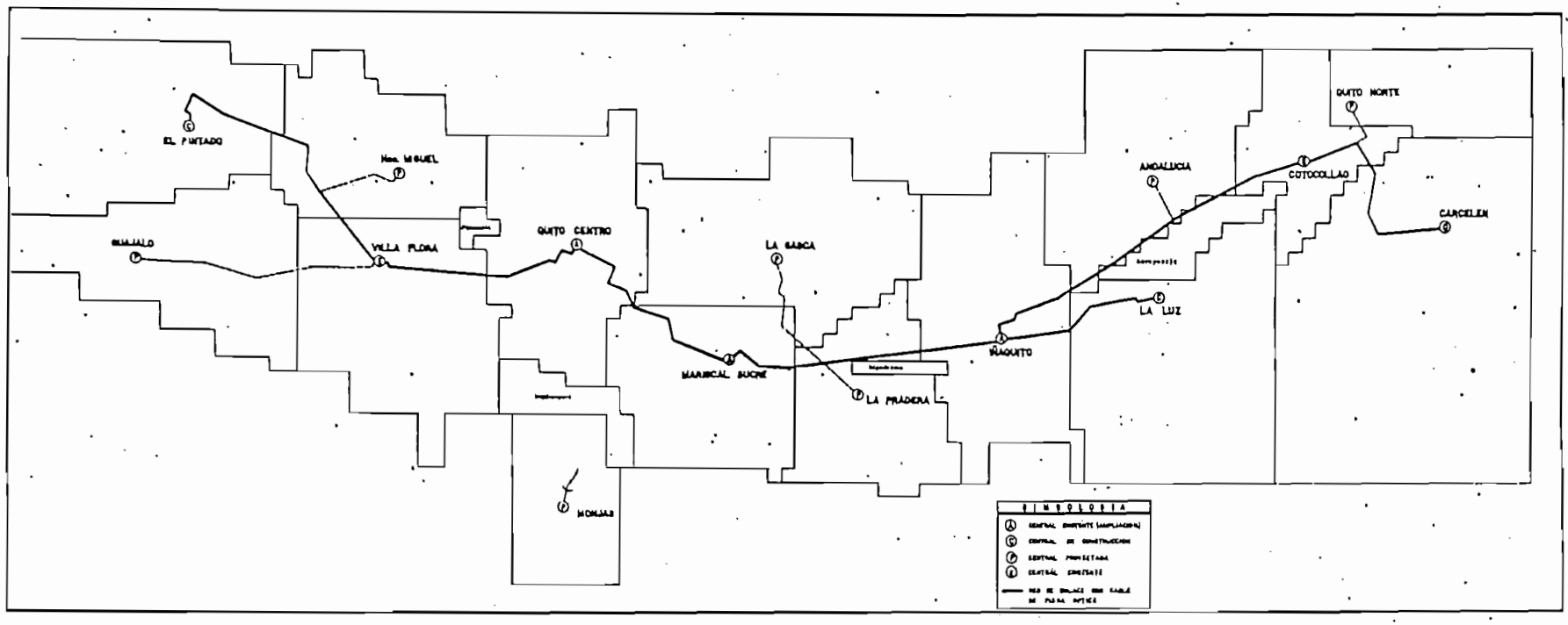


FIG. 1.5 RED DE FIBRA OPTICA EN QUITO

En la fig 1.5 se muestra la ubicación de esta fibra en Quito.

El rápido crecimiento de la red telefónica de Quito, tiende a satisfacer la demanda existente y a modernizar los servicios que presta el IETEL, ésto implica una ampliación del número de centrales digitales y un paulatino decrecimiento de las electromecánicas, siendo las centrales AGF las que más pronto serán reemplazadas. Las ARF se mantendrán todavía por unos 10 años más.

El hecho de digitalizar la red obliga, a que entre otros aspectos técnicos, la señalización sea digital y se usen sistemas básicos de 30 canales PCM (2 Mbits/s), los cuales a su vez serán integrados en sistemas múltiplex de orden superior (8Mbits/s, 34Mbits/s, 140Mbits/s) a fin de utilizar la fibra óptica.

1.2 REQUISITOS DE ENLACES TRONCALES ENTRE CENTRALES

1.2.1 ENLACE INTERCENTRAL ANALOGICO EN QUITO

El enlace intercentral está constituído por los canales y la red metálica que interconectan las centrales electromecánicas.

Los canales del sistema ARF fundamentalmente están basados en circuitos de conexión denominados FUR y FIR que equiva-

len al transmisor y receptor respectivamente. Estos circuitos transmiten y reciben la señalización intercentral así como también la voz. EL enlace FUR - FIR se realiza físicamente mediante un par metálico.

En el cuadro 1.3 se presenta la matriz de circuitos para la red local de Quito la misma que contiene los circuitos de conexión FUR-FIR, de las diferentes centrales analógicas y adicionalmente los circuitos digitales bidireccionales de las centrales digitales, esta matriz corresponde al año de 1986. Los circuitos de enlace intercentral analógico-digital que constan en dicha matriz, se integraron mediante convertidores de señalización y por sistemas multiplex a la red de fibra óptica.[3]

Como se observa del cuadro 1.3 el requerimiento de enlaces metálicos todavía es grande. Por lo general se usan cables de 1.200 pares (hilos de cobre de 0,7 mm de diámetro), que son llevados a través de ductos subterráneos.

En el cuadro 1.4 se presenta un ejemplo de adquisición de cables con sus respectivos costos, estos fueron utilizados en el denominado Plan de Mejoramiento del servicio telefónico en 1985, lo cual significó un incremento de circuitos y por ello una ampliación de la red metálica. En este cuadro sin embargo, no constan los costos de canalización para el cable. De estos cuadros puede concluirse lo costoso que resulta esta red y por ello, es que optimizar su utilización es una tarea muy importante.

INSTITUTO ECUATORIANO DE TELECOMUNICACIONES R - 1

DIVISION DE INGENIERIA DE CONMUTACION TELEFONICA R-1

CUADRO 1.3
CIRCUITOS DE ENLACES INTERCENTRALES LOCALES

Situación al 31 de diciembre—80 | Elaborado : | Aprobado :

Fecha : | Página : | Documento :

	VF1	VF2	QC1	QC2	QC3	QC4	MS1	MS2	MS3	MS4	MS5	IQ1	IQ2	IQ3	CC	PTD	LLZ	CLN	ARM	TDQ	GVS	TAND	LDT
VF1	120	26	36	36	14	25	36	36	36	20		30	30	30	24	66	30	26	30	[illegible]	12	55	
VF2	30	44	16	16	10		14	16	16	8		14	14		12	25				27	8	140	
QC1	36	20	100	60	24		48	44	44	20	23	36	30	30	24	35	30	20	30		12	95	
QC2	36	16	60	30	24		30	40	40	16		30	30		20					12	12	287	
QC3	14	8	24	26	40		16	18	18	8		14	12		8	7				39	8	135	
QC4											30			30		30	30	30		150		120	
MS1	36	20	48	48	14	27	120	60	60	32		48	44	30	28	31	50	35	58		12	74	
MS2	30	14	44	36	8		70	90	80	40	36	48	44	35	42		34	33		92	12	190	
MS3	30	14	42	36	8		70	80	90	40	36	48	44	35	42		34	33		92	12	190	
MS4	16	8	20	20	6		40	40	40	90	20	20	20	19	16		18			51	18	128	
MS5			9	12		30	35	35	35	22		16	19	60	12	30	30	30		150		210	
IQ1	28	16	30	28	12	27	48	48	48	20	27	100	70	57	38	30	58	46	24		12	84	
IQ2	26	10	30	32	8		46	48	48	18		70	90	54	40		46	24		76	18	230	
IQ3	12	7	15	14		30	36	40	40	20	60	61	61		39	60	90	90		270		180	
CC	18	12	26	28	6		34	36	36	16		38	36	34	80		36	42		47	12	304	
PTD	11	12	15	16	6	30	12	15	15	6	30	10	12	60	9		30	30		120		240	
LLZ	12	6	11	12		30	31	34	34	16	30	39	42	90	33	30		60		150		210	
CLN	8		11	13		30	19	21	21	10	30	30	33	90	38	30	60			120		210	
ARM	10		50				60					50								234	18		
TDQ		24		32	34	150		80	80	15	150		75	270	40	120	150	120	172				
GVS																							
TAND	221	144	204	126	112	220	132	96	96	118	210	135	106	140	133	240	210	210		174			
LDT	30	20	30	40	14		46	46	46	30		40	40		32						20		

□ CIRCUITOS BIDIRECCIONALES

C U A D R O 1.4 NECESIDADES DE CABLES

P L A N D E M E J O R A M I E N T O D E L S E R V I C I O

TIPO	NUMERO DE PARES	DIAMETRO	CANTIDAD	PRECIO UNITARIO $ U.S.A.	PRECIO TOTAL $ U.S.A.
1	600	0,7 mm	15.000	31,98	479.700,00
1	300	0,7 mm	7.000	18,00	126,000,00
				TOTAL	606.400,00

SON: SEISCIENTOS SEIS MIL CUATROCIENTOS DOLARES U,S.A

US. $ 606.400, 00 = 20'193.120,00 SUCRES

Cable TIPO 1.- Formado por conductores de cobre con aislamiento de papel y cubierto de plomo y polietileno.

1.2.2 UTILIZACION DE SISTEMAS MULTIPLEX PRIMARIOS PCM (MIC) EN LA RED INTERCENTRAL DE QUITO.

Los costos internacionales de las materias primas del cable metálico (cobre y plomo), vienen significando una preocupación para la industria telefónica, existe una tendencia alcista que determina un límite en el empleo de la línea física.

Si a los precios crecientes de los cables en el mercado, se suma la compatibilidad de los equipos PCM con los sistemas de conmutación digital, el balance es favorable al PCM.

Por estos análisis, el IETEL está incorporando sistemas PCM en la red intercentral y es así como en 1980 se introdujo por vez primera 150 canales intercentrales en 5 sistemas primarios PCM, en el enlace Mariscal Sucre-Quito Centro. El ahorro en red metálica significaba que de 150 pares que normalmente se hubieran utilizado , con el PCM se reducen a 10 pares, cada uno llevando una señal de 2,048Mbits/s.

El sistema de 30 canales es el más óptimo para esta red, para sistemas de mayor orden no es utilizable por la alta atenuación que presentan. Existe una ventaja adicional y es que los sistemas PCM primarios son la base de sistemas de mayor orden, como el de 140 Mbits/s a transmitirse por fibra óptica.

En este contexto, es importante el apoyo que ha brindado la Escuela Politécnica Nacional para desarrollar el proyecto de diseño y construcción de un sistema PCM primario con interface de señalización intercentral (ARF, AGF) y que fuera presentado a ASETA. Este proyecto contempla varias tesis de grado y una parte del mismo constituye el presente trabajo, esto es el diseño y construcción de la interface de señalización entre la central ARF y el sistema PCM o denominado también TDM con técnica PCM.

C A P I T U L O II

SISTEMA TDM - SEÑALIZACION

2.1 INTRODUCCION AL SISTEMA TDM (Desarrollado como Tesis de Grado en la E.P.N)

Como tesis de grado en la Escuela Politécnica Nacional fue desarrollado un sistema TDM (Múltiplex por división de tiempo) utilizando técnica PCM con capacidad de transmitir y recibir 6 canales analógicos, su diagrama de bloques se muestra en la fig. 2.1. La Tesis se titula: "Transmisor-Receptor de 6 canales analógicos utilizando técnica PCM" y constituyó el sistema contemplado inicialmente para el Proyecto.

En esta introducción se presenta un análisis de ese sistema en los aspectos que interesa para el acoplamiento de la Interface, para luego emitir los comentarios técnicos respectivos.

En la fig. 2.1 se puede observar un bloque denominado Adaptador de señalización el cual es ampliado en la fig. 2.2. Este bloque consta a su vez de dos partes la una denominada bloque transmisor que genera el código de alineación de multitrama y remite los bits de señalización de los 6 canales analógicos, la otra parte se denomina bloque receptor que reconoce dicho código para sincronizarse y recibir los respectivos bits de señalización.

De la fig. 2.2 se desprende que la forma de enviar o recibir los bits de señalización es una comunicación en paralelo y para cada canal.

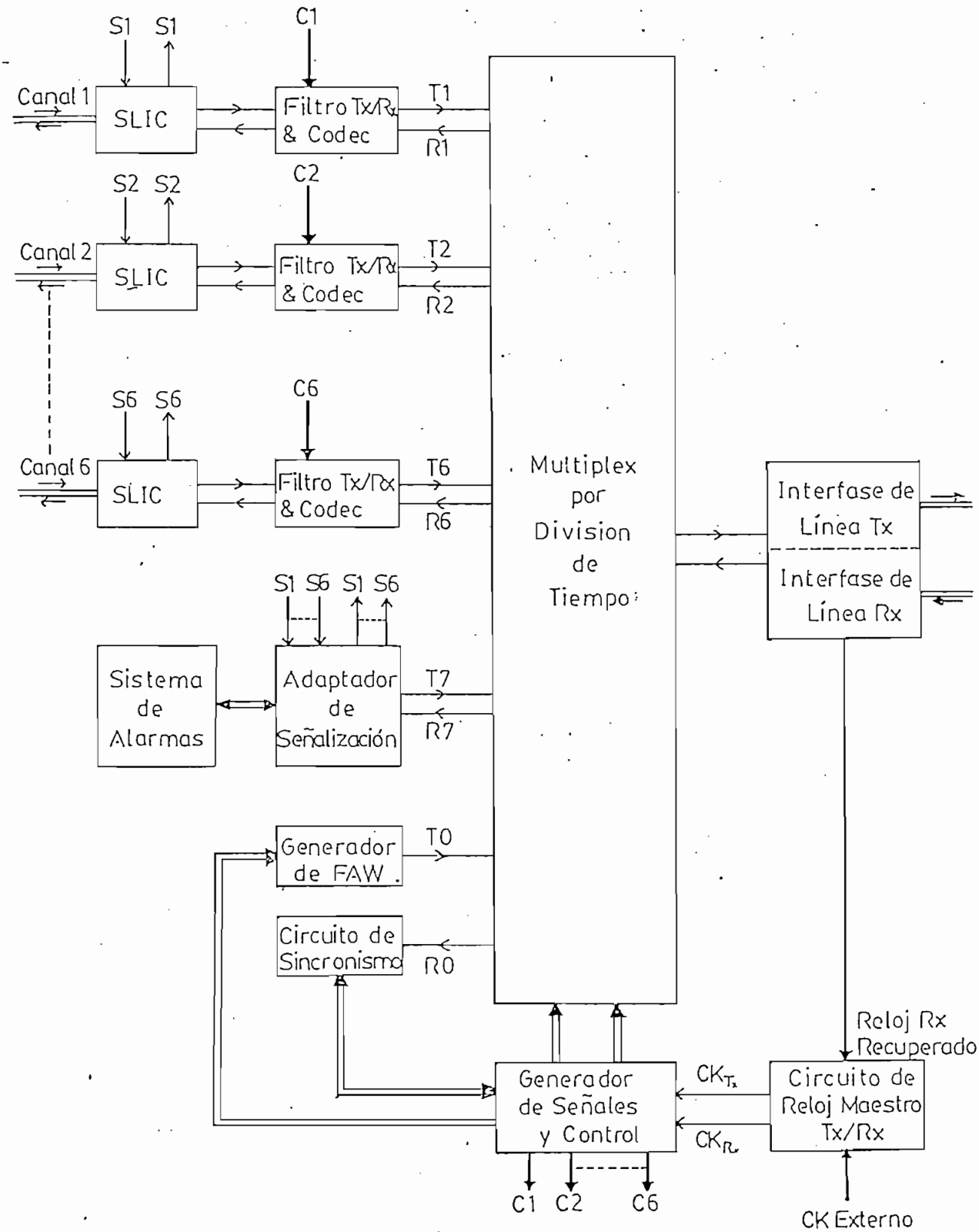


FIG. 2.1 DIAGRAMA DE BLOQUES DEL TRANS-RECEPTOR DE 6 CANALES ANALOGOS

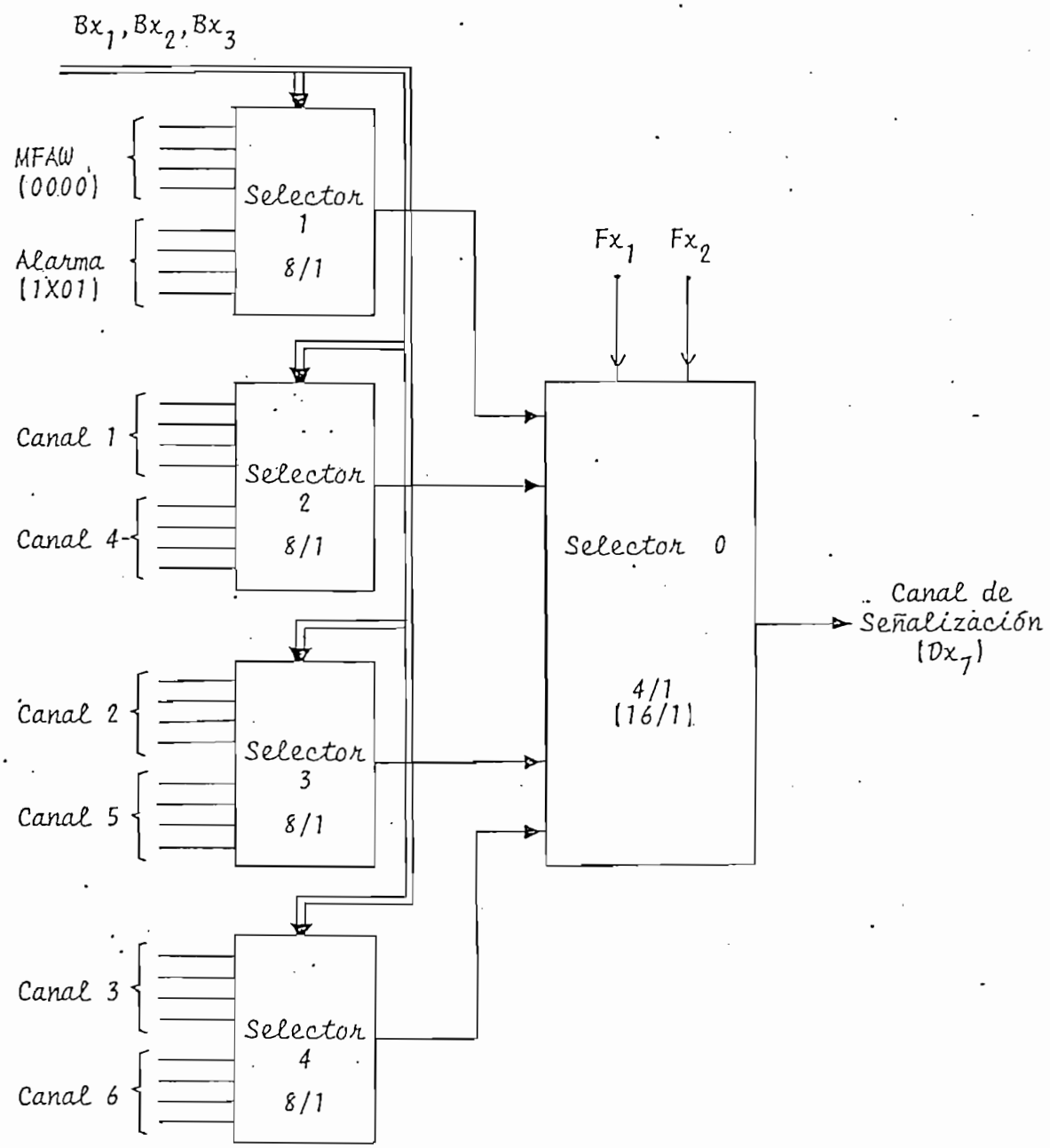


FIG. 2.2 ADAPTADOR DE SEÑALIZACION

En el cuadro 2.1 se muestra la composición de multitrama para este sistema, en el se observa que cumple con los requerimientos del CCITT, para el código de alineación de multitrama y la asignación de los bits de señalización. La diferencia está dada evidentemente en que solo se necesitan 4 tramas para completar una multitrama, mientras que en el sistema CCITT se requieren 16.

TRAMA No.	DIGITOS DEL INTERVALO 7							
	1	2	3	4	5	6	7	8
0	0	0	0	0	1	X	0	1
1	a1	b1	c1	d1	a4	b4	c4	d4
2	a2	b2	c2	d2	a5	b5	c5	d5
3	a3	b3	c3	d3	a6	b6	c6	d6

CUADRO 2.1 MULTITRAMA DEL SISTEMA TDM (6+2)

En cuanto a tiempos se refiere, este sistema toma como modelo el del CCITT, dando la duración en tiempo a un bit de 0.488 us por lo que la trama dura 3.125 us (pues se prevee 30 canales) y la multitrama tiene un período de 2. ms. En el sistema CCITT una trama dura 125 us y una multitrama 2 ms.

El sistema TDM de 6 canales contempla una futura ampliación para completar los 30 canales recomendados por el CCITT, sin embargo esto implicaría una modificación del control de sin

cronismo y generador de tiempos, asi como ampliaciones de los ciruitos del bloque adaptador de señalización.

Esta concepción del sistema es funcional para pocos canales pero, si se desea ampliar a 30 canales se tendría que ampliar las conexiones y los circuitos multiplexadores del bloque adaptador de señalización en 5 veces, lo que no lo hace modular y no hay una independencia del sistema TDM del bloque de señalización. El CCITT por ello recomienda, que el bloque de señalización esté separado del bloque TDM y se unan mediante una interface denominada de 64kb/s, si es grande la distancia entre estos bloques. (Recomendación G703).

Adicionalmente al ampliar el control y generación de tiempos se tendría que tomar muy en cuenta, los retardos de tiempo producidos por el aumento de circuitos integrados.

Estas consideraciones nos llevó a plantear que si bien era posible ampliar este sistema, era preferible considerar el diseño y construcción de un sistema nuevo utilizando modernos codecs y microprocesador para la parte de control, esto dió como resultado que exista un Tema de Tesis, que contempla el diseño de este nuevo sistema.

Por las consideraciones anotadas la interface de señalización, objeto del presente trabajo funciona independiente del sistema TDM y sólo requiere para su intercomunicacion señales generadas en base a los propios tiempos de cual-

quier sistema PCM de 30 canales, y para evitar la enorme cantidad de conexiones, el enlace será serial; con esto, se ha logrado reducir a 8 el número de hilos físicos de enlace entre la Interface al sistema TDM (contemplando: Transmisión y Recepción).

No se ha utilizado la Interface recomendada por CCITT, pues se considera que la distancia de este enlace es muy corta, los equipos TDM e Interface estarían ubicados en un mismo bastidor.

1.4.4

2.2 NORMAS CCITT DE SEÑALIZACION. Q161 A L

En el libro amarillo del CCITT Tomo III.2 Recomendación G732, se encuentran las especificaciones Técnicas para un sistema PCM de 30 canales, de este documento, se han tomado las recomendaciones respectivas para este trabajo.

En primer término será utilizada la señalización asociada al canal, la misma que utiliza el intervalo de canal 16 para transmitir la información de señalización, según la estructura de multitrama que se muestra en el cuadro 2.2. 1.9

De acuerdo al CCITT entonces, se han definido 4 bits de información de señalización por canal, de los cuales en caso de no utilizarse todos, los bits restantes, deben ser fijados en un determinado valor, en este caso: se usarán solo los bits a y b mientras que los bits c y d serán fijados a

0 y 1 respectivamente.

TRAMA No.	BITS DEL INTERVALO 16							
	1	2	3	4	5	6	7	8
0	0	0	0	0	X	Y	X	X
1	a1	b1	c1	d1	a16	b16	c16	d16
2	a2	b2	c2	d2	a17	b17	c17	d17
.								
.								
.								
15	a15	b15	c15	d15	a30	b30	c30	d30

CUADRO 2.2 ESTRUCTURA DE MULTITRAMA DEL SISTEMA PCM (30+2)

Para la palabra de alineación de multitrama contenida en el intervalo 16 de la trama No. 0, los bits de reserva X serán fijados a 1L si no se utilizan y el bit Y es un bit de alarma, que indica pérdida de alineación de multitrama: si su valor es 0 indica condición normal y si es 1 anormal.

El tiempo de duración de un bit es de .488 us , el de un intervalo de tiempo es de 3.9 us, el de una trama 125 us y el de una multitrama 2ms.

Finalmente, como procedimiento para pérdida de alineación de multitrama y recuperación (para fines prácticos), la supervisión del código de alineación de multitrama será efectuada dos veces consecutivas en caso de falla, antes de enviar alarma y bastará que se detecte una sola vez para recuperar sincronismo.

2.3 SISTEMA DE SEÑALIZACION A USARSE

De acuerdo a lo analizado en el numeral 2.2 del Capitulo II de la Parte II de este trabajo (otra tesis), la interface de señalización debe realizarse para la señalización de línea de la central ARF 102, como se muestra a continuación en la fig 2.3.

Fig. 90. Esquema de señalización de línea para tráfico local entre centrales ARF 102 (sin señales de medición o de operador).

SEÑAL	DIRECCION	ESTADO O CAMBIO DE ESTADO EN EL LADO SALIENTE (FUR, KS o SR)	ESTADO O CAMBIO DE ESTADO EN EL LADO ENTRANTE (FIR)
Accesibilidad	—	H	B
Ocupación	→	H → L	B
Contestación	←	L	B → B¹
Desconexión hacia atrás	←	L	B¹ → B
Desconexión hacia adelante	→	L → O → H	B¹ → B (B ó)
Accesibilidad	—	H	B
Bloqueo	←	H	$\overline{O}$

Explicaciones:

H = bucle cerrado a través de relé de alta resistencia en FUR
L = bucle cerrado a través de relé de baja resistencia en KS o SR
O = bucle abierto 600 ms
B = alimentación de batería —a +b
B¹ = alimentación de batería +a —b (inversión de polaridad)
$\overline{O}$ = bucle abierto continuamente
FUR = juego de relés de línea saliente
FIR = juego de relés de línea entrante
KS = emisor de código (MFC)
SR = circuito de cordón

FIG. 2.3 SEÑALIZACION DE LINEA ARF

De acuerdo al análisis de la señalización de línea de la central 'ARF-102", las señales emitidas por el FUR son solo "L" y "H" y por el FIR "B","B'","O'", es decir un máximo de tres estados por cada uno, razón por la cual, bastarían solo 2 bits para codificar esta información.

En la fig 2.3 se observa además un estado transitorio "O" producido por el FUR al cambiar de estado "L" al "H", que no le tomamos en cuenta, porque se trata de un retardo de tiempo producido por la operación de los reles y por ello, no tiene ninguna ingerencia en el FIR.

De acuerdo a lo señalado en el cuadro 2.3, se presenta la señalización digital de línea que será usada por esta interface para una central ARF. En este cuadro también se ha incluído la señalización para tasación (referirse a la Parte II capitulo II de la otra tesis), que se produce mediante inversiones de polaridad cada 150ms de duración.

La selección de los bits de señalización, presentado en el cuadro 2.3, se realizó tomando en cuenta los circuitos convertidores y su lógica de control, así como las recomendaciones del CCITT las mismas que se muestran en el cuadro 2.4. Esta información se encuentra en el Libro Naranja Tomo VI.3 Recomendación Q421.

063096

SEÑAL		CODIGO			
NOMBRE	DIRECCION	HACIA ADELANTE		HACIA ATRAS	
		a(f)	b(f)	a(b)	b(b)
Libre	------>	0	0	1	0
Ocupación	------>	0	1	1	0
Contestación	<------	0	1	0	1
Tasación	<------	0	1	0	1
				1	0
				0	1
Desconexión hacia atrás	<------	0	1	0	0
Desconexión hacia adelante	------>	0	0	0	1
				1	0
Bloqueo	<-------	0	0	0	0

CUADRO 2.3 SEÑALIZACION DIGITAL DE LINEA A EMPLEARSE

3.1.2 *Código de señalización*

El código de señalización en la línea MIC es la siguiente:

Condición de funcionamiento del circuito	Código			
	Hacia adelante		Hacia atrás	
	a_f	b_f	a_b	b_b
Reposo	1	0	1	0
Toma	0	0	1	0
Acuse de recibo de toma	0	0	1	1
Respuesta	0	0	0	1
Abonado llamado cuelga	0	0	1	1
Señal de fin	1	0	0	1
			ó	
			1	1
Liberación de guarda = reposo	1	0	1	0
Bloqueo	1	0	1	1

Observación 1. – También se utiliza localmente con fines de alarma (véase la Recomendación Q.424) el elemento de código correspondiente al estado 1 en la línea de los canales de señalización *recepción a y b.*

Observación 2. – Para todas las señales de supervisión, $b_f = 0$; el paso al estado $b_f = 1$ indica la existencia de una avería [véanse los puntos 3.2.4.2 a) y 3.2.3.1 a 3.2.3.3].

CUADRO 2.4 CODIGO DE SEÑALIZACION CCITT (Q.421).

C A P I T U L O III

"DISEÑO E IMPLEMENTACION DE LA INTERFACE"

3.1 CONSIDERACIONES GENERALES

3.1.1 ASPECTOS GENERALES DEL DISEÑO

En el presente trabajo se toma muy en cuenta para el diseño e implementación, el aspecto económico y el de construcción adicionalmente al técnico.

El aspecto económico tiene que ver con el costo final de un producto, el cual puede ser dividido en :

- Costo de los componentes
- Costo de Producción
- Costos de diseño
- Costos de verificación
- Costos de mantenimiento

El costo de los componentes es el más crítico, pues al no existir una industria nacional, de fabricación de ellos, nos vemos obligados a importar casi todos los componentes empleados encareciendo notablemente el producto.

Los costos de producción deben ser tomados muy en cuenta cuando el producto va a ser fabricado en serie, es decir en grandes cantidades, en este caso es importante la modula-

ridad del diseño.

Los costos de diseño se refieren en gran parte al trabajo intelectual y este es difícil de cuantificar. Se acostumbra a calcular las horas hombre empleadas y el salario de los hombres empleados de acuerdo a su calificación; estos costos resultan elevados cuando en el diseño se incluye software.

Sobre el aspecto de construcción, los equipos deben tener entre otros los siguientes requisitos:

- Modularidad
- Fácil acceso
- Adecuada presentación
- Facilidades de instalación
- Resistentes, mecánica y eléctricamente

Considerando estos requisitos se ha implementado los diferentes circuitos diseñados en tarjetas de dimensiones estandarizadas en el mercado y se utiliza conectores apropiados para enchufar las tarjetas en un bastidor funcional. Por ser este un prototipo experimental, las tarjetas utilizadas son para técnica de enrollado(wire-wrapping), de considerarse su producción en serie fácilmente pueden estas ser reemplazadas por circuitos impresos, lo cual es más ventajoso económicamente.

3.1.2 DESCRIPCION GENERAL DE LA INTERFACE

La idea general de este trabajo se encuentra expresada en los diagramas de bloque de la fig. 3.1

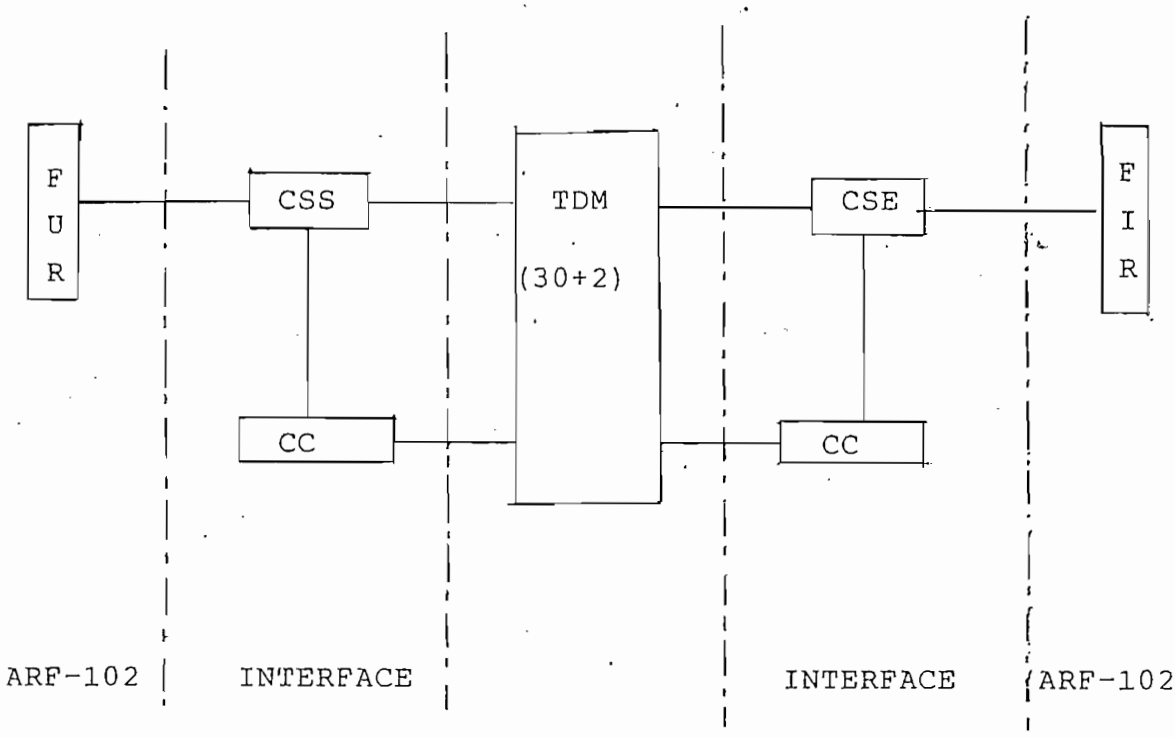


FIG. 3.1 ESQUEMA GENERAL DE LA INTERFACE

Los bloques de la figura anterior denominados: CSS CSE y CC serán diseñados y construidos en este trabajo.

Los bloques CSE y CSS se denominan Convertidores de señalización entrante o saliente respectivamente y se encargan de la conversión de la señalización análoga que emiten los circuitos FUR y FIR de la central telefónica ARF.

El bloque CC denominado Control Común recibe y transmite

los datos de señalización desde y hacia el sistema TDM, éste puede controlar hasta 30 convertidores, sean entrantes o salientes.

3.2 CONVERTIDOR DE SEÑALIZACION ENTRANTE (CSE)

Este circuito convierte la señalización que va y viene del FIR de acuerdo a lo mostrado en el cuadro 3.1

FIR <---- CSE			FIR -----> CSE		
Señal	a(b)	b(b)	Señal	a(f)	b(f)
H	0	0	B	1	0
L	0	1	B'	0	1
			0'	0	0

CUADRO 3.1 SEÑALIZACION UTILIZADA POR CSE

Este cuadro presenta con más detalle la dirección de las señales y está de acuerdo al cuadro general 2.3 .

Debe notarse que a pesar de que la señalización digital se divide en dos direcciones, hacia adelante (f) y hacia atrás (b) y por tanto separadas en tiempo, el convertidor debe transmitir y recibir las señales analógicas hacia el FIR

al mismo tiempo.

En la fig 3.2 se presenta el esquema de circuitos para este convertidor y en base a ella serán explicados los diferentes circuitos que lo componen.

C1. CIRCUITO DETECTOR DE CAMBIO DE POLARIDAD

Este circuito es el encargado de detectar los cambios de polaridad que produce el FIR en los hilos a y b del enlace, es decir las señales B y B' (ver diagrama en la figura 3.2).

Su funcionamiento es sencillo, está compuesto básicamente por dos optoacopladores los cuales serán activados uno a la vez dependiendo de polaridad de la línea. Al activarse un optoacoplador el transistor de su salida conducirá poniendo un cero lógico a la entrada de la compuerta NAND y por tanto la salida S1 o S2 será 1L; caso contrario, si un optoacoplador no es activado el transistor no conduce y pondrá un 1L en la NAND y la salida S1 o S2 será 0L .

Entonces si el FIR emite el estado B las salidas del convertidor serán S1=1 y S2=0 y si es B' las salidas invertirán sus valores, cumpliendo de esta manera con el cuadro 3.1.

Las resistencias R2 cumplen una doble función: dan la corriente adecuada al diodo del optoacoplador y equilibran la corriente de blucle en conjunto con R1 y R3. Las resisten-

cias R4 son de protección para la corriente de salida del transistor.

El optoacoplador usado es el MCT66, sus características se muestran en el Apéndice B. Su punto de operación se ha definido en :

-Corriente por el diodo If = 2mA
-Corriente por el transistor Ic = 0.33mA
-Voltaje colector - emisor Vce = 0.4V

El valor de R4 se calcula:

$$R4 = \frac{5v - 0.4v}{0.2mA} \quad \text{(se considera la corriente de la compuerta)}$$

$$= 22Kohm$$

C2.- CIRCUITO DETECTOR DE BLOQUEO

Este circuito detecta el estado 0' que envía el FIR cuando es bloqueado, en otras palabras cuando el bucle se abre. Si se observa detenidamente los dos optoacopladores del circuito anterior, en caso de bucle abierto ninguno de ellos operaría produciendo en las salidas S1 y S2 un OL, que está de acuerdo al cuadro 3.1 y por tanto no hace falta circuito adicional.

C3.- CIRCUITO PARA PROPORCIONAR LOS ESTADOS H Y L

El convertidor tiene que presentar al FIR un equivalente del FUR, esto es formar un bucle para la señalización de línea y además debe separar las señales de audio (señalización de registro y de voz) de las de línea, para ello se usa el transformador T y el condensador C. El transformador escogido es el MICROTRAN T9117 especializado en acoplamiento telefónico (ver características en elApéndice B). El condensador C es recomendado para este tipo de aplicación, por los mismos fabricantes y tiene un valor de 2.2uf.

A fin de proporcionar los estados H y L hacia el FIR se emplea adicionalmente la malla de resistencias formada por R1, R2 y R3, para calcular sus valores hacemos referencia al item 2.3 del capítulo 2 parte II de este trabajo del cual, resumimos aquí lo siguiente:

- Corriente de reposo: Ir = 2.2 mA
- Resistencia del FUR: Rh = 21Kohm
- Voltaje de reposo: Vr = 46.2 V

- Corriente de ocupación: Ioc = 29.2 mA
- Resistencia del FUR: Roc = 732 ohm
- Voltaje de ocupación: Voc = 21.37 V

Como se observa en la Fig.3.2 las resistencias R1 y R3 están controladas por los contactos de un relé, el cual deja que actúe o no la resistencia respectiva, para el caso de reposo R1 y para ocupación R3. El poner las resistencias

en ambos hilos del enlace sirve de protección.

Cuando se desea envíar el estado H:

$$Rh = 21Kohm$$

$$2R1 + 2R2 = 21\ Kohm$$

En el caso de enviar el estado L:

$$R3 \,//\, 2R2 = 732\ ohm$$

Se han despreciado las resistencias internas de los optoacopladores. De las dos ecuaciones anteriores y recordando que R2 sirve de protección de corriente de los mismos calculamos:

$$2R2 = \frac{Voc}{Ir}$$

$$= 9.7\ Kohm$$

$$R2 = 4.9\ Kohm$$

Con esto se procura que por R2 circule siempre la corriente de reposo para proteger y estabilizar los optoacopladores.

El valor de R1 sería:

$$2R1 + 2R2 = 21 \text{ Kohm}$$

$$R1 = 5.7 \text{ Kohm}$$

Los valores prácticos escogidos son:

$$R1 = 5.6 \text{ Kohm}$$

$$R2 = 4.7 \text{ Kohm}$$

Para calcular R3 se toma en cuenta la corriente de ocupación y su valor es:

$$Ir3 = Ioc - Ir2$$
$$= 29.2 \text{ mA} - 2.2 \text{ mA}$$
$$= 27 \text{ mA}$$

$$R3 = Voc / Ir3$$
$$= 21.37 \text{ V} / 27 \text{ mA}$$
$$= 791 \text{ ohm}$$

su valor práctico escogido es :

$$R3 = 820 \text{ ohm}$$

Calculamos :

$$R3 // 2R2 = 754 \text{ ohm}$$

Con esto se satisface la condición R3 // 2R2 = Roc

El circuito de relé que controla el cambio de estado de H a L o viceversa está comandado por la entrada E, la cual según la lógica establecida en el cuadro 3.1, con OL en E el relé opera. (Enviando el estado L hacia el FIR)

Este circuito se halla en la fig 3.2 y consta de:

- Un relé que opera a - 48 Vdc y 10 mA, su código es NF4EB de marca AROMAT (ver características en anexo)

- Un transistor Q MPSA93 (ECG 288) pnp Si, Pd= 50mW, que opera con Ic = 10 mA, Hfe=40.

- Unas resistencias de valores;

R5 = 5V / 1mA = 5Kohm (1mA es valor asumido)

Ib = Ic / Hfe = .2mA

R6 = (5v - 0.6v) /0.2mA

R6 = 22 Kohm

- El diodo D debe soportar un voltaje de hasta -52V, considerando variaciones del voltaje (- 48V+5%). Ha sido escogido el ECG 109 que resiste hasta 100 V.

ELEMENTO		CODIGO	CANTIDAD	COSTO (USD)
Transformador	T	T9117	1	14.0
Condensador	C	2.2uf/100v	1	1.0
Relé	Re	NF4EB	1	10.0
Transistor	Q	ECG288	1	0.4
Diodo	D	ECG109	1	0.2
Optoacoplador	O	MCT66	1	6.0
Compuerta NAND		74HC00	1	1.0
Resistencia	R1	5.6Kohm/.5w	2	0.4
"	R2	4.7Kohm/.5w	2	0.4
"	R3	820Ohm/1w	1	0.2
"	R4	22Kohm/.25w	2	0.2
"	R5	5.1Kohm/.25w	1	0.1
"	R6	22Kohm/.25w	1	0.1
SUBTOTAL (1 CSE)				34.0
Buffer		74LS244	1	1.3
Latche		74LS374	1	1.5
Compuerta NAND		74LS00	1	0.3
Leds			4	2.0
Tarjeta		Vector 46152	1	30.0
Conector		RN507711	1	5.0
Sócalos			7	5.7
COSTO TOTAL POR TARJETA(4 CSE)				181.8

Finalmente en la fig. 3.2 se muestra una parte de interface a control común la cual será tratada en el item de intercomunicación al sistema TDM, y una parte de alarmas que será tratado en la Parte II de este trabajo. (Otra tesis)
El listado y precios de los elementos que forman este convertidor se encuentran en el cuadro 3.2

En la fig. 3.3 se puede observar la distribucion de esos elementos en la tarjeta de CSE.

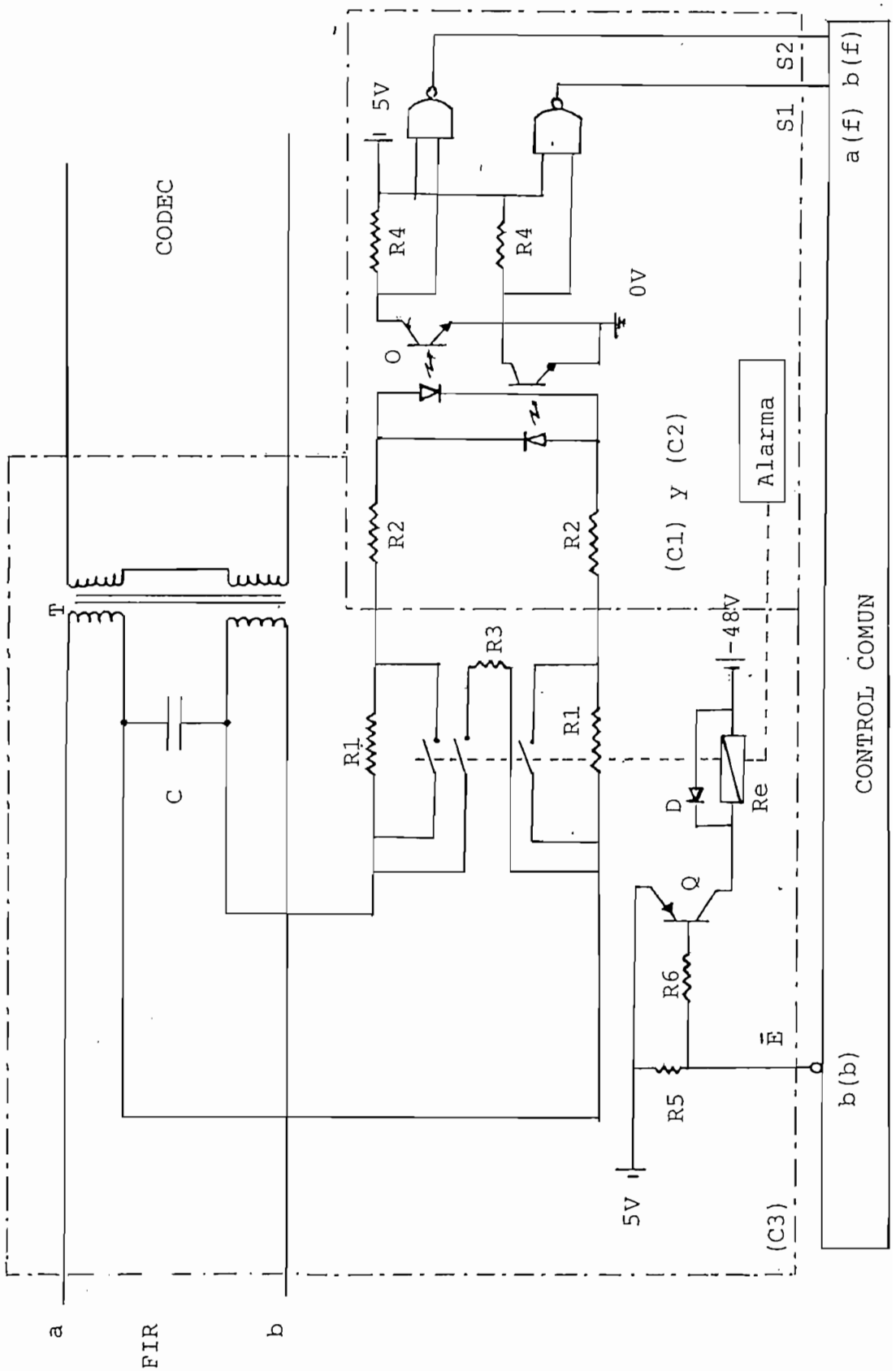
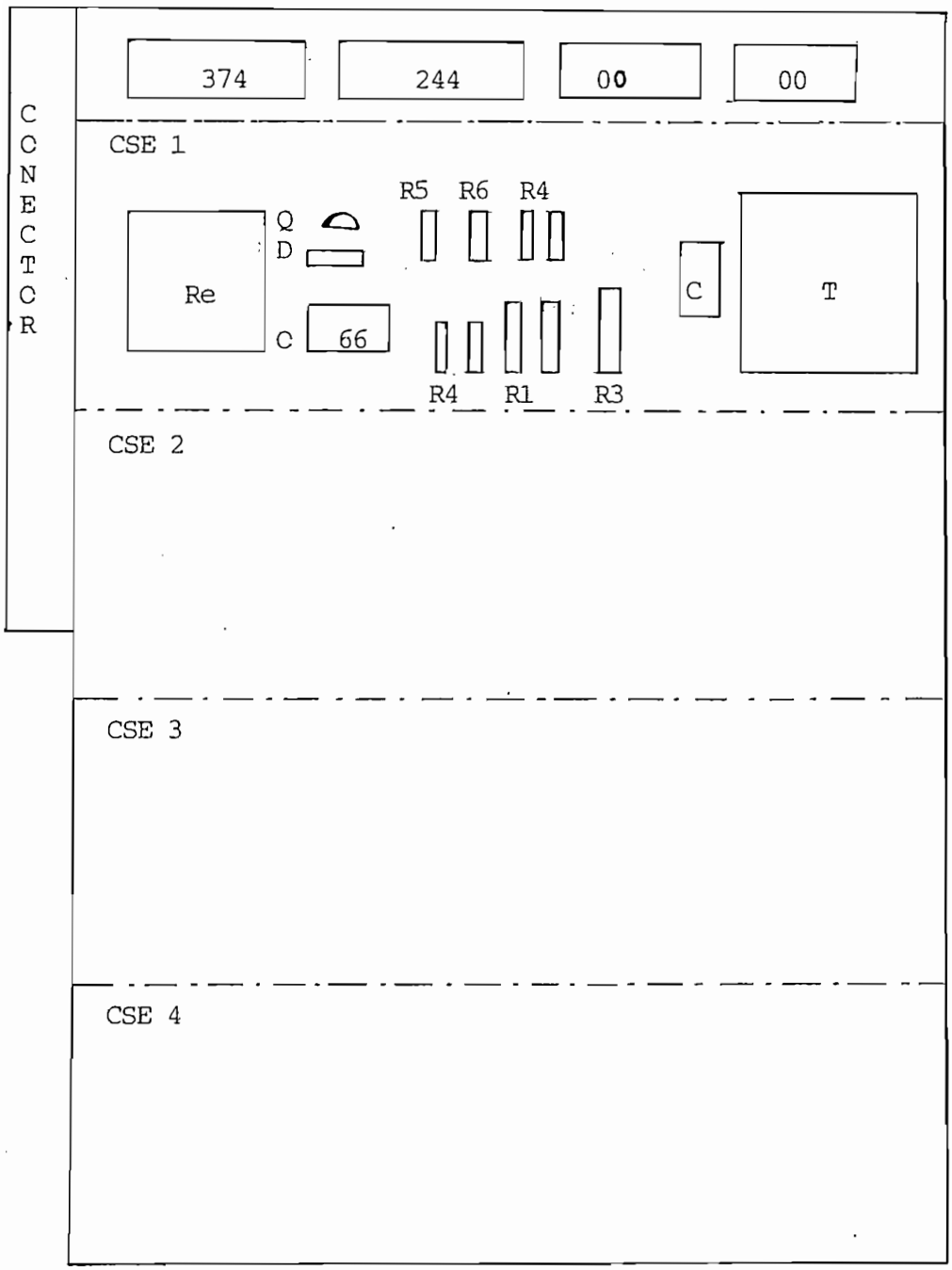


FIG. 3.2 DIAGRAMA DE CIRCUITOS DEL CSE



Nota: CSE 1 = CSE 2 = CSE 3 = CSE 4

FIG. 3.3 IMPLEMENTACION DE 4 CSE EN UNA TARJETA

3.3 CONVERTIDOR DE SEÑALIZACION SALIENTE (CSS)

Este circuito convierte la señalización que va y viene del FUR, de acuerdo a lo mostrado en el cuadro 3.3, que constituye una ampliación de lo especificado en el cuadro 2.3.

FUR <------ CSS			FUR ------> CSS		
Señal	a(b)	b(b)	Señal	a(f)	b(f)
B	1	0	H	0	0
B'	0	1	L	0	1
0'	0	0			

CUADRO 3.3 SEÑALES USADAS POR CSS

Este convertidor resulta ser el caso inverso del CSE en sus funciones lógicas. Su circuito se muestra en la Fig. 3.5, el diseño será explicado de acuerdo a la división funcional realizada en esa figura.

C1.- CIRCUITO DETECTOR DE LOS ESTADOS H Y L

El circuito detecta los estados H y L que produce el FUR y los transforma a señal digital, como se observa en la figura 3.5. está conformado por el mismo acoplamiento para formar el bucle ya analizado para el CSE, esto es el transfor-

mador T y el capacitor C, adicionalmente posee unas resistencias y un optoacoplador.

Las resistencias limitan los valores de corriente de bucle y polarizan el optoacoplador .

Refiriéndonos al capítulo II de la Parte II de este trabajo(otra tesis) fig. 2.18, se observa el circuito equivalente del FUR para el caso de ocupación y para el de reposo, ese circuito es reproducido aqui en la fig. 3.4 a fin de mostrar la forma de calcular las resistencias.

Las resistencias R1 deben cumplir con la misma función que las resistencias F y R del circuito equivalente del FIR que se muestra en la fig. 3.4 (para mas detalle referirse a la Parte II) y por ello sus valores deben ser similares:

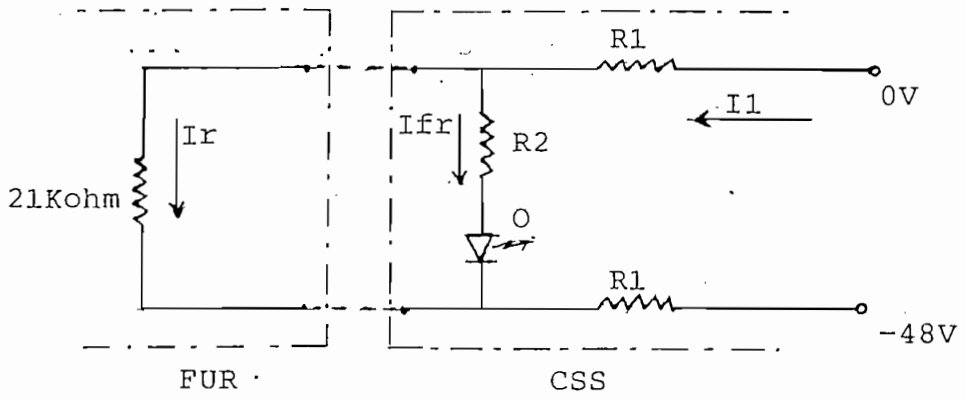
$$F + R = 456ohm$$

$$R1 = 470\ ohm$$

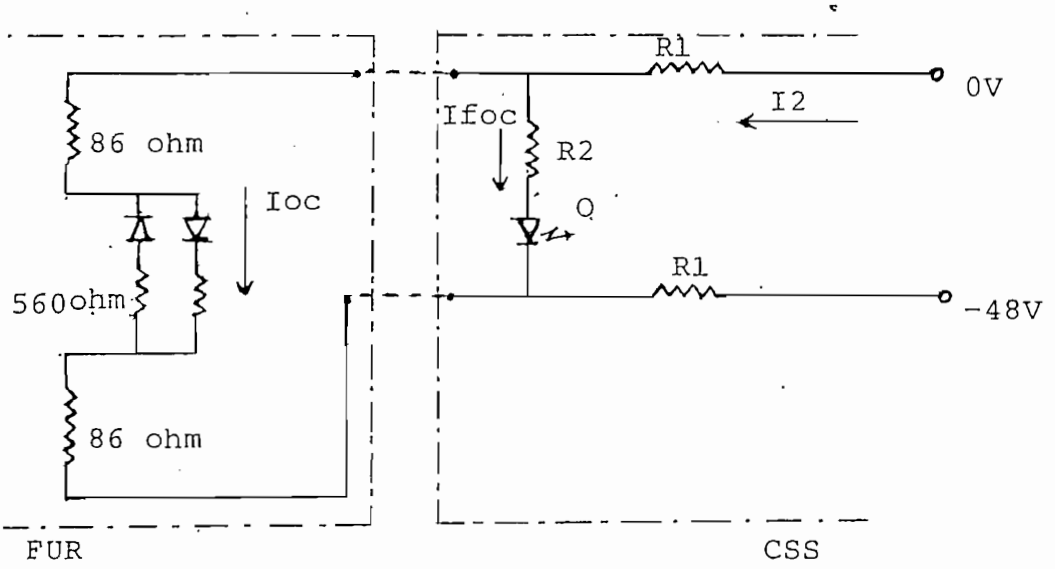
La resistencia R2 debe polarizar al optoacoplador y no debe interferir con la corriente de bucle, esta se encuentra especificada en la Parte II ,Cap. II(otra tesis) y sus valores son:

$$Ir = 2.2\ mA$$

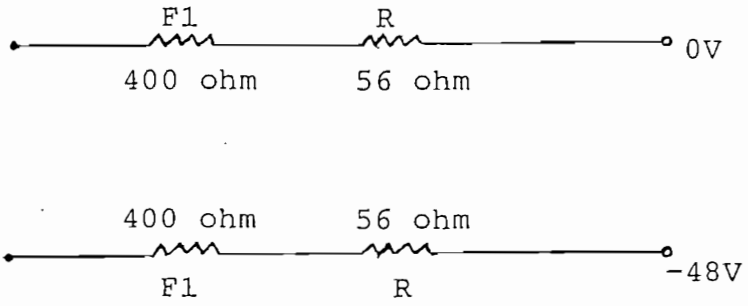
$$Ioc = 29.2\ mA$$



a.- Circuito FUR-CSS para reposo



b.- Circuito FUR-CSS para ocupación



c.- Circuito FIR

Fig. 3.4 CIRCUITOS EQUIVALENTES

Adicionalmente la resistencia equivalente que este circuito presenta al FUR debe mantenerse igual a la que presenta el FIR al FUR, esto es 912(ohm). Entonces:

$$R2 \;//\; 2R1 \text{ debe ser } = 912\text{ohm}$$

Si se escoge R2 = 22Kohm tenemos:

$$R2 \;//\; 2R1 = 876 \text{ ohm}$$

De los circuitos de la fig. 3.4 tenemos:

$$I1 = 48V \;/\; (.940 + 10.7)\text{kohm}$$
$$= 4.12 \text{ mA}$$

$$I2 = 48V \;/\; (.94 + .708)\text{Kohm}$$
$$= 29.13 \text{ mA}$$

Con ello podemos calcular la corriente If por el diodo del optoacoplador en los dos casos reposo(r) y ocupación (oc):

$$Ifr = (4.12\text{mA} * 10.7\text{Kohm}) \;/\; 22\text{Kohm}$$
$$= 2\text{mA}$$

$$Ifoc = (29.13\text{mA} * .708\text{Kohm}) \;/\; 22\text{Kohm}$$
$$= .94\text{mA}$$

Los valores de corriente por el bucle serán:

$$Ir = 4.12mA - 2mA$$
$$= 2.12\ mA$$

$$Ioc = 29.13mA - .94mA$$
$$= 28.19\ mA$$

Con esto se comprueba que los valores especificados para el bucle FUR-FIR son muy similares al bucle FUR-CSS.

De acuerdo a las características que presenta el optoacoplador(referirse al Apéndice B), la corriente por su transistor de salida sería aproximadamente:

$$Itr = .33mA$$

$$Itoc = .07mA$$

Con ello hemos logrado establecer una diferencia de corrientes para los casos de ocupación y reposo.

La resistencia R3 se calcula para que cuando exista Itoc, la entrada a la AND sea 1L y cuando exista Itr la entrada sea OL, el valor experimental encontrado fue:

$$R3 = 15Kohm$$

Asi se determina que: para el caso de ocupación la salida S

S (ver Fig. 3.5) será 1 L y para reposo será 0 L, cumpliendo con lo señalado en el cuadro 3.3

C2.- CIRCUITO INTERCAMBIADOR DE POLARIDAD

Este se basa en un relé, que intercambia la polaridad en los hilos del bucle. La polaridad normal o señal B se produce cuando el hilo a del bucle tiene -48V y el hilo b 0v, la polaridad invertida o señal B', es lo inverso.

El relé usado es el NF2EB de AROMAT, se ha calculado para que opere con una corriente de 6mA (Ver características en Apéndice B).

El transistor que maneja el relé es el mismo que se usó en el CSE, ésto es el Q MPSA93 (ECG288)

Los valores de resistencias son:

R5 = 51Kohm. valor asumido que fija la corriente en 1mA en la entrada E2

Ib = Ic/Hfe

= 6mA / 40

= .15mA

R6 = 4.4v/0.15mA

= 29.3Kohm

= 30Kohm (Valor real)

El circuito activará el relé cuando en la entrada E2 se ponga un 0L y significará polaridad invertida o normal, en el caso contrario si E2 es 1L .

C3.- CIRCUITO DE BLOQUEO

Este circuito provoca el envío de la señal 0' hacia el FUR, en otras palabras corta el bucle FUR-CSS y para ello se usa otro circuito en base a relé idéntico al anterior (C2).

Si en la entrada E1 existe un 0L el relé opera y se envía la señal 0' para bloqueo caso contrario, no.

En el cuadro 3.4 se muestra un listado de elementos con sus precios. Se ha incluído en este listado algunos elementos que corresponden a la parte de control común y alarmas que serán explicadas en los respectivos items.

En la figura 3.6 se muestra la distribución de los elementos en una tarjeta.

ELEMENTO	CODIGO	CANTIDAD	PRECIO
Transformador T	T9117	1	14.0
Condensador C	2.2uf/100v	1	1.0
Relé Re	NF2EB	2	14.0
Transistor Q		2	0.8
Diodo D	ECG109	2	0.4
Optoacoplador	MCT66	1	3.0
Resistencia R1	470ohm/0.5w	2	0.4
" R2	22Kohm/0.25w	1	0.1
" R3	15Kohm/0.25w	1	0.1
" R5	5.1Kohm/0.25w	2	0.2
" R6	30kohm/0.25w	2	0.2
SUBTOTAL (1CSS)			35.0
Tarjeta	VECTOR46152	1	30.0
Conector	RN507711	1	5.0
Leds		4	2.0
Compuerta AND	74LS08	2	0.7
" NAND	74LS00	2	0.6
" OREX	74LS86	1	0.4
Buffer	74LS244	1	1.3
Latche	74LS374	1	1.5
TOTAL TARJETA (4CSS)			181.5

CUADRO 3.4 LISTA DE ELEMENTOS PARA CSS

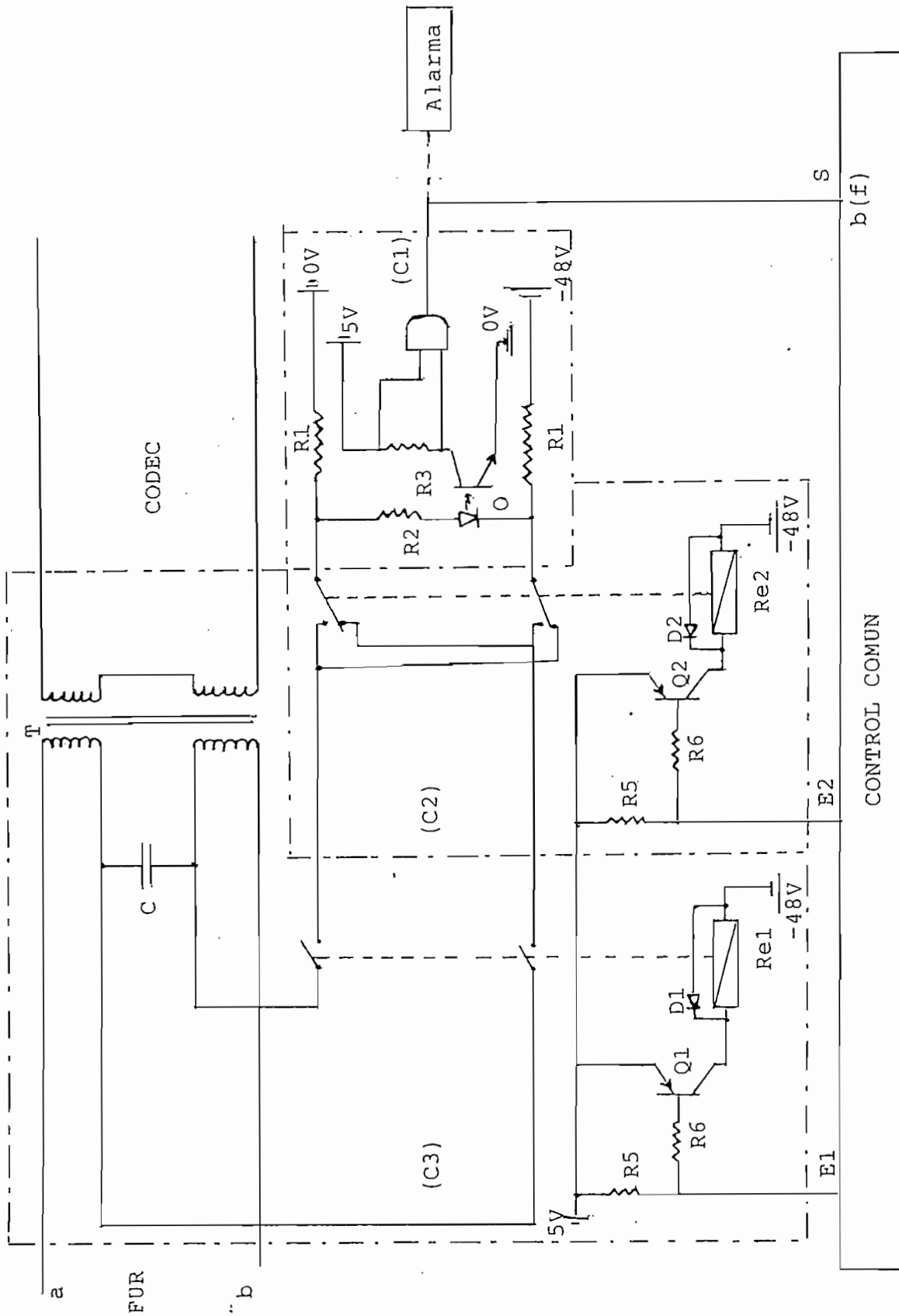
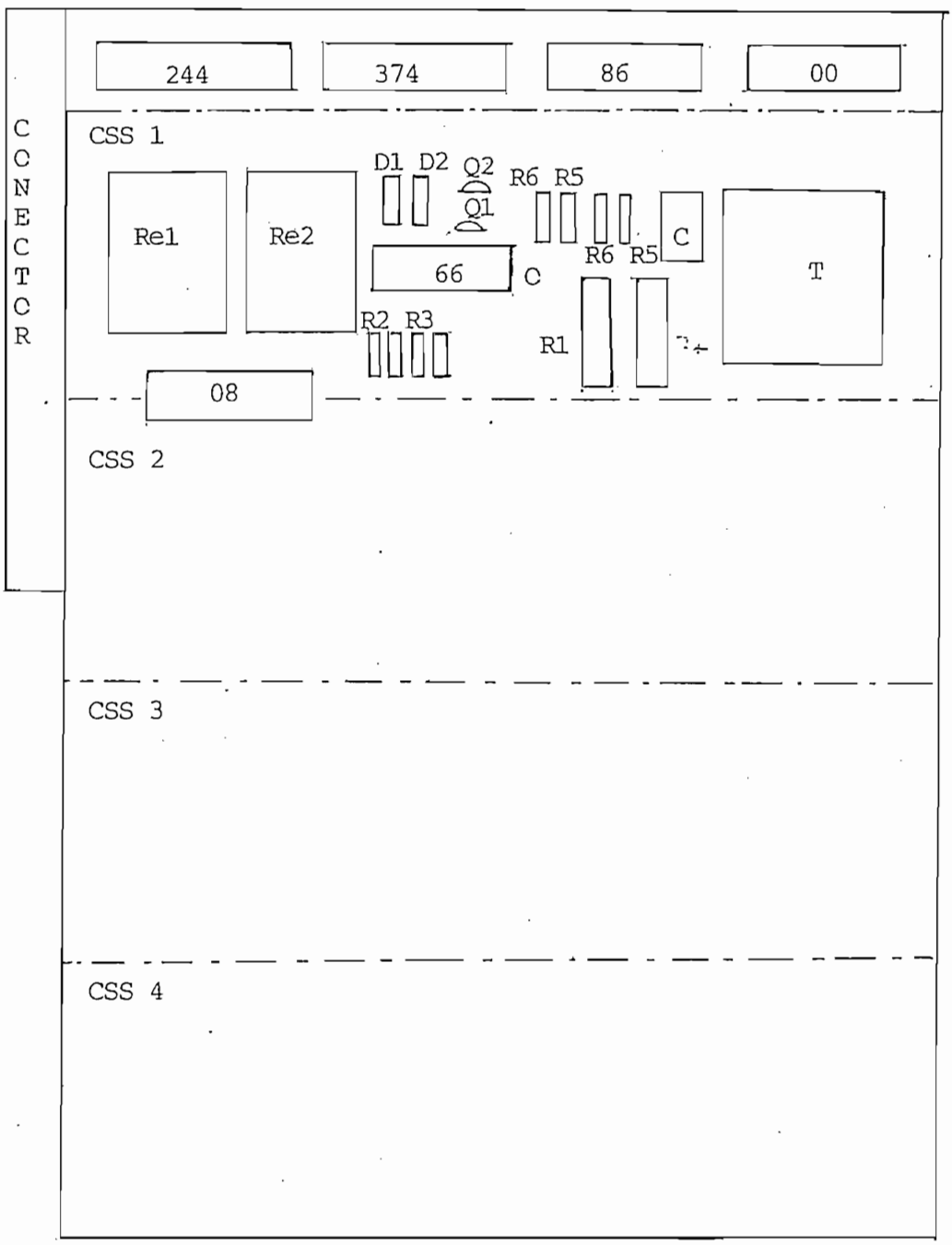


FIG. 3.5 DIAGRAMA DE CIRCUITOS DEL CSS



Nota: CSS 1 = CSS 2 = CSS 3 = CSS 4

FIG. 3.6 IMPLEMENTACION DE 4 CSS EN UNA TARJETA

3.4 INTERCOMUNICACION AL SISTEMA TDM

3.4.1 DESCRIPCION GENERAL

Una vez realizada la conversión de la señalización analógica a digital con los denominados convertidores entrantes y salientes, en este punto, se diseñará el circuito de intercomunicación denominado también de control común.

El diagrama de bloques general de este circuito se muestra en la figura 1.13

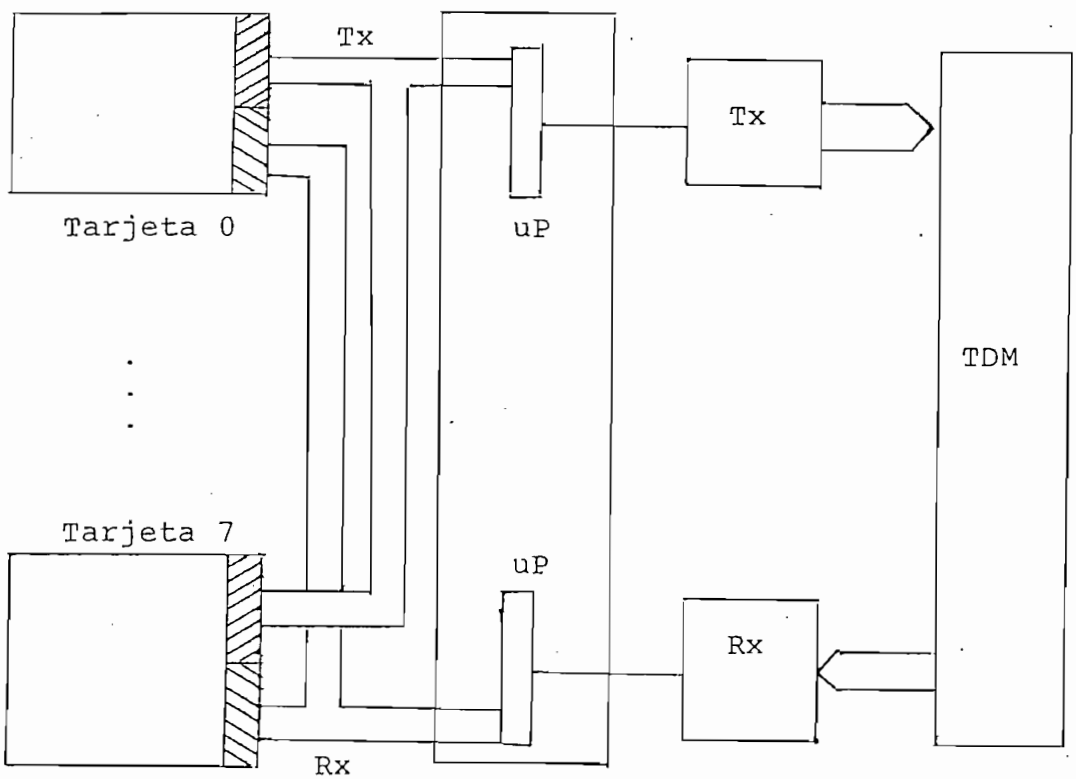


FIG 1.13 INTERCOMUNICACION AL SISTEMA TDM

/La parte sombreada de la figura 3.7 corresponde al circuito /de intercomunicación y como se observa consta básicamente /de tres partes:

/ - La parte sombreada que se encuentra en las tarjetas de / convertidores, constituye la INTERFACE A CONTROL COMUN. (ésta se encuentra incluida en las figuras 3.2 y 3.5.)

/ - La parte central se denomina CONTROL COMUN.

/ - La parte de comunicación propiamente dicha, con el / sistema, TDM constituye la INTERFACE A TDM.

A fin de seguir un proceso sistemático de diseño esta tarea ha sido dividida en los siguientes puntos:

- Criterios de diseño
- Selección del microprocesador
- Diseño del hardware auxiliar
- Desarrollo del software
- Pruebas y correcciones
- Facilidades de mantenimiento

En esta parte se desarrollarán los cuatro primeros puntos.

3.4.2 CRITERIOS DE DISEÑO

En general, las funciones que debe cumplir el circuito de intercomunicación son las de enviar y recibir informa-

ción de señalización entre los convertidores y el sistema TDM.

Esta tarea puede ser realizada mediante dos opciones, la una por lógica cableada y la otra por microprocesadores.

Un diseño en lógica cableada consiste escencialmente en interconectar un conjunto de circuitos especializados de forma que realicen una función determinada.

Al utilizar un microprocesador el proceso es distinto, estas interconecciones entre circuitos son sustituídas por un conjunto de instrucciones (programa) que realizan la función.

La elección entre estas dos opciones tiene que ver con algunos aspectos, que entre otros están:

- PRECIO

Indudablemente éste es uno de los factores más importantes y se debe escoger la opción que resulte más económica.

Se considera económico el empleo de un sistema por lógica cableada al de uno por microprocesador, cuando el número de circuitos integrados que implicaría la realización del sistema, daría como resultado un costo menos elevado que el del micro y sus anexos (los circuitos integrados son baratos individualmente pero su costo puede elevarse dependiendo de la cantidad de los mismos).

En cuanto a los costos de diseño, considerando que se tarda el mismo tiempo en desarrollar el sistema por cualquiera de las dos opciones, la facilidad que presta el microprocesador para modificaciones en el transcurso del diseño es mayor que el de lógica cableada, pues, cualquier cambio se lo hace únicamente en el programa y no en el circuito.

- FLEXIBILIDAD

Un sistema con microprocesador es mucho más flexible dado que la función lógica que cumple está implementada en forma de programa. Esta característica es muy útil en la puesta en marcha y desarrollo del sitema y permite además futuras expansiones o modificaciones.

- FIABILIDAD

La fiabilidad cuando se usa microprocesador es mayor en razón de la utilización de menos componentes y por tanto menor número de conexiones.

- VELOCIDAD

Día a día aparecen en el mercado microprocesadores más veloces, comparables a la lógica cableada.

De los aspectos mencionados, se observa una clara ventaja de los sistemas que usan microprocesador, razón por la cual hoy en día son muy populares.

En el diseño de esta interface en particular, se ha comprobado que al utilizar microprocesador se disminuye

notablemente el número de circuitos integrados que emplean otros sistemas de este tipo en relación a los existentes en el IETEL.

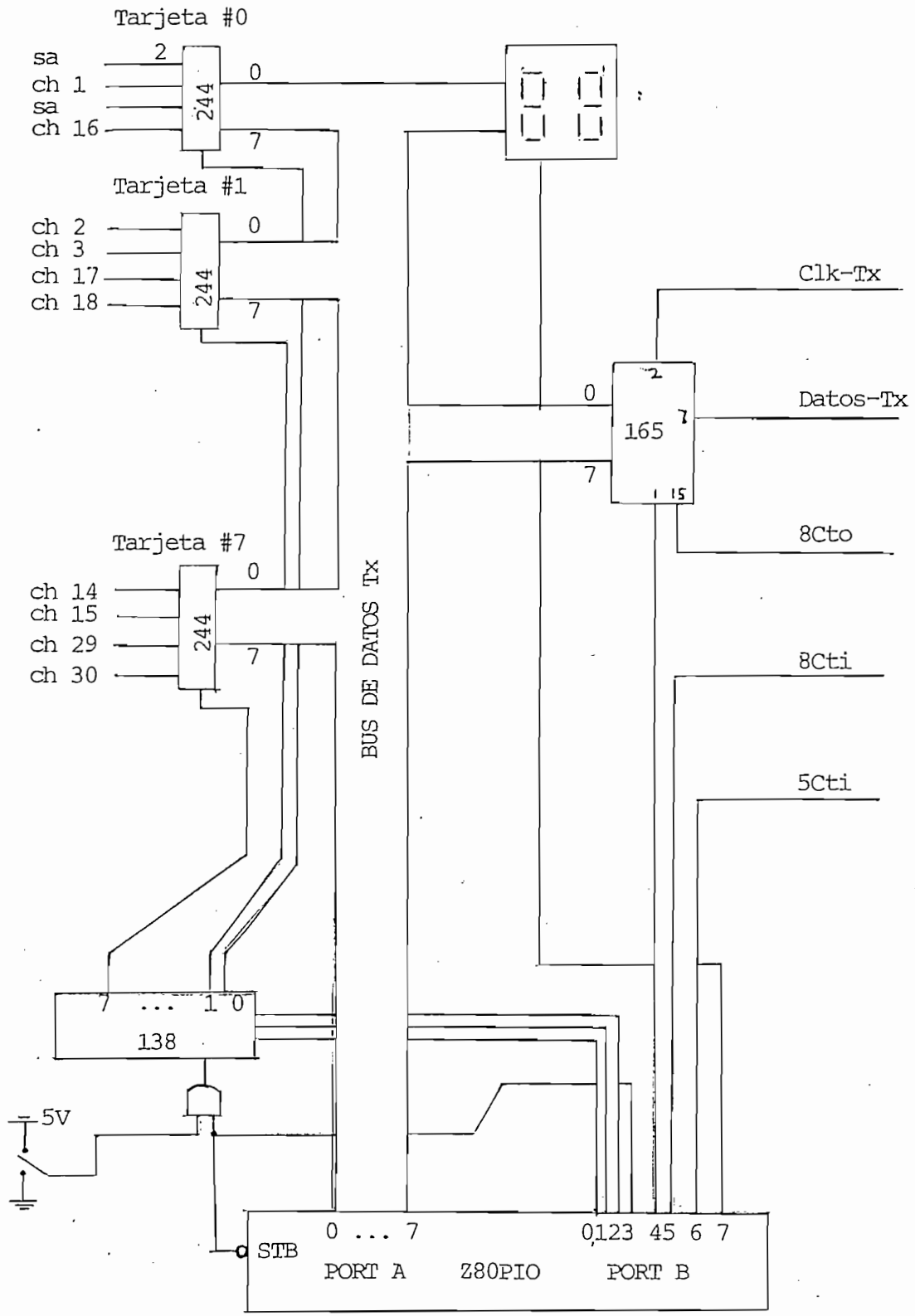
En cuanto a la velocidad de operación estaría alrededor de los 2 y 4Mbits/s y esto no presenta ningún problema, ya que existen en el mercado microprocesadores de hasta 8Mbits/s.

Por las razones antes mencionadas se ha decidido diseñar el sistema en base a microprocesadores.

3.4.3 ELECCION DEL MICROPROCESADOR

En la elección de microprocesadores, existen diferentes aspectos que deben tomarse en cuenta, los mismos que implican un análisis detallado de la arquitectura de estos, así como de su conjunto de instrucciones. Hardware y software de apoyo que ofrecen los fabricantes.

En este caso casi todas las marcas conocidas de microprocesadores(uP) cumplirían con los requerimientos, pues el sistema emplea una configuración elemental basada en el CPU, PIO y memorias, lo que hace que la elección del uP se reduzca al hardware y software de apoyo que se disponga con mayor facilidad en el País, en este sentido las posibilidades de elección están limitadas a tres marcas, el uP Z80 de ZILOG , el 8085 de INTEL y el 6809 de MOTOROLA para los cuales se dispone de literatura suficiente por ser los más populares del mercado pues sirven de base a microcomputado-



Nota: ch = canal sa = supervisión y alarmas

FIG. 3.8 DIAGRAMA DE BLOQUES DEL CIRCUITO DE INTER-COMUNICACION - TX

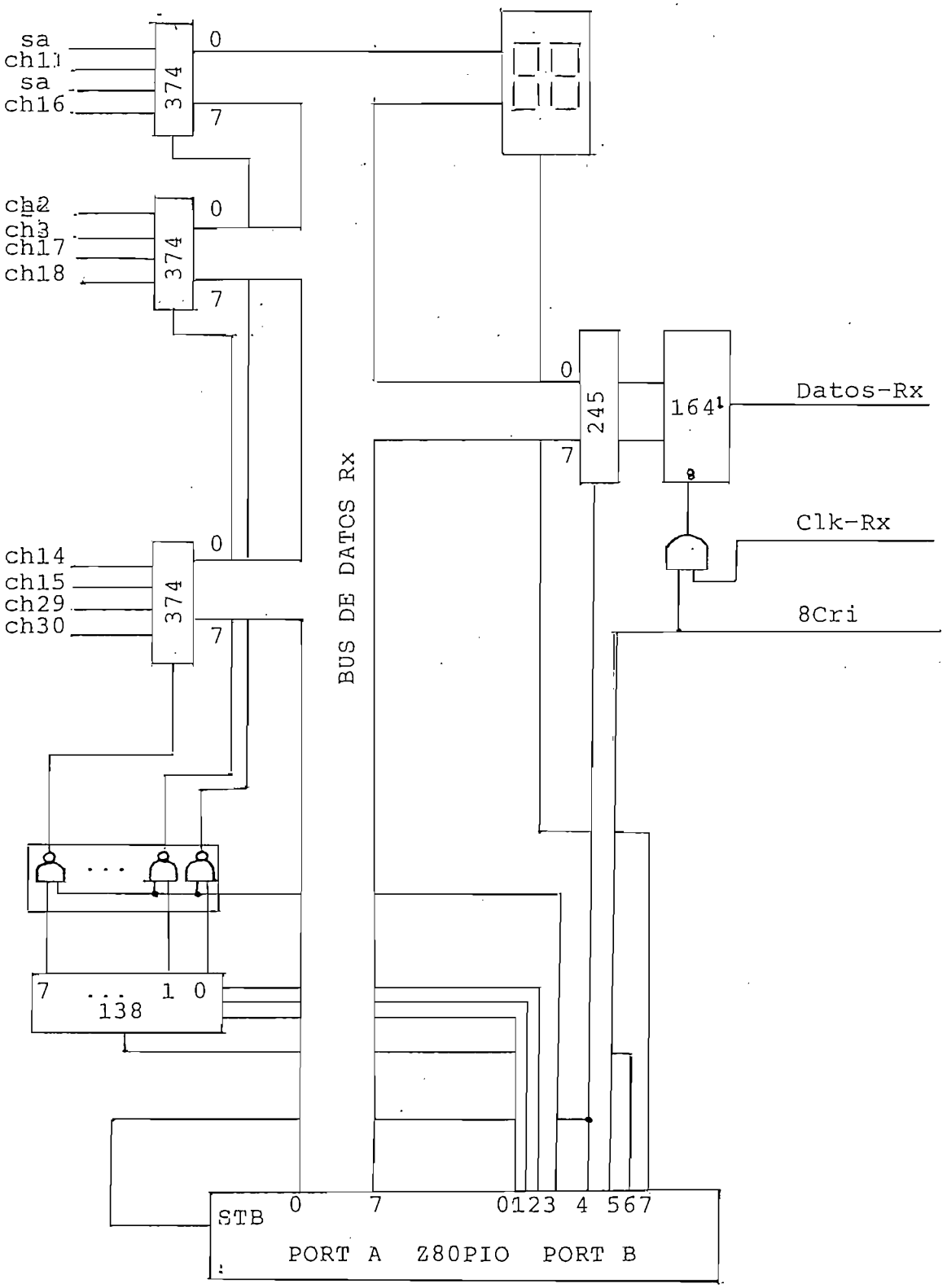


FIG. 3.9 DIAGRAMA DE BLOQUES DEL CIRCUITO DE INTER-COMUNICACION - RX

Desde el punto de vista económico resulta mas ventajoso usar dos uPs que trabajan a menor velocidad, que uno trabajando a alta velocidad. Como ejemplo el uP Z80B: a 6MHz cuesta: 8.95USD y un PIO Z80B cuesta: 10.95USD, mientras que un uP Z80A cuesta: 3.49USD y un PIO Z80A cuesta: 3.95USD (según catálogo de JAMECO/85).

-BLOQUE DE TRANSMISION

En la fig. 3.8 se obseva este bloque y recordando la división funcional establecida anteriormente(ver fig.3.7) se tienen las tres partes que lo constituyen.

La INTERFACE A CONTROL COMUN está constituída por los integrados denominados buffers (74LS244) o drivers y que son de tres estados (alta impedancia), existe uno de estos por cada tarjeta de convertidores, sean CSS o CSE y están conectados en su lado entrante a las salidas S1 y S2 de cada convertidor (como son 4 por tarjeta se tienen 8 salidas).
En el caso de la tarjeta No 0 que contiene sólo dos convertidores, las entradas libres se reservan para alarmas y para el envío de la palabra de sincronización de multitrama(ver Parte II Capítulo III,otra tesis).

Los buffers están controlados mediante un decoder (74LS138) cuya función es habilitar un buffer a la vez, mientras los otros están en alta impedancia, de esta forma todos los buffers pueden ser conectados en paralelo al bus de datos

Adicionalmente el decoder cuenta con una entrada de reset que permite deshabilitar a todos los buffers a la vez, ésta puede ser controlada manual o automáticamente.

El circuito de CONTROL COMUN presenta una configuración típica de un sistema con uP y se muestra en detalle en la Fig 3. 10 donde se encuentra la CPU, el interface paralelo PIO, la memoria EPROM y la memoria RAM, igualmente se ha especificado los códigos de los integrados respectivos cuyas características se encuentran en el Apéndice B.

El PIO y CPU son de la familia Z80A que trabajan a una frecuencia de 4.096MHz (la razón de usar esta frecuencia será tratada en el item de desarrollo del software).

La memoria EPROM es de NEC 2716 con capacidad de 2K*8bits para que almacene el programa, a pesar que podría usarse una de 1K, no se lo ha hecho por el factor económico pues estas son poco utilizadas y más costosas.

La memoria RAM es de NATIONAL HM6116 estática con capacidad de 2K*8bits, escogida por su velocidad de acceso y por que se polariza con 5v. Igualmente, que en el caso de la EPROM su capacidad está sobredimensionada.

Este circuito es básico, tanto para el bloque de transmisión como para el bloque de recepción de este control común.

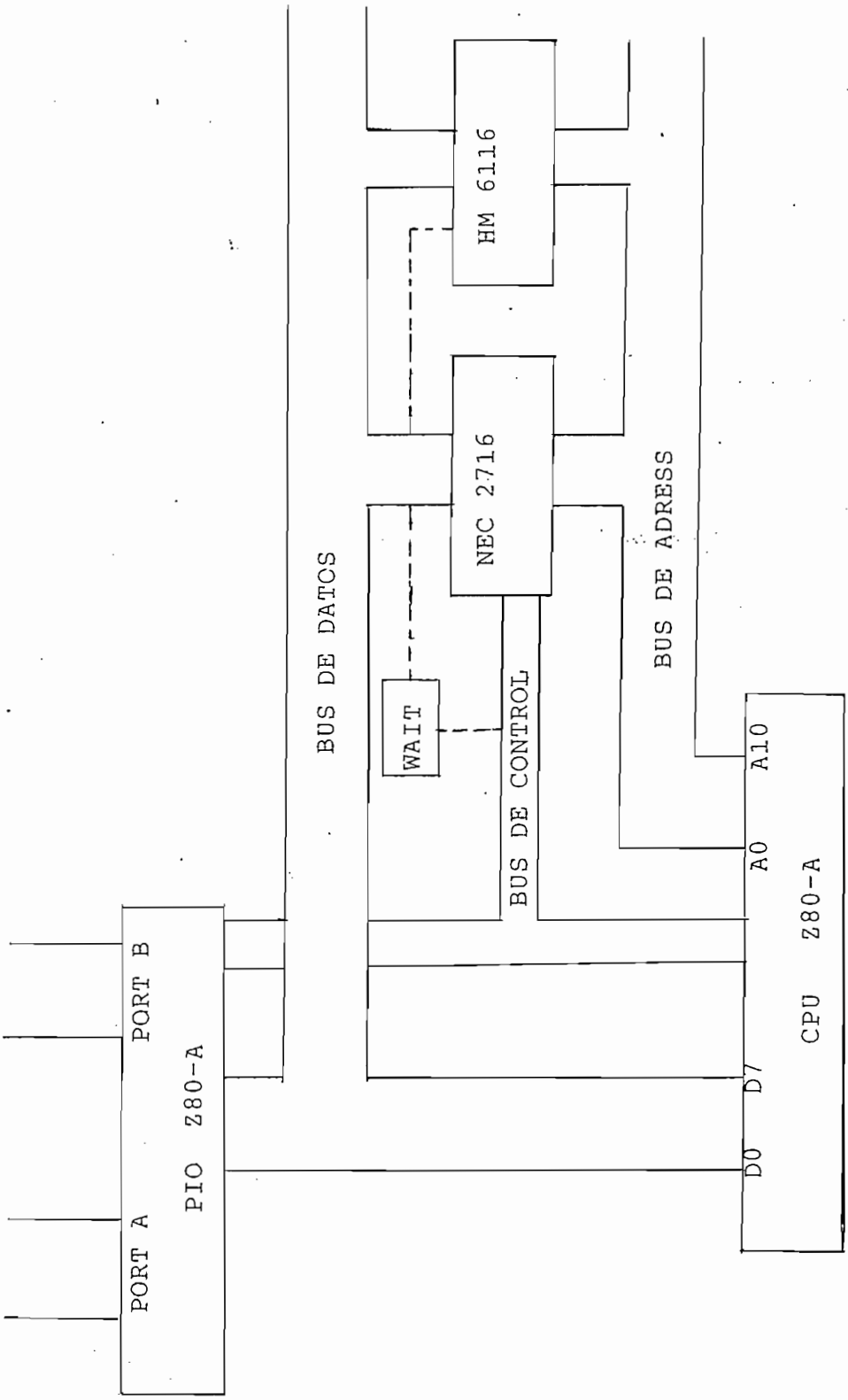


FIG. 3.10 CIRCUITO DE CONTROL COMUN

El pórtico A del PIO se denomina bus de datos TX y es bidireccional, en un sentido lee información de señalización de los diferentes convertidores y en el otro sentido envía los datos codificados (CCITT) hacia el TDM. El pórtico B del PIO se denomina bus de control Tx y cuatro de sus líneas controlan el decoder , la quinta línea controla el registro de desplazamiento, la sexta se conecta a una señal de interrupción(detallada en el item desarrollo del software) y la séptima controla los displays (detallada en la Parte II capítulo III, otra tesis). Todas las funciones del PIO y sus pórticos son controladas por el uP y éste, por el programa respectivo.

En la parte de INTERFACE A TDM tenemos un registro de desplazamiento paralelo - serie (74LS165), el cual transmite la información que le es entregada(cargada) en forma paralela desde el bus de datos TX, hacia el TDM en forma serial, su salida se denomina datos TX.

Las señales que permiten una comunicación serial síncrona entre la Interface y el TDM son:

- Reloj de transmisión de 2,048Mbits/s enviada desde el TDM denominada Clk-Tx

- Datos enviados en forma serial desde la interface, denominada Datos-Tx

- Señal de impulsos periódicos con una frecuencia de 8Khz y

duración del impulso de 3.9 us denominada 8Cto, enviada desde el TDM

- Señal de impulsos periódicos con una frecuencia de 8Khz y duración del impulso de 3.9 us denominada 8Cti, enviada desde el TDM

- Señal de reloj de 500Hz, enviada desde el TDM, denominada 5Cti.

En la fig 3.11 se muestran los diagramas de tiempos de estas señales y sus funciones son:

- Reloj de sincronización para la obtención de datos.

- Los datos contienen la información de señalización que será transmitida en 8bits cada 125us.

- Esta señal habilita el envío de los datos hacia el TDM, para ser introducidos en el intervalo 16 de cada trama, funciona en conjunto con la primera señal.

- Esta es una señal de interrupción (detallada mas adelante).

- Esta es otra señal de interrupción que será detallada en el item Desarrollo del Software.

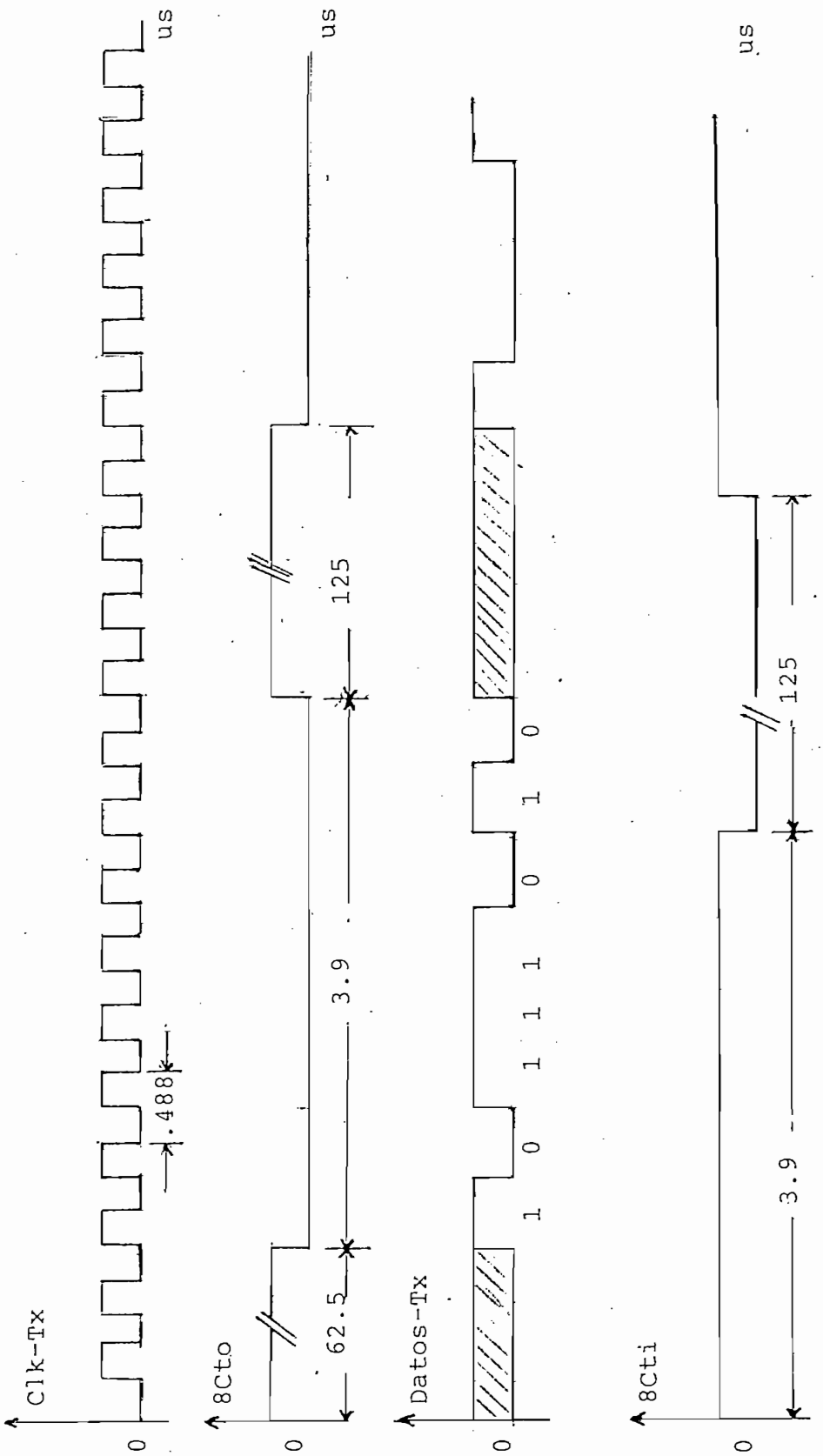


FIG. 3.11 DIAGRAMAS DE TIEMPO DE LAS SEÑALES DEL BLOQUE Tx

Estas señales posibilitan entonces una transmisión serial de datos desde la Interface hacia el TDM a una velocidad de 64Kbits/seg, el ancho del bit de dato es de 0.488us, por lo que puede ser introducida directamente en la Trama del sistema TDM.

- BLOQUE DE RECEPCION

Este bloque se muestra en la fig 3.9 y consta de:

La INTERFACE A CONTROL COMUN que está conformada por los latches (74LS374), los cuales reciben información del bus de datos RX del PIO y la transmiten a los circuitos convertidores CSS y CSE, para los CSS se necesita unas compuertas adicionales al LATCHE a fin de acoplar los bits de señalización a los circuitos de operación de los relés de este convertidor, esto se muestra en la fig.3.12

Las salidas del latche son conectadas a las entradas E1 y E2 de los convertidores, como se tienen 4 por tarjeta un latche atiende a una tarjeta. En la tarjeta No.0 en forma similar que para la transmisión, las salidas que quedan libres del latche (pues se tienen en esta tarjeta sólo 2 convertidores ...), se reservan para alarmas.

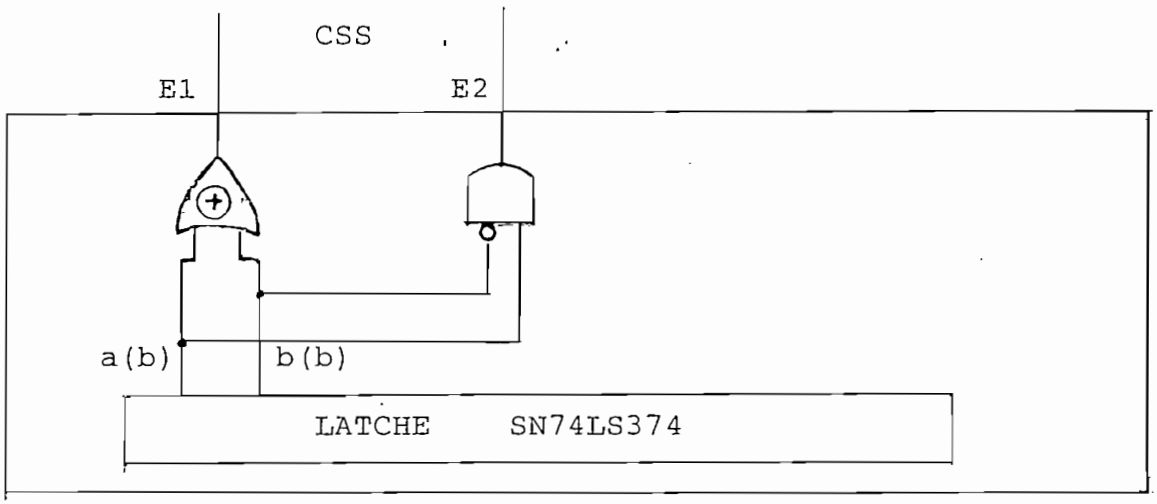


FIG. 3.12 INTERFACE A CONTROL COMUN EN CSS

Estos latches dejan pasar nueva información solo cuando son activados por la señal de reloj correspondiente, generada desde un decoder, caso contrario mantienen la información anterior.

El decoder (74LS138) y unas compuertas NAND como se muestra en la fig.3.9 se encargan de activar un Latche a la vez mediante el control del PIO, adicionalmente las NAND tambien permiten con una señal de control, habilitar todos los Latche al mismo tiempo, ésto es útil cuando se quiere colocar un mismo dato en todos los latches.

La parte de CONTROL COMUN está formada por el úp Z80A, el PIOZ80A, memorias EPROM Y RAM, su configuración y los elementos usados son los mismos que para transmisión (referirse a la fig. 3.10), la diferencia se establece en el

- Señal de interrupción que será explicada cuando se trate el software.

En la fig.3.14 se muestra la implementación del circuito de intercomunicación con el TDM en una tarjeta denominada de control común(CC), los diferentes elementos constitutivos han sido colocados de manera que se distingue claramente el bloque Rx del bloque Tx.

Finalmente el listado de elementos para este ciruito, asi como sus costos se presenta en el cuadro 3.4

3.4.6 IMPLEMENTACION TOTAL

Una vez diseñadas e implementadas las tarjetas tipo que conforman la interface, estas son colocadas en una rejilla de medidas estandarizadas(marca VECTOR) sus características se muestran en el apéndice B. Esta permite adicionalmente su integración a un bastidor, en caso de requerirse más de un sistema.

La interface en su totalidad estaría compuesta por dos rejillas de este tipo, una en cada extremo del enlace. Cada rejilla contendría 9 tarjetas, 8 numeradas del 0 al 7 que corresponden a los convertidores CSS o CSE y una denominada CC para el Control Común.

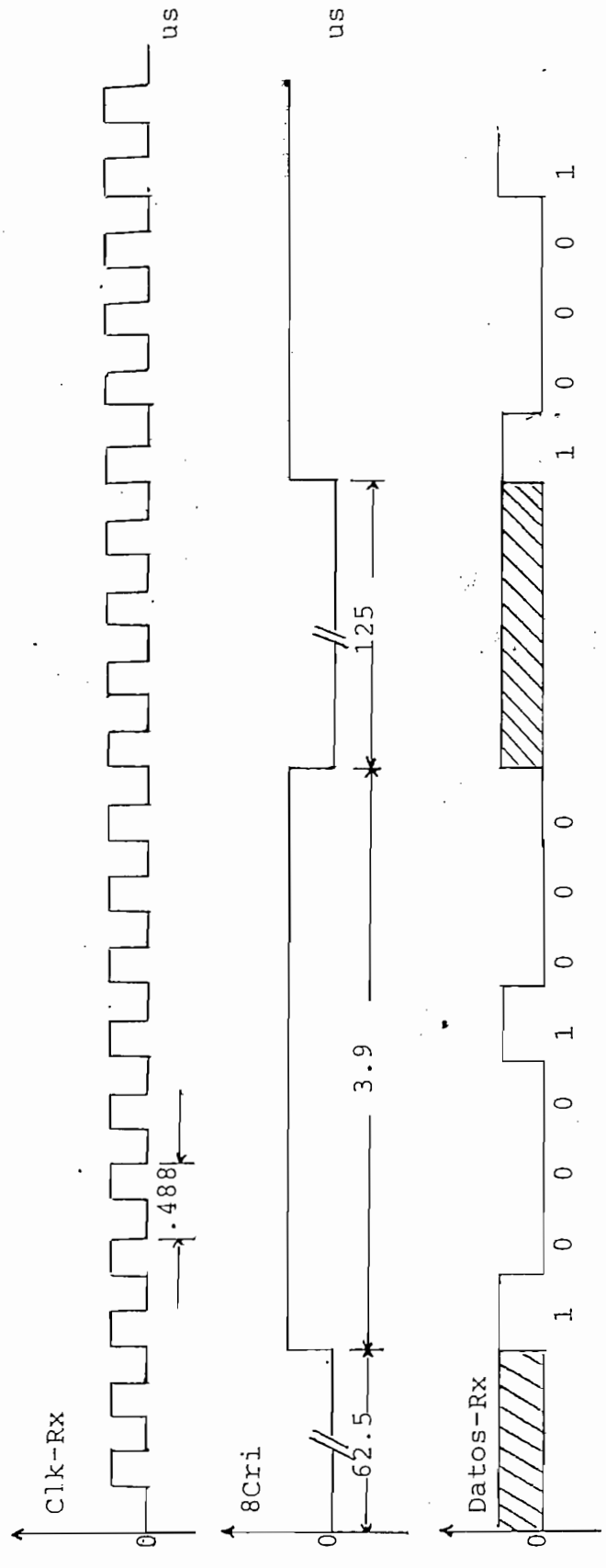


FIG. 3.13 DIAGRAMAS DE TIEMPO DE LAS SEÑALES DEL BLOQUE Rx

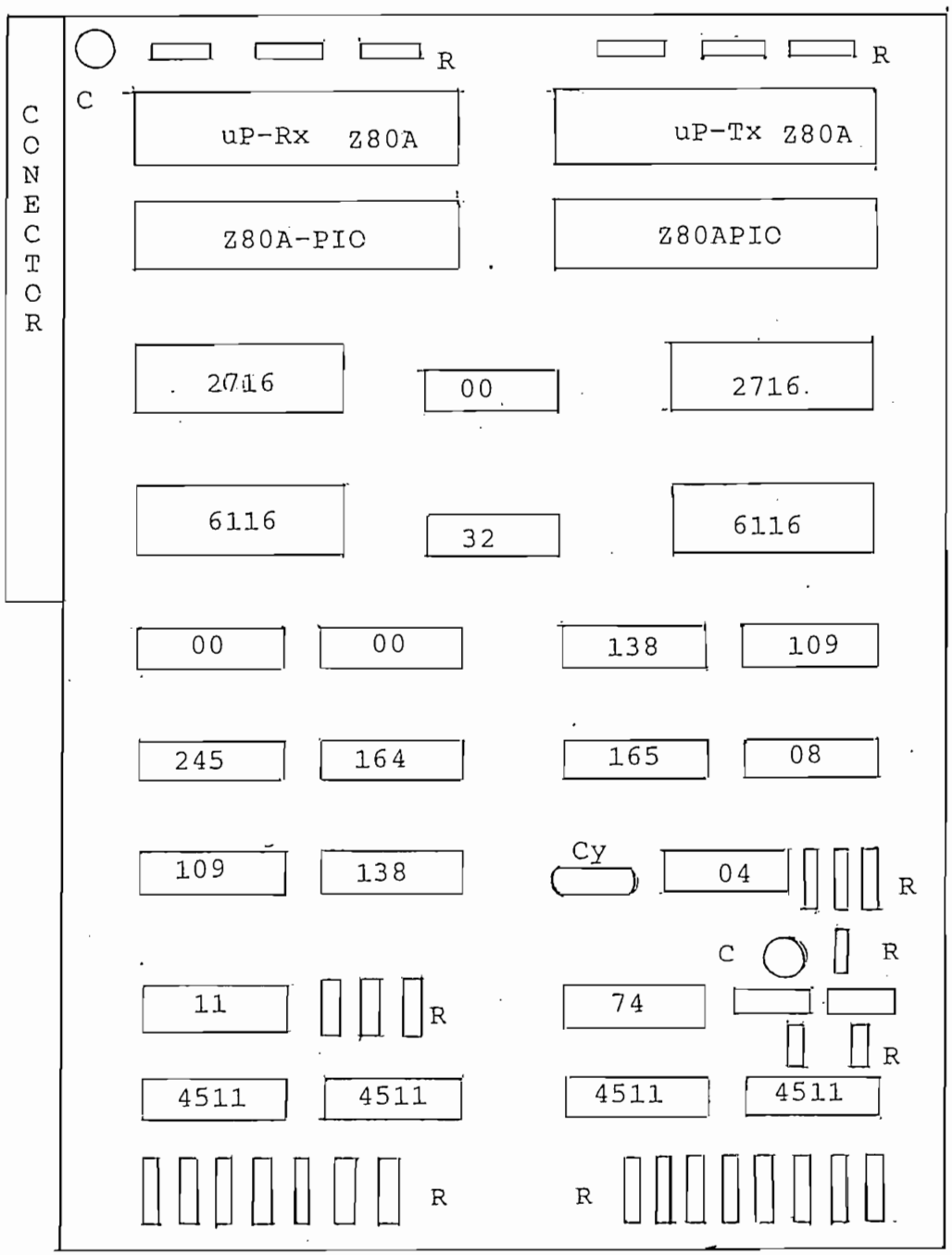


FIG. 3.14 IMPLEMENTACION DE LA TARJETA DE CONTROL COMUN

ELEMENTO	CODIGO	CANTIDAD	COSTO(USD)
Microprocesador uP	Z80A	2	7.0
Interface Paral.(PIO)	PIOZ80A	2	7.9
Memoria (EPROM)	2716	2	7.9
Memoria (RAM)	HM6116	2	13.0
Compuerta OR	74LS32	1	0.4
" NAND	74LS00	3	0.9
Inversor	74HC04	1	1.0
Biestable JK	74LS109	2	0.8
Buffer	74LS245	1	1.5
Decoder	74LS138	2	1.2
Registro S-P	74LS164	1	0.9
Registro P-S	74LS165	1	0.9
Compuerta AND	74LS08	1	0.4
Divisor D	74LS74	1	0.5
Displays decodif	74HC4511	4	8.0
Resistencias R	330ohm/.25w	33	3.3
"	4.7Kohm/.25w	4	0.4
"	10Kohm/.25w	4	0.4
"	1Kohm/.25w	2	0.2
Condensadores C	.1uf	17	5.1
Condensador C1	47 uf	1	3.0
Cristal Cy	4.096Mhz	1	5.0
Displays 7seg D	FND357	4	3.6
Leds		3	0.6
Switches S1		2	1.0

ELEMENTO	CODIGO	CANTIDAD	COSTO (USD)
Switche S2	Dip-8	1	1.5
Sócalos	14 pins	15	7.5
"	16 "	16	11.0
"	24 "	4	4.6
"	40 "	4	7.6
Tarjeta	Vector	1	30.0
Conector		1	5.0
	TOTAL TARJETA CC		142.1 USD

CUADRO 3.5 ELEMENTOS USADOS EN TARJETA CC

Los conectores para enchufar las tarjetas están en la parte de atrás de la rejilla y allí irá el cableado respectivo, estos conectores hacen que las tarjetas sean de fácil extracción.

El costo total de este equipo realizando un cálculo aproximado sería (para 1 interface):

ITEM	COSTO (USD)
1. Elementos	1632.0
2. Materiales y Herramientas	300.0
3. Implementación y Pruebas	500.0
4. Diseño	600.0
TOTAL	3032.0 USD.

Si se consideran los precios comparativos de otros equipos similares vendidos al IETEL y otros ofertados en años recientes (1985-86), que oscilan entre los 3500 y 4000 USD (valor FOB); esta Interface, tiene un precio muy competitivo con la ventaja de ser fabricación nacional (No se requiere de trámites de importación y pago de Fletes y Seguros que aproximadamente elevan en un 5% el valor FOB).

3.4.5 DESARROLLO DEL SOFTWARE

El avance tecnológico ha mostrado una tendencia a la baja de los costos del hardware frente a la elevación de los costos del software, esta tendencia se debe a varias razones entre las cuales están:

- Cada nueva aplicación requiere nuevos programas

- Nuevos productos reemplazan los viejos rápidamente, lo cual significa nuevo software o variación del existente.

- Programar es todavía una labor muy intensiva, se requieren muchas horas-hombre con salarios honerosos.

- En el hardware en cambio no existen muchas variaciones y la aparición de circuitos cada vez mas integrados, facilita y abarata el diseño.

Otro factor incidente en los altos costos del software es la prevención contra la ocurrencia de errores, que suelen ser fatales, para lo cual es necesario que en la fase de desarrollo se tomen las precauciones necesarias, por ello es que se recomienda :

- Modularidad de los programas que faciliten el entendimiento de los mismos.

- Pruebas de escritorio antes de ponerlos a operar en un

sistema.

- Software de apoyo para el diseño y prueba como son los programas ensambladores y desensambladores, los simuladores, etc.

Si bien en este trabajo el volúmen que ocupa el software es pequeño, pues son programas cortos para control de señales, se han tomado en cuenta las recomendaciones mencionadas.

En razón de que se usan dos uP, uno para el bloque de TX y otro para el bloque Rx, el software se ha dividido en programas para el uP-Tx y programas para el uP-RX.

- PROGRAMAS PARA EL MICROPROCESADOR Tx

En la fig.3.15 se muestra un diagrama de tiempo con las señales de interrupción y los respectivos programas a ejecutarse. Se ha establecido el mecanismo de interrupciones para lograr la sincronización del uP con el sistema TDM.

La señal 5Cti es usada para iniciar la sincronización, ésta señal le indica al uP que debe enviar la información correspondiente a la trama No.0, esto es, la palabra de alineación de multitrama. La señal 8Cti le indica al uP que debe enviar la información de las demás tramas.

El uP empieza ejecutando un programa principal el cual realiza tareas de supervisión y cuando llega la señal de

interrupción el uP, se dirije a ejecutar la subrutina respectiva y una vez terminada regresa al programa principal (este programa está desarrollado en la Parte II Cap. III, otra tesis).

Las diferentes subrutinas desarrolladas corresponden al criterio de modularidad y por ello se dedican a tareas específicas guardando una independencia unas de otras.

- SUBRUTINA MDTO

Esta es la primera que se ejecuta luego de la inicialización del sistema y cuando se ha recibido la señal 5Cti. Su función es la de leer los datos de la tarjeta No. 0 que contiene el código de alineación de multitrama y la información de señalización de los canales 1 y 16.

Para cumplir con las normas, CCITT esta subrutina codifica y envía la palabra de alineación y guarda en memoria la otra información (de los canales 1 y 16), para ser transmitida en la próxima interrupción. Esto se debe a que el uP puede leer la información de 4 canales a la vez y se requiere transmitir solo 2 en cada trama.

Los requerimientos de tiempo son exigentes, desde el momento en que llega la interrupción (señal 5Cti), se dispone sólo de 62 us para leer los datos codificarlos y cargarlos en el registro de desplazamiento, para ser transmitidos. El tiempo total de ejecución de cada subrutina debe ser menor que 125us.

En esta subrutina adicionalmente se chequea el bit 4 de alarma local, si éste indica error se suspenderá la transmisión y el uP irá a Halt.

El listado del programa en Assembler se presenta a continuación:

```
                ORG  200H
MDTO            EX AF,AF';      Los reg. alternos del uP
                EXX  ;          trabajan con la subrutinas
                LD A,03H ;      Deshabilita interup. en PIO
                OUT (PCRB),A
                LD A,98H ;      Acceso a tarjeta 0
                OUT (PDRB),A
                IN A,(PDRA) ;   Lee información
                LD (HL),A ;     Almacena en memoria
                LD A,90H ;      Inhabilita buffers
                OUT (PDRB),A
                LD A,(HL) ;     Recupera inform.
                AND 30H ;       Modifica
                OR C0H ;
                LD (DE),A ;     Almacena
                LD A,0FH        Port A out
                OUT (PCRA),A
                LD A,(DE) ;     Pone código de alineación en
                OUT (PDRA),A ;  en el bus de datos
```

```
                LD A,80H ;      Carga registro de desplaz.
                OUT (PDRB),A
                LD A,90H
                OUT (PDRB),A
                LD A,(DE) ;     Trae dato
                BIT 4,A ;       Chequea alarma local
                JR Z,NBLQ
                LD A,(ER) ;     Si la hay chequea una vez
                INC A ;         más por seguridad
                LD (ER),A
                CP 02H
                JR NZ,NYB ;     Si son 2 veces consecutivas
                HALT ;          se paraliza la transmisión
NBLQ            SUB A ;         Si no hay alarma
                LD (ER),A ;     encera contador
NYB             INC DE
                LD A,(ND) ;     Chequea bandera para mostrar
                BIT 0,A ;       dato en displays.
                JR Z,CONT
                LD B,01H ;      Se va a mostrar dato.
                SUB A
                LD (ND),A ;     Encera la bandera
CONT            LD A,06H ;      Próxima dirección de
                LD I,A ;        Interrupción (AUXT)
                LD A,B7H ;      Monitoree linea 5 de PIO
                OUT (PCRB),A ;  para Interrupción.
                EXX
                EX AF,AF' ;     Cambio de registros
                EI ;            Habilite interup. uP
```

```
RETI ;          Retorno a progr.Principal
```

Las tareas inherentes al control del PIO y del uP son explicadas brevemente en los comentarios del programa, hacemos notar que se está trabajando con modo de interrupción 2 (vectores de dirección), y que las palabras de control para el PIO se pueden visualizar más, revisando la fig.3.8.

Esta subrutina se demora 200 ciclos de máquina desde que se inicia hasta que carga el registro para transmisión del dato de alineación y como un ciclo dura 0.244us entonces se demora 48us (menor que 62.5us). Su tiempo total de ejecución es de:

$$Te = 410 \text{ ciclos} * .244 \text{ us/ciclo}$$
$$= 100 \text{ us (menor que 125us)}$$

Los ciclos de máquina que toma el uP para ejecutar cada instrucción están determinados en el manual del Z80. La duración de un ciclo, depende de la frecuencia de trabajo, en este caso es de 4.096 Mhz

Finalmente esta subrutina se ejecuta por primera vez con la señal 5Cti y luego únicamente con la señal 8Cti.

- SUBRUTINA AUXT

La subrutina AUXT es ejecutada mediante la señal 8Cti y su tarea consiste en leer la información almacenada en memoria

por MDTO o por MDTN, la codifica y la carga en el registro para transmitirla. Realiza también el conteo del número de tarjeta y decide si va a la próxima (MDTN), o si es la última regresa a 0, (MDTO).

La información que transmite secuencialmente corresponde a los canales: 1 y 16, 3 y 18, 5 y 20, hasta el 15 y 30

Su listado es:

```
                ORG 300H
AUXT            EX AF,AF'
                EXX
                LD A,03H
                OUT (PCRB),A
                LD A,(HL) ;     Trae dato de memoria
                AND CCH ;       Modifica
                RRC A
                RRC A
                OR 88H
                LD (DE),A ;     Dato en Bus
                OUT (PDRA),A
                LD A,80H ;      Carga Reg.
                OUT (PDRB),A
                LD A,90H
                OUT (PDRB),A
                LD A,4FH ;      Port A in
                OUT (PCRA),A
                INC C ;         Próxima tarjeta
```

```
                BIT 3,C
                JR Z,TN ;       Si es la última va
                LD C,0 ;        va a MDTO
                LD HL,DTX ;     Inicializa variables
                LD DE,DTMX
                EXX
                LD A, 05H ;     Dirección de Interrup.
                LD I,A
                LD A,83H ;      Hablita PIO interrup.
                OUT (PCRB),A
                EX AF,AF'
                EI
                RETI
TN              INC DE ;        Si no es la última
                INC HL ;        va a MDTN
                EXX
                LD A,07H ;      Dirección de interrup.
                LD I,A
                LD A,83H
                OUT (PCRB),A
                EX AF,AF'
                EI
                RETI
```

Este programa se demora desde su inicio hasta cargar el registro(74LS165), 30us y su duración total es de 60us.

Se repiten muchas secuencias del programa anterior que son comunes a las subrutinas, por ello no se anotan algunos

comentarios.

- SUBRUTINA MDTN

Esta también es activada sólo por la señal 8Cti y su función es la de leer los datos de las tarjetas numeradas del 1 al 7 (exceptuando la 0), almacenarlos codificarlos y transmitirlos.

La información que transmite corresponde a los canales: 2 y 17, 4 y 19, 6 y 21, hasta el 14 y 29, completando así junto con los que transmite AUXT los 30 canales. Como función adicional, en vista de que es, la que menos tiempo ocupa en su ejecución, pone el dato en los displays siempre y cuando la bandera (que fue analizada en MDTO), esté puesta. Su listado es:

```
                ORG 400H
MDTN            EX AF,AF'
                EXX
                LD A,03H
                OUT (PCRB),A
                LD A,C ;        Número de tarjeta
                OR 98H
                OUT (PDRB),A ;  Dato en bus
                IN A,(PDRA) ;   Lee dato
                LD (HL),A ;     Almacena
                AND 33H ;       Codifica
                OR 88H
                LD (DE),A
```

```
                LD A,90H
                OUT (PDRB),A
                LD A,0FH ;      Port a Out
                OUT (PCRA),A
                LD A,(DE) ;     Pone dato en bus
                OUT (PDRA),A
                LD A,80H ;      Carga Registro
                OUT (PDRB),A
                LD A,90H
                OUT (PDRB),A
                INC DE
                LD A,06H ;      Dirección de Intrrup.(AUXT)
                LD I,A
                BIT 0, B ;      Chequea bandera de displays
                JR Z,NORM
                LD A,(CT) ;     Trae dato
                OUT (PDRA),A ;  Pone dato en bus
                LD A,10H ;      Carga displays
                OUT (PDRB),A
                LD A,90H
                OUT (PDRB),A
                LD B,0 ;        Encera bandera
NORM            LD A,83H
                OUT (PCRB),A
                EXX
                EX AF,AF'
                EI
                RETI
```

FIG. 3.15 PROGRAMAS-Tx VS TIEMPO

Esta subrutina se demora en cargar el registro con el dato a ser transmitido: 47us y su tiempo total de ejecución contando aún el tiempo durante el cual pone el dato en los displays es: de 103us(menor que 125us).

En el cuadro 3.6 se tienen las variables usadas y su significado.

VARIABLE	VALOR(HEX)	SIGNIFICADO
PDRA	00	Registro de datos Port A del PIO
PDRB	01	" Port B "
PCRA	02	" Port A "
PCRB	03	" Port B "
ER	0BC0	Contador de errores para alarma
ND	0BA0	Bandera para dato en displays
DTX	0950	Datos de señalización de las tarj.
DTMX	0975	Datos a ser transmitidos
CT	0B00	Dato generado por prog. principal

CUADRO 3.6 VARIABLES EMPLEADAS

A continuación se presenta en la fig 3.16 la distribución de memoria o mapa de la misma.

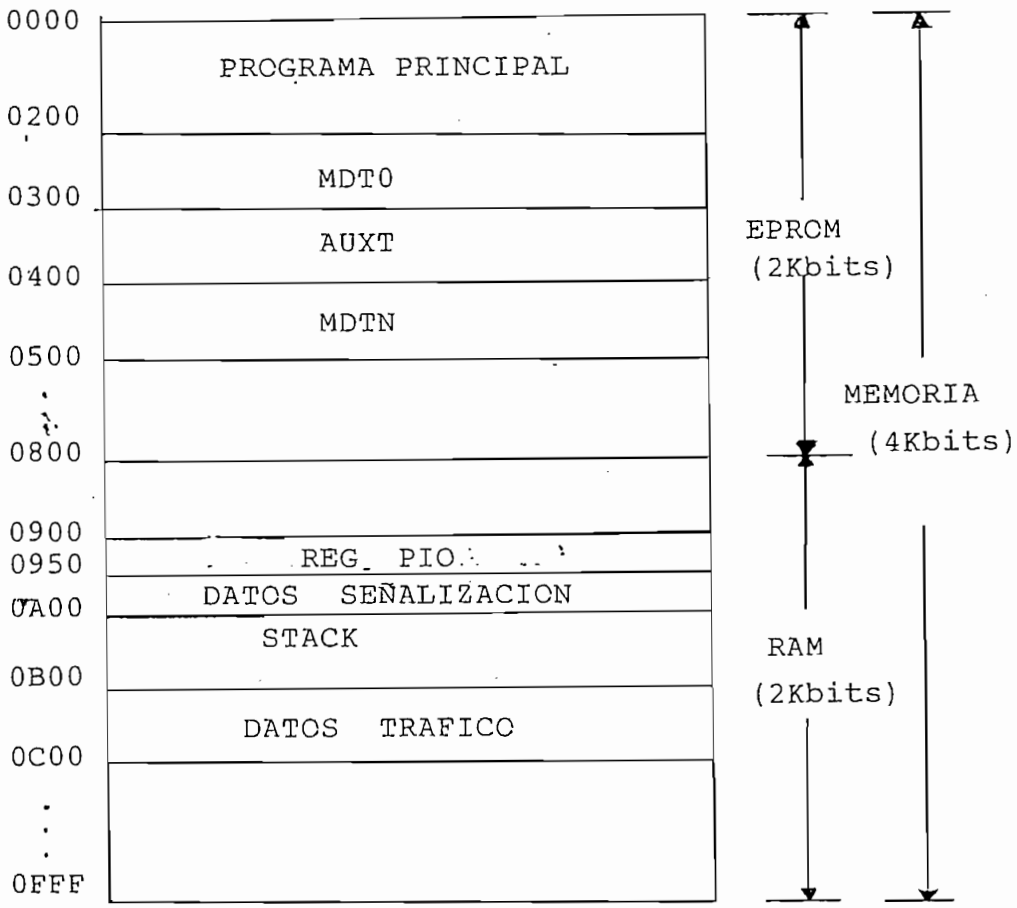


FIG. 3.16 DISTRIBUCION DE MEMORIA uP-Tx

- PROGRAMAS PARA EL MICROPROCESADOR-Rx

En la Fig. 3.17 se muestra el diagrama de tiempo con la señal de interrupción 8CRi y los respectivos programas a ejecutarse.

La señal de interrupción 8CRi sirve para lograr la sincronización con el sistema TDM. En la interrupción cada subrutina tiene como máximo 125us, para leer el dato, decodificarlo y almacenarlo en los latches de las respectivas tarjetas.

Similar a la transmisión el uP ejecuta un programa principal (IPR) hasta que la interrupción llegue, luego va a la subrutina respectiva la ejecuta y regresa.

-SUBRUTINA SSN

Esta es la primera que se ejecuta al iniciarse el sistema de interrupciones, su función es detectar la palabra de alineación de multitrama, para sincronizar la recepción de las demás tramas. Este programa lee el dato enviado desde el sistema TDM y compara con el código de alineación, si éste es igual prosigue con las siguientes subrutinas, caso contrario, tiene un contador (hasta 32 veces) que irá incrementándose hasta llegar al límite, entonces el uP se va a HALT.

Su listado se muestra a continuación:

```
                ORG 450H
SSN             EXX
                EX AF,AF' ;
                LD A,03H  ;     Inhabilite PIO interrup.
                OUT (PCRB),A
                LD A,04FH ;     Port A IN
                OUT (PCRA),A
                LD A,088H ;     Habilita buffer del Reg
                OUT (PDRB),A
                IN A,(PDRA) ;   Lee dato
                LD (DE),A ;     Almacena
                LD A,098H ;     Inhabilita buffer
```

```
                OUT (PDRB),A
                LD A,(DE) ;     Trae dato
                OR 030H ;       Alarmas bloquedas
                CP 0F0H ;       Chequea codigo de alineación
                JR Z SCR ;      Si ha llegado va a SCR
                LD A,(ER) ;     Si no cuenta errores
                INC A
                LD (ER),A
                CP 020H ;       Si errores =32 (2 tramas)
                JR Z NRE ;      va a Halt
                EXX ;           Si no regresa a chequear
                LD A,083H ;     Habilita PIO interrup.
                OUT (PCRB),A
                EX AF,AF'
                EI
                RETI ;          Regreso a programa Princip
NRE             LD A,0EFH ;     Bloqueo de Latches
                OUT (PDRA),A
                LD A,0D8H
                OUT (PDRB),A
                LD A,098H
                OUT (PDRB),A
                HALT
SCR             LD B,0 ;        Inicializa variables
                LD (HL),0
                INC DE
                EXX
                LD A,06H ;      Dirección de interrup
                LD I,A
```

```
                SUB A
                OUT (PCRB),A
                LD A,083H ;     Habilita PIO interrup.
                OUT (PCRB),A
                EX AF,AF'
                EI
                RETI ;          Retorno a programa principal
```

Este programa tiene un tiempo total de ejecución de 52us.

-SUBRUTINA MDRO

Una vez detectado el código de alineación de multitrama por primera ocasión en la subrutina SSN, para las demás veces que es enviado este código, actuará la subrutina MDRO. Entre sus funciones están las de chequear el código de alineación, el bit de alarma (bit 5, para más detalle sobre alarmas referirse a la parte II, otra tesis) y adicionalmente supervisa la bandera para colocar o no el dato (obtenido en el programa principal) en los displays.

Su listado es:

```
                ORG 200H
MDRO            EXX
                EX AF,AF'
                LD A,03H
                OUT (PCRA),A
                LD A,04FH ;     Port A IN
                OUT (PCRA),A
```

```
                LD A,088H ;     Habilita buffer
                OUT (PCRB),A
                IN A,(PDRA) ;   Lee dato
                LD (DE),A ;     Almacena en DRX
                LD A,098H ;     Deshabilita buffer
                OUT (PDRB),A
                LD A,(DE) ;     Trae dato
                OR 030H ;       No considera alarmas
                CP 0F0H ;       Si es igual a F0
                JR Z,SYN ;      vaya a SYN
                LD A,(TAL) ;    Si no, chequea
                BIT 0,A ;       bit de alarma
                JR Z,BSY ;      Si es 0 va a BSY
                DEC C ;         Chequea contador de error
                JR Z,STP ;      Si es 0 va a STP
BSY             SET 0,A ;       resetea contador
                LD (TAL),A
                LD (HL),020H ;  pone alarma remota
                JR NOR
SYN             LD A,(DE) ;     trae dato
                BIT 5,A ;       chequea bit de alarma
                JR Z NO1 ;      si es 0L va a NO1
                JR NOR
                LD (HL),010H ;  si es 1L pone alarma local
                JR NOR
NO1             LD (HL),0 ;     no hay alarmas, almacena 0L
NOR             INC DE ;        próximo dato
                EXX
                LD A,(ND) ;     chequea bandera de displays
```

```
                BIT 0,A
                JR Z CONT ;     si es 0 continúa normal
                LD A,0FH ;      si no Port A out
                OUT (PCRA),A
                LD A,(CT) ;     pone dato en bus
                OUT (PDRA),A
                LD A,018H ;     carga dato en displays
                OUT (PDRB),A
                LD A,098H
                OUT (PDRB),A
                SUB A
                LD (ND),A ;     encera la bandera
                LD A,04FH ;     Port A IN
                OUT (PCRA),A
CONT            LD A,06H ;      pone dirección de interrup.
                LD I,A
                LD A,083H
                OUT (PCRB),A
                EX AF,AF'
                EI
                RETI
STP             LD A,0FH ;      port A out
                OUT (PCRA),A
                LD A,FFH ;      Reset latches
                OUT (PDRA),A
                LD A,090H
                OUT (PDRB),A
                LD A,098H
                OUT (PDRB),A
```

```
                LD A,OEFH ;     Dato de alarma en tarjeta O
                OUT (PDRA),A
                LD A,OD8H
                OUT (PDRB),A
                LD A,O98H
                OUT (PDRB),A
                HALT
```

Esta subrutina demora en ejecutarse 90us.

-SUBRUTINA AUXR

Es la encargada por un lado, de leer los datos de señalización correspondiente a los canales 1 y 16, 3 y 18, hasta el 15 y 30 y por otro lado se encarga de enviar los datos de señalización hacia las tarjetas de los convertidores previa la codificación de los mismos,es decir carga los latches con los bits de señalización en cada tarjeta, desde la O hasta la 7.

Su listado es:

```
                ORG 300H
AUXR            EXX
                EX AF,AF'
                LD A,03H
                OUT (PCRB),A
                LD A,88H ;      habilita buffer de reg
                OUT (PDRB),A
                IN A,(PDRA) ;   lee dato
```

```
LD (DE), A ;     almacena
LD A,098H ;      inhabilita buffer
OUT (PDRB),A
LD A,(DE) ;      trae dato (de 2 canales)
AND 033H ;       codifica
RLC A
RLC A
OR (HL) ;        añade el dato anterior
LD (HL),A ;      almacena dato(de 4 canales)
LD A,0FH ;       Port A out
OUT (PCRA),A
LD A,(HL) ;      pone dato en bus de datos Rx
OUT (PDRA),A
LD A,B ;         habilita el número de
OR 0D8H ;        tarjeta deseado
OUT (PDRB),A
LD A,098H
OUT (PDRB),A
INC HL ;         próximo dato
INC DE
INC B ;
BIT 3,B ;        chequea No. de tarjeta
JR NZ STAR ;     si es última va a STAR
EXX ;            si no continúa
LD A,07H ;       a la próxima dirección de
LD I,A ;         de interrupción(MDRN).
LD A,83H
OUT (PCRB),A
EX AF,AF'
```

```
                EI
                RETI
STAR            LD HL,DRMX ;    inicializa variables
                LD DE,DRX
                LD B,0
                EXX
                LD A,05H ;      dirección de interup.
                LD I,A ;        hacia MDRO
                LD A,83H
                OUT (PCRB),A
                EX AF,AF'
                EI
                RETI
```

Esta subrutina demora en ejecutarse 75us.

Una labor que también se realiza, es el conteo del número de tarjeta para decidir si se lee la información de la próxima (MDRN), o si es la última, regresa a leer la información de la tarjeta número 0 (MDRO).

-SUBRUTINA MDRN

Esta se encarga de leer los datos de señalización correspondientes a los canales 2 y 17, 4 y 19, hasta el 14 y 29 que son enviados desde el sistema TDM, los decodifica y guarda en memoria.

Su listado es:

```
                ORG 400H
MDRN            EXX
                EX AF,AF'
                LD A,03H
                OUT (PCRB),A
                LD A,4FH ;      Port a in
                OUT (PCRA),A
                LD A,088H ;     Habilita buffer de reg
                OUT (PDRB),A
                IN A,(PDRA) ;   Lee dato
                LD (DE),A ;     Almacena
                LD A,098H
                OUT (PDRB),A
                LD A,(DE) ;     Trae dato
                AND 033H ;      Decodifica
                LD (HL),A ;     Almacena
                INC DE ;        Próximo dato
                EXX
                LD A,06H
                LD I,A
                LD A,083H
                OUT (PCRB),A
                EX AF,AF'
                EI
                RETI
```

La subrutina se demora 41us.

FIG. 3.17 PROGRAMAS-RX VS TIEMPO

En el cuadro 3.7 se presenta las variables usadas y su significado.

PDRA	00	Registro de datos PortA del PIO
PDRB	01	" PortB "
PCRA	02	" PortA "
PCRB	03	" PortB "
TAL	0BBF	Bandera de alarma
ND	0BA0	Bandera para dato en displays
DRX	0950	Datos de señalización recibidos
DTMX	0975	Datos de señalización codificados para enviarse a las tarjetas
CT	0B00	Dato generado por progr. Principal

CUADRO 3.7 LISTADO DE VARIABLES EMPLEADAS

En la fig. 3.18 se presenta la distribución de memoria para el uP-Rx.

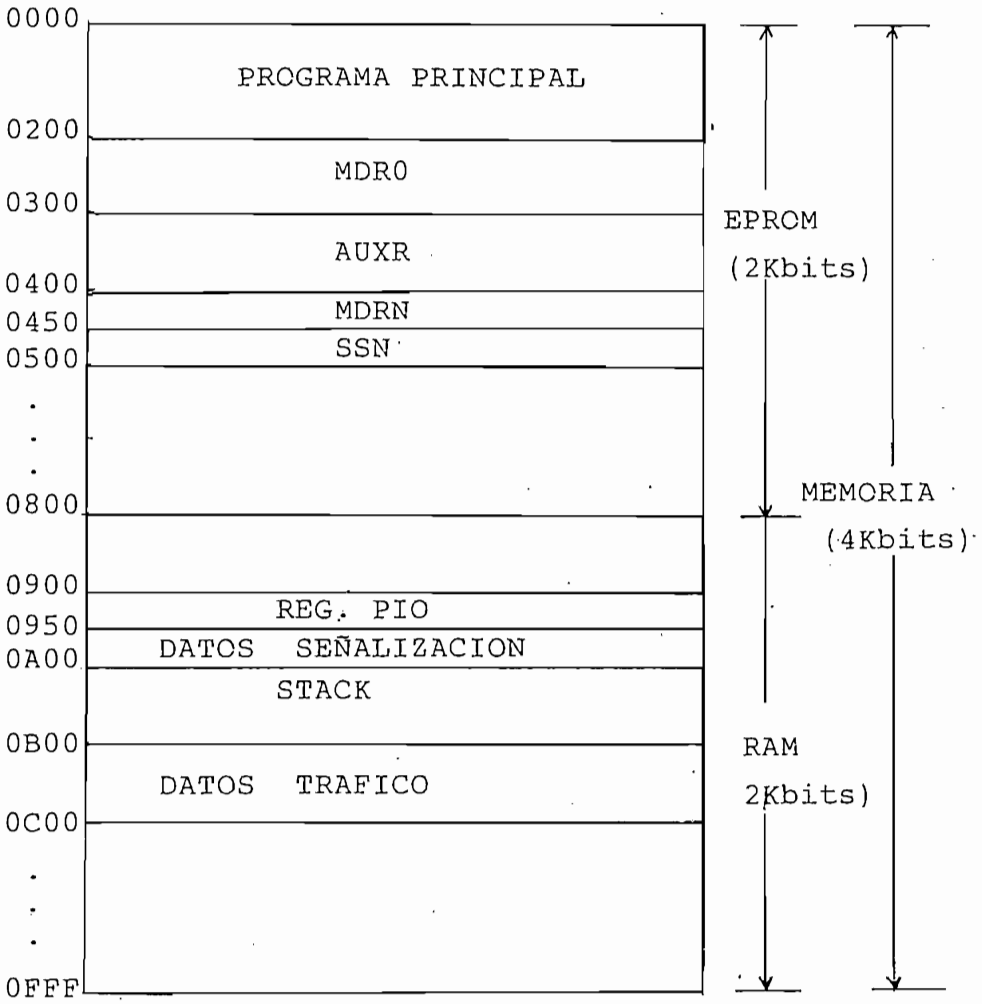


FIG. 3.18 DISTRIBUCION DE MEMORIA EN uP Rx.

C A P I T U L O IV

" PRUEBAS Y CONCLUSIONES "

4.1 PRUEBAS DE FUNCIONAMIENTO

En el capítulo anterior, cuando se hablaba de los costos involucrados en el diseño y fabricación del equipo se, señalaba como importante el costo de verificación, el cual indudablemente corresponde a todos los recursos y tiempo empleado en la comprobación y ajustes del diseño teórico, a la realidad.

En los sistemas en base a microprocesador, este costo es elevado tanto por el equipo especial que se requiere para las pruebas de hardware como por el tiempo empleado en las correciones al software. En este trabajo se ha procedido ha dividir para las pruebas iniciales en dos partes: una abarca las tarjetas de convertidores de señalización y otra la tarjeta de control común. Luego de ésto, en las pruebas finales se ha ensamblado todo el equipo para verificar su funcionamiento total.

4.1.1 PRUEBAS DE LOS CONVERTIDORES CSE, CSS

Lo primero que se procedió a realizar fue la verificación del cumplimiento de las especificaciones técnicas de los circuitos FUR y FIR de la central telefónica ARF-102, notándose variaciones significativas bajo los valores teóricos especificados, esto es:

VALORES TEORICOS	VALORES REALES
Ir = 2.2mA	Ir = 1.6 a 2mA
Ioc = 29.2mA	Ioc = 18mA a 25mA

NOTA.- Valores medidos en las centrales de Mariscal Sucre

La diferencia entre lo teórico y real se puede explicar en base a que se ha trabajado con un circuito equivalente y que existe desgaste de los relés (sus contactos), debido a que son centrales con muchos años de funcionamiento. Estas variaciones no afectan a los circuitos FUR y FIR por la tolerancia que presentan los relés para su operación, pero si afectan encambio a los circuitos digitales como en los optoacopladores y ésto representa un problema.

Este problema puede superarse empleando mallas de resistencias compensatorias para calibrar la corriente de bucle o reajustando algunos valores de resistencias especificados en el diseño teórico.

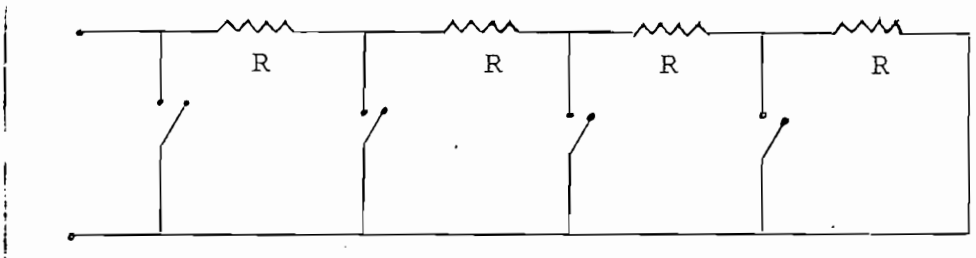
Asi en el caso de los convertidores CSS y CSE se tuvieron que variar los valores especificados en el Capítulo III, para lograr su buen funcionamiento. Los valores cambiados no afectan al diseño, y mas bién lo hacen compatible con la realidad.

Las resistencias que se variaron fueron:

ANTES	AHORA
CONVERTIDOR CSS	
R2 = 22Kohm	R2 = 15Kohm
R3 = 15Kohm	R3 = 47Kohm
CONVERTIDOR CSE	
R4 = 22Kohm	R4 = 47Kohm

Estas resistencias tienen que ver con el funcionamiento del optoacoplador el cual presentó características distintas aún entre los de un mismo integrado.

Igualmente como una opción en un circuito convertidor se implementó una malla de resistencias:



R = 4.7 Kohm.

Finalmente debido a la sensibilidad del optoacoplador que detecta el estado de bloqueo cuando el FIR cambia del estado B a B'se tuvo que acoplar un circuito retardador, el cual se muestra en la fig. 4.1

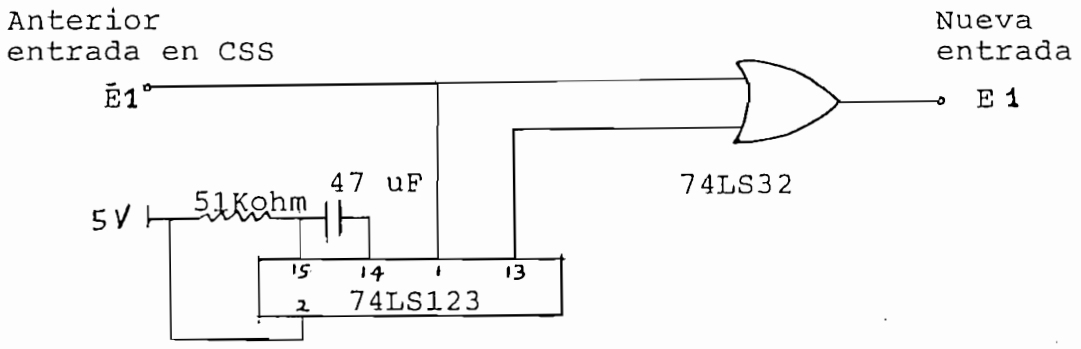


FIG. 4.1 CIRCUITO RETARDADOR

Los valores de corriente medidos finalmente en los convertidores fueron:

	CSE	CSS
Ir	2.2 mA	1.9 mA
Ioc	25.8 mA	24.3 mA

El siguiente paso en la verificación fue establecer si los bits de señalización actuaban correctamente, para ello se realizó una conexión directa entre el buffer del CSS y el latche del CSE simulando el envío de datos, asi mismo entre las salidas de audio (simulando los codecs) y se procedió a conectar estos convertidores a los circuitos FUR y FIR de la central. El resultado fue satisfactorio y se logró tramitar una llamada telefónica.

Una vez comprobada la operación de los relés de este circuito se procedió a probar el transformador de desacoplamiento, el cual funcionó bien y presentó una atenuación de 1.2 dbm, entre su primario conectado a la central y el secundario que se conecta al codec.

El consumo medido de energía para los convertidores fue de:

1 CSS = 2.8 Watts

1 CSE = .5 Watts

Una tarjeta de CSS (la de mayor consumo) requiere de:

1 TARJETA CSS = 11.2 Watts

4.1.2 PRUEBAS DEL CONTROL COMUN

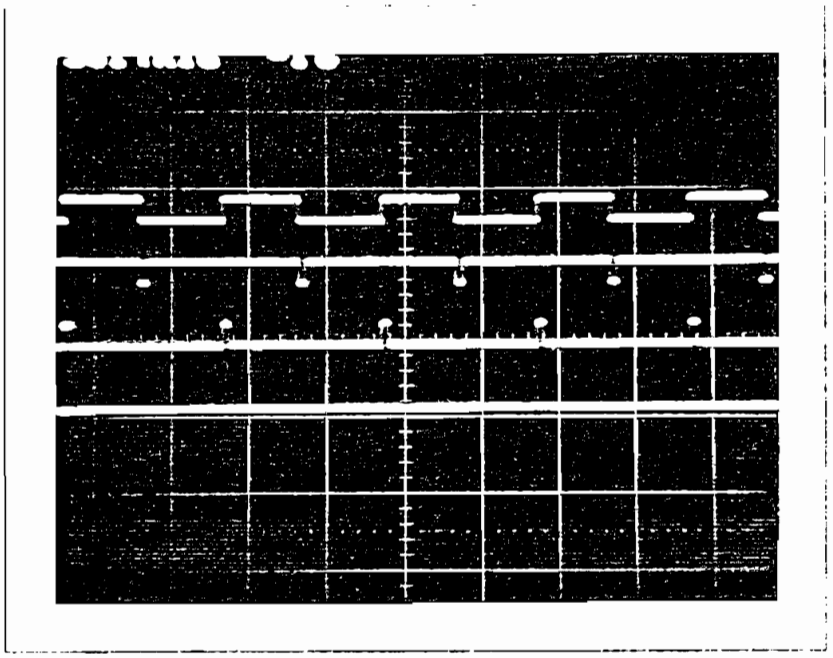
En cuanto al hardware de este control, funcionó de acuerdo a lo previsto y el uP corrió los programas cargados en la EPROM. Los demás circuitos también trabajaron de acuerdo a lo diseñado.

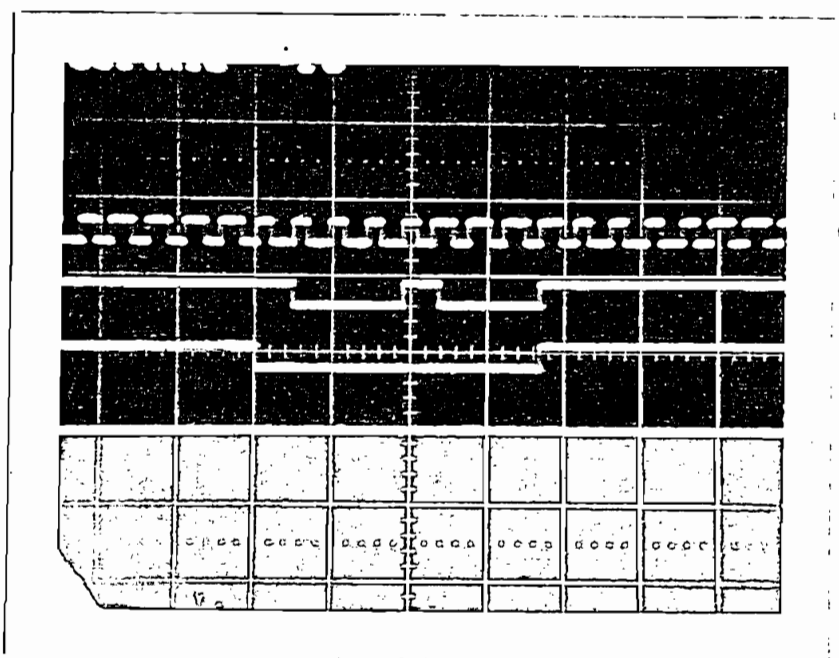
En cuanto al software se realizó la depuración de los programas en base a dos herramientas sumamente útiles (el microprofesor MPF y el analizador lógico).

El consumo medido en la tajeta CC fue de:

1 TARJETA CC = 4 W (Incluído displays)

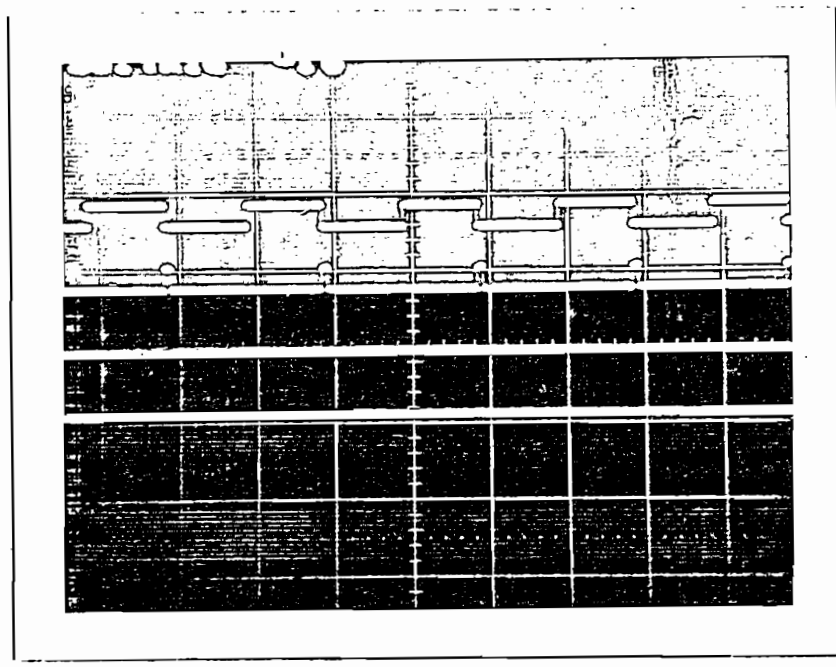
A fin de poder probar la parte de Interface al sistema TDM se procedió a simular las señales que debe envíar ese sistema y se observó el comportamiento de la Interface, siendo este satisfactorio. En la Fig. 4.2 se muestran unas fotografías tomadas sobre el analizador lógico en las que se observa: la transmisión y recepción de los datos de señalización y las señales de control asociadas.

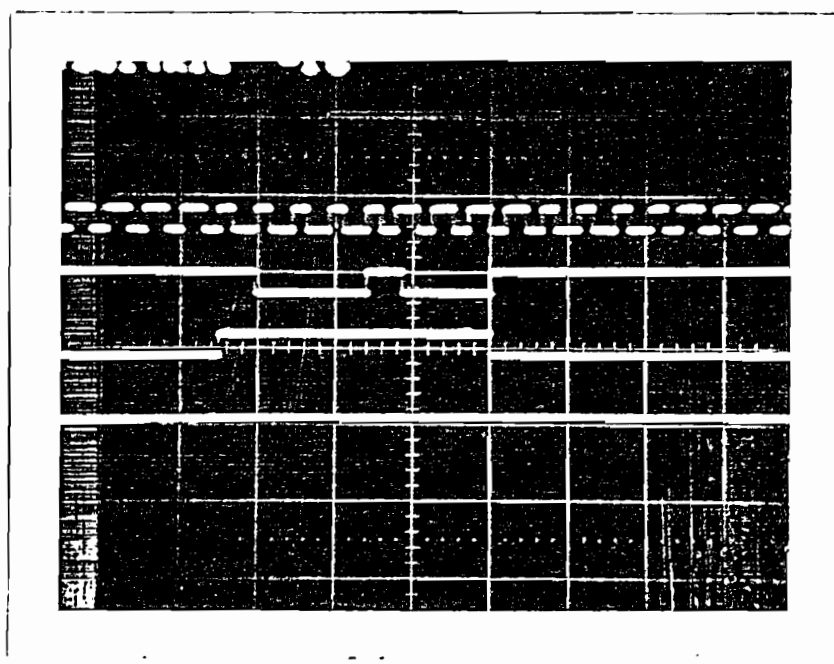




a.- Señales Tx

FIG. 4.2 FOTOGRAFIAS DE LAS SEÑALES DE INTERFACE A TDM





b.- Señales Rx

FIG. 4.2 FOTOGRAFIAS DE LAS SEÑALES DE INTERFACE A TDM

En la Fig. 4.3 se presenta el esquema de conexión especial que se usó a fin de probar la interface en la propia central telefónica ARF-102 (en mariscal sucre), usando un circuito FUR y un circuito FIR lográndose tramitar una llamada y de esta manera comprobar su correcto funcionamiento.

Finalmente en la Fig. 4.4 se muestran unas fotografías del equipo construído y probado, en ellas se puede apreciar las tarjetas de CSS, de CSE y de CC. Solo se construyó una de cada tipo para demostrar su funcionamiento (la implementación total resulta costosa: 3032 USD).

4.2 ANALISIS DE RESULTADOS

Las pruebas realizadas de funcionamiento ratificaron lo expuesto en el diseño teórico. Los pocos reajustes que se realizaron son normales dentro de un proceso de diseño y fabricación de equipos.

El bajo consumo de energía mostrado por las diferentes tarjetas hacen que una interface equipada totalmente requiera de:

8 TARJETAS (30 CSS)	=	84 W
1 TARJETA CC	=	4 W
TOTAL	=	88 W

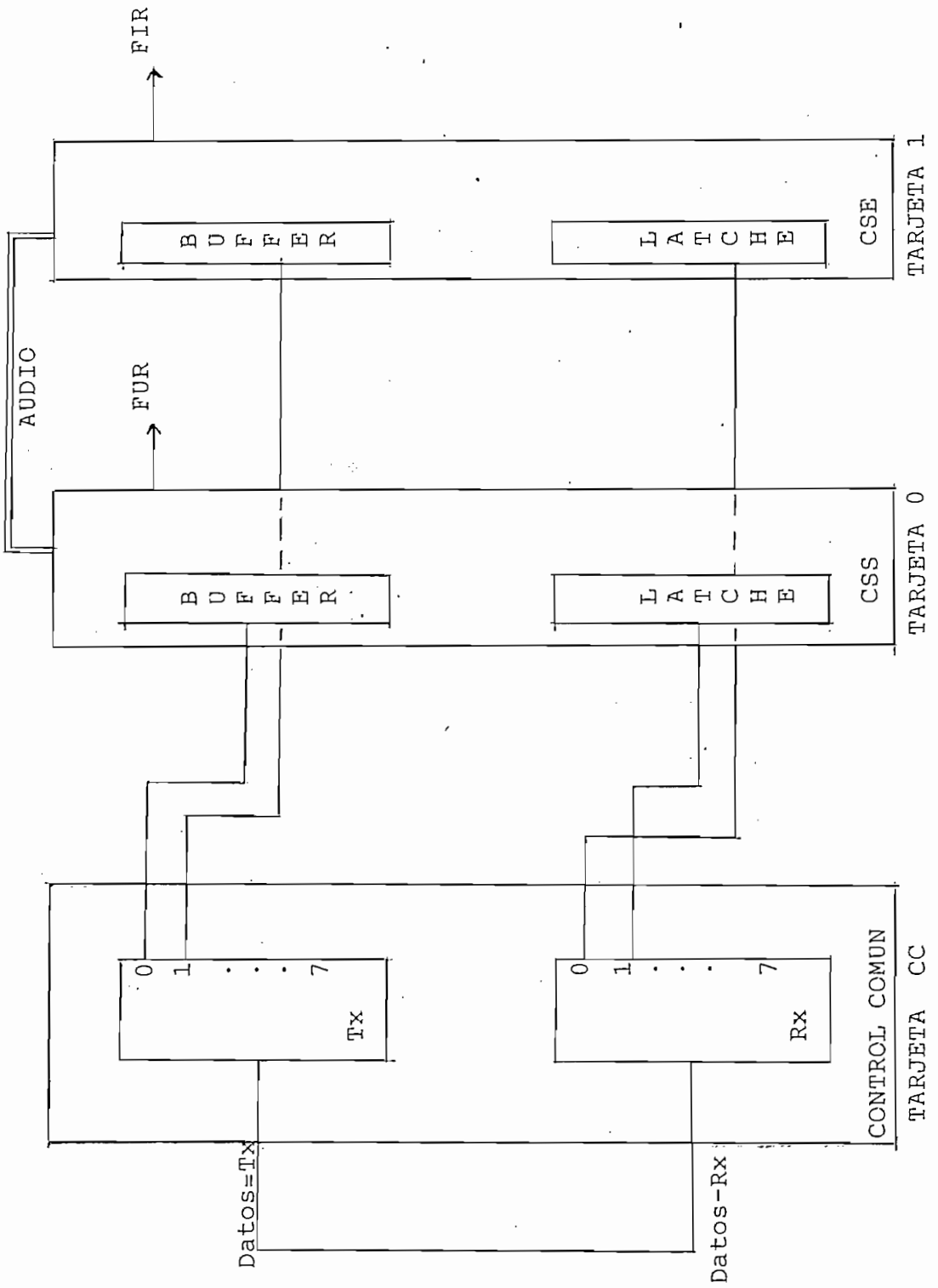
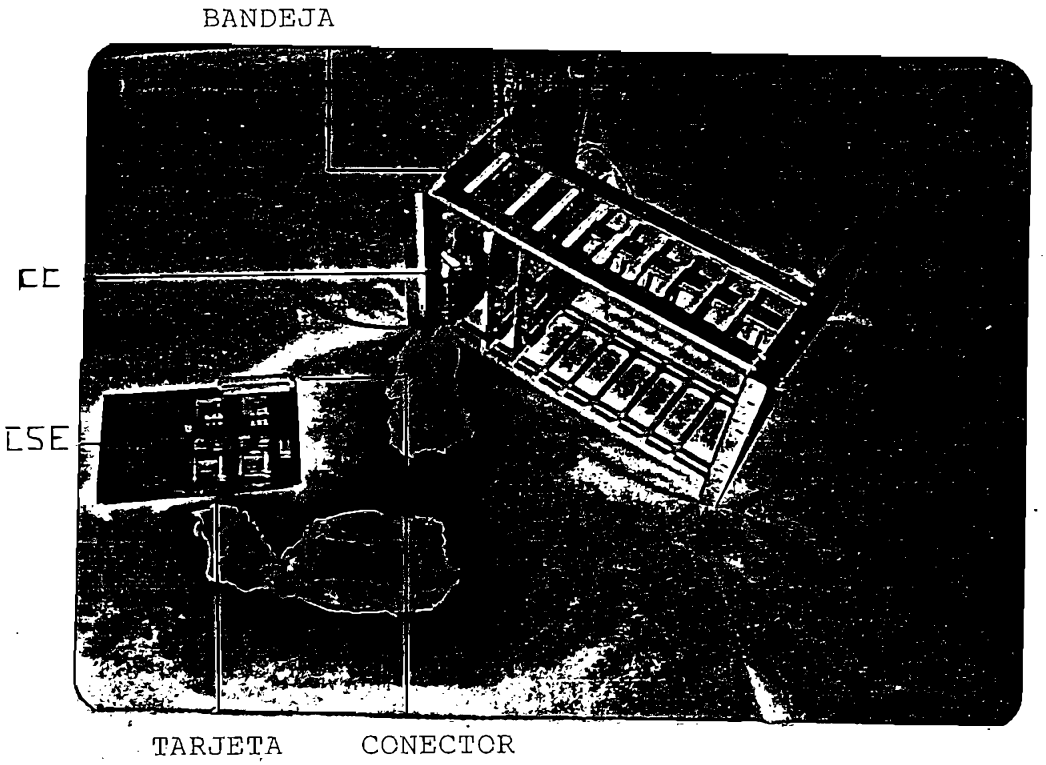


FIG. 4.3 ESQUEMA DE CONEXION PARA PRUEBAS



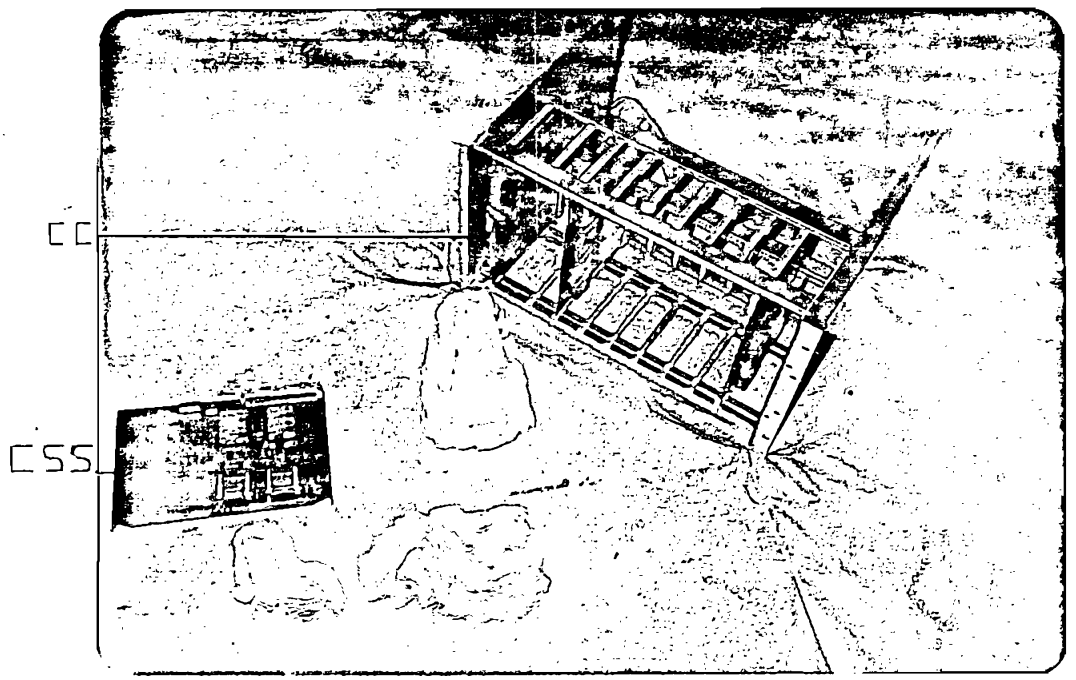


FIG. 4.4 FOTOGRAFIAS DEL EQUIPO CONSTRUIDO

Ello representa un ahorro de energía y ésto es muy importante dado que el IETEL posee equipo de energía auxiliar y este tiene que ser dimensionado para el consumo de los diferentes equipos y mientras más bajo sea este consumo menos costoso resulta.

Las fotografías de las señales de Interface a TDM muestran como sería el enlace de datos entre el sistema TDM y la Interface de señalización. Se comprueba que estas son las señales esperadas(de acuerdo al diseño teórico) cuyos diagramas de tiempo se muestran en las figuras 3.11, 3.13, 3.15 y 3.17

4.3 CONCLUSIONES Y COMENTARIOS

El diseño realizado demuestra que es posible en nuestro medio la fabricación de prototipos que satisfagan necesidades propias sin tener que recurrir a equipos mas costosos fabricados en el exterior.

Las graves dificultades que se han encontrado radican en no poder disponer de repuestos a tiempo y en la cantidad suficiente debido a que estos son importados, lo que provoca un retardo de tiempo en la implementación y pruebas.

En las pruebas de funcionamiento total de la interface no fue posible probarla completamente, debido a que no está equipada con todas las tarjetas y no estuvo disponible el

sistema TDM , por ello se empleó señales simuladas y se usó el esquema de conexión indicado en la fig. 4.3. Sin embargo con el mencionado esquema se probó la totalidad del Hardware existente y todos los programas de software con resultados satisfactorios, por lo que podemos concluir que la parte de control común funciona de acuerdo a lo diseñado y los convertidores CSS y CSE también, quedaría por probarse los otros convertidores (para completar los 30) que al ser circuitos idénticos a los ya probados no presentarán ningún problema.

Se vió la necesidad de contar con equipo de laboratorio más sofisticado como un analizador de tramas PCM, el cual puede mostrar los bits de señalización como se indica en la fig. 4.5 y además puede simular a un TDM.(este equipo se encuentra en proceso de adquisición por parte del IETEL)

Similarmente existen programas de computadora para la simulación del uP Z80 con varias configuraciones los que no se pudieron disponer a tiempo para el presente diseño pero que ayudarán notablemente en futuros proyectos.

Finalmente el diseño puede ser mejorado dotándole de mayores opciones como por ejemplo el que pueda adaptarse no solo a una central ARF sino también a una AGF o a una ARM (enlace a 4 hilos), puesto que se pueden variar únicamente los convertidores y no el control común, pues, su estructura en base de uP permite analizar cualquier tipo de señalización (máximo de 4 bits).

```
==========================
W&G PRA-1   14.MAY 87
EVENT TABLE
F: TS=01    B: TS=01
REC:14.MAY 87   10:50
==========================
          |      |
TIME/s    | F    | B
          | abcd | abcd
----------|------|------
 < 0.000  | 1101 | 1101
   0.000  | 1101 | 1101
0075.804  | 1101 | 0101
0075.962  | 1101 | 1101
0078.468  | 1101 | 0101
0079.080  | 1101 | 1101
0079.224  | 0101 | 1101
0079.836  | 1101 | 1101
0124.682  | 1101 | 0101
0124.840  | 1101 | 1101
0127.442  | 1101 | 0101
0128.080  | 1101 | 1101
0128.216  | 0101 | 1101
0128.828  | 1101 | 1101
0165.092  | 1101 | 0101
0165.252  | 1101 | 1101
0172.074  | 1101 | 0101
0172.690  | 1101 | 1101
0172.824  | 0101 | 1101
0173.436  | 1101 | 1101
0186.436  | 1101 | 0101
0186.596  | 1101 | 1101
0199.320  | 0101 | 1101
0199.484  | 1101 | 1101
0241.656  | 0101 | 1101
0242.268  | 1101 | 1101
0246.578  | 1101 | 0101
0247.196  | 1101 | 1101
0247.320  | 0101 | 1101
0247.932  | 1101 | 1101
0288.356  | 1101 | 0101
0288.516  | 1101 | 1101
0332.538  | 1101 | 0101
0333.156  | 1101 | 1101
0333.304  | 0101 | 1101
0333.916  | 1101 | 1101
```

```
==========================
W&G PRA-1   14.MAY 87
SIGNALLING DIAGRAM
F: TS=01    B: TS=01
REC:14.MAY 87   10:50
SCALE: TMA=   5 s/DIV
       DL = 165.00 s
==========================

TIME/s        B      F
              dcba   dcba
165.000
170.000
175.000
180.000
185.000
190.000
195.000
200.000
205.000
210.000
215.000
220.000
```

FIG. 4.5 RESULTADOS QUE MUESTRA EL EQUIPO ANALIZADOR DE TRAMAS PCM

A P E N D I C E A

" NORMAS CCITT "

ASPECTOS GENERALES DE LOS INTERFACES

(Ginebra, 1972; modificada en Ginebra, 1976 y 1980)

El CCITT,

considerando

que se necesitan especificaciones sobre interfaces para poder interconectar los componentes de las redes digitales (secciones de línea, equipo múltiplex, centrales) a fin de formar un trayecto digital internacional o una conexión digital internacional,

recomienda

que las características físicas, funcionales y eléctricas de los interfaces, a las diferentes velocidades binarias jerárquicas, estén conformes a la descripción dada en la presente Recomendación.

Observación 1 — Las características de los interfaces a las velocidades binarias no jerárquicas se especifican en las Recomendaciones pertinentes sobre el equipo.

Observación 2 — Las especificaciones de los valores de fluctuación de fase contenidas en los § 6, 7, 8 y 9 están desintadas a su aplicación en los puntos de interconexión internacional.

1 Interfaz a 64 kbit/s

1.1 *Requisitos funcionales*

1.1.1 Para el diseño del interfaz se han recomendado los requisitos fundamentales siguientes:

1.1.2 Tres señales atraviesan el interfaz en los dos sentidos, transmisión y recepción, a saber:

- la señal de información a 64 kbit/s;
- la señal de temporización de 64 kHz;
- la señal de temporización de 8 kHz.

Observación 1 — Se debe generar una señal de temporización de 8 kHz, pero no será obligatorio para el equipo en el lado de servicios del interfaz (por ejemplo, señales de datos o señalización) utilizar la señal de temporización de 8 kHz procedente del múltiplex MIC o del equipo de acceso a un intervalo de tiempo, ni proporcionar una señal de temporización de 8 kHz al equipo MIC.

Observación 2 — La detección de una avería en un punto situado hacia el origen puede transmitirse a través de un interfaz a 64 kbit/s enviando una señal de indicación de alarma (AIS), interrumpiendo la señal de temporización de 8 kHz en el sentido de recepción, o de ambas formas.

1.1.3 El interfaz debe ser independiente de la secuencia de bits a 64 kbit/s.

Observación 1 — Pueden transmitirse a través del interfaz señales a 64 kbit/s sin ninguna restricción. Sin embargo, esto no implica que puedan realizarse, sobre una base global, trayectos a 64 kbit/s no sujetos a restricción alguna. Esto se debe a que algunas Administraciones se proponen instalar o están instalando vastas redes compuestas de secciones de línea digital cuyas características no permiten la transmisión de largas secuencias de 0. (La Recomendación G.733 prevé equipos múltiplex MIC con características apropiadas para estas secciones de línea digital.) En lo que respecta específicamente a fuentes de trenes binarios con temporización de octetos, en redes digitales a 1544 kbit/s se exige que haya, por lo menos, un 1 binario en cada uno de los octetos de una señal digital a 64 kbit/s. En los trenes binarios no sujetos a temporización de octetos, la señal a 64 kbit/s no podrá tener más de 7 ceros consecutivos.

Observación 2 — Aunque el interfaz es independiente de la secuencia de bits, la utilización de la señal AIS (secuencia todos 1) puede dar lugar a la imposición de ciertas limitaciones de menor importancia a la fuente de 64 kbit/s. Por ejemplo, una señal de alineación de trama todos 1 podría ocasionar problemas.

1.1.4 *Se han previsto tres tipos de interfaces*

1.1.4.1 *Interfaz codireccional*

El término codireccional se utiliza para describir un interfaz a través del cual la información y las señales de temporización asociadas se transmiten en el mismo sentido (véase la figura 1/G.703).

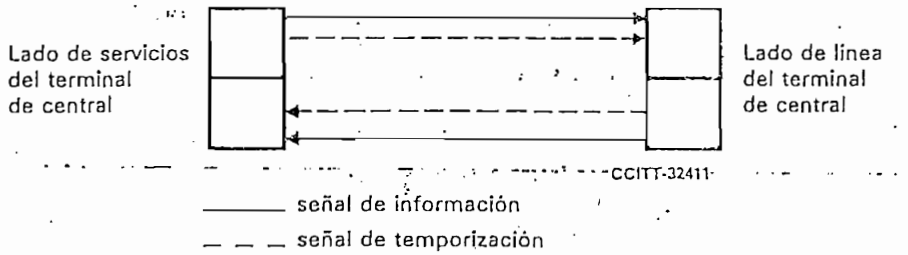


FIGURA 1/G.703
Interfaz codireccional

1.1.4.2 *Interfaz de reloj centralizado*

El término reloj centralizado se utiliza para describir un interfaz donde, para ambos sentidos de transmisión de la señal de información, las señales de temporización asociadas tanto al terminal de central en el lado de línea como al terminal de central en el lado de servicios se toman de un reloj centralizado que puede derivarse, por ejemplo, de ciertas señales de línea de llegada (véase la figura 2/G.703).

Observación — El interfaz codireccional o el interfaz de reloj centralizado deben utilizarse para redes sincronizadas y para redes plesiócronas cuyos relojes tengan la estabilidad requerida (véase la Recomendación G.811), a fin de asegurar un intervalo adecuado entre los deslizamientos.

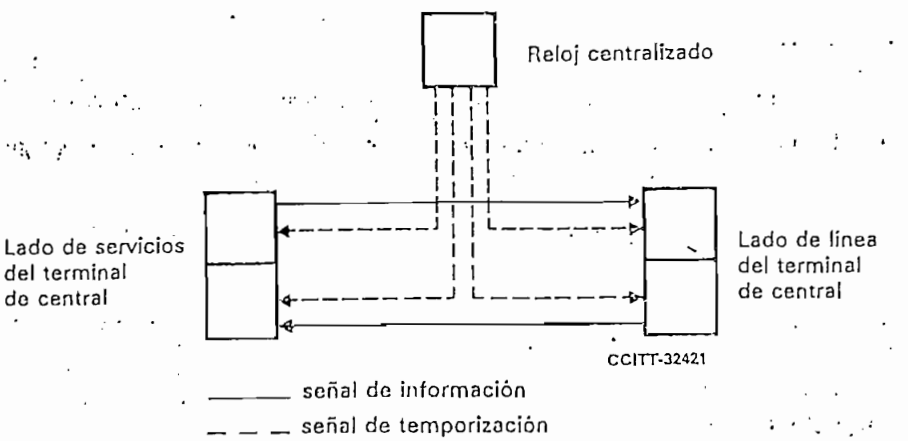


FIGURA 2/G.703
Interfaz de reloj centralizado

1.1.4.3 *Interfaz contradireccional*

El término contradireccional se utiliza para caracterizar un interfaz a través del cual las señales de temporización asociadas a ambas direcciones de transmisión se dirigen hacia el lado de servicios (por ejemplo, datos o señalización) del interfaz (véase la figura 3/G.703).

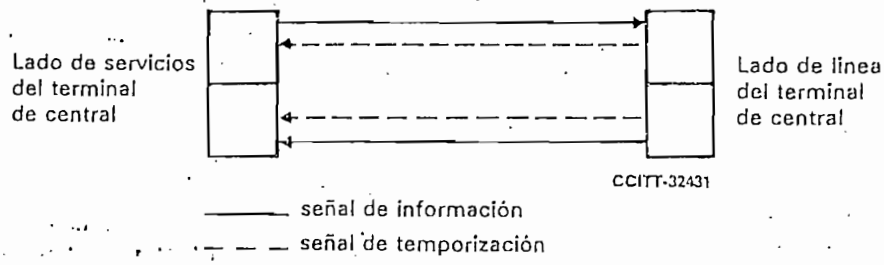


FIGURA 3/G.703
Interfaz contradireccional

1.2 *Características eléctricas*

1.2.1 *Características eléctricas del interfaz codireccional a 64 kbit/s*

1.2.1.1 *Consideraciones generales*

1.2.1.1.1 Velocidad binaria nominal: 64 kbit/s.

1.2.1.1.2 Tolerancia máxima para las señales transmitidas a través del interfaz: ± 100 ppm.

1.2.1.1.3 Las señales de temporización de 64 kHz y 8 kHz se transmitirán codireccionalmente con la señal de información.

1.2.1.1.4 Se utilizará un par simétrico para cada sentido de transmisión; se recomienda la utilización de transformadores.

1.2.1.1.5 *Reglas de conversión de código:*

Paso 1 — Un periodo de un bit a 64 kbit/s se divide en cuatro intervalos unitarios.

Paso 2 — Un 1 binario se codifica como un bloque constituido por los cuatro bits siguientes:

1 1 0 0

Paso 3 — Un 0 binario se codifica como un bloque constituido por los cuatro bits siguientes:

1 0 1 0

Paso 4 — La señal binaria se convierte en una señal de tres niveles alternando la polaridad de los bloques consecutivos.

Paso 5 — La alternancia de la polaridad de los bloques se viola cada octavo bloque. El bloque con violación indica el último bit de un octeto.

Estas reglas de conversión se ilustran en la figura 4/G.703.

1.2.1.2 *Especificaciones en los accesos de salida* (véase el cuadro 1/G.703)

1.2.1.3 *Especificaciones en los accesos de entrada*

La señal digital presentada en los accesos de entrada deberá corresponder a la definición precedente, con las modificaciones que introduzcan las características de los pares de interconexión. La atenuación de estos pares está comprendida entre 0 y 3 dB a la frecuencia de 128 kHz. Esta atenuación tendrá en cuenta posibles pérdidas debidas a la presencia de un repartidor digital entre los equipos.

Observación — Si el par simétrico está blindado, el blindaje se conectará a tierra en el acceso de salida, y se preverá, en caso necesario, su conexión a tierra en el acceso de entrada.

CARACTERÍSTICAS DE LOS EQUIPOS MÚLTIPLEX MIC PRIMARIOS QUE FUNCIONAN A 2048 kbit/s

(Ginebra, 1972; modificada en Ginebra, 1976 y 1980)

1 Características generales

1.1 *Características fundamentales*

La ley de codificación utilizada es la ley A especificada en la Recomendación G.711. La veloc muestreo, el nivel de sobrecarga y el código se especifican también en dicha Recomendación.

El número de valores cuantificados es 256.

Observación — La inversión de los bits 2, 4, 6 y 8 forma parte de la ley de codificación y se aplic los intervalos de tiempo de canal de los canales telefónicos.

1.2 *Velocidad binaria*

La velocidad binaria nominal es de 2048 kbit/s. La tolerancia para esta velocidad es de ± 50 pa millón (ppm).

1.3 *Señal de temporización*

La señal de temporización para la transmisión de un equipo múltiplex MIC debe ser posible deri una fuente interna, de la señal digital entrante y también de una fuente externa.

Observación — Es necesario continuar estudiando el efecto de la fluctuación de fase de la señal en la señal de temporización, y las medidas que han de tomarse en caso de pérdida de la señal entrante fuente externa.

2 Estructura de trama

2.1 *Número de bits por intervalo de tiempo de canal*

Ocho, numerados de 1 a 8.

2.2 *Número de intervalos de tiempo de canal por trama*

Treinta y dos, numerados de 0 a 31. El número de bits por trama es 256, y la frecuencia de repe trama 8000 Hz.

2.3 *Asignación de los intervalos de tiempo de canal*

2.3.1 Los intervalos de tiempo de canal 1 a 15 y 17 a 31 se asignan a 30 canales telefónicos numer a 30.

2.3.2 La asignación de los bits del intervalo de tiempo de canal 0 se indica en el cuadro 1/G.732.

2.3.3 El intervalo de tiempo de canal 16 está asignado a señalización como se indica en el § 4. Si el in tiempo de canal 16 no se necesita para señalización, puede utilizarse para otros fines distintos que par telefónico codificado dentro del equipo múltiplex MIC.

2.4 *Señal de alineación de trama*

La señal de alineación de trama ocupa las posiciones 2 a 8 en el intervalo de tiempo de canal dos tramas (véase el cuadro 1/G.732).

La señal de alineación de trama es:

0011011

Para evitar la simulación de la señal de alineación de trama por los bits 2 a 8 del intervalo d canal 0 de las tramas que no contienen la señal de alineación de trama, el bit 2 de dichos intervalos d canal se fija a 1.

CUADRO 1/G.732

Asignación de los bits en el intervalo de tiempo de canal 0

	Número de bit							
	1	2	3	4	5	6	7	8
Intervalo de tiempo 0 que contiene la señal de alineación de trama	Reservado para uso internacional (véase la observación 1)	0	0	1	1	0	1	1
		Señal de alineación de trama (véase el § 2.4)						
Intervalo de tiempo 0 que no contiene la señal de alineación de trama	Reservado para uso internacional (véase la observación 1)	1 (véase el § 2.4)	Indicación de alarma destinada al equipo múltiplex MIC distante (véase el § 3.2.3)	Reservado para uso nacional (véase la observación 1)				

Observación 1 – Su utilización se definirá posteriormente. Por el momento, el valor de estos bits se fija a 1.
Observación 2 – Los bits asignados para uso nacional no pueden utilizarse a nivel internacional. En un trayecto digital que atraviesa una frontera, su valor se fijará a 1.

2.5 *Pérdida y recuperación de la alineación de trama*

Deberá considerarse que la alineación de trama se ha perdido cuando se hayan recibido con error tres o cuatro señales consecutivas de alineación de trama.

Se considerará recuperada la alineación de trama cuando se detecte la siguiente secuencia:

- por primera vez, la presencia de la señal de alineación de trama correcta;
- la ausencia de la señal de alineación de trama en la trama siguiente, detectada por verificación de que el bit 2 del intervalo de tiempo de canal 0 tiene el valor 1;
- por segunda vez, la presencia de la señal de alineación de trama correcta, en la trama siguiente.

Observación – Para que no sea posible un estado en el cual no pueda lograrse la alineación de trama debido a la presencia de una señal de alineación de trama simulada, puede utilizarse el siguiente procedimiento:

Cuando se detecte una señal de alineación de trama válida en la trama n, deberá efectuarse una verificación para asegurarse de que la trama $n + 1$ no contiene una señal de alineación de trama, pero que la trama $n + 2$ sí la contiene. Si no se cumple una o ninguna de estas condiciones, se iniciará una nueva búsqueda a partir de la trama $n + 2$.

3 Condiciones de avería y operaciones consiguientes

3.1 *Condiciones de avería*

El equipo múltiplex MIC deberá detectar las condiciones de avería siguientes:

3.1.1 Fallo de la fuente de alimentación.

3.1.2 Fallo del codec (salvo si se utilizan codecs de un solo canal).

Como requisito mínimo, esta condición de avería deberá reconocerse cuando, por lo menos para un nivel de señal de la gama de -21 a -6 dBm0, el valor de la relación señal/ruido de cuantificación del codec local está 18 dB, o más, por debajo del nivel indicado en la Recomendación G.712.

3.1.3 Pérdida de la señal entrante en la entrada a 64 kbit/s (intervalo de tiempo 16).

Observación 1 – La detección de esta condición de avería no es obligatoria cuando se emplea la señalización asociada al canal y el equipo múltiplex de señalización está situado a pocos metros del equipo múltiplex MIC.

Observación 2 – La detección de esta condición de avería no es obligatoria cuando se emplean interfaces contradireccionales.

IETEL PLANIFICACION QUITO GERENCIA GENERAL

3.1.4 Pérdida de la señal entrante a 2048 kbit/s.

Observación 1 — La detección de esta condición de avería sólo es necesaria si, como consecuencia d misma, no se produce una indicación de pérdida de la alineación de trama.

Observación 2 — Cuando se utilizan circuitos separados para la señal digital y la señal de temporizac la pérdida de una o ambas señales debiera considerarse como una pérdida de la señal entrante.

3.1.5 Pérdida de la alineación de trama.

3.1.6 Tasa excesiva de errores, detectada en la señal de alineación de trama.

3.1.6.1 Criterios para activar la indicación de condición de avería:

— Tasa de errores $\leqslant 1 \times 10^{-4}$.

La probabilidad de activar la indicación de condición de avería en unos pocos segundos debe inferior a 10^{-6}.

— Tasa de errores $\geqslant 1 \times 10^{-3}$.

La probabilidad de activar la indicación de condición de avería en unos pocos segundos debe superior a 0,95.

3.1.6.2 Criterios para desactivar la indicación de condición de avería:

— Tasa de errores $\geqslant 1 \times 10^{-3}$.

La probabilidad de desactivar la indicación de la condición de avería en unos pocos segundos c ser casi nula.

— Tasa de errores $\leqslant 1 \times 10^{-4}$.

La probabilidad de desactivar la indicación de la condición de avería en unos pocos segundos d ser superior a 0,95.

Observación — La expresión «unos pocos segundos» empleada para especificar los períodos de activac y desactivación debe interpretarse como unos 4 ó 5 segundos.

3.1.7 Indicación de alarma recibida del equipo múltiplex MIC distante (véase el § 3.2.3).

3.2 *Operaciones consiguientes*

Tras la detección de una condición de avería, deberán efectuarse las operaciones adecuadas especifica en el cuadro 2/G.732. Estas operaciones son las siguientes:

3.2.1 Generación de una indicación de alarma de servicio para notificar que el servicio proporcionado po múltiplex MIC ha dejado de estar disponible. Esta indicación debe transmitirse por lo menos al equipo múlti de señalización y/o al equipo de conmutación, según las disposiciones que se hayan tomado. La indicación de darse tan pronto como sea posible, y no después de 2 ms tras la detección de la correspondiente condición avería.

Esta especificación, teniendo en cuenta lo indicado en el § 2.5, equivale a recomendar que el tiempo m para la detección de una pérdida de alineación de trama y la generación de la correspondiente indicación no ser superior a 3 ms.

Cuando se utiliza la señalización por canal común, la indicación debe enviarse al equipo de conmut por medio de un interfaz separado en el equipo múltiplex MIC.

3.2.2 Generación de una indicación de alarma para mantenimiento inmediato para notificar que la calid funcionamiento es inferior a normas aceptables y que es necesario proceder a una operación local de mar miento. Cuando se detecta la señal de indicación de alarma (AIS) (véase la observación general al § 3.2), d inhibirse la indicación de alarma para mantenimiento inmediato asociada a la pérdida de alineación de (véase el § 3.1.5) y a una tasa excesiva de errores (véase el § 3.1.6), mientras que el resto de las opera consiguientes se ajustan a las asociadas en el cuadro 2/G.732 a las dos condiciones de avería.

Observación — Se deja a discreción de las Administraciones la utilización y ubicación de posibles al visuales y/o audibles, activadas por las indicaciones de alarma mencionadas en los § 3.2.1 y 3.2.2.

3.2.3 Transmisión de una indicación de alarma hacia el extremo distante, obtenida haciendo pasar del est al estado 1 el bit 3 del intervalo de tiempo de canal 0 en las tramas que no contienen la señal de alineac trama. Esto debe efectuarse lo más pronto posible.

3.2.4 Supresión de la transmisión en las salidas analógicas.

3.2.5 Aplicación de la señal de indicación de alarma (AIS) al intervalo de tiempo 16 de la salida a 64 kbit/s (véase la observación general). Esta operación debe efectuarse tan pronto como sea posible y no después de 2 ms tras la detección de la condición de avería.

3.2.6 Aplicación de la AIS al intervalo de tiempo 16 de la señal compuesta de salida a 2048 kbit/s (si se ha previsto la supervisión de las señales entrantes a 64 kbit/s).

Observación general al § 3.2 — El contenido binario equivalente de la señal de indicación de alarma (AIS) es un tren continuo de 1 binarios.

La estrategia para detectar una AIS será tal que la detección sea posible aun con una tasa de errores de 1×10^{-3}. No obstante, no deberá confundirse con la AIS una señal con todos los bits, excepto el de alineación de trama, en el estado 1.

Observación — Los requisitos de temporización mencionados son aplicables también al restablecimiento subsiguiente a la desaparición de una condición de avería.

CUADRO 2/G.732

Condiciones de avería y operaciones consiguientes en el equipo múltiplex MIC

Parte del equipo	Condiciones de avería (véase el § 3.1)	Operaciones consiguientes (véase el § 3.2)					
		Generación de una indicación de alarma de servicio	Generación de una indicación de alarma para mantenimiento inmediato	Transmisión de una indicación de alarma hacia el extremo distante	Supresión de la transmisión en las salidas analógicas	Aplicación de la AIS a la salida a 64 kbit/s (intervalo de tiempo 16)	Aplicación de la AIS al intervalo de tiempo 16 de la señal compuesta a 2048 kbit/s
Multiplexor y demultiplexor	Fallo de la fuente de alimentación	Sí	Sí	Sí, de ser posible en la práctica	Sí, de ser posible en la práctica	Sí, de ser posible en la práctica	Sí, de ser posible en la práctica
	Fallo del codec	Sí	Sí	Sí	Sí		
Multiplexor solamente	Pérdida de la señal entrante en la entrada a 64 kbit/s intervalo de tiempo 16 (véanse las observaciones §3.1.3)		Sí				Sí
Demultiplexor solamente	Pérdida de la señal entrante a 2048 kbit/s	Sí	Sí	Sí	Sí	Sí	
	Pérdida de la alineación de trama	Sí	Sí	Sí	Sí	Sí	
	Tasa de errores de 1×10^{-3} en la señal de alineación de trama	Sí	Sí	Sí	Sí	Sí	
	Indicación de alarma recibida del extremo distante (bit 3 del intervalo de tiempo 0)	Sí					

Observación – Un *Sí*, en el cuadro significa que debe efectuarse una operación como consecuencia de la correspondiente condición de avería. Un *espacio en blanco* en el cuadro significa que la operación correspondiente *no* debe efectuarse como consecuencia de la condición de avería pertinente, si esta condición es la única presente. Si apareciese simultáneamente más de una condición de avería, la operación correspondiente deberá efectuarse si, con relación a la misma, aparece por lo menos *un Sí*.

4 Señalización

Se recomienda la utilización del intervalo de tiempo de canal 16, ya sea para la señalización por c común o para la señalización asociada al canal, según se requiera. Deberán efectuarse las operaciones descrita el § 3.2.1, consiguientes a la correspondiente condición de avería, de conformidad con el cuadro 2/G.732.

El intervalo de tiempo de canal 16 puede utilizarse para proporcionar un interfaz a 64 kbit/s, que apropiado para uso tanto con señalización por canal común como con señalización asociada al canal. De efectuarse la operación descrita en el § 3.2.5, consiguiente a las correspondientes condiciones de avería indic en el cuadro 2/G.732.

Los requisitos específicos para la organización de sistemas de señalización determinados se incluirán e especificaciones de dichos sistemas.

4.1 *Señalización por canal común*

El intervalo de tiempo de canal 16 puede utilizarse para la señalización por canal común a velocidade hasta 64 kbit/s. En la especificación de los diversos sistemas de señalización por canal común figurará el mé para obtener la alineación de las señales. En este caso, el interfaz a 64 kbit/s que se utilizará para el interval tiempo de canal 16 será conforme al § 5 y a la Recomendación G.703.

4.2 *Señalización asociada al canal*

A continuación se indica la disposición recomendada para la utilización del intervalo de tiempo canal 16 a 64 kbit/s para la señalización asociada al canal.

4.2.1 *Estructura de multitrama*

Una multitrama comprende 16 tramas consecutivas (su estructura se indica en el § 2.2), numeradas a 15.

La señal de alineación de multitrama es 0000 y ocupa los intervalos de tiempo de dígito 1 a 4 del inter de tiempo de canal 16 en la trama 0.

4.2.2 *Asignación del intervalo de tiempo de canal 16*

Cuando el intervalo de tiempo de canal 16 se utiliza para la señalización asociada al canal, dicho inter proporciona un trayecto digital a 64 kbit/s, que se subdivide en trayectos de menor velocidad utilizándose c referencia la señal de alineación de multitrama.

Los detalles de la asignación de los bits figuran en el cuadro 3/G.732.

CUADRO 3/G.732

Intervalo de tiempo de canal 16 de la trama 0	Intervalo de tiempo de canal 16 de la trama 1		Intervalo de tiempo de canal 16 de la trama 2		Intervalo de tiempo de canal 16 de la trama 15	
0000 *xyxx*	*abcd* canal 1	*abcd* canal 16	*abcd* canal 2	*abcd* canal 17	*abcd* canal 15	*abcd* canal 3

Observación – x = bit de reserva fijado al valor 1 si no se utiliza.
y = bit utilizado para indicar la pérdida de la alineación de multitrama (véase el § 4.2.4.2.3).
Si no se utilizan los bits b, c o d, se les debe dar los siguientes valores:
$b = 1$
$c = 0$
$d = 1$
Se recomienda no utilizar la combinación 0000 de los bits a, b, c y d a los fines de señalización para los canales 1 a 15.

En la asignación de los bits se prevén cuatro canales de señalización a 500 bit/s designados por a y d, para cada canal telefónico. Mediante esta disposición, la distorsión de señalización de cada can señalización introducida por el sistema de transmisión MIC no será superior ± 2 ms.

4.2.3 *Pérdida y recuperación de la alineación de multitrama*

Se considerará que se ha perdido la alineación de multitrama, cuando se hayan recibido con error dos señales consecutivas de alineación de multitrama.

Se considerará recuperada la alineación de multitrama inmediatamente después de que se detecte la primera señal de alineación de multitrama correcta.

Observación — Para evitar una condición de falsa alineación de multitrama, puede utilizarse el siguiente procedimiento, además del mencionado anteriormente:

— Se considerará que la alineación de multitrama se ha perdido cuando, durante un periodo de una o dos multitramas, todos los bits en el intervalo de tiempo 16 están en el estado 0.

— Se considerará recuperada la alineación de multitrama solamente cuando en el intervalo de tiempo 16 que precede a la primera señal de alineación de multitrama detectada hay por lo menos un bit en el estado 1.

4.2.4 *Condiciones de avería y operaciones consiguientes*

4.2.4.1 *Condiciones de avería*

El equipo múltiplex de señalización deberá detectar las siguientes condiciones de avería:

4.2.4.1.1 Fallo de la fuente de alimentación.

4.2.4.1.2 Pérdida de la señal entrante a 64 kbit/s en la entrada del demultiplexor de señalización.

Observación 1 — La detección de esta condición de avería no es necesaria cuando el equipo múltiplex de señalización está a pocos metros del equipo múltiplex MIC, o cuando como consecuencia de esta condición de avería se produce una indicación de pérdida de alineación de multitrama.

Observación 2 — Cuando se utilizan circuitos separados para la señal digital y la señal de temporización, la pérdida de una o ambas señales debiera considerarse como una pérdida de la señal entrante.

4.2.4.1.3 Pérdida de alineación de multitrama.

4.2.4.1.4 Recepción de una indicación de alarma procedente del equipo múltiplex de señalización distante (véase el § 4.2.4.2.3).

4.2.4.1.5 Recepción de una indicación de alarma de servicio procedente del equipo múltiplex MIC (véase el § 3.2.1).

4.2.4.2 *Operaciones consiguientes*

Tras la detección de una condición de avería deberán efectuarse las operaciones procedentes especificadas en el cuadro 4/G.732. Estas operaciones son las siguientes:

4.2.4.2.1 Transmisión de una indicación de alarma de servicio al equipo de conmutación, según las disposiciones de conmutación y señalización adoptadas.

4.2.4.2.2 Generación de una indicación de alarma para mantenimiento inmediato, para notificar que la calidad de funcionamiento es inferior a normas aceptables y que debe procederse a una operación de mantenimiento local. Si se ha previsto la detección de la AIS, al recibirse ésta deberá inhibirse la indicación de alarma para mantenimiento inmediato en el caso de pérdida de la alineación de multitrama (véase el § 4.2.4.1.3).

Observación — Se deja a discreción de las Administraciones la utilización y ubicación de eventuales alarmas visuales y/o audibles, activadas por las indicaciones de alarma mencionadas en los § 4.2.4.2.1 y 4.2.4.2.2.

4.2.4.2.3 Transmisión de una indicación de alarma hacia el equipo múltiplex de señalización distante, generada mediante la conmutación, del estado 0 al estado 1, del bit 6 del intervalo de tiempo de canal 16 de la trama 0 de la multitrama (véase el cuadro 3/G.732); esto se efectuará lo más pronto posible.

4.2.4.2.4 Aplicación de la condición correspondiente al estado 1, en la línea, a todos los canales de señalización en la recepción. Esta condición debe enviarse tan pronto como sea posible y no después de 3 ms tras la detección de la condición de avería.

Observación — Todos los requisitos de temporización mencionados son asimismo aplicables al restablecimiento, subsiguiente a la desaparición de la condición de avería.

CUADRO 4/G.732

Condiciones de avería y operaciones consiguientes en equipos múltiplex con señalización asociada al canal

Parte del equipo	Condiciones de avería (véase el § 4.2.4.1)	Operaciones consiguientes (véase el § 4.2.4.2)			
		Generación de una indicación de alarma de servicio	Generación de una indicación de alarma para mantenimiento inmediato	Transmición de una indicación de alarma para mantenimiento inmediato	Aplicación de la condici correspondiente al estado en la línea, a todos los can de señalización en la recep
Multiplexor y demultiplexor	Fallo de la fuente de alimentación	Sí	Sí	Sí, de ser posible en la práctica	Sí, de ser posible en la práctica
Demultiplexor solamente	Pérdida de la señal entrante	Sí	Sí	Sí	Sí
	Pérdida de la alineación de multitrama	Sí	Sí	Sí	Sí
	Recepción de una indicación de alarma procedente del equipo múltiplex de señalización distante	Sí			Sí
	Recepción de una indicación de alarma de servicio procedente del multiplexor MIC	Sí			Sí

Observación – Un *Sí*, en el cuadro significa que debe efectuarse una operación como consecuencia de la correspondiente condic avería. Un *espacio en blanco* en el cuadro significa que la operación correspondiente *no* debe efectuarse como consecuencia condición de avería pertinente, si esta condición es la única presente. Si apareciese simultáneamente más de una condición de a la operación correspondiente deberá efectuarse si, con relación a la misma, aparece por lo menos un *Sí*.

5 Interfaces

Los interfaces analógicos deben satisfacer la Recomendación G.712.

Los interfaces digitales deben satisfacer la Recomendación G.703.

Las especificaciones para interfaces a 64 kbit/s no son obligatorias en el caso de señalización asocia canal.

6 Fluctuación de fase

6.1 *Fluctuación de fase en la salida a 2048 kbit/s*

Cuando la señal de temporización de transmisión procede de un oscilador interno, la fluctuación d cresta a cresta en la salida a 2048 kbit/s no deberá exceder de 0,05 IU cuando se mide en la gama de frecu de f_1 = 20 Hz a f_4 = 100 Hz.

6.2 *Fluctuación de fase en la salida a 64 kbit/s*

(En estudio.)

SISTEMA DE SEÑALIZACIÓN R2

(Las especificaciones del sistema de señalización R2
consitituyen la Parte XVI de las Recomendaciones de la Serie Q)

INTRODUCCIÓN

Consideraciones generales

El sistema de señalización R2 se utiliza como sistema de señalización internacional en el interior de regiones internacionales (zonas de numeración mundial). Puede emplearse también para la señalización internacional/nacional integrada si se utiliza, de conformidad con las presentes especificaciones, como sistema de señalización en las redes nacionales de la región de que se trata. Es adecuado tanto para la explotación automática como semiautomática, y permite transmitir con gran seguridad la información necesaria para establecer las comunicaciones. Hace posible el rápido establecimiento de éstas y proporciona suficientes señales en ambos sentidos para la transmisión de la información numérica y de otro tipo, relativa a las líneas del abonado llamado y del abonado que llama, y para la ampliación de los medios de encaminamiento.

El sistema R2 está especificado para la explotación unidireccional y bidireccional, distinguiéndose entre la señalización de línea (señales de supervisión) y la señalización entre registradores (señales de control del establecimiento de la comunicación). Se especifican otras versiones de la señalización de línea, destinadas a utilizarse en los circuitos a cuatro hilos por corrientes portadoras o MIC. Pero la señalización entre registradores especificada puede aplicarse también a circuitos a dos hilos. Aunque los estudios no han terminado aún, el sistema R2 es apto, con restricciones, para los enlaces por satélite (véase el Anexo 3 de las presentes especificaciones). No puede utilizarse todavía en circuitos por corrientes portadoras con 3 kHz de separación o en circuitos TASI [1].

La señalización entre registradores se basa en un sistema de codificación multifrecuencia de secuencia obligada. Esto hace posible la señalización de extremo a extremo y permite aprovechar las ventajas de los modernos sistemas de conmutación al proporcionar un número suficiente de señales en ambos sentidos.

Es apto para el interfuncionamiento normal con otros sistemas de señalización del CCITT.

Señalización de línea

Se han especificado dos versiones de la señalización de línea:

— señalización de línea para los sistemas de corrientes portadoras, denominada versión analógica;

— señalización de línea para los sistemas MIC, denominada versión numérica.

Como la señalización multifrecuencia permite intercambiar un gran volumen de información entre los registradores, la cantidad de información que hay que transmitir en forma de señales de línea es pequeña. Las versiones de la señalización de línea del sistema R2 se ajustan a este principio. La versión analógica, normalizada originalmente para los circuitos internacionales, se presta también a la explotación nacional. La versión numérica fue concebida para la explotación nacional, pero puede usarse también a nivel internacional. Si bien estas versiones no incluyen una señal de intervención, ésta puede introducirse mediante acuerdo bilateral para la explotación internacional.

---

[1] Los siguientes puntos se hallan en estudio:
- aplicación del sistema R2 en enlaces por satélite;
- sistema de señalización de línea para cables submarinos de 3 kHz;
- señalización de línea para enlaces nacionales a dos hilos.

La *versión analógica* se asegura enlace por enlace y utiliza un método de señalización fuera de banda por cambio de estado de bajo nivel. La transferencia de la señal implica simplemente la transición de un estado de señalización a otro, salvo para la secuencia de liberación, que se basa en criterios adicionales de temporización. Es necesario prever un dispositivo de protección contra los efectos de las interrupciones en el canal de señalización, ya que la interrupción de la frecuencia de señalización simula una señal falsa de toma o de respuesta (control de interrupción). Para evitar la sobrecarga del sistema de transmisión que pudiera derivarse de la transmisión permanente de la frecuencia de señalización en ambos sentidos por todos los circuitos libres, esta frecuencia se transmite con un nivel bajo. El equipo de señalización de línea de la central empleado en la versión analógica puede utilizarse también en ciertos enlaces numéricos (véase la Recomendación Q.421).

La *versión numérica* se asegura enlace por enlace y utiliza dos canales de señalización en cada sentido de transmisión por circuito telefónico. Los canales de señalización son dos de los cuatro previstos para la señalización asociada al canal en el múltiplex primario a 2048 kbitios/s (véase la Recomendación G.732). La protección contra los efectos de una transmisión defectuosa está asegurada por un dispositivo de *protección contra los defectos de transmisión.*

Señalización entre registradores

La señalización entre registradores se efectúa de extremo a extremo mediante un código multifrecuencia de dos frecuencias entre seis, dentro de banda, hacia adelante y hacia atrás. De este modo, las frecuencias de señalización no se superponen a la frecuencia de señalización de línea, y difieren según el sentido de transmisión, a fin de poder utilizar la parte multifrecuencia del sistema en circuitos a dos hilos.

El sistema R2 está concebido para utilizar seis frecuencias de señalización (1380, 1500, 1620, 1740, 1860 y 1980 Hz) hacia adelante, y seis (1140, 1020, 900, 780, 660 y 540 Hz) hacia atrás. Para la aplicación nacional pueden usarse menos frecuencias de señalización.

La señalización de extremo a extremo es un método de señalización entre registradores para dos o más enlaces en tándem, sin regeneración de las señales en centrales intermedias (véase la Figura 1).

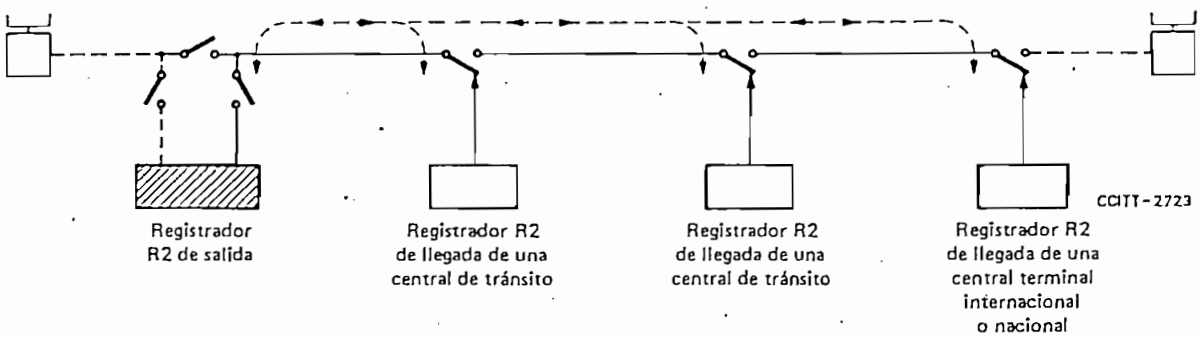


FIGURA 1 – Principio de la señalización entre registradores R2 de extremo a extremo

Por lo general, con este método de señalización sólo se transfiere del registrador de salida al registrador de llegada la información de dirección necesaria para encaminar la comunicación a través de una central intermedia (de tránsito). En la central intermedia se conecta de inmediato el circuito de conversación y se libera el registrador de llegada. El registrador de salida puede entonces intercambiar información directamente con el registrador de llegada de la central siguiente. Este tipo de señalización de extremo a extremo es ventajoso, pues reduce el equipo de señalización multifrecuencia necesario y reduce al mínimo el tiempo de ocupación de los registradores de las centrales de tránsito.

El sistema R2 está concebido de modo que permita la señalización multifrecuencia entre registradores de extremo a extremo para varios enlaces en tándem. Sin embargo, en los casos en que las condiciones de transmisión no se ajustan a lo especificado para el sistema R2 y podrían comprometer el intercambio de las señales multifrecuencia, la conexión completa multienlace se divide en secciones, cada una de las cuales tiene su señalización multifrecuencia individual (en este caso, las señales son retransmitidas y regeneradas por un registrador en el punto en que se ha hecho la división).

Generalmente, las condiciones de transmisión en una red nacional se ajustan a lo especificado para el sistema R2, y permiten así la señalización de extremo a extremo por las conexiones completas entre las centrales locales.

En el caso de la aplicación internacional del sistema R2, las condiciones de transmisión imponen una división en, como mínimo, dos secciones de señalización cuando los países de salida y de llegada usan el sistema R2 en sus redes nacionales. La división debe hacerse en una central del país de salida. El registrador retransmisor o regenerador, situado en el punto en que se hace la división, se denomina *registrador internacional R2 de salida.* En el caso en que no se use el sistema R2 en el país de salida, el registrador internacional R2 de salida recibe la información de dirección a través de un sistema de señalización nacional y controla el establecimiento de las comunicaciones por la sección con señalización R2 de salida.

El *registrador R2 de salida* se define generalmente como un registrador situado en el extremo de salida de una sección de señalización en que se utiliza señalización entre registradores de tipo R2 conforme a las presentes especificaciones. Controla el establecimiento de la comunicación a lo largo de toda la sección de señalización. Transmite señales multifrecuencia hacia adelante y recibe señales multifrecuencia hacia atrás. El registrador R2 de salida recibe información, por los enlaces precedentes, de la comunicación en la forma utilizada por el sistema de señalización aplicada en el último de dichos enlaces; este sistema puede ser el R2, un sistema con diez impulsos o cualquier otro. El enlace precedente puede ser también una línea de abonado.

Cuando un *registrador R2 de una central de tránsito* funciona de acuerdo con la precedente definición, se denomina también *registrador R2 de salida.* El *registrador internacional R2 de salida* es un caso especial del registrador R2 de salida, cuando la sección de señalización de salida comprende, como mínimo, una sección internacional.

El *registrador R2 de llegada* se define como un registrador situado en el extremo de llegada de un enlace en que se utiliza señalización entre registradores de tipo R2 conforme a las presentes especificaciones. Recibe señales multifrecuencia hacia adelante por el enlace o enlaces precedentes y transmite señales multifrecuencia hacia atrás. La información recibida se usa, completamente o en parte, para el control de las etapas de selección, y puede transmitirse íntegramente o en parte al equipo subsiguiente, en cuyo caso la señalización utilizada para la retransmisión nunca es del sistema R2. Tiene lugar entonces un interfuncionamiento entre el sistema R2 y el otro sistema. Así, todo registrador no situado en el extremo de salida de una sección de señalización que emplea el sistema R2 se denomina registrador R2 de llegada, independientemente del tipo de central.

El empleo de la totalidad de las 15 combinaciones hacia adelante y 15 combinaciones hacia atrás del código multifrecuencia permite obtener las siguientes características operacionales:

- transferencia de información de dirección para comunicaciones automáticas, semiautomáticas y de mantenimiento;
- indicadores para identificar las comunicaciones de tránsito y de mantenimiento (pruebas);
- cifras de idioma o cifra(s) de discriminación para las comunicaciones internacionales;
- transferencia de la cifra siguiente, o repetición de la penúltima, de la antepenúltima o de la ante antepenúltima a petición del registrador del extremo de llegada;
- señales hacia adelante y hacia atrás para el control de supresores de eco;
- mediante una señal hacia atrás, puede pedirse al registrador de salida que transmita el distintivo internacional que identifica a la central internacional de origen;
- puede transferirse al registrador del extremo de llegada información sobre la naturaleza y origen de la comunicación (categoría del abonado que llama), es decir, si la comunicación es nacional o internacional, si proviene de una operadora, de un abonado, de equipo de transmisión de datos, de mantenimiento o de otro tipo, etc.;
- puede transferirse al registrador de salida información sobre congestión, número no asignado y condición de la línea del abonado llamado esto es, si está libre, ocupada o fuera de servicio, etc.;
- la asignación de un número limitado de señales hacia atrás para usos nacionales se deja a criterio de las Administraciones.

La señalización entre registradores especificada para el sistema R2 puede usarse también junto con cualquier sistema no normalizado de señalización de línea. La combinación resultante *no se considera* como un sistema R2.

El sistema R2 permite acortar el periodo de espera después de marcar, al utilizar el *método de explotación con superposición* para el marcado y la señalización de extremo a extremo. El registrador R2 de salida comienza el establecimiento de la comunicación tan pronto como ha recibido el mínimo necesario de información. Así, la transferencia de la señal comienza antes de recibirse la información de dirección completa, o sea antes de que el abonado que llama termine de marcar el número. Esta práctica se aplica, en particular, en los registradores R2 de salida, que memorizan la información de dirección completa proveniente del abonado o de una operadora (por ejemplo, registradores locales). Esto es lo opuesto de la señalización de registrador *en bloque*, es decir, la transmisión de la totalidad de la información de dirección en una secuencia, que sólo comienza una vez recibida completamente la información de dirección.

La capacidad de señalización no utilizada lleva consigo la posibilidad de desarrollo y permite atender necesidades futuras aún no definidas. Esta capacidad de reserva puede usarse para aumentar el número de señales y procedimientos de señalización, por ejemplo, para nuevos servicios ofrecidos a los usuarios.

SECCIÓN 1

DEFINICIÓN Y FUNCIÓN DE LAS SEÑALES

Recomendación Q.400

DEFINICIÓN Y FUNCIÓN DE LAS SEÑALES

1.1 SEÑALES DE LÍNEA HACIA ADELANTE

1.1.1 señal de toma

Señal transmitida al comienzo de la llamada para que el circuito pase de reposo a ocupado en el extremo de llegada. En la central de llegada, provoca la conexión de los equipos capaces de recibir las señales de los registradores.

1.1.2 señal de fin

Señal transmitida para terminar la llamada o la tentativa de establecer comunicación y para liberar en la central de llegada, y después de ella, todos los órganos que intervengan en la comunicación.

Esta señal se transmite:

a) en explotación semiautomática, cuando la operadora de la central internacional de salida retira su clavija del jack o lleva a cabo una operación equivalente:

b) en explotación automática, cuando el abonado que llama cuelga o realiza una operación equivalente.

Esta señal se envía también inmediatamente después de la recepción por la central internacional de salida de una señal de registrador hacia atrás pidiendo al registrador internacional R2 de salida dé liberación de la conexión, así como en el caso de liberación forzada de la conexión mencionada en la Recomendación Q.118. También puede transmitirse esta señal como consecuencia de una liberación anormal del registrador internacional R2 de salida.

1.1.3 señal de intervención [1]

Señal transmitida en el caso de llamadas semiautomáticas cuando la operadora de la central internacional de salida necesita la ayuda de una operadora de la central internacional de llegada. Esta señal hará intervenir usualmente a una operadora de asistencia (véase la Recomendación Q.101). Si la comunicación se establece por conducto de una operadora de llegada o de tráfico diferido de la central internacional de llegada, esta señal indica que se desea volver a llamar a esta operadora.

---

[1] Esta señal no está prevista ni en la versión analógica ni en la versión numérica de la señalización de línea del sistema R2. El Anexo 1 a las presentes especificaciones contiene información sobre las posibles disposiciones con respecto a tal señal y a los procedimientos de señalización asociados.

1.2 SEÑALES DE LÍNEA HACIA ATRÁS

1.2.1 señal de acuse de recibo de toma [2)]

Señal transmitida hacia la central de salida para indicar que el equipo del extremo de llegada ha pasado de la condición de reposo a la de ocupado. La recepción de la señal de acuse de recibo de toma en el extremo de salida completa la toma del circuito.

1.2.2 señal de respuesta

Señal transmitida hacia la central internacional de salida para indicar que el abonado llamado ha respondido a la llamada (véase la Recomendación Q.27). En explotación semiautomática, esta señal tiene una función de supervisión.

En explotación automática, se emplea para iniciar:

- la tasación del abonado que llama, a menos que se haya transmitido ya la señal de registradores que indique que no hay tasación;
- la medición de la duración de la conferencia a los efectos del establecimiento de las cuentas internacionales.

1.2.3 señal de colgar

Señal transmitida hacia la central internacional de salida para indicar que ha colgado el abonado llamado. En explotación semiautomática, esta señal tiene una función de supervisión. En explotación automática deberán tomarse medidas de acuerdo con la Recomendación Q.118, y se aplican también las Observaciones del punto 1.8 de la Recomendación Q.120.

1.2.4 señal de liberación de guarda

Señal transmitida hacia la central de salida en respuesta a una señal de fin para indicar que esta última señal ha dado lugar efectivamente al retorno de los equipos de conmutación del extremo de llegada del circuito a la condición de reposo. El circuito internacional está protegido contra cualquier toma ulterior hasta la terminación, en el extremo de llegada, de las operaciones de desconexión desencadenadas por la señal de fin.

1.2.5 señal de bloqueo

Señal transmitida por un circuito libre hacia la central de salida para provocar la ocupación (bloqueo) de ese circuito e impedir que pueda ser objeto de una nueva toma.

1.3 SEÑALES DE REGISTRADORES HACIA ADELANTE

1.3.1 señal de dirección

Señal que contiene un elemento de información (cifra 1, 2 ... 9 ó 0, código 11, código 12 o código 13) sobre el número de abonado que llama, del llamado o la indicación de fin de numeración (código 15).

Para cada llamada se transmite una serie de señales de dirección (véanse las Recomendaciones Q.101 y Q.107).

[2)] Esta señal sólo se utiliza en la versión numérica del sistema de señalización de línea R2.

1.3.2 indicaciones de distintivo de país y de supresor de eco

Señales que indican:

- si el distintivo de país está o no incluido en la información de dirección (llamada en tránsito internacional o terminal);
- si debe o no insertarse un semisupresor de eco de salida en la primera central internacional alcanzada;
- si debe o no insertarse un semisupresor de eco de llegada (habiéndose ya insertado un semisupresor de eco de salida en la conexión).

1.3.3 cifra de idioma o de discriminación

Señal numérica que ocupa una posición predeterminada en la secuencia de señales de dirección y que indica:

- en explotación semiautomática, el idioma de servicio que han de utilizar, en la central internacional de llegada, las operadoras de llegada, de tráfico diferido y de asistencia cuando intervienen en el circuito (cifra de idioma);
- la explotación automática o cualquier otra característica especial de la comunicación (cifra de discriminación).

1.3.4 indicador de llamada de prueba

Señal que ocupa la posición de la cifra de idioma, cuando la llamada se origina en equipo de prueba.

1.3.5 señal de fin de numeración

Señal de dirección transmitida para indicar (en servicio semiautomático) que no seguirá ninguna otra señal de dirección, o para indicar (en servicio automático) que se ha terminado la transmisión del código que identifica el origen de la llamada.

1.3.6 señales de categoría del abonado que llama

Grupo especial de señales que permite suministrar, además de las informaciones contenidas en la cifra de idioma o de discriminación, informaciones complementarias sobre la naturaleza de la llamada (esto es, si es nacional o internacional) y su origen.

Son categorías típicas:

- operadora capaz de transmitir la señal de intervención;
- abonado oridinario u operadora que no tienen la posibilidad de transmitir la señal de intervención;
- abonado con prioridad;
- llamada de datos;
- llamada de mantenimiento.

1.3.7 *señales destinadas a utilizarse en la red nacional*

Algunas de las señales hacia adelante del grupo II (véase el punto 4.2.3.2 de la Recomendación Q.441) se han asignado para uso nacional. Cuando el registrador internacional R2 de salida las reciba, deberá reaccionar como se especifica en la Recomendación Q.480.

1.4 SEÑALES DE REGISTRADORES HACIA ATRÁS

1.4.1 *señales de petición de transmisión de señales de dirección*

Se han previsto cinco señales sin designación particular, transmitidas hacia atrás; cuatro de ellas se interpretan con relación a la última señal de dirección transmitida:

- señal de petición de transmisión de la señal de dirección siguiente a la última señal de dirección transmitida;
- señal de petición de repetición de la señal de dirección que precede a la última señal de dirección transmitida (penúltima);
- señal de petición de repetición de la señal de dirección antepenúltima de la última señal de dirección transmitida;
- señal de petición de repetición de la señal de dirección que precede a la antepenúltima de la última señal de dirección transmitida;
- señal de petición de transmisión o de repetición de la cifra de idioma o de discriminación.

1.4.2 *señales de petición de información sobre la llamada o sobre el abonado que llama*

Se prevén cuatro señales hacia atrás, sin designación particular, para este fin:

- señal de interrogación sobre la categoría del abonado que llama;
- señal de petición de repetición del distintivo de país;
- señal de interrogación sobre el origen de la llamada (ubicación del registrador internacional R2 de salida);
- señal de interrogación sobre si debe o no insertarse un semisupresor de eco de llegada.

1.4.3 *señales de congestión*

Se prevén dos señales de congestión:

- una señal para indicar una congestión internacional, es decir, una tentativa infructuosa de establecer comunicación como consecuencia de una congestión del haz de circuitos internacionales, de una congestión en el equipo internacional de conmutación, o incluso de una liberación temporizada o intempestiva de un registrador R2 de llegada de una central de tránsito internacional;
- una señal para indicar una congestión nacional, es decir, una tentativa infructuosa de establecer comunicación como consecuencia de una congestión en la red nacional (excluida la ocupación de la línea del abonado llamado), o incluso de una liberación temporizada o intempestiva de un registrador R2 de llegada de una central internacional terminal o de una central nacional.

1.4.4 señales de dirección completa

Señales para indicar que ya no es necesario transmitir otra señal de dirección y que:

- originan el paso inmediato a la posición de conversación, para permitir que el abonado que llama oiga un tono o un anuncio oral registrado de la red nacional de llegada;
- anuncian la transmisión de una señal indicando la situación de la línea del abonado llamado.

1.4.5 *señales indicativas de la situación de la línea del abonado llamado*

Para indicar la situación de la línea del abonado llamado y el fin de la señalización entre registradores, se prevén seis señales transmitidas hacia atrás. Estas señales son las siguientes:

— tono especial de información

Señal para indicar que debe llamarse al servicio de información. En general, indica que el número nacional recibido ha dejado de utilizarse y que el abonado a quien estaba atribuido tiene que ser llamado por otro número.

— abonado ocupado

Señal para indicar que la línea o líneas que conectan al abonado llamado con la central están ocupadas.

— número no atribuido

Señal para indicar que el número recibido no se utiliza (por ejemplo, un distintivo de país o interurbano no utilizado, o un número de abonado no atribuido).

— abonado libre con tasación

Señal para indicar que la línea del abonado llamado está libre y que la comunicación debe tasarse al responder.

— abonado libre sin tasación

Señal para indicar que la línea del abonado está libre y que la comunicación no debe tasarse al responder. Esta señal sólo se utiliza para llamadas destinadas a servicios especiales.

— línea de abonado averiada

Señal para indicar que la línea del abonado llamado está fuera de servicio o averiada.

1.4.6 *señales para uso en la red nacional*

Algunas de las señales hacia atrás se han atribuido para uso nacional. Como no todos los registradores de llegada pueden conocer el origen de la conexión y como se utiliza señalización de extremo a extremo, puede suceder que las señales precitadas se transmitan hacia el registrador internacional R2 de salida. Cuando este registrador las recibe, debe reaccionar según se indica en las Recomendaciones Q.474 y Q.480.

SECCIÓN 3

SEÑALIZACIÓN DE LÍNEA, VERSIÓN NUMÉRICA

Recomendación Q.421

3.1 CÓDIGO NUMÉRICO DE SEÑALIZACIÓN DE LÍNEA

3.1.1 *Consideraciones generales*

En el sistema de señalización de línea de tipo continuo fuera de banda de bajo nivel, como el especificado para los sistemas MDF, sólo hay un canal de señalización (con dos estados de señalización) disponible por circuito telefónico, en cada sentido de transmisión. En consecuencia, ha sido necesario obtener algunas señales introduciendo condiciones temporales.

El sistema de señalización de línea de tipo continuo, especificado para los sistemas MDF, puede servir también para los sistemas MIC, que utilizan un solo canal de señalización en cada sentido de transmisión. En este caso, pueden emplearse juegos de relés concebidos para el sistema continuo de señalización en línea para canales MDF si se cumplen las funciones especificadas para la protección contra las interrupciones en los circuitos MDF (véase la Recomendación Q.416) mediante la facilidad de alarma de transmisión defectuosa (véase el punto 3.3.3).

Los múltiplex MIC (véanse las Recomendaciones G.732 y G.733) proporciona en forma económica más de un canal de señalización por circuito telefónico en cada sentido de transmisión. La utilización de esta mayor capacidad de señalización permite simplificar los equipos de conmutación de salida y de llegada. Por esta razón se recomienda, para la aplicación a los sistemas MIC, una versión numérica del sistema de señalización R2 de línea sin condiciones de temporización, cuya especificación se da más adelante.

La versión numérica del sistema de señalización R2 de línea utiliza dos canales de señalización por circuito telefónico en cada sentido de transmisión. Con respecto al establecimiento de la comunicación, estos canales de señalización se denominan a_f y b_f en el sentido hacia adelante, y a_b y b_b en el sentido hacia atrás.

El canal a_f indica el estado de operación del equipo de conmutación de salida, pero como este estado lo controla el abonado que llama, indica también la condición de la línea de este abonado (gancho conmutador «colgado» o «descolgado»).

El canal b_f sirve para indicar la existencia de una avería en el sentido hacia adelante, hacia el equipo de conmutación de llegada (véase el punto 3.2.4.2 b).

El canal a_b indica la condición de la línea del abonado llamado (gancho conmutador «colgado» o «descolgado»).

El canal b_b indica si el equipo de conmutación de llegada está en el estado de reposo o de ocupación.

Gracias a estas asignaciones específicas de los canales de señalización, puede a veces prescindirse de decodificar el canal a_b o el b_f, o ambos. En consecuencia, la retransmisión directa de las señales de respuesta y de colgar más allá del enlace considerado se simplifica, lo que permite economías de equipo.

La versión numérica del sistema de señalización de línea R2 especifica también la manera de efectuar las operaciones adecuadas en presencia de condiciones de transmisión anormales en el múltiplex MIC (protección contra los efectos de transmisiones defectuosas, [véase la Recomendación Q.424]).

En lo sucesivo, cuando se haga referencia a un código de señalización, se entenderá que corresponde a una línea MIC, salvo indicación en contrario.

3.1.2 *Código de señalización*

El código de señalización en la línea MIC es la siguiente:

Condición de funcionamiento del circuito	Código			
	Hacia adelante		Hacia atrás	
	a_f	b_f*	a_b	b_b
Reposo	1	0	1	0
Toma	0	0	1	0
Acuse de recibo de toma	0	0	1	1
Respuesta	0	0	0	1
Abonado llamado cuelga	0	0	1	1
Señal de fin	1	0	0	1
			ó	
			1	1
Liberación de guarda = reposo	1	0	1	0
Bloqueo	1	0	1	1

Observación 1. — También se utiliza localmente con fines de alarma (véase la Recomendación Q.424) el elemento de código correspondiente al estado 1 en la línea de los canales de señalización *recepción a* y *b*.

**Observación 2.* — Para todas las señales de supervisión, $b_f = 0$; el paso al estado $b_f = 1$ indica la existencia de una avería [véanse los puntos 3.2.4.2 a) y 3.2.3.1 a 3.2.3.3].

Recomendación Q.422

3.2 CLÁUSULAS RELATIVAS AL EQUIPO DE SEÑALIZACIÓN DE LÍNEA DE LAS CENTRALES

3.2.1 *Tiempo de identificación de una transición en un canal de señalización*

El tiempo de identificación de una transición del estado 0 al estado 1, o inversamente, en un canal de señalización es de 20 ± 10 ms. Este valor implica la existencia de una protección contra los efectos de condiciones de transmisión anormales en los múltiplex MIC (véase la Recomendación Q.424).

El tiempo de identificación se define como la duración mínima que deben poseer las señales que representan el estado 0 o el estado 1 en la salida del equipo terminal de un canal de señalización, para que puedan identificarse como un estado de señalización válido por el equipo de la central.

3.2.2 *Tolerancia en el tiempo de transmisión de las señales*

La diferencia de tiempo de transmisión entre dos transiciones destinadas a ser aplicadas simultáneamente a dos canales de señalización en el mismo sentido de transmisión no debe ser superior a 2 ms.

3.2.3 *Condiciones normales de funcionamiento*

3.2.3.1 *Reposo*

En el sentido hacia adelante, $b_f = 0$ se establece permanentemente. En el extremo de llegada, $b_f = 0$ debe producir $b_b = 0$ en el sentido hacia atrás, siempre que el equipo de conmutación del extremo de llegada del circuito esté en la condición de reposo.

3.2.3.2 *Toma*

Una toma sólo puede tener lugar cuando se reciba $a_b = 1$, $b_b = 0$. En el extremo de salida, $a_f = 1$ pasa entonces a $a_f = 0$. El estado $a_f = 0$ debe mantenerse hasta que se reciba la señal de acuse de recibo de toma (véase el punto 3.2.3.3). De esta manera, el equipo de conmutación de salida solo podrá emitir la señal de fin previa identificación de la señal de acuse de recibo de toma; en consecuencia, este equipo de conmutación debe mantenerse bloqueado para prevenir una nueva toma en caso de que el abonado que llama cuelgue.

3.2.3.3 *Acuse de recibo de toma*

Una vez tomado, el extremo de llegada establece el estado $b_b = 1$.

3.2.3.4 *Respuesta*

La condición de respuesta del abonado llamado hace pasar el equipo de conmutación de llegada del estado $a_b = 1$ a $a_b = 0$. Este simple cambio de estado de un solo canal de señalización permite al extremo de salida transferir la señal de respuesta al enlace precedente, sin que deban decodificarse los dos canales de señalización.

La condición de respuesta debe establecerse en el enlace precedente inmediatamente después de que se haya identificado; véase también el punto 3.2.3.7.

3.2.3.5 *Abonado llamado cuelga*

Cuando el abonado llamado cuelga, el estado $a_b = 0$ en el sentido hacia atrás pasa al $a_b = 1$. Inmediatamente después que se haya identificado, el estado de abonado llamado cuelga, debe establecerse en el enlace precedente; véase también el punto 3.2.3.7.

3.2.3.6 *Fin*

Normalmente la condición de liberación de línea del abonado que llama o la liberación del equipo de conmutación de salida produce el paso de $a_f = 0$ a $a_f = 1$. El equipo de conmutación de salida permanece bloqueado hasta la identificación de la condición de liberación de guarda en el sentido hacia atrás; véanse también los puntos 3.2.4.2, 3.2.3.2, 3.2.3.7 y 3.3.3.

3.2.3.7 *Liberación de guarda*

La liberación de guarda debe estar asegurada cualquiera que sea la condición de funcionamiento del circuito en el instante de la emisión de la señal de fin; el abonado llamado puede también responder o colgar cuando se ha iniciado ya la liberación en la central de salida.

La identificación de la señal de fin en el equipo de conmutación de llegada tiene por efecto la liberación del enlace siguiente. Una vez liberado completamente el equipo de conmutación de llegada, $b_b = 1$ pasa a $b_b = 0$. Esta condición, que corresponde a la condición de señalización de reposo, hace que el equipo de conmutación de salida pase a estar disponible para otra comunicación.

3.2.3.8 *Bloqueo*

El bloqueo del circuito para las nuevas llamadas que puedan producirse en el extremo de salida debe mantenerse mientras subsista el estado de $b_b = 1$.

El paso de $b_b = 1$ a $b_b = 0$ vuelve al equipo de conmutación de salida al estado de reposo, de manera que pueda tomarse nuevamente el circuito.

3.2.4 *Condiciones anormales*

3.2.4.1 *Disposiciones especiales relativas a la liberación*

a) Si una central reconoce erróneamente una señal de respuesta antes de que el registrador R2 de salida haya recibido una señal de dirección completa A-6 o una señal del grupo B, debe liberarse la conexión. Se envía entonces hacia atrás una indicación de congestión, o se intenta de nuevo establecer la comunicación.

b) En caso de no recibirse la señal de respuesta, de retrasarse en colgar el abonado que llama en servicio automático, o de no recibirse en la central de llegada la señal de fin después de la transmisión de la señal de colgar, se aplicarán las disposiciones de la Recomendación Q.118.

3.2.4.2 *Protección contra las averías*

El equipo MIC y los aparatos de señalización de línea de las centrales deben estar concebidos de manera que, cuando se produzcan, por lo menos, las clases de averías más frecuentes en estos equipos o en los cables de interconexión, quede bloqueado el circuito de salida y liberada finalmente la comunicación más allá del equipo de conmutación de llegada (funcionamiento autoprotegido).

La especificación que sigue tiene por objeto asegurar un funcionamiento autoprotegido lo más completo posible.

a) *Supervisión mediante los canales* b *de señalización*

El equipo de conmutación debe estar concebido de manera que, para un circuito en estado de reposo, $b_f = 0$ implique el estado $b_b = 0$.

Si, encontrándose un circuito en estado de reposo como consecuencia de una avería, b_f pasa a 1, b_b debe también pasar a 1.

Con el siginificado específico atribuido al cambio de b_b (véase el punto 3.1.1) y conforme al código de señalización, $b_b = 1$ impone el bloqueo del equipo de conmutación de salida para impedir toda nueva toma.

b) *Estado de la línea en caso de avería*

Como los canales de señalización *b* son los únicos que intervienen en la supervisión, esta función sólo puede realizarse eficazmente en el caso de que toda interrupción debida a una intervención humana en el canal telefónico, o en los canales de señalización *a*, o en ambos a la vez (por ejemplo, cuando está fuera de servicio un juego de relés de llegada o de salida) produzca sistemáticamente la interrupción de los canales de señalización *b* correspondientes.

En consecuencia, los equipos de conmutación y el equipo MIC deben proyectarse de manera que, en lo posible, las averías más frecuentes impongan la transmisión en la línea de los estados $a = 1$ y $b = 1$, hacia la central distante.

Por esta razón, una avería en el extremo de salida implica la emisión de la señal de fin ($a_f = 1$) y, consiguientemente, en último término, la liberación definitiva de la comunicación más allá del equipo de conmutación de llegada. Según el punto a) precedente, $b_f = 1$ impone el bloqueo del equipo de conmutación de salida, ya sea inmediatamente en el caso de circuitos en estado de reposo, o después de colgar el abonado que llama en el caso de circuitos en condición de toma o de respuesta.

A fin de que una comunicación sólo se libere a voluntad del abonado llamado mientras tiene lugar la conversación, es preciso tener en cuenta el estado de los canales de señalización a_f y b_f.

Por este motivo, una avería en el extremo de llegada tiene por efecto el bloqueo del equipo de conmutación de salida (estado $b_b = 1$). Para los circuitos en estado de respuesta, $a_b = 1$ indica que el abonado llamado ha colgado.

c) *Correspondencia entre el estado del canal de señalización en línea y los estados de los equipos*

La correspondencia entre una inmovilización de los equipos (por ejemplo, circuito abierto o tensión insuficiente) y el estado 1 en ambos canales de señalización en línea constituye un medio importante de asegurar el funcionamiento autoprotegido.

Se recomienda particularmente que esta correspondencia se realice en el caso en que se prevea un interfaz entre el equipo de señalización de la central y el equipo MIC.

Esta correspondencia, asociada a un plan de instalación y a un cableado apropiado, constituye también una protección contra las consecuencias del desmontaje inoportuno de elementos del equipo por el personal de mantenimiento.

3.2.5 *Alarmas destinadas al personal técnico*

Conforme a la Recomendación Q.117, cuando se advierta la existencia de condiciones anormales que puedan obedecer a averías, debe darse, en principio, una señal de alarma al personal técnico. Se recomienda una alarma diferida en el extremo de salida en presencia de la condición de funcionamiento descrita en el punto 3.2.3.8 (bloqueo) o, para cualquier otra condición de señalización, cuando el circuito no vuelva al estado de reposo después de la transmisión de la señal de fin.

También se recomienda una alarma diferida cuando intervenga el dispositivo de *protección contra los defectos de transmisión*, como se indica en la Recomendación Q.424. La especificación de disposiciones adecuadas para las alarmas incumbe a las Administraciones.

3.2.6 *Explotación bidireccional*

El sistema R2 está especificado para la explotación unidireccional. Las cláusulas de los puntos 3.2.6.1 y 3.2.6.2 que siguen sólo se aplican, por consiguiente, a los casos en que las Administraciones hayan convenido, por acuerdo bilateral, utilizar la explotación bidireccional.

En principio, el código de señalización de linea detallado en la Recomendación Q.421 puede servir también para circuitos bidireccionales. Sin embargo, para la explotación bidireccional deben observarse las especificaciones adicionales que se detallan a continuación en lo que respecta al equipo de señalización de la central. En el punto 3.2.6.2 se indican las modificaciones del código de señalización de línea de la Recomendación Q.421 exigidas por la explotación bidireccional.

3.2.6.1 *Condiciones normales de funcionamiento*

a) *Toma simultánea*

Se supone que se produce una toma simultánea si el equipo de salida está en condición de toma y se identifica el estado de señalización $a_b = 0$, $b_b = 0$, en lugar del $a_b = 1, b_b = 1$ (acuse de recibo de la señal de toma). En tal caso, debe liberarse la conexión en ambos extremos y enviarse una señal de congestión al abonado que llama, o repetirse la tentativa de llamada. Al identificarse la toma simultánea, el equipo de señalización de línea de ambos extremos debe mantener el estado de señalización de toma durante 100 ms por lo menos, intervalo después del cual debe establecerse la condición de fin ($a_f = 1$, $b_f = 0$). Tras enviar la señal de fin, cada extremo puede volver a la condición de reposo al identificar el estado $a_b = 1$, $b_b = 0$.

El estado de señalización de fin debe mantenerse durante 100 ms por lo menos, aunque el circuito se tome inmediatamente para otra comunicación, a fin de asegurarse de que dicha condición ha sido identificada en el otro extremo.

A título preventivo, se recomienda que cada una de las centrales situadas en el extremo de un grupo de circuitos bidireccionales utilice un orden opuesto de selección de circuitos, a fin de reducir al mínimo las tomas simultáneas.

b) *Duración mínima del estado de liberación de guarda*

Cuando queda liberado un circuito bidireccional, el extremo que haya funcionado como extemo de llegada deberá mantener el estado de liberación de guarda durante 100 ms por lo menos, aunque sea tomado inmediatamente para una comunicación en el sentido opuesto, a fin de asegurarse de que se identifica la señal de liberación de guarda en el otro extremo.

c) *Bloqueo*

Si un circuito bidireccional se bloquea manualmente en la condición de reposo en un extremo (por ejemplo, en el B), deberá establecerse la condición de señalización de bloqueo, a fin de que el otro extremo (A) identifique el estado $a_b = 1$, $b_b = 1$. El circuito debe mantenerse bloqueado localmente (en el extremo A) para todas las comunicaciones en el sentido de A hacia B, mientras persista la condición de señalización de bloqueo en el sentido de B hacia A.

Para evitar un bloqueo permanente, el extremo A deberá mantener el estado de señalización de reposo en el sentido de A hacia B. Esta condición difiere de la indicada en el punto 3.2.4.2 a).

Una vez suprimido el estado de bloqueo, el extremo B debe transmitir la señal de fin durante 100 ms por lo menos, aunque se haya producido inmediatamente su toma para una comunicación.

3.2.6.2 *Condiciones especiales*

Si la concepción del equipo de señalización permite la supresión del grupo de relés de salida en un extremo (por ejemplo, el extremo A) sin impedir la utilización del circuito en el otro sentido (de B hacia A), sólo será necesario bloquear el circuito localmente (en el extremo A). En estas condiciones, no deberá enviarse la señal de bloqueo al extremo B.

Recomendación Q.424

3.3 PROTECCIÓN CONTRA LOS EFECTOS DE TRANSMISIONES DEFECTUOSAS

3.3.1 *Introducción*

Las condiciones de transmisión defectuosas en los sistemas MIC pueden reducir la calidad de los canales telefónicos y provocar errors de señalización. A fin de reducir al mínimo tales inconvenientes se protege la señalización R2 de línea, versión numérica, mediante un dispositivo de *protección contra los defectos de transmisión*. En los dos terminales MIC, este dispositivo de protección adopta el estado *transmisión defectuosa* cuando tiene lugar una pérdida de alineación de trama, multitrama y/o de cualquier otra función importante en el terminal en cuestión o en el terminal distante.

Para ello es necesario que las condiciones de alarma, identificadas en un extremo, se comuniquen al otro.

En la Recomendación G.732 se indican las condiciones defectuosas y las correspondientes acciones (alarma) para los equipos múltiplex primarios MIC que trabajen a 2048 kbitios/s. Dado que en el caso más desfavorable la señalización puede resultar mutilada durante los 7 ms que preceden a la identificación de la pérdida de alineación de multitrama, y habida cuenta del mínimo de 10 ms que se especifican en la Recomendación Q.422 para el tiempo de identificación, debe fijarse un intervalo de 3 ms para la intervención del dispositivo de protección contra los defectos de transmisión, a partir del momento en que se ha identificado la pérdida de alineación de multitrama. No obstante, es conveniente que este dispositivo intervenga lo más rapidamente posible.

3.3.2 *Funcionamiento de los equipos de conmutación después de la intervención del dispositivo de protección contra los defectos de transmisión*

Cuando este dispositivo adopta el estado «*transmisión defectuosa*», el estado correspondiente al estado 1 en la línea MIC debe aplicarse a todos los conductores de señalización *recepción* en los interfaces entre el equipo MIC y los equipos de conmutación de llegada y de salida.

Como el estado $a_f = 1$, $b_f = 1$ en la línea MIC corresponde a una interrupción, el equipo de conmutación de llegada y el enlace que le sigue deben liberarse. Sin embargo, para evitar que el enlace de comunicación se libere cuando se produce una pérdida de la alineación de multitrama de corta duración, el equipo de conmutación de llegada no deberá liberarse cuando la línea del abonado llamado esté en la condición de respuesta. El equipo de conmutación de salida interpreta el estado $a_b = 1$, $b_b = 1$ en la línea MIC como una señal de bloqueo, o como una señal indicativa de que el abonado llamado cuelga, o como una señal de acuse de recibo de toma. Esto significa que todos los circuitos en reposo del múltiplex primario MIC considerado estarán bloqueados respecto a las tomas, y que los circuitos tomados pasarán al, o permanecerán en el estado de acuse de recibo de toma o de abonado llamado cuelga. Un circuito tomado se bloquea cuando el abonado que llama cuelga.

3.3.3 *Alarma de transmisión defectuosa*

De conformidad con la Recomendación G.732, el múltiplex primario MIC proporciona una alarma local que indica una transmisión defectuosa. La indicación puede revestir la forma de una condición eléctrica estable que puede utilizarse para:

- retirar del servicio los circuitos defectuosos (además de la acción del dispositivo de protección contra los defectos de transmisión);
- conferir una protección contra las interrupciones, de conformidad con la Recomendación Q.416, cuando se utilizan, en los canales MIC, los grupos de relés destinados al sistema de señalización R2 de línea, versión analógica.

A P E N D I C E B

"CARACTERISTICAS TECNICAS DE ELEMENTOS ESPECIALES USADOS"

Z8420
Z80® PIO Parallel Input/Output Controller

Zilog

Product Specification

September 1983

Features

- Provides a direct interface between Z-80 microcomputer systems and peripheral devices.
- Both ports have interrupt-driven handshake for fast response.
- Four programmable operating modes: byte input, byte output, byte input/output (Port A only), and bit input/output.
- Programmable interrupts on peripheral status conditions.
- Standard Z-80 Family bus-request and prioritized interrupt-request daisy chains implemented without external logic.
- The eight Port B outputs can drive Darlington transistors (1.5 mA at 1.5 V).

General Description

The Z-80 PIO Parallel I/O Circuit is a programmable, dual-port device that provides a TTL-compatible interface between peripheral devices and the Z-80 CPU. The CPU configures the Z-80 PIO to interface with a wide range of peripheral devices with no other external logic. Typical peripheral devices that are compatible with the Z-80 PIO include most keyboards, paper tape readers and punches, printers, PROM programmers, etc.

One characteristic of the Z-80 peripheral controllers that separates them from other interface controllers is that all data transfer between the peripheral device and the CPU is accomplished under interrupt control. Thus, the interrupt logic of the PIO permits full use of the efficient interrupt capabilities of the Z-80 CPU during I/O transfers. All logic necessary to implement a fully nested interrupt structure is included in the PIO.

Another feature of the PIO is the ability to interrupt the CPU upon occurrence of specified status conditions in the peripheral device. For example, the PIO can be programmed to interrupt if any specified peripheral alarm conditions should occur. This interrupt capability reduces the time the processor must spend in polling peripheral status.

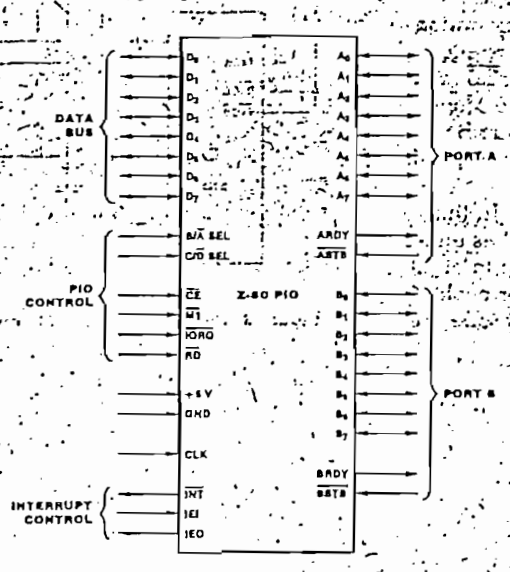


Figure 1. Pin Functions

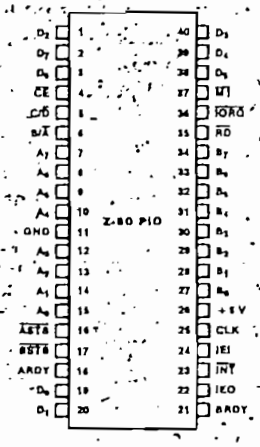


Figure 2. Pin Assignments

Z8400
Z80® CPU Central Processing Unit

Zilog

Product Specification

September 1983

Features

- The instruction set contains 158 instructions. The 78 instructions of the 8080A are included as a subset; 8080A software compatibility is maintained.
- Eight MHz, 6 MHz, 4 MHz and 2.5 MHz clocks for the Z80H, Z80B, Z80A, and Z80 CPU result in rapid instruction execution with consequent high data throughput.
- The extensive instruction set includes string, bit, byte, and word operations. Block searches and block transfers together with indexed and relative addressing result in the most powerful data handling capabilities in the microcomputer industry.
- The Z80 microprocessors and associated family of peripheral controllers are linked by a vectored interrupt system. This system may be daisy-chained to allow implementation of a priority interrupt scheme. Little, if any, additional logic is required for daisy-chaining.
- Duplicate sets of both general-purpose and flag registers are provided, easing the design and operation of system software through single-context switching, background-foreground programming, and single-level interrupt processing. In addition, two 16-bit index registers facilitate program processing of tables and arrays.
- There are three modes of high-speed interrupt processing: 8080 similar, non-Z80 peripheral device, and Z80 Family peripheral with or without daisy chain.
- On-chip dynamic memory refresh counter.

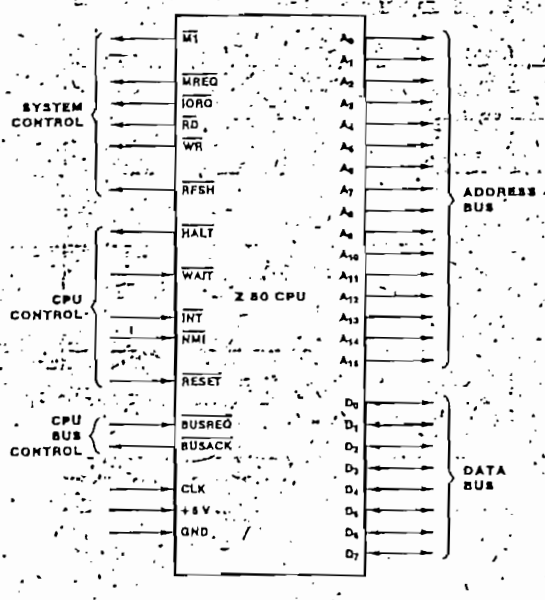


Figure 1. Pin Functions

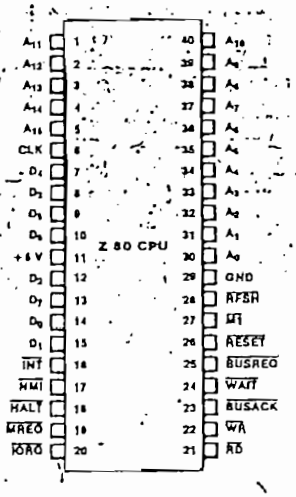


Figure 2. Pin Assignments

T_A = 0°C to 70°C, Vcc = +5V ± 5%, Unless Otherwise Noted.

*Signal	Symbol	Parameter	Min	Max	Unit	Test Condition
Φ	t_c	Clock Period	.25	[12]	μsec	
	$t_w(\Phi H)$	Clock Pulse Width, Clock High	110	[E]	nsec	
	$t_w(\Phi L)$	Clock Pulse Width, Clock Low	110	2000	nsec	
	t_r, t_f	Clock Rise and Fall Time		30	nsec	
A_{0-15}	$t_{D(AD)}$	Address Output Delay		110	nsec	C_L = 50pF
	$t_{F(AD)}$	Delay to Float		90	nsec	
	t_{acm}	Address Stable Prior to MREQ (Memory Cycle)	[1]		nsec	
	t_{aci}	Address Stable Prior to IORQ, RD or WR (I/O Cycle)	[2]		nsec	
	t_{ca}	Address Stable from RD, WR, IORQ or MREQ	[3]		nsec	
	t_{caf}	Address Stable From RD or WR During Float	[4]		nsec	
D_{0-7}	$t_{D(D)}$	Data Output Delay		150	nsec	C_L = 50pF
	$t_{F(D)}$	Delay to Float During Write Cycle		90	nsec	
	$t_{S\Phi(D)}$	Data Setup Time to Rising Edge of Clock During M1 Cycle	35		nsec	
	$t_{S\Phi(D)}$	Data Setup Time to Falling Edge of Clock During M2 to M5	50		nsec	
	t_{dcm}	Data Stable Prior to WR (Memory Cycle)	[5]		nsec	
	t_{dci}	Data Stable Prior to WR (I/O Cycle)	[6]		nsec	
	t_{cdf}	Data Stable From WR	[7]			
	t_H	Any Hold Time for Setup Time		0	nsec	
MREQ	$t_{DL\Phi}$ (MR)	MREQ Delay From Falling Edge of Clock, MREQ Low		85	nsec	C_L = 50pF
	$t_{DH\Phi}$ (MR)	MREQ Delay From Rising Edge of Clock, MREQ High		85	nsec	
	$t_{DH\Phi}$ (MR)	MREQ Delay From Falling Edge of Clock, MREQ High		85	nsec	
	t_w (MRL)	Pulse Width, MREQ Low	[8]		nsec	
	t_w (MRH)	Pulse Width, MREQ High	[9]		nsec	
IORQ	$t_{DL\Phi}$ (IR)	IORQ Delay From Rising Edge of Clock, IORQ Low		75	nsec	C_L = 50pF
	$t_{DL\Phi}$ (IR)	IORQ Delay From Falling Edge of Clock, IORQ Low		85	nsec	
	$t_{DH\Phi}$ (IR)	IORQ Delay From Rising Edge of Clock, IORQ High		85	nsec	
	$t_{DH\Phi}$ (IR)	IORQ Delay From Falling Edge of Clock, IORQ High		85	nsec	
RD	$t_{DL\Phi}$ (RD)	RD Delay From Rising Edge of Clock, RD Low		85	nsec	C_L = 50pF
	$t_{DL\Phi}$ (RD)	RD Delay From Falling Edge of Clock, RD Low		95	nsec	
	$t_{DH\Phi}$ (RD)	RD Delay From Rising Edge of Clock, RD High		85	nsec	
	$t_{DH\Phi}$ (RD)	RD Delay From Falling Edge of Clock, RD High		85	nsec	
WR	$t_{DL\Phi}$ (WR)	WR Delay From Rising Edge of Clock, WR Low		65	nsec	C_L = 50pF
	$t_{DL\Phi}$ (WR)	WR Delay From Falling Edge of Clock, WR Low		80	nsec	
	$t_{DH\Phi}$ (WR)	WR Delay From Falling Edge of Clock, WR High		80	nsec	
	t_w (WRL)	Pulse Width, WR Low	[10]		nsec	
M1	t_{DL} (M1)	M1 Delay From Rising Edge of Clock, M1 Low		100	nsec	C_L = 50pF
	t_{DH} (M1)	M1 Delay From Rising Edge of Clock, M1 High		100	nsec	
RFSH	t_{DL} (RF)	RFSH Delay From Rising Edge of Clock, RFSH Low		130	nsec	C_L = 50pF
	t_{DH} (RF)	RFSH Delay From Rising Edge of Clock, RFSH High		120	nsec	
WAIT	t_s (WT)	WAIT Setup Time to Falling Edge of Clock	70		nsec	
HALT	t_D (HT)	HALT Delay Time From Falling Edge of Clock		300	nsec	C_L = 50pF
INT	t_s (IT)	INT Setup Time to Rising Edge of Clock	80		nsec	
NMI	t_w (NML)	Pulse Width, NMI Low	80		nsec	
BUSRQ	t_s (BQ)	BUSRQ Setup Time to Rising Edge of Clock	50		nsec	
BUSAK	t_{DL} (BA)	BUSAK Delay From Rising Edge of Clock, BUSAK Low		100	nsec	C_L = 50pF
	t_{DH} (BA)	BUSAK Delay From Falling Edge of Clock, BUSAK High		100	nsec	
RESET	t_s (RS)	RESET Setup Time to Rising Edge of Clock	60		nsec	
	t_F (C)	Delay to Float (MREQ, IORQ, RD and WR)		80	nsec	
	t_{mi}	M1 Stable Prior to IORQ (Interrupt Ack.)	[11]		nsec	

[12] $t_c = t_w(\Phi H) + t_w(\Phi L) + t_r + t_f$

[1] $t_{acm} = t_w(\Phi H) + t_f - 65$

[2] $t_{aci} = t_c - 70$

[3] $t_{ca} = t_w(\Phi L) + t_r - 50$

[4] $t_{caf} = t_w(\Phi L) + t_r - 45$

[5] $t_{dcm} = t_c - 170$

[6] $t_{dci} = t_w(\Phi L) + t_r - 170$

[7] $t_{cdf} = t_w(\Phi L) + t_r - 70$

[8] $t_w(\overline{MRL}) = t_c - 30$

[9] $t_w(\overline{MRH}) = t_w(\Phi H) + t_f - 20$

[10] $t_w(\overline{WRL}) = t_c - 30$

[11] $t_{mi} = 2t_c + t_w(\Phi H) + t_f - 65$

NOTES.

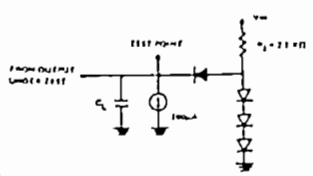
A. Data should be enabled onto the CPU data bus when RD is active. During interrupt acknowledge data should be enabled when M1 and IORQ are both active.

B. All control signals are internally synchronized, so they may be totally synchronous with respect to the clock.

C. The RESET signal must be active for a minimum of 3 clock cycles.

D. Output Delay vs. Loaded Capacitance
TA = 70°C Vcc = +5V ±5%
Add 10nsec delay for each 50pf increase in load up to maximum of 200pf for data bus and 100pf for address & control lines.

E. Although static by design, testing guarantees $t_w(\Phi H)$ of 200 μsec maximum



Load circuit for Output

2716
16K (2K × 8) UV ERASABLE PROM

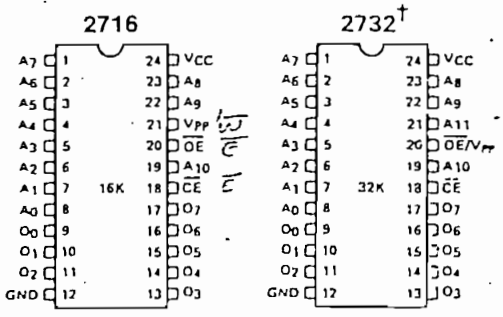
- Fast Access Time
  - — 350 ns Max. 2716-1
  - — 390 ns Max. 2716-2
  - — 450 ns Max. 2716
  - — 490 ns Max. 2716-5
  - — 650 ns Max. 2716-6
- Single +5V Power Supply
- Low Power Dissipation
  - — 525 mW Max. Active Power
  - — 132 mW Max. Standby Power
- Pin Compatible to Intel® 2732 EPROM
- Simple Programming Requirements
  - — Single Location Programming
  - — Programs with One 50 ms Pulse
- Inputs and Outputs TTL Compatible during Read and Program
- Completely Static

The Intel® 2716 is a 16,384-bit ultraviolet erasable and electrically programmable read-only memory (EPROM). The 2716 operates from a single 5-volt power supply, has a static standby mode, and features fast single address location programming. It makes designing with EPROMs faster, easier and more economical.

The 2716, with its single 5-volt supply and with an access time up to 350 ns, is ideal for use with the newer high performance +5V microprocessors such as Intel's 8085 and 8086. A selected 2716-5 and 2716-6 is available for slower speed applications. The 2716 is also the first EPROM with a static standby mode which reduces the power dissipation without increasing access time. The maximum active power dissipation is 525 mW while the maximum standby power dissipation is only 132 mW, a 75% savings.

The 2716 has the simplest and fastest method yet devised for programming EPROMs — single pulse TTL level programming. No need for high voltage pulsing because all programming controls are handled by TTL signals. Program any location at any time—either individually, sequentially or at random, with the 2716's single address location programming. Total programming time for all 16,384 bits is only 100 seconds.

PIN CONFIGURATION



†Refer to 2732 data sheet for specifications

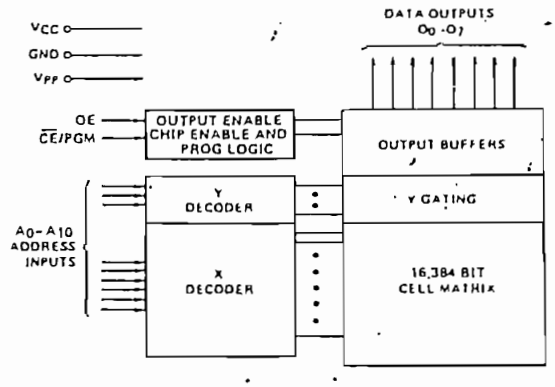
PIN NAMES

A_0–A_{10}	ADDRESSES
$\overline{CE}$/PGM	CHIP ENABLE/PROGRAM
$\overline{OE}$	OUTPUT ENABLE
O_0–O_7	OUTPUTS

MODE SELECTION

MODE \ PINS	$\overline{CE}$/PGM (18)	$\overline{OE}$ (20)	V_{PP} (21)	V_{CC} (24)	OUTPUTS (9-11, 13-17)
Read	V_{IL}	V_{IL}	+5	+5	D_{OUT}
Standby	V_{IH}	Don't Care	+5	+5	High Z
Program	Pulsed V_{IL} to V_{IH}	V_{IH}	+25	+5	D_{IN}
Program Verify	V_{IL}	V_{IL}	+25	+5	D_{OUT}
Program Inhibit	V_{IL}	V_{IH}	+25	+5	High Z

BLOCK DIAGRAM



INTEL CORPORATION ASSUMES NO RESPONSIBILITY FOR THE USE OF ANY CIRCUITRY OTHER THAN CIRCUITRY EMBODIED IN AN INTEL PRODUCT. NO OTHER CIRCUIT PATENT LICENSES ARE IMPLIED.
©INTEL CORPORATION, 1979

MOTOROLA

MCM6116

16K BIT STATIC RANDOM ACCESS MEMORY

The MCM6116 is a 16,384-bit Static Random Access Memory organized as 2048 words by 8 bits, fabricated using Motorola's high-performance silicon-gate CMOS (HCMOS) technology. It uses a design approach which provides the simple timing features associated with fully static memories and the reduced power associated with CMOS memories. This means low standby power without the need for clocks, nor reduced data rates due to cycle times that exceed access time.

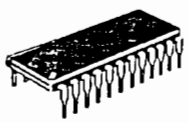
Chip Enable ($\overline{E}$) controls the power-down feature. It is not a clock but rather a chip control that affects power consumption. In less than a cycle time after Chip Enable ($\overline{E}$) goes high, the part automatically reduces its power requirements and remains in this low-power standby as long as the Chip Enable ($\overline{E}$) remains high. The automatic power-down feature causes no performance degradation.

The MCM6116 is in a 24-pin dual-in-line package with the industry standard JEDEC approved pinout and is pinout compatible with the industry standard 16K EPROM/ROM.

- Single +5 V Supply
- 2048 Words by 8-Bit Operation
- HCMOS Technology
- Fully Static: No Clock or Timing Strobe Required
- Maximum Access Time: MCM6116-12 — 120 ns
  MCM6116-15 — 150 ns
  MCM6116-20 — 200 ns
- Power Dissipation: 70 mA Maximum (Active)
  15 mA Maximum (Standby-TTL Levels)
  2 mA Maximum (Standby)
- Low Power Version Also Available — MCM61L16
- Low Voltage Data Retention (MCM61L16 Only): 50 µA Maximum

HCMOS
(COMPLEMENTARY MOS)

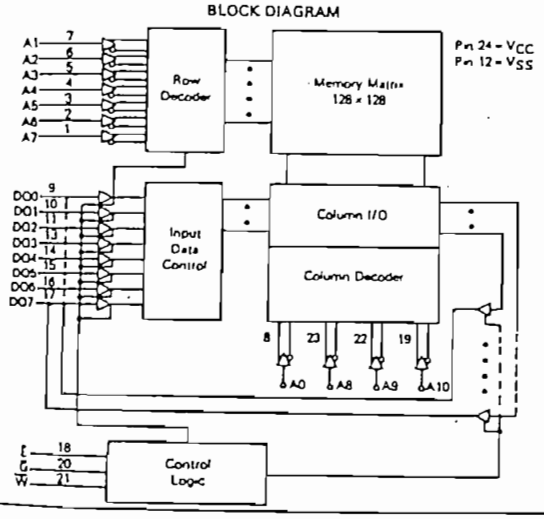
2,048 × 8 BIT
STATIC RANDOM
ACCESS MEMORY



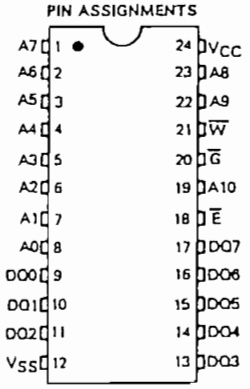
P SUFFIX
PLASTIC PACKAGE
CASE 709

SRAM

BLOCK DIAGRAM



PIN ASSIGNMENTS



PIN NAMES	
A0-A10	Address Input
DQ0-DQ7	Data Input/Output
$\overline{W}$	Write Enable
$\overline{G}$	Output Enable
$\overline{E}$	Chip Enable
V_{CC}	Power (+5 V)
V_{SS}	Ground

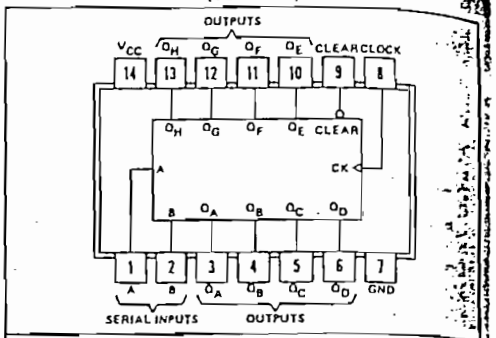
TYPES SN54164, SN54L164, SN54LS164, SN74164, SN74L164, SN74LS164
8-BIT PARALLEL-OUT SERIAL SHIFT REGISTERS

BULLETIN NO. DL-S 7611835, MARCH 1974—REVISED OCTOBER 1976

- Gated (Enable/Disable) Serial Inputs
- Fully Buffered Clock and Serial Inputs
- Asynchronous Clear

TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'164	36 MHz	21 mW per bit
'L164	18 MHz	11 mW per bit
'LS164	36 MHz	10 mW per bit

SN54164, SN54LS164 . . . J OR W PACKAGE
SN54L164, SN74L164 . . . J, N, OR T PACKAGE
SN74164, SN74LS164 . . . J OR N PACKAGE
(TOP VIEW)



positive logic: see function table

description

These 8-bit shift registers feature gated serial inputs and an asynchronous clear. The gated serial inputs (A and B) permit complete control over incoming data as a low at either (or both) input(s) inhibits entry of the new data and resets the first flip-flop to the low level at the next clock pulse. A high-level input enables the other input which will then determine the state of the first flip-flop. Data at the serial inputs may be changed while the clock is high or low, but only information meeting the setup requirements will be entered. Clocking occurs on the low-to-high-level transition of the clock input. All inputs are diode-clamped to minimize transmission-line effects.

Series 54, 54L, and 54LS devices are characterized for operation over the full military temperature range of −55°C to 125°C; Series 74, 74L, and 74LS devices are characterized for operation from 0°C to 70°C.

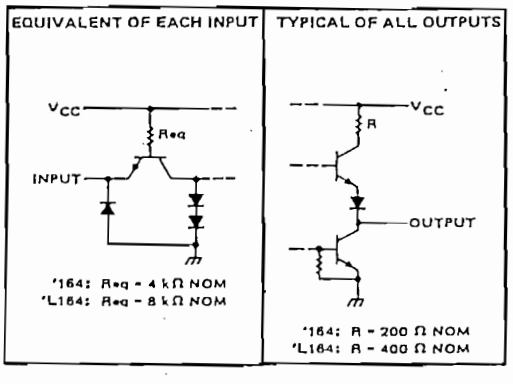
FUNCTION TABLE

INPUTS				OUTPUTS			
CLEAR	CLOCK	A	B	Q_A	Q_B	...	Q_H
L	X	X	X	L	L		L
H	L	X	X	Q_{A0}	Q_{B0}		Q_{H0}
H	↑	H	H	H	Q_{An}		Q_{Gn}
H	↑	L	X	L	Q_{An}		Q_{Gn}
H	↑	X	L	L	Q_{An}		Q_{Gn}

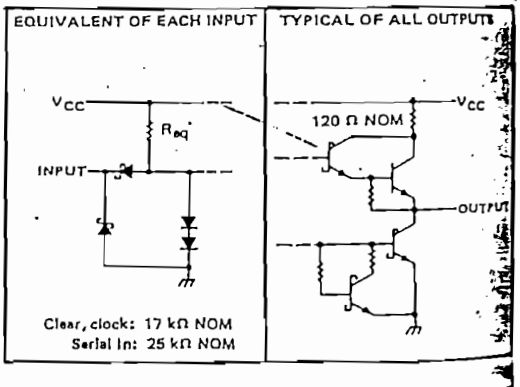
H = high level (steady state), L = low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level.
Q_{A0}, Q_{B0}, Q_{H0} = the level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Gn} = the level of Q_A or Q_G before the most-recent ↑ transition of the clock; indicates a one-bit shift.

schematics of inputs and outputs

'164, 'L164

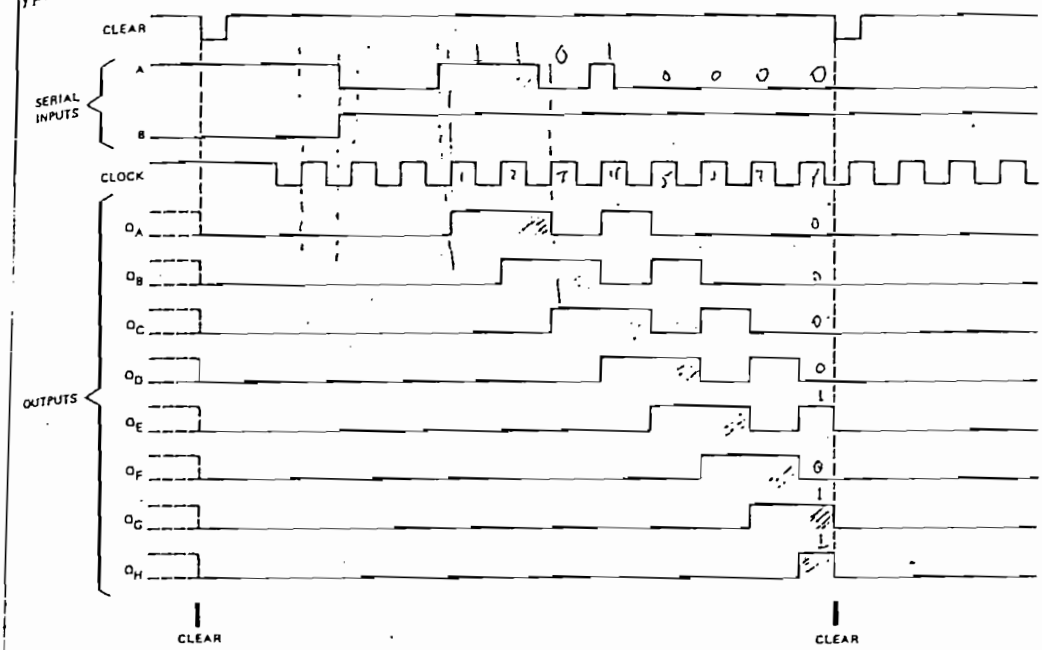


'LS164

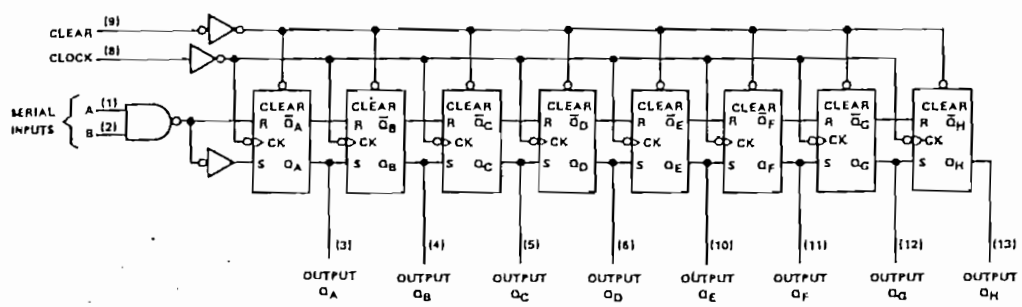


TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

ypical clear, shift, and clear sequences



functional block diagram



TTL
MSI

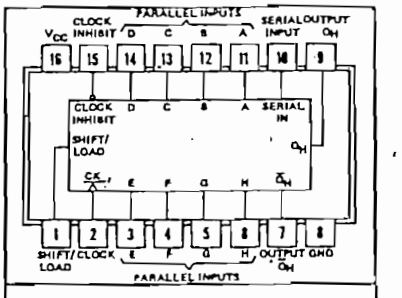
TYPES SN54165, SN54LS165, SN74165, SN74LS165
PARALLEL-LOAD 8-BIT SHIFT REGISTERS

BULLETIN NO. DL-S 7611375, OCTOBER 1976

- Complementary Outputs
- Direct Overriding Load (Data) Inputs
- Gated Clock Inputs
- Parallel-to-Serial Data Conversion

TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'165	28 MHz	210 mW
'LS165	35 MHz	105 mW

SN54165, SN54LS165 . . . J OR W PACKAGE
SN74165, SN74LS165 . . . J OR N PACKAGE
(TOP VIEW)



positive logic: see description

description

The '165 and 'LS165 are 8-bit serial shift registers that shift the data in the direction of Q_A toward Q_H when clocked. Parallel-in access to each stage is made available by eight individual direct data inputs that are enabled by a low level at the shift/load input. These registers also feature gated clock inputs and complementary outputs from the eighth bit. All inputs are diode-clamped to minimize transmission-line effects, thereby simplifying system design.

Clocking is accomplished through a 2-input positive-NOR gate, permitting one input to be used as a clock-inhibit function. Holding either of the clock inputs high inhibits clocking and holding either clock input low with the shift/load input high enables the other clock input. The clock-inhibit input should be changed to the high level only while the clock input is high. Parallel loading is inhibited as long as the shift/load input is high. Data at the parallel inputs are loaded directly into the register on a high-to-low transition of the shift/load input independently of the levels of the clock, clock inhibit, or serial inputs.

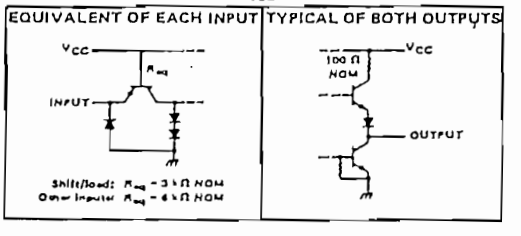
FUNCTION TABLE

INPUTS					INTERNAL OUTPUTS		OUTPUT
SHIFT/ LOAD	CLOCK INHIBIT	CLOCK	SERIAL	PARALLEL A . . . H	Q_A	Q_B	Q_H
L	X	X	X	a . . . h	a	b	h
H	L	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	L	↑	H	X	H	Q_{An}	Q_{Gn}
H	L	↑	L	X	L	Q_{An}	Q_{Gn}
H	H	X	X	X	Q_{A0}	Q_{B0}	Q_{H0}

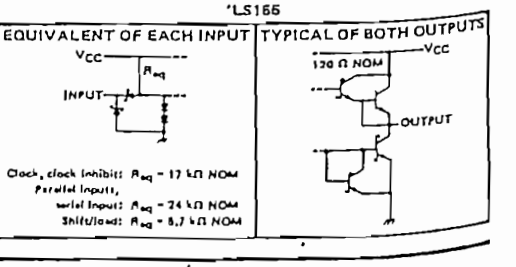
See explanation of function tables on page 3-8.

schematic of inputs and output

'165

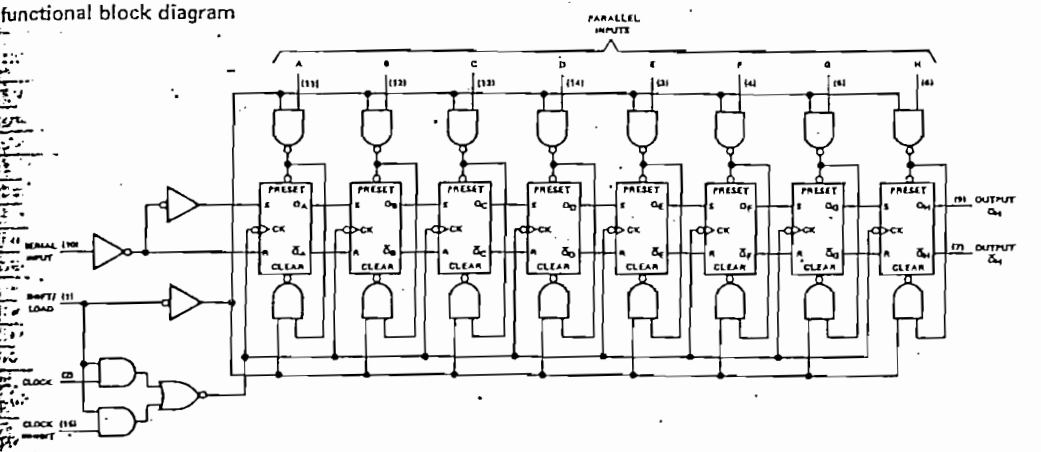


'LS165

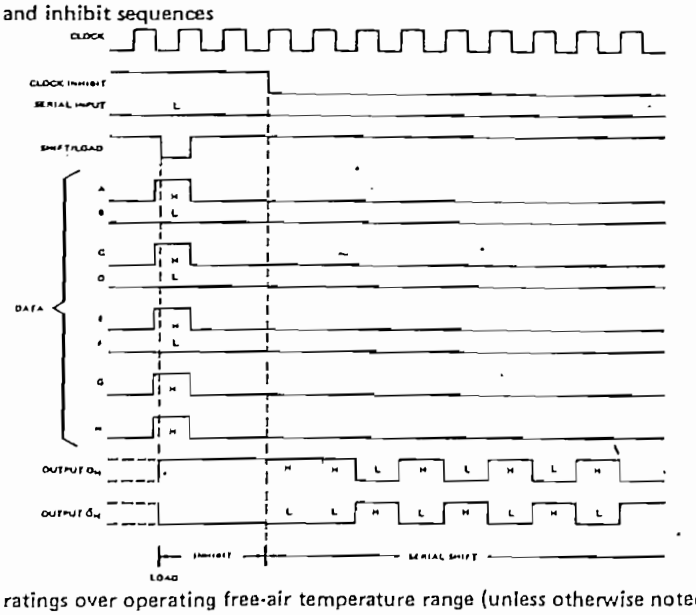


TEXAS INSTRUMENTS
INCORPORATED

functional block diagram



typical shift, load, and inhibit sequences



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage: SN54165, SN74165	5.5 V
SN54LS165, SN74LS165	7 V
Interemitter voltage (see Note 2)	5.5 V
Operating free-air temperature range: SN54165, SN54LS165	−55°C to 125°C
SN74165, SN74LS165	0°C to 70°C
Storage temperature range	−65°C to 150°C

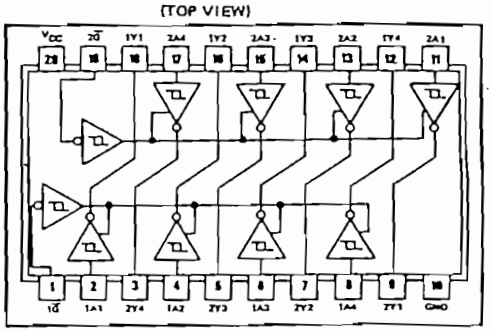
NOTES: 1. Voltage values, except interemitter voltage, are with respect to network ground terminal.
2. This is the voltage between two emitters of a multiple-emitter transistor. This rating applies for the '165 to the shift/load input in conjunction with the clock-inhibit inputs.

TYPES SN54LS240, SN54LS241, SN54LS244, SN54S240, SN54S241, SN74LS240, SN74LS241, SN74LS244, SN74S240, SN74S241
OCTAL BUFFERS AND LINE DRIVERS WITH 3-STATE OUTPUTS

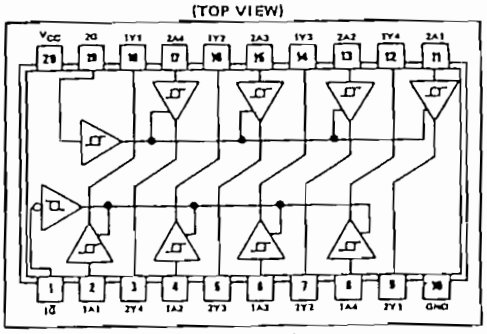
	Typical I_{OL} (Sink Current)	Typical I_{OH} (Source Current)	Typical Propagation Delay Times		Typical Enable/ Disable Times	Typical Power Dissipation (Enabled)	
			Inverting	Noninverting		Inverting	Noninverting
SN54LS'	12 mA	−12 mA	10,5 ns	12 ns	18 ns	130 mW	135 mW
SN74LS'	24 mA	−15 mA	10,5 ns	12 ns	18 ns	130 mW	135 mW
SN54S'	48 mA	−12 mA	4,5 ns	6 ns	9 ns	450 mW	538 mW
SN74S'	64 mA	−15 mA	4,5 ns	6 ns	9 ns	450 mW	538 mW

- 3-State Outputs Drive Bus Lines or Buffer Memory Address Registers
- P-N-P Inputs Reduce D-C Loading
- Hysteresis at Inputs Improves Noise Margins

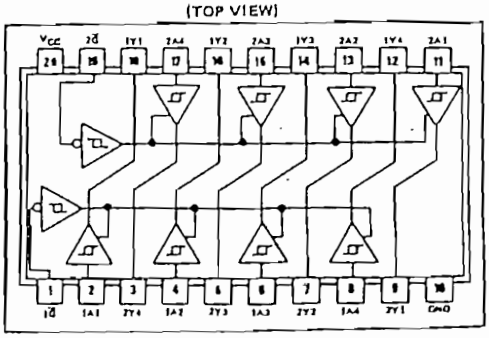
SN54LS240, SN54S240 . . . J
SN74LS240, SN74S240 . . . J OR N
(TOP VIEW)



SN54LS241, SN54S241 . . . J
SN74LS241, SN74S241 . . . J OR N
(TOP VIEW)



SN54LS244 . . . J
SN74LS244 . . . J OR N
(TOP VIEW)

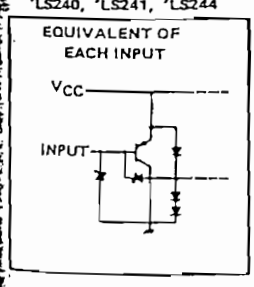


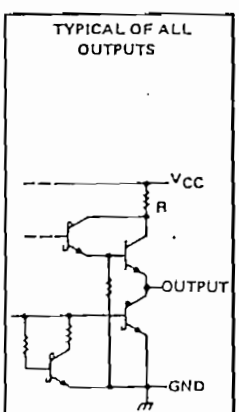
Description

These octal buffers and line drivers are designed specifically to improve both the performance and density of three-state memory address drivers, clock drivers, and bus-oriented receivers and transmitters. The designer has a choice of selected combinations of inverting and noninverting outputs, symmetrical $\overline{G}$ (active-low output control) inputs, and complementary G and $\overline{G}$ inputs. These devices feature high fan-out, improved fan-in, and 400-mV noise-margin. The SN74LS' and SN74S' can be used to drive terminated lines down to 133 ohms.

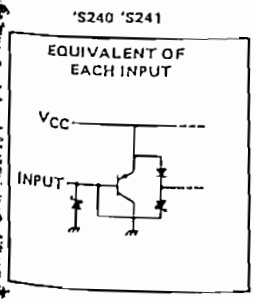
Schematics of inputs and outputs

'LS240, 'LS241, 'LS244





'S240 'S241



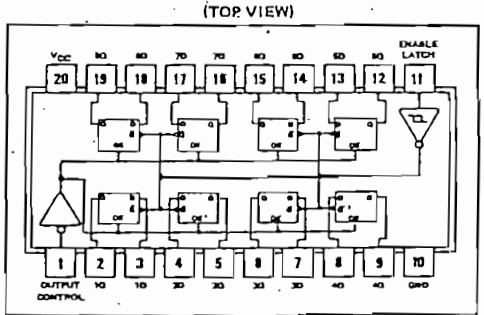
'LS240, 'LS241, 'LS244:
R = 60 Ω NOM
'S240, 'S241:
R = 25 Ω NOM

TYPES SN54LS373, SN54LS374, SN54S373, SN54S374, SN74LS373, SN74LS374, SN74S373, SN74S374 OCTAL D-TYPE TRANSPARENT LATCHES AND EDGE-TRIGGERED FLIP-FLOPS

BULLETIN NO. DL-S 12350, OCTOBER 1975 — REVISED JUNE 1979

- Choice of 8 Latches or 8 D-Type Flip-Flops In a Single Package
- 3-State Bus-Driving Outputs
- Full Parallel-Access for Loading
- Buffered Control Inputs
- Clock/Enable Input Has Hysteresis to Improve Noise Rejection
- P-N-P Inputs Reduce D-C Loading on Data Lines ('S373 and 'S374)
- SN54LS363 and SN74LS364 Are Similar But Have Higher V_{OH} For MOS Interface

SN54LS373, SN54S373 . . . J PACKAGE
SN74LS373, SN74S373 . . . J OR N PACKAGE
(TOP VIEW)

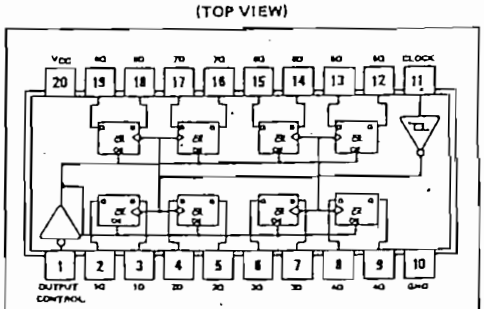


logic: see function table

'LS373, 'S373
FUNCTION TABLE

OUTPUT ENABLE	ENABLE LATCH	D	OUTPUT
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z

SN54LS374, SN54S374 . . . J PACKAGE
SN74LS374, SN74S374 . . . J OR N PACKAGE
(TOP VIEW)



logic: see function table

'LS374, 'S374
FUNCTION TABLE

OUTPUT ENABLE	CLOCK	D	OUTPUT
L	↑	H	H
L	↑	L	L
L	L	X	Q_0
H	X	X	Z

See explanation of function tables on page 1-13.

description

These 8-bit registers feature totem-pole three-state outputs designed specifically for driving highly-capacitive or relatively low-impedance loads. The high-impedance third state and increased high-logic-level drive provide these registers with the capability of being connected directly to and driving the bus lines in a bus-organized system without need for interface or pull-up components. They are particularly attractive for implementing buffer registers, I/O ports, bidirectional bus drivers, and working registers.

The eight latches of the 'LS373 and 'S373 are transparent D-type latches meaning that while the enable (G) is high the Q outputs will follow the data (D) inputs. When the enable is taken low the output will be latched at the level of the data that was set up.

Copyright © 1979 by Texas Instruments Incorporated

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

Detailed logic diagrams for flip-flops are given on the data sheets in this book when useful to illustrate special features such as synchronous clearing, J/K inputs, and toggle enabling.

In general the logic diagrams in this book have been simplified. They are believed to correctly indicate the logic implementation but should not be used to predict dynamic performance. Inverters existing in series may be combined or eliminated in the diagram as shown in Figure 8.

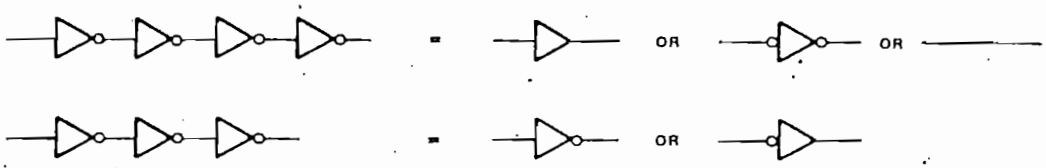


Figure 8. Simplification of Diagrams by Combining Inverters

High-Speed CMOS Characteristics

Table 1 compares the main characteristics of the high-speed CMOS family with those of standard TTL, LSTTL, STTL, ALSTTL, ASTTL, and metal-gate CMOS.

Table 1. Performance Comparison of High-Speed CMOS with Several Other Logic Families

TECHNOLOGY‡	SILICON-GATE CMOS	METAL GATE CMOS	STD TTL	LOW-POWER SCHOTTKY TTL	SCHOTTKY TTL	ADVANCED LOW-POWER SCHOTTKY TTL	ADVANCED SCHOTTKY TTL
Device series	SN74HC	4000	SN74	SN74LS	SN74AS	SN74ALS	SN74AS
Power dissipation per gate (mW)							
Static	0.0000025	0.001	10	2	19	1	8.5
At 100 kHz	0.17	0.1	10	2	19	1	8.5
Propagation delay time (ns) (C_L = 15 pF)	8	105	10	10	3	4	1.5
Maximum clock frequency (MHz) (C_L = 15 pF)	40	12	35	40	125	70	200
Speed/Power product (pJ) (at 100 kHz)	1.4	11	100	20	57	4	13
Minimum output drive (mA) (V_O = 0.4 V)							
Standard outputs	4	1.6	16	8	20	8	20
High-current outputs	8	1.6	48	24	64	24/48	48/64
Fan-out (LS loads)							
Standard outputs	10	4	40	20	50	20	50
High-current outputs	15	4	120	60	160	60/120	120/160
Maximum input current, I_{IL} (mA) (V_I = 0.4 V)	±0.001	−0.001	−1.6	−0.4	−2.0	−0.1	−0.5

‡ Family characteristics at 25 °C, V_{CC} = 5 V; all values typical unless otherwise noted. This table is provided for broad comparisons only. Parameters for specific devices within a family may vary. For detailed comparisons, please consult the appropriate data book.

The major advantages of high-speed CMOS can be summarized as follows:

1. The high-speed CMOS family can operate at speeds comparable to LSTTL. The high-speed CMOS family has ac parameters guaranteed at a supply voltage of 2 V, 4.5 V, and 6 V over the full operating temperature range into a 50-pF load (also, 150 pF for high-current outputs). Note that at the higher operating frequencies, the power consumption is also comparable to LSTTL (Figure 9).

2. Figure 9 also shows that the high-speed CMOS family covers a wide range of applications: low power drain for low-speed systems, and a slightly higher drain for higher speed systems.

3. Minimum system power — only the gates that are switching contribute to system power consumption. This reduces the size of the power supply required, hence provides lower system cost and improved reliability through lower heat dissipation.

   As mentioned previously, the power consumption for an individual gate at the maximum speed is comparable to LSTTL. However in typical systems, only a fraction of the gates are switching at the clock frequency; therefore, significant power savings can be realized. On a system level where the individual gate switching frequencies are distributed between zero and the system clock frequency (Figure 10), the power saved with high-speed CMOS can be quite significant, as illustrated in Figure 11. The total system power is the area under each curve. The graph in Figure 11 is obtained by multiplying the individual gate characteristics (Figure 9) by the frequency distribution in Figure 10.

4. High-speed CMOS is ideal for battery-operated systems, or systems requiring battery back-up, because there is virtually no static power dissipation (Figure 9).

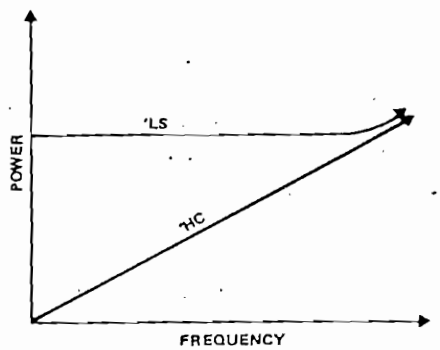


Figure 9. Power Consumed Versus Frequency for High-Speed CMOS Compared to LSTTL

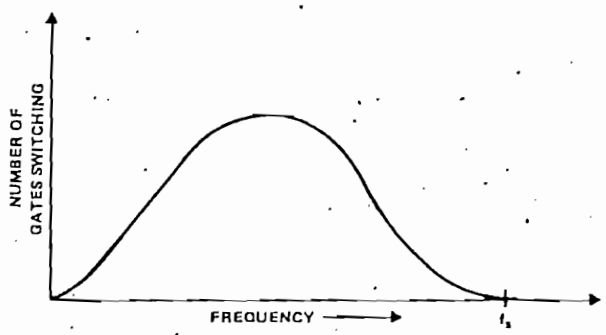


Figure 10. Typical Distribution of Switching Frequencies for Gates within a System with Maximum Clock Frequency, f_s

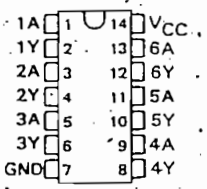
5. Improved noise immunity over bipolar devices is due to the rail-to-rail (V_{CC} to ground) output voltage swings. Figure 12 illustrates the noise immunity provided by the high-speed CMOS family as it compares to the LSTTL family. This noise immunity makes it ideal for high-noise environments. Minimum and maximum output voltages are guaranteed at 4 mA (6 mA for high-current devices). If the output currents exceed these limits, the noise immunity will be impaired. 'HCT devices have similar input noise margins to LSTTL because their inputs are TTL-voltage compatible. The outputs of 'HCT are the same as standard 'HC outputs.

TYPES SN54HC04, SN74HC04
HEX INVERTERS

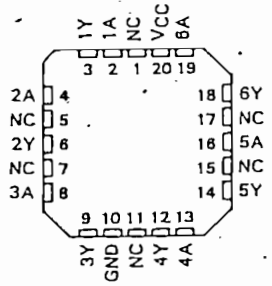
D2684, DECEMBER 1982 — REVISED MARCH 1984

- Package Options Include Both Plastic and Ceramic Chip Carriers in Addition to Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

SN54HC04 . . . J PACKAGE
SN74HC04 . . . J OR N PACKAGE
(TOP VIEW)



SN54HC04 . . . FH OR FK PACKAGE
SN74HC04 . . . FH OR FN PACKAGE
(TOP VIEW)



NC — No internal connection

description

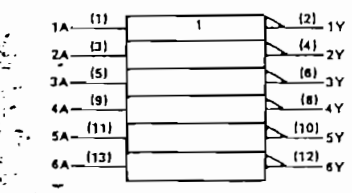
These devices contain six independent inverters. They perform the Boolean function $Y = \overline{A}$.

The SN54HC04 is characterized for operation over the full military temperature range of −55°C to 125°C. The SN74HC04 is characterized for operation from −40°C to 85°C.

FUNCTION TABLE
(each inverter)

INPUT A	OUTPUT Y
H	L
L	H

logic symbol



Pin numbers shown are for J and N packages.

maximum ratings, recommended operating conditions, and electrical characteristics

See Table I, page 2-4.

switching characteristics over recommended operating free-air temperature range (unless otherwise noted), C_L = 50 pF (see Note 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V_{CC}	T_A = 25°C MIN	TYP	MAX	SN54HC04 MIN	MAX	SN74HC04 MIN	MAX	UNIT
t_{pd}	A	Y	2 V		45	95		145		120	ns
			4.5 V		9	19		29		24	
			6 V		8	16		25		20	
t_t		Y	2 V		38	75		110		95	ns
			4.5 V		8	15		22		19	
			6 V		8	13		19		16	
C_{pd}	Power dissipation capacitance per inverter			No load, T_A = 25°C			20 pF typ				

NOTE 1: For load circuit and voltage waveforms, see page 1-14.

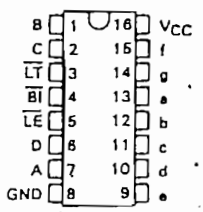
Copyright ©1982 by Texas Instruments Incorporated

TYPES SN54HC4511, SN74HC4511
BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS WITH LATCHED INPUTS

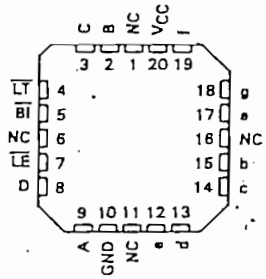
D2684, DECEMBER 1982—REVISED MARCH 1984

- Latch Storage of Code
- Blanking Input
- Lamp Test Provision
- Readout Blanking on All Illegal Input Combinations
- Package Options Include Both Plastic and Ceramic Chip Carriers in Addition to Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

SN54HC4511 . . . J PACKAGE
SN74HC4511 . . . J OR N PACKAGE
(TOP VIEW)



SN54HC4511 . . . FH OR FK PACKAGE
SN74HC4511 . . . FH OR FN PACKAGE
(TOP VIEW)



NC—No internal connection

description

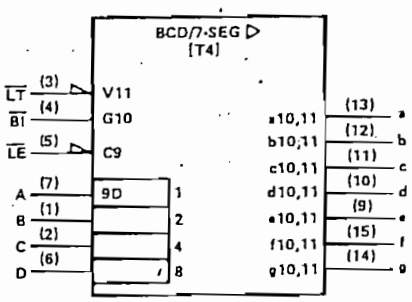
The 'HC4511 provides the functions of a 4-bit storage latch, a BCD-to-seven-segment decoder, and an output driver. Lamp test ($\overline{LT}$), blanking ($\overline{BI}$), and latch enable ($\overline{LE}$) inputs are used to test the display, to turn off or pulse-modulate the brightness of the display, and to store a BCD code, respectively.

The SN54HC4511 is characterized for operation over the full military temperature range of −55°C to 125°C. The SN74HC4511 is characterized for operation from −40°C to 85°C.

FUNCTION TABLE

INPUTS							OUTPUTS							DISPLAY
$\overline{LE}$	$\overline{BI}$	$\overline{LT}$	D	C	B	A	a	b	c	d	e	f	g	
L	H	H	L	L	L	L	H	H	H	H	H	H	L	0
L	H	H	L	L	L	H	L	H	H	L	L	L	L	1
L	H	H	L	L	H	L	H	H	L	H	H	L	H	2
L	H	H	L	L	H	H	H	H	H	H	L	L	H	3
L	H	H	L	H	L	L	L	H	H	L	L	H	H	4
L	H	H	L	H	L	H	H	L	H	H	L	H	H	5
L	H	H	L	H	H	L	L	L	H	H	H	H	H	6
L	H	H	L	H	H	H	H	H	H	L	L	L	L	7
L	H	H	H	L	L	L	H	H	H	H	H	H	H	8
L	H	H	H	L	L	H	H	H	H	L	L	H	H	9
L	H	H	H	L	H	L	L	L	L	L	L	L	L	Blank
L	H	H	H	L	H	H	L	L	L	L	L	L	L	Blank
L	H	H	H	H	L	L	L	L	L	L	L	L	L	Blank
L	H	H	H	H	L	H	L	L	L	L	L	L	L	Blank
L	H	H	H	H	H	L	L	L	L	L	L	L	L	Blank
L	H	H	H	H	H	H	L	L	L	L	L	L	L	Blank
X	X	L	X	X	X	X	H	H	H	H	H	H	H	8
X	L	H	X	X	X	X	L	L	L	L	L	L	L	Blank
H	H	H	X	X	X	X	All outputs remain in state existing before $\overline{LE}$!							

logic symbol



Pin numbers shown are for J and N packages.

This document contains information on a product under development. Texas Instruments reserves the right to change or discontinue this product without notice.

Copyright ©1982 by Texas Instruments Incorporated

TYPES SN54HC245, SN74HC245 OCTAL BUS TRANSCEIVERS WITH 3-STATE OUTPUTS

D2684, DECEMBER 1982—REVISED MARCH 1984

- High-Current 3-State Outputs Drive Bus Lines Directly or Up to 15 LSTTL Loads
- Package Options Include Both Plastic and Ceramic Chip Carriers in Addition to Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

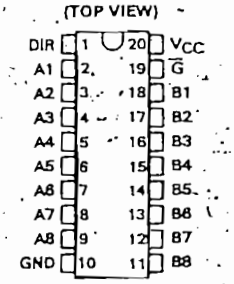
description

These octal bus transceivers are designed for synchronous two-way communication between data buses. The control function implementation minimizes external timing requirements.

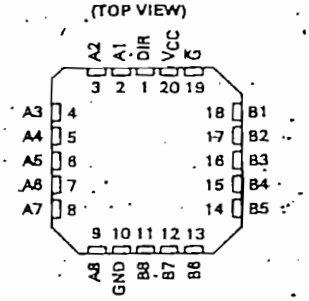
The devices allow data transmission from the A bus to the B bus or from the B bus to the A bus depending upon the logic level at the direction control (DIR) input. The enable input ($\overline{G}$) can be used to disable the device so that the buses are effectively isolated.

The SN54HC245 is characterized for operation over the full military temperature range of −55°C to 125°C. The SN74HC245 is characterized for operation from −40°C to 85°C.

SN54HC245 . . . J PACKAGE
SN74HC245 . . . J OR N PACKAGE
(TOP VIEW)



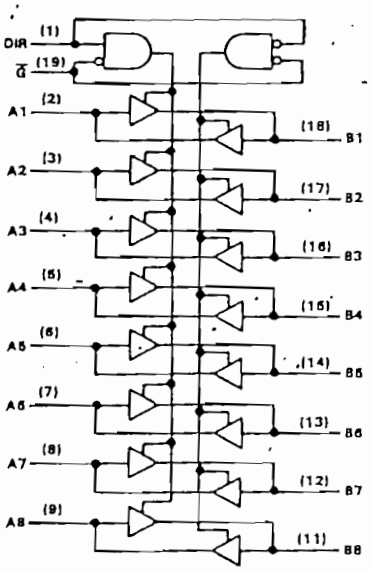
SN54HC245 . . . FH OR FK PACKAGE
SN74HC245 . . . FH OR FN PACKAGE
(TOP VIEW)



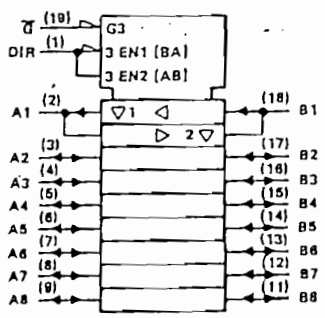
FUNCTION TABLE

CONTROL INPUTS		OPERATION
$\overline{G}$	DIR	
L	L	B data to A bus
L	H	A data to B bus
H	X	Isolation

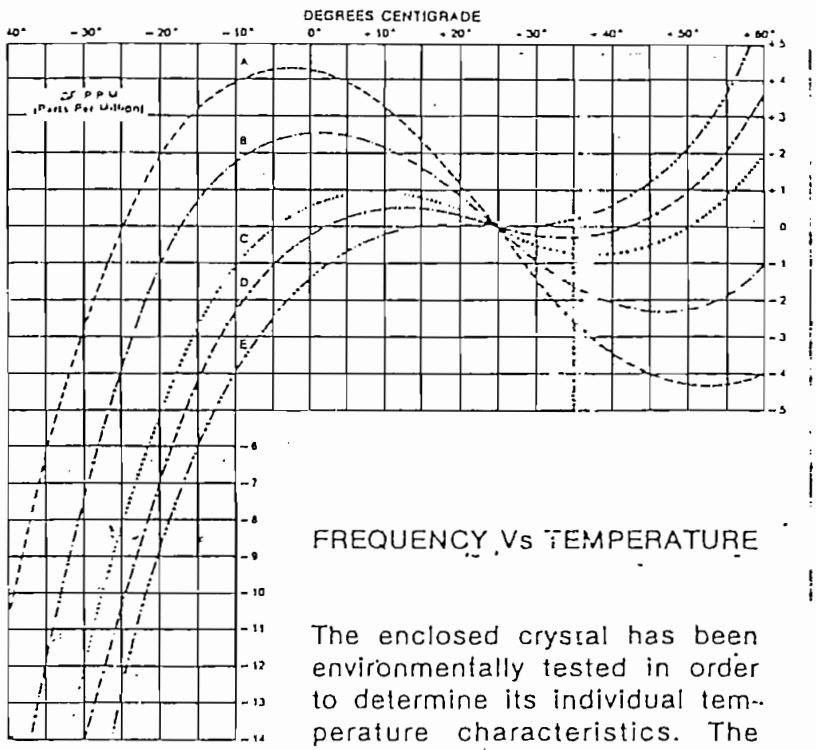
logic diagram (positive logic)



logic symbol



Copyright ©1982 by Texas Instruments Incorporated

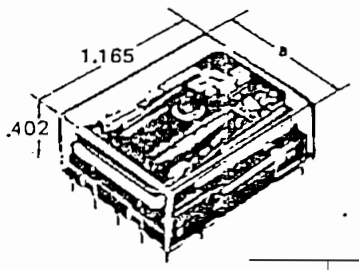


FREQUENCY Vs TEMPERATURE

The enclosed crystal has been environmentally tested in order to determine its individual temperature characteristics. The curve letter stamped below represents its relative angle in the family of curves chart. In cases where the actual crystal measurement does not fall on a lettered curve, the closest curve is noted. Note the curve indicated is for the crystal only and does not reflect changes due to oscillator and/or associated circuits.

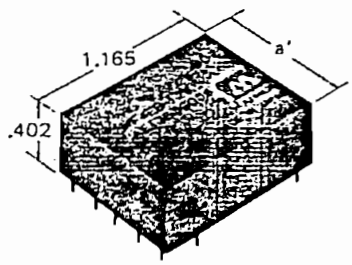
Due to the variety in equipment, measuring techniques and methods, a slight difference of results can be expected if the crystal is tested by means other than those used by ICM.

565 141



	a
NF2	.764
NF4	.945

NFEB Amber Relays



	a'
NF2EB	.772
NF4EB	.953

More than 30,000,000 pcs. in use all over the world

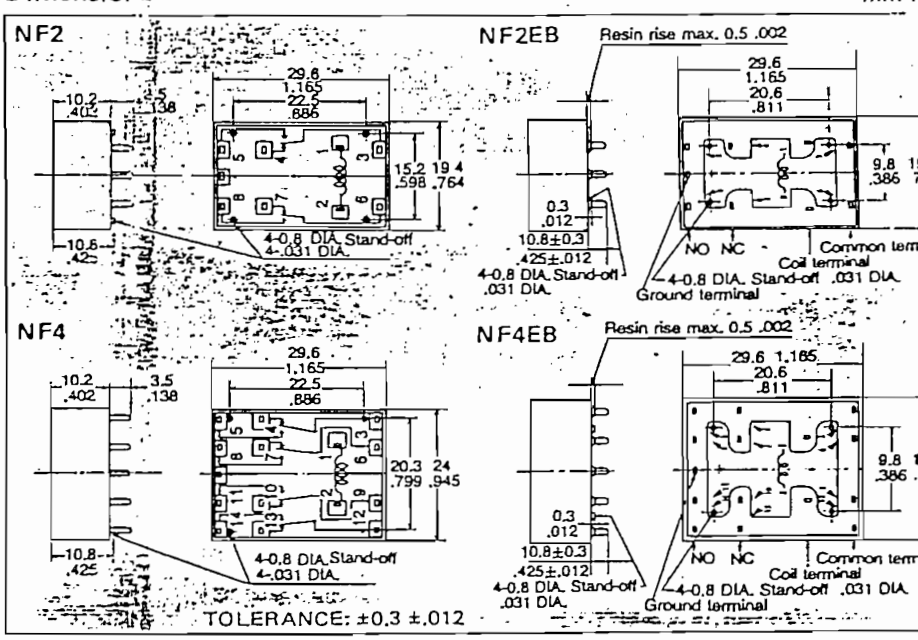
- Low profile — stands only .402 inches high
  Ideal for high packaging density
- High sensitivity — minimum operating power
  NF2/150mW, NF4/240mW
- Variety of available lines —
  Amber Sealed types
  MBB (Form D) contact types
  High breakdown voltage types for transient protection — 1,000V rms between open contacts, contact sets
- Gold capped silver palladium contacts available.

Types and Data

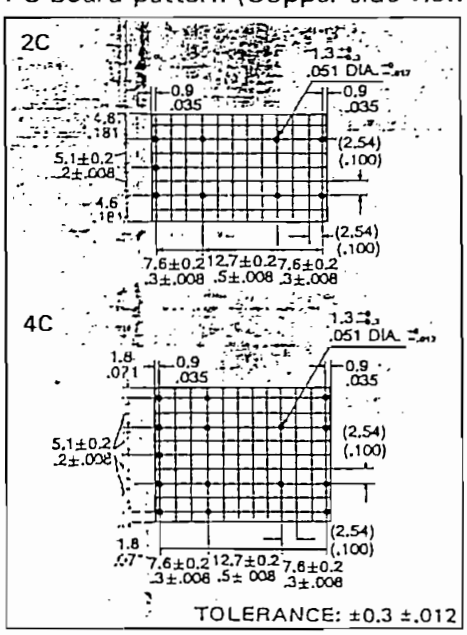
Type	Coils			Contacts	
	Voltage	Res. (Ω)	Nom. Power (mW)	Arrangement	Rating (A)
NF2— 5V	5VDC	90	278	2C	2
NF2EB— 6V	6	137	260		
12V	12	500	290		
24V	14	2,000	290		
48V	48	7,000	330		
NF4— 5V	5VDC	53	472	4C	2
NF4EB— 6V	6	90	400		
12V	12	330	440		
24V	24	1,200	480		
48V	48	4,200	550		

Notes: 1. MBB (Form D) contact types available.
2. Standard packing → Carton: 20 pcs./Case: 200 pcs.

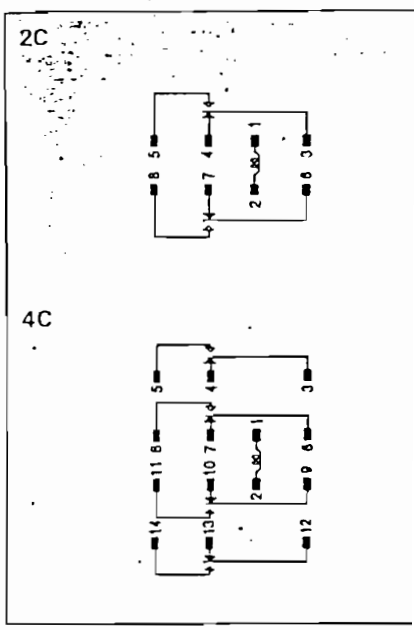
Dimensions mm i



PC board pattern (Copper side view)



Schematic (Bottom view)

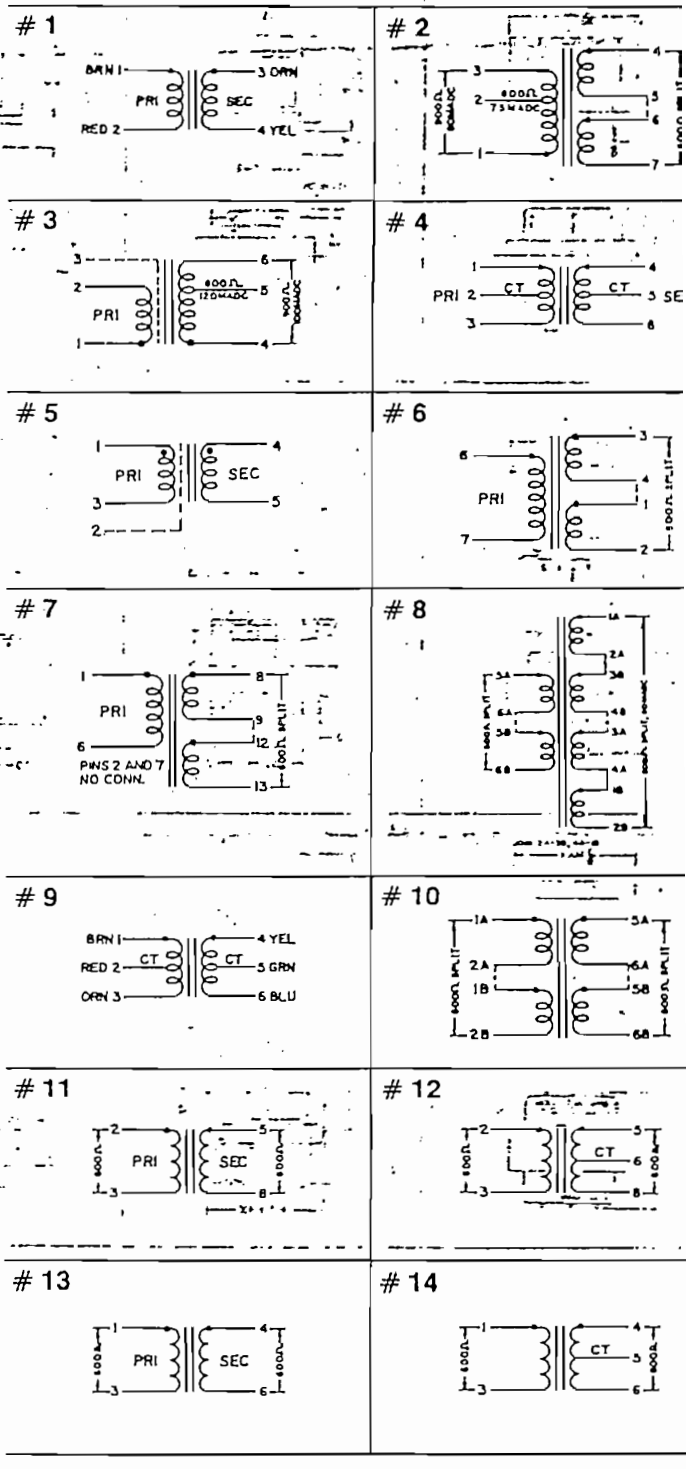


TERMINAL ARRANGEMENTS

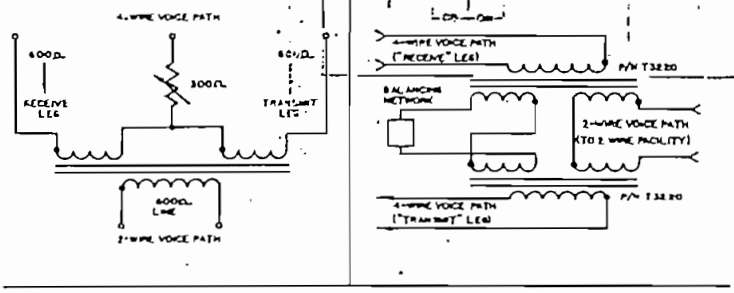
TELEPHONE COUPLING TRANSFORMERS I

Part No.	Primary Impedance	Secondary Impedance	Unbalance mA DC	Schematic	Fig.
VOICE/DATA COUPLING					
PM32-F	600	600	1.5	1	K
PM34-F	600 CT	600 CT	3	9	L
PM32-M	600	600	1.5	1	N
PM34-M	600 CT	600 CT	3	9	O
T1104	600	600	0	1	A
T2104	600	600	0	1	B
T2106	600 CT	600 CT	0	4	O
T2108	600	900	0	1	B
T2110	900	900	0	5	C
T2316	4000	600	0	1	B
T4113	900/600	600 Split	60/75 Pri.	2	F
T5114	600	600 Split	75	6	G
T5115	600	600 Split	120	7	H
T6112	600	900/600	100/120 Sec.	3	E
T9116	600 CT	600 CT	80	10	J
T9117	600 CT	600 CT	80	8	J
DATA MODEM COUPLING — NON-VOICE APPLICATION					
T2111	600	600	90	11	M
T2112	600	600 CT	90	12	M
T2113	600	600	90	13	B
T2114	600	600 CT	90	14	D

Available on special order with other ratings and constructions.



TYPICAL HYBRID APPLICATIONS



REQUEST ENGINEERING APPLICATION BULLETIN F232.

MICROTRAN company, inc.
145 East Mineola Avenue, Valley Stream, N.Y. 11582
Tel. (516) 561-6050 · TWX 510-225-8412

ASSEMBLY INSTRUCTIONS FOR VECTOR CCKE1U AND CCKE2U EUROCARD RACKS

1.0 GENERAL

1.1 NOTE: The assembly of these card racks is simplified and quick because there are no adjustments. The instructions are clear and the card guide locations are preplanned with convenient tables and templates.

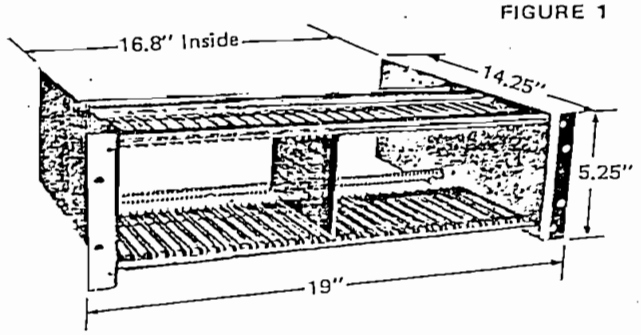
1.2 These kits are intended to mount Eurocards made to DIN 41494 European Standardization Specifications; the cardguides and instructions supplied are for the 100 mm (6.3") deep cards. However, longer cardguides can be ordered (see accessories) for 220 mm (8.66") deep cards. The rear cardguide mounting struts and the connector mounting struts must then be mounted in the aft set of holes in the side walls provided for that purpose. Assembly instructions are otherwise identical for the 100 mm deep guides. Cards of 2 depths (100 and 160 mm) cannot be mounted in the same cage.

1.3 Familiarize yourself with the kit parts by checking them against this parts list:

QUANTITY		PARTS
CCKE1U	CCKE2U	
2	2	Side Walls
4	4	T-Struts with Cardguide "Holes" in Center Slot
2	4	T-Struts without "Holes" in Center Slot
2	4	Connector Mounting Strips with Two Rows of Holes
20	20	Card Guides, Snap-In Type
24	32	No. 6-32 X 3/8" Long Screws with Lockwasher and Pan Phillips Head for Mounting T-Struts to Side Walls
14	28	No. 3-48 X 3/8" Long Screws, Hex Head for Mounting Connector Mounting Strips to T-Struts
54	108	No. 3-48 X 3/8" Long Screws, Fillister Slotted Head for Mounting Connector to Mounting Strip
68	136	No. 3-48 Hex Nuts for Mounting Connector to Mounting Strips (54 or 108) and for Mounting Connector Strips to T-Struts (14 or 28)

2.0 ASSEMBLY OF CCKE1U RACK (Fig. 1)

FIGURE 1



2.1.0 PLANNING

2.1.1 Determine from Table 1 (or your layout) the desired number of boards and the spacing between board centers.
EXAMPLE: You have soldered type P.C. cards, with component bodies protruding from the board 0.61" maximum. See Table 1, lower portion, line for "body": select 0.645" body clearance, which gives 1.0" spacing between card centers. Table 1 shows you can mount 16 cards at this spacing.

TABLE 1

CARD CAPACITY OF RACKS VERSUS CARD CENTER SPACINGS AND CARD WIRING METHOD

CATALOG NUMBER	DESCRIPTION	RACK SIZE			SOLDERED P.C. CARD				WIRE WRAPPED CARD	
					SPACING				SPACING	
		HIGH	WIDE	DEEP	0.6"	0.8"	1.0"	1.2"	1.4"	1.6"
CCKE1U	cage kit †	5¼"	19"	14¼"	27	20	16	14	12	10
CCKE2U	cage kit †	10½"	19"	14¼"	27	20	16	14	12	10
DK1 ★	25% divider kit for CCKE2U	CARD HEIGHT IN MILLIMETERS		100 mm	14	10	8	6	6	4
				233.4 mm	20	15	12	10	8	7
DK2 ★	50% divider kit for CCKE2U			100 mm	26	20	16	14	12	10
				233.4 mm	13	10	8	6	5	5
DK3 ★	75% divider kit for CCKE2U			100 mm	40	30	24	20	16	14
				233.4 mm	6	5	4	3	2	2
DK4 ★	100% divider kit for CCKE2U			100 mm	54	40	32	28	24	20
				233.4 mm	0	0	0	0	0	0
ENG. INFO.: Allowance for maximum protrusions of component BODIES and component LEADS; and clearance GAP between component protrusions on adjacent cards. Cards = .062" thick.				Body "	.375	.500	.645	.845	.533	.723
				Leads "	.093	.093	.093	.093	.605	.605
				Gap "	.070	.145	.200	.200	.200	.200

† CARD GUIDES: 10 pairs of BR20-65 included for customer installation; order additional as required, from accessory list.

★ DIVIDER KITS: contain 4 struts, 2 vertical brackets (except DK4), additional fasteners and complete instructions.

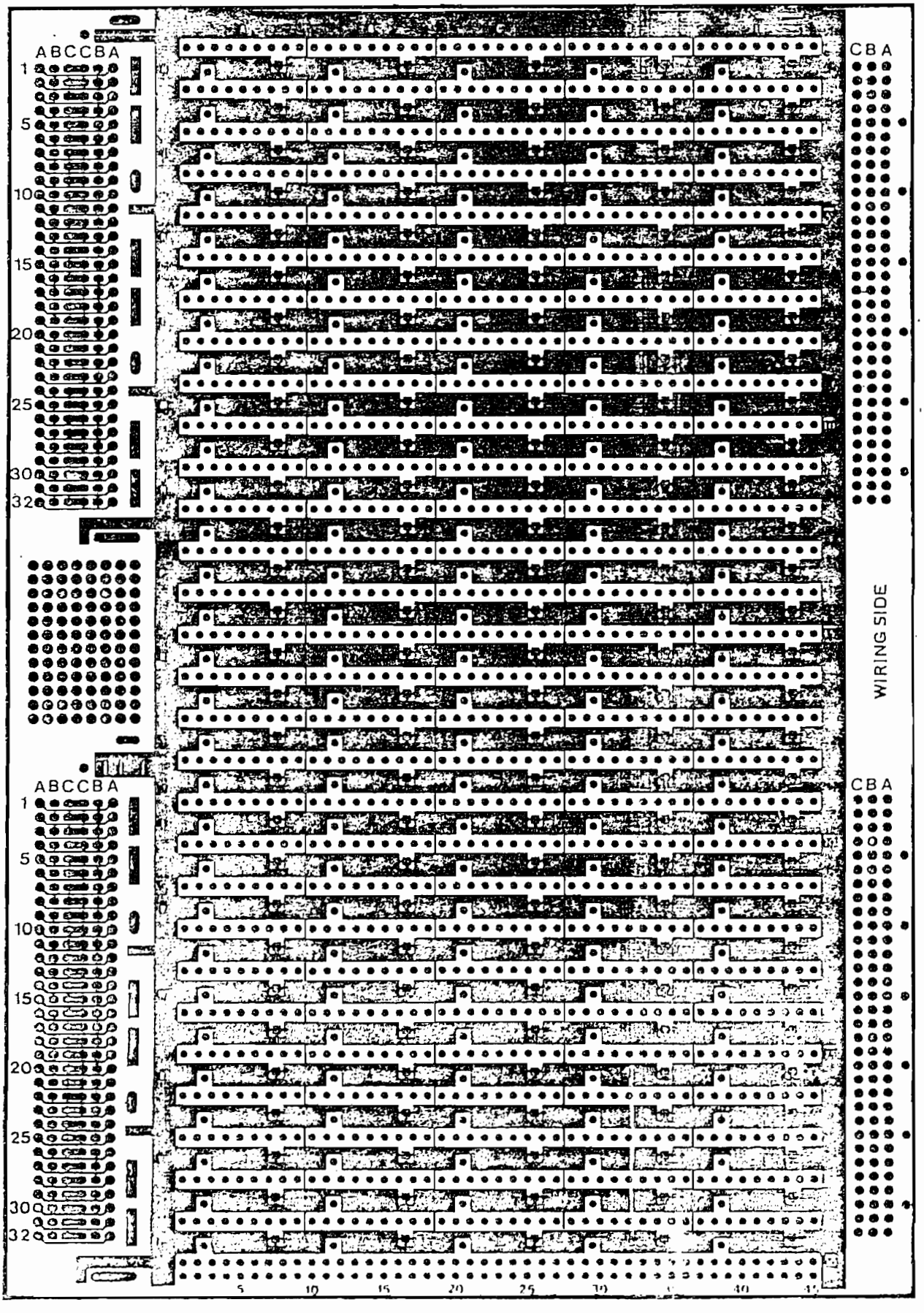
2.1.2 Determine from Table 2 exactly which T-strut "holes" to install the cardguides in.

2.1.3 Open this instruction sheet to bottom of center fold, and mark your template by darkening the specified "holes" of the T-strut template per Table 2.

TABLE 2:
FOR CCKE1U AND CCKE2U WITHOUT DIVIDER KIT

	SOLDERED P.C. CARD				WIRE WRAPPED CARD	
	SPACING				SPACING	
	0.6"	0.8"	1.0"	1.2"	1.4"	1.6"
HOLE NUMBERS TO USE FOR CARD GUIDE MOUNTING Use These Numbers for Template at Bottom of Centerfold.	1	1	1	1	3	3
	4	5	6	7	10	11
	7	9	11	13	17	19
	10	13	16	19	24	27
	13	17	21	25	31	35
	16	21	26	31	38	43
	19	25	31	37	45	51
	22	29	36	43	52	59
	25	33	41	49	59	67
	28	37	46	55	66	75
	31	41	51	61	73	
	34	45	56	67	80	
	37	49	61	73		
	40	53	66	79		
	43	57	71			
	46	61	76			
	49	65				
	52	69				
	55	73				
	58	77				
	61					
	64					
	67					
	70					
	73					
	76					
	79					
TOTAL	27	20	16	14	12	10

4615-2 EUROCARD — WIRING SIDE



3. To prevent shorting wrapped wire to etched circuit when wire wrapping, use one or more insulated turns at bottom of wrap post; also, do not chisel-cut wire against etched circuit as a shorting burr may occur.

2. Before pressing terminals into board, position (rotate) terminals to maximize the clearance between the widest part of the terminal and the nearest adjacent conductor.

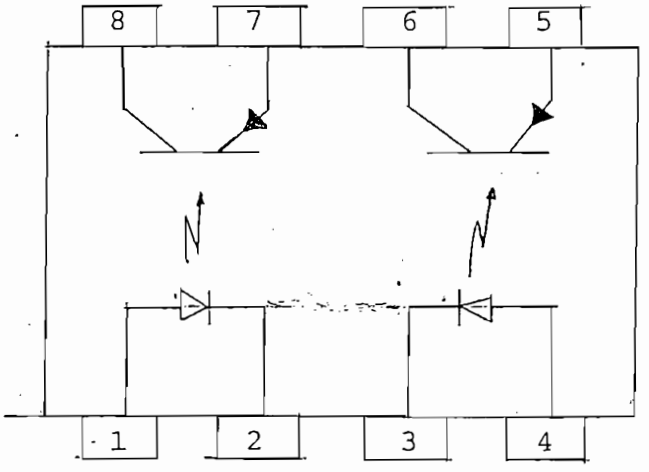
1. Intended for use in nonhostile environments up to 200 volts RMS or 300 volts DC.

NOTES:

LA40P2 LAYOUT PAPER Issue 85-6

SYLMAR, CALIFORNIA 91342-0350

OPTOACOPLADOR MCT66



Disposición de Pins

VALORES DE CORRIENTE

If (mA)	Ic (mA)
0.5	0.013
1.0	0.07
1.5	0.17
2.0	0.33
2.5	0.48
3.0	0.75
3.5	1.0

If = Corriente directa por el diodo
Ic = Corriente por el colector del transistor

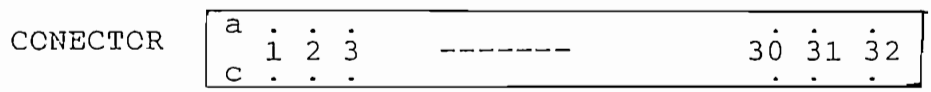
A P E N D I C E C

"MANUAL DE USO "

C.1 INSTALACION Y PUESTA EN MARCHA DE LA INTERFACE

Dadas las características de construcción del equipo, su instalación es muy sencilla y deben seguirse los siguientes pasos:

- Ubicación de la rejilla en un lugar determinado y fijación de la misma.
- El cableado interno de la rejilla para interconectar las tarjetas, está ya realizado (referirse a las Fig. C1 y C2)
- El cableado externo entre la interface y la central telefónica debe realizarse, los hilos a y b del FUR o del FIR deben ser conectados a los convertidores CSS o CSE respectivamente conforme se indica en la Fig. C1 (ARF).
- La interconexión entre la Interface y el sistema TDM se realiza mediante un conector de 8 pins para la parte de control, este conector debe enchufarse al conector de la tarjeta CC en las posiciones A1-A8 (Ver Fig. C2).
  Los hilos de audio de cada convertidor se conectarán a los respectivos CODECS en el TDM (Ver Fig. C1 TDM).
- Verificar la correcta inserción y extracción de las tarjetas en sus respectivas posiciones
- El equipo requiere de 2 fuentes de voltaje: -48 Vdc y 5 Vdc, estas deben conectarse al conector ubicado en la parte posterior de la rejilla (Polaridades ahí indicadas)
- Estas tareas deben realizarse en los dos extremos del enlace.



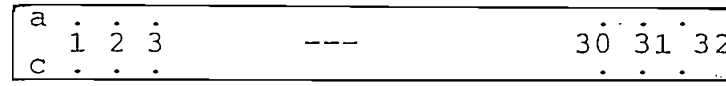
a	ARF TDM	c	ARF TDM
1	Hilo a CS 1	1	Hilo b CS 1
2	----------	2	----------
3	Audio CODEC CS 1	3	Audio CODEC CS 1
4	----------	4	----------
5	Hilo a CS 2	5	Hilo b CS 2
6	----------	6	----------
7	Audio CODEC CS 2	7	Audio CODEC CS 2
8	----------	8	----------
9	Hilo a CS 3	9	Hilo b CS 3
10	----------	10	----------
11	Audio CODEC CS 3	11	Audio CODEC CS 3
12	----------	12	----------
13	Hilo a CS 4	13	Hilo b CS 4
14	----------	14	----------
15	Audio CODEC CS 4	15	Audio CODEC CS 4
16	------	16	------
17	------	17	------
18	------	18	-----
	CONTROL COMUN		CONTROL COMUN
19	Control LATCHE	19	Control BUFFER
20	CS 1 E1	20	CS 1 S1
21	E2	21	S2
22	CS 2 E1	22	CS 2 S1
23	E2	23	S2
24	CS 3 E1	24	CS 3 S1
25	E2	25	S2
26	CS 4 E1	26	CS 4 S1
27	E2	27	S2
28	-----	28	------
29	-----	29	------
	POWER		POWER
30	- 48 Vdc	30	0 V
31	------	31	------
32	5 Vdc	32	0 V

CS = Convertidor de señalización

Nota.- En la tarjeta 0: a1,c1,a3,c3,a9,c9,a11,c11 no se conectan, pues solo tiene 2 CS (CS 2 y CS 4)

FIG. C1 DISTRIBUCION DE PINES DEL CONECTOR DE LA TARJETA DE CONVERTIDORES

CONECTOR



	CONTROL Rx		CONTROL Tx
a	INTERFACE TDM	c	INTERFACE TDM
1	Clk-Rx	1	Clk-Tx
2	DATOS Rx	2	DATOS Tx
3	8Cri	3	8Cti
4	(Puenteado con c1)	4	8Cto
5	" c2	5	5Cti
6	" c3	6	----------
7	" c4	7	----------
8	" c5	8	----------
9	----------	9	----------
10	----------	10	----------
	(Clk) Habilitación LATCH		(G) Habilitación BUFFER
11	Tarjeta 0	11	Tarjeta 0
12	" 1	12	" 1
13	" 2	13	" 2
14	" 3	14	" 3
15	" 4	15	" 4
16	" 5	16	" 5
17	" 6	17	" 6
18	" 7	18	" 7
19	----------	19	----------
	BUS DE DATOS Rx		BUS DE DATOS Tx
20	CS 1 E1	20	CS 1 S1
21	CS 1 E2	21	CS 1 S2
22	CS 2 E1	22	CS 2 S1
23	CS 2 E2	23	CS 2 S2
24	CS 3 E1	24	CS 3 S1
25	CS 3 E2	25	CS 3 S2
26	CS 4 E1	26	CS 4 S1
27	CS 4 E2	27	CS 4 S2
28	----------	28	----------
29	----------	29	----------
	POWER		POWER
30	5 Vdc	30	5 Vdc
31	----------	31	----------
32	0 V	32	0 V

FIG. C2 DISTRIBUCION DE PINES DEL CONECTOR DE LA TARJETA CC

Para la puesta en marcha del equipo se requiere:

- Comprobar el correcto funcionamiento del sistema TDM en los dos extremos del enlace.
- El switche ubicado en la parte frontal de la tarjeta CC debe tener la siguiente configuración:

	switche							
posición	1	2	3	4	5	6	7	8
estado	off	off	on	off	off	off	off	on

- Insertar las tarjetas CC y No. 0
- Presionar los botones de Reset ubicados en la tarjeta CC. (El superior corresponde al uP-Tx y el inferior al uP-Rx) Los displays mostrarán el número 00.
- Accionar la posición 3 del switche en la parte frontal de la tarjeta CC (pasará al estado off).
  En este momento comienza la sincronización automática de la Interface con el TDM.
- Insertar las tarjetas restantes.
- Accionar la posición 8 del switche en la parte frontal de la tarjeta CC (pasará al estado off).
  En este momento se empieza a enviar y recibir los bits de señalización.
- Comprobar de uno en uno el correcto funcionamiento de los convertidores de señalización (verificar la señal de toma ocupación, liberación etc.). Generalmente se requieren algunos ajustes de la corriente de bucle, para ello se usa la malla de resistencias que es accionada mediante el switche ubicado en la parte posterior de cada tarjeta de convertidores. Las posiciones del 0 al 7 de este switche deben ser accionadas (pasar del estado off al on) en for-

ma secuencial empezando en 0.

- Finalmente comprobar el trámite normal de una llamada por cada uno de los 30 canales telefónicos conectados a la interface, para estas pruebas se usará equipo de prueba de la central telefónica.

C.2 DIAGRAMAS DE CIRCUITOS

A continuación se presentan los siguientes diagramas de circuitos:

D1 - Diagrama de la tarjeta CC

D2 - Diagrama de la tarjeta de convertidores CSS

D3 - Diagrama de la tarjeta de convertidores CSE.

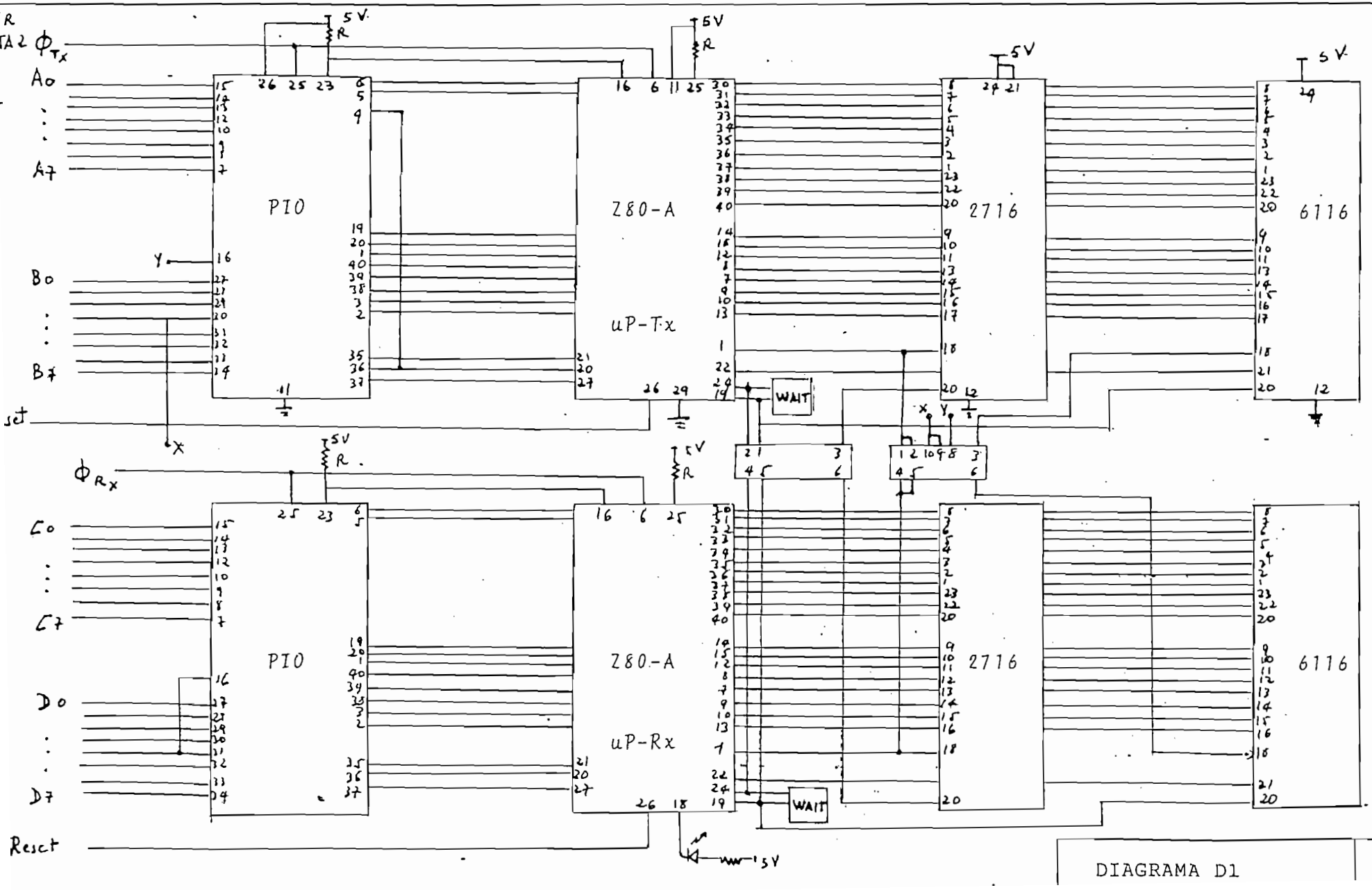


DIAGRAMA D1

HOJA 1/

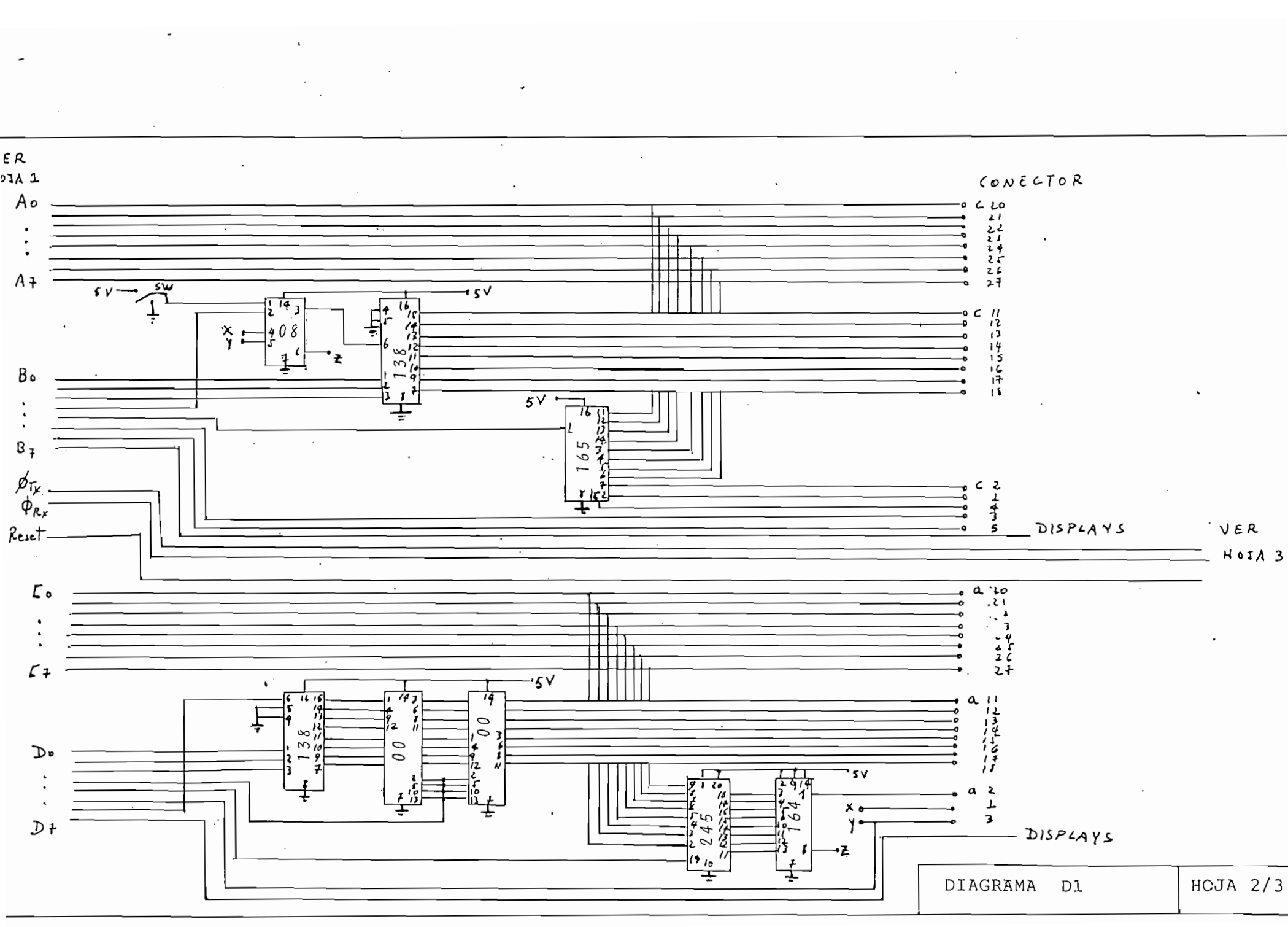


DIAGRAMA D1	HOJA 2/3

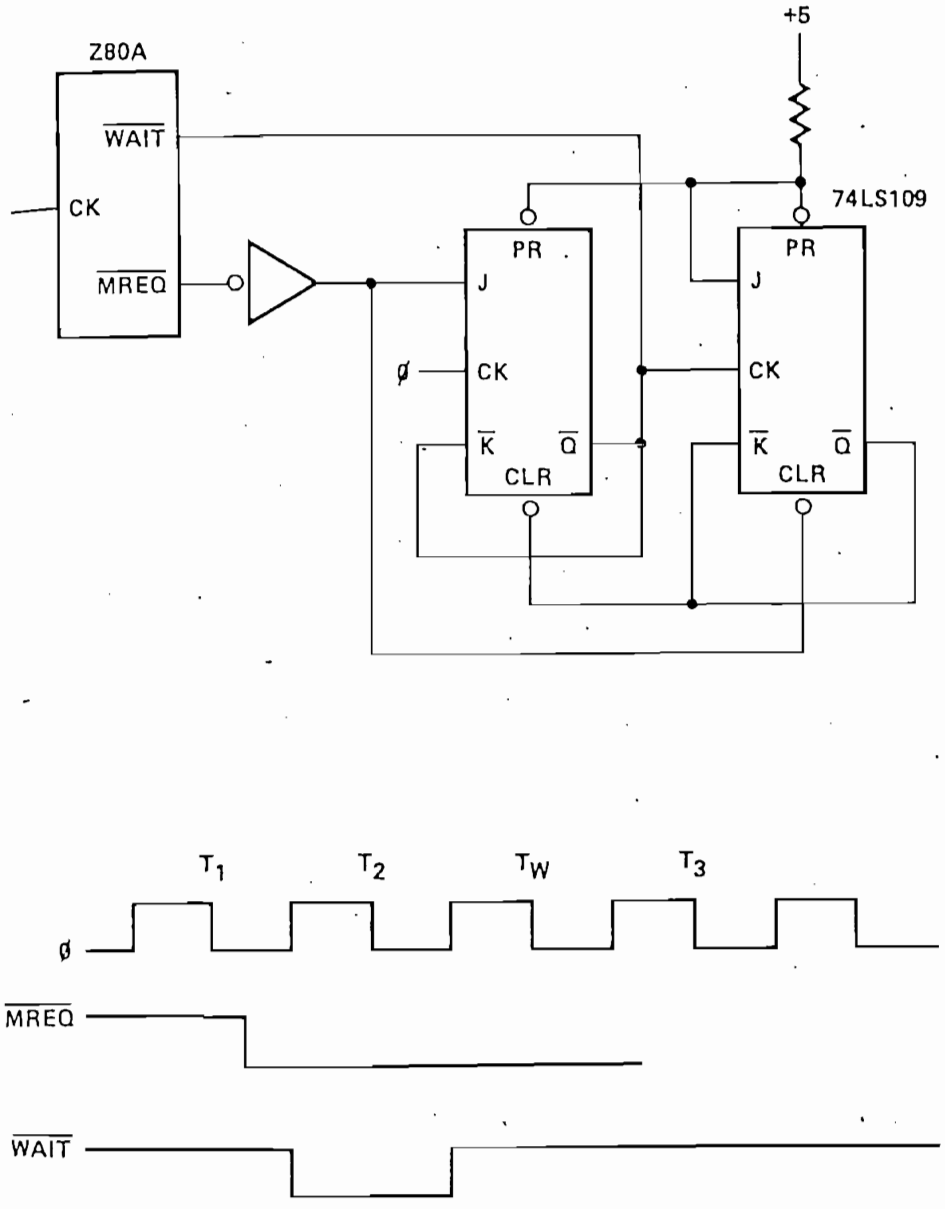
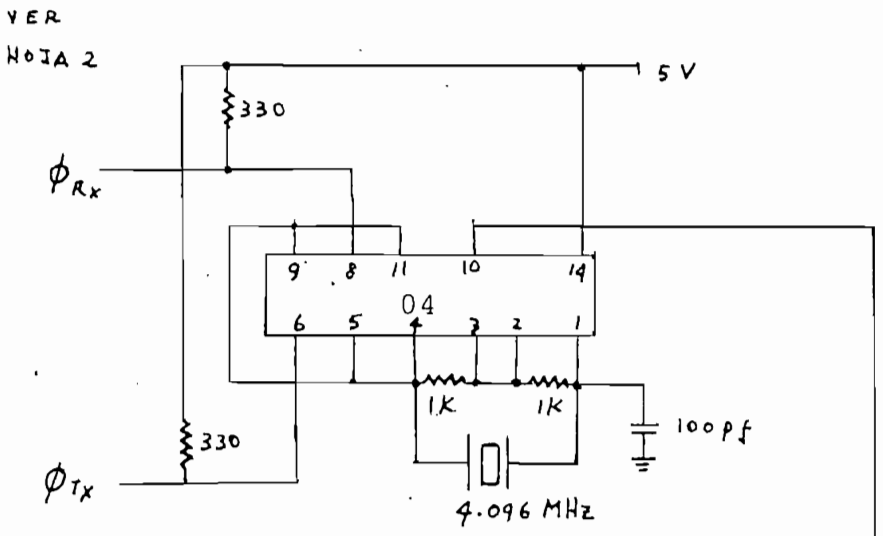
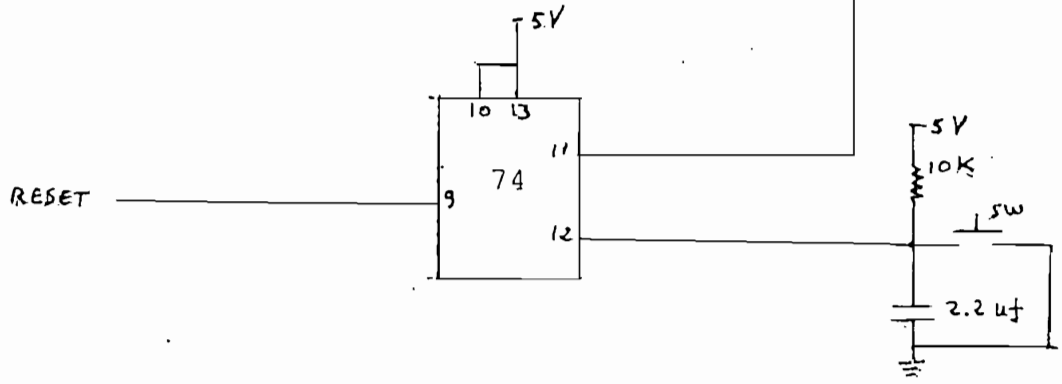


Figure 11 Adding one wait state to each memory cycle



RELOJ



RESET

WAIT

DIAGRAMA D1	HOJA 3/3

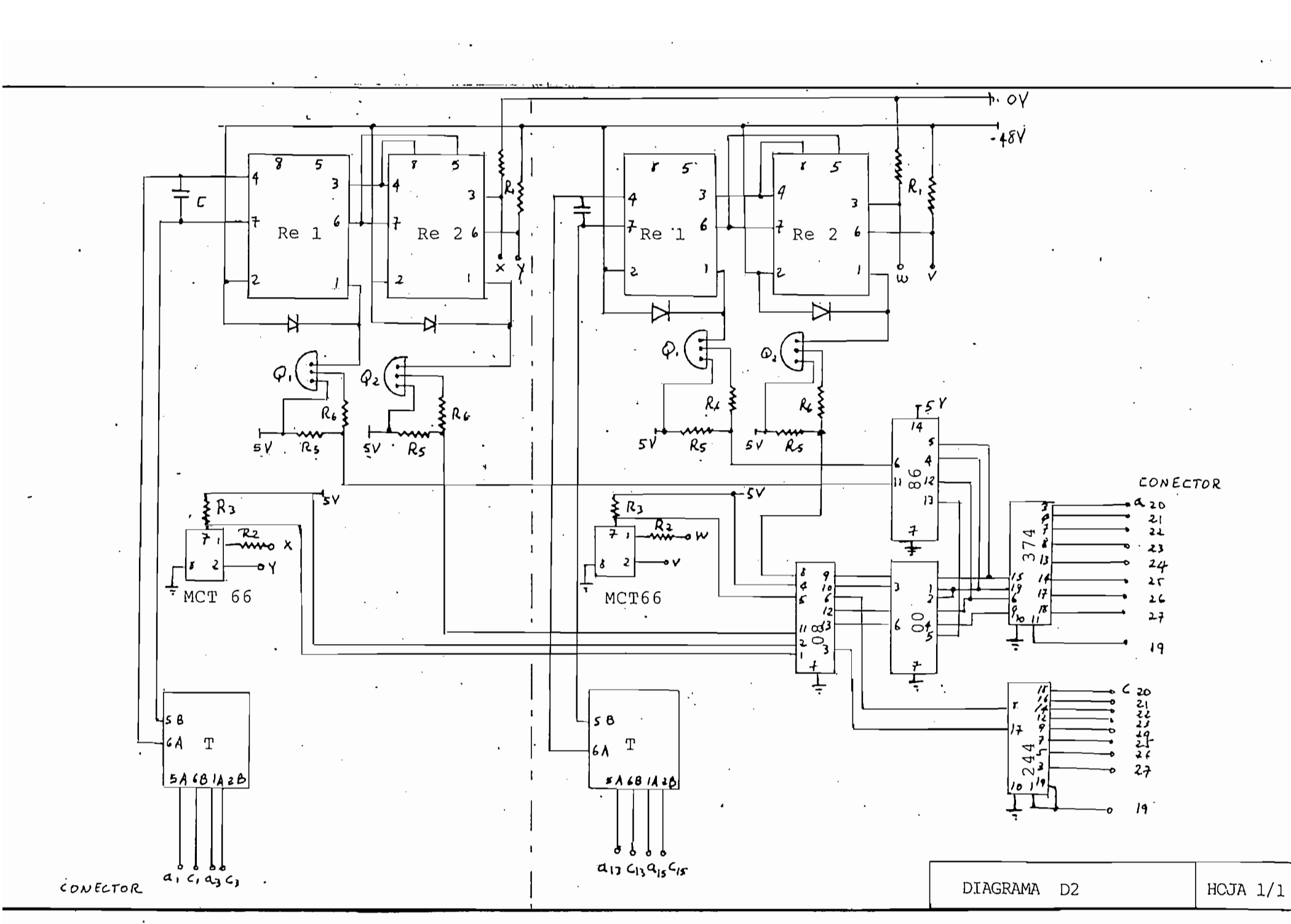


DIAGRAMA D2	HOJA 1/1

DIAGRAMA D3

HOJA 1/

BIBLIOGRAFIA

LANCE A. LEVENTHAL,"Z80 Assembly Languaje Programming", McGRAW-HILL 1979

NICHOLS-RONY,"Programación del Microprocesador Z80", MARCOMBO 1981

SCHNADOWER,"Circuitos electrónicos Digitales", McGRAW-HILL 1979

ROBERT L.FREEMAN,"Telecomunication Transmission Handbook", WILEY&SONS 1975

MARTIN L.SHOOMAN,"Software Engineering",McGRAW-HILL 1983

TEXAS INSTRUMENTS, "Telecomunications Circuits Data Book", TI 1986

TEXAS INSTRUMENTS,"TTL Data Book",TI 1981

TEXAS INSTRUMENTS,"HCMOS Data Book", TI 1984

MULTITECH, "MPF-IP Microprofessor", 1982

ZILOG, "Components Data Book",ZILOG 1983

NEC,"Sistema de Múltiplex Digital para IETEL Volumen 2", NEC 1985

LM.ERICSSON,"Sistemas de selectores de coordenadas en la Telefonía Automática", LME 1970

GALO VALENCIA, "Transmisor-Receptor de 6 canàles analógicos utilizando Técnica PCM",Escuela Politécnica Nacional 1984

LM.ERICSSON,"Sistema ARF-102",LME 1973

FURIO VALLESE,"Transmisión Digital", CNCT-IETEL 1983