INVESTIGACION DE SISTEMAS DE MULTIPLICACION RAPIDA PARA COMPUTADORAS

Tesis previa a la obtención del título de Ingeniero en la especialización de Electrónica y Telecomunicaciones de la Escuela Politécnica Nacional.

GUILLERMO H. LEON S.//

QUITO

Octubre de 1974

Certifico que este trabajo ha sido realizado en su totalidad por el señor Guillermo H. León S.

Ing. Herbert Jacobson
DIRECTOR DE TESIS

Quito, Octubre de 1974

A MIS PADRES

Y HERMANOS

P R O L O G O

El presente trabajo abriga la esperanza de ser digno del Instituto que me enrumbó en la senda del saber, la Escuela Politécnica Nacional.

Como los Sistemas Digitales son ampliamente investigados por los estudiantes de la especialidad Electrónica y Telecomunicaciones de la E. P. N., dedicando poco tiempo al estudio del material que abarca esta Tesis, estoy seguro que el trabajo desarrollado por la misma, será un reto muy estimulante. El equipo construído, ha sido realizado cuidadosamente, para facilitar el conocimiento y manejo de Sistemas de Multiplicación, por los estudiantes.

Deseo expresar mi agradecimiento al Doctor Kanti Hore, Decano de la Facultad de Ingeniería Eléctrica y al Personal Docente de la Escuela Politécnica Nacional, por el incentivo y conocimientos científico-humanos que han sabido brindarme.

Agradezco al Ingeniero Herbert Jacobson, Director de la presente Tesis, quien, con su capacidad, voluntad y sacrificio ha hecho posible su culminación.

Un agradecimiento especial a mi esposa, Ingeniera Piedad Alvarez, por su abnegación y esfuerzo para dar término al presente

trabajo.

A mis padres que supieron encaminar a sus hijos sin escatimar esfuerzo, va mi más profunda gratitud.

I N D I C E

		Página
PROLOGO		IV
INTRODUCCION		1
Capítulo Primero:	EXPOSICION DEL PROBLEMA	5
Capítulo Segundo:	ESTUDIO DE LOS DISTINTOS SISTEMAS DE MULTIPLICACION	11
II.1	Sistema Básico	14
II.1.1	Explicación del Sistema Básico	14
II.1.2	Diagramas del Sistema Básico para multiplic.	16
II.2	Sistema Básico utilizando métodos de suma - rápida	24
II.2.a	Principio de ahorro de "llevada" para multiplicación	24
II.2.b	Sumador con ahorro de "llevada"	26
II.2.1	Multiplicación mediante sumadores con ahorro de "llevada"	29
II.2.2	Diagrama del sistema que usa sumadores con ahorro de "llevada"	30
II.3.	Métodos que reducen el número de sumas necesarias	32
II.3.a	Multiplicación de números positivos con un solo bit cada vez	33
II.3.1	Método que reduce el número de sumas necesarias analizando el multiplicador en pares - de bits	34

		Página
II.3.1.a	Métodos para tratar pares de 11 del Multiplicador	35
II.3.2	Método que reduce el número de sumas necesarias analizando tripletas múltiples	36
II.3.3	Método que reduce el númerode sumas necesarias analizando el multiplicador cada - cuatro o más bits	39
II.3.4	Desplazamientos de ceros combinado con - los métodos de multiplicando múltiple	41
II.4	Sistemas Especiales	42
II.4.1	Sistemas que utilizan multiplicación ternaria	42
II.4.1.1	Multiplicadores positivos, Análisis por pares de bits	43
II.4.1.1.a	Casos especiales de números positivos	47
II.4.1.2	Configuración del sistema que utiliza multiplicación ternaria	48
II.4.2	Método más simple para la condición de - dos bits. En multiplicación ternaria	49
II.4.2	Sistema de multiplicación por desplaza--- miento de unos (1s) y ceros (0s)	54
II.4.2.a	Teoría de hileras	55
II.4.2.b	Multiplicador considerado como hileras alternadas	57
II.4.2.c	Configuración del Sistema	59

		Página
II.4.2.d	Método mejorado por desplazamientos de 1s y 0s	62
II.5	Sistemas para tratar números negativos	64
II.5.1	Multiplicación ternaria	64
II.5.1.a	Método más simple para la condición de dos bits	69
II.5.1.b	Método que examina el multiplicador de izquierda a derecha	70
II.5.1.c	Configuración del Sistema	72
II.5.2.	Multiplicación de números negativos por desplazamientos de 1s y 0s	73
II.5.2.a	Método mejorado para multiplicación de números negativos	75
II.5.3	Método que combina multiplicación ternaria y desplazamiento de 1s y 0s	77
Capítulo Tercero:	CALCULO DEL TIEMPO NECESARIO PARA MULTIPLICACION	83
III.1	Sistema Básico	84
III.2	Sistemas Rápidos	88
III.3	Señal crítica para cada sistema y cálculo del tiempo necesario para su proceso	89
Capítulo Cuarto:	DISEÑO Y CONSTRUCCION DE DOS DE LOS SISTEMAS UTILIZANDO CIRCUITOS INTEGRADOS	92
IV.1	Sistema Básico con pocos elementos aritm.	93

		Página
IV.1.1	Configuración del Sistema	93
IV.1.1.a	Circuito integrado SN74195	94
IV.1.1.b	Circuito integrado SN7483A	102
IV.1.2	Unidad de Control	106
IV.1.3	Integración del Sistema	109
IV.2	Sistema que ofrece mayor incremento de velocidad en comparación con el número de circuitos a utilizarse	117
IV.2.1	Circuito integrddo Am 2505	120
IV.2.2	Unidad de Control	129
IV.2.3	Integración del Sistema	131
IV.3	Consideraciones básicas y mediciones de los tiempos necesarios parala multiplicación. Número de entradas que dan el tiempo máximo	136

Capítulo Quinto: COMPARACION ENTRE LOS ESTUDIOS TEORICOS Y EXPERIMENTALES. CONCLUSIONES 139

BIBLIOGRAFIA 143

F I G U R A S

Número		Página
2.1a	Multiplicación binaria	13
2.1b	Ejemplo de multiplicación binaria	15
2.2	Multiplicación efectuada por adición de un producto parcial cada vez	17
2.3	Diagrama del Sistema Básico para multiplicac.	18
2.4	Descripción detallada del registro A-Q durante la multiplicación	19
2.5	Ejemplo de multiplicación que muestra el multiplicador en el registro Q	22
2.6	Gráfico que muestra los pasos de la multiplicación	23
2.7	Principio de ahorro de llevada	25
2.8	Sumador con ahorro de llevada y su etapa previa	31
2.9	Sumador con ahorro de llevada y registro de doble rango	31
2.10	Configuración de un multiplicador que utiliza un sumador con ahorro de llevada	31
2.11	Configuraciónpara multiplicación ternaria	48
2.12	Configuración del Sistema para multiplicación por desplazamiento de 1s y 0s. Examen del multiplicador de derecha a izquierda	60
2.13	$(+11x2^{-5})(-13x2^{-5}) = -143x2^{-10}$ usando notación complemento de 2	65
2.14	$(-11x2^{-5})(+13x2^{-5}) = -143x2^{-10}$ usando notación	

Número		Página
	complemento de 2, Método 1 y 2	66
2.15	Configuración del Sistema que utiliza multiplicación ternaria examinando el multiplicador de izquierda a derecha	73
3.1	Diagrama secuencial de los tiempos utilizados para la multiplicación en el Sistema Básico	87
4.1	Esquema de la vista superior del circuito - SN74195	95
4.2	Tabla de funciones del circuito SN74195	96
4.3	Diagrama funcional en bloque del circuito SN74195	97
4.4	Secuencias típicas de borrado, desplazamiento y carga	98
4.5	Entradas y salidas del circuito SN74195	99
4.6	Parámetros de medida del circuito SN74195	100
4.7	Esquema de la vista superior del circuito SN7483A	102
4.8	Tabla de funciones del circuito SN7483A	103
4.9	Diagrama funcional en bloque del circuito SN7483A	104
4.10	Esquema funcional en bloque del circuito SN7408	105
4.11	Esquema de cada compuerta del circuito SN7408	105
4.12	Circuito de carga	106

Número		Página
4.13	Diagrama secuencial de las señales de control para el Sistema Básico	110
4.14	Esquema de la unidad de control del Sistema Básico	110
4.15	Montaje del Sistema Básico de multiplicación	111
4.16	Consola	111
4.17	Vista superior de la consola	112
4.18	Tableros de control	113
4.18a	Diagrama circuital de la consola	114
4.19	Esquema del generador local	116
4.20	Generador local utilizando el circuito integrado 7413	116
4.21	Equipo funcionando con generador externo y - sistema básico	117
4.22	Sistema básico de multiplicación	118
4.23	Esquema con la ubicación de los circuitos integrados en la tarjeta que contiene el Sistema Básico	119
4.24	Diagrama lógico del circuito integrado - Am 2505	121
4.25	Símbolos lógicos y terminales del circuito Am 2505	121
4.26	Multiplicación complemento de 2 de 8x4 dígitos. Lógica positiva	124

Número		Página
4.27	Esquema para multiplicador 16x16 bits utilizando el circuito integrado Am 2505	126
4.28	Esquema del Sistema de Multiplicación Rápida	128
4.29	Esquema de launidad de control del sistema Rápido	130
4.30	Diagrama secuencial de las señales de control para el Sistema Rápido	130
4.31	Sistema Rápido de Multiplicación	132
4.32	Vista superior del circuito integrado Am 2505	133
4.33	Esquema con la ubicación de los circuitos integrados en la tarjeta que contiene el Sistema Rápido	134
4.34	Montaje del Sistema Rápido de Multiplicación	135
4.35	Sistema Rápido en funcbnamiento	135
4.36	Ejemplo de una medición del tiempo necesario para la multiplicación en el Sistema Rápido	137
4.37	Oscilogramas para medición del tiempo (A) Señal de salida a nivel 0 (B) Señal de salida con impulsos de inestabilidad, debido al sumador de llevada anticipada	138

T A B L A S

Literal		Página
a	Tabla de multiplicación binaria	12
b	Multiplicación ternaria para números positivos sin llevada previa	44
c	Multiplicación ternaria para números positivos con llevada previa	45
d	Multiplicación ternaria para números positivos, método 2, sin préstamo	50
e	Multiplicación ternaria para números positivos, método 2, con préstamo	52
f	Método mejorado por desplazamientos de 1s y 0s, donde A indica adición, S substracción y N para ninguna operación	63
g	Multiplicación ternaria para multiplicadores negativos	68
h	Conexiones de los registros para multiplicación ternaria de números con signo, examinando pares de bits del multiplicador de derecha a izquierda	70
i	Multiplicación de números negativos en notación complemento de 1 y 2	76
j	Tiempos de propagación y número de circuitos necesarios para varios arreglos	127

I N T R O D U C C I O N

La historia de las máquinas y ayudas para resolver problemas - de computación es casi tan larga como la de las Matemáticas. - Por muchas centurias el hombre trató de utilizar aparatos y métodos físicos y simbólicos para facilitar los cálculos que involucran esos problemas. En los tiempos modernos la gran solución es el uso de computadoras, que luego de varios años de optimización, llegan a su apogeo con la introducción de modernas computadoras electrónicas de alta velocidad.

Estas computadoras tienen un amplio campo de aplicación y actualmente su uso es tan generalizado, que ninguna empresa puede prescindir de ellas, tanto para el desarrollo y control de la función administrativa y económica como para el análisis y evolución de estudios técnicos. El manejo rápido, casi inmediato, de enormes cantidades de datos, permite obtener resultados satisfactorios antes de que cualquier parámetro de un problema haya cambiado en forma significativa.

El computador digital puede definirse como aquel que realiza - operaciones aritméticas, para lo cual manipula números binarios, en su forma más generalizada.

El estudio de las computadoras electrónicas, ha dado lugar a - dos especialidades diferentes y complementarias, la una estudia la máquina en sí misma y la otra su manejo y programación. En nuestro país, lo concerniente a programación ha sido motivo

de algún estudio y por lo tanto puede decirse que su campo ha sido iniciado, mientras que el estudio del equipo en sí mismo, permanece desconocido, casi en su totalidad. Por esta razón - se ha realizado el presente trabajo, el mismo que trata de iniciar los estudios de equipos de computadoras, con una de las - cuatro operaciones fundamentales: la multiplicación digital - de alta velocidad.

En vista de que en la multiplicación digital están involucra-- das sumas y restas, y como la división puede realizarse en términos de multiplicación, mediante la utilización de recíprocos, se puede concluir que al analizar los diferentes sistemas de - multiplicación digital, se están estudiando el tratamiento de las cuatro operaciones aritméticas básicas, en las computadoras digitales.

Los multiplicadores de alta velocidad son muy útiles para el equipo de computadoras de uso general y de propósitos especiales, sin embargo, las principales aplicaciones aparecen en el diseño de filtros digitales, procesadores rápidos de la transformada de Fourier[1/], generadores de funciones aritméticas, evaluación de polinómios, generación de raíces cuadradas, etc., todas las cuales son de gran uso práctico en la tecnología moderna.

1/ W.R.CYRE y G.J. LIPOVSKI, On Generating Multipliers for a - Cellular Fast Fourier Transform Processor, IEEE, Sept.72, pag 82

El multiplicador es el corazón de la unidad aritmética de la computadora y de velocidad depende el perfeccionamiento de su aplicación, siendo ésta otra razón más para que el diseño de multiplicadores de alta velocidad adquieran gran importancia práctica; el adelanto de la teconológía moderna está basado en la velocidad de operación de los sistemas y para optimizarla, es necesario el uso de multiplicadores rápidos, lo que explica la importancia del presente trabajo que trata del diseño de este tipo de multiplicadores.

Cabe destacar que el equipo diseñado tendrá su utilidad práctica, con fines pedagógicos, en los laboratorios de la Escuela Politécnica Nacional, colaborando de este modo en forma práctica al desarrollo de la enseñanza de técnicas de computación.

C A P I T U L O P R I M E R O

E X P O S I C I O N D E L P R O B L E M A

Usando lápiz y papel para realizar una multiplicación, se forman productos parciales que luego son sumados para obtener el resultado, desplazando siempre un lugar a la izquierda al escribir cada producto parcial. La computadora realiza la operación de la misma manera, con la diferencia que suma un producto parcial cada vez y no desplaza a éste a la izquierda sino - más bien a la suma parcial a la derecha.

Debido a que el sistema binario permite que los productos parciales sean cero o el multiplicando, puede ahorrarse presencia de memorias para almacenar cada producto parcial, lo que además requeriría de un sumador con muchas entradas.

En consecuencia, existen varios métodos de multiplicación, cada uno de ellos requiere de la repetición de sumas y ésto no - puede ser realizado tan rápido como cuando se tiene un método de multiplicación programado.

Por lo tanto, es importante para cualquier computadora, el tener un método de mulciplicación rápido programado.

Existen únicamente las siguientes maneras de incrementar la velocidad en la multiplicación:

1.- Reduciendo el tiempo promedio requerido para realizar las sumas repetidas durante la multiplicación.

2.- Suministrando múltiplos prefabricados del multiplicando.

3.- Proporcionando medios necesarios para realizar tanto sumas como restas durante el proceso de la multiplicación, de tal forma que ciertos múltiplos del multiplicando puedan ser realizados en menos pasos que en el método directo.

4.- Combinando los tres procedimientos anteriores para producir ventajas sobre cualquiera de ellos.

La velocidad para realizar la multiplicación depende en alto grado del tiempo necesario para realizar las sumas, lo que a su vez es dependiente la lógica que se sigue en la suma y de la velocidad de los circuitos.

INCREMENTO DE LA VELOCIDAD MEDIANTE SUMAS MULTIPLES

Normalmente, la multiplicación se realiza sumando el multiplicando a los productos parciales. Cada suma requiere una propagación de la "llevada" a través de todo el sumador. El proceso de la multiplicación debe esperar mientras tiene lugar ésta propagación. El tiempo necesario para realizar una sola suma en una serie de sumas puede ser reducido considerablemente al ahorrar la información de las "llevadas" y la suma se realiza en el próximo ciclo. Así, cada suma en la serie, requerirá solamente el tiempo necesario para que pasen los dígitos a tra--

vés del sumador y para la formación de una sola "llevada". Durante la próxima suma la información de la "llevada" junto con los nuevos dígitos entran en el sumador y la "llevada" de este proceso es nuevamente ahorrada. Sólo en el último ciclo de la multiplicación, necesita la suma ser llevada para completarla. Así, la última etapa de la multiplicación es tratada como un ciclo normal de suma.

MULTIPLICANDOS MULTIPLES

Antes de empezar formalmente el proceso de la multiplicación, se pueden formar y almacenar múltiplos del multiplicando, en registros especiales. Luego, durante la multiplicación, se puede referir a los bits del multiplicador en grupos. Cada grupo exitará a un múltiplo distinto del multiplicando a ser sumado al producto parcial. Se introduce este múltiplo en una entrada del sumador y el producto parcial en la otra entrada. Este procedimiento incrementará la velocidad de la multiplicación en un factor proporcional al número de múltiplos que se pueda manejar en un ciclo.

MULTIPLICACION TERNARIA CON PASOS FIJOS

Cuatro múltiplos del multiplicando están disponibles automáticamente e inmediatamente por referencia solamente del multiplicando, si se provee de un sistema para escoger adición o subs-

tracción del multiplicando en el circuito central y se permitirían desplazamientos simples o dobles durante la multiplicación. Este método facilita la decodificación de bits del multiplicador en pares, ternas, etc., en lugar de uno sólo y sin necesitar de registros extras para almacenar los múltiplos.

MULTIPLICACION POR DESPLAZAMIENTO VARIABLE

Una forma efectiva para incrementar la velocidad es el de facilitar desplazamientos de los operandos en un número variable de veces. Este método convenientemente usa grupos de bits en el multiplicador. Así, un desplazamiento de longitud i ocurre cuando un grupo de i ceros o i unos se representan en el multiplicador. Entre cada desplazamiento, puede suceder una suma o una resta del multiplicando con el producto parcial.

En base a estos antecedentes, se ha desarrollado el estudio teórico de los diferentes sistemas de multiplicación en el Capítulo II.

En el Capítulo III, se establece la diferencia en tiempo de procesamiento entre el sistema básico y los sistemas de multiplicación rápida, concluyendo con el cálculo del tiempo necesario para procesar la señal crítica en cada sistema. Puesto que todos los elementos utilizados en la práctica son prefabricados y de estado sólido, se ha utilizado el manual correspondien

te, para los diferentes cálculos de tiempo.

Se ha puesto especial interés en el diseño y construcción de - los sistemas de multiplicación, con el objeto de que el equipo sea utilizado como material didáctico en el estudio de sistemas digitales y a la vez permito establecer las diferencias entre los dos sistemas construídos. Detalles del diseño y construcción se encuentran en el Capítulo IV.

En el Capítulo V se realiza un estudio comparativo entre los - tiempos de procesamiento, calculados en el capítulo III, y los tiempos medidos para cada uno de los sistemas.

El último Capítulo contiene las referencias bibliográficas más importantes, consultadas para la realización del presente trabajo.

CAPITULO SEGUNDO

ESTUDIO DE LOS DIFERENTES SISTEMAS DE MULTIPLICACION

MULTIPLICACION BINARIA

El método de multiplicación usando lápiz y papel mediante sistema decimal se complementa con la ayuda de una tabla de multiplicar la cual, generalmente se debe memorizar. La multiplicación en el sistema binario debe ser complementada de igual forma, solamente que la tabla de multiplicación binaria es tan - simple que es casi trivial. Se la puede ver en la tabla a.

dígitos multiplicandos

		0	1
Dígitos	0	0	0
Multiplicadores	1	0	1

Tabla a Tabla de multiplicación binaria

En el sistema decimal, cuando se multiplica 45 por 7, por ejemplo, el 5 se multiplica primero por 7 para obtener 35, lo que da lugar a que el 5 ocupe el lugar de las unidades y el 3 sea transportado al lugar de las decenas. El 3 se suma al producto de 4 por 7, para así obtener 31, cuyos dígitos van a completar las casillas de las centenas y decenas del producto. La simplicidad de la multiplicición binaria se debe principalmente a que no se "lleva"; en efecto, cuando 0 y 1 son las únicas alternativas para los dígitos multiplicadores, se usan cero o el mismo multiplicando en la formación del producto. La tabla de

multiplicación puede ser olvidada, pero esta exposición no debe ser interpretada como que el problema termina aquí, porque todavía existe el inconveniente de las sumas de los productos parciales, en la formación del producto de dos números binarios.

```
Multiplicando (X)          1111
Multiplicador (Y)          1101
                  A        1111 }
                  B       0000  }
                  C      1111   }  Productos Parciales
                  D     1111    }
                      11000011
```

Fig. 2.1a Multiplicación binaria

En el ejemplo de multiplicación binaria de la figura 2.1a, 1111 (15 decimal) se multiplica por 1101 (13 decimal) para obtener el producto 11000011 (195 decimal). Los productos parciales son cero o igual al multiplicando, si es que el dígito multiplicador correspondiente es 0 o 1, respectivamente. Se puede comprobar fácilmente que los productos parciales están colocados en sus propias columnas (órdenes), pero ésto es claro para quien está familiarizado con la multiplicación. La forma común de sumar los productos parciales es de añadir los dígitos de los mismos, sumando cada vez una sola columna empezando con la de menor orden. Cuando se suman los productos parciales en la multiplicación decimal, la "llevada" de una columna a la próxima, raras veces excede de diez, excepto cuando el multiplican-

do y el multiplicador son números muy grandes. En la multiplicación binaria "llevadas" de 10 (2 decimal) y aún mayores es común encontrar aunque el multiplicando y el multiplicador sean de tamaño moderado.

El manejo de "llevadas" en varios órdenes (unidades, decenas, centenas, ...) aunque en principio es elemental, es un proceso embarazoso de realizarlo mentalmente y difícil de llevarlo a cabo sin error; las dificultades pueden ser obviadas al realizar solamente la suma de un producto parcial cada vez, para formar el producto total. En la mecanización de la multiplicación es casi práctica universal sumar los productos parciales uno cada vez; lógicamente, serían necesarios tantos registros como productos parciales se produzcan en una multiplicación. El registro es un dispositivo de almacenamiento para números binarios. Existe otro método que utiliza un sistema de pirámide y que suma todos los productos parciales a la vez, pero requiere gran cantidad de circuitos para aumentar su velocidad siendo, por lo tanto, caro y pocas veces usado.

II.1 SISTEMA BASICO

II.1.1 EXPLICACION DEL SISTEMA BASICO

Analizando el ejemplo de multiplicación binaria que muestra la figura 2.1b, en el cual se tiene cuatro productos parciales, se

desplazan sucesivamente hacia la izquierda y luego se suman - para formar el producto final. Cada producto parcial es el - producto del multiplicando y de uno de los cuatro dígitos del multiplicador, pero como estos dígitos sólo pueden ser 0 o 1, los productos parciales sólo pueden ser cero (0000) o el multiplicando (1110) respectivamente.

1110	Multiplicando
1101	Multiplicador
1110	Productos parciales
0000	
1110	
1110	
10110110	Producto final

Fig. 2.1b Ejemplo de multiplicación binaria

En la computadora, la multiplicación se efectúa básicamente - del mismo modo, aunque con dos excepciones:

1.- En vez de obtener, primero, todos los productos parciales para sumarlos luego con los otros, se suman de uno en uno. Por ejemplo, el segundo se suma con el primero, el tercero con la suma de los dos primeros, etc.

2.- En vez de desplazar cada producto parcial hacia la izquierda antes de sumarlo al total de los productos parciales anteriores se desplaza hacia la derecha la suma anterior.

La figura 2.2 muestra esos cambios y emplea los mismos números

de la figura 2.1b.

Cuando se lleva a cabo de ese modo el procedimiento consiste - sencillamente en sumar cada producto parcial a una suma acumulada, desplazar la nueva suma a la derecha, sumar el siguiente producto parcial, etc., hasta que se han sumado todos ellos. El esquema de la figura 2.3 muestra el multiplicador que sigue estos pasos. Si se coloca el multiplicando en el registro D, los productos parciales pueden formarse en la entrada del sumador abriendo la compuerta de salida del registro D, si el dígito del multiplicador es 1, o cerrándola si es 0. A fin de obtener el registro A para que contenga la suma de los productos parciales, se debe cambiarle de dos modos:

1.- El registro A debe ser capaz de desplazar un número a la - derecha.

2.- El registro A debe tener doble cantidad de bits, porque el producto de dos números puede tener el doble de dígitos que - los números originales.

II. 1.2 DIAGRAMAS DEL SISTEMA BASICO PARA MULTIPLICACION

Los cambios que se describieron, están incorporados en el diagrama del sistema básico para la multiplicación que muestra la figura 2.3. Por razones que se darán más adelante, la parte -

aumentada del registro A se llama registro Q, pero los dos registros actúan conjuntamente como un gran registro largo de desplazamiento. Se ha añadido un bit adicional de posición en el extremo más significante para contener la "llevada" de orden superior del sumador.

```
  0000      Suma de productos parciales (inicialmente 0)
 +1110      Primer producto parcial
  1110      Nueva suma

  01110     Suma desplazada a la derecha
 +0000      Segundo producto parcial
  01110     Nueva suma

  001110    Suma desplazada a la derecha
 +1110      Tercer producto parcial
  1000110   Nueva suma

  1000110   Suma desplazada a la derecha
 +1110      Cuarto producto parcial
  10110110  Nueva suma

  10110110  Suma desplazada a la derecha (producto final)
```

Fig. 2.2 Multiplicación efectuada por adición de un producto parcial en cada vez.

En la operación de multiplicación se coloca el multiplicando en el registro D y el registro A - Q se pone en cero (se reajusta a cero). Más adelante se hablará del paradero del multiplicador y por el momento se supone que se coloca en algún registro que no muestra la figura 2.3. Se llevan a cabo los siguientes pasos para cada bit del multiplicador comenzando con el de orden inferior.

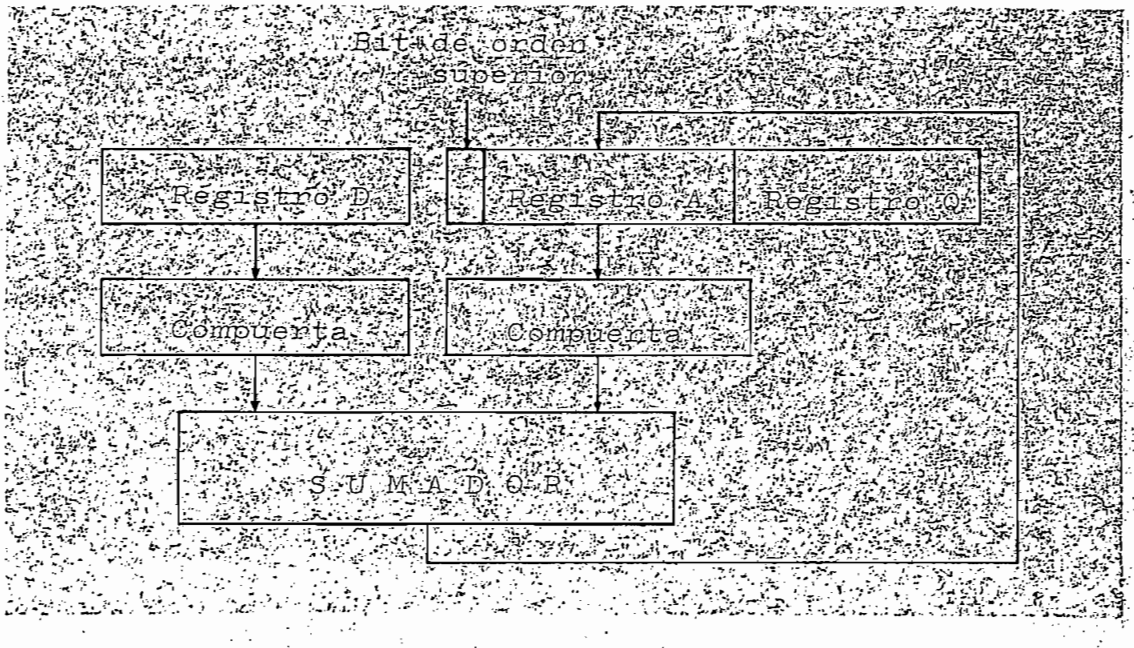


Fig. 2.3 Diagrama del sistema básico para multiplicación

1.- Si el bit del multiplicador es 1, se abre la compuerta de la salida del registro D, pero si es 0 la compuerta se cierra. De hecho la entrada izquierda del sumador puede considerarse como producto parcial.

2.- El producto parcial se suma al número del registro A (inicialmente 0), y la suma se coloca de nuevo en el registro A.

3.- El registro A - Q se desplaza a la derecha.

Se repiten los tres pasos hasta que se ha empleado el último bit del multiplicador y en ese momento el registro A - Q contendrá el producto correcto.

1 1 0 1	Multiplicador (no se muestra el registro en el diagrama del sistema)
1 1 1 0	Multiplicando en el registro D
0 0 0 0 0 0 0 0 0	Registro A - Q puesto a ceros inicialmente
0 1 1 1 0 0 0 0	Adición de D a A (primer bit del multiplicador = 1)
0 0 1 1 1 0 0 0 0	A - Q desplazado a la derecha
0 0 1 1 1 0 0 0 0	Adición de 0 a A (segundo bit del multiplicador = 0)
0 0 0 1 1 1 0 0 0	A - Q desplazado a la derecha
1 0 0 0 1 1 0 0 0	Adición de D a A (tercer bit del multiplicador = 1)
0 1 0 0 0 1 1 0 0	A - Q desplazado a la derecha
1 0 1 1 0 1 1 0 0	Adición de D a A (cuarto bit del multiplicador = 1)
0 1 0 1 1 0 1 1 0	A - Q desplazado a la derecha
Producto final	

Fig. 2.4 Descripción detallada del registro A-Q durante la multiplicación

La operación se muestra detalladamente en la figura 2.4, en la que se ven los números del registro A - Q durante cada etapa de la multiplicación. El registro D que contiene el multiplicando no cambia durante la operación y se supone que el multiplicador estará en algún registro que no muestra el diagrama del sistema.

Dando atención nuevamente al multiplicador, cada uno de sus dígitos es examinado durante la multiplicación a fin de determinar el valor de cada producto parcial. Si se coloca el multiplicador en un registro de desplazamiento y sí se usa el valor del dígito que queda en la posición de orden inferior del registro para escoger el producto parcial, pueden obtenerse uno por uno los dígitos del multiplicador si éste se desplaza a la derecha. Después que se emplea el dígito de orden inferior del multiplicador para escoger el primer producto parcial, el multiplicador se desplaza a la derecha para colocar el segundo dígito del mismo en la posición de orden inferior del registro. Después de obtener el segundo producto parcial, el multiplicador se desplaza de nuevo para obtener el tercer dígito del mismo, etc.

Se pierden los dígitos del multiplicador que se van corriendo de su extremo.[3]

El empleo de un registro de desplazamiento para el multiplicador es de especial interés, porque permite que el multiplicador se coloque en el registro Q y por lo tanto no es necesario añadir otro registro al diagrama del sistema que muestra la figura 2.3.

En el ejemplo de multiplicación que muestra la figura 2.4, el registro Q se reajustó inicialmente a 0, y esos ceros se despla-

zaron a la derecha juntamente con la suma hasta que los cuatro ceros salieron del registro. Si en vez de ello, el multiplicador se coloca inicialmente en el registro Q, puede usarse el valor del dígito en la posición de orden inferior para controlar la compuerta que hay entre el registro D y el sumador.

Si el dígito es 1, se abre la compuerta pero si es 0 la compuerta se cierra. Inicialmente el dígito de orden inferior del multiplicador está en la posición de orden inferior del registro Q y, por lo tanto, ese dígito determina el primer producto parcial. Después que se suma el primer producto parcial al registro A, el registro A - Q se desplaza a la derecha. Se pierde el dígito de orden inferior del multiplicador, y el segundo dígito del mismo queda en su sitio para determinar el segundo producto parcial, etc. A medida que los dígitos del multiplicador se desplazan fuera del extremo derecho del registro Q, los dígitos de la suma se corren desde el extremo izquierdo, y cuando el último dígito del multiplicador (de orden superior) se desplaza fuera del registro, el registro A - Q contendrá el producto final.

La figura 2.5 muestra el mismo ejemplo que la figura 2.4, a excepción de que el multiplicador se coloca ahora en el registro Q. Se debe notar que no hay separación entre el extremo del multiplicador (dígito de orden superior) y el principio de la suma (dígito de orden inferior). La única forma de comprobar -

que se han usado todos los dígitos del multiplicador, consiste en contar el número de sumas y de operaciones de desplazamiento. Como el tamaño del número es de cuatro dígitos, deben efectuarse exactamente cuatro operaciones de desplazamiento. La figura 2.6 resume los pasos de la multiplicación en forma de diagrama.

1 1 1 0	Multiplicando en el registro D
0 0 0 0 0 1 1 0 1	Multiplicador en el registro Q, registro A a ceros
0 1 1 1 0 1 1 0 1	Adición de D a A (bit Q = 1)
0 0 1 1 1 0 1 1 0	A - Q desplazado a la derecha
0 0 1 1 1 0 1 1 0	Adición de 0 a A (bit Q = 0)
0 0 0 1 1 1 0 1 1	A - Q desplazado a la derecha
1 0 0 0 1 1 0 1 1	Adición de D a A (bit Q = 1)
0 1 0 0 0 1 1 0 1	A - Q desplazado a la derecha
1 0 1 1 0 1 1 0 1	Adición de D a A (bit Q = 1)
0 1 0 1 1 0 1 1 0	A - Q desplazado a la derecha
Producto final	

Fig. 2.5 Ejemplo de multiplicación que muestra el multiplicador en el registro Q.

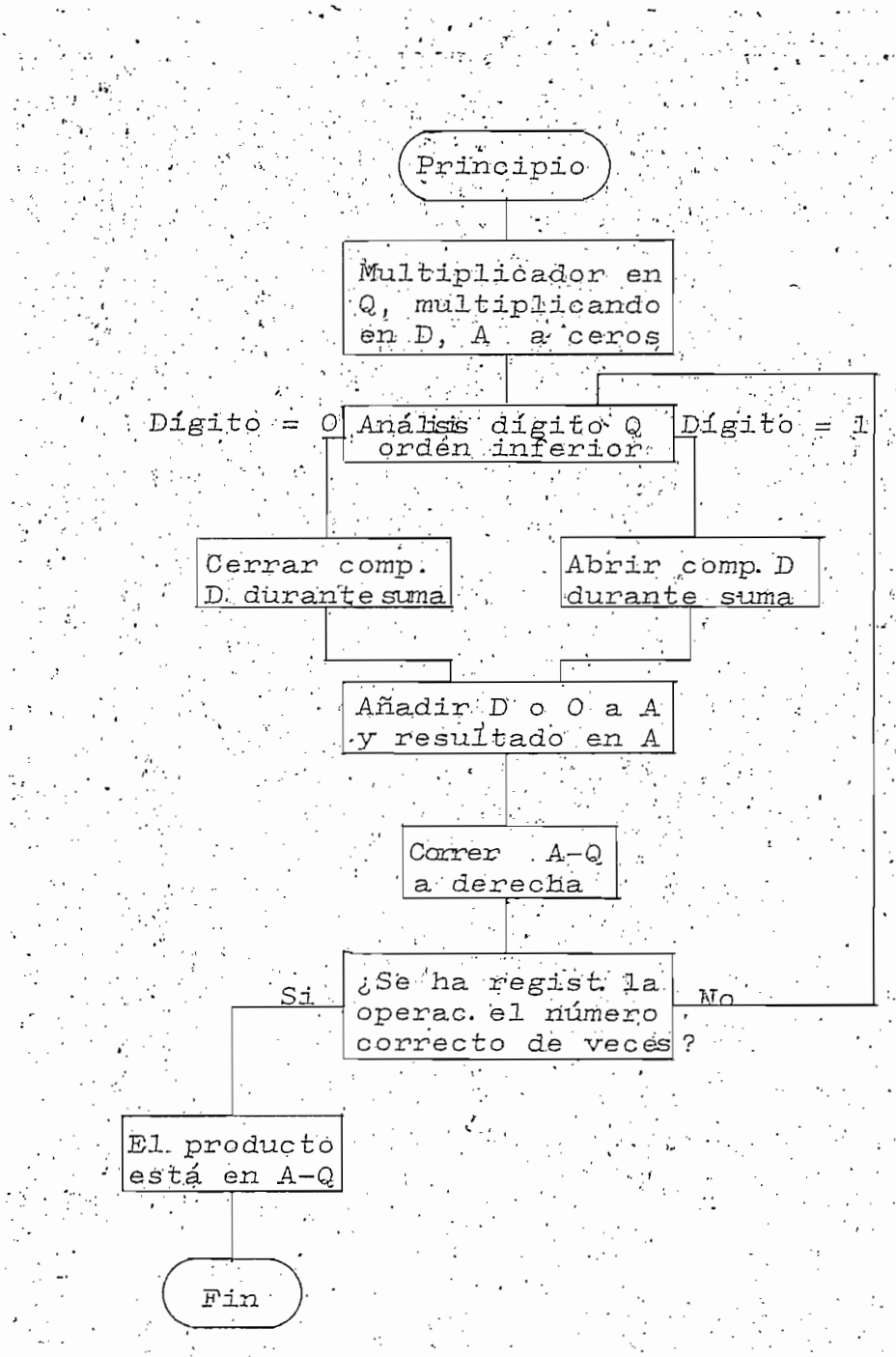


Fig. 2.6 Gráfico que muestra los pasos de la multiplicación.

Cuando se multiplican dos números con signos, se hace positivo

el signo del producto, si los dos signos originales son igua-- les y negativos, si los signos originales son distintos.

II.2 SISTEMA BASICO UTILIZANDO METODOS DE SUMA RAPIDA

II.2.a PRINCIPIO DE AHORRO DE LLEVADA PARA MULTIPLICACION

Debido a que la multiplicación se realiza con sumas y operaciones de desplazamiento, cualquier incremento en la velocidad de éstas, puede contribuir a hacer más rápida la multiplicación.

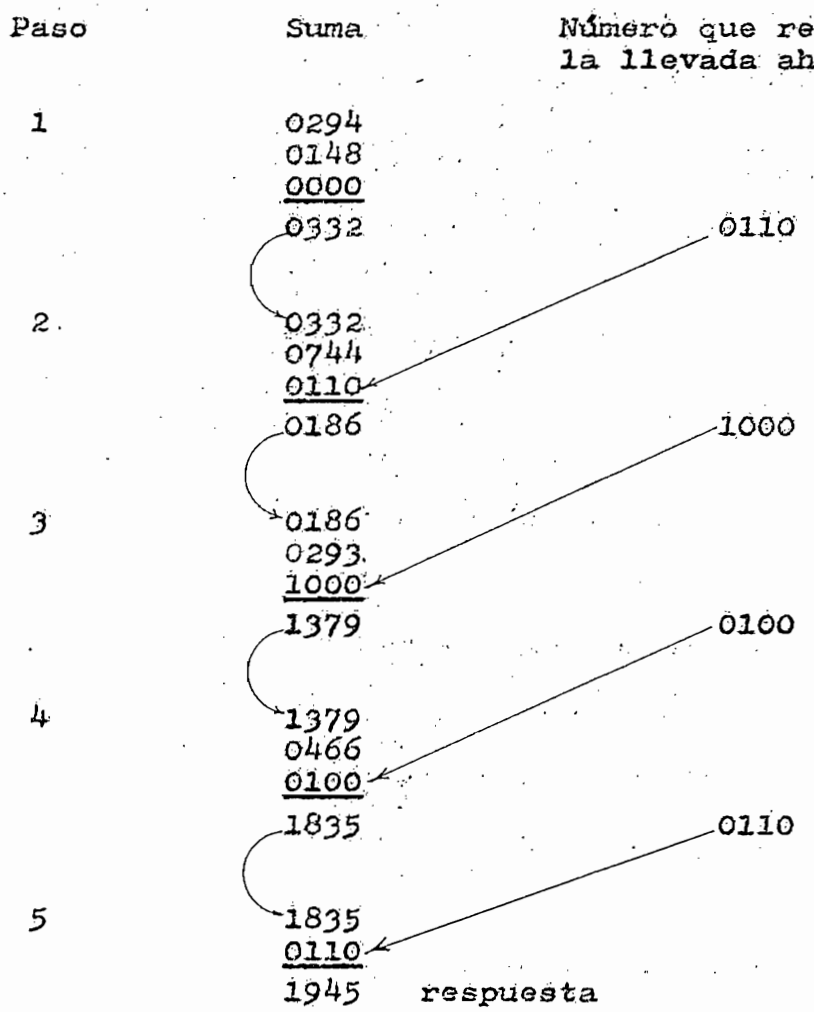
La velocidad en la multiplicación puede ser aumentada con pequeñas complicaciones en los circuitos del multiplicador, suprimiendo el ciclo de suma cuando el bit multiplicador es 0 y tomando lugar únicamente cuando es 1.

Si se usa este método, el tiempo para revisar la multiplicación no es una constante, sino que depende del dato a ser multiplicado. Esta es una de las razones por lo que el tiempo de la multiplicación se da en términos de mínimo, máximo y promedio.

En vista de que la multiplicación requiere de la suma de varios números, una economía en tiempo se hace posible al encontrar un método que ahorre la propagación de la llevada. Para comprender como se obtiene esta economía, se considera el ejemplo de la figura 2.7 con raíz decimal (para fácil comprensión).

```
0294
0148
0744
0293
0466
1945
```

(a) Ejemplo que muestra la suma de varios números



(b) Aplicación del principio de ahorro de llevada al ejemplo presentado en (a)

Fig. 2.7 Principio de ahorro de llevada

El ciclo de la suma involucra tres números: la suma parcial, - uno de los números a ser sumado y un número proveniente del ciclo anterior que constituye la llevada. La suma en un ciclo - dado trata cada dígito independientemente de todos los otros,- aunque se obtiene una llevada en cada posición de los dígitos. Esta llevada no es aplicada inmediatamente al orden imediato - superior, sino que es ahorrada o almacenada para ser sumada en el próximo ciclo. Se nota que ninguna propagación de la llevada tiene lugar durante las sumas sino únicamente en la última. Usando el principio de ahorro de llevada, el tiempo total de - multiplicación es determinado por el tiempo necesario para la propagación de llevada en una sola suma y la demora para el - desplazamiento lógico además de la suma de un sólo dígito.

II.2.b SUMADOR CON AHORRO DE LLEVADA

Las llevadas generadas durante el proceso de sumas múltiples,- requerido para la multiplicación, pueden ser ahorradas. Esto - significa que un registro completo será asignado para el almacenamiento de la formación de llevada.

La figura 2.8 indica dos etapas de la suma durante la multiplicación en puntos intermedios del sumador completo. La etapa - del sumador de la izquierda con subindice i, tiene como entradas: la información de un bit del registro A y un bit del registro D. Por supuesto, la entrada que viene del registro D -

puede ser impedida, introducida fielmente o complementada. Esta decisión realiza un circuito de control.

La tercera entrada a la etapa del sumador normalmente viene de la etapa previa de éste y es utilizada para propagar la llevada durante la suma. Este enlace es suprimido y en su lugar - puesto un registro de ahorro de llevada.

En la figura 2.8, se ha omitido el circuito de control de tiempo para la operación apropiada de este circuito lógico. Al - mismo tiempo que los bits sumandos entran en X y Y de un sumador, la salida de la etapa previa del registro de ahorro de - llevada entra en C, que es una entrada de este sumador. La suma es enviada al bit apropiado del registro A'. La etapa sumadora también produce una llevada de salida a ser propagada a - lo largo de la línea, en lugar de ésto, es enviada al bit apropiado del registro C' de ahorro de llevada. Tan pronto como - la llevada y la suma de todas las etapas están almacenadas en los registros C y A' respectivamente, se dice que este ciclo - de adición parcial se ha completado. Incidentalmente, el almacenamiento de llevada y suma debe ocurrir aproximadamente al - mismo tiempo para todas las etapas.

El principio del ahorro de llevada puede ser incorporado, ya - sea en la configuración del registro de un sólo rango o de doble rango. Para ser consistentes en esta presentación se exa-

minará como se incorpora a la unidad aritmética de un registro de doble rango. En la figura 2.9 se puede ver cómo registros - de doble rango (C y C'), pueden ser incorporados cuando se necesitan adiciones múltiples. Esta figura muestra cómo números múltiples pueden ser acumulados en lugar de cómo se realiza la multiplicación. El registro A es usado para acumular la suma "sin llevada", nuevos números a ser sumados entran en el registro de D entre dos ciclos.

El primer registro de llevada C' recibe las nuevas llevadas - producidas por el sumador en cada ciclo. Se debe notar que éstas están desplazadas una posición a la izquierda a medida que entran de C' al registro principal C. Durante la próxima suma, estas llevadas, las cuales han sido movidas una posición, entran junto con la suma acumulada y un nuevo sumando hacia el - sumador.

Cuando el último sumando entra en el sumador, se desea que el sumador funcione para que de la suma final. Esto puede ser realizado de dos maneras. Primero, se puede operar el sumador en el modo de propagación de llevada en lugar del de ahorro de llevada. Segundo, se puede operar el sumador para el primer ciclo como se describió previamente. Se sigue con los otros ciclos inhibiendo la entrada D y se continúa operando hasta que las llevadas producidas por el sumador sean todos Os, así en - ciclos sucesivos se están sumando las sumas parciales a las -

llevadas parciales, hasta que la llevada total es asimilada. - La longitud promedio de propagación ha sido investigada por muchos autores y es al rededor de 6 etapas para un sumador de 40 bits. Esto significa solamente que 6 ciclos extras se requieren, en promedio para hacer fluir las llevadas y obtener la suma apropiada.

II.2.1 MULTIPLICACION MEDIANTE SUMADORES CON AHORRO DE LLEVADA

Para aplicar el principio de ahorro de llevada de la figura - 2.9, con el objeto de incrementar la velocidad de la multiplicación se debe considerar lo siguiente:

1.- Proveer de almacenamiento para el multiplicador y para la palabra menos significante del producto de doble longitud, para lo cual se usa el registro Q.
2.- Proveer de un desplazador hacia la derecha tanto del multiplicador como del producto después de cada suma o adición con llevada suprimida.
3.- Aprovisionar para el desplazamiento del nuevo producto desde el registro A' al registro Q.
4.- Aprovisionar para el efecto de desplazamiento correcto del producto respecto al almacenamiento de llevada.

II.2.2 DIAGRAMA DEL SISTEMA QUE USA SUMADORES CON AHORRO DE LLEVADA

Los puntos enumerados en II.2.1 han sido tomados en consideración en la figura 2.10. Se puede notar que no hay desplazamiento cuando la información es transferida de C' a C. Esto es debido a que el único desplazamiento de la información que ha sido transferido de A' a A ocasiona el desplazamiento relativo requerido de la suma parcial con respecto al almacenamiento de llevada.

En efecto, sólo un registro puede ser utilizado para las funciones de C y C'.

Cuando el control lógico requiere un ciclo de no adición, el registro A puede ser desplazado al registro principal directamente a través del sumador sin mucho incremento de tiempo ya que no es necesaria la propagación. Esto significa, que el sumador ve solamente la suma parcial y las llevadas almacenadas durante un ciclo de no adición o sea que el registro D es bloqueado.

El ciclo de no suma produce una "suma" que entra en A' y nuevas llevadas para este ciclo que entran en C'. Como es usual, el desplazamiento hacia la derecha se realiza a medida que la suma parcial regresa de A' a A.

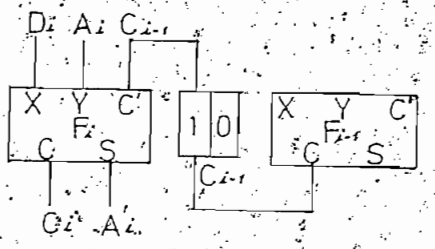


Fig. 2.8 , Sumador con ahorro de llevada y su etapa previa

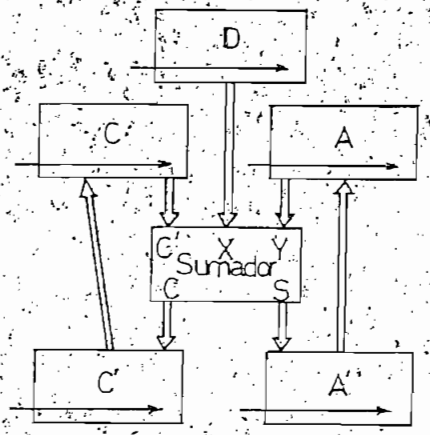


Fig. 2.9 Sumador con ahorro de llevada y registro de doble rango

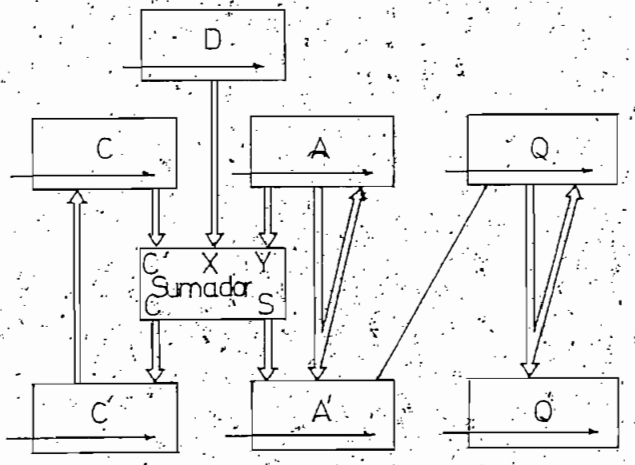


Fig. 2.10 Configuración de un multiplicador que utiliza un sumador con ahorro de llevada de doble rango

El sumador de ahorro de llevada de la figura 2.10 reduce el tiempo de la multiplicación directamente; la reducción se suma al tiempo de propagación de la llevada para todas las sumas requeridas en la multiplicación excepto la última. El concepto de ahorro de llevada puede ser incorporado también a otros métodos de incremento de velocidad para la multiplicación.

Se podrían hacer conjeturas sobre el efecto de almacenar llevadas, para luego utilizarlas en la etapa final de la suma. Este tópico fue estudiado teórica y empíricamente por G. Estrín, B. Gilchrist y J.H. Pomerene quienes encontraron que no había una diferencia perceptible en el tiempo requerido para el ciclo final con los dos tipos de suma, ahorro de llevada y propagación asincrónica.

II.3 METODOS QUE REDUCEN EL NUMERO DE SUMAS NECESARIAS

En un sistema de multiplicación, el multiplicando es almacenado en el registro D, el multiplicador en el registro Q y los productos parciales entran en el registro A. Para indicar que sucede de una secuencia a otra se usa la siguiente anotación:

$$(A) + (D) \longrightarrow A \qquad 2.3.1$$

Lo que indica que el contenido del registro A y el contenido del registro D se suman entre sí y retorna al registro A.

Cuando se discute una secuencia, se refiere al actual contenido de los registros A y D pero al contenido original del registro Q. Esto puede simplificar la forma de pensar, pero en ningún caso hace que el resultado sea válido sin importar la configuración del registro en discusión. Así, el bit i del multiplicador se lo refiere como Qi sin importar donde está situado este bit en el registro Q. En muchos casos, cuando se examinan los bits del multiplicador de derecha a izquierda, el bit bajo observación ha sido desplazado al extremo derecho del registro y por lo tanto se lo podría referir más correctamente como Q1. Sin embargo, esta anotación nos permite usar el simple Qi sin importar dónde está situado el bit dentro del registro.

II.3.a MULTIPLICACION DE NUMEROS POSITIVOS CON UN SOLO BIT CADA VEZ

La anotación para describir la multiplicación usando un bit del multiplicador cada vez es como sigue:

$$1/2\ [(A) + Qi\ (D)] \longrightarrow A \qquad 2.3.2$$

Si el bit multiplicador Qi es 0, el registro A es desplazado

solamente con respecto a sí mismo. Al contrario, si el bit - multiplicador es un 1 el multiplicando es sumado al registro A, el cual es luego desplazado con respecto a sí mismo. Como se mencionó anteriormente, un desplazamiento es realizado al pasar la salida del sumador al registro primario y luego re-- gresando el contenido de éste, que se ha movido un bit hacia el registro principal.

II.3.1 METODO QUE REDUCE EL NUMERO DE SUMAS NECESARIAS ANALIZANDO EL MULTIPLICADOR EN PARES DE BITS

Se incrementaría notablemente la velocidad de la multiplica-- ción si se examinan pares de bits del multiplicador y en un - sólo paso se realizan las sumas requeridas por cada par de - bits. Para realizar la suma requerida por el par de bits en un sólo paso, se tiene que efectuar lo que expresa la siguien te ecuación:

$$1/4\left[(A) + 2\,Q_{i+1}\,(D) + Q_i\,(D)\right] \longrightarrow A \qquad 2.3.3$$

Tres de las cuatro alternativas que se pueden obtener al com- binar los pares de bits $Q_{i+1}\ Q_i$, son las siguientes:

00: $1/4\,(A) \longrightarrow A$ 2.3.4

01: $1/4\left[(A) + (D)\right] \longrightarrow A$ 2.3.5

10: $1/4\left[(A) + 2\,(D)\right] \longrightarrow A$ 2.3.6

Después de cada par de bits se examina el próximo par, el cual puede anotarse como:

$$i + 2 \longrightarrow i \qquad 2.3.7$$

Cuando ambos bits son 1, se requiere que el multiplicando y - dos veces el multiplicando sean sumados al registro A. A continuación se examinan varios métodos de llevar ésto a cabo.

II.3.1.a METODOS PARA TRATAR PARES 11 DEL MULTIPLICADOR

La primera forma para resolver el problema es ignorarlo; ésto es, cuando se encuentra un par de 1s se vuelve al método simple de hacer la multiplicación de un bit cada vez. Esto se - puede indicar de la siguiente forma:

$$11: \quad 1/2\,[(A) + (D)] \longrightarrow A \qquad i+1 \longrightarrow i \qquad 2.3.8$$

La segunda parte de esta ecuación indica que en lugar de to-- mar el próximo par de bits se toma el bit de la izquierda de este par y el próximo bit de su izquierda es considerado en otro par para propósitos de la próxima secuencia. Al realizar la multiplicación, se examinarán todos los bits del multiplicador de par en par y a veces completando todo lo requerido por el par o a veces haciendo sólo la mitad del trabajo.

Desde el punto de vista estadístico, se esperará que las tres cuartas partes del tiempo se pueda obtener un par de bits completos y sólo un cuarto del tiempo se tratarán pares de bits que deberían considerarse como el caso de un sólo bit a la vez.

Otra alternativa es el formar un triple del multiplicando antes de que empiece la multiplicación. Esto requiere un registro extra que se lo denomina T en el cual se almacena tres veces el multiplicando. Para formarlo se introduce en una entrada del sumador una vez el multiplicando y en la otra entrada dos veces el multiplicando; se obtiene tres veces el multiplicando a la salida y de ahí se le introduce en el registro T. Hay que recalcar que dos veces el multiplicando es sólo el multiplicando desplazado una vez a la izquierda. Ahora se tiene que:

$$2(D) + (D) \longrightarrow T \qquad 2.3.9$$

$$11: \quad 1/4\left[(A) + (T)\right] \longrightarrow A \qquad i+2 \longrightarrow i \qquad 2.3.10$$

Otra alternativa es el usar multiplicación ternaria la cual realiza la multiplicación mediante sumas y restas.

II.3.2 METODO QUE REDUCE EL NUMERO DE SUMAS NECESARIAS ANALIZANDO TRIPLETAS MULTIPLES

Se puede examinar los bits multiplicadores en grupos de tres.-

El resultado deseado en este examen es:

$$1/8\left[(A) + 4Q_i + 2(D) + 2Q_i + (D) + Q_i(D)\right] \longrightarrow A \qquad i+3 \longrightarrow i \qquad 2.3.11$$

Cuando la tripleta contiene un sólo 1 o ningún 1, es simple - realizar las sumas requeridas en una etapa, así:

$$000: \quad 1/8\,(A) \longrightarrow A \qquad 2.3.12$$

$$001: \quad 1/8\left[(A) + (D)\right] \longrightarrow A \qquad 2.3.13$$

$$010: \quad 1/8\left[(A) + 2(D)\right] \longrightarrow A \qquad 2.3.14$$

$$100: \quad 1/8\left[(A) + 4(D)\right] \longrightarrow A \qquad 2.3.15$$

Cuando se tiene dos o más 1s se resuelve regresando a la forma simple o formando uno o más múltiplos.

El resto de combinaciones triples no consideradas, pueden ser escritas de la siguiente forma cuando no se dispone de los múltiplos del multiplicando.

$$011,\ 111: \quad 1/2\left[(A) + (D)\right] \longrightarrow A \qquad i+1 \rightarrow i \qquad 2.3.16$$

$$101: \quad 1/4\left[(A) + (D)\right] \longrightarrow A \qquad i+2 \rightarrow i \qquad 2.3.17$$

$$110: \quad 1/4\left[(A) + 2(D)\right] \longrightarrow A \qquad i+2 \rightarrow i \qquad 2.3.18$$

Para 2.3.16 se regresa al método simple de un sólo bit cada vez. Para 2.3.17 y 2.318 se examinan en pares en lugar de tripletas.

En cada caso, los bits que no han sido considerados en cada ciclo, pasan a ser examinados en el próximo. Usando este método, un examen estadístico demuestra que para multiplicadores distribuídos al azar, en un 50% del tiempo se realiza la multiplicación a velocidades triples, en un 25% del tiempo se opera a doble velocidad y en un 25% a velocidad simple.

Una alternativa derivada de la anterior usa el triple del multiplicando, el cual está almacenado en el registro D al comienzo de la multiplicación. Esto se utiliza en dos de los casos. El triple del multiplicando se utiliza cuando se quiere 6 veces el multiplicando ya que cuando se desplaza este triple a la izquierda se obtiene 6 veces el multiplicando. Así:

011:	$1/8\left[(A) + (T)\right] \longrightarrow A$	$i+3 \longrightarrow i$	2.3.19
110:	$1/8\left[(A) + 2(T)\right] \longrightarrow A$	$i+3 \longrightarrow i$	2.3.20

El caso 101 se realiza como 2.3.17; y para 111 se tiene:

111:	$1/4\left[(A) + (T)\right] \longrightarrow A$	$i+2 \longrightarrow i$	2.3.21

Así, al disponer de los triples del multiplicando se realiza 3/4 de los casos a triple velocidad y 1/4 a doble velocidad. Esto da lugar a tener un promedio de 2 3/4 bits por ciclo lo cual no es malo.

Si se examina la tripleta de bits del multiplicador, se nota - que se puede realizar la multiplicación para esta tripleta en un sólo paso si se dispone no sólo del triple del multiplicando sino también el quíntuple y séptuple. Se podrá disponer - también de los dos casos mencionados anteriormente. Es obvia la forma como éstos múltiplos de multiplicando se suman al producto parcial cuando están disponibles en registros separados, F y S.

101:	$1/8[(A) + (F)] \longrightarrow A$	$i+3 \longrightarrow i$	2.3.22
111:	$1/8[(A) + (S)] \longrightarrow A$	$i+3 \longrightarrow i$	2.3.23

II.3.3 METODO QUE REDUCE EL NUMERO DE SUMAS NECESARIAS ANALIZANDO EL MULTIPLICADOR CADA CUATRO O MAS BITS

Se pueden examinar los bits multiplicadores en grupos de cuatro, cinco, etc. A medida que el número de bits a examinarse se incrementa, la lógica de la suma requiere un incremento en alto grado. Si se desea manejar todos los casos en un ciclo de la adición, se deben incorporar un gran número de registros auxiliares. Estos son utilizados para almacenar el multiplicando o sus múltiplos. Así, para cuando se analiza el multiplicador de cuatro en cuatro bits, se necesitan registros extras para los siguientes múltiplos del multiplicando (además de los - que se requieren para cuando se analizan de tres en tres): nueve, once, trece y quince.

Nuevamente, se puede analizar el multiplicando en grupos de - uno, dos o tres bits a la vez, para los casos complicados.

A continuación se examinará el caso en que es posible realizar desplazamientos múltiples pero no se dispone de registros para el almacenamiento de múltiplos del multiplicando.

A veces este método se llama desplazamiento de 0s. Se considera que la computadora tiene la capacidad de realizar en una - operación k desplazamientos hacia la derecha. De acuerdo a la notación utilizada, se puede escribir lo siguiente:

$\underbrace{100\ldots00}_{k}$: $(1/2)^k(A) \longrightarrow A$ $\quad i+k \longrightarrow i$ 2.3.25

También se desea realizar todos los desplazamientos menores de k entre 1 y k. Se incluye además un decodificador capaz de reconocer modelos de la forma 100 ... 01 donde puede haber ninguno, uno o hasta (k-1)0s entre los dos 1s. Cuando existe el - máximo número de ceros entre dos 1s, la notación es:

$\underbrace{100\ldots01}_{k-1}$: $(1/2)^k\left[(A) + (D)\right] \longrightarrow A$ $\quad i+k \longrightarrow i$ 2.3.26

Cuando se tiene el mínimo número de 0s entre los 1s la notación puede ser:

$\underbrace{100\ldots01}_{k-j-1}$: $(1/2)^{k-j}\left[(A) + (D)\right] \longrightarrow A$ $\quad i+j \longrightarrow i$ 2.3.27

Se puede calcular el incremento de velocidad mediante el método simple para cuando se tiene distribución al azar de los números del multiplicador. Esta es una derivación más complicada ya que depende del número de bits del multiplicador y requiere la aplicación de la teoría estadística sobre grupos de bits.

II.3.4 DESPLAZAMIENTOS DE CEROS COMBINADO CON LOS METODOS DE MULTIPLICANDO MULTIPLE

La lógica requerida para examinar los bits del multiplicador en múltiplos cada vez mayores se ha incrementado rápidamente. Sin embargo, la lógica requerida para realizar desplazamientos múltiples no se ha complicado y no requiere de más registros, simplemente se ha incrementado el número de compuertas que están entre el registro primario y el registro principal. Se puede llegar a combinar desplazamientos múltiples con el método de multiplicandos múltiples.

Así, se puede combinar el método de pares de bits usando triples del multiplicando y desplazando los 0s. Las ecuaciones a ser modificadas son: 2.3.4, 2.3.5, 2.3.6 y 2.3.10.

Respectivamente se tiene:

$\underbrace{100\ldots00}_{j}$: $(1/2)^{j}\ (A) \longrightarrow A \qquad i+j \longrightarrow i \qquad j \leq K$ 2.3.28

$\underbrace{100\ldots01}_{j}$: $(1/2)^{j+1}\left[(A) + (D)\right] \longrightarrow A$

$i+j+1 \longrightarrow i \quad j \leq K$ 2.3.29

$\underbrace{100\ldots010}_{j}$: $(1/2)^{j+2}\left[(A) + 2(D)\right] \longrightarrow A$

$i+j+2 \longrightarrow i \quad j+1<K$ 2.3.30

$\underbrace{100\ldots011}_{j}$: $(1/2)^{j+2}\left[(A) + (T)\right] \longrightarrow A$

$i+j+2 \longrightarrow i \quad j+1<K$ 2.3.31

Donde K es el máximo número de desplazamientos que se pueden realizar.

II.4 SISTEMAS ESPECIALES

II.4.1 SISTEMAS QUE UTILIZAN MULTIPLICACION TERNARIA

Una simplificación en el número de sumas y restas que son necesarias durante una multiplicación resulta de la capacidad de sumar o restar el multiplicando del producto parcial. Cuando ésto se combina con la capacidad de realizar múltiples desplazamientos se pueden optimizar los dos métodos. Los bits multiplicadores pueden ser examinados de dos en dos, de tres en tres, etc., pero se incrementa la complejidad a medida que se examinan mayor número de bits simultáneamente.

Se denomina multiplicación ternaria porque al examinar un con--

junto de bits multiplicadores se debe tomar una de las tres decisiones: sumar o restar el multiplicando múltiple y desplazarlo o simplemente desplazarlo sin realizar operación alguna.

Existen varios factores que deben ser tomados en cuenta al describir una multiplicación ternaria: el número de bits examinados a la vez, la dirección en la cual los dígitos multiplicadores son analizados y el signo del multiplicador.

II.4.1.1 MULTIPLICADORES POSITIVOS. ANALISIS POR PARES DE BITS

Cuando dos bits del multiplicador examinados son: 00, 01 o 10, el procedimiento que se adopta es el descrito en 2.3.4, 2.3.5 y 2.3.6. Para realizar ésto, sólo se requiere habilidad para desplazar el multiplicando una posición hacia la izquierda y para desplazar el producto parcial a la derecha dos veces. - Cuando retorna del registro primario (A') hacia el registro - principal (A). El caso que falta es cuando el bit par multiplicador es con números 11. En este caso se requiere la adición de tres veces el multiplicando al producto parcial. Se nota que ésto puede ser realizado al sumar cuatro veces el multiplicando al producto parcial y restando una vez el multiplicando de ese producto parcial, pero no hay razón para que ésto no se pueda realizar en cualquier orden.

Cuando se detecta el par 11, se lo utiliza para realizar una vez la resta del multiplicando del producto parcial, de la siguiente forma:

$$11: \quad 1/4\left[(A) - (D)\right] \longrightarrow A \qquad i+2 \longrightarrow i \qquad 2.4.1$$

La adición de cuatro veces el multiplicando no ha sido realizada todavía. No se la efectúa en este ciclo, pero es llevada para ser tomada en cuenta al examinar el próximo par de bits.- La tabla b, indica la acción que se va a realizar para cada posible par examinado de bits del multiplicador. Se asume que no se ha requerido cuatro veces el multiplicando en el ciclo anterior. Al examinar en este instante, indica que se requiere sumar cuatro veces el multiplicando en el próximo ciclo. Esto se indica en la tabla como una llevada de 1.

Bits	Sumar D	Llevada
00	0	0
01	1	0
10	2	0
11	-1	1

Tabla b Multiplicación ternaria para números positivos, sin llevada previa

Así, para el par de bits 11, se resta el multiplicando y el re-

querimiento de cuatro veces el multiplicando será procesado - más tarde.

Bits	Sumar D	Llevada
00	1	0
01	2	0
10	-1	1
11	0	1

Tabla c Multiplicación ternaria para números positivos, con llevada previa.

La tabla c, indica lo que se debe hacer para obtener posibles combinaciones de pares de bits, siempre que en el último ciclo del par anterior se haya requerido cuatro veces el multiplicando. Entre el último y este ciclo han tenido lugar dos desplazamientos hacia la derecha. En otras palabras, el producto parcial ha sido multiplicado por cuatro. Por lo tanto, para completar una suma de cuatro veces el multiplicando, requerida en el último ciclo, se suma una vez el multiplicando en este ciclo.

Para interpretar lo que se debe hacer para cada combinación de pares de bits, se toma su equivalente numérico y se le suma 1. Así, la primera entrada para la combinación 00, que normalmen-

ducto parcial es desplazado hacia su propia posición en los registros. Este desplazamiento de dos lugares hacia la derecha significa que el requerimiento de cuatro veces el multiplicando ha sido cambiado a una vez el multiplicando. Para cumplir este requisito, se debe estar seguro que no ha habido un último desplazamiento hacia la derecha (o izquierda), entonces el resultado será el producto correcto. El ciclo extra se nota de la siguiente forma:

$$\left[(A) + (D)\right] \quad A \qquad 2.4.2$$

II.4.1.2 CONFIGURACION DEL SISTEMA QUE UTILIZA MULTIPLICACION TERNARIA

En la figura 2.11 se ilustra una configuración para multiplicación ternaria por pares.

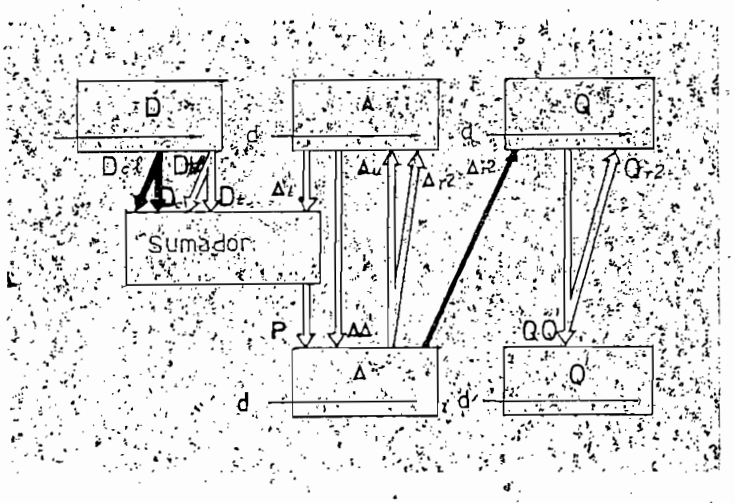


Fig. 2.11 Configuración para multiplicación ternaria por pares

D,A,Q = Registros principales y de desplazamiento

A',Q' = Registros primarios y de desplazamientos

d,d' = Desplazamiento de la suma de productos parciales

Dt = Conexión directa del multiplicando al sumador

Dc = Conexión del multiplicando complementado al sumador

Dt1 = Conexión del multiplicando desplazado una posición hacia la izquierda para tener dos veces el multiplicando

Dc1 = Conexión del multiplicando conectado y desplazado una posición hacia la izquierda

At = Conexión directa de la suma de los productos parciales al sumador

AA' = Conexión directa del registro A al A'

Au = Conexión directa del registro A' a A

Ar2 = Conexión del registro A' al A con desplazamiento de dos posiciones a la derecha

P = Conexión directa del sumador al registro A'

QQ' = Conexión directa del registro Q al Q'

Qr2 = Conexión del registro Q' al Q con desplazamiento de dos posiciones a la derecha

II.4.2 METODO MAS SIMPLE PARA LA CONDICION DE DOS BITS. EN MULTIPLICACION TERNARIA

Se ha visto cómo incrementar la velocidad de la multiplicación, al examinar el multiplicador en pares de bits de derecha a izquierda. Descuidando esta dirección en que se examina el multi

plicador, se desarrolla un procedimiento mejor, comenzando - por establecer una tabla de condiciones.

a) CONDICION SIN "PRESTAMO"

Se supone que se examina el multiplicador en pares de bits, - esta vez de izquierda a derecha. Inicialmente, se fijan las condiciones de tal forma que el producto parcial sea siempre un número positivo (para el caso de dos números positivos), - como se ve en la tabla d. Si los bits representan las cantidades 0 o 2, no se suma cantidad alguna al producto parcial o se le suma dos veces el multiplicando al producto parcial, respectivamente. Si el par de bits representan 1 o 3, se suma 1 más que este valor. Así, para 01 se suma dos veces el multiplicando; para 11, cuatro veces el multiplicando. En cada caso, queda pendiente una substracción del multiplicando. Esto se explica en la tabla d en forma de "préstamo" de 1.

Bits	Sumar D	Préstamo
00	0	0
01	2	1
10	2	0
11	4	1

Tabla d Multiplicación ternaria para números positivos, Método 2, sin "préstamo"

Después de cada condición, el producto parcial es desplazado - dos lugares hacia la izquierda, lo que equivale a dividir por cuatro. Cuando se examina un par de bits, ésto debe realizarse después de que una condición de préstamo o no préstamo, ha sido registrada. La condición de no préstamo se presenta en la tabla d.

b) CONDICION DE PRESTAMO

Para una condición de préstamo, se desea siempre restar una - vez el multiplicando del producto parcial. Sin embargo, debido al desplazamiento hacia la derecha en el ciclo anterior, se debe restar cuatro veces el multiplicando en lugar de una vez. Los diferentes casos se presentan en la tabla e. Cuando el - par de bits en consideración es 00, se resta cuatro veces el - multiplicando y se registra la condición de "no préstamo". En forma similar, el par 10 requiere una resta de cuatro y una suma de dos, de tal forma que el resultado es una resta de dos - veces el multiplicando. El par de bits 01 requiere la resta - de cuatro y la suma de 1, lo que da como resultado una resta - de tres. Esto se complementa al restar dos veces el multiplicando y registrar un préstamo para el próximo ciclo.

Similarmente, el par de bits 11 requiere la resta de cuatro y la suma de tres para tener el resultado -1. Esto se realiza - al no restar cantidad alguna en este instante y registrar un -

préstamo para el próximo ciclo.

Bits	Sumar D	Préstamo
00	-4	0
01	-2	1
10	-2	0
11	0	1

Tabla e Multiplicación ternaria para números positivos, Método 2, con préstamo

Al examinar las dos tablas, se ve que la condición de préstamo tiene lugar cuando el bit menos significante del par es un 1. Esto es muy útil por si mismo y además indica lo sucedido en el ciclo anterior. Así, el bit menos significante de este par indica el préstamo para este ciclo y el bit menos significante del par de la izquierda, indica si se ha producido un préstamo en el ciclo anterior y por lo tanto si se debe usar la tabla d o la e.

c) CICLO EXTRA FINAL

Si el bit menos significante, que se encuentra en el extremo derecho del multiplicador, es un 1, entonces un préstamo es registrado en este par. Esto requiere de un ciclo extra que realice la resta de una vez el multiplicando del producto no

corregido. Esta corrección puede ser realizada en una de las - tres formas posibles: primero, se puede realizar un ciclo ex-- tra sólo cuando el bit menos significante del multiplicador es un 1. Segundo, se puede intentar realizar un ajuste de ciclo después de que se ha formado el producto no corregido. En este caso, se pasa el producto a través del sumador restando el multiplicando cuando el bit multiplicador es 1 y deteniendo - completamente el multiplicando cuando el bit multiplicador es 0. La tercera alternativa se usa cuando este método se aplica para examinar los bits en secuencia de derecha a izquierda. En este caso, al empezar la multiplicación el producto parcial es 0. En lugar de entrar el 0 al sumador, entrará algo diferente. Una entrada al sumador en el ciclo inicial está determinada - por las tablas d y e; la otra entrada está determinada por el multiplicador complementado, si el bit menos significante es - un 1, aplicándole a la entrada reservada normalmente para el - producto parcial.

d) DIRECCION DEL EXAMEN AL MULTIPLICADOR

El método descrito anteriormente no depende para su efectividad de la dirección en la cual se examinan los bits del multiplicador. Avanzando hacia la izquierda se escoge un par de bits, el bit más próximo de la izquierda indica la condición del préstamo. Si es un 1 se resta de acuerdo a la tabla e; si es 0, se suma - de acuerdo a la tabla d.

II.4.2 SISTEMA DE MULTIPLICACION POR DESPLAZAMIENTO DE UNOS (1s) Y CEROS (0s)

GENERALIDADES

Este método de multiplicación depende para su rapidez, de la forma en la que se examina el multiplicador. En este caso, se examinan las hileras de 1s y 0s; una hilera consiste de un número consecutivo de bits idénticos. Para cada hilera de 1s, este método requiere de una resta y una suma; nada más que un desplazamiento se requiere para una hilera de 0s. Como una hilera de 0s siempre aparece entre hileras de 1s, se puede decir que este proceso realiza una suma o una resta para cada hilera de ceros en el multiplicador.

La teoría de hileras indica que se tiene un ahorro para este método si los 1s y los 0s del multiplicador están distribuídos al azar. Cuando las características son de tal forma que las hileras son grandes, los ahorros son todavía más grandes; por ejemplo, cálculos con pocos lugares significativos donde aparecen muchos 0s.

La configuración del registro para este método debe ser tal que sea posible la suma o resta del multiplicando a partir del producto parcial.

Al retornar el nuevo producto parcial del registro primario al registro principal, se realiza un número variable de desplazamientos, lo que requiere de múltiples circuitos de control. Como es de esperarse, esta ventaja eleva el costo del sistema. - Un decodificador de mano derecha de K bits del multiplicador - es acoplado al registro multiplicador, donde K es el mayor número de desplazamientos que pueden ser realizados cada vez. -

Se requiere de dispositivos auxiliares para procesos tales como, registrar la última acción que tuvo lugar en un ciclo de - la multiplicación.

II.4.2.a TEORIA DE HILERAS

Una representación alternativa para una hilera de 1s que aparece en cualquier lugar, es buscada en este método. Primeramente, se considera el número binario de sólo hileras de 1s.

El número 11...11 es transformado al sumar consecutivamente potencias de 2, empezando con 0. Así, cuando el número consiste de k 1s, es representado por: $2^{k-1} + 2^{k-2} + \ldots + 2^{1} + 2^{0}$.

Cuando se suman estas potencias de 2 el resultado es $2^{k}-1$. Si se suma 1 al número consistente de k 1s, cada uno de la hilera se hace 0 y produce una llevada. Así, el número obtenido con-

siste de 1 seguido de k 0s, ésto es 100...00. Este número es 2^k, que fue obtenido al sumar 1 al número original; por ésto, el número original es 1 menos que éste número.

Esta simplificación indica que un número consistente de una hilera de 1s puede ser representado restando 1 y sumando una potencia de 2, que es 1 mayor que la más alta potencia encontrada en el número. Así:

$$0\overbrace{11\ldots11}^{k} = 1\overbrace{00\ldots00}^{k} - 00\ldots001 \qquad 2.4.3$$

A continuación se considera un número consistente de k 1s, seguidos de m 0s. Este multiplica al resultado anterior por 2^m. Por lo tanto, puede ser representado como: $2^m(2^k-1)$. De donde:

$$0\overbrace{11\ldots11}^{k}\overbrace{00\ldots00}^{m} = 1\overbrace{00\ldots00}^{k+m} - 0\overbrace{100\ldots00}^{m} \qquad 2.4.4$$

La ecuación 2.4.4, continuará siendo válida cuando se considera un número con hileras alternadas de 1s y 0s.

Se puede transformar una hilera de 1s del número original, considerando que consiste de sólo 0s siguiendo a éstos una hilera de 1s y usando el método expuesto para simplificar el número original. Para hacer un primer intento se examina un número V, consistente de k 1s, seguido por m 0s, seguido de r 1s y seguido de s 0s.

$$V = \overbrace{11\ldots11}^{k}\overbrace{0000\ldots0000}^{m}\overbrace{11\ldots11}^{r}\overbrace{000000\ldots00}^{s} \qquad 2.4.5$$

El primer grupo de 1s, se representa por: $2^{m+r+s}(2^k-1)$. La próxima hilera de 1s es representada por: $2^s(2^r-1)$. Se está examinando este número como si se tuvieran dos hileras superpuestas.

$$V = \overbrace{11\ldots11}^{k}\overbrace{00000\ldots00}^{m+r+s} + \overbrace{11\ldots11}^{r}\overbrace{0000\ldots00}^{s} \qquad 2.4.6$$

Por eso, este número es: $2^{k+m+r+s} - 2^{m+r+s} + 2^{r+s} - 2^s$ 2.4.7

Este procedimiento puede ser generalizado para cualquier hilera de 1s en un número en cualquier posición de ese número.

II.4.2.b MULTIPLICADOR CONSIDERADO COMO HILERAS ALTERNADAS

Cuando se refiere al número representativo del multiplicador, una hilera de 1s, requiere de una cierta cantidad de sumas rápidas y desplazamientos. Esto puede ser reemplazado por una resta de 1 al bit menos significante de la hilera, seguido por una suma de un 1 en la siguiente posición a la izquierda del bit más significante de la hilera. Se puede visualizar mejor al notar cómo el multiplicador requiere de sumas y restas del multiplicando.

Multiplicador	0111001111101000111
Sumas del multiplicando	1000010000010001000
Restas del multiplicando	0001000001010000001

Par efectuar la multiplicación con el multiplicador examinado de esta forma, el registro multiplicador es analizado de derecha a izquierda por el decodificador. El decodificador detecta una hilera de 1s y permite que se realice una resta del multiplicando. Al detectar que hay tres 1s en esta hilera, el multiplicando y el producto parcial deben ser desplazados tres posiciones.

En el próximo ciclo el decodificador detecta una hilera de 0s, ésto permite una suma del multiplicando al producto parcial -- desplazado. Después de que se realiza la suma, el multiplicador y el producto parcial, son desplazados de acuerdo al número de 0s, para este caso tres lugares.

A continuación, el decodificador detecta una hilera de un 1, - ésto permite una resta del multiplicando y un desplazamiento de una posición. El 0 que sigue, requiere de una suma y el desplazamiento de una posición. Los cuatro 1s que siguen requieren de una resta seguida de un desplazamiento de cuatro lugares y se continúa de esta forma.

Cuando el número de 1s y 0s en una hilera excede al número de

desplazamientos que puede realizar la computadora, el decodificador detecta que la última parte de la hilera bajo examen no es una nueva, sino, parte de la hilera anterior. En este punto no se realiza ni suma ni resta. Desplazamientos del multiplicador y del producto parcial se suceden hasta que se haya completado la hilera en su totalidad.

Una hilera de 1s a la izquierda de un número requiere de una suma en la posición que excede a la posición más significante del producto parcial. Esto no produce un desborde, ya que una resta ha precedido esta operación, lo cual compensa esta suma.

Un mejoramiento del método anterior se logra siguiendo los mismos pasos, excepto cuando un solo 1 aparece en una hilera de 0s. Este caso es tratado en forma regular, realizando una sola suma , correspondiente al 1 encontrado.

Cuando un 0 se presenta en una hilera de 1s, se realiza una resta en la posición del 0, utilizando el método expuesto.

II.4.2.c CONFIGURACION DEL SISTEMA

La configuración de los registros se muestra en la figura 2.12. El multiplicando es almacenado en el registro D, el mismo que puede ser requerido por el sumador en forma fiel

o complementada, Dt o Dc. El producto es almacenado en el registro A y siempre es requerido por el sumador en forma fiel. El resultado producido por el sumador pasa al registro A'. Antes de retornar al registro A el contenido en el registro primario puede estar sujeto a un número variable de desplazamientos a la derecha. El número mínimo es 1 y el máximo K, tanto por condiciones de diseño como económicas.

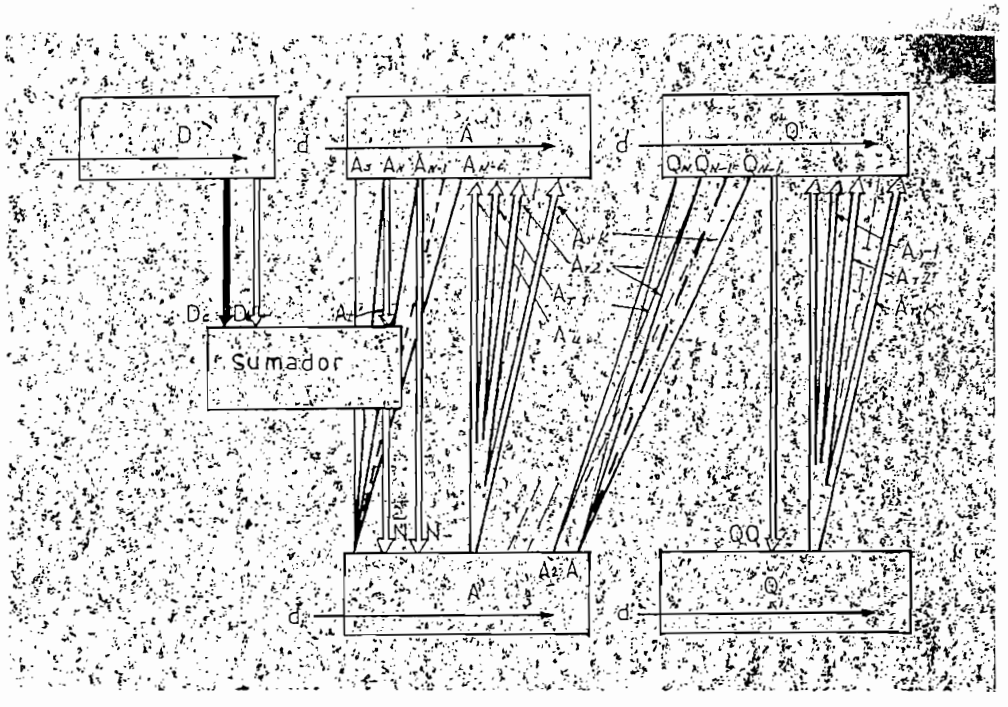


Fig. 2.12 Configuración del sistema para multiplicación por-desplazamiento de 0s y 1s. Examen del multiplicador de derecha a izquierda.

A medida que la suma tiene lugar, el multiplicador es transferido directamente del registro Q al Q'. Después de la suma, este

multiplicador, a medida que regresa al registro Q, es desplazado el mismo número de lugares que es desplazado el producto.

Cada vez que tiene lugar un desplazamiento múltiple de bits, la información de la parte menos significante del registro A' es transferida a la parte más significante del registro Q. De esta forma en i lugares desplazados a la derecha [1/] se encuentra que el bit del extremo derecho del registro A', A_1 entra a la posición (N-i+1) del registro Q, Q_{N-i+1} y continúa de la siguiente forma:

$$A'_1 \longrightarrow Q_{N-i+1}$$
$$A'_2 \longrightarrow Q_{N-i+2}$$
$$A'_i \longrightarrow Q_N$$
$$A'_{i+1} \longrightarrow A_1$$
$$A'_{N-1} \longrightarrow A_{N-i-1}$$
$$A'_N \longrightarrow A_{N-i}$$
$$A'_s \longrightarrow A_{N-i+j} \quad \text{para todo } j \text{ tal que}$$

$1 \leqslant j \leqslant i$

Esta última condición es requerida cuando se tiene multiplicadores negativos.

Si se tiene la facilidad de desplazar K bits también se requie-

---

1/ En (B4) pág.194-196 se encuentra una representación alternativa para el análisis de izquierda a derecha.

re de la facilidad de decodificar los últimos K bits del multiplicador para hacer usos de la facilidad de desplazamiento.

Adicionalmente al decodificador, varios dispositivos almacenadores de bits son necesarios y sirven para funciones auxiliares. Una de estas funciones es el recordar si la última hilera fue de 0s o 1s .

II.4.2.d METODO MEJORADO POR DESPLAZAMIENTOS DE 1s y 0s.

El objetivo de este método es el distinguir un sólo 1 que se encuentre en una hilera de 0s y viceversa.

Para investigar las alternativas posibles, se expone la tabla f, la misma que está basada en el examen de los 3 bits finales del multiplicador. En general, el decodificador examinará K bits del multiplicador. Sin embargo, son suficientes 3 bits para indicar los casos que deben ser tomados en cuenta en la implementación del sistema.

Se supone que se tiene una hilera de 0s conforme lo indican las columnas centrales de la tabla f. La entrada 1, indica que una fila de k 0s ha sido encontrada, lo que significa que continúa la hilera original de 0s. Para la $k < K$, la hilera consiste de $(k+K)$ 0s. De cualquier forma, ésta es una hilera continua de 0s. No se realiza ninguna operación aritmética -

(N), solamente desplázase k lugares y se pone H a 0 para la hilera de 0s.

Entrada	Bits del Multiplicador	Hilera anterior de 0s			Hilera anterior de 1s		
		Hacer	Luego desplazar	H	Hacer	Luego desplazar	H
1	$1\overbrace{0000\ldots0}^{k}$	N	k	0	A	k	0
2	$0\overbrace{11\ldots11}^{k}$	S	k	1	N	k	1
3	$0\overbrace{11\ldots110}^{k}$	N	1	0	S	k	1
4	$1\overbrace{00\ldots001}^{k}$	A	k	0	N	1	1

Tabla f Método mejorado por desplazamiento de 0s y 1s, donde A indica adición, S substracción y N para ninguna operación.

Nota: H, dispositivo de almacenamiento que indica lo que ha sucedido con la hilera anterior.

La entrada 2 es el principio de una hilera de 1s, para lo cual se requiere una resta (S) y un desplazamiento de k lugares. Esta es una hilera de 1s, por lo tanto H es puesta a 1.

La entrada 3 es un caso especial de la entrada 1 y por lo tanto tiene resolución similar.

La entrada 4 es una hilera de 0s con un sólo 1. Se suma (A)-

para compensarlo. Se desplaza sobre los 0s y los 1s que siguen en un total de k ($\leq$K) lugares. Se pone H a 0.

Cuando precede una hilera de 1s, el último conjunto de columnas de la tabla f, se refiere a este caso. Entonces la entrada 1 representa una nueva hilera de k 0s. La entrada 2 es una hilera contínua de k 1s. La entrada 3 es un sólo 0. La entrada 4 es un caso especial de la entrada 2.

II.5 SISTEMAS PARA TRATAR NUMEROS NEGATIVOS

II.5.1 MULTIPLICACION TERNARIA

a) MULTIPLICANDO NEGATIVO Y MULTIPLICADOR POSITIVO

Cuando el multiplicador es positivo, el multiplicando negativo no presentará problemas que no hayan sido expuestos anteriormente; nuevamente se suma el multiplicando al producto parcial como se ilustra en la figura 2.13. La única diferencia es que se examina el multiplicador 2 bits a la vez. Hay que notar - que cuando el producto parcial es negativo y se realizan desplazamientos hacia la derecha, el bit del signo que es un 1 se lo duplica en su posición más significante como en la figura - 2.13.

A veces se requiere la resta del multiplicando del producto -

parcial. Se hace ésto complementando el multiplicando y sumándolo, más la llevada correspondiente del par anterior, al pro-

1.10011	Multiplicando (-a)	L1
0.01011	Multiplicador (b)	L2
1.1111110011	b5(-a)	L3
1.1111100110	b4(-a)	L4
1.1111011001	L3+L4	L5
1.1110011000	b2(-a)	L6
1.1101110001	L5+L6	

Fig. 2.13 $(+11x2^{-5})\ (-13x2^{-5}) = -143x2^{-10}$ usando notación - complemento de 2

ducto parcial. Por supuesto, el complementar un número negativo produce un número positivo. Finalmente se puede empezar la multiplicación con la combinación 11 que requiere la substracción del multiplicando (que es negativo) o la suma del complemento del multiplicando (que es positivo) el cual produce un - producto parcial positivo. Esto será resuelto automáticamente ya que uno de los ciclos sucesivos sumará un número negativo - de mayor magnitud en el producto parcial, produciendo como resultado final un número negativo.

b) MULTIPLICANDO Y MULTIPLICADOR NEGATIVOS

La multiplicación negativa, como se lo describe aquí se reali-

za utilizando el método 2 ilustrado en la figura 2.14, el cual requiere del complemento de 2 del multiplicador. Entonces cada

METODO 1

0.01101	Multiplicando (a)	L1
1.10101	Multiplicador (-b)	L2
0.0000001101	Multiplicando	L3
0.0000110100	Multiplicando desplazado 2 veces	L4
0.0001000001	L3+L4	L5
0.0011010000	Multiplicando desplazado 4 veces	L6
0.0100010001	L5+L6	L7
1.10010	Complemento de 1 del Multiplicando	L8
1		L9
1.1101110001	L7+L8+L9	L10

METODO 2

0.01101	Multiplicando (a)	L1
~~1.10101~~	Multiplicador (-b)	L2
01011	Multiplicador complementado	L3
1.1111110010	Complemento de 1 del mulciplicando	L4
1		L5
1.1111110011	L4+L5	L6
1.1111100100	L4 desplazado a la izquierda	L7
10		L8
1.1111011001	L6+L7+L8	L9
1.1110010000	L4 desplazado 3 veces	L10
1000		L11
1.1101110001	L9+L10+L11	

Fig. 2.14 $(-11x2^{-5})\ (+13x2^{-5}) = -143x2^{-10}$ usando notación complemento de 2, Métodos 1 y 2

suma es interpretada como un requerimiento para el complemento

del multiplicando; cada substracción requiere del multiplicando con su verdadero signo.

Para encontrar el complemento de 2 del multiplicador, aún si se lo examina en pares de bits de derecha a izquierda se utilizará la siguiente regla: comenzando por la derecha, por cada 0 en el multiplicador que se está complementando, se pone un 0 en el complemento; la primera vez que se encuentra un 1 en el multiplicador un 1 en el complemento y luego, cada 0 se reemplaza por un 1 y cada 1 por un 0.

La interpretación de un par de bits del multiplicador depende en este caso de dos factores: si se ha encontrado previamente un 1 en el multiplicador o si se ha producido una llevada en el ciclo anterior (que es un requisito para 4 veces el multiplicando), todos estos casos están sintetizados en la tabla g. Si no se encuentra un 1 previamente, es imposible tener una llevada. Para determinar el proceso a seguir, se encuentra el complemento de 2 del par de bits en consideración y se le interpreta como en la tabla b. Si previamente se ha encontrado un 1 el complemento de los bits considerados es diferente de los mencionados anteriormente. Si no se tiene una llevada, se obtienen las entradas del medio de la tabla g, al interpretar el complemento del par de bits usando la tabla b. Si una llevada se presenta, se interpreta el complemento de este par de bits como en la tabla c.

Sin 1 previo				Con 1 previo				
					Sin llevada		Con llevada	
Bits	Comp.	Sumar D	Llevada	Complemento	Sumar D	Llevada	Sumar D	Llevada
00	00	0	0	11	-1	1	0	1
01	11	-1	1	10	2	0	-1	1
10	10	2	0	01	1	0	2	0
11	01	1	0	00	0	0	1	0

Tabla g Multiplicación ternaria para multiplicadores negativos

II.5.1.a METODO MAS SIMPLE PARA LA CONDICION DE DOS BITS

Cuando se tiene un multiplicador positivo y un multiplicando - negativo, la multiplicación se realiza como se describió en - II.4.2.

Un multiplicador negativo es tratado en forma diferente de - acuerdo a si se usa notación complemento de 1 o notación com-- plemento de 2. En el primer caso, el complemento de 1 bit multiplicador se obtiene directamente y para el segundo caso, la función F (que indica si se presentó o no el primer 1), es aplicada siendo esencial que se proceda al examen de derecha a izquierda, de tal forma que la función F tenga su propio significado.

En la tabla h se encuentran entradas para los bits del signo - del multiplicador, Q_s, la función F y tres bits del multiplicador. Estos tres bits son: el par de bits en consideración, - $Q_{i+1}Q_i$, y el bit adyacente izquierdo Q_{i+2}. Este último indica si una condición de préstamo se aplica al par de bits considerado. Cada conjuntos de columnas contiene, cuando es necesa-- rio, el complemento de dos, de los tres bits, los múltiplos - del multiplicando que van a ser sumados o restados, las cone-- xiones entre el registro D y el sumador para producir este múltiplo y finalmente fija el bit F de almacenamiento cuando ésto es apropiado.

$Q_{i+2}Q_{i+1}Q_i$	$Q_s=0$		$Q_s=1, F=1$			$Q_s=1, F=0$			
	Sumar D	Conectar	Complemento	Sumar D	Conectar	Complemento	Sumar D	Conectar	F
0 0 0	0	0	111	0	0	000	0	0	0
0 0 1	2	Dt	110	-2	Dt	111	0	0	1
0 1 0	2	Dt	101	-2	Dt	110	-2	Dt	1
0 1 1	4	Dt1	100	-4	Dt1	101	-2	Dt	1
1 0 0	-4	Dc1	011	4	Dc1	100	-4	Dt1	1
1 0 1	-2	Dc	010	2	Dc	011	4	Dc1	1
1 1 0	-2	Dc	001	2	Dc	010	2	Dc	1
1 1 1	0	0	000	0	0	001	2	Dc	1

Tabla h Conexiones de los registros para multiplicación ternaria de números con signo, examinando pares de bits del multiplicador de derecha a izquierda

II.5.1.b METODO QUE EXAMINA EL MULTIPLICADOR DE IZQUIERDA A DERECHA

Parece raro que el sistema que fue considerado anteriormente - al examinar pares de bits desde la posición más significante a la menos significante, no es aplicable a multiplicadores negativos con complemento de 2 cuando se analiza en esta secuencia. Para multiplicadores positivos, examinados de izquierda a derecha pueden ser considerados como se describió anteriormente. Este método presenta la ventaja de que el producto parcial mantiene el signo del multiplicando a lo largo de la multiplicación. Aunque se requiere un ciclo adicional de finalización, es fácil realizarlo. La gran desventaja es que se hace necesa

rio un aumento en la capacidad del sumador.

La explicación para la identidad de las conexiones en los dos casos puede ser presentada en una filosofía negativa doble. Las combinaciones de los bits del multiplicador (ver las tres co-- lumnas centrales de la tabla h) que requieren adición para multiplicador positivo, requieren substracción para un multiplicador negativo y viceversa. Sin embargo, un mulitplicador negativo requiere primeramente complementar el multiplicando y al complementar dos veces al multiplicando, se obtiene el multi-- plicando original.

Primeramente se forma el bit más significante del producto parcial. Si se forman los bits menos significantes del producto,- los bits más significantes son desplazados fuera del registro A' hacia el registro Q. Así, al final de la multiplicación el producto de doble magnitud es almacenado en los registros Q y A y el multiplicador se ha perdido completamente. La palabra más significante está en el registro Q y la menos significante en el registro A. El multiplicando es mantenido a lo largo de la multiplicación.

Como la notación complemento de 2 es más eficaz, el examen de derecha a izquierda del multiplicador es lo recomendable para este método de multiplicación de alta velocidad.
El análisis de izquierda a derecha es aplicable en particular

cuando se utiliza notación complemento de 1 debido a que el - complemento de 1 de cualquier bit en un número no depende en ninguna forma de los bits de la derecha. Como se sabe, no sucede así en notación complemento de 2 y ésta es la razón por la que se requiere la función F. La única forma que se puede usar el método mencionado con un multiplicador negativo utilizando notación complemento de 2, es incluyendo un ciclo inicial especial, el cual encuentra el complemento de 2 de un - multiplicador y lo almacena en un registro apropiado. Como - en números positivos, se requiere un ciclo final de corrección.

II.5.1.c CONFIGURACION DEL SISTEMA

La configuración del sistema es la misma utilizada para procesar números positivos. La configuración del registro para realizar la multiplicación, cuando se examina el multiplicador - de izquierda a derecha, es diferente del usado al examinar de derecha a izquierda, como se ve en la figura 2.15. El multiplicador se almacena en el registro Q, el producto se acumula en el registro A y el multiplicando se almacena en el registro D.

El multiplicando puede ser usado directamente en su forma original o completado o multiplicado por 2 en su forma original o complementado. A medida que son examinados los bits multiplicadores de la izquierda, son descartados, mientras que el regis-

tro Q' es desplazado a la izquierda, hacia el registro Q.

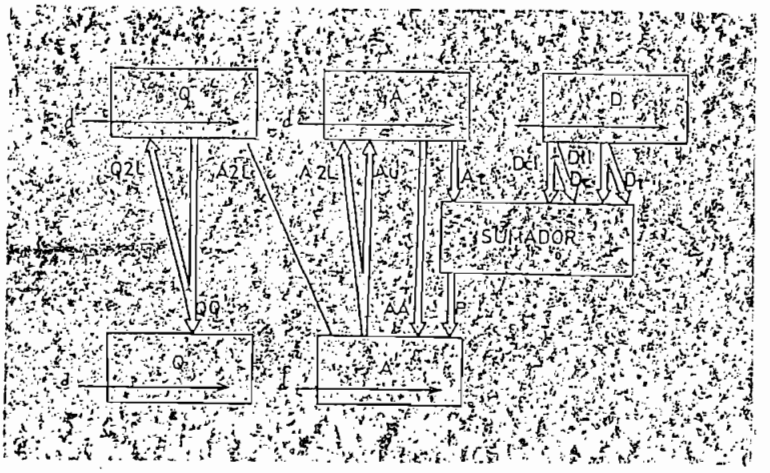


Fig. 2.15 Configuración del sistema que utiliza multiplicación ternaria examinando el multiplicador de izquierda a derecha

II.5.2 MULTIPLICACION DE NUMEROS NEGATIVOS POR DESPLAZAMIENTOS DE 0s y 1s

En la notación complemento de 1, las hileras de 0s representan hileras de 1s y viceversa. Para la notación complemento de 2, se debe notar dónde fue reconocido el primer 1, según el método de complementación de un número, al examinar el multiplicador de derecha a izquierda. Esto significa que la primera hilera de 0s es manejada como hilera de 0s. Luego de -

que se encuentra un 1 los 1s en el complemento aparecerán como 0s y viceversa. Por lo tanto, este caso requiere de un trato especial. Luego que se ha encontrado un 1, las hileras de 0s son manejadas como hileras de 1s y viceversa.

Se hace necesario un dispositivo de almacenamiento F para mantener la información concerniente a la presencia del primer 1. El dispositivo F es puesto a 0 al comenzar la multiplicación y puesto a 1 al momento de que el bit multiplicador menos significante es reconocido como un 1. De esta manera, el resto del sistema tiene la información concerniente a qué hacer antes y después de que el primer 1 ha sido encontrado.

Todo lo explicado en II.4.2 sobre multiplicadores positivos - puede ser aplicado al examinar el multiplicador de izquierda a derecha y de derecha a izquierda.

Cuando se empieza desde la izquierda, el principio de una hilera de 1s requiere de la suma del multiplicando y el principio de una hilera de 0s requiere de una substracción, los multiplicadores negativos en notación complemento de 1, pueden ser implementados en cualquier dirección.

Los multiplicadores complemento de 2, requieren que se examine el multiplicador de derecha a izquierda, debido al método que se utiliza para determinar el complemento del multiplicador. -

II.5.2.a METODO MEJORADO PARA MULTIPLICACION DE NUMEROS NEGATIVOS

En el método mejorado, se debe reconocer un bit aislado en una hilera de bits de características opuestas, tanto para multiplicadores positivos como para multiplicadores negativos complemento de 2.

El procedimiento a seguirse es el establecer una tabla, la que explique lo que se debe hacer cuando se presenten diversas eventualidades. La tabla f responde a esta necesidad, excepto que se deben considerar las diferentes posibilidades tanto para F como para H.

Al examinar la tabla i se nota que cuando F indica 0 no se ha encontrado todavía un 1, sólo se tiene la condición para cuando H es 0; lo contrario significaría que ya se ha encontrado un 1. En la tabla i sólo se consideran los últimos tres bits del multiplicador. Como éste es un multiplicador negativo, antes de nada se debe complementarlo. El complemento depende de dónde se ha encontrado un 1 previamente.

Aparte del complemento es necesario determinar el número de desplazamientos que se deben realizar, si se debe sumar o restar, o no hacer operación alguna y cómo se fija H. Para el caso donde no se hace operaciones, la fijación de H coincide con el

Por ejemplo: el producto de 1011011 x 1111111 (el bit más significante al extremo derecho), requiere de siete desplazamientos y sumas mediante el método normal, sin embargo, la multiplicación puede ser expresada en forma diferente:

$$1111111 = 2^0 + 2^1 + 2^2 + 2^3 + 2^4 + 2^5 + 2^6$$

que pueden ser escritos de la siguiente manera, de acuerdo al método de desplazamiento de 1s y 0s:

$$1111111 = -2^0 + 2^7 \quad o \quad \bar{1}000000\dot{1}$$

donde los signos tienen su significado usual.

Si es posible desplazamientos múltiples con la introducción - de la resta, el producto puede ser evaluado con un sólo des-- plazamiento de siete lugares. En general, los números en estudio no son simples secuencias de unos o ceros sino que pueden tener varias hileras alternadas. Así:

```
  1110000101110010
- +   -+-  + -+
= 1001000111001011
  - + + - + +
= 1001000101001010
```

Si el número de lugares a ser desplazados se hace constante,- la lógica de desplazamiento es eliminada y es posible un arreglo alternativo ya que el desplazamiento constante puede ser realizado mediante conexiones convenientes.

Un conjunto de reglas que gobiernan la operación aritmética pueden ser derivadas de los ejemplos previos. Nótese que la operación presente no depende sólo de los dos bits multiplicadores bajo consideración, sino también de si la operación previa fue una suma o una resta, si el desplazamiento es siempre de dos lugares, entonces los bits del multiplicador deben ser agrupados en pares, y combinaciones de bits pueden suceder solamente en los dos bits bajo consideración.

El ejemplo de arriba se transforma así:

$$
\begin{array}{l}
\quad 11,10,00,01,01,11,00,10 \\
\quad\ -\ \ +\ \ \ -\ +-\ \ \ +\ \ -+ \\
= 10,01,00,01,11,00,10,11 \\
\quad\ -\ \ +\ \ \ -\ \ -\ \ \ +\ \ + \\
= 10,01,00,01,10,00,10,10
\end{array}
$$

y la tabla es:

Y_i	Y_{i+1}	Operación previa	Operación Actual
0	0	suma	nada
1	0	suma	sumar el multiplicando
0	1	suma	restar 2xmultiplicando
1	1	suma	restar el multiplicando
0	0	resta	sumar el multiplicando
1	0	resta	sumar 2xmultiplicando
0	1	resta	restar el multiplicando
1	1	resta	nada

Se puede notar que en lugar de almacenar lo que ha ocurrido en la suma o resta, todo lo que se neceskta examinar es el bit previo Y_{i-1} de la secuencia original.

$$\begin{array}{cccccccc} - & + & + & - & - & - & + & + \\ 11,10,00,01,01,11,00,10 \\ - & + & & - & - & + & + \\ 10,01,00,01,10,00,10,10 \end{array}$$

Se puede tener la siguiente tabla:

Y_{i-1}	Y_i	Y_{i+1}	Operación
0	0	0	sumar cero
1	0	0	sumar el multiplicando
0	1	0	sumar el multiplicando
1	1	0	sumar 2 x multiplicando
0	0	1	restar 2 x multiplicando
1	0	1	restar el multiplicando
0	1	1	restar el multiplicando
1	1	1	restar cero

De la tabla anterior se puede ver que:

- El bit Y_{i+1} puede ser utilizado como un indicador de suma/resta,
- La función $Y_{i-1} \oplus Y_i$, indica que 1 x multiplicando debe ser sumado o restado del producto parcial,
- La función $Y_{i-1}Y_i\overline{Y}_{i+1} + \overline{Y}_{i-1}\overline{Y}_iY_{i+1}$, indica que 2 x multiplicando debe ser sumado o restado del producto parcial.

El algoritmo anterior tiene varias características importantes:

- Produce directamente sin corrección, el producto complemento de 2 del multiplicando y multiplicador representados en la notación complemento de 2. Si el dígito más significante del multiplicador es un 1, debe realizarse una resta en el par de bits ya que Y_{i+1} para este par es siempre 1. Para un

complemento de 2 una suma en el enésimo lugar no es requerida debido a que: complemento de 2(Y) = 2^n-Y.

- Los bits multiplicadores pueden ser examinados desde el bit - mas significante hasta el menos significante. Cuando ésto se realiza, son necesarios multiplicadores adicionales en el - arreglo, ya que las llevadas se deben propagar todo el producto parcial.

C A P I T U L O T E R C E R O

C A L C U L O D E L T I E M P O N E C E S A R I O

P A R A M U L T I P L I C A C I O N

El criterio más importante para justificar méritos de un procedimiento o sistema de multiplicación propuesto, a utilizarse en materia de computación, donde el dinero no es obstáculo, es el tiempo que ese método requiere para cumplir con su objetivo. Este tiempo depende de muchos factores.

El factor más significante es la velocidad misma de los circuitps que se utilizan como registros. El tiempo necesario (π), para que la información pase a través de un circuito, depende de la rapidez de propagación entre la entrada y la salida.

Otro factor es el tipo de sumador que se utilice y su tiempo de procesamiento α.

El tercer factor es la lógica de multiplicación que enlaza los registros entre sí únicamente para propósitos de multiplicación, es decir, depende de la configuración de los circuitos que conecta el registro principal al registro primario y el registro primario nuevamente al principal. El tiempo necesario β es el de desplazamiento.

Naturalmente que en un sistema sincrónico, la frecuencia del reloj juega un papel importante en el tiempo necesario para que un sistema realice la multiplicación, ya que los circuitos componentes actúan con las transiciones del reloj. De todas maneras, la frecuencia máxima del reloj se ve limitada por el

tiempo de propagación de todos los elementos, conforme se indica en la figura 3.1.

El método que se sigue para calcular el tiempo necesario de multiplicación en un determinado sistema, se basa en la comparación relativa de las distintas demoras de cada etapa, con el tiempo requerido para procesar un sólo bit en cada una de esas etapas. Estas especificaciones se encuentran en los manuales de circuitos integrados, en la parte relacionada a los tiempos de propagación de las señales.

De acuerdo con lo anterior, se calculan los tiempos necesarios para el sistema básico y para los sistemas rápidos.

III.1 SISTEMA BASICO

En la multiplicación, utilizando el sistema básico descrito en II.1.1 y II.1.2, se examina solamente un bit del multiplicador. Este puede ser 0 o 1. Si es 0, la información pasa a través del sumador al registro del resultado y el tiempo necesario es:

$$Q_1 = 0 \longrightarrow t_o = \rho + \alpha \qquad 3.1.1$$

Cuando el bit multiplicador indica que la suma es realizada, el tiempo requerido para este proceso es:

$$Q_1 = 1 \longrightarrow t_1 = \rho + \alpha + \pi \qquad 3.1.2$$

t_o indica el tiempo necesario cuando no se realiza la adición y t_1 indica el tiempo necesario cuando la suma es realizada. -

Debido a las ligeras demoras de cada bloque lógico, las salidas del sumador no cambian a sus valores correctos sino hasta cierto tiempo después que los números a sumarse se colocan en sus entradas. El intervalo de tiempo requerido para que las salidas lleguen a sus valores finales no es constante, porque depende del número que se sume. Habrá casos en que se producirá una llevada del dígito de orden inferior, lo que producirá otra llevada, del segundo dígito, produciendo una llevada del tercer dígito y así sucesivamente hasta que la propagación de la llevada llegue al dígito de orden superior. En otros casos, no se llevará absolutamente nada y por lo tanto, todas las salidas de suma llegarán rápidamente a sus valores finales sin tener que esperar a que alguna llevada se propague a través de la serie de sumadores. (B4) (B10)

De acuerdo a las especificaciones del manual (B15) correspondiente a los circuitos integrados utilizados para la construcción del sistema básico, en la parte práctica de esta Tesis, se procede al cálculo del tiempo necesario para la multiplicación, a fin de establecer comparación entre los estudios teóricos y experimentales. El diseño de este sistema aparece en la figura 4.22.

El esquema de la figura 3.1 permite visualizar los diferentes

tiempos de propagación que son sumados para encontrar el tiempo necesario de la multiplicación en el Sistema Básico.

El tiempo simultáneo de carga de los registros del multiplicando y el multiplicador, es de 17 ns para circuitos típicos, llegando a 26 ns para aquellos que por fabricación necesitan más tiempo.

La demora que produce el circuito que controla el paso del multiplicando al sumador es de 18 ns (27 ns) por cada suma, dando un total de 144 ns.

Para cada suma el tiempo necesario es de 23 ns para circuito típico, lo que da un total de 184 ns. Se garantiza 37 ns para cada suma en este circuito.

El tiempo de los desplazamientos no será tomado en cuenta en vista de que éstos son simultáneos con las sumas.

Además, de acuerdo a la figura 4.6, el circuito SN74195 necesita un t_{a-t} de 5 ns (ver las condiciones de operación recomendadas en IV.1.1a).

El multiplicador, en consecuencia, realiza la operación en 350 ns. Este tiempo calculado teóricamente no resultará ser el correcto en la práctica, puesto que vasta una parte del primero

de los nueve pulsos del reloj R (fig. 4.13) para cargar los registros, quedando libre el resto del período de este primer - pulso (ver fig. 3.1).

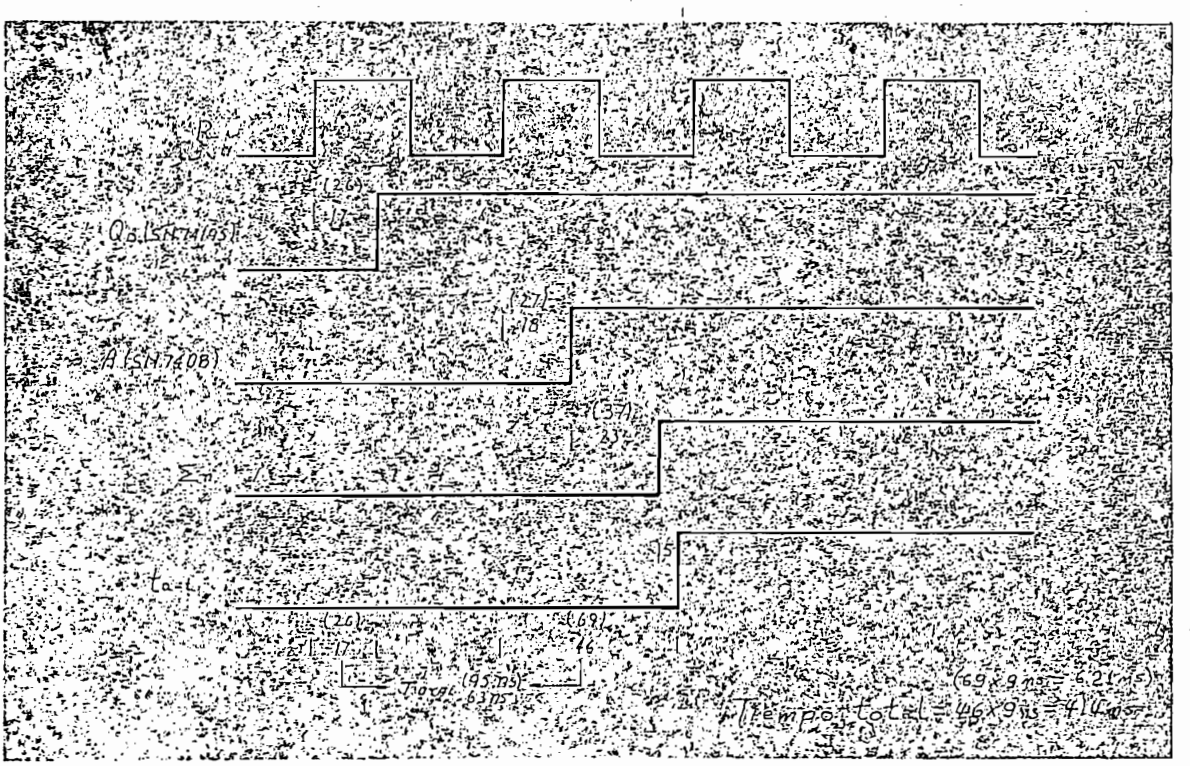


Fig. 3.1 Diagrama secuencial de los tiempos utilizados para la multiplicación en el sistema básico

Nota: Todos los tiempos se dan en ns.
Los tiempos en paréntesis son los garantizados.

Por ésto, lo más práctico para calcular el tiempo necesario para la multiplicación, es encontrar el período de la señal de - pulsos y multiplicarla por nueve.

III.2 SISTEMAS RAPIDOS

En los sistemas rápidos, la velocidad para realizar la multiplicación es aumentada según los diferentes métodos que se tienen para realizar las sumas. Este mejoramiento se obtiene ya sea reduciendo el tiempo promedio requerido para realizar las sumas, proporcionando múltiplos prefabricados del multiplicando o realizando tanto restas como sumas para disponer de múltiplos del multiplicando.

En consecuencia, la variación que se tiene respecto al sistema básico radica en el tiempo necesario para realizar las sumas.- Los manuales de los circuitos integrados utilizados proporcionan los tiempos de procesamiento de las señales.

De acuerdo a las especificaciones del manual (B1), correspondiente a los circuitos integrados utilizados para la construcción del SISTEMA RAPIDO de multiplicación, en la parte práctica de esta Tesis, se realiza el cálculo del tiempo necesario para la multiplicación. Este sistema está basado en el método descrito en II.5 y su diseño aparece en la figura 4.31.

Al analizar el procesamiento de señales en circuitos típicos se tiene que:
El tiempo de carga de los circuitos de entrada es de 20 ns.
La tabla i (B1) indica que para el circuito diseñado de 8x8 -

bits, el tiempo de procesamiento de las señales es de 135 ns.- En consecuencia, el tiempo necesario para la multiplicación en este sistema es de 155 ns.

III.3 SEÑAL CRITICA PARA CADA SISTEMA Y CALCULO DEL TIEMPO NECESARIO PARA SU PROCESO

Se denomina de esta manera, a la información que requiere un - tiempo máximo para su procesamiento respecto de cualquier otra.

En el sistema básico, la señal crítica será aquella que produzca el mayor número de llevadas en el sumador.

De esta forma, el tiempo necesario para su proceso será la suma de los siguientes tiempos parciales:

Tiempo de carga de los registros del multiplicando y multiplicador	= 17 ns
Tiempo necesario para realizar las 8 sumas (sin considerar el tiempo de las llevadas)	=184 ns
Tiempo de propagación de las llevadas, que se producen en el sumador menos significante, hasta la salida 9 x 7 ns	= 63 ns
Tiempo de propagación de las llevadas desde la entrada a la salida del	

sumador más significativo = 9 x 7 ns = 63 ns

Demora del circuito que controla el paso del multiplicando al sumador = 144 ns

t_{a-t} = 5 ns

En consecuencia, el tiempo necesario para procesar la señal crítica en el Sistema Básico es: = 476 ns

En el sistema rápido, la señal crítica será aquella que deba cruzar el mayor número de circuitos y produzca además el mayor número de llevadas de un sumador de alta velocidad a otro.

Se analizan a continuación dos señales, que de acuerdo a la lógica podrían ser las críticas, según la figura 4.31.

Señal Y_1 del circuito 04 a través de S6

De	A	Tiempo (ns)
Y1	S6	41
K8	S6	18
K6	$C_{n+4}(40)$	15
$C_n(44)$	S8	18
K2	$C_{n+4}(60)$	15
$C_n(64)$	S15	22
		129

Esta señal podría no ser la crítica, puesto que el manual da como valor nominal 135 ns.

Se analiza a continuación una señal que entrando por Y1 del circuito 04 sale por S8 del mismo:

De	A	Tiempo (ns)
Y1	S8	45
K10	S6	18
K6	$C_{n+4}(40)$	15
$C_n(44)$	S8	18
K2	$C_{n+4}(60)$	15
$C_n(64)$	S15	22
		133

Esta señal podría ser la crítica, considerando el tiempo de transición de las conexiones.

C A P I T U L O C U A R T O

D I S E Ñ O Y C O N S T R U C C I O N D E D O S D E L O S S I S T E M A S U T I L I Z A N D O C I R C U I T O S I N T E G R A D O S

IV.1 SISTEMA BASICO CON POCOS ELEMENTOS ARITMETICOS

IV.1.1 CONFIGURACION DEL SISTEMA

De acuerdo a la explicación desarrollada en II.1 se deduce - que un sistema básico de multiplicación debe disponer de las - siguientes partes:

1) Un registro para el multiplicando
2) Un registro de desplazamiento para el producto final y el multiplicador
3) Un sumador

Se procederá al diseño de un sistema básico (Fig. 4.22), utilizando circuitos integrados disponibles y que realice la multiplicación de dos números de 8 bits cada uno.

Todos los circuitos integrados son de la Texas Instruments, USA.

Tanto para el registro del multiplicando como para el del producto final y multiplicador, se dispone de los circuitos - SN74195, que son registros con posibilidad de mantener una determinada secuencia de bits a sus salidas o realizar un desplazamiento a la derecha por cada pulso del reloj.

Para conformar el sumador se utilizan circuitos SN7483A, los - mismos que pueden procesar cuatro bits de cada sumando.

Se hace necesario, además, proveer al sistema de multiplicación de un dispositivo que permita realizar bien sea la suma del producto parcial y su desplazamiento o únicamente el desplazamiento de la suma parcial, de acuerdo a si el bit multiplicador menos significante es 1 o 0, respectivamente. Este dispositivo está constituído de una serie de ocho compuertas "Y" de dos entradas, cada una de las cuales permite el paso de un bit del multiplicando puesto que la una entrada está conectada al dígito menos significante del multiplicador.

IV.1.1.a CIRCUITO INTEGRADO SN74195

Este registro de cuatro bits presenta entradas paralelas A, B, C, D; salidas paralelas Q_A, Q_B, Q_C, Q_D, $\overline{Q}_D$; entradas seriales J, $\overline{K}$; entrada de control desplazamiento/carga; y una entrada directa para borrado total, como se ve en la figura 4.1. Los registros tienen dos formas de operación:

a) Carga paralela
b) Desplazamiento (de Q_A hacia Q_D)

Este circuito se utiliza con lógica positiva.

La carga paralela se efectúa aplicando los cuatro bits que conforman el dato, a las entradas y poniendo en la entrada de control desplazamiento/carga una señal baja (voltaje bajo). El da

to es cargado mediante los biestables asociados y aparece en - las salidas después de la transición positiva de la entrada - del reloj. Durante la carga, el flujo del dato serial es repri mido.

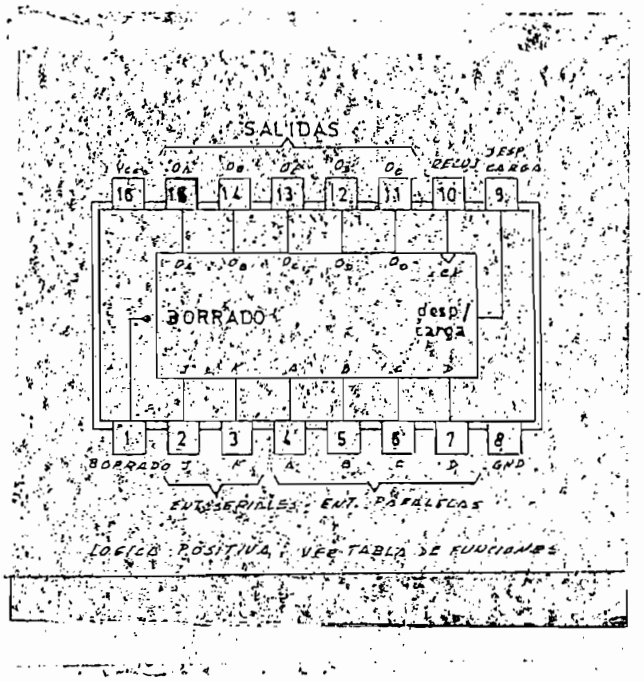


Fig. 4.1 Esquema de la vista superior del circuito SN74195

El desplazamiento es efectuado sincrónicamente cuando en la en trada de control desplazamiento/carga se pone una señal alta - (voltaje alto). El dato serial para estas condiciones es intro ducido en las entradas J - $\overline{K}$. Estas entradas permiten a la pri mera etapa comportarse como un biestable tipo J-$\overline{K}$, D o T como se muestra en la tabla de funciones de la figura 4.2.

La frecuencia del reloj típica máxima de este circuito es de -

39 MHz.

Entradas									Salidas				
Limpiar Borrado	Desp/ Carga	Reloj	Serial J	Serial K	Paralela A	B	C	D	Q_A	Q_B	Q_C	Q_D	$\overline{Q}_D$
L	X	X	X	X	X	X	X	X	L	L	L	L	H
H	L	↑	X	X	a	b	c	d	a	b	c	d	$\overline{d}$
H	H	L	X	X	X	X	X	X	Q_{AO}	Q_{BO}	Q_{CO}	Q_{DO}	$\overline{Q}_{DO}$
H	H	↑	L	H	X	X	X	X	Q_{AO}	Q_{AO}	Q_{Bn}	Q_{Cn}	$\overline{Q}_{Cn}$
H	H	↑	L	L	X	X	X	X	L	Q_{An}	Q_{Bn}	Q_{Cn}	$\overline{Q}_{Cn}$
H	H	↑	H	H	X	X	X	X	H	Q_{An}	Q_{Bn}	Q_{Cn}	$\overline{Q}_{Cn}$
H	H	↑	H	L	X	X	X	X	$\overline{Q}_{An}$	Q_{An}	Q_{Bn}	Q_{Cn}	$\overline{Q}_{Cn}$

Fig. 4.2 Tabla de funciones del circuito SN74195

En la figura 4.2 la simbología es la siguiente:

H = Nivel alto (estado estacionario)

L = Nivel bajo (estado estacionario)

X = Incondicional (cualquier entrada incluyendo transiciones)

↑ = Transición de bajo a alto nivel

a, b, c, d = Nivel de entrada en estado estacionario en A, B, C o D, respectivamente.

Q_{AO}, Q_{BO}, Q_{CO}, Q_{DO} = Nivel de Q_A, Q_B, Q_C, o Q_D, respectivamente antes de ser indicadas las condiciones en estado estacionario a las entradas.

Q_{An}, Q_{Bn}, Q_{Cn} = Nivel de Q_A, Q_B o Q_C, respectivamente antes de la más reciente transición del reloj.

En la figura 4.3 se presenta el diagrama funcional en bloque del circuito.

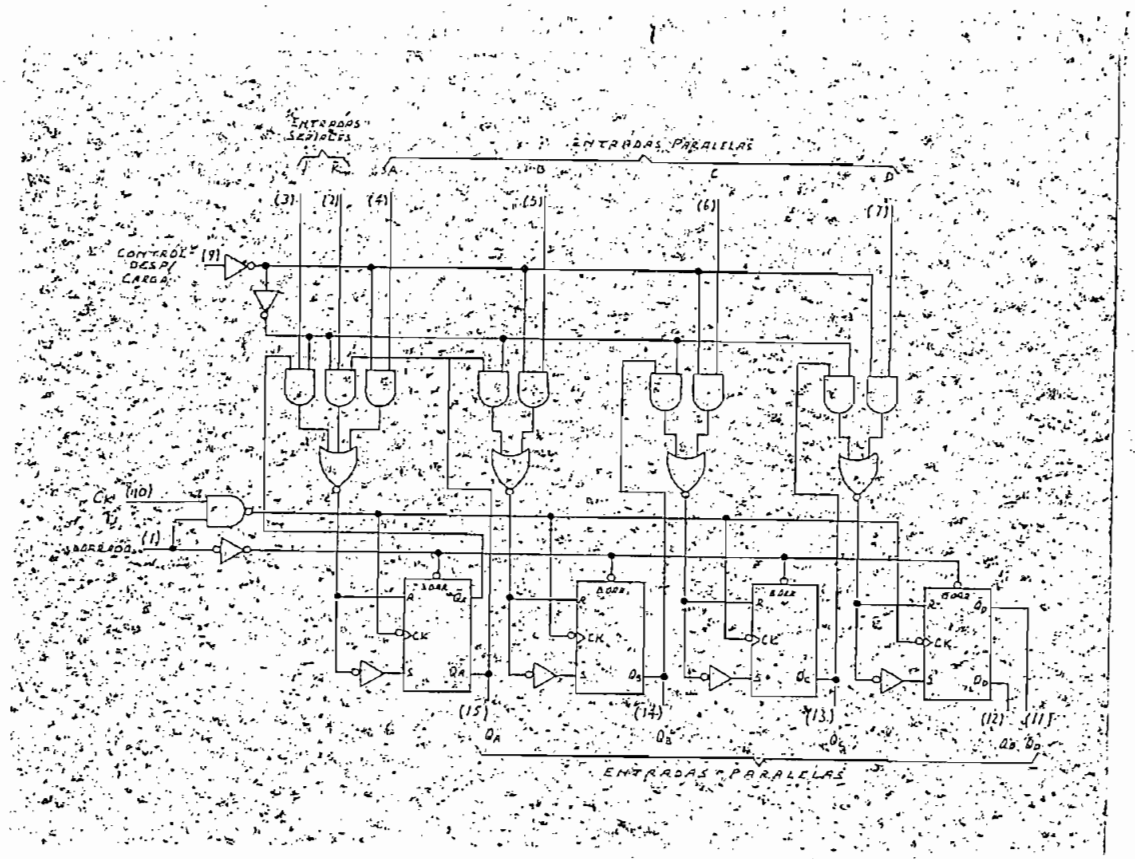


Fig.4.3 Diagrama funcional en bloque del circuito SN74195

En la figura 4.3 se utiliza la siguiente simbología:

→ Entrada activada por una transición de alto a bajo nivel

CK = reloj.

La figura 4.4 muestra las secuencias típicas de borrado, desplazamiento y carga.

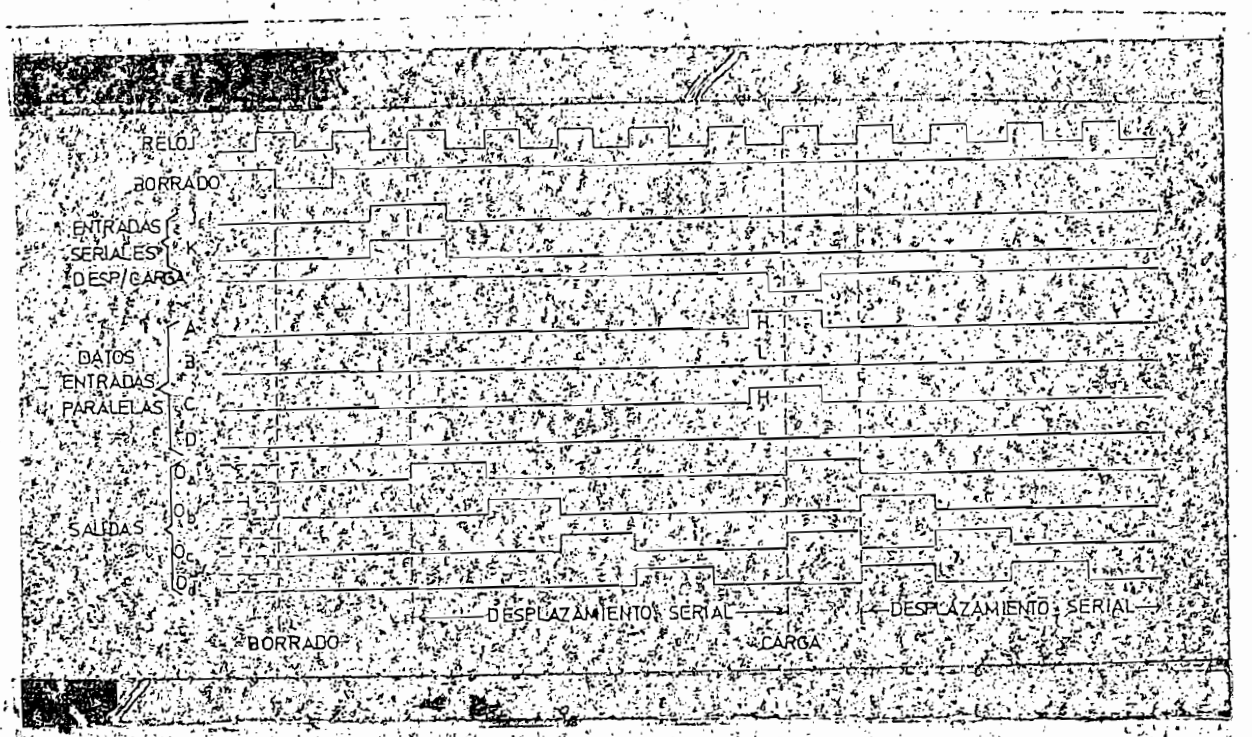


Fig. 4.4 Secuencias típicas de borrado, desplazamiento y carga

Los esquemas de las entradas y salidas se ven en la figura 4.5.

ESPECIFICACIONES ABSOLUTAS MAXIMAS PARA OPERACION AL MEDIO AMBIENTE

Voltaje de la fuente de poder (respecto a la tierra del circuito): 7V

Voltaje de entrada 5,5V

Rango de temperatura de operación al medio ambiente 0°C-70°C

Rango de temperatura de almacenamiento -65°C-150°C

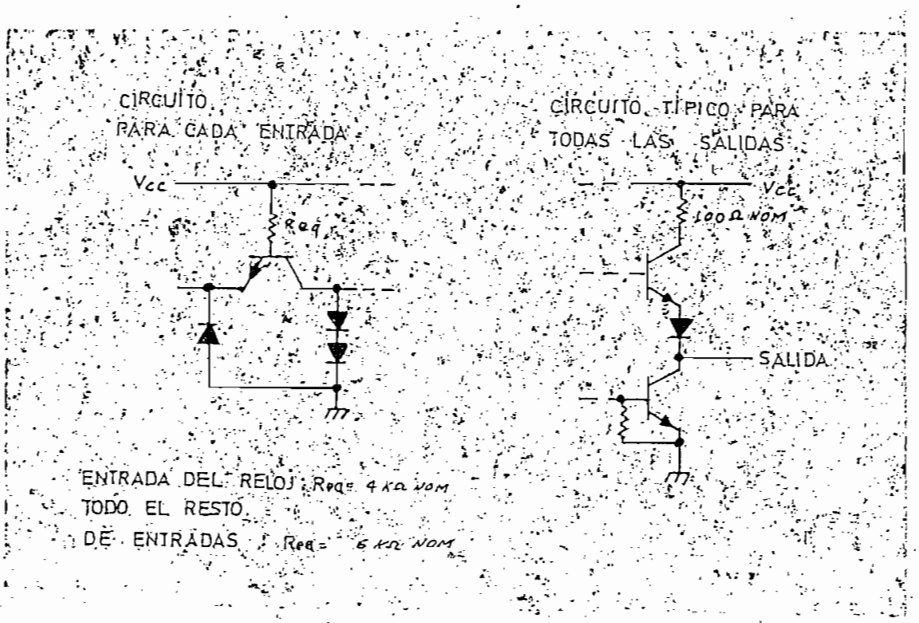


Fig. 4.5 Entradas y salidas del circuito SN74195

CONDICIONES DE OPERACION RECOMENDADAS:

		MIN	NOM	MAX	Unidad
Voltaje de la fuente de poder, Vcc		4,75	5	5,25	V
Nivel alto de corriente de salida, I_{OH}				-800	uA
Nivel bajo de corriente de salida, I_{OL}				16	mA
Frecuencia del reloj, f_{CK}		0		30	MHz
Ancho del pulso del reloj, $t_{W(CK)}$		16			ns
Ancho del pulso de borrado, t_{W} (borr.)		12			ns
t_{a-t} (ver fig 4.6) nota 1	Desplazamiento/carga	25			ns
	Datos seriales y paralel.	15			
	Borrado-estado inactivo	25			
t_{desc} de desplazamiento/carga. Nota 2 (ver figura 4.6)				10	ns
Temperat. de operación al aire libre T_A		0		70	°C

Nota 1: t_{a-t} = Intervalo de tiempo durante el cual una señal es aplicada y mantenida en un terminal específico de entrada, antes de que ocurra otra - transición (pulso del reloj) en otro terminal específico de entrada.

Nota 2: t_{desc}= Intervalo de tiempo entre la descarga de un - terminal específico de entrada y una transi-- ción activa en otro terminal específico de entrada.

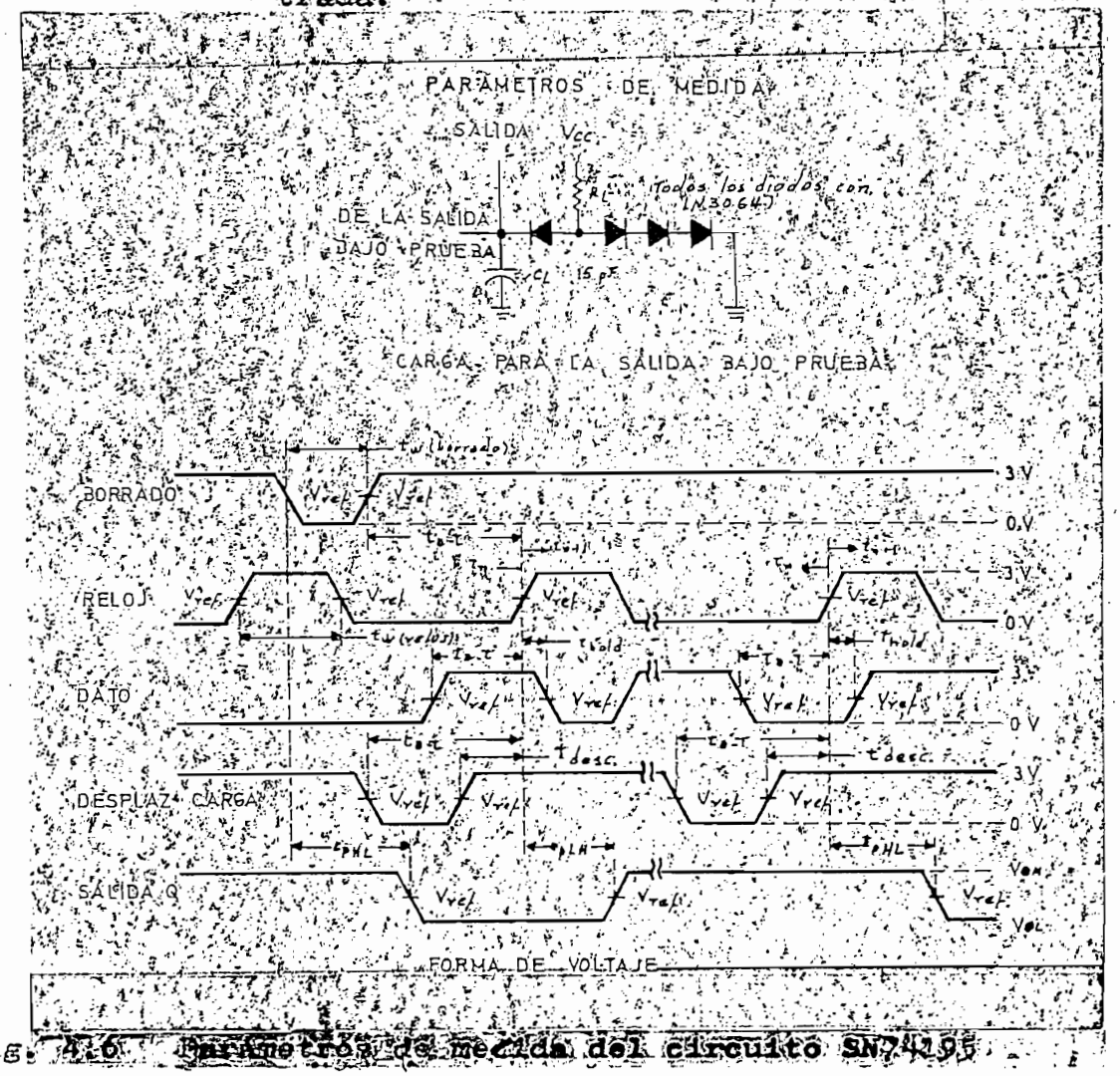


Fig. 4.6 Parámetros de medida del circuito SN74195

CARACTERISTICAS ELECTRICAS DENTRO DEL RANGO DE TEMPERATURA RECOMENDADA

PARAMETRO		CONDICIONES DE PRUEBA	MIN	TIP	MAX	UNID.
V_{IH}	Voltaje de entrada de alto nivel		2			V
V_{IL}	Voltaje de entrada de bajo nivel				0.8	V
V_I	Voltaje de entrada	Vcc= MIN I_I= -12mA			-1.5	V
V_{OH}	Voltaje de salida de alto nivel	Vcc= MIN V_{IH}= 2V V_{IL}= 0.8V I_{OH}=-800uA	2.4	3.4		V
V_{OL}	Voltaje de salida de bajo nivel	Vcc= MIN V_{IH}= 2V V_{IL}= 0,8V I_{OL}= 16mA		0,2	0,4	V
I_I	Corriente de entrada con máximo voltaje de entrada	Vcc= MAX V_I= 5,5V			1	mA
I_{IH}	Corriente de entrada a alto nivel	Vcc= MAX V_I= 2,4V			40	uA
I_{IL}	Corriente de entrada a bajo niv.	Vcc= MAX V_I= 0,4V			-1.6	mA
I_{OS}	Corriente de salida en cortocirc.	Vcc= MAX	-18		-57	mA
Icc	Corriente de la fuente de poder	Vcc= MAX		39	+63	mA

CARACTERISTICAS DE CONMUTACION

PARAMETRO		CONDICIONES DE PRUEBA	MIN	TIP	MAX	UNID.
fmáx	Máxima frecuencia del reloj	C_L = 15pF	30	39		MHz
t_{PHL}	Tiempo de propagación desde el borrado hasta el cambio de alto a bajo nivel en la salida.	R_L = 400 Ω		19	30	ns
t_{PLH}	Tiempo de propagación desde el reloj hasta el cambio de bajo a alto nivel en la salida	(ver fig. 4.6)	6	14	22	ns
t_{PHL}	Tiempo de propagación desde el reloj hasta el cambio de alto a bajo nivel en la salida	(ver circuito de carga)	7	17	26	ns

IV.1.1.b CIRCUITO INTEGRADO SN7483A

Este sumador total realiza la suma de dos grupos de cuatro - bits cada uno (A y B). Cada salida (Σ) representa un bit del resultado y la llevada obtenida (C4) es la resultante de los - cuatro bits. Los sumadores están diseñados de tal forma que - los niveles lógicos de entrada y salida, incluída la llevada, - son presentados en forma fiel. Por ésto, la llevada es tomada sin necesidad de una inversión.

La característica de este circuito es el sumador que genera el término de llevada a través de los cuatro bits en 10 micro segundos, para lograr el comportamiento de llevada anticipada - con la economía de los movimientos parciales de la llevada en otros sumadores.

Las figuras 4.7 y 4.8 muestran el esquema de la vista superior y la tabla de funciones del circuito SN7483A.

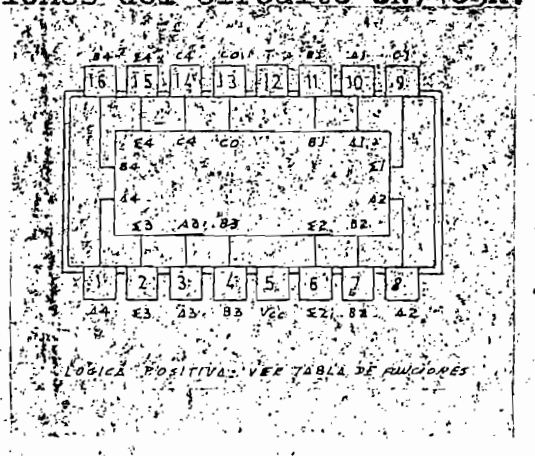


Fig. 4.7 Esquema de la vista superior del circuito SN7483A

ENTRADAS				SALIDAS					
				CUANDO CO = L			CUANDO CO = H		
				CUANDO C2 = L			CUANDO C2 = H		
A1 / A3	B1 / B3	A2 / A4	B2 / B4	Σ1 / Σ3	Σ2 / Σ4	C2 / C4	Σ1 / Σ3	Σ2 / Σ4	C2 / C4
L	L	L	L	L	L	L	H	L	L
H	L	L	L	H	L	L	L	H	L
L	H	L	L	H	L	L	L	H	L
H	H	L	L	L	H	L	H	H	L
L	L	H	L	L	H	L	H	H	L
H	L	H	L	H	H	L	L	L	H
L	H	H	L	H	H	L	L	L	H
H	H	H	L	L	L	H	H	L	H
L	L	L	H	L	H	L	H	H	L
H	L	L	H	H	H	L	L	L	H
L	H	L	H	H	H	L	L	L	H
H	H	L	H	L	L	H	H	L	H
L	L	H	H	L	L	H	H	L	H
H	L	H	H	H	L	H	L	H	H
L	H	H	H	H	L	H	L	H	H
H	H	H	H	L	H	H	H	H	H

H = Nivel alto

L = Nivel bajo

Fig. 4.8 Tabla de funciones del circuito SN7483A

Nota: Las condiciones de entrada en A3, A2, B2 y CO son usadas para determinar las salidas Σ 1 y Σ 2 y el valor de la llevada interna C2. Los valores en C2, A3, B3, A4 y B4 son entonces - usados para determinar las salidas Σ 3, Σ 4 y C4.

En la figura 4.9 se muestra el diagrama funcional en bloque de este circuito.

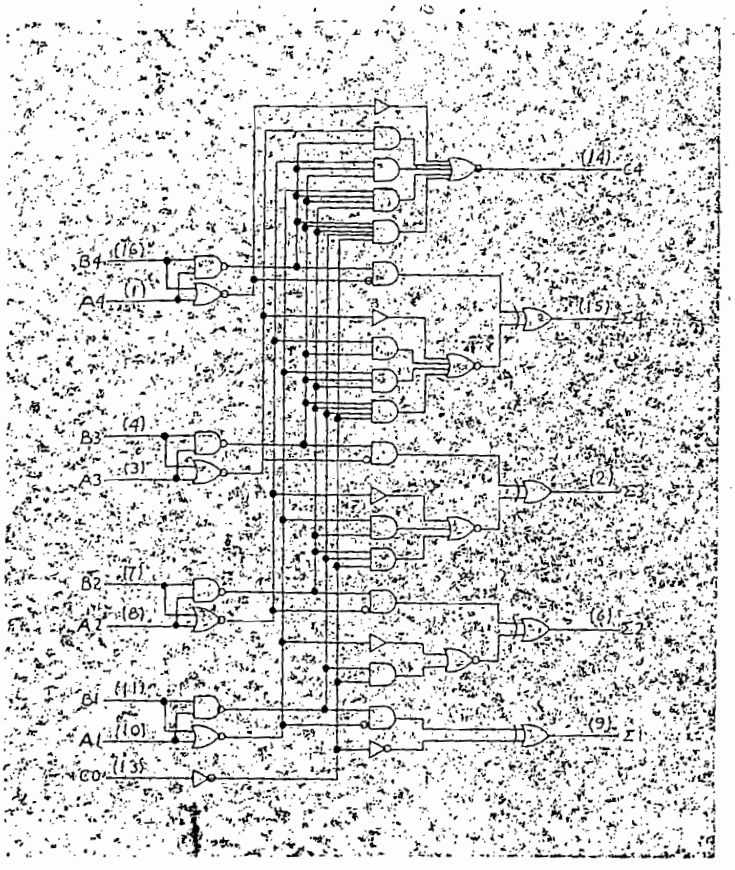


Fig. 4.9 Diagrama funcional en bloque del circuito SN7483A

IV.1.1.c CIRCUITO INTEGRADO SN7408

Está constituído de cuatro compuertas "Y" y su diagrama funcional en bloque aparece en la figura 4.10.

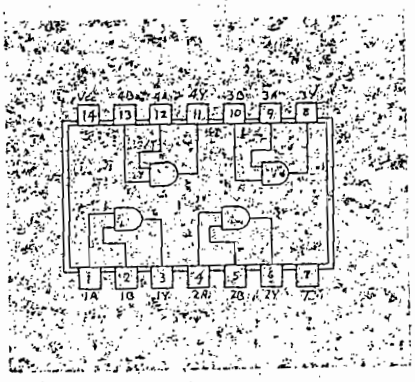


Fig. 4.10 Esquema funcional en bloque del circuito SN7408

Este circuito, está diseñado para funcionar con lógica positiva. A continuación, en la figura 4.11 se muestra el esquema de cada compuerta.

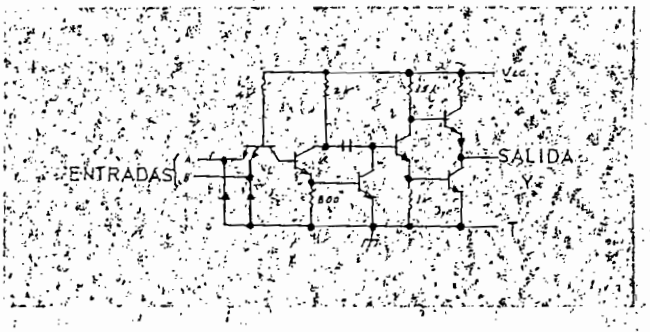


Fig. 4.11 Esquema de cada compuerta del circuito SN7408

El circuito de carga para las salidas en prueba del SN7408 se representa en la figura 4.12 y sirve también para las salidas en prueba de los circuitos SN74195 y SN7483, utilizados en este sistema básico.

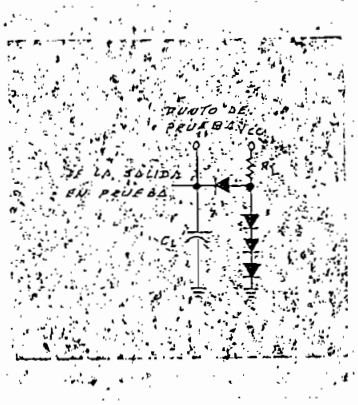


Fig. 4.12 Circuito de carga

Nota: Todos los diodos son 1N916 o 1N3064

IV.1.2 UNIDAD DE CONTROL

Para el control del sistema de multiplicación con la configuración de registros explicada en IV.1.1, es necesario producir las diferentes señales de control sincronizadas con la señal del reloj principal (PR), constituída por una serie de pulsos. Estas señales de control son las siguientes y su diagrama secuencial aparece en la figura 4.13.

a) Una serie de nueve pulsos (R) destinados: uno para cargar los registros del multiplicando y multiplicador o para borrar el contenido del registro del resultado y ocho, para realizar las correspondientes sumas y desplazamientos.

b) Una señal que manteniéndose en nivel alto (1) pase a nivel bajo, (0), únicamente durante el período correspondiente al -

primer pulso del reloj principal, PR, después de la señal de - comienzo. Esta señal ($\overline{Q}_2$) servirá para el borrado de la parte más significante del registro del resultado y para cargar el - registro del multiplicador juntamente con el reloj R.

c) Una señal que haga de reloj para cargar el registro del multiplicando mientras el primer pulso de la señal R borra o carga, conforme se explicó en a). Esta señal (CC) debe permanecer en nivel bajo (0) y únicamente en nivel alto (1), durante un tiempo que sea menor, dentro del periodo correspondiente al primer pulso del reloj R.

d) Finalmente, se hace necesaria una señal de comienzo que estando en nivel 0 pase a nivel 1, determinando el comienzo de - la serie de nueve pulsos con la cual y a su vez están sincronizadas las otras señales.

La figura 4.14, muestra un esquema de la unidad de control capaz de generar las señales caracterizadas en los literales anteriores. Para esta unidad se hace necesario un contador con el objeto de obtener los nueve pulsos de R. Tanto el sincronismo entre la señal de comienzo y el reloj principal, PR, como la generación de las otras señales, se obtienen con dos biestables tipo D y dos compuertas NOR.

La unidad funciona de la siguiente manera, teniendo en cuenta el diagrama secuencial de la figura 4.13.

Al aplicar la señal de comienzo en la entrada de reloj del primer biestable, el nivel alto 1 puesto en D_1 pasa a Q_1 y D_2. Con un pulso del reloj PR (primero de la serie de nueve), pasa este nivel 1 a Q_2, dejando $\overline{Q}_2$ en nivel 0 y consecuentemente, produciendo el borrado del primer biestrable, con lo cual Q_1 y D_2 quedan en nivel 0. Con otro pulso del reloj PR, pasa el nivel 0 de D_2 a Q_2 dejando $\overline{Q}_2$ en nivel 1. Para los pulsos siguientes, los niveles de Q_1, D_2, Q_2 y $\overline{Q}_2$ permanecen estables.

La señal $\overline{Q}_2$ producida de esta manera cumple con los requerimientos del literal b).

Si esta señal $\overline{Q}_2$ y la señal del reloj principal PR, se ponen como entradas de una compuerta NOR, a la salida obtendremos la señal CC, puesto que al permanecer $\overline{Q}_2$ en nivel 1, la salida de esta compuerta es 0 y únicamente, se tiene la señal PR invertida durante el intervalo en que $\overline{Q}_2$ es 0, cumpiendo de esta manera con el requerimiento del literal c).ª

Para disponer de los dos biestables tipo D se tiene el circuito integrado SN7474 y para las compuertas NOR, el circuito SN7402, ambos de la Texas Instruments (B.15).

Para el contador se dispone del circuito integrado SN7490A de la Texas Instruments (B.15). A las entradas $R_{0(1)}$ y $R_{0(2)}$ de este contador se introduce la señal Q_2, con lo cual y durante

el primer pulso del reloj principal se ponen a 0 las salidas del contador, permitiendo luego que cuente.

En la entrada A se ha puesto la señal cuyos pulsos van a ser contados. Cuando la salida D es 1, el contador indica que se han introducido los ocho pulsos necesarios. Si D es 1, la entrada al contador será 0, puesto que la una de las entradas de la compuerta NO-Y es 1. En realidad, la señal R obtenida a la salida de esta compuerta es una serie de nueve pulsos invertidos respecto a los pulsos del reloj prinicipal.

De esta forma, se cumplen con los requerimientos del literal a).

IV.1.3 INTEGRACION DEL SISTEMA

En la figura 4.22 y con el título de SISTEMA BASICO DE MULTIPLICACION, aparece el esquema diseñado en IV.1.1 y IV.1.2, el mismo que se procedió a poner en práctica, encontrándose montado en la tarjeta que con el mismo título se integra al equipo presentado como parte práctica de esta Tesis. En la figura 4.23, se tiene un esquema de la tarjeta, para la ubicación correcta de los circuitos integrados.

La figura 4.15, muestra la fotografía de la mencionada tarjeta que contiene los circuitos del esquema de la figura 4.22.

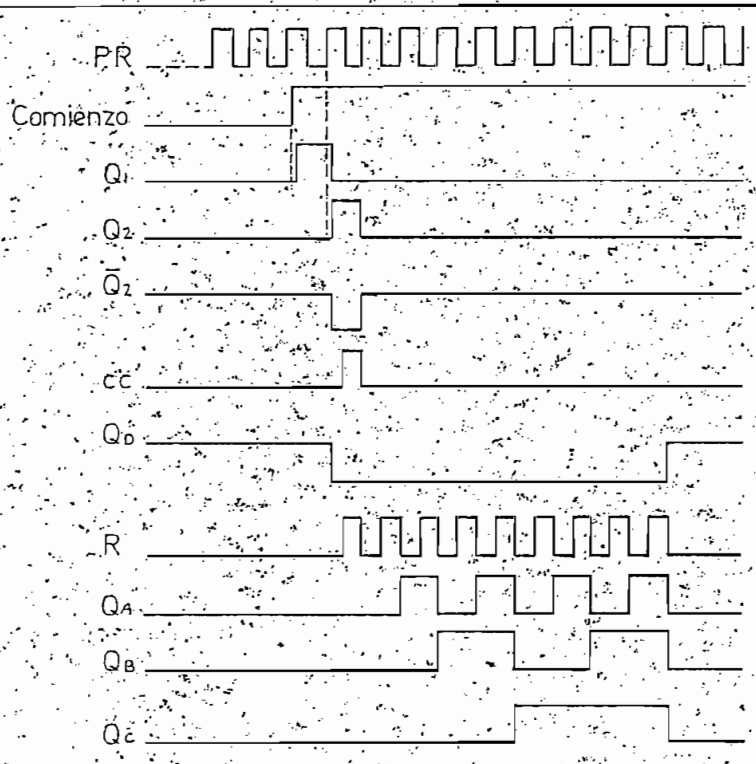
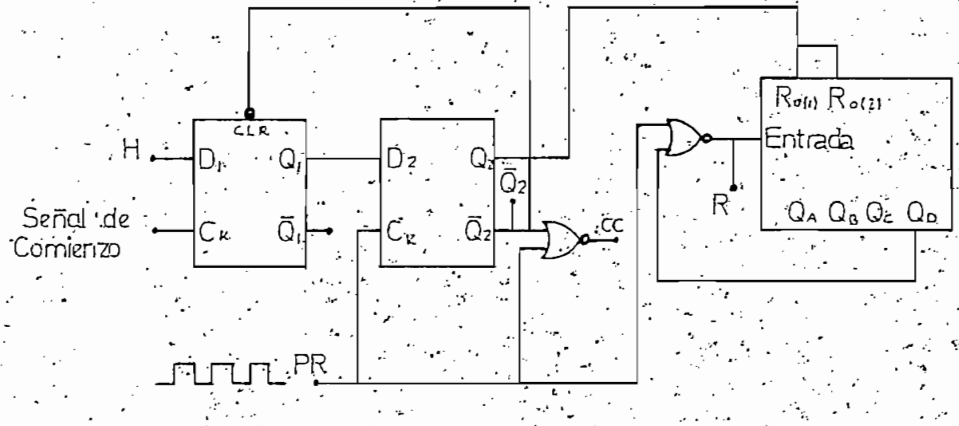


Fig. 4.13 Diagrama secuencial de las señales de control para el SISTEMA BASICO



H = Nivel alto (estado estacionario)

Fig. 4.14 Esquema de la unidad de control del SISTEMA BASICO

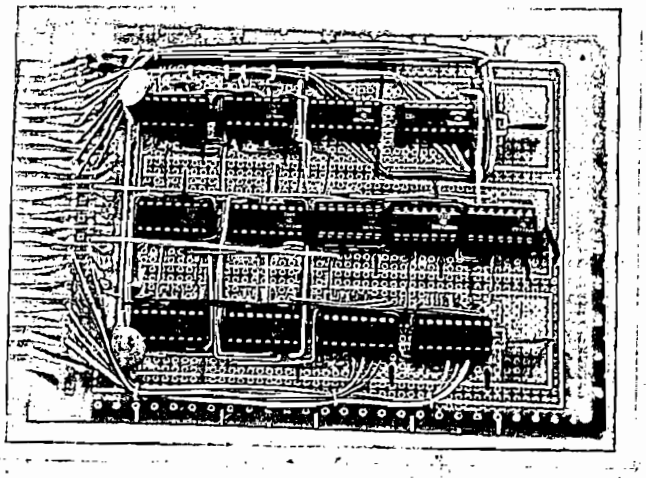


Fig. 4.15 Montaje del sistema básico de multiplicación

Con el objeto de hacer funcional al sistema y sobre todo para cumplir con uno de los objetivos de esta Tesis, el fin pedagógico, se ha construído una consola la misma que aparece en la fotografía de la figura 4.16

Fig. 4.16 Consola

Esta consola está construída en forma totalmente desarmable para tener acceso a todos los circuitos e inclusive, la tapa inferior del equipo es de material plástico transparente, permitiendo llegar a ellos en forma visual, conforme se ve en la fotografía de la figura 4.17.

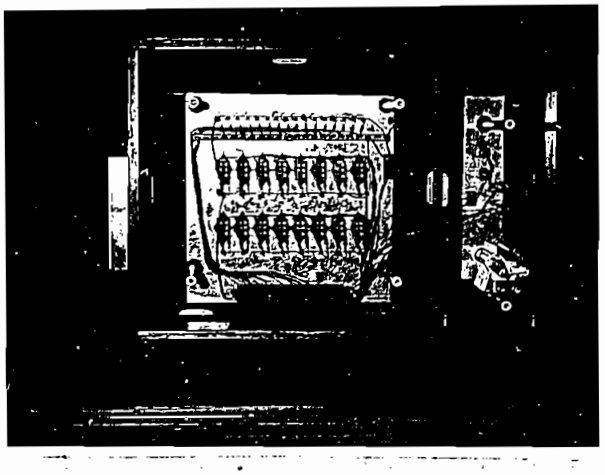


Fig. 4.17 Vista inferior de la consola

El tablero principal contiene la representación binaria del multiplicando, multiplicador y respuesta. Mediante dos series de ocho diodos emisores de luz cada una, se representa al multplicando y al multiplicador y con una de dieciseis, la respuesta. Naturalmente las dos primeras series vienen a constituir los datos que se ponen a las entradas del sistema y la tercera, la respuesta o salidas del mismo.

La fotografía de la figura 4.18 muestra en la parte izquierda el tablero principal y la figura 4.18a, el diagrama circuital -

de la consola.

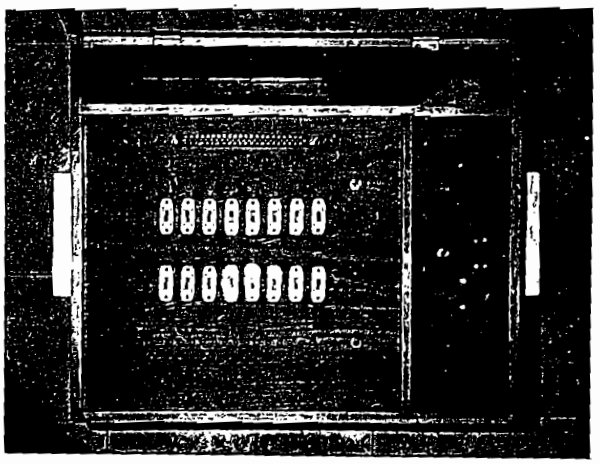


Fig. 4.18 Tableros de control

Los datos o entradas a los registros del multiplicador y multiplicando se seleccionan mediante los conmutadores que aparecen en la parte inferior de cada diodo representativo y la señal - de comienzo se genera con el conmutador inferior derecho de este tablero a través de un eliminador de rebote de contacto de compuertas NO-Y. Se dispone de un circuito integrado SN7400 de la Texas Instruments (B.15), para implementar este eliminador de rebote de contacto.

Un segundo tablero a la derecha de la consola (Fig. 4.18), tiene entradas para la fuente de poder y un generador de pulsos - externo.

Además, se incorpora al equipo un generador de pulsos local, el

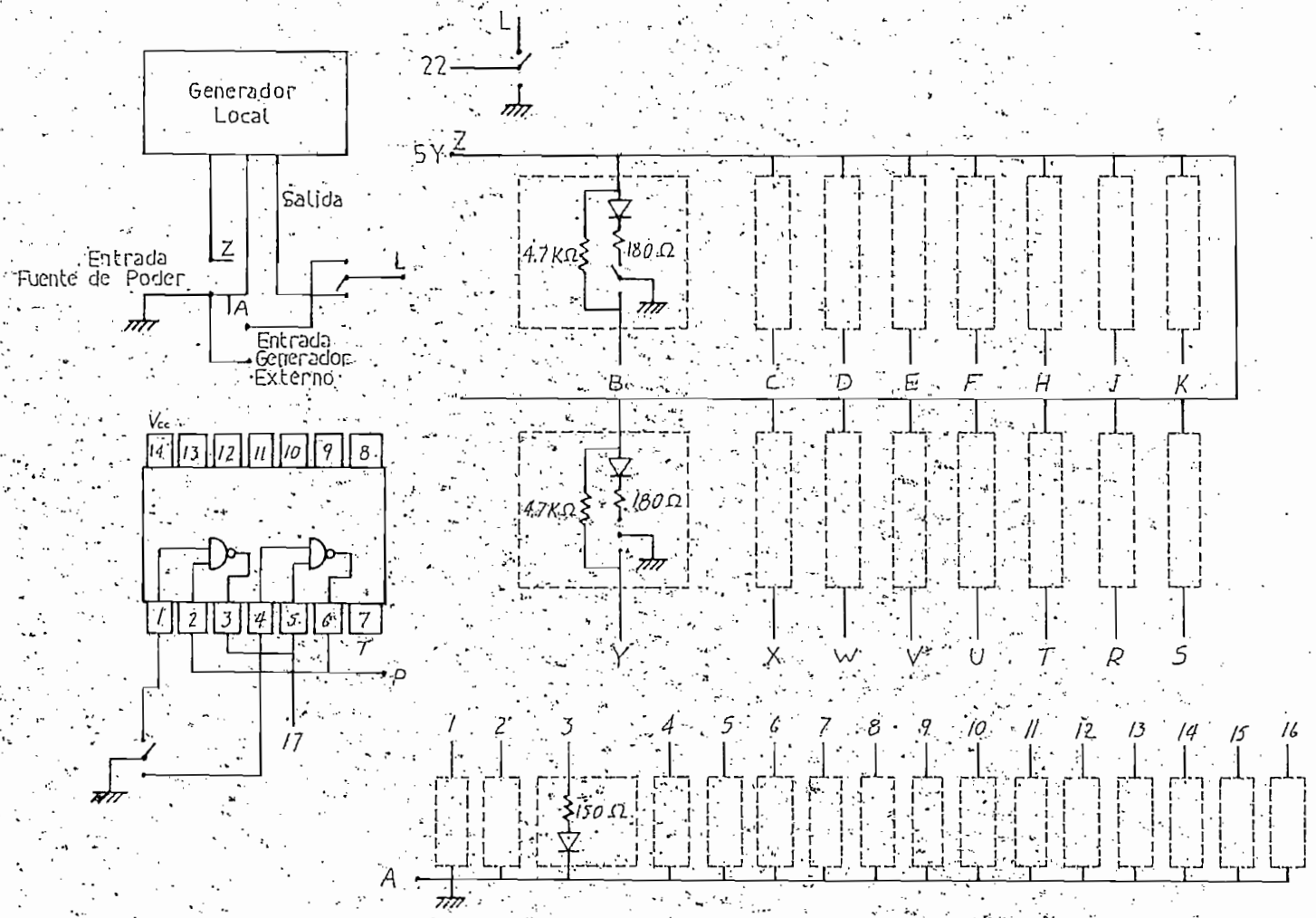


Fig. 4.18a Diagrama circuital de la consola.

(Las letras y números corresponden a los terminales del zócalo)

mismo que está diseñado para obtener señales de alta frecuencia. De acuerdo a las medidas realizadas, genera señales hasta de 20 MHz pudiendo variar esta frecuencia mediante el condensador comandado por la perilla de la parte superior de este segundo tablero.

En la figura 4.19, se muestra el esquema del multivibrador construído en base a dos disparadores de Schmitt [1] y en la figura 4.20, el diagrama de diseño en base al circuito integrado SN7413 disponible, de la Texas Instruments.

El conmutador montado en este segundo tablero, permite hacer trabajar el equipo con el oscilador local o con un oscilador exterior. La ventaja de poder introducir una señal externa, es la poder conectar un generador de frecuencia muy baja, capaz de que se pueda visualizar los distintos pasos de la suma y desplazamiento que da el sistema de multiplicación a través de sus registros, cumpliendo con el fin pedagógico de esta Tesis. El generador de la unidad modelo EU 801-13 del equipo marca Heath Kit, disponible en el laboratorio de la Escuela Politécnica Nacional, permite esta visulización. La fotografía de la figura 4.21 muestra al mencionado equipo trabajando con el sistema básico de multiplicación.

1/ El diseño de este multivibrador fue proporcionado por el Ing. Herbert Jacobson, Director de la presente Tesis de Grado.

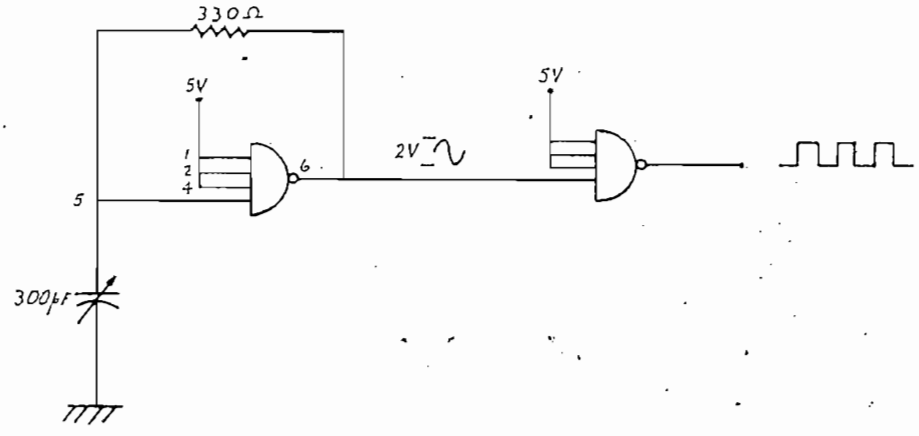


Fig. 4.19 Esquema del generador local

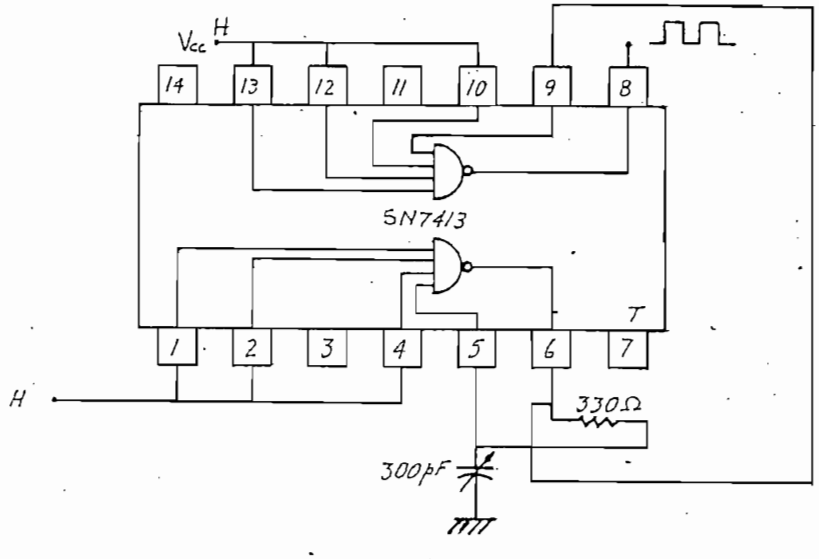


Fig. 4.20 Generador local utilizando el circuito integrado SN7413

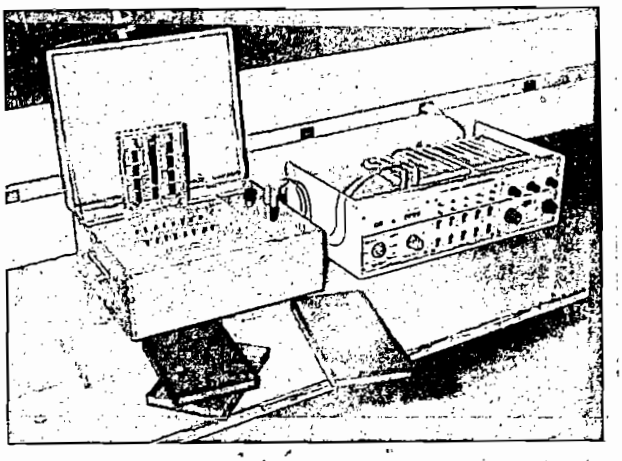


Fig. 4.21 Equipo funcionando con generador externo, y el sistema básico

Por último, la consola dispone en la parte posterior de un espacio para guardar las tarjetas de los dos sistemas de multiplicación.

IV.2 SISTEMA QUE OFRECE MAYOR INCREMENTO DE VELOCIDAD EN COMPARACION CON EL NUMERO DE CIRCUITOS A UTILIZARSE

En base a la teoría desarrollada en II.4 y II.5, se diseña el siguiente sistema de multiplicación que utiliza básicamente notación complemento de 2 y en consecuencia, puede multiplicar además números negativos.

Se trata de un sistema asincrónico que ha sido diseñado utilizando circuitos integrados Am 2505 fabricado por la Advanced -

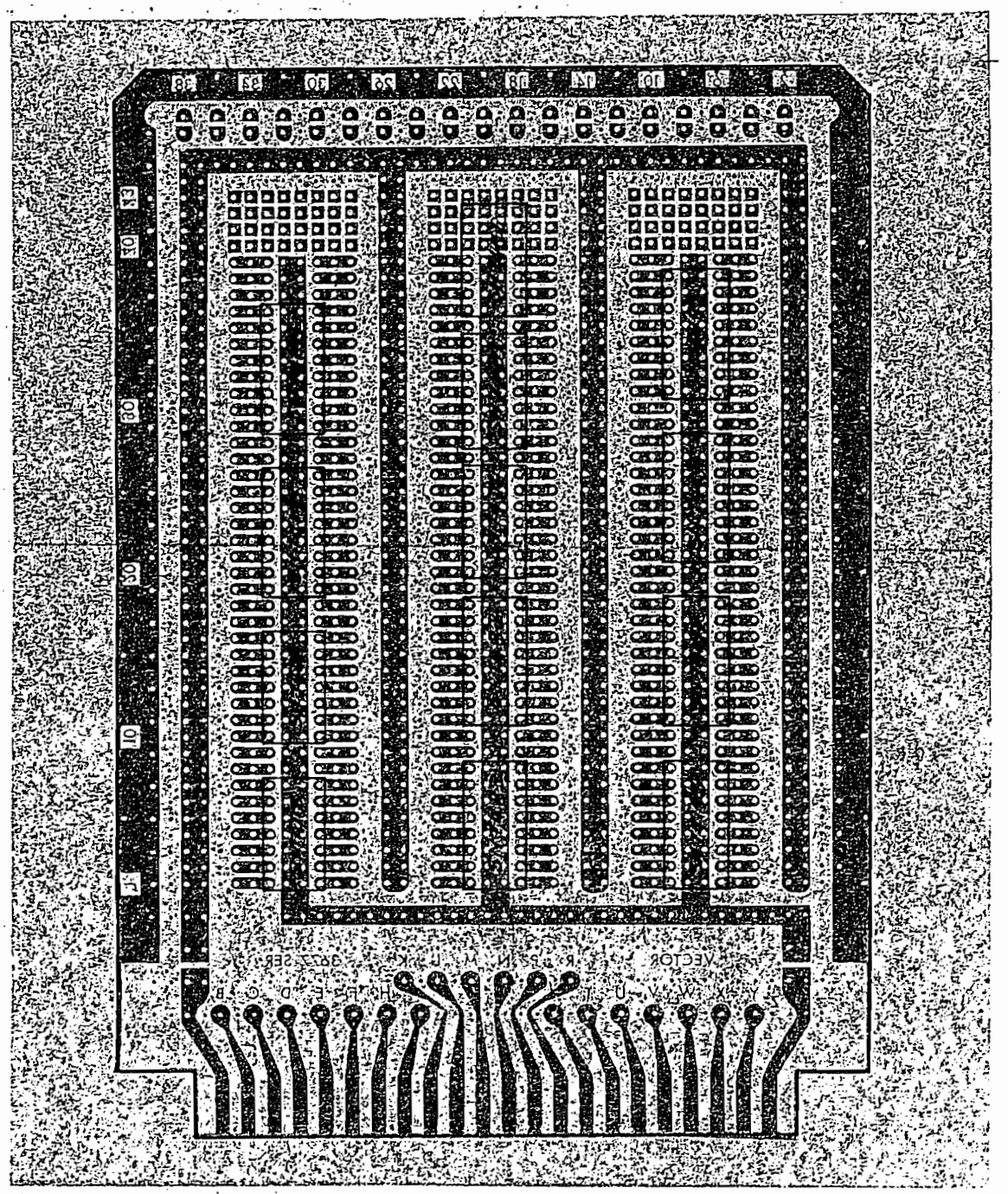


Fig. 4.23 Esquema con la ubicación de los circuitos integrados en la tarjeta que contiene el Sistema Básico

Micro Devices, USA. En vista de que se trata de circuitos asincrónicos, es necesario introducir los datos mediante dispositivos que permitan el control de estas entradas; con este propósito, se utilizan los circuitos integrados SN74175 constituídos por biestables tipo D y fabricados por la Texas Instruments.

IV.2.1 CIRCUITO INTEGRADO Am 2505

El Am 2505 es un elemento que obedece el algoritmo desarrollado previamente en II.5.3. Puede ser utilizado para multiplicar números con o sin signo en varias representaciones de números y realiza la multiplicación en lógica positiva o negativa.

El diagrama lógico del dispositivo se ve en la figura 4.24, los símbolos lógicos y terminales, en la figura 4.25. El circuito consiste de cinco partes: un decodificador del multiplicador, un arreglo de desplazamiento, un complementador, un sumador de alta velocidad y un control de rebasamiento y signo.

DECODIFICADOR DEL MULTIPLICADOR

Este decodificador genera señales de control que indican si el multiplicando va a ser usado multiplicado por 1 o por 2 y si se requiere una suma o una resta. El decodificador genera

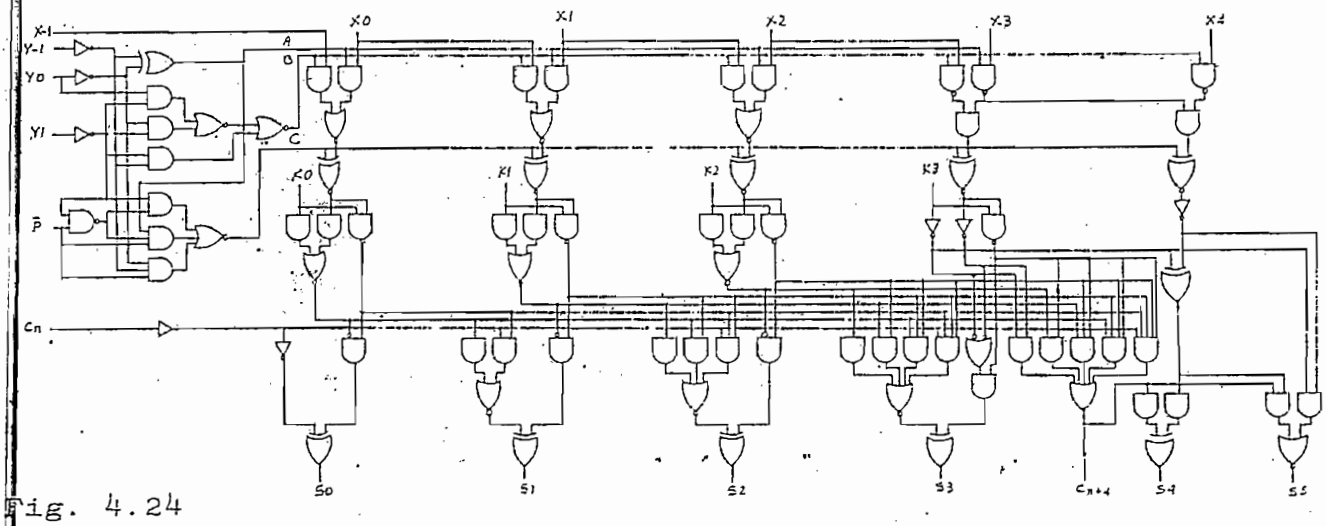


Fig. 4.24

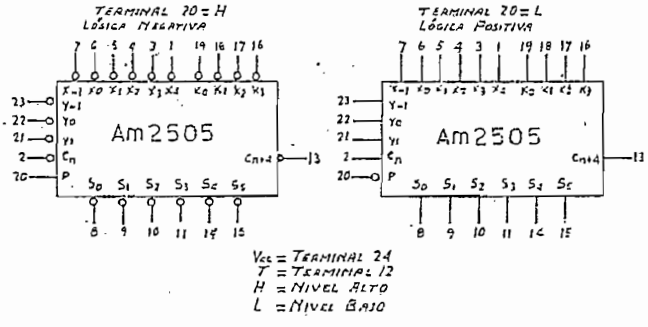


Fig. 4.25

Fig. 4.24 Diagrama lógico del circuito integrado Am 2505

Fig. 4.25 Símbolos lógicos y terminales del circuito integrado Am. 2505

las funciones:

$$A = Y_{i-1} \oplus Y_i \qquad \text{(1 x multiplicando)}$$

$$B = Y_{i-1} Y_i \overline{Y}_{i+1} + \overline{Y}_{i-1} \overline{Y}_i Y_{i+1} \qquad \text{(2 x multiplicando)}$$

$$C = \overline{P}\,\overline{Y}_{i+1} + P(Y_{i+1} A + \overline{Y}_{i-1} \overline{Y}_i) \qquad \text{(suma o resta)}$$

La entrada P controla la secuencia de suma o reata, de tal forma que el multiplicador pueda funcionar bien sea en la representación lógica positiva o negativa. La función se complica por el arreglo de desplazamiento que da salidas ALTAS para 0 lógicos, independiente de la representación lógica.

ARREGLO DE DESPLAZAMIENTO

El arreglo de desplazamiento envía bien sea 1x o 2x el multiplicando, o todas las salidas altas, al complementador.

COMPLEMENTADOR

Consiste de un conjunto de circuitos "O" exclusivos, comandados por el control de suma/resta.

SUMADOR DE ALTA VELOCIDAD

Consiste de un sumador de llevada anticipada de alta velocidad que procesa en forma paralela cuatro bits, suma el multiplicando al producto parcial que se presenta en las entradas K. El sumador tiene una entrada para la llevada de la etapa anterior, una salida para la llevada a la siguiente etapa y cuatro salidas de suma, S_0 a S_3.

CONTROL DE REBASAMIENTO Y SIGNO

Al extremo más significante del arreglo, surge un problema - cuando ocurren rebasamientos de: a) suma o resta, o b) la necesidad de utilizar 2 x multiplicando. Para solucionar este problema de rebasamiento, el signo de los dígitos del multiplicando o del producto parcial deben ser repetidos dos veces. Por fortuna, también es posible una lógica de minimización y las dos salidas, S_4 y S_5, que son los bits más significantes del producto con signo de 6 bits procedentes de un multiplicador con signo de dos bits y de un multiplicando con signo de 4 bits, pueden ser generados fácilmente. Estas dos salidas - son requeridas solamente en el extremo más significante de cada paso repetitivo de una multiplicación. Para reducir la - carga de entrada en x3 se provee de una entrada adicional x4, la cual debe ser conectada a x3 en el extremo más significante del arreglo.

En vista de que el Am 2505 es un multiplicador 2x4 y realiza la función:

$$S = XY + K,$$

puede ser utilizado como una célula repetitiva en los esquemas de multiplicación. El número de dispositivos requeridos - estará dado por: $\frac{M \times N}{8}$, dónde M y N son los tamaños del multiplicador y del multiplicando.

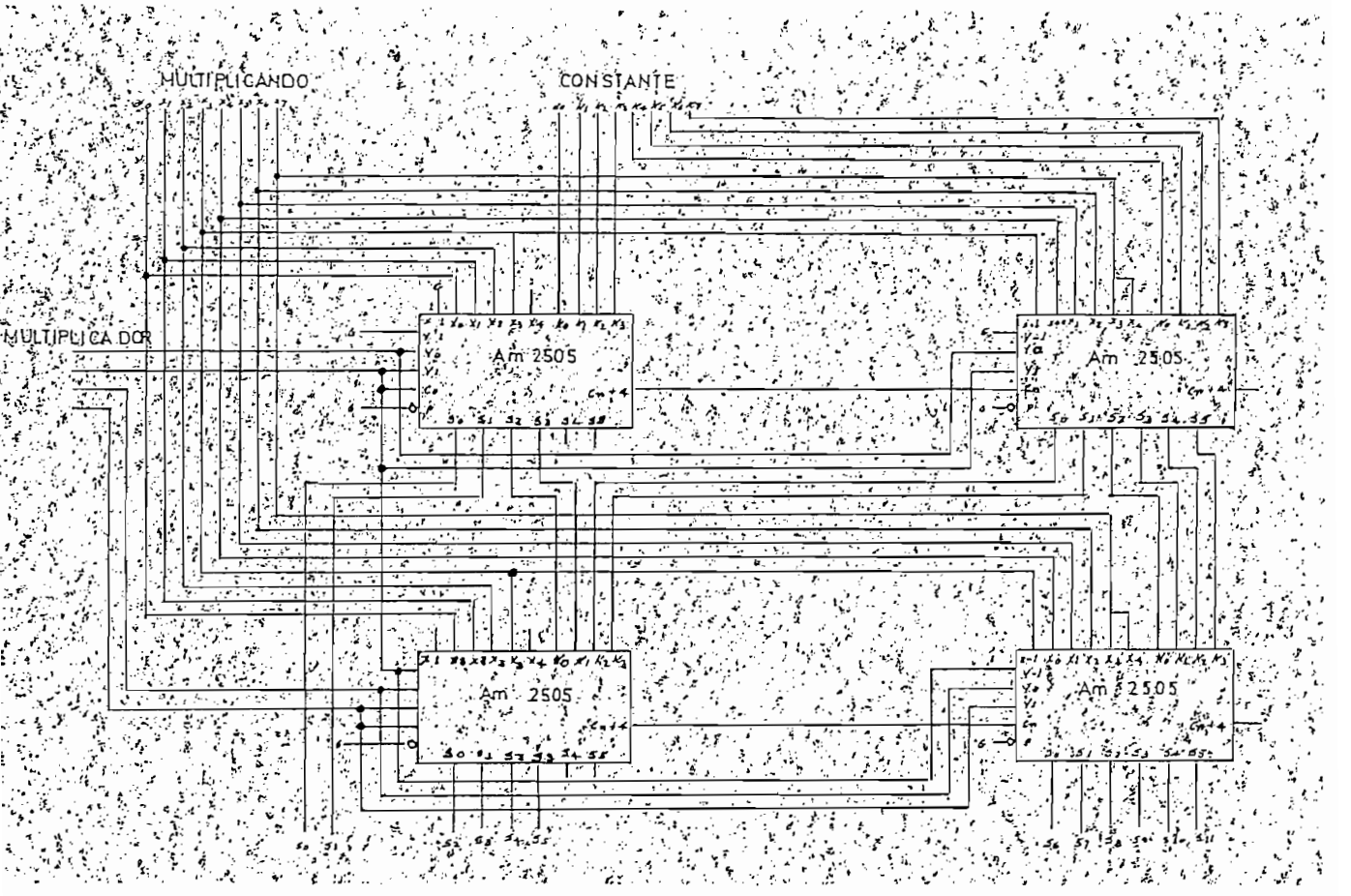


Fig. 4.26 Multiplicación complemento de 2 de 8 x 4 dígitos. Lógica positiva

La figura 4.26 indica 4 Am2505 conectados para formar un arreglo de 4 x 8 que produce el producto complemento de 2 a partir de un multiplicador complemento de 2 de 4 bits y de un multiplicando complemento de 2 de 8 bits. Este esquema está representado en lógica positiva; para la representación en ló

gica negativa, P debe dejarse abierto en lugar de mantener nivel bajo y deben ser reinterpretados los 1s y 0s. Debido a que el primer paso es tratado como si la operación previa fuera una suma, las entradas x_{-1} y y_{-1} son mantenidas en 0 lógico. Las salidas S_4 y S_5 son ignoradas, excepto al extremo más significante del arreglo. Las entradas K, permiten la acumulación de productos parciales a medida que la formación pasa a través del arreglo. Como en la primera etapa el producto parcial no existe, las entradas K, pueden ser utilizadas para sumar un número al extremo menos significante del producto. Esta propiedad es muy útil ya que muchos procesos artiméticos consisten de una serie de multiplicaciones y sumas. Para multiplicaciones de mayor tamaño, el arreglo puede ser extendido en las direcciones x y y. La figura 4.26 indica además, cómo el sistema puede ser extendido tanto en la dirección del multiplicando como en la del multiplicador, siguiendo el método directo de acoplar los multiplicadores acumulando los productos parciales y generando el producto. Este arreglo que consiste de multiplicadores de 2 bits repetidos en una estructura de tipo paralelogramo, no es la más rápida posible. Sin embargo, la velocidad puede ser incrementada al mover físicamente algunos bloques multiplicadores, siempre que no cambie su valor relativo. Esto significa que cada multiplicador puede cambiar su posición vertical, relativa en el arreglo, pero no su posición horizontal.

Las conexiones entre las entradas y1 y Cn a la izquierda del - arreglo pueden ser rotas dejando en libertad a la entrada Cn - para otro signo, pero la línea y1 debe, entonces, ser conectada a otra entrada de llevada con el mismo valor relativo que - el original.

La tabla j, indica los retardos y circuitos integrados necesarios para multiplicadores de varios tamaños, utilizando el método 3, que es el de velocidad óptima. El circuito empleado es el Am2505.

Se ha procedido al diseño de un multiplicador de 8x8 bits utilizando este método de máxima velocidad. De acuerdo a la tabla j, se requieren 8 paquetes Am2505, con lo cual el esquema del sistema de multiplicación es el que aparece en la figura 4.28.

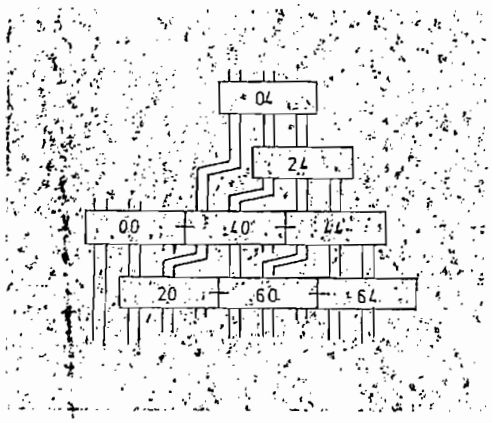


Fig. 4.28 Esquema del sistema de multiplicación rápida

Para que se realice la multiplicación a partir de una determina da señal, se introducen los datos en el sistema mediante biestables tipo D, constituyendo registros de almacenamiento que con una señal de comienzo se cargan. Se forman registros uno para el multiplicador y otro para el multiplicando, mediante 4 registros integrados SN74175 de la Texas Instruments (B.15), cada uno de los cuales tiene 4 biestables tipo D.

IV.2.2 UNIDAD DE CONTROL

Para el control del sistema de multiplicación rápida, se hace necesario producir una sola señal de comienzo que habiendo estado en nivel 0, suba a nivel 1 y permanezca en él. Esta señal, puede ser aplicada a la entrada del reloj de los biestables que constituyen los registros de almacenamiento a la entrada del sistema dando así comienzo a la multiplicación.

Con el objeto de hacer la medición del tiempo de procesamiento de este sistema mediante el osciloscopio es necesario generar un pulso de comienzo y un pulso de borrado en forma sincrónica. La primera de estas señales debe ser un pulso positivo y la segunda un pulso negativo.

La figura 4.29, muestra el esquema del circuito que cumple, a la vez, con todas las condiciones mencionadas y la figura 4.30 expone su diagrama secuencial. Si en la entrada N del biesta-

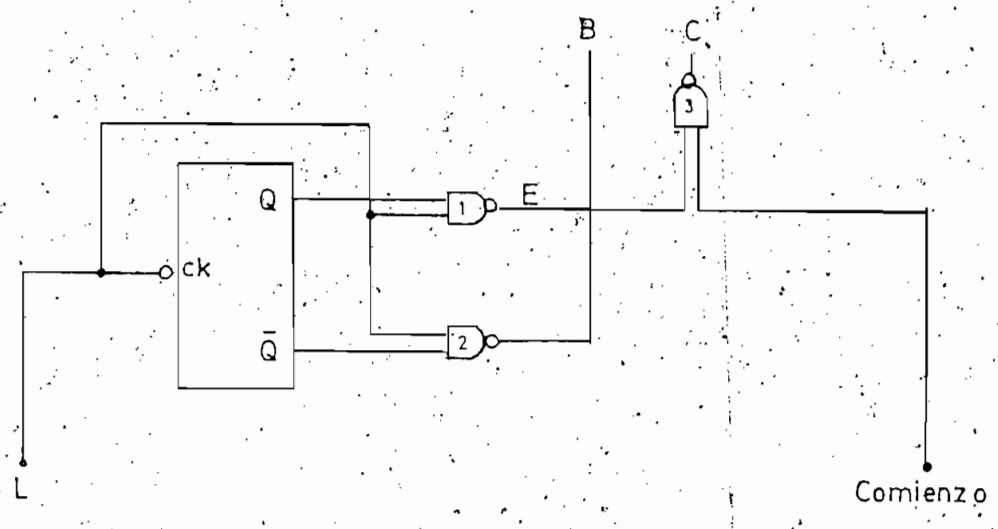


Fig. 4.29 Esquema de la unidad de control del SISTEMA RAPIDO

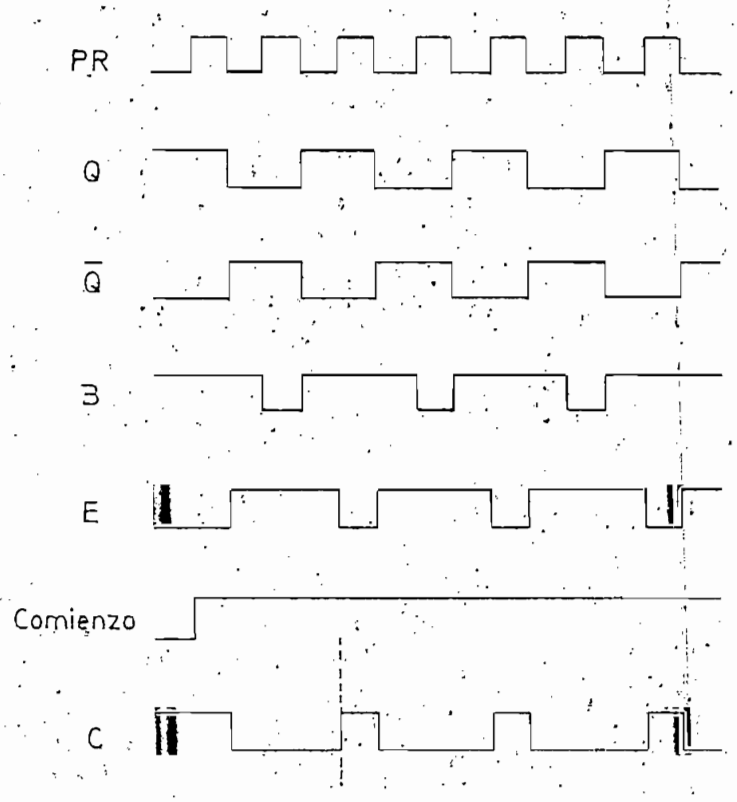


Fig. 4.30 Diagrama secuencial de las señales de control para el SISTEMA RAPIDO

ble J-K se introduce una serie de pulsos (PR), en su salida se tiene la señal Q, con una frecuencia que es la mitad de la entrada. La compuerta 1 dejará pasar la señal (PR) invertida, - mientras la señal Q sea 1, la compuerta 2 invertirá la señal - (PR) mientras Q sea 1 y la compuerta 3 invertirá la señal E - mientras la señal de comienzo sea 1. De esta forma se obten-- drán las señales secuenciales B y C que cumplen con las condiciones de borrado y carga, necesarias para la medición del - tiempo requerido para la multiplicación del circuito rápido. -

Si la entrada L se pone a tierra (nivel 0) y la señal de co-- mienzo se pone a 0 para comenzar la multiplicación, la salida C será una señal que estando en 0 cambia a 1, cumpliendo con - el requerimiento de carga del sistema, previo a la multiplicación.

IV.2.3 INTEGRACION DEL SISTEMA

En la figura 4.31 y con el título de sistema rápido de multiplicación, aparece el esquema diseñado en IV.2.1 y IV.2.2, el mismo que se procedió a poner en práctica, encontrándose montado en la tarjeta que con el mismo título se integra al equipo presentado como parte práctica de esta Tesis.

La figura 4.32 muestra la vista superior de cada uno de los - circuitos integrados Am2505, en base a la cual se presenta el diagrama circuital de la figura 4.31.

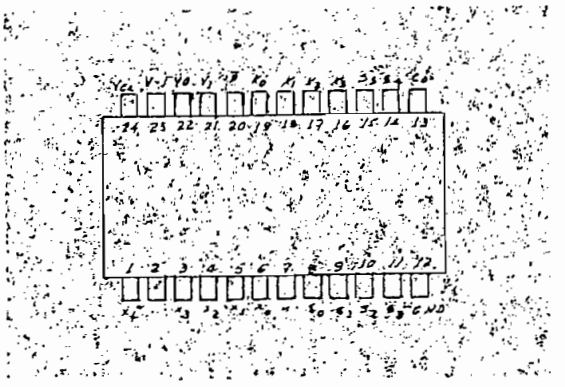


Fig. 4.32 Vista superior del circuito integrado Am2505
Nota: El terminal es marcado para orientación

En la figura 4.33 se tiene un esquema de la tarjeta para la ubicación correcta de los circuitos integrados.

La figura 4.34 muestra la fotografía de la mencionada tarjeta, que contiene los circuitos del esquema de la figura 4.31.

Las conexiones de la tarjeta en la que está montado el sistema rápido, están hechas de tal forma que funcione conectándole a la consola que contiene los tableros de control del - equipo de multiplicación. La forografía de la figura 4.35,- muestra el sistema rápido funcionando.

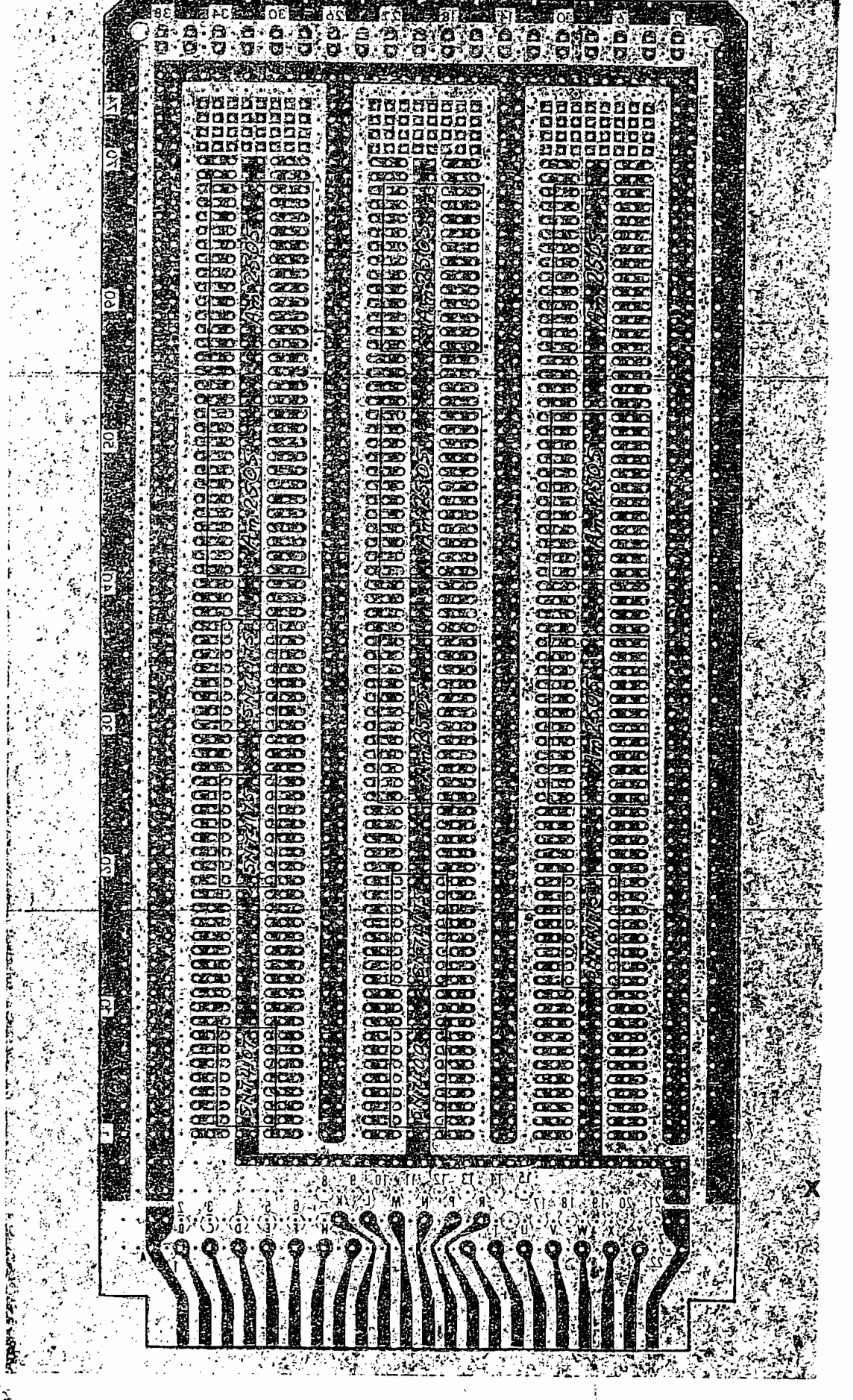


Fig. 4.33 Esquema con la ubicación de los circuitos integrados en la tarjeta que contiene el sistema rápido

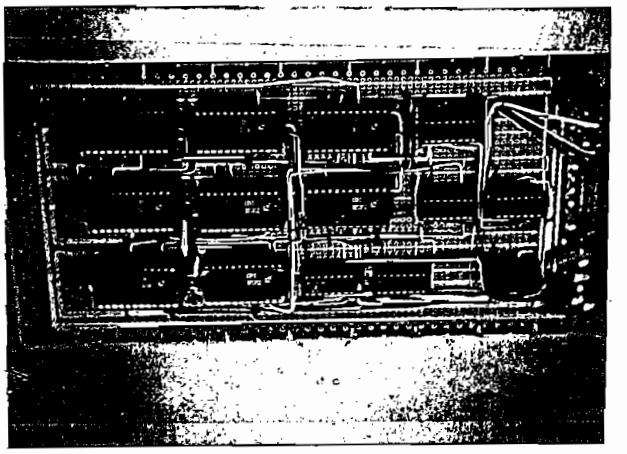


Fig. 4.34 Montaje del sistema rápido de multiplicación

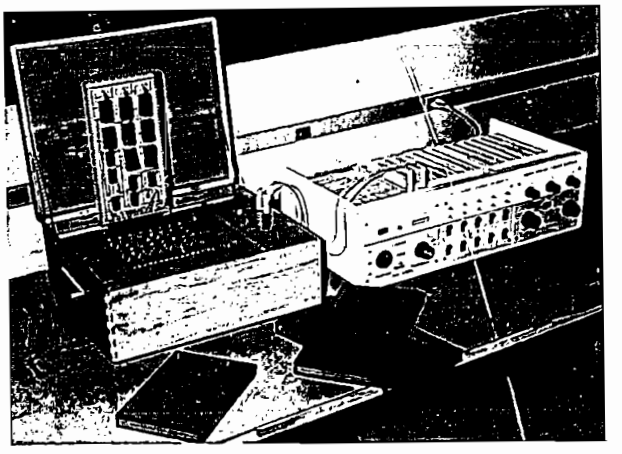


Fig. 4.35 Sistema rápido en funcionamiento

IV.3. CONSIDERACIONES BASICAS Y MEDICIONES DE LOS TIEMPOS - NECESARIOS PARA LA MULTIPLICACION. NUMEROS DE ENTRADA QUE DAN EL TIEMPO MAXIMO

En el Capítulo III se analizan los tiempos de propagación tanto para el Sistema Básico como para el Sistema Rápido.

En la medición del tiempo necesario para la multiplicación del Sistema Básico, se considera como punto de partida, la máxima frecuencia del reloj a la que el multiplicador puede dar resultados confiables. En III.1 se dan las razones para esta aseveración.

El Sistema Básico en operación, garantiza los resultados hasta una frecuencia de reloj de 12 MHz, lo que significa que el período de esta señal es de aproximadamente 83 ns. En vista de que son necesarios nueve pulsos del reloj para realizar la multiplicación en este sistema, el tiempo mínimo requerido es de 747 ns.

Los números de entrada que dan el tiempo máximo de multiplicación son aquellos en que tanto el multiplicando como el multiplicador están constituídos por 1s.

Para la medición del tiempo necesario de multiplicación en el sistema rápido de utiliza el montaje de la unidad de control -

descrito en IV.2.2.

Utilizando los dos canales del osciloscopio Tektronix Tipo 453 se hace la comparación entre la señal C de la unidad de control y las distintas señales a la salida del multiplicador, las mismas que se encuentran defasadas respecto a la primera. Se mide este defasamiento de acuerdo a las escalas del osciloscopio. En la fotografía de la figura 4.36 se puede ver un ejemplo tomado de la pantalla.

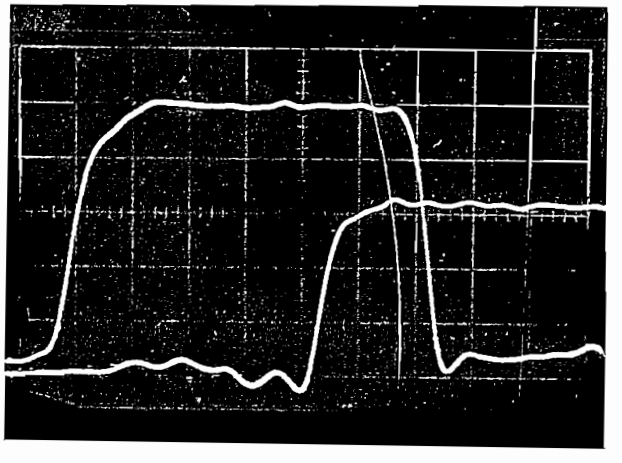


Fig. 4.36 Ejemplo de una medición del tiempo necesario para la multiplicación en el Sistema Rápido

Con la escala de barrido en 0,2 u seg/div. y disponiendo de una amplificación horizontal de 10 para ambos canales, se comparan las señales en una escala de 20 ns/div.

El tiempo máximo que se midió fue de 112 ns, para una salida

en la multiplicación 11111111 x 01111111.

De la misma manera se midió el tiempo de propagación de los circuitos de entrada constituídos por los biestables del circuito integrado SN74175, resultando ser de 20 ns.

En las fotografías de la figura 4.37, se presentan dos oscilogramas de la medición del tiempo en el Sistema Rápido. En (A) se compara la señal C de comienzo con una salida en la que el nivel es 0. En (B) se tiene el mismo caso de la figura 4.36; los dos impulsos que aparecen se deben a que el circuito integrado Am 2505 utiliza un sumador de llevada anticipada y por lo tanto, en algunos instantes la salida es inestable antes de tomar su nivel estacionario.

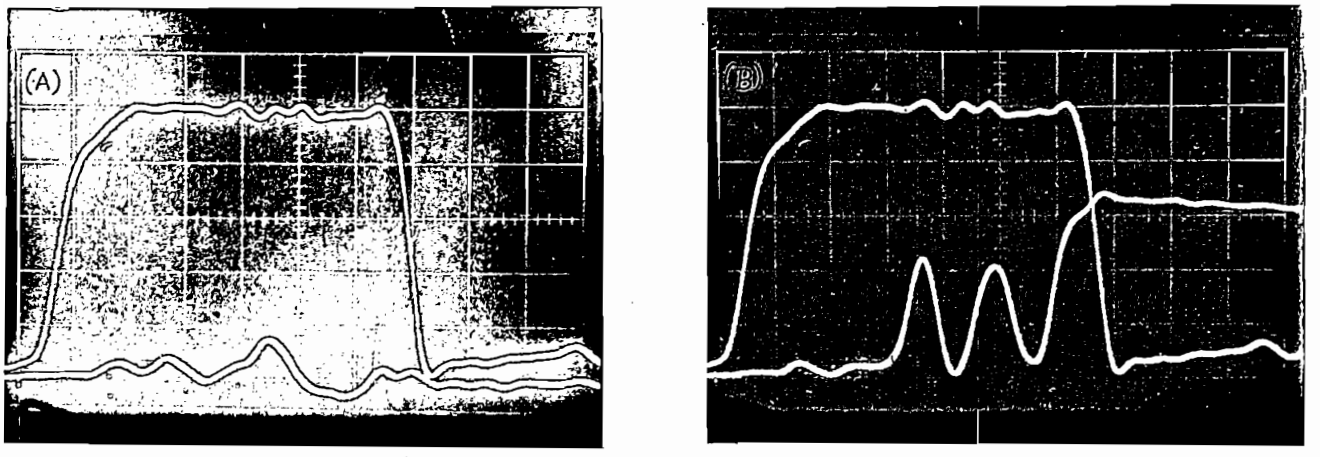


Fig. 4.37 Oscilogramas para medición del tiempo
(A) Señal de salida a nivel 0
(B) Señal de salida con impulsos de inestabilidad, debido al sumador de llevada anticipada

C A P I T U L O Q U I N T O

C O M P A R A C I O N E N T R E L O S E S T U D I O S

T E O R I C O S Y E X P E R I M E N T A L E S

C O N C L U S I O N E S

cálculo del tiempo necesario para la multiplicación en el -
stema Básico, según III.3 es de 476 ns para circuitos integra
s típicos, garantizando 621 ns según la figura 3.1.

tiempo medido en base a la frecuencia del reloj es de 747 ns.

diferencia entre el valor medido y los valores calculados se
be a que en el cálculo, no se ha tomado en cuenta el tiempo
propagación requerido por las conexiones, el mismo que se -
opta como 1 ns por cada una de ellas. Además, la frecuencia
12 MHz ha sido estimada para que el sistema de resultados -
n ciento por ciento de seguridad.

el Sistema Rápido, el tiempo necesario para la multiplica-
ón es de 155 ns, según III.2, para circuitos integrados típi-
s, de los cuales 20 ns corresponden a los circuitos de entra
.

stamente, la medición indica 20 ns para estos circuitos de
trada. El valor medido, no varía respecto al valor teórico,
vista de que la medición se hizo entre los terminales del
rcuito integrado SN74175 sin que haya de por medio conexiones
ámbricas.

tiempo medido para todo el sistema es de 112 ns.

La diferencia entre el valor teórico y el valor medido, se debe a que para el cálculo no se toma en cuenta el tiempo de propagación de las conexiones (1 ns para cada una). Además, el dato teórico está dado para circuitos típicos, pudiendo variar a un mínimo o máximo por fabricación. Según el manual (B.1), da un rango de variación a partir del valor típico, hasta de un 40% a 25°C de temperatura ambiente.

Tanto para el Sistema Básico como para el Sistema Rápido, los manuales dan valores nominales de tiempo para una temperatura ambiente de 25°C, variando considerablemente, de acuerdo a este parámetro. Las condiciones en que se realizaron las mediciones, no fueron precisamente de 25°C, sino inferiores.

Al concluir el estudio de los tiempos necesarios para la multiplicación en los dos Sistemas, se justifican las mediciones realizadas respecto de los cálculos teóricos. Es de gran importancia también, hacer una comparación entre los tiempos necesarios para estos dos sistemas.

Existe una diferencia de 747 ns a 112 ns (en la práctica), en el procesamiento de una señal entre el Sistema Básico y el Sistema Rápido. Se ha conseguido reducir el tiempo necesario para la multiplicación a un 15% con el Sistema Rápido respecto al Básico, lo cual da un índice de la ventaja que se tiene

al utilizar métodos de multiplicación rápida. Es más, si se analiza la tabla j en IV.2.1, comparando el tiempo necesario para un arreglo 8x8 bits, con el tiempo de propagación para un arreglo de 16x16 bits, en multiplicación rápida, se ve que la relación es prácticamente de 1 a 2, lo que normalmente, el tiempo aumenta con el cuadrado del número de bits que procesa un arreglo.

B I B L I O G R A F I A

(B.1) ADVANCE MICRO DEVICES, Inc., "Four-Bit by Two-Bit 2's Complement Multiplier, Am 2505", California 94086, Noviembre 1971.

(B.2) BAUGH CHARLES R., "A Two's Complement Parallel Array Multiplication Algorithm", IEEE Transactions on Computers, Vol. C-22, Nº 12, pag. 1045-1047, Diciembre 1973.

(B.3) BRAUN EDWARD L., "Digital Computer Design", Academic Press Inc., New York, 1963.

(B.4) FLORES IVAN, "The Logic of Computer Arthmetic", Prentice Hall Inc., Englewood N.J.,1963.

(B.5) HALLIN THOMAS G, FLYNN MICHAEL J., "Pipelining of Arithmetic Functions", IEEE Transactions on Computer, pág. 880-886, Agosto 1972.

(B.6) IRWIN WAYNE C., "Digital Computer Principles",D. Van Nostrand Company, Inc., Princeton N.J., Septiembre 1961.

(B.7) JACOBSON HERBERT, "Apuntes sobre Sistemas Digitales", Escuela Politécnica Nacional, Quito 1971.

(B.8) KAMAL A.A., GHANNAM A.N., "High-Speed Multiplication Systems", IEEE Transactions Computers, pag. 1017-1021, Septiembre 1972.

(B.9) LABORATORIO DE SISTEMAS DIGITALES, Escuela Politécnica Nacional, Quito 1974.

(B.10) MALEY HERALD A., HEILWEIL MELVIN F., "Introduction to Digital Computers", Prentice Hall, Inc.,Englewood, N.J., 1968.

(B.11) MORI R. DE, SERRA A., "A Parallel Structure for Signed-Number", IEEE Transactions on Computers, pág. 1453-1454, Diciembre 1972.

(B.12) RICHARDS R.K., "Arithmetic Operations on Digital Computers", D. Van Nostrand Company, Inc., New York 10, 1958.

(B.13) SCOTT NORMAN R., "Analog and Digital Computer Technology", McGraw-Hill Book Company, Inc., New York, 1960.

(B.14) SIEMENS, "Manual de Información de la Técnica Digital Parte I y II", Quito 1973.

(B.15) TEXAS INSTRUMENTS, Inc., "The TTL Data Book for Design Engineers", Primera Edición, Dallas Texas, 1973.