ESCUELA POLITÉCNICA NACIONAL

ESCUELA DE INGENIERÍA ELÉCTRICA

CONSTRUCCIÓN DE UN EQUIPO PARA INSTRUIR EN EL USO DE CAJEROS AUTOMÁTICOS

PROYECTO PREVIO A LA OBTENCIÓN DEL TITULO DE INGENIERO EN ELECTRÓNICA Y TELECOMUNICACIONES

GALO FERNANDO ARIAS PASTOR

DIRECTOR: ING. JAIME VELARDE

QUITO, ABRIL 2002

DECLARACIÓN

Yo, Galo Fernando Arias Pástor, declaro bajo juramento que el trabajo aquí descrito es de mi autoría; que no ha sido previamente presentado para ningún grado o calificación profesional; y, que he consultado las referencias bibliográficas que se incluyen en este documento.

A través de la presente declaración cedo mis derechos de propiedad intelectual correspondientes a este trabajo, a la Escuela Politécnica Nacional, según lo establecido por la Ley de Propiedad Intelectual, por su Reglamento y por la normatividad institucional vigente.

Galo Fernando Arias Pástor

CERTIFICACIÓN

Certifico que el presente trabajo fue desarrollado por Galo Fernando Arias Pástor, bajo mi supervisión.

Ing. Jaime Velarde

DIRECTOR DEL PROYECTO

AGRADECIMIENTOS

A mi familia por su apoyo y buena voluntad para la culminación de este proyecto.

Mi agradecimiento *al Ing.* Jaime Velarde, por su incondicional apoyo para la realización de este proyecto.

DEDICATORIA

A mi difunto Padre, que guía mis pasos por siempre.

A mi Madre Pepita, por su valentía, abnegación y dedicación que ha demostrado para salir adelante.

A mi esposa Eugenia, por su cariño, paciencia y comprensión.

A mis hijos: Galo Edwin y Luis Felipe.

CONTENIDO

RESUMEN 1

CAPITULO 1. LOS CAJEROS AUTOMÁTICOS

1.1 FUNCIONAMIENTO DE LOS CAJEROS AUTOMÁTICOS.....2

1.1.1 VENTAJAS DE LOS CAJEROS AUTOMÁTICOS.....2

1.1.2 UTILIDADES DE LOS CAJEROS AUTOMÁTICOS 3

1.2 CLASIFICACIÓN DE LOS ATM.....3

1.2.1 CONFIGURACIÓN EXTERNA

1.2.1.1 Diebold 1062 4

1.2.1.2 Diebold 1060 5

1.2.1.3 Diebold 1074 6

1.2.1.4 Diebold 1073 6

1.2.1.5 Diebold 1072 7

1.2.1.6 Diebold 1064 8

1.3 PARTES DE UN CAJERO AUTOMÁTICO.....12

1.3.1 DISPOSITIVOS EXTERNOS.....12

1.3.1.1 Interfaz de usuario 12

1.3.1.2 Compuerta de retiro de dinero 13

1.3.1.3 Ranura para realizar depósitos 13

1.3.2 DISPOSITIVOS INTERNOS 14

1.3.2.1 Impresora de auditoria 15

1.3.2.2 Impresora de recibos 15

1.3.2.3 Lectora de tarjetas magnéticas 16

1.3.2.4 Dispensador de dinero 17

CAPITULO 2 EQUIPO DE INSTRUCCIÓN EN EL USO DE CAJEROS AUTOMÁTICOS

2.1 DISPOSITIVOS EXTERNOS DEL EQUIPO DE INSTRUCCIÓN 20

2.1.1 DISPLAYS DE CRISTAL LIQUIDO 21

2.1.1.1 LCD Principal 21

2.1.1.2 LCD´s de opciones 21

2.1.2 TECLADOS 21

2.1.2.1 Teclado numérico 22

2.1.2.2 Teclado de opciones 22

2.1.3 RANURA DE INSERCIÓN DE TARJETA 23

2.1.4 LED´S PARA SEÑALIZACIÓN 23

2.1.5 BUZZER O BEEPER 24

2.1.6 RANURA DE RECIBOS PARA EL CLIENTE 24

2.2 MENUS Y SUBMENUS QUE VE EL CLIENTE AL COLOCARSE FRENTE AL EQUIPO DE INSTRUCCIÓN 24

2.2.1 MENSAJES PRINCIPALES 25

2.2.2 MENSAJES DE OPCIONES.....26

2.3 MAPA DE MENSAJES 28

CAPITULO 3 DISEÑO DEL HARDWARE DEL EQUIPO

3.1 INTERFAZ DE USUARIO 32

3.2 DIAGRAMA DE BLOQUES DEL EQUIPO DE INSTRUCCIÓN 32

3.2.1 DESCRIPCION DE LA TARJETA MCPD51DA 33

3.2.1.1 Distribución de componentes de la tarjeta MCPD51DA 37

3.2.2 DIAGRAMA DE BLOQUES DE UN ARREGLO DE LCD´S ..40

3.2.3 INTERFAZ ENTRE TECLADO Y TARJETA MCPD51DA 41

3.2.4 DIAGRAMA DE BLOQUES PARA SEÑALIZACIÓN 43
3.2.5 INGRESO DE LA TARJETA DE PRUEBA 43
3.2.6 SELECCIÓN DE PORTICOS DE ENTRADA Y SALIDA 44
3.2.7 DISTRIBUCION DE PINES DEL CONECTOR JP5 45
3.3 DIAGRAMAS CIRCUITALES
3.3.1 CIRCUITO DE INTERFASE ENTRE UN LCD Y CONTROLADOR 8031 47
3.3.1.1 Control para un LCD 47
3.3.1.2 Control para un arreglo de LCD´s 48
3.3.1.3 Control de contraste de los LCD´s 53
3.3.2 CIRCUITO DE INTERFASE ENTRE TECLADOS Y TARJETA MCPD51DA 53
3.3.3 CIRCUITO PARA SEÑALIZACIÓN 56
3.3.4 CIRCUITO DETECTOR DE TARJETA 57
3.3.5 FUENTE DE ALIMENTACIÓN 59

CAPITULO 4 DESARROLLO DEL SOFTWARE DEL EQUIPO

4.1 DIAGRAMAS DE FLUJO DEL PROGRAMA DEL EQUIPO DE INSTRUCCIÓN 61
4.1.1 PROGRAMA PRINCIPAL 61
4.1.2 MENU PRINCIPAL 62
4.2 SUBRUTINAS
4.2.1 SUBRUTINAS PARA SUBMENUS 63
4.2.2 SUBRUTINA CLAVE 64
4.2.3 SUBRUTINA RETIROS – OTRA CANTIDAD 65
4.3 INICIALIZACION DE LCD´s 67
4.3.1 RUTINA DE INICIALIZACION 68
4.3.2 DATO Y COMANDO 69
4.3.2.1 Escritura de un DATO en el LCD 69
4.3.2.2 Envío de un comando al LCD 70
4.3.3 CONTROLADOR DE LCD OCUPADO 71
4.4 SUBRUTINAS PARA VARIOS LCD´s 72

4.4.1 SUBRUTINA DATO 74
4.4.2 SUBRUTINA COMANDO 74
4.4.3 SUBRUTINA LCD_BUSY 75
4.5 ENVIO DE UN MENSAJE COMPLETO A UN LCD 75
4.6 SUBRUTINA TECLADOS 77
4.7 PROCESO Y MENSAJES FINALES 78
4.8 LISTADO DEL PROGRAMA 79

CAPITULO 5 CONTRUCCION DEL EQUIPO DE INSTRUCCIÓN

5.1 CONSTRUCCION DEL EQUIPO DE INSTRUCCIÓN 105
5.1.1 PLACA PRINCIPAL MCPD51DA 105
5.1.2 PLACA DEL CIRCUITO INTERFASE DE USUARIO 106
5.1.3 PLACA DEL CIRCUITO DE LA FUENTE DE ALIMENTACIÓN 108
5.2 MONTAJE DE LAS PLACAS DE CIRCUITO Y DISPOSITIVOS EXTERNOS 109
5.3 ANALISIS DE SERVICIO PARA EL USUARIO 110

CAPITULO 6 COMENTARIOS Y CONCLUSIONES

6.1 COMENTARIOS 113
6.2 CONCLUSIONES 114

BIBLIOGRAFIA 115

ANEXO A Manual de usuario 116
ANEXO B Datos técnicos de elementos y circuitos integrados 119

RESUMEN

El presente proyecto está elaborado con la finalidad de diseñar y construir un equipo destinado a ser utilizado en una Institución Financiera, con la finalidad de que un usuario nuevo lo pueda utilizar con facilidad, para de esa manera al colocarse frente a un cajero automático se desenvuelva sin ningún problema, por otra parte dar a conocer las ventajas y facilidades que un cajero automático puede tener y que son pasadas por alto.

El equipo de instrucción, cuenta con las facilidades y características más importantes que tienen los Cajeros Automáticos, un cliente nuevo puede utilizarlo sin ningún problema repetidas veces. El equipo se ha construido de tal forma que se asemeje en gran medida a la realidad.

Con la ayuda del SIDES2000, el cual es un sistemas de desarrollo de software para microcontroladores de la familia MCS-51/52, se desarrolló el software para el equipo de instrucción.

El hardware del equipo es construido sobre la base del microcontrolador 8031; para la entrada de datos se utilizó una matriz de teclados 5 x 4 (5 columnas x 4 filas) y LCD´s para presentar los mensajes que tiene un Cajero Automático.

CAPITULO 1

LOS CAJEROS AUTOMÁTICOS

1.1 FUNCIONAMIENTO DE LOS CAJEROS AUTOMÁTICOS

Los cajeros automáticos conocidos también como ATM (Automated Teller Machine), son equipos para realizar procesos de banca electrónica con la sola utilización de una tarjeta de banda magnética que poseen los clientes dueños de las cuentas de ahorros o corrientes o de tarjetas de crédito. Estos permiten a los usuarios realizar una serie de transacciones que las podrían realizar directamente en las ventanillas de la Institución Financiera, de esta manera se aprovecha las facilidades que brindan los ATM´s por su capacidad de procesamiento ya que poseen un microprocesador incorporado, se puede decir que un ATM tiene todas las ventajas que un computador.

La única interfaz visible y que puede manipular el usuario se llama **interfaz de usuario,** consta de: teclados numérico y de funciones, monitor de usuario, ranura para tarjeta de banda magnética y ranura de papeleta de recibo para el cliente, además se dispone de una ranura para retiro de dinero y una ranura para realizar depósitos.

1.1.1 VENTAJAS DE LOS CAJEROS AUTOMÁTICOS.

- La principal ventaja que presentan los ATM´s es su utilización en horas fuera de horario habitual de una Institución Financiera, las 24 horas el día durante todo el año.

- El ATM se puede utilizar en cualquier parte y ubicación, como por ejemplo: gasolineras, centros comerciales, Instituciones Públicas y Privadas; en fin, donde requieran la presencia de un ATM.

- Es posible que un ATM se lo pueda conectar a cualquier tipo de red Ethernet o Token Ring. Se puede utilizar cualquier tipo de enlace de datos directo desde el computador central o Host hasta el lugar donde se

1.1.2 UTILIDADES DE LOS CAJEROS AUTOMÁTICOS.

Los ATM´s permiten realizar las siguientes transacciones:

- Retiro de dinero en efectivo, que es la más importante y la de mayor utilización.
- Consultas de estados de cuenta de ahorros o corriente.
- Depósitos en cheques tanto diurnos como nocturnos.
- Pagos de tarjetas de crédito, luz, agua, pensiones.
- Compra de tarjetas prepago para celulares.

Todo esto es posible gracias a que el ATM está conectado por cualquier tipo de comunicación de datos a la Institución Financiera ya sea directamente por una red LAN o remotamente, en ambos casos todas las transacciones se las hace directamente en comunicación con el computador central (Host), considerando que se pueden utilizar las 24 horas del día durante todo el año.

1.2 CLASIFICACION DE LOS ATM

Se hace referencia a los ATM´s de la marca DIEBOLD por ser la más utilizada en nuestro medio.

Estos se clasifican de acuerdo a su **configuración externa** y según el tipo de **tarjeta procesadora.**

La configuración externa que tienen los ATM´s permite ser instalados en el interior o exterior de lugares y locales que los requieran.

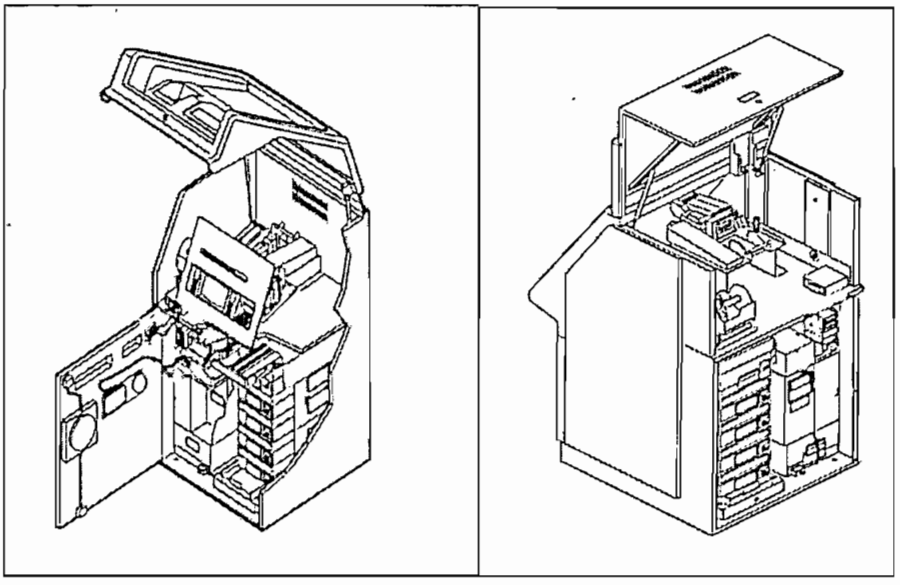
La tarjeta controladora, llamada tarjeta procesadora principal, es la encargada de controlar y establecer el control de la comunicación entre el ATM y el resto de dispositivos con el computador central. Adicionalmente en el disco duro instalado se accede a diagnósticos para configuración y mantenimiento del ATM.

1.2.1 CONFIGURACION EXTERNA.

1.2.1.1 Diebold 1062.

Es un ATM diseñado para ser colocado en los accesos a las Instituciones Financieras, estos terminales por tener libre ingreso son encerrados en una armadura muy resistente para evitar robo o manipulación externa indebida. Estos tienen como **dispositivos estándar:** el dispensador, con cuatro cajetines de dinero y un cajetín para dinero rechazado, además posee un dispositivo para realizar depósitos y la interfaz de usuario. Los cajetines de dinero y la caja para tarjetas retenidas son construidos de materiales resistentes que poseen cerraduras de seguridad.

Estos cajeros pueden realizar cualquier tipo de transacción.



(a). ATM de carga frontal (b). ATM de carga posterior

Figura 1.1 ATM Diebol 1062

Los ATM´s 1062 son de dos tipos:

- **Terminal para carga frontal (Front-Load Terminal).-** La carga del dinero así como los respectivos diagnósticos y reparaciones se las realiza por la parte frontal del ATM. Este se puede apreciar en la figura 1.1 a.

- **Terminal para carga posterior (Read-Load Terminal).-** La carga del dinero así como los respectivos diagnósticos y reparaciones se las realiza por la parte posterior del ATM. Este se puede apreciar en la figura 1.1 b.

1.2.1.2 Diebold 1060

Este ATM se muestra en la figura 1.2, son dedicados específicamente para el uso en una empresa, se lo ubica en el ingreso principal, anclado y asegurado debidamente.

La interfaz de usuario en este tipo de ATM, se ha modificado, sustituyendo la ranura de tarjeta magnética por un lector vertical donde se desliza manualmente la tarjeta , además tiene una compuerta de dinero.

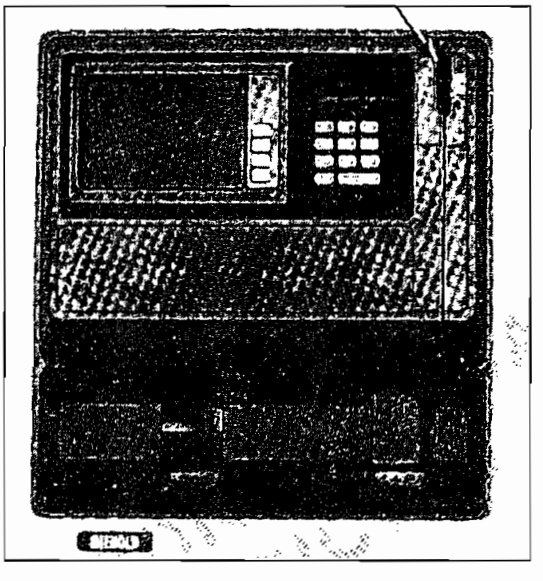


Figura 1.2 ATM 1060

1.2.1.3 Diebold 1074.

A estos cajeros de los denomina también "ISLAS" por su ubicación, se los coloca fuera de las Instituciones Financieras, para dar servicio a usuarios que se

movilizan en vehículos. Tienen todas las utilidades para realizar transacciones de cualquier tipo.

Poseen blindajes especiales contra robos y contra impactos. Figura 1.3

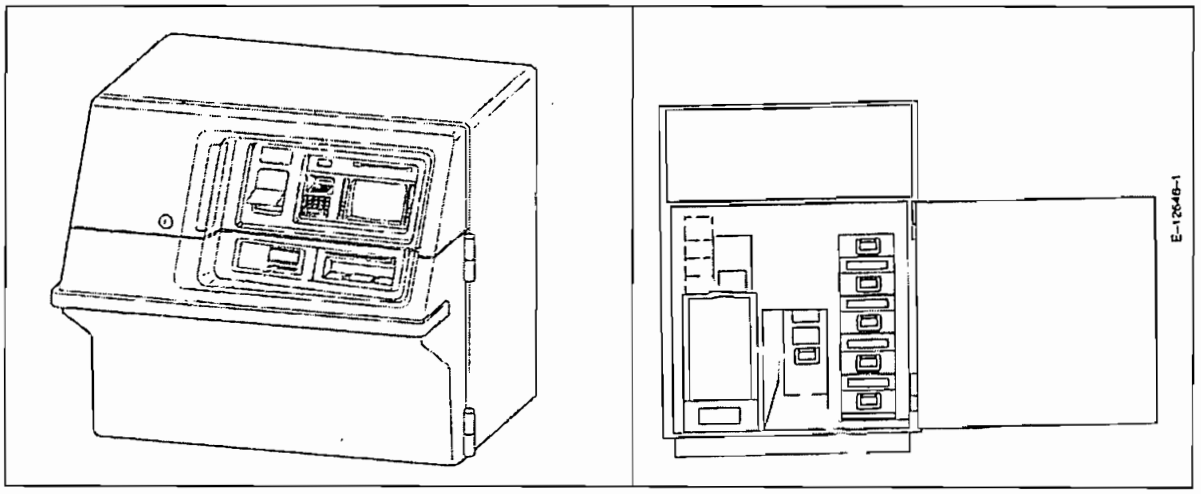


Figura 1.3 ATM tipo Isla 1074

1.2.1.4 Diebold 1073.

Se los utiliza para dar servicio a usuarios que se movilizan en vehículos, pero son colocados dentro de las Instituciones Financieras y van empotrados en la pared. De la misma manera tienen utilidades para realizar transacciones de cualquier tipo. Figura 1.4.

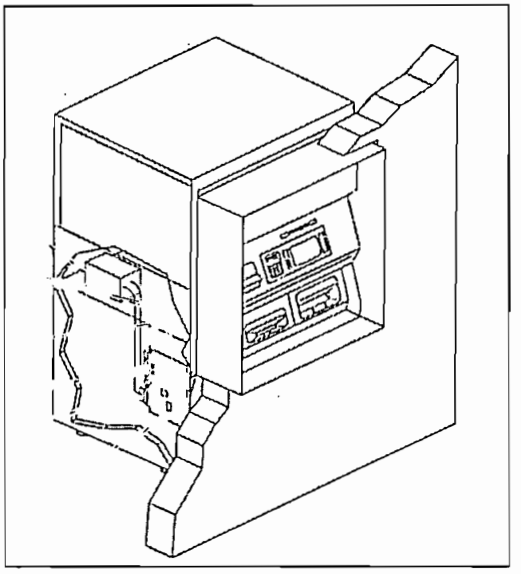


Figura 1.4 ATM 1073

1.2.1.5 Diebold 1072.

Es el más utilizado, están empotrados en paredes, tienen todas las ventajas para realizar transacciones de cualquier tipo, el usuario accede directamente acercándose a un lugar adecuado y construido para dicho ATM. Figura 1.5.

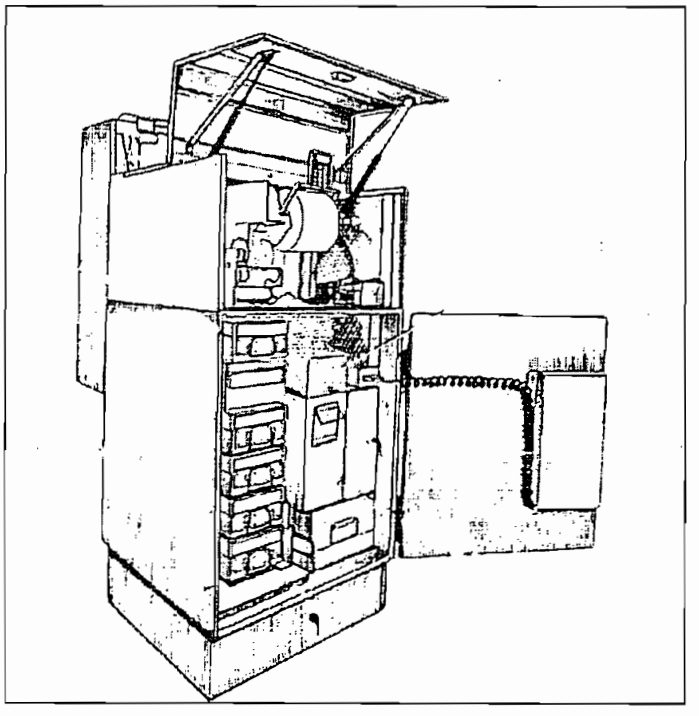


Figura 1.5 ATM 1072

1.2.1.6 Diebold 1064.

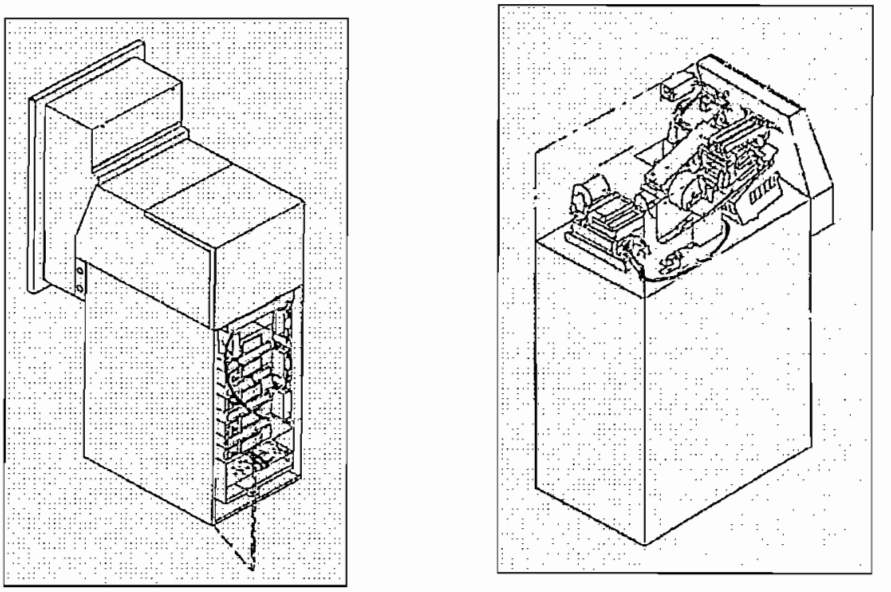
Son cajeros pequeños que se los puede transportar fácilmente de un lugar a otro, la diferencia radica en que no dispone de la transacción para realizar depósitos, es decir que no tiene el dispositivo o máquina de depósitos. Con respecto a las otras transacciones dispone de todas.

Estos poseen cuatro cajetines de dinero y un cajetín para dinero rechazado.

Se tienen dos tipos de estos ATM´s:

- ***Terminal de carga posterior.-*** Estos ATM´s están empotrados en las paredes. Figura 1.6.a.

- ***Terminal de carga frontal.-*** Estos ATM´s se los coloca dentro de un almacén o centro comercial, deben ser anclados debidamente al piso. Figura 1.6.b.



(a). ATM de carga posterior (b). ATM de carga frontal

Figura 1.6 ATM Diebold 1064

1.2.2 Según el tipo de tarjeta procesadora.

Existen tres tipos de tarjetas procesadoras que pueden ser instaladas en cualquier ATM, estas son.

1.- ATP .- Advanced Terminal Processor
2.- BTP.- Basic Terminal Processor
3.- CTP.- "C" Terminal Processor

1.2.2.1 Tarjeta procesadora tipo ATP.

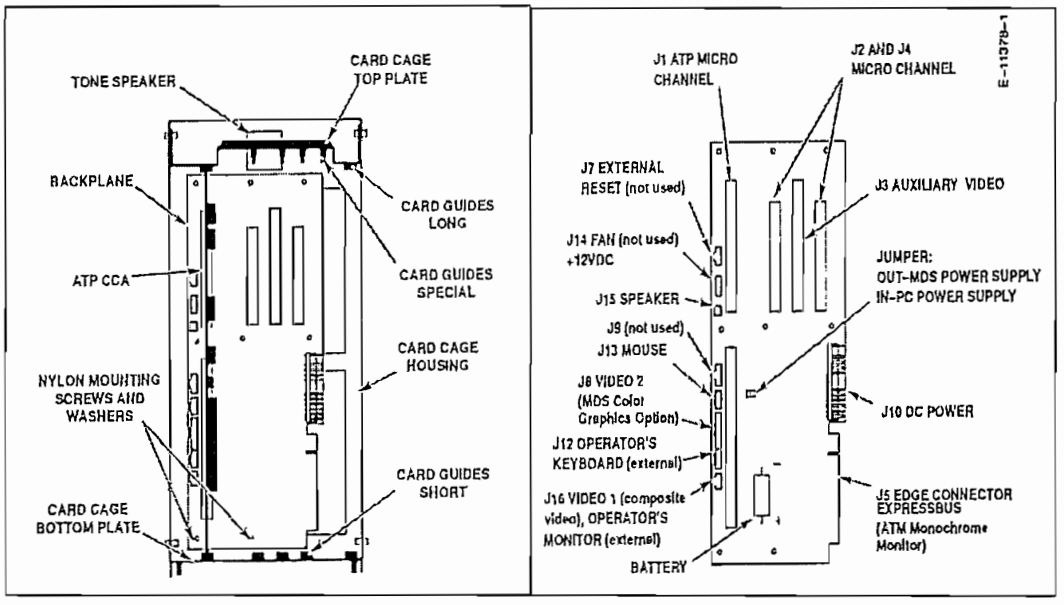
Las tarjetas ATP son similares a un computador del modelo IBM PS/2 – 55, puede funcionar bajo varios sistemas operativos como: OS/2, MS-DOS, UNIX, iRMX, esta tarjeta se puede apreciar en la figura 1.7.a.

Utilizan un microprocesador Intel 386-sx. Incluye una ranura de expansión Microcanal, la capacidad estándar de memoria es de 16 Mb utilizando módulos de memoria de 32 pines llamados SIMM (Single in line Module Memory).
Posee un bus SCSI (Small Computer Systems Interface) para trabajar con dispositivos de almacenamiento más rápidos como son discos SCSI y CD-ROM (Compact Disk - Read Only Memory).

Su tarjeta controladora de video es del tipo VGA (Video Graphics Adapter).

Otra tarjeta que tienen los ATM´s es la tarjeta **BackPlane,** Figura 1.7.b, ésta contiene las ranuras de expansión y conectores para alimentación.

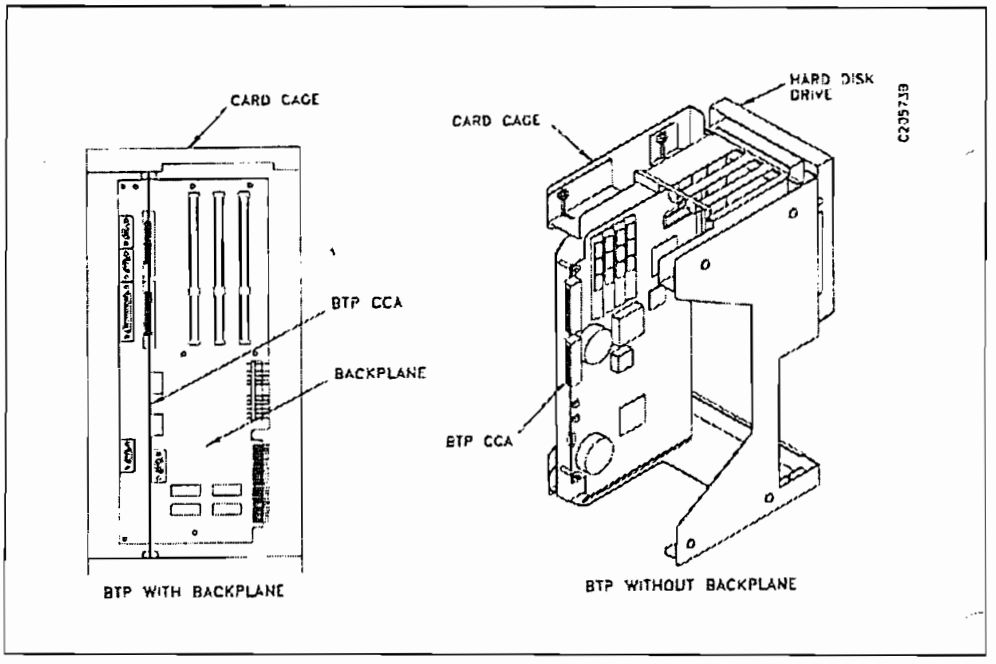
Estas dos tarjetas se encuentran en el interior del módulo de tarjetas **(Card Cage),** figura 1.8.b.



(a). Tarjeta procesadora y Backplane (b). Backplane ATP

Figura 1.7 Módulo de tarjetas o CardCage

1.2.2.2 Tarjeta procesador tipo BTP.



(a). Back plane BTP (b). Módulo de tarjetas y Tarjeta procesadora BTP

Figura 1.8 Vista completa del módulo de tarjetas

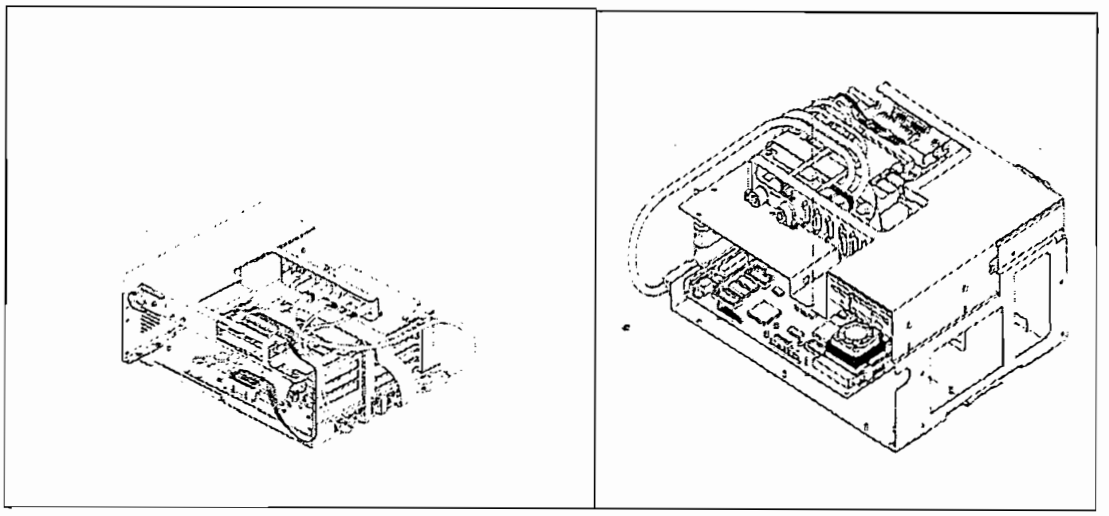
Utiliza un microprocesador Intel 386-sx, la diferencia con el tipo ATP es que tiene bus IDE (Intelligent Disk Electronics) para discos y contiene ranuras de expansión tipo ISA (Industry Standar Adapter). Adicionalmente tiene un controlador Super VGA (640x480x56 colores).

Utiliza módulos de memoria de 30 pines, memoria estándar de 16 Mb. En la figura 1.8.a y 1.8.b se muestra el módulo de tarjetas y la tarjeta procesadora respectivamente.

1.2.2.3 Tarjeta procesadora tipo "C", CTP.

En las figura 1.9.a se muestra el módulo de tarjetas y la tarjeta procesadora en la figura 1.9.b. La tarjeta procesadora tipo "C", consta de un microprocesador Intel 486 o Pentium I, tiene bus IDE para discos duros, ranuras para tarjetas de expansión ISA y/o PCI (Peripherical Component Interconnect), utiliza a diferencia de las anteriores, módulos de memoria de 72 pines de: 4 Mb, 8 Mb, 16 Mb y 32 Mb.

En estos ATM´s es necesario instalar una tarjera de expansión para video Super VGA del tipo PCI .



(a) Módulo de tarjetas **(b) Tarjeta procesadora CTP**

Figura 1.9

Cabe indicar de manera general para todos los tipos de tarjetas procesadoras ATP, BTP y CTP, se debe instalar una tarjeta controladora ATM encargada de realizar la comunicación entre los distintos dispositivos de los ATM´s y la comunicación entre el ATM y el Host, esta tarjeta es de tecnología: Microcanal, ISA o PCI.
La tarjeta ATM permite realizar los diferentes diagnósticos y tareas de mantenimiento a los diferentes dispositivos del ATM.

1.3 PARTES DE UN CAJERO AUTOMATICO

Los podemos clasificar en dos grupos de dispositivos:

- Dispositivos externos; y
- Dispositivos internos.

1.3.1 DISPOSITIVOS EXTERNOS.

Estos se muestran en la figura 1.10. Conforman la interfaz de usuario y las ranuras para retiro de dinero y para realizar depósitos.

1.3.1.1 Interfaz de usuario.

Está conformada por:

1. ***Teclados numérico y de funciones.-*** Teclados que sirven para el ingreso de claves, cantidades de dinero, seleccionar tipos de transacciones (retiros, depósitos, consultas, etc)

2. ***Pantalla de usuario (Customer Display).-*** Es un monitor en el cual se presenta los diferentes mensajes de: bienvenida, descripción de transacciones y despliegue de información referente al usuario.
3. ***Ranura de inserción para tarjeta magnética.-*** Es una ranura ubicada en la parte frontal por la cual se ingresa la tarjeta magnética y sale al finalizar la transacción.

4. ***Ranura para recibos de usuario.-*** Una vez que el usuario termina la transacción el cliente recibe un papel en el que consta el detalle de la transacción realizada.

1.3.12 Compuerta de retiro de dinero.

5. Es una compuerta que se abre únicamente cuando el dinero se lo va ha entregar al usuario y permanece cerrada el resto del tiempo.

1.3.13 Ranura para realizar depósitos

6. Mediante esta ranura se ingresan los sobres conteniendo papeletas de depósitos y los respectivos cheques, cabe indicar que por esta ranura no se puede depositar dinero en efectivo, ya que el dispositivo de depósitos tiene una ranura demasiado pequeña y se puede trabar el dinero.

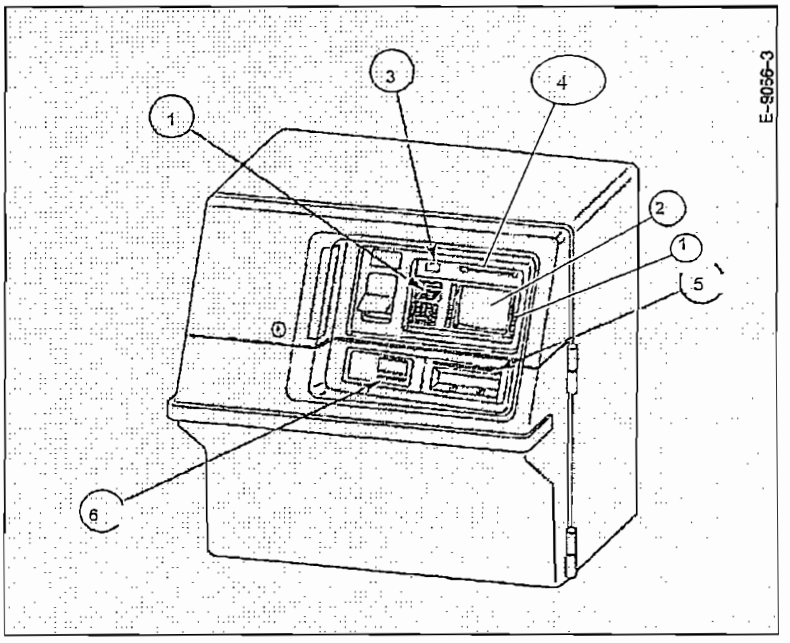


Figura 1.10 Dispositivos externos

1.3.2 DISPOSITIVOS INTERNOS.

Todo dispositivo interno se comunica entre sí y con la tarjeta procesadora bajo el estándar RS-485.

Los dispositivos internos se muestran en la figura 1.11 y son:

- Impresoras de auditoria e impresora de recibos al cliente (Journal Printer y Customer Printer, respectivamente).
- Lectora de tarjetas magnéticas (card reader).
- Dispensador de dinero (Cash Dispenser).
- Dispositivo para depósitos.
- Módulo de tarjetas.
- Fuente de alimentación.

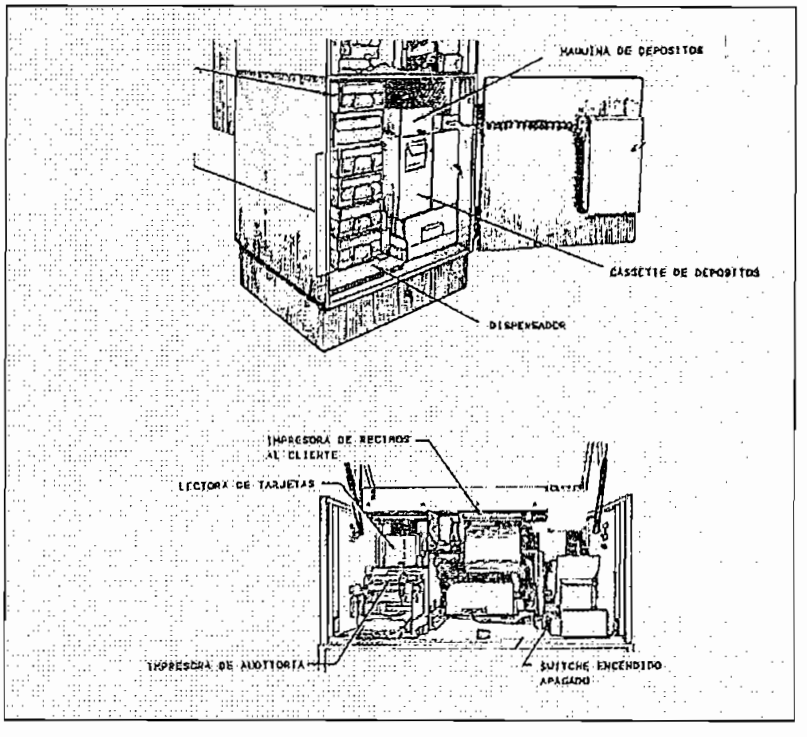
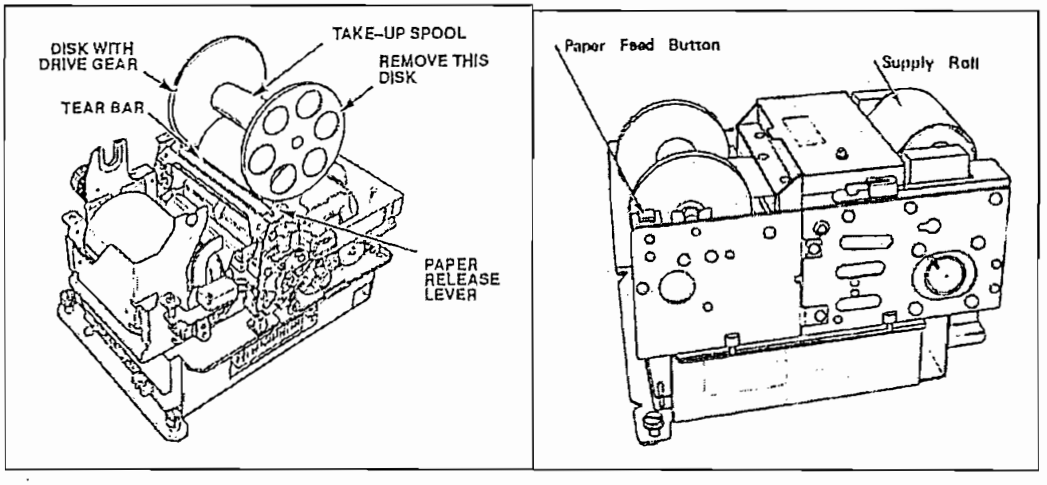


Figura 1.11 Dispositivos internos de un ATM

Los dispositivos más importantes para estudiar sus características principales son: impresora de recibos al cliente, impresora de auditoria, lectora de tarjetas, dispensador de dinero.

1.3.2.1 Impresora de auditoria (Journal Printer).

Es una impresora del tipo matricial, de 40 columnas, es la encargada de registrar todas las transacciones que realizan los usuarios las 24 horas del día, indica la cantidad de dinero retirado, fecha, hora, número de tarjeta y en caso que se produzca un daño se registra el tipo de dispositivo que falló con su código respectivo. Estos registros se imprimen en un rollo de papel auto enrollable.
Estas impresoras tienen dispositivos electrónicos basados en microcontroladores de la familia MCS´51, y dispositivos mecánicos (piñones, bandas, guillotinas, motores de paso, etc). En un ATM pueden existir dos tipos de impresora de auditoria y son del modelo 957 y 205, figuras 1.12.a y 1.12.b respectivamente.



(a). Impresora de auditoria (957) (b). Impresora de auditoria (205)

Figura 1.12 DOS TIPOS DE IMPRESORAS AUDITORAS

1.3.2.2 Impresora de recibos (Customer Printer).

Es una impresora tipo matricial de 80 columnas, encargada de registrar la transacción que realiza un usuario, entregando un recibo impreso con datos de la Institución Financiera, fecha, hora, tipo de transacción, localidad, cantidad retirada, saldo final, el número de tarjeta que se oculta con "x" por seguridad.

De igual manera estas impresoras tienen dispositivos electrónicos basados en microcontroladores de la familia MCS´51 y dispositivos mecánicos. El recibo es

entregado al cliente por la ranura respectiva cortándolo con una guillotina automáticamente. En la figura 1.13 se tiene este tipo de impresora.

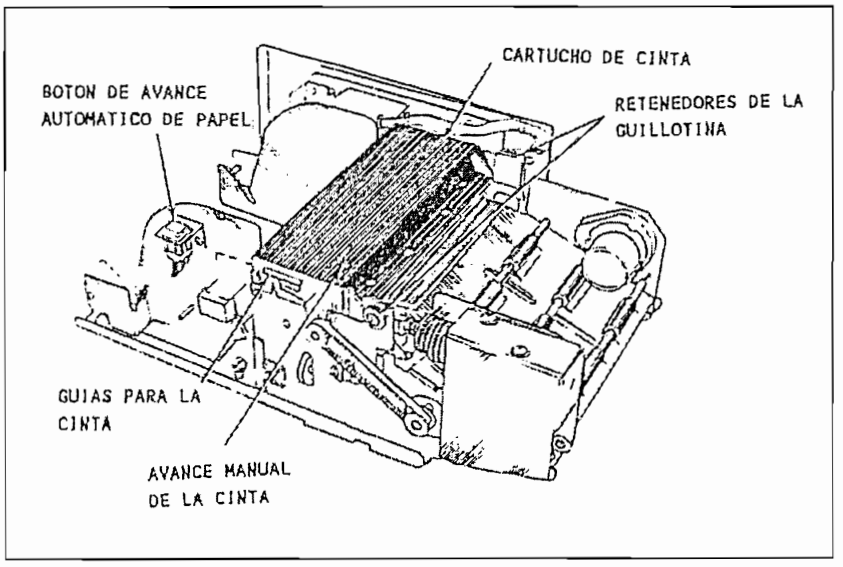


Figura 1.13 Impresora de recibos para usuario

1.3.2.3 Lectora de tarjetas magnéticas (Card Reader).

Es la encargada de la lectura de la tarjeta magnética del usuario que va ha realizar una transacción, en primera instancia al ingresar la tarjeta mediante una cabeza de lectura identifica la banda magnética, abriendo de esta manera la compuerta para que por un sistema de transporte de bandas la tarjeta ingrese, y se coloque sobre un par de cabezas de lectura y de escritura. Una vez colocada en su sitio se lee e identifica la clave secreta y el número de tarjeta, de esta manera se identifica el número de cuentas ahorro o corriente, así mismo identifica la cantidad de dinero que retiró en su última transacción. La figura 1.14 muestra la lectora de tarjetas

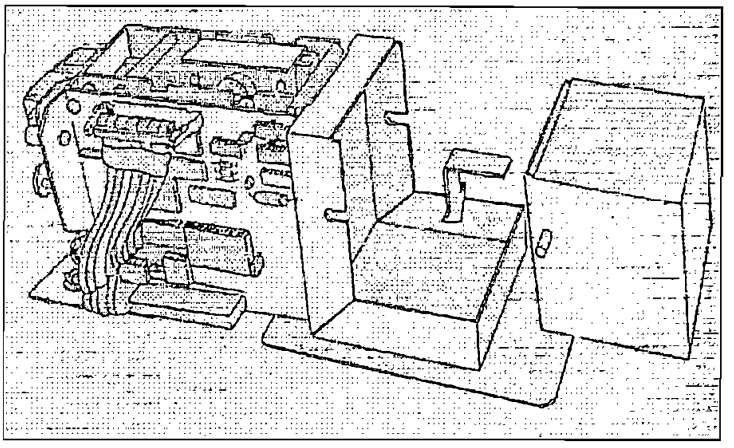


Figura 1.14 Lectora de Tarjetas Magnéticas

1.3.2.4 Dispensador de Dinero (Cash Dispenser).

Es un dispositivo en su mayor parte mecánico, controlado por un microcontrolador 80535 estándar para estos dispensadores. Está constituido por un sistemas de bandas para llevar el dinero desde el cajetín de dinero hacia la salida.

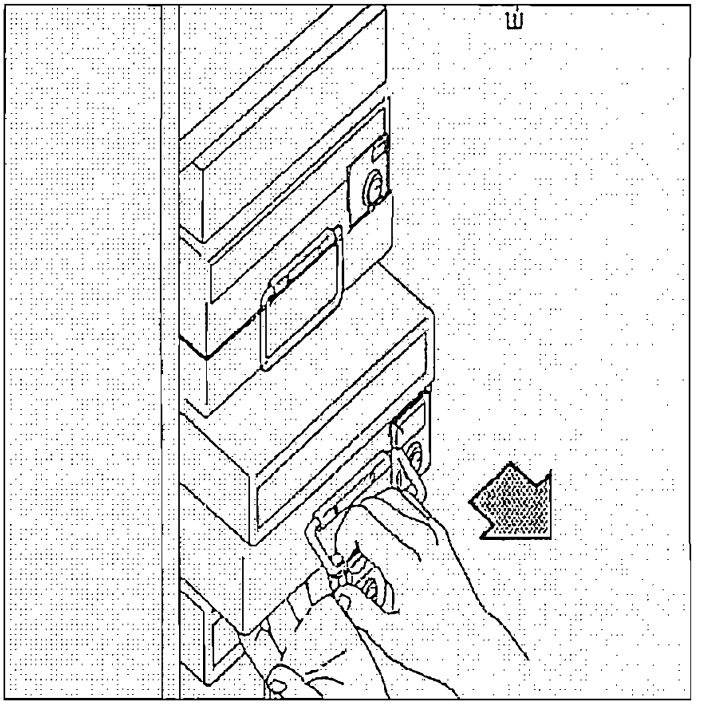


Figura 1.15 Cajetines de dinero

Los dispensadores de dinero están formados por las siguientes partes:

- Dispensador propiamente dicho.

- Cajetines de dinero (currency cassette) por lo general (4).- Configurados para las diferentes denominaciones: $. 1.oo, $. 5.oo, $. 10.oo y $. 20.oo. Estos están colocados dentro de guías que el dispensador posee. Figura 1.15

- Cajetín de rechazos (divert cassette).- En este cajetín se depositan todos los billetes que por algún motivo no fueron entregados al usuario, como por ejemplo: billetes en mal estado, o conteo erróneo del cajero.

Las partes con que cuenta el dispensador se observa en la figura 1.16.

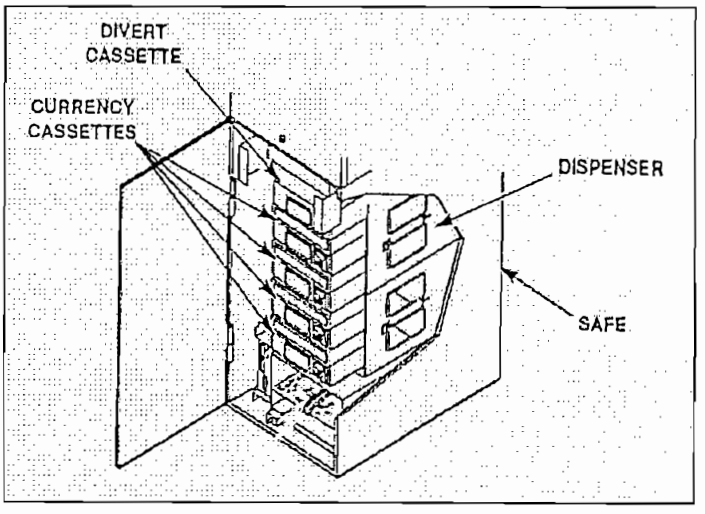


Figura 1.16 Partes del dispensador de billetes.

CAPITULO 2

EQUIPO DE INSTRUCCIÓN EN EL USO DE CAJEROS AUTOMÁTICOS

2.1. DISPOSITIVOS EXTERNOS DEL EQUIPO DE INSTRUCCIÓN.

Los dispositivos externos del equipo de instrucción se pueden comparar con la llamada **interfaz de usuario** en un ATM, que se describió en el capítulo 1 (1.3.1).

Los dispositivos externos del equipo de instrucción se muestran en la figura 2.1, se conforman de:

- Displays de cristal líquido (LCD).- 1 principal y 4 LCD´s de opciones.
- Teclados.- teclado numérico y de opciones (izquierdo y derecho).
- Ranura de inserción de tarjeta.
- Ranura de recibos para el cliente.
- LED´s para señalización.
- Buzzer o indicador audible.

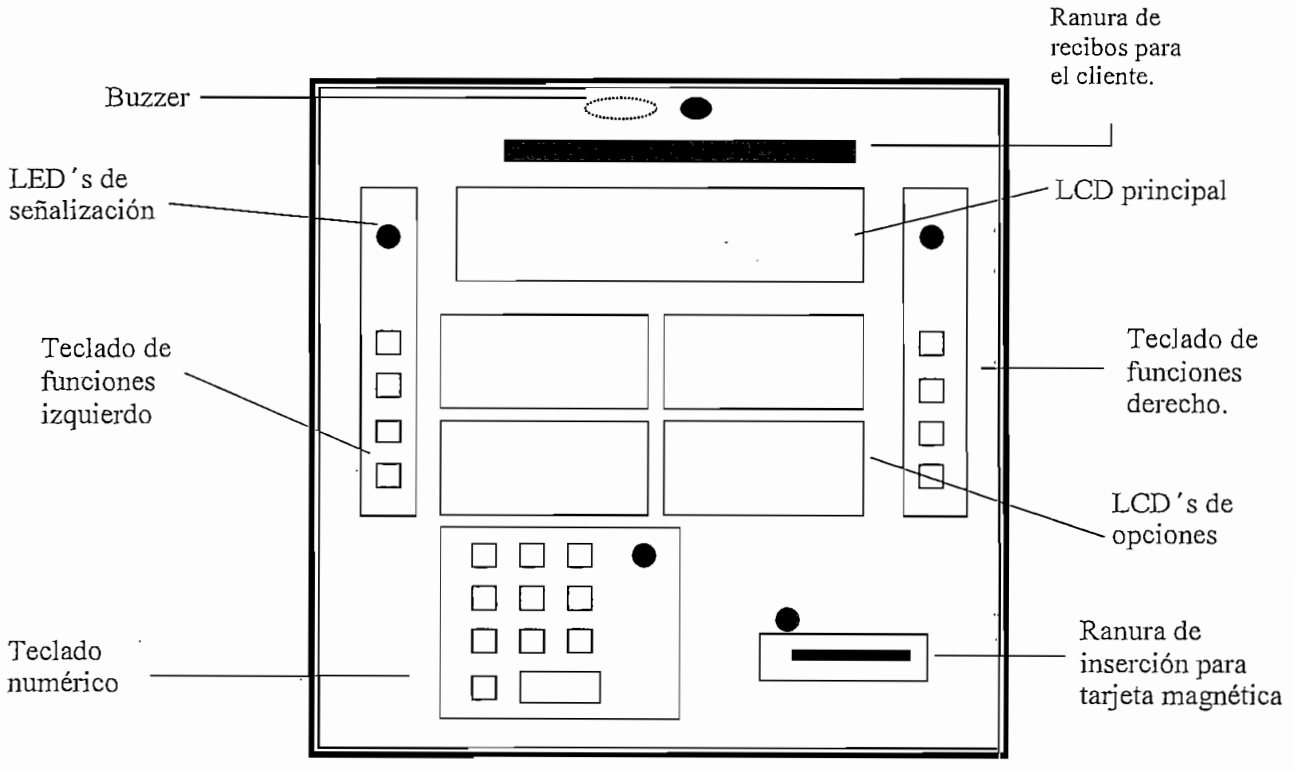


Figura 2.1 Interfaz de usuario del equipo de instrucción

2.1.1 DIPLAYS DE CRISTAL LÍQUIDO.

Con la finalidad que el usuario, obtenga una información clara por parte del equipo, este consta de un arreglo de LCD´s ubicados adecuadamente en la parte frontal del mismo.

Se han instalado dos tipos de LCD´s:

1.- LCD principal.

2.- LCD's de opciones.

2.1.1.1 LCD principal

Es el encargado de presentar la información de mensajes de bienvenida, información de la Institución financiera, información de cuentas de ahorros y cuentas corrientes. Este tipo de LCD tiene 40 caracteres por 2 filas .

2.1.1.2 LCD´s de opciones.

Están formados por 4 LCD´s, encargados de presentar la información de mensajes acerca de: cantidad de dinero a retirar, tipo de transacción, depósitos, consulta de saldos, pagos de servicios. Estos LCD´s tienen 16 caracteres por 2 filas .

2.1.2. TECLADOS.

En el equipo de instrucción se utiliza dos tipos de teclados:

1.- Teclado numérico.

2.- Teclados de funciones.

Estos teclados resultan ser una interfaz de entrada entre el usuario y el equipo de instrucción.

2.1.2.1 Teclado numérico.

Es un teclado estándar alfanumérico, tiene 12 teclas: 9 teclas alfanuméricas (del 1 al 9), una tecla cero (0) y una tecla doble (CANCEL).
Al ser un teclado estándar las teclas del 2 al 9 contienen caracteres alfabéticos igual a los usados en teléfonos convencionales, adicional a esto la tecla "1" contiene caracteres alfabéticos "Q" y "Z".

A través de este teclado podemos ingresar la clave del usuario y digitar las cantidades a ser retiradas por el cliente ($. 1, $. 5, $. 20, etc).

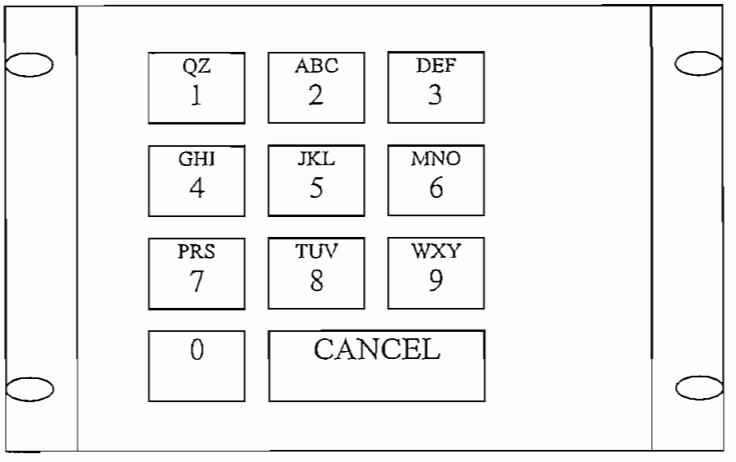


Figura 2.2 Teclado Alfanumérico estándar

2.1.2.2 Teclado de funciones.

Está formado por dos teclados de 4 teclas cada uno, los mismos que se los puede programar para que cada tecla realice una determinada opción durante todo el proceso de instrucción. Estos no tienen leyenda alguna en las teclas, pero para fines de mantenimiento se las nombra desde la A hasta la H, como se muestra en la figura 2.3.

Las teclas de funciones presentan al usuario la oportunidad de seleccionar transacciones como: retiros, consultas, transferencias, etc, todo esto a través de submenús.

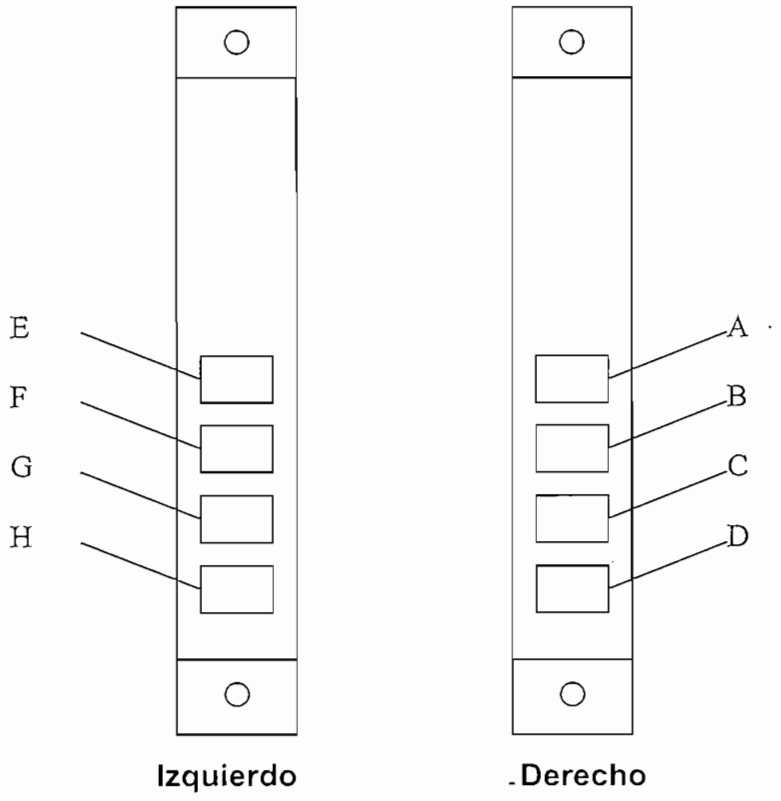


Figura 2.3 Teclados de funciones

2.1.3 RANURA DE INSERCIÓN DE TARJETA

Se encuentra en la parte frontal del equipo a través de la cual se inserta la tarjeta de pruebas, está totalmente identificada con un anuncio "POR FAVOR INSERTE SU TARJETA", que en la mayoría de ATM´s así se los encuentra.

2.1.4 LED´S PARA SEÑALIZACIÓN

Son 5 LED´s que se encuentran ubicados a un lado de los dispositivos externos, como son: ranura de inserción para tarjeta magnética, ranura de recibos para el cliente, teclado numérico, teclados de opciones izquierdo y derecho.

Estos tienen como único objetivo guiar al usuario por toda la transacción, desde el momento que se inserta la tarjeta, que teclado debe utilizar hasta el momento en que debe retirar la tarjeta.

2.1.5 BUZZER O BEEPER

Se encuentra en la parte superior del equipo, si bien no es visible pero tiene una abertura para que el sonido sea lo más claro posible.

Mediante este dispositivo sonoro, indicará al usuario que la tecla presionada se validó o se presionó correctamente, de la misma manera esta señal se activará indicando al usuario que debe retirar su tarjeta o cuando el usuario quiera más tiempo antes de finalizar su transacción, acompañado de un mensaje en la pantalla principal.

2.1.6. RANURA DE RECIBOS PARA EL CLIENTE.

Es una ranura que se encuentra en la parte superior de la interfaz de usuario, la misma que acompañada de un led se señalización indicará al usuario que tiene que retirar su papeleta de recibo al finalizar el proceso de simulación.

2.2 MENUS Y SUBMENUS QUE VE EL CLIENTE AL COLOCARSE FRENTE AL EQUIPO DE INSTRUCCIÓN.

Los mensajes que se van a presentar en los distintos display´s se pueden dividir en dos tipos:

1.- Mensajes principales.

2.. Mensajes de opciones.

2.2.1 MENSAJES PRINCIPALES.

Estos se presentan en el LCD 40 x 2 los mismos que dan un mensaje claro al cliente que está frente al equipo.

- *Bienvenido a su Cajero Automático* alternando con *Favor inserte su tarjeta.*- Este mensaje se presenta cuando el cliente se acerca a insertar la tarjeta por primera vez.

- *Favor ingrese su número secreto.*- Una vez que el cliente inserta su tarjeta este mensaje le indica al usuario que digite su clave personal y única para proceder a ingresar al menú principal.

- *Clave incorrecta.*- Este mensaje indica al usuario que ingresó por cuatro ocasiones incorrectamente la clave personal.

- *Cuenta de Ahorros y cuenta corriente.*- Se despliega para que el usuario seleccione con que tipo de cuenta va a realizar su transacción.

- *Desea realizar otra transacción?.*- Este mensaje indica al usuario que ha finalizado la transacción elegida, y puede regresar a realizar una diferente o la misma.

- *Necesita más tiempo?* .- Este mensaje indica al usuario que se ha tardado demasiado en presionar cualquiera de los tres teclados, el tiempo aproximado entre presionar una tecla y otra es 20 segundos.

- *Favor retire su tarjeta.*- Este mensaje indica al cliente que su transacción fue finalizada con éxito y que debe retira su tarjeta de la ranura respectiva.

- *Gracias por usar su cajero automático.-* Mensaje final indicando que la transacción ha finalizado, luego de esto el equipo está listo para recibir otra tarjeta.

- *Estamos procesando su transacción.-* Mensaje que aparece por un tiempo limitado aproximadamente 10 segundos, indicando al cliente que su transacción se está realizando.

2.2.2 MENSAJES DE OPCIONES.

Estos mensajes aparecerán a medida que digitemos las teclas desde los teclados de opciones:

- *Retiros.-* Es la opción para seleccionar retiros de dinero tanto de cuentas de ahorros como de cuentas corrientes.

- *Depósitos.-* Opción que permite ingresar al submenú respectivo y proceder a digitar la cantidad de dinero que corresponde a la indicada en el cheque a ser depositado. No se puede depositar dinero en efectivo.

- *Consultas.-* Opción que permite ingresar al submenú respectivo para realizar consultas de saldos visualmente e impresa, tanto de cuentas corrientes como de ahorros.

- *Otros Servicios.-* Mediante esta opción ingresamos al submenú para seleccionar opciones como: pagos de luz y agua, transferencias entre cuentas de ahorro y corriente, compra de tarjetas de prepago.

- *Cantidad de dinero a retirar.-* Al seleccionar esta opción podemos digitar directamente la cantidad de dinero que vamos a retirar: $. 5,oo - $. 10,oo - $. 15,oo - $. 20,oo - $. 25,oo - $.100,oo o seleccionar otra cantidad que no sean las anteriores.

- *Está correcto.-* Opción mediante la cual se confirma que la cantidad ingresada es la correcta.

- *Cometí un error.-* Con esta opción se ingresa nuevamente la cantidad de dinero a retirar cuando se ha cometido un error.

- *Consulta visual.-* Opción que permite obtener un saldo de la cuenta corriente o de ahorros para visualizarla directamente en el LCD principal.

- *Transferencias.-* Esta opción permite realizar transferencias entre cuentas de ahorros a corriente y viceversa. Se necesita digitar la cantidad de dinero a ser transferida.

- *Tarjetas de prepago.-* Esta opción permite realizar la compra de tarjetas de prepago como pueden ser: Bell South, Faster y otras dependiendo de la institución financiera y los convenios que se hagan.

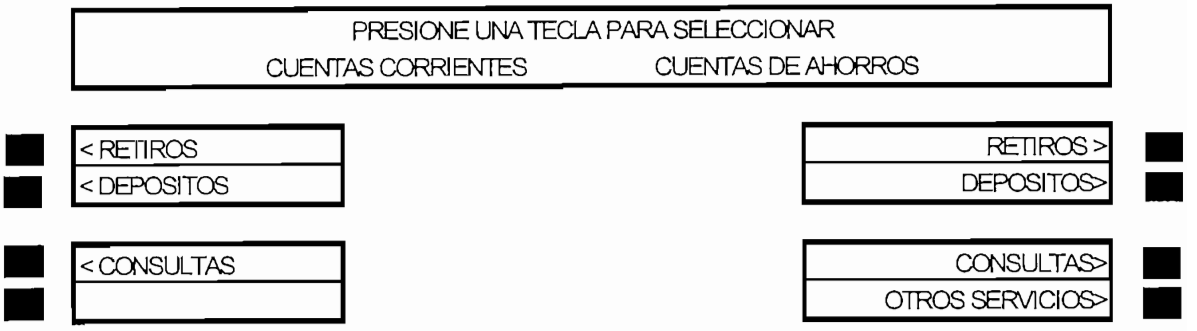
- *Pagos.-* Según los convenios que se hagan entre la institución financiera y las empresas de servicios, se puede realizar pagos con débito a la cuenta del cliente: pagos de pensiones, pagos de servicios públicos, como: agua, energía eléctrica, servicio telefónico e impuestos municipales.

- *Menú principal.-* Opción que está en la mayoría de submenús y permite regresar al menú principal cuando se desea realizar otra transacción.

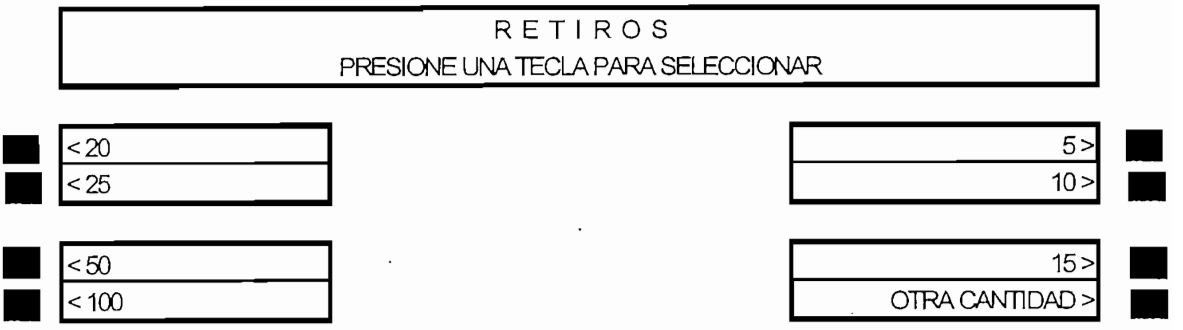
2.3 MAPA DE MENSAJES

Este mapa, hace referencia a cómo siguen apareciendo los mensajes en cada uno de los LCD´s a medida que se van presionando las teclas de opciones.

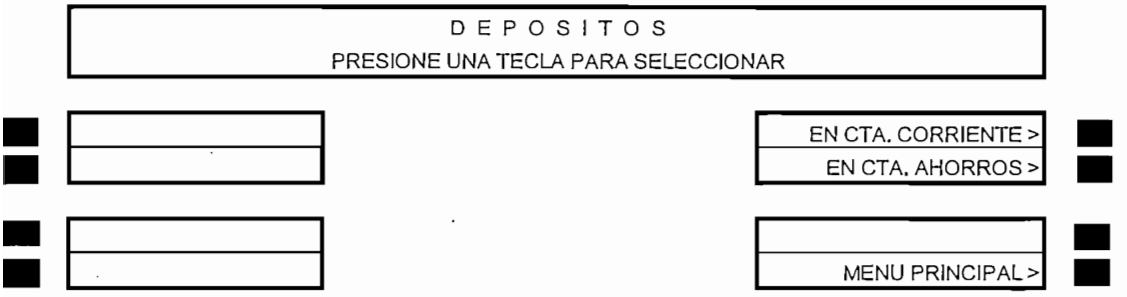
MENU PRINCIPAL



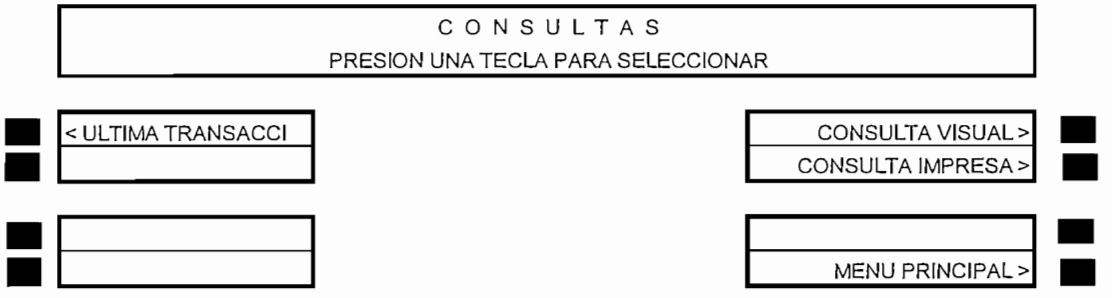
SUB MENU RETIROS



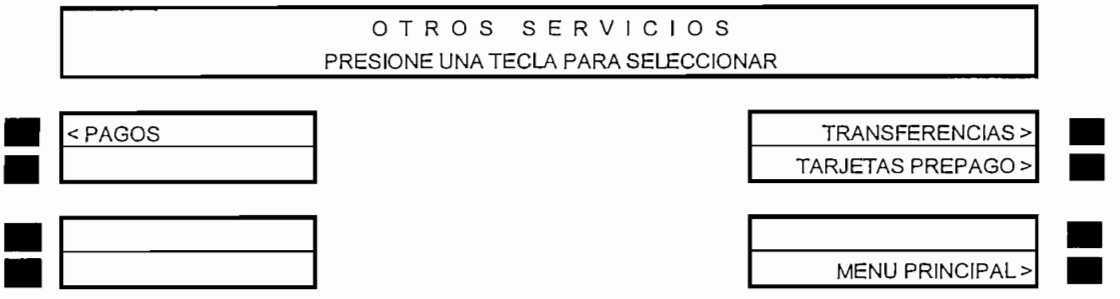
SUB MENU DEPOSITOS



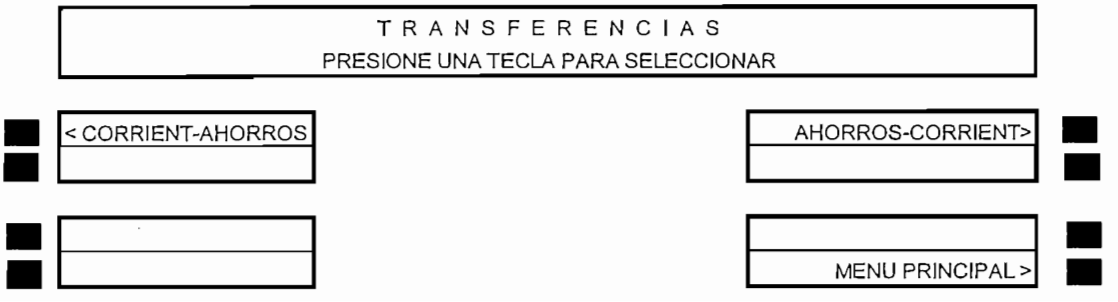
SUB MENU CONSULTAS



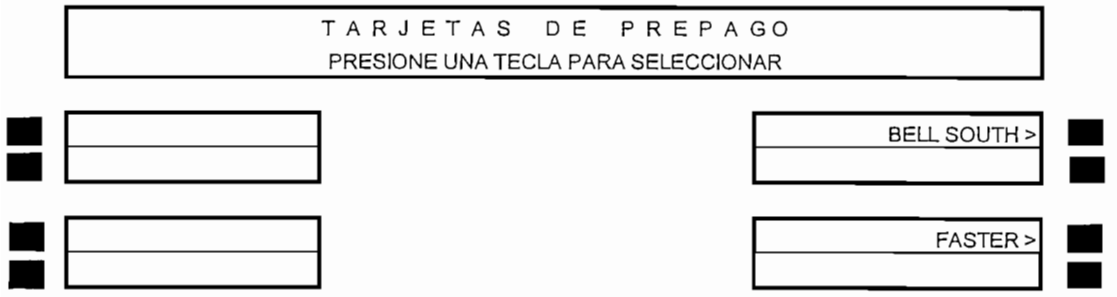
SUB MENU OTROS SERVICIOS



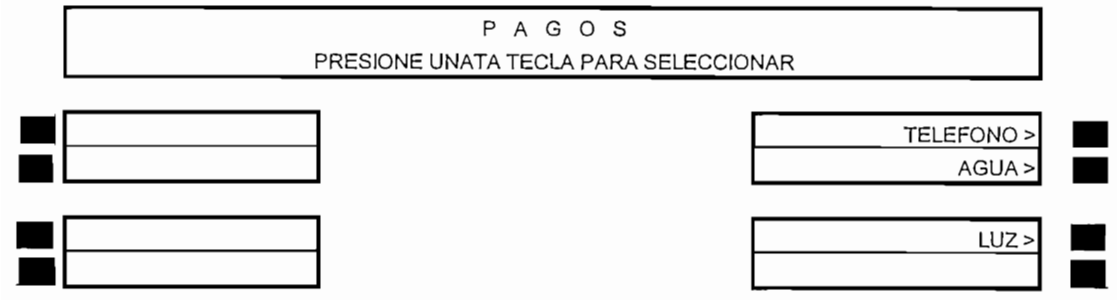
SUB MENU TRANSFERENCIAS



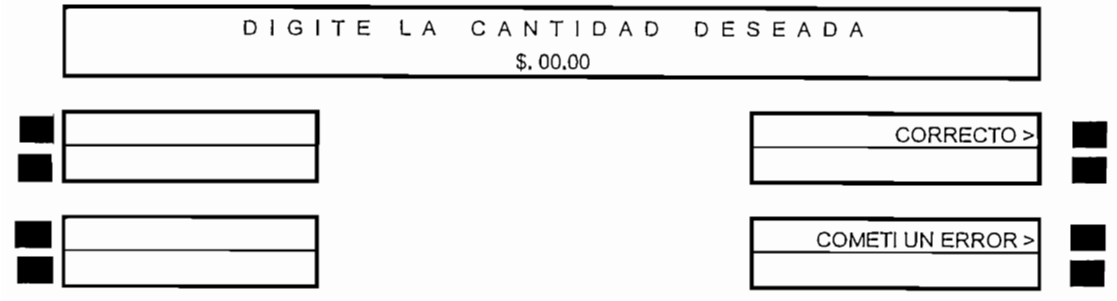
SUB MENU TARJETAS DE PREPAGO



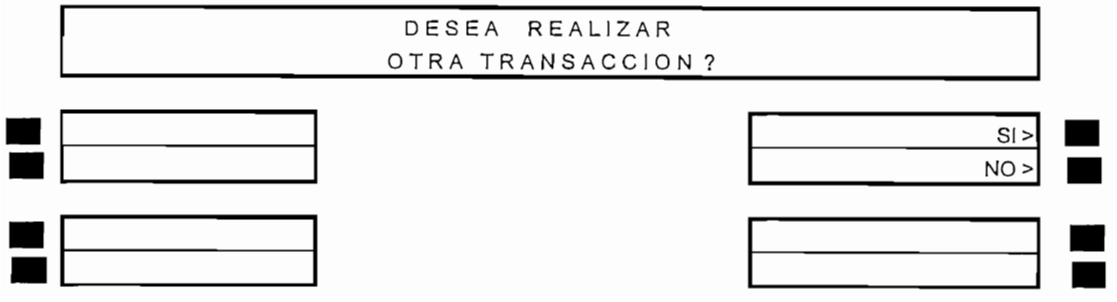
SUB MENU PAGOS



SUB MENU OTRA CANTIDAD.



SUB MENU OTRA TRANSACIÓN



CAPITULO 3

DISEÑO DEL HARDWARE DEL EQUIPO

3.1 INTERFAZ DE USUARIO.

El hardware para el equipo de entrenamiento se ha diseñado utilizando la tarjeta MCPD51DA que utiliza un microcontrolador de la familia MCS-51, que correspondería al circuito de control principal. La **interfaz de usuario** es la que se diseñará en detalle, y corresponde a todos los dispositivos de entrada y salida del equipo de instrucción.

3.2 DIAGRAMA DE BLOQUES DEL EQUIPO DE INSTRUCCIÓN.

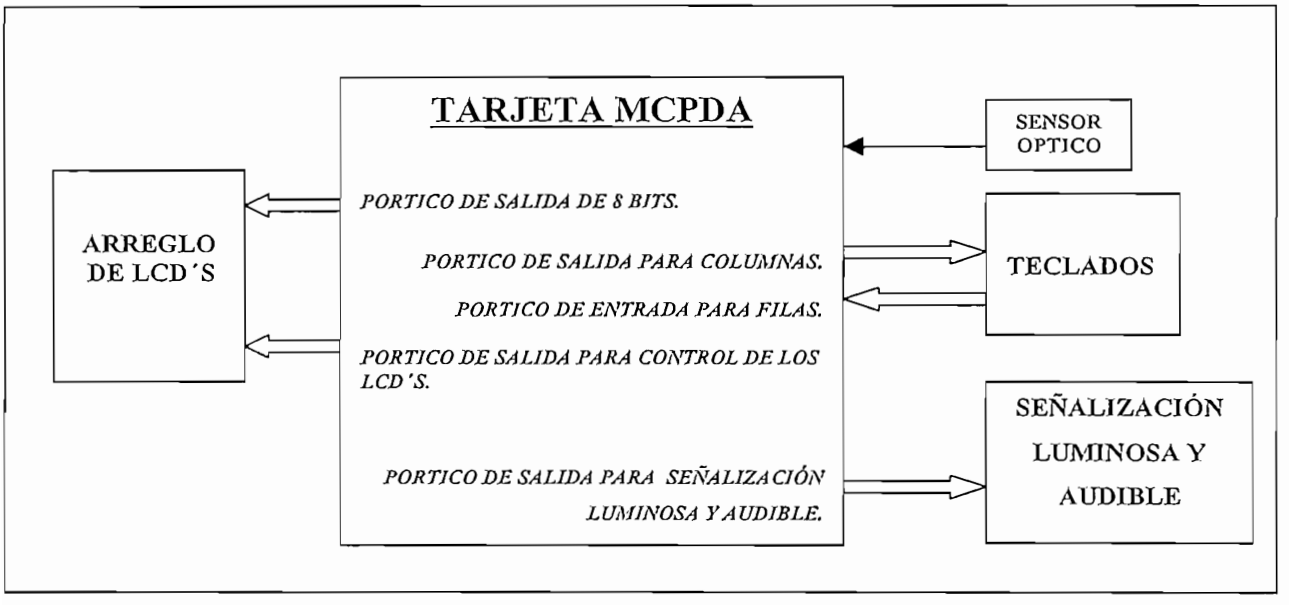


Figura 3.1 Diagrama de bloques del Equipo de Instrucción

En la figura 3.1 se muestra el diagrama de bloques en el que se utiliza una tarjeta principal, la que proporciona los pórticos de entrada - salida, que se necesitan en la interfaz de usuario, para salida de información los Display's de Cristal Líquido o LCD's con sus respectivas señales de control, señales de entrada y salida para controlar los teclados, señales luminosas (LED's) y sonoras (BUZZER).

La interfaz de usuario es la que se le presenta al momento que se acerca a realizar una transacción en un ATM, ésta consta de elementos de entrada - salida de datos, como son:

- LCD´s para presentar mensajes de bienvenida e información de la Institución Financiera y servicios que ofrece.
- Teclado numérico y teclados de funciones izquierdo y derecho.
- Señalización audible y luminosa.
- Ranura de inserción de tarjeta.
- Ranura de recibos al cliente.

3.2.1 DESCRIPCION DE LA TARJETA MCPD51DA

Es la parte central del equipo, su funcionamiento es en base a un microcontrolador de la familia MCS51, es por esta razón que se describirá con algún detalle, esta tarjeta fue desarrollada y probada en el Laboratorio de Electrónica de Potencia de la Escuela Politécnica Nacional.

A esta tarjeta se puede acoplar cualquier dispositivo de entrada o salida trabajando como pórticos externos, a estos se tiene acceso a través de líneas de habilitación decodificadas cuando se ejecuta una instrucción de lectura en memoria externa (pórticos de entrada) o escritura en memoria externa (pórticos de salida), así también se pueden tomar directamente pórticos o señales del microcontrolador.

El diagrama de bloques de esta tarjeta se observa en la figura 3.2, donde se aprecia la configuración básica de un sistema basado en microcontroladores de la familia MCS51, los pórticos internos y externos con que cuenta esta tarjeta así como la memoria de programa sea una tipo EPROM o tipo RAM para descargar un programa de prueba usando una interfaz serial. El diagrama circuital de esta tarjeta se observa en la figura 3.3.

Las diferentes señales que se van a tomar de esta tarjeta, se encuentran agrupadas en los conectores: H1, H2, H3, H4, H5 y H6, como se muestra en la figura 3.5, la descripción de las líneas de los conectores se muestra en la figura 3.4.

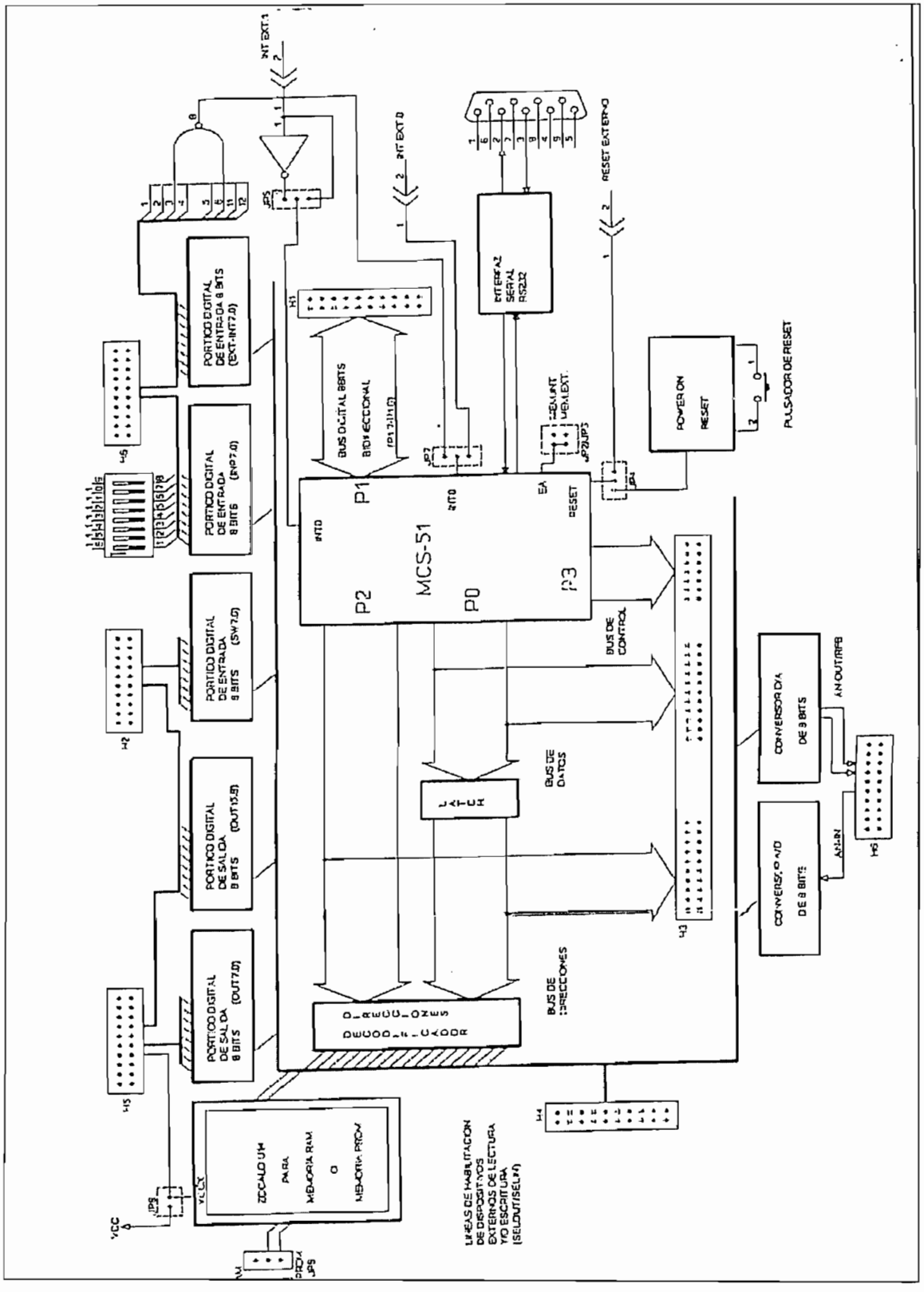


Figura 3.2 Diagrama de bloques de la tarjeta MCPD51DA

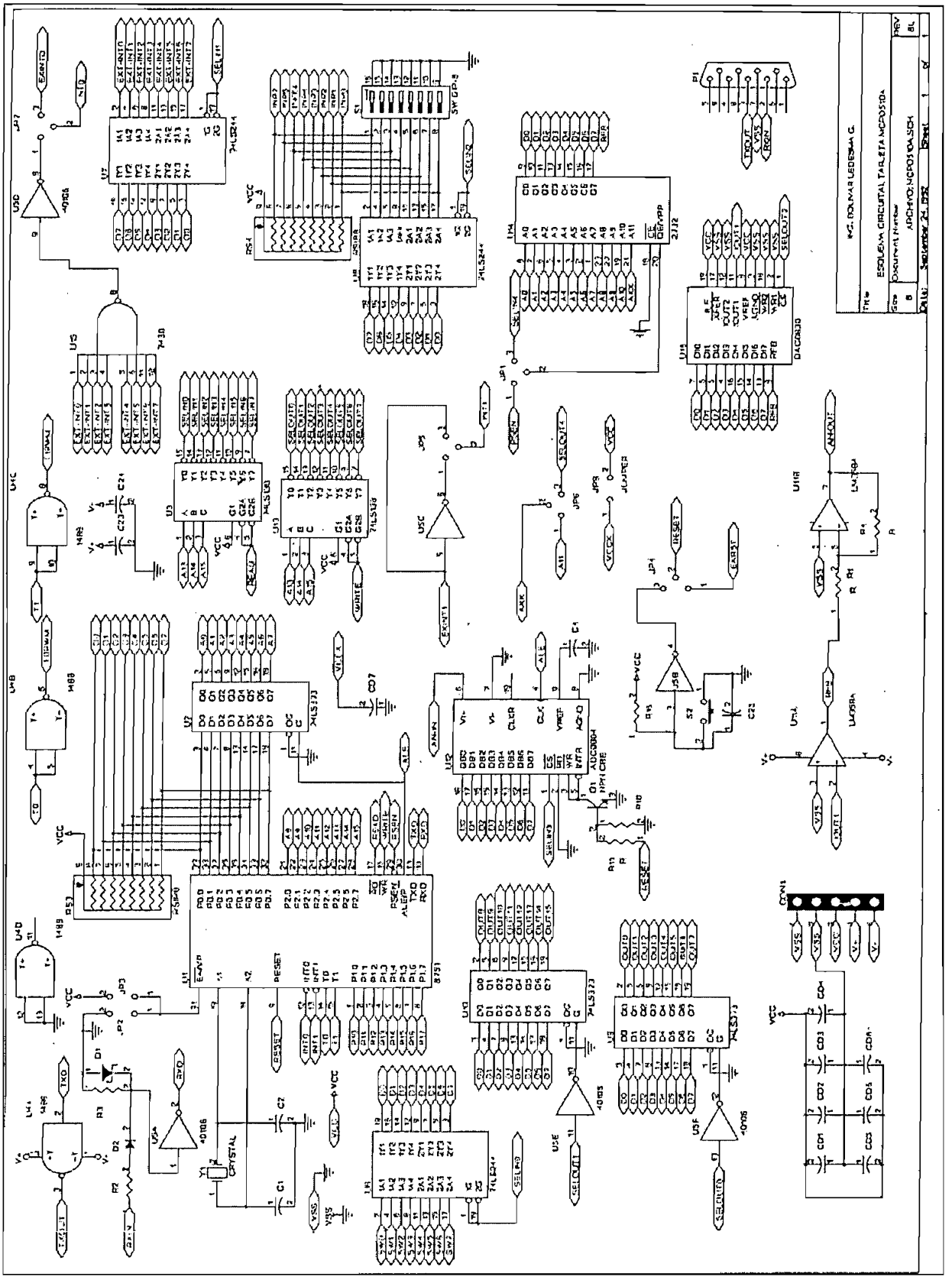


Figura 3.3 Diagrama circuital de la tarjeta MCPD51DA

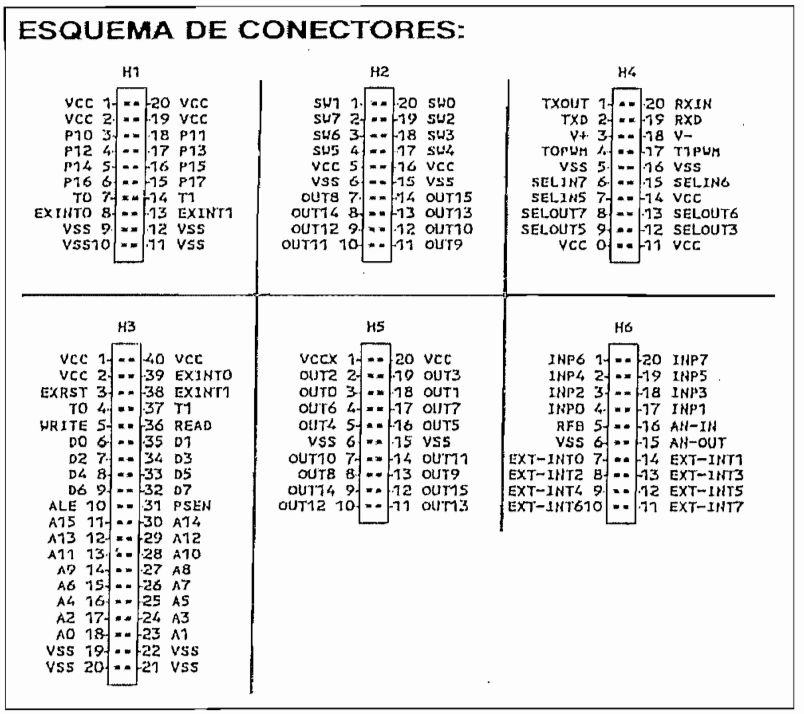


Figura 3.4 Distribución de señales en los conectores de la tarjeta MCPD51DA

Cualquier señal a utilizarse se la conecta mediante la técnica de wire wrap, y se la lleva a otro conector o directamente a otra tarjeta.

La distribución de los pórticos de entrada – salida disponibles a los que se puede tener acceso mediante una dirección, cuando se ejecuta una instrucción de lectura o escritura en memoria externa como se muestra en el cuadro 3.1.

BUS DE DIRECCIONES				DIRECCIÓN DE PORTICO HEXADECIMAL	PORTICO EXTERNO	DENOMINACIÓN	
A15	A14	A13	A12-A0			LECTURA	ESCRITURA
0	0	0	XX	0000-1FFF	Pórtico externo 0	SELIN0	SELOUT0
0	0	1	XX	2000-3FFF	Pórtico externo1	SELIN1	SELOUT1
0	1	0	XX	4000-5FFF	Pórtico externo 2	SELIN2*	SELOUT2*
0	1	1	XX	6000-7FFF	Pórtico externo 3	SELIN3*	SELOUT3
1	0	0	XX	8000-9FFF	Pórtico externo 4	SELIN4*	SELOUT4*
1	0	1	XX	A000-BFFF	Pórtico externo 5	SELIN5	SELOUT5
1	1	0	XX	C000-DFFF	Pórtico externo 6	SELIN6	SELOUT6
1	1	1	XX	E000-FFFF	Pórtico externo 7	SELIN7	SELOUT7

Cuadro 3.1 Descripción de pórticos externos.

- Los pórticos externos marcados con asterisco están utilizados y sus aplicaciones son las siguientes:

Pórtico externo 2 de salida.- utilizada por Convertidor D/A.
Pórtico externo 2 de entrada.- utilizado por un DIP SW-8
Pórtico externo 3 de entrada .- utilizado por Convertidor A/D.
Pórtico externo 4 de entrada.- utilizado por una memoria RAM (lectura).
Pórtico externo 4 de salida.- utilizado por una memoria RAM (escritura).

El resto de pórticos externos están disponibles y se seleccionará el más adecuado para nuestro proyecto. Para tener acceso a cualquiera de estos pórticos externos de la tarjeta MCPD51DA se tiene que habilitar la línea decodificada a través de la respectiva dirección como se muestra en el cuadro 3.2.

PARA ESCRITURA (SALIDA)	PARA LECTURA (ENTRADA)	DIRECCION
SELOUT0	SELIN0	0000H
SELOUT1	SELIN1	2000H
SELOUT3	No disponible	6000H
SELOUT5	SELIN5	A000H
SELOUT6	SELIN6	C000H
SELOUT7	SELIN7	E000H

Cuadro 3.2 Líneas de selección disponibles de la tarjeta MCPD51DA.

3.2.1.1 Distribución de componentes de la tarjeta MCPD51DA.

La figura 3.5 muestra la ubicación de todos los componentes que se utilizan en esta tarjeta. Hay ciertos elementos que para este proyecto no se los utiliza como son: conversores análogo – digital y digital – análogo, elementos que sirven para comunicación serial y elementos que sirven para tener acceso a otros pórticos externos como son los circuitos integrados: 74LS373 y 74LS244.

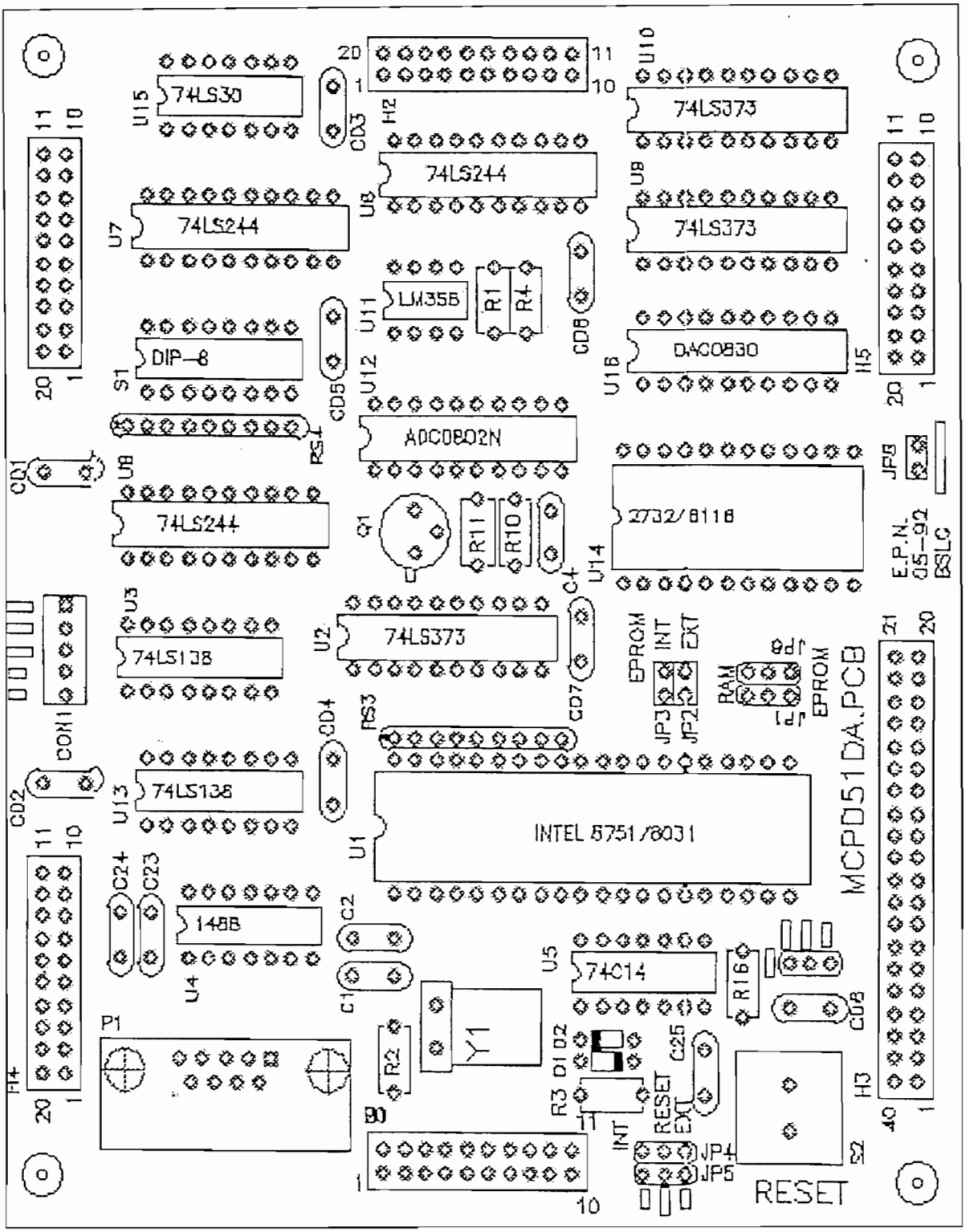


Figura 3.5 Ubicación de elementos en la tarjeta MCPD51DA.

Otro aspecto que hay que tomar en cuenta, cuando se utiliza esta tarjeta es la posición correcta de los jumpers como por ejemplo: se puede utilizar una memoria RAM en lugar de la memoria EPROM de programa, si este es el caso se debe colocar el jumper JP1 de la tarjeta a la posición "RAM". Para el equipo de instrucción se utiliza una memoria de programa tipo EPROM, la posición del jumper JP1 es "EPROM". El cuadro 3.3 muestra la posición de los jumpers de la tarjeta MCPD51DA, la misma que indica la manera como se debe configurar dicha tarjeta para el tipo de microcontrolador y de la memoria de programa que se desee utilizar.

TIPO	INTEL MCS-51	JUMPERS	ZÓCALO U14	DESCRIPCIÓN
1	8051 ó 8751	JP3 = "ON" JP2 = "OFF" JP1 = "RAM" JP6 = "RAM"	RAM 2 Kb (6116)	El microcontrolador ejecuta el programa en su ROM Interna. El zócalo U14 puede tener una RAM o no ser utilizado.
2	8051 ó 8751	JP3 = "OFF" JP2 = "ON" JP1 = "EPROM" JP6 = "EPROM"	EPROM 4 Kb (2732)	El microcontrolador ejecuta el programa residente en la EPROM externa colocada en el zócalo U14.
3	8051 ó 8751	JP3 = "OFF" JP2 = "ON" JP1 = "RAM" JP6 = "RAM"	RAM 2 Kb (6116)	El microcontrolador ejecuta el programa residente en la RAM externa colocada el zócalo U14.
4	8031	JP3 = "OFF" JP2 = "ON" JP1 = "EPROM" JP6 = "EPROM"	EPROM 4 Kb (2732)	El microcontrolador ejecuta el programa residente en la EPROM externa colocada en el zócalo U14.

Cuadro 3.3 Configuración de la tarjeta MCPD51DA para el tipo de microcontrolador y memoria de programa.

Por lo tanto, el tipo de microcontrolador que se va ha utilizar es el 8031 con una memoria de programa externa tipo EPROM 2732, la configuración de los jumpers corresponde al número 4 de la tabla 3.3.

3.2.2 DIAGRAMA DE BLOQUES DE UN ARREGLO DE LCD´S.

En este proyecto se ha utilizado un arreglo que consta de 5 LCD´s. Se utiliza un tipo de LCD standard de 14 pines: 8 pines para datos, sus respectivas señales de control, línea de selección, alimentación y una señal de entrada de voltaje que controla el contraste del LCD.

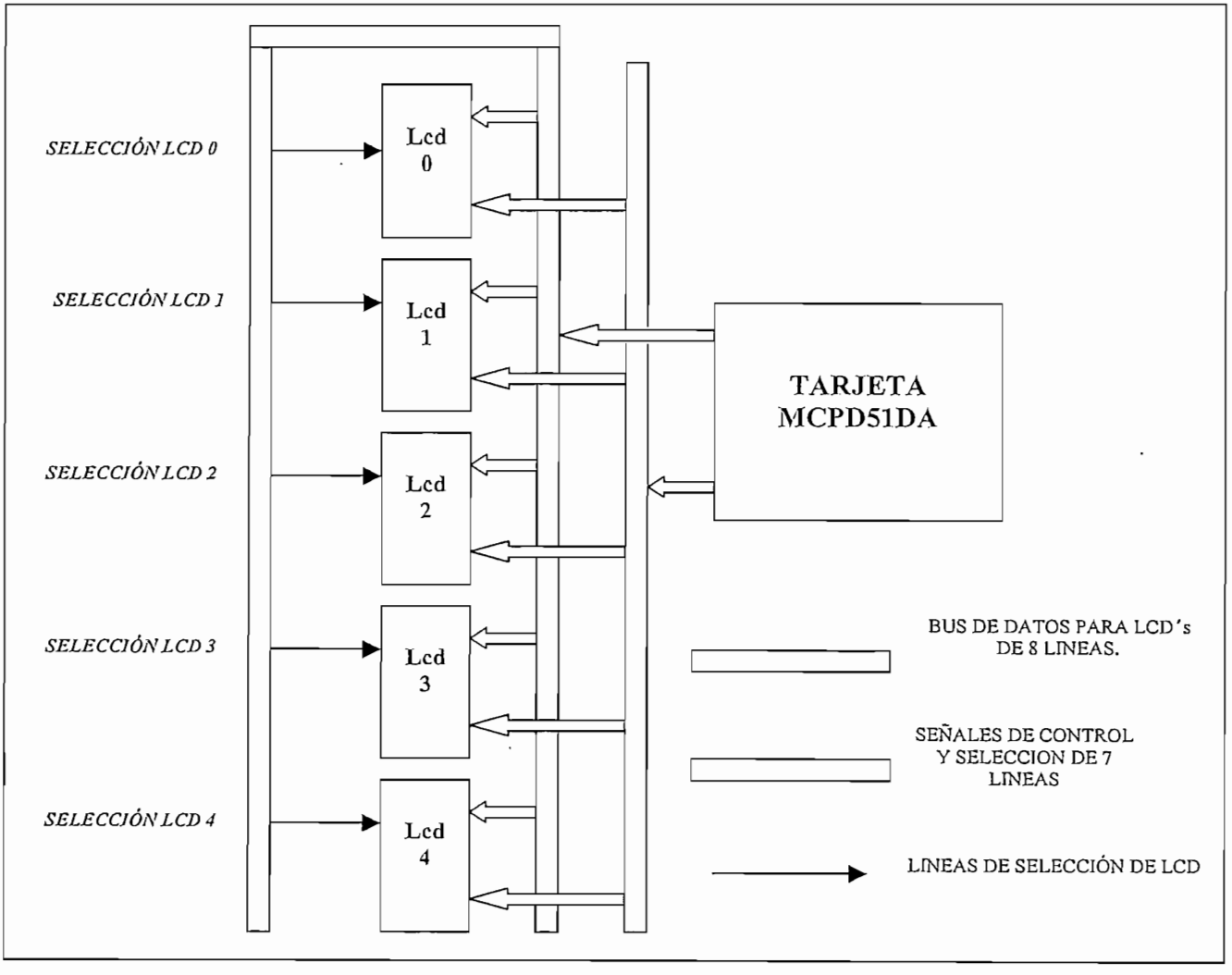


Figura 3.6 Diagrama de bloques del arreglo de LCD´s

Como se puede apreciar en la figura 3.6, si se utiliza un único bus de datos para todos los LCD´s, lo que simplifica el diseño, sin necesidad de utilizar un bus de datos para cada uno de los Display´s.

Las señales de control y líneas de selección corresponden a un pórtico externo de salida que vienen de la tarjeta MCPD51DA. Para escribir un mensaje en cualquiera de los LCD´s basta con escoger la línea de selección: 0, 1, 2 y 3 para los LCD´s de opciones y la línea de selección 4 para el LCD principal, cuadro 3.5

LINEA DE SELECCIÓN	DESCRIPCIÓN DEL LCD
0	LCD de opciones 0
1	LCD de opciones 1
2	LCD de opciones 2
3	LCD de opciones 3
4	LCD principal 4

Cuadro 3.5 Líneas de selección de los LCD´s

3.2.3 INTERFAZ ENTRE TECLADOS Y TARJETA MCPD51DA.

Este equipo consta de tres teclados, uno numérico y dos de funciones izquierdo y derecho. Al colocarlos en un arreglo matricial, se tendrá formada una matriz de 4 filas (f1 f2 f3 y f4) por 5 columnas (c1 c2 c3 c4 y c5), como se muestra en la figura 3.7.

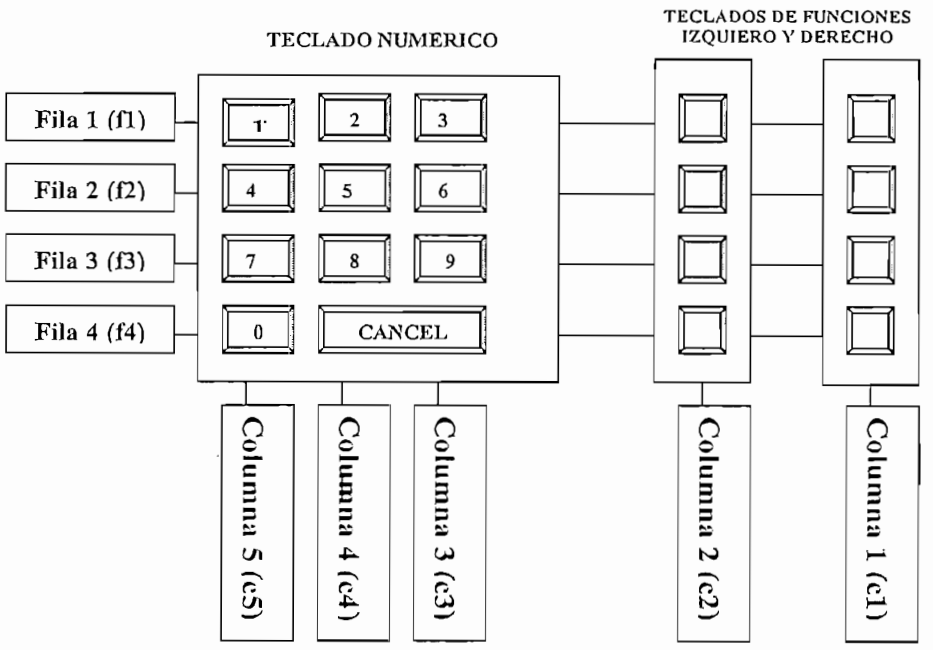


Figura 3.7 Distribución de filas y columnas en los teclados.

Las señales que se necesitan para tener acceso a los teclados son de entrada para las filas y salida para las columnas. Mediante estas señales se puede habilitar cada una de las columnas independientemente mediante una escritura en memoria externa y realizar una lectura desde memoria externa de las filas, lo que significa realizar un barrido de columnas, para determinar mediante software la tecla que corresponde, mediante la decodificación de las teclas utilizando una subrutina de programa.

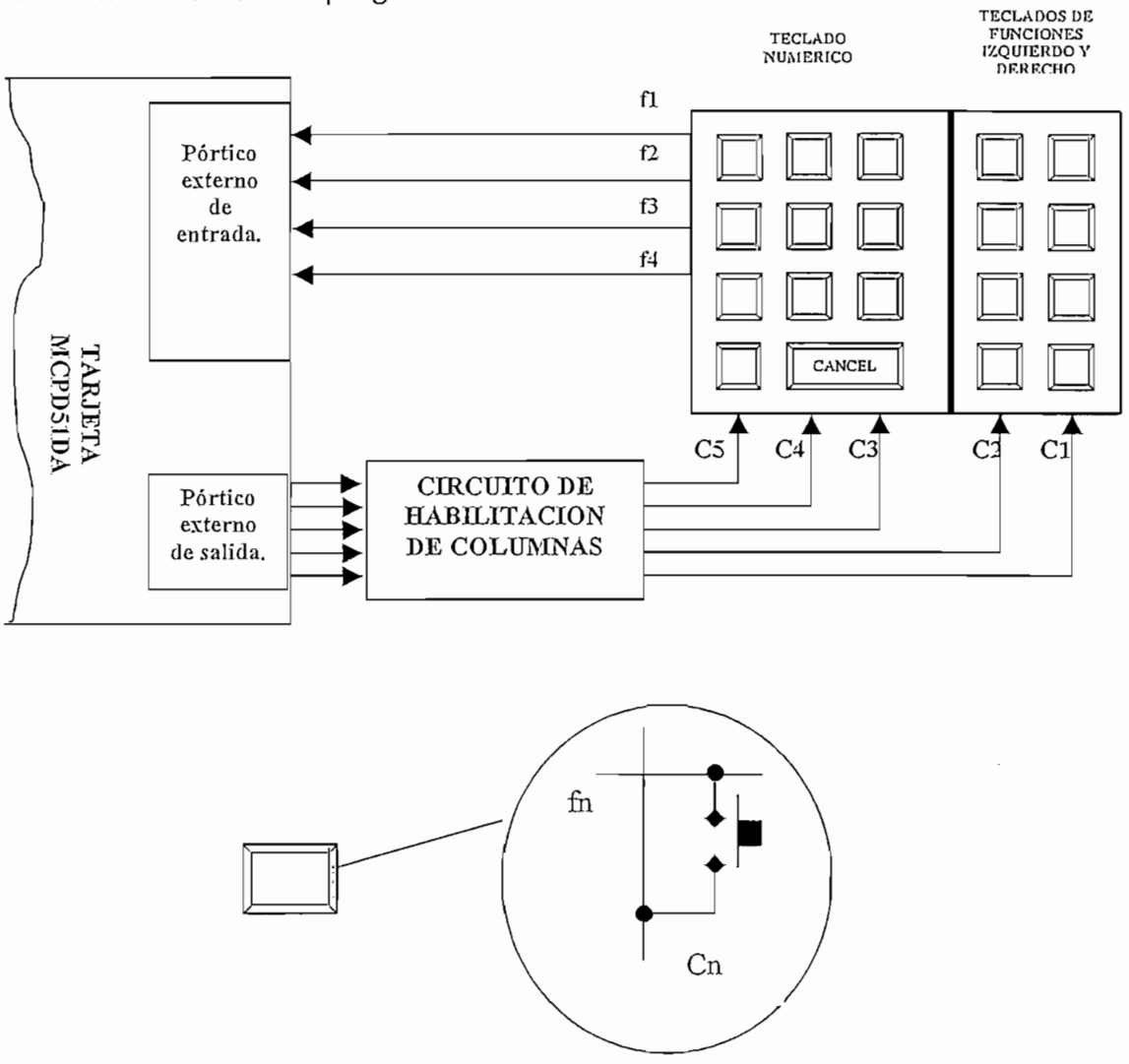


Figura 3.8 Diagrama de bloques de la interfaz entre teclados y tarjeta MCPD51DA

La interfaz se completa con el circuito de habilitación de columnas, figura 3.8.

3.2.4 DIAGRAMA DE BLOQUES PARA SEÑALIZACIÓN

Como ya se mencionó en el subcapítulo 2.1.4, la señalización tiene el objeto de guiar mediante señales luminosas al usuario que se coloca frente al equipo de instrucción, de esta manera se indica donde se introduce la tarjeta, que teclado se debe presionar (sea este teclado numérico o de funciones). La señalización consiste en una serie del LED´s ubicados en la parte frontal del equipo. El diagrama de bloques se muestra en la Figura 3.9.

El otro tipo de señalización, es la sonora, que consiste de un buzzer que indica al usuario que una tecla se ha presionando y al finalizar la transacción, el momento en que debe retirar su tarjeta.

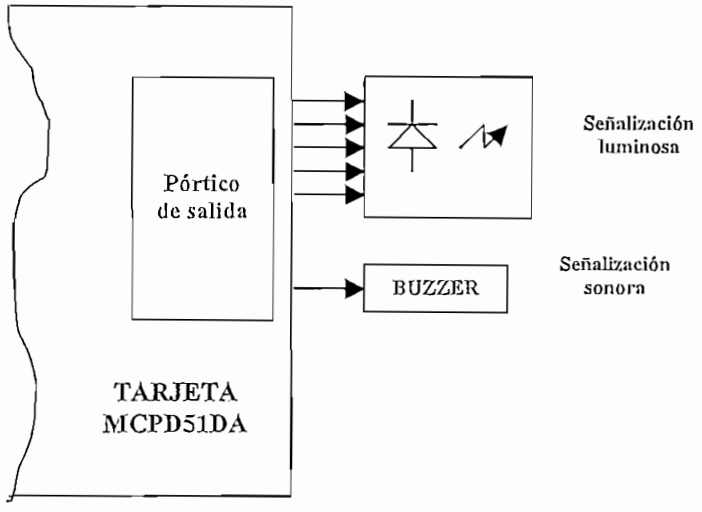


Figura 3.9 Diagrama de bloques para dos tipos de señalización.

3.2.5 INGRESO DE LA TARJETA DE PRUEBA.

Para que la tarjeta sea sensada de una manera fácil y rápida al momento de insertarla se utilizará un sensor óptico, como envía una sola señal, puede formar parte de un pórtico de entrada a la tarjeta MCPD51DA. Esta señal ingresa a la tarjeta conjuntamente con las señales de las filas de los teclados, de esta manera el diagrama de bloques correspondiente a los teclados más el sensor óptico se muestra en la figura 3.10.

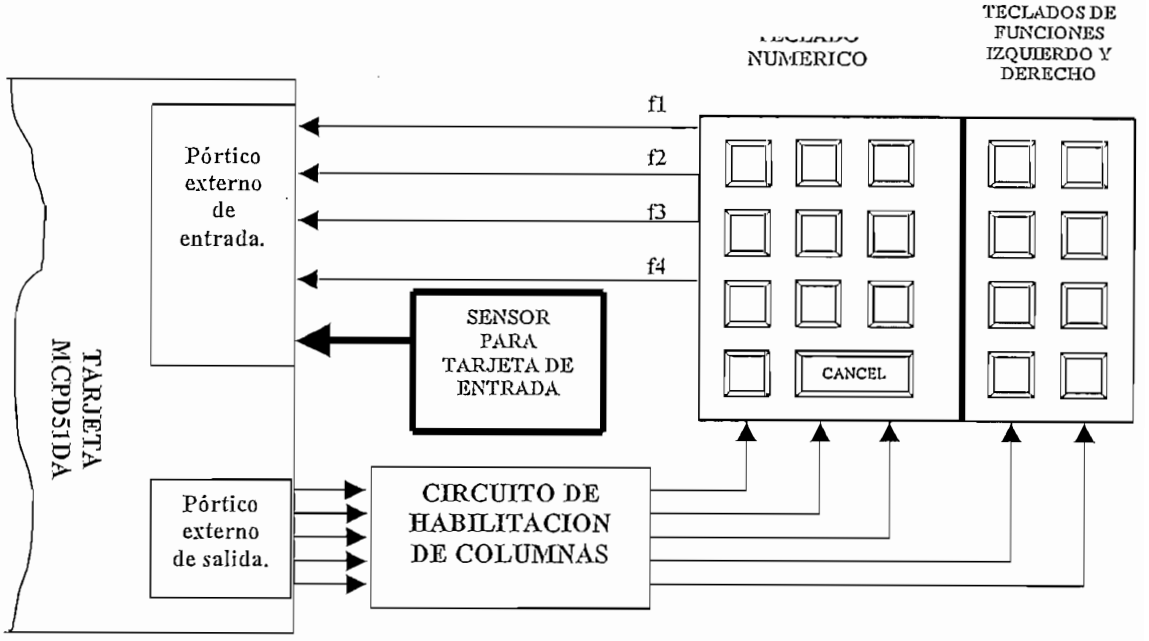


Figura 3.10 Diagrama de bloques: teclados más sensor óptico

3.2.6 SELECCIÓN DE PÓRTICOS DE ENTRADA Y SALIDA

La interfaz de usuario del equipo de instrucción requiere de cinco pórticos, que se los toma de la tarjeta MCPD51DA.

1ero.- Pórtico de salida para el bus de datos de 8 bits de los LCD´s.- Este pórtico se lo toma directamente del microcontrolador, el ***"pórtico P1"*** va ha servir para el bus de datos de los LCD´s.

2do.- Pórtico externo de salida para las señales de control de los LCD´s,- De los pórticos externos disponibles del cuadro 3.2 escogemos el ***"pórtico de salida 0"***, cuya dirección es la ***"0000H"*** y línea de habilitación "***selout0".***

3er.- Pórtico de salida para la señalización luminosa y sonora, utilizamos el ***"pórtico P3"***, del microcontrolador.

4to.- Pórtico externo de entrada para las señales de las filas de los teclados y el sensor óptico.- Del cuadro 3.2 escogemos el ***"pórtico de entrada 0",*** cuya dirección es ***"0000H"*** y línea de habilitación ***"SELIN0"***

5to.- Pórtico externo de salida para las señales de control de columnas de los teclados, del cuadro 3.2, seleccionamos el ***"pórtico de salida 1",*** cuya dirección es ***"2000H"*** y línea de habilitación ***"SELOUT1"***

De esta manera los pórticos seleccionados con sus direcciones y líneas de habilitación se muestra en el Cuadro 3.4.

PORTICO	DIRECCIÓN	LINEA DE HABILITACION	DESCRIPCION	ETIQUETA
"P1"			Bus de datos de LCD´s	
"P3"			Señalización luminosa y sonora	
Externo de salida "0"	0000H	SELOUT0	Control y Habilitación de LCD´s	HAB_LCD
Externo de salida "1"	2000H	SELOUT1	Columnas	T_NUM_Cn
Externo de entrada "0"	0000H	SELIN0	Filas y sensor óptico	T_NUM_Fn

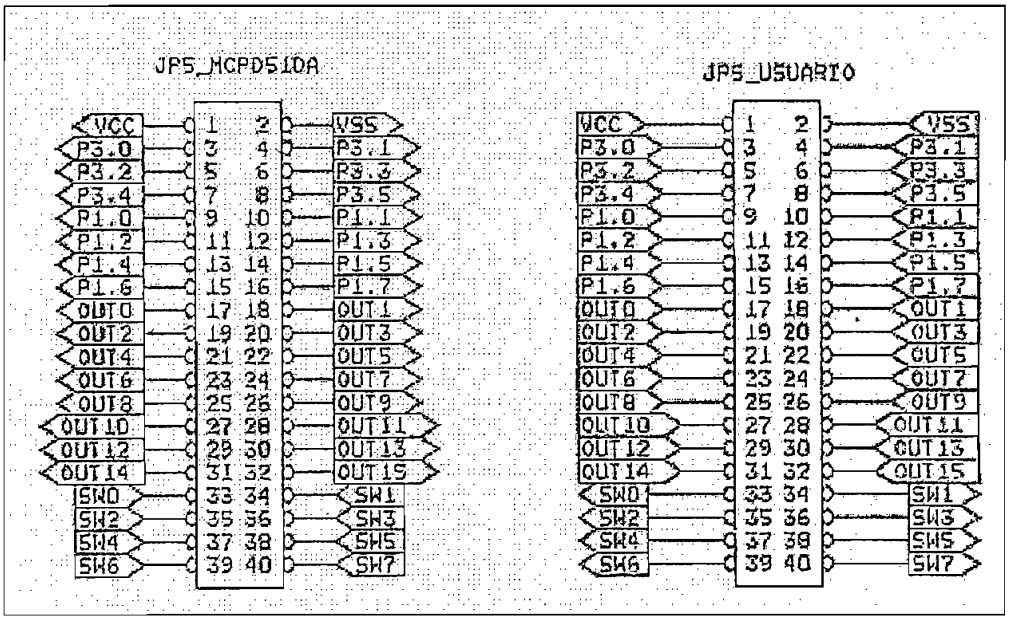
Cuadro 3.4 Pórticos seleccionados.

3.2.7 DISTRIBUCIÓN DE PINES DEL CONECTOR JP5.

El conector JP5 tiene 40 pines, se encuentra ubicado en la tarjeta MCPD51DA cuya etiqueta es **JP5_MCPD51DA**, es el que lleva todas las señales desde la tarjeta MCPD51DA hasta la tarjeta de interfaz de usuario, estas serían las señales de salida conjuntamente con ciertas señales de entrada que vienen de la tarjeta de interfaz de usuario, la figura 3.11a muestra la distribución de señales de este conector, todas estas señales provienen de los conectores H1, H2, H3, H4, H5 y H6, (figura 3.4), de la tarjeta MCPD51DA y se las lleva al conector JP5_MCPD51DA mediante la técnica de WIRE WRAP.

El otro conector es el **JP5_USUARIO**, figura 3.11b, se encuentra en la tarjeta de interfaz de usuario, tiene 40 pines, sus señales de salida corresponden a las filas: f1, f2, f3 y f4 de los teclados, el resto de señales son de entrada que vienen del conector JP5_MCPD51DA.

Estos dos conectores se unen a través de un cable de datos de 40 líneas.



(a). Conector JP5_MCPD51DA (b). Conector JP5_USUARIO

Figura 3.11. Distribución de señales en el conector JP5

3.3 DIAGRAMAS CIRCUITALES

En este subcapítulo se desarrollan los diagramas de bloques con que cuenta la interfaz de usuario, así como también la descripción de las señales que se utilizan para realizar la conexión entre la tarjeta MCPD51DA y la tarjeta de interfaz de usuario. El diagrama circuital de la interfaz de usuario se muestra en la figura 3.12.

3.3.1 CIRCUITO DE INTERFAZ ENTRE UN LCD Y EL CONTROLADOR 8031.

Para un correcto funcionamiento de un LCD este debe estar conectado a una serie de señales de entrada y voltajes de alimentación, para realizar su control se necesita que las señales provengan de un sistema basado en un microcontrolador .

3.3.1.1 Control para un LCD

El tipo de LCD estándar de 14 pines que se utiliza en este proyecto tiene una distribución de pines del cuadro 3.5.

PIN #	Nombre	In/Out	Descripción
1	Ground	-	Referencia 0 V
2	Vss	+	+5 Vdc.
3	VD (Voltaje para contraste)	In	Nivel de voltaje externo que puede ser ajustado mediante un potenciómetro para mejorar el contraste del LCD, algunos que trabajan en rangos de temperatura altas necesitan un voltaje negativo.
4	RS	In	Envío de datos al display, puede ser un carácter a ser desplegado (RS en 1L) o un comando a ser ejecutado por el controlador del LCD (RS en 0L).
5	RW	In	Tipo de datos: RW en 1L se hace una escritura al LCD, RW en 0L se hace una lectura desde el LCD.
6	E o CE	In	CE en 1L habilitación o no del LCD, basado en los niveles de las señales RS, RW y Datos.
7-14	Pin de datos (8), DB0 a DB7.	I/O	Datos a ser desplegados o comandos a ser ejecutados.

Cuadro 3.5

Para los LCD´s de opciones, se selecciona el LCD DMC-1602, estos utilizan un controlador HD44100H (Hitachi), el cual puede trabajar en rangos de temperaturas altas, para los cuales se necesita un voltaje negativo para poder controlar el contraste, éste tiene 16 caracteres y dos líneas (16x2).

Como se puede apreciar en la figura 3.13, la entrada y salida de datos se realiza utilizando el pórtico P1 del microcontrolador.

Para realizar el control de la programación del LCD se utiliza un pórtico externo de salida mediante las señales RS, RW y CE, y una línea de habilitación de pórtico **HAB_LCD**, cuya dirección es la 0000H, en la figura 3.13 se muestra el circuito correspondiente al control para un LCD.

3.3.1.2 Control para un ARREGLO DE LCD´S

El arreglo de LCD´s consta de 5 LCD´s estándar de 14 pines:

- 4 LCD´s DMC-1602, 16 caracteres y dos filas; y,
- 1 LCD DMC-4002, 40 caracteres y dos filas.

El LCD principal seleccionado es el DMC-4002, que también es un LCD del tipo estándar de 14 pines, cuya distribución es la que nos muestra el cuadro 3.5.

Para el bus de datos DB0 a DB7, que es único para todos los LCD´s, se utiliza el pórtico P1 del microcontrolador, esto se lo hace sin ningún problema ya que son de tecnología CMOS y no se recargaría a dicho pórtico, con esto no se utiliza un pórtico diferente para cada uno de los LCD´s.

De la misma manera las señales de control RS y RW son comunes para todos los display´s, y se las toma de otro pórtico de salida de la tarjeta MDPD51DA.

La facilidad de tener la señal de habilitación CE en cada uno de los display´s hace posible habilitar 1, 2 o más LCD´s a la vez, esto se consigue seleccionando una línea de habilitación CE, (CE0, CE1, CE2, CE3 o CE4), correspondiente a un LCD en particular.

Para las señales de control y de habilitación de un LCD´s se utiliza el pórtico externo de salida de la tarjeta MCPD51DA cuya dirección es la 0000H, y línea de habilitación SELOUT0 con la etiqueta HAB_LCD.

Las señales que intervienen en el pórtico de salida se describen a continuación:

- Señal para escritura en el LCD, RW.
- Señal para envío de datos al LCD, RS.
- Señales de habilitación de LCD´s.

CE0	para seleccionar LCD 0
CE1	para seleccionar LCD 1
CE2	para seleccionar LCD 2
CE3	para seleccionar LCD 3
CE4	para seleccionar LCD 4

La señal que se necesita para habilitar dicho pórtico proviene de un decodificador de direcciones del tipo 74LS138, ubicado en el sócalo U13 de la tarjeta MDPD51DA, figura 3.5, para tener acceso se lo realiza mediante una instrucción de escritura en memoria externa dado por la instrucción **MOVX @DPTR,A**

Por ejemplo, para seleccionar el LCD1, el byte que se debe escribir en memoria externa sería:

```
MOV     DPTR,#HAB_LCD
MOV     A,#11000010B
MOVX    @DPTR,A
```

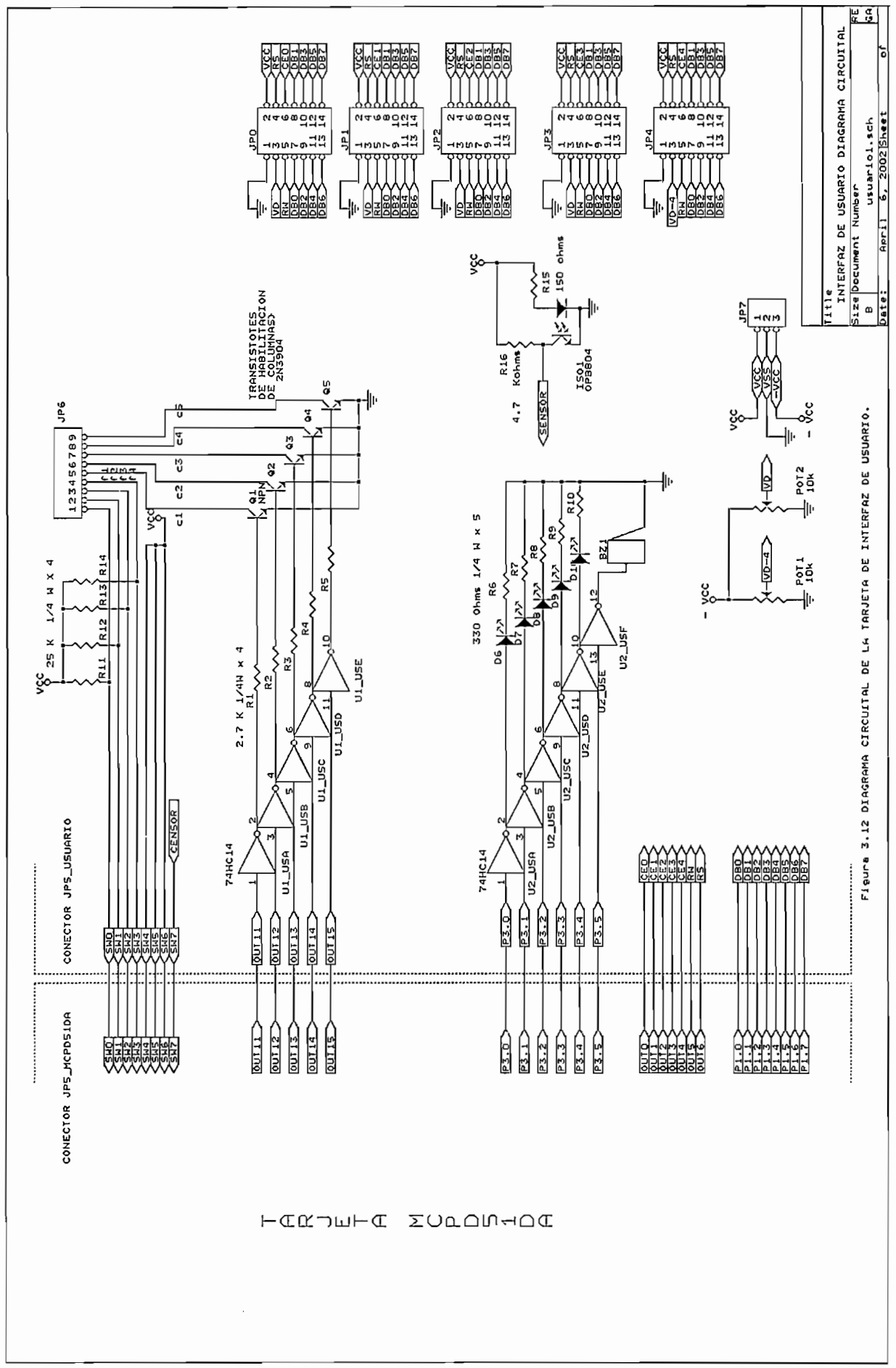


Figura 3.12 DIAGRAMA CIRCUITAL DE LA TARJETA DE INTERFAZ DE USUARIO.

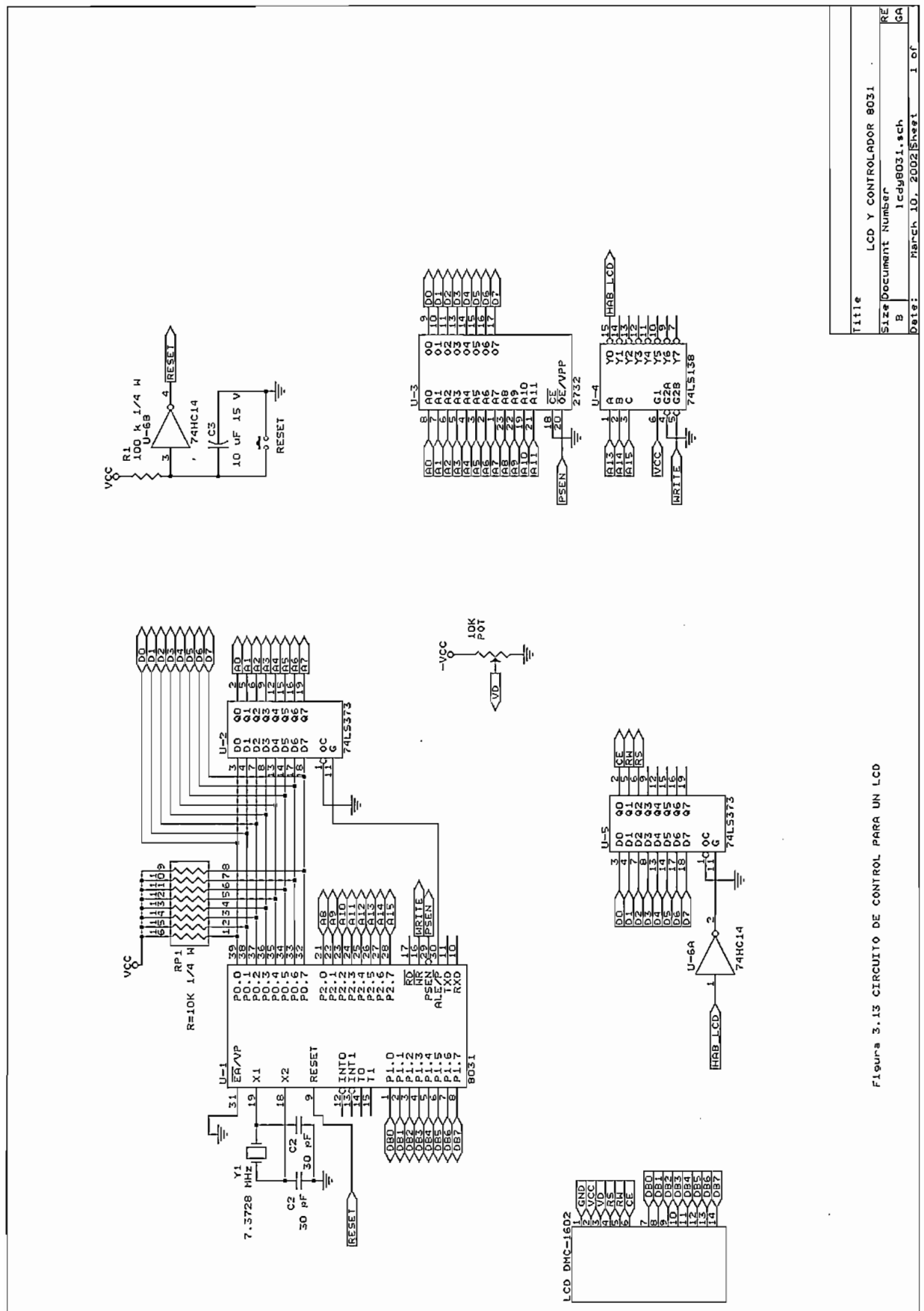


Figura 3.13 CIRCUITO DE CONTROL PARA UN LCD

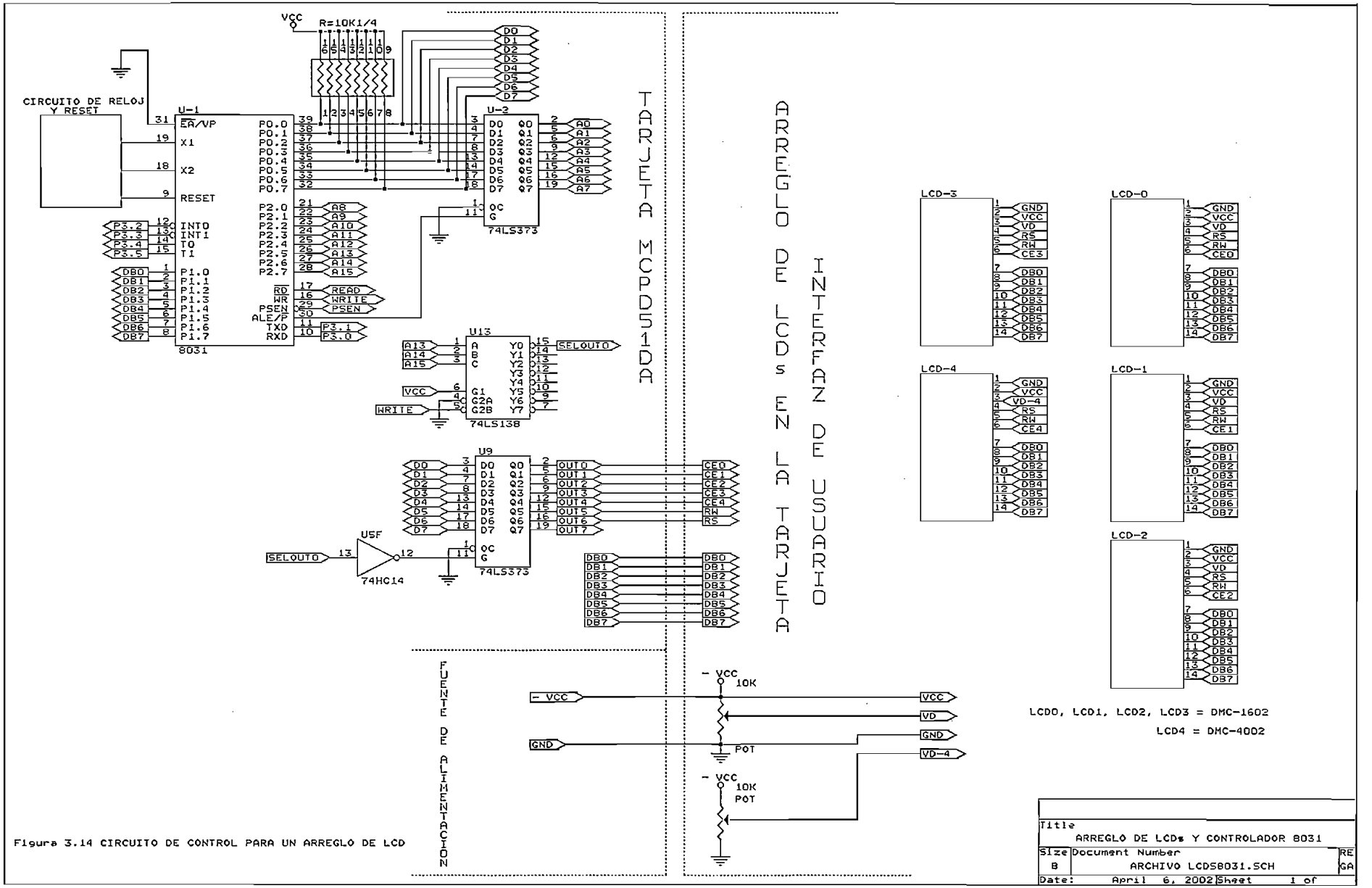


Figura 3.14 CIRCUITO DE CONTROL PARA UN ARREGLO DE LCD

Title	ARREGLO DE LCDs Y CONTROLADOR 8031	
Size B	Document Number ARCHIVO LCDS8031.SCH	RE GA
Date: April 6, 2002	Sheet 1 of	

3.3.1.3 Control del contraste de los LCD´s.

Los niveles de voltaje para ajustar el contraste de cada uno de los LCD´s pin 3 (VD), se lo realiza mediante un potenciómetro de 10 Kohm, como se ve en la figura 3.15.

Para los 4 LCD´s (LCD0 a LCD3) que sirven para desplegar mensajes de opciones, por tener un controlador que trabaja con rangos altos de temperatura, el nivel de voltaje V_D debe ser negativo, es decir V_D = - 5 Vdc. De la misma manera para el display principal LCD 4 el control de contraste se lo realiza con un nivel de voltaje negativo V_D-4 = - 5 Vdc, se debe tomar en cuenta que los dos voltajes de salida V_D y V_D-4 son diferentes ya que los LCD´s de opciones necesitan menos voltaje para que el contraste sea mejor.

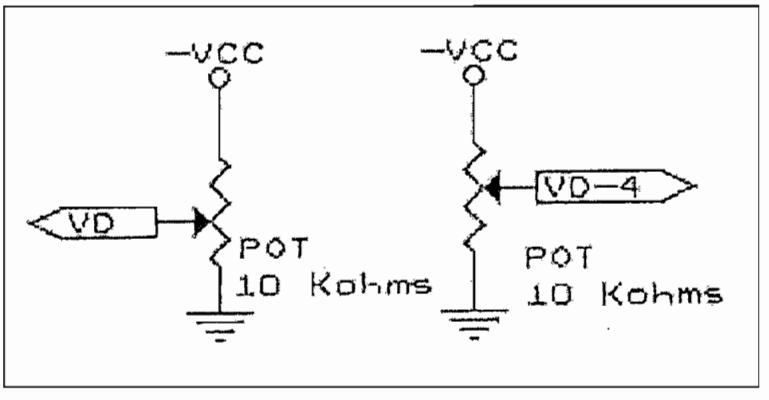


Figura 3.15 Control de contraste para LCD´s

3.3.2 CIRCUITO DE INTERFAZ ENTRE TECLADOS Y TARJETA MCPD51DA.

Como los teclados que se va a utilizar tienen un arreglo matricial de teclas, se utiliza una técnica llamada: decodificación por barrido de teclado usando una matriz 4 filas x 5 columnas (4x5 teclas). El teclado numérico tiene un arreglo matricial de 4x3 teclas y los teclados de funciones un arreglo matricial de 4x1 teclas cada uno, si se los pone a continuación del teclado numérico se obtiene un arreglo matricial 4x5 teclas. Así el diseño de este circuito se muestra en la figura 3.16.

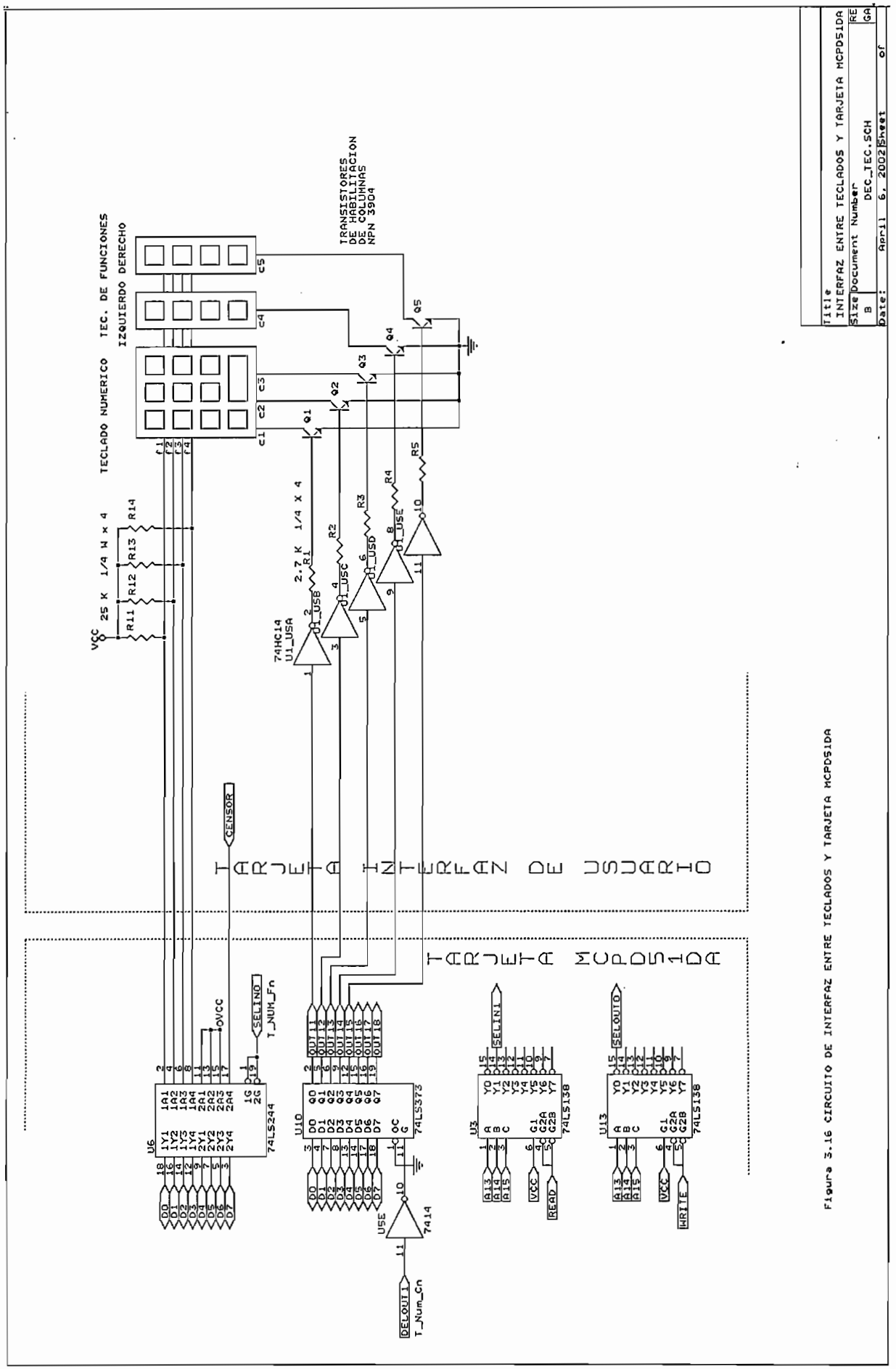


Figura 3.16 CIRCUITO DE INTERFAZ ENTRE TECLADOS Y TARJETA MCPDSIDA

El pórtico externo 1, de salida de la tarjeta MCPD51DA, seleccionado para el barrido de columnas tiene la dirección 2000H y se lo habilita con la línea SELOUT1 etiquetado como T_Num_Cn.

Como se puede observar en el circuito de la figura 3.16, la decodificación de teclas se la realiza habilitando una columna a la vez (barriendo columnas), esto se consigue gracias a que escribimos un byte en el pórtico externo previamente habilitado con T_NUM_Cn.

Para habilitar cualquier columna basta con colocar en la entrada de los inversores 74HC14 un 0L y se utiliza un transistor 2N3904 actuando como switch.

El cálculo de la resistencia de base de los transistores es:

Para lógica TTL: I_{OL} = 20 mA, corriente necesaria para tener a la salida un nivel lógico OL.

Entonces, $I_{OL} = I_C$ = 20 mA

β_{SAT} = 20

V_{OHTIP} = 3.4 V

V_{BSAT} = 0.7 V

$I_{BSAT} = I_C/\beta_{SAT}$ = 20 mA / 20 = 1 mA

$R_B = (V_{OHTIP} - V_{BSAT})/ I_{BSAT}$

$R_B = (3.4\ V - 0.7\ V))/1\ mA$

$\mathbf{R_B = 2.7\ K\Omega}$

El pórtico externo 0, de entrada a la tarjeta MCPD51DA se selecciona para las filas de los teclados, tiene la dirección 0000H y línea de habilitación SELIN0, con la etiqueta T_Num_Fn. Al presionar cualquier tecla esa información se refleja en el pórtico de entrada dado por el integrado 74LS244, de esta manera se lee desde el pórtico de entrada externo, previamente habilitado por T_NUM_Fn.

Las resistencias R_{11}, R_{12}, R_{13} y R_{14}, de la figura 3.16, sirven para dar la referencia de voltaje 1L en la entrada del circuito integrado 74LS244, para este integrado la corriente de entrada en bajo I_{iL} sería la que estaría circulando por dichas resistencias, entonces:

$I_{OL} = I_R = 200$ uA

$R = Vcc / I_R = 5\ V / 200$ uA $\quad$ **R = 25 KΩ**

3.3.3 CIRCUITO PARA SEÑALIZACIÓN.

Las líneas de salida, para tener señalización se obtiene directamente del pórtico 3 del microcontrolador, la distribución es la siguiente:

P3.0 – LED para ranura de recibos al cliente.
P3.1 – LED para teclado de funciones izquierdo.
P3.2 – LED para teclado numérico.
P3.3 – LED para teclado de funciones derecho.
P3.4 – LED para Ranura para tarjeta de prueba.
P3.5 – Buzzer.

Cuando se inicializa el equipo de instrucción el pórtico P3 en su salida tienen nivel alto 1L, basta con colocar en la entrada de un inversor un nivel bajo 0L, para poder encender a un LED o accionar un BUZZER.

La resistencia limitadora de corriente para el LED se calcula de la siguiente manera, partiendo del voltaje de polarización directa del LED $V_F = 1.9$ V y corriente para tener una buena iluminación de $I_F = 10$ mA

$R = (Vcc - V_F)/I_F$
$R = (5 - 1.9)/10$ mA
$R = 310\ \Omega$ mínimo $\quad \therefore$ **R = 330 Ω**

El diseño de este circuito se observa en la figura 3.17.

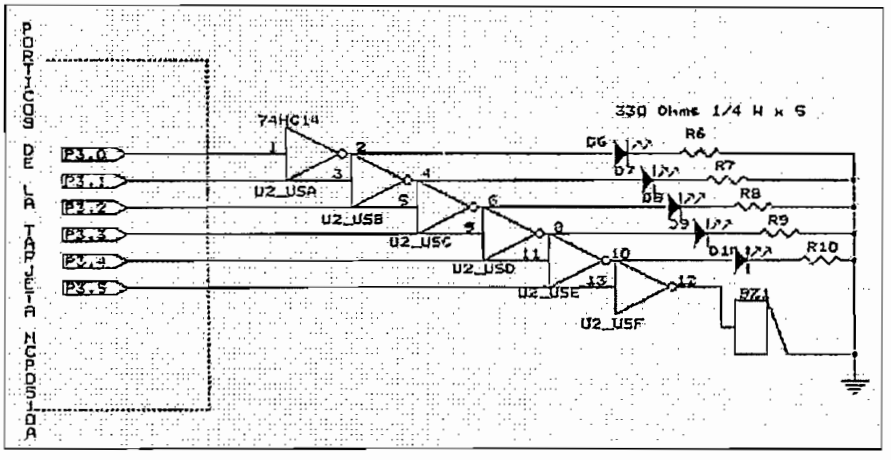


Figura 3.17 Circuito para señalización

3.3.4 CIRCUITO DETECTOR DE TARJETA

El momento que el usuario se coloca frente al equipo de instrucción debe insertar la tarjeta de prueba, la misma que al ingresar se encontrará con un sensor óptico cuyo haz de luz será cortado, a partir de aquí se inicia el proceso de la transacción.

El diagrama del circuito ha implementarse se observa en la Figura 3.18. Este circuito permite determinar la presencia o no de la tarjeta de prueba cuando se la inserta en la ranura respectiva.

Un aspecto se debe tener en cuenta en el ingreso de datos por el pórtico 0 externo, que se lo realiza a través de un circuito integrado 74LS244, ubicado en el zócalo U6, si el byte es 07Fh entonces significa que el sensor no ha sido bloqueado su haz de luz, caso contrario ocurre si el byte de entrada es 0FFh .

Partiendo de los datos técnicos del sensor óptico seleccionado OPB-804, ANEXO B, el cálculo de las resistencias R_{15} y R_{16}, son los siguientes:

Para la resistencia limitadora de corriente del diodo:

$I_F = 20$ mA

$V_F = 1.7$ V

Vcc = 5 V

$R_{15} = (Vcc - V_F)/I_F$

$R_{15} = (5 - 1.7)/(20\ mA)$

$R_{15} = 165\ \Omega$

$\therefore$ **$R_{15} = 150\ \Omega$**

Para la resistencia de colector R16:

Vcc = 5 V

$V_{CESAT} = 0.4$ V

$I_C = 1$ mA

$R_{16} = (V_{CC} - V_{CESAT})/I_C$

$R_{16} = (5 - 0.4)/(1\ mA)$

$R_{16} = 4{,}6\ K\Omega$ $\therefore$ **$R_{16} = 4{,}7\ K\Omega$**

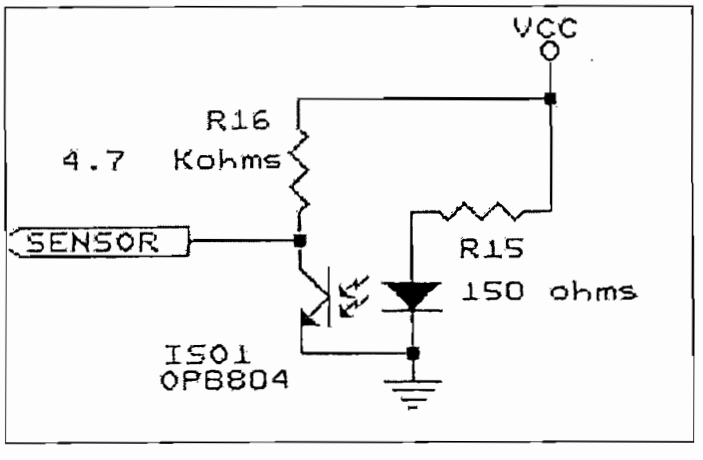


Figura 3.18 Circuito para detectar tarjeta de prueba

3.3.5. FUENTE DE ALIMENTACION

La fuente de alimentación consta de elementos reguladores positivos y negativos. El regulador positivo es del tipo LM7805HC, el cual puede entregar una corriente de hasta 1, 5 A, con un voltaje de salida de + 5 V, este voltaje servirá para la tarjeta principal MCPD51DA y para la tarjeta interfaz de usuario.

El voltaje negativo proviene del regulador LM79L05, como servirá únicamente para el voltaje de contraste para los 5 LCD´s y estos no necesitan de mayor corriente, este regulador proporciona hasta 100 mA de corriente.

El circuito correspondiente de la fuente de alimentación se muestra en la figura 3.19.

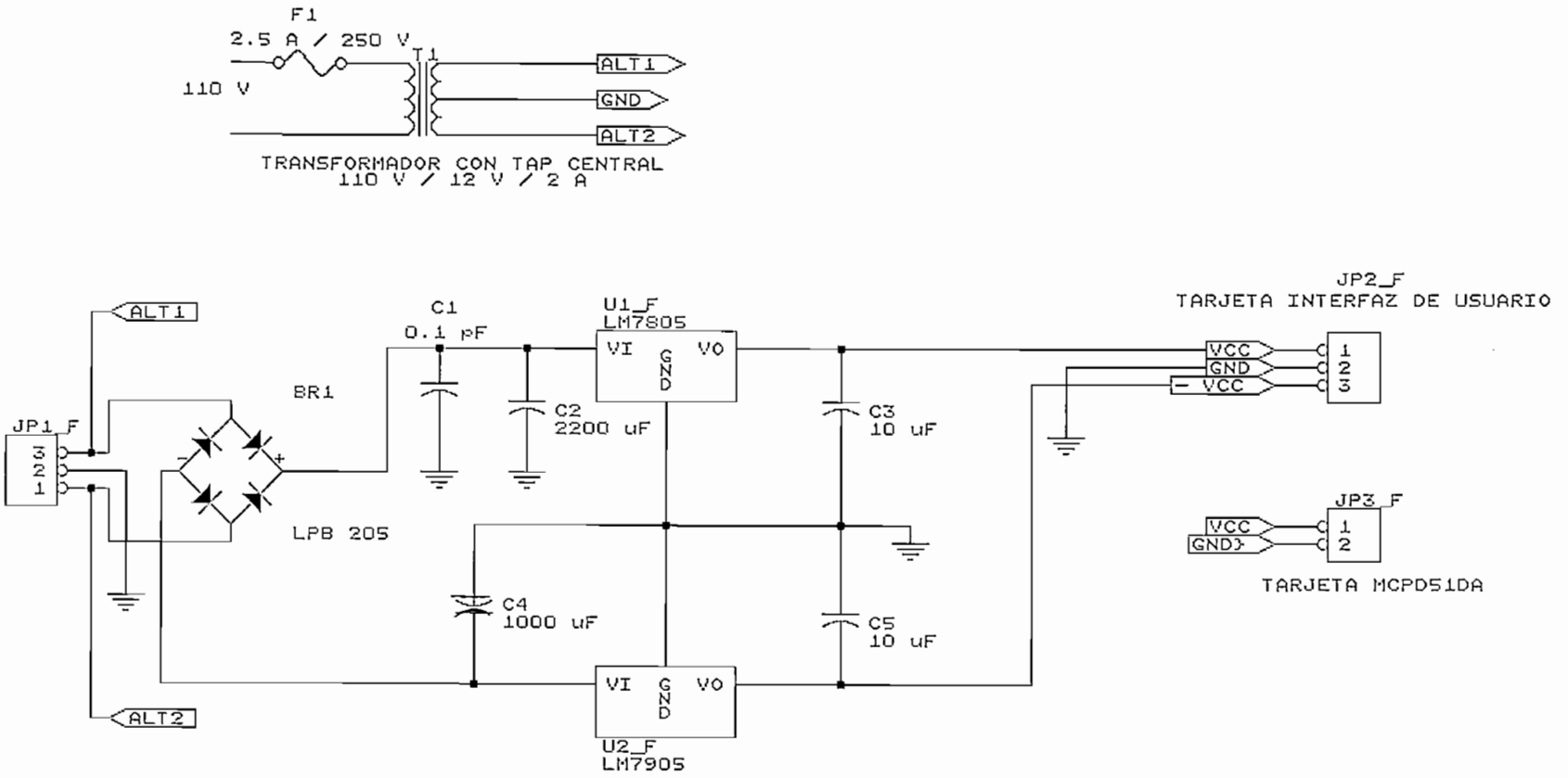


Figura 3.19 FUENTE DE ALIMENTACION +/- 5 V

GALO ARIAS PASTOR		
Title: FUENTE DE ALIMENTACION +/- 5 V		
Size: A	Document Number: ARCHIVO FUENTE.SCH	REV: GAP
Date: April 6, 2002	Sheet 1 of 1	

CAPITULO 4

DESARROLLO DEL SOFTWARE DEL EQUIPO

4.1 DIAGRAMAS DE FLUJO DEL PROGRAMA DEL EQUIPO DE INSTRUCCION

En los diagramas de flujo siguientes, se observa al programa principal, sus respectivas rutinas y subrutinas y saltos que se realizan.

4.1.1 PROGRAMA PRINCIPAL.

Se empieza por la inicialización de los LCD´s y rutinas principales, como son: mostrar mensajes de bienvenida, chequeo del sensor para tarjeta de prueba, ingreso de la clave principal y chequeo de la misma. Figura 4.1

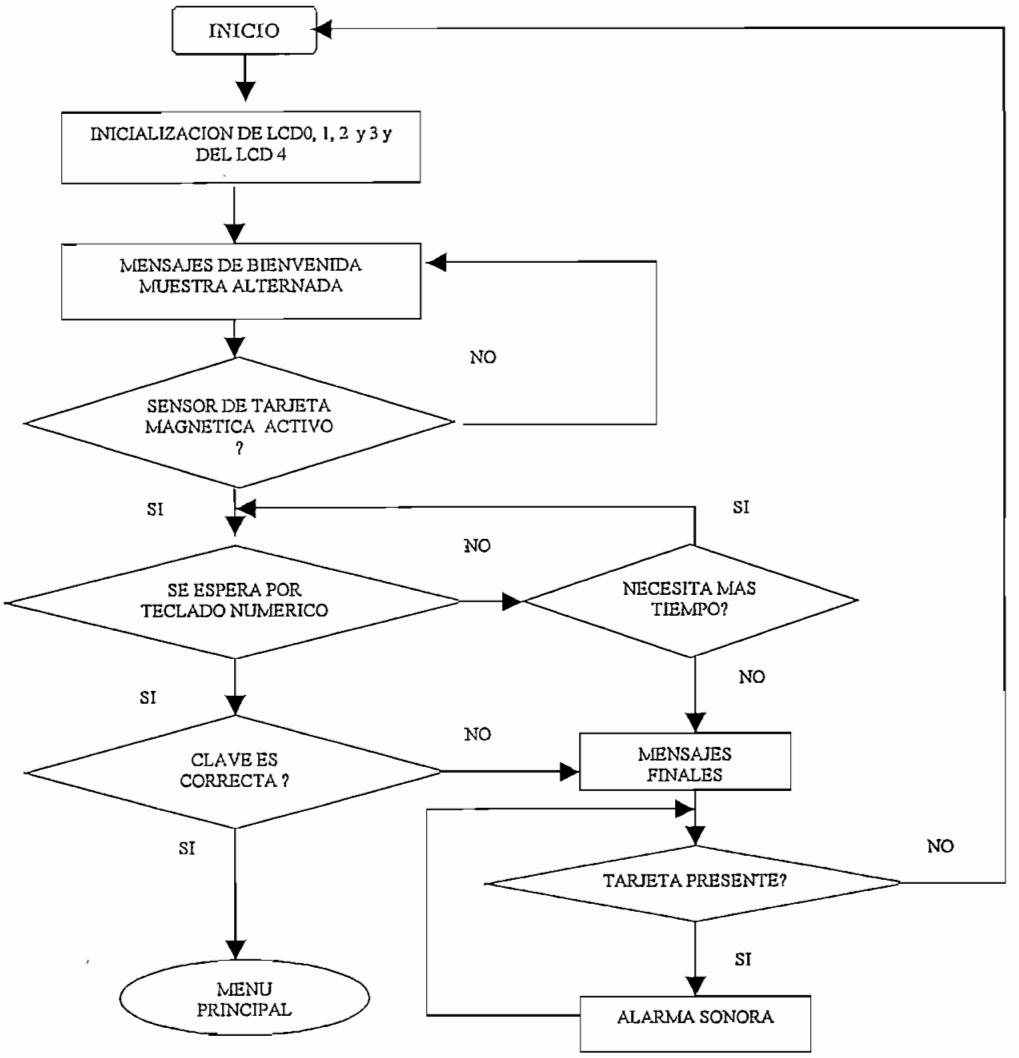


Figura 4.1

4.1.2 MENU PRINCIPAL.

El diagrama de flujo de la figura 4.2, muestra la forma como se accede a las opciones del menú principal: "*Retiros*", "*Depósitos*", "*Otras Transacciones*", "*Consultas*"; se muestran primero los mensajes respectivos, en espera por una tecla de opción en los teclados de funciones, se decodifica dicha tecla y se ingresa a los submenús respectivos.

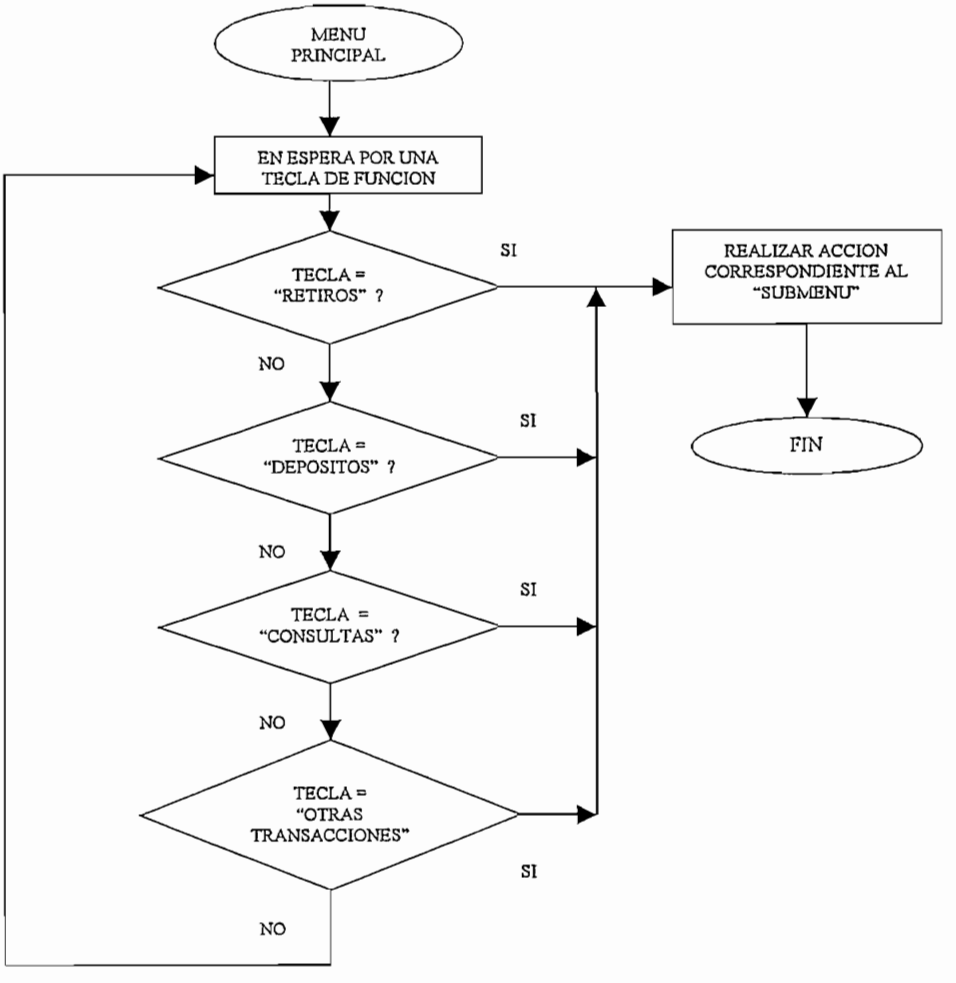


Figura 4.2

4.2 SUBRUTINAS

4.2.1 SUBRUTINAS PARA SUBMENUS.

Las subrutinas para el ingreso a los respectivos submenús, como se describió en el *mapa de mensajes* (ver 2.4), tienen una misma estructura, se explica en el siguiente diagrama de flujo. Figura 4.3

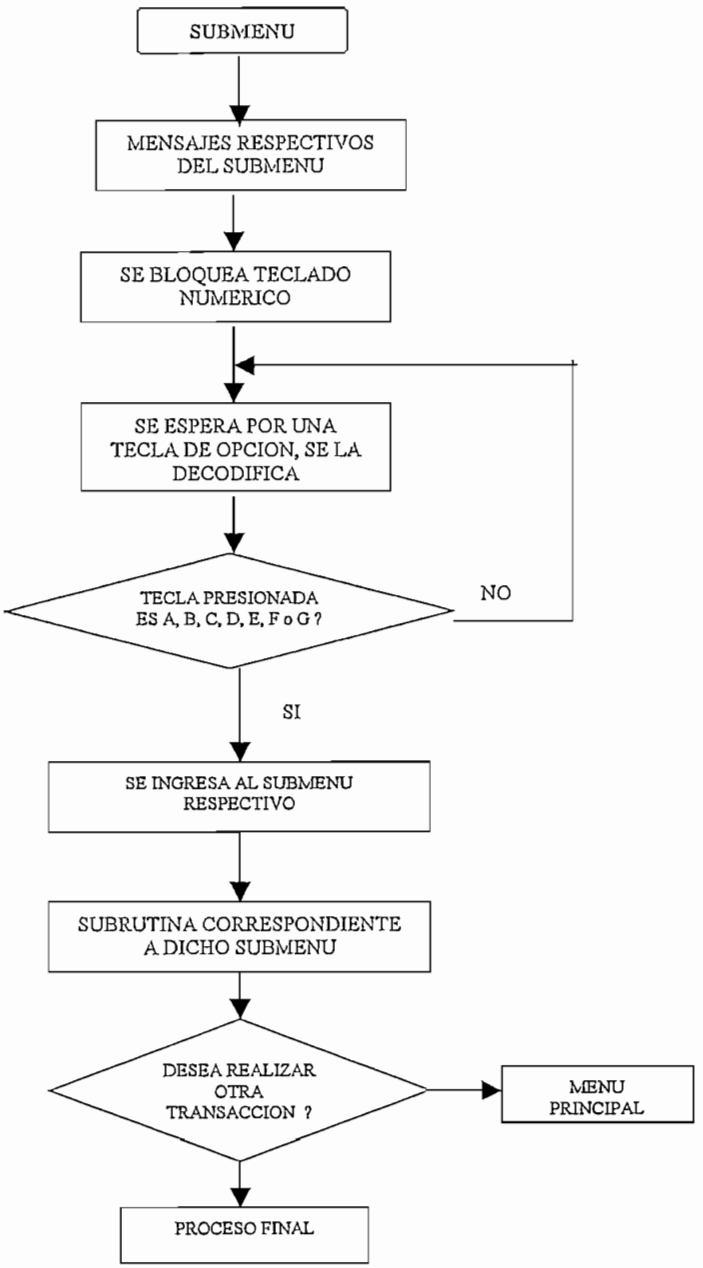
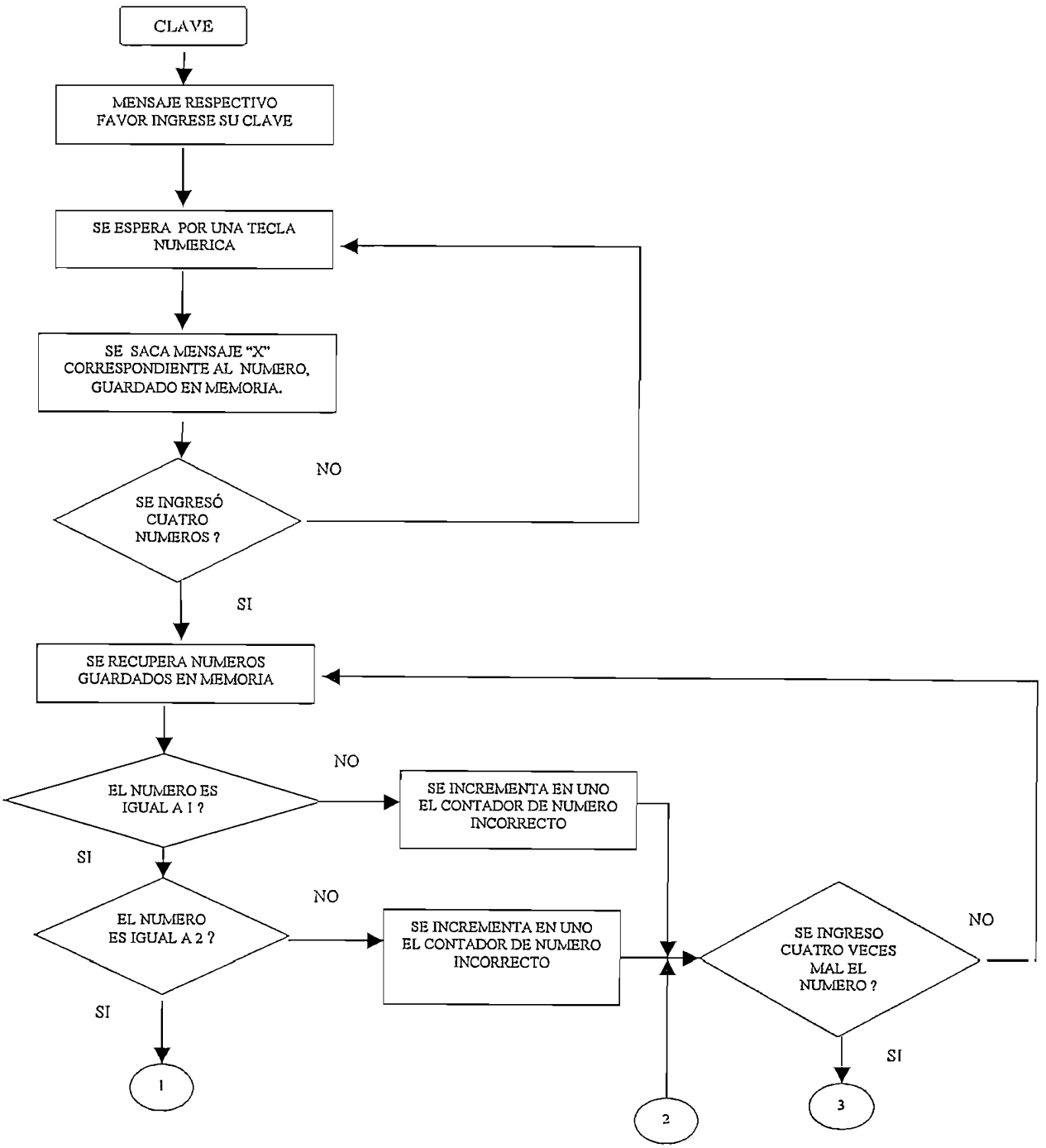


Figura 4.3

4.2.2 SUBRUTINA CLAVE.

Esta subrutina de la figura 4.4, sirve para ingresar la clave personal, para el equipo de instrucción es "1 2 3 4", si la clave es correcta sigue al menú principal, si se introduce cuatro veces equivocada termina la subrutina y regresa al inicio del programa acompañada de una alarma sonora, indicando que retire su tarjeta.



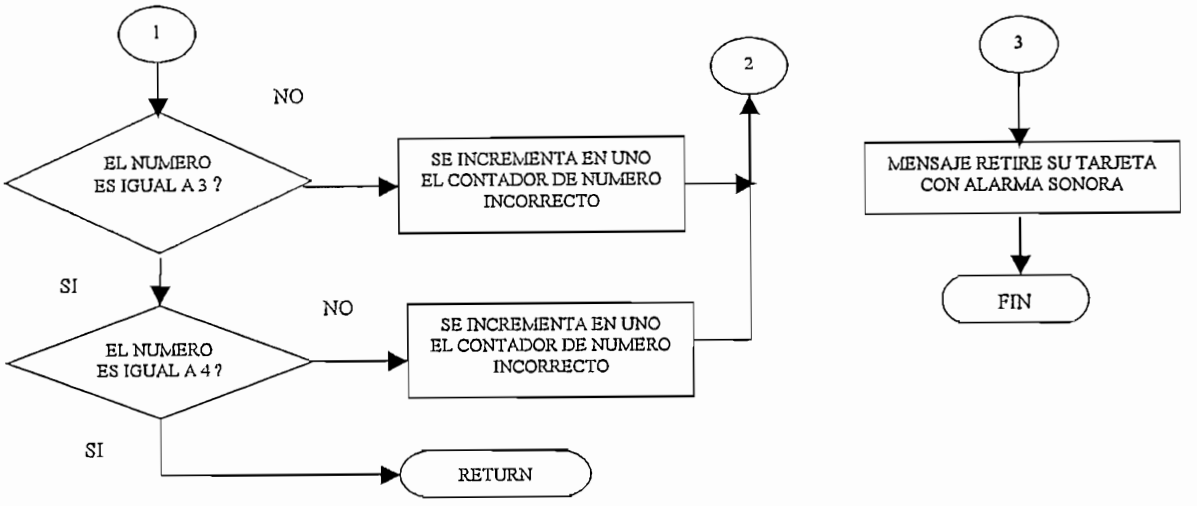


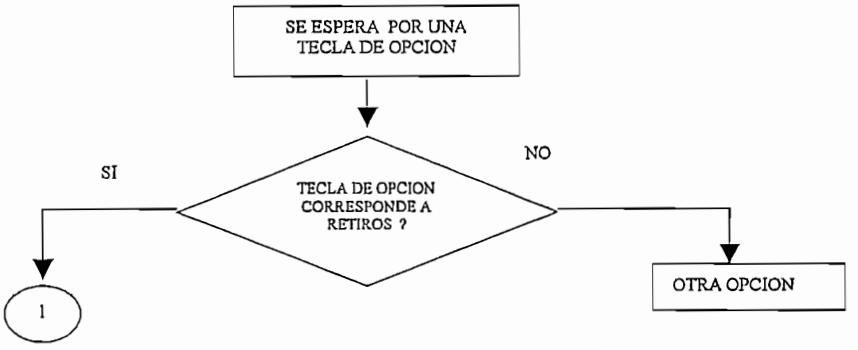
Figura 4.4

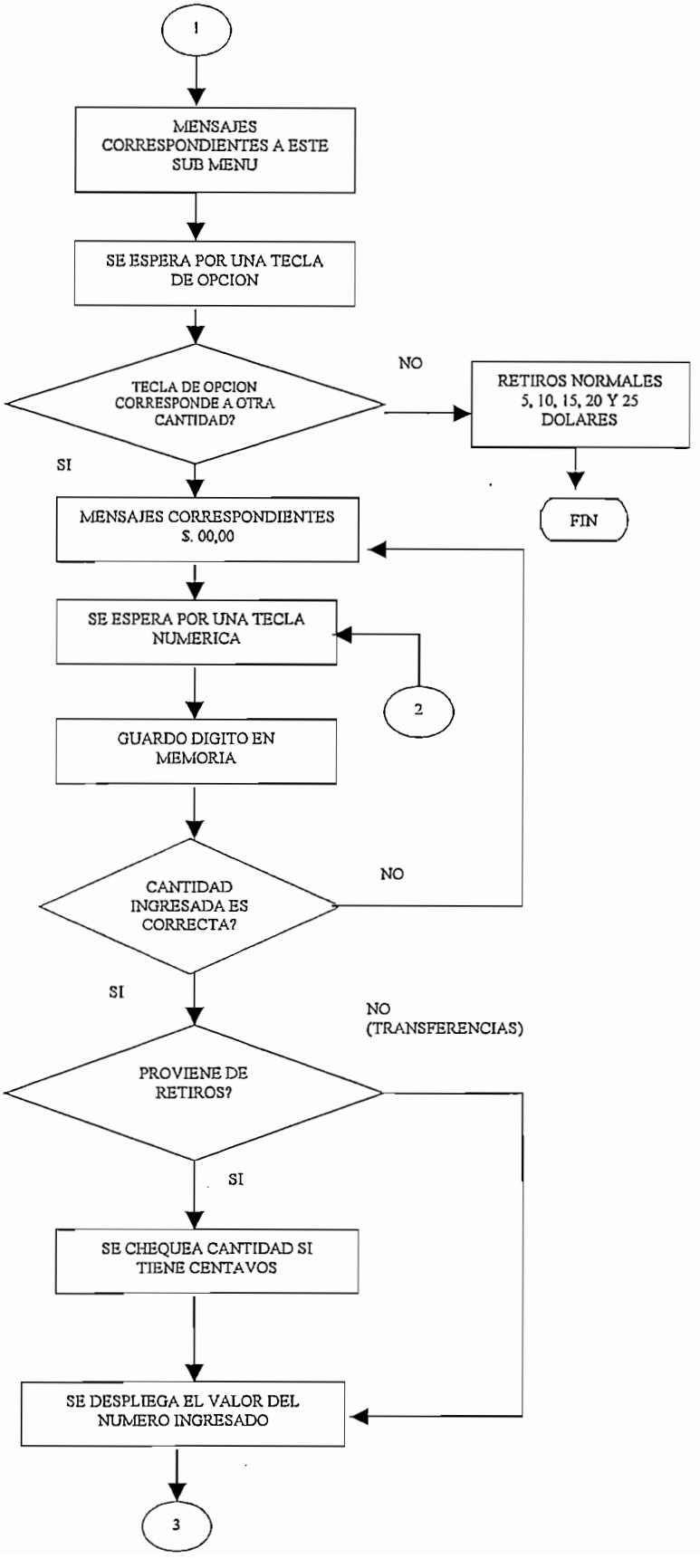
4.2.3 SUBRUTINA RETIROS – OTRA CANTIDAD.

Se ha tomado esta subrutina en particular, pues dentro de ésta se tiene una diferencia con los otros submenús, es la opción de "RETIROS" y la opción "TRANSFERENCIAS" tanto de cuentas corrientes como de ahorros, se la puede separa de las otras ya que se debe ingresar una cierta cantidad de dinero a ser retirada, diferente a las cantidades fijas como son: $. 5, $. 10, $. 15, $. 20, $. 25 y $. 100 dólares. Esta subrutina se muestra en la figura 4.5.

Otra variable que se debe tomar en cuenta es cuando se trata de realizar retiros de dinero diferentes a las cantidades fijas, es esta opción no se debe ingresar cantidades con centavos, sino únicamente valores enteros.

Caso contrario si las opciones son: transferencias y pagos entonces si se puede ingresar cantidades con centavos.




1
MENSAJES CORRESPONDIENTES A ESTE SUB MENU
SE ESPERA POR UNA TECLA DE OPCION
TECLA DE OPCION CORRESPONDE A OTRA CANTIDAD?
NO
RETIROS NORMALES 5, 10, 15, 20 Y 25 DOLARES
FIN
SI
MENSAJES CORRESPONDIENTES S. 00,00
SE ESPERA POR UNA TECLA NUMERICA
2
GUARDO DIGITO EN MEMORIA
CANTIDAD INGRESADA ES CORRECTA?
NO
SI
NO (TRANSFERENCIAS)
PROVIENE DE RETIROS?
SI
SE CHEQUEA CANTIDAD SI TIENE CENTAVOS
SE DESPLIEGA EL VALOR DEL NUMERO INGRESADO
3

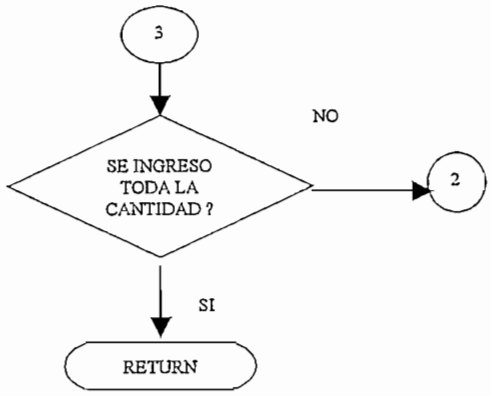


Figura 4.5

4.3 INICIALIZACION DE LCD´s.

Los LCD´s utilizados son del tipo estándar de 14 pines: 8 pines para datos, señales de control RS, RW y CE y una señal de entrada para contraste VD con ganancia negativa, estos LCD´s poseen un controlador que necesita ser inicializado para que pueda funcionar adecuadamente y desplieguen los caracteres en las pantallas de cristal líquido de forma correcta.

Proceso	RS	RW	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	CHEQUEAR BIT 7
Encendido											No
Esperar más de 15ms después que Vcc llegue a +4.5 V											No
Enviar al LCD	0	0	0	0	1	1	*	*	*	*	No
Espera mas de 4.1 ms											No
Enviar al LCD	0	0	0	0	1	1	*	*	*	*	No
Esperar mas de 100us											No
Enviar al LCD	0	0	0	0	1	1	*	*	*	*	No
Enviar al LCD (Funntion Set)	0	0	0	0	1	DL	N	F	*	*	Yes

Tabla. 4.1.

N: número de líneas F: Ancho del carácter DL: longitud del bus de datos.

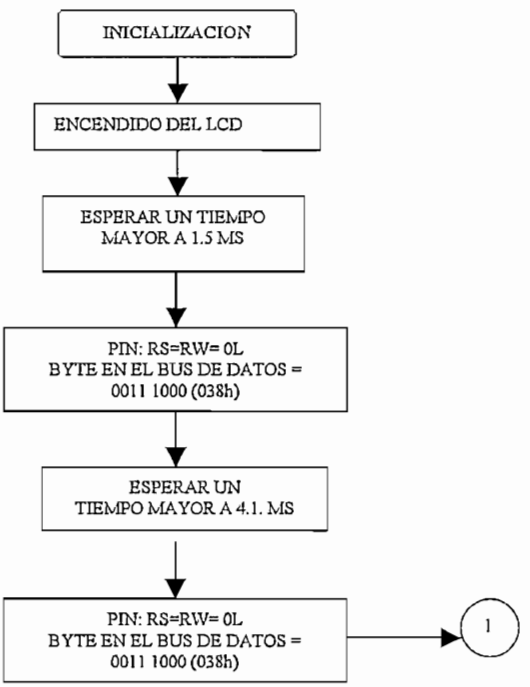
Al poner en funcionamiento un LCD éste necesita ser programado para una apropiada operación, esto consiste en enviar una serie de comandos (bytes) hacia el LCD, como por ejemplo activar el LCD, tamaño de carácter 5x7 puntos, incrementar la posición del cursor, cursor encendido, número de filas, etc.

En el proceso de inicialización de un LCD hay que tomar en cuenta los tiempos mínimos entre el envío de un comando y otro, estos tiempos que da el fabricante, se pueden apreciar en la tabla 4.1.

Como los LCD´s utilizados tienen 2 líneas, ancho de carácter 5x7 y longitud del bus de datos 8 bits, los valores de estos parámetros son:

N = 1L (2 líneas)
F = 0L (ancho de carácter 5x7)
DL = 1L (longitud del bus de datos 8 bits)

4.3.1 RUTINA DE INICIALIZACION.



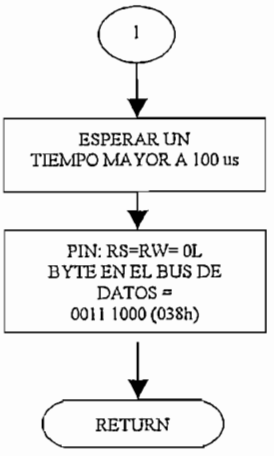


Figura 4.6

La rutina de la figura 4.6, se la realiza una sola vez al inicio del programa principal y es común para todos los LCD´S.

4.3.2 DATO Y COMANDO.

Se debe diferenciar dos tipos de bytes que entran por el bus de datos al LCD, uno se trata del byte del carácter en forma hexadecimal que quiere ser desplegado en el LCD, a este de lo denomina **DATO**; y otro que es el byte de programación del estado del LCD que se lo llama **COMANDO.**

4.3.2.1 Escritura de un DATO en el LCD

Par realizar esta operación es necesario hacer lo siguiente:

- RS en 1L
- RW en 0L
- Colocar el respectivo carácter en hexadecimal en el bus de datos (pines del 7 al 14 del LCD)
- CE, pulso positivo.

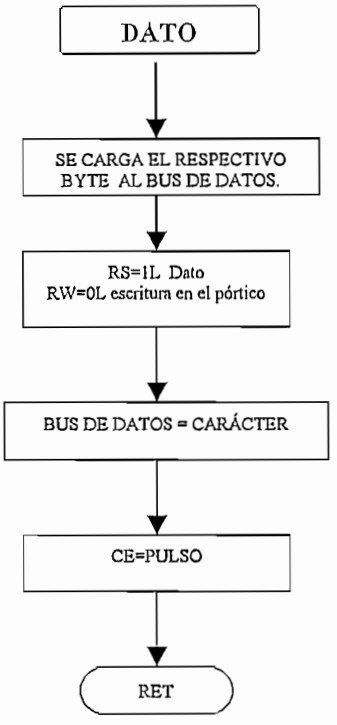
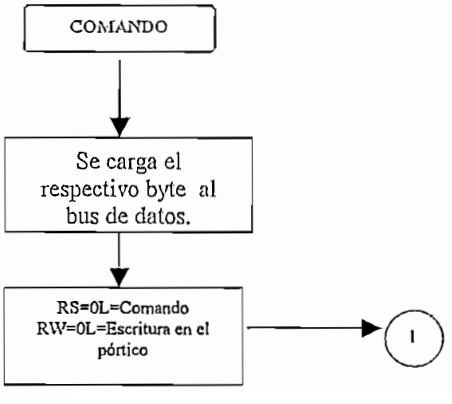


Figura 4.7

4.3.2.2 Envío de un COMANDO al LCD.

La figura 4.8 muestra la rutina para realizar el siguiente procedimiento:

- RS en 0L
- RW en 0 L
- Colocar el respectivo byte del comando en el bus de datos (pines del 7 al 14 del LCD)
- CE, pulso positivo.



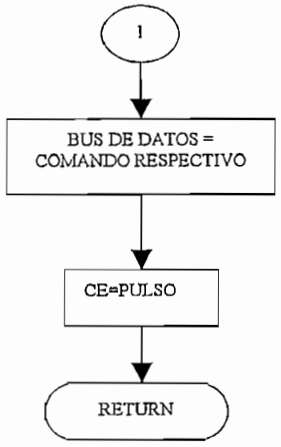


Figura 4.8

La codificación de comandos se refiere a los bytes que son necesarios enviar al LCD y así poderlo inicializar y controlar, esto se puede apreciar en la tabla 6.1. del anexo.

Para saber la posición en la cual va a ser desplegado un carácter de debe recurrir a una dirección dada en la tabla 6.2. del anexo. Basta con enviar una de estas direcciones como comando al bus de datos del LCD para que se despliegue en la posición requerida.

4.3.3 CONTROLADOR DE LCD OCUPADO.

En la programación se debe tener en cuenta un aspecto importante como es el estado en el cual el controlador del LCD está ocupado, esto se lo chequea mediante el séptimo bit del bus de datos, el mismo que nos indica cuando el controlador está disponible o no para poder seguir enviándole datos, el controlador del LCD necesita un tiempo para poder procesar una escritura de datos o un comando, durante este tiempo el controlador está ocupado y no entenderá cualquier orden que se le envíe. Este tiempo de espera no se sabe, ya que depende del tipo de controlador.

Se puede realizar una rutina de tiempo después de cada escritura al LCD, pero no se sabrá con exactitud cuanto tiempo se necesitará. Por ejemplo, el comando borrar pantalla toma un tiempo más largo, que una escritura de datos.

Para evitar estar chequeando estos tiempos se utiliza el bit 7 del bus de datos después de escribir en el LCD, se envía una instrucción de lectura y se chequea el bit 7 del bus de datos (pórtico 1), si este bit está en 1L el controlador está ocupado, si está en 0 L el controlador está disponible para recibir más datos.

Esta subrutina se muestra en la figura 4.9

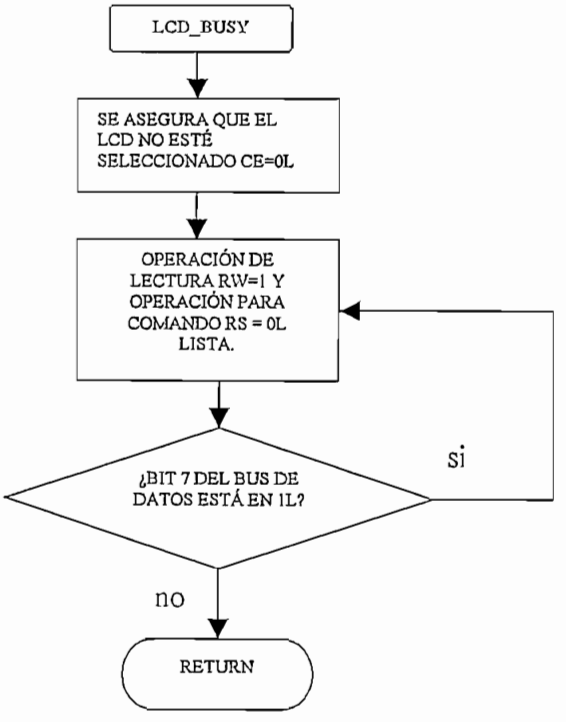


Figura 4.9

Esta subrutina tiene que ser insertada al final de las subrutinas DATO y COMANDO.

4.4 SUBRUTINAS PARA VARIOS LCD´S.

Como se trata de desplegar los mismos mensajes o diferentes en cinco LCD´s, basta con seleccionar el o los LCD´s adecuados, mediante la línea de

selección CE de cada uno de estos (CE0, CE1, CE2, CE3 y CE4). Se ha utilizado para esto acceso a RAM externa escribiendo en el pórtico de salida 0000H. Utilizando este mismo pórtico se utilizan dos líneas para las señales RS y RW.

La distribución de bits es la siguiente:

Bit 7 1L.
Bit 6 RS Dato 1L o comando 0L.
Bit 5 RW Operación de lectura 0L.
Bit 4 CE4 1L habilitado, 0L deshabilitado LCD 4.
Bit 3 CE3 1L habilitado, 0L deshabilitado LCD 3.
Bit 2 CE2 1L habilitado, 0L deshabilitado LCD 2.
Bit 1 CE1 1L habilitado, 0L deshabilitado LCD 1.
Bit 0 CE0 1L habilitado, 0L deshabilitado LCD 0.

Por ejemplo:
Si queremos enviar un dato a un LCD en particular:

Para el LCD 0, sería: 1X000001
Para el LCD 1, sería: 1X000010
Para el LCD 2, sería: 1X000100
Para el LCD 3, sería: 1X001000
Para el LCD 4, sería: 1X010000

Donde: X = RS

RS = 0L, cuando se trata de un COMANDO.
RS = 1L, cuando se trata de un DATO.

4.4.1 SUBRUTINA DATO.

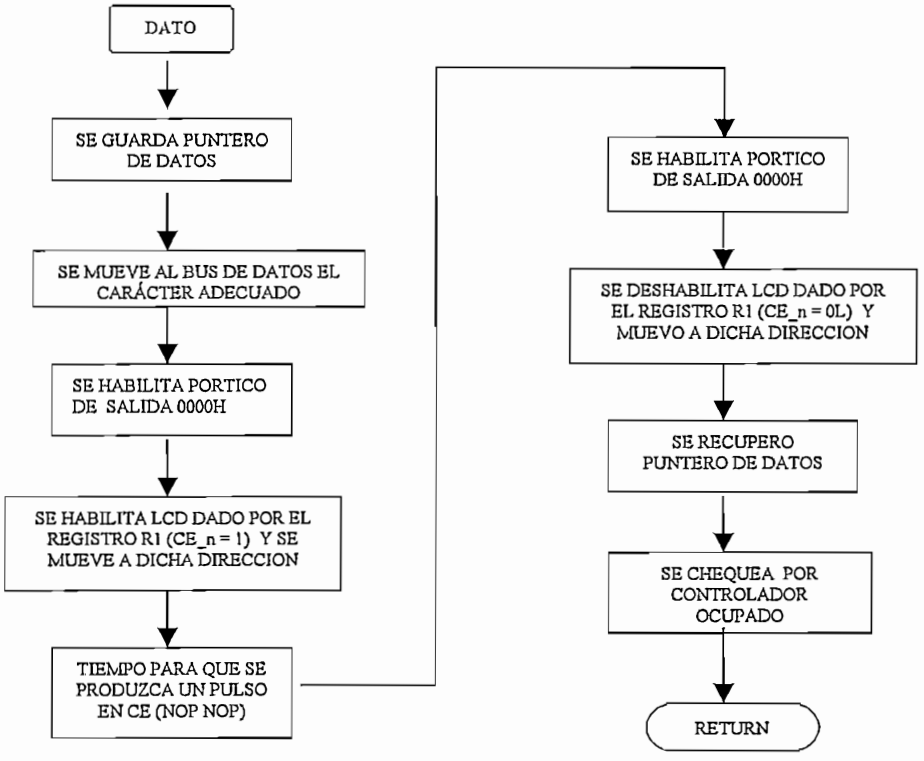


Figura 4.10

4.4.2 SUBRUTINA COMANDO

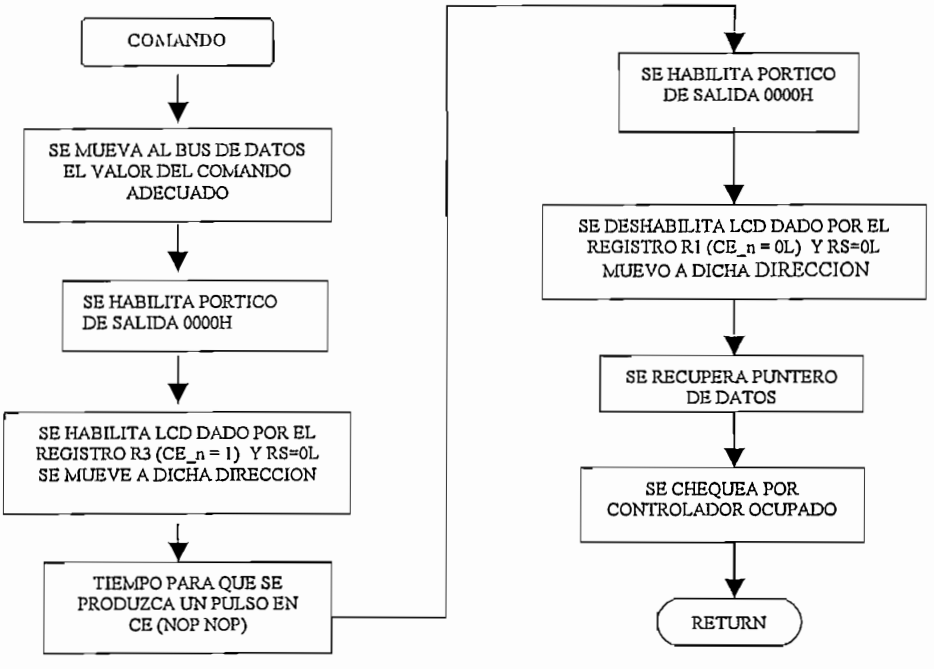


Figura 4.11

4.4.3. SUBRUTINA LCD_BUSY

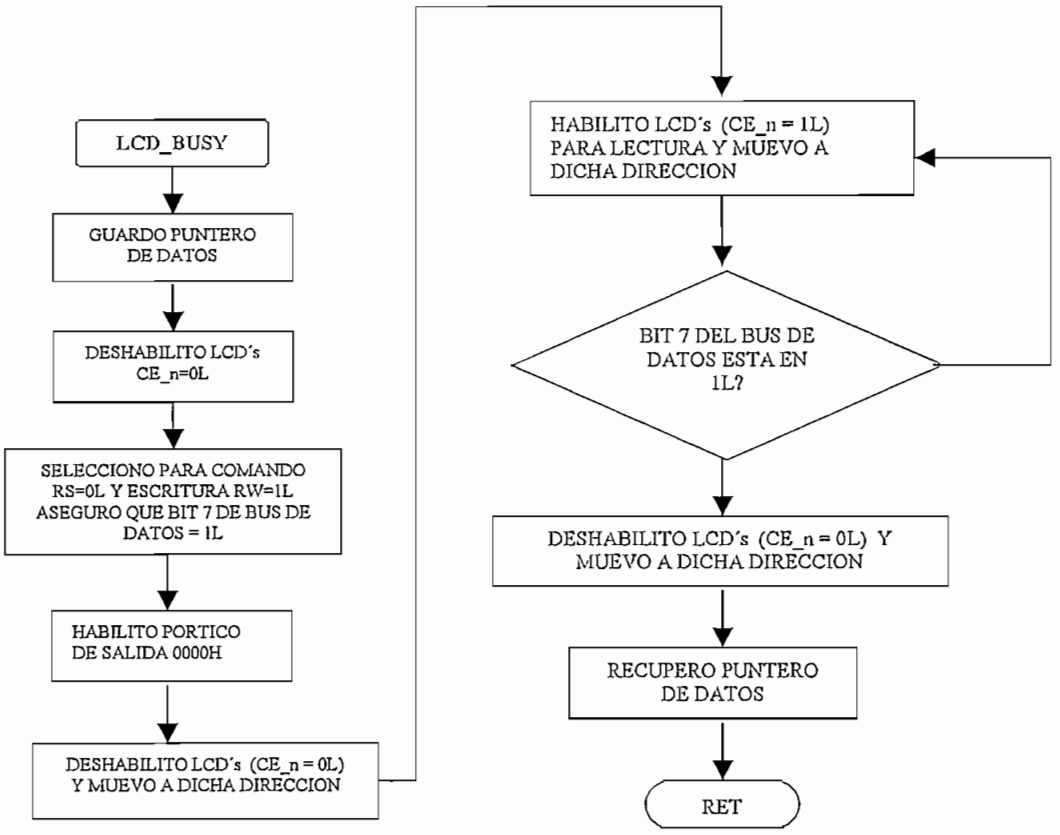


Figura 4.12

4.5 ENVIO DE UN MENSAJE COMPLETO A UN LCD.

Al enviar un mensaje completo definido en una dirección de memoria mediante "DB" a cualquiera de los LCD´s , se tiene que sacar de carácter en carácter o de DATO en DATO. Para esto se utiliza la subrutina LCD_MSG. Esta subrutina se muestra en la figura 4.13.

Para saber cuándo un mensaje ha terminado, al final de cada dirección se coloca el número hexadecimal 0000H.

Cuando se saca mensajes en dos líneas, después de cada mensaje completo se coloca el respectivo comando para salto de línea y dirección del carácter, el programa diferencia entre dato y comando.

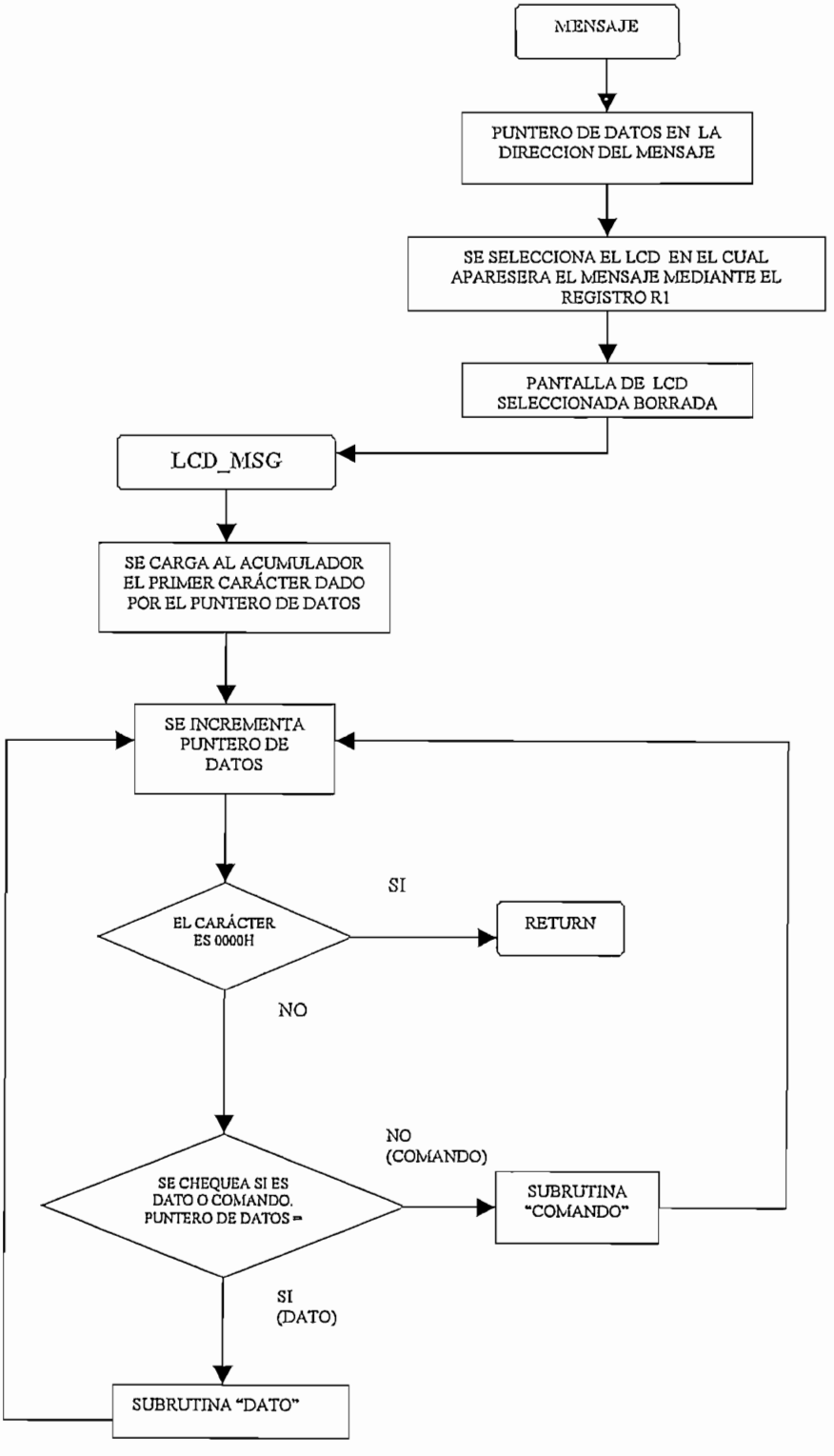

MENSAJE
PUNTERO DE DATOS EN LA DIRECCION DEL MENSAJE
SE SELECCIONA EL LCD EN EL CUAL APARESERA EL MENSAJE MEDIANTE EL REGISTRO R1
PANTALLA DE LCD SELECCIONADA BORRADA
LCD_MSG
SE CARGA AL ACUMULADOR EL PRIMER CARÁCTER DADO POR EL PUNTERO DE DATOS
SE INCREMENTA PUNTERO DE DATOS
EL CARÁCTER ES 0000H
SI
RETURN
NO
SE CHEQUEA SI ES DATO O COMANDO. PUNTERO DE DATOS =
NO (COMANDO)
SUBRUTINA "COMANDO"
SI (DATO)
SUBRUTINA "DATO"

Figura 4.13

4.6 SUBRUTINA TECLADOS

Esta subrutina es una de las más importantes del programa, se espera que se presione una tecla, mediante un barrido que se realiza con los transistores en cada una de las columnas, esta será una operación de escritura en memoria externa, pórtico de salida "1", en la dirección 2000H.

Y por el otro lado una operación de lectura de las filas a través del pórtico de entrada "0" en la dirección 0000H, si no se presiona una tecla la lectura seria 0FFH. El valor de la tecla se almacena en el acumulador previamente decodificada en hexadecimal. Para saber que se ha presionado una tecla a la vez se utiliza la bandera KEYF.0 en 1L, este sería el proceso de eliminación de rebote de contacto por software.

El diagrama de flujo se muestra en la figura 4.14.

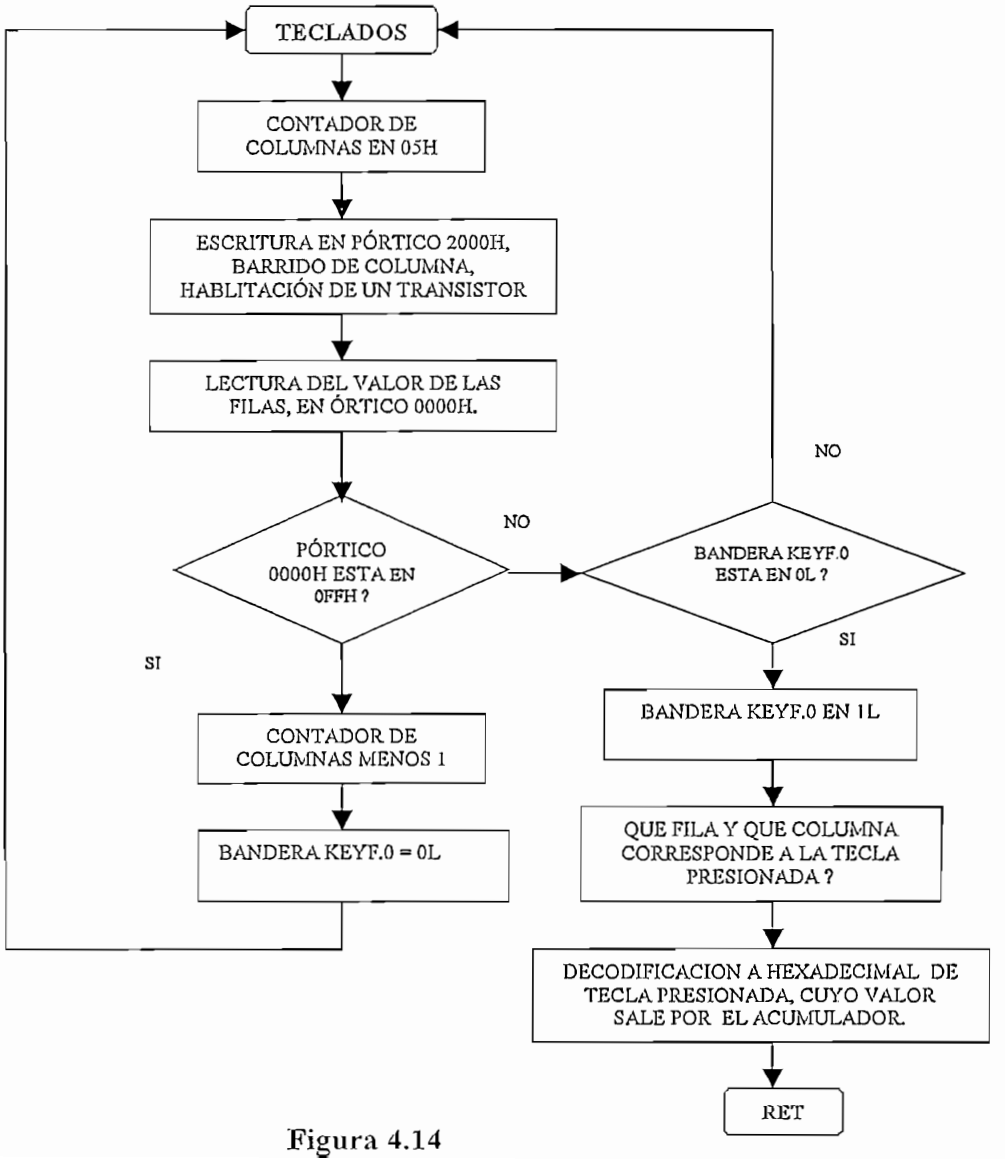


Figura 4.14

4.6 PROCESO Y MENSAJES FINALES.

Después de cada transacción, se tendrá la opción de finalizar ésta o regresar al menú principal. Si termina la transacción en el LCD principal aparecerán una serie de mensajes indicando que la transacción ha finalizado.

Si la tarjeta no ha sido retirada de su ranura se activará una alarma sonora indicando que debe retirarla. Como se aprecia en la figura 4.14.

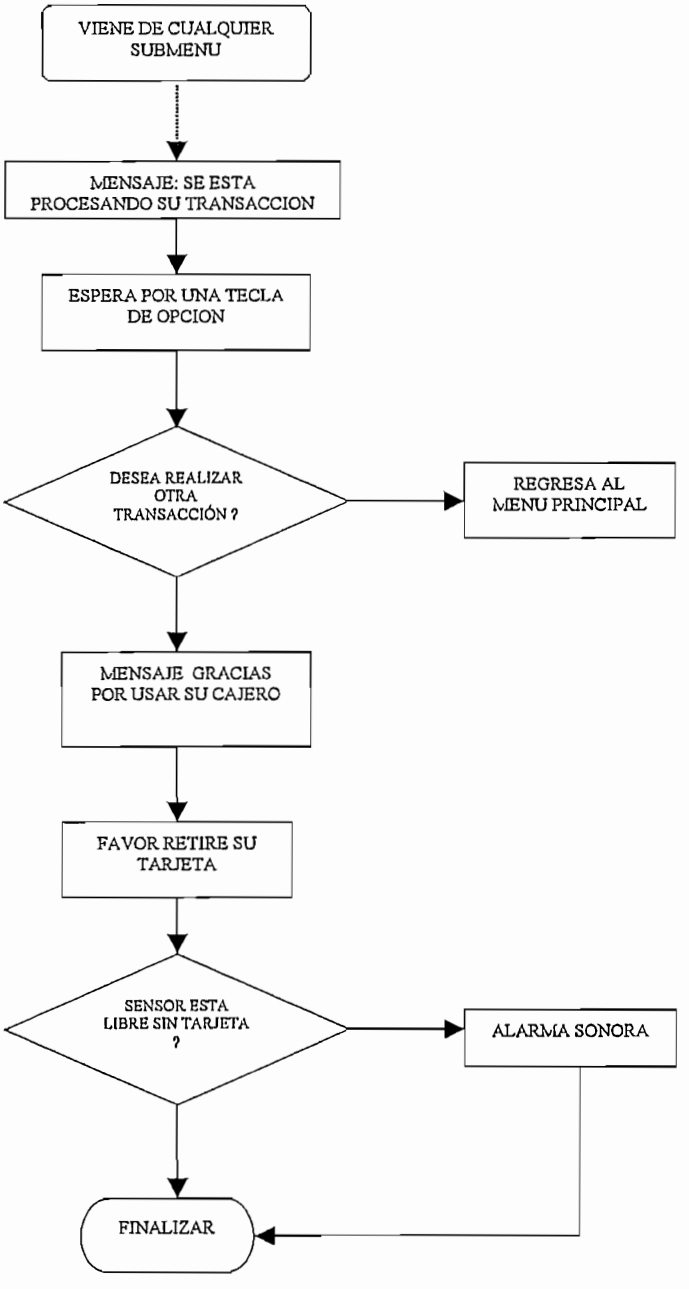


Figura 4.14

4.7 LISTADO DEL PROGRAMA

```
;                                   PROGRAMA PARA EL EQUIPO DE INSTRUCCION
;                                       EN EL USO DE CAJEROS AUTOMATICOS
;TESIS DE GRADO:                         ESCUELA POLITECNICA NACIONAL
;                                      FACULTAD DE INGENIERIA ELECTRICA
;ESPECIALIZACION:                      ELECTRONICA Y TELECOMUNICACIONES

;                           GALO FERNANDO ARIAS PASTOR
;                                              2001 - 2002


$AP
;Area para definición de ETIQUETAS mediante las directivas EQU y EXTERN
INICIO:

T_NUM_Fn:   EQU   00000H
T_NUM_Cn:   EQU   02000H
SE_CON:     EQU   00000H
KEYF: EQU   020H
FLAG: EQU   027H

LD0   EQU   RXD   ;P3.0 LED INGRESO DE TARJETA
LD1   EQU   TXD   ;P3.1 LED TECLADO NUMÉRICO
LD2   EQU   INT0  ;P3.2 LED TECLADO FE FUNCIONES IZQUIERDO
LD3   EQU   INT1  ;P3.3 LED TECLADO DE FUNCIONES DERECHO
LD4   EQU   T0    ;P3.4 LED RANURA DE RECIBOS AL CLIENTE
BZ    EQU   T1    ;P3.5 BUZZER

;
      DEFSEG      RSTSEG,CLASS=CODE,START=RESET,ABSOLUTE
      SEG   RSTSEG      ;Segmento de código con inicio en RESET (0000H)
;Area para la instrucciones del Programa Principal

INI11:      JMP   PROG

      ORG   TIMER0
      DJNZ  B,FINRET
      MOV   DPTR,#MAS_TIME
      MOV   R1,#11010000B
      CALL  CLR_LCD4
      CALL  LCD_MSG

      MOV   DPTR,#SI_NO
      MOV   R1,#11000010B
      CALL  CLR_LCD1
      CALL  LCD_MSG

      CALL  CLR_LCD0
      CALL  CLR_LCD2
      CALL  CLR_LCD3
      MOV   A,#00H
      CALL  BUZZ
      CALL  DELAY10ms
      CALL  BUZZ2
NO2:  SETB  LD2
      CLR   LD3
```

```
      CALL  TECLADOS
      SETB  LD3
      MOV   SP,SP-1
      CJNE  A,#0AH,NO1
      CALL  BUZZ
      LJMP  RETURN3
NO1:  CJNE  A,#0BH,NO2
      CALL  BUZZ
      CLR   FLAG.2
      LJMP  RETURN2
FINRET:     MOV   TH0,#0FFH
      MOV   TH0,#038H
      MOV   TL0,#00H
      RETI

PROG: CALL  DELAY10ms   ;inicialización de los LCD´s

      MOV   A,#038H
      MOV   R3,#10011111B
      CALL  COMANDO
      CALL  DELAY10ms

      CALL  COMANDO
      CALL  DELAY10ms

      CALL  COMANDO
      CALL  DELAY10ms

      MOV   A,#001H
      CALL  COMANDO

      MOV   A,#00FH
      CALL  COMANDO

      MOV   A,#01CH
      CALL  COMANDO

      MOV   A,#00CH
      CALL  COMANDO

      MOV   P3,#0FFH

      CLR   LD0
      CALL  SENSOR
      SETB  LD0


INI1: MOV   R0,#00H     ;Inicializo contador de clave inorrecta.

      SETB  FLAG.1      ;BANDERA PARA DESHABILITAR TECLA CANCEL
                  ;CUANDO SE INGRESA LA CLAVE
INI2: CLR   LD1
      CALL  CLAVE ;Rutina que sirve para ingresar la clave
      SETB  LD1   ;de usuario 1 2 3 4

RETURN11:   MOV   P3,#0FFH
      MOV   KEYF,#0FFH
      MOV   FLAG,#0FFH  ;FLAG = FFh

      CLR   FLAG.1
```

```
RETURN3:    JB    FLAG.3,REG1 ;CHEQUEO SI PROVIENE DE MENU PRINCIPAL
      JMP   RETURN3_1

REG1: JB    KEYF.1,REGRESO1   ;CHEQUEO SI PROVIENE DE TECLA CANCEL

RETURN3_1   MOV   A,#RETURN1 AND 0FFH
      PUSH  ACC
      MOV   A,#RETURN1/256
      PUSH  ACC

      RETI

REGRESO1:   JB    FLAG.4,REGRESO2   ;CHEQUEO SI PROVIENE DE SUB_RETIROS

      MOV   A,#SI_A AND 0FFH
      PUSH  ACC
      MOV   A,#SI_A/256
      PUSH  ACC

      RETI

REGRESO2:   JB    FLAG.5,REGRESO3   ;CHEQUEO SI PROVIENE DE SUB_DEPOSITOS

      MOV   A,#SI_B AND 0FFH
      PUSH  ACC
      MOV   A,#SI_B/256
      PUSH  ACC

      RETI

REGRESO3:   JB    FLAG.6,REGRESO4   ;CHEQUEO SI PROVIENE DE SUB_CONSULTAS

      MOV   A,#SI_C AND 0FFH
      PUSH  ACC
      MOV   A,#SI_C/256
      PUSH  ACC

      RETI

REGRESO4:   JB    FLAG.7,REGRESO6   ;CHEQUEO SI PROVIENE DE SUB_OTROS
SERVIC

      MOV   A,#SI_D AND 0FFH
      PUSH  ACC
      MOV   A,#SI_D/256
      PUSH  ACC

      RETI

REGRESO6:   JB    KEYF.3,RETURN1    ;CHEQUEO SI PROVIENE DE OTRA CANTIDAD

      MOV   A,#CA9 AND 0FFH
      PUSH  ACC
      MOV   A,#CA9/256
      PUSH  ACC

      RETI

RETURN1:    CALL  MNU_PRIN    ;Menu principal
```

```
      MOV   FLAG,#0FFH
      SETB  KEYF.1
      SETB  KEYF.3
      CLR   FLAG.3

OPCION:     CLR   LD2
      CLR   LD3

      CALL  TEC_FUNC    ;Espero por una tecla del Menú principal

      SETB  LD3
      SETB  LD2

      CLR   TR0
                  ;Selección de opciones del Menu Principal
      CJNE  A,#0AH,SIG1 ;Si es la tecla A o E entonces
      JMP   SI_A  ;tecla de RETIROS
SIG2_1      LJMP  SIG2

SIG1: CJNE  A,#0EH,SIG2_1
SI_A: MOV   R0,#021H    ;Indicativo para chequear centavos
      MOV   @R0,#01H

      MOV   FLAG,#0FFH
      SETB  KEYF.1
      SETB  KEYF.3
      CLR   FLAG.4

      CALL  SUB_RETI

CA8:  CLR   LD2
      CLR   LD3
      CALL  TEC_FUNC
      SETB  LD3
      SETB  LD2

      CLR   TR0

      ;OPCION RETIROS

      CALL  BUZZ
      CJNE  A,#0AH,CA1  ;TECLA $. 5,oo
      LJMP  MEN_FINAL

CA1:  CJNE  A,#0BH,CA2  ;TECLA $. 10,oo
      LJMP  MEN_FINAL

CA2:  CJNE  A,#0CH,CA3  ;TECLA $. 15,oo
      LJMP  MEN_FINAL

CA3:  CJNE  A,#0EH,CA4  ;TECLA $. 20,oo
      LJMP  MEN_FINAL

CA4:  CJNE  A,#0FH,CA5  ;TECLA $. 25,oo
      LJMP  MEN_FINAL

CA5:  CJNE  A,#010H,CA6 ;TECLA $. 50,oo
      LJMP  MEN_FINAL

CA6:  CJNE  A,#011H,CA7 ;TECLA $. 100,oo
```

```
      LJMP  MEN_FINAL

CA7:  CJNE  A,#0DH,CA8

CA9:  MOV   R0,#022H    ;SE INGRESA CANTIDADES CON O SIN CENTAVOS
      MOV   @R0,#00H
      INC   R0
      MOV   @R0,#00H
      INC   R0
      MOV   @R0,#00H
      INC   R0
      MOV   @R0,#00H
      INC   R0
      MOV   @R0,#00H

      MOV   DPTR,#CANT_DES    ;DIGITE LA CANTIDAD DESEADA
      MOV   R1,#11010000B     ;
      CALL  CLR_TODOS
      CALL  LCD_MSG

      MOV   DPTR,#CEROS ;Mensaje "$. 00,00"
      MOV   R1,#11010000B
      CALL  LCD_MSG

      CLR   KEYF.3
      MOV   FLAG,#0FFH
      CLR   FLAG.1
      SETB  KEYF.1
      CLR   LD1
      CALL  INTER

ES_CERO:    CALL  ESPERA      ;ESPERA POR UNA TECLA NUMERICA O CANCEL
      CLR   TR0

      MOV   R0,#022H    ;PARA PONER LA CANTIDAD DESEADA
      MOV   @R0,A ;GUARDO EL 1ER DIGITO

      CJNE  A,#00H,N_CERO
      JMP   ES_CERO

N_CERO:     MOV   A,#0D6H     ;COLOCO 1ER DIGITO EN ESTA POSICION

      CALL  PRIMERO     ;SACO 1ER DIGITO GUARDADO EN #022H

      MOV   DPTR,#CORREC      ;Mensaje "CORRECTO>"
      MOV   R1,#11000010B     ;
      CALL  LCD_MSG

      MOV   DPTR,#ERROR ;Mensaje "COMETI UN ERROR>"
      MOV   R1,#11001000B     ;
      CALL  LCD_MSG

      CLR   LD3

      CALL  CENTA
      CALL  BUZZ

      MOV   R0,#023H
      MOV   @R0,A
```

```
MOV   A,#0D5H
MOV   R0,#022H
CALL  PRIMERO

MOV   R0,#023H
MOV   A,#0D6H
CALL  PRIMERO

CALL  CENTA
CALL  BUZZ

MOV   R0,#024H
MOV   @R0,A

MOV   A,#0D3H
MOV   R0,#022H
CALL  PRIMERO

MOV   A,#0D5H
MOV   R0,#023H
CALL  PRIMERO
MOV   A,#0D6H
MOV   R0,#024H
CALL  PRIMERO

CALL  CENTA
CALL  BUZZ
MOV   R0,#025H
MOV   @R0,A

MOV   A,#0D2H
MOV   R0,#022H
CALL  PRIMERO

MOV   A,#0D3H
MOV   R0,#023H
CALL  PRIMERO

MOV   A,#0D5H
MOV   R0,#024H
CALL  PRIMERO

MOV   A,#0D6H
MOV   R0,#025H
CALL  PRIMERO

CALL  CENTA
CALL  BUZZ

MOV   R0,#026H
MOV   @R0,A

MOV   A,#0D1H
MOV   R0,#022H
CALL  PRIMERO

MOV   A,#0D2H
MOV   R0,#023H
CALL  PRIMERO
```

```
        MOV   A,#0D3H
        MOV   R0,#024H
        CALL  PRIMERO

        MOV   A,#0D5H
        MOV   R0,#025H
        CALL  PRIMERO

        MOV   A,#0D6H
        MOV   R0,#026H
        CALL  PRIMERO

        SETB  LD1

        CALL  TEC_FUNC
        CLR   TR0
        SETB  LD3

        CALL  CENTA1

        RET

CENTA:  CLR   KEYF.3
        MOV   FLAG,#0FFH
        SETB  KEYF.1

        CLR   FLAG.1

        CALL  INTER

        CALL  TECLADOS

        CLR   TR0

CENTA1: CJNE  A,#0AH,OP1
        CALL  CLR_LCD1
        CALL  CLR_LCD3
        SETB  LD3
        SETB  LD1
        CALL  BUZZ
        MOV   A,@R0
        DEC   R0
        ADD   A,@R0

        PUSH  ACC
        MOV   R1,#021H
        MOV   A,@R1
        CJNE  A,#01H,NO_CHEQ
        POP   ACC

        CJNE  A,#00H,OP4

NO_CHEQ:LJMP  MEN_FINAL

OP1:    CJNE  A,#0CH,OP3
        CALL  BUZZ
        POP   ACC
        POP   ACC
        SETB  LD3
        JMP   CA9
```

```
OP4:  MOV   DPTR,#CENTAVOS
      MOV   R1,#11010000B
      CALL  CLR_LCD4
      CALL  LCD_MSG
      CALL  DELAY
      CALL  DELAY
      POP   ACC
      POP   ACC
      JMP   CA9

OP3:  CJNE  A,#0BH,OP5
      JMP   CENTA
OP5:  CJNE  A,#0DH,OP6
      JMP   CENTA
OP6:  CJNE  A,#0EH,OP7
      JMP   CENTA
OP7:  CJNE  A,#0FH,OP8
      JMP   CENTA
OP8   CJNE  A,#010H,OP9
      JMP   CENTA
OP9   CJNE  A,#011H,OP10
      JMP   CENTA
OP10: CJNE  A,#012H,OP11
      JMP   OP12
OP11: CJNE  A,#013H,OP13
OP12: POP   ACC
      POP   ACC
      JMP   TEC_CAN

OP13: RET

SIG2: CJNE  A,#0BH,SIG3
      JMP   SI_B
SIG3  CJNE  A,#0FH,SIG4
SI_B: MOV   R0,#021H    ;Indicativo para no chequear centavos
      MOV   @R0,#02H

      MOV   FLAG,#0FFH
      SETB  KEYF.1
      SETB  KEYF.3
      CLR   FLAG.5

      CALL  BUZZ
      JMP   CA9

SIG6_1:     LJMP  SIG6

SIG4: CJNE  A,#0CH,SIG5 ;Si es la tecla C o G entonces
      JMP   SI_C
SIG5  CJNE  A,#010H,SIG6_1
SI_C: CALL  SUB_CONSUL  ;tecla de CONSULTAS

      MOV   FLAG,#0FFH
      SETB  KEYF.1
      SETB  KEYF.3
      CLR   FLAG.6

      CLR   LD3
      CALL  TEC_FUNC
```

```
      SETB  LD3

      CLR   TR0

;OPCION CONSULTAS

OPC_CON:    CJNE  A,#0AH,CON1
      MOV   B,#01H      ;INDICATIVO DE CONSULTA VISUAL
      JMP   CON2
CON1: CJNE  A,#0BH,CON3
      MOV   B,#00H      ;INCIDATIVO DE CONSULTA IMPRESA
CON2: CALL  BUZZ
      CALL  CLR_TODOS
      MOV   DPTR,#PROCES
      MOV   R1,#11010000B
      CALL  LCD_MSG

      CALL  DELAY
      CALL  DELAY

      MOV   A,B
      CJNE  A,#01H,IMPRESA    ;SI SE SELECCIONO UNA CONSULTA IMPRESA
                  ;SE IMPRIME EL SALDO
      MOV   DPTR,#VISUAL
      MOV   R1,#11010000B
      CALL  CLR_LCD4
      CALL  LCD_MSG

      CALL  DELAY
      CALL  DELAY
      CALL  DELAY

      JMP   MEN_FIN1

IMPRESA:    CLR   LD4
      MOV   DPTR,#SALDO
      MOV   R1,#11010000B
      CALL  CLR_LCD4
      CALL  LCD_MSG

      CALL  DELAY
      CALL  DELAY
      SETB  LD4
      JMP   MEN_FIN1

CON3: CJNE  A,#0DH,CON4
      CALL  BUZZ
      JMP   RETURN11

CON4: CLR   LD3
      CALL  TEC_FUNC
      SETB  LD3
      CLR   TR0
      JMP   OPC_CON

OPCION1:    LJMP  OPCION

SIG6  CJNE  A,#0DH,OPCION1    ;Si es la tecla D entonces
                  ;tecla OTROS SERVICIOS
SI_D: MOV   FLAG,#0FFH
```

```
        SETB  KEYF.1
        SETB  KEYF.3
        CLR   FLAG.7

        CALL  SUB_OTRO

        CLR   LD2
        CLR   LD3
        CALL  TEC_FUNC
        SETB  LD3

        CLR   TR0

        MOV   R0,#021H    ;Indicativo para no chequear centavos
        MOV   @R0,#02H

OPC_OTR:    CJNE  A,#0AH,PREPAGO
        CALL  BUZZ
        SETB  LD2
        MOV   DPTR,#TRANSF
        CALL  CLR_TODOS
        MOV   R1,#11010000B
        CALL  LCD_MSG

        MOV   DPTR,#TRANF1
        MOV   R1,#11000010B
        CALL  LCD_MSG

        MOV   DPTR,#TRANF3
        MOV   R1,#11000001B
        CALL  LCD_MSG

        MOV   FLAG,#0FFH
        SETB  KEYF.1
        SETB  KEYF.3
        CLR   FLAG.7


TRAN1:      CLR   LD2
        CLR   LD3
        CALL  TEC_FUNC
        SETB  LD3
        SETB  LD2
        CLR   TR0

        CJNE  A,#0AH,CORR_AH
        CALL  BUZZ
        JMP   CA9
CORR_AH:    CJNE  A,#0EH,TRAN1
        CALL  BUZZ
        JMP   CA9

PREPAGO:    CJNE  A,#0BH,SER_PUB

        MOV   FLAG,#0FFH
        SETB  KEYF.1
        SETB  KEYF.3
        CLR   FLAG.7

        CALL  BUZZ
```

```
        MOV   DPTR,#TAR_PRE
        MOV   R1,#11010000B
        CALL  CLR_TODOS
        CALL  LCD_MSG

        MOV   DPTR,#BELL_S
        MOV   R1,#11000010B
        CALL  LCD_MSG

        MOV   DPTR,#FASTER
        MOV   R1,#11001000B
        CALL  LCD_MSG

PRE4:   SETB  LD2
        CLR   LD3
        CALL  TEC_FUNC
        SETB  LD3
        CLR   TR0

        CJNE  A,#0AH,PRE1
        JMP   PRE2
PRE1:   CJNE  A,#0CH,PRE4
PRE2:   CALL  BUZZ
        CLR   LD4
        MOV   DPTR,#EL_NUM
        MOV   R1,#11010000B
        CALL  LCD_MSG
        CALL  CLR_LCD1
        CALL  CLR_LCD3
        CALL  DELAY
        CALL  DELAY
        CALL  CLR_TODOS
        SETB  LD4
        JMP   MEN_FIN1

SER_PUB:    CJNE  A,#0EH,OTR1

        SETB  LD2

        MOV   FLAG,#0FFH
        SETB  KEYF.1
        SETB  KEYF.3
        CLR   FLAG.7

        CALL  BUZZ
        MOV   DPTR,#PAGOS
        MOV   R1,#11010000B
        CALL  CLR_LCD4
        CALL  LCD_MSG

        MOV   DPTR,#PAGOS1
        MOV   R1,#11000010B
        CALL  CLR_LCD1
        CALL  LCD_MSG

        MOV   DPTR,#PAGOS3
        MOV   R1,#11001000B
        CALL  CLR_LCD3
        CALL  LCD_MSG
```

```
        CALL   CLR_LCD0
        CALL   CLR_LCD2

PRE6:   CLR    LD3
        CALL   TEC_FUNC
        CLR    TR0

        CJNE   A,#0AH,AGUA
LUZ:    CALL   BUZZ
        SETB   LD3
        MOV    R0,#021H
        MOV    @R0,#02H
        JMP    CA9
AGUA:   CJNE   A,#0BH,TELEF
        CALL   BUZZ
        SETB   LD3
        JMP    CA9
TELEF:  CJNE   A,#0CH,PRE6
        CALL   BUZZ
        SETB   LD3
        JMP    CA9

OTR1:   CJNE   A,#0CH,OTR2
        CALL   BUZZ
        JMP    RETURN11

OTR2:   CLR    LD3
        CALL   TEC_FUNC
        SETB   LD3
        CLR    TR0
        JMP    OPC_OTR

PRIMERO:    CALL   COMANDO
        MOV    A,@R0
        MOV    R1,#11010000B      ;
        CJNE   A,#00H,NO_CERO
        MOV    A,#"0"
        CALL   DATO
        RET

NO_CERO:    MOV    DPTR,#NUMEROS-1
        MOVC   A,@A+DPTR
        CALL   DATO
        RET


CLAVE:      CALL   CLR_LCD0
        CALL   CLR_LCD1
        CALL   CLR_LCD2
        CALL   CLR_LCD3
        CALL   CLR_LCD4

        MOV    DPTR,#ING_CLAVE
        MOV    R1,#11010000B
        CALL   LCD_MSG
        MOV    R1,#022H
        MOV    R2,#00H
        MOV    R7,#0C3H

CLAVE1:     INC    R1
```

```
        INC   R2
        INC   R7

        MOV   A,R7
        PUSH  ACC

        CALL  ESPERA

        MOV   @R1,A

        POP   ACC
        MOV   R7,A

        MOV   B,R1

        MOV   R1,#11000010B
        MOV   A,R7
        CALL  COMANDO
        MOV   A,#"X"
        CALL  DATO

        MOV   R1,B

        CJNE  R2,#04H,CLAVE1

        MOV   R1,#023H
        MOV   A,@R1
        CJNE  A,#01H,INTENTOS

        MOV   R1,#024H
        MOV   A,@R1
        CJNE  A,#02H,INTENTOS

        MOV   R1,#025H
        MOV   A,@R1
        CJNE  A,#03H,INTENTOS

        MOV   R1,#026H
        MOV   A,@R1
        CJNE  A,#04H,INTENTOS

RET:    RET

NO:     JMP   INI2

INTENTOS:   CALL  CLR_LCD0
        INC   R0
        MOV   A,R0
        CJNE  A,#04H,NO
        SETB  LD1
        MOV   DPTR,#IN_COR
        MOV   R1,#11010000B
        CALL  CLR_LCD4
        CALL  LCD_MSG
        CALL  DELAY
        CALL  DELAY
        JMP   RETURN2

SENSOR:     PUSH  DPH   ;Espera hasta que el sensor sea accionado
        PUSH  DPL   ;por la tarjeta de pruebas.
```

```
      PUSH  ACC
SENSOR1:    MOV   DPTR,#MSGPRIN
      MOV   R1,#11010000B
      CALL  CLR_LCD4
      CALL  LCD_MSG
      CALL  DELAY
      CALL  DELAY

      MOV   DPTR,#MSGPRIN1
      MOV   R1,#11010000B
      CALL  CLR_LCD4
      CALL  LCD_MSG

      CALL  DELAY
      CALL  DELAY

CHK_SEN:    MOV   DPTR,#T_NUM_Fn
      MOVX  A,@DPTR
      CJNE  A,#0FFH,SENSOR1
      POP   ACC
      POP   DPL
      POP   DPH
      RET

MEN_FINAL:  MOV   DPTR,#PROCES      ;"ESTAMOS PROCESANDO SU TRANSACCION"
      MOV   R1,#11010000B     ;"POR FAVOR ESPERE", "FAVOR RETIRE SU
DINERO"
                  ;"NO OLVIDE RETIRAR SU RECIBO",
      CALL  CLR_LCD4    ;"GRACIAS POR USAR SU CAJERO"
      CALL  LCD_MSG

      CALL  CLR_LCD0
      CALL  CLR_LCD1
      CALL  CLR_LCD2
      CALL  CLR_LCD3
      CALL  DELAY
      CALL  DELAY

      MOV   DPTR,#TOME
      MOV   R1,#11010000B
      CALL  CLR_LCD4
      CALL  LCD_MSG

      CLR   LD4
      CALL  DELAY
      CALL  DELAY

MEN_FIN1:   MOV   DPTR,#CANCEL
      CALL  CLR_LCD4
      MOV   R1,#11010000B
      CALL  LCD_MSG

      MOV   DPTR,#SI_NO
      CALL  CLR_LCD1
      MOV   R1,#11000010B
      CALL  LCD_MSG

MEN2: CLR   LD3
      CALL  TEC_FUNC
      SETB  LD4
```

```
      CLR   TR0

      CJNE  A,#0AH,MEN1
      CALL  BUZZ
      SETB  LD3

      LJMP  RETURN11

MEN1: CJNE  A,#0BH,MEN2
      CALL  BUZZ
      SETB  LD3

      SETB  FLAG.2
      SETB  KEYF.1

RETURN4:    JB    FLAG.2,RETURN5
      MOV   A,#RETURN2 AND 0FFH
      PUSH  ACC
      MOV   A,#RETURN2/256
      PUSH  ACC
      RETI

RETURN5:    JB    KEYF.1,RETURN2
      MOV   A,#RETURN2 AND 0FFH
      PUSH  ACC
      MOV   A,#RETURN2/256
      PUSH  ACC
      RETI

RETURN2:    CALL  CLR_LCD1
      MOV   DPTR,#GRACIAS
      CALL  CLR_LCD4
      MOV   R1,#11010000B
      CALL  LCD_MSG

      CALL  DELAY
      CALL  DELAY

      MOV   DPTR,#RET_TAR
      CALL  CLR_LCD4
      MOV   R1,#11010000B
      CALL  LCD_MSG

      CLR   LD0


VAR3: MOV   R0,#00H
VAR2: CLR   LD0
      CJNE  R0,#06H,VAR1

      PUSH  DPH   ;Chequeo estado de sensor
      PUSH  DPL   ;si está con tarjeta de prueba
      PUSH  ACC   ;siga con alarma caso contrario
      MOV   DPTR,#T_NUM_Fn    ;termina transacción.
      MOVX  A,@DPTR
      CJNE  A,#0FFH,VAR4
      POP   ACC
      POP   DPL
      POP   DPH
```

```
      JMP   VAR3
VAR4: MOV   SP,#07H
      LJMP  INI11
VAR1: INC   R0    ;alarma
      MOV   A,#00H
      CALL  BUZZ2
      JMP   VAR2

BUZZ2:      CJNE  A,#07H,BUZZ1
      JMP   BUZZ3
BUZZ1:      INC   A
      CALL  BUZZ
      SETB  LD0
      JMP   BUZZ2

BUZZ3:      MOV   A,#00H
DEL2: CJNE  A,#09H,DEL1
      RET

DEL1: INC   A
      CALL  DELAY10ms
      JMP   DEL2

SUB_RETI:   CALL  BUZZ
      MOV   DPTR,#SUB_RET     ;$. 5.oo Y $. 10,OO
      MOV   R1,#11000010B
      CALL  CLR_LCD1
      CALL  LCD_MSG

      MOV   DPTR,#SUB_RET1    ;$. 15.oo y OTRA CANTIDAD
      MOV   R1,#11001000B
      CALL  CLR_LCD3
      CALL  LCD_MSG

      MOV   DPTR,#SUB_RET2    ;$. 20,oo y $. 25,oo
      MOV   R1,#11000001B
      CALL  CLR_LCD0
      CALL  LCD_MSG

      MOV   DPTR,#SUB_RET3    ;$. 50,oo y $. 100,oo
      MOV   R1,#11000100B
      CALL  CLR_LCD2
      CALL  LCD_MSG

      MOV   DPTR,#S_RETIROS
      MOV   R1,#11010000B
      CALL  CLR_LCD4
      CALL  LCD_MSG


      MOV   DPTR,#PRESS ;Mensaje en LCD principal (4)
      MOV   R1,#11010000B     ;PRESIONE UNA TECLA PARA SELECCIONAR
      CALL  LCD_MSG

      RET

SUB_DEP:    CALL  BUZZ

      MOV   DPTR,#DEPOSIT
      MOV   R1,#11010000B
```

```
        CALL  CLR_LCD4
        CALL  LCD_MSG

        MOV   DPTR,#DEPOSIT1
        MOV   R1,#11000010B
        CALL  CLR_LCD1
        CALL  LCD_MSG

        MOV   DPTR,#CONSUL3
        MOV   R1,#11001000B
        CALL  CLR_LCD3
        CALL  LCD_MSG

        CALL  CLR_LCD0
        CALL  CLR_LCD2

        RET

SUB_CONSUL: CALL  BUZZ
        MOV   DPTR,#CONSULTAS
        MOV   R1,#11010000B
        CALL  CLR_LCD4
        CALL  LCD_MSG

        CALL  CLR_LCD0

        MOV   DPTR,#CONSUL1
        MOV   R1,#11000010B
        CALL  CLR_LCD1
        CALL  LCD_MSG

        CALL  CLR_LCD2

        MOV   DPTR,#CONSUL3
        MOV   R1,#11001000B
        CALL  CLR_LCD3
        CALL  LCD_MSG

        RET

SUB_OTRO:   CALL  BUZZ

        MOV   DPTR,#OT_SER
        MOV   R1,#11010000B
        CALL  CLR_LCD4
        CALL  LCD_MSG

        MOV   DPTR,#OT_SER1
        MOV   R1,#11000001B
        CALL  CLR_LCD0
        CALL  LCD_MSG

        MOV   DPTR,#OT_SER2
        MOV   R1,#11000010B
        CALL  CLR_LCD1
        CALL  LCD_MSG

        CALL  CLR_LCD2

        MOV   DPTR,#DEPOSIT3
```

```
      MOV   R1,#11001000B
      CALL  CLR_LCD3
      CALL  LCD_MSG

      RET

CLR_TODOS:  CALL  CLR_LCD0
            CALL  CLR_LCD1
            CALL  CLR_LCD2
            CALL  CLR_LCD3
            CALL  CLR_LCD4
            RET

TEC_FUNC:   CALL  INTER

      CALL  TECLADOS
      CJNE  A,#0AH,TEC1
      RET
TEC1: CJNE  A,#0BH,TEC2
      RET
TEC2: CJNE  A,#0CH,TEC3
      RET
TEC3: CJNE  A,#0DH,TEC4
      RET
TEC4: CJNE  A,#0EH,TEC5
      RET
TEC5: CJNE  A,#0FH,TEC6
      RET
TEC6: CJNE  A,#010H,TEC7
      RET
TEC7: CJNE  A,#011H,TEC8
      RET
TEC8: CJNE  A,#012H,TEC9
      POP   ACC
      POP   ACC
      JMP   TEC_CAN

TEC9: CJNE  A,#013H,TEC_FUNC
      POP   ACC
      POP   ACC
      JMP   TEC_CAN

MNU_PRIN:   MOV   DPTR,#MENUPRIN
      MOV   R1,#11010000B
      CALL  CLR_LCD4
      CALL  LCD_MSG

      MOV   DPTR,#SUB_RET4
      MOV   R1,#11010000B
      CALL  LCD_MSG

      MOV   DPTR,#RETIROS
      MOV   R1,#11000010B
      CALL  CLR_LCD1
      CALL  LCD_MSG

      MOV   DPTR,#CONSULTA
      MOV   R1,#11001000B
      CALL  CLR_LCD3
      CALL  LCD_MSG
```

```
      MOV   DPTR,#RETIROS1
      MOV   R1,#11000001B
      CALL  CLR_LCD0
      CALL  LCD_MSG

      MOV   DPTR,#CONSULT1
      MOV   R1,#11000100B
      CALL  CLR_LCD2
      CALL  LCD_MSG

      RET


TEC_CAN:    CALL  BUZZ
      MOV   DPTR,#CANCEL
      MOV   R1,#11010000B
      CALL  CLR_LCD4
      CALL  LCD_MSG

      MOV   DPTR,#SI_NO
      MOV   R1,#11000010B
      CALL  CLR_LCD1
      CALL  LCD_MSG

      CALL  CLR_LCD0
      CALL  CLR_LCD2
      CALL  CLR_LCD3
CAN3: MOV   P3,#0FFH
      CLR   LD3
      CALL  TEC_FUNC
      SETB  LD3
      SETB  LD2

      CLR   TR0

      CJNE  A,#0AH,CAN1
      CALL  BUZZ

      MOV   FLAG,#0FFH
      SETB  KEYF.3
      CLR   KEYF.1
      LJMP  RETURN11
CAN1: CJNE  A,#0BH,CAN3
      CALL  BUZZ
      LJMP  RETURN2

INTER:      MOV   B,#0AAH
      MOV   TMOD,#01H
      MOV   TH0,#038H
      MOV   TL0,#00H
      MOV   IE,#82H
      CLR   FLAG.0
      SETB  TR0
      RET

ESPERA:     CALL  TECLADOS
      CJNE  A,#012H,TEC_CAN2
      JB    FLAG.1,ESPERA
      JMP   TEC_CAN
```

```
TEC_CAN2:   CJNE  A,#013H,CHK_TEC
      JB    FLAG.1,ESPERA
      JMP   TEC_CAN

CHK_TEC:    CJNE  A,#0AH,CHECK

CHECK:      JC    PROCESO1
      JMP   ESPERA

PROCESO1:   CALL  BUZZ

      RET

BUZZ: CLR   BZ
      LCALL DELAY10ms
      LCALL DELAY10ms
      LCALL DELAY10ms
      SETB  BZ
      RET

      ;     BARRIDO DE TECLADO NUMERICO

TECLADOS:   MOV   R6,#05H     ;Contador de columnas.
      MOV   R5,#0FBH    ;Roto a la der. y tengo 0F7H

LAZO1:      MOV   A,R5
      RL    A     ;Rotación a la der. del Acc
      MOV   R5,A
      MOV   DPTR,#T_NUM_Cn
      MOVX  @DPTR,A
      MOV   DPTR,#T_NUM_Fn
      MOVX  A,@DPTR
      CJNE  A,#0FFH,SITECLA
      DJNZ  R6,LAZO1
      CLR   KEYF.0
      SJMP  TECLADOS

SITECLA:    CLR   TF0
      JNB   KEYF.0,DECODER
      SJMP  TECLADOS
DECODER:    MOV   R7,#04      ;Contador de filas
      SETB  KEYF.0
      SETB  C
LAZO2:      RRC   A
      JNC   DECFIL
      DJNZ  R7,LAZO2
DECFIL:     MOV   A,#04
      CLR   C
      SUBB  A,R7

      ;QUE FILA CORRESPONDE A LA TECLA PRESIONADA ?
      MOV   B,#05
      MUL   AB
      ADD   A,#01
      MOV   R4,A

      ;QUE COLUMNA CORRESPONDE A LA TECLA PRESIONADA ?

      MOV   A,#05
```

```
        CLR   C
        SUBB  A,R6
        ADD   A,R4

        ;LA TECLA PRESIONADA A QUE CODIGO HEX. ES IGUAL ?

        MOV   DPTR,#DEC_HEX-1
        MOVC  A,@A+DPTR
        RET


LCD_MSG:    CLR   A
        MOVC  A,@A+DPTR
        INC   DPTR
        JZ    LCD_MSG9

        CJNE  A,#001H,LCD_MSG1
        CALL  COMANDO

        JMP   LCD_MSG


LCD_MSG1:   CJNE  A,#080H,$+3
        JC    LCD_MSG_DATA
        CALL  COMANDO
        JMP   LCD_MSG

LCD_MSG_DATA:     CALL  DATO
        JMP   LCD_MSG
LCD_MSG9:   RET


DATO:  PUSH  DPH
        PUSH  DPL

        MOV   P1,A
        MOV   DPTR,#SE_CON
        MOV   A,R1
        MOVX  @DPTR,A

        NOP
        NOP

        MOV   DPTR,#SE_CON
        MOV   A,#11000000B
        MOVX  @DPTR,A

        POP   DPL
        POP   DPH

        CALL  LCD_BUSY
        RET

COMANDO:    PUSH  DPH
        PUSH  DPL
        MOV   P1,A
        NOP

        MOV   DPTR,#SE_CON
        MOV   A,R3
```

```
      MOVX  @DPTR,A

      NOP
      NOP

      MOV   DPTR,#SE_CON
      MOV   A,#10000000B
      MOVX  @DPTR,A

      CALL  LCD_BUSY
      POP   DPL
      POP   DPH
      RET

LCD_BUSY:   PUSH  DPH
      PUSH  DPL

      MOV   DPTR,#SE_CON
      MOV   A,#10100000B
      MOVX  @DPTR,A
                  ;ASEGURO QUE LOS LCD´s NO ESTÉN SELECCIONADOS
      SETB  P1.7  ;ASEGURO QUE bit 7 ESTE EN 1L

                  ;OPERACION DE LECTURA ESTA LISTA

      MOV   DPTR,#SE_CON      ;SELECCIONO PARA COMANDO
      MOV   A,#10100000B
      MOVX  @DPTR,A

LB1:  MOV   DPTR,#SE_CON      ;DESHABILITO LCD´s
      MOV   A,#10100000B
      MOVX  @DPTR,A

      MOV   DPTR,#SE_CON      ;SELECCIONO LCD´s PARA LECTURA
      MOV   A,#10111111B
      MOVX  @DPTR,A

      JB    P1.7,LB1    ;ESTA P1.7 EN 1L ?, SINO SALTAR PARA CHEQUEO

      MOV   DPTR,#SE_CON      ;SI NO ESTÁ OCUPADO ENTONCES DESHABILITO
LCD´s
      MOV   A,#10100000B
      MOVX  @DPTR,A

      POP   DPL
      POP   DPH
      RET

CLR_LCD0:   MOV   R3,#10000001B     ;BORRAR LCD 0
      MOV   A,#001H
      CALL  COMANDO
      CALL  DELAY10ms
      RET

CLR_LCD1:   MOV   R3,#10000010B     ;BORRAR LCD 1
      MOV   A,#001H
      CALL  COMANDO
      CALL  DELAY10ms
      RET
```

```
CLR_LCD2:   MOV   R3,#10000100B     ;BORRAR LCD 2
      MOV   A,#001H
      CALL  COMANDO
      CALL  DELAY10ms
      RET

CLR_LCD3:   MOV   R3,#10001000B     ;BORRAR LCD 3
      MOV   A,#001H
      CALL  COMANDO
      CALL  DELAY10ms
      RET

CLR_LCD4:   MOV   R3,#10010000B     ;BORRAR LCD 4
      MOV   A,#001H
      CALL  COMANDO
      CALL  DELAY10ms
      RET


DELAY:      PUSH  ACC
      PUSH  B
      PUSH  DPH
      PUSH  DPL
      MOV   B,#0AFH
REPIT:      MOV   TCON,#00H
      MOV   TMOD,#0010000B
      MOV   TH1,#0E8H
      SETB  TCON.6
WAIT: JNB   TCON.7,WAIT
      CLR   TCON.7
      CLR   TCON.6
      MOV   TL1,#00H
      DJNZ  B,REPIT
      POP   DPL
      POP   DPH
      POP   B
      POP   ACC
      RET

DELAY10ms:  PUSH  ACC
      PUSH  B
      PUSH  DPH
      PUSH  DPL
      MOV   B,#02H
REPIT1:     MOV   TCON,#00H
      MOV   TMOD,#0010000B
      MOV   TH1,#0E8H
      SETB  TCON.6
WAIT1:      JNB   TCON.7,WAIT1
      CLR   TCON.7
      CLR   TCON.6
      MOV   TL1,#00H
      DJNZ  B,REPIT1
      POP   DPL
      POP   DPH
      POP   B
      POP   ACC
      RET
```

```
;definición de mensajes utilizados.


DEC_HEX:    DB
      01H,02H,03H,0AH,0EH,04H,05H,06H,0BH,0FH,07H,08H,09H,0CH,10H,00H,12H
,13H,0DH,11H

MSGPRIN:    DB    085H,"- BIENVENIDO  A  BANCOMATICO -",0C5H,"CIRRUS +
            CASH + BANRED + VISA",000H

MSGPRIN1:   DB    0C2H,"INSERTE SU TARJETA SI DESEA SERVICIO",000H
MSGB: DB    083H,"D E S E A    C O N T I N U A R  ??",000H
CORRECTA:   DB    084H,"C L A V E        C O R R E C T A",000H
IN_COR:     DB    084H,"C L A V E      I N C O R R E C T A",000H
CANCEL:     DB    080H," DESEA  REALIZAR  OTRA  TRANSACCION  ??",000H
RETIROS:    DB    087H,"RETIROS >",0C6H,"DEPOSITOS>",000H
CONSULTA:   DB    086H,"CONSULTAS >",0C0H,"OTROS SERVICIOS>",000H
RETIROS1:   DB    080H,"< RETIROS",0C0H,"< DEPOSITOS",000H
CONSULT1:   DB    080H,"< CONSULTAS",000H
SUB_RET:    DB    084H,"5  DOLARES >",0C4H,"10 DOLARES >",000H
SUB_RET1:   DB    084H,"15 DOLARES >",0C1H,"OTRA CANTIDAD >",000H
SUB_RET2:   DB    080H,"< 20  DOLARES",0C0H,"< 25  DOLARES",000H
SUB_RET3:   DB    080H,"< 50  DOLARES",0C0H,"< 100 DOLARES",000H
SUB_RET4:   DB    0C0H,"CUENTA DE AHORROS       CUENTA CORRIENTE",000H
MAS_TIME:   DB    080H,"N E C E S I T A   M A S   T I E M P O ??",000H
GRACIAS:    DB    084H,"G R A C I A S    P O R   U S A R",0C7H,"S  U    C
            A  J  E  R  O",000H

SI_NO:      DB    08CH,"SI >",0CCH,"NO >",000H
DEPOSIT:    DB    083H,"S U B M E N U    D E P O S I T O S",000H
PRESS:      DB    0C2H,"PRESIONE UNA TECLA  PARA SELECCIONAR",000H
DEPOSIT1:   DB    080H,"EN CTA CORRIENT>",0C0H,"EN CTA AHORROS >",000H
DEPOSIT3:   DB    080H,"MENU PRINCIPAL >",000H
CONSULTAS:  DB    083H,"S U B M E N U    C O N S U L T A S",000H
S_RETIROS   DB    085H,"S U B M E N U    R E T I R O S",000H
CONSUL1:    DB    080H,"CONSULTA VISUAL>",0C0H,"CONSULTA IMPRES>",000H
CONSUL3:    DB    0C0H,"MENU PRINCIPAL >",000H
OT_SER:     DB    08DH,"S U B M E N U",0CBH,"OTROS   SERVICIOS",000H
OT_SER1:    DB    080H,"< PAGOS",000H
OT_SER2:    DB    081H,"TRANSFERENCIAS>",0C0H,"TARJETA PREPAGO>",000H
TRANSF:     DB    089H,"SUBMENU   TRANSFERENCIAS",000H
TRANF1:     DB    080H,"AHORRO-CORRIENT>",000H
TRANF3:     DB    080H,"<CORRIENT-AHORRO",000H
PAGOS:      DB    087H,"S U B M E N U     P A G O S",000H
PAGOS1:     DB    086H,"TELEFONO >",0CAH,"AGUA >",000H
PAGOS3:     DB    08BH,"LUZ >",000H
CEROS:      DB    0CFH,"$. 00,00",000H
NUMEROS:    DB    "1","2","3","4","5","6","7","8","9","0"
PROCES:     DB    088H,"E S P E R E   S E  E S T A",0C5H,"PROCESANDO   SU
            TRANSACCION",000H

CANT_DES:   DB    082H," D I G I T E   L A  C A N T I D A D",000H
ERROR:      DB    080H,"COMETI UN ERROR>",000H
CORREC:     DB    0C6H,"CORRECTO >",000H
ING_CLAVE   DB    0C6H,"INGRESE  SU  NUMERO  SECRETO",000H
RET_TAR:    DB    0C4H,"R E T I R E  S U   T A R J E T A",000H
VISUAL:     DB    084H,"C O N S U L T A      V I S U A L",0C2H,"D  I  S
            P  O  N  I  B  L  E   xx.xx",000H
```

```
SALDO:      DB    084H,"S U    S A L D O    H A    S I D O",0C6H,"IMPRESO
            EN  EL  COMPROBANTE",000H

TOME:       DB    0C3H,"!!  T O M E   S U   R E C I B O ¡¡",000H
TAR_PRE:    DB    08AH,"TARJETA DE PREPAGO",000H
BELL_S:     DB    084H,"BELL SOUTH >",000H
FASTER:     DB    088H,"FASTER >",000H
EL_NUM:     DB    080H,"E L  N U M E R O  E S T A   S I E N D
            O",0C6H,"IMPRESO  EN  EL  COMPROBANTE",000H

CENTAVOS:   DB    084H,"INGRESAR CANTIDADES SIN CENTAVOS",000H
MENUPRIN:   DB    087H,"M E N U    P R I N C I P A L",000H

      SJMP  $     ;Fin del Programa Principal
;

      END   ;Fin del Módulo Fuente
```

CAPITULO 5

CONSTRUCCIÓN DEL EQUIPO

5.1. CONSTRUCCION DEL EQUIPO DE INSTRUCCION

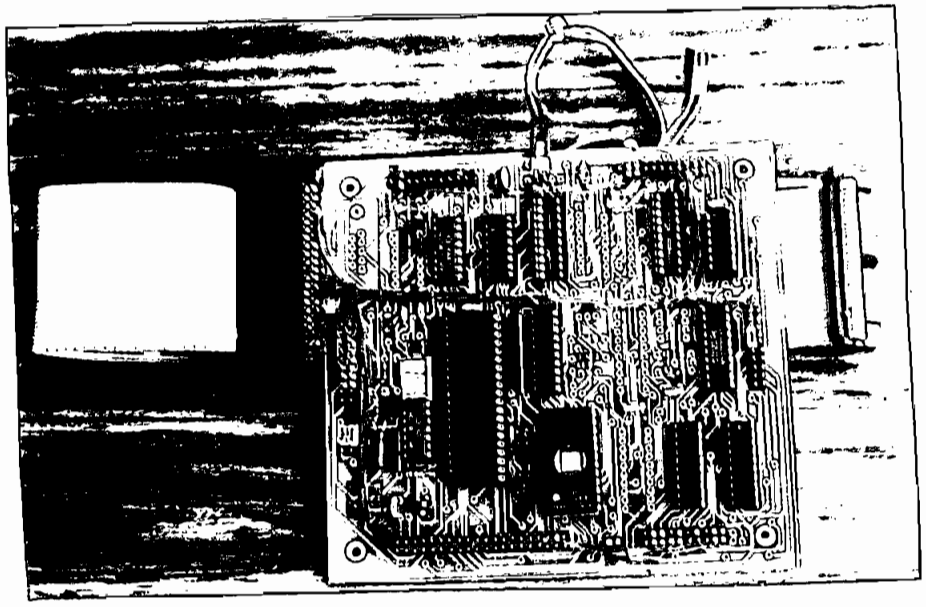
El hardware del equipo de instrucción está basado en circuitería del microprocesador de la familia MCS-51 , consta de tres placas:

1. Placa Principal, tarjeta MCDP51DA.
2. Placa de interfaz de usuario.
3. Placa de Fuente de alimentación.

La utilización y distribución de estas tres placas es con el objetivo de tener un equipo modular para poder realizar diagnósticos y repararlas en caso de falla.

Por otra parte todas las placas por tener conectores y estar unidas por cables, se las puede sacar independientemente sin tener que desoldar cables de las placas de circuito impreso, lo cual facilita cuando se requiera cambiarlas o modificar una de ellas.

5.1.1 PLACA PRINCIPAL MCDPD51DA.



Fotografía 5.1. Tarjeta Principal MCPD51DA.

Esta es la placa principal del equipo o la tarjeta base **MCPD51DA**, con un conector adicional para datos y señales de control. Consta de un cable de datos de 40 pines.

Esta placa se puede apreciar en la fotografía 5.1

5.1.2. PLACA DEL CIRCUITO INTERFAZ DE USUARIO.

En esta placa se encuentra todos los circuitos y conexiones que servirán para los teclados, LCD´s, LED´s, BUZZER y señales de control que provienen de la placa principal mediante el cable de datos de 40 pines al conector JP5_USUARIO (conector en color blanco),

DESCRIPCIÓN DE CONECTORES

- 1 Conector de 40 pines, color blanco, JP5_USUARIO.

- 5 Conectores 7x2, de color negro, estos tienen 14 pines cada uno, figura 5.2.

  JP0 LCD0
  JP1,LCD1
  JP2,LCD2
  JP3 LCD 3, de funciones; y,
  JP4 LCD 4 principal.

- Dos potenciómetros, color blancos, para regular el contraste de los LCD´s, POT 1 para contraste LCD0 a LCD3 y POT2 para contraste del LCD4.

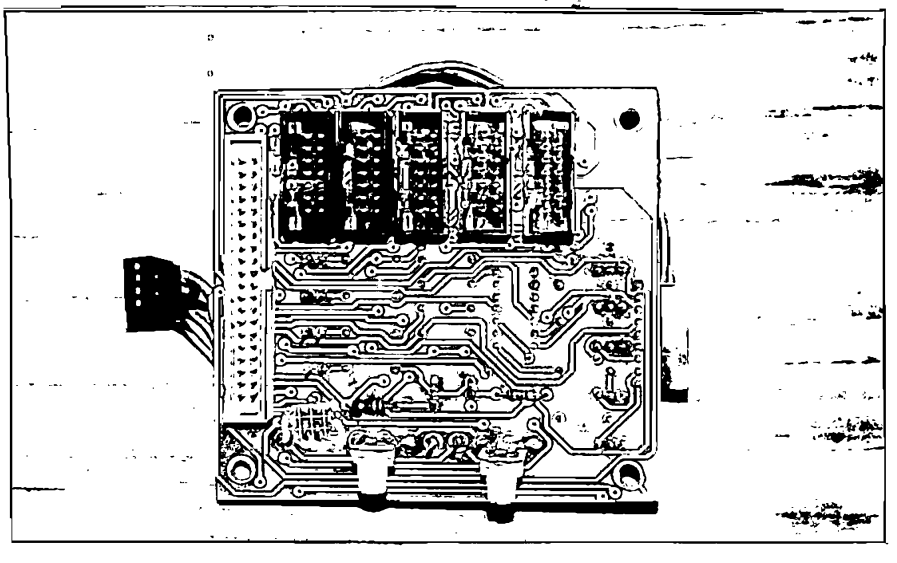
- Conectores de dos pines: 1 para BUZZER y 5 para los LED´s de señalización, JP9 al JP14, de 2 pines, para salida de señalización sonora y luminosa.

  JP9, LED ranura de tarjeta.
  JP10, LED teclado numérico.
  JP11, LED teclado de funciones derecho.
  JP12, LED teclado de funciones izquierdo.
  JP13, LED ranura de recibos.
  JP14, BUZZER

- Conector JP15, de 9 pines en línea para teclados numérico y de funciones izquierdo y derecho

- Conector de tres pines en línea, para la alimentación +/- 5 V y GND.

Esta placa se puede apreciar en la fotografía 5.2.



Fotografía 5.2 Placa del circuito para Interfaz de Usuario.

5.1.3. PLACA DEL CIRCUITO DE LA FUENTE DE ALIMENTACIÓN.

La fuente de alimentación consta de dos voltajes, + 5 V y – 5 V y referencia GND. El voltaje positivo se lo utiliza para alimentar a las placas principal y de usuario, el voltaje negativo se lo utiliza para el control de contraste de los LCD´s.

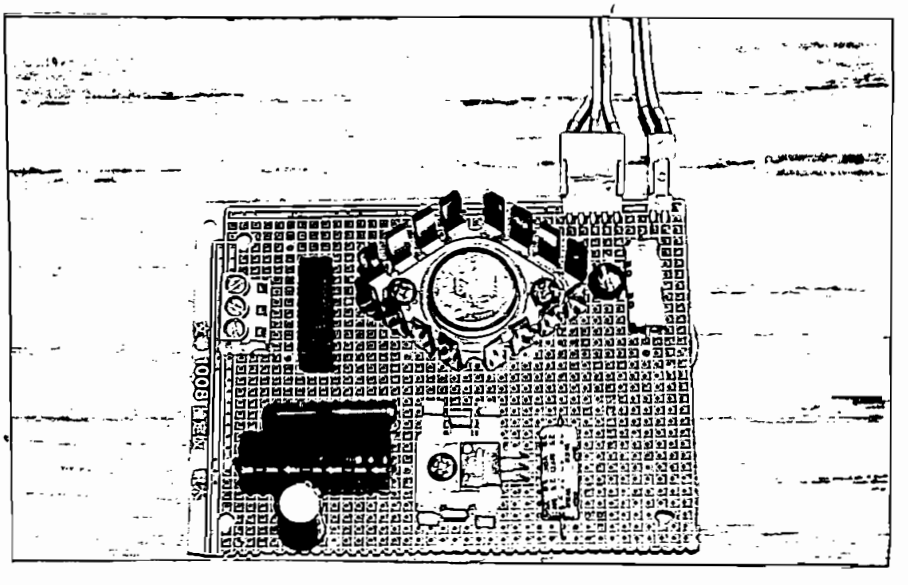
DESCRIPCIÓN DE CONECTORES.

- JP6, conector de 3 pines para entrada de voltaje alterno desde el transformador de fuente.

- JP7, conector de 3 pines, para salida de voltaje continuo +/- 5 voltios y referencia GND hacia la placa del circuito interfaz de usuario.

- JP8, conector de 2 pines, para salida de voltaje continuo + 5 voltios y referencia GND, hacia la placa principal MCPD51DA.

Esta placa se muestra en la fotografía 5.3.



Fotografía 5.3 Placa del circuito de la Fuente de Alimentación

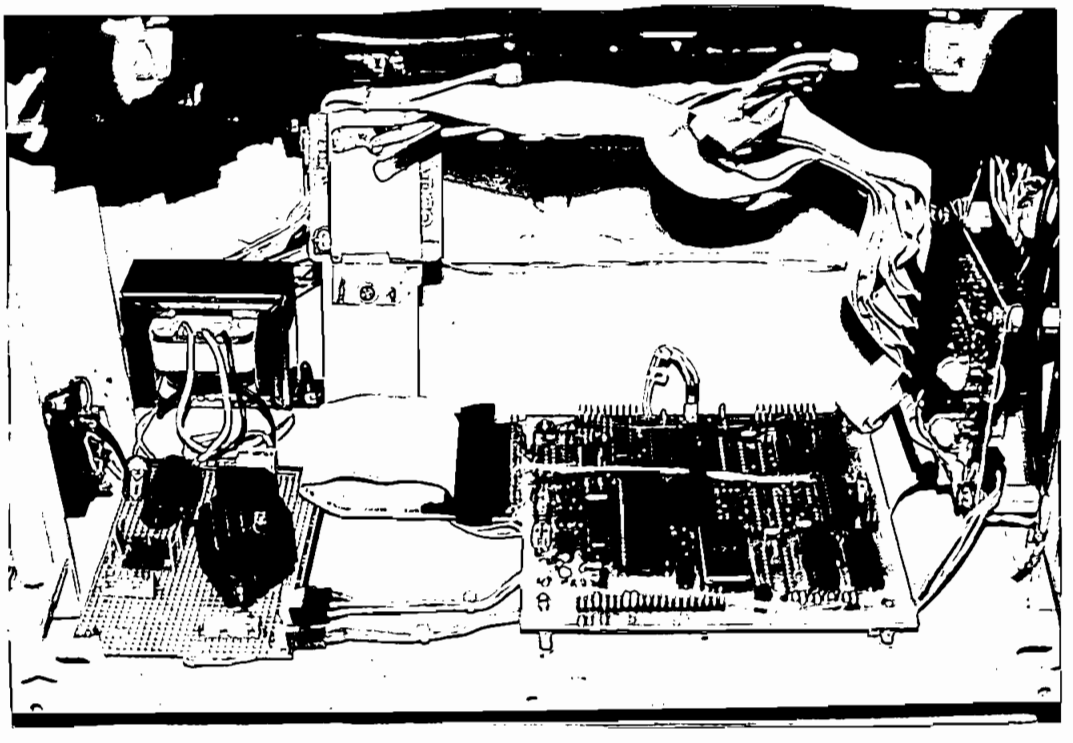
5.2 MONTAJE DE LAS PLACAS DE CIRCUITO Y DISPOSITIVOS EXTERNOS.

En el montaje de las placas se ha recurrido a la utilización de una *caja* de material plástico, en su interior se ha distribuido las placas de manera que sea de fácil acceso para poder realizar algún mantenimiento y modificación futura.

En la parte externa se han colocado y distribuido los LCD´s, teclados y demás dispositivos de la interfaz de usuario.

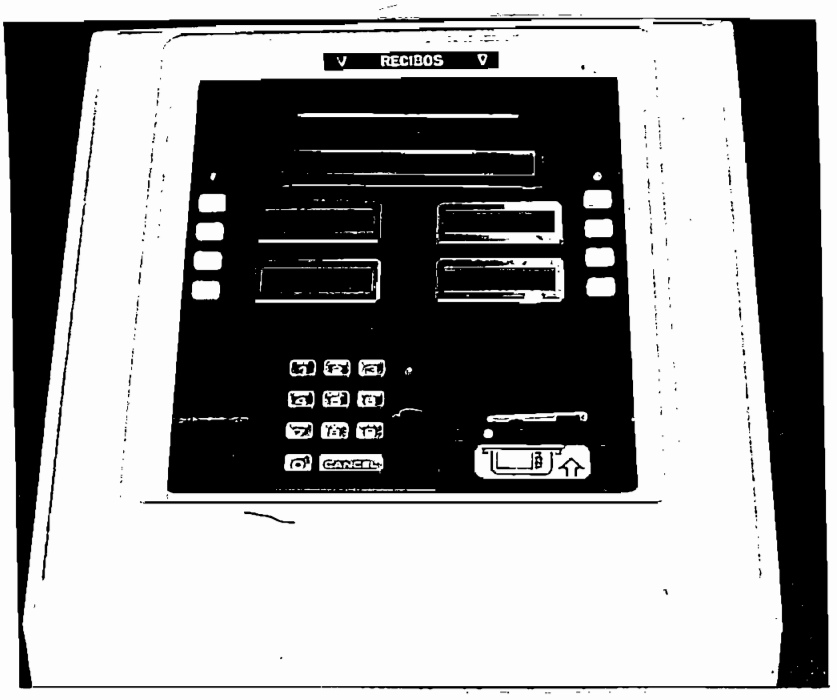
La forma de esta caja en su parte frontal hace de fácil visualización por parte de la persona que va ha manipular el equipo por primera vez.

En la fotografía 5.4 se puede apreciar el interior del equipo con la distribución de las placas con sus respectivos conectores y cables.



Fotografía 5.4 Vista interior del Equipo de Instrucción

En la fotografía 5.5 se observa la parte frontal del equipo de instrucción, con la distribución de los LCD´s, teclados, ranuras de tarjeta y recibos y los LED´s de señalización.



Fotografía 5.5 Vista exterior del equipo de instrucción

5.3 ANALISIS DE SERVICIO PARA EL USUARIO.

Al colocarse un usuario por primera ocasión frente al equipo de instrucción, la primera impresión que le causa es manipular los teclados sin haber ingresado la tarjeta, luego de fijarse en los mensajes del LCD principal empieza ha interpretarlos de buena manera, caso similar cuando se coloca frente a un cajero automático.

A continuación se procede ha ingresar la tarjeta de prueba por la ranura respectiva, ya que con la ayuda luminosa de un LED lo realiza sin ningún

problema, procede a continuación a ingresar su clave secreta ("1 2 3 4 "), después de haber visualizado en el LCD principal el mensaje "*FAVOR INGRESE SU CLAVE SECRETA*", procede a digitar las teclas numéricas con la guía luminosa de un LED ubicado en el teclado numérico.

Cuando en los LCD´s de opciones aparecen los primeros mensajes, el usuario los lee sin ningún problema del LCD principal y de los LCD´s de opciones, luego de esto procede a escoger una opción del menú principal tanto de cuentas de ahorros como de cuentas corrientes, claro está con la ayuda de otros LED´s luminosos ubicados en los teclados de opciones izquierdo y derecho.

Cabe indicar que al encenderse cualquiera de los LED´s luminosos si llama la atención del usuario y su mirada la ubica en estos, por otra parte a medida que se van presionando las teclas numéricas y de opciones un mensaje sonoro indica al cliente que las teclas presionadas son validadas por el equipo.

Siguiendo en el proceso de instrucción, se llega a la parte final y después de haber digitado las cantidades de dinero a retirar u otras transacciones, los mensajes desplegados como: "*SU TRANSACCIÓN ESTA SIENDO PROCESADA*", "*FAVOR RETIRE SU TARJETA*" son leídos en el LCD principal y con la ayuda sonora del BUZZER indica al usuario que "*FAVOR RETIRE SU TARJETA*", con un sonido intermitente que si llama la atención al usuario, retira su tarjeta y termina el proceso.

CAPITULO 6

COMENTARIOS Y CONCLUSIONES

6.1 COMENTARIOS

- La estructuración de los diferentes mensajes que van apareciendo en el proceso de instrucción, dependen en gran medida de la institución financiera en donde se coloquen estos equipos, así también de la ubicación de los elementos en la interfaz de usuario depende mucho de la marca de cajero automático que adquiera la institución financiera.

- Las diferentes transacciones que para un usuario común resultan ser nuevas, en el equipo de instrucción las pueden manipular, como por ejemplo resultan ser nuevas las transacciones: pagos de servicios varios como agua, luz y compra de tarjetas de prepago como son FASTER y BELLSOUTH, todas estas transacciones dependen de los convenios que se hagan con las empresas dueñas de estos servicios.

- Resulta ser ventajoso para las instituciones financieras que los clientes sepan que existen otras transacciones a más de la común de retiro de dinero, porque de esta manera el cliente debe contratar o hacer activar estas transacciones pagando una cuota mensual o anual.

- La aplicación futura que se puede sacar de la tarjeta MCPD51DA, es sin duda alguna muy buena, ya que como hemos comprobado se utilizó para este proyecto las señales de control y datos para los elementos de entrada y salida, después se podría implementar otros dispositivos como son impresora de recibo para el usuario, dispositivo para ingreso y salida de la tarjeta de pruebas e implementar un dispositivo que de alguna manera entregue dinero, con esto el equipo se acercaría en gran medida a lo que es un cajero automático.

6.2 CONCLUSIONES

- El equipo de instrucción resultó ser lo más compacto posible y por su tamaño bien puede ubicárselo en un lugar sobre un escritorio o en un lugar destinado para la atención al público de una institución financiera.

- Los mensajes presentados por los cinco LCD´s son claros y de fácil lectura para un usuario común, de la misma manera la posición de los teclados, ranura de inserción de tarjeta, son reconocidos sin ningún problema por un usuario, los teclados tanto numérico como de funciones son los generalmente utilizados y de igual tamaño de un cajero automático.

- El usuario mediante los mensajes presentados en los distintos LCD´s se familiariza con estos y hasta cierto punto los memoriza, de tal forma cuando se acerque a un cajero automático los lea y entienda sin ningún problema, de la misma manera se familiariza con las diferentes transacciones que puede ofrecer un cajero automático, así como de las utilidades que pueden presentar.

- Para un usuario el colocarse por primera ocasión frente al equipo de instrucción, su primera acción es manipular los teclados especialmente el numérico, después de fijarse en los mensajes del LCD principal procede a insertar por la ranura respectiva, fijándose en un LED luminoso ubicado a un lado de dicha ranura, de ahí en adelante el uso de este equipo es guiado por los mensaje que van apareciendo por todo el proceso de instrucción.

- Si se quiere implementar más dispositivos en el equipo existen pórticos de entrada – salida disponibles que se podrían utilizar.

REFERENCIAS BIBLIOGRAFICAS

1. **SISTEMA DE DESARROLLO DE SOFTWARE PARA LOS MICROCONTROLADORES DE LA FAMILIA MCS 51/52.** Escuela Politécnica Nacional, Departamento de Electrónica y Telecomunicaciones, SIDES 2000

2. Washington Giovanni Sidel, **MODULO DE DESARROLLO PARA SISTEMAS BASADOS EN LOS MICROCONTROLADORES DE LA FAMILIA MCS-51/52**, Tesis para la obtención del título de ingeniero, E.P.N, Quito, 1993

3. **MANUALES Y BOLETINES TÉCNICOS DE ATM´s DIEBOLD**, llegados a la sección técnica de bancomáticos del Banco del Pacífico, ATM DIEBOLD.

4. **INTEL**, MCS-51 ARCHITECTURE OVERVIEW, 1991

http://www.national.com
http://www.fairchildsemi.com
http://www.optrex.com
http://www.qt.com

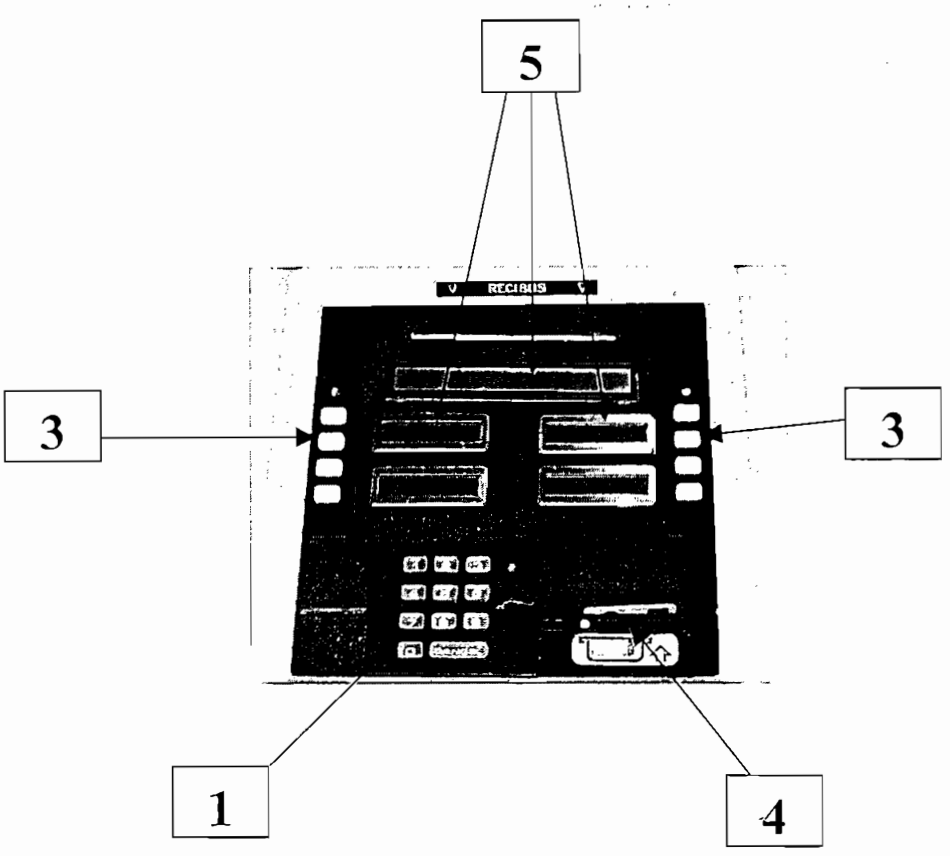
ANEXO A

MANUAL DE USUARIO

MANUAL DE USUARIO

DESCRIPCIÓN GENERAL:

En la parte frontal del equipo se tiene:



1. Teclado numérico.- con teclas numeradas del "0" al "9" con una tecla doble "CANCEL", este teclado va ha servir para ingresar la clave personal.
2. Esta clave es numérica y consta de 4 dígitos: " 1 2 3 4 ", al ingresar por cuatro ocasiones incorrectamente esta clave no se podrá seguir en el proceso de instrucción, teniendo que retirar su tarjeta cuando el mensaje correspondiente aparezca en el LCD principal: "CLAVE INCORRECTA", "FAVOR RETIRE SU TARJETA".
3. Teclado de funciones izquierdo y/o derecho..- consta de cuatro teclas de color blanco, no tienen numeración, estas van ha servir para seleccionar

las distintas opciones o transacciones con que cuenta el equipo de instrucción.

4. Ranura para insertar la tarjeta de prueba, se encuentra localizada en la parte inferior derecha con una etiqueta que muestra claramente el sentido como se debe ingresar la tarjeta de prueba. Se debe mencionar que durante todo el proceso de instrucción la tarjeta debe estar insertada de esta manera el usuario debe necesariamente terminar el proceso de simulación hasta cuando se escuche el mensaje sonoro repetidamente al finalizar y proceder a retirar la tarjeta.
5. Cinco LCD´s, encargados de presentar los mensajes principales y de opciones. Los mensajes principales o de bienvenida o de finalización de la instrucción se presentan en el LCD principal de 40 caracteres por 2 líneas. Los mensajes para seleccionar las distintas opciones que tiene el equipo de instrucción se presentan en los LCD´s de funciones 16 caracteres por 2 líneas.

En la parte lateral derecha:

1. Un swich de encendido on/off.
2. Un conector macho para cable de poder, el cable de poder utilizado es del tipo estándar para equipo de computación. Fase, Tierra, Neutro.
3. Un zócalo para fusible de 2.5 A / 250 V

Limpieza, se debe tomar en cuenta que se utiliza un sensor óptico para determinar la presencia o no de la tarjeta de prueba, por este motivo este sensor debe estar totalmente limpio para que trabaje adecuadamente.

80C51 ARCHITECTURE

MEMORY ORGANIZATION

All 80C51 devices have separate address spaces for program and data memory, as shown in Figures 1 and 2. The logical separation of program and data memory allows the data memory to be accessed by 8-bit addresses, which can be quickly stored and manipulated by an 8-bit CPU. Nevertheless, 16-bit data memory addresses can also be generated through the DPTR register.

Program memory (ROM, EPROM) can only be read, not written to. There can be up to 64k bytes of program memory. In the 80C51, the lowest 4k bytes of program are on-chip. In the ROMless versions, all program memory is external. The read strobe for external program memory is the $\overline{PSEN}$ (program store enable).

Data Memory (RAM) occupies a separate address space from Program Memory. In the 80C51, the lowest 128 bytes of data memory are on-chip. Up to 64k bytes of external RAM can be addressed in the external Data Memory space. In the ROMless version, the lowest 128 bytes are on-chip. The CPU generates read and write signals, $\overline{RD}$ and $\overline{WR}$, as needed during external Data Memory accesses.

External Program Memory and external Data Memory may be combined if desired by applying the RD and PSEN signals to the inputs of an AND gate and using the output of the gate as the read strobe to the external Program/Data memory.

Program Memory

Figure 3 shows a map of the lower part of the Program Memory. After reset, the CPU begins execution from location 0000H. As shown in Figure 3, each interrupt is assigned a fixed location in Program Memory. The interrupt causes the CPU to jump to that location, where it commences execution of the service routine. External Interrupt 0, for example, is assigned to location 0003H. If External Interrupt 0 is going to be used, its service routine must begin at location 0003H. If the interrupt is not going to be used, its service location is available as general purpose Program Memory.

The interrupt service locations are spaced at 8-byte intervals: 0003H for External Interrupt 0, 000BH for Timer 0, 0013H for External Interrupt 1, 001BH for Timer 1, etc. If an interrupt service routine is short enough (as is often the case in control applications), it can reside entirely within that 8-byte interval. Longer service routines can use a jump instruction to skip over subsequent interrupt locations, if other interrupts are in use.

The lowest 4k bytes of Program Memory can either be in the on-chip ROM or in an external ROM. This selection is made by strapping the $\overline{EA}$ (External Access) pin to either V_{CC}, or V_{SS}. In the 80C51, if the $\overline{EA}$ pin is strapped to V_{CC}, then the program fetches to addresses 0000H through 0FFFH are directed to the internal ROM. Program fetches to addresses 1000H through FFFFH are directed to external ROM.

If the $\overline{EA}$ pin is strapped to V_{SS}, then all program fetches are directed to external ROM. The ROMless parts (8031, 80C31, etc.) must have this pin externally strapped to V_{SS} to enable them to execute from external Program Memory.

The read strobe to external ROM, $\overline{PSEN}$, is used for all external program fetches. $\overline{PSEN}$ is not activated for internal program fetches.

The hardware configuration for external program execution is shown in Figure 4. Note that 16 I/O lines (Ports 0 and 2) are dedicated to bus functions during external Program Memory fetches. Port 0 (P0 in Figure 4) serves as a multiplexed address/data bus. It emits the low byte of the Program Counter (PCL) as an address, and then goes into a float state awaiting the arrival of the code byte from the Program Memory. During the time that the low byte of the Program Counter is valid on Port 0, the signal ALE (Address Latch Enable) clocks this byte into an address latch. Meanwhile, Port 2 (P2 in Figure 4) emits the high byte of the Program Counter (PCH). Then $\overline{PSEN}$ strobes the EPROM and the code byte is read into the microcontroller.

Program Memory addresses are always 16 bits wide, even though the actual amount of Program Memory used may be less than 64k bytes. External program execution sacrifices two of the 8-bit ports, P0 and P2, to the function of addressing the Program Memory.

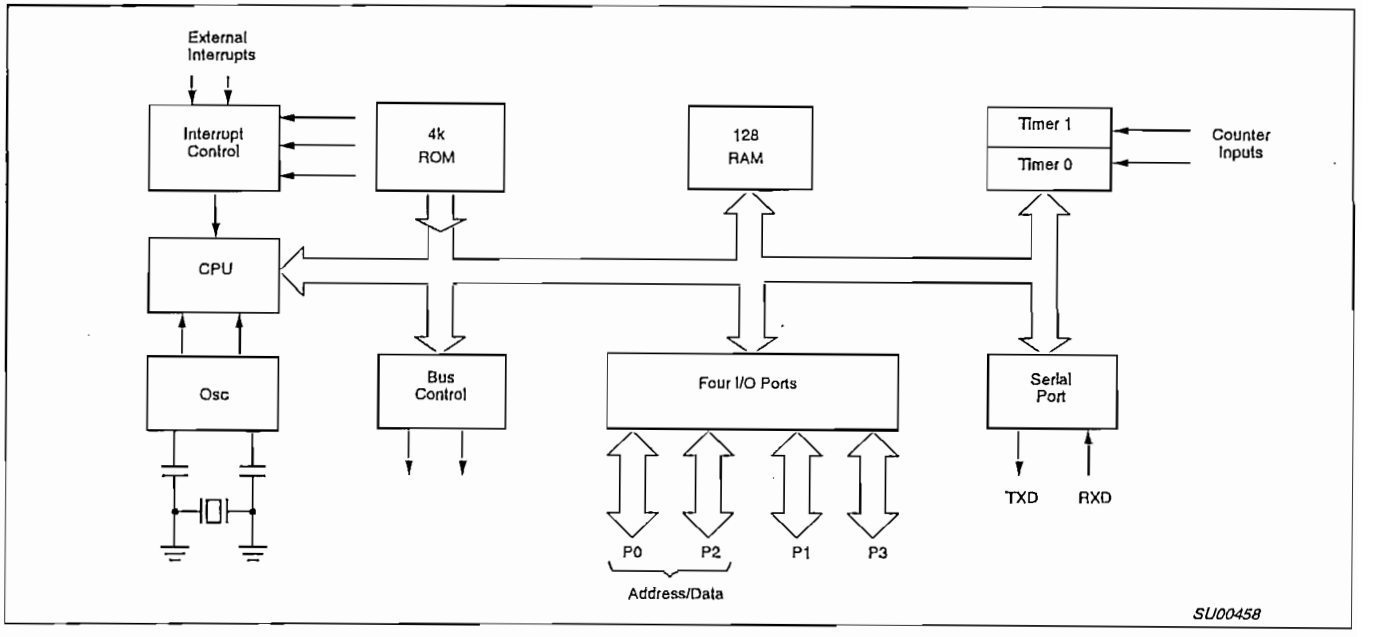


Figure 1. 80C51 Block Diagram

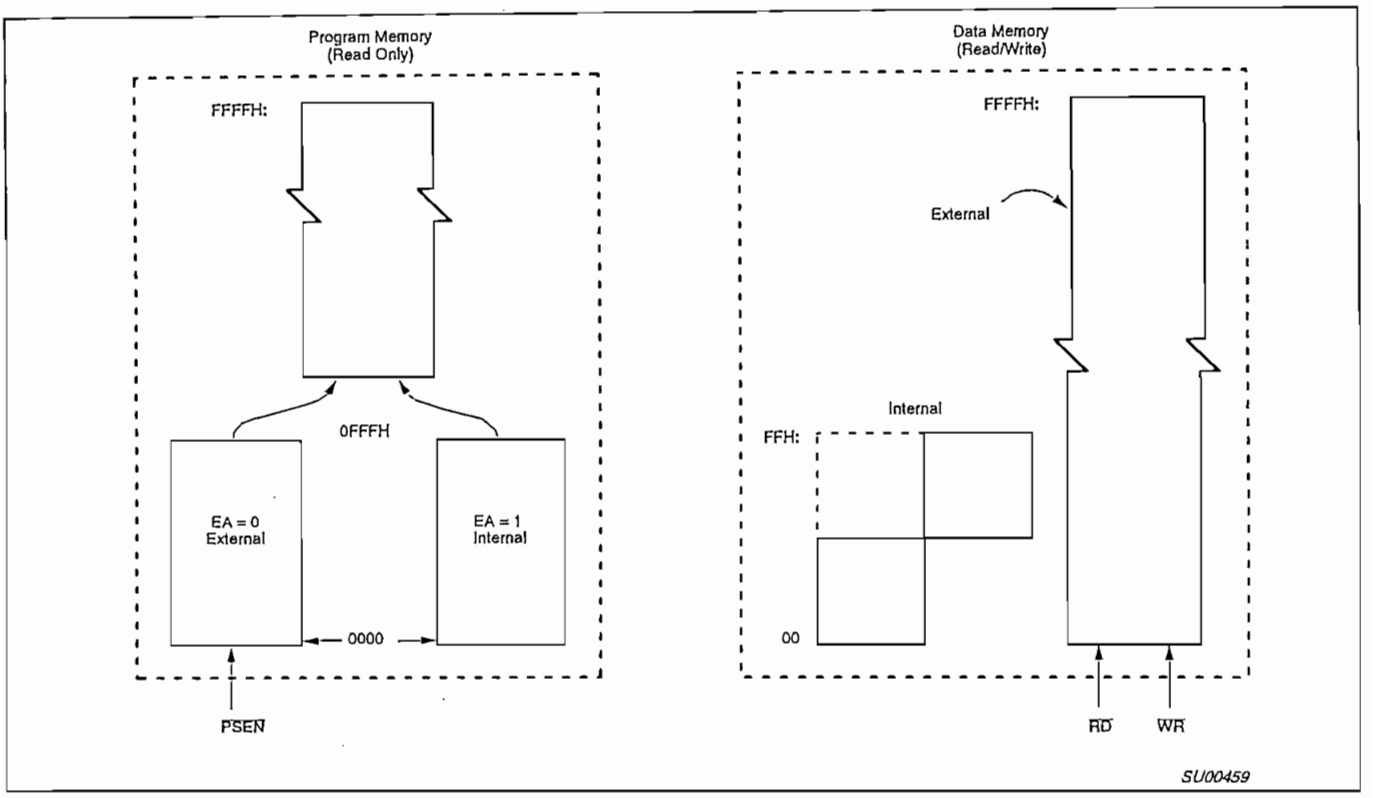


Figure 2. 80C51 Memory Structure

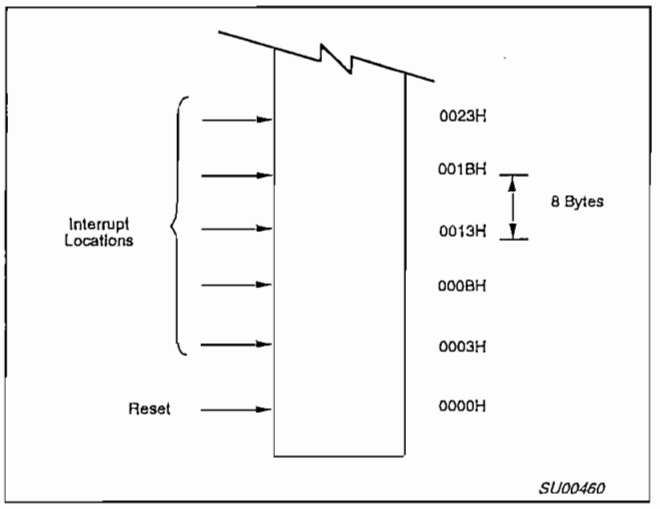


Figure 3. 80C51 Program Memory

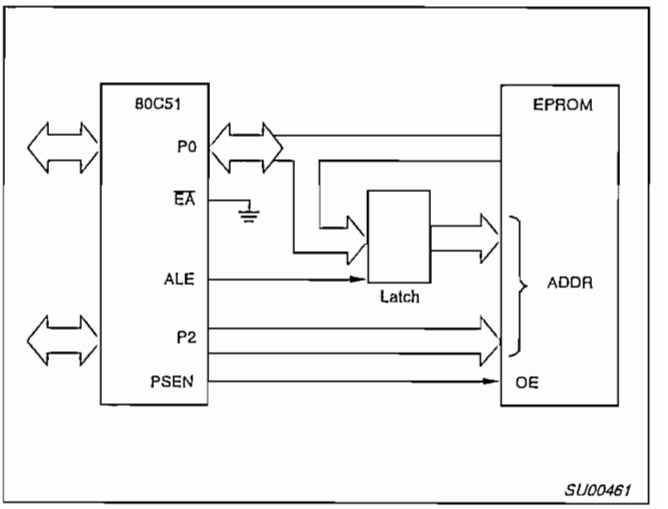


Figure 4. Executing from External Program Memory

Data Memory

The right half of Figure 2 shows the internal and external Data Memory spaces available to the 80C51 user. Figure 5 shows a hardware configuration for accessing up to 2k bytes of external RAM. The CPU in this case is executing from internal ROM. Port 0 serves as a multiplexed address/data bus to the RAM, and 3 lines of Port 2 are being used to page the RAM. The CPU generates $\overline{RD}$ and $\overline{WR}$ signals as needed during external RAM accesses. There can be up to 64k bytes of external Data Memory. External Data Memory addresses can be either 1 or 2 bytes wide. One-byte addresses are often used in conjunction with one or more other I/O lines to page the RAM, as shown in Figure 5.

Two-byte addresses can also be used, in which case the high address byte is emitted at Port 2.

Internal Data Memory is mapped in Figure 6. The memory space is shown divided into three blocks, which are generally referred to as the Lower 128, the Upper 128, and SFR space.

Internal Data Memory addresses are always one byte wide, which implies an address space of only 256 bytes. However, the addressing modes for internal RAM can in fact accommodate 384 bytes, using a simple trick. Direct addresses higher than 7FH access one memory space, and indirect addresses higher than 7FH access a different memory space. Thus Figure 6 shows the Upper 128 and SFR space occupying the same block of addresses, 80H through FFH, although they are physically separate entities.

The Lower 128 bytes of RAM are present in all 80C51 devices as mapped in Figure 7. The lowest 32 bytes are grouped into 4 banks of 8 registers. Program instructions call out these registers as R0 through R7. Two bits in the Program Status Word (PSW) select which register bank is in use. This allows more efficient use of code space, since register instructions are shorter than instructions that use direct addressing.

The next 16 bytes above the register banks form a block of bit-addressable memory space. The 80C51 instruction set includes a wide selection of single-bit instructions, and the 128 bits in this area can be directly addressed by these instructions. The bit addresses in this area are 00H through 7FH.

All of the bytes in the Lower 128 can be accessed by either direct or indirect addressing. The Upper 128 (Figure 8) can only be accessed by indirect addressing.

Figure 9 gives a brief look at the Special Function Register (SFR) space. SFRs include the Port latches, timers, peripheral controls, etc. These registers can only be accessed by direct addressing. Sixteen addresses in SFR space are both byte- and bit-addressable. The bit-addressable SFRs are those whose address ends in 0H or 8H.

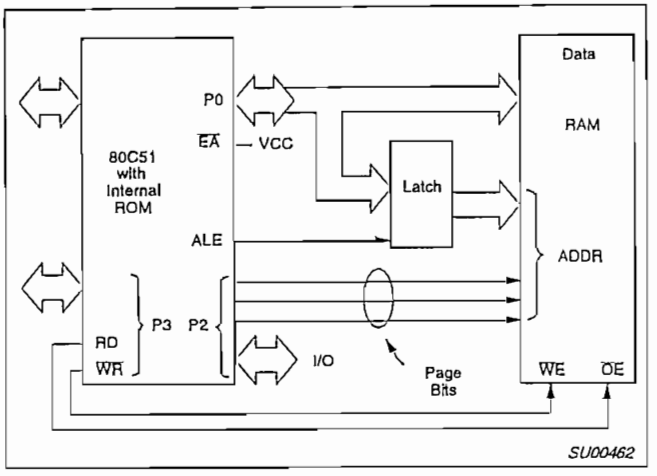


Figure 5. Accessing External Data Memory If the Program Memory Is Internal, the Other Bits of P2 Are Available as I/O

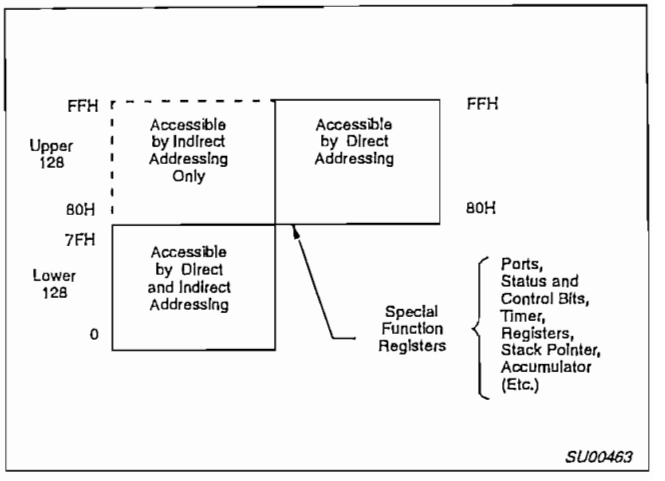


Figure 6. Internal Data Memory

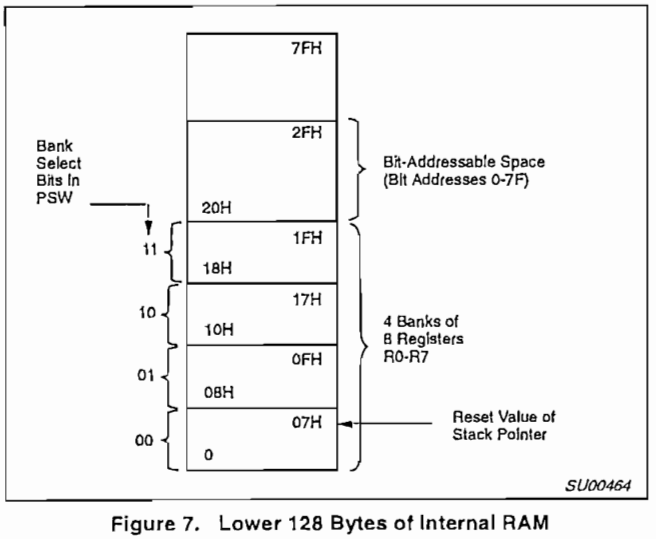


Figure 7. Lower 128 Bytes of Internal RAM

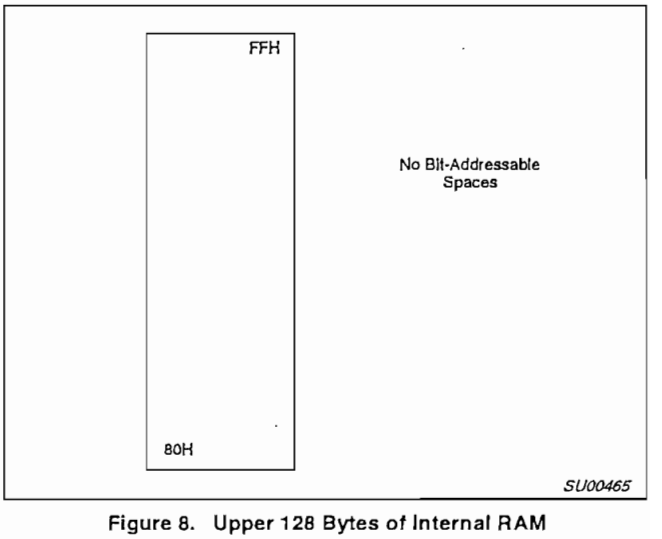


Figure 8. Upper 128 Bytes of Internal RAM

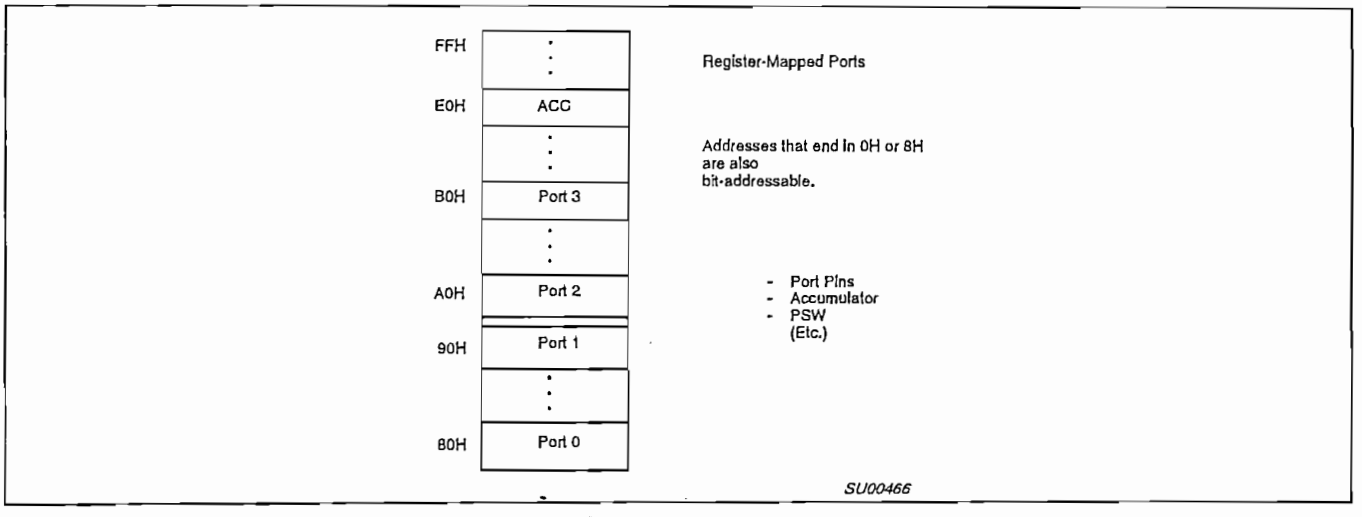


Figure 9. SFR Space

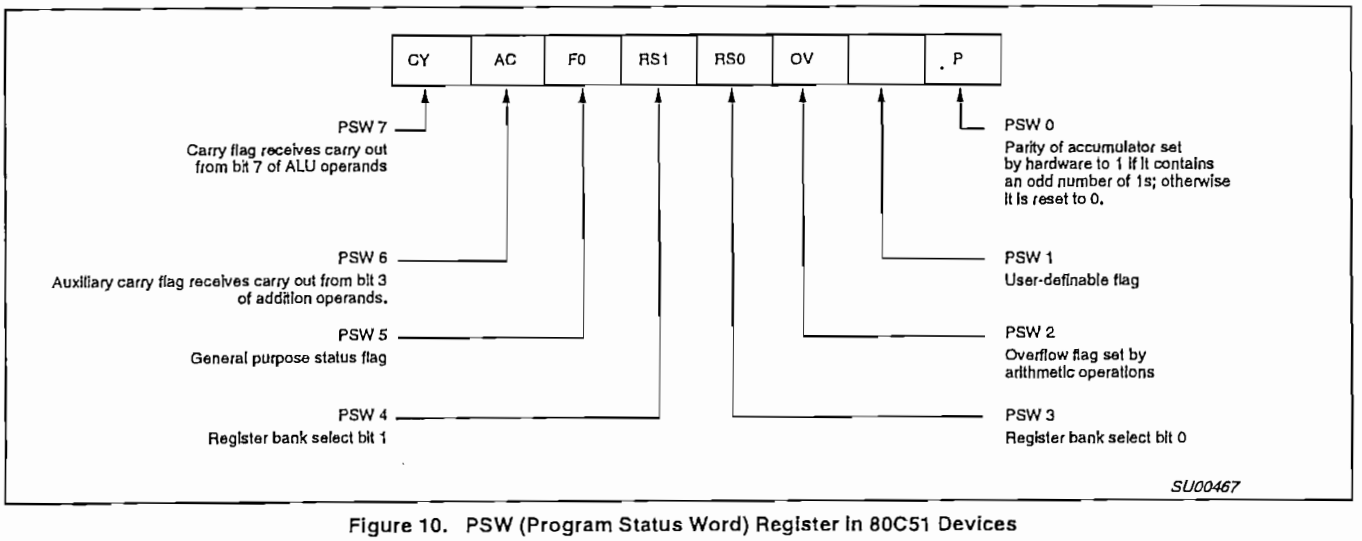


Figure 10. PSW (Program Status Word) Register in 80C51 Devices

80C51 FAMILY INSTRUCTION SET

The 80C51 instruction set is optimized for 8-bit control applications. It provides a variety of fast addressing modes for accessing the internal RAM to facilitate byte operations on small data structures. The instruction set provides extensive support for one-bit variables as a separate data type, allowing direct bit manipulation in control and logic systems that require Boolean processing.

Program Status Word

The Program Status Word (PSW) contains several status bits that reflect the current state of the CPU. The PSW, shown in Figure 10, resides in the SFR space. It contains the Carry bit, the Auxiliary Carry (for BCD operations), the two register bank select bits, the Overflow flag, a Parity bit, and two user-definable status flags.

The Carry bit, other than serving the function of a Carry bit in arithmetic operations, also serves as the "Accumulator" for a number of Boolean operations.

The bits RS0 and RS1 are used to select one of the four register banks shown in Figure 7. A number of instructions refer to these RAM locations as R0 through R7. The selection of which of the four is being referred to is made on the basis of the RS0 and RS1 at execution time.

The Parity bit reflects the number of 1s in the Accumulator: P = 1 if the Accumulator contains an odd number of 1s, and P = 0 if the Accumulator contains an even number of 1s. Thus the number of 1s in the Accumulator plus P is always even. Two bits in the PSW are uncommitted and may be used as general purpose status flags.

Addressing Modes

The addressing modes in the 80C51 instruction set are as follows:

Direct Addressing

In direct addressing the operand is specified by an 8-bit address field in the instruction. Only internal Data RAM and SFRs can be directly addressed.

Indirect Addressing

In indirect addressing the instruction specifies a register which contains the address of the operand. Both internal and external RAM can be indirectly addressed.

The address register for 8-bit addresses can be R0 or R1 of the selected bank, or the Stack Pointer. The address register for 16-bit addresses can only be the 16-bit "data pointer" register, DPTR.

Register Instructions

The register banks, containing registers R0 through R7, can be accessed by certain instructions which carry a 3-bit register specification within the opcode of the instruction. Instructions that access the registers this way are code efficient, since this mode eliminates an address byte. When the instruction is executed, one of the eight registers in the selected bank is accessed. One of four banks is selected at execution time by the two bank select bits in the PSW.

Register-Specific Instructions

Some instructions are specific to a certain register. For example, some instructions always operate on the Accumulator, or Data Pointer, etc., so no address byte is needed to point to it. The opcode itself does that. Instructions that refer to the Accumulator as A assemble as accumulator specific opcodes.

Immediate Constants

The value of a constant can follow the opcode in Program Memory. For example,

```
MOV  A, #100
```

loads the Accumulator with the decimal number 100. The same number could be specified in hex digits as 64H.

Indexed Addressing

Only program Memory can be accessed with indexed addressing, and it can only be read. This addressing mode is intended for reading look-up tables in Program Memory A 16-bit base register (either DPTR or the Program Counter) points to the base of the table, and the Accumulator is set up with the table entry number.

The address of the table entry in Program Memory is formed by adding the Accumulator data to the base pointer.

Another type of indexed addressing is used in the "case jump" instruction. In this case the destination address of a jump instruction is computed as the sum of the base pointer and the Accumulator data.

Arithmetic Instructions

The menu of arithmetic instructions is listed in Table 1. The table indicates the addressing modes that can be used with each instruction to access the <byte> operand. For example, the ADD A,<byte> instruction can be written as:

```
ADD     a, 7FH (direct addressing)
ADD     A, @R0 (indirect addressing)
ADD     a, R7 (register addressing)
ADD     A, #127 (immediate constant)
```

The execution times listed in Table 1 assume a 12MHz clock frequency. All of the arithmetic instructions execute in 1µs except the INC DPTR instruction, which takes 2µs, and the Multiply and Divide instructions, which take 4µs.

Note that any byte in the internal Data Memory space can be incremented without going through the Accumulator.

One of the INC instructions operates on the 16-bit Data Pointer. The Data Pointer is used to generate 16-bit addresses for external memory, so being able to increment it in one 16-bit operation is a useful feature.

The MUL AB instruction multiplies the Accumulator by the data in the B register and puts the 16-bit product into the concatenated B and Accumulator registers.

The DIV AB instruction divides the Accumulator by the data in the B register and leaves the 8-bit quotient in the Accumulator, and the 8-bit remainder in the B register.

Oddly enough, DIV AB finds less use in arithmetic "divide" routines than in radix conversions and programmable shift operations. An example of the use of DIV AB in a radix conversion will be given later. In shift operations, dividing a number by 2n shifts its n bits to the right. Using DIV AB to perform the division completes the shift in 4µs and leaves the B register holding the bits that were shifted out. The DA A instruction is for BCD arithmetic operations. In BCD arithmetic, ADD and ADDC instructions should always be followed by a DA A operation, to ensure that the result is also in BCD. Note that DA A will not convert a binary number to BCD. The DA A operation produces a meaningful result only as the second step in the addition of two BCD bytes.

Table 1. 80C51 Arithmetic Instructions

MNEMONIC	OPERATION	ADDRESSING MODES				EXECUTION
		DIR	IND	REG	IMM	TIME (µs)
ADD A,<byte>	A = A + <byte>	X	X	X	X	1
ADDC A,<byte>	A = A + <byte> + C	X	X	X	X	1
SUBB A,<byte>	A = A – <byte> – C	X	X	X	X	1
INC A	A = A + 1	Accumulator only				1
INC <byte>	<byte> = <byte> + 1	X	X	X		1
INC DPTR	DPTR = DPTR + 1	Data Pointer only				2
DEC A	A = A – 1	Accumulator only				1
DEC <byte>	<byte> = <byte> – 1	X	X	X		1
MUL AB	B:A = B x A	ACC and B only				4
DIV AB	A = Int[A/B] B = Mod[A/B]	ACC and B only				4
DA A	Decimal Adjust	Accumulator only				1

Logical Instructions

Table 2 shows the list of 80C51 logical instructions. The instructions that perform Boolean operations (AND, OR, Exclusive OR, NOT) on bytes perform the operation on a bit-by-bit basis. That is, if the Accumulator contains 00110101B and byte contains 01010011B, then:

```
ANL   A, <byte>
```

will leave the Accumulator holding 00010001B.

The addressing modes that can be used to access the <byte> operand are listed in Table 2.

The ANL A, <byte> instruction may take any of the forms:

```
ANL   A,7FH (direct addressing)
ANL   A,@R1 (indirect addressing)
ANL   A,R6 (register addressing)
ANL   A,#53H (immediate constant)
```

All of the logical instructions that are Accumulator-specific execute in 1µs (using a 12MHz clock). The others take 2µs.

Note that Boolean operations can be performed on any byte in the internal Data Memory space without going through the Accumulator. The XRL <byte>, #data instruction, for example, offers a quick and easy way to invert port bits, as in XRL P1, #OFFH.

If the operation is in response to an interrupt, not using the Accumulator saves the time and effort to push it onto the stack in the service routine.

The Rotate instructions (RL, A, RLC A, etc.) shift the Accumulator 1 bit to the left or right. For a left rotation, the MSB rolls into the LSB position. For a right rotation, the LSB rolls into the MSB position.

The SWAP A instruction interchanges the high and low nibbles within the Accumulator. This is a useful operation in BCD manipulations. For example, if the Accumulator contains a binary number which is known to be less than 100, it can be quickly converted to BCD by the following code:

```
MOVE  B,#10
DIV   AB
SWAP  A
ADD   A,B
```

Dividing the number by 10 leaves the tens digit in the low nibble of the Accumulator, and the ones digit in the B register. The SWAP and ADD instructions move the tens digit to the high nibble of the Accumulator, and the ones digit to the low nibble.

Data Transfers

Internal RAM

Table 3 shows the menu of instructions that are available for moving data around within the internal memory spaces, and the addressing modes that can be used with each one. With a 12MHz clock, all of these instructions execute in either 1 or 2µs.

The MOV <dest>, <src> instruction allows data to be transferred between any two internal RAM or SFR locations without going through the Accumulator. Remember, the Upper 128 bytes of data RAM can be accessed only by indirect addressing, and SFR space only by direct addressing.

Note that in 80C51 devices, the stack resides in on-chip RAM, and grows upwards. The PUSH instruction first increments the Stack Pointer (SP), then copies the byte into the stack. PUSH and POP use only direct addressing to identify the byte being saved or restored, but the stack itself is accessed by indirect addressing using the SP register. This means the stack can go into the Upper 128 bytes of RAM, if they are implemented, but not into SFR space.

The Upper 128 bytes of RAM are not implemented in the 80C51 nor in its ROMless or EPROM counterparts. With these devices, if the SP points to the Upper 128, PUSHed bytes are lost, and POPed bytes are indeterminate.

The Data Transfer instructions include a 16-bit MOV that can be used to initialize the Data Pointer (DPTR) for look-up tables in Program Memory, or for 16-bit external Data Memory accesses.

Table 2. 80C51 Logical Instructions

MNEMONIC	OPERATION	ADDRESSING MODES				EXECUTION
		DIR	IND	REG	IMM	TIME (µs)
ANL A,<byte>	A = A.AND. <byte>	X	X	X	X	1
ANL <byte>,A	<byte> = <byte> .AND.A	X				1
ANL <byte>,#data	<byte> = <byte> .AND.#data	X				2
ORL A,<byte>	A = A.OR.<byte>	X	X	X	X	1
ORL <byte>,A	<byte> = <byte> .OR.A	X				1
ORL <byte>,#data	<byte> = <byte> .OR.#data	X				2
XRL A,<byte>	A = A.XOR. <byte>	X	X	X	X	1
XRL <byte>,A	<byte> = <byte> .XOR.A	X				1
XRL <byte>,#data	<byte> = <byte> .XOR.#data	X				2
CRL A	A = 00H	Accumulator only				1
CPL A	A = .NOT.A	Accumulator only				1
RL A	Rotate ACC Left 1 bit	Accumulator only				1
RLC A	Rotate Left through Carry	Accumulator only				1
RR A	Rotate ACC Right 1 bit	Accumulator only				1
RRC A	Rotate Right through Carry	Accumulator only				1
SWAP A	Swap Nibbles in A	Accumulator only				1

Table 3. Data Transfer Instructions that Access Internal Data Memory Space

MNEMONIC	OPERATION	ADDRESSING MODES				EXECUTION
		DIR	IND	REG	IMM	TIME (µs)
MOV A,<src>	A = <src>	X	X	X	X	1
MOV <dest>,A	<dest> = A	X	X	X		1
MOV <dest>,<src>	<dest> = <src>	X	X	X	X	2
MOV DPTR,#data16	DPTR = 16-bit immediate constant				X	2
PUSH <src>	INC SP:MOV"@SP",<src>	X				2
POP <dest>	MOV <dest>,"@SP":DEC SP	X				2
XCH A,<byte>	ACC and <byte> exchange data	X	X	X		1
XCHD A,@Ri	ACC and @Ri exchange low nibbles		X			1

The XCH A, <byte> instruction causes the Accumulator and addressed byte to exchange data. The XCHD A, @Ri instruction is similar, but only the low nibbles are involved in the exchange.

To see how XCH and XCHD can be used to facilitate data manipulations, consider first the problem of shifting an 8-digit BCD number two digits to the right. Figure 11 shows how this can be done using direct MOVs, and for comparison how it can be done using XCH instructions. To aid in understanding how the code works, the contents of the registers that are holding the BCD number and the content of the Accumulator are shown alongside each instruction to indicate their status after the instruction has been executed.

After the routine has been executed, the Accumulator contains the two digits that were shifted out on the right. Doing the routine with direct MOVs uses 14 code bytes and 9µs of execution time (assuming a 12MHz clock). The same operation with XCHs uses only 9 bytes and executes almost twice as fast.

To right-shift by an odd number of digits, a one-digit shift must be executed.

Figure 12 shows a sample of code that will right-shift a BCD number one digit, using the XCHD instruction. Again, the contents of the registers holding the number and of the Accumulator are shown alongside each instruction.

First, pointers R1 and R0 are set up to point to the two bytes containing the last four BCD digits. Then a loop is executed which leaves the last byte, location 2EH, holding the last two digits of the shifted number. The pointers are decremented, and the loop is repeated for location 2DH. The CJNE instruction (Compare and Jump if Not Equal) is a loop control that will be described later. The loop executed from LOOP to CJNE for R1 = 2EH, 2DH, 2CH, and 2BH. At that point the digit that was originally shifted out on the right has propagated to location 2AH. Since that location should be left with 0s, the lost digit is moved to the Accumulator.

External RAM

Table 4 shows a list of the Data Transfer instructions that access external Data Memory. Only indirect addressing can be used. The choice is whether to use a one-byte address, @Ri, where Ri can be either R0 or R1 of the selected register bank, or a two-byte address, @DPTR. The disadvantage to using 16-bit addresses if only a few k bytes of external RAM are involved is that 16-bit addresses use all 8 bits of Port 2 as address bus. On the other hand, 8-bit addresses allow one to address a few bytes of RAM, as shown in Figure 5, without having to sacrifice all of Port 2. All of these instructions execute in 2 µs, with a 12MHz clock.

Note that in all external Data RAM accesses, the Accumulator is always either the destination or source of the data.

The read and write strobes to external RAM are activated only during the execution of a MOVX instruction. Normally these signals are inactive, and in fact if they're not going to be used at all, their pins are available as extra I/O lines.

		2A	2B	2C	2D	2E	ACC
MOV	A,2EH	00	12	34	56	78	78
MOV	2EH,2DH	00	12	34	56	56	78
MOV	2DH,2CH	00	12	34	34	56	78
MOV	2CH,2BH	00	12	12	34	56	78
MOV	2BH,#0	00	00	12	34	56	78

A. Using direct MOVs: 14 bytes, 9 µs

		2A	2B	2C	2D	2E	ACC
CLR	A	00	12	34	56	78	00
XCH	A,2BH	00	00	34	56	78	12
XCH	A,2CH	00	00	12	56	78	34
XCH	A,2DH	00	00	12	34	78	56
XCH	A2EH	00	00	12	34	56	78

B. Using XCHs: 9 bytes, 5 µs

SU00468

Figure 11. Shifting a BCD Number Two Digits to the Right

			2A	2B	2C	2D	2E	ACC
	MOV	R1,#2EH	00	12	34	56	78	XX
	MOV	R0,#2DH	00	12	34	56	78	XX
	loop for R1 = 2EH:							
LOOP:	MOV	A,@R1	00	12	34	56	78	78
	XCHD	A,@R0	00	12	34	58	78	76
	SWAP	A	00	12	34	58	78	67
	MOV	@R1,A	00	12	34	58	67	67
	DEC	R1	00	12	34	58	67	67
	DEC	R0	00	12	34	58	67	67
	CJNE	R1,#2AH,LOOP						
	loop for R1 = 2DH:		00	12	38	45	67	45
	loop for R1 = 2CH:		00	18	23	45	67	23
	loop for R1 = 2BH:		08	01	23	45	67	01
	CLR	A	08	01	23	45	67	00
	XCH	A,2AH	00	01	23	45	67	08

SU00469

Figure 12. Shifting a BCD Number One Digit to the Right

Table 4. 80C51 Data Transfer Instructions that Access External Data Memory Space

ADDRESS WIDTH	MNEMONIC	OPERATION	EXECUTION TIME (μs)
8 bits	MOVX A,@Ri	Read external RAM @Ri	2
8 bits	MOVX @Ri,A	Write external RAM @ Ri	2
16 bits	MOVX A,@DPTR	Read external RAM @ DPTR	2
16 bits	MOVX @DPTR,A	Write external RAM @ DPTR	2

Table 5. 80C51 Lookup Table Read Instructions

MNEMONIC	OPERATION	EXECUTION TIME (μs)
MOVC A,@A+DPTR	Read program memory at (A + DPTR)	2
MOVC A,@A+PC	Read program memory at (A + PC)	2

Lookup Tables

Table 5 shows the two instructions that are available for reading lookup tables in Program Memory. Since these instructions access only Program Memory, the lookup tables can only be read, not updated.

If the table access is to external Program Memory, then the read strobe is PSEN.

The mnemonic is MOVC for "move constant." The first MOVC instruction in Table 5 can accommodate a table of up to 256 entries numbered 0 through 255. The number of the desired entry is loaded into the Accumulator, and the Data Pointer is set up to point to the beginning of the table. Then:

```
MOVC    A,@A+DPTR
```

copies the desired table entry into the Accumulator.

The other MOVC instruction works the same way, except the Program Counter (PC) is used as the table base, and the table is accessed through a subroutine. First the number of the desired entry is loaded into the Accumulator, and the subroutine is called:

```
MOV     A,ENTRY NUMBER
CALL    TABLE
```

The subroutine "TABLE" would look like this:

```
TABLE:  MOVC    A,@A+PC
        RET
```

The table itself immediately follows the RET (return) instruction in Program Memory. This type of table can have up to 255 entries, numbered 1 through 255. Number 0 cannot be used, because at the time the MOVC instruction is executed, the PC contains the address of the RET instruction. An entry numbered 0 would be the RET opcode itself.

Boolean Instructions

80C51 devices contain a complete Boolean (single-bit) processor. The internal RAM contains 128 addressable bits, and the SFR space can support up to 128 addressable bits as well. All of the port lines are bit-addressable, and each one can be treated as a separate single-bit port. The instructions that access these bits are not just conditional branches, but a complete menu of move, set, clear, complement, OR, and AND instructions. These kinds of bit operations are not easily obtained in other architectures with any amount of byte-oriented software.

The instruction set for the Boolean processor is shown in Table 6. All bit accesses are by direct addressing.

Bit addresses 00H through 7FH are in the Lower 128, and bit addresses 80H through FFH are in SFR space.

Note how easily an internal flag can be moved to a port pin:

```
MOV     C,FLAG
MOV     P1.0,C
```

In this example, FLAG is the name of any addressable bit in the Lower 128 or SFR space. An I/O line (the LSB of Port 1, in this case) is set or cleared depending on whether the flag bit is 1 or 0.

The Carry bit in the PSW is used as the single-bit Accumulator of the Boolean processor. Bit instructions that refer to the Carry bit as C assemble as Carry-specific instructions (CLR C, etc.). The Carry bit also has a direct address, since it resides in the PSW register, which is bit-addressable.

Note that the Boolean instruction set includes ANL and ORL operations, but not the XRL (Exclusive OR) operation. An XRL operation is simple to implement in software. Suppose, for example, it is required to form the Exclusive OR of two bits:

```
C = bit1 .XRL. bit2
```

The software to do that could be as follows:

```
        MOV     C,bit1
        JNB     bit2,OVER
        CPL     C
OVER:   (continue)
```

First, bit1 is moved to the Carry. If bit2 = 0, then C now contains the correct result. That is, bit1 .XRL. bit2 = bit1 if bit2 = 0. On the other hand, if bit2 = 1, C now contains the complement of the correct result. It need only be inverted (CPL C) to complete the operation.

This code uses the JNB instruction, one of a series of bit-test instructions which execute a jump if the addressed bit is set (JC, JB, JBC) or if the addressed bit is not set (JNC, JNB). In the above case, bit2 is being tested, and if bit2 = 0, the CPL C instruction is jumped over.

JBC executes the jump if the addressed bit is set, and also clears the bit. Thus a flag can be tested and cleared in one operation. All the PSW bits are directly addressable, so the Parity bit, or the general purpose flags, for example, are also available to the bit-test instructions.

Relative Offset

The destination address for these jumps is specified to the assembler by a label or by an actual address in Program memory. However, the destination address assembles to a relative offset byte. This is a signed (two's complement) offset byte which is added to the PC in two's complement arithmetic if the jump is executed. The range of the jump is therefore –128 to +127 Program Memory bytes relative to the first byte following the instruction.

Table 6. [illegible] Boolean Instructions

[illegible]MONIC		OPERATION	EXECUTION TIME (µs)
ANL	C	C = C.AND.bit	2
ANL	C	C = C.AND..NOT.bit	2
ORL	C	C = C.OR.bit	2
ORL	C	C = C.OR..NOT.bit	2
MOV	C	C = bit	1
MOV	[illegible]	bit = C	2
CLR	C	C = 0	1
CLR	[illegible]	bit = 0	1
SETB	C	C = 1	1
SETB	[illegible]	bit = 1	1
CPL	C	C = .NOT.C	1
CPL	[illegible]	bit = .NOT.bit	1
JC	[illegible]	Jump if C = 1	2
JNC	[illegible]	Jump if C = 0	2
JB	[illegible]	Jump if bit = 1	2
JNB	[illegible]	Jump if bit = 0	2
JBC	[illegible]	Jump if bit = 1; CLR bit	2

Table 7. [illegible]ditional Jumps in 80C51 Devices

[illegible]NIC		OPERATION	EXECUTION TIME (µs)
JMP	[illegible]	Jump to addr	2
JMP	[illegible]	Jump to A + DPTR	2
CALL	[illegible]	Call subroutine at addr	2
RET	[illegible]	Return from subroutine	2
RET	[illegible]	Return from interrupt	2
NO[illegible]	[illegible]	No operation	1

Jump [illegible]

Table 7 [illegible] conditional jumps with execution time for a 12M[illegible]

The [illegible] P addr" instruction, but in fact there are three S[illegible] MP, which differ in the format of the destin[illegible] s a generic mnemonic which can be used if the pro[illegible] t care which way the jump is encoded.

The SJMP i[illegible] odes the destination address as a relative offset, as de[illegible]. The instruction is 2 bytes long, consisting of [illegible] and the relative offset byte. The jump distance [illegible] ge of −128 to +127 bytes relative to the instruction [illegible] JMP.

The LJ[illegible] odes the destination address as a 16-bit const[illegible] s 3 bytes long, consisting of the opcode and t[illegible] e destination address can be anywhere in the 6[illegible] space.

The A[illegible] odes the destination address as an 11-bit const[illegible] 2 bytes long, consisting of the opcode, which [illegible] e 11 address bits, followed by another byte co[illegible] its of the destination address. When the instruc[illegible] se 11 bits are simply substituted for the low 1[illegible] high 5 bits stay the same. Hence the destin[illegible] the same 2k block as the instruction follow[illegible]

In all cases the programmer specifies the destination address to the assembler in the same way: as a label or as a 16-bit constant. The assembler will put the destination address into the correct format for the given instruction. If the format required by the instruction will not support the distance to the specified destination address, a "Destination out of range" message is written into the List file.

The JMP @A+DPTR instruction supports case jumps. The destination address is computed at execution time as the sum of the 16-bit DPTR register and the Accumulator. Typically, DPTR is set up with the address of a jump table. In a 5-way branch, for example, an integer 0 through 4 is loaded into the Accumulator. The code to be executed might be as follows:

```
MOV     DPTR,#JUMP TABLE
MOV     A,INDEX_NUMBER
RL      A
JMP     @A+DPTR
```

The RL A instruction converts the index number (0 through 4) to an even number on the range 0 through 8, because each entry in the jump table is 2 bytes long:

JUMP TABLE:

```
AJMP    CASE 0
AJMP    CASE 1
AJMP    CASE 2
AJMP    CASE 3
AJMP    CASE 4
```

Table 7 ...how ...LL addr" instruction, but there are two of them, ...LL ...hich differ in the format in which the subrou... ...to the CPU. CALL is a generic mnem... ...ed if the programmer does not care which ... ...ncoded.

The L... ...the 16-bit address format, and the subro... ...in the 64k Program Memory space. The A... ...the 11-bit format, and the subroutine must ... ...as the instruction following the ACAL...

In any ... ...specifies the subroutine address to the assemb... ...as a label or as a 16-bit constant. The assemb... ...ss into the correct format for the given instruct...

Subrou... ...a RET instruction, which returns execu... ...ollowing the CALL.

RETI ... ...an interrupt service routine. The only differ... ...RETI is that RETI tells the interrupt cont... ...upt in progress is done. If there is no inter... ...me RETI is executed, then the RETI is funct...

Tabl... ...ditional jumps available to the 80C51 user. A... ...cify the destination address by the relativ... ...o are limited to a jump distance of –128 to +12... ...uction following the conditional jump instruc... ..., however, the user specifies to the assem... ...ation address the same way as the other jumps ... ...constant.

Ther... ...SW. The JZ and JNZ instructions test the A... ...condition.

The ... ...ment and Jump if Not Zero) is for loop cont... ...times, load a counter byte with N and term... ...NZ to the beginning of the loop, as show...

...NTER,#10

LOOP ...

...NTER,LOOP

The CJNE instruction (Compare and Jump if Not Equal) can also be used for loop control as in Figure 12. Two bytes are specified in the operand field of the instruction. The jump is executed only if the two bytes are not equal. In the example of Figure 12, the two bytes were data in R1 and the constant 2AH. The initial data in R1 was 2EH. Every time the loop was executed, R1 was decremented, and the looping was to continue until the R1 data reached 2AH.

Another application of this instruction is in "greater than, less than" comparisons. The two bytes in the operand field are taken as unsigned integers. If the first is less than the second, then the Carry bit is set (1). If the first is greater than or equal to the second, then the Carry bit is cleared.

CPU Timing

All 80C51 microcontrollers have an on-chip oscillator which can be used if desired as the clock source for the CPU. To use the on-chip oscillator, connect a crystal or ceramic resonator between the XTAL1 and XTAL2 pins of the microcontroller, and capacitors to ground as shown in Figure 13.

Examples of how to drive the clock with an external oscillator are shown in Figure 14. Note that in the NMOS devices (8051, etc.) the signal at the XTAL2 pin actually drives the internal clock generator. In the CMOS devices (80C51, etc.), the signal at the XTAL1 pin drives the internal clock generator. The internal clock generator defines the sequence of states that make up the 80C51 machine cycle.

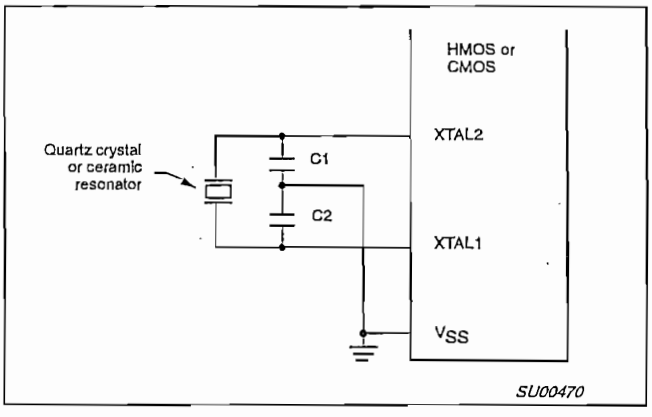


Figure 13. Using the On-Chip Oscillator

Tab... ...al Jumps in 80C51 Devices

	OPERATION	ADDRESSING MODES				EXECUTION
		DIR	IND	REG	IMM	TIME (µs)
JZ	Jump if A = 0	Accumulator only				2
JNZ	Jump if A ≠ 0	Accumulator only				2
DJN...	Decrement and jump if not zero	X		X		2
CJN...	Jump if A ≠ <byte>	X			X	2
CJN...	Jump if <byte> ≠ #data		X	X		2

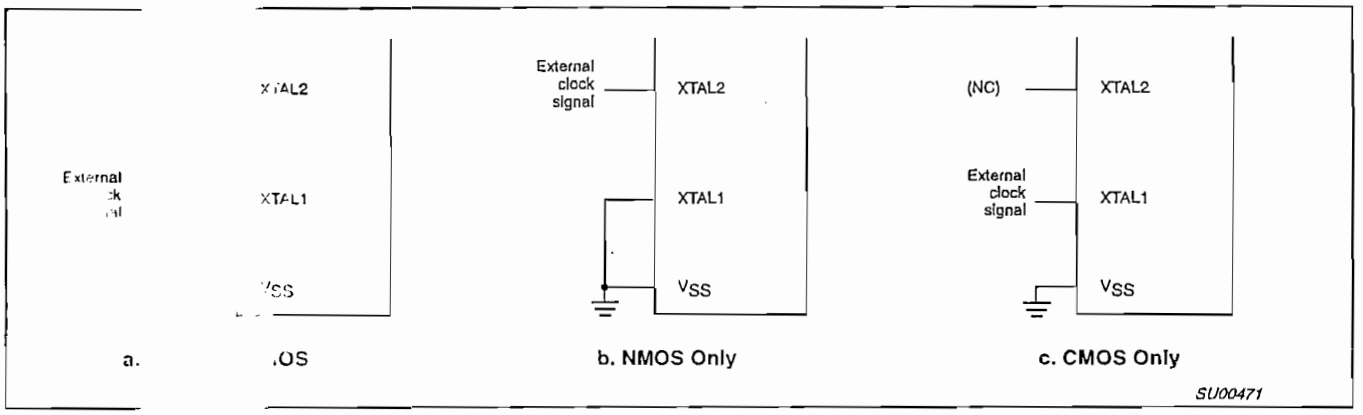


Figure 14. Using an External Clock

Machine C

A machine cy[illegible] a sequence of 6 states, numbered S1 throu[illegible] lasts for two oscillator periods. Thus a machi[illegible] ator periods or 1µs if the oscillator frequ[illegible]

Each [illegible] is [illegible] Phase 1 half and a Phase 2 half. Figure [illegible] xecute sequences in states and phases for va[illegible] s. Normally two program fetches are gener[illegible] ine cycle, even if the instruction being execute[illegible] the instruction being executed doesn't need [illegible] PU simply ignores the extra fetch, and the Pro[illegible] ncremented.

Execu[illegible] of [illegible] ruction (Figures 15a and 15b) begins durin[illegible] e cycle, when the opcode is latched into the [illegible] cond fetch occurs during S4 of the same [illegible] ion is complete at the end of State 6 of this [illegible]

The [illegible] two machine cycles to execute. No pro[illegible] during the second cycle of a MOVX instr[illegible] ne program fetches are skipped. The fetch [illegible] MOVX instructions is shown in Figure 15d.

The fetch/execute sequences are the same whether the Program Memory is internal or external to the chip. Execution times do not depend on whether the Program Memory is internal or external.

Figure 16 shows the signals and timing involved in program fetches when the Program Memory is external. If Program Memory is external, then the Program Memory read strobe $\overline{PSEN}$ is normally activated twice per machine cycle, as shown in Figure 16a. If an access to external Data Memory occurs, as shown in Figure 16b, two $\overline{PSEN}$s are skipped, because the address and data bus are being used for the Data Memory access.

Note that a Data Memory bus cycle takes twice as much time as a Program Memory bus cycle. Figure 16 shows the relative timing of the addresses being emitted at Ports 0 and 2, and of ALE and $\overline{PSEN}$. ALE is used to latch the low address byte from P0 into the address latch.

When the CPU is executing from internal Program Memory, PSEN is not activated, and program addresses are not emitted. However, ALE continues to be activated twice per machine cycle and so it is available as a clock output signal. Note, however, that one ALE is skipped during the execution of the MOVX instruction.

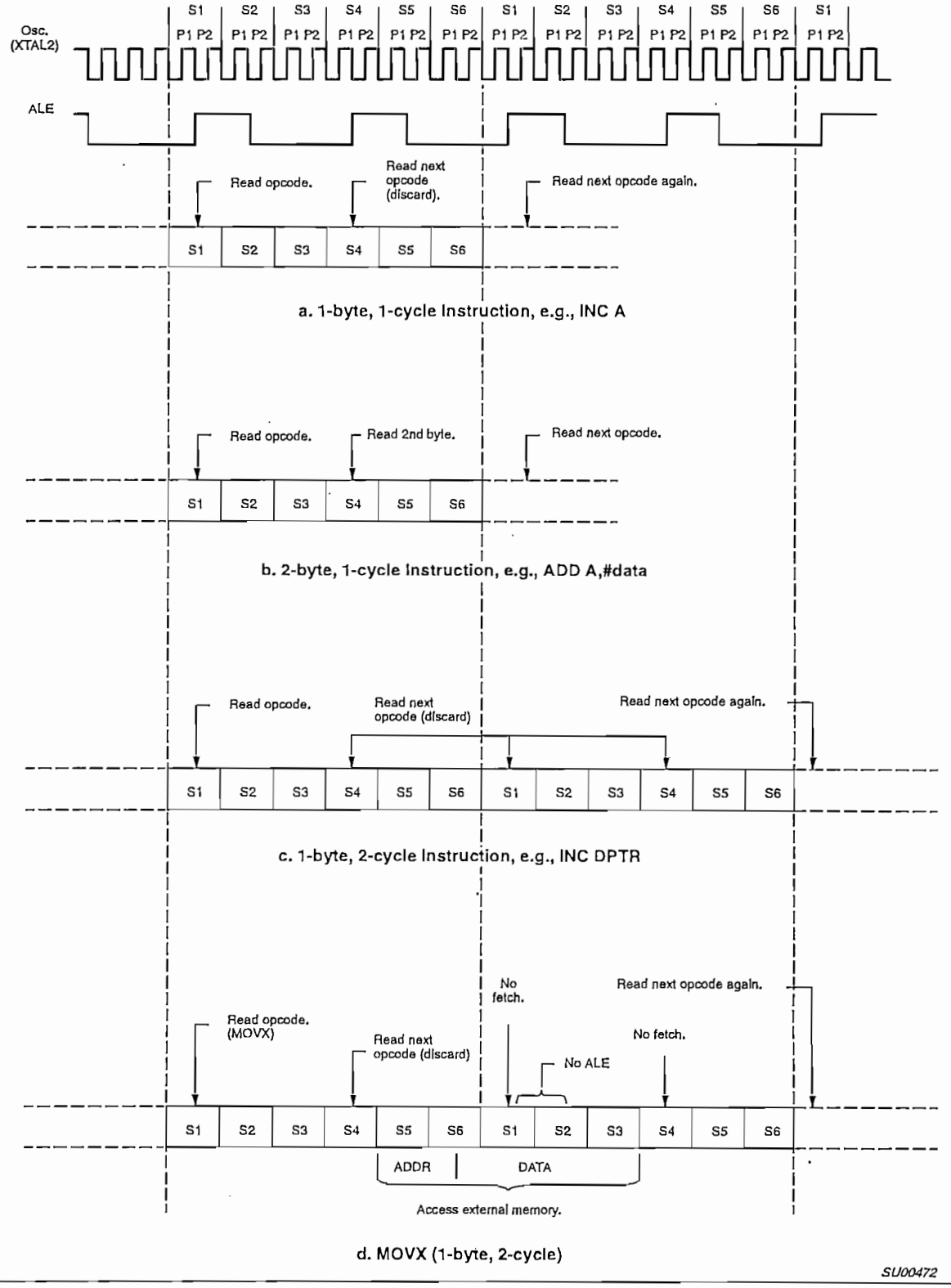
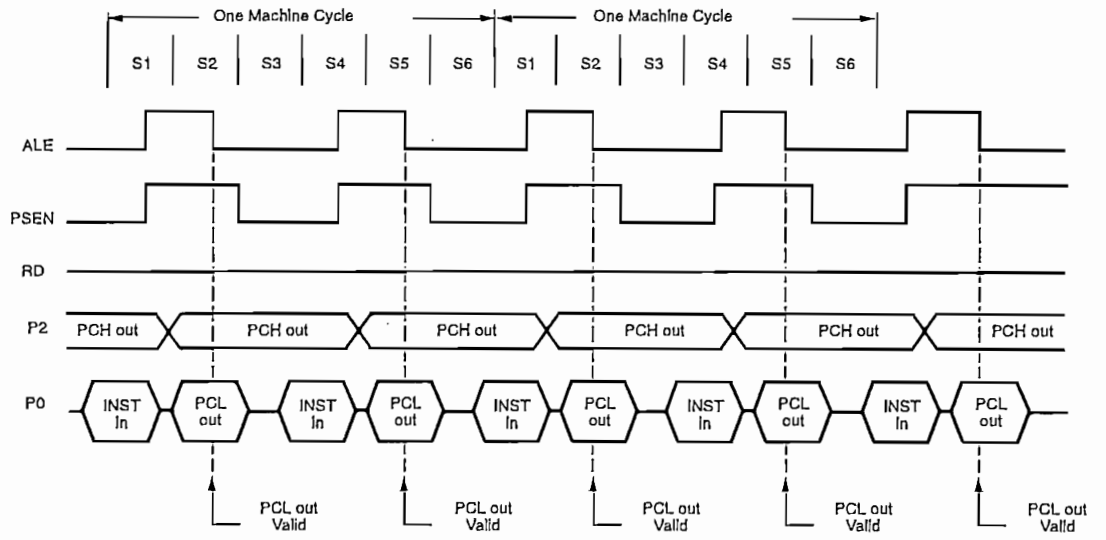
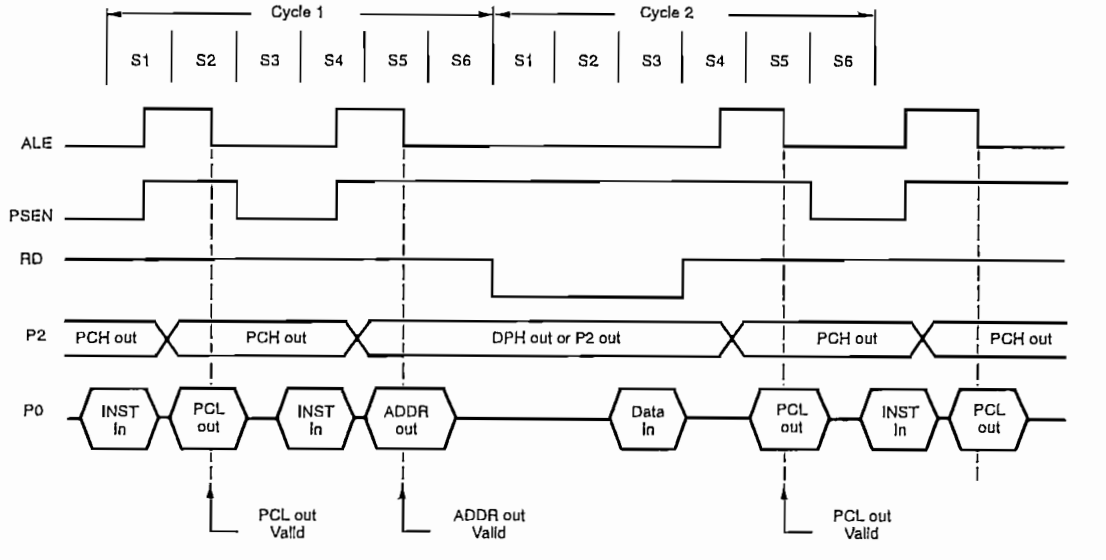


Figure 15. State Sequence in 80C51 Family Devices



a. Without a MOVX



b. With a MOVX

SU00473

Figure 16. Bus Cycles in 80C51 Family Devices Executing from External Program Memory

(MSB) (LSB)

$\overline{EA}$	X	X	ES	ET1	EX1	ET0	EX0

Symbol	Position	Function
$\overline{EA}$	IE.7	Disables all interrupts. If $\overline{EA}$ = 0, no interrupt will be acknowledged. If $\overline{EA}$ = 1, each interrupt source is individually enabled or disabled by setting or clearing its enable bit.
	IE.6	Reserved.
	IE.5	Reserved.
ES	IE.4	Enables or disables the Serial Port interrupt. If ES = 0, the Serial Port interrupt is disabled.
ET1	IE.3	Enables or disables the Timer 1 Overflow interrupt. If ET1 = 0, the Timer 1 interrupt is disabled.
EX1	IE.2	Enables or disables External Interrupt 1. If EX1 = 0, External Interrupt 1 is disabled.
ET0	IE.1	Enables or disables the Timer 0 Overflow interrupt. If ET0 = 0, the Timer 0 interrupt is disabled.
EX0	IE.0	Enables or disables Exeternal Interrupt 0. If EX0 = 0, External Interrupt 0 is disabled.

SU00474

Figure 17. Interrupt Enable (IE) Register

(MSB) (LSB)

X	X	X	PS	PT1	PX1	PT0	PX0

Symbol	Position	Function
	IP.7	Reserved.
	IP.6	Reserved.
	IP.5	Reserved.
PS	IP.4	Defines the Serial Port interrupt priority level. PS = 1 programs it to the higher priority level.
PT1	IP.3	Defines the Timer 1 interrupt priority level. PT1 = 1 programs it to the higher priority level.
PX1	IP.2	Defines the External Interrupt 1 priority level. PX1 = 1 programs it to the higher priority level.
PT0	IP.1	Enables or disables the Timer 0 Interrupt priority level. PT) = 1 programs it to the higher priority level.
PX0	IP.0	Defines the External Interrupt 0 priority level. PX0 = 1 programs it to the higher priority level.

SU00475

Figure 18. Interrupt Priority (IP) Register

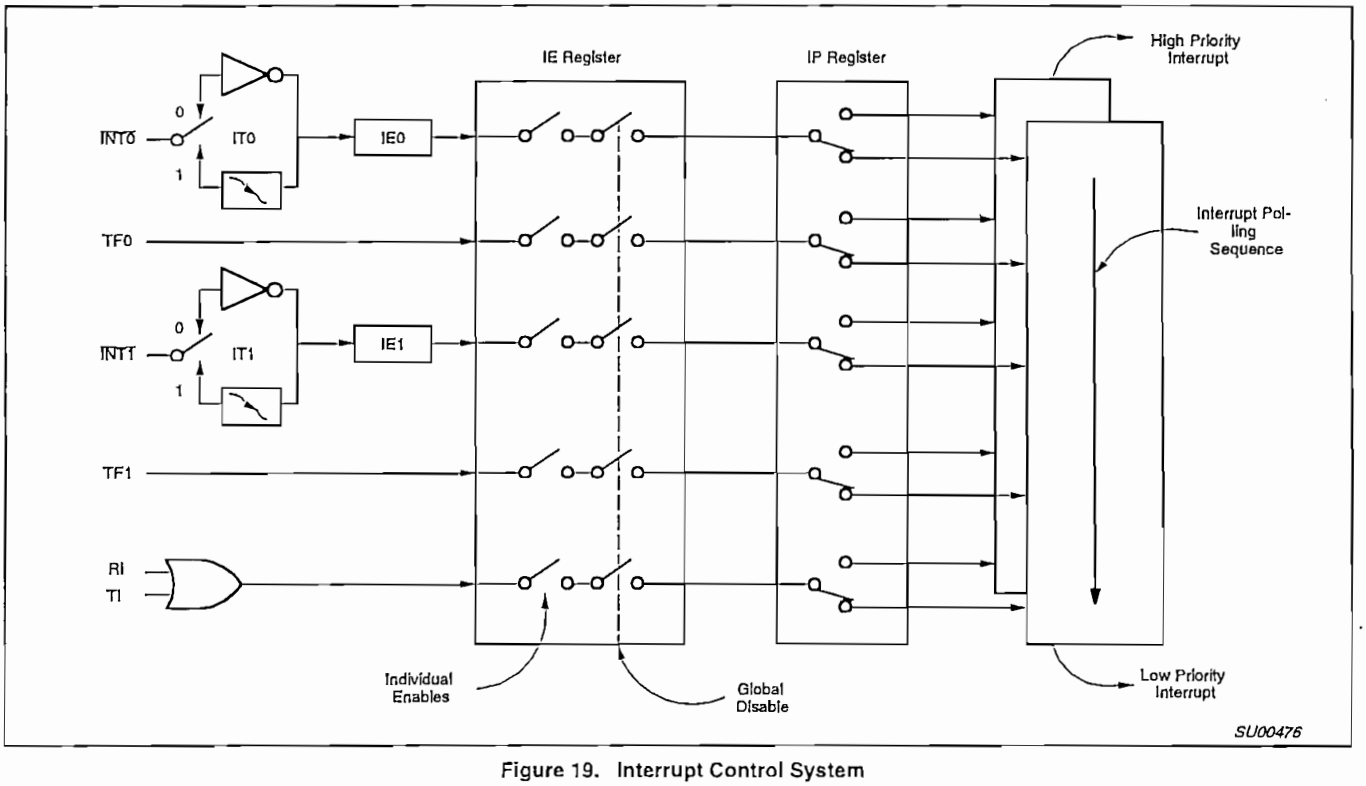


Figure 19. Interrupt Control System

Interrupt Structure

The 80C51 and its ROMless and EPROM versions have 5 interrupt sources: 2 external interrupts, 2 timer interrupts, and the serial port interrupt.

What follows is an overview of the interrupt structure for the device. More detailed information for specific members of the 80C51 derivative family is provided in later chapters of this user's guide.

Interrupt Enables

Each interrupt source can be individually enabled or disabled by setting or clearing a bit in the SFR named IE (Interrupt Enable). This register also contains a global disable bit, which can be cleared to disable all interrupts at once. Figure 17 shows the IE register.

Interrupt Priorities

Each interrupt source can also be individually programmed to one of two priority levels by setting or clearing a bit in the SFR named IP (Interrupt Priority). Figure 18 shows the IP register. A low-priority interrupt can be interrupted by a high-priority interrupt, but not by another low-priority interrupt. A high-priority interrupt can't be interrupted by any other interrupt source.

If two interrupt requests of different priority levels are received simultaneously, the request of higher priority is serviced. If interrupt requests of the same priority level are received simultaneously, an internal polling sequence determines which request is serviced. Thus within each priority level there is a second priority structure determined by the polling sequence. Figure 19 shows how the IE and IP registers and the polling sequence work to determine which if any interrupt will be serviced.

In operation, all the interrupt flags are latched into the interrupt control system during State 5 of every machine cycle. The samples are polled during the following machine cycle. If the flag for an enabled interrupt is found to be set (1), the interrupt system generates an LCALL to the appropriate location in Program Memory, unless some other condition blocks the interrupt. Several conditions can block an interrupt, among them that an interrupt of equal or higher priority level is already in progress.

The hardware-generated LCALL causes the contents of the Program Counter to be pushed into the stack, and reloads the PC with the beginning address of the service routine. As previously noted (Figure 3), the service routine for each interrupt begins at a fixed location.

Only the Program Counter is automatically pushed onto the stack, not the PSW or any other register. Having only the PC automatically saved allows the programmer to decide how much time should be spent saving other registers. This enhances the interrupt response time, albeit at the expense of increasing the programmer's burden of responsibility. As a result, many interrupt functions that are typical in control applications toggling a port pin for example, or reloading a timer, or unloading a serial buffer can often be completed in less time than it takes other architectures to complete.

Simulating a Third Priority Level in Software

Some applications require more than two priority levels that are provided by on-chip hardware in 80C51 devices. In these cases, relatively simple software can be written to produce the same effect as a third priority level. First, interrupts that are to have higher priority than 1 are assigned to priority 1 in the Interrupt Priority (IP) register. The service routines for priority 1 interrupts that are supposed to be interruptable by priority 2 interrupts are written to include the following code:

```
        PUSH   IE
        MOV    IE,#MASK
        CALL   LABEL
        ************************
        (execute service routine)
        ************************
        POP    IE
        RET
LABEL:  RETI
```

As soon as any priority interrupt is acknowledged, the Interrupt Enable (IE) register is redefined so as to disable all but priority 2 interrupts. Then a CALL to LABEL executes the RETI instruction, which clears the priority 1 interrupt-in-progress flip-flop. At this point any priority 1 interrupt that is enabled can be serviced, but only priority 2 interrupts are enabled.

POPing IE restores the original enable byte. Then a normal RET (rather than another RETI) is used to terminate the service routine. The additional software adds 10μs (at 12MHz) to priority 1 interrupts.

DOT MATRIX CHARACTER LCD MODULE USER'S MANUAL

OPTREX CORPORATION

1 FUNCTION AND STRUCTURE

1.1 General

DMC series is the name given to the dot matrix character LCD display modules that have been developed by OPTREX CORPORATION. The modules consist of high contrast and large viewing angle TN and STN type LC (liquid crystal) panels. Each module contains a CMOS controller and all necessary drivers which have low power consumption. The controller is equipped with an internal character generator ROM, RAM and RAM for display data. All display functions are controllable by instructions making interfacing practical.

Both display data RAM and character generator RAM can be read making it possible to use any part not used for display as general data RAM. The products of this series therefore have wide application possibilities in the field of terminal display or display for measuring devices.

1.2 Characteristics

1.2.1	5 x 7 dots plus cursor, 5 x 8 dots or 5 x 11 dots, dot matrix LCD (TN and STN mode.)	
1.2.2	4 bit or 8 bit interface with MPU is possible.	
1.2.3	Display data RAM	80 x bit (max. 80 characters)
1.2.4	Character generator ROM	160 5 x 7 Character fonts. 32 5 x 10 Character fonts. Custom ROM codes available.
1.2.5	Character generator RAM	Program write (64 x 8 bit) 8 5 x 7 character fonts. 4 5 x 10 character fonts.
1.2.6	Both display data RAM and Character generator RAM can be read from MPU.	
1.2.7	Duty ratio	1 Line Display: 1/8 duty 5 x 7 dots plus cursor, 5 x 8 dots. 1/11 duty 5 x 11 dots. 1/16 duty 5 x 7 dots plus cursor, 5 x 8 dots. 2 Line Display: 1/16 duty 5 x 7 dots plus cursor, 5 x 8 dots. 4 Line Display: 1/16 duty 5 x 8 dots.
1.2.8	Wide variety of operating instructions:	

Display clear, Cursor home, Display ON/OFF, Display cursor blink, Cursor shift, Display shift.

1.2.9 Internal automatic reset circuit upon power up.

1.2.10 Internal oscillator circuit.

1.2.11 CMOS circuitry.

1.2.12 Logic power source: Single (+5 V) for normal temperature.
Dual voltage for extended temperature.

1.2.13 Operating temperature range: 0 to +50°C (Standard type)
-20 to +70°C ("H" type)

1.3 Handling Precautions

1. LCD panel is made of glass. Avoid subjecting to strong mechanical shock or applying strong pressure on to the surface of display area.

2. The polarizer used on the surface of display panel is easily scratched and damaged. Precautions should be taken when handling.

3. CMOS-LSI is used for module circuit therefore your attention is called to the following:

   a) All unused input terminals should be connected to Vcc or GND. The selection of Vcc or GND will depend upon which connection will satisfy the desired logical function.
   b) When power source voltage is not applied avoid applying input signal.
   c) Anti-static electricity measures:
      i) When working with modules, either use your naked or gloved hand and wear non-conductive work suit to prevent generating static electricity by friction. ESD ground straps should be utilized.
      ii) Floors, doors, and work tables must be grounded to discharge electricity.
      iii) Tools such as soldering iron, cutting pliers and tweezers should be either grounded or properly treated whenever necessary.

4. For long term storage, avoid places of high temperature and humidity or direct sunlight.

5. Caution should be taken not to get the liquid crystal fluid in one's mouth or hands if a panel is broken. If this occurs, immediately wash with water.

1.5 Pin Assignments

Table 1.2

Pin Number	Symbol
1	V_{ss}
2	V_{cc}
3	V_{ee}
4	RS
5	R/W
6	E
7	DB0
8	DB1
9	DB2
10	DB3
11	DB4
12	DB5
13	DB6
14	DB7

Pin Descriptions:

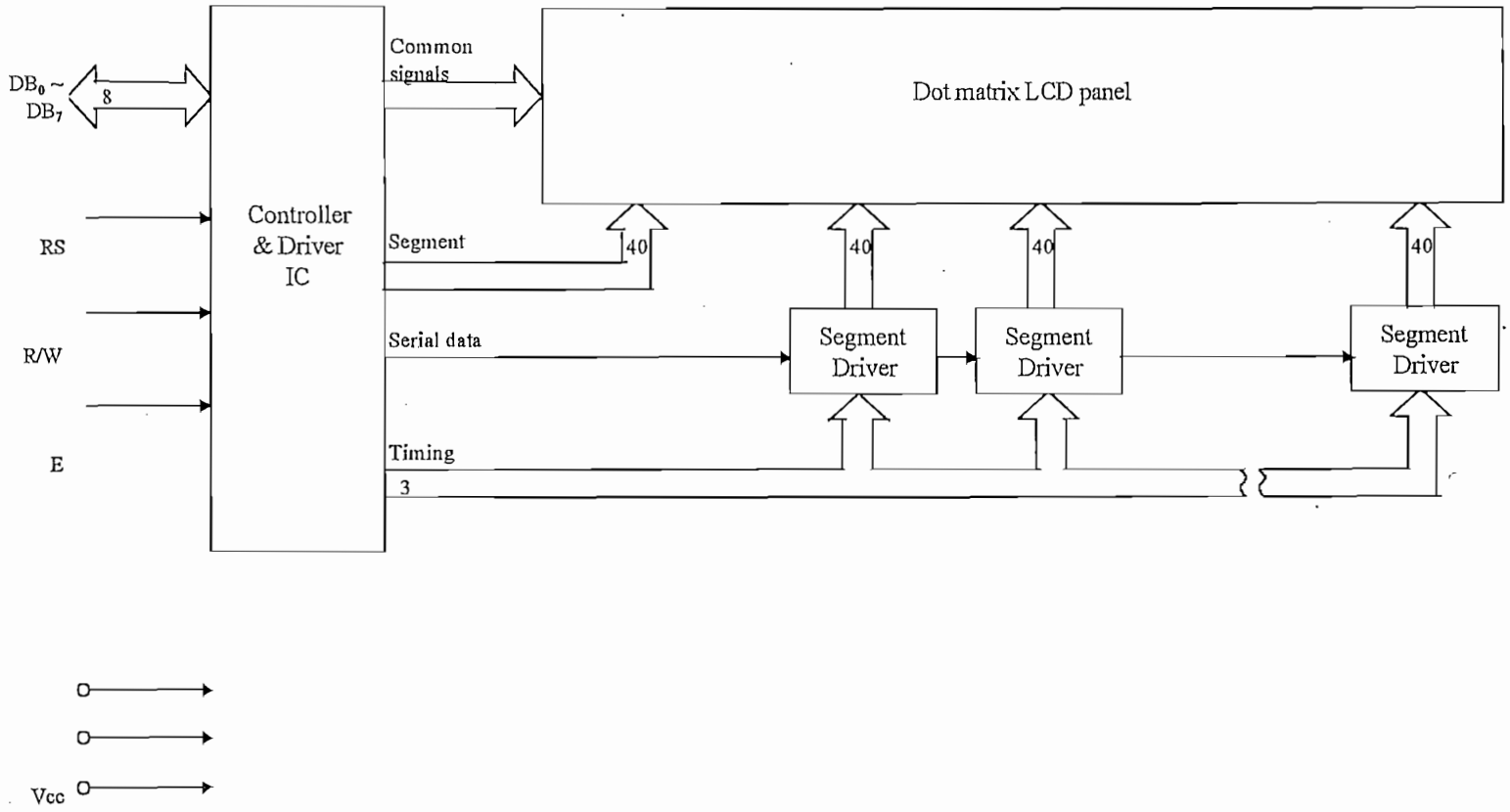
Table 1.3 List of terminal functions

Signal name	No. of Lines	Input/Output	Connected to	Function
DB4 ~ DB7	4	Input/Output	MPU	4 lines of high order data bus. Bi-directional transfer of data between MPU and module is done through these lines. Also DB_7 can be used as a busy flag. These lines are used as data in 4 bit operation.
DB0 ~ DB3	4	Input/Output	MPU	4 lines of low order data bus. Bi-directional transfer of data between MPU and module is done through these lines. In 4 bit operation, these are not used and should be grounded.
E	1	Input	MPU	Enable - Operation start signal for data read/write.
R/W	1	Input	MPU	Signal to select Read or Write "0": Write "1": Read
RS	1	Input	MPU	Register Select "0": Instruction register (Write) : Busy flag; Address counter (Read) "1": Data register (Write, Read)
Vee	1		Power Supply	Terminal for LCD drive power source.
Vcc	1		Power Supply	+5V
Vss	1		Power Supply	0V (GND)
E1	1	Input	MPU	Enable 1 - Operation start signal for data Read/Write of upper 2

				lines. Applicable to DMC 40457 series only.
E2	1	Input	MPU	Enable 2 - Operation start signal for data Read/Write of lower 2 lines. Applicable to DMC 40457 series only.

1.6 Block Diagram

Figure 1.1



2 MPU INTERFACING

2.1 General

Each character display can be operated in either 4 or 8 bit mode.

Instructions/Data are written to the display using the signal timing characteristics found in section 4.2.

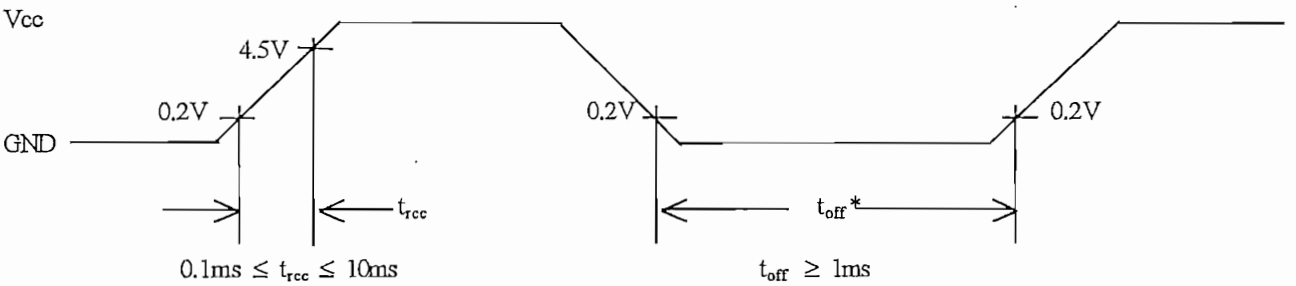
When operating in 4 bit mode, data is transferred in two 4 bit operations using data bits DB_4 - DB_7. DB_0 - DB_3 are not used and should be tied low. When using 4 bit mode, data is transferred twice before the instruction cycle is complete. First the high order nibble is transferred then the low order nibble. The busy flag should only be checked after both nibbles are transferred.

When operating in 8 bit mode, data is transferred using the full 8 bit bus DB_0 - DB_7.

2.2 Initialization

2.2.1 Initialization using the Internal Reset Circuit

The display can be initialized using the internal reset circuit if the Internal Power Supply Reset timing below is met.



Note: t_{off} represents the time of power off condition for a momentary power supply dip or when cycling power off then on.

If the above conditions are met, the busy flag will go active 10ms after V_{cc} rises to 4.5V. The busy flag will remain active until the following instructions are executed fully.

a. Display Clear

b. Function set:

DL = 1 : 8 bit interface operation
N = 0 : 1 - line display
F = 0 : 5 x 7 dot character font

c. Display ON/OFF Control:

D = 0 : Display OFF
C = 0: Cursor OFF
B = 0: Blink OFF

d. Entry Mode Set:

I/D = 1 : +1 (Increment Mode)
S = 0 : No Display Shift operation

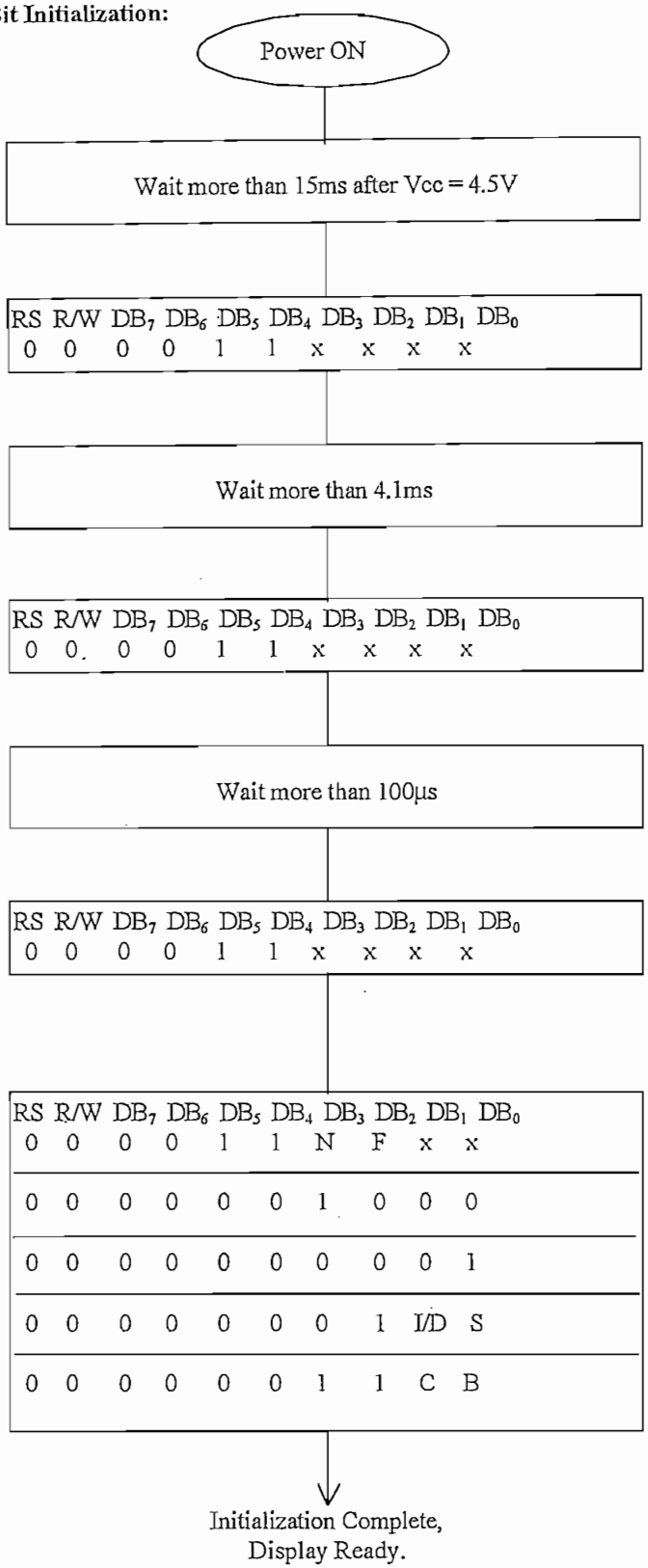
If the internal power supply reset timing cannot be met, the display will not operate normally. In this case, the display can be initialized through software.

Note: Variable power supply loading can have an effect on power supply reset timing. If this is the case, then the software initialization should be performed.

2.2.2 Software Initialization

Although software initialization is not mandatory, it is recommended that this procedure always be performed. When the internal power supply reset timing cannot be met, then the display must be initialized using one of the following procedures.

2.2.2.1 **8 - Bit Initialization:**



No data should be transferred to or from the display during this time.

Function Set Command: (8-Bit interface)
BF cannot be checked before this command.

No data should be transferred to or from the display during this time.

Function Set Command: (8-Bit interface)
BF cannot be checked before this command.

No data should be transferred to or from the display during this time.

Function Set Command: (8-Bit interface)
After this command is written, BF can be checked.

Function Set (Interface = 8 bits, Set No. of lines and display font)

Display OFF

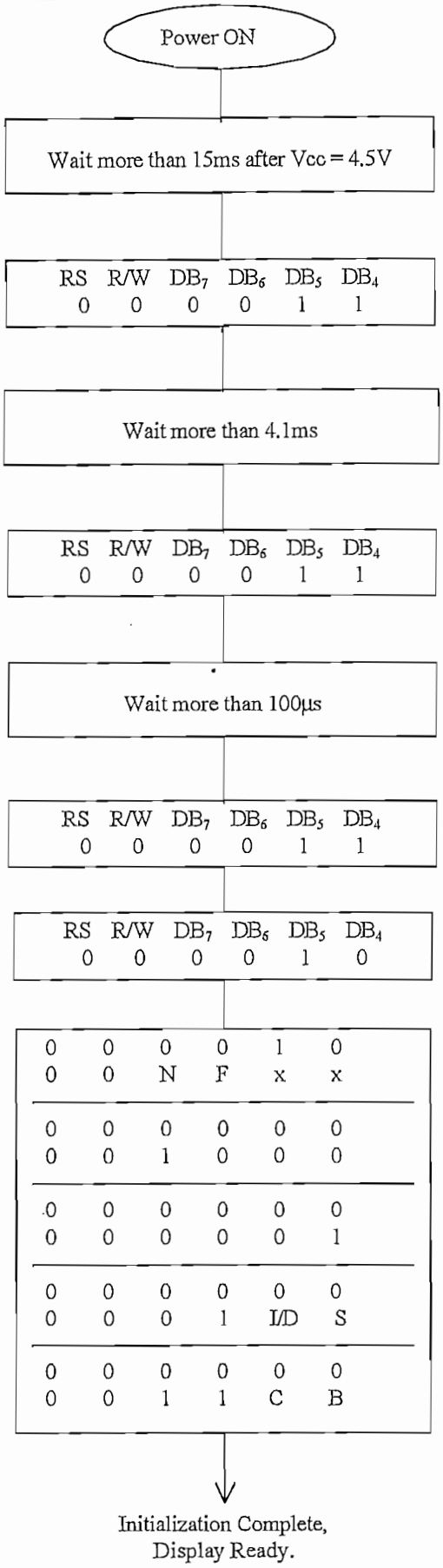
Clear Display

Entry Mode Set:

Display ON (Set C and B for cursor/Blink options.)

Note: BF should be checked before each of the instructions starting with Display OFF.

2.2.2.2 **4 - Bit Initialization:**



No data should be transferred to or from the display during this time.

Function Set Command: (8-Bit interface)

No data should be transferred to or from the display during this time.

Function Set Command: (8-Bit interface)

No data should be transferred to or from the display during this time.

Function Set Command: (8-Bit interface)
After this command is written, BF can be checked.

Function Set: Sets interface to 4 -bit

Function Set (Interface = 4 -bit, Set N and F for number of lines and character font)

Display OFF

Clear Display

Entry Mode Set:

Display ON (Set C and B for cursor/Blink options.)

Note: BF should be checked before each of the instructions starting with Display OFF.

3 INSTRUCTIONS

Table 3.1 shows the list of instructions recognized by the LCD Controller and their execution times. If the busy flag is not checked, each instruction must be allotted at least the execution time before writing another instruction or data. After writing these execution times, the display can be written without conflict.

3.1 Detailed Explanations

3.1.1 Clear Display

	RS	R/W	DB_7	DB_6	. . .	DB_1	DB_0
Code	0	0	0	0	0 0 0 0 0	0	1

Writes the space code "20" (hexadecimal) into all addresses of DD RAM. Returns display to its original position if it was shifted. In other words the display clears and the cursor or blink moves to the upper left edge of the display. The execution of clear display instruction sets entry mode to increment mode.

3.1.2 Return Home

	RS	R/W	DB_7	DB_6	. . .	DB_1	DB_0
Code	0	0	0	0	0 0 0 0	1	x

Note: x = Don't Care

Sets the DD RAM address "0" in address counter. Return display to its original position if it was shifted. DD RAM contents do not change.

The cursor or the blink moves to the upper left edge of the display. Text on the display remains unchanged.

3.1.3 Entry mode set

	RS	S/W	DB_7	DB_6	. . .	DB_1	DB_0
Code	0	0	0	0	0 0 0 1	I/D	S

Sets the Increment/Decrement and Shift modes to the desired settings.

I/D: Increments (I/D = 1) or decrements (ID = 0) the DD RAM address by 1 when a character code is written into or read from the DD RAM.

The cursor or blink moves to the right when incremented by +1.

The same applies to writing and reading the CG RAM.

S: Shifts the entire display either to the right or to the left when S = 1; shift to the left when I/D = 1 and to the right when I/D = 0. Thus it looks as if the cursor stands still and only the display seems to move.

The display does not shift when reading from DD RAM nor when S = 0.

3.1.4 Display ON/OFF Control

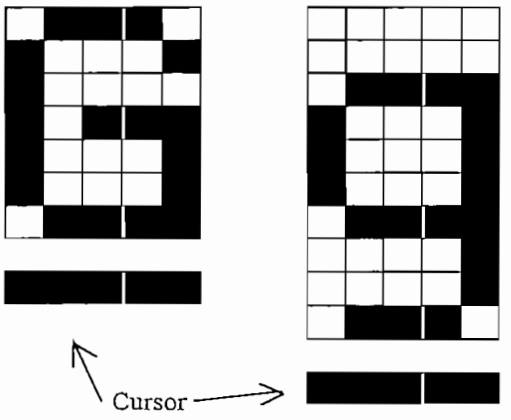
	RS	R/W	DB_7	DB_6	. . .			DB_1	DB_0
Code	0	0	0	0	0	0	1	D	C	B

Controls the display ON/OFF status, Cursor ON/OFF and Cursor Blink function.

D: The display is ON when D = 1 and OFF when D = 0. When OFF due to D = 0, display data remains in the DD RAM. It can be displayed immediately by setting D = 1.

C: The cursor displays when C = 1 and does not display when C = 0. The cursor is displayed on the 8th line when 5 x 7 dot character font has been selected.

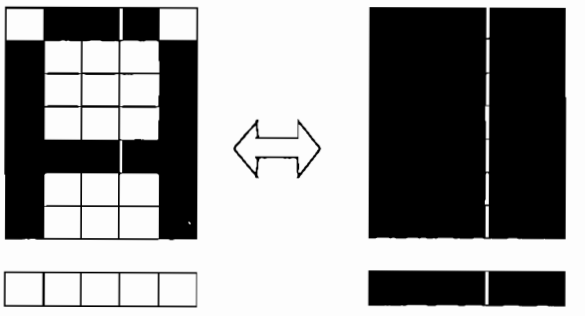
B: The character indicated by the cursor blinks when B = 1. The blink is displayed by switching between all blank dots and display characters at 0.4 sec intervals.
The cursor and the blink can be set to display simultaneously.



5 x 7 dots character font

5 x 10 dots character font

(a) Cursor display example
C = 1 ; B = 0



(b) Blink display example
C = 1 ; B = 1

3.1.5 Cursor or Display Shift

	RS	R/W	DB_7	DB_6	. . .			DB_1	DB_0
Code	0	0	0	0	0	1	S/C	R/L	x	x

Note: x = Don't Care

Shifts the cursor position or display to the right or left without writing or reading display data. This function is used to correct or search for the display. In a 2-line display the cursor moves to the 2nd line when it passes the 40th digit of the 1st line. Notice that the 1st and 2nd line displays will shift at the same time.

When the displayed data is shifted repeatedly each line only moves horizontally but the 2nd line display does not shift into the 1st line position.

S/C	R/L	
0	0	Shifts cursor position to the left (AC is decremented by one)
0	1	Shifts cursor position to the right (AC is incremented by one)
1	0	Shifts the entire display to the left. The cursor follows the display shift.
1	1	Shifts the entire display to the right. The cursor follows the display shift.

The contents of Address Counter (AC) do not change if the only action performed is shifting display.

3.1.6 Function Set

Sets the interface data length, the number of lines, and character font.

	RS	R/W	DB_7	DB_6	. . .			DB_1	DB_0
Code	0	0	0	0	1	DL	N	F	x	x

Note: x = Don't Care

DL: Sets interface data length. Data is sent or received in 8-bit length ($DB_7 \sim DB_0$) when DL = "1", and in 4-bit length ($DB_7 \sim DB_4$) when DL = 0. When the 4-bit length is selected, data must be sent or received twice.

N: Sets the number of lines
N = "0" : 1 line display (1/8 duty)
N = "1" : 2 line display (1/16 duty)

F: Sets character font.
F = "1" : 5 x 10 dots
F = "0" : 5 x 7 dots

Note: Perform the function at the head of the program before executing all instructions (except Busy flag/address read). From this point, the function set instruction cannot be executed other than to change interface length.

Table 3.1
List of Instructions

Instruction	Code										Description	Execution time (max.) when fcp or fosc is 250 kHz
	RS	R/W	DB_7	DB_6	DB_5	DB_4	DB_3	DB_2	DB_1	DB_0		
Clear Display	0	0	0	0	0	0	0	0	0	1	Clears entire display and sets DD RAM address 0 in address counter.	15.2ms
Return Home	0	0	0	0	0	0	0	0	1	x	Sets DD RAM address 0 in address counter. Also returns shifted display to original position. DD RAM contents remain unchanged.	15.2ms
Entry Mode Set	0	0	0	0	0	0	0	1	I/D	S	Sets cursor move direction and specifies shift or display. These operations are performed during data write and read.	40µs
Display ON/OFF Control	0	0	0	0	0	0	1	D	C	B	Sets ON/OFF of entire display (D), cursor ON/OFF (C), and blink of cursor position character (B).	40µs
Cursor or Display Shift	0	0	0	0	0	1	S/C	R/L	x	x	Moves cursor and shifts display without changing DD RAM contents.	40µs
Function Set	0	0	0	0	1	DL	N	F	x	x	Sets interface data length (DL), number of display lines (N) and character font (F).	40µs
Set CG RAM Address	0	0	0	1	ACG						Sets CG RAM address. CG RAM data is sent and received after this setting.	40µs
Set DD RAM Address	0	0	1	ADD							Sets DD RAM address. DD RAM data is sent and received after this setting.	40µs
Read Busy Flag & Address	0	1	BF	AC							Reads busy flag (BF) indicating internal operation is being performed and reads address counter contents.	40µs
Write Data to CG or DD RAM	1	0	Write Data								Writes data into DD RAM or CG RAM.	40µs
Read Data from CG or DD RAM	1	1	Read Data								Reads data from DD RAM or CG RAM.	40µs
	I/D=1 : Increment I/D=0 : Decrement S=1 : Accompanies display shift S/C=1 : Display shift S/C=0 : Cursor move R/L=1 : Shift to the right										DD RAM : Display Data RAM CG RAM : Character Generator RAM ACG : CG RAM address ADD : DD RAM address. Corresponds to cursor address. AC : Address counter used for both	Execution time changes when frequency changes. Example: When fcp or fosc is 270kHz:

	R/L=0 : Shifts to the left DL=1 : 8 bits, DL=0 : 4 bits N=1 : 2 lines, N=0 : 1 line F=1 : 5x10 dots, F=0 : 5x7 dots BF=1 : Internally operating BF=0 : Can accept instruction	DD and CG RAM address.	40µs x 250/270 = 37 µs

x = don't care. (No Effect)

4 Electrical Characteristics

4.1 Absolute Maximum Ratings

The absolute maximum ratings of a display module may vary from one to another. Please contact your local Optrex Sales Representative for a detailed module specification.

4.2 Timing Characteristics

4.2.1 Write Operation

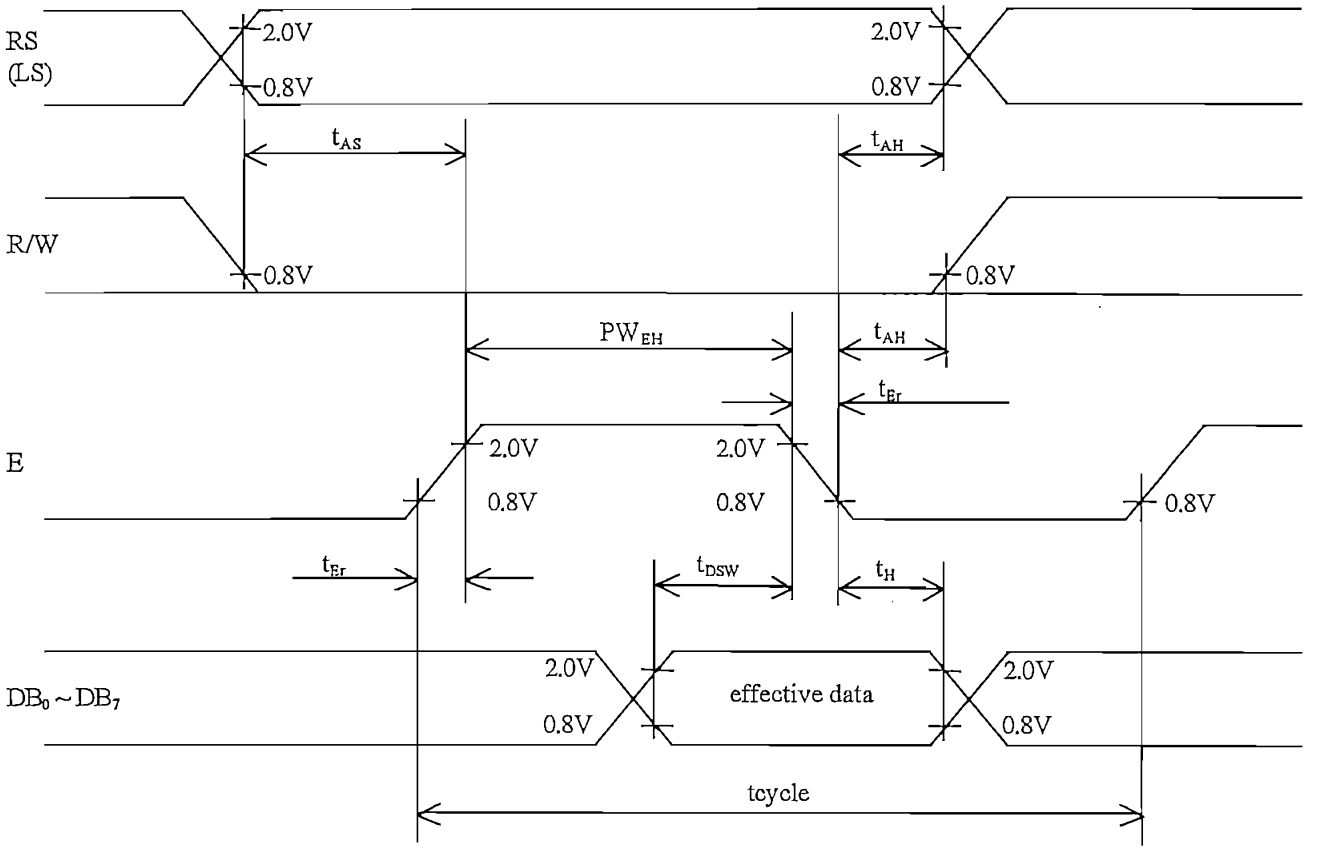


Fig. 4.1
Bus Write Operation Sequence.
(Writing data from MPU to Module)

4.2.2 Read Operation

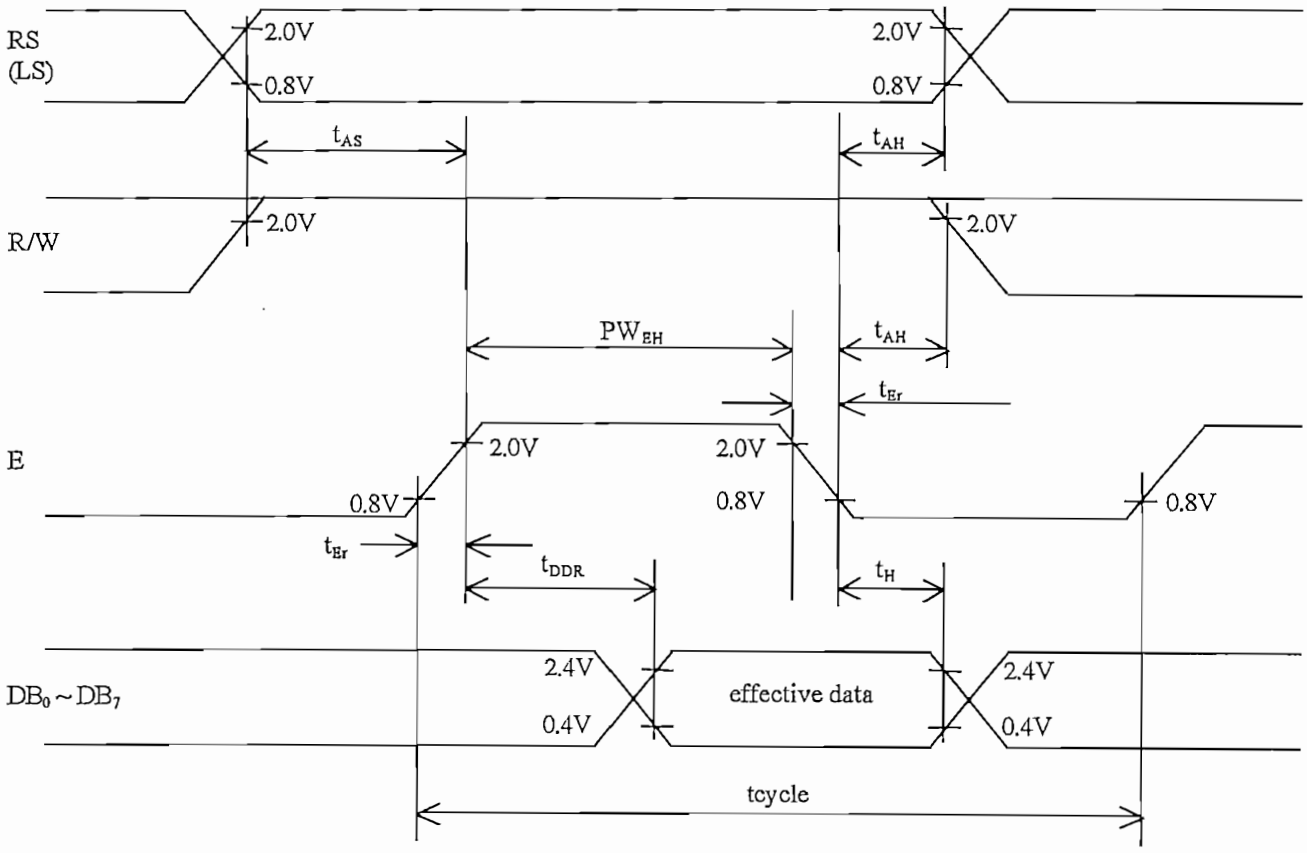


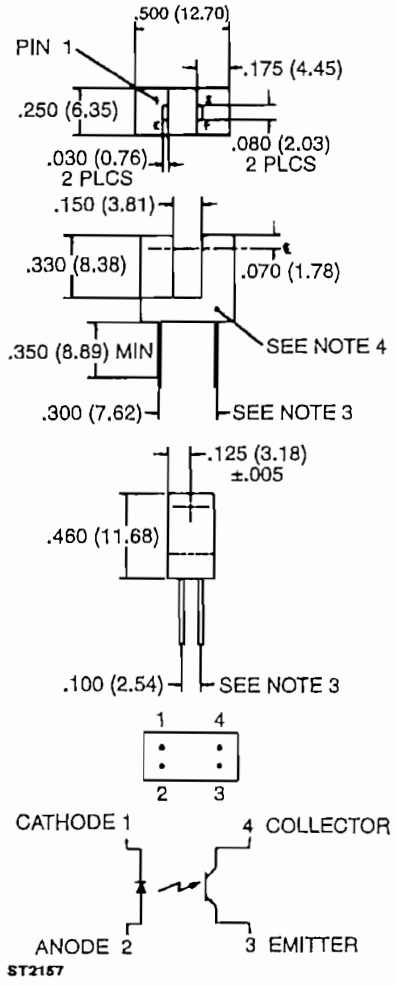
Fig. 4.2
Bus Read Operation Sequence
(Reading data from Module to MPU)

QT OPTOELECTRONICS

SLOTTED OPTICAL SWITCH

OPB804

PACKAGE DIMENSIONS



ST2157

NOTES:
1. DIMENSIONS ARE IN INCHES (mm.)
2. TOLERANCE IS ±.010 (0.25) UNLESS OTHERWISE SPECIFIED.
3. THIS DIMENSION IS CONTROLLED AT THE HOUSING SURFACE.
4. WHITE DOT ADJACENT TO COLLECTOR LEAD.

DESCRIPTION

The OPB804 is an optical slotted switch that consists of an infrared emitting diode facing and NPN phototransistor across a .150" (3.81 mm) gap. Phototransistor switching takes place when an opaque object breaks the light path.

FEATURES

- .150" wide gap.
- .300" lead spacing.
- Printed circuit board mounting.
- Non contact switching.
- 2mm aperture width.

QT OPTOELECTRONICS

REFLECTIVE OBJECT SENSOR

ABSOLUTE MAXIMUM RATINGS (T_A = 25°C Unless Otherwise Specified)

Storage Temperature ..... −40°C to + 85°C
Operating Temperature ..... −40°C to + 85°C
Soldering:
Lead Temperature (Iron) ..... 240°C for 5 sec. [2,3,4]
Lead Temperature (Flow) ..... 260°C for 10 sec. [2,3]

INPUT DIODE
Continuous Forward Current ..... 50 mA
Reverse Voltage ..... 5.0 Volts
Power Dissipation ..... 75 mW[1]

OUTPUT TRANSISTOR
Collector-Emitter Voltage ..... 30 Volts
Emitter-Collector Voltage ..... 5.0 Volts
Power Dissipation ..... 75 mW[1]

ELECTRICAL CHARACTERISTICS (T_A = 25°C Unless Otherwise Specified)

(All measurements made under pulse conditions.)

PARAMETER	SYMBOL	MIN.	TYP.	MAX.	UNITS	TEST CONDITIONS
INPUT DIODE						
Forward voltage	V_F	—		1.70	V	I_F = 20 mA
Reverse Leakage Current	I_R	—		100	μA	V_R = 5.0 V
OUTPUT TRANSISTOR						
Collector-Emitter Breakdown	BV_{ECO}	30		—	V	I_C = 100 μA, Ee = 0
Collector-Emitter Breakdown	BV_{CEO}	5		—	V	I_E = 100 μA, Ee = 0
Collector-Emitter Leakage	I_{CEO}	—		100	nA	V_{CE} = 10.0 V, Ee = 0
COUPLED						
On-State Collector Current						
OPB706A	$I_{C(ON)}$	500		—	μA	I_F = 20 mA, V_{CC} = 5.0 V, D = .050" [5,7]
OPB706B	$I_{C(ON)}$	350		—	μA	I_F = 20 mA, V_{CC} = 5.0 V, D = .050" [5,7]
OPB706C	$I_{C(ON)}$	200		—	μA	I_F = 20 mA, V_{CC} = 5.0 V, D = .050" [5,7]
Crosstalk	I_{CX}	—	200	—	nA	I_F = 20 mA, V_{CC} = 5.0 V, Ee = 0[6]
Saturation Voltage	$V_{CE(SAT)}$	—		0.40	V	I_F = 40 mA, I_C = 100μA, D = .050"[5,7]

NOTES

1. *Derate power dissipation linearly 1.25 mW/°C above 25°C.*
2. *RMA flux is recommended.*
3. *Soldering iron tip 1/16" (1.6 mm) minimum from housing.*
4. *As long as leads are not under any stress or spring tension.*
5. *D is the distance from the sensor face to the reflective surface.*
6. *Crosstalk (I_{CX}) is the collector current measured with the indicated current on the input diode and with no reflective surface.*
7. *Measured using Eastman Kodak neutral white test card with 90% diffused reflectance as a reflecting surface.*

September 2001

National Semiconductor

LM340/LM78XX Series 3-Terminal Positive Regulators

General Description

The LM140/LM340A/LM340/LM7800C monolithic 3-terminal positive voltage regulators employ internal current-limiting, thermal shutdown and safe-area compensation, making them essentially indestructible. If adequate heat sinking is provided, they can deliver over 1.0A output current. They are intended as fixed voltage regulators in a wide range of applications including local (on-card) regulation for elimination of noise and distribution problems associated with single-point regulation. In addition to use as fixed voltage regulators, these devices can be used with external components to obtain adjustable output voltages and currents.

Considerable effort was expended to make the entire series of regulators easy to use and minimize the number of external components. It is not necessary to bypass the output, although this does improve transient response. Input bypassing is needed only if the regulator is located far from the filter capacitor of the power supply.

The 5V, 12V, and 15V regulator options are available in the steel TO-3 power package. The LM340A/LM340/LM7800C series is available in the TO-220 plastic power package, and the LM340-5.0 is available in the SOT-223 package, as well as the LM340-5.0 and LM340-12 in the surface-mount TO-263 package.

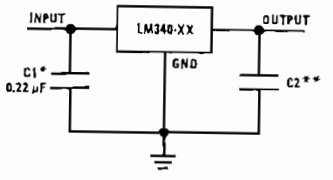
Features

- Complete specifications at 1A load
- Output voltage tolerances of ±2% at T_J = 25°C and ±4% over the temperature range (LM340A)
- Line regulation of 0.01% of V_{OUT}/V of ΔV_{IN} at 1A load (LM340A)
- Load regulation of 0.3% of V_{OUT}/A (LM340A)
- Internal thermal overload protection
- Internal short-circuit current limit
- Output transistor safe area protection
- P^+ Product Enhancement tested

Device	Output Voltages	Packages
LM140	5, 12, 15	TO-3 (K)
LM340A/LM340	5, 12, 15	TO-3 (K), TO-220 (T), SOT-223 (MP), TO-263 (S) (5V and 12V only)
LM7800C	5, 8, 12, 15	TO-220 (T)

Typical Applications

Fixed Output Regulator

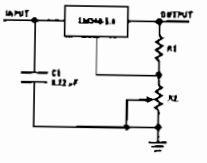


00778101

*Required if the regulator is located far from the power supply filter.

**Although no output capacitor is needed for stability, it does help transient response. (If needed, use 0.1 µF, ceramic disc).

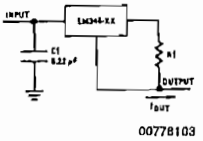
Adjustable Output Regulator



00778102

V_{OUT} = 5V + (5V/R1 + I_Q) R2 5V/R1 > 3 I_Q,
load regulation (L_f) ≈ [(R1 + R2)/R1] (L_f of LM340-5).

Current Regulator

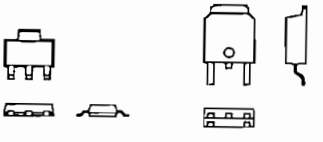


00778103

$$I_{OUT} = \frac{V2\text{-}3}{R1} + I_Q$$

ΔI_Q = 1.3 mA over line and load changes.

Comparison between SOT-223 and D-Pak (TO-252) Packages



00778138

Scale 1:1

© 2001 National Semiconductor Corporation

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

(Note 5)

DC Input Voltage	
All Devices except LM7824/LM7824C	35V
LM7824/LM7824C	40V
Internal Power Dissipation (Note 2)	Internally Limited
Maximum Junction Temperature	150°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 sec.)	
TO-3 Package (K)	300°C
TO-220 Package (T), TO-263 Package (S)	230°C
ESD Susceptibility (Note 3)	2 kV

Operating Conditions (Note 1)

Temperature Range (T_A) (Note 2)	
LM140A, LM140	−55°C to +125°C
LM340A, LM340, LM7805C, LM7812C, LM7815C, LM7808C	0°C to +125°C

LM340A Electrical Characteristics

I_{OUT} = 1A, −55°C ≤ T_J ≤ +150°C (LM140A), or 0°C ≤ T_J ≤ + 125°C (LM340A) unless otherwise specified (Note 4)

Symbol	Output Voltage		5V			12V			15V			Units
	Input Voltage (unless otherwise noted)		10V			19V			23V			
	Parameter	Conditions	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
V_O	Output Voltage	T_J = 25°C	4.9	5	5.1	11.75	12	12.25	14.7	15	15.3	V
		P_D ≤ 15W, 5 mA ≤ I_O ≤ 1A	4.8		5.2	11.5		12.5	14.4		15.6	V
		V_{MIN} ≤ V_{IN} ≤ V_{MAX}	(7.5 ≤ V_{IN} ≤ 20)			(14.8 ≤ V_{IN} ≤ 27)			(17.9 ≤ V_{IN} ≤ 30)			V
ΔV_O	Line Regulation	I_O = 500 mA			10			18			22	mV
		ΔV_{IN}	(7.5 ≤ V_{IN} ≤ 20)			(14.8 ≤ V_{IN} ≤ 27)			(17.9 ≤ V_{IN} ≤ 30)			V
		T_J = 25°C		3	10		4	18		4	22	mV
		ΔV_{IN}	(7.5 ≤ V_{IN} ≤ 20)			(14.5 ≤ V_{IN} ≤ 27)			(17.5 ≤ V_{IN} ≤ 30)			V
		T_J = 25°C			4			9			10	mV
		Over Temperature			12			30			30	mV
		ΔV_{IN}	(8 ≤ V_{IN} ≤ 12)			(16 ≤ V_{IN} ≤ 22)			(20 ≤ V_{IN} ≤ 26)			V
ΔV_O	Load Regulation	T_J = 25°C, 5 mA ≤ I_O ≤ 1.5A		10	25		12	32		12	35	mV
		T_J = 25°C, 250 mA ≤ I_O ≤ 750 mA			15			19			21	mV
		Over Temperature, 5 mA ≤ I_O ≤ 1A			25			60			75	mV
I_Q	Quiescent Current	T_J = 25°C			6			6			6	mA
		Over Temperature			6.5			6.5			6.5	mA
ΔI_Q	Quiescent Current Change	5 mA ≤ I_O ≤ 1A			0.5			0.5			0.5	mA
		T_J = 25°C, I_O = 1A			0.8			0.8			0.8	mA
		V_{MIN} ≤ V_{IN} ≤ V_{MAX}	(7.5 ≤ V_{IN} ≤ 20)			(14.8 ≤ V_{IN} ≤ 27)			(17.9 ≤ V_{IN} ≤ 30)			V
		I_O = 500 mA			0.8			0.8			0.8	mA
		V_{MIN} ≤ V_{IN} ≤ V_{MAX}	(8 ≤ V_{IN} ≤ 25)			(15 ≤ V_{IN} ≤ 30)			(17.9 ≤ V_{IN} ≤ 30)			V
V_N	Output Noise Voltage	T_A = 25°C, 10 Hz ≤ f ≤ 100 kHz		40			75			90		μV
$\frac{\Delta V_{IN}}{\Delta V_{OUT}}$	Ripple Rejection	T_J = 25°C, f = 120 Hz, I_O = 1A	68	80		61	72		60	70		dB
		or f = 120 Hz, I_O = 500 mA,	68			61			60			dB
		Over Temperature, V_{MIN} ≤ V_{IN} ≤ V_{MAX}	(8 ≤ V_{IN} ≤ 18)			(15 ≤ V_{IN} ≤ 25)			(18.5 ≤ V_{IN} ≤ 28.5)			V
R_O	Dropout Voltage	T_J = 25°C, I_O = 1A		2.0			2.0			2.0		V
	Output Resistance	f = 1 kHz		8			18			19		mΩ

Application Hints (Continued)

Regulator Floating Ground (*Figure 2*): When the ground pin alone becomes disconnected, the output approaches the unregulated input, causing possible damage to other circuits connected to V_{OUT}. If ground is reconnected with power "ON", damage may also occur to the regulator. This fault is most likely to occur when plugging in regulators or modules with on card regulators into powered up sockets. Power should be turned off first, thermal limit ceases operating, or ground should be connected first if power must be left on.

Transient Voltages: If transients exceed the maximum rated input voltage of the device, or reach more than 0.8V below ground and have sufficient energy, they will damage the regulator. The solution is to use a large input capacitor, a series input breakdown diode, a choke, a transient suppressor or a combination of these.

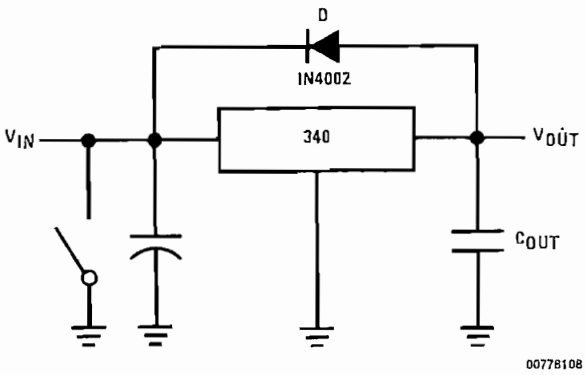


FIGURE 1. Input Short

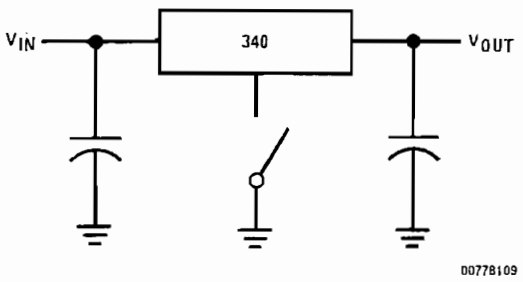


FIGURE 2. Regulator Floating Ground

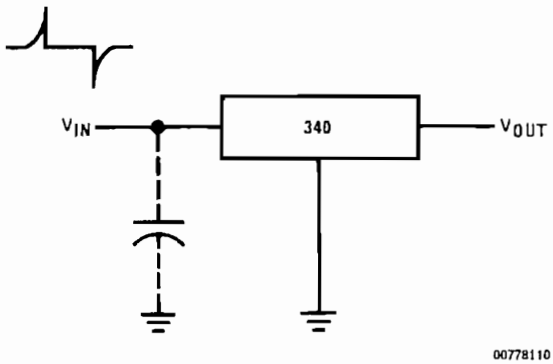


FIGURE 3. Transients

When a value for $\theta_{(H-A)}$ is found using the equation shown, a heatsink must be selected that has *a value that is less than or equal to this number.*

$\theta_{(H-A)}$ is specified numerically by the heatsink manufacturer in this catalog, or shown in a curve that plots temperature rise vs power dissipation for the heatsink.

HEATSINKING TO-263 AND SOT-223 PACKAGE PARTS

Both the TO-263 ("S") and SOT-223 ("MP") packages use a copper plane on the PCB and the PCB itself as a heatsink. To optimize the heat sinking ability of the plane and PCB, solder the tab of the plane.

shows for the TO-263 the measured values of $\theta_{(J-A)}$ for different copper area sizes using a typical PCB with 1 ounce copper *and no solder mask over the copper area used for heatsinking.*

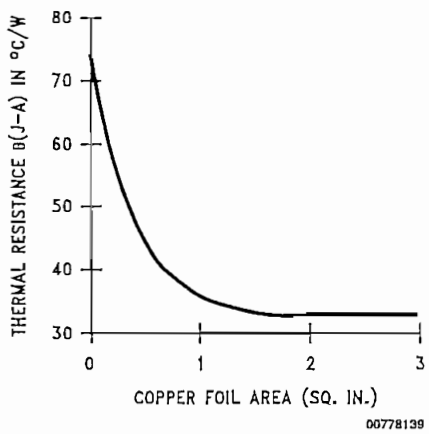


FIGURE 4. $\theta_{(J-A)}$ vs Copper (1 ounce) Area for the TO-263 Package

As shown in the figure, increasing the copper area beyond 1 square inch produces very little improvement. It should also be observed that the minimum value of $\theta_{(J-A)}$ for the TO-263 package mounted to a PCB is 32°C/W.

As a design aid, *Figure 5* shows the maximum allowable power dissipation compared to ambient temperature for the TO-263 device (assuming $\theta_{(J-A)}$ is 35°C/W and the maximum junction temperature is 125°C).

Application Hints (Continued)

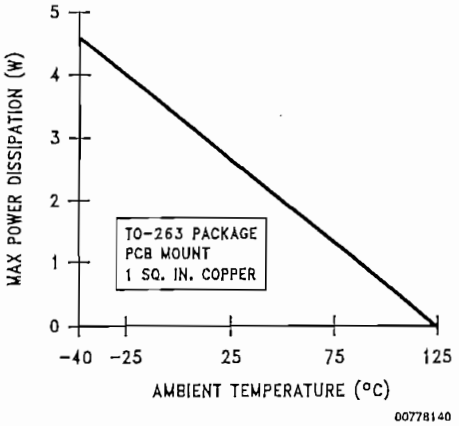


FIGURE 5. Maximum Power Dissipation vs T_{AMB} for the TO-263 Package

Figures 6, 7 show the information for the SOT-223 package. *Figure 6* assumes a $\theta_{(J-A)}$ of 74°C/W for 1 ounce copper and 51°C/W for 2 ounce copper and a maximum junction temperature of 125°C.

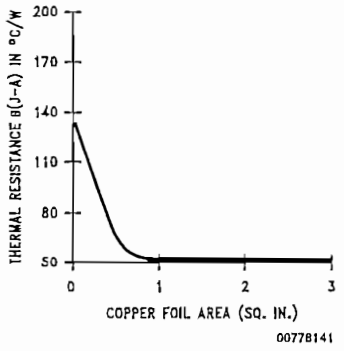
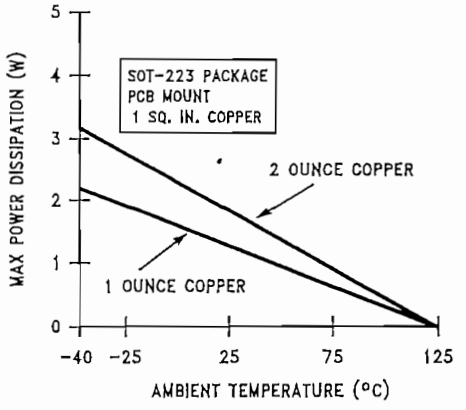


FIGURE 6. $\theta_{(J-A)}$ vs Copper (2 ounce) Area for the SOT-223 Package

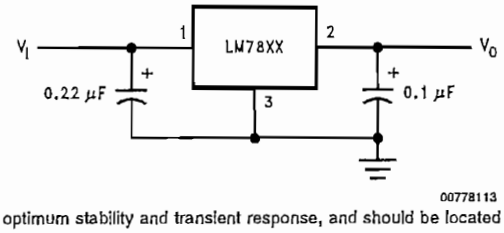


Please see AN-1028 for power enhancement techniques to be used with the SOT-223 package.

FIGURE 7. Maximum Power Dissipation vs T_{AMB} for the SOT-223 Package

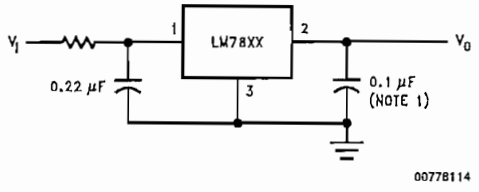
Typical Applications

Fixed Output Regulator

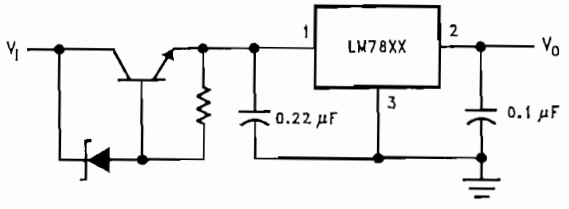


Note: Bypass capacitors are recommended for optimum stability and transient response, and should be located as close as possible to the regulator.

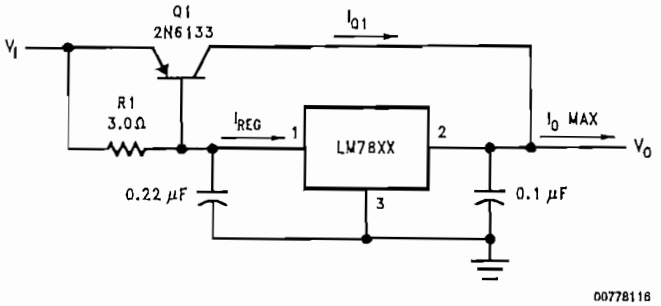
High Input Voltage Circuits



Typical Applications (Continued)



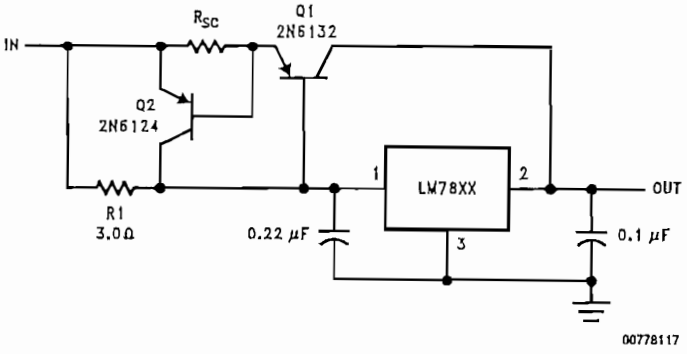
High Current Voltage Regulator



$$\beta(Q1) \geq \frac{I_{O\ Max}}{I_{REG\ Max}}$$

$$R1 = \frac{0.9}{I_{REG}} = \frac{\beta(Q1)\, V_{BE(Q1)}}{I_{REG\ Max}(\beta + 1) - I_{O\ Max}}$$

HIgh Output Current, Short Circuit Protected

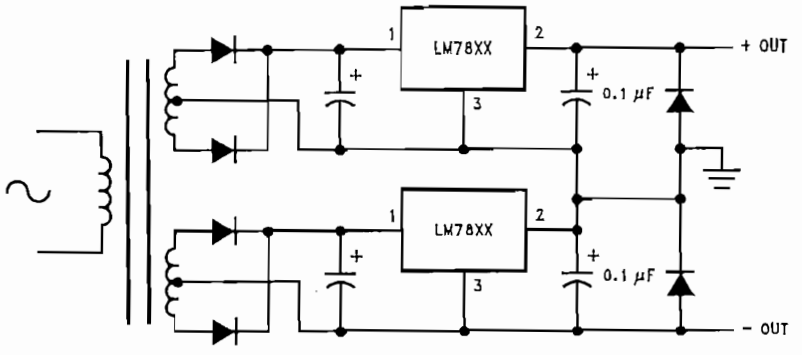


$$R_{SC} = \frac{0.8}{I_{SC}}$$

$$R1 = \frac{\beta V_{BE(Q1)}}{I_{REG\ Max}(\beta + 1) - I_{O\ Max}}$$

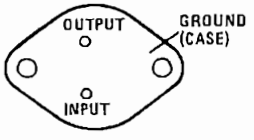
Typical Applications (Continued)

Positive and Negative Regulator



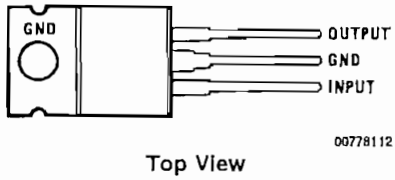
Connection Diagrams and Ordering Information

TO-3 Metal Can Package (K)



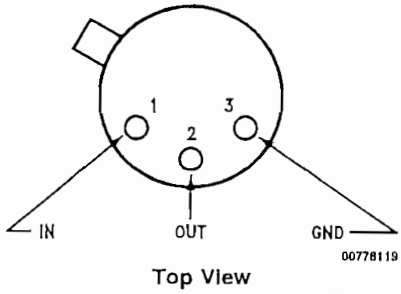
Bottom View
Steel Package Order Numbers:
LM140K-5.0 LM140K-12 LM140K-15
LM340K-12 LM340K-15
LM340K-5.0
See Package Number K02A
LM140K-5.0/883 LM140K-12/883 LM140K-15/883
See Package Number K02C

TO-220 Power Package (T)



Top View
Plastic Package Order Numbers:
LM340AT-5.0 LM340T-5.0
LM340T-12 LM340T-15
LM7805CT LM7812CT
LM7815CT LM7808CT
See Package Number T03B

TO-39 Metal Can Package (H)



Top View
Metal Can Order Numbers†:
LM140H-5.0/883 LM140H-6.0/883
LM140H-8.0/883 LM140H-12/883
LM140H-15/883 LM140H-24/883
See Package Number H03A

September 2001

National Semiconductor

LM320L/LM79LXXAC Series 3-Terminal Negative Regulators

General Description

The LM320L/LM79LXXAC dual marked series of 3-terminal negative voltage regulators features fixed output voltages of −5V, −12V, and −15V with output current capabilities in excess of 100mA. These devices were designed using the latest computer techniques for optimizing the packaged IC thermal/electrical performance. The LM79LXXAC series, even when combined with a minimum output compensation capacitor of 0.1µF, exhibits an excellent transient response, a maximum line regulation of 0.07% V_O/V, and a maximum load regulation of 0.01% V_O/mA.

The LM320L/LM79LXXAC series also includes, as self-protection circuitry: safe operating area circuitry for output transistor power dissipation limiting, a temperature independent short circuit current limit for peak output current limiting, and a thermal shutdown circuit to prevent excessive junction temperature. Although designed primarily as fixed voltage regulators, these devices may be combined with simple external circuitry for boosted and/or adjustable voltages and currents. The LM79LXXAC series is available in the 3-lead TO-92 package, and SO-8; 8 lead package. The LM320L series is available in the 3-lead TO-92 package.

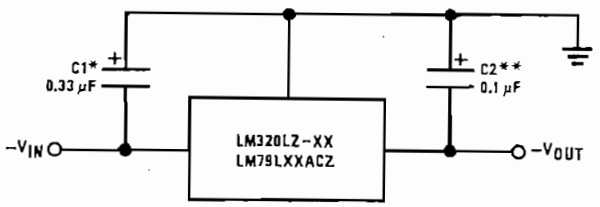
For output voltage other than −5V, −12V and −15V, the LM137L series provides an output voltage range from 1.2V to 47V.

Features

- Preset output voltage error is less than ±5% overload, line and temperature
- Specified at an output current of 100mA
- Easily compensated with a small 0.1µF output capacitor
- Internal short-circuit, thermal and safe operating area protection
- Easily adjustable to higher output voltages
- Maximum line regulation less than 0.07% V_{OUT}/V
- Maximum load regulation less than 0.01% V_{OUT}/mA

Typical Applications

Fixed Output Regulator

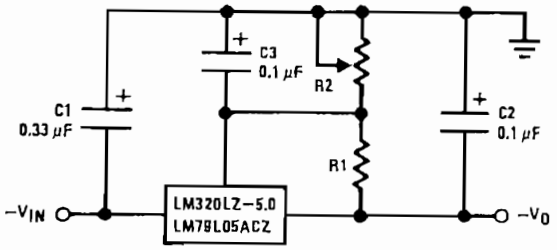


DS007748-1

*Required if the regulator is located far from the power supply filter. A 1µF aluminum electrolytic may be substituted.

**Required for stability. A 1µF aluminum electrolytic may be substituted.

Adjustable Output Regulator

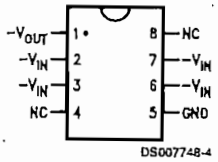


DS007748-3

$-V_O = -5V - (5V/R1 + I_Q) \cdot R2$,
$5V/R1 > 3\ I_Q$

Connection Diagrams

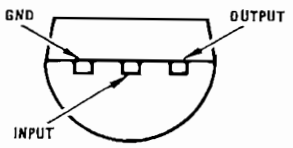
SO-8 Plastic (Narrow Body)



DS007748-4

Top View
Order Number LM79L05ACM, LM79L12ACM
LM79L15ACM, LM79L05ACMX,
LM79L12ACMX or LM79L15ACMX
See NS Package Number M08A

TO-92 Plastic Package (Z)



DS007748-2

Bottom View
Order Number LM320LZ-5.0, LM79L05ACZ,
LM320LZ-12, LM79L12ACZ, LM320LZ-15 or
LM79L15ACZ
See NS Package Number Z03A

© 2001 National Semiconductor Corporation

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Input Voltage
V_O = −5V, −12V, −15V −35V

Internal Power Dissipation (Note 2) Internally Limited
Operating Temperature Range 0°C to +70°C
Maximum Junction Temperature +125°C
Storage Temperature Range −55°C to +150°C
Lead Temperature
(Soldering, 10 sec.) 260°C

Electrical Characteristics (Note 3)

T_A = 0°C to +70°C unless otherwise noted.

Output Voltage			−5V			−12V			−15V			Units
Input Voltage (unless otherwise noted)			−10V			−17V			−20V			
Symbol	Parameter	Conditions	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
V_O	Output Voltage	T_J = 25°C, I_O = 100mA	−5.2	−5	−4.8	−12.5	−12	−11.5	−15.6	−15	−14.4	
		1mA ≤ I_O ≤ 100mA	−5.25		−4.75	−12.6		−11.4	−15.75		−14.25	
		V_{MIN} ≤ V_{IN} ≤ V_{MAX}	(−20 ≤ V_{IN} ≤ −7.5)			(−27 ≤ V_{IN} ≤ −14.8)			(−30 ≤ V_{IN} ≤ −18)			V
		1mA ≤ I_O ≤ 40mA	−5.25		−4.75	−12.6		−11.4	−15.75		−14.25	
		V_{MIN} ≤ V_{IN} ≤ V_{MAX}	(−20 ≤ V_{IN} ≤ −7)			(−27 ≤ V_{IN} ≤ −14.5)			(−30 ≤ V_{IN} ≤ −17.5)			
ΔV_O	Line Regulation	T_J = 25°C, I_O = 100mA			60			45			45	mV
		V_{MIN} ≤ V_{IN} ≤ V_{MAX}	(−20 ≤ V_{IN} ≤ −7.3)			(−27 ≤ V_{IN} ≤ −14.6)			(−30 ≤ V_{IN} ≤ −17.7)			V
		T_J = 25°C, I_O = 40mA			60			45			45	mV
		V_{MIN} ≤ V_{IN} ≤ V_{MAX}	(−20 ≤ V_{IN} ≤ −7)			(−27 ≤ V_{IN} ≤ −14.5)			(−30 ≤ V_{IN} ≤ −17.5)			V
ΔV_O	Load Regulation	T_J = 25°C 1mA ≤ I_O ≤ 100mA			50			100			125	mV
ΔV_O	Long Term Stability	I_O = 100mA		20			48			60		mV/khrs
I_Q	Quiescent Current	I_O = 100mA		2	6		2	6		2	6	mA
ΔI_Q	Quiescent Current Change	1mA ≤ I_O ≤ 100mA			0.3			0.3			0.3	
		1mA ≤ I_O ≤ 40mA			0.1			0.1			0.1	mA
		I_O = 100mA			0.25			0.25			0.25	mA
		V_{MIN} ≤ V_{IN} ≤ V_{MAX}	(−20 ≤ V_{IN} ≤ −7.5)			(−27 ≤ V_{IN} ≤ −14.8)			(−30 ≤ V_{IN} ≤ −18)			V
V_n	Output Noise Voltage	T_J = 25°C, I_O = 100mA f = 10Hz – 10kHz		40			96			120		μV
$\frac{\Delta V_{IN}}{\Delta V_O}$	Ripple Rejection	T_J = 25°C, I_O = 100mA f = 120Hz	50			52			50			dB
	Input Voltage Required to Maintain Line Regulation	T_J = 25°C, I_O = 100mA			−7.3			−14.6			−17.7	V
		I_O = 40mA			−7.0			−14.5			−17.5	V

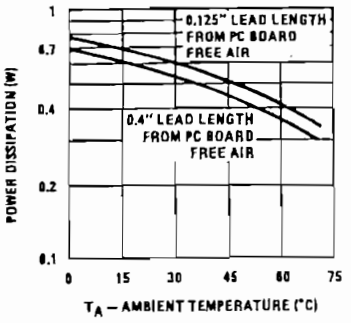
Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits.

Note 2: Thermal resistance of Z package is 60°C/W θ_{JC}, 232°C/W θ_{JA} at still air, and 88°C/W at 400 ft/min of air. The M package θ_{JA} is 180°C/W in still air. The maximum junction temperature shall not exceed 125°C on electrical parameters.

Note 3: To ensure constant junction temperature, low duty cycle pulse testing is used.

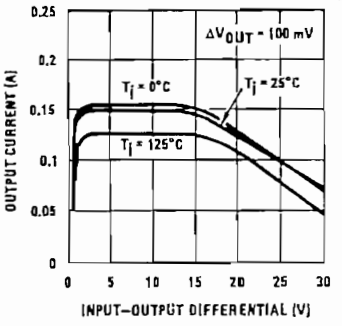
Typical Performance Characteristics

Maximum Average Power Dissipation (TO-92)



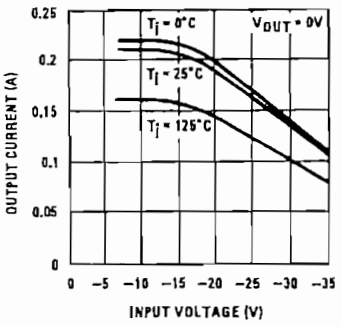
DS007748-11

Peak Output Current



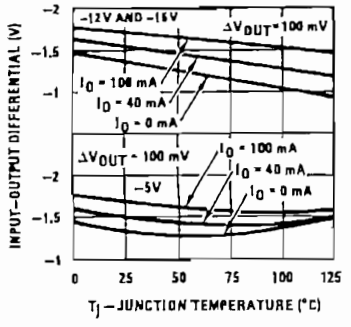
DS007748-12

Short Circuit Output Current



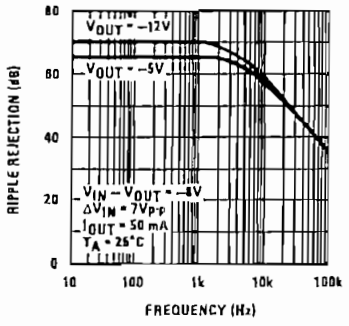
DS007748-13

Dropout Voltage



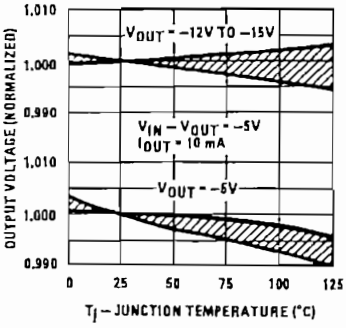
DS007748-14

Ripple Rejection



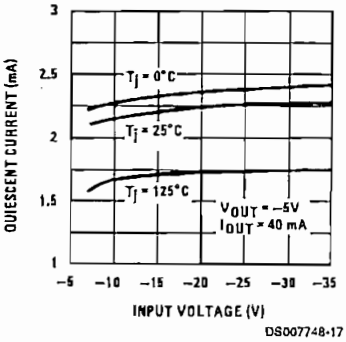
DS007748-15

Output Voltage vs. Temperature (Normalized to 1V @ 25°C)



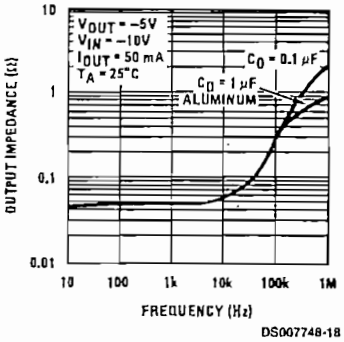
DS007748-16

Quiescent Current



DS007748-17

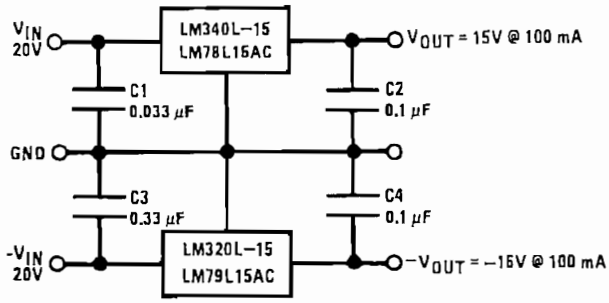
Output Impedance



DS007748-18

Typical Applications

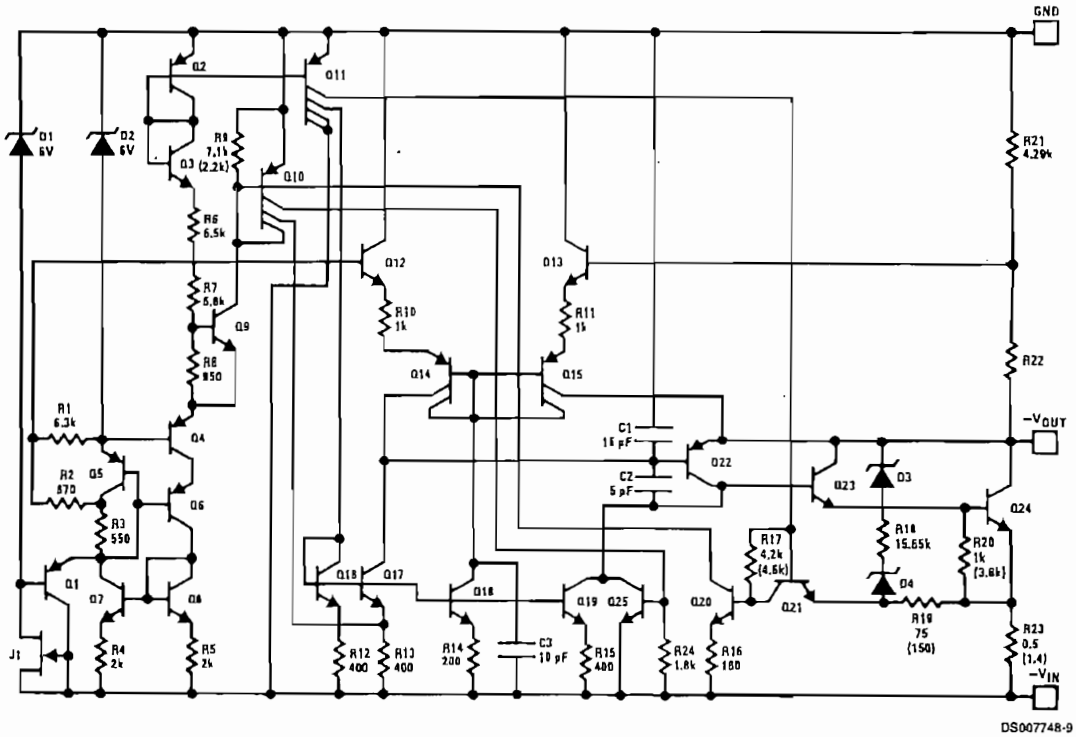
±15V, 100mA Dual Power Supply



DS007748-8

Schematic Diagrams

-5V



DS007748-9

FAIRCHILD
SEMICONDUCTOR™

August 1986
Revised March 2000

DM74LS138 • DM74LS139 Decoder/Demultiplexer

General Description

These Schottky-clamped circuits are designed to be used in high-performance memory-decoding or data-routing applications, requiring very short propagation delay times. In high-performance memory systems these decoders can be used to minimize the effects of system decoding. When used with high-speed memories, the delay times of these decoders are usually less than the typical access time of the memory. This means that the effective system delay introduced by the decoder is negligible.

The DM74LS138 decodes one-of-eight lines, based upon the conditions at the three binary select inputs and the three enable inputs. Two active-low and one active-high enable inputs reduce the need for external gates or inverters when expanding. A 24-line decoder can be implemented with no external inverters, and a 32-line decoder requires only one inverter. An enable input can be used as a data input for demultiplexing applications.

The DM74LS139 comprises two separate two-line-to-four-line decoders in a single package. The active-low enable input can be used as a data line in demultiplexing applications.

All of these decoders/demultiplexers feature fully buffered inputs, presenting only one normalized load to its driving circuit. All inputs are clamped with high-performance Schottky diodes to suppress line-ringing and simplify system design.

Features

- Designed specifically for high speed:
  - Memory decoders
  - Data transmission systems
- DM74LS138 3-to-8-line decoders incorporates 3 enable inputs to simplify cascading and/or data reception
- DM74LS139 contains two fully independent 2-to-4-line decoders/demultiplexers
- Schottky clamped for high performance
- Typical propagation delay (3 levels of logic)
  - DM74LS138 21 ns
  - DM74LS139 21 ns
- Typical power dissipation
  - DM74LS138 32 mW
  - DM74LS139 34 mW

Ordering Code:

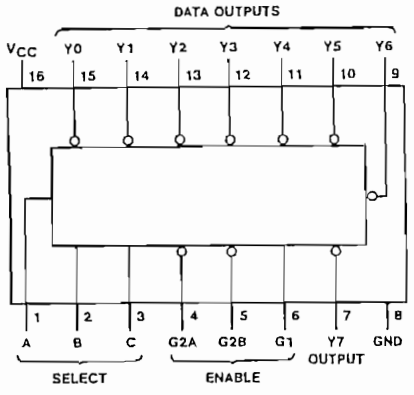
Order Number	Package Number	Package Description
DM74LS138M	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM74LS138SJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS138N	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide
DM74LS139M	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM74LS139SJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS139N	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

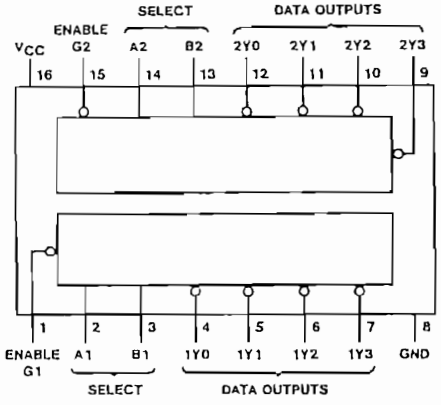
© 2000 Fairchild Semiconductor Corporation

Connection Diagrams

DM74LS138



DM74LS139



Function Tables

DM74LS138

Inputs					Outputs							
Enable		Select										
G1	G2 (Note 1)	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

DM74LS139

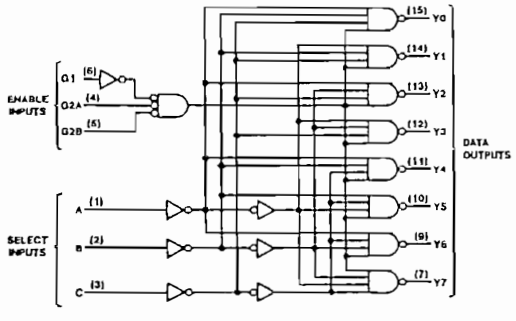
Inputs			Outputs			
Enable	Select					
G	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

H = HIGH Level
L = LOW Level
X = Don't Care

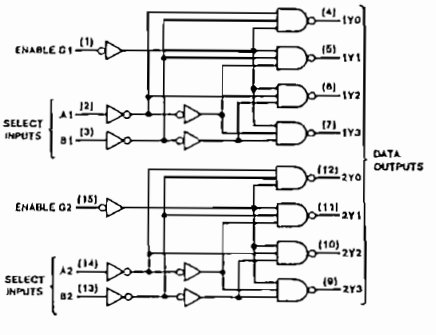
Note 1: G2 = G2A + G2B

Logic Diagrams

DM74LS138



DM74LS139



Absolute Maximum Ratings(Note 2)

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note 2: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

DM74LS138 Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V_{CC}	Supply Voltage	4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage	2			V
V_{IL}	LOW Level Input Voltage			0.8	V
I_{OH}	HIGH Level Output Current			−0.4	mA
I_{OL}	LOW Level Output Current			8	mA
T_A	Free Air Operating Temperature	0		70	°C

DM74LS138 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 3)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA			−1.5	V
V_{OH}	HIGH Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min	2.7	3.4		V
V_{OL}	LOW Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min		0.35	0.5	V
		I_{OL} = 4 mA, V_{CC} = Min		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V			0.1	mA
I_{IH}	HIGH Level Input Current	V_{CC} = Max, V_I = 2.7V			20	µA
I_{IL}	LOW Level Input Current	V_{CC} = Max, V_I = 0.4V			−0.36	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 4)	−20		−100	mA
I_{CC}	Supply Current	V_{CC} = Max (Note 5)		6.3	10	mA

Note 3: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 4: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 5: I_{CC} is measured with all outputs enabled and OPEN.

DM74LS138 Switching Characteristics

at V_{CC} = 5V and T_A = 25°C

Symbol	Parameter	From (Input) To (Output)	Levels of Delay	R_L = 2 kΩ				Units
				C_L = 15 pF		C_L = 50 pF		
				Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Select to Output	2		18		27	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Select to Output	2		27		40	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Select to Output	3		18		27	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Select to Output	3		27		40	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Enable to Output	2		18		27	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Enable to Output	2		24		40	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Enable to Output	3		18		27	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Enable to Output	3		28		40	ns

DM74LS139 Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V_{CC}	Supply Voltage	4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage	2			V
V_{IL}	LOW Level Input Voltage			0.8	V
I_{OH}	HIGH Level Output Current			−0.4	mA
I_{OL}	LOW Level Output Current			8	mA
T_A	Free Air Operating Temperature	0		70	°C

DM74LS139 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 6)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA			−1.5	V
V_{OH}	HIGH Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min	2.7	3.4		V
V_{OL}	LOW Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min		0.35	0.5	V
		I_{OL} = 4 mA, V_{CC} = Min		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V			0.1	mA
I_{IH}	HIGH Level Input Current	V_{CC} = Max, V_I = 2.7V			20	µA
I_{IL}	LOW Level Input Current	V_{CC} = Max, V_I = 0.4V			−0.36	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 7)	−20		−100	mA
I_{CC}	Supply Current	V_{CC} = Max (Note 8)		6.8	11	mA

Note 6: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 7: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 8: I_{CC} is measured with all outputs enabled and OPEN.

DM74LS139 Switching Characteristics

at V_{CC} = 5V and T_A = 25°C

Symbol	Parameter	From (Input) To (Output)	R_L = 2 kΩ				Units
			C_L = 15 pF		C_L = 50 pF		
			Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Select to Output		18		27	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Select to Output		27		40	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Enable to Output		18		27	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Enable to Output		24		40	ns

FAIRCHILD SEMICONDUCTOR™

August 1986
Revised March 2000

DM74LS244
Octal 3-STATE Buffer/Line Driver/Line Receiver

General Description

These buffers/line drivers are designed to improve both the performance and PC board density of 3-STATE buffers/drivers employed as memory-address drivers, clock drivers, and bus-oriented transmitters/receivers. Featuring 400 mV of hysteresis at each low current PNP data line input, they provide improved noise rejection and high fanout outputs and can be used to drive terminated lines down to 133Ω.

Features

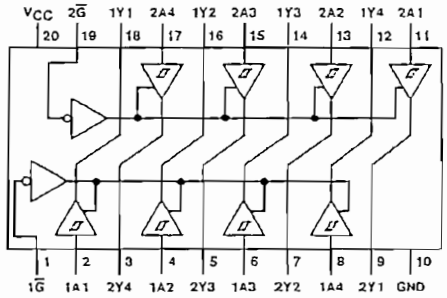
- 3-STATE outputs drive bus lines directly
- PNP inputs reduce DC loading on bus lines
- Hysteresis at data inputs improves noise margins
- Typical I_{OL} (sink current) 24 mA
- Typical I_{OH} (source current) −15 mA
- Typical propagation delay times
  - Inverting 10.5 ns
  - Noninverting 12 ns
- Typical enable/disable time 18 ns
- Typical power dissipation (enabled)
  - Inverting 130 mW
  - Noninverting 135 mW

Ordering Code:

Order Number	Package Number	Package Description
DM74LS244WM	M20B	20-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-013, 0.300 Wide
DM74LS244SJ	M20D	20-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS244N	N20A	20-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

Inputs		Output
$\overline{G}$	A	Y
L	L	L
L	H	H
H	X	Z

L = LOW Logic Level
H = HIGH Logic Level
X = Either LOW or HIGH Logic Level
Z = High Impedance

© 2000 Fairchild Semiconductor Corporation

Absolute Maximum Ratings(Note 1)

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V_{CC}	Supply Voltage	4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage	2			V
V_{IL}	LOW Level Input Voltage			0.8	V
I_{OH}	HIGH Level Output Current			−15	mA
I_{OL}	LOW Level Output Current			24	mA
T_A	Free Air Operating Temperature	0		70	°C

Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 2)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
HYS	Hysteresis ($V_{T+} - V_{T-}$) Data Inputs Only	V_{CC} = Min		0.2	0.4		V
V_{OH}	HIGH Level Output Voltage	V_{CC} = Min, V_{IH} = Min V_{IL} = Max, I_{OH} = −1 mA		2.7			V
		V_{CC} = Min, V_{IH} = Min V_{IL} = Max, I_{OH} = −3 mA		2.4	3.4		
		V_{CC} = Min, V_{IH} = Min V_{IL} = 0.5V, I_{OH} = Max		2			
V_{OL}	LOW Level Output Voltage	V_{CC} = Min V_{IL} = Max V_{IH} = Min	I_{OL} = 12 mA			0.4	V
			I_{OL} = Max			0.5	
I_{OZH}	Off-State Output Current, HIGH Level Voltage Applied	V_{CC} = Max V_{IL} = Max V_{IH} = Min	V_O = 2.7V			20	µA
I_{OZL}	Off-State Output Current, LOW Level Voltage Applied		V_O = 0.4V			−20	µA
I_I	Input Current at Maximum Input Voltage	V_{CC} = Max	V_I = 7V			0.1	mA
I_{IH}	HIGH Level Input Current	V_{CC} = Max	V_I = 2.7V			20	µA
I_{IL}	LOW Level Input Current	V_{CC} = Max	V_I = 0.4V	−0.5		−200	µA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 3)		−40		−225	mA
I_{CC}	Supply Current	V_{CC} = Max, Outputs Open	Outputs HIGH		13	23	mA
			Outputs LOW		27	46	
			Outputs Disabled		32	54	

Note 2: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 3: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Switching Characteristics

at $V_{CC} = 5V$, $T_A = 25°C$

Symbol	Parameter	Conditions	Max	Units
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	$C_L = 45$ pF $R_L = 667\Omega$	18	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	$C_L = 45$ pF $R_L = 667\Omega$	18	ns
t_{PZL}	Output Enable Time to LOW Level	$C_L = 45$ pF $R_L = 667\Omega$	30	ns
t_{PZH}	Output Enable Time to HIGH Level	$C_L = 45$ pF $R_L = 667\Omega$	23	ns
t_{PLZ}	Output Disable Time from LOW Level	$C_L = 5$ pF $R_L = 667\Omega$	25	ns
t_{PHZ}	Output Disable Time from HIGH Level	$C_L = 5$ pF $R_L = 667\Omega$	18	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	$C_L = 150$ pF $R_L = 667\Omega$	21	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	$C_L = 150$ pF $R_L = 667\Omega$	22	ns
t_{PZL}	Output Enable Time to LOW Level	$C_L = 150$ pF $R_L = 667\Omega$	33	ns
t_{PZH}	Output Enable Time to HIGH Level	$C_L = 150$ pF $R_L = 667\Omega$	26	ns

FAIRCHILD SEMICONDUCTOR™

April 1986
Revised November 2001

DM74LS373 • DM74LS374
3-STATE Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops

General Description

These 8-bit registers feature totem-pole 3-STATE outputs designed specifically for driving highly-capacitive or relatively low-impedance loads. The high-impedance state and increased high-logic level drive provide these registers with the capability of being connected directly to and driving the bus lines in a bus-organized system without need for interface or pull-up components. They are particularly attractive for implementing buffer registers, I/O ports, bidirectional bus drivers, and working registers.

The eight latches of the DM74LS373 are transparent D-type latches meaning that while the enable (G) is HIGH the Q outputs will follow the data (D) inputs. When the enable is taken LOW the output will be latched at the level of the data that was set up.

The eight flip-flops of the DM74LS374 are edge-triggered D-type flip flops. On the positive transition of the clock, the Q outputs will be set to the logic states that were set up at the D inputs.

A buffered output control input can be used to place the eight outputs in either a normal logic state (HIGH or LOW logic levels) or a high-impedance state. In the high-impedance state the outputs neither load nor drive the bus lines significantly.

The output control does not affect the internal operation of the latches or flip-flops. That is, the old data can be retained or new data can be entered even while the outputs are OFF.

Features

- Choice of 8 latches or 8 D-type flip-flops in a single package
- 3-STATE bus-driving outputs
- Full parallel-access for loading
- Buffered control inputs
- P-N-P inputs reduce D-C loading on data lines

Ordering Code:

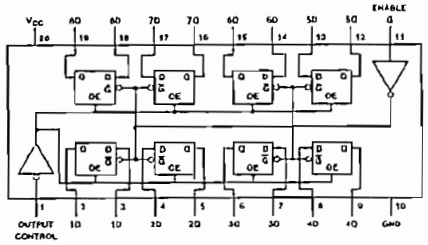
Order Number	Package Number	Package Description
DM74LS373WM	M20B	20-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-013, 0.300" Wide
DM74LS373SJ	M20D	20-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS373N	N20A	20-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
DM74LS374WM	M20B	20-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-013, 0.300" Wide
DM74LS374SJ	M20D	20-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS374N	N20A	20-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

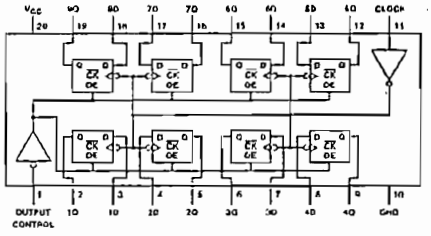
© 2001 Fairchild Semiconductor Corporation

Connection Diagrams

DM74LS373



DM74LS374



Function Tables

DM74LS373

Output Control	Enable G	D	Output
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z

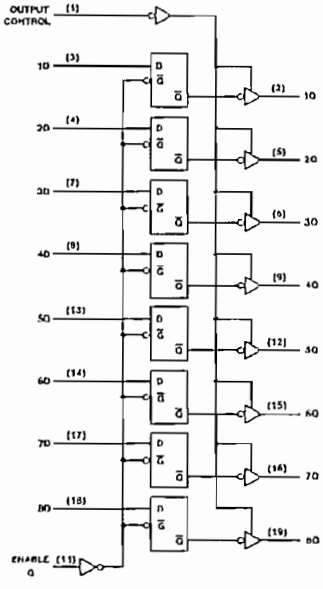
DM74LS374

Output Control	Clock	D	Output
L	↑	H	H
L	↑	L	L
L	L	X	Q_0
H	X	X	Z

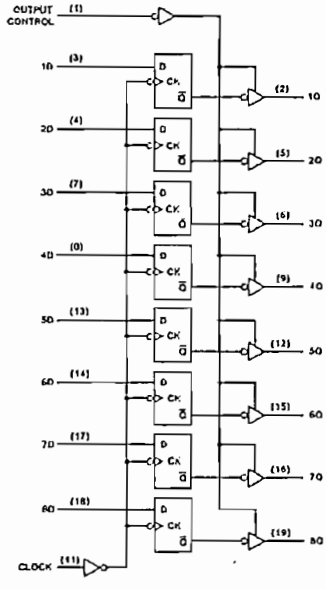
H = HIGH Level (Steady State) L = LOW Level (Steady State)
X = Don't Care Z = High Impedance State
↑ = Transition from LOW-to-HIGH level Q_0 = The level of the output before steady-state input conditions were established.

Logic Diagrams

DM74LS373
Transparent Latches



DM74LS374
Positive-Edge-Triggered Flip-Flops



Absolute Maximum Ratings(Note 1)

Supply Voltage	7V
Input Voltage	7V
Storage Temperature Range	−65°C to +150°C
Operating Free Air Temperature Range	0°C to +70°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

DM74LS373 Recommended Operating Conditions

Symbol	Parameter		Min	Nom	Max	Units
V_{CC}	Supply Voltage		4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage		2			V
V_{IL}	LOW Level Input Voltage				0.8	V
I_{OH}	HIGH Level Output Current				−2.6	mA
I_{OL}	LOW Level Output Current				24	mA
t_W	Pulse Width	Enable HIGH	15			ns
	(Note 3)	Enable LOW	15			
t_{SU}	Data Setup Time (Note 2) (Note 3)		5↓			ns
t_H	Data Hold Time (Note 2) (Note 3)		20↓			ns
T_A	Free Air Operating Temperature		0		70	°C

Note 2: The symbol (↓) indicates the falling edge of the clock pulse is used for reference.

Note 3: $T_A = 25°C$ and $V_{CC} = 5V$.

DM74LS373 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 4)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA			−1.5	V
V_{OH}	HIGH Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min	2.4	3.1		V
V_{OL}	LOW Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min		0.35	0.5	V
		I_{OL} = 12 mA, V_{CC} = Min			0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V			0.1	mA
I_{IH}	HIGH Level Input Current	V_{CC} = Max, V_I = 2.7V			20	µA
I_{IL}	LOW Level Input Current	V_{CC} = Max, V_I = 0.4V			−0.4	mA
I_{OZH}	Off-State Output Current with HIGH Level Output Voltage Applied	V_{CC} = Max, V_O = 2.7V, V_{IH} = Min, V_{IL} = Max			20	µA
I_{OZL}	Off-State Output Current with LOW Level Output Voltage Applied	V_{CC} = Max, V_O = 0.4V, V_{IH} = Min, V_{IL} = Max			−20	µA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 5)	−50		−225	mA
I_{CC}	Supply Current	V_{CC} = Max, OC = 4.5V, D_n, Enable = GND		24	40	mA

Note 4: All typicals are at $V_{CC} = 5V$, $T_A = 25°C$.

Note 5: Not more than one output should be shorted at a time, and the duration should not exceed one second.

DM74LS373 Switching Characteristics

at V_{CC} = 5V and T_A = 25°C

Symbol	Parameter	From (Input) To (Output)	R_L = 667Ω				Units
			C_L = 45 pF		C_L = 150 pF		
			Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Data to Q		18		28	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Data to Q		18		27	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Enable to Q		30		38	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Enable to Q		30		38	ns
t_{PZH}	Output Enable Time to HIGH Level Output	Output Control to Any Q		28		38	ns
t_{PZL}	Output Enable Time to LOW Level Output	Output Control to Any Q		38		50	ns
t_{PHZ}	Output Disable Time from HIGH Level Output (Note 6)	Output Control to Any Q		20			ns
t_{PLZ}	Output Disable Time from LOW Level Output (Note 6)	Output Control to Any Q		25			ns

Note 6: C_L = 5 pF.

DM74LS374 Recommended Operating Conditions

Symbol	Parameter		Min	Nom	Max	Units
V_{CC}	Supply Voltage		4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage		2			V
V_{IL}	LOW Level Input Voltage				0.8	V
I_{OH}	HIGH Level Output Current				−2.6	mA
I_{OL}	LOW Level Output Current				24	mA
t_W	Pulse Width	Clock HIGH	15			ns
	(Note 8)	Clock LOW	15			
t_{SU}	Data Setup Time (Note 7) (Note 8)		20↑			ns
t_H	Data Hold Time (Note 7) (Note 8)		1↑			ns
T_A	Free Air Operating Temperature		0		70	°C

Note 7: The symbol (↑) indicates the rising edge of the clock pulse is used for reference.

Note 8: T_A = 25°C and V_{CC} = 5V.

DM74LS374 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 9)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA			−1.5	V
V_{OH}	HIGH Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min	2.4	3.1		V
V_{OL}	LOW Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min		0.35	0.5	V
		I_{OL} = 12 mA, V_{CC} = Min		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V			0.1	mA
I_{IH}	HIGH Level Input Current	V_{CC} = Max, V_I = 2.7V			20	µA
I_{IL}	LOW Level Input Current	V_{CC} = Max, V_I = 0.4V			−0.4	mA
I_{OZH}	Off-State Output Current with HIGH Level Output Voltage Applied	V_{CC} = Max, V_O = 2.7V, V_{IH} = Min, V_{IL} = Max			20	µA
I_{OZL}	Off-State Output Current with LOW Level Output Voltage Applied	V_{CC} = Max, V_O = 0.4V, V_{IH} = Min, V_{IL} = Max			−20	µA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 10)	−50		−225	mA
I_{CC}	Supply Current	V_{CC} = Max, D_n = GND, OC = 4.5V		27	45	mA

Note 9: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 10: Not more than one output should be shorted at a time, and the duration should not exceed one second.

DM74LS374 Switching Characteristics

at V_{CC} = 5V and T_A = 25°C

Symbol	Parameter	R_L = 667Ω				Units
		C_L = 45 pF		C_L = 150 pF		
		Min	Max	Min	Max	
f_{MAX}	Maximum Clock Frequency	35		20		MHz
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output		28		32	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output		28		38	ns
t_{PZH}	Output Enable Time to HIGH Level Output		28		44	ns
t_{PZL}	Output Enable Time to LOW Level Output		28		44	ns
t_{PHZ}	Output Disable Time from HIGH Level Output (Note 11)		20			ns
t_{PLZ}	Output Disable Time from LOW Level Output (Note 11)		25			ns

Note 11: C_L = 5 pF.

SEMICONDUCTOR™

September 1983

MM74HC14
Hex Inverting Schmitt Trigger

General Description

The MM74HC14 utilizes advanced silicon-gate CMOS technology to achieve the low power dissipation and high noise immunity of standard CMOS, as well as the capability to drive 10 LS-TTL loads.

The 74HC logic family is functionally and pinout compatible with the standard 74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

- Typical propagation delay: 13 ns
- Wide power supply range: 2–6V
- Low quiescent current: 20 µA maximum (74HC Series)
- Low input current: 1 µA maximum
- Fanout of 10 LS-TTL loads
- Typical hysteresis voltage: 0.9V at V_{CC}=4.5V

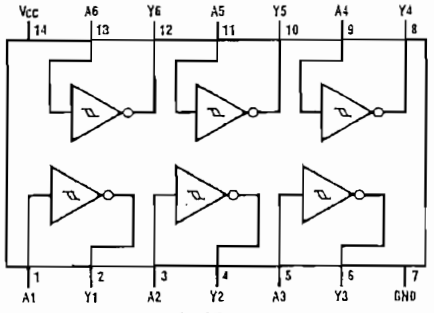
Ordering Code:

Order Number	Package Number	Package Description
MM74HC14M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150" Narrow
MM74HC14SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC14MTC	MTC14	14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC14N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

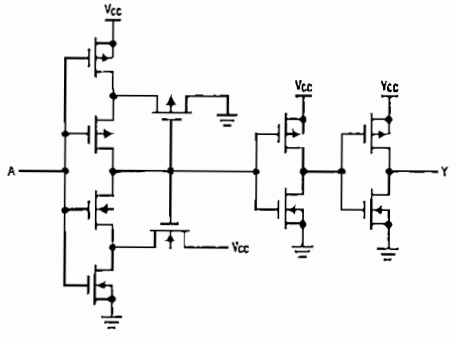
Connection Diagram

Pin Assignments for DIP, SOIC, SOP and TSSOP



Top View

Logic Diagram



© 1999 Fairchild Semiconductor Corporation

Absolute Maximum Ratings (Note 1)

(Note 2)

Supply Voltage (V_{CC})	−0.5 to +7.0V
DC Input Voltage (V_{IN})	−1.5 to V_{CC} +1.5V
DC Output Voltage (V_{OUT})	−0.5 to V_{CC} +0.5V
Clamp Diode Current (I_{IK}, I_{OK})	±20 mA
DC Output Current, per pin (I_{OUT})	±25 mA
DC V_{CC} or GND Current, per pin (I_{CC})	±50 mA
Storage Temperature Range (T_{STG})	−65°C to +150°C
Power Dissipation (P_D) (Note 3)	600 mW
S.O. Package only	500 mW
Lead Temperature (T_L) (Soldering 10 seconds)	260°C

Recommended Operating Conditions

	Min	Max	Units
Supply Voltage (V_{CC})	2	6	V
DC Input or Output Voltage (V_{IN}, V_{OUT})	0	V_{CC}	V
Operating Temperature Range (T_A)	−40	+85	°C

Note 1: Absolute Maximum Ratings are those values beyond which damage to the device may occur.

Note 2: Unless otherwise specified all voltages are referenced to ground.

Note 3: Power Dissipation temperature derating — plastic "N" package: −12 mW/°C from 65°C to 85°C.

DC Electrical Characteristics (Note 4)

Symbol	Parameter	Conditions	V_{CC}	T_A = 25°C	T_A = −40 to 85°C	T_A = −55 to 125°C		Units
				Typ	Guaranteed Limits			
V_{T+}	Positive Going Threshold Voltage	Minimum	2.0V	1.2	1.0	1.0	1.0	V
			4.5V	2.7	2.0	2.0	2.0	V
			6.0V	3.2	3.0	3.0	3.0	V
		Maximum	2.0V	1.2	1.5	1.5	1.5	V
			4.5V	2.7	3.15	3.15	3.15	V
			6.0V	3.2	4.2	4.2	4.2	V
V_{T-}	Negative Going Threshold Voltage	Minimum	2.0V	0.7	0.3	0.3	0.3	V
			4.5V	1.8	0.9	0.9	0.9	V
			6.0V	2.2	1.2	1.2	1.2	V
		Maximum	2.0V	0.7	1.0	1.0	1.0	V
			4.5V	1.8	2.2	2.2	2.2	V
			6.0V	2.2	3.0	3.0	3.0	V
V_H	Hysteresis Voltage	Minimum	2.0V	0.5	0.2	0.2	0.2	V
			4.5V	0.9	0.4	0.4	0.4	V
			6.0V	1.0	0.5	0.5	0.5	V
		Maximum	2.0V	0.5	1.0	1.0	1.0	V
			4.5V	0.9	1.4	1.4	1.4	V
			6.0V	1.0	1.5	1.5	1.5	V
V_{OH}	Minimum HIGH Level Output Voltage	V_{IN} = V_{IL} $\lvert I_{OUT}\rvert$ = 20 µA	2.0V	2.0	1.9	1.9	1.9	V
			4.5V	4.5	4.4	4.4	4.4	V
			6.0V	6.0	5.9	5.9	5.9	V
		V_{IN} = V_{IL} $\lvert I_{OUT}\rvert$ = 4.0 mA	4.5V	4.2	3.98	3.84	3.7	V
		$\lvert I_{OUT}\rvert$ = 5.2 mA	6.0V	5.7	5.48	5.34	5.2	V
V_{OL}	Maximum LOW Level Output Voltage	V_{IN} = V_{IH} $\lvert I_{OUT}\rvert$ = 20 µA	2.0V	0	0.1	0.1	0.1	V
			4.5V	0	0.1	0.1	0.1	V
			6.0V	0	0.1	0.1	0.1	V
		V_{IN} = V_{IH} $\lvert I_{OUT}\rvert$ = 4.0 mA	4.5V	0.2	0.26	0.33	0.4	V
		$\lvert I_{OUT}\rvert$ = 5.2 mA	6.0V	0.2	0.26	0.33	0.4	V
I_{IN}	Maximum Input Current	V_{IN} = V_{CC} or GND	6.0V		±0.1	±1.0	±1.0	µA
I_{CC}	Maximum Quiescent Supply Current	V_{IN} = V_{CC} or GND I_{OUT} = 0 µA	6.0V		2.0	20	40	µA

Note 4: For a power supply of 5V ±10% the worst case output voltages (V_{OH}, and V_{OL}) occur for HC at 4.5V. Thus the 4.5V values should be used when designing with this supply. Worst case V_{IH} and V_{IL} occur at V_{CC} = 5.5V and 4.5V respectively. (The V_{IH} value at 5.5V is 3.85V.) The worst case leakage current (I_{IN}, I_{CC}, and I_{OZ}) occur for CMOS at the higher voltage and so the 6.0V values should be used.

AC Electrical Characteristics

V_{CC} = 5V, T_A = 25°C, C_L = 15 pF, $t_r = t_f$ = 6 ns

Symbol	Parameter	Conditions	Typ	Guaranteed Limit	Units
t_{PHL}, t_{PLH}	Maximum Propagation Delay		12	22	ns

AC Electrical Characteristics

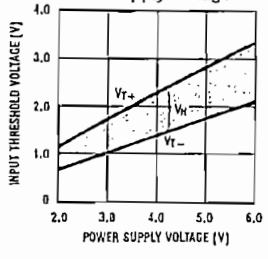
V_{CC} = 2.0V to 6.0V, C_L = 50 pF, $t_r = t_f$ = 6 ns (unless otherwise specified)

Symbol	Parameter	Conditions	V_{CC}	T_A = 25°C	T_A = −40 to 85°C	T_A = −55 to 125°C		Units
				Typ	Guaranteed Limits			
t_{PHL}, t_{PLH}	Maximum Propagation Delay		2.0V	60	125	156	188	ns
			4.5V	13	25	31	38	ns
			6.0V	11	21	26	32	ns
t_{TLH}, t_{THL}	Maximum Output Rise and Fall Time		2.0V	30	75	95	110	ns
			4.5V	8	15	19	22	ns
			6.0V	7	13	16	19	ns
C_{PD}	Power Dissipation Capacitance (Note 5)	(per gate)		27				pF
C_{IN}	Maximum Input Capacitance			5	10	10	10	pF

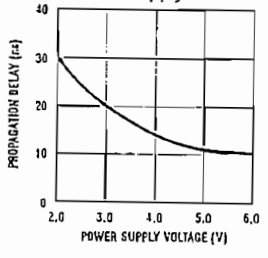
Note 5: C_{PD} determines the no load dynamic power consumption, $P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$, and the no load dynamic current consumption, $I_S = C_{PD} V_{CC} f + I_{CC}$.

Typical Performance Characteristics

Input Threshold, V_{T+}, V_{T-}, vs Power Supply Voltage

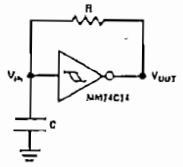


Propagation Delay vs Power Supply



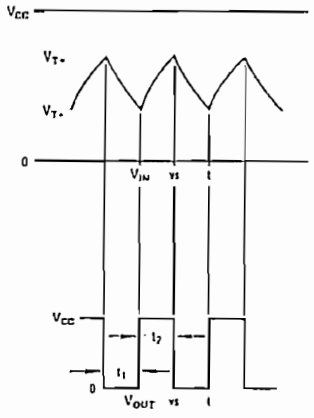
Typical Applications

Low Power Oscillator



$$t_1 \approx RC \ln \frac{V_{T+}}{V_{T-}}$$

$$t_2 \approx RC \ln \frac{V_{CC} - V_{T-}}{V_{CC} - V_{T+}}$$



$$f \approx \frac{1}{RC \ln \frac{V_{T+}(V_{CC} - V_{T-})}{V_{T-}(V_{CC} - V_{T+})}}$$

Note: The equations assume $t_1 + t_2 >> t_{pd0} + t_{pd1}$