DISEÑO Y CONSTRUCCION DE UN PROTOTIPO DE SISTEMA DE COMUNICACION DE DATOS POR MEDIO DE RADIO FRECUENCIA

BLADIMIR HUERTA ANDRADE.

PABLO LASSO PLAZA.

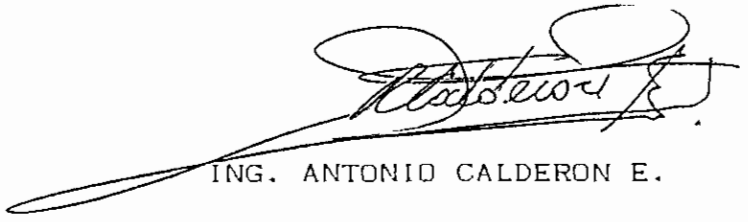
TESIS PREVIA A LA OBTENCION DEL TITULO DE INGENIERO ELECTRICO EN LA ESPECIALIZACION DE ELECTRONICA Y TELECOMUNICACIONES DE LA ESCUELA POLITECNICA NACIONAL

FEBRERO - 1995

CERTIFICO QUE BAJO MI DIRECCION
LA PRESENTE TESIS FUE REALIZADA
EN SU TOTALIDAD POR LOS SEÑORES:

BLADIMIR HUERTA ANDRADE.

PABLO LASSO PLAZA.



ING. ANTONIO CALDERON E.

DIRECTOR DE TESIS

AGRADECIMIENTO :

AL ING. ANTONIO CALDERON E., POR HABER COMPARTIDO SIN REPARO ALGUNO SUS CONOCIMIENTOS EN LA DIRECCION DE ESTA TESIS. UN AGRADECIMIENTO ESPECIAL AL AREA DE DISEÑO POR SU CONSTANTE COLABORACION Y A TODAS LAS PERSONAS QUE CON SU PACIENCIA Y PERMANENTE APOYO, IMPULSARON A LA CULMINACION DE ESTE TRABAJO.

INDICE.

Dedicatoria		iii
Agradecimiento		iv
Introducción		x
Las Comunicaciones en el Mundo Actual		xi
Futuro de las Comunicaciones		xiv
CAPITULO I :	GENERALIDADES.	
1.1	Configuraciones de Red.	2
1.1.1	Topología en Estrella.	3
1.1.2	Topología en Anillo.	5
1.1.3	Topología en Bus Común.	6
1.1.4	Topología Jerárquica.	7
1.1.5	Topología en Malla.	8
1.2	Medios de Transmisión.	9
1.2.1	Línea de Dos Conductores.	10
1.2.2	Cables Coaxiales.	12
1.2.3	Guías de Onda.	15
1.2.4	Fibras Opticas.	16
1.2.5	Propagación Atmosférica.	20
1.2.5.1	Propagación en Línea Recta.	21
1.2.5.2	Propagación de Ondas Terrestres.	22
1.2.5.3	Propagación Ionosférica.	23
1.2.5.4	Propagación por Dispersión Troposférica.	24
1.2.5.5	Propagación por Dispersión Local.	25
1.3	Tipos de Protocolos.	26

1.3.1 Contención. 27

1.3.2 Exploración y Selección. 28

1.3.3 Clasificación de los Protocolos. 29

1.3.3.1 Protocolos Orientados a Caracteres. 30

1.3.3.1.1 Protocolo Bisincrónico (BYSYNC). 30

1.3.3.1.2 Protocolo HDLC (High Level Data Link Control) 32

1.3.3.1.3 Protocolo X.25 del CCITT. 34

1.3.3.1.4 Protocolo ALOHA. 36

1.3.3.2 Protocolos Orientados a Bytes y a Bits. 37

1.3.3.2.1 Protocolos de Control Sincrónico del Enlace de Datos (SDLC). 38

1.4 Descripción y Justificación del Sistema a Implementarse. 40

CAPITULO II : TERMINALES.

2.1 Características y Estructura Básica. 44

2.1.1 Códigos Hamming. 47

2.1.2 Modulación FSK. 51

2.2 Descripción de la Estructura y Funciones del Microcontrolador. 54

2.2.1 Organización de la Memoria. 56

2.2.2 Estructura de los Puertos y Operación. 58

2.2.3 Puerto Serial. 59

2.2.4 Generación del Baud Rate. 61

2.2.5 Funciones que Desempeña el Microcontrolador en el Terminal. 62

2.3	Pórtico de Entrada-Salida para Comunicaciones.	63
2.3.1	Tipo de Transmisión Terminal-Tranceptor.	68
2.3.2	Velocidad de Transmisión.	70
2.4	Diseño del Tranceptor.	73
2.4.1	Etapa de Transmisión.	73
2.4.1.1	Diplexor.	73
2.4.1.2	Amplificador de Potencia.	78
2.4.1.3	Preamplificador.	89
2.4.1.4	Oscilador-Modulador.	95
2.4.2	Etapa de Recepción.	98
2.4.2.1	Red de Acoplamiento Amplificador-Demodulador.	99
2.4.2.2	Demodulador.	100
2.4.2.3	Etapa Amplificadora.	106
2.4.2.3.1	Tercera Etapa A3 en Emisor-Común.	107
2.4.2.3.2	Segunda Etapa A2 en Base-Común.	116
2.4.2.3.3	Primera Etapa A1 en Base-Común.	124
2.4.2.4	Red de Acoplamiento a la Antena.	133
2.4.2.5	Diplexor.	136
2.4.3	Interface entre Tranceptor y Computador.	139
2.4.3.1	Parte Inteligente del Sistema.	141
2.4.3.2	Sistema Multiplexor/Demultiplexor.	141
2.4.3.3	Circuito de Control de la Polarización del Transmisor.	145
2.4.4	Software Empleado para la Comunicación entre Computador y Tranceptor.	146
2.4.4.1	Programa de Comunicación.	148

2.4.4.2 Software que cumple las funciones de Protocolo entre Tranceptor y Central. 150

2.5 Construcción del tranceptor. 151

CAPITULO III : EQUIPO INTERMEDIO O CENTRAL.

3.1 Funciones del Equipo Intermedio o Central. 162

3.2 Protocolo de Comunicación. 163

3.3 Tipo de Microcontrolador utilizado. 171

3.4 Diseño. 172

3.4.1 Etapa de Transmisión. 172

3.4.1.1 Diplexor. 173

3.4.1.2 Amplificador de Potencia. 176

3.4.1.3 Preamplificador. 185

3.4.1.4 Osciladar-Modulador. 192

3.4.2 Etapa de Recepción. 195

3.4.2.1 Demodulador. 196

3.4.2.2 Red de Acoplamiento Amplificador-Demodulador. 201

3.4.2.3 Diseño del Bloque Amplificador del Receptor. 202

3.4.2.3.1 Tercera Etapa A3 en Emisor-Común. 204

3.4.2.3.2 Segunda Etapa A2 en Base-Común. 212

3.4.2.3.3 Primera Etapa A1 en Base-Común. 221

3.4.2.4 Red de Acoplamiento a la Antena. 229

3.4.2.5 Diplexor. 233

3.4.3 Sistema de la Habilitación o Deshabilitación de la polarización en el tranceptor. 234

3.4.4 Sistema de control para el Establecimiento de las Comunicaciones. 235

3.5 Construcción de la Central. 235

CAPITULO IV : CONCLUSIONES Y RECOMENDACIONES.

4.1 Conclusiones y Recomendaciones. 249

BIBLIOGRAFIA.

ANEXOS.

Anexo I : Microcontrolador MCS8051AH

Anexo II : Latch SN7475

Anexo III : Latch SN74LS373

Anexo IV : Demultiplexor SN74LS139A

Anexo V : Multiplexor SN74LS157

Anexo VI : Contador SN74LS390

Anexo VII : Prescaler MC12013

Anexo VIII : Manejador TTL a RS-232C MC1488

Anexo IX : Manejador RS-232C a TTL MC1489

Anexo X : Oscilador Controlado por Voltaje MC1648

Anexo XI : Memoria ROM 2764

Anexo XII : Demodulador FSK XR-2211

Anexo XIII : Transistor 2N918

Anexo XIV : Núcleos Toroidales

Anexo XV : Abacos de Antenas

Anexo XVI : Diodos Varactores

INTRODUCCION.

La imperiosa necesidad de informarse que el hombre ha tenido a través de los tiempos, lo ha llevado a perfeccionar y seguir creando formas de comunicarse.

Cuando Samuel Morse transmite el primer mensaje telegráfico, a través de un medio alámbrico, se da inicio a la era de las comunicaciones eléctricas.
Más tarde, después de que Hertz verifica la teoría de Maxwell, Marconi demostró satisfactoriamente y patentó un sistema telegráfico inalámbrico completo.

Con los primeros descubrimientos en el campo de la electrónica (1.942), indudablemente el área más beneficiada fue el de las comunicaciones, puesto que ya se pudieron desarrollar sistemas que hasta esa época no eran posibles de implementarse; claros ejemplos son : el radar y los enlaces vía microondas.

Luego con la aparición de las tecnologías de la electrónica de estado sólido, los sistemas de transmisión clásicos progresaron, ya que la gran mayoría de los elementos electromecánicos y de vacío que utilizaban, fueron reemplazados por semiconductores, con lo cual se logró mejorar en eficiencia y versatilizar los servicios que prestaban dichos sistemas.

Es evidente que con la aparición de los elementos electrónicos de estado sólido, el desarrollo de las comunicaciones en general creció a pasos gigantescos y sin lugar a dudas dio paso a la era de las comunicaciones electrónicas, las cuales se apoyan en tecnologías sofisticadas.

LAS COMUNICACIONES EN EL MUNDO ACTUAL.

Como ya se ha dicho, la aparición de los semiconductores, marcó de manera definitiva la evolución de las telecomunicaciones. En años posteriores como es lógico, el volumen de información que debía ser difundida se multiplicó; además, las distancias a las cuales debía llegar, eran mucho mayores a las que hasta ese momento se habían alcanzado, esto provocó que se busquen y desarrollen sistemas que pudieran solventar dichas necesidades.

Consecuentemente, con el advenimiento de la era espacial, fueron los satélites los que asumieron en gran medida el tráfico de las comunicaciones mundiales, puesto que estos actúan simplemente como antenas elevadas, es decir, una estación transmite un conjunto de señales hacia el satélite, el mismo que posteriormente retransmite a una estación terrena situada lejos del emisor. De esta manera se obviaron las dificultades técnicas que supone la transmisión a distancia, incrementándose de esta forma la capacidad de transmisión de información en todo el mundo.

A medida que se precisó incrementar el tráfico de comunicaciones, debido a que las necesidades cada vez son mayores, ha sido indispensable desarrollar medios que sean capaces de soportar significativas cantidades de tráfico. Al momento, se cumple ese objetivo, con la utilización de las denominadas Fibras Opticas, las cuales nos posibilitan transmitir mucha más información que los medios convencionales que hsta el momento se disponían, ya sea a través del soporte conductor o del soporte radio.

En un inicio las transmisiones fueron de tipo analógico, puesto que las señales se transmitían haciendo que alguna magnitud física variara en forma continua en función del tiempo. Sin embargo, en los actuales momentos con el desarrollo que experimentó la electrónica digital, cuya consecuencia principal ha sido la aparición de computadores digitales, los mismos que trabajan no con señales continuas sino con señales binarias (unos y ceros), la tendencia ha cambiado, dando como resultado la realización de transmisiones dé tipo digital, la misma que tiene muchas ventajas con relación a las analógicas.

Esto se justifica porque es factible digitalizar todo tipo de señales; es así como la voz, la música, el video, etc. pueden ser convertidos a una forma digital y en conjunto con datos pueden multiplexarse (por ser ya señales del mismo tipo) y ser transmitidas por un mismo canal, con

lo cual se logra mayor eficiencia en el uso del medio de transmisión y del equipo empleado. Igualmente debemos tomar en cuenta que, a medida que el costo de los circuitos integrados vaya disminuyendo, es probable que se popularicen aún más las transmisiones de tipo digital y en consecuencia las transmisiones analógicas vayan disminuyendo.

Como se ha visto, todos estos esfuerzos por mejorar las formas de comunicación imponen como objetivo a este trabajo de investigación, la implementación de un sistema alternativo para transmisión de datos.

Primordialmente, nuestro sistema será utilizado para interconectar computadores mediante la atmósfera, siendo éste un medio que se aparta de lo tradicional para aplicaciones similares. Debe destacarse que la forma en que se plantea su funcionamiento, por contar con varios usuarios, tendrá la capacidad de enviar y receptar en forma independiente mensajes que interesan únicamente a los terminales que intervendrán en la comunicación.

Cuando hablamos de varios usuarios, podríamos pensar que se realizan enlaces punto a punto con la utilización de frecuencias de transmisión tantas como usuarios existan, sin embargo la forma de administración es mediante una central inteligente, la cual mediante software establece correctamente los terminales que necesitan interconectarse.

La central empleará únicamente dos frecuencias portadoras, una para transmisión y otra para recepción que son comunes a todos los usuarios. De esta manera, se logra optimizar el espectro de frecuencias, cuyo gerenciamiento constituye un problema realmente grande para las instituciones alrededor de todo el mundo, encargadas de realizar dicha gestión.

Puede colegirse que al no tener que usar medios físicos para interconectar los terminales remotos (considerable área de cobertura), los costos para implementar el sistema serán menores que para un equipo similar, pero interconectado físicamente y además la velocidad de transmisión del equipo implementado resulta ser comparable con las velocidades utilizadas por equipos comerciales.

FUTURO DE LAS TELECOMUNICACIONES.

El futuro de las Telecomunicaciones, sin duda es promisorio, puesto que muchos de los sistemas ya implementados pero que al momento representan un costo elevado para los potenciales usuarios, se irán difundiendo a medida que estos costos, se reduzcan.

A corto plazo, será corriente utilizar sistemas tales como el *correo electrónico*, consistente en la interconexión de abonados, mediante terminales computarizados, en los

cuales aparecerán reflejados los mensajes. Así mismo será común el realizar lo que se denomina *teleconferencias*. Este nuevo tipo de comunicación consiste en establecer un enlace auditivo entre un conjunto de abonados que se encuentran en sitios diversos, de tal manera que todos estarán en capacidad de escuchar la voz de los demás abonados.

El desarrollo de los computadores, que ya desde hace varios años ha experimentado un avance vertiginoso, presentará a pesar de lo manifestado un cambio brusco, puesto que hasta el momento sus funciones están limitadas al procemiento de datos, ahora se busca que los computadores procesen *conocimientos*.

Esto implica que los nuevos ordenadores comprenderán el lenguaje natural de los usuarios y por tanto, podrán ser utilizados con tanta facilidad como hoy lo es el teléfono. Los nuevos ordenadores aceptarán así mismo la información suministrada con la utilización del lenguaje cotidiano de los usuarios.

Además, a futuro se proyecta dar a los computadores mayores velocidades, mediante la sustitución de los caminos conductores existentes en las tarjetas de elementos que las constituyen, por medios similares a fibras ópticas en las cuales ya no viajan señales eléctricas, sino señales luminosas que se propagan a mayor velocidad.

CAPITULO I

GENERALIDADES

1.1 Configuraciones de Red.

1.2 Medios de Transmisión.

1.3 Tipos de Protocolos.

1.4 Descripción y Justificación del Sistema a Implementarse.

GENERALIDADES.

1.1 CONFIGURACIONES DE RED.

La configuración de una red suele conocerse como *topología* de la misma, la topología no es más que la forma física en que se conecta la red.

El momento de establecer la topología de una red se deben tener en cuenta tres objetivos principales :

- "Proporcionar la máxima fiabilidad posible, para garantizar la recepción correcta de todo tráfico.

- Encaminar el tráfico entre el ETD (Equipo terminal de datos) transmisor y el receptor a través del camino más económico de la red (aunque, se consideran más importantes otros factores, como la fiabilidad, este camino de costo mínimo puede no ser el más conveniente).

- Proporcionar al usuario final un tiempo de respuesta óptimo y un caudal eficaz máximo".[1]

Cuando se habla de fiabilidad de una red, se refiere a la capacidad que presenta dicha red para transportar datos correctamente de un ETD a otro y también a la capaci-

[1] U. BLACK, Redes de Computadoras Protocolos, Normas e Inter-fases, (Ra-Ma, Madrid, 1989), p. 6.

dad que debe presentar la misma en corregir errores que se hayan producido por fallas en el canal.

Las topologías de redes más comunes son :

- Topología en estrella.
- Topología en anillo.
- Topología en bus común.
- Topología jerárquica (árbol).
- Topología en malla.

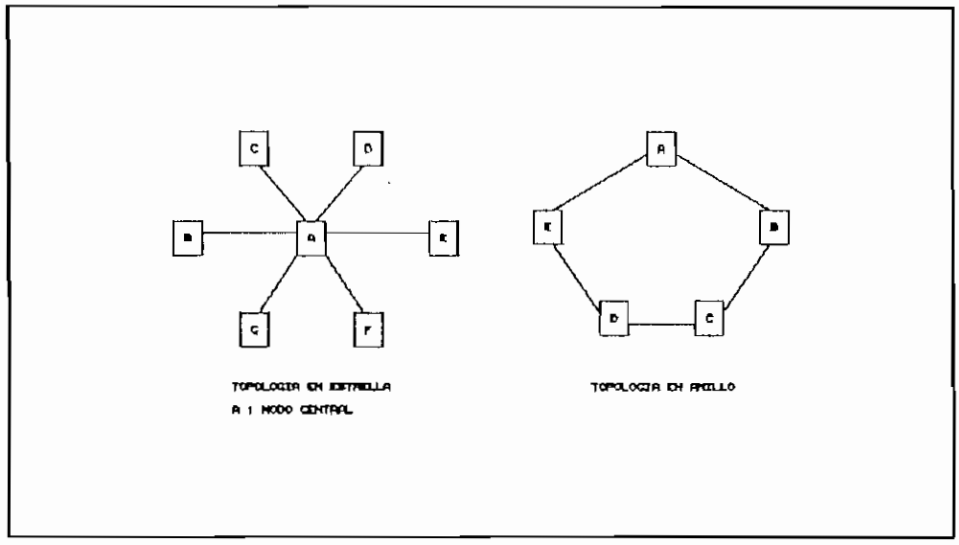
Todas estas configuraciones de redes antes mencionadas se muestran en la figura 1.1 .

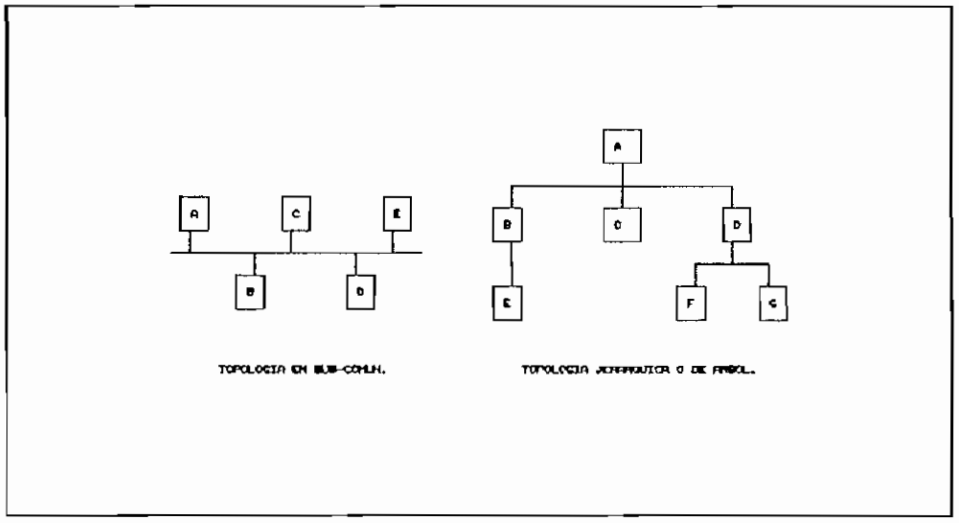
A continuación se presentan las características más relevantes de cada una de estas configuraciones.

1.1.1 TOPOLOGIA EN ESTRELLA.

Este tipo de configuración es una de las más usadas en los sistemas de comunicación de datos. Esta red presenta la gran facilidad de que su software no es complicado de controlar y su flujo de tráfico es sencillo.

En esta configuración todos los terminales están conectados a un nodo central, a través del cual pasan todos los datos.


C
D
B
A
E
G
F
A
E
B
D
C
TOPOLOGIA EN ESTRELLA
A : NODO CENTRAL
TOPOLOGIA EN ANILLO


A
C
E
B
D
A
B
C
D
E
F
G
TOPOLOGIA EN BUS-COMUN.
TOPOLOGIA JERARQUICA O DE ARBOL.

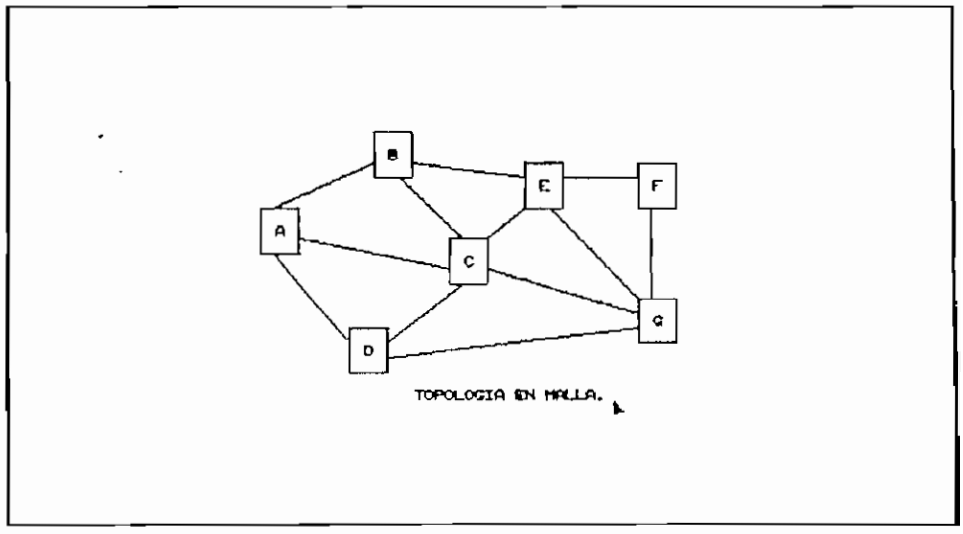

B
E
F
A
C
G
D
TOPOLOGIA EN MALLA.

Figura # 1.1

El nodo central por lo general tiene una gran capacidad de procesamiento, pero en ocasiones se reducen sus funciones al encaminar el tráfico hacia el resto de los componentes de la red. En el caso de redes que utilizan fibras ópticas como medio de transmisión, el nodo central tiene solo una función pasiva de difusión.

La mayor deficiencia que presenta esta topologia es en la fiabilidad; pues, cualquier falla en el nodo central, provoca el paro total de la red. La baja fiabilidad de la red tipo estrella puede ser mejorada a través de redundancia, pero esto implica un mayor costo del sistema.

Además la expansión de la red y el funcionamiento de la misma, están limitados por la capacidad de proceso del nodo central.

1.1.2 TOPOLOGIA EN ANILLO.

La estructura en anillo es otra de las configuraciones muy utilizadas, toma su nombre por el aspecto circular del flujo de datos.

Si bien estas redes pueden transmitir datos bidireccionalmente, el interface se complica, por lo que se ha preferido que los datos fluyan en una sola dirección y cada estación reciba la señal y la retransmita a la siguiente del anillo.

El uso de la topología anillo resulta bastante atractiva, pues evita en gran parte el congestionamiento de información, fenómeno que es frecuente en los sistemas de estrella o árbol. Sin embargo la red anillo como todas las redes presenta algunas desventajas, siendo la más importante que todos los terminales están unidos a un mismo canal. Si falla el canal entre dos nodos, toda la red se interrumpe, es por eso que algunos fabricantes para proporcionar mayor fiabilidad a la red han ideado conmutadores que redirigen los datos automáticamente, saltándose el nodo averiado, hasta el siguiente nodo del anillo.

Debido a la naturaleza de los interfaces de esta topología, la red en un principio puede crecer ilimitadamente, sin embargo la inserción de un nuevo terminal, provocará un retraso adicional, lo cual perjudica en algún momento la eficiencia de la red.

1.1.3 TOPOLOGIA EN BUS COMUN.

Está estructura es frecuente en las redes de área local, en esta organización los terminales comparten el medio de transmisión a través de interfaces pasivos porque únicamente están constituídos por un medio de transmisión.

Para redes interconectadas con sistemas bus-común, resulta relativamente fácil controlar el flujo de tráfico entre los distintos ETD, ya que el bus permite que todas

las estaciones reciban las transmisiones realizadas por un terminal cualquiera.

En términos de fiabilidad, la organización en bus ofrece la mejor potencia, dado que el interfaz, al ser pasivo, no afecta al funcionamiento global de la red en caso de falla.

La limitación para expandir una red con este tipo de topologia, son las características físicas del medio de transmisión, puesto que a partir de un cierto número de interfaces, se hace necesario la instalación de repetidores con el fin de mantener un nivel aceptable de la señal.

1.1.4 TOPOLOGIA JERARQUICA.

La estructura jerárquica o tipo árbol es una de las más utilizadas en la actualidad, el software que administra la red es relativamente simple y la topología proporciona un punto de concentración de las tareas y de resolución de errores. En la mayoría de los casos el ETD situado en el nivel más elevado de la jerarquía es el que controla la red.

Muchos de los fabricantes incorporan a esta topología un cierto carácter distribuido, porque entregan a ciertos ETDs subordinados el control sobre ETDs que ocupan jerarquías inferiores, con lo cual se consigue la reducción de

la carga de trabajo del nodo central.

Aunque la topología jerárquica resulta interesante por ser fácil de controlar, pueden presentarse problemas de congestión de datos en la estación central porque por lo general esta estación controla todo el flujo de datos en la red. Este hecho no solo puede causar saturaciones de datos, sino también presentar serios problemas de fiabilidad, de ahí que si este ETD falla toda la red deja de funcionar a no ser que exista otra estación que sea capaz de encargarse de todas las funciones del ETD averiado.

1.1.5 TOPOLOGIA EN MALLA.

"La topología en malla se ha venido empleando en los últimos años. Lo que la hace atractiva es su relativa inmunidad a los problemas de congestión de datos y averías.

Gracias a la multiplicidad de caminos que ofrece a través de los distintos ETDs y ECDs (equipos de conmutación de dátos), es posible orientar el tráfico por trayectorias alternativas en caso de que algún nodo esté averiado u ocupado.

A pesar de que el empleo de este método es complejo y caro (para proporcionar estas funciones especiales, la lógica de control de los protocolos de una red en malla puede llegar a ser sumamente complicada), muchos usuarios prefie-

ren la fiabilidad de una red en malla a otras alternativas".[2]

1.2 MEDIOS DE TRANSMISION.

Los medios de transmisión de señales han jugado un papel muy importante desde hace mucho tiempo en el desarrollo de los sistemas de comunicaciones. Es así como desde las primitivas líneas de dos conductores paralelos y los experimentos de Marconi con ondas hertzianas, se ha llegado hoy en día a sistemas de transmisión altamente tecnificados como son las fibras ópticas y los sistemas satelitales.

De acuerdo a lo anterior se puede ver que los sistemas de transmisión estructuralmente se dividen en dos grupos distintos: aquellos en los cuales las señales viajan a través de una línea material y aquellos sistemas donde las señales son propagadas en la atmósfera de la Tierra o en el espacio.

Un sistema de transmisión en términos generales, está configurado de la siguiente manera :

Figura # 1.2

[2] Ibidem, p. 10.

Como se observa en la figura # 1.2 el medio de transmisión constituye el enlace entre la fuente de información y el destino, de ahí que cada uno de los medios presenta ventajas o desventajas, dependiendo de la aplicación y condiciones bajo las cuales va a trabajar.

Es por eso que para realizar una selección adecuada del mismo deben tenerse en cuenta algunos parámetros como son por ejemplo, la frecuencia de transmisión, los tipos de datos a ser transmitidos, el ancho de banda requerido, etc.

Los medios de transmisión que consideramos ser los más representativos e importantes son:

- Línea de dos conductores.
- Cable Coaxial.
- Guías de Onda.
- Fibras Opticas.
- Propagación atmosférica.

A continuación se describen brevemente algunos aspectos sobre cada uno de estos medios de transmisión.

1.2.1 LINEAS DE DOS CONDUCTORES.

La característica más importante de las líneas de dos conductores, es que son líneas de transmisión balanceadas.

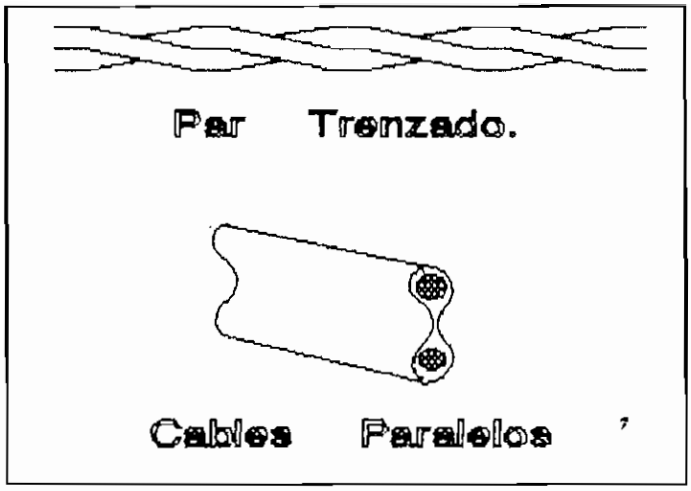


Figura # 1.3

Constituyen todavía el medio de transmisión más utilizado en el mundo de las comunicaciones y su aplicación principal la encontramos en redes telefónicas.

Un tipo común de línea de transmisión de dos conductores, es la de *Par Trenzado o Par Protegido*, el mismo que consiste en dos alambres de cobre aislados, en general de 1 mm de espesor. Los alambres se entrelazan en forma helicoidal con el objeto de reducir la interferencia eléctrica con respecto a los pares cercanos que se encuentren a su alrededor.

La distancia que se puede recorrer con estos cables es de varios kilómetros, sin necesidad de amplificar las señales. Los pares trenzados se pueden utilizar tanto para transmisión analógica como digital y su ancho de banda depende del calibre del alambre y de la distancia que

recorre.

Para líneas de transmisión de cables paralelos y con conductores circulares sólidos idénticos, es necesario tener presente que la falta de simetría cilíndrica causa el denominado *Efecto de Proximidad*, que no es más que el aumento de la resistencia distribuída en la línea, lo cual también está en función del tipo de material del que está construída la línea, del radio y de la separación de los conductores y también de la frecuencia de trabajo. En circuitos DC este efecto no existe, pero en circuitos AC, especialmente a frecuencias altas, el efecto de proximidad debe ser considerado porque aumenta notablemente el valor de la resistencia distribuída de la línea.

A pesar de que este tipo de sistemas han perdido relativamente su importancia, debido a la introducción de nuevos sistemas de transmisión (Fibras ópticas por ejemplo), siguen siendo hoy en día la solución más económica para establecer comunicaciones telefónicas.

1.2.2 CABLES COAXIALES.

El cable coaxial está constituído por un conductor exterior en forma de tubo metálico y un interior aislado y centrado dentro del primero, el aislamiento se logra por medio de un dieléctrico sólido y continuo, a su vez el material aislante está rodeado por un conductor cilíndrico

que frecuentemente se presenta como una malla de tejido trenzado, como se indica en la figura 1.4.

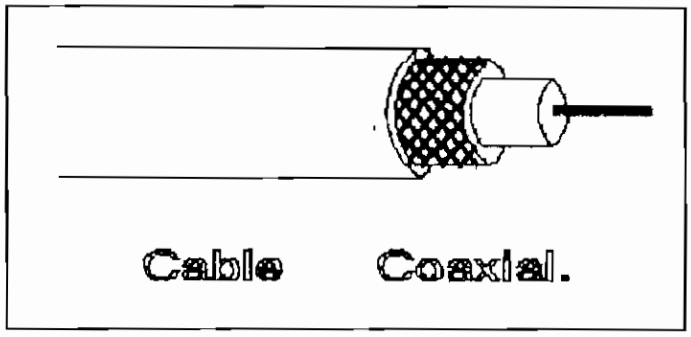


Figura # 1.4

Una ventaja que presentan los cables coaxiales es que pueden eliminar las pérdidas por radiación, porque ninguna radiación puede ir más allá del conductor exterior, constituyéndose en un medio de transmisión perfectamente blindado.

Hay dos tipos de cable coaxial muy utilizados :

Cable de 50 ohms, que se utiliza en la transmisión digital y cable de 75 ohms, que se emplea en la transmisión analógica.

Para los cables coaxiales de 50 ohms, (denominados sistemas de banda base) el ancho de banda que se puede obtener depende de la longitud del cable, por ejemplo para cables de 1 Km es factible obtener velocidades de datos de hasta 10 Mbps, obviamente que para distancias menores se pueden conseguir velocidades superiores.

Este tipo de cable es ampliamente utilizado en redes de área local y para transmisiones de larga distancia del sistema telefónico.

El cable de 75 ohms, denominado de banda ancha, es utilizado comúnmente para el envío de la señal de televisión por cable. En determinadas aplicaciones dichos cables soportan hasta los 300 MHz. y pueden extenderse a longitudes de hasta los 100 metros.

Este tipo de cable puede transmitir señales digitales, a pesar de que fueron diseñados básicamente para utilizarse con señales análogicas (por ser de naturaleza menos crítica que las señales digitales), las mismas que serán adaptadas al medio con convertidores analógico digitales, así por ejemplo un cable de 300 MHz. puede mantener velocidades de transmisión de datos hasta 150 Mbps.

Una diferencia importante entre los sistemas de banda base y los de banda ancha es que en éstos últimos se necesitan amplificadores que refuercen la señal en forma periódica, estos amplificadores solo pueden transmitir las señales en una dirección.

La instalación de sistemas de banda base es muy simple y económica y utiliza interfaces baratas, en cambio los sistemas de banda ancha tienen requerimientos tecnológicos más elevados y sus costos de implementación son más repre-

sentativos, es por eso que para la mayoría de las aplicaciones, el ancho de banda adicional de los sistemas de banda ancha no llegan a justificar su complejidad y elevado costo, de tal manera que los sistemas de banda base son los de mayor uso.

1.2.3 GUIAS DE ONDA.

Las guías de onda son medios de transmisión utilizados en el rango de las microondas (generalmente sobre 1 GHz).

Las guías que en la práctica se utilizan, tienen sección rectangular o secciones de tipo circular, son posibles otras formas de secciones transversales, pero en general estas no ofrecen ventajas eléctricas sobre las formas más simples en uso y son más caras de fabricar.

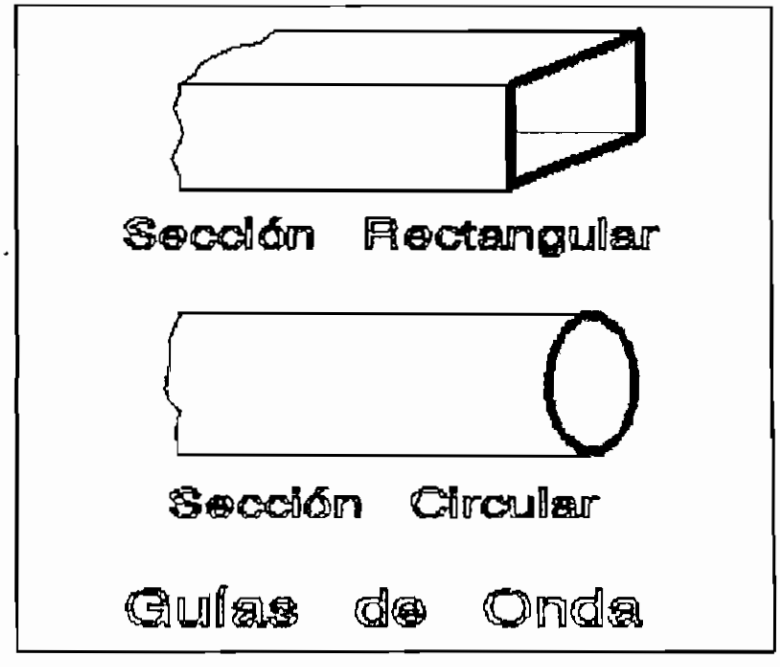


Figura # 1.5

Las guías de onda de sección rectangular pueden manejar modos de propagación TE (transversal eléctrico) o TM (transversal magnético), (en líneas de transmisión estos modos generalmente no se propagan, caso contrario en las líneas se generarían irremediablemente pérdidas excesivas), se usan comúnmente para aplicaciones de bajas pérdidas y alta potencia. La frecuencia de operación de las guías de onda recomendada está nominalmente un 30 % por encima de la frecuencia de corte en el extremo de baja frecuencia y un 30 % por debajo del siguiente modo de orden superior, en el extremo alto del intervalo de frecuencia.

Los modos de propagación TE y TM no pueden iradiarse por debajo de una determinada frecuencia de corte la cual se calcula para cada modo separadamente a partir de las dimensiones físicas de la guía.

Las guías de onda de sección circular, tienen aplicaciones únicas, por ejemplo, en articulaciones giratorias de alimentadores de antena.

1.2.4 FIBRAS OPTICAS.

Los desarrollos recientes en el campo de la tecnología óptica han hecho posible la transmisión de información mediante pulsos de luz.

La estructura básica de las guías ópticas consiste en

un "alma" o núcleo cilíndrico de cuarzo (SiO_2) o de otro material transparente, este núcleo está rodeado de un "manto" generalmente del mismo material con un índice de refracción levemente inferior al primero con el objeto de que se produzca el fenómeno de reflexión total, éste no permite que la luz escape del alma de la guía óptica, de esta manera los rayos de luz pueden propagarse a lo largo de varios kilómetros sin tener, virtualmente, ninguna pérdida.

Entre las principales características que presenta este medio de transmisión tenemos las siguientes :

- Bajas pérdidas (típicamente 2.5 dB/Km a 0.85 μm y 0.7 dB/Km a 1.3 μm).
- Elevado ancho de banda.
- Pequeño tamaño y poco peso.
- Inmunidad a interferencias electromagnéticas y ausencia de radiaciones.
- La diafonía entre canales paralelos prácticamente no existe.

Existen tres tipos fundamentales de fibra óptica :

- Multimodo de índice escalonado.
- Multimodo de índice graduado.
- Monomodo.

Todas estas fibras se muestran en la figura 1.6.

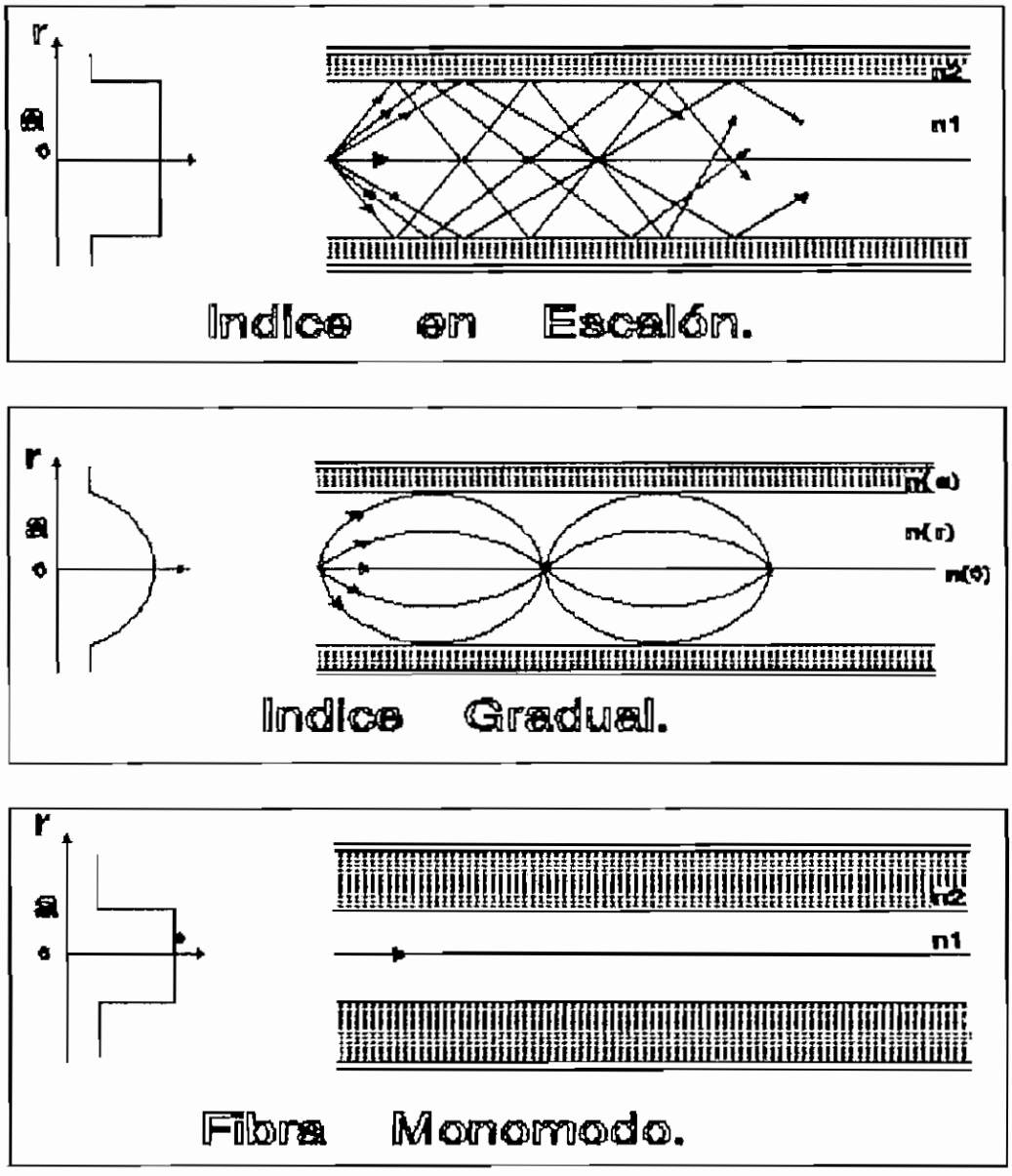


Figura # 1.6

La fibra multimodo de índice escalonado tiene un alma de vidrio cuyo índice de refracción es superior al del revestimiento. Los rayos de luz que se desplazan en el núcleo con ángulos de incidencia mayores que el ángulo crítico se reflejan internamente por completo en la interficie alma-revestimiento y son atrapados completamente en la fibra.

Este tipo de fibra es la más simple y económica de fabricar pero tiene como desventaja la pequeña banda útil para transmisión.

En las fibras de índice gradual, los rayos de luz también se atrapan debido al gradiente del índice de refracción existente en este tipo de fibra, el mismo que va desde un máximo en el eje de la fibra hasta un valor menor en el manto.

En las fibras de índice graduado los rayos viajan aproximadamente a la misma velocidad, mientras que en las de índice escalonado los rayos con menor ángulo de incidencia viajan con más lentitud, de ahí que un pulso de luz que se desplaza en una fibra con índice escalonado está más extendido, lo que da por resultado una menor velocidad de transmisión permisible de pulsos.

Si el diámetro de la fibra se reduce al valor de la longitud de onda de la luz, la fibra actúa como una guía de ondas y la luz se propaga en línea recta, sin rebotar, produciendo así la fibra denominada "monomodo". La principal ventaja de este tipo de fibra es el gran ancho de banda de transmisión debido a que no existe influencia del retardo, pero presenta la desventaja que debido al pequeño diámetro se hace difícil el empalme entre estas fibras y que para operar con suficiente potencia óptica requieren usarse fuentes con diodos laser, (cuyo costo es elevado) pero con

aquellos se asegura una mayor eficiencia y pueden utilizarse en distancias muy largas sin la necesidad de regeneradores.

1.2.5 PROPAGACION ATMOSFERICA.

La propagación de una onda de radio se basa en la interacción de las ondas a transmitirse con la atmósfera de la Tierra, la superficie de ésta y cualquier obstrucción o falta de uniformidad que pudieran presentarse.

Los mecanismos principales de propagación son :

- En línea recta.
- De ondas terrestres.
- Ionósfera.
- Por dispersión troposférica.
- Por dispersión local.

Cada uno de estos mecanismos crea un canal con sus propias características que varían dependiendo de la frecuencia, distancia de enlace, hora del día, así como también las condiciones solares y atmosféricas.

A menudo actúan varios de estos mecanismos juntos, sin embargo uno de ellos domina a los demás, por lo tanto es posible modelar al canal, como si únicamente un mecanismo estuviera en operación.

1.2.5.1 PROPAGACION EN LINEA RECTA.

Un canal de línea recta o de trayectoria óptica directa puede establecerse siempre y cuando una trayectoria recta entre el transmisor y el receptor esté libre de obstrucciones importantes. Una obstrucción importante es aquella cuyas dimensiones comparadas con la longitud de onda sean grandes, estas obstrucciones causan la dispersión de la onda en múltiples trayectorias. Sin embargo, a pesar del diseño y la ubicación cuidadosa del equipo que conforma el enlace para evitar las obstrucciones, la Tierra y la atmósfera pueden propiciar la recepción de trayectoria múltiple.

Dado que las ondas directa y reflejada han viajado distancias diferentes, suelen no estar en fase y si son de la misma magnitud incluso podrían cancelarse entre sí y producir un campo neto recibido igual a cero.

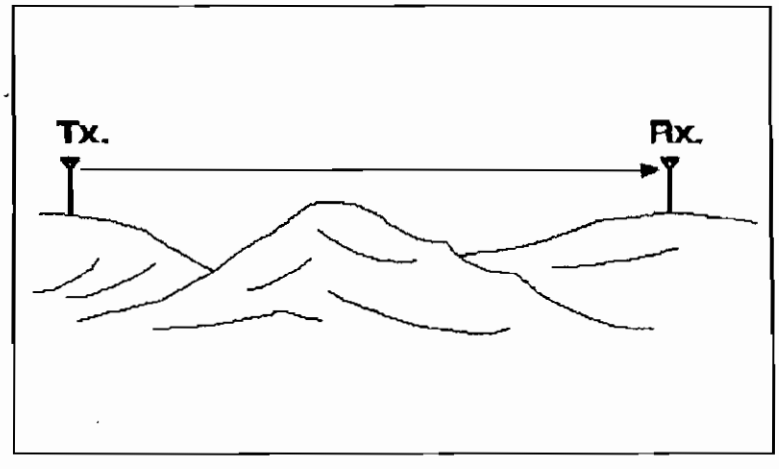


Figura # 1.7

1.2.5.2 PROPAGACION DE ONDAS TERRESTRES.

En este tipo de propagación es conveniente dividir la señal de la onda terrestre en :

- Espacial y
- Superficial.

La onda espacial está conformada por la señal que sigue el trayecto directo del transmisor al receptor y también la parte de energía recibida por reflexión en la superficie terrestre.

La onda superficial, es aquella que viaja por la superficie de la Tierra y debido a que la misma es un conductor imperfecto, las ondas de radio penetran algo en la superficie, por lo que su intensidad de campo disminuye rápidamente con la profundidad y se propagan más lentamente que en el aire.

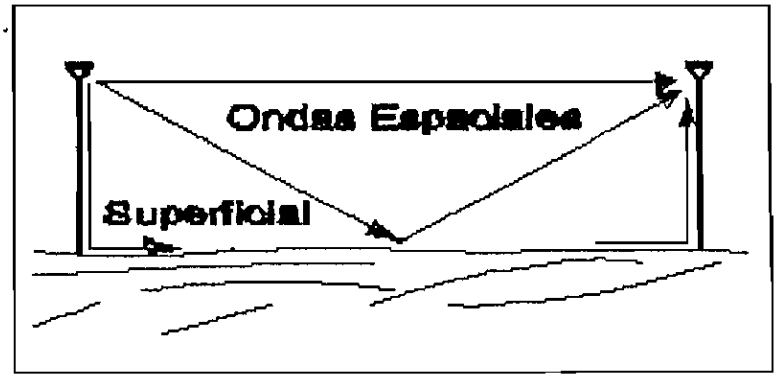


Figura # 1.8

Esto origina que la onda superficial sea una onda guiada a lo largo de la superficie de la tierra de un modo parecido a la onda electromagnética guiada por una línea de transmisión.

Este tipo de propagación es útil solo para frecuencias relativamente bajas (MF y LF, VLF), y para comunicaciones relativamente cortas (200 Km. y 2000 Km.).

1.2.5.3 PROPAGACION IONOSFERICA.

La ionósfera es aquella región de la atmósfera en la que los gases constitutivos están ionizados por las radiaciones que le llegan del espacio exterior a ella (principalmente las radiaciones solares). De ahí que la composición de la ionósfera depende en gran medida de la actividad solar, de la hora del día, de la estación del año y de la latitud geográfica.

Durante el día, la masa ionizada está comprendida entre alturas de 90 a 1000 Km. siendo la densidad electrónica de unos 10^4 electrones por cm^3. Dentro de la ionósfera hay realmente varias capas en las cuales la densidad de ionización alcanza un máximo o permanece casi constante.

Estas regiones se designan con las letras D, E y F, según alturas crecientes. Durante el día la capa F se desdobla en dos subcapas, las mismas que se denominan F_1 y F_2.

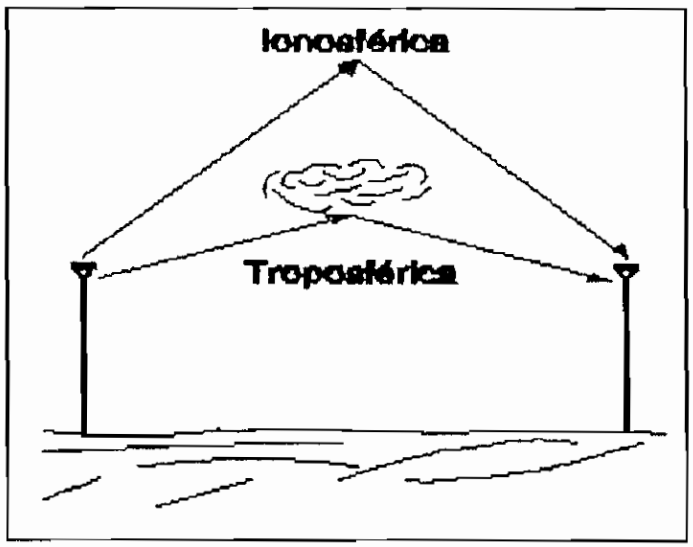


Figura # 1.9

Se debe destacar que las capas E y F son permanentes, esto hace posible las radiocomunicaciones a gran distancia mediante ondas reflejadas.

1.2.5.4 PROPAGACION POR DISPERSION TROPOSFERICA.

Se considera como tropósfera la región de la atmósfera adyacente a la tierra y que se extiende hasta unos 10 Km. de altura. Los índices de refracción de estas capas son tan diferentes que se experimenta algo de dispersión de regreso a la tierra en las bandas de VHF y UHF hasta las frecuencias en las que la absorción de los gases y vapor atmosférico comienza a provocar seria atenuación. La dispersión troposférica es mucho menos propensa a cambios en las condiciones que afectan a la propagación ionosférica, aunque varía muy notablemente con la ubicación geográfica y es de mayor utilidad en las zonas templadas que en los

trópicos.

Dado que la dispersión ocurre a altitudes reducidas, las comunicaciones con este mecanismo pueden hacerse a distancias pequeñas (en el mejor de los casos cientos de Kilómetros).

1.2.5.5 PROPAGACION POR DISPERSION LOCAL.

Este mecanismo de propagación no pertenece al grupo de los canales "clásicos" que aprovechan las propiedades de la atmósfera, más bien es aplicable cuando la trayectoria de enlace es relativamente corta.

Cuando el receptor está rodeado de obstrucciones, son ellas mismas (edificios, árboles, colinas) las que proporcionan una multitud de trayectorias para la señal de radio.

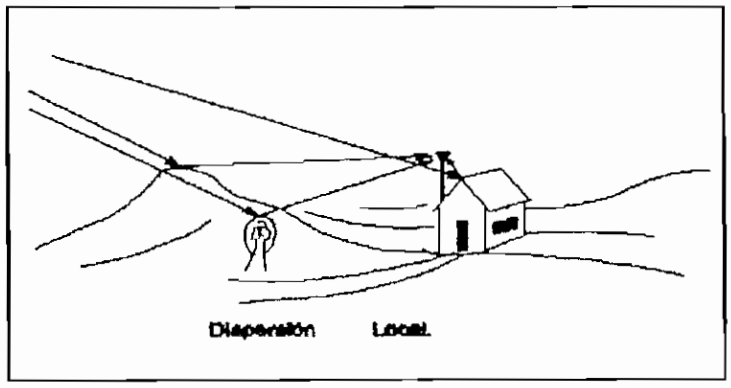


Figura # 1.10

La señal recibida de este canal llega desde muchas direcciones y por varios mecanismos, en el caso de grandes

obstrucciones, la señal se refleja, se difracta o ambas a la vez, si son pequeñas obstrucciones ocurrirá dispersión y cada partícula actuará como un débil radiador omnidireccional. El efecto neto es como si la antena receptora estuviese rodeada por un gran número de dispersores colocados aleatoriamente, actuando cada uno de ellos como una fuente de la misma señal pero con fase, retardo y amplitud aleatorios.

1.3 TIPOS DE PROTOCOLOS.

Un sistema de comunicación podría estar conformado por solo dos terminales remotos (sistema punto a punto), o por más de dos terminales remotos (sistema multipunto).

Obviamente, si solo existen dos terminales en el sistema, un protocolo de comunicaciones en ocasiones resultaría innecesario; mientras si el sistema de comunicaciones dispone de varios terminales remotos, se hace imprescindible el disponer de un protocolo de comunicaciones para manejar el intercambio de mensajes.

Protocolo es un conjunto de normas y reglas encargadas de manejar las comunicaciones entre terminales, terminales-computadoras y entre computadoras.

Las funciones primordiales que deben cumplir un protocolo son : evitar que dos dispositivos transmitan simul-

táneamente sobre el mismo canal y asegurar que cuando un dispositivo transmita, éste sea escuchado por el dispositivo destino del mensaje.

Los procedimientos utilizados por los protocolos de comunicaciones para regular el intercambio de mensajes básicamente se reducen a dos :

- Contención (Contention)
- Exploración y Selección (Polling-Selecting).

1.3.1 CONTENCION.

En este modo de operación, todos los terminales remotos se encuentran en estado de reposo cuando no hay intercambio de mensajes, es decir, en este estado no se produce ningún intercambio de señales de control.

Cuando algún terminal desea realizar una comunicación, éste solicita el uso del medio de transmisión mediante un caracter de pedido, estableciéndose la comunicación hasta cuando dicho terminal declare cerrada la transmisión mediante un caracter de fin. En definitiva, a este procedimiento se lo puede resumir así : "primero que llega, primero que se atiende". A fin de evitar la concurrencia simultánea de más de un terminal al proceso de comunicación, se puede asignar a alguno o algunos de ellos prioridades a fin de que puedan acceder con más facilidad al medio de trans-

misión.

1.3.2 EXPLORACION Y SELECCION.

El procedimiento de exploración se utiliza principalmente en sistemas multipunto. En este mecanismo, el equipo emisor y el equipo receptor intercambian información de control todo el tiempo, dicha información puede verse como mensajes de la siguiente manera :

- Desea enviarme información? (exploración).
- Puede recibir información? (selección).

Evidentemente, para ejecutar este procedimiento se requiere establecer que dispositivo es el encargado de realizar las preguntas, por lo general, se le asigna estas funciones al equipo central del sistema de comunicaciones.

Actualmente exiten dos tipos de procedimientos de exploración en uso : Exploración Central y Exploración con Rotación.

En la exploración central, el equipo central hace las preguntas correspondientes a cada estación remota en un orden predeterminado. Cada terminal al recibir la pregunta contesta con una señal de "no tráfico" si no desea realizar alguna comunicación, en cambio enviará una señal de "tráfico" si quiere utilizar el medio de comunicación. La explo-

ración continua después de la recepción del mensaje, por tanto, el tráfico de mensajes puede ser en cualquier sentido. En este procedimiento también se puede establecer prioridades mediante la asignación de mayor número de exploraciones a determinado terminal remoto.

En la exploración con rotación la primera pregunta la hace el equipo central, si la estación remota desea enviar información, contesta a la pregunta con una señal de "tráfico" y luego desplaza la información; caso contrario, la estación remota se encarga de realizar la exploración de la siguiente estación remota y así sucesivamente. Por tanto, en este procedimiento no existe la señal de "no tráfico".

Cuando la estación central ha recibido información de una estación remota, dicho mensaje es transferido inmediatamente a la estación destino para luego la estación central realizar la primera pregunta de exploración a la siguiente estación remota y dar lugar nuevamente al desarrollo del proceso.

1.3.3 CLASIFICACION DE LOS PROTOCOLOS.

Un método conveniente para clasificar los diferentes tipos de protocolos es mediante las técnicas de alineación de mensaje que se usan. Básicamente existen dos tipos de protocolos :

- Protocolos orientados a caracteres y
- Protocolos orientados a bytes y a bits.

1.3.3.1 PROTOCOLOS ORIENTADOS A CARACTERES.

Se han desarrollado una variedad de protocolos orientados a caracteres, entre los cuales destacan: El BISYNC desarrollado por IBM, El HDLC de la ISO, El protocolo X.25 del CCITT, Los protocolos ALOHA desarrollados por la Universidad de Hawaii, etc.

1.3.3.1.1 PROTOCOLO BISINCRONICO (BISYNC).

El protocolo Binary Synchronous Communications (BSC o BISYNC) diseñado por IBM tiene su aplicación únicamente para comunicaciones half-duplex. Se aplica a las configuraciones de red punto a punto y multipunto; en el primer caso bajo el procedimiento de *Contención* y en el segundo caso utilizando el procedimiento de *Exploración y Selección* .

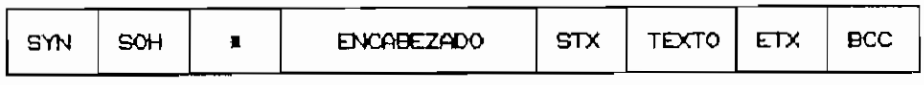
El protocolo BSC tiene la propiedad de ser transparente, es decir, permite la transmisión de caracteres de control con el mismo patrón de bits de los caracteres de datos. Además el BSC se acomoda a un amplio rango de velocidades de transmisión.

Con el protocolo BSC solo se permite uno de los tres siguientes códigos para transmisión de datos en una red

particular: 1) EBCDIC, 2) ASCII y 3) Transcódigo de 6 bits. Los caracteres utilizados en este protocolo y sus significados son :

CARACTER	SIGNIFICADO
SYN	Libre y sincronismo
SOH	Inicio de cabecera
STX	Inicio de texto
ETX	Concluye el texto
BCC	Bits de verificación de cuadros
ITB	Fin de transmisión de bloque intermedio
ETB	Fin de transmisión de bloque
EOT	Fin de transmisión
ENQ	Pregunta
ACK	Reconocimientos afirmativos
WACK	Espera, antes de transmitir un ACK
NAK	Reconocimiento negativo
DLE	Escape del enlace de datos
RVI	Interrupción inversa
TTD	Retardo temporal del texto
DLE EOT	Secuencia de desconexión para línea conmutada

La trama BSC básica se muestra a continuación :



* Caracter único optativo

El protocolo BSC tiene numerosas limitaciones para las redes de datos más avanzadas; por ejemplo, se diseñó para usarlo únicamente con "caracteres de para y espera".

En este protocolo se pueden realizar control de errores, para detectarlos se utiliza métodos de paridad como :

- Verificación de Redundancia Longitudinal (VRL) o
- Verificación de Redundancia Vertical (VRV), aunque también se puede emplear el método de Verificacion de Redundancia Cíclica (VRC). La técnica VRC-12 se utiliza en el transcódigo de 6 bits, mientras que la VRC-16 y VRL/VRV se usan en los códigos de transmisión de 8 bits como el ASCII y el EBCDIC.

1.3.3.1.2 PROTOCOLO HDLC (HIGH LEVEL DATA LINK CONTROL)

El protocolo de Control de Enlace de Datos de Alto Nivel o HDLC (según sus siglas en inglés) fue diseñado por la ISO para trabajar en los modos half-duplex y full-duplex.

Este protocolo viene a ser un perfeccionamiento del Bisincrónico BSC, ya que, elimina muchos procedimientos del BSC reduciendo por tanto los tiempos de espera.

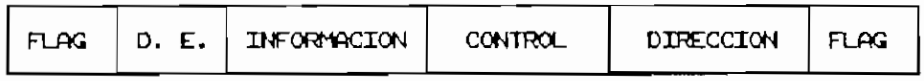
Una ventaja importante del protocolo HDLC respecto al BSC, radica en que el primero no divide a los mensajes en paquetes de menor longitud excepto cuando son mensajes de-

masiado extensos; mientras que el protocolo BSC a los mensajes siempre los corta en una serie de bloques pequeños.

La estructura de las tramas en el protocolo HDLC es exactamente la misma sea el mensaje extenso o corto. Este protocolo puede ser utilizado para comunicaciones sincrónicas como para asincrónicas. En el modo sincrónico se utilizan caracteres de sincronismo al inicio de la transmisión. En cambio en el modo asincrónico se utiliza un bit para indicar que se transmite un caracter y bit final para señalar que se ha completado el caracter.

El protocolo HDLC utiliza tramas en las cuales la apertura y cierre de las mismas se lo hace mediante caracteres similares llamados FLAG. Cada trama es numerada en secuencia a más de cada una de ellas lleva un registro del número de tramas ya envíadas.

La estructura de la trama en el protocolo HDLC es :



FLAG: Bandera de cierre y apertura de la Trama 01111110

D. E.: Detección de Errores en 16 bits.

INFORMACION: Contiene el mensaje a ser transmitido.

CONTROL: Puede ser extendido a dos bytes y es usado para controlar la operación del terminal

remoto por parte de la central así como para responder desde el remoto a la central.

DIRECCION: Lleva la dirección del secundario que se comunica con la central.

La secuencia de bits de las banderas de apertura y cierre deben ser únicas. A fin de evitar que una estructura similar aparezca en cualquier otro lugar que no sea la posición de bandera, se inserta un "0" binario después de cualquier sucesión continua de cinco unos (1) binarios. El "0" se elimina en el receptor; los ceros que se insertan y se quitan no se incluyen en la verificación de error.

Para detectar los mensajes que han sido transmitidos de manera errónea, se utiliza el método de Verificación de Redundancia Ciclica (VRC). El mismo que es una sucesión de 16 bits que representan un polinomio de orden 15, que es el resto de la división del polinomio de los bits de la trama para un polinomio estandar de orden 16 (VRC-16). La información recibida en la trama correspondiente a la detección de errores es comparada con la evaluación que se realiza en la estación remota, si no son iguales, la trama se desecha por contener errores.

1.3.3.1.3 PROTOCOLO X.25 DEL CCITT.

Este protocolo ha tenido gran aceptación en Europa y por la ISO. El objeto del protocolo es el establecer re-

glamentaciones a la transmisión de datos con conmutación por paquetes a fin de facilitar la interconexión internacional. Este protocolo es bastante similar en cuanto a formato al protocolo HDLC, por ejemplo, las banderas. A continuación se especifica la trama típica X.25 :

FLAG: 01111110

VERIF CUADROS: Tiene una extensión de 16 bits y son empleados para la detección de errores.

Por la similitud con el protocolo HDLC, muchas veces se dice que una red pública de datos X.25 utiliza el protocolo HDLC.

En el CCITT X.25 se recomienda que la longitud máxima del campo de datos debe ser 128 octetos, dejando en libertad a que algunas empresas telefónicas utilicen otras longitudes máximas, indicándose además que estas longitudes se tomen en base a potencias de dos: 16, 32, 64, 256, 512 y 1024 bytes, aunque excepcionalmente puede ser 255 octetos.

En el CCITT se permiten dos modos de operación para este protocolo: Principal-Principal y Principal-Secundaria. En la operación Principal-Principal cada una de las dos estaciones que se conectan al enlace de datos pueden

actuar como estación principal. Mientras en el modo Principal-Secundaria una de las dos estaciones que se enlazan desempeña la función de principal y la otra la de Secundaria.

Para la detección de errores se utiliza la técnica de Verificación de Redundancia Cíclica (VRC-16).

1.3.3.1.4 PROTOCOLOS ALOHA.

En la década de 1970, Norman Abramson y sus colegas de la Universidad de Hawaii desarrollaron los protocolo ALOHA. La idea primordial de un sistema ALOHA es dejar que los terminales remotos transmitan información siempre que la tengan. En caso de colisiones, las tramas sufrirán obstrucción. Pero debido a la propiedad de retroalimentación de la difusión, el que envía la información podrá averiguar si su trama se destruyó.

En el sistema ALOHA todas las tramas tienen un tamaño uniforme á fin de poder conseguir el máximo rendimiento.

Siempre que dos tramas traten de ocupar simultáneamente el mismo canal habrá colisión y ambas serán destruidas. Es asi que si el último bit de la una trama se superpone con el primer bit de la segunda trama, ambas tramas se destruirán por completo, aplicando la idea de: "lo malo siempre es malo".

Existen dos tipos de protocolos ALOHA :

- El ALOHA puro y
- El ALOHA ranurado.

En el sistema ALOHA puro, un terminal transmite un paquete de información en cualquier instante, siendo muy factible que se presente una colisión con otra trama. Mientras en el ALOHA ranurado, el terminal antes de transmitir una trama, escucha que en el medio de comunición no exista otra trama en viaje a fin de tratar de asegurar que la trama por el enviada no se pierda.

En el sistema ALOHA en general, cuando una trama sufre colisión, el terminal remoto se encarga de retransmitirla cuantas veces sea necesario hasta cuando su transmisión sea exitosa.

En este protocolo no se utiliza ningún método de detección de errores, puesto que ni hasta un Código de Redundancia Cíclica (VRC) puede reconstruir la información perdida por la colisión.

1.3.3.2 PROTOCOLOS ORIENTADOS A BYTES Y A BITS.

En la actualidad se han diseñado algunos protocolos dedicados exclusivamente a bytes y a bits de información.

De todos ellos, el más conocido y utilizado es el protocolo SDLC desarrollado por IBM.

1.3.3.2.1 PROTOCOLO DE CONTROL SINCRONO DEL ENLACE DE DATOS (SDLC).

Este protocolo es muy similar al protocolo HDLC orientado a caracteres. El protocolo SDLC presenta cuatro características estructurales esenciales :

- Se usa una gramática común.
- Se incrementa la confiabilidad del equipo de enlace de datos para la detección y recuperación del error.
- Existen dos niveles de jerarquía constituídos por las estaciones primarias y secundarias.
- Cada bloque de transmisión de datos, denominado "trama", tiene un formato específico.

En la siguiente figura se ilustra la trama del SDLC :

FLAG: Inician y cierran la trama, constituídas por: 01111110

DIRECCION: Conformada por 8 bits para indicar la estación remota que se comunica con la central.

CONTROL: Constituído por 8 bits para controlar la operación del secundario.

VERIF. CUADR.: Realiza la detección de errores en 16 bits.

Para evitar que la secuencia de bits correspondiente a las banderas aparezcan en otro lugar diferente, se sigue el mismo procedimiento empleado en el protocolo HDLC.

El campo de información puede ser de cualquier longitud pero siempre en múltiplos de 8 bits. Para la detección de errores se utiliza la Verificación de Redundancia Cíclica (VRC-16). En el extremo de la trasmisión, en el casillero de Verificación de Cuadros (Verif. Cuadr.) se almacena información de control después de realizar la Verificación de Redundancia Cíclica en una trama específica; en el receptor se realiza un cómputo similar sobre la trama que se recibe, si el resultado no es el mismo que se recibe, la trama en cuestión se desecha por errónea.

En el control síncrono del enlace de datos existen dos niveles jerárquicos: los que constituyen la estación principal y uno o más secundarios. En la estación principal está el control del sistema; las estaciones secundarias se pueden conectar a la central en base a un enlace punto a punto, multipunto, anillo, etc. En este control síncrono se puede tener los procedimientos de Conteción o de Exploración.

1.4 DESCRIPCION Y JUSTIFICACION DEL SISTEMA A IMPLEMENTARSE.

El sistema a implementarse es un sistema de comunicación multiusuario que esta conformado por una estación central y dos terminales remotos. El sistema tiene capacidad de expansión a ocho estaciones remotas.

Cada estación remota esta constituída por un equipo modem al que se encuentra conectado un computador inteligente, el medio de unión entre el modem y el computador es la línea física.

El sistema utiliza como medio de transmisión entre terminales remotos, la atmósfera, dichas estaciones remotas podrán estar alejadas una distancia máxima de 100 metros.

El equipo central es el encargado de realizar la administración de la comunicación entre los terminales, el mismo que en el proceso de trasnmisión desempeña la función de un repetidor activo. La retransmisión por parte de la central lo hace a una frecuencia diferente a la utilizada para la transmisión por parte de las estaciones remotas, a fin de evitar posibles interferencias que puedan producirse dentro del sistema de comunicaciones.

La estación central esta conformada básicamente por un

equipo modem, el mismo que se encuentra unido a un sistema inteligente encargado de ejecutar el protocolo de comunicación, así como también de almacenar temporalmente y detectar errores en el mensaje recibido por la central previo a su retransmisión.

El mensaje a trasnmitirse es objeto de división en bloques de 1024 bytes de información cada uno. En caso de no poderse completar un bloque con 1024 bytes de longitud, el faltante será llenado mediante una cadena de ceros (0) binarios.

Los 1024 bytes de información que constituyen el paquete se los obtiene de la siguiente manera :

Los datos a transmitirse primero pasan por un proceso de compresión, para luego continuar con una operación de codificación. El código empleado es el de Hamming (7,4), pero como los bytes tienen capacidad para 8 bits, el octavo bit corresponde a un bit de paridad. El proceso inverso se cumple cuando el paquete llega al equipo remoto de destino.

La estación central no realiza ningún proceso de codificación y decodificación, lo que si ejecuta es un control de errores. Tanto las estaciones secundarias como la central, el momento que detectan una cantidad considerable de errores solicitan retransmisión.

CAPITULO II

TERMINALES

2.1 Características y Estructura Básica.

2.2 Descripción de la Estructura y Funciones del Microcontrolador.

2.3 Pórtico de Entrada-Salida para comunicaciones.

2.4 Diseño del Tranceptor.

2.5 Construcción del Tranceptor.

TERMINALES.

2.1 CARACTERISTICAS Y ESTRUCTURA BASICA.

Una vez que ya tenemos los conocimientos generales para implementar el sistema de comunicación local propuesto, presentamos a continuación, mediante un diagrama de bloques, las partes que conforman un terminal como puede observarse en la figura 2.1 .

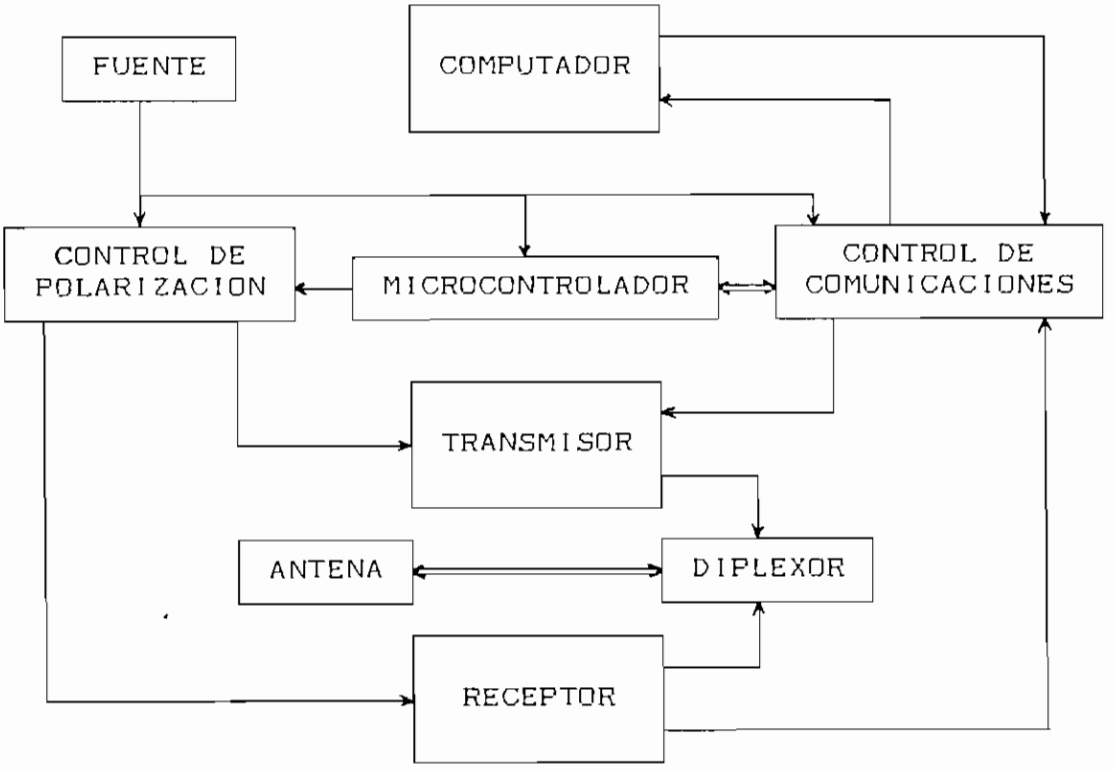


Figura # 2.1

Las características que nuestro sistema presenta, ahora son expuestas resumidamente :

El computador a utilizarse, pertenece a la familia de

los PC, PS/2 IBM o compatibles, resulta ser el componente principal de los terminales, porque es en él donde se almacenan o desde donde se toma la información que será recibida o transmitida respectivamente.

El circuito de control, el mismo que está constituído por el microcontrolador MCS8031AH, se encarga de establecer el control de todo el equipo existente fuera del computador. El microcontrolador además realiza la tarea de codificación y decodificación mediante la implementación de un software, siendo también el encargado de habilitar o deshabilitar al terminal para establecer las comunicaciones con otro elemento del sistema.

La fuente de polarización, ésta no forma parte del diseño, es una fuente tipo switching con varios taps de salida. La fuente tiene las siguientes especificaciones :

Voltaje de entrada : 100 - 125 V.
Corriente de entrada : 2 A.
frecuencia : 50 - 60 Hz.

Para los taps de salida :

Voltajes [V].	Corrientes [A].
5	4.80
12	1.10
- 5	0.12
-12	0.34

Su función es la de proveer voltaje de polarización para la circuitería externa al computador.

El circuito transmisor, el cual se encarga de generar una señal modulada en frecuencia con portadora de 44 MHz y entregar la potencia necesaria para cubrir el enlace de 100 metros.

El circuito receptor, cuya sensibilidad se ha fijado en 5 mV/m (nivel residencial), la portadora en recepción es de 48 MHz. Mediante amplificadores recupera la señal necesaria para que ésta pueda ser entendida por el circuito divisor de frecuencia y luego sea demodulada.

El diplexor, se encarga fundamentalmente de atenuar las señales que se generan en el transmisor a 44 MHz con el objeto de disminuir las interferencias en el receptor. De igual manera atenuar las señales de 48 MHz que llegan desde la central, para no interferir con las señales generadas por el transmisor.

El código que se utiliza para el tratamiento de detección y corrección de errores es de tipo Hamming. A continuación se presentan las principales características de estos códigos.

2.1.1 CODIGOS HAMMING.

Estos códigos constituyen un ejemplo de los códigos de bloque que contienen m bits de información y k bits de prueba.

En general los códigos bloque (n,k) tienen 2^k bloques distintos a ser codificados, asociados en correspondencia uno a uno a 2^k bloques distintos de longitud n, los cuales conforman el código.

$n = m + k$, n : longitud de la palabra código.
m : bits de información.
k : bits de prueba.

Además los códigos Hamming son lineales, esto significa que al realizar la suma módulo 2 de cualesquiera dos palabras válidas del código, obtenemos como resultado otra palabra código, la linealidad de un código bloque facilita los procesos de codificación y decodificación.

Nosotros utilizamos concretamente el código Hamming (7,4), el mismo que tiene una distancia mínima = 3.

La distancia entre dos palabras código se define como el número de lugares en los cuales ambas palabras difieren. Teniendo en cuenta esta definición anterior, se dice que la distancia mínima de un código bloque lineal es la distancia

Donde : D_i = Bits de datos.

P_i = Bits de paridad.

Si aplicamos el principio de equivalencia que dice que dos códigos son equivalentes si uno puede transformarse en el otro solo por transposición de elementos, entonces podemos escribir nuestras palabras código de la siguiente manera :

$$P_0 \cdot P_1 \; D_0 \; P_2 \; D_1 \; D_2 \; D_3 \; P_T$$

La manera para determinar los bits de paridad de nuestras palabras código es :

$$P_0 = D_0 + D_1 + D_3$$

$$P_1 = D_0 + D_2 + D_3$$

$$P_2 = D_1 + D_2 + D_3$$

Hemos incluido en la estructura de la palabra código un bit extra P_T, el mismo que se encarga de mantener la paridad de 1_L transmitidos, es decir, si hay un número par de unos $P_T = 0_L$ caso contrario $P_T = 1_L$. La forma de calcular este bit es la siguiente :

$$P_T = P_0 + P_1 + D_0 + P_2 + D_1 + D_2 + D_3$$

Para obtener la detección y corrección del código generado, se forman tres series, de tal manera que en cada

serie sea par el número de unos, así :

Serie 1 $Y_1 = P_0 + D_0 + D_1 + D_3$

Serie 2 $Y_2 = P_1 + D_0 + D_2 + D_3$

Serie 3 $Y_3 = P_2 + D_1 + D_2 + D_3$

De tal manera que cada vez que $Y_i = 1$, significa que la serie tiene error.

Para detectar cual es el bit que tiene error se analiza la siguiente tabla :

Y_1	Y_2	Y_3	
0	0	0	No existe error.
0	0	1	P_2 erróneo.
0	1	0	P_1 erróneo.
0	1	1	D_2 erróneo.
1	0	0	P_0 erróneo.
1	0	1	D_1 erróneo.
1	1	0	D_0 erróneo.
1	1	1	D_3 erróneo.

Podemos concluir que la ubicación del bit de falla está determinada por la combinación binaria de las señales Y_3, Y_2, Y_1, siendo Y_3 el bit más significativo.

La técnica que se emplea para modular la portadora, es del tipo 2FSK (modulación binaria) cuyas características

generales describimos brevemente.

2.1.2 MODULACION FSK.

En términos generales, la modulación es un proceso mediante el cual se hace variar alguna característica de la forma de onda conforme a otra forma de onda.

Una señal sinusoidal tiene tres características que la distinguen de cualquier otra, estas son :

- Amplitud.
- Frecuencia y
- Fase.

Estas propiedades hacen que se puedan generar distintas formas de modulación, dependiendo del parámetro que se manipule.

Para el objeto de la radiotransmisión con modulación en frecuencia, que es nuestro caso, se define a la misma como el proceso por medio del cual se hace variar la frecuencia de una onda portadora de conformidad con la información a transmitirse.

La modulación FSK (manipulación por desplazamiento de frecuencia) es una técnica digital de modulación en frecuencia, este tipo de modulación para una señal con múlti-

ples niveles de voltaje (en general la multiplicidad suele ser una potencia de 2 distinta de cero), genera la denominada modulación nFSK, en consecuencia se tendrán también múltiples desviaciones de frecuencia.

Debido a que nuestra señal únicamente tiene dos niveles, esto es 1_L y 0L, toma la denominación de modulación binaria o 2FSK.

La expresión matemática que modela nuestra señal 2FSK es la siguiente :

$$f(t) = \cos(\omega_c + b_n * \Delta\omega) * t \qquad \text{ec. 2.2}$$

donde : ω_c *es la frecuencia de la portadora.*
b_n *es una señal digital en banda base.*
$\Delta\omega$ *es la diferencia de frecuencia entre las dos señales.*
t es el tiempo.

De la última ecuación se puede concluir que la desviación que producen los niveles de la señal en banda base son :
+$w para un 1_L y 0 para un 0_L. (En la figura 2.2 se muestra una onda modulada 2FSK.)

Existen dos tipos de modulación FSK, estas son modulación coherente y modulación no coherente.

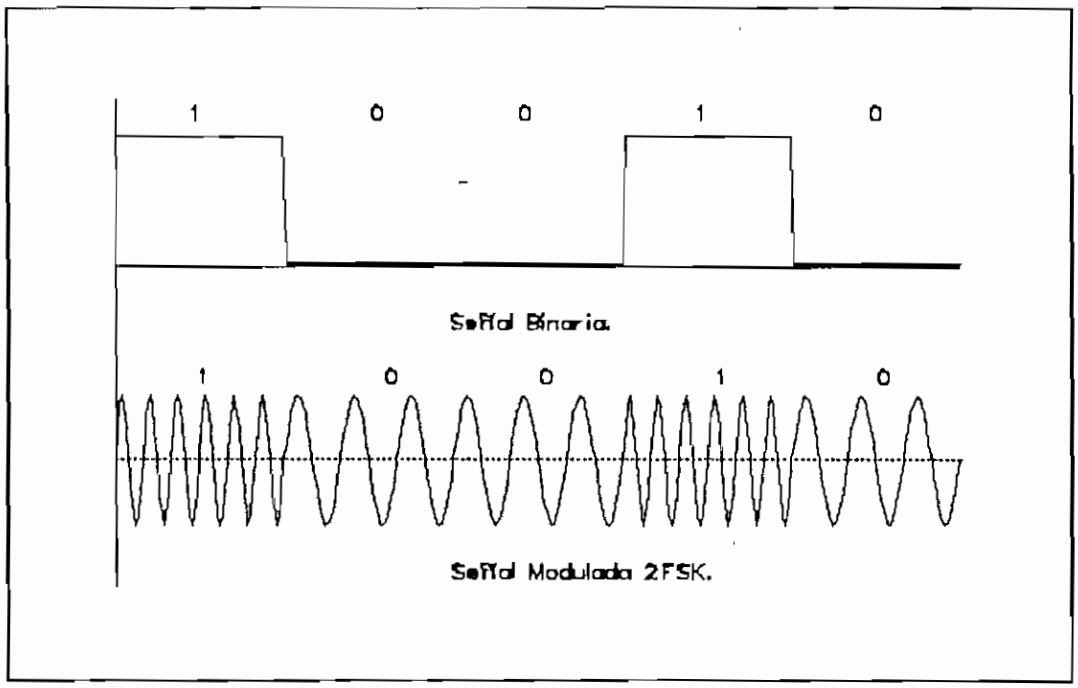


Fig # 2.2

La modulación coherente se produce cuando en el instante en que se da el cambio de frecuencia se mantiene la fase de la señal (el gráfico anterior, es un ejemplo de modulación coherente), proviene de un mismo oscilador sobre el que se realizaría el cambio en la frecuencia en función de la señal de datos.

En modulación no coherente, por el contrario de la anterior, el momento que se produce el cambio de frecuencia existirá en la mayoría de las conmutaciones saltos de fase.

La modulación no coherente se obtiene de la conmutación de dos osciladores independientes.

2.2 DESCRIPCION DE LA ESTRUCTURA Y FUNCIONES DEL MICROCONTROLADOR.

La familia de microcontroladores de 8 bits MCS-51 consiste de los siguientes dispositivos que se enumeran a continuación :

Elemento	ROM	RAM	TIMERS
8031	0 K	128 bytes	2
8051	4 K	128 bytes	2
8751	4 K (EPROM)	128 bytes	2
8032	0 K	256 bytes	3
8052	8 K	256 bytes	3
8752	8 K (EPROM)	256 bytes	3

Todos estos microcontroladores se basan en la arquitectura que se muestra en la figura 2.3 .

Nosotros trabajamos con el microcontrolador MCS8031AH el mismo que tiene las siguientes características principapales :

- CPU de 8 bits.
- Circuitería de oscilador y reloj.
- 32 líneas de entrada salida.
- Posibilidad de manejar 64 Kbytes de memoria de datos externos.
- Manejo de 64 Kbytes de memoria de programas externos.

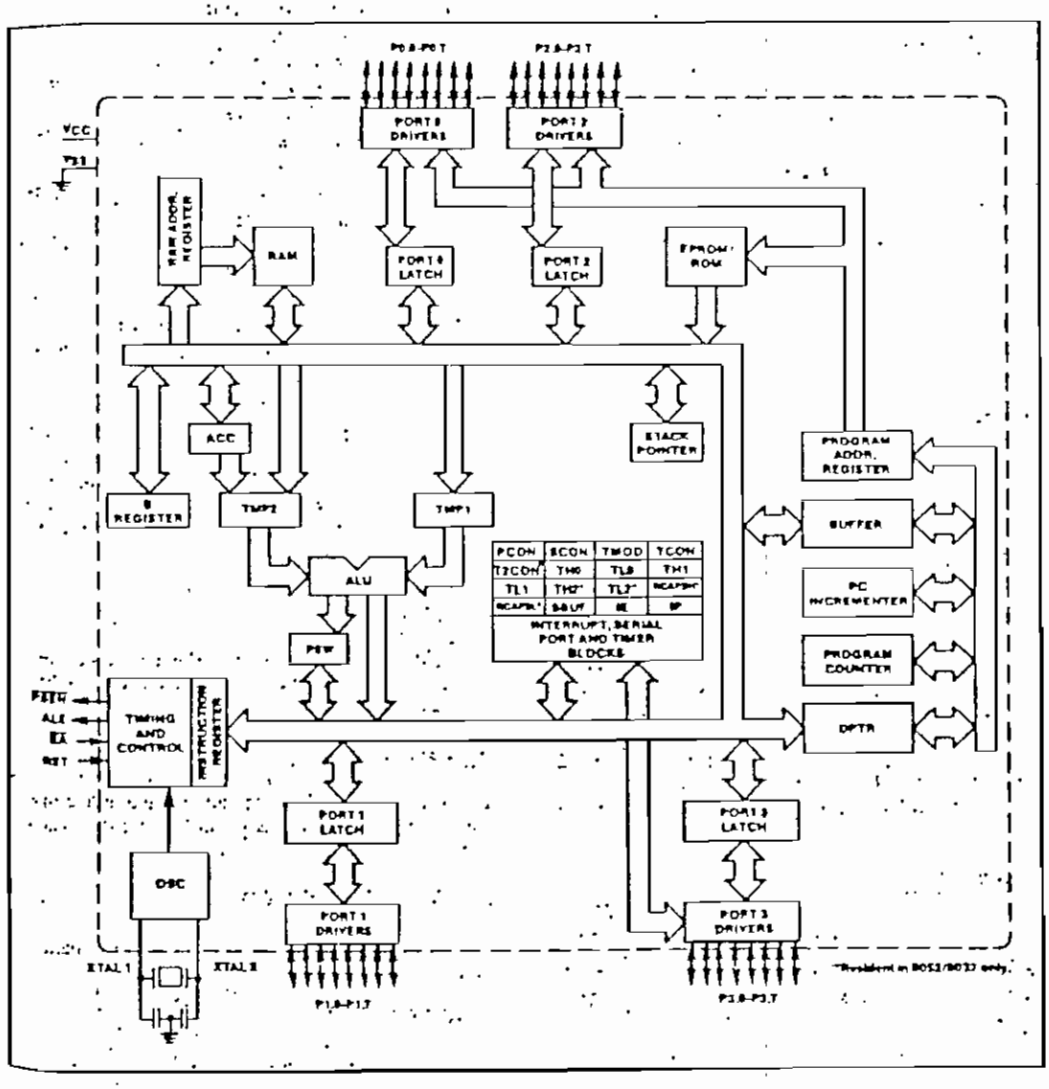


Figura MCS-51 Architectural Block Diagram

Figura # 2.3

- Dos temporizadores/contadores de 16 bits.
- Cinco fuentes de interrupciones con dos niveles de prioridad.
- Pórtico serial Full duplex.
- Procesador Boleano.

2.2.1 ORGANIZACION DE LA MEMORIA.

El microcontrolador MCS8031AH tiene bloques de direcciones diferentes para memoria de programa y memoria de datos. La memoria de datos puede consistir de una RAM de 64 KBytes exterior al circuito y de 128 bytes localizados en el C.I. (circuito integrado) más registros de función especial los mismos que se listan a continuación :

Simbolo	Denominación	Dirección
*ACC	Acumulador	0E0H
*B	Registro B	0F0H
*PSW	Palabra de status de programa	0D0H
SP	Puntero de pila	081H
DPTR	Puntero de datos	
	DPH	083H
	DPL	082H
*P0	Pórtico 0	080H
*P1	Pórtico 1	090H
*P2	Pórtico 2	0A0H
*P3	Pórtico 3	0B0H

Símbolo	Denominación	Dirección
*IP	Control prioritario de interrupción.	0B8H
*IE	Control de habilitación de interrupción	0A8H
TMOD	Modo de T/C	089H
TCON	Control de T/C	0C8H
TCON	Control de T/C	0C8H
TH0	T/C 0 (byte alto)	08CH
TL0	T/C 0 (byte bajo)	08AH
TH1	T/C 1 (byte alto)	08DH
TL1	T/C 1 (byte bajo)	08BH
*SCON	Control puerto serial	098H
SBUF	Buffer datos seriales	099H

Las funciones marcadas con * son direccionables como byte o a nivel de bits [3].

Es posible tener instrucciones que ocupen las mismas direcciones sin que se presente ningún conflicto, ya que las mismas son específicas para cada tipo de memoria.

En la estructura de la RAM interna al C.I. se cuenta con 4 bloques de registros de trabajo, los mismos que ocupan las siguientes direcciones :

---

[3] *Mayor información sobre los registros especiales listados, pueden encontrarse en los anexos corespondientes al microcontrolador.*

Primer bloque : 00H - 07H

Segundo bloque : 08H - 0FH

Tercer bloque : 10H - 17H

Cuarto bloque : 18H - 1FH

Como se puede ver estos bloque ocupan un total de 32 localidades. Estos bloques toman mucha importancia cuando se trabaja con sub-rutinas. Todas las demás localidades de la memoria RAM interna, es decir desde la 20H a la 7FH pueden ser destinadas a la pila.

2.2.2 ESTRUCTURA DE LOS PUERTOS Y OPERACION.

Todos los puertos del microcontrolador son bidireccionales, cada uno de ellos consiste de un retenedor, un manejador de salida y una memoria intermedia de entrada.

Los manejadores de salida de los puertos 0 y 2 y la memoria intermedia de entrada del puerto 0 son utilizadas para acceder a memoria externa, así la salida del puerto 0 representa el byte bajo de la dirección de la memoria externa, multiplexada en el tiempo con el byte que ha sido leído o escrito. En cambio la salida del puerto 2 representa el byte alto de la dirección de memoria externa cuando se requiera una dirección mayor a FFH.

Todos los pines del puerto 3 son multifuncionales, no solo se utilizan como pines del puerto, sino que prestan

servicios especiales, los mismos que a continuación se describen :

Pin del puerto	Función alternativa.
P3.0	RXD Entrada puerto serial.
P3.1	TXD Salida puerto serial.
*P3.2	INT0 Interrupción externa 0.
*P3.3	INT1 Interrupción externa 1.
P3.4	T0 Entrada externa T/C.
P3.5	T1 Entrada externa T/C
*P3.6	WR Selección de escritura de memoria externa de datos.
*P3.7	RD Selección de lectura de memoria externa de datos.

Los pines que están precedidos del símbolo *, se activan en estado bajo.

2.2.3 PUERTO SERIAL.

El puerto serial de la familia MCS-51 es full duplex, esto significa que se puede transmitir y recibir simultáneamente.

Tanto la transmisión como la recepción son realizadas a través del registro especial SBUF, escribiendo en SBUF se carga el registro a transmitirse y leyendo SBUF se accesa separadamente al registro de recepción.

El puerto serial puede operar en 4 modos, estos son :

Modo 0.- Las entradas y las salidas se realizan a través de las líneas RXD y TXD respectivamente. Se transmiten o reciben 8 bits de datos y el baud rate está fijo en 1/12 de la frecuencia del oscilador.

Modo 1.- Se transmiten 10 bits sobre la línea TXD o se reciben los bits sobre RXD. En este modo se tiene un bit de inicio, 8 bits de datos y un bit de parada. El último bit mencionado en recepción se localiza sobre RB8 del registro especial SCON. En este caso el baud rate es variable.

Modo 2.- En este modo se transmiten o reciben 11 bits, los cuales tienen la siguiente estructura :
1 bit de inicio, 8 bits de datos, el noveno bit de datos programable y un bit de parada. En transmisión el 9 bit de datos se encuentra en TB8 del registro especial SCON al cual se lo puede asignar el valor de 0 o 1, resulta ser muy útil, por ejemplo mediante este bit se puede llevar información de la paridad.

En recepción el noveno bit se lo encuentra sobre RB8, mientras que el bit de parada es ignorado. El baud rate es programable, pudiendo ser 1/32 o 1/64 de la frecuencia de oscilación.

Modo 3.- En este caso también se transmiten o reciben 11

bits, se comporta el modo 3 de idéntica manera que el anterior, excepto el baud rate que es variable.

2.2.4 GENERACION DEL BAUD RATE.

Para el modo 0, el baud rate es fijo e igual a :

$$Baud\ Rate = \frac{Frecuencia\ del\ oscilador}{12} \qquad ec.\ 2.3$$

Para el modo 2, el baud rate depende del valor que tome el bit SMOD del registro especial PCON, cuando SMOD sea 0 el baud rate será igual a 1/64 de la frecuencia del oscilador y cuando SMOD sea 1, el baud rate es 1/32 de la frecuencia del oscilador, esto se deduce a partir de la siguiente fórmula :

$$Baud\ Rate = \frac{2^{SMOD}}{64} * Frecuencia\ del\ oscilador \qquad ec.\ 2.4$$

Para nuestro microcontrolador en los modos 1 y 3 el baud rate puede ser calculado mediante la siguiente ecuación :

$$Baud\ Rate = \frac{2^{SMOD}}{32} * \frac{frecuencia\ del\ oscilador}{12 * [256 - TH1]} \qquad ec.\ 2.5$$

Esta ecuación puede ser aplicada cuando el TIMER 1 opere como Temporizador y en el modo de autorecarga (sig-

nifica que el nibble alto del registro TMOD = 0010B), pudiendo ser deshabilitada la interrupción del TIMER 1 en estas condiciones.

Mediante la ec. 2.5, nosotros vamos a generar el baud rate que utilizamos en la transmisión de datos.

2.2.5 FUNCIONES QUE DESEMPEÑA EL MICROCONTROLADOR EN EL TERMINAL.

Las funciones básicas que desempeña el microcontrolador MCS8031AH dentro de los terminales son :

- Solicitar la comunicación entre el terminal y la central en caso de que se quiera transmitir datos o también tiene la misión de comunicar a la central que el terminal está disponible o no para recibir mensajes. Estas operaciones se realizan mediante un protocolo de comunicaciones que reside en el microcontrolador.

- Una vez que los datos provenientes del computador llegan al microcontrolador, estos son codificados y luego almacenados en una memoria tipo RAM, para luego ser organizados en tramas de datos para su transmisión vía atmósfera hacia la central, mediante la inserción de cabeceras y colas al inicio y final respectivamente.

- En recepción el proceso se invierte, es decir los datos

que llegan son almacenados en la memoria intermedia, para luego de que se han suprimido las colas y cabeceras, pasar por un proceso de detección y corrección de errores. Finalmente la información es decodificada y llevada al computador receptor.

- Controla las polarizaciones del transceptor, mediante una línea del puerto 1, en otras palabras para cuando se recepte, la polarización del transmisor será desconectada.

- Finalmente por medio de un sistema de multiplexaje para recepción y demultiplexaje para transmisión, los mismos que están controlados por líneas del puerto 1 del microcontrolador, enrutan los datos ya sea hacia el computador o hacia el transceptor.

2.3 PORTICO DE ENTRADA-SALIDA PARA COMUNICACIONES.

La transferencia de información desde un computador a un periférico, o cualquier equipo de proceso de información fuera del computador, de una forma u otra es transmitida en unidades denominadas palabras, que suelen tener de 5 a 8 bits. Existen dos formas de realizar la transmisión, estas son :

1.- Método paralelo, el cual se lo efectúa transmitiendo simultáneamente por lineas separadas todos los bits de

la palabra.

2.- Método serie, el mismo que se lo realiza en forma secuencial en el tiempo, todos los bits de la palabra son transmitidos uno tras otro por una sola línea de datos.

El método paralelo es utilizado para transmisiones en altas velocidades lo cual es muy deseable, sin embargo cuando la distancia de separación aumenta, los costos de los equipos para utilizar dicho método se incrementa grandemente.

Nosotros al considerar que la distancia de separación entre la central que maneja el sistema y los terminales es considerable (semejante a 100 m.) y además nuestro medio de transmisión es la atmósfera, vamos a utilizar el puerto de comunicaciones serie asincrónicas RS-232-C disponible en los computadores.

Estos sistemas serie, han alcanzado un alto grado de estandarización, pues existen normas universalmente aceptadas que fijan completamente todos los detalles de la comunicación, incluyendo aspectos mecánicos como son los tipos de conectores y distribución de señales en los pines, aspectos eléctricos fijando niveles de voltaje y formas de las señales, aspectos lógicos como son los sistemas de codificación y sincronización y también la descripción de todos los circuitos de datos, control y tiempo. Estas cua-

lidades hacen que se puedan realizar con toda facilidad la conexión indistinta de un computador con cualquier periférico.

A continuación se enumeran algunas de las características más importantes para la norma RS-232-C que corresponde a la tercera versión revisada de la norma original RS-232, esta fue propuesta por la Asociación de Industrias Electrónicas (EIA).

Su versión internacional se encuentra incluída en la recomendación V.24 del CCITT que es parecida pero difiere un poco en algunos circuitos que son utilizados muy ocasionalmente.

- En cuanto a las especificaciones mecánicas :

* Es un conector de 25 patillas, el cual consta de un conector macho como de un conector hembra.
* En la fila superior se numeran las patillas de 1 al 13 (de izquierda a derecha), en tanto que en la fila inferior están numeradas desde el 14 a 25 en el mismo sentido que en la fila anterior.

- En cuanto a las especificaciones eléctricas :

* Son circuitos de enlace asimétricos con velocidades de transmisión inferiores a 20 Kbits/s.
* Requiere niveles de voltaje de :

1_L $V_i \leq -3$ V.

0_L $Vi \geq +3$ V.

Cuando $-3\ V \leq V_i \leq +3\ V$ es una zona de tránsito, donde el nivel de señalización no está definido.

* Debe soportar voltajes de hasta ± 25 V.
* La impedancia de salida ≥ 300 Ω.
* La impedancia de entrada $3\ K\Omega \leq R_L \leq 7\ K\Omega$.
* Longitudes máximas de enlace vía cable 15 m.

- En cuanto al nivel lógico, nos vamos a limitar a presentar una comparación entre el RS-232-C y V.24 [*] como se observa en la tabla 2.1 .

Una vez que se ha descrito la constitución física del puerto que utilizamos para realizar las comunicaciones, vamos a enumerar rápidamente las funciones que puede realizar el puerto serie de los computadores.

A los servicios que presta este puerto, es posible accesar mediante instrucciones que traen los lenguajes de alto nivel como son el BASIC, C, PASCAL, etc, así como también mediante las operaciones del lenguaje ensamblador y los servicios que presta la ROM BIOS respecto al manejo de este puerto.

Hay cuatro servicios de comunicaciones serie comunes a todos los modelos de IBM. Estos servicios son llamados mediante la interrupción 14H y seleccionados a través del registro AH.

---

[*] *Andrew S. Tanenbaum, Redes de Ordenadores, (Prentice-Hall), México, 1988), p. 90.*

RS-232-C			CCITT V.24		
Código	Patilla.	Circuito	Código	Patilla.	Circuito
AA	1	Tierra de protección.	101	1	Tierra de protección.
AB	7	Tierra de la señal.	102	7	Tierra de la señal.
BA	2	Datos transmitidos.	103	2	Datos transmitidos.
BB	3	Datos recibidos.	104	3	Datos recibidos
CA	4	Solicitud de envío.	105	4	Solicitud de envío.
CB	5	Libre para envío	106	5	Listo para envío.
CC	6	Establecimiento de datos listo.	107	6	Establecimiento de datos listo.
CD	20	Terminal de datos listo.	108	20	Terminal de datos listo.
CE	22	Campanilla indicadora de llamada.	125	22	Indicador de llamada.
			109	8	Detector de línea.
CF	8	Detector de línea.	110	21	Calidad de la señal.
CG	21	Calidad de la señal.	111	23	Velocidad del ETD.
CH	23	Velocidad del ETD.	112	18	Velocidad del ETCD.
CI	18	Velocidad del ETCD.	136		Señal nueva.
			126	11	Selección de frecuencia.
DA	24	Temporización del ETD.	113	24	Temporización del ETD.
DB	15	Temporización del ETCD.	114	15	Temporización del ETCD.
DD	17	Temporización del receptor.	115	17	Temporización del receptor.
SBA	14	Datos transmitidos.	118	14	Datos transmitidos.
SBB	16	Datos recibidos.	119	16	Datos recibidos
SCA	19	Solicitud de envío.	120	19	Señal de línea.
SCB	13	Libre para envío	121	13	Canal listo.
SCF	12	Detector de línea.	122	12	Detector de línea.

Tabla 2.1

Además la ROM BIOS del PS/2 contiene dos servicios adicionales los cuales proporcionan soporte extra al puerto serie de estos modelos de computador. Estos servicios son:

Inicialización del registro AH.	Descripción.
00H	Inicializar puerto serie.
01H	Enviar un caracter.
02H	Recibir un caracter.
03H	Obtener estado del puerto serie.
04H	Inicializar puerto serie extendido.
05H	Controlar puerto serie de comunicaciones extendido.

2.3.1 TIPO DE TRANSMISION TERMINAL-TRANSCEPTOR.

Existe una serie de métodos para organizar la señales que se desean enviar, los más importantes son :

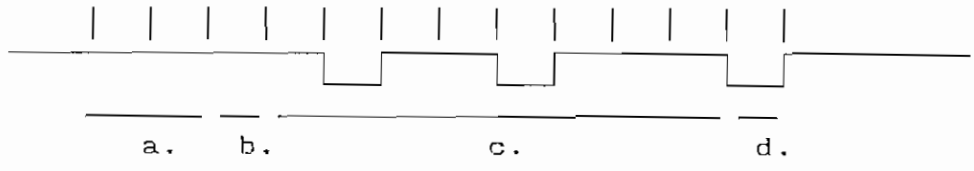
1. Transmisión Serie/Paralelo.
2. Transmisión Asincrónica/Sincrónica.
3. Transmisión Simplex/Half-duplex/Full-duplex.

Anteriormente ya hemos especificado que nuestra transmisión es de tipo serial, sin embargo es importante precisar cuales son las otras características de organización de las señales, para lograr una adecuada comunicación entre computador y transceptor.

Como ya se ha dicho, el puerto de comunicaciones RS-232-C es asincrónico, es decir la transmisión se contro-

la por bits de inicio y de final que enmarca cada caracter transmitido, estos bits son utilizados por el receptor para sincronizar su reloj con el transmisor en cada caracter.

La estructura que toman los bits en una transmisión asincrona, es como se muestra en la figura 2.4 :



donde :

a. son bits de parada.

b. bit de paridad.

c. bits de datos.

d. bit de inicio.

Figura # 2.4 .

Cuando no se envían datos por la línea esta se mantiene en estado de 1_L, luego cuando se desea transmitir un caracter, primero se pone a la línea a cero mediante el bit de inicio durante el tiempo de un bit. Después se envían todos los bits del caracter a transmitirse con los intervalos que marca el reloj de transmisión.

Seguidamente del último bit del caracter transmitido, se envía el bit de final, el mismo que se encarga de retornar a la línea al estado de 1_L durante por lo menos el tiempo de 1 bit, con el propósito de que el bit de inicio del próximo caracter a transmitirse provoque la transición

de 1_L a 0_L, permitiendo de esta manera la sincronización del siguiente caracter. Este bit sirve también para dar tiempo a que el sistema receptor acepte el dato recibido.

Como ventaja la transmisión asincrona permite enviar caracteres a ritmos variables y también es un método de comunicaciones estandar entre ordenadores y periféricos.

Como inconveniente se puede citar principalmente, la presencia de bits que no contienen información útil para el usuario, esto provoca que la eficiencia en la comunicación de cierta manera disminuya.

La configuración de la estructura que tendrán los bits para la transmisión es posible modificarla, utilizando el servicio 00H de la interrupción 14H de la ROM BIOS de los ordenadores.

Nuestro tipo de transmisión también tiene la característica de ser Half-duplex, es decir, la transmisión se lleva a cábo alternativamente en uno u otro sentido, exiguiendo un cierto tiempo para cada inversión, lo cual reduce la eficiencia del sistema.

2.3.2 VELOCIDAD DE TRANSMISION.

En general la velocidad de transmisión viene modelada por la siguiente expresión :

$$\sum_{i=1}^{m} \left(\frac{1}{T_i}\right) * log_2 n_i \qquad ec.\ 2.6$$

Donde : m es el número de canales en paralelo.

T_i es el intervalo para el canal i (expresado en segundos).

n_i es el número de estados significativos de la señal digital en el canal i.

Para el caso de nuestro canal (transmisión serial), el cálculo de la velocidad se reduce a $(1/T)*\log_2 n$. Como nuestra señal tiene únicamente dos niveles, $\log_2 n = 1$, por lo que la velocidad de transmisión simplemente será 1/T.

Para transmitir una señal digital, se necesita de un medio con ancho de banda infinito, sin embargo los medios de transmisión reales tiene un ancho de banda limitado. Por lo tanto de acuerdo a las características físicas del medio de transmisión se establece un ancho mínimo del pulso y lógicamente una velocidad máxima de transmisión.

Al igual que era posible establecer la trama de bits mediante los servicios de la ROM BIOS existente en el computador, también se puede decidir la velocidad de transmisión a través del servicio 00H de la interrupción 14H de la ROM BIOS.

Este servicio establece cuatro parámetros para realizar las comunicaciones, los cuales son una combinación de

ocho bits sobre el registro AX como se muestra a continuación :

BIT								Uso
7	6	5	4	3	2	1	0	
X	X	X						Código de Baud rate.
			X	X				Código de paridad.
					X			Código de bits de parada.
						X	X	Código de tamaño de caracter.

Al realizar las posibles combinaciones con los bits 5, 6 y 7 sin importar los demás bits del registro AX, logramos las siguientes velocidades de transmisión :

BIT			Velocidad
7	6	5	(bits/segundo)
0	0	0	110
0	0	1	150
0	1	0	300
0	1	1	600
1	0	0	1200
1	0	1	2400
1	1	0	4800
1	1	1	9600

Nosotros vamos a trabajar a una velocidad de transmisión de 1200 bits/s, principalmente porque en el circuito demodulador de los receptores, a velocidades más altas de transmisión la detección de los pulsos se vuelve crítico.

2.4 DISEÑO DEL TRANSCEPTOR.

2.4.1 ETAPA DE TRANSMISION.

El transmisor que se ha implementado para establecer la comunicación entre los distintos componentes del sistema, consta de los siguientes bloques, como se muestra en la figura 2.5

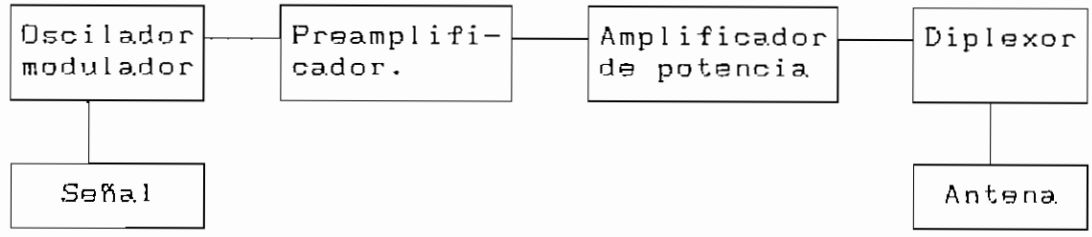


Figura # 2.5

A continuación se realiza el diseño en forma detallada del transmisor.

2.4.1.1 DIPLEXOR.

Está constituído por dos condensadores y una bobina que están interconectadas, por un lado al circuito amplificador y por el otro a la antena que conforma la carga del transmisor como se indica en la figura 2.6 . La frecuencia de portadora que se utiliza es de 44 Mhz para transmisión y 48 MHz para recepción.

Conociendo que la antena que utilizamos tiene una longitud física de 90 cm (monopolo), se determina su longitud

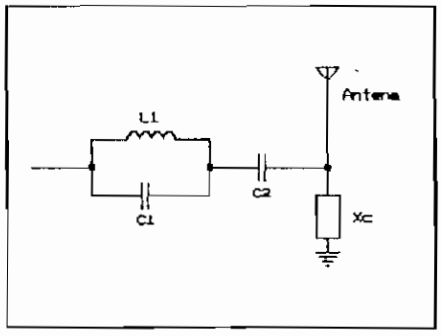


Figura # 2.6

eléctrica con la siguiente ecuación :

$$\lambda = \frac{300}{f\,[MHz]} \quad longitud\ de\ onda \qquad ec.\ 2.7$$

$$L_{eléctrica} = \frac{L_{física}}{\lambda} \qquad ec.\ 2.8$$

Entonces las longitudes eléctricas para transmisión y recepción son :

$$Transmisión : \quad \frac{0.9\ m}{6.818\ m.} = 0.132\ \lambda$$

$$Recepción : \quad \frac{0.9\ m}{6.25\ m.} = 0.144\ \lambda$$

Debido a que las longitudes eléctricas de la antena encontradas no son 1/4 de la longitud de onda, también tenemos presente una parte reactiva, que para calcularla es necesario conocer el radio de la sección transversal de la antena, que en nuestro caso es de 0.238 cm., representando este valor a 0.00039 de la longitud de onda.

En base a las longitudes eléctricas y al radio de la antena se logró determinar que las impedancias son : [5]

Transmisión : $Z_{a(T)} = 7.5 - 270j.$

Recepción : $Z_{a(R)} = 11 - 210j.$

[5] *Edward C. Jordan Keith G. Balmain, Ondas Electromagnéticas y Sistemas Radiantes, (Segunda edición, 1978), p. 615*

La función que desempeña el diplexor es la de bloquear las señales que deben llegar solo a la parte de recepción a una frecuencia de 48 MHz, mediante el tanque formado por el condensador C_1 y la bobina L_1 y dejar circular libremente a la señal que va del amplificador de potencia a la antena.

Como se observa en la figura 2.6 se compensará la parte reactiva de la antena para transmisión, mediante la utilización de una reactancia X_c, la misma que forma parte de una red transformadora de impedancias que servirá para acoplar el amplificador de potencia con la antena.

Para cumplir con nuestro objetivo antes planteado, se analiza la red de la figura 2.6.

$$Z = X_{L_1} // X_{C_1} + X_{C_2}$$

$$Z = \frac{1}{jwC_2} + \frac{jwL_1 * \frac{1}{jwC_1}}{jwL_1 + \frac{1}{jwC_1}}$$

$$Z = \frac{1 - w^2 * (L_1 * C_1 + L_1 * C_2)}{jwC_2 * (1 - w^2 * L_1 * C_1)}$$

Arreglando los términos de la última expresión, llegamos a la siguiente ecuación :

$$Z = \frac{1}{jw * \frac{C_1 * C_2}{C_1 + C_2}} * \frac{w^2 - \frac{1}{L_1 * (C_1 + C_2)}}{w^2 - \frac{1}{L_1 * C_1}}$$

$$Si : \quad C = \frac{C_1 * C_2}{C_1 + C_2}$$

$$C_{eq} = C_1 + C_2$$

$$Se\ tiene\ que: \quad Z = \frac{1}{jwC} * \frac{w^2 - \frac{1}{L_1 * C_{eq}}}{w^2 - \frac{1}{L_1 * C_1}}$$

$$Con: \quad w^2{}_{0_1} = \frac{1}{L_1 * C_{eq}}$$

$$w^2{}_{0_2} = \frac{1}{L_1 * C_1}$$

$$Z = \frac{1}{jwC} * \frac{(w^2 - w^2{}_{0_1})}{(w^2 - w^2{}_{0_2})}$$

Con $w = w^2{}_{0_1}$ *se tiene que* $Z = 0$

∴ *El circuito se comporta como resonante serie* (L_1 *y* C_{eq}) .

Con $w = w^2{}_{0_2}$ *se tiene que* $Z =$ *infinito*

∴ *El circuito se comporta como resonante paralelo* (L_1 *y* C_1) .

El gráfico de la figura 2.7 ilustra como varía la impedancia del circuito resonante como una función de la frecuencia angular (W) .

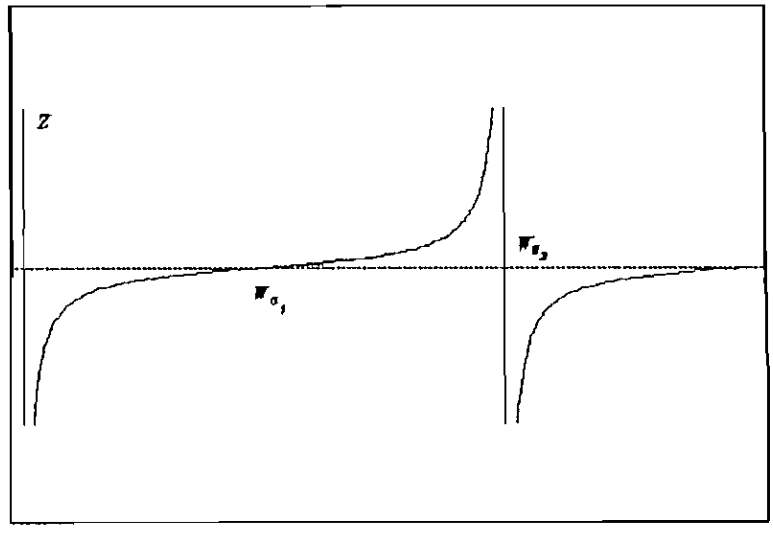


Figura # 2.7

Ahora se calculan los valores correspondientes a los condensadores C_1, C_2 y a la bobina L_1.

Sea C_1 = 39 pF., entonces L_1 tendrá un valor de :

$$L_1 = \frac{1}{\omega_r^2 * C_1}$$

$$\omega_r = 2 * \pi * 48 * 10^6$$

$$L_1 = \frac{1}{(2 * \pi * 48 * 10^6)^2 * 39 * 10^{-12}}$$

$$L_1 = 0.282\ \mu H$$

La bobina L_1 ha sido construída de aire, para calcular su número de espiras se ha utilizado la ecuación que se muestra a continuación:

$$Núm\ espiras = \sqrt{\frac{(9*r + 10*l) * valor\ inductancia\ [\mu H]}{0.394 * r^2}}$$

ec. 2.9

donde : l = Longitud de la bobina [cm].

r = Radio de la bobina [cm].

Reemplazando los valores en la ec. 2.9 obtenemos el número de espiras necesarias, así:

$$Núm\ espiras = \sqrt{\frac{(9*0.35 + 10*0.9) * 0.282}{0.394 * 0.35^2}}$$

$$Núm\ espiras = 8.43 \approx 9\ espiras.$$

$C_{eq} = C_1 + C_2$ y también :

$$C_{eq} = \frac{1}{\omega_t^2 * L_1}$$

$$\omega_t = 2 * \pi * 44 * 10^6$$

$$C_{eq} = \frac{1}{(2 * \pi * 44 * 10^6)^2 * 0.282 * 10^{-6}}$$

$$C_{eq} = 46.4\ pF \quad entonces \quad C_2 = 46.4 - 39 = 7.6\ pF.$$

Finalmente calculemos la impedancia de carga que observará el transmisor como un equivalente paralelo del valor encontrado anteriormente ($Z_{a(T)}$), así :

$$\frac{1}{7.5 - 270j} = \frac{1}{R_{a(T)}} + j\,\frac{1}{X_{a(T)}}$$

$$\frac{1}{7.5 - 270j} = 1.028 * 10^{-4} + 3.0085 * 10^{-3}j$$

$$\therefore \quad R_{a(T)} = 9727.5 \quad y \quad X_{a(T)} = -270.21j$$

2.4.1.2 AMPLIFICADOR DE POTENCIA.

El amplificador que se construyó para este fin, se ilustra en la figura 2.8 .

Es un amplificador en clase C, para el cual debemos calcular la potencia que debe suministrar a la antena para cubrir un enlace de 100 m. La ecuación que se utiliza en este propósito es la siguiente :

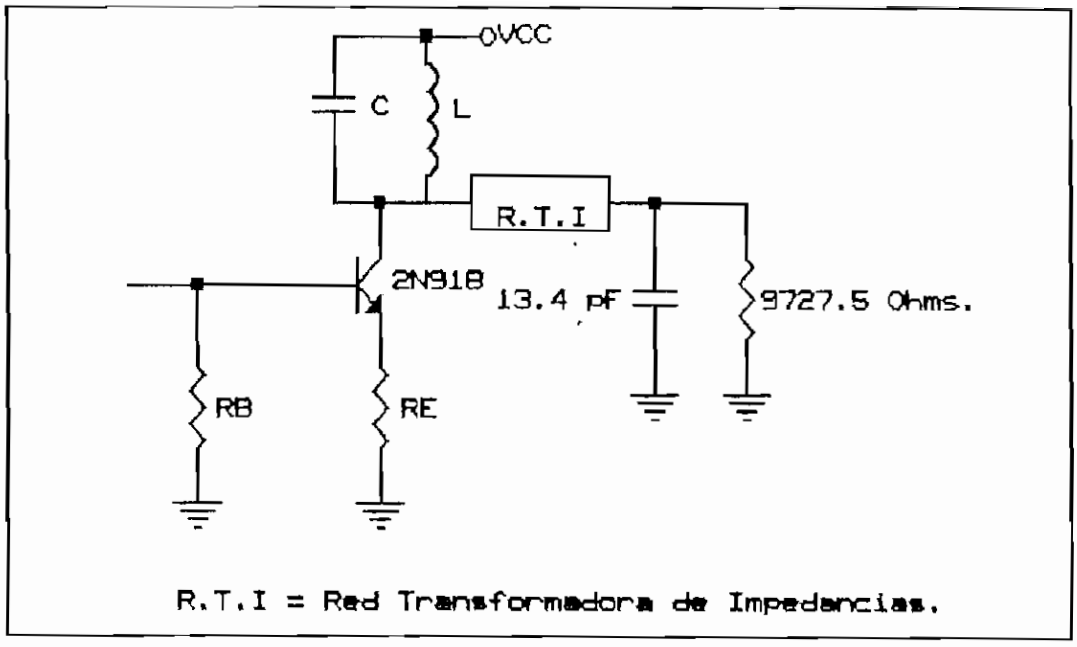


Figura # 2.8

$$P_t = \eta * \frac{(E_o * d)^2}{30 * g_t * g_r} \qquad ec.\ 2.10$$

donde : η = *Factor de pérdidas para el trayecto*

E_o = *Campo eléctrico en recepción*

d = *Distancia entre transmisor- receptor*

g_t = *Ganancia de la antena transmisora*

g_r = *Ganancia de la antena receptora*

Es necesario que calculemos la ganancia de las antenas, con el objeto de aplicar la fórmula anterior. En la práctica, se considera a una antena como corta cuando $\beta H < 45°$, donde β igual a Constante de fase y H igual a longitud física de la antena.

Para nuestro caso :

$$\beta = \frac{360°}{\lambda}$$

$$\lambda_{44\ MHz} = 6.818\ m \qquad \lambda_{48\ MHz} = 6.25\ m$$

$$\beta * H_{44\ MHz} = \frac{360^\circ * 0.9\ m}{6.818\ m} \rightarrow \beta * H_{44\ MHz} = 47.52^\circ$$

$$\beta * H_{48\ MHz} = \frac{360^\circ * 0.9\ m}{6.25\ m} \rightarrow \beta * H_{48\ MHz} = 51.84^\circ$$

Entonces podemos decir, que la antena que utilizamos no es corta. Ahora calculemos las ganancias de esta antena a 44 y 48 MHz, de la siguiente manera : [6]

$$g = \frac{120 * \pi^2}{R_{rad}} * [\frac{l_{ef}}{\lambda}]^2$$

$$l_{ef} = \frac{1}{I_o} * \int_0^H I_o * sen\ \beta (H - z)\ dz$$

$$l_{ef} = \frac{\lambda}{2 * \pi} * (1 - cos\beta\ H)$$

$$l_{ef\ a\ 44\ MHz} = \frac{6.818}{2 * \pi} * (1 - cos\ 47.52^\circ)$$

$$l_{ef\ a\ 44\ MHz} = 0.352\ m.$$

$$l_{ef\ a\ 48\ MHz} = \frac{6.25}{2 * \pi} * (1 - cos\ 51.84^\circ)$$

$$l_{ef\ a\ 48\ MHz} = 0.38\ m.$$

Las resistencias de radiación (R_{rad}) para la antena a las frecuencias utilizadas son :

44 Mhz $R_{rad} = 5\ \Omega.$

48 MHz $R_{rad} = 7\ \Omega.$ [7]

---

[6] *Ibidem.* p. 431

[7] *Ibidem.* p. 612.

$$g_{44\ MHz} = \frac{120 * \pi^2}{5} * [\frac{0.352}{6.818}]^2$$

$$g_{44\ MHz} = 0.63$$

$$g_{48\ MHz} = \frac{120 * \pi^2}{7} * [\frac{0.38}{6.25}]^2$$

$$g_{48\ MHz} = 0.625$$

$$P_t = 1.1 * \frac{(5 * 10^{-3} * 100)^2}{30 * 0.63 * 0.625}$$

$$P_t \approx 23\ mW.$$

En base a la potencia calculada, a la disponibilidad de una fuente para polarización del circuito de 12 V. y proporcionando una ganancia de voltaje $A_v = 2$, dimensionaremos los elementos de este amplificador.

$$V_{cc} = V_{op} + 1 + \frac{V_{op}}{A_v}$$

$$V_{op} = \frac{A_v * (V_{cc} - 1)}{A_v + 1}$$

$$V_{op} = \frac{2 * (12 - 1)}{3} = 7.33\ V.$$

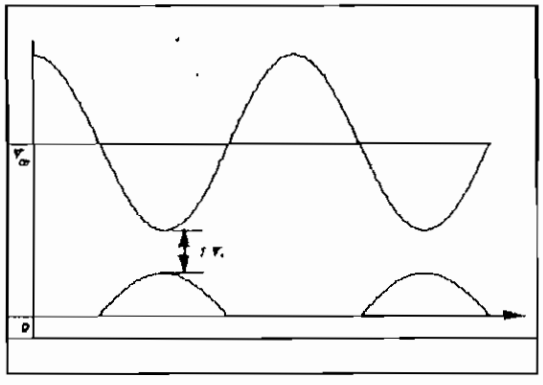


Figura # 2.9

En el desarrollo de la última expresión, para calcular el voltaje pico de salida del amplificador (v_{op}) se ha tomado en cuenta que es posible que la señal de salida y la de entrada se crucen lo cual provocaría distorsión. Por ello se ha considerado dejar un voltio en-

tre los picos de las señales para evitar que ocurra este indeseado efecto.

Entonces la potencia real que va a disipar el transistor será :

$$P_{d_r} = \eta * [\frac{V_{opi}}{V_{opr}}]^2 * P_{d_i}$$

donde : η = Factor de pérdidas en el circuito

V_{opi} = Voltaje de salida pico ideal

V_{opr} = Voltaje de salida pico real

P_{d_i} = Potencia de disipación ideal

P_{d_r} = Potencia de disipación real

$$P_{d_r} = 1.2 * [\frac{12}{7.33}]^2 * 11.5*10^{-3}$$

$$P_{d_r} = 37\ mW.$$

Esta potencia es posible conseguir, porque el transistor 2N918 que es el que se utiliza tiene la posibilidad de disipar como máximo 300 mW.

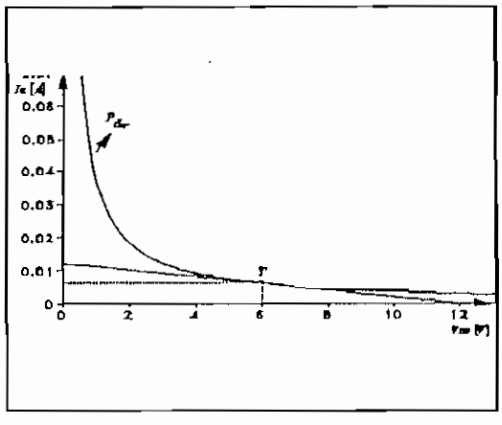


Figura # 2.10

$$I_{C_T} = \frac{P_{d_r}}{V_{CE_T}} \qquad V_{CE_T} = \frac{V_{cc}}{2}$$

$$V_{CE_T} = \frac{12}{2} = 6\ V$$

$$\therefore \quad I_{C_T} = \frac{37\ mW}{6\ V} = 6.16\ mA$$

$$R_{ac} = \frac{V_{cc}}{I_{C_M}} \quad ; \quad I_{C_M} = I_{C_T} * 2$$

$$\therefore \quad R_{ac} = \frac{12\ V}{12.32\ mA}$$

$$R_{ac} = 974\ \Omega$$

Vemos que la resistencia R_{ac} que necesita el amplificador de potencia es diferente a la que se tiene como carga (antena), de ahí que se hace imprescindible utilizar una red de acoplamiento.

La red de acoplamiento es de tipo pi como se muestra en la figura 2.11 .

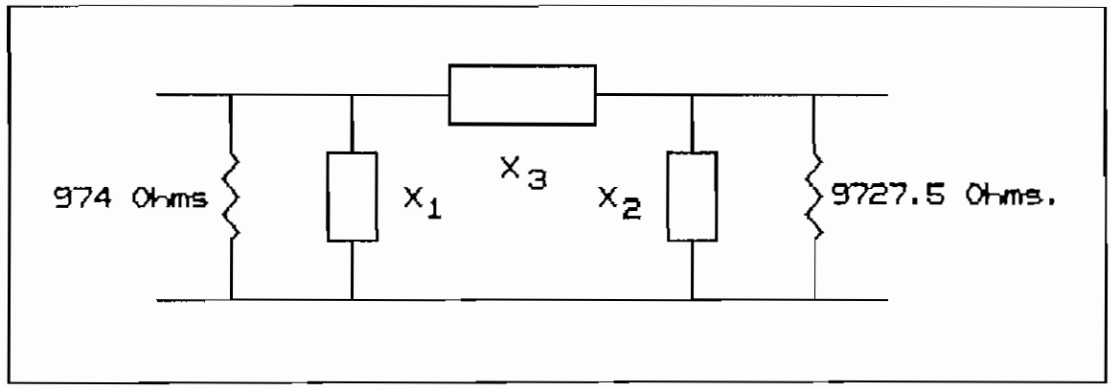


Figura # 2.11

$$B_p = \sqrt{\frac{G_g}{G_L} * (B_m^2 - G_g * G_L)}$$

$$B_s = \sqrt{\frac{G_L}{G_g} * (B_m^2 - G_g * G_L)}$$

Además se conoce que : $B_p = B_1 + B_3$

$B_s = B_2 + B_3$ *y*

$B_m = B_3$

También se deben cumplir las siguientes condiciones :

1. $B_m^2 > B_p * B_s$

2. $B_m^2 \geq G_g * G_L$

3. B_p y B_s son positivos o negativos a la vez.

Tomando en cuenta estos criterios calculemos los elementos que componen la red.

$$G_g = \frac{1}{974} \qquad G_L = \frac{1}{9727.5}$$

$$G_g = 1.0267\ mS \qquad G_L = 0.1028\ mS.$$

$$sea\ \ C_3 = 10\ pF \rightarrow X_3 = \frac{1}{2 * \pi * 44 * 10^6 * 10 * 10^{-12}}$$

$$X_3 = 362\ \Omega \ \therefore \ \frac{1}{X_3} = B_m = 2.76\ mS.$$

Lo cual cumple con el criterio de que $B_m^2 \geq G_g * G_L$

$$B_p = \sqrt{\frac{1.0267}{0.1028} * (7.62 * 10^{-6} - 0.1055 * 10^{-6})}$$

$$B_p = 8.663\ mS.$$

$$B_s = \sqrt{\frac{0.1028}{1.0267} * (7.62 * 10^{-6} - 0.1055 * 10^{-6})}$$

$$B_s = 0.867\ mS.$$

$$B_1 = B_p - B_3 \qquad B_1 = 5.903\ mS.$$

$$B_2 = B_s - B_3 \qquad B_2 = -1.893\ mS.$$

Los valores encontrados satisfacen plenamente las condiciones que se mencionaron anteriormente, entonces la red de acoplamiento queda de la siguiente manera :

$X_1 = -169.4j\ [\Omega]$ que equivale a un condensador de 21.35 pF.

$X_2 = 528.26j\ [\Omega]$ que equivale a una bobina de 1.91 µH.

Una vez obtenidas las reactancias tanto de la red acopladora, como del equivalente paralelo de la antena, nos es posible calcular el valor de la reactancia X_c (figura 2.6), la misma que es :

$$\frac{1}{528.26} = -\frac{1}{270.21} + \frac{1}{X_c}$$

$$\therefore \quad \frac{1}{X_c} = \frac{1}{528.26} + \frac{1}{270.21}$$

$$\frac{1}{X_c} = 5.594 * 10^{-3}$$

$$\rightarrow \quad X_c = 178.77\ \Omega$$

$$L_c = \frac{178.77}{2 * \pi * 44 * 10^6} = 0.647\ \mu H.$$

Para calcular el número de espiras necesarias sobre el núcleo en el cual construiremos la bobina, se utiliza la siguiente ecuación proporcionada por el fabricante :

$$Número\ Espiras = 100 * \sqrt{\frac{valor\ inductancia\ [\mu H]}{A_L\ [\mu H/100\ espiras]}}$$

ec. 2.11

A_L es una constante que se la obtiene de la tabla adjunta en el anexo XIV.

Para el tipo de núcleo T-50-10 que es el utilizado para construir dicha bobina $A_L = 31$, reemplazando los valores en la ec. 2.11, tenemos :

$$Núm\ espiras\ L_2 = 100 * \sqrt{\frac{.674}{31}}$$

$$Núm\ espiras\ L_2 = 14.75 \approx 15\ espiras$$

De las especificaciones del transistor que utilizamos, el parámetro C_{ob} = 1.7 pF como máximo.

Aplicando el equivalente Miller, para encontrar la capacitancia parásita a la salida del circuito (entre colector y la referencia), tenemos :

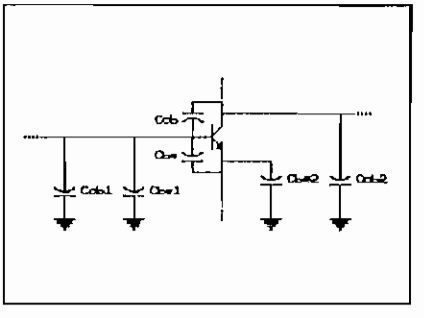


Figura # 2.12

$$C_{ob2} = \frac{C_{ob} * (A - 1)}{A}$$

$A = 2$ (*Ganancia de voltaje de la etapa.*)

$$C_{ob2} = \frac{1.7\ pF * (2 - 1)}{2}$$

$$C_{ob2} = 0.85\ pF$$

Para independizar al circuito del efecto de la capacitancia parásita tomamos un valor de C = 15 pF (figura 2.12) el mismo que es significativamente mayor que el parámetro parásito.

Ahora se calcula la bobina (L figura 2.8) que está en paralelo con C para conformar el circuito resonante de salida en esta etapa.

$$L = \frac{1}{\omega_t^2 * (C + C_{ob2})}$$

$$L = \frac{1}{(2 * \pi * 44 * 10^6)^2 * 15.85 * 10^{-12}}$$

$$L = 0.825\ \mu H$$

Aplicando la ec. 2.9 para un l = 1.1 cm. y r = 0.5 cm. se requiere de 11.4 espiras para lograr el valor antes calculado (bobina con núcleo de aire).

La frecuencia de corte f_T, para la corriente de colector de polarización calculada anteriormente (ver fig 2.10) y V_{CE} = 12 V., vamos a las curvas proporcionadas por el fabricante en el anexo XIII, encontrando que f_T = 900 MHz.

$$\beta_0 = \frac{f_T}{f_0} \quad ; \quad f_0 = \textit{Frecuencia de trabajo}$$

$$f_0 = 44\ MHz$$

$$\beta_0 = \frac{900}{44} \rightarrow \beta_0 \approx 20$$

$$r_e = \frac{25\ mV.}{I_E} \qquad I_E = \frac{i_{op}}{\pi}$$

$$i_{op} = \frac{V_{op}}{R_{ac}} \quad \therefore \quad I_E = \frac{V_{op}}{R_{ac} * \pi}$$

$$I_E = \frac{7.33\ V}{974\ \Omega * \pi} \rightarrow I_E = 2.4\ mA$$

$$r_e = \frac{25\ mV}{2.4\ mA} \quad ; \quad r_e = 10.4\ \Omega$$

$$A_v = \frac{R_{ac}}{R_E + r_e} \rightarrow R_E = \frac{R_{ac}}{A_v} - r_e$$

$$R_E = \frac{974}{2} - 10.4 \rightarrow R_E \approx 470\ \Omega$$

Con el fin de dar referencia a la base de este ampli-

ficador se ha colocado una resistencia R_B cuyo valor debe ser mayor que Z_{in_T}.

$$Z_{in_T} = (\beta + 1) * (r_e + R_E)$$

$$Z_{in_T} = 21 * 480.4 \rightarrow Z_{in_T} \approx 10000\ \Omega$$

$$\rightarrow R_B = 33\ K\Omega$$

Es necesario calcular la capacitancia parásita que se observa a la entrada del amplificador de potencia porque va influir en la salida de la etapa preamplificadora (ver figura 2.12), así :

$$C_{in} = C_{ob_1} + C_{eb_1}$$

Donde : C_{ob1} = Capacitancia parásita que se observa entre base y referencia al aplicar el efecto Miller a la juntura base colector.

C_{eb1} = Capacitancia parásita que se observa entre base y referencia al aplicar el efecto Miller a la juntura base emisor.

$$C_{ob_1} = C_{ob} * (A - 1) \quad ; \quad A = 2$$

$$C_{ob_1} = 1.7\ pF * (2 - 1) \rightarrow C_{ob_1} = 1.7\ pF.$$

Resulta necesario calcular la ganancia de voltaje que tiene el amplificador en la configuración de colector común (A_{cc}), para calcular C_{eb1}, así :

$$A_{cc} = \frac{R_E}{R_E + r_e} \rightarrow A_{cc} = \frac{470}{470 + 10.4}$$

$$A_{cc} = 0.978$$

$$C_{eb_1} = C_{eb} * (1 - A_{cc})$$

$$\therefore \quad C_{eb_1} \approx 0$$

$$\rightarrow \quad C_{in} = 1.7\ pF.$$

2.4.1.3 PREAMPLIFICADOR.

El preamplificador que se presenta en la figura 2.13, tiene una configuración de base común, a la misma que se le ha proporcionado una ganancia de voltaje de 6.

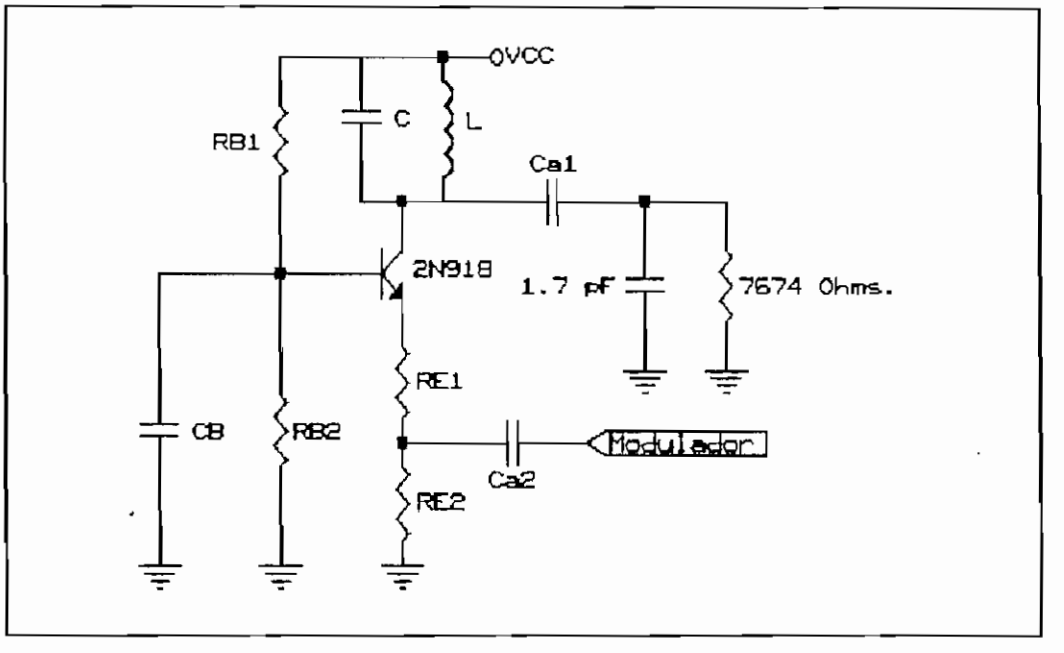


Figura # 2.13

Como carga para esta etapa se tiene la impedancia de entrada del amplificador de potencia, consistente en un capacitor de 1.7 pF en paralelo con una resistencia que es igual a :

$$R_{carga} = R_B \parallel (\beta + 1) * (R_E + r_e)$$

$$R_{carga} = \frac{33\ K\Omega * 10\ K\Omega}{33\ K\Omega + 10\ K\Omega}$$

$$R_{carga} = 7.674\ K\Omega$$

Existe un condensador C_{a1}, este cumple la función de desacoplar el voltaje continuo presente en el colector del preamplificador y la base del transistor de la etapa de potencia.

$$X_{C_{a1}} \ll R_{carga} \quad \rightarrow \quad X_{C_{a1}} = 77\ \Omega$$

$$C_{a1} = \frac{1}{2 * \pi * 44 * 10^6 * 77}$$

$$C_{a1} = 46\ pF \quad ; \quad C_{a1} = 0.1\ nF$$

El capacitor parásito que observa este preamplificador a su salida es una combinación del paralelo entre la capacitancia de entrada del amplificador de potencia y el producido por la juntura base colector del transitor 2N918 del preamplificador, puesto que la base de este transitor, está conectada para señal directamente a tierra, mediante un condensador C_B (ver figura 2.13) cuyo valor garantiza el propósito mencionado anteriormente.

$$\therefore \quad C_{ob} = 1.7\ pF.$$

El efecto parásito total que se tiene a la salida del preamplificador es de 1.7 pF + 1.7 pF = 3.4 pF.

Para minimizar el efecto del parásito, se toma un valor para el capacitor del tanque C = 27 pF (fig 2.13), entonces la bobina será :

$$L = \frac{1}{(2 * \pi * 44 * 10^{6})^{2} * 27 * 10^{-12}}$$

$$Resulta\ un\ L = 0.485\ \mu H.$$

Esta bobina se ha construido sobre un núcleo de Ferrita tipo T-30-2 la misma que tiene un A_L = 43 como se observa en el anexo XIV, de ahí que mediante la aplicación de la ec. 2.11 el número de espiras de esta bobina es de aproximadamente 11.

Ahora se calcula la corriente pico de salida para esta etapa, así :

$$i_{op} = \frac{V_{op}}{R_{carga}}$$

$$i_{op} = \frac{4.2}{7674} \rightarrow i_{op} = 0.55\ mA.$$

Se ha tomado un valor de 4.2 V. para v_{op} debido a que el amplificador de potencia requiere un nivel de voltaje en su entrada de 3.6 V, pero debemos recordar que son necesarios de 0.6 voltios extras con el objeto de compensar la pérdida en la juntura base emisor del transistor de la etapa de potencia.

Para continuar con el diseño del preamplificador se considera una I_c = 3 mA, la misma que es mayor que la i_{op} y un V_E igual a 5 V.

Es perfectamente posible utilizar un voltaje de polarización para emisor igual a 5 V, porque al ser nuestra fuente de 12 V, el V_{CE} es igual a 7 V, además conocemos que :

$$V_{CE} = v_{op} + \frac{V_{op}}{A_v} + 1^*$$

$$(* \text{ ver figura 2.9 }) \quad ; \quad A_v = 6$$

$$V_{CE} = 4.2\ V + \frac{4.2\ V}{6} + 1\ V$$

$$V_{CE} = 5.9\ V.$$

Como vemos de análisis anterior, el V_{CE} requerido es menor que el disponible, lo cual nos asegura que no existirá distorsión producido por el cruce de la onda de entrada y de salida.

El f_T para las condiciones de I_c = 3 mA. y V_{CE} = 7 V. es aproximadamente de 800 MHz, por lo que el β resulta ser igual a 18.

$$I_B = \frac{I_C}{\beta} \rightarrow I_B = \frac{3\ mA}{18} \qquad I_B = 0.17\ mA$$

$$I_E = 3\ mA + 0.17\ mA \rightarrow I_E = 3.17\ mA.$$

$$r_e = \frac{25\ mA}{3.17\ mA} \rightarrow r_e = 8\ \Omega$$

$$R_{E_1} = \frac{R_{carga}}{A_V} - r_e \rightarrow R_{E_1} = \frac{7674}{6} - 8$$

$$R_{E_1} = 1271\ \Omega \rightarrow R_{E_1} = 1200\ \Omega$$

$$Con\ V_E = 5\ V. \quad ; \quad R_E = \frac{V_E}{I_E}$$

$$R_E = \frac{5\ V}{3.17\ mA} \rightarrow R_E = 1577\ \Omega$$

$$Pero \quad R_E = R_{E_1} + R_{E_2}$$

$$R_{E_2} = 1577 - 1200 \rightarrow R_{E_2} = 377\ \Omega$$

$$R_{E_2} = 390\ \Omega$$

Ahora se calcula los elementos que conforman el circuito de polarización para base :

$$V_B = V_E + V_{BE} \rightarrow V_B = 5\ V + 0.7\ V$$

$$V_B = 5.7\ V.$$

$$R_{B_1} = \frac{V_{cc} - V_B}{I_1}$$

Donde I_1 es la corriente que circula sobre la resistencia R_{B1}, aplicando el criterio de que $I_1 >> I_B$ para estabilidad del circuito, tomamos $I_1 = 4$ mA, entonces :

$$R_{B_1} = \frac{(12 - 5.7)\ V}{4\ mA} \rightarrow R_{B_1} = 1575\ \Omega$$

$$R_{B_1} = 1.5\ K\Omega$$

$$R_{B_2} = \frac{V_B}{I_1 - I_B} \rightarrow R_{B_2} = \frac{5.7\ V}{(4 - 0.17)\ mA}$$

$$R_{B_2} = 1488\ \Omega \rightarrow R_{B_2} = 1500\ \Omega$$

El capacitor C_B debe asegurar que el circuito de base para señal tenga un valor lo más pequeño posible, de tal manera que la ganancia del preamplificador este en función únicamente de la resistencia R_{E1}, entonces con C_B = 470 pF cuyo valor reactivo es aproximadamente 7 Ω asegura la condición antes mencionada.

La capacitancia de entrada que observa el bloque oscilador-modulador resulta ser igual a C_{eb} del transistor del preamplificador.

$$\therefore \quad C_{eb} = 2\ pF.$$

Entonces la carga que observará la etapa conformada por el oscilador-modulador será :

$$Z_{in} \approx R_{E_2} \parallel (R_{E_1} + r_e)$$

$$Z_{in} = 390 \parallel 1208 \rightarrow Z_{in} = 295\ \Omega$$

C_{12} cumple la función de desacoplar la etapa preamplificadora con el circuito modulador-oscilador, garantizando ser prácticamente un cortocircuito para la señal. Procedemos a calcular dicho valor a continuación :

$$X_{C_{a2}} < Z_{in} \quad \rightarrow \quad X_{C_{a2}} = 29\ \Omega$$

$$C_{a2} = \frac{1}{2 * \pi * 44 * 10^6 * 29}$$

$$C_{a2} = 12.5\ nF \quad ; \quad C_{a2} = 0.1\ \mu F.$$

2.4.1.4 OSCILADOR-MODULADOR.

Los transmisores que se utilizan en las terminales generan la señal de portadora mediante el circuito integrado MC1648P, el mismo que es un VCO cuya máxima frecuencia de oscilación es de 225 MHz, a este circuito integrado se lo polariza mediante una fuente de 5 V.

El circuito que hemos implementado con la finalidad de generar la portadora y a la vez modular a la misma en frecuencia se presenta en la figura 2.14 .

En el anexo X, en donde se detalla las características del circuito, podemos apreciar que la salida del mismo normalmente se la realiza mediante el pin # 3 que no es más que el emisor de un transistor.

Con el objeto de lograr una mejor señal, al pin 3, se le ha conectado a la referencia mediante un condensador C_z = 0.1 μF, consiguiéndose de esta manera la amplitud de voltaje necesaria (0.7 v) para el circuito preamplificador.

La salida de la señal a transmitirse está sobre el pin

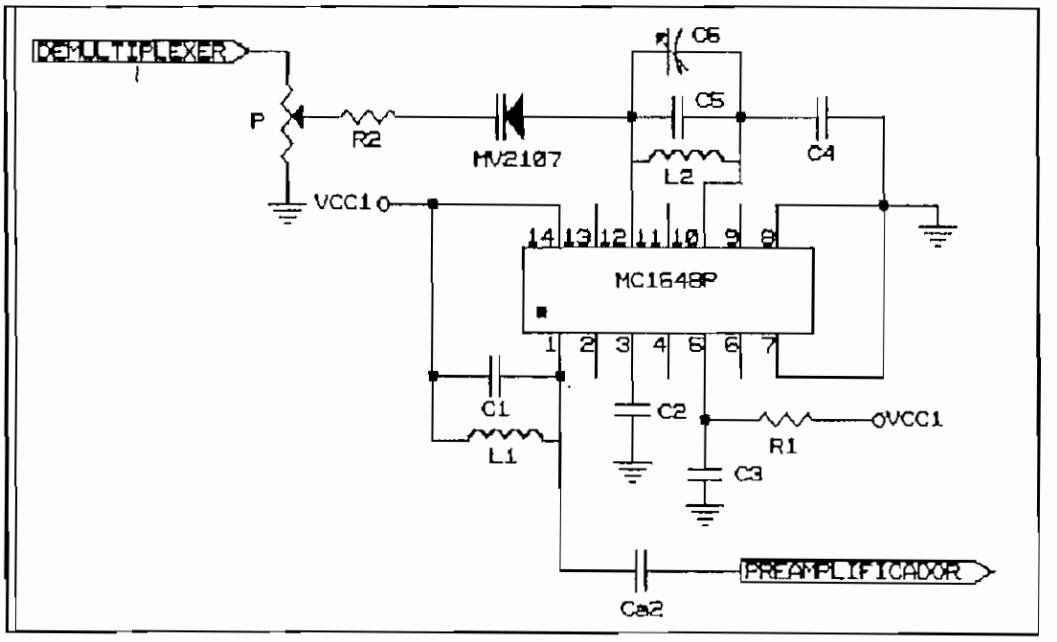


Figura # 2.14

1 que es el colector del transistor de salida del circuito integrado MC1648P, al mismo que se le ha incluído un circuito resonante paralelo a la frecuencia de 44 MHz., conformado por la bobina L_1 y C_1 como se aprecia en la figura 2.14 .

Con C_1 = 15 pF. la bobina L_1 tendrá un valor de :

$$L_1 = \frac{1}{(2 * \pi * 44 * 10^6)^2 * 15 * 10^{-12}}$$

$$\therefore \quad L_1 = 0.872\ \mu H.$$

L_1 requiere aproximadamente 17 espiras según la ecuación 2.11, para un núcleo T-50-10.

El pin 5 del circuito MC1648P es el control automático de ganancia (CAG.), este pin ha sido conectado a la refe-

rencia mediante un condensador C_3 = 0.1 µF con el objetivo también de tener en la salida la máxima ganancia de voltaje en el circuito integrado.

La fijación de la frecuencia de oscilación del circuito depende de la bobina L_2, el condensador fijo C_5, el condensador variable C_6. Con la bobina L_2 igual a 0.5 µH la cual ha sido construída mediante un núcleo T-30-2 con 11 espiras, para los 44 MHz, se necesita un condensador C_{eq} igual a :

$$C_{eq} = \frac{1}{(2 * \pi * 44 * 10^6)^2 * 0.5 * 10^{-6}}$$

$$C_{eq} = 26.1\ pF.$$

$$C_{eq} = C_5 + C_6$$

Con $C_5 = 22\ pF$ *Es suficiente que* $C_6 = 1.8$ *a* $10\ pF.$

La modulación en frecuencia se logra gracias a la característica de los diodos varactores de cambiar su capacidad con la variación de voltaje aplicado a sus terminales.

La señal modulante está constituída por los datos que llegan codificados desde el microcontrolador MCS8031AH al cátodo del diodo varactor MV2107 a través de la línea correspondiente del demultiplexor y un potenciómetro, este potenciómetro (P figura 2.14) no ayuda básicamente a controlar el corrimiento de la frecuencia portadora al hacer posible la variación de amplitud de la señal modulante.

El desplazamiento de frecuencia que utilizamos es de aproximadamente 150 KHz (ancho de modulación máximo permitido), es decir :

f_1 = 44 MHz y f_2 = 44.15 MHz. Para la frecuencia f_2 el C_{eq} requerido es de 25.9901 pF., por lo tanto la variación de capacidad es de 0.1775 pF.

Experimentalmente se logró determinar que la variación de voltaje para alcanzar la desviación de frecuencia de 150 KHz. para este caso es de 50 mV.

2.4.2 ETAPA DE RECEPCION.

La frecuencia de trabajo para recepción en los equipos terminales es de 48 MHz. Nuestro prototipo ha sido concebido para que tenga una sensibilidad de 5 mV/m., la misma que nos da una señal mínima de :

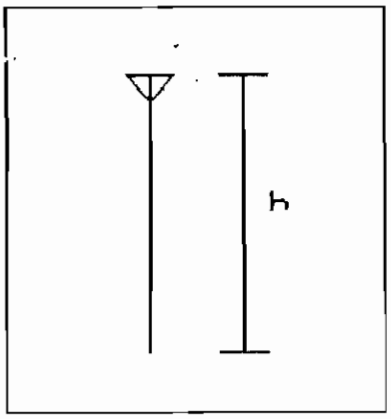


Figura # 2.15

$$V_{mín} = E * h$$

donde : Vmín = Señal mínima.
E = Campo Eléctrico.
h = Altura de la antena.

$$V_{mín} = 5 \frac{mV}{m} * 0,9 \ m.$$

$$V_{mín} = 4,5 \ mV.$$

A fin de que la señal en recepción tenga un nivel aceptable, para el diseño vamos a considerar una señal mínima de entrada de :

$$Vmín = 4 \ mV.$$

La etapa de demodulación que es posterior a la de amplificación, requiere de una señal por lo menos igual a 200 mV (ANEXO VII).

Además, debemos tomar en cuenta que la atenuación que provoca la red de acoplamiento utilizada en la salida de la etapa amplificadora, es considerable, por esta razón debemos dar a la etapa amplificadora en conjunto una ganancia por lo menos igual a 180.

2.4.2.1 RED DE ACOPLAMIENTO AMPLIFICADOR-DEMODULADOR.

Vamos a considerar una resistencia de carga para la etapa amplificadora igual a 200 Ω para poder diseñarlo, la misma que deberá ser acoplada a la impedancia de entrada del circuito prescaler MC12013 que es de 20 Ω, tal como lo indican sus características (Anexo VII).

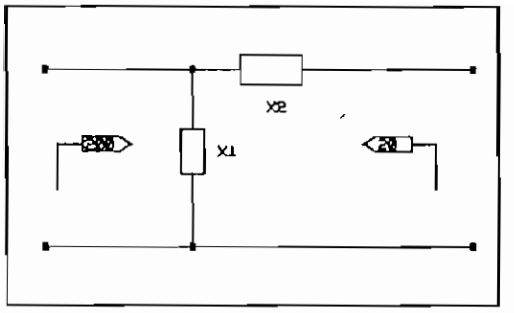


Figura # 2.16

$$R_{ref} = 200\ \Omega. \qquad R_L = 20\ \Omega.$$

$$X_1 = + \frac{R_{ref} * R_L}{\sqrt{R_L * (R_{ref} - R_L)}}$$

$$X_1 = \frac{200\ \Omega * 20\ \Omega}{\sqrt{20\ \Omega * (200\ \Omega - 20\ \Omega)}}$$

$$X_1 = j66,67\ \Omega \ \therefore \ L_1 = 0,22\ \mu H.$$

$$X_2 = - \sqrt{R_L * (R_{ref} - R_L)}$$

$$X_2 = - \sqrt{20\ \Omega * (200\ \Omega - 20\ \Omega)}$$

$$X_2 = -j60,0\ \Omega \quad \therefore \quad C_2 = 55,26\ pF.$$

2.4.2.2 DEMODULADOR.

El bloque demodulador está constituído por dos secciones :

- Sección divisora de frecuencia y
- Sección demoduladora propiamente dicha.

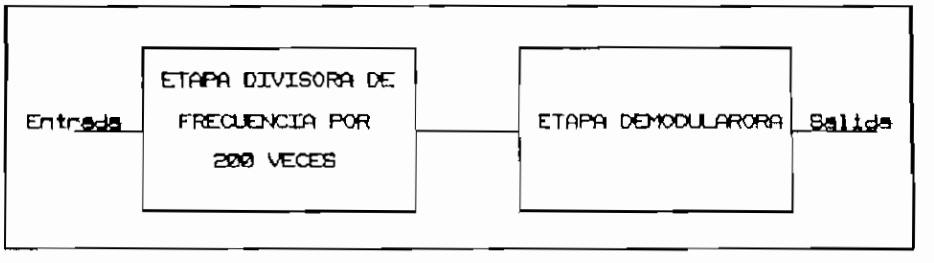


Figura # 2.17

Debido a que el circuito integrado demodulador tiene

como límite 300 KHz en frecuencia y considerando que la señal a recibirse está alrededor de 48 MHz, se hace imprescindible reducir esa frecuencia, lo cual se logra mediante la utilización de los circuitos integrados conocidos como Prescalers.

Si la frecuencia la reducimos en unas 200 veces, obtendríamos una del orden de 240 KHz. que se encuentra dentro del rango de trabajo del circuito demodulador.

A fin de obtener la división por 200 en la frecuencia, es necesario el empleo de dos circuito prescalers :
El MC12013 que permite dividir la frecuencia por 10 y por 11, y el circuito SN74390 que permite realizar divisiones de hasta por 100 (Anexos VII y VI).

El circuito MC12013 permite introducir señales analógicas de tipo senoidal, obteniéndose en su salida señales digitales aptas para el circuito SN74HC390 que solo puede aceptar señales digitales. No es prudente utilizar dos circuitos MC12013 puesto que no alcanzaríamos el factor de división requerido; mientras que no se puede utilizar dos circuitos SN74HC390 porque no pueden recibir señales del tipo analógico.

Para conseguir el propósito, el circuito MC12013 trabaja como un prescaler módulo 10, mientras el circuito SN74390 lo hace en módulo 20. Para el efecto, se siguió en

detalle las recomendaciones del fabricante disponibles en las hojas de especificaciones incluídas en este trabajo (Anexos VII y VI), tal como lo indica la siguiente figura :

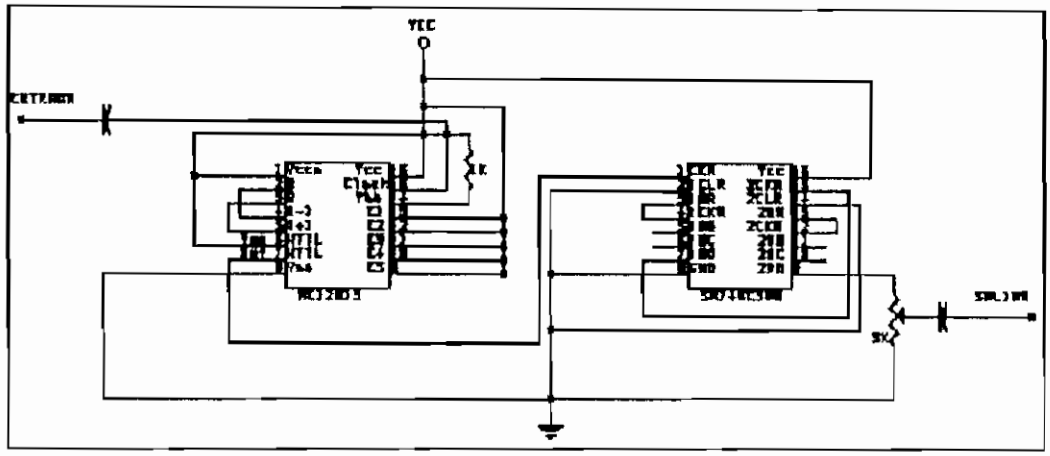


Figura # 2.18

Las señales que recibe este bloque tiene dos frecuencias que son : 48 MHz y 48,15 MHz, debido al corrimiento de 150 KHz que tiene la modulación FSK a fin estar de acuerdo con los estándares.

La parte demoduladora propiamente dicha, está basada en el circuito integrado XR2211, que es un PLL monolítico, diseñado especialmente para comunicaciones. Es recomendado para aplicaciones de demodulación FSK.

La señal dividida en frecuencia entregada por los prescalers es introducida en este circuito integrado a fin de obtener la señal de información en ella contenida. El circuito utilizado es el recomendado por las hojas de espe-

cificaciones incluídas en el Anexo XII, donde además constan las fórmulas de cálculo que deben emplearse para determinar el valor de los elementos pasivos que acompañan al circuito integrado. En la figura 2.19 se visualiza el circuito demodulador FSK.

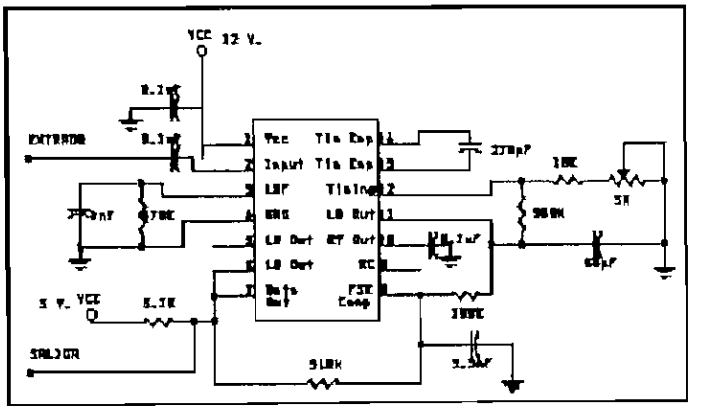


Figura # 2.19

PROCESO DE CALCULO.

$$f_1 = \frac{48\ MHz}{200}$$

$$f_1 = 240\ KHz$$

$$f_2 = \frac{48,15\ MHz}{200}$$

$$f_2 = 240,75\ KHz.$$

$$f_o = \frac{f_1 + f_2}{2}$$

$$f_o = \frac{240\ KHz + 240,75\ KHz}{2}$$

$$f_o = 240,375\ KHz.$$

tomamos :

$$C_F = 2,2\ nF.$$

Para calcular C_D tenemos :

$$C_D \geq \frac{16}{Capture\ Range\ [Hz]}\ [\mu F]$$

Donde :

$$Capture\ Range = \frac{150\ KHz}{200}$$

$$Capture\ Range = 750$$

$$C_D \geq \frac{16}{750} = 21,33\ nF$$

aceptamos :

$$C_D = 22\ nF.$$

El momento de calibrar este circuito hubo necesidad de utilizar en R_x un potenciómetro de ajuste fino.

2.4.2.3 ETAPA AMPLIFICADORA.

Por ser tal la ganancia, como ya se mencionó anteriormente, es necesario emplear tres etapas amplificadoras, dos de las cuales están en la configuración de Base-Común y la restante en Emisor-Común a fin de evitar oscilaciones en el conjunto. En la figura 2.20 presentamos un diagrama de blo-

ques del conjunto amplificador.

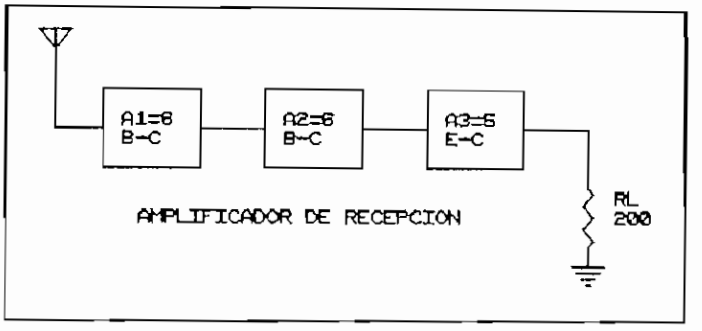


Figura # 2.20

2.4.2.3.1 TERCERA ETAPA A3 EN EMISOR-COMUN

La configuración circuital de esta etapa se muestra en la figura 2.21 .

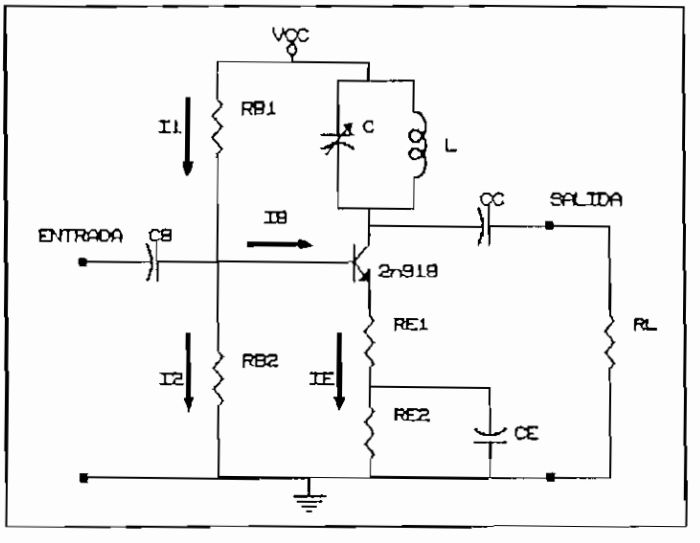


Figura # 2.21

Para el diseño de la misma se toman en cuenta los siguientes parámetros como datos :

de :

$$A_3 = \frac{R_L}{r_e + R_{E_1}} \qquad \rightarrow R_{E_1} = \frac{R_L}{A_3} - r_e$$

$$R_{E_1} = \frac{200\ \Omega}{5} - 3,95\ \Omega = 36,05\ \Omega$$

$$R_{E_1} = 36\ \Omega.$$

recalculando la ganancia obtenemos :

$$A_3 = \frac{200\ \Omega}{36\ \Omega + 3,95\ \Omega} = 5,006$$

De las curvas características del transistor 2N918 (Anexo XIII), obtenemos las capacidades parásitas :

$$C_{ob} = 2\ pF. \qquad y \qquad C_{be} = 2\ pF.$$

Aplicando el Teorema de Miller tenemos :

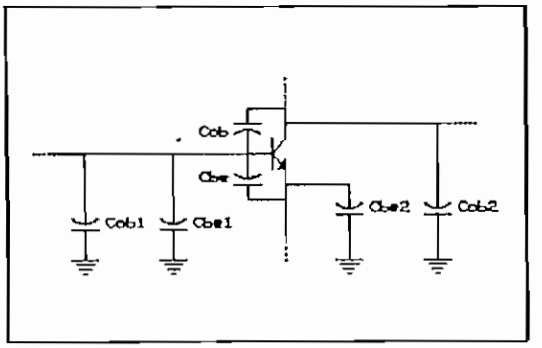


Figura # 2.22

$$C_{ob_1} = C_{ob} * (A_3 - 1)$$

$$C_{ob_1} = 2 * (5 - 1)\ pF.$$

$$C_{ob_1} = 8\ pF.$$

$$C_{ob_2} = C_{ob} * \frac{(A_3 - 1)}{A_3}$$

$$C_{ob_2} = 2 * \frac{5 - 1}{5}\ pF.$$

$$C_{ob_2} = 1,6\ pF.$$

Para Cbe necesitamos la ganancia considerando al am-

plificador en configuración de Colector-Común.

$$A_{3_{cc}} = \frac{R_{E_1}}{R_{E_1} + r_e} = \frac{36\ \Omega}{36\ \Omega + 3,95\ \Omega}$$

$$A_{3_{cc}} = 0,9$$

$$C_{be_1} = (1 - A_{3_{cc}}) * C_{be}$$

$$C_{be_1} = (1 - 0,9) * 2\ pF.$$

$$C_{be_1} = 0,2\ pF.$$

$$C_{be_2} = \frac{(1 - A_{3_{cc}})}{A_{3_{cc}}} * C_{be}$$

$$C_{be_2} = \frac{(1 - 0,9)}{0,9} * 2\ pF.$$

$$C_{be_2} = 0,222\ pF.$$

Para determinar el valor de R_{B1} tenemos :

$$V_{R_{B1}} = V_{CE} - V_{BE} = 4\ V - 0,7\ V$$

$$V_{R_{B1}} = 3,3\ V.$$

$$I_1 > I_B$$

$$I_1 = 3\ mA.$$

$$R_{B1} = \frac{V_{R_{B1}}}{I_1} = \frac{3,3\ V}{3\ mA} = 1100\ \Omega$$

$$\therefore\ R_{B1} = 1200\ \Omega$$

recalculando la corriente I_1 :

$$V_B = 2.2\ V$$

$$R_{B2} = \frac{V_B}{I_2} = \frac{2,2\ V}{2,417\ mA}$$

$$R_{B2} = 910,22\ \Omega$$

Tomamos para R_{B2} el valor :

$$R_{B2} = 910\ \Omega$$

$$Z_{iT} = (\beta + 1) * (r_e + R_{E1})$$

$$Z_{iT} = (18 + 1) * (3,97\ \Omega + 36\ \Omega)$$

$$Z_{iT} = 759,43\ \Omega$$

Ahora calculamos la impedancia de entrada a la etapa de amplificación :

$$Z_i = R_{B1} \parallel R_{B2} \parallel Z_{iT}$$

$$\frac{1}{Z_i} = \frac{1}{1200\ \Omega} + \frac{1}{910\ \Omega} + \frac{1}{759,43\ \Omega}$$

$$Z_i = 307,8\ \Omega$$

Aproximadamente tenemos :

$$Z_i = 300\ \Omega.$$

El condensador de ganancia y los de paso, los calculamos teniendo encuenta la frecuencia de operación, la misma que está en los 48 MHz.

$$C_E \geq \frac{1}{2 * \pi * f * (r_e + R_{E1})}$$

$$C_E \geq \frac{1}{2 * \pi * 48\ MHz * (3,95\ \Omega + 36\ \Omega)}$$

$$C_E \geq 83\ pF.$$

Tomamos para C_E el valor :

$$C_E = 1\ nF.$$

$$C_B \geq \frac{1}{2 * \pi * f * Z_i} = \frac{1}{2 * \pi * 48\ MHz * 300\ \Omega}$$

$$C_B \geq 13,26\ pF.$$

A fin de dar seguridad al condensador de paso, tomamos para C_B el valor :

$$C_B = 1\ nF.$$

$$C_C \geq \frac{1}{2 * \pi * f * R_L} = \frac{1}{2 * \pi * 48\ MHz * 200\ \Omega}$$

$$C_C \geq 16,58\ pF.$$

Con la misma idea, para C_C elegimos el valor :

$$C_C = 1\ nF.$$

La capacitancia parásita a la entrada del amplificador es :

$$C_1 = C_{ob_1} + C_{be_1} = 8\ pF + 0,2\ pF$$

$$C_1 = 8,2\ pF.$$

Esta capacitancia de entrada en ésta etapa debe ser considerada como parte de la carga que ve la etapa precedente, pero su efecto debe ser mínimo a fin de garantizar independencia de capacidades parásitas en la etapa 2.

En el colector del amplificador tenemos un circuito resonante compuesto por una bobina y un condensador, así :

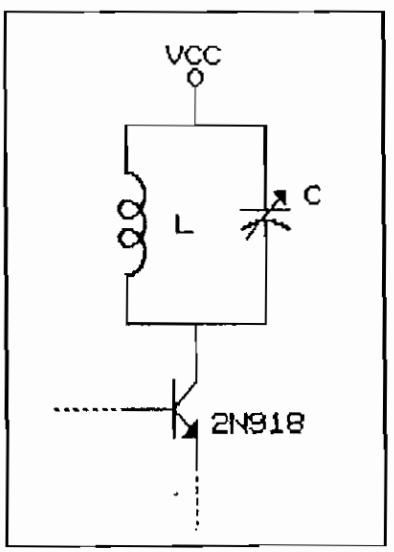


Figura # 2.23

Tomamos para el capacitor variable el valor :

$$C = 25\ pF.$$

El valor de C es mucho mayor a la capacitancia parásita en la salida (Cob_2).

$$L = \frac{1}{\omega^2 * C}$$

$$L = \frac{1}{(2 * \pi * 48\ MHz)^2 * 25\ pF}$$

$$L = 0,44\ \mu H.$$

Para determinar el valor de Vcc aplicamos la ecuación :

$$V_{CC} = V_{CE} + V_E = 4\ V + 1.5\ V$$

$$\therefore \quad V_{CC} = 5,5\ V.$$

Para asegurar, escogemos el valor :

$$V_{CC} = 6\ V.$$

2.4.2.3.2 SEGUNDA ETAPA A2 EN BASE-COMUN.

Esta etapa fue diseñada a partir de la configuración que se muestra a continuación :

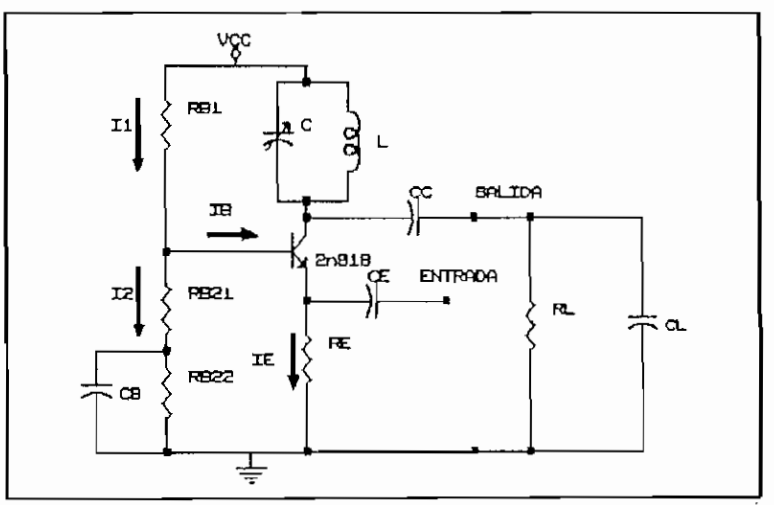


Figura # 2.24

Los datos necesarios para el diseño de esta etapa son :

$$R_L = 300\ \Omega.$$

$$C_L = 8,2\ pF.$$

$$v_o = 144\ mV.$$

$$v_i = 24\ mV.$$

La capacitancia C_L corresponde a la capacidad parásita en la entrada de la etapa siguiente.

Calculamos ahora la ganancia de voltaje de la etapa y la corriente de salida i_o :

$$A_v = \frac{V_o}{V_i} = \frac{144\ mV}{24\ mV}$$

$$A_v = 6.$$

$$i_o = \frac{V_o}{R_L} = \frac{144\ mV}{300\ \Omega}$$

$$i_o = 0,48\ mA.$$

Tomamos una corriente de colector igual a :

$$I_C = 5\ mA.$$

El voltaje colector-emisor mínimo es :

$$V_{CE} = V_{ip} + V_{op} + 1\ V.$$

$$V_{CE} = 24\ mV + 144\ mV + 1\ V.$$

$$V_{CE} = 1,168\ V.$$

Escogemos para V_{CE} el valor :

$$V_{CE} = 4\ V.$$

Con Ic y V_{CE} vamos a las curvas características del transistor (ANEXO XIII) y determinamos la frecuencia f_T del mismo :

$$f_T = 880\ MHz.$$

$$\beta_o = \frac{f_T}{f_o} = \frac{880\ MHz}{48\ MHz} = 18,33.$$

Entonces para el parámetro de amplificación de corriente β imponemos el valor de 18 .

Ahora procedemos a calcular las corrientes de base y de emisor :

$$I_B = \frac{I_C}{\beta} = \frac{5\ mA}{18}$$

$$I_B = 0,278\ mA.$$

$$I_E = I_C + I_B = 5\ mA + 0,278\ mA$$

$$I_E = 5,278\ mA.$$

La resistencia de emisor debida a efectos térmicos :

$$r_e = \frac{V_{th}}{I_E} = \frac{25\ mV}{5,278\ mA}$$

$$r_e = 4,74\ \Omega.$$

A partir de la expresión de la ganancia calculamos la resistencia de base para A.C.

$$A_2 = \frac{R_L}{r_e + \frac{R_B}{\beta + 1}}$$

$$R_B = (\frac{R_L}{A_2} - r_e) * (\beta + 1) = (\frac{300\ \Omega}{6} - 4,74\ \Omega) * (18 + 1).$$

$$R_B = 859,94\ \Omega \quad donde: \quad \frac{1}{R_B} = \frac{1}{R_{B1}} + \frac{1}{R_{B21}}$$

Ahora calculamos la resistencia R_{B1} :

$$V_{RB1} = V_{CE} - V_{BE}$$

$$V_{RB1} = 3,3\ V.$$

$$I_1 \gg I_B \qquad I_1 = 2\ mA.$$

$$R_{B1} = \frac{V_{RB1}}{I_1} = \frac{3,3\ V}{2\ mA} = 1650\ \Omega$$

$$R_{B1} = 1800\ \Omega.$$

recalculando I1 :

$$I_1 = \frac{V_{RB1}}{R_{B1}} = \frac{3,3\ V}{1800\ \Omega}$$

$$I_1 = 1,833\ mA.$$

$$I_2 = I_1 - I_B = 1,833\ mA - 0,278\ mA$$

$$I_2 = 1,55\ mA.$$

Asumimos el voltaje de emisor con el siguiente criterio :

$$V_E > V_1$$

$$V_E = 2\ V.$$

$$V_B = V_E + V_{BE}$$

$$\therefore \quad V_B = 2,7\ V.$$

Procedemos al cálculo de R_{B2} a partir del voltaje de base y la corriente I_2 :

$$R_{B2} = \frac{V_B}{I_2} = \frac{2,7\ V}{1,55\ mA} \qquad \therefore R_{B2} = 1735,71\ \Omega$$

Pero R_{B2} es la serie entre R_{B21} y R_{B22}. R_{B21} la podemos calcular a partir de R_B y R_{B1} :

$$R_B = R_{B1} \parallel R_{B21}$$

$$\frac{1}{R_{B21}} = \frac{1}{R_B} - \frac{1}{R_{B1}} = \frac{1}{859,94\ \Omega} - \frac{1}{1800\ \Omega}$$

$$R_{B21} = 1646,59\ \Omega$$

$$\therefore R_{B21} = 1500\ \Omega.$$

$$R_{B22} = R_{B2} - R_{B21} = 1735,71\ \Omega - 1500\ \Omega$$

$$R_{B22} = 235,71\ \Omega.$$

$$\therefore R_{B22} = 220\ \Omega.$$

$$R_E = \frac{V_E}{I_E} = \frac{2\ V}{5,278\ mA} = 378,93\ \Omega.$$

$$\therefore R_E = 390\ \Omega.$$

La impedancia de entrada al transistor es :

$$Z_{1T} = r_e + \frac{R_E}{1 + \beta} = 4,74\ \Omega + \frac{859,94\ \Omega}{19}$$

$$Z_{1T} = 50\ \Omega$$

La impedancia de entrada a la etapa resulta ser :

$$Z_1 = Z_{1T} \parallel R_E$$

$$\frac{1}{Z_1} = \frac{1}{Z_{1T}} + \frac{1}{R_E} = \frac{1}{50\ \Omega} + \frac{1}{390\ \Omega}$$

$$Z_1 = 44,3\ \Omega$$

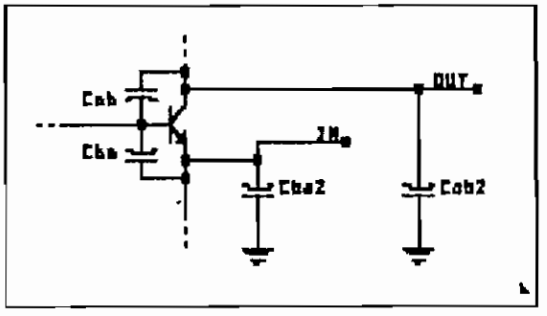
aproximando :

$$Z_1 \approx 45\ \Omega.$$

De las hojas técnicas del transistor empleado, se determinan las capacidades parásitas (Anexo XIII) :

$$C_{ob} = 2\ pF. \qquad C_{be} = 2\ pF.$$

Aplicando el teorema de Miller podemos llevar las capacidades parásitas a la entrada y salida de la etapa.



Para determinar la capacidad parásita en la salida necesitamos conocer la ganancia de la etapa en la configuración Emisor-Común.

Figura # 2.25

$$A_{2_{EC}} = \frac{R_L}{r_e + R_E} = \frac{300}{4,74 + 390}$$

$$A_{2_{EC}} = 0,76.$$

$$C_{ob_2} = \frac{(1 - A_{2_{EC}})}{A_{2_{EC}}} * C_{ob}$$

$$C_{ob_2} = \frac{(1 - 0,76)}{0,76} * 2\ pF.$$

$$C_{ob_2} = 0,63\ pF.$$

Para calcular la capacitancia parásita de entrada necesitamos conocer la ganancia de la etapa considerándola en Colector-Común :

$$A_{2_{CC}} = \frac{R_E}{R_E + r_e} = \frac{390\ \Omega}{390\ \Omega + 4,74\ \Omega}$$

$$A_{2_{CC}} = 0,988.$$

$$C_{be_2} = \frac{(1 - A_{2_{CC}})}{A_{2_{CC}}} * C_{be}$$

$$C_{be_2} = \frac{(1 - 0,988)}{0.988} * 2\ pF.$$

$$C_{be_2} = 0,024\ pF.$$

La capacidad parásita presente a la entrada de la etapa de amplificación es :

$$C_i = C_{be_2} = 0,024\ pF.$$

Las capacidades parásitas presentes en la salida de la etapa son :

$$C_o = C_L + C_{ob_2} = 8,2\ pF + 0,63\ pF$$

$$C_o = 8,83\ pF.$$

Este valor debe ser significativamente menor que la capacidad presente en el circuito resonante a fin de evitar inestabilidades.

EL CIRCUITO RESONANTE.- Conformado por una bobina y un condensador en paralelo, el mismo que está ubicado en el colector del transistor.

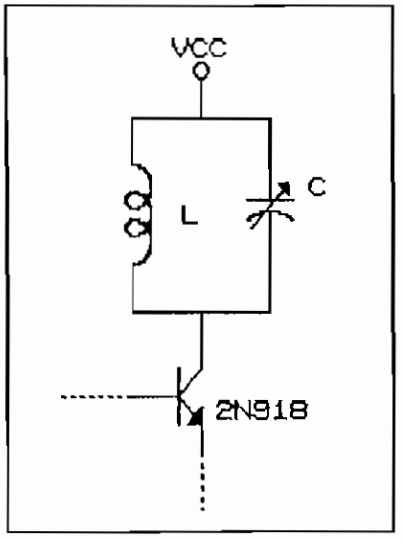


Figura # 2.26

Asumimos el valor para el condensador :

$$C = 35\ pF.$$

A partir del condensador, podemos calcular la inductancia :

$$L = \frac{1}{\omega^2 * C} = \frac{1}{2 * \pi * 48\ MHz * 35\ pF}$$

$$L = 0,314\ \mu H.$$

Ahora calculamos el mínimo valor de voltaje de polarización que requiere la etapa :

$$V_{CC} = V_{CE} + V_E$$

$$V_{CC} = 6\ V.$$

Debido a que en el voltaje de emisor V_E dimos la suficiente tolerancia, podemos tomar para polarización el míni-

mo valor.

Dimensionando los condensadores C_E y C_B :

$$C_B \geq \frac{1}{2 * \pi * f * R_{B22}} = \frac{1}{2 * \pi * 48\ MHz * 220\ \Omega}$$

$$C_B \geq 15,07\ pF.$$

$$\therefore \quad C_B = 1\ nF.$$

$$C_E \geq \frac{1}{2 * \pi * f * R_E} = \frac{1}{2 * \pi * 48\ MHz * 390\ \Omega}$$

$$C_E \geq 8,50\ pF.$$

$$\therefore \quad C_E = 1\ nF.$$

2.4.2.3.3 PRIMERA ETAPA A1 EN BASE-COMUN.

Los datos para el diseño de esta etapa son :

$$R_L = 45\ \Omega.$$

$$C_L = 0,024\ pF.$$

$$v_o = 24\ mV.$$

$$v_I = 4\ mV.$$

Esta etapa también presenta una configuración base-común, tal como lo indica la figura 2.27

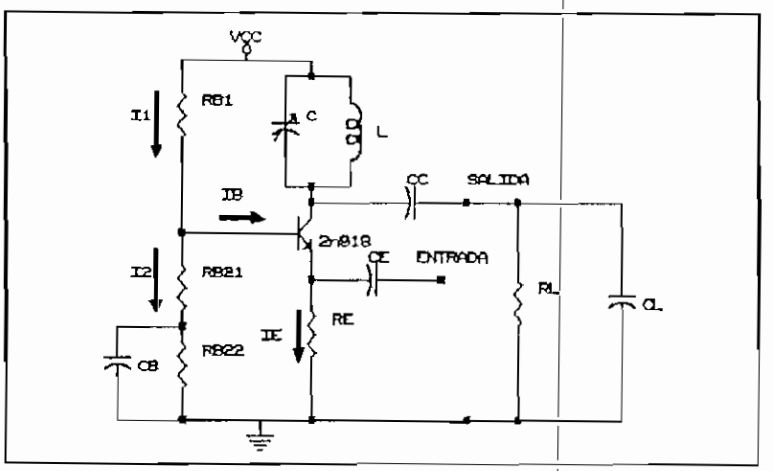


Figura # 2.27

La capacidad C_L corresponde a la capacidad parásita en la entrada de la etapa amplificadora 2.

La ganancia de voltaje en esta etapa es :

$$A_v = \frac{V_o}{V_i} = \frac{24\ mV}{4\ mV}$$

$$A_v = 6$$

Calculando la corriente de salida i_o tenemos :

$$i_o = \frac{V_o}{R_L} = \frac{24\ mV}{45\ \Omega}$$

$$i_o = 0,533\ mA.$$

Por tanto, escogemos una corriente de colector de :

$$I_C = 5\ mA.$$

El voltaje colector-emisor mínimo lo encontramos a partir de la ecuación :

$$r_e = \frac{V_{th}}{I_E} = \frac{25\ mV}{5,278\ mA}$$

$$r_e = 4,74\ \Omega.$$

A partir de la ganancia de voltaje, encontramos la resistencia R_B para señal, así :

$$A_1 = \frac{R_L}{r_e + \frac{R_B}{\beta + 1}}$$

$$R_B = (\frac{R_L}{A_1} - r_e) * (\beta + 1) = (\frac{45\ \Omega}{6} - 4,74\ \Omega) * 19.$$

$$R_B = 52,44\ \Omega. \qquad donde:\ R_B = R_{B1} \parallel R_{B21}$$

La resistencia R_{B1} es calculada de la siguiente manera :

$$V_{R_{B1}} = V_{CE} - V_{BE}$$

$$V_{R_{B1}} = 3,3\ V.$$

$$I_1 \gg I_B \quad \therefore \quad I_1 = 2\ mA.$$

$$R_{B1} = \frac{V_{R_{B1}}}{I_1} = \frac{3,3\ V}{2\ mA} = 1650\ \Omega$$

$$R_{B1} = 1800\ \Omega.$$

recalculando I1 :

$$I_1 = \frac{V_{R_{B1}}}{R_{B1}} = \frac{3,3\ V}{1800\ \Omega}$$

$$I_1 = 1,833\ mA.$$

$$I_2 = I_1 - I_B = 1,833\ mA - 0,278\ mA$$

$$I_2 = 1,55\ mA.$$

Necesitamos asumir el voltaje en emisor, lo cual hacemos con los siguientes criterios :

$$V_E \geq 1\ V.$$

$$V_E > V_1$$

$$V_E = 1,2\ V.$$

$$V_B = V_E + V_{BE} = 1,2V + 0,7V$$

$$V_B = 1,9\ V.$$

$$R_{B2} = \frac{V_B}{I_2} = \frac{1,9\ V}{1,55\ mA} \qquad \therefore R_{B2} = 1221,42\ \Omega$$

$$\frac{1}{R_{B21}} = \frac{1}{R_B} - \frac{1}{R_{B1}} = \frac{1}{52,44\ \Omega} - \frac{1}{1800\ \Omega}$$

$$R_{B21} = 54,01\ \Omega$$

En valores normalizados tenemos :

$$R_{B21} = 56\ \Omega.$$

$$R_{B_{22}} = R_{B_2} - R_{B_{21}} = 1221,42\ \Omega - 56\ \Omega$$

$$R_{B_{22}} = 1165,42\ \Omega.$$

Poniéndole en valores estandar :

$$R_{B_{22}} = 1200\ \Omega$$

$$R_E = \frac{V_E}{I_E} = \frac{1,2\ V}{5,278\ mA} = 227,03\ \Omega.$$

Normalizado :

$$R_E = 220\ \Omega.$$

La impedancia de entrada al transistor es :

$$Z_{iT} = r_e + \frac{R_E}{\beta + 1} = 4,74 + \frac{52,44}{19}$$

$$Z_{iT} = 7,5\ \Omega.$$

La impedancia de entrada al amplificador es :

$$Z_i = Z_{iT} \parallel R_E$$

$$\frac{1}{Z_i} = \frac{1}{7,5\ \Omega} + \frac{1}{220\ \Omega}$$

$$Z_i = 7,25\ \Omega.$$

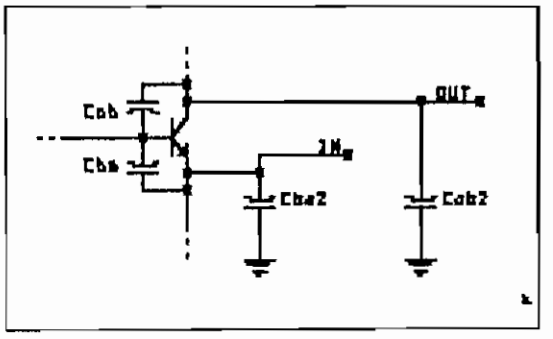
aproximando: $Z_i = 7,3\ \Omega.$

De las curvas características del transistor (Anexo XIII) obtenemos las capacidades parásitas :

$$C_{ob} = 2\ pF. \qquad C_{be} = 2\ pF.$$

Aplicando el Teorema de Miller podemos encontrar las

capacitancias parásitas de entrada y salida de la etapa amplificadora.



Para poder encontrar la capacidad parásita en la salida, necesitamos conocer la ganancia de la etapa considerándola en Emisor-común.

Figura # 2.28

$$A_{1_{EC}} = \frac{R_L}{r_e + R_E}$$

$$A_{1_{EC}} = \frac{45\ \Omega}{4,74\ \Omega + 220\ \Omega}$$

$$A_{1_{EC}} = 0,2.$$

$$C_{ob_2} = \frac{(1 - A_{1_{EC}})}{A_{1_{EC}}} * C_{ob} = \frac{(1 - 0,2)}{0,2} * 2\ pF$$

$$C_{ob_2} = 8\ pF.$$

Para determinar la capacitancia a la entrada de la etapa, debemos conocer la ganancia de la misma considerándola como Colector-Común :

$$A_{1_{CC}} = \frac{R_E}{R_E + r_e} = \frac{220\ \Omega}{220\ \Omega + 4,74\ \Omega}$$

$$A_{1_{CC}} = 0,979$$

$$A_{1_{cc}} = \frac{R_E}{R_E + r_e} = \frac{220\ \Omega}{220\ \Omega + 4,74\ \Omega}$$

$$A_{1_{cc}} = 0,979$$

$$C_{be_2} = \frac{(1 - A_{1_{cc}})}{A_{1_{cc}}} * C_{be} = \frac{(1 - 0,979)}{0,979} * 2\ pF$$

$$C_{be_2} = 0,043\ pF.$$

La capacidad parásita a la entrada es :

$$C_1 = C_{be2} = 0,043\ pF.$$

Las capacidades parásitas presentes en la salida de la etapa son :

$$C_o = C_L + C_{ob2} = 0,024\ pF + 8\ pF$$

$$C_o = 8,024\ pF.$$

Este valor debemos hacerlo significativamente menor a la capacidad presente en el circuito resonante para garantizar la estabilidad de la etapa amplificadora.

EL CIRCUITO RESONANTE.- Es similar al utilizado en las etapas precedentes tal como se aprecia en la figura # 2.29 .

Asumimos el valor para el condensador del circuito resonante :

$$C = 40\ pF$$

Con esto podemos calcular el valor de la inductancia :

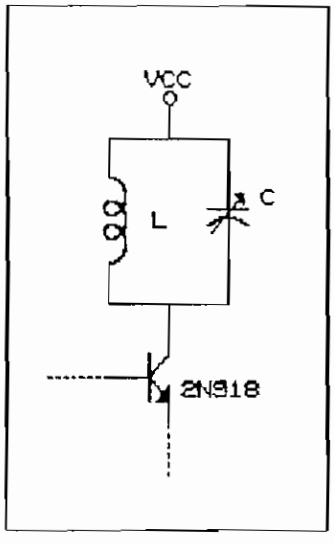


Figura # 2.29

$$L = \frac{1}{\omega^2 * C}$$

$$L = \frac{1}{(2 * \pi * 48\ MHz)^2 * 40\ pF}$$

$$L = 0,275\ \mu H.$$

El valor mínimo de la fuente de polarización lo obtenemos así :

$$V_{CC} = V_{CE} + V_E$$

$$V_{CC} = 5,2\ V.$$

A fin de establecer un valor de Vcc igual a las demás etapas amplicadoras y buscando conseguir un valor normalizado, determinamos para esta etapa también el valor de :

$$V_{CC} = 6\ V.$$

El condensador que está en paralelo con R_{B22} y el de paso, los obtenemos así :

$$C_B \geq \frac{1}{2 * \pi * f * R_{B22}}$$

$$C_B \geq \frac{1}{2 * \pi * 48\ MHz * 1200\ \Omega} = 2,76\ pF.$$

$$C_B = 1\ nF.$$

Escogemos un valor normalizado y que nos garantice ver la impedancia calculada a la entrada del amplificador :

$$C_B = 1\ nF.$$

$$C_E \geq \frac{1}{2 * \pi * f * R_E}$$

$$C_E \geq \frac{1}{2 * \pi * 48\ MHz * 220\ \Omega}$$

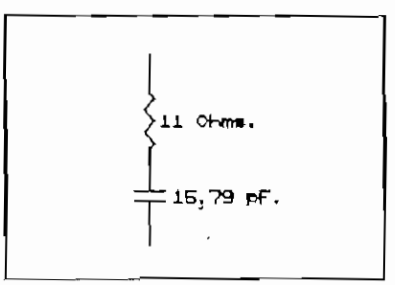
$$C_E \geq 15,07\ pF.$$

Un valor comercial y que cumple con nuestras necesidades es :

$$C_E = 1\ nF.$$

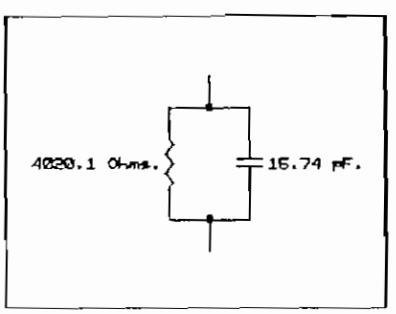
2.4.2.4 RED DE ACOPLAMIENTO A LA ANTENA.

Según los ábacos que se ubican en el (Anexo XV), la antena de nuestro equipo presenta una impedancia de :



$$Z = 11 - 210j\ \Omega$$

Al obtener el equivalente paralelo de esta impedancia tenemos :



$$\frac{1}{11 - 210j} = 2.49*10^{-3} + j\ 4.75*10^{-3}$$

Si invertimos cada uno de los componentes encontrados como resultado de la operación anterior, tenemos :

$$\frac{1}{2.49*10^{-3}} = 4020.1 \quad y \quad \frac{1}{4.75*10^{-3}} = -j\ 210.6$$

$$\therefore \quad Z_{a(R)} = 4020.1 - j\ 210.6\ [\Omega]$$

Por otra parte, se compensó al transmisor mediante una bobina que forma parte de la red de acoplamiento del transmisor con la antena. El valor de esta bobina es de 0,647 μH que a la frecuencia de recepción representa una reactancia de 195 Ω, este valor influye sobre la entrada al receptor.

Acoplemos la antena al circuito receptor mediante una red L, así :

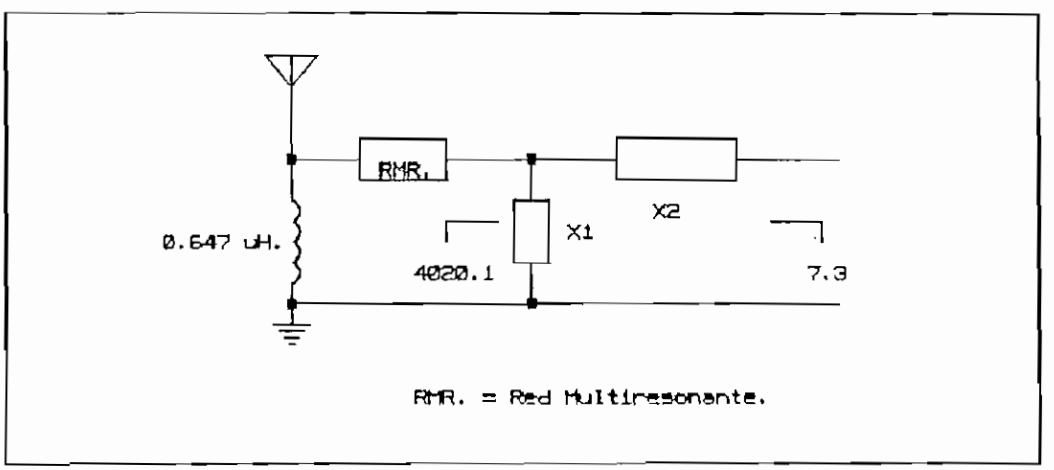


Figura # 2.30

$$R_{ref} = 4020.1\ \Omega \qquad R_L = 7.3\ \Omega$$

$$X_1 = -\frac{R_{ref} * R_L}{\sqrt{R_L * (R_g - R_L)}}$$

$$\Rightarrow \quad X_1 = -\frac{4020.1 * 7.3}{\sqrt{7.3 * (4020.1 - 7.3)}}$$

$$X_1 = -j\ 171.5\ \Omega$$

$$X_2 = \sqrt{R_L * (R_{ref} - R_L)}$$

$$\Rightarrow \quad X_2 = \sqrt{7.3 * (4020.1 - 7.3)}$$

$$X_2 = j\ 171.2\ \Omega$$

$$\therefore \quad L_2 = 0.568\ \mu H$$

De esta manera queda acoplado efectivamente la parte real de la antena y el receptor, sin embargo la parte reactiva todavía no está acoplada, por lo que debemos calcular el elemento que compense el valor reactivo :

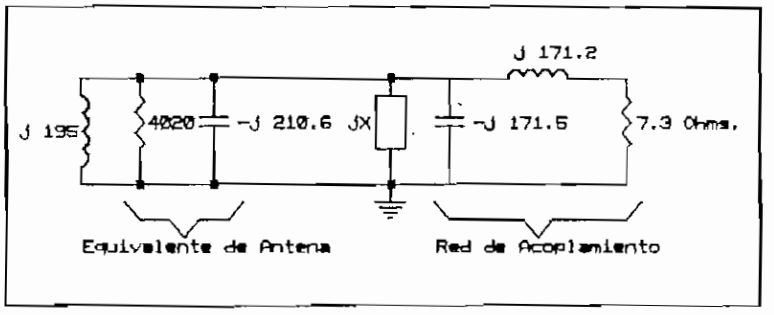


Figura # 2.31

$$-\frac{1}{171.5} = \frac{1}{195} + \frac{1}{X} - \frac{1}{210.6}$$

$$1. \qquad 2. \qquad 3. \qquad 4.$$

Donde : 1. Valor reactivo calculado para X_1 de la red de acoplamiento (L).

2. Es la reactancia de la bobina de acoplamiento del transmisor.

3. Es el valor reactivo que debemos colocar en la

red de acoplamiento (L), de tal manera que se obtenga el valor requerido de X_1 en dicha red.

4. Es la parte reactiva del equivalente de antena.

Al resolver la última ecuación vemos que X = -j 161 Ω, lo mismo que equivale a poner un condensador de 20.6 pF.

Por lo tanto nuestra red (L) de acoplamiento entre antena y receptor queda constituída por :

$$C_1 = 20.6\ pF \qquad y \qquad L_2 = 0.568\ \mu H$$

2.4.2.5 DIPLEXOR.

Para la recepción en los terminales se utiliza un filtro cuya finalidad es la de atenuar la señal que se genera en el transmisor a una frecuencia de 44 MHz y dejar circular libremente las señales que llegan al equipo con frecuencia de 48 MHz. Este circuito se muestra en la figura 2.32 .

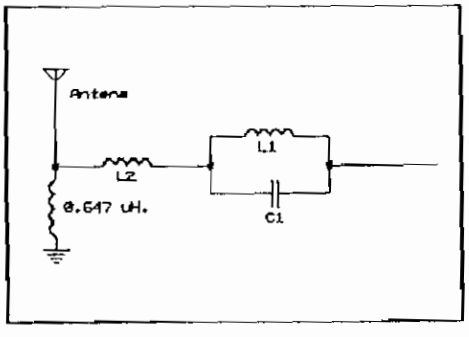


Figura # 2.32

De la misma manera en la que se procedió para la parte del circuito diplexor del transmisor, analicemos ahora el circuito propuesto en la figura 2.32 .

$$Z = X_{L_1} // X_{C_1} + X_{L_2}$$

$$Z = jwL_2 + \frac{jwL_1 * \frac{1}{jwC_1}}{jwL_1 + \frac{1}{jwC_1}}$$

$$Z = \frac{jw * (L_1 + L_2 - w^2 * L_2 * L_1 * C_1)}{1 - w^2 * L_1 * C_1}$$

Arreglando los términos de la última expresión, llegamos a la siguiente ecuación :

$$Z = jwL_2 * \frac{w^2 - \frac{1}{\frac{L_1 * L_2}{L_1 + L_2} * C_1}}{w^2 - \frac{1}{L_1 * C_1}}$$

$$Si : \quad L_{eq} = \frac{L_1 * L_2}{L_1 + L_2}$$

$$Se\ tiene\ que : \quad Z = jwL_2 * \frac{w^2 - \frac{1}{C_1 * L_{eq}}}{w^2 - \frac{1}{L_1 * C_1}}$$

$$Con : \quad w^2{}_{0_1} = \frac{1}{L_1 * C_1}$$

$$w^2{}_{0_2} = \frac{1}{L_{eq} * C_1}$$

$$Z = jwL_2 * \frac{(w^2 - w^2{}_{0_2})}{(w^2 - w^2{}_{0_1})}$$

Con $w = w^2{}_{0_1}$ *se tiene que* $Z = 0$

∴ *El circuito se comporta como resonante serie* (L_{eq} *y* C_1) .

Con $w = w^2_{0_1}$ se tiene que Z = infinito

∴ El circuito se comporta como resonante paralelo (L_1 y C_1) .

El gráfico de la figura 2.33 ilustra como varía la impedancia del circuito resonante como una función de la frecuencia angular (w) .

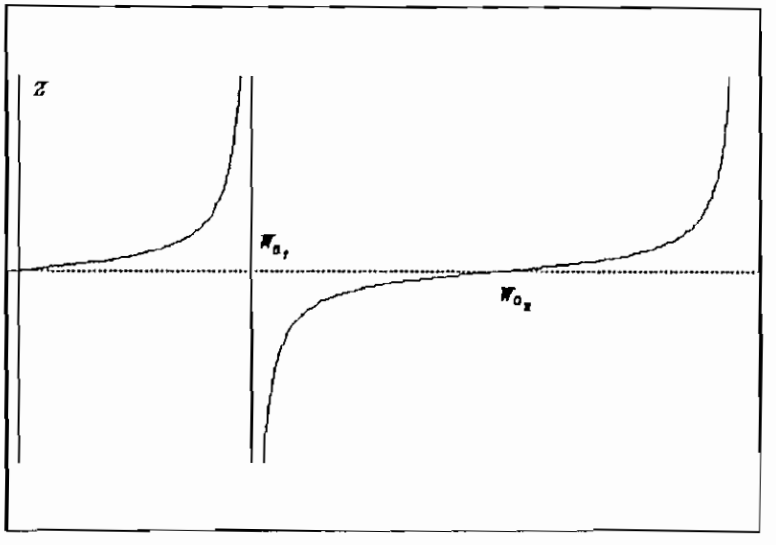


Figura # 2.33

Una vez realizado el análisis para la red diplexora en recepción, calculemos ahora el valor de la bobina L_1 , si el condensador C_1 es igual a 15 pF :

$$L_1 = \frac{1}{\omega_t^2 * C_1}$$

$$\omega_t = 2 * \pi * f_r \quad \rightarrow \quad \omega_t = 2 * \pi * 44 * 10^6$$

$$\omega_t = 276.46 * 10^6$$

$$\therefore \quad L_1 = \frac{1}{(276.46 * 10^6)^2 * 15 * 10^{-12}}$$

$$L_1 = 0.872\ \mu H$$

como sabemos $L_{eq} = L_1 \ || \ L_2$ y también :

$$L_{eq} = \frac{1}{\omega_r^2 * C_1}$$

$$L_{eq} = \frac{1}{(2 * \pi * 48 * 10^6)^2 * 15 * 10^{-12}}$$

$$de\ donde \ : \quad L_{eq} = 0.733\ \mu H$$

$$\frac{1}{L_2} = \frac{1}{L_{eq}} - \frac{1}{L_1}$$

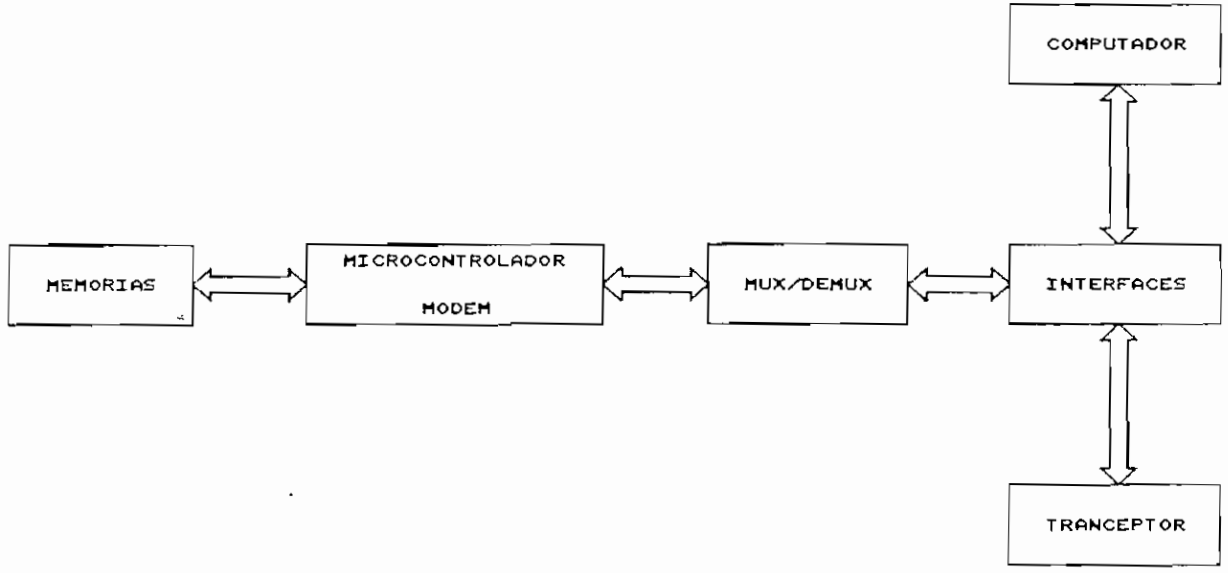
$$\frac{1}{L_2} = \frac{1}{0.733 * 10^{-6}} - \frac{1}{0.872 * 10^{-6}}$$

$$\therefore \quad L_2 = 6.81\ \mu H$$

2.4.3 INTERFACE ENTRE TRANSCEPTOR Y COMPUTADOR.

El interface que utilizamos para comunicar un computador y el transceptor está compuesto principalmente por un microcontrolador, el cual cumple dos tipos de funciones esencialmente :

a. Establecimiento de comunicaciones por medio de un software residente en el microcontrolador.
b. Control de toda la circuitería que compone el transceptor.



Title: DIAGRAMA DE BLOQUES HARDWARE DE CONTROL		
Size: A	Document Number: 2	REV
Date: February 7, 1995	Sheet 1 of 9	

En la anterior página, se presenta un diagrama de bloques del hardware que nos ayuda a realizar el control del proceso de comunicaciones.

2.4.3.1 PARTE INTELIGENTE DEL SISTEMA.

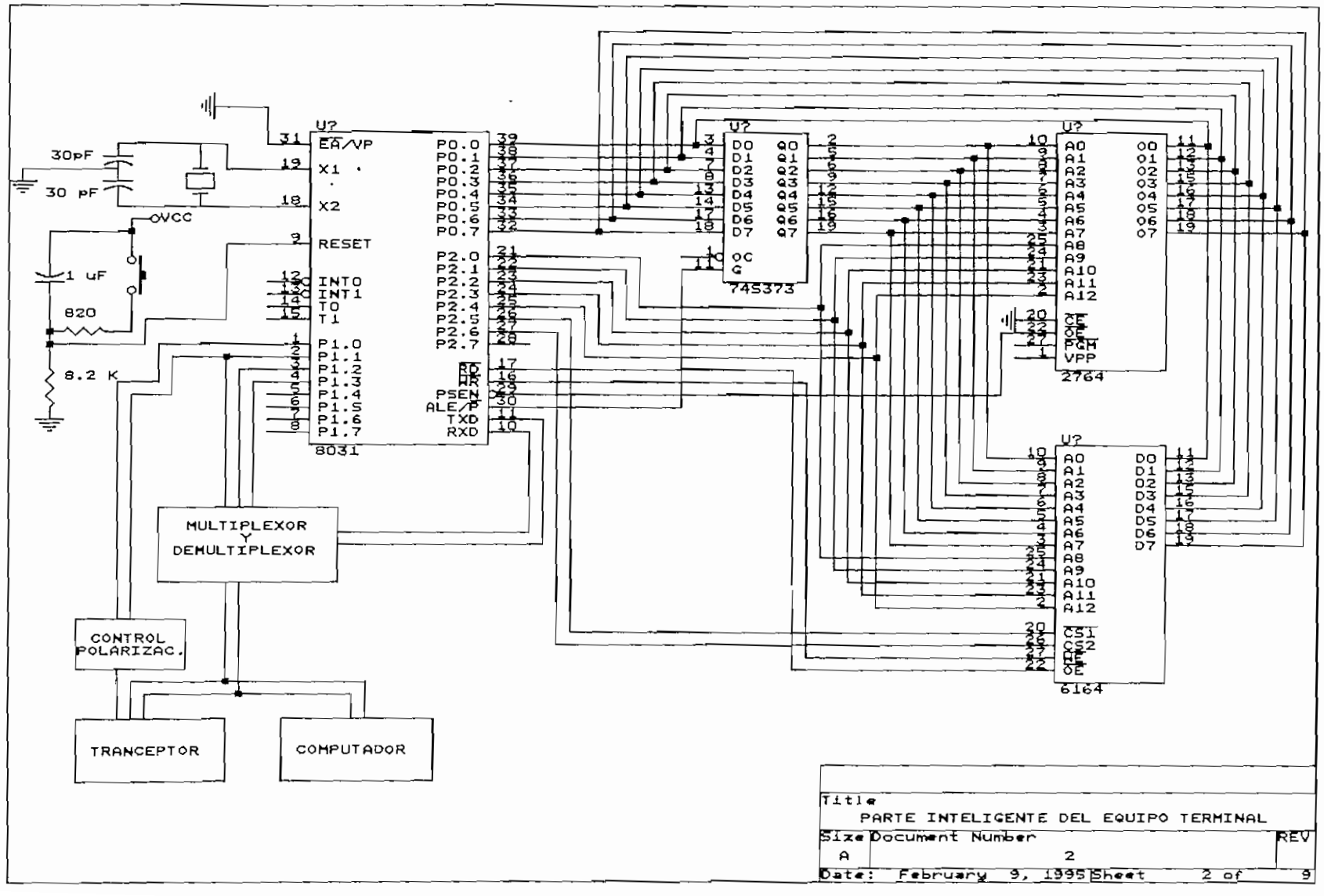
Consta básicamente de un microcontrolador MCS-51, una memoria RAM 6262, una memoria EPROM 2764, un circuito latch 74373. El diseño de este bloque se lo ha realizado siguiendo las recomendaciones del manual INTEL MCS-51 especialmente de los ejemplos de aplicación del capítulo 9. El diagrama del circuito se lo presenta en la siguiente página.

2.4.3.2 SISTEMA MULTIPLEXOR/DEMULTIPLEXOR.

Las comunicaciones en el equipo terminal tienen dos sentidos, así : la transmisión de un mensaje desde el terminal puede tener como destino el equipo central o el computador conectado al módulo terminal; igual cosa acontece con el proceso de recepción.

Ante tal situación, se hace necesario un sistema de multiplexaje demultiplexaje que ayude a dirigir inequivocamente las comunicaciones. Dicho sistema es controlado por el microcontrolador del equipo terminal, para lo cual se utilizan las líneas 1, 2, 3 y 4 del pórtico 1 (P1.0, P1.1, P1.2 y P1.3).

El proceso de recepción en el microcontrolador, re-


30pF
30 pF
VCC
1 uF
820
8.2 K
U?
EA/VP
X1
X2
RESET
INT0
INT1
T0
T1
P1.0
P1.1
P1.2
P1.3
P1.4
P1.5
P1.6
P1.7
P0.0
P0.1
P0.2
P0.3
P0.4
P0.5
P0.6
P0.7
P2.0
P2.1
P2.2
P2.3
P2.4
P2.5
P2.6
P2.7
PSEN
ALE/P
TXD
RXD
8031
745373
D0 Q0
D1 Q1
D2 Q2
D3 Q3
D4 Q4
D5 Q5
D6 Q6
D7 Q7
OC
G
A0 O0
A1 O1
A2 O2
A3 O3
A4 O4
A5 O5
A6 O6
A7 O7
A8
A9
A10
A11
A12
CE
OE
PGM
VPP
2764
D0
D1
D2
D3
D4
D5
D6
D7
CS1
CS2
WE
OE
6164
MULTIPLEXOR
Y
DEMULTIPLEXOR
CONTROL
POLARIZAC.
TRANCEPTOR
COMPUTADOR
Title
PARTE INTELIGENTE DEL EQUIPO TERMINAL
Size
A
Document Number
2
REV
Date: February 9, 1995
Sheet 2 of 9

quiere una multiplexación, esta labor se la realiza a través del circuito integrado 74LS157. El C.I. es un cuádruple multiplexer de dos líneas a una.

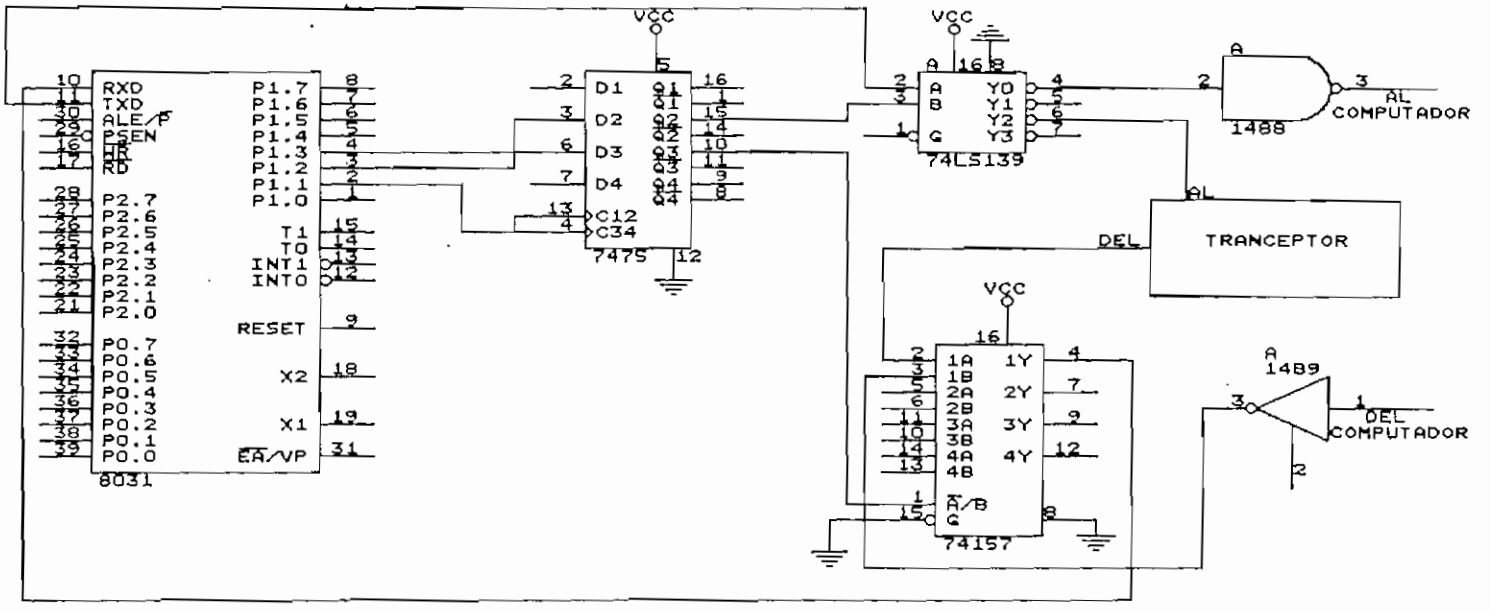
La línea del microcontrolador que controla el multiplexaje de recepción es la número 4 (P1.3).

Por el contrario la transmisión necesita demultiplexar las señales provenientes del microcontrolador para ser enviadas ya sea al computador o al transmisor. Este efecto se logra con el circuito integrado 74LS139, que dispone de dos demultiplexers de dos línea a cuatro. Esta acción es controlada por la línea número 3 del microcontrolador (P1.2).

Resulta necesario utilizar un circuito retenedor o Latch, como el 7475 con el objeto de que las señales de control se mantengan el tiempo requerido hasta finalizar el servicio que se este prestando. Este circuito latch requiere de una señal para habilitación y deshabilitación de la retención, la misma que ha sido preveída en la línea 2 (P1.1) del microcontrolador.

Un diagrama del circuito completo que cumple con éstos propósitos se encuentra en la página siguiente.

Es importante mencionar que las señales que maneja el puerto serie asincrónico RS-232-C (nivel de -12 V para 1_L y + 12 V para 0_L) no son compatibles con las señales que



Title: MULTIPLEXOR Y DEMULTIPLEXOR DEL TERMINAL		
Size: A	Document Number: 2	REV
Date: February 9, 1995	Sheet 3 of 9	

maneja el puerto serie del microcontrolador MCS8031AH (niveles TTL).

Debido a esta incompatibilidad, resulta necesario utilizar algún tipo de circuito que permita adaptar las señales dependiendo de la operación que se esté efectuando.

En el caso de transmisión del computador al microcontrolador, el circuito que se encarga de transformar las señales de RS-232-C a TTL es el MC1489.

En el caso contrario, es decir, cuando se desee recibir datos que llegan del microcontrolador al computador, el circuito que utilizamos para cambiar los niveles de TTL a RS-232-C es el MC1488.

Las especificaciones que reunen estos dos circuitos pueden ser revisadas en los anexos VIII y IX.

2.4.3.3 CIRCUITO DE CONTROL DE LA POLARIZACION DEL TRANSMISOR.

La finalidad de este control es: conectar el oscilador local del transmisor el momento de un envio de información, manteniéndolo desconectado en los procesos de recepción.

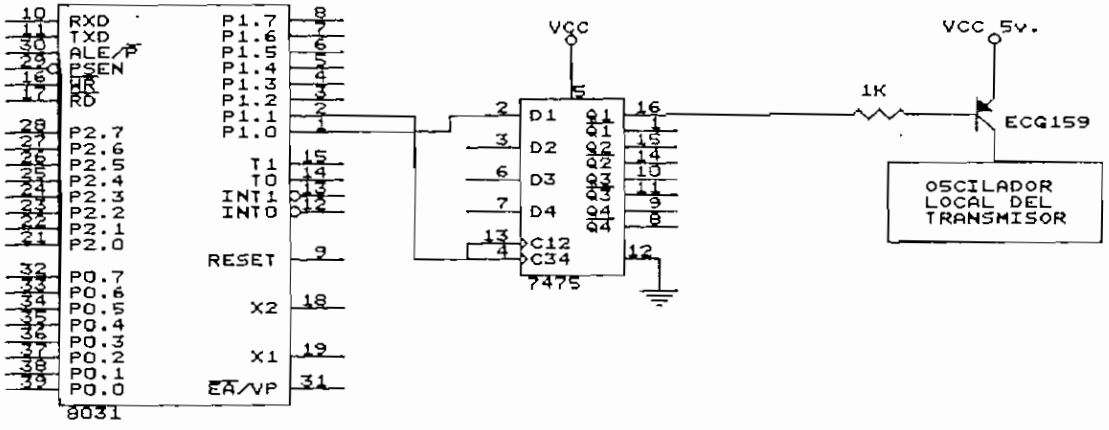
Todo esto tiene por finalidad evitar interferencias del transmisor en el receptor.

Para el efecto utilizamos un transistor ECG159, el mismo que trabaja en corte y saturación, es decir, a manera de interruptor. En su emisor ponemos la toma de +5 V., en su colector a manera de carga el circuito integrado MC1648, mientras que por la base a través de un resistencia limitadora tenemos la señal proveniente del microcontrolador por intermedio del circuito retenedor 7475. La línea del microcontrolador utilizada para controlar la polarización del oscilador del transmisor es la número 1 correspondiente al P1.0 del puerto 1. Como se necesita una señal que habilite y deshabilite el circuito latch, utilizamos la línea 2 del microcontrolador correspondiente al P1.1 del puerto 1. Esta línea es compartida también para los procesos de multiplexaje y demultiplexaje.

Un esquema completo de la circuitería implementada para el control de polarización se muestra en el diagrama de la página siguiente.

2.4.4 SOFTWARE EMPLEADO PARA LA COMUNICACION ENTRE COMPUTADOR Y TRANSCEPTOR.

El programa que se ha desarrollado para cubrir las necesidades del sistema a implementarse, trabaja bajo el sistema operativo D.O.S. Hemos tomado este sistema operativo porque en nuestro medio todavía es el más difundido y también presenta la facilidad de utilizarlo sin mayores complicaciones. Como sabemos el D.O.S. desde sus primeras ver-



Title: CIRCUITO DE POLARIZACION DEL TERMINAL		
Size: A	Document Number: 2	REV
Date: February 9, 1995	Sheet 4 of 9	

siones ha ido mejorando, prestando cada vez, más facilidades para llevar a cabo las tareas comunes que el usuario requiere. En la actualidad una de las versiones más utilizadas del D.O.S. es la 5.0 (al momento la versión más desarrollada es la 6.2) siendo una de sus principales ventajas sobre las versiones anteriores la de poder manejar discos duros mayores a 32 MBytes, evitándose de esta manera las particiones del disco duro para trabajar bajo un mismo ambiente.

Nosotros utilizamos las tareas más comunes que el sistema operativo ofrece y que fueron desarrolladas ya en versiones anteriores, es por eso que es posible trabajar con versiones D.O.S. desde la 3.0 en adelante sin ningún problema.

Seguidamente exponemos las características que tiene el programa de comunicaciones entre computador y transceptor.

2.4.4.1 PROGRAMA DE COMUNICACION.

El programa de comunicaciones ha sido escrito en lenguaje C++, sin embargo se apoya en parte de los servicios que presta la BIOS del computador y del programa compresor/decompresor de datos PKWARE versión 1.0.

Para su correcto funcionamiento se requiere un compu-

tador que satisfaga los siguientes requisitos :

- Funcionamiento bajo ambiente D.O.S. con versiones superiores o igual a la 3.0.
- Espacio de memoria RAM mínimo de 200 Kbytes.
- Unidad de disco duro o floppy disk con capacidad de almacenamiento de 720 Kbytes o más. (eventualmente se puede trabajar con discos flexibles de 360 Kbytes en el caso de que los archivos a transmitirse sean pequeños)
- Un pórtico serial de comunicaciones RS-232.

Se ha tratado en lo posible que el manejo de este programa se lo realice de la forma más sencilla, es por eso que con un solo menú que se despliega en el monitor luego de llamar al programa, se podrá realizar las operaciones de transmisión y recepción entre computador y transceptor.

Este menú consta de 4 partes que son las siguientes :

- Un recuadro de transmisión inmediato, en donde se podrán escribir mensajes de hasta 180 caracteres.
- Un recuádro de búsqueda de archivos dentro del cual el usuario tiene acceso a toda la información almacenada ya sea en disco duro o disco flexible.
- Un recuadro de recepción, a donde llegará el mensaje inmediato de hasta 180 caracteres y también la información pertinente a los requerimientos de memoria de almacenamiento que debe tener el terminal receptor.
- Finalmente un recuadro en donde se indica de manera vi-

sual como operar las opciones anteriores.

Con el objeto de mejorar la eficiencia de las transmisiones, se optó por realizar una compresión de datos mediante el programa PKZIP, en cambio en recepción los datos son decomprimidos mediante el programa PKUNZIP.

No se entregan mayores detalles de estos procesos de compresión y decompresión de datos, porque la utilización de estos programas antes mencionados son transparentes al usuario. [8]

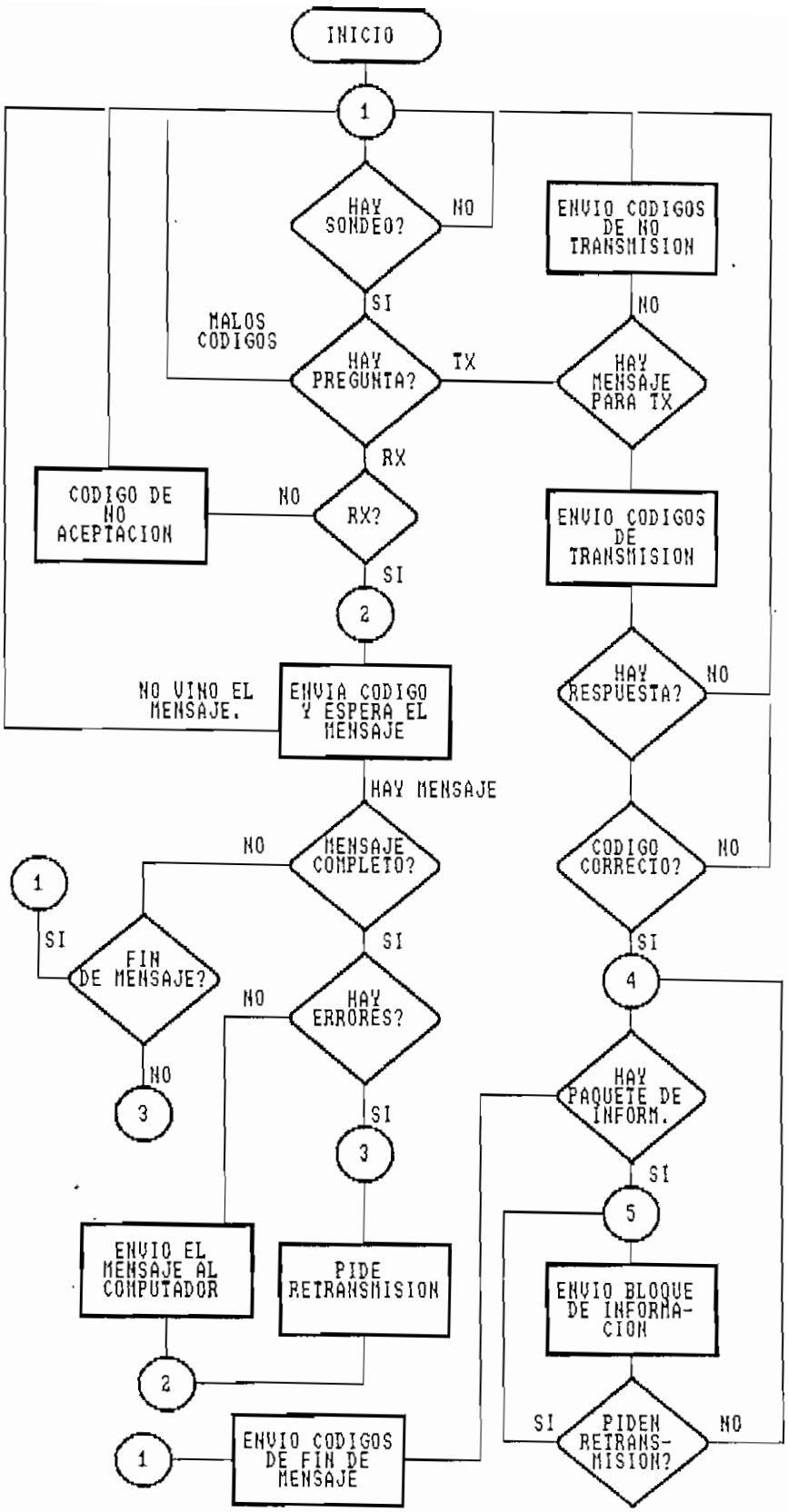
2.4.4.2 SOFTWARE QUE CUMPLE LAS FUNCIONES DE PROTOCOLO ENTRE TRANCEPTOR Y CENTRAL.

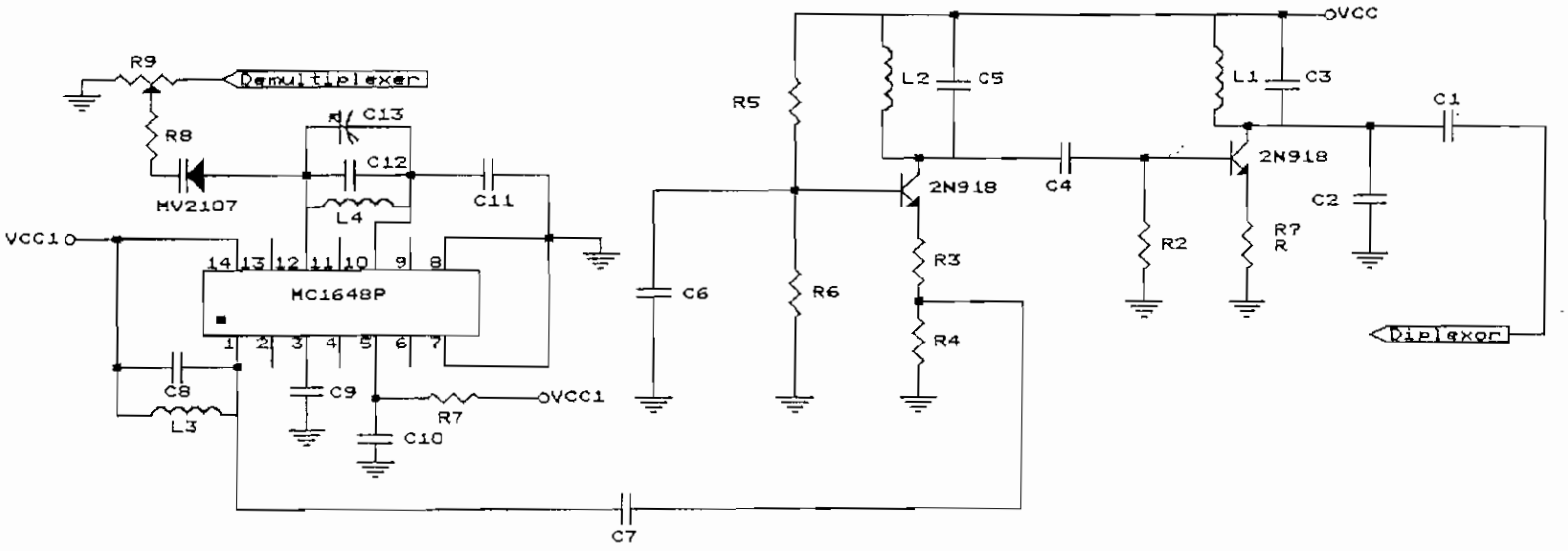
El hecho de que el tranceptor deba mantener una constante comunicación con la central, es necesario, la existencia en el equipo terminal con un programa que desempeñe las funciones de protocolo, el mismo que es escrito en lenguaje ASSEMBLER del MCS8031AH.

Este programa debe contener las preguntas y respuestas que el diálogo entre equipos central y terminal exige. Un detalle de los códigos empleados para cumplir esta meta se muestran en el Capítulo III en lo referente al Protocolo de

---

[8] *En caso de requerirse mayor información sobre el utilitario PKWARE, puede escribirse a la siguiente dirección solicitando información : PKWARE, Inc., 7545 North Port Washington Road, Suite 205, Glendale, WI 53217-3422.*

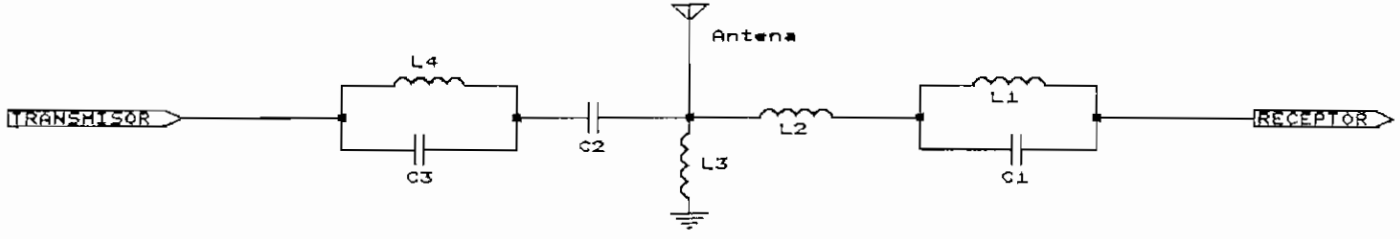

INICIO
1
HAY SONDEO?
NO
SI
MALOS CODIGOS
HAY PREGUNTA?
TX
RX
CODIGO DE NO ACEPTACION
NO
RX?
SI
2
NO VINO EL MENSAJE.
ENVIA CODIGO Y ESPERA EL MENSAJE
HAY MENSAJE
NO
MENSAJE COMPLETO?
SI
1
SI
FIN DE MENSAJE?
NO
3
NO
HAY ERRORES?
SI
3
ENVIO EL MENSAJE AL COMPUTADOR
PIDE RETRANSMISION
2
1
ENVIO CODIGOS DE FIN DE MENSAJE
ENVIO CODIGOS DE NO TRANSMISION
NO
HAY MENSAJE PARA TX
ENVIO CODIGOS DE TRANSMISION
HAY RESPUESTA?
NO
CODIGO CORRECTO?
NO
SI
4
HAY PAQUETE DE INFORM.
SI
5
ENVIO BLOQUE DE INFORMA-CION
SI
PIDEN RETRANS-MISION?
NO



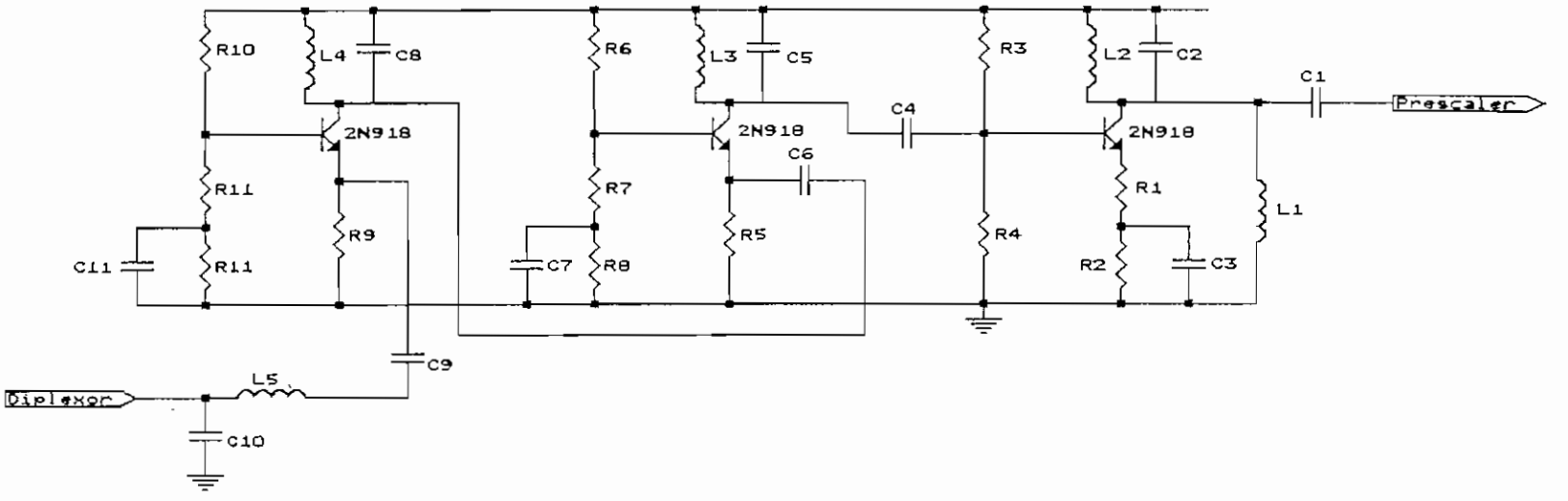
Vcc = 12 V.

Vcc1 = 5 V.

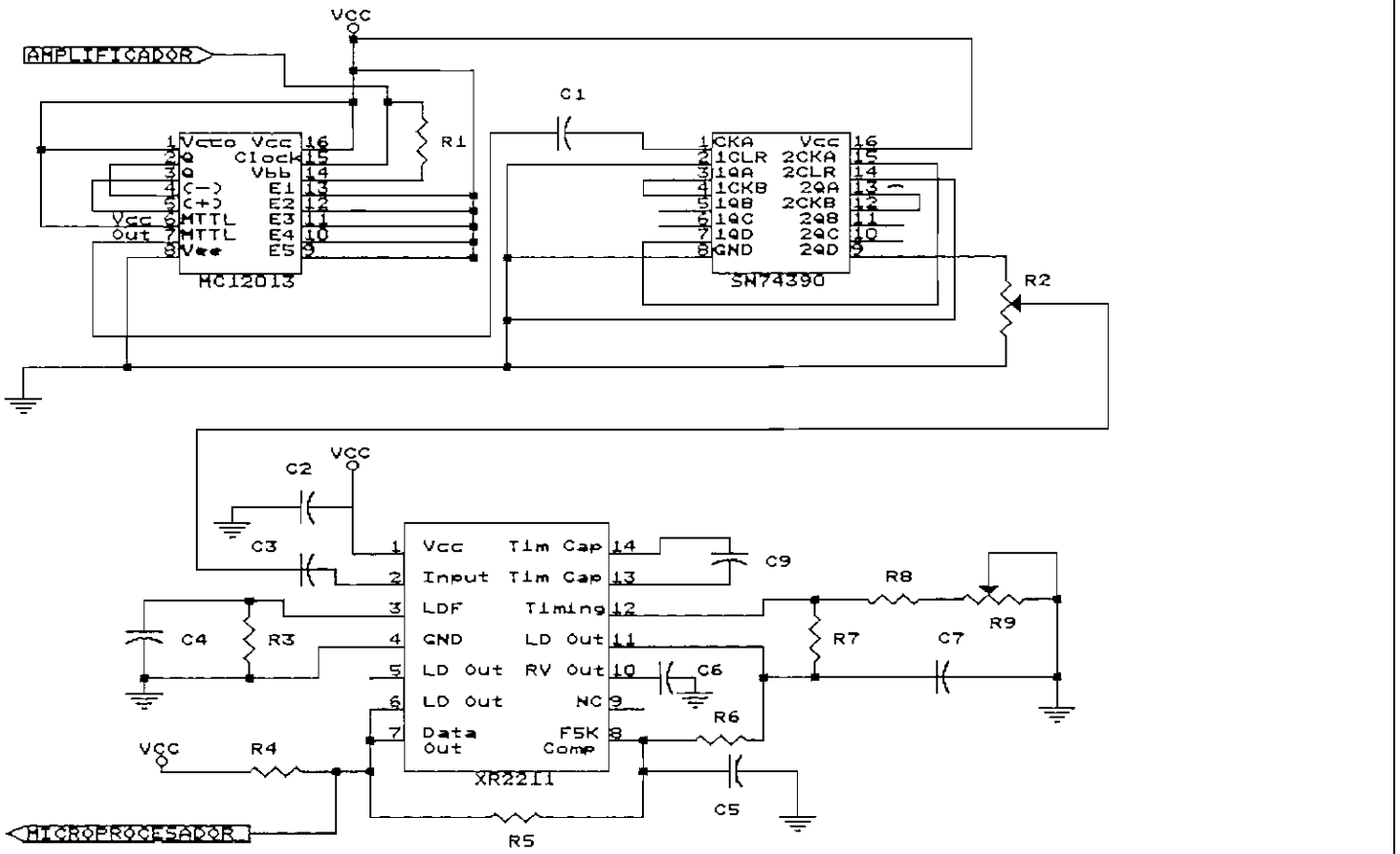
Title: Transmisor		
Size: A	Document Number: 2	REV:
Date: February 7, 1995	Sheet 5 of 9	



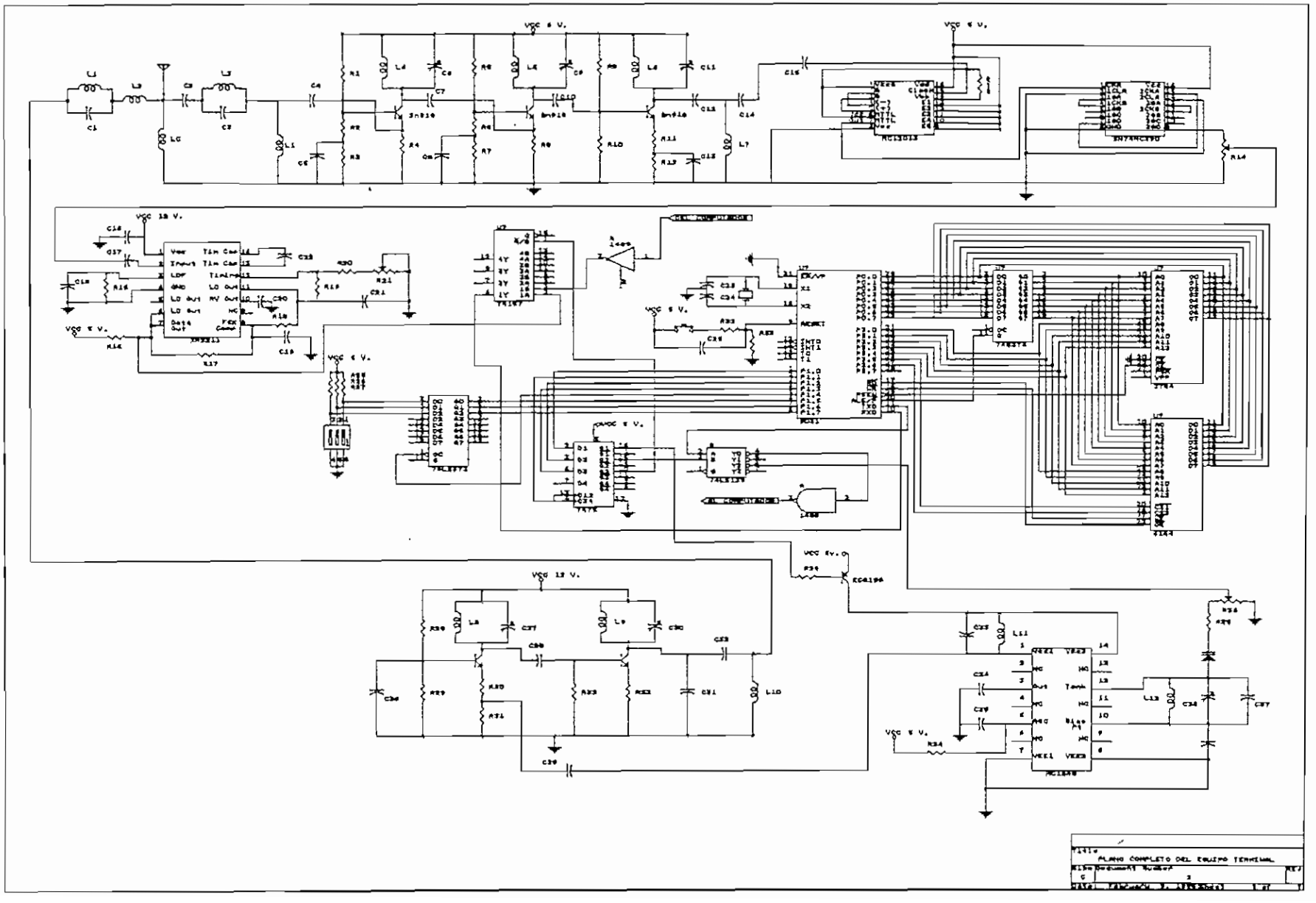
Title: DIPLEXOR		
Size: A	Document Number: 2	REV
Date: February 7, 1995	Sheet 5 of 9	



Title: Amplificador de Recepcion		
Size: A	Document Number: 2	REV
Date: February 7, 1995	Sheet 7 of 9	



Title	DEMODULADOR	
Size: A	Document Number: 2	REV
Date: February 7, 1995	Sheet 8 of 9	


PLANO COMPLETO DEL EQUIPO TERMINAL

EQUIPO INTERMEDIO O CENTRAL.

3.1 FUNCIONES DEL EQUIPO INTERMEDIO O CENTRAL.

El Equipo Intermedio es el encargado de administrar la comunicación entre los equipos terminales, ya que, es el que ejecuta el proceso de investigación, determinación y control de los equipos remotos que formarán el enlace, en definitiva es el que dirige el protocolo de comunicación.

Una vez definidos los equipos terminales que forman el enlace, la central hace las veces de un repetidor activo, puesto que, recibe el mensaje en paquetes uno a uno desde el terminal transmisor, chequea errores, solicita si es el caso retransmisión y luego envía el paquete de información hacia el equipo terminal receptor.

Una vez que se han transmitido todos los paquetes de información desde el equipo central hacia el equipo terminal, este detecta el final del mensaje siendo el encargado de interrumpir el enlace de comunicación entre los equipos terminales para regresar a un nuevo proceso de investigación y determinación de los equipos remotos para un nuevo enlace.

Debido a las funciones que debe realizar el equipo intermedio, este dispone de una etapa de transmisión, una fase de recepción y una parte inteligente. La etapa inteli-

gente está apoyada en un microcontrolador, el mismo que es asistido por una memoria RAM y una memoria EPROM. La memoria RAM tiene como finalidad almacenar el paquete de información que llega al equipo intermedio para un posterior envío hacia el terminal destino; mientras que en la memoria EPROM se almacena el programa que ejecuta el Protocolo de Comunicación, así como también el software encargado de verificar los posibles errores que pueden presentarse en el paquete de información.

Las partes de Transmisión y Recepción son las encargadas de ser el nexo de unión del equipo intermedio con el medio exterior y son etapas analógicas; mientras que la fase inteligente es puramente digital. En consecuencia, el equipo central dispone tanto de partes analógicas como digitales en su constitución.

3.2 PROTOCOLO DE COMUNICACION.

El prototipo de sistema de comunicación implementado, no utiliza ningún protocolo de comunicación estandar, ya que, por ser tal sus funciones resultan posiblemente limitadas y en consecuencia es factible una incompatibilidad del sistema con los paquetes de software de comunicación comercial.

Además el objetivo del presente proyecto es desarrollar tanto hardware como software, dando pautas a las gene-

raciones siguientes de lo que se puede lograr en base de nuestros conocimientos.

El Protocolo de comunicación implementado tiene mucha similitud con el Protocolo Estandar *Polling-Selecting*, puesto que el equipo central todo el tiempo se encuentra preguntando a los equipos terminales en secuencia, si alguno de ellos requiere enviar información.

Si el equipo terminal consultado no desea enviar información, este se encuentra en libertad de contestar la pregunta con una respuesta negativa o simplemente no contestar; ambas situaciones son entendidas de la misma manera por parte del equipo central, el mismo que continúa con la misma pregunta pero hacia el terminal remoto siguiente.

Esta es la diferencia con el Protocolo *Polling-Selecting*, puesto que, este procedimiento normalizado establece un diálogo permanente entre los equipos central y terminal. Por lo expresado anteriormente, en el sistema prototipo puede que se de un diálogo permanente o no.

En caso de que el equipo central reciba una respuesta positiva a su pregunta por parte de algún equipo terminal, dicha respuesta viene acompañada por la dirección del terminal remoto al cual se desea llegar con la información, y el siguiente paso de la central es preguntar al destino si acepta o no la información que desean enviarle.

Igual al caso anterior, si el abonado destino no desea recibir la información, puede contestar negativamente a la pregunta o bien no contestarla, siendo interpretado por la central ambas situaciones como una negativa al envío del mensaje; ante tal situación, la central informa de esta decisión al equipo terminal emisor y luego prosigue con la pregunta de búsqueda de una nueva trasnmisión con el siguiente equipo terminal.

Si la respuesta recibida por la central desde el abonado destino es positiva, el equipo intermedio solicita al terminal origen el envío del primer paquete de información; una vez que lo recibe, la central envía unos códigos indicadores que ha recibido el mensaje, posteriormente, chequea y corrige los errores que pueden haberse presentado. Si hay errores no corregidos en una cantidad mayor al 2 % de todo el mensaje, el equipo central solicitará una retransmisión de la información por parte del terminal origen. La petición de retransmisión la puede realizar hasta dos veces, pasado este número, la central procederá a enviar el mensaje con los errores que pudiera tener hacia el equipo terminal de destino.

Si habiendo chequeado y contabilizado los errores en la central, se obtiene que es menor al 2 %, el equipo intermedio acepta el mensaje y por tanto envía primero un acuse de recibo positivo hacia el abonado origen, para luego proceder a transmitir dicho mensaje hacia el abonado

destino.

El equipo destino, una vez recibido el mensaje envía hacia la central un codigo indicándole que ha recibido el paquete de información, luego revisará los posibles errores y según sea el caso pedirá retransmisión o dará un acuse de recibo positivo. Igual que en el caso de la central, el equipo terminal de destino solo puede solicitar hasta un máximo de dos retransmisiones hacia el equipo central.

Posterior al último bloque de información envíado por parte del abonado origen, este emite un código hacia la central indicando que no hay más información. Una vez detectado esta situación por la central, esta hace una cosa similar hacia el abonado destino e interrumpe automáticamente el enlace de comunicación para reiniciar nuevamente la búsqueda de un abonado que desee utilizar el canal de comunicación.

El protocolo utiliza un grupo de códigos compuestos por cinco bits, los mismos que unidos a las direcciones forman las palabras utilizadas para preguntar como para responder. A fin de evitar malas interpretaciones, los procesos de preguntas y respuestas utilizan redundancia, es decir, se envían con repetición las palabras.

Cada pregunta o respuesta está constituída por cuatro

palabras de ocho bits cada una.

Sea ### la dirección del equipo terminal origen de la transmisión y &&& la dirección del abonado destino. Hay palabras que contienen solo direcciones y por tanto tienen bits de relleno que los vamos a representar con @, los mismos que en la práctica son 0_L; las demás palabras siempre tendrán los cinco bits más significativos como código y los tres restantes señalaran una dirección. A continuación se describen las palabras código utilizadas.

- Pregunta desde la central hacia un abonado que posiblemente requiera hacer una transmisión :

00000### 00000### 00000### @###@###

la palabra de la derecha es la primera en ser enviada; la parte de los códigos así como también los bits de relleno son resaltados.

- Respuesta del equipo terminal hacia la central indicando que SI va a transmitir :

@&&&@&&& 00001&&& 00001### 00001###

- Respuesta del equipo terminal hacia la central señalando que NO va a transmitir :

@###@### 00010### 00010### 00010###

- Pregunta que envía la central hacia el abonado destino, averiguando si acepta o no el mensaje :

00011### 00011### 00011&&& @&&&@&&&

- Respuesta afirmativa por parte del abonado destino hacia la central :

@&&&@&&& 00100&&& 00100&&& 00100&&&

- Respuesta de no aceptación del mensaje por parte del abonado destino hacia la central :

@&&&@&&& 00101&&& 00101&&& 00101&&&

- La central solicita al equipo terminal origen el envío del primer bloque de información.

00110### 00110### 00110### @###@###

- La central indica al abonado origen que la comunicación no es posible porque el equipo terminal de destino no lo acepta :

00111### 00111### 00111### @###@###

- Cabecera del mensaje envíado por el equipo terminal origen :

01000### 01000### 01000### 01000###

- Cola del mensaje envíado por el equipo terminal de origen :

01001### 01001### 01001### 01001###

- Acuse de recibo que se envía una vez que la central a recibido todo el bloque de información hacia el terminal origen :

01010### 01010### 01010### @###@###

- Acuse de recibo afirmativo que se envía desde la central hacia el terminal de origen, una vez que se han chequeado y corregido los errores y el número de los mismos está dentro del límite tolerable :

01011### 01011### 01011### @###@###

- Solicitud de retransmisión por parte de la central hacia el abonado origen, puesto que el mensaje adolece de errores :

01100### 01100### 01100### @###@###

- Cabecera del mensaje envíado por la central hacia el equipo terminal de destino :

01101&&& 01101&&& 01101&&& 01101&&&

- Cola del mensaje enviado por la central hacia el abonado destino :

01110&&& 01110&&& 01110&&& 01110&&&

- Acuse de recibo por parte del abonado destino cuando éste ha recibido todo el bloque de información :

01111&&& 01111&&& 01111&&& 01111&&&

- Acuse de recibo afirmativo que se envía desde el equipo terminal de destino hacia la central después de revisar los errores :

10000&&& 10000&&& 10000&&& 10000&&&

- Solicitud de retransmisión dirigida hacia la central por parte del equipo terminal destino, cuando el mensaje adolece de muchos errores :

10001&&& 10001&&& 10001&&& 10001&&&

- La central indica al abonado destino que el mensaje concluyó y no hay más bloques de información :

10010&&& 10010&&& 10010&&& @&&&@&&&

- El equipo terminal origen indica a la central que no tie-

ne más bloques que transmitir :

10011### 10011### 10011### 10011###

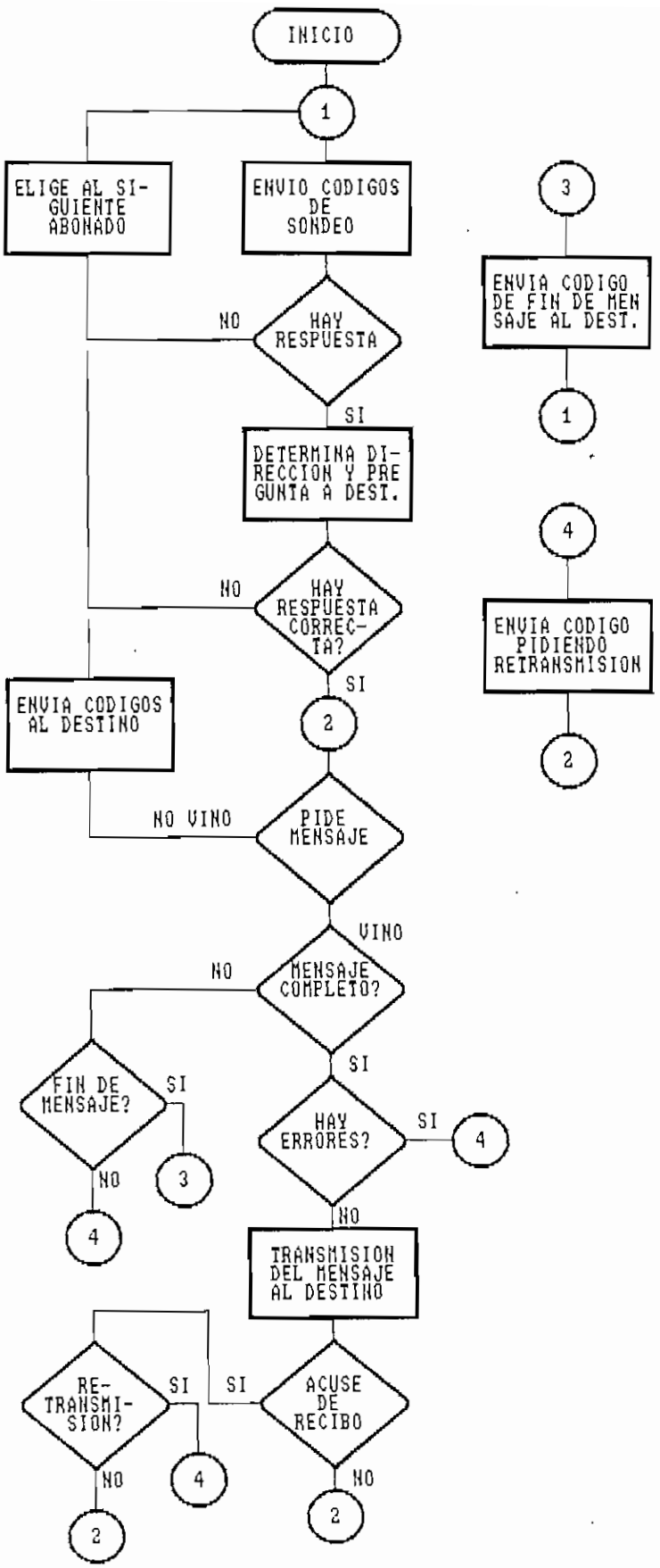
A continuación indicamos un diagrama de flujo del software creado para cumplir con el protocolo de comunicaciones planteado. El conjunto de instrucciones que conforman dicho software se encuentra en el compendio de programas anexo a la tesis.

3.3 TIPO DE MICROCONTROLADOR UTILIZADO.

Nuestro prototipo transmite bloques de información de 1024 bytes de 8 bits cada una, por tanto requiere de una memoria RAM pequeña para su almacenamiento temporal.

También hay que considerar que el software creado para el prototipo a nivel de assembler excede ligeramente los 2 Kbytes, por tanto, la memoria Eprom de 8 Kbytes satisface plenamente las necesidades. En conclusión, nuestro microcontrolador deberá ser capaz de manejar información de 8 bits y tener capacidad de direccionar memorias de 8 Kbytes, tales situaciones las satisface plenamente el microcontrolador Intel MCS8031AH, cuyas características fueron desarrolladas en el capítulo II.

Para la interconexión de las memorias, circuito rete-


INICIO
1
ELIGE AL SIGUIENTE ABONADO
ENVIO CODIGOS DE SONDEO
NO
HAY RESPUESTA
SI
DETERMINA DIRECCION Y PREGUNTA A DEST.
NO
HAY RESPUESTA CORRECTA?
SI
ENVIA CODIGOS AL DESTINO
2
NO VINO
PIDE MENSAJE
VINO
NO
MENSAJE COMPLETO?
SI
FIN DE MENSAJE?
SI
3
NO
4
HAY ERRORES?
SI
4
NO
TRANSMISION DEL MENSAJE AL DESTINO
RE-TRANSMI-SION?
SI
4
NO
2
SI
ACUSE DE RECIBO
NO
2
3
ENVIA CODIGO DE FIN DE MENSAJE AL DEST.
1
4
ENVIA CODIGO PIDIENDO RETRANSMISION
2

nedor (latch) y buffers con el microprocesador, se han seguido atentamente las instrucciones dadas por el manual INTEL MCS-51, en especial las del capítulo 9 con sus ejemplos de aplicación.

Cabe indicar, que el microprocesador del equipo central desempeña también la función de habilitar y deshabilitar la polarización del transmisor para evitar interferencias en el receptor del mismo. Para el efecto, fue necesario utilizar un circuito retenedor adicional.

Para efectos de pruebas, se instaló adicionalmente un conjunto de dips switchs que tienen por finalidad permitir al usuario escoger opciones del programa para ajuste y calibración del equipo.

El diagrama completo de la parte inteligente se muestra en la página siguiente en la figura 3.1 .

3.4 DISEÑO.

3.4.1 ETAPA DE TRANSMISION.

El transmisor que se ha implementado para la central, consta de los siguientes bloques, como se muestra en la figura 3.2 :

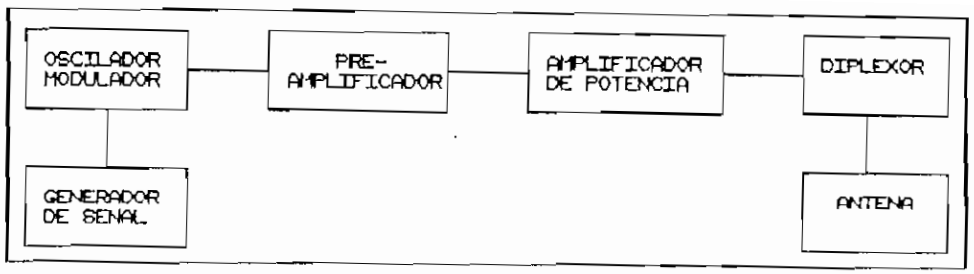


Figura # 3.2

En base a este diagrama procedemos entonces a desarrollar el diseño del transmisor.

3.4.1.1 DIPLEXOR.

Está constituído por dos bobinas y una condensador que están interconectadas, como se indica en la figura 3.3 .

La frecuencia de portadora que se utiliza es de 48 Mhz para transmisión y 44 MHz para recepción. De la misma manera que se hallaron las impedancias de la antena vistas como carga por el transmisor y como entrada para el receptor, en el transmisor de los terminales, determinamos que:

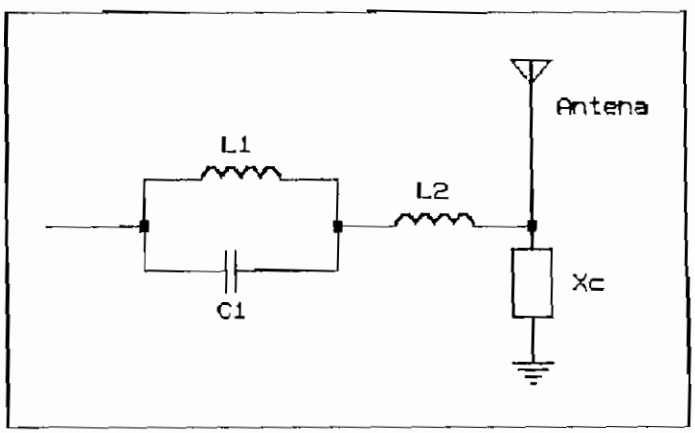


Figura # 3.3

Transmisión : $Z_{a(T)} = 11 - 210j$.

Recepción : $Z_{a(R)} = 7.5 - 270j$.

La función que desempeña este lado del diplexor es la de bloquear las señales que llegan al receptor a una frecuencia de 44 MHz, mediante el tanque formado por el condensador C_1 y la bobina L_1 y dejar circular libremente la señal que va del transmisor a la antena.

El gráfico de la figura 3.4 ilustra como varía la impedancia del circuito resonante como una función de la frecuencia angular (w).

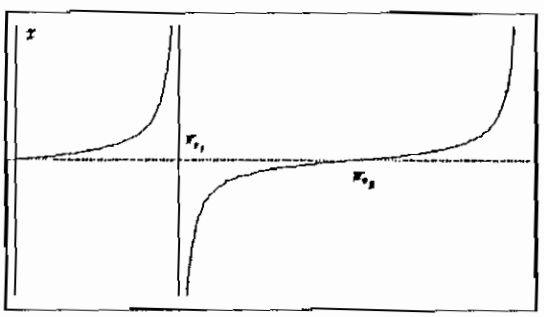


Figura # 3.4

Como se observa en la figura 3.3 se ha compensado la parte reactiva de la antena para el transmisor, mediante la utilización de una reactancia X_c, la misma que forma parte de una red de acoplamiento entre la antena y el amplificador de potencia y será calculado su valor oportunamente.

Utilizando el análisis de la red de la figura # 2.32 del capítulo anterior, calculamos los valores correspondientes a los bobinas L_1, L_2, y al condensador C_1. Tomamos $C_1 = 15$ pF, entonces L_1 tendrá el valor que calculamos a continuación :

$$L_1 = \frac{1}{\omega_r^2 * C_1}$$

$$\omega_r = 2 * \pi * 44\ MHz$$

$$L_1 = \frac{1}{(2 * \pi * 44 * 10^6)^2 * 15 * 10^{-12}}$$

$$\therefore\ L_1 = 0.872\ \mu H.$$

La bobina L_1 ha sido construida sobre un núcleo toroidal T-50-10, para dicho valor de inductancia, aplicando la ec 2.11 se requieren de 17 espiras aproximadamente.

$L_{eq} = L_1 \,||\, L_2$ y también :

$$L_{eq} = \frac{1}{\omega_t^2 * C_1}$$

$$\omega_t = 2 * \pi * 48\ MHz.$$

$$L_{eq} = \frac{1}{(2 * \pi * 48 * 10^6)^2 * 15 * 10^{-12}}$$

$$L_{eq} = 0.733\ \mu H$$

Ahora podemos determinar el valor para L_2 :

$$\frac{1}{L_2} = \frac{1}{L_{eq}} - \frac{1}{L_1}$$

$$\frac{1}{L_2} = \frac{1}{0,733\ \mu H} - \frac{1}{0,872\ \mu H}$$

$$\therefore\ L_2 = 4,59\ \mu H.$$

Como L_2 se realiza sobre el núcleo T-50-10, aplicando la ec. 2.11 se necesitan aproximadamente 39 espiras.

Al igual que para nuestro equipo terminal, se va a calcular la impedancia de carga que observará la etapa de potencia del transmisor como un equivalente paralelo (Za(T)), así:

$$\frac{1}{11 - 210j} = \frac{1}{R_{a(T)}} + j\,\frac{1}{X_{a(T)}}$$

$$\frac{1}{11 - 210j} = 2.488 * 10^{-4} + 4.749 * 10^{-3}j$$

$$\therefore \quad R_{a(T)} = 4020.1\ \Omega \quad y \quad X_{a(T)} = -210.57j\ \Omega$$

$$X_{a(T)} = \frac{1}{2 * \pi * f * C_a} \quad \rightarrow C_a = \frac{1}{2 * \pi * f * X_{a(T)}}$$

$$C_a = \frac{1}{2\pi * 48\ MHz * 210{,}57\ \Omega} \quad \therefore C_a = 15{,}7\ pF.$$

3.4.1.2 AMPLIFICADOR DE POTENCIA.

El amplificador que se construyó para este fin tiene la configuración que se muestra en la figura 3.5 :

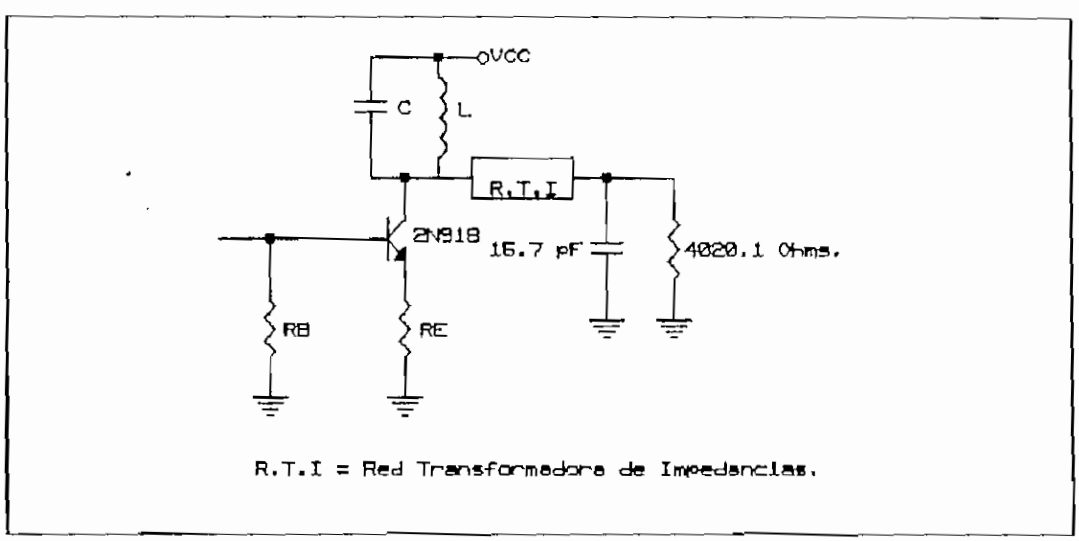


Figura # 3.5

Es un amplificador en clase C, que al igual que los transmisores que se encuentran presentes en los terminales debe proveer a la antena una potencia de 23 mW. para cubrir la distancia de enlace que es de 100 m.

Conociendo que la potencia de salida es de 23 mW, la fuente de polarización disponible es de 12 V. y dando a esta etapa una ganancia de voltaje $A_v = 2$, dimensionamos los elementos de esta etapa amplificadora.

$$V_{cc} = V_{op} + 1 + \frac{V_{op}}{A_v}$$

$$V_{op} = \frac{A_v * (V_{cc} - 1)}{A_v + 1}$$

$$V_{op} = \frac{2 * (12 - 1)}{3} = 7.33\ V.$$

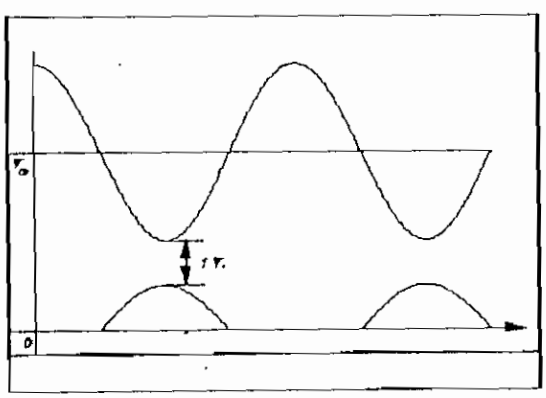


Figura # 3.6

En el desarrollo de la última expresión, para calcular el voltaje pico de salida del amplificador (V_{op}) se ha tomado en cuentaque es posible que la señal de salida y la de entrada se crucen, lo cual provocaría distorsión. Por ello se ha considerado dejar un voltio entre los picos de las señales para evitar que ocurra este indeseado efecto.

Entonces la potencia real que va a disipar el tran-

sistor utilizado en esta etapa será :

$$P_{d_r} = \eta * [\frac{V_{opi}}{V_{opr}}]^2 * P_{d_i}$$

donde : η = *Factor de pérdidas en el circuito*

V_{opi} = *Voltaje de salida pico ideal*

V_{opr} = *Voltaje de salida pico real*

P_{d_i} = *Potencia de disipación ideal*

P_{d_r} = *Potencia de disipación real*

La potencia de salida en un amplificador clase C es :

$$P_o = 2 * P_{di} \quad \rightarrow P_{di} = \frac{P_o}{2} = \frac{23\ mW}{2}$$

$$\therefore P_{di} = 11,5\ mW$$

$$P_{d_r} = 1.2 * [\frac{12}{7.33}]^2 * 11.5*10^{-3}$$

$$P_{d_r} = 37\ mW.$$

Esta potencia es posible conseguir, con el transistor 2N918 cuya potencia de disipación máxima es de 300 mW.

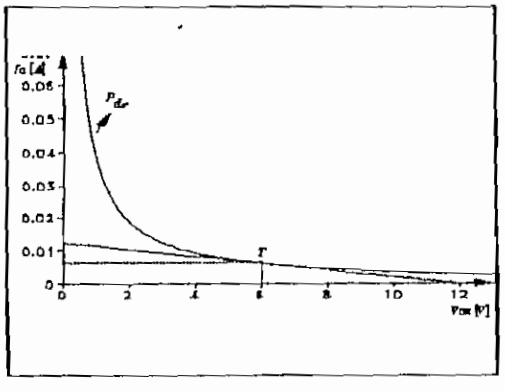


Figura # 3.7

$$I_{C_T} = \frac{P_{d_r}}{V_{CE_T}} \qquad V_{CE_T} = \frac{V_{cc}}{2}$$

$$V_{CE_T} = \frac{12}{2} = 6\ V$$

$$\therefore \quad I_{C_T} = \frac{37\ mW}{6\ V} = 6.16\ mA$$

$$R_{ac} = \frac{V_{cc}}{I_{C_{máx}}} \qquad I_{C_{máx}} = I_{C_T} * 2$$

$$\therefore \quad R_{ac} = \frac{12\ V}{12.32\ mA}$$

$$R_{ac} = 974\ \Omega$$

Vemos que la resistencia óptima R_{ac} que necesita el amplificador de potencia es diferente a la que se tiene como carga, de ahí que se hace imprescindible utilizar una red de acoplamiento.

La red transformadora de impedancia utilizada es del tipo pi cuyo diagrama se indica a continuación :

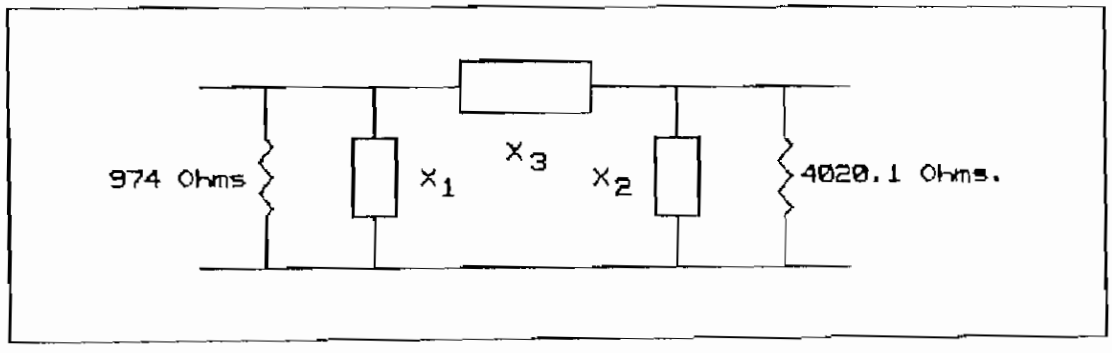


Figura # 3.8

$$B_p = \sqrt{\frac{G_g}{G_L} * (B_m^2 - G_g * G_L)}$$

$$B_s = \sqrt{\frac{G_L}{G_g} * (B_m^2 - G_g * G_L)}$$

Además se conoce: $B_p = B_1 + B_3$

$$B_s = B_2 + B_3$$

$$B_m = B_3$$

También se deben cumplir las siguientes condiciones :

1. $B_m^2 > B_p * B_s$
2. $B_m^2 \geq G_g * G_L$
3. B_p y B_s son positivos o negativos a la vez.

Tomando en cuenta estos criterios calculemos los elementos que componen la red.

$$G_g = \frac{1}{974} \qquad G_L = \frac{1}{4020.1}$$

$$G_g = 1.0267\ mS. \qquad G_L = 0.249\ mS.$$

$$sea \qquad C_3 = 10\ pF \quad \rightarrow \quad B_m = 3.02\ mS.$$

$$G_g * G_L = 1.0267*10^{-3} * 0.249*10^{-3}$$

$$G_g * G_L = 0.256*10^{-6}$$

$$B_m^2 = 9.1*10^{-6} \quad \therefore \quad B_m^2 > G_g * G_L$$

$$B_p = \sqrt{\frac{1.0267}{0.249} * (9.1 * 10^{-6} - 0.2554 * 10^{-6})}$$

$$B_p = 6.039\ mS.$$

$$B_s = \sqrt{\frac{0.249}{1.0267} * (9.1 * 10^{-6} - 0.255 * 10^{-6})}$$

$$B_s = 1.465\ mS.$$

$$B_1 = B_p - B_3 = 6,039\ mS - 3,02\ mS$$

$$\therefore B_1 = 3.023\ j\ mS.$$

$$B_2 = B_s - B_3 = 1.465\ mS - 3,02\ mS$$

$$\therefore B_2 = -1.555\ j\ mS.$$

Los valores encontrados satisfacen plenamente las condiciones que se mencionaron anteriormente, entonces la red de acoplamiento queda de la siguiente manera :

$$X_1 = \frac{1}{B_1} = \frac{1}{3,023\ j\ mS}$$

$$X_1 = -330,8\ j\ \Omega \qquad X_1 = \frac{1}{2 * \pi * f * C_1}$$

$$C_1 = \frac{1}{2 * \pi * f * X_1} = \frac{1}{2 * \pi * 48\ MHz * 330,8}$$

$$\therefore C_1 = 10\ pF.$$

$$X_2 = \frac{1}{B_2} = \frac{1}{-1,555\ j\ mS}$$

$$X_2 = 643,1\ j\ \Omega \qquad X_2 = 2 * \pi * f * L_2$$

$$L_2 = \frac{X_2}{2 * \pi * f} = \frac{643,1}{2 * \pi * 48\ MHz}$$

$$\therefore L_2 = 2,13\ \mu H.$$

Una vez obtenidas las reactancias tanto de la red acopladora especialmente X_2, como del equivalente paralelo de la antena, $X_{a(r)} = -j\ 210.6\ \Omega$. nos es posible calcular el valor de la reactancia X_c la misma que es :

$$\frac{1}{X_2} = \frac{1}{X_a} + \frac{1}{X_c}$$

$$\frac{1}{643,1} = -\frac{1}{210,6} + \frac{1}{X_c}$$

$$\therefore \quad \frac{1}{X_c} = \frac{1}{643,1} + \frac{1}{210,6}$$

$$\frac{1}{X_c} = 6,3 * 10^{-3}$$

$$\rightarrow \quad X_c = 158,73\ \Omega \qquad X_c = 2 * \pi * f * L_c$$

$$L_c = \frac{158,73}{2 * \pi * 48 * 10^6} = 0,526\ \mu H.$$

Utilizando el núcleo T-50-10 para construir la bobina L_c y utilizando la ecuación 2.11, obtenemos que se requieren 13 vueltas para conseguir dicha inductancia.

Conocidos la corriente de colector I_c y el voltaje colector-emisor V_{CE} en el punto de trabajo, podemos determinar la frecuencia f_T en las especificaciones proporcionadas por el fabricante las cuales constan en el Anexo XIII obteniéndose un valor para f_T de 900 MHz.

$$\beta_0 = \frac{f_T}{f_0}$$

$$f_0 = \textit{frecuencia de trabajo}$$

$$f_0 = 48\ MHz.$$

$$\beta_0 = \frac{900}{48} \rightarrow \beta_0 \approx 19$$

$$r_e = \frac{V_{TH}}{I_E} \qquad I_E = \frac{i_{op}}{\pi}$$

$$i_{op} = \frac{V_{op}}{R_{ac}} = \frac{7,33\ V}{974\ \Omega}$$

$$\therefore i_{op} = 7,53\ mA.$$

$$I_E = \frac{7,53\ mA}{\pi} \rightarrow I_E = = 2.395\ mA.$$

$$r_e = \frac{25\ mV.}{2.395\ mA} \rightarrow r_e = 10.44\ \Omega$$

$$A_v = \frac{R_{ac}}{R_E + r_e}$$

$$R_E = \frac{R_{ac}}{A_v} - r_e$$

$$R_E = \frac{974\ \Omega}{2} - 10.44\ \Omega = 476,56\ \Omega$$

$$\therefore R_E = 470\ \Omega$$

Con el fin de dar referencia a la base de este amplificador se ha colocado una resistencia R_B cuyo valor debe ser mayor que Z_{in_T}.

$$Z_{in_T} = (\beta_0 + 1) * (r_e + R_E)$$

$$Z_{in_T} = 20 * (470 + 10.44) = 9608,8\ \Omega$$

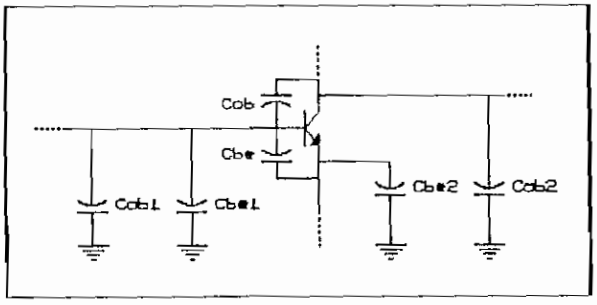
$$aproximadamente: \quad Z_{in_T} \approx 9600\ \Omega$$

$$R_B > Z_{in_T}$$

$$\therefore R_B = 33\ K\Omega$$

De las especificaciones del transistor que utilizamos (Anexo XIII), se obtiene un valor para el parámetro C_{ob} = 1.7 pF.

Aplicando el equivalente Miller, para encontrar la capacitancia parásita a la salida del circuito (entre colector y la referencia), tenemos :



$$C_{ob_2} = \frac{C_{ob} * (A - 1)}{A}$$

$A = 2$ (*Ganancia de voltaje de la etapa*)

Figura # 3.9

$$C_{ob2} = \frac{1.7\ pF * (2 - 1)}{2}$$

$$C_{ob2} = 0.85\ pF$$

Para independizar al circuito del efecto de la capacitancia parásita tomamos un valor de C = 15 pF (figura 3.5), el mismo que es significativamente mayor que el parámetro parásito.

Ahora se calcula la bobina L que está en paralelo con C para conformar el circuito resonante de salida en esta etapa.

$$L = \frac{1}{\omega_t^2 * (C + C_{ob2})}$$

$$L = \frac{1}{(2 * \pi * 48 * 10^6)^2 * (15\ pF + 0.85\ pF)}$$

$$L = 0.694\ \mu H$$

Aplicando la ec. 2.9 para un l = 1.1 cm. y r = 0.5 cm. se requiere de 10.2 espiras para lograr el valor antes calculado (bobina con núcleo de aire).

Es necesario calcular la capacitancia parásita que se observa a la entrada del amplificador de potencia porque va a influir en la salida de la etapa preamplificadora (ver

figura 3.9), así :

$C_{in} = C_{obi} + C_{ebi}$ (Capacitor de carga para el preamplificador)

donde : C_{obi} = Condensador parásito visto entre base y tierra (Aplicando efecto Miller a C_{ob}).

C_{ebi} = Condensador parásito visto entre base y tierra (Aplicación del efecto Miller a C_{eb}).

$$C_{obi} = C_{ob} * (A - 1)$$

$$C_{obi} = 1.7\ pF * (2 - 1) \rightarrow C_{obi} = 1.7\ pF.$$

$$C_{ebi} = C_{be} * (1 - A_{cc})$$

Donde : A_{cc} *es la ganancia de voltaje en la configuración de colector común.*

$$A_{cc} = \frac{R_E}{R_E + r_e}$$

$$A_{cc} = \frac{470}{470 + 10.44}$$

$$A_{cc} = 0.978$$

$$C_{ebi} = 2\ pF * (1 - 0.978)$$

$$C_{ebi} \approx 0 \Rightarrow C_{in} = C_{obi} = 1.7\ pF.$$

3.4.1.3 PREAMPLIFICADOR.

El preamplificador que se presenta en la figura 3.10,

tiene una configuración de base común, a la misma que se le ha proporcionado una ganancia de voltaje igual a 6.

Conocidos todos los parámetros necesarios del amplificador de potencia, nos es posible ahora calcular la carga que observa este preamplificador :

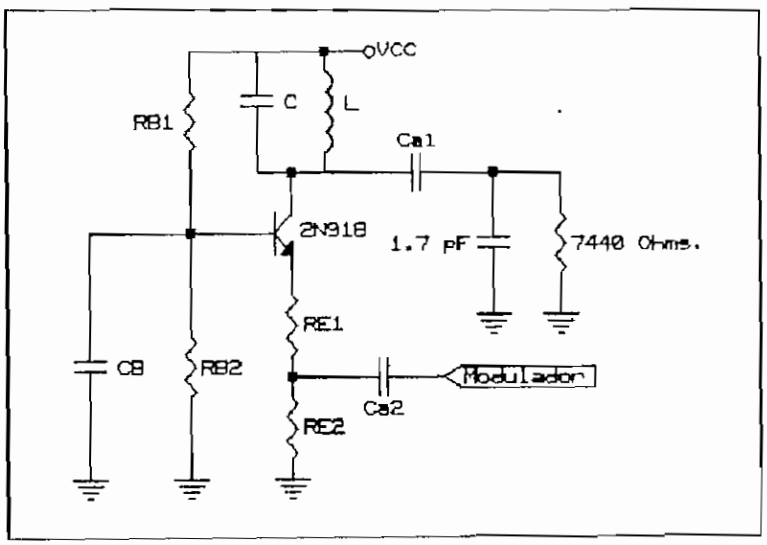


Figura # 3.10

$$R_L = R_B \parallel Z_{in_T}$$

$$R_L = \frac{33\ K\Omega * 9.6\ K\Omega}{33\ K\Omega + 9.6\ K\Omega}$$

$$R_L = 7.44\ K\Omega$$

Este será el valor de la resistencia de carga que ve el preamplificador.

Existe un condensador C_{a1}, el mismo que cumple una función de desacoplar el voltaje continuo entre la entrada del amplificador de potencia y la salida por colector del preamplificador.

$$X_{C_{a1}} \ll R_L \quad ; \quad R_L = 7.44\ K\Omega$$

$$Tomamos: \qquad X_{C_{a1}} = 744\ \Omega$$

$$\Rightarrow \quad C_{a1} = \frac{1}{2 * \pi * 48 * 10^6 * 744}$$

$$C_{a1} = 4.45\ pF \quad \therefore \quad C_{a1} = 0.1\ nF.$$

Calculemos ahora cual será la corriente pico de salida para este preamplificador :

$$i_{op} = \frac{V_{op}}{R_L}$$

$$i_{op} = \frac{4.2}{7440} \rightarrow i_{op} = 0.56\ mA.$$

Conocida la corriente pico de salida, podemos escoger la corriente de colector de polarización I_C :

$$I_C \geq i_{op}$$

$$\therefore I_C = 3\ mA.$$

Se ha tomado un valor de 4,2 V para V_{op} debido a que este voltaje debe ser suficiente para pólarizar la juntura del transistor y cumplir el requerimiento de voltaje de entrada para el amplificador de potencia (3.6 V_p).

El voltaje colector-emisor V_{CE} es :

$$V_{CE} = V_{op} + V_{ip} + 1\ V.$$

$$R_{E_1} = \frac{R_L}{A_v} - r_e \rightarrow R_{E_1} = \frac{7440}{6} - 7.8$$

$$R_{E_1} = 1232.2\ \Omega \ \therefore \ R_{E_1} = 1200\ \Omega$$

$$Con \quad V_E = 5\ V.$$

$$R_E = \frac{V_E}{I_E} \rightarrow R_E = \frac{5\ V}{3.19\ mA}$$

$$R_E = 1567.4\ \Omega$$

$$Pero \quad R_E = R_{E_1} + R_{E_2}$$

$$R_{E_2} = 1567.4 - 1200 \rightarrow R_{E_2} = 367.4\ \Omega$$

$$\therefore \quad R_{E_2} = 390\ \Omega$$

Nos ha sido posible tomar un $V_E = 5$ V, ya que al tener una polarización de 12 V y con un voltaje entre colector y emisor de 7 V, nos permite tener 5 V en emisor.

Con el valor escogido para V_{CE} se está garantizando que no exista cruce entre el voltaje de salida y el de entrada, además se asegura la no distorsión de las señales.

Ahora se calcula los elementos que conforman el circuito de polarización para base :

$$V_B = V_E + V_{BE} \rightarrow V_B = 5\ V + 0.7\ V$$

$$V_B = 5.7\ V.$$

$$R_{B_1} = \frac{V_{cc} - V_B}{I_1}$$

Donde I_1 es la corriente que circula sobre la resis-

tencia R_{B1}. Aplicando el criterio de que $I_1 >> I_B$ para efecto de estabilidad se escoge un $I_1 = 4$ mA, entonces :

$$R_{B_1} = \frac{(12 - 5.7)\ V}{4\ mA} \rightarrow R_{B_1} = 1575\ \Omega$$

$$R_{B_1} = 1.5\ K\Omega$$

$$R_{B_2} = \frac{V_B}{I_1 - I_B} \rightarrow R_{B_2} = \frac{5.7\ V}{(4 - 0.19)\ mA}$$

$$R_{B_2} = 1496\ \Omega \ \therefore \ R_{B_2} = 1500\ \Omega$$

El capacitor C_B debe asegurar que la impedancia del circuito de base para señal sea muy pequeña, de tal manera que la ganancia del preamplificador este en función únicamente de la resistencia R_{E1}, entonces con un $C_B = 470$ pF cuyo valor reactivo es aproximadamente 7 Ω a la frecuencia de trabajo, nos asegura dicha condición.

La impedancia de entrada que presenta esta etapa es :

$$Z_{in} \approx R_{B_2} \parallel (R_{B_1} + r_e)$$

$$Z_{in} = 390 \parallel 1207.8 \rightarrow Z_{in} = 295\ \Omega$$

De las especificaciones del transistor, se han tomado los valores de $C_{ob} = 1{,}7$ pF y $C_{b'} = 2$ pF. Como se aprecia en la figura 3.10 la base del transistor está conectada directamente hacia la referencia mediante el capacitor C_B, por lo tanto las capacidades parásitas por efecto propio de la etapa preamplificadora a la entrada y salida del circui-

to, son las mencionadas en las líneas anteriores.

La capacitancia parásita influyente en la salida es, la suma de :

$C_{parásito}$ a la entrada amplificador de potencia = 1.7 pF.
$C_{parásito}$ a la salida del preamplificador = 1.7 pF.

Para minimizar el efecto de la capacidad parásita en la salida del preamplificador (3.4 pF), se toma un valor para el capacitor del tanque C = 27 pF. (figura 3.10), entonces la bobina (L) será :

$$L = \frac{1}{(2 * \pi * 48 * 10^6)^2 * 27 * 10^{-12}}$$

Resulta un $L = 0.41\ \mu H$.

Esta bobina se ha construido sobre un núcleo de Ferrita tipo T-30-2 la misma que tiene un A_L = 43 como se observa en en el anexo XIV, de ahí que mediante la aplicación de la ec. 2.11 el número de espiras de esta bobina es de aproximadamente 10.

La capacidad C_{az} cumple la función de desacoplar los voltajes continuos de la etapa preamplificadora con el circuito modulador oscilador. Cumpliendo con el criterio de que X_{Caz} debe ser mucho menor que Z_{in}, calculamos el valor de dicho condensador :

$$X_{C_{a2}} \ll Z_{in} \qquad \therefore X_{C_{a2}} = 30\ \Omega$$

$$\Rightarrow \quad C_{a2} = \frac{1}{2 * \pi * 48 * 10^6 * 30}$$

$$C_{a2} = 0.11\ nF \quad \therefore \quad C_{a2} = 1\ nF.$$

3.4.1.4 OSCILADOR-MODULADOR.

El transmisor que se utiliza en la central genera la señal de portadora mediante el circuito integrado MC1648P, que es el mismo que se utiliza en los terminales del sistema.

El circuito que hemos implementado con la finalidad de generar la portadora y a la vez modular a la misma en frecuencia se presenta a continuación :

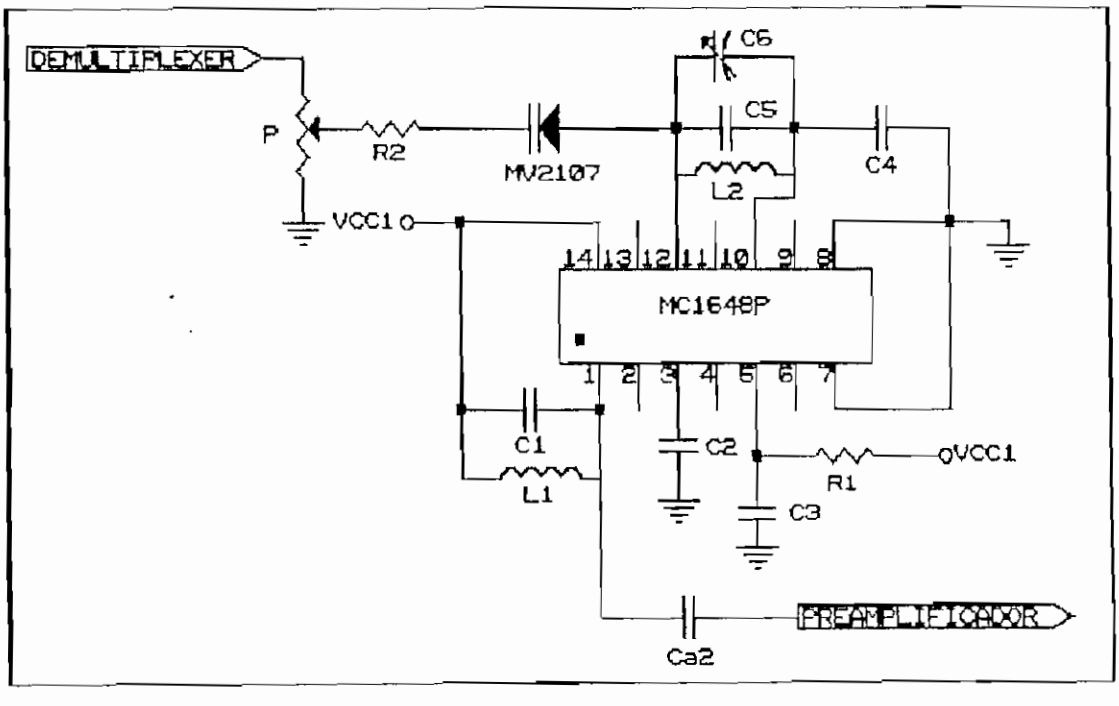


Figura # 3.11

En los anexos en donde se detalla las características del circuito (Anexo X), podemos apreciar que la salida del mismo normalmente se la realiza mediante el pin # 3 que no es más que el emisor de un transistor.

Con el objeto de lograr una mejor señal, al pin 3, se le ha conectado a la referencia mediante un condensador C_2 = 0.1 µF, consiguiéndose de esta manera la amplitud de voltaje necesaria (0.7 v) para el circuito preamplificador.

La salida de la señal a transmitirse está sobre el pin # 1 que es el colector del transistor de salida del circuito integrado MC1648P, al mismo que se lo polariza mediante un circuito resonante conformado por la bobina L_1 y C_1.

Con C_1 = 15 pF. la bobina L_1 tendrá un valor de :

$$L_1 = \frac{1}{(2 * \pi * 48\ MHz)^2 * 15\ pF}$$

$$\therefore \quad L_1 = 0.733\ \mu F.$$

L_1 requiere aproximadamente 15 espiras según la ec. 2.11, para un núcleo T-50-10.

El pin 5 del circuito MC1648P es el control automático de ganancia (CAG.) el mismo que ha sido conectado a la referencia mediante un condensador C_3 = 0.1 µF con el objetivo de tener en la salida la máxima ganancia de voltaje en el circuito.

La fijación de la frecuencia de oscilación del circuito depende de la bobina L_2, el condensador fijo C_5, el condensador variable C_6. La bobina L_2 tiene un valor de 0.5 µH la cual ha sido construída mediante un núcleo T-30-2 con 10 espiras; para los 48 MHz de la frecuencia de portadora, se necesita un condensador C_{eq} igual a :

$$C_{eq} = \frac{1}{(2 * \pi * 48\ MHz)^2 * 0.5\ \mu H}$$

$$C_{eq} = 22\ pF.$$

$$C_{eq} = C_5 + C_6$$

$$Con\ C_5 = 15\ pF$$

$$Es\ suficiente\ C_6 = 1.8\ pF\ a\ 10\ pF.$$

La modulación en frecuencia se logra aprovechando la característica de los diodos varactores de cambiar su capacidad con la variación de voltaje aplicado a sus terminales, de esta manera cumplimos con la característica de tener modulación 2FSK coherente.

La señal modulante está constituída por los datos que llegan codificados desde el microprocesador MCS8031AH al cátodo del diodo varactor MV2107 mediante un demultiplexor como se muestra en la figura 3.11 .

El desplazamiento de frecuencia que utilizamos es de 150 KHz (ancho de modulación máximo permitido), es decir : f_1 = 48 MHz y f_2 = 48.15 MHz. Para la frecuencia f_2 el C_{eq}

requerido es de 20.9712 pF., por lo tanto la variación de capacidad es de 0.1286 pF.

Experimentalmente se logró determinar que la variación de voltaje para alcanzar la desviación de frecuencia de 150 KHz. es de 30 mV.

3.4.2 ETAPA DE RECEPCION.

La etapa de recepción tiene dos bloques básicos : sector de amplificación de la señal recibida a la frecuencia de 44 MHz. y zona de demodulación de la misma.

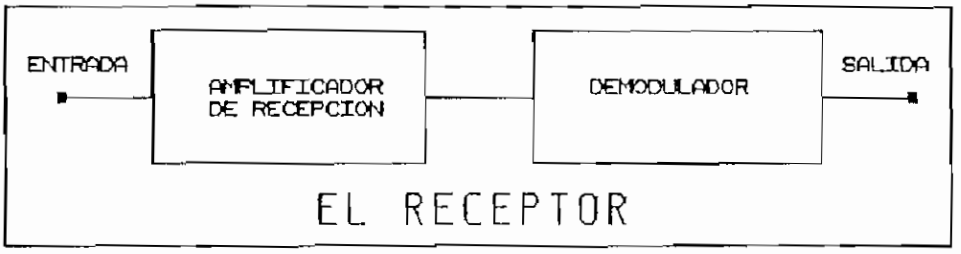


Figura # 3.12

El bloque de amplificación está constituido por tres etapas amplificadoras y dos redes acopladoras de impedancia. El factor de amplificación debe ser tal que permita una señal adecuada en el bloque de demodulación, compensando las atenuaciones que tienen lugar en las redes de acoplamiento, así como también, dando un margen de seguridad.

Para la parte de demodulación se requiere de una se-

ñal mínima de 500 mV, la misma que en su inicio debe ser dividida en frecuencia hasta alcanzar un valor tal que permita su demodulación mediante un circuito integrado PLL, capaz de permitir demodulación FSK.

3.4.2.1 DEMODULADOR.

El bloque demodulador está constituído por dos secciones :

- Fase divisora de frecuencia y
- Fase demoduladora propiamente dicha.

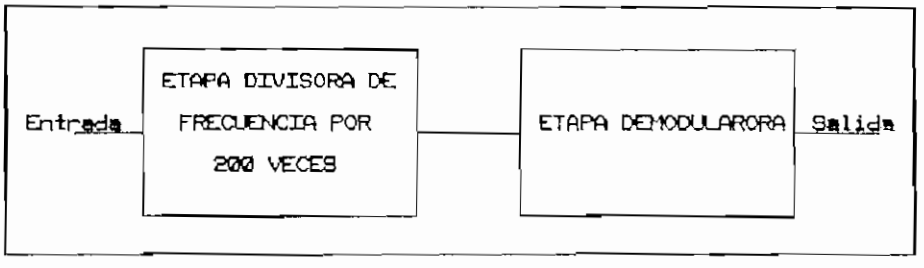


Figura # 3.13

Debido a que el circuito integrado demodulador tiene los 300 KHz como límite en frecuencia y considerando que la señal a recibirse está alrededor de los 44 MHz, se hace necesario reducir esa frecuencia, lo cual se logra con la utilización de los circuitos integrados conocidos como Prescalers.

Si la frecuencia la reducimos en unas 200 veces, obtendríamos una del orden de 220 KHz. que le permite trabajar al circuito demodulador.

A fin de obtener la división por 200 en la frecuencia, es necesario el empleo de dos circuito prescalers: el MC12013 que permite dividir la frecuencia por 10 y por 11, y el circuito SN74390 que permite realizar divisiones de hasta por 100 (Anexos VII y VI).

El circuito MC12013 permite introducir señales analógicas de tipo senoidal, obteniéndose en su salida señales digitales aptas para el circuito SN74HC390 que solo puede aceptar señales digitales. No es prudente utilizar dos circuitos MC12013 puesto que no alcanzamos el factor de división; mientras que no se puede utilizar dos circuitos SN74HC390 porque no pueden recibir señales del tipo analógico.

Para conseguir el propósito, el circuito MC12013 trabaja como un prescaler módulo 10, mientras el circuito SN74390 lo hace en módulo 20. El diagrama circuital que se muestra en la figura 3.14 recoge las recomendaciones dadas por el fabricante en las hojas de especificaciones (Anexos VII y VI).

Las señales que recibe este bloque tiene dos frecuencias que son: 44 MHz y 44,15 MHz, debido al corrimiento de 150 KHz que utilizamos en la modulación FSK.

La parte demoduladora propiamente dicha, está basada

en el circuito integrado XR2211, el cual es recomendado pa-

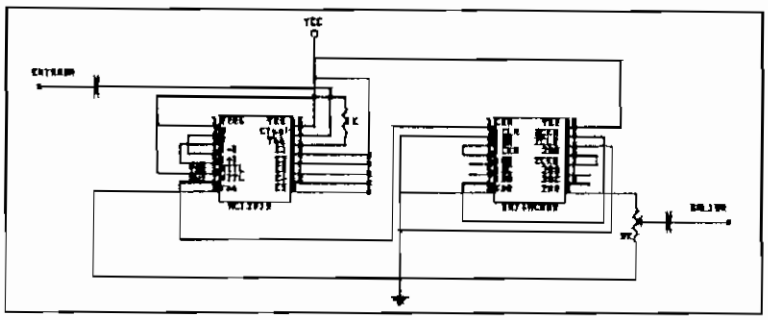


Figura # 3.14

ra comunicaciones que requieran de demodulación FSK.

La señal dividida en frecuencia entregada por los prescalers es introducida en este circuito integrado a fin de obtener la señal de información en ella contenida. El circuito implementado es el aconsejado por las hojas de especificaciones incluidas en el Anexo XII, donde además constan las fórmulas de cálculo para determinar el valor de los elementos pasivos que complementan al circuito integrado, ver figura 3.15 .

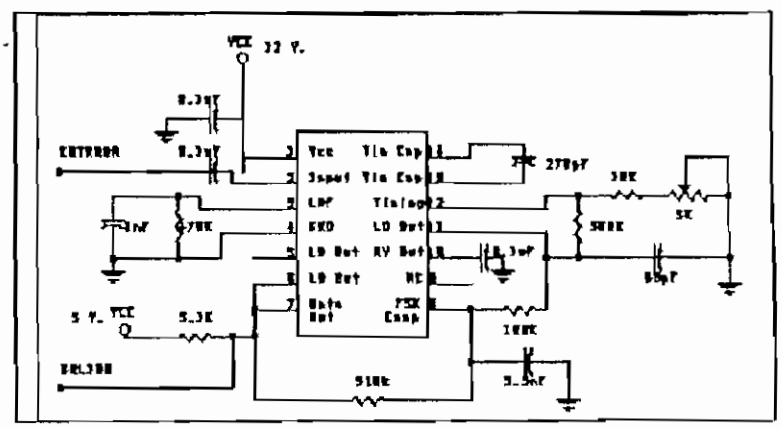


Figura # 3.15

PROCESO DE CALCULO.

$$f_1 = \frac{44\ MHz}{200}$$

$$f_1 = 220\ KHz$$

$$f_2 = \frac{44,15\ MHz}{200}$$

$$f_2 = 220,75\ KHz.$$

$$f_o = \frac{f_1 + f_2}{2}$$

$$f_o = \frac{220\ KHz + 220,75\ KHz}{2}$$

$$f_o = 220,375\ KHz.$$

Para la resistencia R_o, el fabricante del circuito integrado sugiere que se escoja su valor entre 10 KΩ y 100 KΩ aunque recomienda que sea próximo a 20 KΩ, por lo cual escogemos para R_o el valor de :

$$R_0 = 18\ K\Omega.$$

A fin de poder calibrar la frecuencia central, dicha resistencia está en serie con un potenciómetro R_x :

$$R_x = 5K\Omega.$$

El condensador C_o se calcula en base de la siguiente ecuación :

$$C_0 = \frac{1}{R_0 * f_o}$$

Para determinar el valor de C_F nos servimos de :

$$C_F = \frac{3}{Baud\ Rate}\ [\mu F]$$

$$C_F = \frac{3}{1200\ bps}$$

$$C_F = 2,5\ nF.$$

tomamos el valor normalizado :

$$C_F = 2,7\ nF.$$

Para calcular C_D tenemos :

$$C_D \geq \frac{16}{Capture\ Range\ [Hz]}\ [\mu F]$$

Donde :

$$Capture\ Range = \frac{150\ KHz}{200}$$

$$Capture\ Range = 750$$

$$C_D \geq \frac{16}{750} = 21,33\ nF$$

aceptamos :

$$C_D = 22\ nF.$$

3.4.2.2 RED DE ACOPLAMIENTO AMPLIFICADOR-DEMODULADOR.

Como consideramos una resistencia de carga para la

etapa amplificadora igual a 200 Ω, esta debe ser acoplada a la impedancia de entrada del circuito prescaler MC12013 que es de 20 Ω, tal como lo indican sus características (Anexo VII).

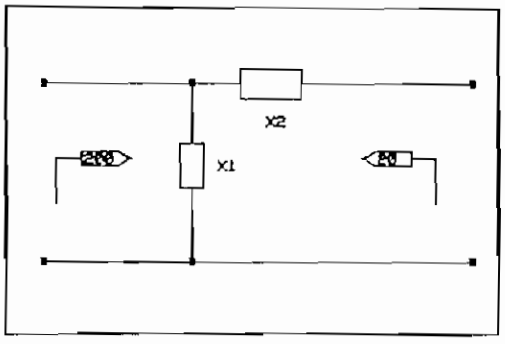


Figura # 3.16

$$R_{ref} = 200\ \Omega. \qquad R_L = 20\ \Omega.$$

$$X_1 = + \frac{R_{ref} * R_L}{\sqrt{R_L * (R_{ref} - R_L)}}$$

$$X_1 = \frac{200\ \Omega * 20\ \Omega}{\sqrt{20\ \Omega * (200\ \Omega - 20\ \Omega)}}$$

$$X_1 = j\ 66,67\ \Omega \quad \therefore \quad L_1 = 0,24\ \mu H$$

$$X_2 = - \sqrt{R_L * (R_{ref} - R_L)}$$

$$X_2 = - \sqrt{20\ \Omega * (200\ \Omega - 20\ \Omega)}$$

$$X_2 = -j60,0\ \Omega \qquad \therefore C_2 = 60,29\ pF.$$

3.4.2.3 DISEÑO DEL BLOQUE AMPLIFICADOR DEL RECEPTOR.

La frecuencia de trabajo es fo = 44 MHz. Nuestro prototipo ha sido concebido pensando en una sensibilidad de 5 mV/m., la misma que nos da una señal mínima de :

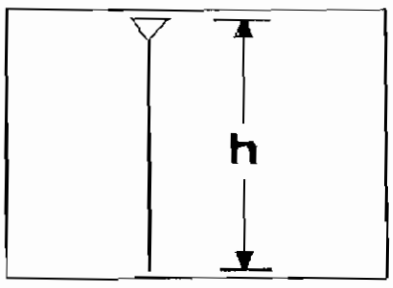


Figura # 3.17

$$V_{min} = E * h$$

donde: V_{min} = *Señal mínima*

E = *Campo Eléctrico*

h = *altura de la antena*

$$V_{min} = 5 \frac{mV}{m} * 0,9\ m.$$

$$V_{min} = 4,5\ mV.$$

A fin de garantizar la recepción de señales, para diseño consideramos una señal mínima de entrada de :

Vmín = 4 mV.

La etapa de demodulación que es posterior a la de amplificación, requiere de una señal por lo menos igual a 200 mV. (ANEXO XII). Además, tomando en cuenta que la atenuación en la red de acoplamiento de salida es considerable, se optó por dar a la etapa de amplificación 180 veces de ganancia.

Por ser tal la ganancia, es necesario emplear tres etapas amplificadoras, dos de las cuales deben ser en Base-Común y la restante en Emisor-Común a fin de evitar oscilaciones indeseables en el conjunto.

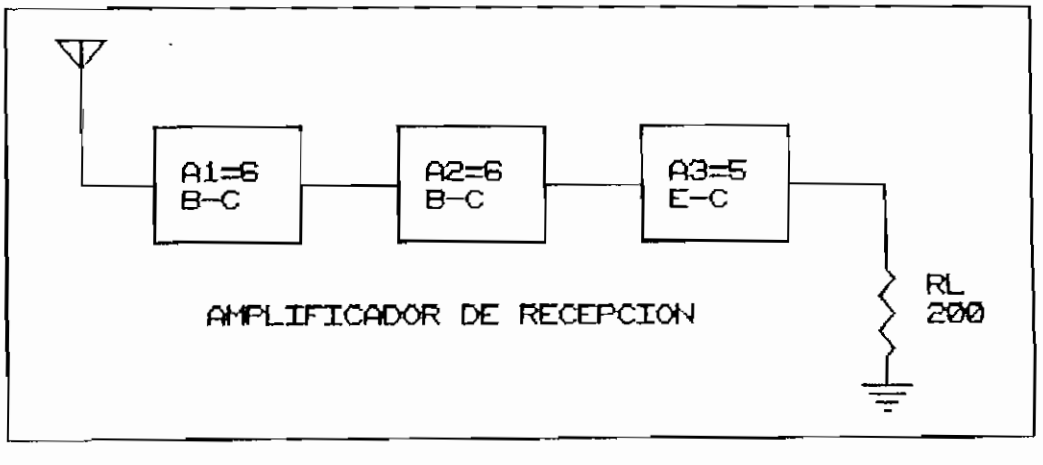


Figura # 3.18

Consideramos una resistencia de carga de 200 Ω por dar factibilidad al diseño, siendo necesario acoplar la impedancia de 200 Ω a 20 Ω, que es la impedancia de entrada del circuito integrado Prescaler MC12013 (Anexo VII).

3.4.2.3.1 TERCERA ETAPA A3 EN EMISOR-COMUN

La configuración circuital de esta etapa se muestra en la figura 3.19 .

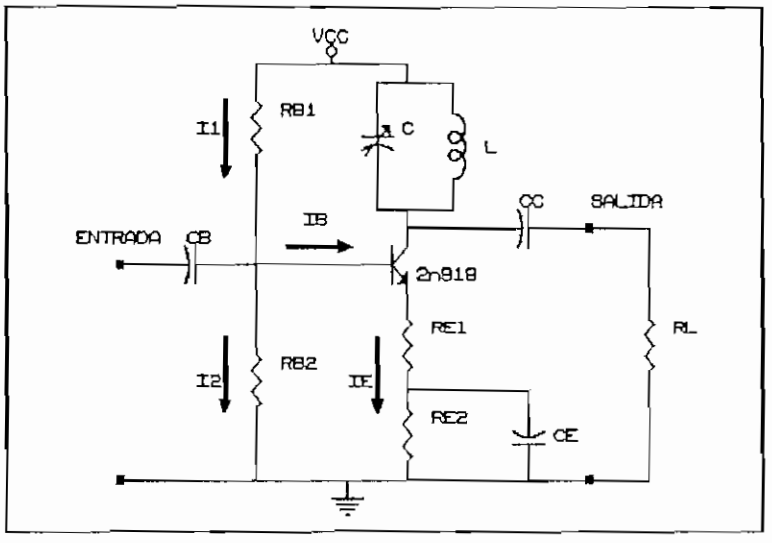


Figura # 3.19

Para el diseño de la misma se toman en cuenta los siguientes parámetros como datos :

$$V_o = 720\ mV.$$

$$V_i = 144\ mV.$$

$$R_L = 200\ \Omega.$$

$$A_V = \frac{V_o}{V_i} \qquad \therefore A_V = 5.$$

Calculamos la corriente de salida i_o :

$$i_o = \frac{V_o}{R_L} = \frac{720\ mV}{200\ \Omega}$$

$$i_o = 3,6\ mA.$$

Tomamos una corriente de colector de :

$$I_C \geq i_o$$

$$I_C = 6\ mA.$$

Para el voltaje colector emisor tenemos :

$$V_{CE} = V_{ip} + V_{op} + 1\ V.$$

$$V_{CE} = 144\ mV + 720\ mV + 1\ V.$$

$$V_{CE} = 1,84\ V.$$

que es el mínimo necesario para que la señal no sufra distorsión. Elegimos un voltaje colector emisor igual a :

$$V_{CE} = 4\ V.$$

Con Ic y V_{CE} vamos a las curvas características del transistor (ANEXO XIII) y determinamos la frecuencia f_T del mismo :

$$f_T = 900\ MHz$$

$$\beta_o = \frac{f_T}{f_o} = \frac{900\ MHz}{44\ MHz} = 20,5$$

Tomamos para el Factor de Amplificación de Corriente ß el siguiente valor :

$$\beta \approx 21.$$

Conocido el parámetro de ganancia de corriente, nos es posible calcular las corrientes de base y emisor :

$$I_B = \frac{I_C}{\beta} = \frac{6\ mA}{21}$$

$$I_B = 0,286\ mA.$$

$$I_E = I_C + I_B$$

$$I_E = 6\ mA. + 0,286\ mA.$$

$$I_E = 6,286\ mA.$$

Entonces podemos calcular la resistencia interna de emisor r_e debida a efectos térmicos :

$$r_e = \frac{V_{th}}{I_E} = \frac{25\ mV}{6,286\ mA}$$

$$r_e = 3,98\ \Omega.$$

de :

$$A_3 = \frac{R_L}{r_e + R_{E1}} \qquad \rightarrow R_{E1} = \frac{R_L}{A_3} - r_e$$

$$R_{E1} = \frac{200\ \Omega}{5} - 3,98\ \Omega = 36,02\ \Omega$$

$$R_{E1} \approx 36\ \Omega.$$

volviendo a calcular la ganancia obtenemos :

$$A_3 = \frac{200\ \Omega}{36\ \Omega + 3{,}98\ \Omega} = 5{,}002$$

De las especificaciones del transistor 2N918 (ANEXO XIII), obtenemos las capacidades parásitas :

$$C_{ob} = 2\ pF. \qquad y \qquad C_{be} = 2\ pF.$$

Aplicando el Teorema de Miller tenemos :

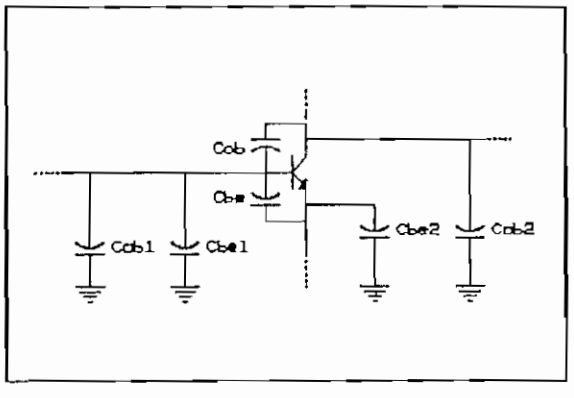


Figura # 3.20

$$C_{ob1} = C_{ob} * (A_3 - 1)$$

$$C_{ob1} = 2 * (5 - 1)\ pF.$$

$$C_{ob1} = 8\ pF.$$

$$C_{ob2} = C_{ob} * \frac{(A_3 - 1)}{A_3}$$

$$C_{ob2} = 2 * \frac{5 - 1}{5}\ pF.$$

$$C_{ob2} = 1{,}6\ pF.$$

Para Cbe es necesario la ganancia considerando al amplificador en configuración de Colector-Común.

$$A_{3CC} = \frac{R_{E1}}{R_{E1} + r_e} = \frac{36\ \Omega}{36\ \Omega + 3{,}98\ \Omega}$$

$$A_{3CC} = 0{,}9$$

$$C_{be1} = (1 - A_{3CC}) * C_{be}$$

$$Z_{iT} = (\beta + 1) * (r_e + R_{E1})$$

$$Z_{iT} = (21 + 1) * (3,98\ \Omega + 36\ \Omega)$$

$$Z_{iT} = 879,56\ \Omega$$

Ahora calculamos la impedancia de entrada a la etapa de amplificación :

$$Z_i = R_{B1} \parallel R_{B2} \parallel Z_{iT}$$

$$\frac{1}{Z_i} = \frac{1}{1200\ \Omega} + \frac{1}{910\ \Omega} + \frac{1}{879,56\ \Omega}$$

$$Z_i = 325,82\ \Omega$$

Aproximadamente tenemos :

$$Z_i = 325\ \Omega .$$

El condensador de ganancia y los de paso, los calculamos teniendo encuenta la frecuencia de operación, la misma que está en los 44 MHz.

$$C_E \geq \frac{1}{2 * \pi * f * (r_e + R_{E1})}$$

$$C_E \geq \frac{1}{2 * \pi * 44\ MHz * (3,98\ \Omega + 36\ \Omega)}$$

$$C_E \geq 90,47\ pF.$$

Tomamos para C_E el valor :

$$C_E = 1\ nF.$$

$$C_B \geq \frac{1}{2 * \pi * f * Z_i} = \frac{1}{2 * \pi * 44\ MHz * 325\ \Omega}$$

$$C_B \geq 11,13\ pF.$$

Dando seguridad al condensador de paso, tomamos para C_B el valor :

$$C_B = 1\ nF.$$

$$C_C \geq \frac{1}{2 * \pi * f * R_L} = \frac{1}{2 * \pi * 44\ MHz * 200\ \Omega}$$

$$C_C \geq 18,09\ pF.$$

Con la misma idea, para C_C escogemos el valor :

$$C_C = 1\ nF.$$

La capacitancia parásita a la entrada del amplificador es :

$$C_i = C_{ob1} + C_{be1} = 8\ pF + 0,2\ pF$$

$$C_i = 8,2\ pF.$$

Esta capacitancia de entrada en esta etapa debe ser considerada como parte de la carga que ve la etapa precedente, pero su efecto debe ser mínimo a fin de garantizar independencia de capacidades parásitas en la etapa 2.

En el colector del amplificador tenemos un circuito resonante compuesto por una bobina y un condensador, así:

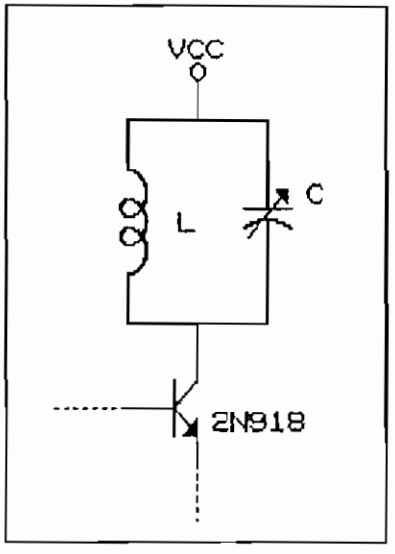


Figura # 3.21

Tomamos para el capacitor variable el valor :

$$C = 25\ pF.$$

El valor de C es mucho mayor a la parásita de en la salida Cob_2.

$$L = \frac{1}{\omega^2 * C}$$

$$L = \frac{1}{(2 * \pi * 44\ MHz)^2 * 25\ pF}$$

$$L = 0{,}523\ \mu H.$$

Para determinar el valor de Vcc aplicamos la idea siguiente :

$$V_{CC} = V_{CE} + V_E = 4\ V + 1.5\ V$$

$$\therefore \quad V_{CC} = 5{,}5\ V.$$

Para asegurar y por facilidad, escogemos el valor :

$$V_{CC} = 6\ V.$$

3.4.2.3.2 SEGUNDA ETAPA A2 EN BASE-COMUN.

Esta etapa fue diseñada a partir de la configuración que se muestra en la figura 3.22 .

Los datos necesarios para el diseño de esta etapa son :

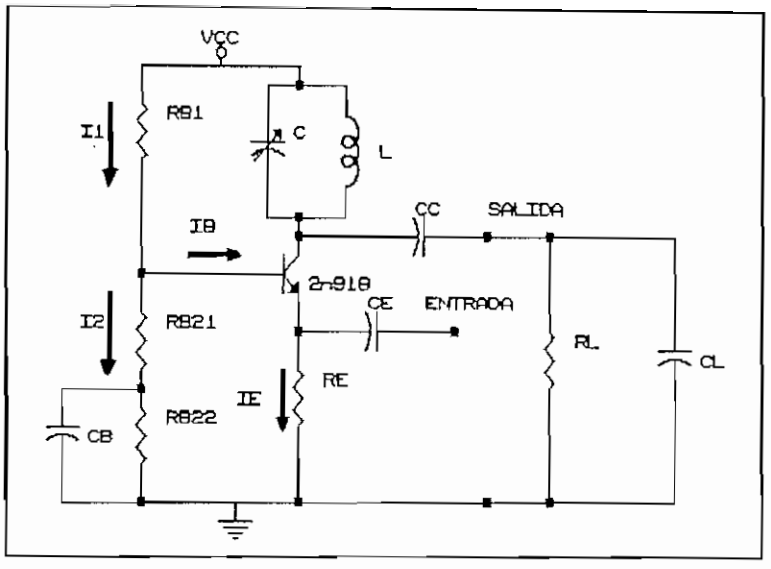


Figura # 3.22

$R_L = 325\ \Omega.$

$C_L = 8,2\ pF.$

$v_o = 144\ mV.$

$v_i = 24\ mV.$

La capacitancia C_t corresponde a la capacidad parásita en la entrada de la etapa siguiente.

Calculamos ahora la ganancia de voltaje de la etapa y la corriente de salida i_o :

$$A_v = \frac{V_o}{V_I} = \frac{144\ mV}{24\ mV}$$

$$A_v = 6.$$

$$i_o = \frac{V_o}{R_L} = \frac{144\ mV}{325\ \Omega}$$

y en el emisor :

$$I_B = \frac{I_C}{\beta} = \frac{5\ mA}{21}$$

$$I_B = 0,238\ mA.$$

$$I_E = I_C + I_B = 5\ mA + 0,238\ mA$$

$$I_E = 5,238\ mA.$$

La resistencia de emisor debida a efectos térmicos :

$$r_e = \frac{V_{th}}{I_E} = \frac{25\ mV}{5,238\ mA}$$

$$r_e = 4,77\ \Omega.$$

A partir de la expresión de la ganancia calculamos la resistencia de base para A. C.

$$A_{V2} = \frac{R_L}{r_e + \frac{R_B}{\beta + 1}}$$

$$R_B = (\frac{R_L}{A_2} - r_e) * (\beta + 1) = (\frac{325\ \Omega}{6} - 4,77\ \Omega) * (21 + 1)$$

$$R_B = 1086,73\ \Omega \qquad donde: \quad \frac{1}{R_B} = \frac{1}{R_{B1}} + \frac{1}{R_{B21}}$$

Ahora calculamos la resistencia R_{B1} :

$$V_{RB1} = V_{CE} - V_{BE}$$

$$V_{RB1} = 3,3\ V.$$

Pero R_{B2} es la serie entre R_{B21} y R_{B22}. R_{B21} la podemos calcular a partir de R_B y R_{B1} :

$$R_B = R_{B1} \parallel R_{B21}$$

$$\frac{1}{R_{B21}} = \frac{1}{R_B} - \frac{1}{R_{B1}} = \frac{1}{1086,73\ \Omega} - \frac{1}{2700\ \Omega}$$

$$R_{B21} = 1818,77\ \Omega$$

$$\therefore R_{B21} = 1800\ \Omega.$$

$$R_{B22} = R_{B2} - R_{B21} = 2743,9\ \Omega - 1800\ \Omega$$

$$R_{B22} = 943,9\ \Omega.$$

$$\therefore R_{B22} = 910\ \Omega.$$

$$R_E = \frac{V_E}{I_E} = \frac{2\ V}{5,238\ mA} = 381,83\ \Omega.$$

$$\therefore R_E = 390\ \Omega.$$

La impedancia de entrada al transistor es :

$$Z_{iT} = r_e + \frac{R_B}{1 + \beta} = 4,77\ \Omega + \frac{1086,73\ \Omega}{22}$$

$$Z_{iT} = 54,17\ \Omega$$

La impedancia de entrada a la etapa resulta ser :

$$Z_i = Z_{iT} \parallel R_E$$

$$\frac{1}{Z_i} = \frac{1}{Z_{iT}} + \frac{1}{R_E} = \frac{1}{54,17\ \Omega} + \frac{1}{390\ \Omega}$$

$$Z_i = 47,56\ \Omega$$

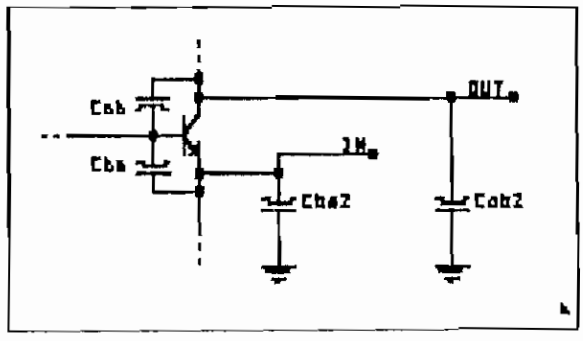
aproximando :

$$Z_1 \approx 45\ \Omega.$$

De las hojas técnicas del transistor empleado, se determinan las capacidades parásitas (ANEXO XIII) :

$$C_{ob} = 2\ pF. \quad ; \quad C_{be} = 2\ pF.$$

Aplicando el teorema de Miller podemos llevar las capacidades parásitas a la entrada y salida de la etapa.



Para determinar la capacidad parásita en la salida necesitamos conocer la ganancia de la etapa en la configuración Emisor-Común.

Figura # 3.23

$$A_{\lambda EC} = \frac{R_L}{r_e + R_E} = \frac{325\ \Omega}{4,77\ \Omega + 390\ \Omega}$$

$$A_{\lambda EC} = 0,82.$$

$$C_{ob2} = \frac{(1 - A_{\lambda EC})}{A_{\lambda EC}} * C_{ob}$$

$$C_{ob2} = \frac{(1 - 0,82)}{0,82} * 2\ pF.$$

$$C_{ob2} = 0,44\ pF.$$

Para calcular la capacitancia parásita de entrada ne-

cesitamos conocer la ganancia de la etapa considerándola en Colector-Común :

$$A_{2CC} = \frac{R_E}{R_E + r_e} = \frac{390\ \Omega}{390\ \Omega + 4,77\ \Omega}$$

$$A_{2CC} = 0,988.$$

$$C_{be2} = \frac{(1 - A_{2CC})}{A_{2CC}} * C_{be}$$

$$C_{be2} = \frac{(1 - 0,988)}{0,988} * 2pF.$$

$$C_{be2} = 0,024\ pF.$$

La capacidad parásita presente a la entrada de la etapa de amplificación es :

$$C_1 = C_{be2} = 0,024\ pF.$$

Las capacidades parásitas presentes en la salida de la etapa son :

$$C_o = C_L + C_{ob2} = 8,2\ pF + 0,44\ pF$$

$$C_o = 8,64\ pF.$$

Este valor debe ser significativamente menor que la capacidad presente en el circuito resonante a fin de evitar inestabilidades por capacidad parásita.

EL CIRCUITO RESONANTE.- Conformado por una bobina y un condensador en paralelo, el mismo que está ubicado en el colector del transistor del amplificador.

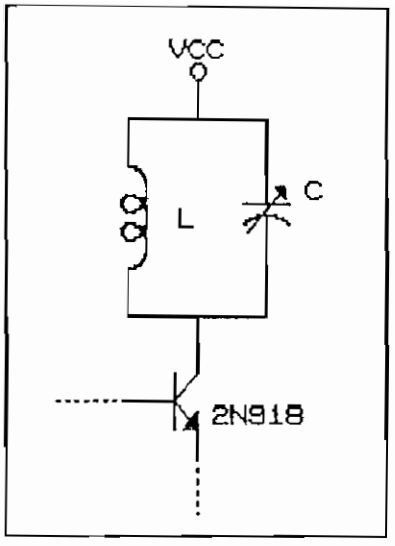


Figura # 3.24

Asumimos el valor para el condensador :

$$C = 35\ pF.$$

A partir del condensador, podemos calcular la inductancia :

$$L = \frac{1}{\omega^2 * C}$$

$$L = \frac{1}{(2 * \pi * 44\ MHz)^2 * 35\ pF}$$

$$L = 0,374\ \mu H.$$

Ahora calculamos el mínimo valor de voltaje de polarización que requiere la etapa :

$$V_{CC} = V_{CE} + V_E$$

$$V_{CC} = 6\ V.$$

Debido a que en el voltaje de emisor V_E dimos la suficiente tolerancia, podemos tomar para polarización el mínimo valor.

Dimensionando los condensadores C_E y C_B :

$$C_B \geq \frac{1}{2 * \pi * f * R_{B22}} = \frac{1}{2 * \pi * 44\ MHz * 910\ \Omega}$$

$$C_B \geq 3,97\ pF.$$

$$\therefore C_B = 1\ nF.$$

$$C_E > \frac{1}{2 * \pi * f * R_E} = \frac{1}{2 * \pi * 44\ MHz * 390\ \Omega}$$

$$C_E > 9,27\ pF.$$

$$\therefore C_E = 1\ nF.$$

3.4.2.3.3 PRIMERA ETAPA A1 EN BASE COMUN.

Los datos para el diseño de esta etapa son :

$$R_L = 45\ \Omega.$$

$$C_L = 0,024\ pF.$$

$$v_o = 24\ mV.$$

$$v_i = 4\ mV.$$

Esta etapa también presenta una configuración base-común, tal como lo indica la figura 3.25 :

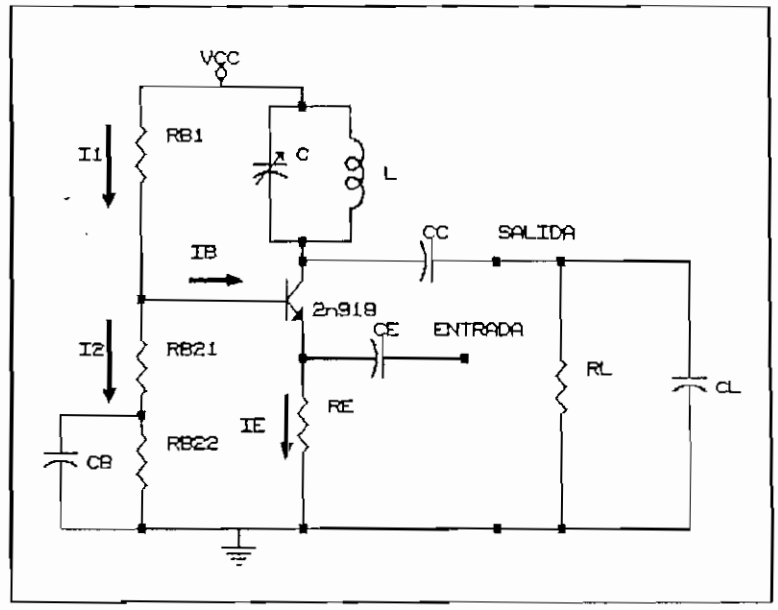


Figura # 3.25

La capacidad C_L corresponde a la capacidad parásita presente en la entrada de la etapa amplificadora 2.

La ganancia de voltaje en esta etapa es :

$$A_v = \frac{V_o}{V_1} = \frac{24\ mV}{4\ mV}$$

$$A_v = 6$$

Calculando la corriente de salida i_o tenemos :

$$i_o = \frac{V_o}{R_L} = \frac{24\ mV}{45\ \Omega}$$

$$i_o = 0,533\ mA.$$

Por tanto, escogemos una corriente de colector de :

$$I_C = 5\ mA.$$

El voltaje colector-emisor mínimo lo encontramos a partir de la siguiente expresión :

$$V_{CE} = V_{ip} + V_{op} + 1\ V. = 1,028\ V.$$

Tomamos para V_{CE} el valor :

$$V_{CE} = 4\ V.$$

Con Ic y V_{CE} vamos a las especificaciones del transistor (ANEXO XII) y determinamos la frecuencia f_T.

$$V_E = 1,2\ V.$$

$$V_B = V_E + V_{BE} = 1,2\ V + 0,7\ V$$

$$V_B = 1,9\ V.$$

$$R_{B2} = \frac{V_B}{I_2} = \frac{1,9\ V}{1,595\ mA} \qquad \therefore R_{B2} = 1191,22\ \Omega$$

$$\frac{1}{R_{B21}} = \frac{1}{R_B} - \frac{1}{R_{B1}} = \frac{1}{60,06\ \Omega} - \frac{1}{1800\ \Omega}$$

$$R_{B21} = 62,133\ \Omega$$

En valores normalizados tenemos :

$$R_{B21} = 68\ \Omega.$$

$$R_{B_{22}} = R_{B_2} - R_{B_{21}} = 1191,22\ \Omega - 68\ \Omega$$

$$R_{B_{22}} = 1123,22\ \Omega.$$

Poniéndole en valores estandar :

$$R_{B_{22}} = 1200\ \Omega$$

$$R_E = \frac{V_E}{I_E} = \frac{1,2\ V}{5,238\ mA} = 229,1\ \Omega.$$

Normalizado :

$$R_E = 220\ \Omega.$$

La impedancia de entrada al transistor es :

$$Z_{iT} = r_e + \frac{R_B}{\beta + 1} = 4,77\ \Omega + \frac{60,06\ \Omega}{22}$$

$$Z_{iT} = 7,5\ \Omega.$$

La impedancia de entrada al amplificador es :

$$Z_i = Z_{iT} \parallel R_B$$

$$\frac{1}{Z_i} = \frac{1}{7,5\ \Omega} + \frac{1}{220\ \Omega}$$

$$Z_i = 7,25\ \Omega.$$

aproximando : $Z_i = 7,3\ \Omega.$

De las curvas características del transistor (ANEXO XIII) obtenemos las capacidades parásitas :

$$C_{ob} = 2\ pF. \qquad C_{be} = 2\ pF.$$

Aplicando el Teorema de Miller podemos encontrar las capacitancias parásitas de entrada y salida de la etapa de amplificación :

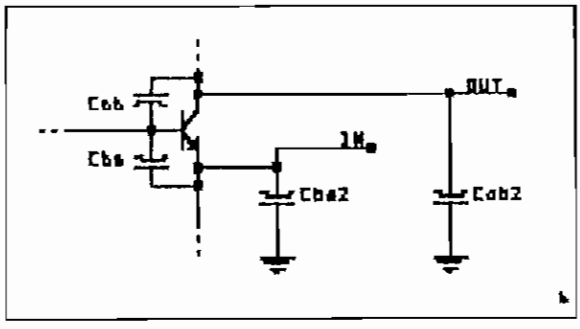


Figura # 3.26

Para poder encontrar la capacidad parásita en la salida, necesitamos conocer la ganancia de la etapa considerándola en Emisor-común.

$$A_{1EC} = \frac{R_L}{r_e + R_E}$$

$$A_{1EC} = \frac{45\ \Omega}{4,77\ \Omega + 220\ \Omega}$$

$$A_{1EC} = 0,2.$$

$$C_{ob2} = \frac{(1 - A_{1EC})}{A_{1EC}} * C_{ob} = \frac{(1 - 0,2)}{0,2} * 2\ pF$$

$$C_{ob2} = 8\ pF.$$

Para determinar la capacitancia a la entrada de la etapa, debemos conocer la ganancia de la misma considerándola como Colector-Común :

$$A_{1CC} = \frac{R_E}{R_E + r_e} = \frac{220\ \Omega}{220\ \Omega + 4,77\ \Omega}$$

$$A_{1CC} = 0,979$$

$$C_{be2} = \frac{(1 - A_{1CC})}{A_{1CC}} * C_{be} = \frac{(1 - 0,979)}{0,979} * 2\ pF$$

$$C_{be2} = 0,043\ pF.$$

La capacidad parásita a la entrada es :

$$C_i = C_{be2} = 0,043\ pF.$$

Las capacidades parásitas presentes en la salida de la etapa son :

$$C_o = C_L + C_{ob2} = 0,024\ pF + 8\ pF$$

$$C_o = 8,024\ pF.$$

Este valor debemos hacerlo significativamente menor a la capacidad presente en el circuito resonante para garantizar la estabilidad de la etapa amplificadora.

EL CIRCUITO RESONANTE.- Es similar al utilizado en las etapas precedentes tal como se aprecia en la figura 3.27 .

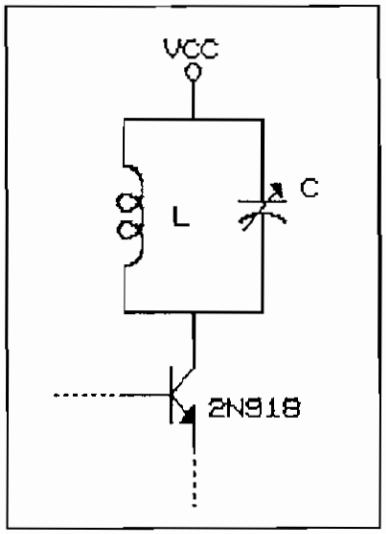


Figura # 3.27

Asumimos el valor para el condensador del circuito resonante :

$$C = 40\ pF$$

Con esto podemos calcular el valor de la inductancia :

$$L = \frac{1}{\omega^2 * C}$$

$$L = \frac{1}{(2 * \pi * 44\ MHz)^2 * 40\ pF}$$

$$L = 0,327\ \mu H.$$

El valor mínimo de la fuente de polarización lo obtenemos así :

$$V_{CC} = V_{CE} + V_E$$

$$V_{CC} = 5,2\ V.$$

A fin de establecer un valor de Vcc igual a las demás

etapas amplicadoras y buscando conseguir un valor normalizado, determinamos para esta etapa también el valor de :

$$V_{CC} = 6\ V.$$

El condensador de ganancia y el de paso, los obtenemos así :

$$C_B > \frac{1}{2 * \pi * f * R_{B22}}$$

$$C_B > \frac{1}{2 * \pi * 44\ MHz * 1200\ \Omega} = 3,01\ pF.$$

$$C_B = 1\ nF.$$

Escogemos un valor normalizado y que nos garantice :

$$C_B = 1\ nF.$$

$$C_E > \frac{1}{2 * \pi * f * R_E}$$

$$C_E > \frac{1}{2 * \pi * 44\ MHz * 220\ \Omega}$$

$$C_E > 16,44\ pF.$$

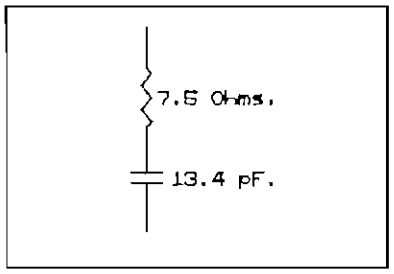
Un valor comercial y que cumple con nuestras necesidades es :

$$C_E = 1\ nF.$$

3.4.2.4 RED DE ACOPLAMIENTO A LA ANTENA.

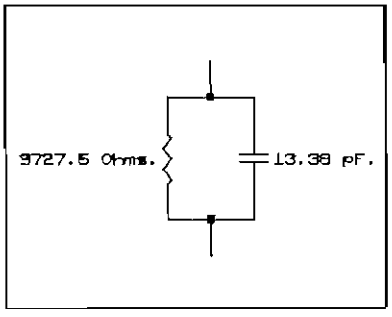
Según los ábacos que se ubican en el (Anexo XV), la

antena de nuestro equipo presenta una impedancia de :



$$Z = 7.5 - 270j\ \Omega$$

Al obtener el equivalente paralelo de esta impedancia tenemos :



$$\frac{1}{7.5 - 270j} = 1.03*10^{-4} + j\ 3.7*10^{-3}$$

Si invertimos cada uno de los componentes encontrados como resultado de la operación anterior, tenemos :

$$\frac{1}{1.03*10^{-4}} = 9727.5 \quad y \quad \frac{1}{3.7*10^{-3}} = -\,j\ 270.2$$

$$\therefore \quad Z_{a(R)} = 9727.5 - j\ 270.2\ [\Omega]$$

Por otra parte, se compensó al transmisor mediante una bobina que forma parte de la red de acoplamiento del transmisor con la antena. El valor de esta bobina es de 0.526 μH que a la frecuencia de recepción representa una reactancia de 145.4 Ω, este valor influye sobre la entrada al receptor.

Acoplemos la antena al circuito receptor mediante una red L, así :

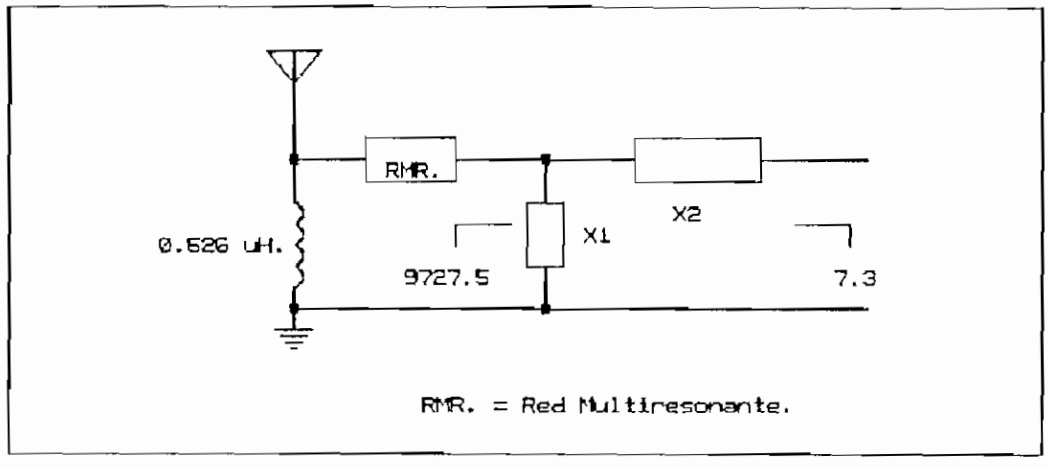


Figura # 3.28

$$R_{ref} = 9727.5\ \Omega \qquad R_L = 7.3\ \Omega$$

$$X_1 = -\frac{R_{ref} * R_L}{\sqrt{R_L * (R_g - R_L)}}$$

$$\Rightarrow \quad X_1 = -\frac{9727.5 * 7.3}{\sqrt{7.3 * (9727.5 - 7.3)}}$$

$$X_1 = -j\ 266.6\ \Omega$$

$$X_2 = \sqrt{R_L * (R_{ref} - R_L)}$$

$$\Rightarrow \quad X_2 = \sqrt{7.3 * (9727.5 - 7.3)}$$

$$X_2 = j\ 266.4\ \Omega$$

$$\therefore \quad L_2 = 0.964\ \mu H$$

De esta manera queda acoplado efectivamente la parte real de la antena y el receptor, sin embargo la parte reactiva todavia no está acoplada, por lo que debemos calcular el elemento que compense el valor reactivo :

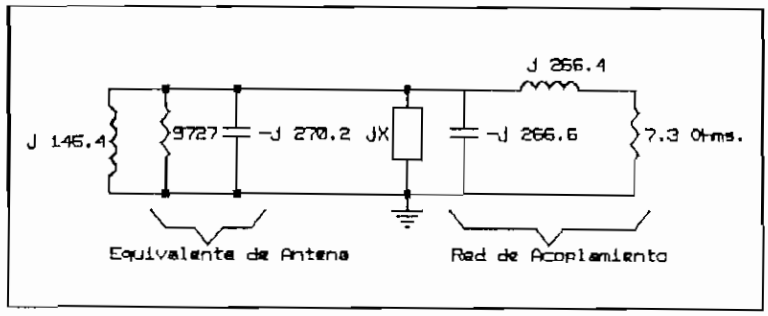


Figura # 3.29

$$-\frac{1}{266.6} = \frac{1}{145.4} + \frac{1}{X} - \frac{1}{270.2}$$

1. 2. 3. 4.

Donde : 1. Valor reactivo calculado para X_1 de la red de acoplamiento (L).

2. Es la reactancia de la bobina de acoplamiento del transmisor.

3. Es el valor reactivo que debemos colocar en la red de acoplamiento (L), de tal manera que se obtenga el valor requerido de X_1 en dicha red.

4. Es la parte reactiva del equivalente de antena.

Al resolver la última ecuación vemos que X = -j 144 Ω, lo mismo que equivale a poner un condensador de 25 pF.

Por lo tanto nuestra red (L) de acoplamiento entre antena y receptor queda constituída por :

$$C_1 = 25\ pF \quad y \quad L_2 = 0.964\ \mu H$$

3.4.2.5 DIPLEXOR.

Para la recepción el diplexor está compuesto por dos condensadores C_1 , C_2 y una bobina L_1 , con el objeto de atenuar la señal que se genera en el transmisor y dejar pasar la señal que se recibe por medio de la antena. Esta parte del diplexor, se muestra en la figura 3.30 .

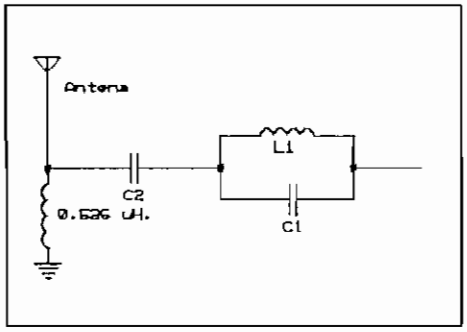


Figura # 3.30

Utilizando el análisis realizado en el transmisor de los terminales para el diplexor (fig # 2.6) procedemos a calcular C_1 , C_2 y L_1 .

Sea C_1 = 39 pF, entonces la bobina L_1 será :

$$L_1 = \frac{1}{\omega_t^2 * C_1}$$

$$\omega_t = 2 * \pi * 48 * 10^6$$

$$\therefore \quad L_1 = \frac{1}{(2 * \pi * 48 * 10^6)^2 * 39 * 10^{-12}}$$

$$L_1 = 0.282\ \mu H.$$

$C_{eq} = C_1 + C_2$ y también C_{eq} es igual a :

$$C_{eq} = \frac{1}{\omega_r^2 * L_1}$$

$$\omega_r = 2 * \pi * 44 * 10^6$$

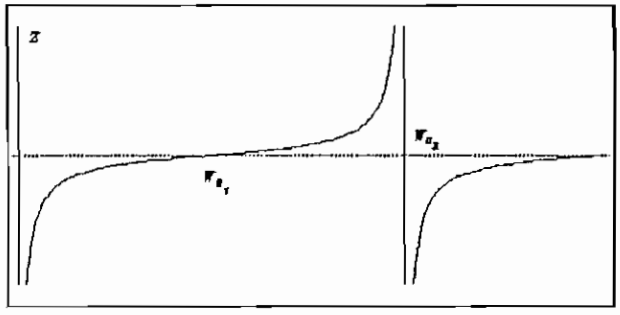
$$\therefore \quad C_{eq} = \frac{1}{(2 * \pi * 44 * 10^6)^2 * 0.282 * 10^{-6}}$$

$$\rightarrow \quad C_{eq} = 46.4\ pF.$$

$$\therefore \quad C_2 = C_{eq} - C_1$$

$$C_2 = 46.4\ pF - 39\ pF$$

$$\Rightarrow \quad C_2 \approx 8\ pF.$$



El gráfico de la figura 3.31 ilustra como varía la impedancia del circuito resonante como función de (W).

Figura # 3.31

3.4.3 SISTEMA DE LA HABILITACION O DESHABILITACION DE LA POLARIZACION EN EL TRANCEPTOR.

En el equipo central, también se utiliza una etapa similar a la de los equipos terminales, cuya finalidad es la de deshabilitar el transmisor cuando se esta utilizando el receptor, a fin de evitar las interferencias que se producen en éste por la acción del transmisor.

El circuito implementado utiliza al microcontrolador para manejar dicho proceso, tal como se lo hizo en los e-

quipos terminales. Un diagrama de este proceso de presenta en la página siguiente, figura 3.32 .

3.4.4 SISTEMA DE CONTROL PARA EL ESTABLECIMIENTO DE LAS COMUNICACIONES

El sistema de control de las comunicaciones es en definitiva el hardware desarrollado en base al microprocesador MCS8031AH, con ayuda de un software más completo.

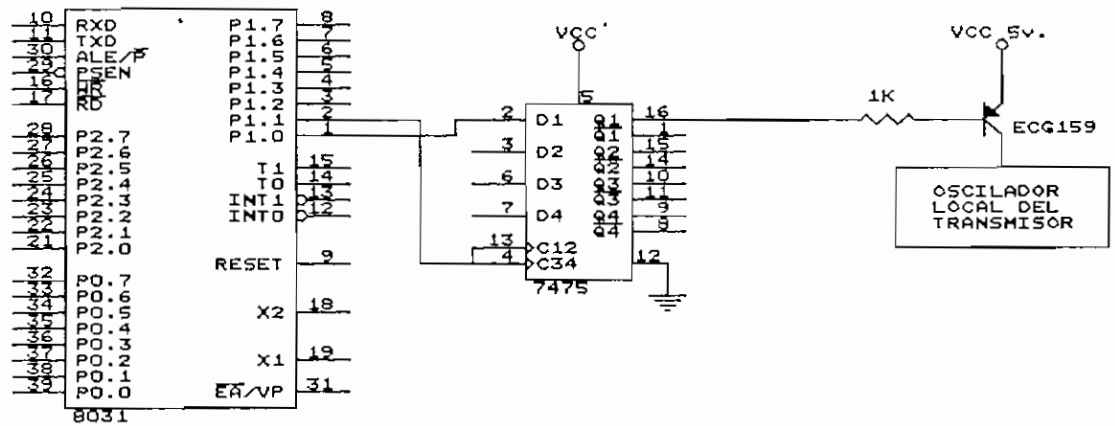
Justamente las dos funciones que desempeña la parte inteligente son : Manejar y controlar las comunicaciones.

3.5 CONSTRUCCION DE LA CENTRAL.

La construcción del Equipó Intermedio o Central se la hizo en dos partes : primero la parte analógica (tranceptor) y luego la parte inteligente (microcontrolador).

La parte analógica se la dividió a su vez en dos etapas : transmisor y receptor. Las primeras pruebas fueron con estas dos etapas por separado, las siguientes pruebas fueron de carácter mancomunado, pero siempre en circuitos impresos.

En algunas ocasiones fue necesario realizar ajustes a los elementos calculados en los diseños mediante su reemplazo por elementos variables.



Title: CONTROL DE POLARIZACION DE LA CENTRAL		
Size: A	Document Number: 3	REV
Date: February 9, 1995	Sheet 1 of 7	

Una vez obtenido en circuito impreso del tranceptor, se procedió a armar la parte inteligente en base de la técnica de Wire Grap. En esta parte una vez obtenido resultados satisfactorios se procedió a unir esta parte con el tranceptor. Cabe señalarse que en la parte microprocesada no se requieren de mayores ajustes.

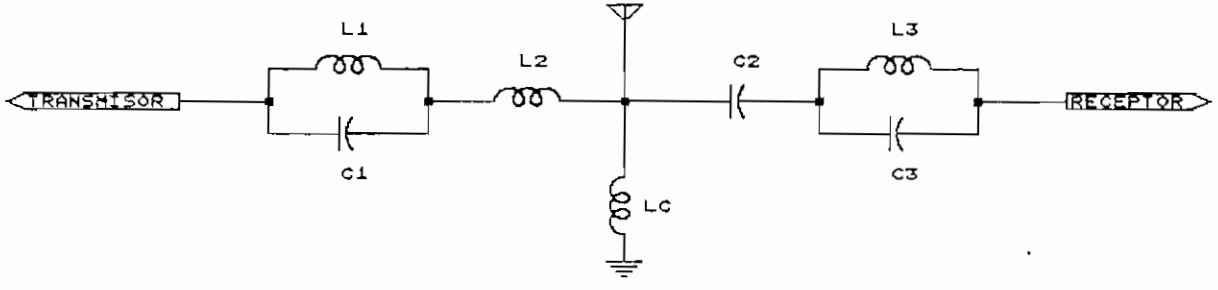
Con resultados óptimos en las pruebas totales del Equipo Central se paso toda la circuitería analógica a una sola placa de circuito impreso a la cual se la completó con el circuito inteligente en Wire Grap para realizar la prueba definitiva conjuntamente con los equipo terminales, la misma que resultó favorable.

En las páginas siguientes se muestran diagramas acompañados con un listado de elementos de todos los bloques que constituyen el equipo central.

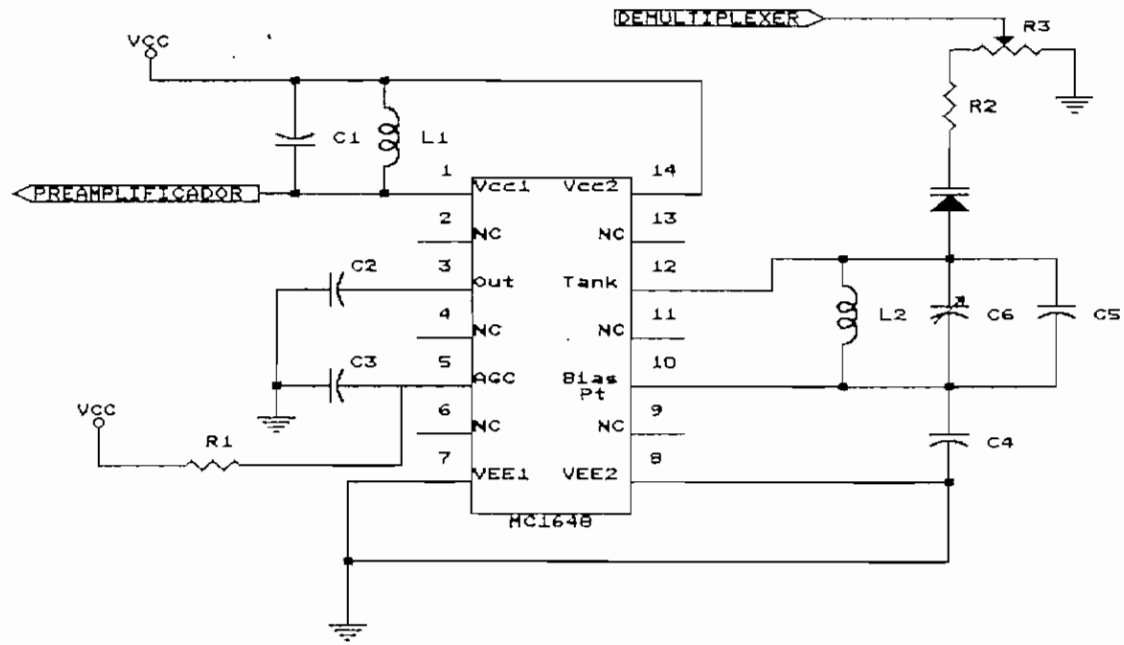
DIPLEXOR.

Condensadores	Valor
C_1	15 pF
C_2	8 pF
C_3	39 pF

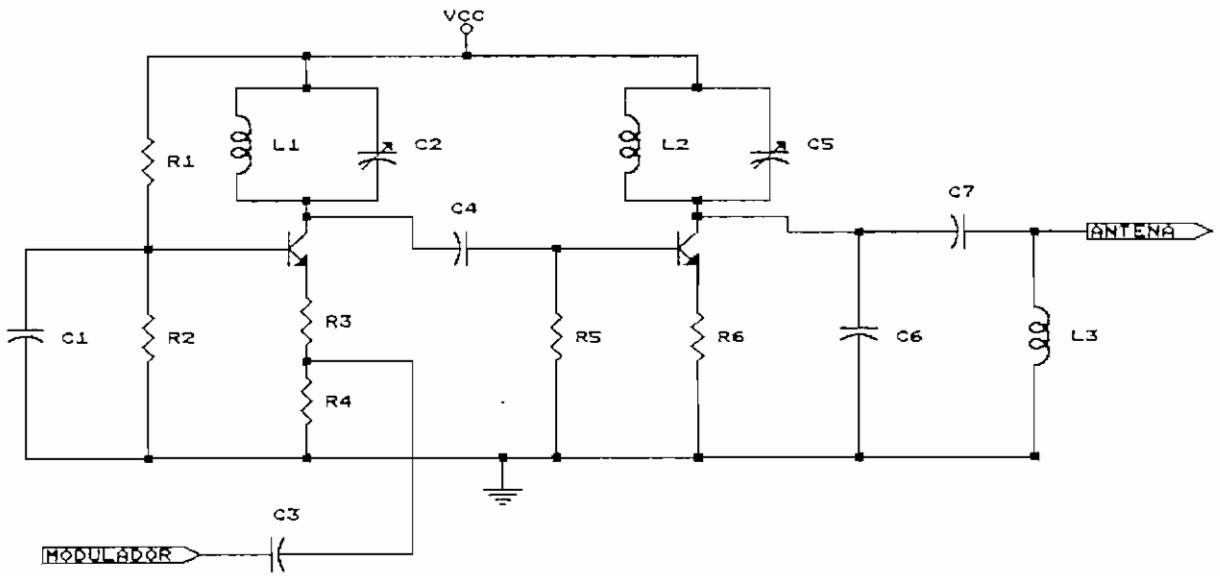
Bobinas	Valor
L_1	0,872 µH
L_2	4,590 µH



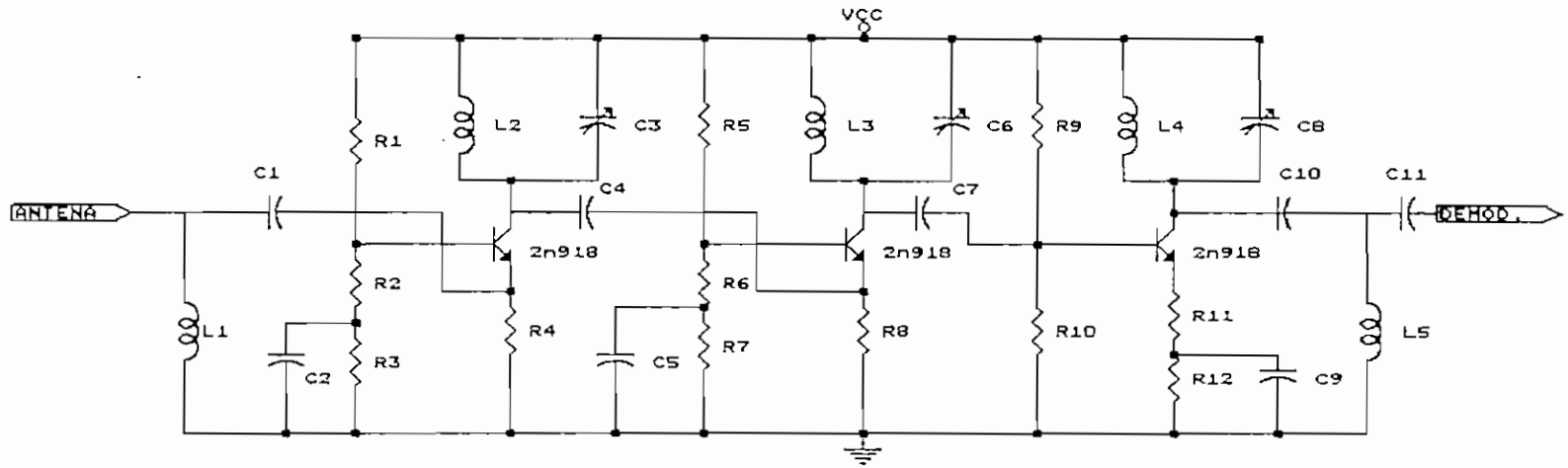
Title: DIPLEXOR DE LA CENTRAL		
Size: A	Document Number: 3	REV:
Date: February 7, 1995	Sheet 2 of 7	



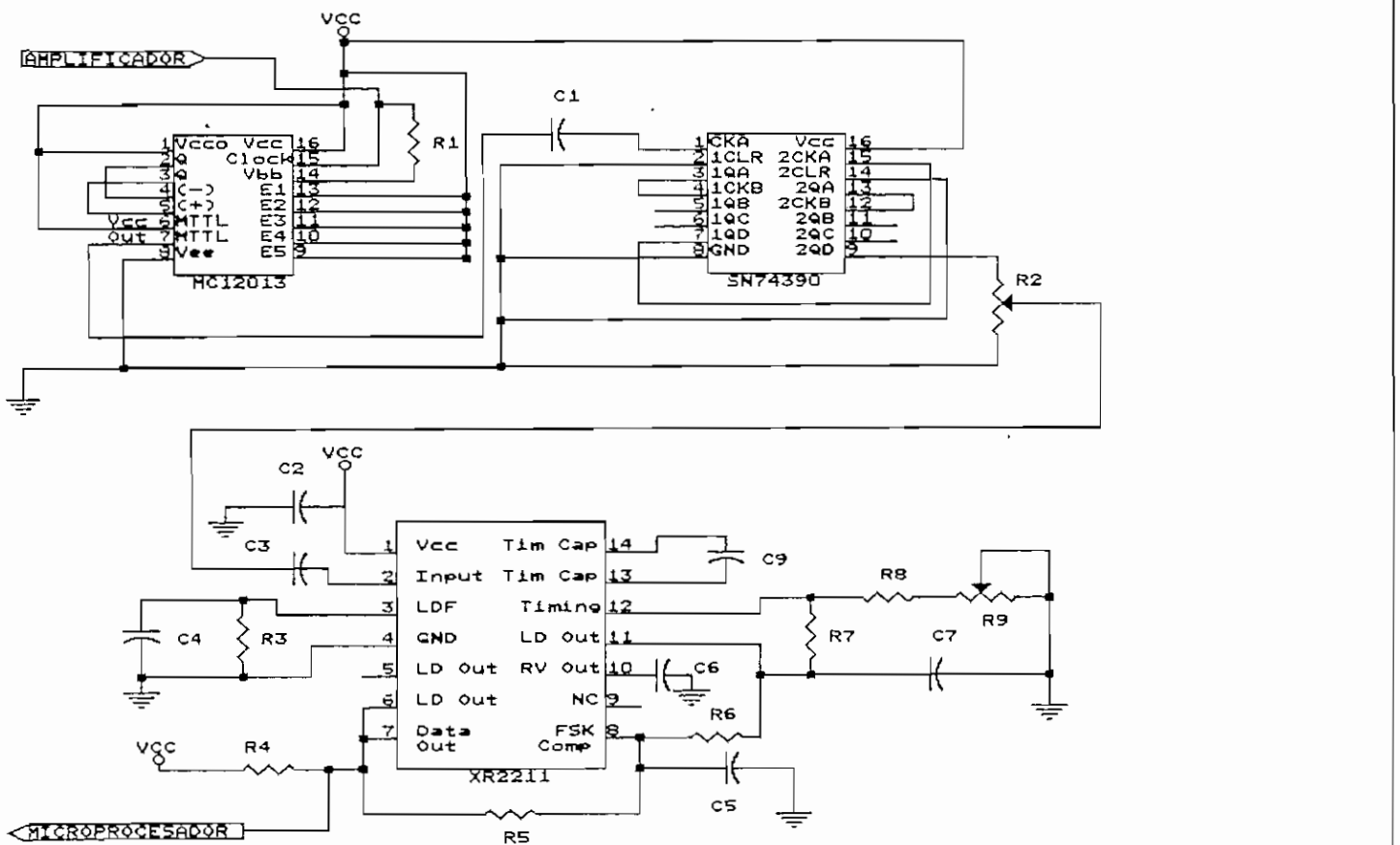
Title: OSCILADOR-MODULADOR		
Size: A	Document Number: 3	REV
Date: February 7, 1995	Sheet 3 of 7	



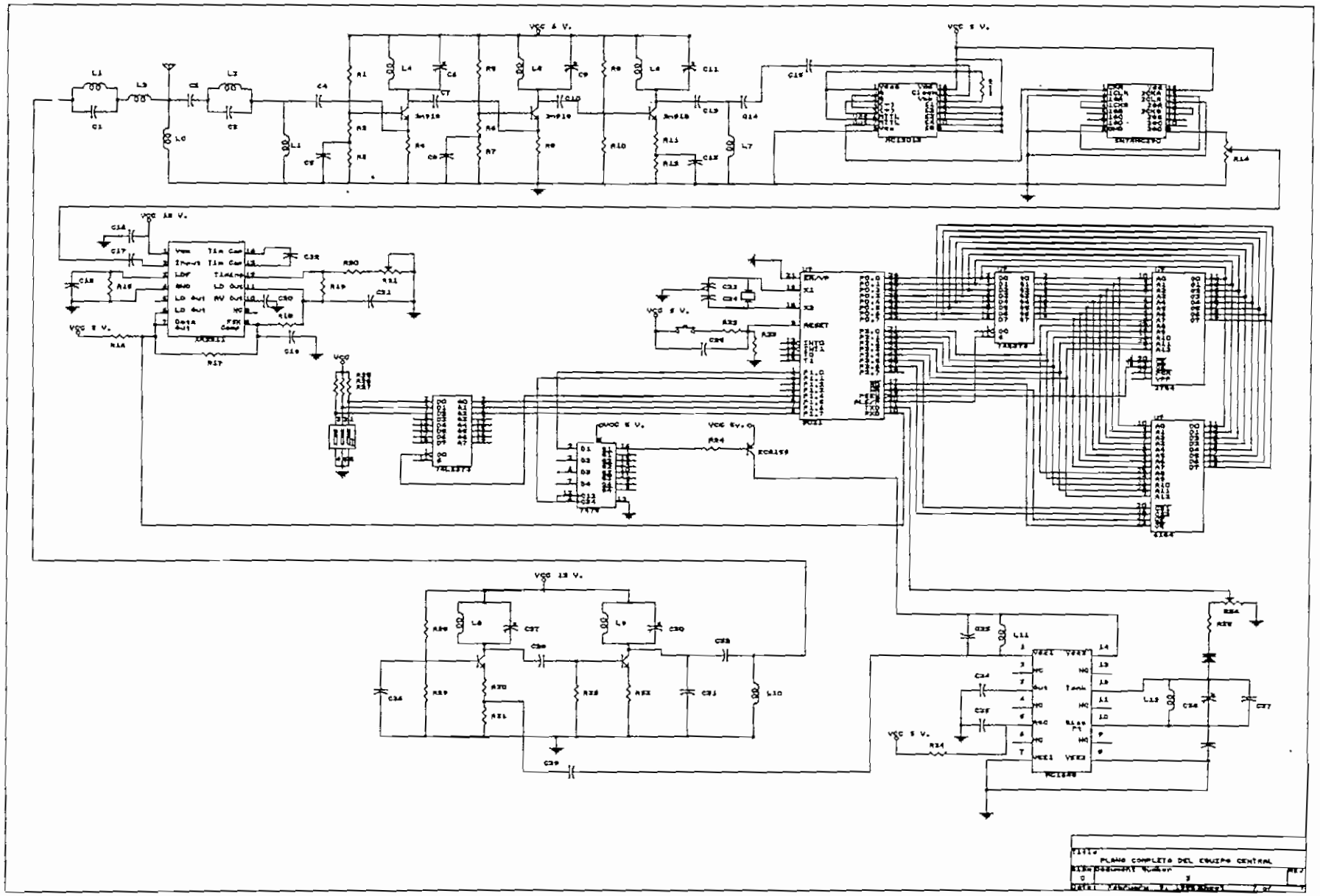
Title: AMPLIFICADOR DEL TRANSMISOR		
Size: A	Document Number: 3	REV
Date: February 7, 1995	Sheet 4 of 7	



Title: AMPLIFICADOR DEL RECEPTOR		
Size: A	Document Number: 3	REV
Date: February 7, 1995	Sheet 5 of 7	



Title: DEMODULADOR DE LA CENTRAL		
Size: A	Document Number: 3	REV
Date: February 7, 1995	Sheet 6 of 7	


PLANO COMPLETO DEL EQUIPO CENTRAL

CONCLUSIONES Y RECOMENDACIONES.

El diseño y construcción del equipo para comunicación de datos por medio de radio frecuencia, exigió la aplicación en gran parte, de los conocimientos recibidos durante los cursos de pregrado y de otros que durante el desarrollo del mismo fue necesario adquirirlos.

Se debe tomar en cuenta que para implementar un equipo de radio frecuencia, la experiencia que se tenga en este campo a nivel práctico, resulta un complemento escencial del conocimiento teórico, por el contrario, para implementar los sistemas que hacen posibles los enlaces y la administración de las comunicaciones, a más de requerirse alguna experiencia, el nivel teórico juega un papel muy importante.

Cabe destacar, que la construcción del equipo, ha dejado en nosotros conocimientos más elevados en el campo de las comunicaciones, el mismo que muy difícilmente, se lo adquiere en las aulas. Es así que, del resultado de todas estas experiencias y de las soluciones que se fueron dando a los problemas encontrados a lo largo del desarrollo de este trabajo, presentamos a continuación un extracto de ello.

4.1 CONCLUSIONES Y RECOMENDACIONES.

- Inicialmente se intentó alimentar todos los equipos

con el empleo de fuentes switching, pero resultó que éstas no son adecuadas para polarizar los circuitos de radio frecuencia, debido a que presentan un ruido considerable en el rango que va desde los 16 a 25 MHz, lo cual afecta a la estabilidad y calidad de las señales portadoras. La razón expuesta motivó a que se emplearan dichas fuentes únicamente para alimentar la parte digital de los diferentes equipos.

Para polarizar los semiconductores relacionados con la radio frecuencia, se recurrió a la construcción de fuentes reguladas, para sustituir las switching, lográndose menores niveles de ruido; de esta manera se contribuye a mantener bastante estables las portadoras (corrimientos de frecuencia debido a las fuentes 5 KHz).

- Para evitar las capacidades parásitas en los cables de interconexión de los diferentes bloques de los equipos, se recomienda usar pares trenzados y también la opción de banda de cables multihilos, pero utilizarlos no uno al lado del otro, sino más bien, dejar algunos sin uso en medio de los realmente utilizados, a fin de dar una distancia mayor de separación entre éstos, con lo cual se logra que el efecto de proximidad disminuya y en consecuencia decrezca la capacidad parásita que esos cables introducen.

- Para las partes de alta frecuencia indispensablemente se debe considerar en el diseño que las bobinas que intervienen, deben poseer blindaje, puesto que ellas son las que

en forma determinante provocan inestabilidad en el funcionamiento de la radio frecuencia. En lo posible se debe tratar de que todos los circuitos de radio estén blindados.

- Para el montaje de las bobinas en los circuitos impresos recomendamos tener las siguientes precauciones :

a. Ubicar las bobinas en las placas lo más lejos posible una respecto a las otras, en caso de no ser posible montarlas en cuadratura; de tal manera que se eviten los efectos indeseados de acoplamiento.
b. Las bobinas con núcleo de aire deben ser ubicadas de tal manera que estén lo suficientemente fijas; con el afán de evitar que las dimensiones de las mismas cambien, lo cual implicaría un alteración del valor de inductancia.

- Cuando se requieran de elementos variables para calibración, es recomendable que los mismos sean multivueltas y presenten la mayor linealidad posible.

- Ninguna prueba, en cuanto a circuitos de alta frecuencia, es recomendable realizarla en protoboard, puesto que las capacidades parásitas existentes en él, siempre provocan que los resultados obtenidos no se ajusten a la realidad. Por tanto, recomendamos que toda prueba en este campo, debe ser realizada sobre circuito impreso.

- La utilización de cajas metálicas para la presentación

de los equipos es muy común. Estas cajas deben estar debidamente referidas a tierra, con la finalidad de evitar inestabilidades electromagnéticas provocadas por el medio externo y la influencia de personas que están cercanas al equipo. Cuando no se puede dar la debida referencia a estas cajas es preferible utilizar otros materiales como carcaza del equipo, en nuestro caso utilizamos madera con lo cual se logró disminuir en alto grado los efectos perjudiciales del medio externo.

- Es recomendable también que las pruebas se las realicen trabajando con la circuitería completa, ya que los resultados no son los mismos cuando se prueba en pequeños bloques aislados. Evidentemente esto es válido, porque nunca se puede simular con exactitud las cargas que miran realmente cada uno de los bloques, cuando estos se integran en uno solo.

- Se debe tener muy presente que el reloj del computador puede afectar el funcionamiento de este tipo de MODEMS, puesto que de coincidir la frecuencia principal del reloj o de armónicas provocadas por éste, con la frecuencias portadoras de transmisión o recepción, existe la posibilidad de que se produzcan interferencias.

- Para el proceso de demodulación fue necesario reducir la frecuencia de portadora de la señal mediante prescalers (los mismos que tuvieron un funcionamiento acorde a lo que

esperabamos), debido a la limitación del circuito EXAR-2211 cuya frecuencia máxima de operación es de 300 KHz.

Este circuito integrado no presentó un funcionamiento adecuado para nuestra aplicación, puesto que la frecuencia central del VCO del mismo es inestable, sea cual sea el medio de transmisión utilizado.

Este problema consideramos que se produjo por varios motivos, siendo los factores más importantes :

a. Variación en la temperatura del equipo.
b. Cambios en los componentes circuitales ajenos a este circuito.

Se comprobó que estas inestabilidades ocasionaron significativos inconvenientes; sin embargo, éstos influenciaron más, al probar el software del microcontrolador, especialmente a nivel de protocolo y cuando el enlace del sistema era atmosférico; la razón fundamental obedece a la corta duración de la información, a pesar de que la misma es redundante. En algunos casos esta transmisión no era entendida ya sea por los terminales o por la central, porque el demodulador entregaba datos incorrectos que confunden a la parte inteligente del equipo. Es por ello que para futuras investigaciones, recomendamos que se busque un circuito demodulador que provea la eficiencia y confiabilidad, que requiere un sistema con las características expuestas

en el desarrollo de este trabajo.

- Una de las mayores dificultades que se detectaron durante las pruebas del equipo, fue el medio de transmisión, ya que en el canal empleado, se introduce mucho ruido en comparación con los canales físicos.

Además del ruido influyó en gran parte la generación irremediable de trayectorias múltiples y de reflexiones, debido a que nuestra antena propaga la energía omnidireccionalmente.

Como solución a este incoveniente se podría incrementar la potencia del transmisor y/o en su defecto la sensibilidad del receptor, todo esto acompañado de un medio donde no tengan influencia los factores antes citados.

En el transcurso de las pruebas, nos vimos obligados a que éstas se realicen utilizando como medio de transmisión un cable coaxial, el cual nos brindó seguridad contra los problemas que encontramos al enlazarnos vía atmósfera.

Cabe destacar que bajo estas condiciones, el sistema funcionó satisfactoriamente, cumpliendo los objetivos que nos planteamos inicialmente.

Al instalar las antenas, el sistema presentó como problema el incremento de errores de los datos transmitidos.

En determinadas oportundades no permitió el enlace con el terminal destino. Además, si bien se produjo el enlace, en otras instancias el tiempo que tardó fue mayor que el esperado.

- Hay que especificar que la velocidad de transmisión propuesta es de 1200 b/s, la cual se cumple efectivamente entre MODEMS y computadores, pero en las pruebas se pudo observar que en el trayecto de enlace la velocidad efectiva se redujo a 300 b/s. Esto se debe principalmente a los retardos que se producen para lograr el enlace y también por el volumen de datos transmitidos que resulta ser mayor a la información útil para el usuario.

La velocidad efectiva de transmisión es susceptible de mejorarse, aplicando los siguientes mecanismos :

* Emplear velocidades de transmisión más elevadas.
* Disminuir las cabeceras que conforman cada pregunta y respuesta del protocolo, así como también de las de información.

Estos mecanismos disminuirían el tiempo necesario para enlazar el sistema, con lo cual la velocidad efectiva de transmisión se incrementaría.

- Para este tipo de sistemas, concluimos que lo más recomendable es que se mantengan transmisiones Half-Duplex,

puesto que los sistemas de filtros (diplexor) no aseguran que las señales transmitidas no influencien sobre el receptor del mismo equipo, así como también las señales recibidas, perturben al transmisor.

Nosotros, para evitar este problema (deficiencia en el comportamiento del diplexor), optamos por el tipo de transmisión antes recomendado, con lo cual nos fue perfectamente posible deshabilitar al transmisor (para cuando se cumplen funciones de recepción), mediante la acción de un transistor el cual está manejado por el microcontrolador existente en cada equipo.

- Por otra parte recomendamos que los programas realizados en Assembler no se prueben de una sola vez en toda su extensión, puesto que a pesar de que se cuente con un simulador de dicho software y los resultados proporcionados en la simulación sean satisfactorios, no tenemos la certeza de que el dispositivo real se comporte de la manera esperada.

La ventaja que se tendrá, al realizar las pruebas en forma parcial, es que se pueden detectar errores fácilmente; ello implica una optimización de tiempo de pruebas y puesta en funcionamiento del software en su totalidad. Adicionalmente los procedimientos puntualizados en líneas anteriores fueron puestos en práctica en esta investigación para pruebas de los programas de enlace y de protocolo. Como resultado de ello fue posible depurar los programas rá-

pidamente y también mejorar la velocidad de transmisión.

- De las pruebas realizadas, pudimos determinar que las preguntas de sondeo realizadas por la central, deben contener menor cantidad de información redundante que las respuestas de los terminales, porque debemos tener siempre presente que existe la probabilidad de colisiones de información, cuando ocurra que tanto central, como terminal receptor transmitan al mismo tiempo.

- Sería recomendable en futuros estudios que el sistema operativo que utilicen los terminales, tengan el carácter de multiusuario, con lo cual se evitará que el computador esté sirviendo exclusivamente al sistema de comunicaciones.

BIBLIOGRAFIA.

- Belove, Charles. Enciclopedia de la Electrónica, Ingeniería y Técnica. Primera Edición. Barcelona España. Grupo Editorial OCEANO. 1990.

- Bernal Gómez, Patricio. Las Líneas Abiertas para Sistemas de Telefonía Múltiple. Tesis. Quito Escuela Politécnica Nacional.

- Black, Uyless. Redes de Computadores. Protocolos, Normas e Interfaces. Madrid España. Macrobit Ra-Ma. 1989.

- Currid C., Cheryl; Gillet,Craig A. Domine Novell Netware. Madrid España. Macrobit Ra-Ma. 1990.

- Díaz Villacís, Luis Efraín. Diseño y Construcción de un Equipo para determinar la Relación de Onda Estacionaria en Sistemas Balanceados de Líneas de Transmisión. Tesis. Quito Escuela Politécnica Nacional.

- Echeverría P., Jorge V. Sistema de Adquisición de Datos para Computadores Personales. Tesis. Quito Escuela Politécnica Nacional. 1990.

- Jordan, Edward C.; Balmain, Keith G. Ondas Electromagnéticas y Sistemas Radiantes. Segunda Edición. 1978.

- Laza, Javier E. Todo Sobre FM. Primera Edición. Barcelona España. Electrónica JANZER. 1973.

- Malvino, Alberto Paul. Principios de Electrónica. Segunda Edición. McGraw-Hill. México. 1986.

- Norton, Peter. Guía del Programador para el IBM PC. Primera Edición. Washington. Ediciones ANAYA Multimedia S.A. 1985.

- Prygiel, Francois; Honeisen, Bruce; Jacobson, Herbert. Comunicaciones Opticas. Seminario de Educación Continua. Quito Escuela Politécnica Nacional.

- Que Corporation. Funciones de DOS y BIOS, Manual de Bolsillo. Primera Edición. Wilmington, Delaware. ADDISSON-WESLEY IBEROAMERICANA, S.A. 1990.

- Tanenbaum, Andrew S. Redes de Ordenadores. Segunda Edición. Madrid España. Prentice Hall. 1988.

- Thorner, Matthias. Guía del Sistema Opertivo DOS. Primera Edición. Quito Ecuador. Computrade. 1988.

- Schildt, Herbert. C: Guía Para Usuarios Expertos. Primera Edición. Madrid España. McGraw-Hill, Inc. 1988.

ANEXO I

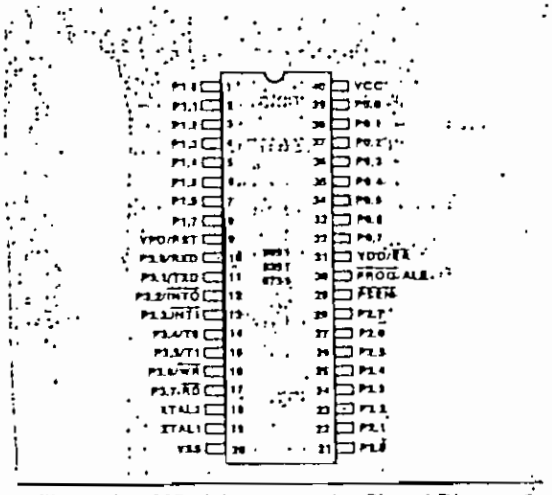


Figure 1a. 8051 Microcomputer Pinout Diagram

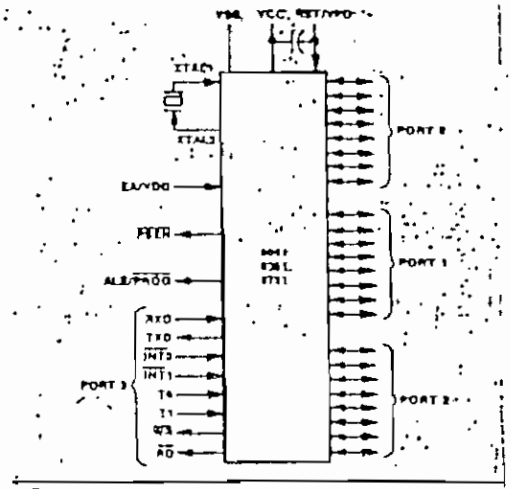


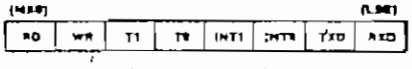
Figure 1b. 8051 Microcomputer Logic Symbol

Symbol	Position	Name and Significance
CY	PSW.7	Carry flag. Set/cleared by hardware or software during certain arithmetic and logical instructions.
AC	PSW.6	Auxiliary Carry flag. Set/cleared by hardware during addition or subtraction instructions to indicate carry or borrow out of bit 3.
F0	PSW.5	Flag 0. Set/cleared/tested by software as a user-defined status flag.
RS1	PSW.4	Register bank Select control bits 1 & 0. Set/cleared by software to determine working register bank (see Note).
RS0	PSW.3	
OV	PSW.2	Overflow flag. Set/cleared by hardware during arithmetic instructions to indicate overflow conditions.
—	PSW.1	(reserved)
P	PSW.0	Parity flag. Set/cleared by hardware each instruction cycle to indicate an odd/even number of "one" bits in the accumulator, i.e., even parity.

Note— the contents of (RS1, RS0) enable the working register banks as follows:

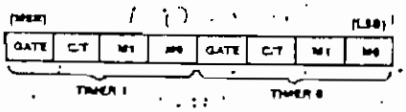
(0,0)— Bank 0	(00H-07H)
(0,1)— Bank 1	(08H-0FH)
(1,0)— Bank 2	(10H-17H)
(1,1)— Bank 3	(18H-1FH)

Figure 4. PSW—Program Status Word Organization



Symbol	Position	Name and Significance
RD	P3.7	Read data control output. Active low pulse generated by hardware when external data memory is read.
WR	P3.6	Write data control output. Active low pulse generated by hardware when external data memory is written.
T1	P3.5	Timer/counter 1 external input or test pin.
T0	P3.4	Timer/counter 0 external input or test pin.
INT1	P3.3	Interrupt 1 input pin. Low-level or falling-edge triggered.
INT0	P3.2	Interrupt 0 input pin. Low-level or falling-edge triggered.
TXD	P3.1	Transmit Data pin for serial port in UART mode. Clock output in shift register mode.
RXD	P3.0	Receive Data pin for serial port in UART mode. Data I/O pin in shift register mode.

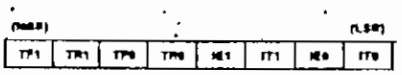
Figure 6. P3—Alternate Special Functions of Port 3



GATE	Gating control. When set, Timer/counter "x" is enabled only while "INTx" pin is high and "TRx" control bit is set. When cleared, timer/counter is enabled whenever "TRx" control bit is set.
C/T	Timer or Counter Selector. Cleared for Timer operation (input from internal system clock). Set for Counter operation (input from "Tx" input pin).

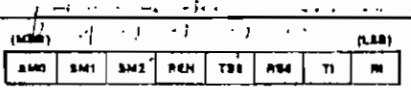
M1	M0	Operating Mode
0	0	MCS-48 Timer, "TLx" serves as five-bit prescaler.
0	1	16-bit timer/counter, "THx" and "TLx" are cascaded; there is no prescaler.
1	0	8-bit auto-reload timer/counter, "THx" holds a value which is to be reloaded into "TLx" each time it overflows.
1	1	(Timer 0). TL0 is an eight-bit timer/counter controlled by the standard Timer 0 control bits. TH0 is an eight-bit timer only controlled by Timer 1 control bits.
1	1	(Timer 1) Timer/counter 1 stopped.

Figure 7. TMOD—Timer/Counter Mode Register



Symbol	Position	Name and Significance
TF1	TCON.7	Timer 1 overflow Flag. Set by hardware on timer/counter overflow. Cleared when interrupt processed.
TR1	TCON.6	Timer 1 Run control bit. Set/cleared by software to turn timer/counter on/off.
TF0	TCON.5	Timer 0 overflow Flag. Set by hardware on timer/counter overflow. Cleared when interrupt processed.
TR0	TCON.4	Timer 0 Run control bit. Set/cleared by software to turn timer/counter on/off.
IE1	TCON.3	Interrupt 1 Edge flag. Set by hardware when external interrupt edge detected. Cleared when interrupt processed.
IT1	TCON.2	Interrupt 1 Type control bit. Set/cleared by software to specify falling edge/low level triggered external interrupts.
IE0	TCON.1	Interrupt 0 Edge flag. Set by hardware when external interrupt edge detected. Cleared when interrupt processed.
IT0	TCON.0	Interrupt 0 Type control bit. Set/cleared by software to specify falling edge/low level triggered external interrupts.

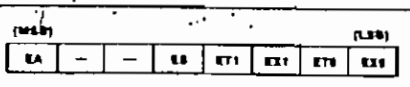
Figure 8. TCON—Timer/Counter Control/Status Register



Symbol	Position	Name and Significance
SM0	SCON.7	Serial port Mode control bit 0. Set/cleared by software (see note).
SM1	SCON.6	Serial port Mode control bit 1. Set/cleared by software (see note).
SM2	SCON.5	Serial port Mode control bit 2. Set by software to disable reception of frames for which bit 8 is zero.
REN	SCON.4	Receiver Enable control bit. Set/cleared by software to enable/disable serial data reception.
TB8	SCON.3	Transmit Bit 8. Set/cleared by hardware to determine state of ninth data bit transmitted in 9-bit UART mode.
RB8	SCON.2	Receive Bit 8. Set/cleared by hardware to indicate state of ninth data bit received.
TI	SCON.1	Transmit Interrupt flag. Set by hardware when byte transmitted. Cleared by software after servicing.
RI	SCON.0	Received Interrupt flag. Set by hardware when byte received. Cleared by software after servicing.

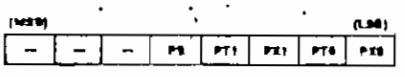
Note— the state of (SM0,SM1) selects:
(0,0)—Shift register I/O expansion.
(0,1)—8 bit UART, variable data rate.
(1,0)—9 bit UART, fixed data rate.
(1,1)—9 bit UART, variable data rate.

Figure 9. SCON—Serial Port Control/Status Register



Symbol	Position	Name and Significance
EA	IE.7	Enable All control bit. Cleared by software to disable all interrupts, independent of the state of IE.4-IE.0.
—	IE.6	(reserved)
—	IE.5	(reserved)
ES	IE.4	Enable Serial port control bit. Set/cleared by software to enable/disable interrupts from TI or RI flags.
ET1	IE.3	Enable Timer 1 control bit. Set/cleared by software to enable/disable interrupts from timer/counter 1.
EX1	IE.2	Enable External interrupt 1 control bit. Set/cleared by software to enable/disable interrupts from INT1.
ET0	IE.1	Enable Timer 0 control bit. Set/cleared by software to enable/disable interrupts from timer/counter 0
EX0	IE.0	Enable External interrupt 0 control bit. Set/cleared by software to enable/disable interrupts from INT0.

Figure 10. IE—Interrupt Enable Register



Symbol	Position	Name and Significance
—	IP.7	(reserved)
—	IP.6	(reserved)
—	IP.5	(reserved)
PS	IP.4	Serial port Priority control bit. Set/cleared by software to specify high/low priority interrupts for Serial port.
PT1	IP.3	Timer 1 Priority control bit. Set/cleared by software to specify high/low priority interrupts for timer/counter 1.
PX1	IP.2	External interrupt 1 Priority control bit. Set/cleared by software to specify high/low priority interrupts for INT1.
PT0	IP.1	Timer 0 Priority control bit. Set/cleared by software to specify high/low priority interrupts for timer/counter 0.
PX0	IP.0	External interrupt 0 Priority control bit. Set/cleared by software to specify high/low priority interrupts for INT0.

Figure 11. IP—Interrupt Priority Control Register

Table 3. 8051 Interrupt Sources and Service Vectors

Interrupt Source	Service Routine Starting Address
(Reset)	0000H
External 0	0003H
Timer/Counter 0	000BH
External 1	0013H
Timer/Counter 1	001BH
Serial Port	0023H

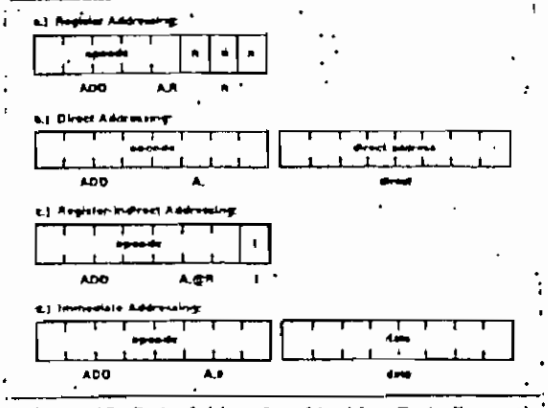


Figure 12. Data Addressing Machine Code Formats

Table 5. 8051 Hardware Register Direct Addresses

Register	Address	Function
P0	80H*	Port 0
SP	81H	Stack Pointer
DPL	82H	Data Pointer (Low)
DPH	83H	Data Pointer (High)
TCON	88H*	Timer register
TMOD	89H	Timer Mode register
TL0	8AH	Timer 0 Low byte
TL1	8BH	Timer 1 Low byte
TH0	8CH	Timer 0 High byte
TH1	8DH	Timer 1 High byte
P1	90H*	Port 1
SCON	98H*	Serial Port Control register
SBUF	99H	Serial Port data Buffer
P2	0A0H*	Port 2
IE	0A8H*	Interrupt Enable register
P3	0B0H*	Port 3
IP	0B8H*	Interrupt Priority register
PSW	0D0H*	Program Status Word
ACC	0E0H*	Accumulator (direct address)
B	0F0H*	B register

*= bit addressable register

Table 4. MCS-51™ Instruction Set Description

ARITHMETIC OPERATIONS

Mnemonic		Description	Byte	Cyc
ADD	A,Rn	Add register to Accumulator	1	1
ADD	A,direct	Add direct byte to Accumulator	2	1
ADD	A,@Ri	Add indirect RAM to Accumulator	1	1
ADD	A,#data	Add immediate data to Accumulator	2	1
ADDC	A,Rn	Add register to Accumulator with Carry	1	1
ADDC	A,direct	Add direct byte to A with Carry flag	2	1
ADDC	A,@Ri	Add indirect RAM to A with Carry flag	1	1
ADDC	A,#data	Add immediate data to A with Carry flag	2	1
SUBB	A,Rn	Subtract register from A with Borrow	1	1
SUBB	A,direct	Subtract direct byte from A with Borrow	2	1
SUBB	A,@Ri	Subtract indirect RAM from A w Borrow	1	1
SUBB	A,#data	Subtract immed. data from A w Borrow	2	1
INC	A	Increment Accumulator	1	1
INC	Rn	Increment register	1	1
INC	direct	Increment direct byte	2	1
INC	@Ri	Increment indirect RAM	1	1
DEC	A	Decrement Accumulator	1	1
DEC	Rn	Decrement register	1	1
DEC	direct	Decrement direct byte	2	1
DEC	@Ri	Decrement indirect RAM	1	1
INC	DPTR	Increment Data Pointer	1	2
MUL	AB	Multiply A & B	1	4
DIV	AB	Divide A by B	1	4
DA	A	Decimal Adjust Accumulator	1	1

LOGICAL OPERATIONS

Mnemonic		Description	Byte	Cyc
ANL	A,Rn	AND register to Accumulator	1	1
ANL	A,direct	AND direct byte to Accumulator	2	1
ANL	A,@Ri	AND indirect RAM to Accumulator	1	1
ANL	A,#data	AND immediate data to Accumulator	2	1
ANL	direct,A	AND Accumulator to direct byte	2	1
ANL	direct,#data	AND immediate data to direct byte	3	2
ORL	A,Rn	OR register to Accumulator	1	1
ORL	A,direct	OR direct byte to Accumulator	2	1
ORL	A,@Ri	OR indirect RAM to Accumulator	1	1
ORL	A,#data	OR immediate data to Accumulator	2	1
ORL	direct,A	OR Accumulator to direct byte	2	1
ORL	direct,#data	OR immediate data to direct byte	3	2
XRL	A,Rn	Exclusive-OR register to Accumulator	1	1
XRL	A,direct	Exclusive-OR direct byte to Accumulator	2	1
XRL	A,@Ri	Exclusive-OR indirect RAM to A	1	1
XRL	A,#data	Exclusive-OR immediate data to A	2	1
XRL	direct,A	Exclusive-OR Accumulator to direct byte	2	1
XRL	direct,#data	Exclusive-OR immediate data to direct	3	2
CLR	A	Clear Accumulator	1	1
CPL	A	Complement Accumulator	1	1
RL	A	Rotate Accumulator Left	1	1
RLC	A	Rotate A Left through the Carry flag	1	1
RR	A	Rotate Accumulator Right	1	1
RRC	A	Rotate A Right through Carry flag	1	1
SWAP	A	Swap nibbles within the Accumulator	1	1

DATA TRANSFER

Mnemonic		Description	Byte	Cyc
MOV	A,Rn	Move register to Accumulator	1	1
MOV	A,direct	Move direct byte to Accumulator	2	1
MOV	A,@Ri	Move indirect RAM to Accumulator	1	1
MOV	A,#data	Move immediate data to Accumulator	2	1
MOV	Rn,A	Move Accumulator to register	1	1
MOV	Rn,direct	Move direct byte to register	2	2
MOV	Rn,#data	Move immediate data to register	2	1
MOV	direct,A	Move Accumulator to direct byte	2	1
MOV	direct,Rn	Move register to direct byte	2	2
MOV	direct,direct	Move direct byte to direct	3	2
MOV	direct,@Ri	Move indirect RAM to direct byte	2	2
MOV	direct,#data	Move immediate data to direct byte	3	2
MOV	@Ri,A	Move Accumulator to indirect RAM	1	1
MOV	@Ri,direct	Move direct byte to indirect RAM	2	2
MOV	@Ri,#data	Move immediate data to indirect RAM	2	1
MOV	DPTR,#data16	Load Data Pointer with a 16-bit constant	3	2

DATA TRANSFER (cont.)

Mnemonic		Description	Byte	Cyc
MOVC	A,@A+DPTR	Move Code byte relative to DPTR to A	1	2
MOVC	A,@A+PC	Move Code byte relative to PC to A	1	2
MOVX	A,@Ri	Move External RAM (8-bit addr) to A	1	2
MOVX	A,@DPTR	Move External RAM (16-bit addr) to A	1	2
MOVX	@Ri,A	Move A to External RAM (8-bit addr)	1	2
MOVX	@DPTR,A	Move A to External RAM (16-bit addr)	1	2
PUSH	direct	Push direct byte onto stack	2	2
POP	direct	Pop direct byte from stack	2	2
XCH	A,Rn	Exchange register with Accumulator	1	1
XCH	A,direct	Exchange direct byte with Accumulator	2	1
XCH	A,@Ri	Exchange indirect RAM with A	1	1
XCHD	A,@Ri	Exchange low-order Digit ind. RAM w. A	1	1

BOOLEAN VARIABLE MANIPULATION

Mnemonic		Description	Byte	Cyc
CLR	C	Clear Carry flag	1	1
CLR	bit	Clear direct bit	2	1
SETB	C	Set Carry flag	1	1
SETB	bit	Set direct Bit	2	1
CPL	C	Complement Carry flag	1	1
CPL	bit	Complement direct bit	2	1
ANL	C,bit	AND direct bit to Carry flag	2	2
ANL	C,/bit	AND complement of direct bit to Carry	2	2
ORL	C,bit	OR direct bit to Carry flag	2	2
ORL	C,/bit	OR complement of direct bit to Carry	2	2
MOV	C,bit	Move direct bit to Carry flag	2	1
MOV	bit,C	Move Carry flag to direct bit	2	2

PROGRAM AND MACHINE CONTROL

Mnemonic		Description	Byte	Cyc
ACALL	addr11	Absolute Subroutine Call	2	2
LCALL	addr16	Long Subroutine Call	3	2
RET		Return from subroutine	1	2
RETI		Return from interrupt	1	2
AJMP	addr11	Absolute Jump	2	2
LJMP	addr16	Long Jump	3	2
SJMP	rel	Short Jump (relative addr)	2	2
JMP	@A+DPTR	Jump indirect relative to the DPTR	1	2
JZ	rel	Jump if Accumulator is Zero	2	2
JNZ	rel	Jump if Accumulator is Not Zero	2	2
JC	rel	Jump if Carry flag is set	2	2
JNC	rel	Jump if No Carry flag	2	2
JB	bit,rel	Jump if direct Bit set	3	2
JNB	bit,rel	Jump if direct Bit Not set	3	2
JBC	bit,rel	Jump if direct Bit is set & Clear bit	3	2
CJNE	A,direct,rel	Compare direct to A & Jump if Not Equal	3	2
CJNE	A,#data,rel	Comp. immed. to A & Jump if Not Equal	3	2
CJNE	Rn,#data,rel	Comp. immed. to reg. & Jump if Not Equal	3	2
CJNE	@Ri,#data,rel	Comp. immed. to ind. & Jump if Not Equal	3	2
DJNZ	Rn,rel	Decrement register & Jump if Not Zero	2	2
DJNZ	direct,rel	Decrement direct & Jump if Not Zero	3	2
NOP		No operation	1	1

Notes on data addressing modes:

Rn	Working register R0-R7
direct	128 internal RAM locations, any I/O port, control or status register
@Ri	Indirect internal RAM location addressed by register R0 or R1
#data	8-bit constant included in instruction
#data16	16-bit constant included as bytes 2 & 3 of instruction
bit	128 software flags, any I/O pin, control or status bit

Notes on program addressing modes:

addr16	Destination address for LCALL & LJMP may be anywhere within the 64-Kilobyte program memory address space.
addr11	Destination address for ACALL & AJMP will be within the same 2-Kilobyte page of program memory as the first byte of the following instruction.
rel	SJMP and all conditional jumps include an 8-bit offset byte. Range is +127 -128 bytes relative to first byte of the following instruction.

All mnemonics copyrighted © Intel Corporation 1979

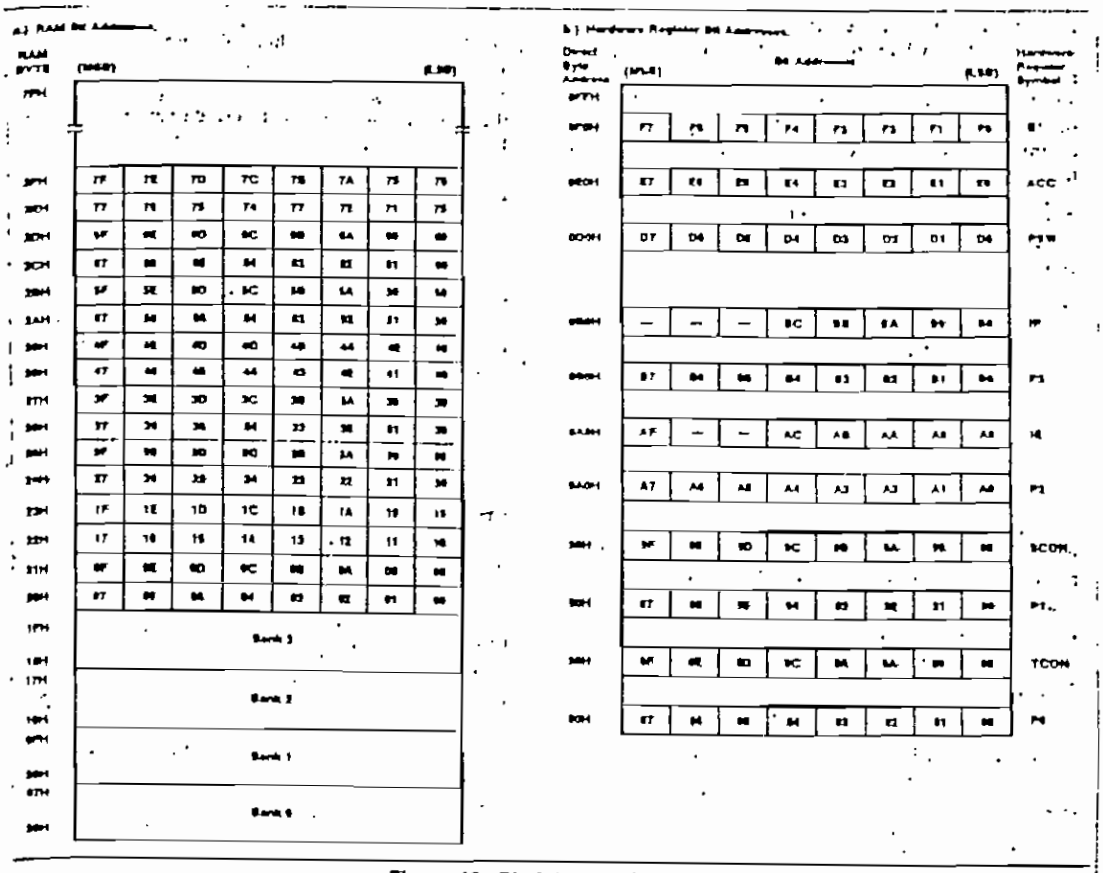


Figure 18. Bit Address Maps

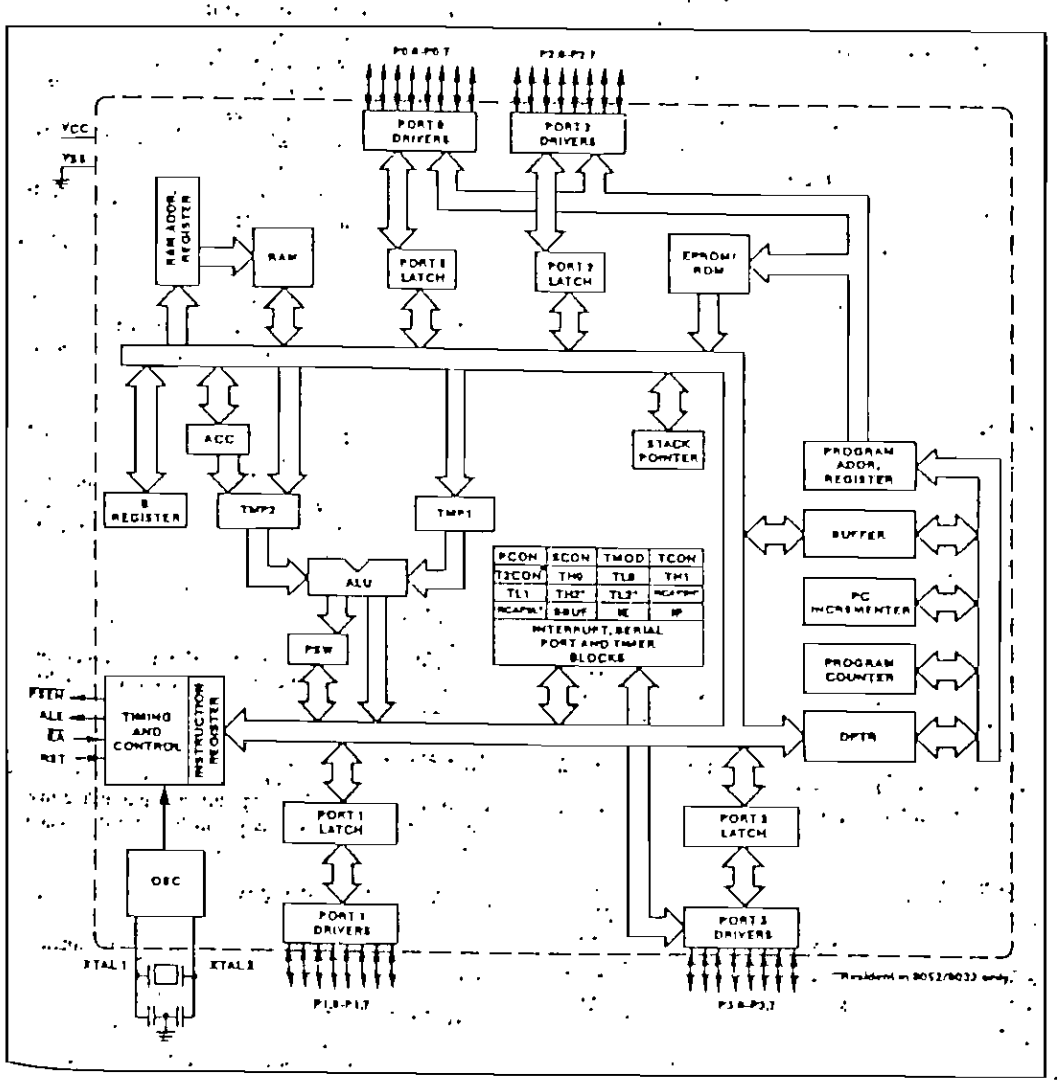


Figure 7-1. MCS-51 Architectural Block Diagram

TYPES SN5475, SN5477, SN54L75, SN54L77, SN54LS75, SN54LS77, SN7475, SN74LS75
4-BIT BISTABLE LATCHES

MARCH 1974 - REVISED DECEMBER 1983

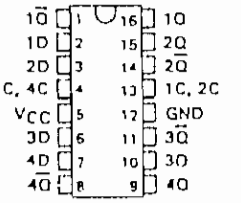
logic

FUNCTION TABLE
(each latch)

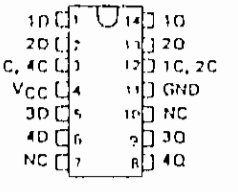
INPUTS		OUTPUTS	
D	C	Q	$\overline{Q}$
L	H	L	H
H	H	H	L
X	L	Q_0	$\overline{Q}_0$

H = high level, L = low level, X = irrelevant
Q_0 = the level of Q before the high-to-low transition of G

SN5475, SN54LS75 . . . J OR W PACKAGE
SN54L75 . . . J PACKAGE
SN7475 . . . J OR N PACKAGE
SN74LS75 . . . D, J OR N PACKAGE
(TOP VIEW)



SN5477, SN54LS77 . . . W PACKAGE
SN54L77 . . . T PACKAGE
(TOP VIEW)



NC = No internal connection

FOR CHIP CARRIER INFORMATION, CONTACT THE FACTORY

description

These latches are ideally suited for use as temporary storage for binary information between processing units and input/output or indicator units. Information present at a data (D) input is transferred to the Q output when the enable (C) is high and the Q output will follow the data input as long as the enable remains high. When the enable goes low, the information (that was present at the data input at the time the transition occurred) is retained at the Q output until the enable is permitted to go high.

The '75, 'L75, and 'LS75 feature complementary Q and $\overline{Q}$ outputs from a 4-bit latch, and are available in various 16-pin packages. For higher component density applications, the '77, 'L77, and 'LS77 4-bit latches are available in 14-pin flat packages.

These circuits are completely compatible with all popular TTL families. All inputs are diode-clamped to minimize transmission-line effects and simplify system design. Series 54, 54L, and 54LS devices are characterized for operation over the fully military temperature range of −55°C to 125°C; Series 74, and 74LS devices are characterized for operation from 0°C to 70°C.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Input voltage, '75, 'L75, '77, 'L77 . . . . . 5.5 V
'LS75, 'LS77 . . . . . 7 V
Interemitter voltage (see Note 2) . . . . . 5.5 V
Operating free-air temperature range: SN54' . . . . . −55°C to 125°C
SN74' . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

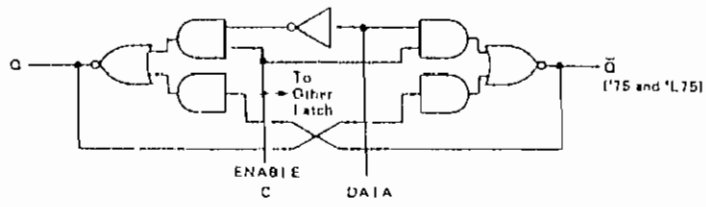
NOTES: 1. Voltage values are with respect to network ground terminal.
2. This is the voltage between two emitters of a multiple-emitter input transistor and is not applicable to the 'LS75 and 'LS77.

PRODUCTION DATA
This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

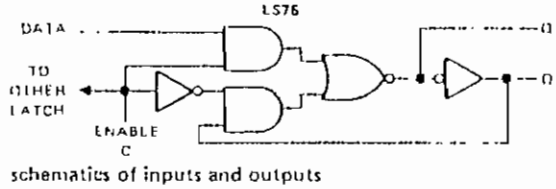
TEXAS INSTRUMENTS
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

logic diagrams (each latch)

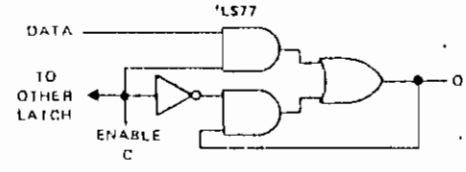
'75, '77, 'L75, 'L77



'LS75

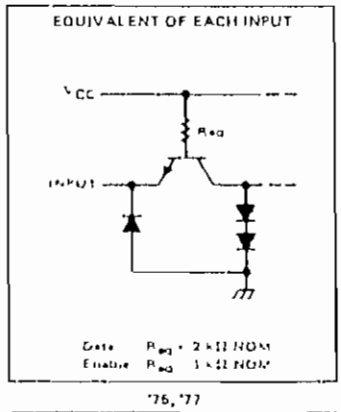


'LS77

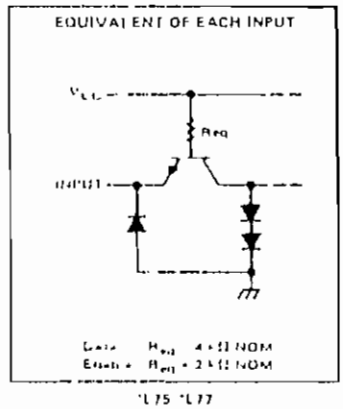


schematics of inputs and outputs

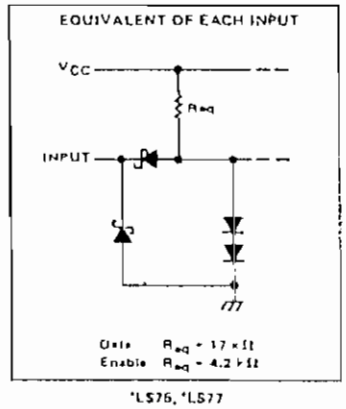
'75, '77



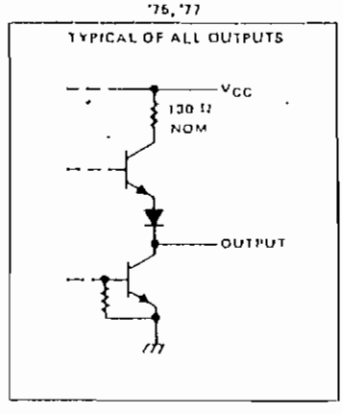
'L75, 'L77



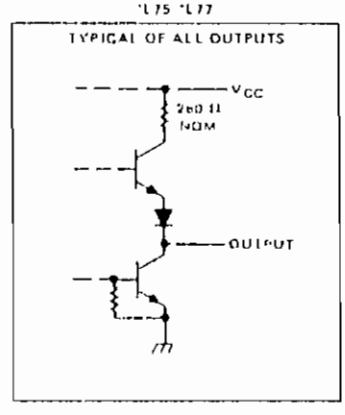
'LS75, 'LS77



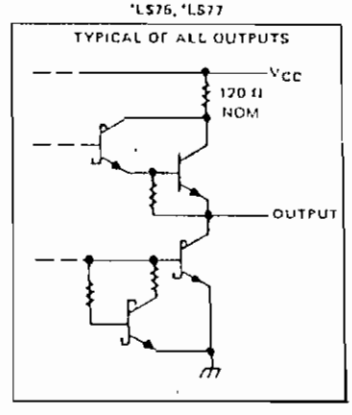
'75, '77



'L75, 'L77



'LS75, 'LS77



TEXAS INSTRUMENTS
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

recommended operating conditions

	SN5475, SN5477			SN7475			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			16			16	mA
Width of enabling pulse, t_w	20			20			ns
Setup time, t_{su}	20			20			ns
Hold time, t_h	5			5			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free air temperature range (unless otherwise noted)

PARAMETER			TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage				2			V
V_{IL}	Low-level input voltage						0.8	V
V_{IK}	Input clamp voltage		V_{CC} = MIN	I_I = −12 mA			−1.5	V
V_{OH}	High-level output voltage		V_{CC} = MIN, V_{IL} = 0.8 V,	V_{IH} = 2 V, I_{OH} = −400 μA	2.4	3.4		V
V_{OL}	Low-level output voltage		V_{CC} = MIN, V_{IL} = 0.8 V,	V_{IH} = 2 V, I_{OL} = 16 mA		0.2	0.4	V
I_I	Input current at maximum input voltage		V_{CC} = MAX,	V_I = 5.5 V			1	mA
I_{IH}	High-level input current	D input	V_{CC} = MAX,	V_I = 2.4 V			80	μA
		C input					160	
I_{IL}	Low-level input current	D input	V_{CC} = MAX,	V_I = 0.4 V			−3.2	mA
		C input					−6.4	
I_{OS}	Short-circuit output current§		V_{CC} = MAX	SN54	−20		−57	mA
				SN74	−18		−57	
I_{CC}	Supply current		V_{CC} = MAX, See Note 3	SN54		37	46	mA
				SN74		37	53	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be shorted at a time.
NOTE 3: I_{CC} is tested with all inputs grounded and all outputs open.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	D	Q	C_L = 15 pF, R_L = 400 Ω, See Figure 1		16	30	ns
t_{PHL}					14	25	
t_{PLH}¶	D	$\bar{Q}$			24	40	ns
t_{PHL}¶					7	15	
t_{PLH}	C	Q			16	30	ns
t_{PHL}					7	15	
t_{PLH}¶	C	$\bar{Q}$			16	30	ns
t_{PHL}¶					7	15	

t_{PLH} = propagation delay time, low to high level output
t_{PHL} = propagation delay time, high to low level output
¶ These parameters are not applicable for the SN5477.

recommended operating conditions

		MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	V
V_{IH}	High-level input voltage	2			V
V_{IL}	Low-level input voltage			0.8	V
I_{OH}	High-level output current			−0.2	mA
I_{OL}	Low-level output current			8	mA
t_w	Width of enabling pulse	100			ns
t_{su}	Setup time	40			ns
t_h	Hold time	10			ns
T_A	Operating free-air temperature	−55		125	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IK}		V_{CC} = MIN, I_I = −12 mA			−1.5	V
V_{OH}		V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OH} = −0.2 mA	2.4	3.4		V
V_{OL}		V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OL} = 8 mA		0.2	0.4	V
I_I		V_{CC} = MAX, V_I = 5.5 V			1	mA
I_{IH}	D input	V_{CC} = MAX, V_I = 2.4 V			40	μA
	C input				80	
I_{IL}	D input	V_{CC} = MAX, V_I = 0.4 V			−1.6	mA
	C input				−3.2	
I_{OS}§		V_{CC} = MAX	−10		−28	mA
I_{CC}		V_{CC} = MAX, See Note 3		16	23	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be shorted at a time.
NOTE 3: I_{CC} is tested with all inputs grounded and all outputs open.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	D	Q	R_L = 800 Ω, C_L = 15 pF, See Figure 1		32	60	ns
t_{PHL}					28	50	ns
t_{PLH}§	D	$\overline{Q}$			48	80	ns
t_{PHL}§					14	30	ns
t_{PLH}	C	Q			32	60	ns
t_{PHL}					14	30	ns
t_{PLH}§	C	$\overline{Q}$			32	60	ns
t_{PHL}§					14	30	ns

§ These parameters are not applicable for the SN54L77.

recommended operating conditions

	SN54LS75 SN54LS77			SN74LS75			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Width of enabling pulse, t_w	20			20			ns
Setup time, t_{su}	20			20			ns
Hold time, t_h	5			5			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†			SN54LS75 SN54LS77			SN74LS75			UNIT
					MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage				2			2			V
V_{IL}	Low-level input voltage						0.7			0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN,	I_I = −18 mA				−1.5			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max,	V_{IH} = 2 V, I_{OH} = −400 μA		2.5	3.5		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max	V_{IH} = 2 V,	I_{OL} = 4 mA		0.25	0.4		0.25	0.4	V
				I_{OL} = 8 mA					0.35	0.5	
I_I	Input current at maximum input voltage	V_{CC} = MAX,	V_I = 7 V	D input			0.1			0.1	mA
				G input			0.4			0.4	
I_{IH}	High-level input current	V_{CC} = MAX,	V_I = 2.7 V	D input			20			20	μA
				C input			80			80	
I_{IL}	Low-level input current	V_{CC} = MAX,	V_I = 0.4 V	D input			−0.4			−0.4	mA
				G input			−1.6			−1.6	
I_{OS}	Short-circuit output current§	V_{CC} = MAX			−20		−100	−20		−100	mA
I_{CC}	Supply current	V_{CC} = MAX,	See Note 2	'LS75		6.3	12		6.3	12	mA
				'LS77		6.9	13				

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.
NOTE 2: I_{CC} is tested with all inputs grounded and all outputs open.

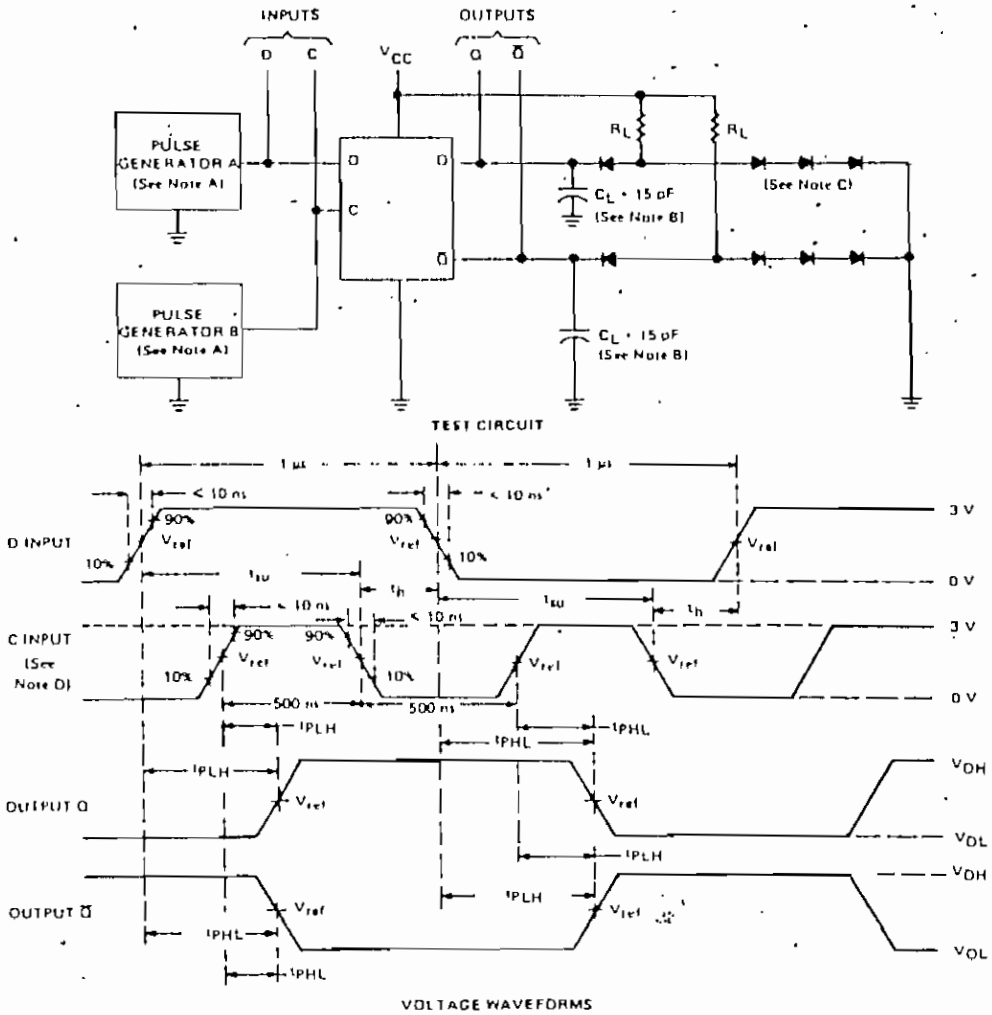
switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER¶	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	'LS75			'LS77			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
t_{PLH}	D	Q	C_L = 15 pF, R_L = 2 kΩ, See Figure 1		15	27		11	19	ns
t_{PHL}					8	17		9	17	
t_{PLH}	D	$\bar{Q}$			12	20				ns
t_{PHL}					7	15				
t_{PLH}	C	Q			15	27		10	18	ns
t_{PHL}					14	25		10	18	
t_{PLH}	C	$\bar{Q}$			16	30				ns
t_{PHL}					7	15				

¶ t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

PARAMETER MEASUREMENT INFORMATION

switching characteristics[1]



[1] Complementary Q outputs are on the '75, 'L75, and 'LS75 only.

NOTES
A. The pulse generators have the following characteristics: Z_{out} ≈ 50 Ω, for pulse generator A, PRR ≤ 500 kHz; for pulse generator B, PRR ≤ 1 MHz. Positions of D and C input pulses are varied with respect to each other to verify setup times.
B. C_L includes probe and jig capacitance.
C. All diodes are 1N3064 or equivalent.
D. When measuring propagation delay times from the D input, the corresponding C input must be held high.
E. For '75, '77, 'L75, and 'L77, V_{ref} = 1.5 V; for LS75 and LS77, V_{ref} = 1.3 V.

FIGURE 1

TEXAS INSTRUMENTS
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

TYPES SN54LS373, SN54LS374, SN54S373, SN54S374, SN74LS373, SN74LS374, SN74S373, SN74S374
OCTAL D-TYPE TRANSPARENT LATCHES AND EDGE-TRIGGERED FLIP-FLOPS

OCTOBER 1976 - REVISED APRIL 1985

- Choice of 8 Latches or 8 D-Type Flip-Flops in a Single Package
- 3-State Bus Driving Outputs
- Full Parallel-Access for Loading
- Buffered Control Inputs
- Clock/Enable Input Has Hysteresis to Improve Noise Rejection ('S373 and 'S374)
- P-N-P Inputs Reduce D-C Loading on Data Lines ('S373 and 'S374)

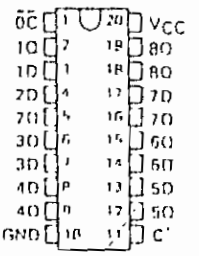
'LS373, 'S373
FUNCTION TABLE

OUTPUT ENABLE	ENABLE LATCH	D	OUTPUT
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z

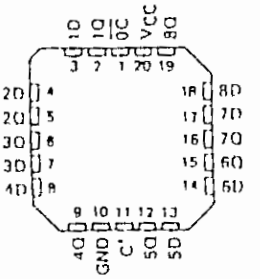
'LS374, 'S374
FUNCTION TABLE

OUTPUT ENABLE	CLOCK	D	OUTPUT
L	↑	H	H
L	↑	L	L
L	L	X	Q_0
H	X	X	Z

SN54LS373, SN54LS374, SN54S373, SN54S374 . . . J PACKAGE
SN74LS373, SN74LS374, SN74S373, SN74S374 . . . DW, J OR N PACKAGE
(TOP VIEW)



SN54LS373, SN54LS374, SN54S373, SN54S374 . . . FK PACKAGE
SN74LS373, SN74LS374, SN74S373, SN74S374 . . . FN PACKAGE
(TOP VIEW)



'C for 'LS373 and 'S373, CLK for 'LS374 and 'S374

description

These 8-bit registers feature three-state outputs designed specifically for driving highly capacitive or relatively low-impedance loads. The high-impedance third state and increased high-logic-level drive provide these registers with the capability of being connected directly to and driving the bus lines in a bus-organized system without need for interface or pull-up components. They are particularly attractive for implementing buffer registers, I/O ports, bidirectional bus drivers, and working registers.

The eight latches of the 'LS373 and 'S373 are transparent D-type latches, meaning that while the enable (C) is high the Q outputs will follow the data (D) inputs. When the enable is taken low, the output will be latched at the level of the data that was set up.

PRODUCTION DATA
This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

description (continued)

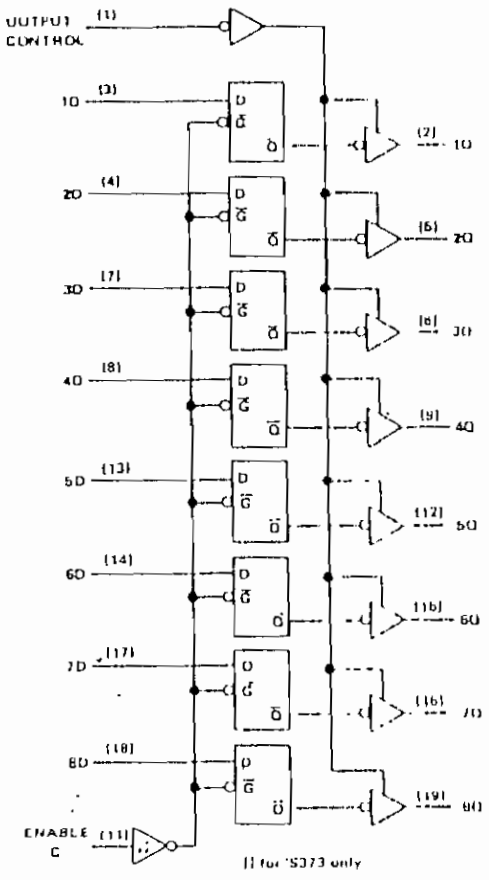
The eight flip-flops of the 'LS374 and 'S374 are edge-triggered D-type flip-flops. On the positive transition of the clock, the Q outputs will be set to the logic states that were setup at the D inputs.

Schmitt-trigger buffered inputs at the enable and clock lines of the 'S373 and 'S374 devices, simplify system design as ac and dc noise rejection is improved by typically 400 mV due to the input hysteresis. A buffered output control input can be used to place the eight outputs in either a normal logic state (high or low logic levels) or a high-impedance state. In the high-impedance state the outputs neither load nor drive the bus lines significantly.

The output control does not affect the internal operation of the latches or flip-flops. That is, the old data can be retained or new data can be entered even while the outputs are off.

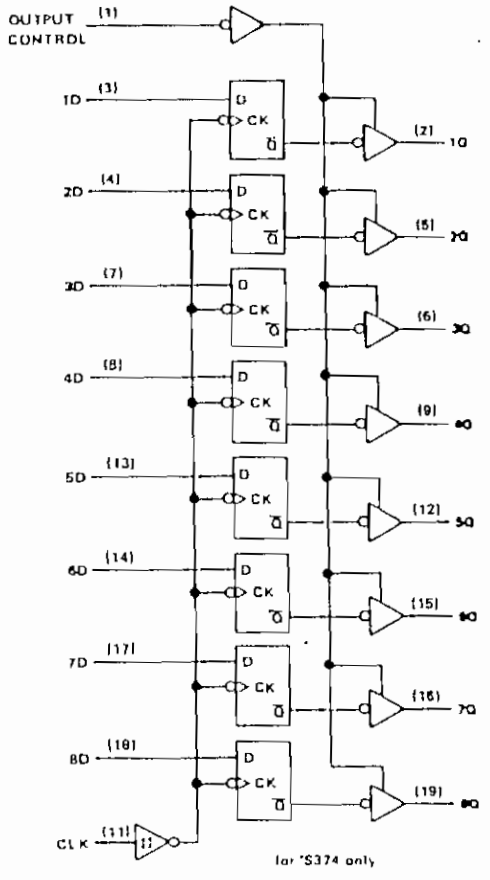
logic diagrams

'LS373, 'S373
TRANSPARENT LATCHES



(1) for 'S373 only

'LS374, 'S374
POSITIVE-EDGE-TRIGGERED FLIP-FLOPS

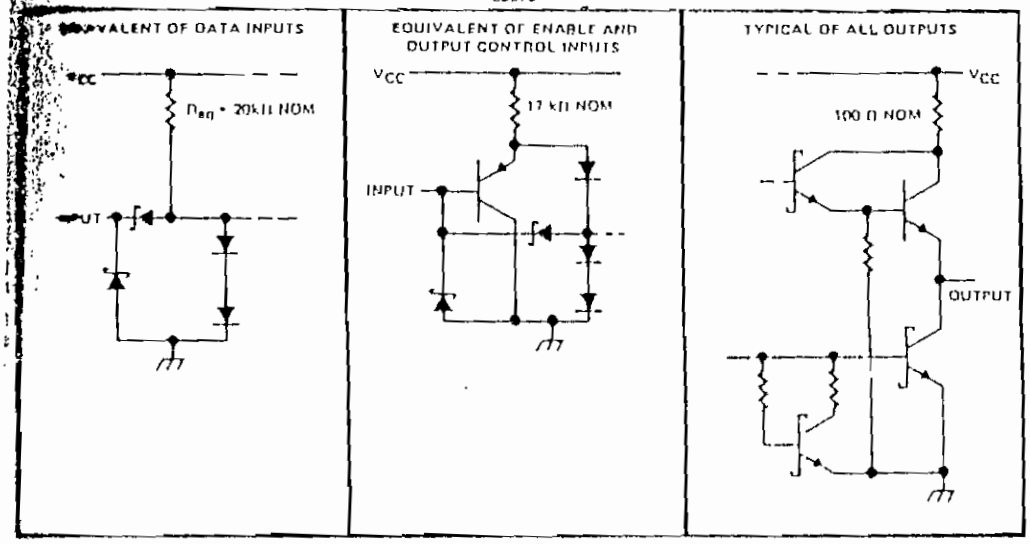


for 'S374 only

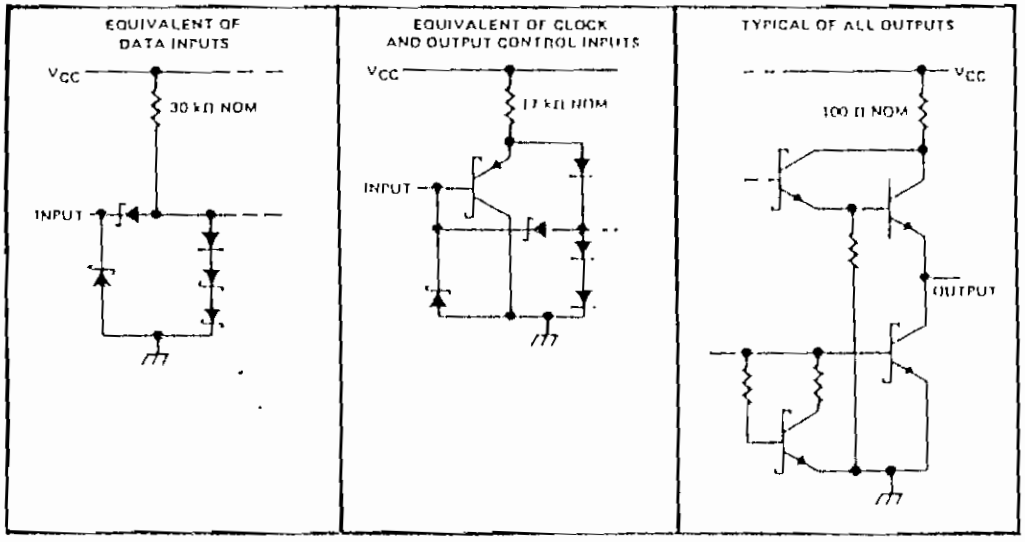
Pin numbers shown are for D, J, N, and W packages.

[illegible] of inputs and outputs

'LS373



'LS374



3

TTL DEVICES

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Input voltage . . . . . 7 V
Off-state output voltage . . . . . 5.5 V
Operating free air temperature range, SN54LS' . . . . . −55°C to 125°C
SN74LS' . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

			SN54LS'			SN74LS'			UNIT
			MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage		4.5	5	5.5	4.75	5	5.25	V
V_{OH}	High-level output voltage				5.5			5.5	V
I_{OH}	High-level output current				−1			−2.6	mA
I_{OL}	Low-level output current				12			24	mA
t_w	Pulse duration	CLK high	15			15			ns
		CLK low	15			15			
t_{su}	Data setup time	'LS373	5†			5†			ns
		'LS374	20†			20†			
t_h	Data hold time	'LS373	20†			20†			ns
		'LS374	0†			0†			
T_A	Operating free-air temperature		−55		125	0		70	°C

† The t_h specification applies only for data frequency below 10 MHz. Designs above 10 MHz should use a minimum of 5 ns.

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†			SN54LS'			SN74LS'			UNIT
					MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage				2			2			V
V_{IL}	Low-level input voltage						0.7			0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −18 mA					−1.5			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = $V_{IL\,max}$	I_{OH} = MAX		2.4	3.4		2.4	3.1		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = $V_{IL\,max}$		I_{OL} = 12 mA		0.25	0.4		0.25	0.4	V
				I_{OL} = 24 mA					0.35	0.5	
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, V_{IH} = 2 V, V_O = 2.7 V					20			20	μA
I_{OZL}	Off-state output current, low-level voltage applied	V_{CC} = MAX, V_{IH} = 2 V, V_O = 0.4 V					20			−20	μA
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7 V					0.1			0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7 V					20			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4 V					−0.4			−0.4	mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX			−30		−130	−30		−130	mA
I_{CC}	Supply current	V_{CC} = MAX, Output control at 4.5 V		'LS373		24	40		24	40	mA
				'LS374		27	40		27	40	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.

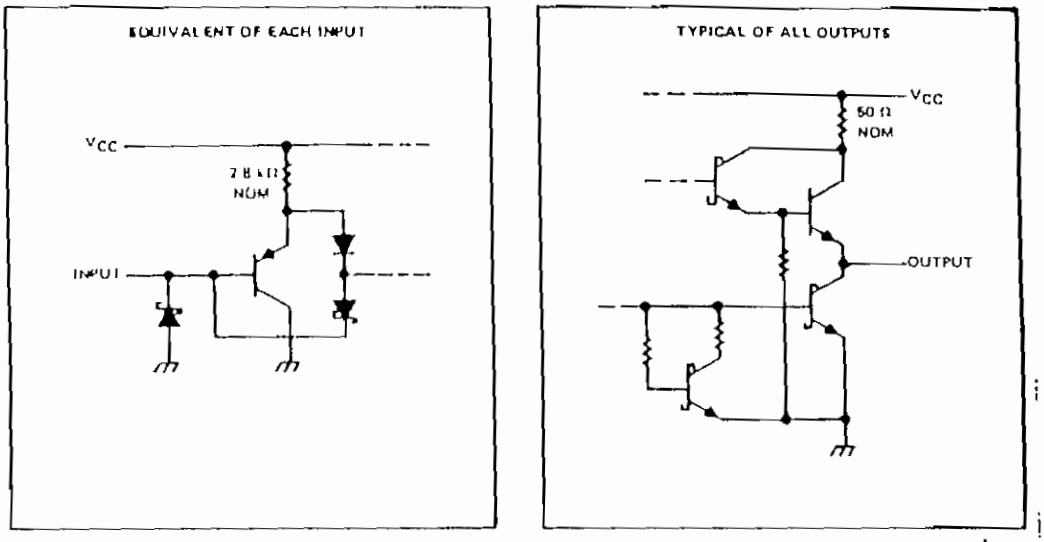
switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS		LS373 MIN	LS373 TYP	LS373 MAX	LS374 MIN	LS374 TYP	LS374 MAX	UNIT
f_{max}			C_L = 45 pF, R_L = 667 Ω, See Notes 2 and 3					35	50		MHz
t_{PLH}	Data	Any Q				12	18				ns
t_{PHL}						12	18				
t_{PLH}	Clock or enable	Any Q				20	30		15	28	ns
t_{PHL}						18	30		19	28	
t_{PZH}	Output Control	Any Q				15	28		20	26	ns
t_{PZL}						25	36		21	28	
t_{PHZ}	Output Control	Any Q	C_L = 5 pF, R_L = 667 Ω, See Note 3	SN54 / SN74		20	37		28	42	ns
						15	25		15	28	
t_{PLZ}	Output Control	Any Q				17	30		17	30	ns

NOTES 2. Maximum clock frequency is tested with all outputs loaded.
3. See General Information Section for load circuits and voltage waveforms.

f_{max} = maximum clock frequency
t_{PLH} = propagation delay time, low to high level output
t_{PHL} = propagation delay time, high to low level output
t_{PZH} = output enable time to high level
t_{PZL} = output enable time to low level
t_{PHZ} = output disable time from high level
t_{PLZ} = output disable time from low level

schematic of inputs and outputs



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Input voltage . . . . . 5.5 V
Off-state output voltage . . . . . 5.5 V
Operating free-air temperature range SN54S' . . . . . −55°C to 125°C
SN74S . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

		SN54S'			SN74S'			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output voltage, V_{OH}				5.5			5.5	V
High-level output current, I_{OH}				−2			−6.5	mA
Width of clock/enable pulse, t_w	High	6			6			ns
	Low	7.3			7.3			
Data setup time, t_{su}	'S373	0†			0†			ns
	'S374	5†			5†			
Data hold time, t_h	'S373	10†			10†			ns
	'S374	2†			2†			
Operating free-air temperature, T_A		55		125	0		70	°C

TEXAS INSTRUMENTS
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†					MIN	TYP‡	MAX	UNIT
V_{IH}							2			V
V_{IL}									0.8	V
V_{IK}		V_{CC} = MIN,	I_I = −18 mA						−1.2	V
V_{OH}	SN54S	V_{CC} = MIN	V_{IH} = 2 V	V_{IL} = 0.8 V	I_{OH} = MAX		2.4	3.4		V
	SN74S						2.4	3.1		
V_{OL}		V_{CC} = MIN,	V_{IH} = 2 V,	V_{IL} = 0.8 V	I_{OL} = 20 mA				0.5	V
I_{OZH}		V_{CC} = MAX,	V_{IH} = 2 V,	V_O = 2.4 V					50	μA
I_{OZL}		V_{CC} = MAX	V_{IH} = 2 V,	V_O = 0.5 V					−50	μA
I_I		V_{CC} = MAX	V_I = 5.5 V						1	mA
I_{IH}		V_{CC} = MAX	V_I = 2.7 V						50	μA
I_{IL}		V_{CC} = MAX,	V_I = 0.5 V						−250	μA
I_{OS}§		V_{CC} = MAX					−40		−100	mA
I_{CC}		V_{CC} = MAX		'S373	outputs high				160	mA
					outputs low				160	
					outputs disabled				180	
				'S374	outputs high				110	
					outputs low				140	
					outputs disabled				160	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.

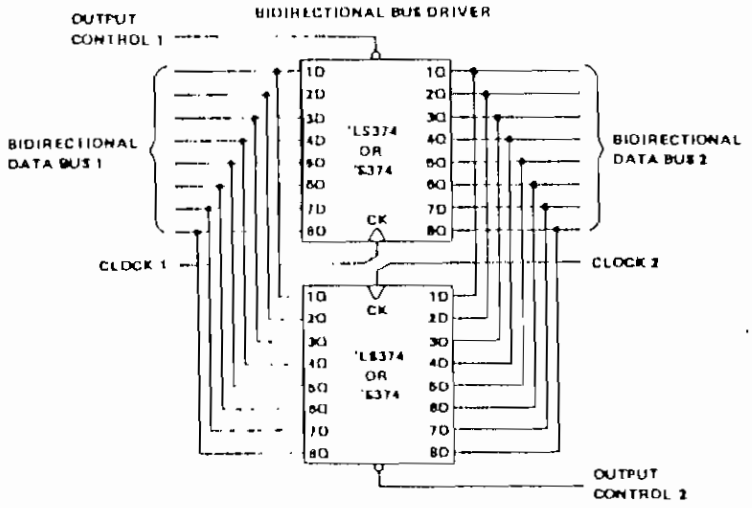
switching characteristics, V_{CC} = 5 V, T_A = 25°C

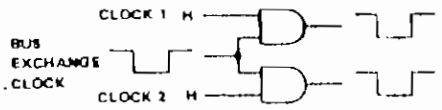
PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	'S373 MIN	'S373 TYP	'S373 MAX	'S374 MIN	'S374 TYP	'S374 MAX	UNIT
f_{max}							75	100		MHz
t_{PLH}	Data	Any Q	C_L = 15 pF, R_L = 280 Ω, See Notes 2 and 4		7	12				ns
t_{PHL}					7	12				
t_{PLH}	Clock or enable	Any Q			7	14		8	15	ns
t_{PHL}					12	18		11	17	
t_{PZH}	Output Control	Any Q			8	15		8	15	ns
t_{PZL}					11	18		11	18	
t_{PHZ}	Output Control	Any Q	C_L = 5 pF, R_L = 280 Ω, See Note 3		6	9		5	8	ns
t_{PLZ}					8	12		7	12	

NOTES: 2. Maximum clock frequency is tested with all outputs loaded.
4. See General Information Section for load circuits and voltage waveforms.

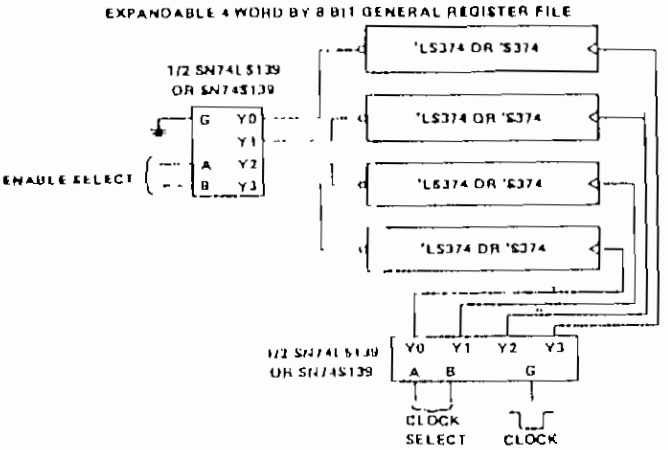
f_{max} = maximum clock frequency
t_{PLH} = propagation delay time, low to high level output
t_{PHL} = propagation delay time, high to low level output
t_{PZH} = output enable time to high level
t_{PZL} = output enable time to low level
t_{PHZ} = output disable time from high level
t_{PLZ} = output disable time from low level

TYPICAL APPLICATION DATA





CLOCK CIRCUIT FOR BUS EXCHANGE



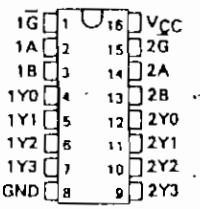
TEXAS INSTRUMENTS
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

TYPES SN54LS139A, SN54S139, SN74LS139A, SN74S139
DUAL 2-LINE TO 4-LINE DECODERS/DEMULTIPLEXERS

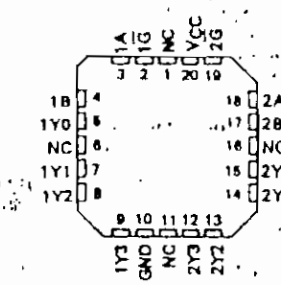
REVISED APRIL 1985

- Designed Specifically for High-Speed:
  Memory Decoders
  Data Transmission Systems
- Two Fully Independent 2-to-4-Line Decoders/Demultiplexers
- Schottky Clamped for High Performance

SN54LS139A, SN54S139 . . . J OR W PACKAGE
SN74LS139A, SN74S139 . . . D, J OR N PACKAGE
(TOP VIEW)



SN54LS139A, SN54S139 . . . FK PACKAGE
SN74LS139A, SN74S139 . . . FN PACKAGE
(TOP VIEW)



NC – No internal connection

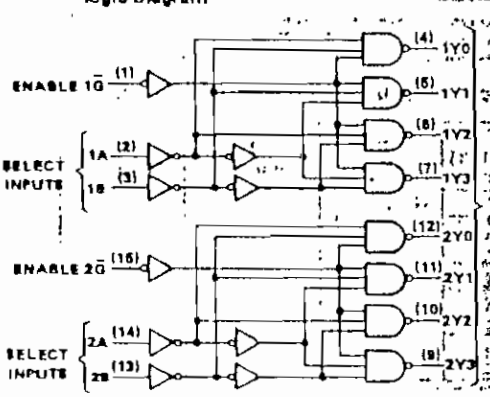
description

These Schottky-clamped TTL MSI circuits are designed to be used in high-performance memory decoding or data-routing applications requiring very short propagation delay times. In high performance memory systems these decoders can be used to minimize the effects of system decoding. When employed with high speed memories utilizing a fast enable circuit the delay times of these decoders and the enable time of the memory are usually less than the typical access time of the memory. This means that the effective system delay introduced by the Schottky-clamped system decoder is negligible.

The circuit comprises two individual two line to four line decoders in a single package. The active low enable input can be used as a data line in demultiplexing applications.

All of these decoders/demultiplexers feature fully buffered inputs, each of which represents only one normalized load to its driving circuit. All inputs are clamped with high-performance Schottky diodes to suppress line-ringing and to simplify system design. The SN54LS139A and SN54S139 are characterized for operation range of – 55°C to 125°C. The SN74LS139A and SN74S139 are characterized for operation from 0°C to 70°C.

logic diagram



Pin numbers shown on logic notation are for D, J or N packages.

FUNCTION TABLE

INPUTS			OUTPUTS			
ENABLE G̅	SELECT B	SELECT A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

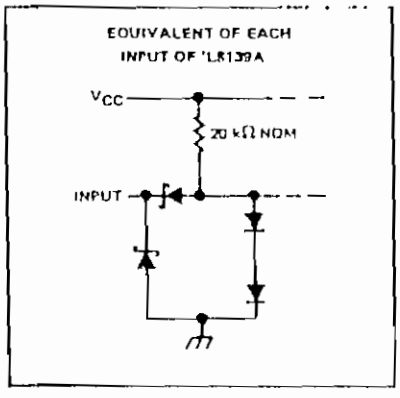
H = high level, L = low level, X = irrelevant

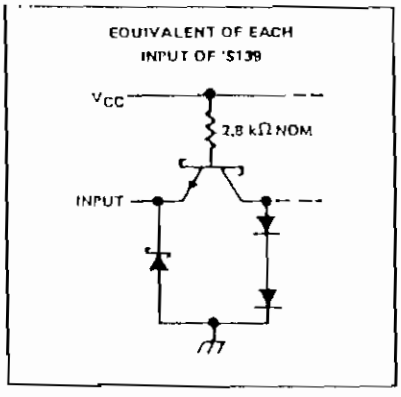
3 TTL DEVICES

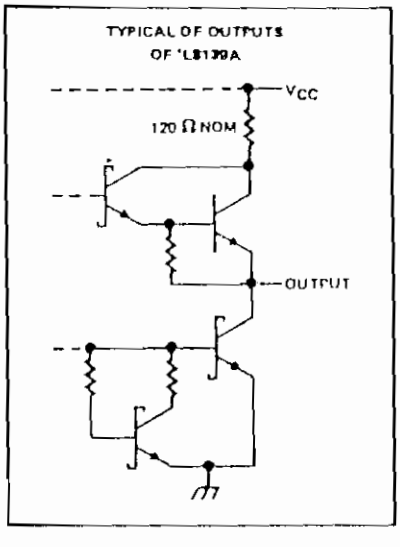
PRODUCTION DATA
This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

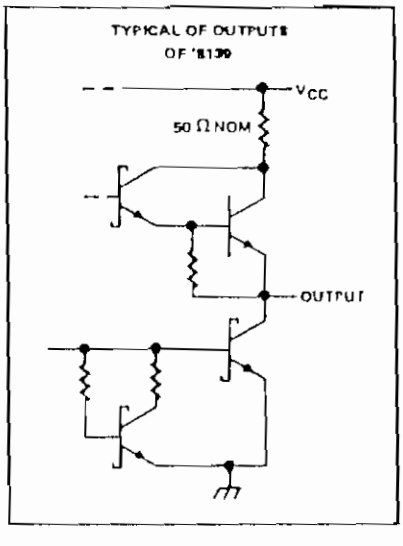
TEXAS INSTRUMENTS
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

schematics of inputs and outputs









absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)		7 V
Input voltage: 'LS139A, 'LS139		7 V
'S139		5.5 V
Operating free-air temperature range	SN54LS139A, SN54S139	−55°C to 125°C
	SN74LS139A, SN54S139	0°C to 70°C
Storage temperature range		−65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

		SN54LS139A			SN74LS139A			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High-level input voltage	2			2			V
V_{IL}	Low-level input voltage			0.7			0.8	V
I_{OH}	High-level output current			−0.4			−0.4	mA
I_{OL}	Low-level output current			4			8	mA
T_A	Operating free-air temperature	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†			SN54LS139A			SN74LS139A			UNIT
				MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IK}	V_{CC} = MIN, I_I = −18 mA					−1.5			−1.5	V
V_{OH}	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = MAX, I_{OH} = −0.4 mA			2.5	3.4		2.7	3.4		V
V_{OL}	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = MAX		I_{OL} = 4 mA		0.25	0.4		0.25	0.4	V
			I_{OL} = 8 mA					0.35	0.5	
I_I	V_{CC} = MAX,	V_I = 7 V				0.1			0.1	mA
I_{IH}	V_{CC} = MAX,	V_I = 2.7 V				20			20	µA
I_{IL}	V_{CC} = MAX,	V_I = 0.4 V				−0.4			−0.4	mA
I_{OS}§	V_{CC} = MAX			−20		−100	−20		−100	mA
I_{CC}	V_{CC} = MAX,	Outputs enabled and open			6.8	11		6.8	11	mA

switching characteristics, V_{CC} = 5 V, T_A = 25°C (see note 2)

PARAMETER¶	FROM (INPUT)	TO (OUTPUT)	LEVELS OF DELAY	TEST CONDITIONS	SN54LS139A SN74LS139A			UNIT
					MIN	TYP	MAX	
t_{PLH}	Binary Select	Any	2	R_L = 2 kΩ, C_L = 15 pF		13	20	ns
t_{PHL}						22	33	ns
t_{PLH}			3			18	29	ns
t_{PHL}						25	38	ns
t_{PLH}	Enable	Any	2			18	24	ns
t_{PHL}						21	32	ns

¶ t_{PLH} = propagation delay time, low-to-high-level output. t_{PHL} = propagation delay time, high-to-low-level output.
NOTE 2: See General Information Section for load circuits and voltage waveforms.

TEXAS INSTRUMENTS
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

recommended operating conditions

		SN54S139			SN74S139			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High-level input voltage	2			2			V
V_{IL}	Low-level input voltage			0.8			0.8	V
I_{OH}	High-level output current			−1			−1	mA
I_{OL}	Low-level output current			20			20	mA
T_A	Operating free-air temperature	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†		SN54S139 SN74S139			UNIT
			MIN	TYP‡	MAX	
V_{IK}	V_{CC} = MIN, I_I = −18 mA				−1.2	V
V_{OH}	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OH} = −1 mA	SN54S	2.5	3.4		V
		SN74S	2.7	3.4		
V_{OL}	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OL} = 20 mA				0.5	V
I_I	V_{CC} = MAX, V_I = 5.5 V				1	mA
I_{IH}	V_{CC} = MAX, V_I = 2.7 V				50	μA
I_{IL}	V_{CC} = MAX, V_I = 0.5 V				−2	mA
I_{OS}§	V_{CC} = MAX		−40		−100	mA
I_{CC}	V_{CC} = MAX, Outputs enabled and open	SN54S		60	74	mA
		SN74S		75	90	

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5 V, T_A = 25°C.
§Not more than one output should be shorted at a time, and duration of the short-circuit test should not exceed one second.

switching characteristics, V_{CC} = 5 V, T_A = 25°C (see note 2)

PARAMETER†	FROM (INPUT)	TO (OUTPUT)	LEVELS OF DELAY	TEST CONDITIONS	SN54S139 SN74S139		UNIT
					TYP	MAX	
t_{PLH}	Binary Select	Any	2	R_L = 280 Ω, C_L = 15 pF	5	7.5	ns
t_{PHL}					6.5	10	ns
t_{PLH}			3		7	12	ns
t_{PHL}					8	12	ns
t_{PLH}	Enable	Any	2		5	8	ns
t_{PHL}					6.5	10	ns

†t_{PLH} = propagation delay time, low to high level output
t_{PHL} = propagation delay time, high to low level output
NOTE 2: See General Information Section for load circuits and voltage waveforms.

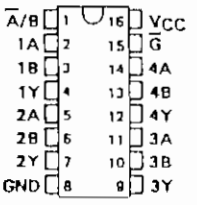
TYPES SN54157, SN54L157, SN54LS157, SN54LS158, SN54S157, SN54S158, SN74157, SN74LS157, SN74LS158, SN74S157, SN74S158
QUADRUPLE 2-LINE TO 1-LINE DATA SELECTORS/MULTIPLEXERS

MARCH 1974 - REVISED DECEMBER 1983

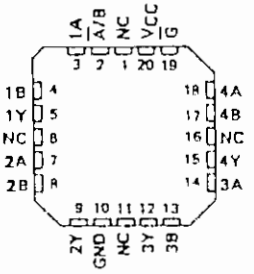
- Buffered Inputs and Outputs
- Three Speed/Power Ranges Available

TYPES	TYPICAL AVERAGE PROPAGATION TIME	TYPICAL POWER DISSIPATION
'157	9 ns	150 mW
'L157	18 ns	75 mW
'LS157	9 ns	49 mW
'S157	5 ns	250 mW
'LS158	7 ns	24 mW
'S158	4 ns	195 mW

SN54157, SN54LS157, SN54S157, SN54LS158, SN54S158 . . . J OR W PACKAGE
SN54L157 . . . J PACKAGE
SN74157 . . . J OR N PACKAGE
SN74LS157, SN74S157, SN74LS158, SN74S158 . . . D, J OR N PACKAGE
(TOP VIEW)



SN54LS157, SN54S157, SN54LS158, SN54S158 . . . FK PACKAGE
SN74LS157, SN74S157, SN74LS158, SN74S158 . . . FN PACKAGE
(TOP VIEW)



NC = No internal connection

applications

- Expand Any Data Input Point
- Multiplex Dual Data Buses
- Generate Four Functions of Two Variables (One Variable Is Common)
- Source Programmable Counters

description

These monolithic data selectors/multiplexers contain inverters and drivers to supply full on-chip data selection to the four output gates. A separate strobe input is provided. A 4-bit word is selected from one of two sources and is routed to the four outputs. The '157, 'L157, 'LS157, and 'S157 present true data whereas the 'LS158 and 'S158 present inverted data to minimize propagation delay time.

FUNCTION TABLE

INPUTS				OUTPUT Y	
STROBE $\overline{G}$	SELECT $\overline{A}$/B	A	B	'157, 'L157, 'LS157, 'S157	'LS158 'S158
H	X	X	X	L	H
L	L	L	X	L	H
L	L	H	X	H	L
L	H	X	L	L	H
L	H	X	H	H	L

H = high level, L = low level, X = irrelevant

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

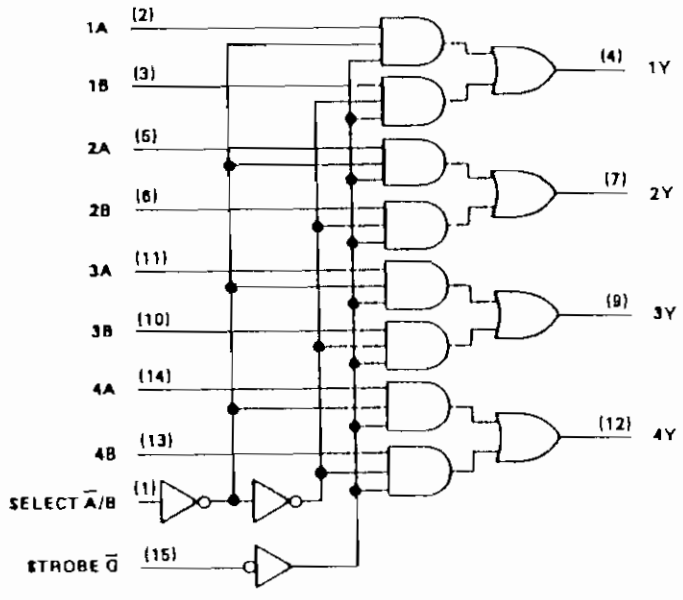
Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Input voltage: '157, 'L157, 'S158 . . . . . 5.5 V
'LS157, 'LS158 . . . . . 7 V
Operating free-air temperature range: SN54' . . . . . −55°C to 125°C
SN74' . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

PRODUCTION DATA
This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

logic diagram

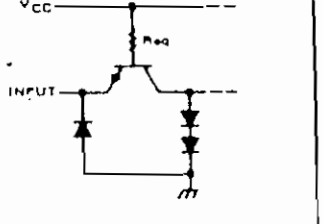
'157, 'L157



Pin numbers shown on logic notation are for D, J or N packages

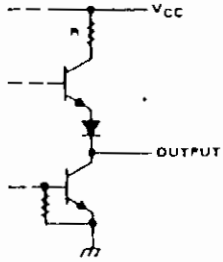
schematics of inputs and outputs

'157, 'L157
EQUIVALENT OF EACH INPUT



'157 Req = 4 kΩ NOM
'L157 Req = 8 kΩ NOM

'157, 'L157
TYPICAL OF ALL OUTPUTS

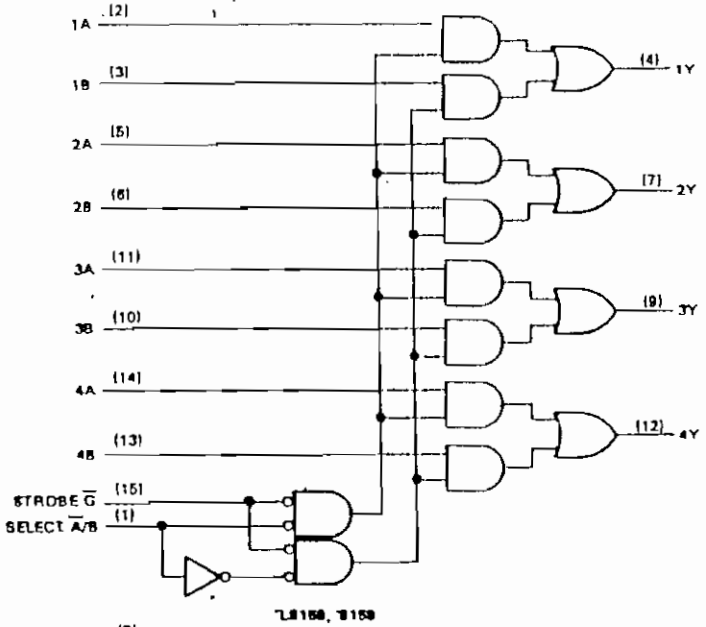


'157 R = 100 Ω NOM
'L157 R = 200 Ω NOM

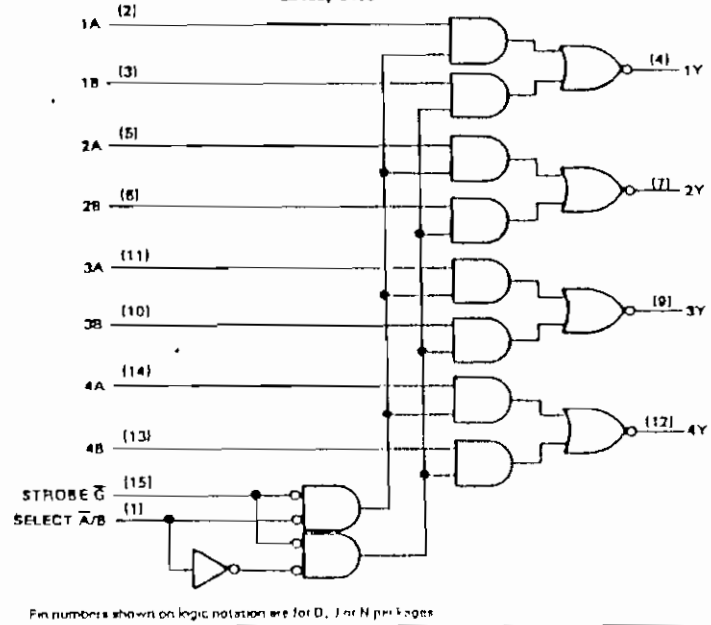
TEXAS INSTRUMENTS
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

logic diagrams

'LS157, 'S157



'LS158, 'S158

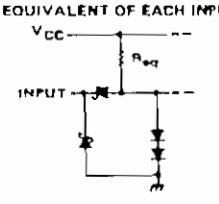


Pin numbers shown on logic notation are for D, J or N packages

schematics of inputs and outputs

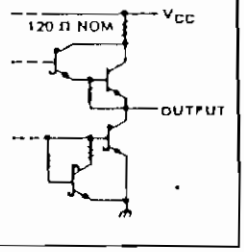
'LS157, 'LS158

EQUIVALENT OF EACH INPUT



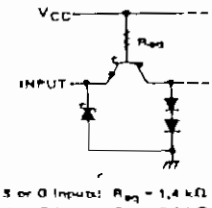
S or G inputs: R_{eq} = 8.5 kΩ NOM
A or B inputs: R_{eq} = 17 kΩ NOM

TYPICAL OF ALL OUTPUTS



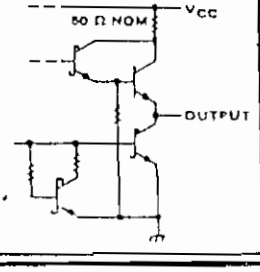
'S157, 'S158

EQUIVALENT OF EACH INPUT



S or G inputs: R_{eq} = 1.4 kΩ NOM
A or B inputs: R_{eq} = 2.8 kΩ NOM

TYPICAL OF ALL OUTPUTS



recommended operating conditions

	SN54157			SN74157			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−800			−800	μA
Low-level output current, I_{OL}			16			16	mA
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†	SN54157			SN74157			UNIT
			MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage		2			2			V
V_{IL}	Low-level input voltage				0.8			0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −12 mA			−1.5			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OH} = −800 μA	2.4	3.4		2.4	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OL} = 16 mA		0.2	0.4		0.2	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 5.5 V			1			1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.4 V			40			40	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4 V			−1.6			−1.6	mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX	−20		−55	−18		−55	mA
I_{CC}	Supply current	V_{CC} = MAX, See Note 2		30	48		30	48	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be shorted at a time and duration of short-circuit should not exceed one second.
NOTE 2: I_{CC} is measured with 4.5 V applied to all inputs and all outputs open.

3

TTL DEVICES

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER¶	FROM (INPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Data	C_L = 15 pF, R_L = 400 Ω, See Note 3		9	14	ns
t_{PHL}				9	14	
t_{PLH}	Strobe $\overline{G}$			13	20	ns
t_{PHL}				14	21	
t_{PLH}	Select $\overline{A}$/B			15	23	ns
t_{PHL}				18	27	

¶ t_{PLH} = propagation delay time, low- to high-level output
t_{PHL} = propagation delay time, high- to low-level output
NOTE 3: See General Information Section for load circuits and voltage waveforms.

TEXAS INSTRUMENTS
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

recommended operating conditions

		MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage	4.5	5	5.5	V
I_{OH}	High-level output current			−400	μA
I_{OL}	Low-level output current			8	mA
T_A	Operating free-air temperature	−55		125	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage				0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −12 mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OH} = −400 μA	2.4	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OL} = 8 mA		0.2	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 5.5 V			1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.4 V			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4 V			−0.8	mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX	−9		−28	mA
I_{CC}	Supply current	V_{CC} = MAX, See Note 2		15	24	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be shorted at a time.
NOTE 2: I_{CC} is measured with 4.5 V applied to all inputs and all outputs open.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER¶	FROM (INPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Data	C_L = 15 pF, R_L = 800 Ω, See Note 3		18	28	ns
t_{PHL}				18	28	
t_{PLH}	Strobe $\overline{G}$			26	40	ns
t_{PHL}				28	42	
t_{PLH}	Select A/B			30	46	ns
t_{PHL}				36	54	

¶ t_{PLH} = propagation delay time, low to high level output
t_{PHL} = propagation delay time, high to low level output

NOTE 3: See General Information Section for load circuits and voltage waveforms.

recommended operating conditions

		SN54LS'			SN74LS'			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
I_{OH}	High-level output current			−400			−400	μA
I_{OL}	Low-level output current			4			8	mA
T_A	Operating free-air temperature	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER			TEST CONDITIONS†			SN54LS'			SN74LS'			UNIT
						MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage					2			2			V
V_{IL}	Low-level input voltage							0.7			0.8	V
V_{IK}	Input clamp voltage		V_{CC} = MIN,	I_I = −18 mA				−1.5			−1.5	V
V_{OH}	High-level output voltage		V_{CC} = MIN, V_{IL} = MAX,	V_{IH} = 2 V, I_{OH} = −400 μA		2.5	3.4		2.7	3.4		V
V_{OL}	Low-level output voltage		V_{CC} = MIN, V_{IL} = MAX	V_{IH} = 2 V,	I_{OL} = 4 mA		0.25	0.4		0.25	0.4	V
					I_{OL} = 8 mA					0.35	0.5	
I_I	Input current at maximum input voltage	$\overline{A}/B$ or $\overline{G}$	V_{CC} = MAX,	V_I = 7 V				0.2			0.2	mA
		A or B						0.1			0.1	
I_{IH}	High-level input current	$\overline{A}/B$ or $\overline{G}$	V_{CC} = MAX,	V_I = 2.7 V				40			40	μA
		A or B						20			20	
I_{IL}	Low-level input current	$\overline{A}/B$ or $\overline{G}$	V_{CC} = MAX,	V_I = 0.4 V				−0.8			−0.8	mA
		A or B						−0.4			−0.4	
I_{OS}	Short-circuit output current§		V_{CC} = MAX			−20		−100	−20		−100	mA
I_{CC}	Supply current		V_{CC} = MAX,	See Note 2	'LS157		9.7	16		9.7	16	mA
					'LS158		4.8	8		4.8	8	
			V_{CC} = MAX, All A inputs at 4.5 V, All other inputs at 0 V		LS158		6.5	11		6.5	11	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be shorted at a time and duration of short-circuit should not exceed one second.
NOTE 2: I_{CC} is measured with 4.5 V applied to all inputs and all outputs open.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER¶	FROM (INPUT)	TEST CONDITIONS	'LS157			'LS158			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	
t_{PLH}	Data	C_L = 15 pF, R_L = 2 kΩ, See Note 3		9	14		7	12	ns
t_{PHL}				9	14		10	15	
t_{PLH}	Strobe $\overline{G}$			13	20		11	17	ns
t_{PHL}				14	21		18	27	
t_{PLH}	Select $\overline{A}/B$			15	23		13	20	ns
t_{PHL}				18	27		18	24	

¶ t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output
NOTE 3: See General Information Section for load circuits and voltage waveforms.

TEXAS INSTRUMENTS
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

recommended operating conditions

	SN54S157 SN54S158			SN74S157 SN74S158			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−1			−1	mA
Low-level output current, I_{OL}			20			20	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		SN54S157 SN74S157			SN54S158 SN74S158			UNIT
				MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage			2			2			V
V_{IL}	Low-level input voltage					0.8			0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −18 mA				−1.2			−1.2	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OH} = −1 mA	Series 54S	2.5	3.4		2.5	3.4		V
			Series 74S	2.7	3.4		2.7	3.4		
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OL} = 20 mA				0.5			0.5	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 5.5 V				1			1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7 V	$\overline{A}/B$ or $\overline{G}$			100			100	μA
			A or B			50			50	
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.5 V	$\overline{A}/B$ or $\overline{G}$			−4			−4	mA
			A or B			−2			−2	
I_{OS}	Short-circuit ouput current§	V_{CC} = MAX		−40		−100	−40		−100	mA
I_{CC}	Supply current	V_{CC} = MAX, All inputs at 4.5 V, See Note 2			50	78		39	61	mA
		V_{CC} = MAX, A inputs at 4.5 V, B,G,S, inputs at 0 V, See Note 2							81	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be shorted at a time, and duration of the short circuit should not exceed one second.
Note 2: I_{CC} is measured with all outputs open.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER¶	FROM (INPUT)	TEST CONDITIONS	SN54S157 SN74S157			SN54S158 SN74S158			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	
t_{PLH}	Data	C_L = 15 pF, R_L = 280 Ω, See Note 3		5	7.5		4	6	ns
t_{PHL}				4.5	6.5		4	6	
t_{PLH}	Strobe $\overline{G}$			8.5	12.5		6.5	11.5	ns
t_{PHL}				7.5	12		7	12	
t_{PLH}	Select $\overline{A}/B$			9.5	15		8	12	ns
t_{PHL}				9.5	15		8	12	

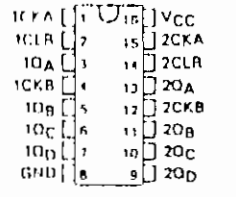
¶ t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output
NOTE 3: See General Information Section for load circuits and voltage waveforms

TYPES SN54390, SN54LS390, SN54393, SN54LS393, SN74390, SN74LS390, SN74393, SN74LS393
DUAL 4-BIT DECADE AND BINARY COUNTERS

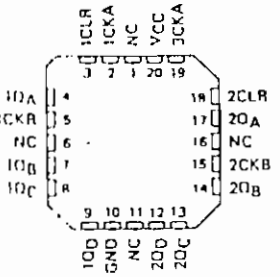
OCTOBER 1976 REVISED DECEMBER 1983

- Dual Versions of the Popular '90A, 'LS90 and '93A, 'LS93
- '390, 'LS390 . . . Individual Clocks for A and B Flip-Flops Provide Dual ÷ 2 and ÷ 5 Counters
- '393, 'LS393 . . . Dual 4-Bit Binary Counter with Individual Clocks
- All Have Direct Clear for Each 4-Bit Counter
- Dual 4-Bit Versions Can Significantly Improve System Densities by Reducing Counter Package Count by 50%
- Typical Maximum Count Frequency . . . 35 MHz
- Buffered Outputs Reduce Possibility of Collector Commutation

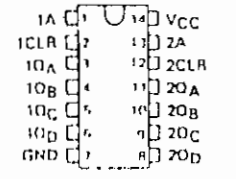
SN54390, SN54LS390 . . . J OR W PACKAGE
SN74390 . . . J OR N PACKAGE
SN74LS390 . . . D, J OR N PACKAGE
(TOP VIEW)



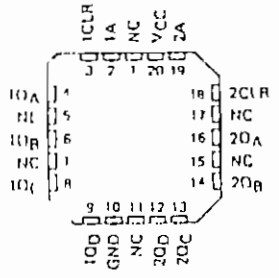
SN54LS390 . . . FK PACKAGE
SN74LS390 . . . FN PACKAGE
(TOP VIEW)



SN54393, SN54LS393 . . . J OR W PACKAGE
SN74393 . . . J OR N PACKAGE
SN74LS393 . . . D, J OR N PACKAGE
(TOP VIEW)



SN54LS393 . . . FK PACKAGE
SN74LS393 . . . FN PACKAGE
(TOP VIEW)



NC — No internal connection

description

Each of these monolithic circuits contains eight master-slave flip-flops and additional gating to implement two individual four-bit counters in a single package. The '390 and 'LS390 incorporate dual divide-by-two and divide-by-five counters, which can be used to implement cycle lengths equal to any whole and/or cumulative multiples of 2 and/or 5 up to divide-by-100. When connected as a bi-quinary counter, the separate divide-by-two circuit can be used to provide symmetry (a square wave) at the final output stage. The '393 and 'LS393 each comprise two independent four-bit binary counters each having a clear and a clock input. N-bit binary counters can be implemented with each package providing the capability of divide-by-256. The '390, 'LS390, '393, and 'LS393 have parallel outputs from each counter stage so that any submultiple of the input count frequency is available for system-timing signals.

Series 54 and Series 54LS circuits are characterized for operation over the full military temperature range of −55°C to 125°C; Series 74 and Series 74LS circuits are characterized for operation from 0°C to 70°C.

3 TTL DEVICES

PRODUCTION DATA
This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

TEXAS INSTRUMENTS
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

FUNCTION TABLES

'390, 'LS390
BCD COUNT SEQUENCE
(EACH COUNTER)
(See Note A)

COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

'390, 'LS390
BI-QUINARY (5 2)
(EACH COUNTER)
(See Note B)

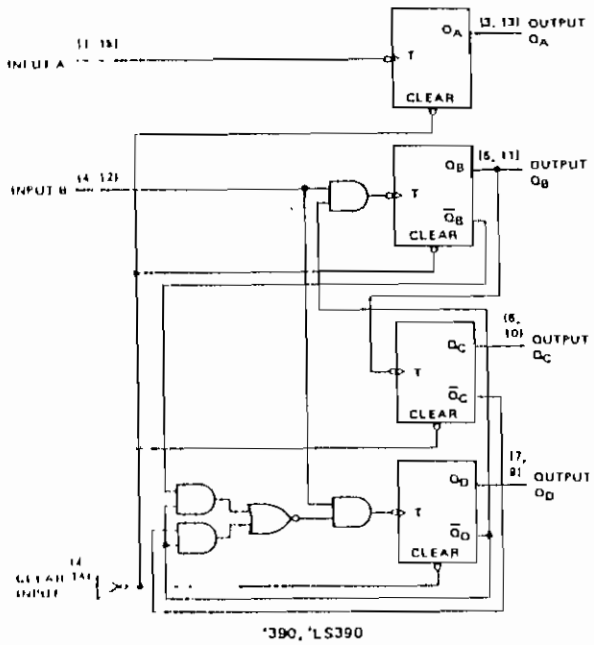
COUNT	OUTPUT			
	Q_A	Q_D	Q_C	Q_B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

'393, 'LS393
COUNT SEQUENCE
(EACH COUNTER)

COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

NOTES
A. Output Q_A is connected to input B for BCD count.
B. Output Q_D is connected to input A for bi-quinary count.
C. H = high level, L = low level

logic diagrams



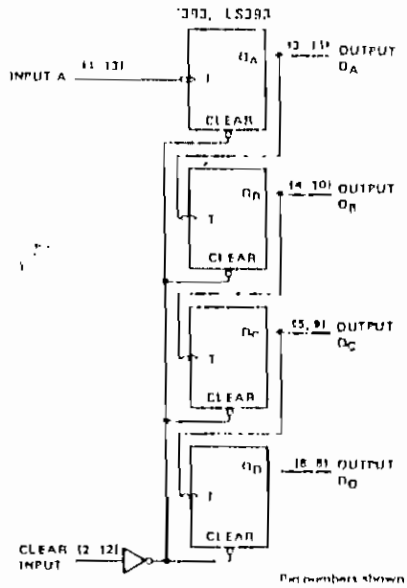
'390, 'LS390

Pin numbers shown are for D, J, or N packages.

TEXAS INSTRUMENTS
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

logic diagrams (continued)

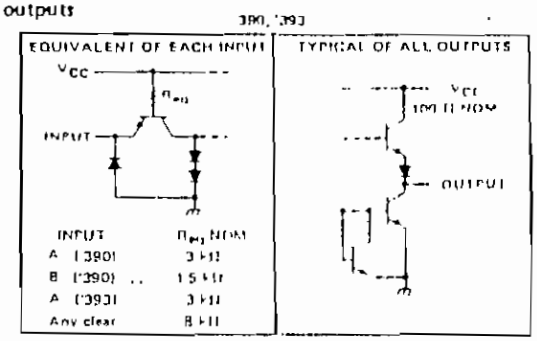
'393, 'LS393



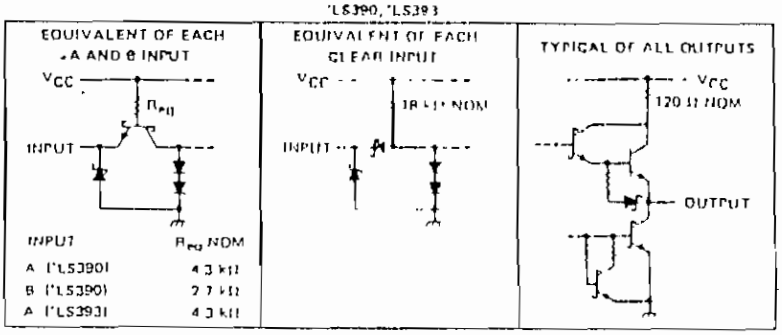
Pin numbers shown on logic notation are for D, J, or N package

schematics of inputs and outputs

'390, '393



'LS390, 'LS393



3

TTL DEVICES

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER†	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	'390			'393			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
f_{max}	A	Q_A	C_L = 15 pF, R_L = 400 Ω, See Note 3 and Figure 1	25	35		25	35		MHz
	B	Q_B		20	30					
t_{PLH}	A	Q_A			12	20		12	20	ns
t_{PHL}					13	20		13	20	
t_{PLH}	A	Q_C of '390 Q_D of '393			37	60		40	60	ns
t_{PHL}					39	60		40	60	
t_{PLH}	B	Q_B			13	21				ns
t_{PHL}					14	21				
t_{PLH}	B	Q_C			24	39				ns
t_{PHL}					26	39				
t_{PLH}	B	Q_D			13	21				ns
t_{PHL}					14	21				
t_{PHL}	Clear	Any			24	33		24	39	ns

†f_{max} = maximum count frequency
t_{PLH} = propagation delay time, low to high level output
t_{PHL} = propagation delay time, high to low level output

NOTE 3: See General Information Section for load circuits and voltage waveforms

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage V_{CC} (see Note 1) . . . . . 7 V
Input voltage . . . . . 5.5 V
Operating free-air temperature range: SN54390, SN54393 . . . . . −55°C to 125°C
SN74390, SN74393 . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

		SN54390, SN54393			SN74390, SN74393			Unit
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−800			−800	μA
Low-level output current, I_{OL}				16			16	mA
Count frequency, f_{count}	A input	0		25	0		25	MHz
	B input	0		20	0		20	
Pulse width, t_w	A input high or low	20			20			ns
	B input high or low ↓	25			25			
	Clear high	20			20			
Clear inactive-state setup time, t_{su}		25↓			25↓			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

↓ The arrow indicates that the falling edge of the clock pulse is used for reference.

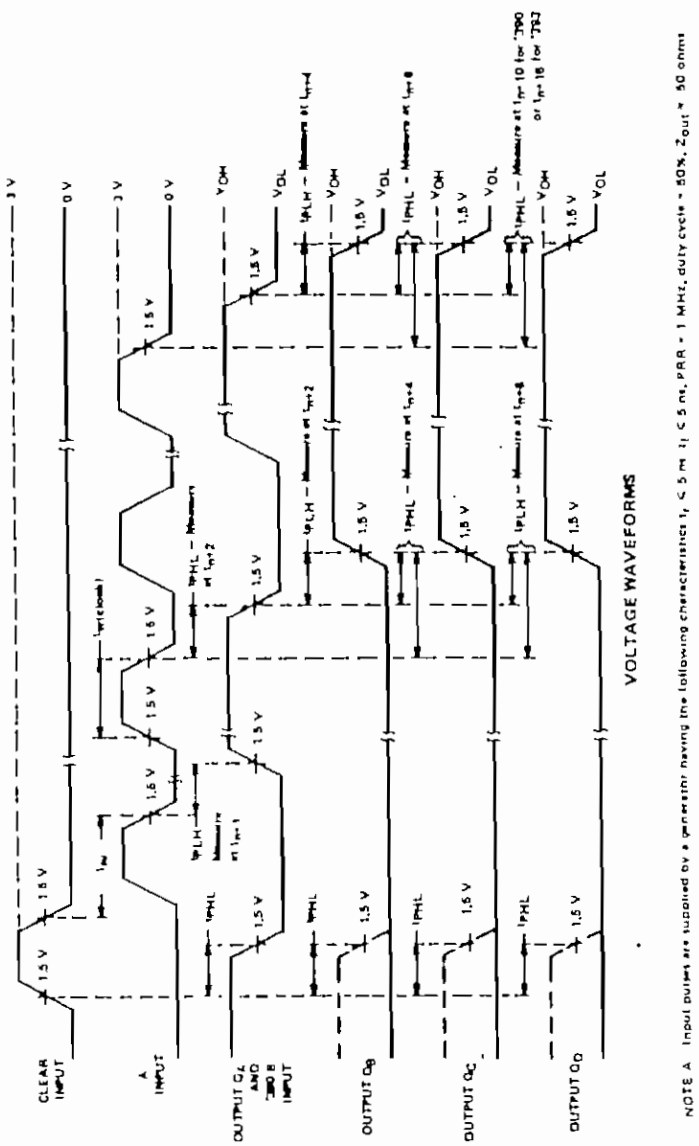
electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER			TEST CONDITIONS†		'390			'393			Unit
					MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage				2			2			V
V_{IL}	Low-level input voltage						0.8			0.8	V
V_{IK}	Input clamp voltage		V_{CC} = MIN, I_I = −12 mA				−1.5			−1.5	V
V_{OH}	High-level output voltage		V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OH} = −800 μA		2.4	3.4		2.4	3.4		V
V_{OL}	Low-level output voltage		V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OL} = 16 mA¶			0.2	0.4		0.2	0.4	V
I_I	Input current at maximum input voltage		V_{CC} = MAX, V_I = 5.5 V				1			1	mA
I_{IH}	High-level input current	Clear	V_{CC} = MAX, V_I = 2.4 V				40			40	μA
		Input A					80			80	
		Input B					120				
I_{IL}	Low-level input current	Clear	V_{CC} = MAX, V_I = 0.4 V				−1			−1	mA
		Input A					−3.2			−3.2	
		Input B					−4.8				
I_{OS}	Short-circuit output current§		V_{CC} = MAX	SN54'	−20		−57	−20		−57	mA
				SN74'	−18		−57	−18		−57	
I_{CC}	Supply current		V_{CC} = MAX, See Note 2			42	69		38	64	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
¶ The Q_A outputs of the '390 are tested at I_{OL} = 16 mA plus the limit value for I_{IL} for the B input. This permits driving the B input while maintaining full fan-out capability.
§ Not more than one output should be shorted at a time.
NOTE 2: I_{CC} is measured with all outputs open, both clear inputs grounded following momentary connection to 4.5 V, and all other inputs grounded.

TEXAS INSTRUMENTS
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

PARAMETER MEASUREMENT INFORMATION



VOLTAGE WAVEFORMS

NOTE A: Input pulses are supplied by a generator having the following characteristics: $t_r \leq 5$ ns, PRR = 1 MHz, duty cycle = 50%, $Z_{out} \approx 50$ ohms.

FIGURE 1

TEXAS INSTRUMENTS
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Clear input voltage . . . . . 7 V
Any A or B clock input voltage . . . . . 5.5 V
Operating free-air temperature range: SN54LS390, SN54LS393 . . . . . −55°C to 125°C
SN74LS390, SN74LS393 . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

		SN54LS390 SN54LS393			SN74LS390 SN74LS393			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Count frequency, f_{count}	A input	0		25	0		25	MHz
	B input	0		12.5	0		12.5	
Pulse width, t_w	A input high or low	20			20			ns
	B input high or low	40			40			
	Clear high	20			20			
Clear inactive-state setup time, t_{su}		25↓			25↓			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

↓ The arrow indicates that the falling edge of the clock pulse is used for reference.

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER			TEST CONDITIONS†		SN54LS'			SN74LS'			UNIT
					MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage				2			2			V
V_{IL}	Low-level input voltage						0.7			0.8	V
V_{IK}	Input clamp voltage		V_{CC} = MIN, I_I = −18 mA				−1.5			−1.5	V
V_{OH}	High-level output voltage		V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = $V_{IL max}$, V_{OH} = 400 μA		2.5	3.4		2.7	3.4		V
V_{OL}	Low-level output voltage		V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V,	I_{OL} = 4 mA¶		0.25	0.4		0.25	0.4	V
				I_{OL} = 8 mA¶					0.35	0.5	
I_I	Input current at maximum input voltage	Clear	V_{CC} = MAX	V_I = 7 V			0.1			0.1	mA
		Input A		V_I = 5.5 V			0.2			0.2	
		Input B					0.4			0.4	
I_{IH}	High-level input current	Clear	V_{CC} = MAX, V_I = 2.7 V				0.02			0.02	mA
		Input A					0.1			0.1	
		Input B					0.2			0.2	
I_{IL}	Low-level input current	Clear	V_{CC} = MAX, V_I = 0.4 V				−0.4			−0.4	mA
		Input A					−1.6			−1.6	
		Input B					−2.4			−2.4	
I_{OS}	Short-circuit output current§		V_{CC} = MAX		−20		−100	20		100	mA
I_{CC}	Supply current		V_{CC} = MAX, See Note 2	'LS390		15	26		15	26	mA
				'LS393		15	26		15	26	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
¶ The Q_A outputs of the 'LS390 are tested at I_{OL} = MAX plus the limit value for I_{IL} for the clock B input. This permits driving the clock B input while maintaining full fan-out capability.
§ Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.
NOTE 2: I_{CC} is measured with all outputs open, both clear inputs grounded following momentary connection to 4.5 V, and all other inputs grounded.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

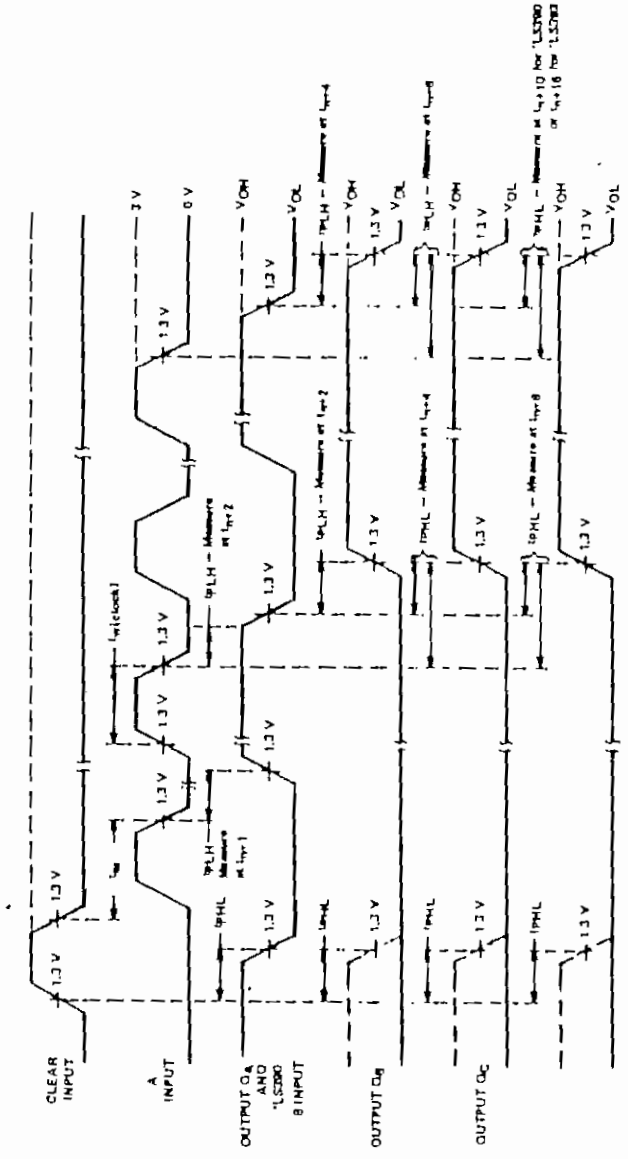
PARAMETER†	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	'LS390			'LS393		
				MIN	TYP	MAX	MIN	TYP	MAX
f_{max}	A	Q_A	C_L = 15 pF, R_L = 2 kΩ, See Note 4 and Figure 2	25	35		25	35	
	B	Q_B		12.5	20				
t_{PLH}	A	Q_A			12	20		12	20
t_{PHL}					13	20		13	20
t_{PLH}	A	Q_C of 'LS390 Q_D of 'LS393			37	60		40	60
t_{PHL}					39	60		40	60
t_{PLH}	B	Q_B			13	21			
t_{PHL}					14	21			
t_{PLH}	B	Q_C			24	39			
t_{PHL}					26	39			
t_{PLH}	B	Q_D			13	21			
t_{PHL}					14	21			
t_{PHL}	Clear	Any			24	39		24	39

† f_{max} = maximum count frequency
t_{PLH} = propagation delay time, low to high level output
t_{PHL} = propagation delay time, high to low level output

NOTE 4: See General Information Section for load circuits and voltage waveforms

TEXAS INSTRUMENTS
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

PARAMETER MEASUREMENT INFORMATION



VOLTAGE WAVEFORMS

NOTE A: Input pulses are supplied by a generator having the following characteristics: $t_r \leq 15$ ns, $t_f \leq 6$ ns, PRR = 1 MHz, duty cycle = 50 %, $Z_{out} \approx 50$ ohms.

FIGURE 2

MOTOROLA

MC12009 MC12509
MC12011 MC12511
MC12013 MC12513

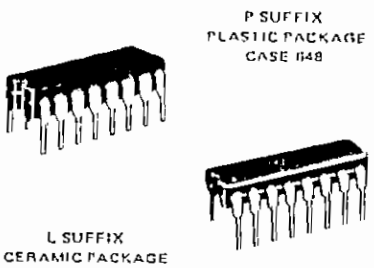
TWO-MODULUS PRESCALER

These devices are two-modulus prescalers which will divide by 5 and 6, 8 and 9, and 10 and 11, respectively. A MECL-to-TTL translator is provided to interface directly with the MC12014 Counter Control Logic. In addition, there is a buffered clock input and MECL bias voltage source. Details of operation are on the MC12012 data sheet.

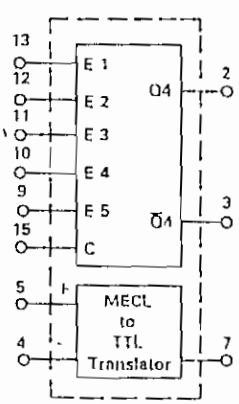
- 600 MHz (Typ) Toggle Frequency
- MC12009 (÷5/6), MC12011 (÷8/9), MC12013 (÷10/11)
- MECL to TTL Translator on Chip
- MECL and TTL Enable Inputs
- +5.0 or −5.2 V Operation*
- Buffered Clock Input — Series Input RC Typ, 20 Ohms and 4 pF
- V_{BB} Reference Voltage
- 310 Milliwatts (Typ)

*When using +5.0 V supply, apply +5.0 V to pin 1 (V_{CCO}), pin 6 (TTL V_{CC}), pin 16 (V_{CC}), and ground pin 8 (V_{EE}). When using −5.2 V supply, ground pin 1 (V_{CCO}), pin 6 (TTL V_{CC}), and pin 10 (V_{CC}) and apply −5.2 V to pin 8 (V_{EE}). If the translator is not required, pin 6 may be left open to conserve dc power drain.

TWO-MODULUS PRESCALER

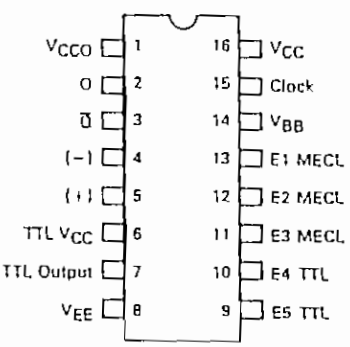


LOGIC DIAGRAM



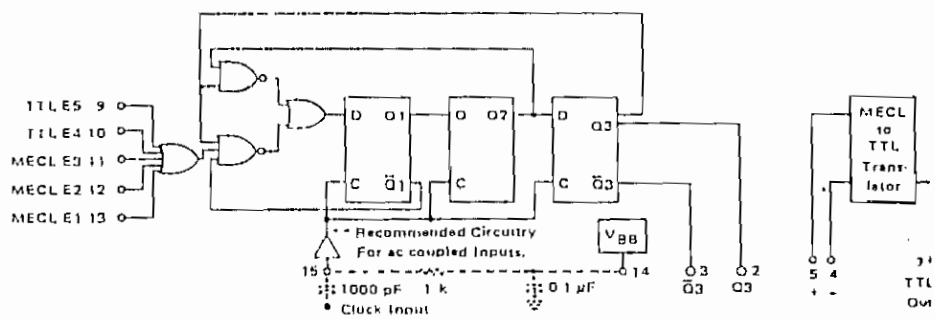
V_{CCO} = pin 1
V_{CC} = pin 16
V_{EE} = pin 8

PIN ASSIGNMENT

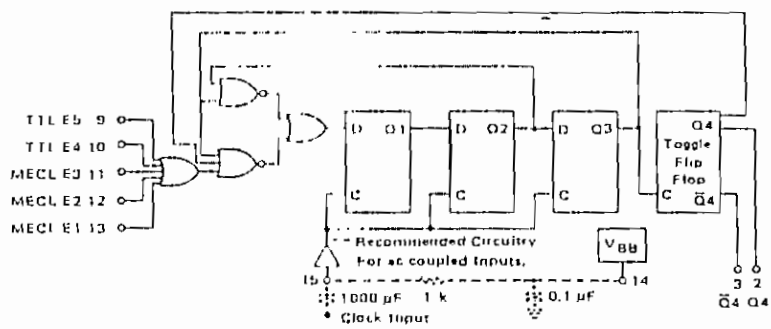


LOGIC DIAGRAMS

MC12009



MC12011



MC12013

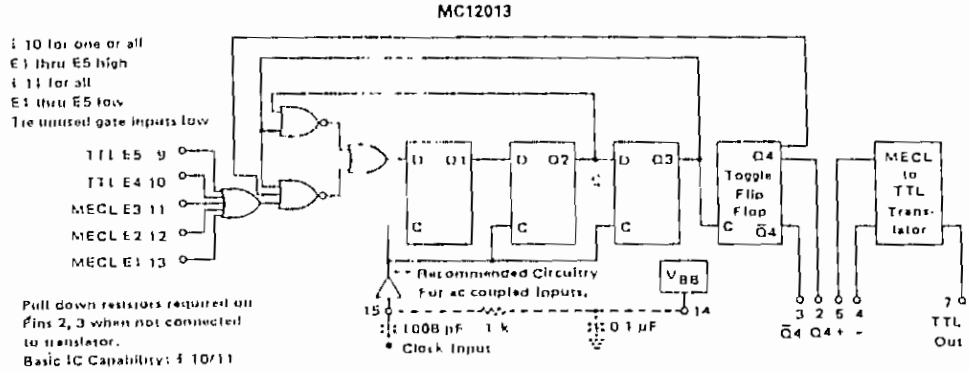
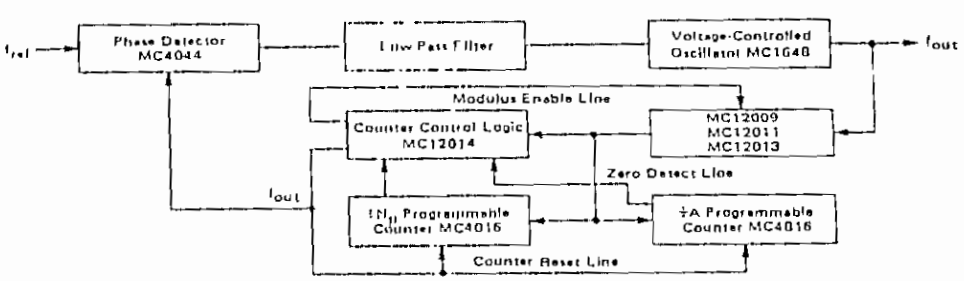


FIGURE 2 — TYPICAL FREQUENCY SYNTHESIZER APPLICATION



7

ELECTRICAL CHARACTERISTICS ..... Supply Voltage −5.2 V

These devices are designed to meet the dc specifications shown in the test table after thermal equilibrium has been established. Outputs are terminated through a 50-ohm resistor to −2.0 Vdc.

@Test Temperature	TEST VOLTAGE/CURRENT VALUES											
	Volts									mA		
	V_{IHmax}	V_{ILmin}	V_{IHAmin}	V_{ILAmax}	V_{IH}	V_{IL}	V_{IHT}	V_{ILT}	V_{EE}	I_L	I_{OL}	I_{OH}
−30°C	−0.890	−1.990	−1.205	−1.500	−2.8	−4.7	−3.2	−4.4	−5.2	−0.25	16	−0.40
+25°C	−0.810	−1.950	−1.105	−1.475	−2.8	−4.7	−3.2	−4.4	−5.2	−0.25	16	−0.40
+85°C	−0.700	−1.925	−1.035	−1.440	−2.8	−4.7	−3.2	−4.4	−5.2	−0.25	16	−0.40

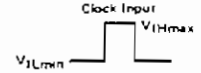
Characteristic	Symbol	Pin Under Test	MC12009, MC12011, MC12013 −30°C Min	−30°C Max	+25°C Min	+25°C Typ	+25°C Max	+85°C Min	+85°C Max	Unit	TEST VOLTAGE/CURRENT APPLIED TO PINS LISTED BELOW: V_{IHmax}	V_{ILmin}	V_{IHAmin}	V_{ILAmax}	V_{IH}	V_{IL}	V_{IHT}	V_{ILT}	V_{EE}	I_L	I_{OL}	I_{OH}	Gnd
Power Supply Drain Current	I_{CC1}	8	−68	–	−80	–	–	−60	–	mAdc	–				–	–	–	–	8	–	–	–	1,16
	I_{CC2}	5	–	52	–	–	52	–	52	mAdc	4	5	–	–	–	–	–	–	8	–	–	–	6
Input Current	I_{INH1}	15	–	375	–	–	250	–	250	μAdc	15	–		–	–		–		8	–			1,16
		11			–	–		–			11			–	–	–	9.10	–		–	–	–	
		12	–		–	–		–			12	–	–	–	–	–	9.10	–		–	–	–	
		13						–			13			–	–	–	9.10	–		–	–	–	
	I_{INH2}	4	−7	60	20	–	6.0	20	64	mAdc	5	4	–	–					8	–	–	–	6
		5	−7	60	20	–	6.0	20	64	mAdc	5	4			–	–	–	–	8	–	–	–	6
	I_{INH3}	6	37	30	10	–	3.0	10	36	mAdc	4	5	–	–	–	–	–	–	8	–	–	–	6
	I_{INH4}	9	–	–	100	–	100	–	100	μAdc	–	–	–	–	9	–	–	–	8	–	–	–	1,16
		10	–	–	100	–	100		100	μAdc				–	10	–	–		8	–	–	–	1,16
Leakage Current	I_{INL1}	14	+10	–	+10	–	–	−10	–	μAdc	–	–	–	–	–		–	–	8,15	–	–	–	1,16
		11		–			–		–		–	–	–	–	–	–	–	–	8,11	–	–	–	
		12		–		–	–		–		–	–	–	–	–	–		–	8,12	–	–	–	
		13		–		–	–		–		–	–	–	–	–	–	–	–	8,13	–	–	–	
	I_{INL2}	9	−1.6	–	−1.6	–	–	−1.6	–	mAdc	–	–	–	–	–	9	–	–	8	–	–	–	1,16
		10	−1.6		−1.6	–	–	−1.6	–	mAdc		–	–	–	–	10	–	–	8	–	–	–	1,16
Reference Voltage	V_{BB}	14	–	–	−1.360	–	−1.160	–	–	Vdc	–	–	–	–	–	–	–	–	8	14	–	–	1,16
Logic "1" Output Voltage	V_{OH1}	2	−1.100	−0.890	−1.000	–	−0.810	−0.930	−0.700	Vdc	–	11,12,13	–	–	–	9,10	–	–	8	–	–	–	1,16
	①	3	−1.100	−0.890	−1.000	–	−0.810	−0.930	−0.700	Vdc	–	11,12,13	–	–	–	9,10	–	–	8	–	–	–	1,16
	V_{OH2}	7	−2.8	–	−2.6	–	–	−2.4	–	Vdc	5	4	–	–	–	–	–	–	8	–	–	7	6
Logic "0" Output Voltage	V_{OL1}	2	−1.990	−1.675	−1.950	–	−1.650	−1.925	−1.615	Vdc	–	11,12,13	–	–	–	9,10	–	–	8	–	–	–	1,16
	①	3	−1.990	−1.675	−1.950	–	−1.650	−1.925	−1.615	Vdc	–	11,12,13	–	–	–	9,10	–	–	8	–	–	–	1,16
	V_{OL2}	7	–	−1.26	–	–	−1.40	–	−1.48	Vdc	4	5	–	–	–	–	–	–	8	–	7	–	6
Logic "1" Threshold Voltage	V_{OHA}	2	−1.120	–	−1.020		–	−0.950	–	Vdc	–	–	11,12,13	–	–	–	9,10	–	8	–	–	–	1,16
	②	3	−1.120	–	−1.020	–	–	−0.950	–	Vdc	–	–	11,12,13	–	–	–	9,10	–	8	–	–	–	1,16
Logic "0" Threshold Voltage	V_{OLA}	2		−1.655	–	–	−1.630	–	−1.595	Vdc	–	–	–	11,12,13	–	–	–	9,10	8	–	–	–	1,16
	③	3	–	−1.655	–	–	−1.630	–	−1.595	Vdc	–	–	–	11,12,13	–	–	–	9,10	8	–	–	–	1,16
Short Circuit Current	I_{OS}	7	−65	−20	−65	–	−20	−65	−20	mAdc	5	4	–	–	–	7	–	–	8	–	–	–	6

① Test outputs of the device must be tested by sequencing through the truth table. All input, power supply and ground voltages must be maintained between tests. The clock input is the waveform shown

② In addition to meeting the output levels specified, the device must divide by 5, 8, or 10 during this test. The clock input is the waveform shown

③ In addition to meeting the output levels specified, the device must divide by 6, 9, or 11 during this test. The clock input is the waveform shown

Clock Input



ELECTRICAL CHARACTERISTICS ..... Supply Voltage +5.0 V

These devices are designed to meet the dc specifications shown in the test table after thermal equilibrium has been established. Outputs are terminated through a 50-ohm resistor to −3.0 Vdc.

Test Temperature	TEST VOLTAGE/CURRENT VALUES											
	Volts									mA		
	V_{IHmax}	V_{ILmin}	V_{IHAmin}	V_{ILAmax}	V_{IH}	V_{IL}	V_{IHT}	V_{ILT}	V_{CC}	I_L	I_{OL}	I_{OH}
-55°C	+4.120	+3.040	+3.745	+3.500	+2.4	+0.5	+2.0	+0.8	+5.0	-0.25	16	-0.40
+25°C	+4.220	+3.135	+3.895	+3.525	+2.4	+0.5	+2.0	+0.8	+5.0	-0.25	16	-0.40
+125°C	+4.370	+3.140	+4.000	+3.560	+2.4	+0.5	+2.0	+0.8	+5.0	-0.25	16	-0.40

Characteristic	Symbol	Pin Under Test	MC12509, MC12511, MC12513 −55°C Min	−55°C Max	+25°C Min	+25°C Typ	+25°C Max	+125°C Min	+125°C Max	Unit	TEST VOLTAGE/CURRENT APPLIED TO PINS LISTED BELOW V_{IHmax}	V_{ILmin}	V_{IHAmin}	V_{ILAmax}	V_{IH}	V_{IL}	V_{IHT}	V_{ILT}	V_{CC}	I_L	I_{OL}	I_{OH}	(V_{EE}) Gnd
Power Supply Drain Current	I_{CC1}	5	-88	-	-80	-	-	-80	-	mAdc	4	5							1,16				8
	I_{CC2}	6		57		-	57	-	52	mAdc									6				8
Input Current	I_{INH1}	1		400			350		250	μAdc	1					9,10			1,16				8
		2		▼		-	▼		▼	▼	2					9,10			▼				▼
		3									3					9,10							
		4									4												
	I_{INH2}	4	-	0.2	20		6.0	20	0.4	mAdc	4	5	-	-					6				8
		5	1.4	6.0	20		6.0	20	0.4	mAdc	5	4	-	-					6				8
	I_{INH3}	9	-	-	10	-	3.0	-	-	mAdc	4	5	-	-					6		-		8
	I_{INH4}	9	-	100		-	100	-	100	μAdc					9		-	-	1,16		-		8
		10	-	100	-		100		100	μAdc					10	-			1,16	-		-	8
Leakage Current	I_{INL1}	15	-10	-	-10	-	-	-10	-	μAdc	-	-	-		-	-	-		1,16	-	-		8,15
		11		-		-	-		-			-		-		-			1	-	-		8,11
		12		-		-	-		-			-	-	-	-	-	-	-	1	-	-	-	8,12
		13	▼		▼		-	▼	-	▼		-							▼	-		-	8,13
	I_{INL2}	9	-1.6	-	-1.6	-	-	-1.6	-	mAdc	-					9			1,16	-		-	8
		10	-1.6	-	-1.6	-	-	-1.6	-	mAdc	-				-	10	-	-	1,16	-	-	-	9
Reference Voltage	V_{BB}	14	-	-	3.67	-	3.87	-		Vdc						-		-	1,16	14	-		8
Logic "1" Output Voltage	V_{OH1} ①	2	3.880	4.120	4.030	-	4.220	4.135	4.370	Vdc	-	11,12,13	-	-	-	9,10	-	-	1,16	-		-	8
		3	3.880	4.120	4.030	-	4.220	4.135	4.370	Vdc	-	11,12,13		-	-	9,10	-	-	1,16	-	-	-	8
	V_{OH2}	7	2.4	-	2.7	-	-	3.0	-	Vdc	5	4	-	-	-	-	-	-	6	-	-	7	8
Logic "0" Output Voltage	V_{OL1} ①	2	3.040	3.405	3.110	-	3.440	3.140	3.515	Vdc	-	11,12,13	-	-	-	9,10	-	-	1,16	-	-	-	8
		3	3.040	3.405	3.110	-	3.440	3.140	3.515	Vdc	-	11,12,13	-	-	-	9,10	-	-	1,16	-	-	-	8
	V_{OL2}	7	-	1.00	-	-	0.80	-	0.66	Vdc	4	5	-	-	-	-	-	-	6	-	7		8
Logic "1" Threshold Voltage	V_{OHA} ②	2	3.860	-	4.010	-	-	4.115	-	Vdc	-	-	11,12,13	-	-	-	9,10	-	1,16	-	-	-	8
		3	3.860	-	4.010	-	-	4.115	-	Vdc	-	-	11,12,13	-	-	-	9,10	-	1,16	-	-	-	8
Logic "0" Threshold Voltage	V_{OLA} ③	2	-	3.425	-	-	3.460	-	3.535	Vdc	-	-	-	-	-	-	-	9,10	1,16	-	-	-	8
		3	-	3.425	-	-	3.460	-	3.535	Vdc	-	-	-	11,12,13	-	-	-	9,10	1,16	-	-	-	8
Short Circuit Current	I_{OS}	7	-65	-20	-65	-	-20	-65	-20	mAdc	5	4	-	-	-	7	-	-	6	-	-	-	8

① Test outputs of the device must be tested by sequencing through the truth table. All input, power supply and ground voltages must be maintained between tests. The clock input is the waveform shown.

② In addition to meeting the output levels specified, the device must divide by 5, 8, or 10 during this test. The clock input is the waveform shown.

③ In addition to meeting the output levels specified, the device must divide by 6, 9, or 11 during this test. The clock input is the waveform shown.

ELECTRICAL CHARACTERISTICS ——— Supply Voltage −5.2 V

These devices are designed to meet the dc specifications shown in the test table after thermal equilibrium has been established. Outputs are terminated through a 50-ohm resistor to −2.0 Vdc.

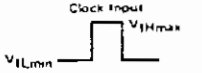
@Test Temperature	TEST VOLTAGE/CURRENT VALUES											
	Volts									mA		
	V_{IHmax}	V_{ILmin}	V_{IHAmin}	V_{ILAmax}	V_{IH}	V_{IL}	V_{IHT}	V_{ILT}	V_{EE}	I_L	I_{OL}	I_{OH}
−55°C	−0.880	−2.020	−1.255	−1.500	−2.8	−4.7	−3.2	−4.4	−5.2	−0.25	16	−0.40
+25°C	−0.780	−1.950	−1.105	−1.475	−2.8	−4.7	−3.2	−4.4	−5.2	−0.25	16	−0.40
+125°C	−0.630	−1.920	−1.000	−1.400	−2.8	−4.7	−3.2	−4.4	−5.2	−0.25	16	−0.40

Characteristic	Symbol	Pin Under Test	MC12509, MC12511, MC12513 −55°C Min	−55°C Max	+25°C Min	+25°C Typ	+25°C Max	+125°C Min	+125°C Max	Unit	TEST VOLTAGE/CURRENT APPLIED TO PINS LISTED BELOW: V_{IHmax}	V_{ILmin}	V_{IHAmin}	V_{ILAmax}	V_{IH}	V_{IL}	V_{IHT}	V_{ILT}	V_{EE}	I_L	I_{OL}	I_{OH}	Gnd
Power Supply Drain Current	I_{CC1}	8	−88	–	−80	–	–	−80	–	mAdc	–	–	–	–	–	–	–	–	8	–	–	–	1,16
	I_{CC2}	6	–	52	–	–	52	–	52	mAdc	4	5	–	–	–	–	–	–	8	–	–	–	6
Input Current	I_{INH1}	15	–	400	–	–	250	–	250	µAdc	15	–	–	–	–	–	–	–	8	–	–	–	1,16
		11	–	↓	–	–	↓	–	↓	↓	11	–	–	–	–	9,10	–	–	↓	–	–	–	↓
		12	–	↓	–	–	↓	–	↓	↓	12	–	–	–	–	9,10	–	–	↓	–	–	–	↓
		13	–	▼	–	–	▼	–	▼	▼	13	–	–	–	–	9,10	–	–	▼	–	–	–	▼
	I_{INH2}	4	+7	60	20	–	60	20	64	mAdc	5	4	–	–	–	–	–	–	8	–	–	–	6
		5	+7	60	20	–	60	20	64	mAdc	5	4	–	–	–	–	–	–	8	–	–	–	6
	I_{INH3}	5	–	–	10	–	30	–	–	mAdc	4	5	–	–	–	–	–	–	3	–	–	–	6
	I_{INH4}	9	–	100	–	–	100	–	100	µAdc	–	–	–	–	9	–	–	–	8	–	–	–	1,16
		10	–	100	–	–	100	–	100	µAdc	–	–	–	–	10	–	–	–	8	–	–	–	1,16
Leakage Current	I_{INL1}	15	−10	–	−10	–	–	−10	–	µAdc	–	–	–	–	–	–	–	–	8,15	–	–	–	1,16
		11	↓	–	↓	–	–	↓	–	↓	–	–	–	–	–	–	–	–	8,11	–	–	–	↓
		12	↓	–	↓	–	–	↓	–	↓	–	–	–	–	–	–	–	–	8,12	–	–	–	↓
		13	▼	–	▼	–	–	▼	–	▼	–	–	–	–	–	–	–	–	8,13	–	–	–	▼
	I_{INL2}	9	−1.6	–	−1.6	–	–	−1.6	–	mAdc	–	–	–	–	–	9	–	–	8	–	–	–	1,16
		10	−1.6	–	−1.6	–	–	−1.6	–	mAdc		–	–	–	–	10	–	–	8	–	–	–	1,16
Reference Voltage	V_{BB}	14	–	–	−1.360	–	−1.160	–	–	Vdc	–	–	–	–	–	–	–	–	8	14	–	–	11,16
Logic "1" Output Voltage	V_{OH1} ①	2	−1.120	−0.880	−0.970	–	−0.780	−0.865	−0.630	Vdc	–	11,12,13	–	–	–	9,10	–	–	8	–	–	–	1,16
		3	−1.120	−0.880	−0.970	–	−0.780	−0.865	−0.630	Vdc	–	11,12,13	–	–	–	9,10	–	–	8	–	–	–	1,16
	V_{OH2}	7	−2.8	–	−2.5	–	–	−2.2	–	Vdc	5	4	–	–	–	–	–	–	8	–	–	7	6
Logic "0" Output Voltage	V_{OL1} ①	2	−2.020	−1.655	−1.950	–	−1.620	−1.920	−1.545	Vdc	–	11,12,13	–	–	–	9,10	–	–	8	–	–	–	1,16
		3	−2.020	−1.655	−1.950	–	−1.620	−1.920	−1.545	Vdc	–	11,12,13	–	–	–	9,10	–	–	8	–	–	–	1,16
	V_{OL2}	7	–	−4.20	–	–	−4.40	–	−4.54	Vdc	4	5	–	–	–	–	–	–	3	–	7	–	6
Logic "1" Threshold Voltage	V_{OHA} ②	2	−1.140	–	−0.990	–	–	−0.885	–	Vdc	–	–	11,12,13	–	–	–	9,10	–	8	–	–	–	1,16
		3	−1.140	–	−0.990	–	–	−0.885	–	Vdc	–	–	11,12,13	–	–	–	9,10	–	8	–	–	–	1,16
Logic "0" Threshold Voltage	V_{OLA} ③	2	–	−1.635	–	–	−1.600	–	−1.525	Vdc	–	–	–	11,12,13	–	–	–	9,10	8	–	–	–	1,16
		3	–	−1.635	–	–	−1.600	–	−1.525	Vdc	–	–	–	11,12,13	–	–	–	9,10	8	–	–	–	1,16
Short Circuit Current	I_{OS}	7	−65	−20	−65	–	−20	−65	−20	mAdc	5	4	–	–	–	7	–	–	8	–	–	–	6

① Test outputs of the device must be tested by sequencing through the truth table. All input, power supply and ground voltages must be maintained between tests. The clock input is the waveform shown.

② In addition to meeting the output levels specified, the device must divide by 5, 8, or 10 during this test. The clock input is the waveform shown.

③ In addition to meeting the output levels specified, the device must divide by 6, 9, or 11 during this test. The clock input is the waveform shown.



7

ELECTRICAL CHARACTERISTICS ..... Supply Voltage +5.0 V

These devices are designed to meet the dc specifications shown in the test table after thermal equilibrium has been established. Outputs are terminated through a 50-ohm resistor to +3.0 Vdc.

@ Test Temperature	TEST VOLTAGE/CURRENT VALUES (Volts) V_{IHmax}	V_{ILmin}	V_{IHAmin}	V_{ILAmax}	V_{IH}	V_{IL}	V_{IHT}	V_{ILT}	V_{CC}	(mA) I_L	I_{OL}	I_{OH}
-30°C	+4.110	+3.070	+3.795	+3.500	+2.4	+0.5	+2.0	+0.6	+5.0	-0.25	16	-0.40
+25°C	+4.190	+3.110	+3.895	+3.525	+2.4	+0.5	+2.0	+0.6	+5.0	-0.25	16	-0.40
+85°C	+4.300	+3.135	+3.965	+3.560	+2.4	+0.5	+2.0	+0.6	+5.0	-0.25	16	-0.40

Characteristic	Symbol	Pin Under Test	MC12009, MC12011, MC12013 -30°C Min	-30°C Max	+25°C Min	+25°C Typ	+25°C Max	+85°C Min	+85°C Max	Unit	TEST VOLTAGE/CURRENT APPLIED TO PINS LISTED BELOW V_{IHmax}	V_{ILmin}	V_{IHAmin}	V_{ILAmax}	V_{IH}	V_{IL}	V_{IHT}	V_{ILT}	V_{CC}	I_L	I_{OL}	I_{OH}	(VEE) Gnd
Power Supply Drain Current	I_{CCT}	6	-88	—	-80	—	—	-80	—	mAdc	—	—	—	—	—	—	—	—	—	I_L	—	—	—	5
	I_{CCT}	6	—	52	—	—	52	—	52	mAdc	4	5	—	—	—	—	—	—	6	—	—	—	5
Input Current	I_{INH1}	15	—	375	—	—	250	—	250	μAdc	15	—	—	—	—	9,10	—	—	*16	—	—	—	5
		11	—		—	—		—			11	—	—	—	—	9,10	—	—		—	—	—	
		12	—		—	—		—			12	—	—	—	—	9,10	—	—		—	—	—	
		13	—	▼	—	—	▼	—	▼	▼	13	—	—	—	—	9,10	—	—	▼	—	—	—	▼
	I_{INH2}	4	—	60	20	—	60	20	64	mAdc	5	4	—	—	—	—	—	—	6	—	—	—	5
		5	—	60	20	—	60	20	64	mAdc	5	4	—	—	—	—	—	—	6	—	—	—	5
	I_{INH3}	5	0.7	3.6	1.0	—	3.0	1.0	3.6	mAdc	5	5	—	—	—	—	—	—	6	—	—	—	5
	I_{INH4}	9	—	100	—	—	100	—	100	μAdc	—	—	—	—	—	—	—	—	*16	—	—	—	5
		10	—	100	—	—	100	—	100	μAdc	—	—	—	—	10	—	—	—	*16	—	—	—	5
Leakage Current	I_{INL1}	15	-10	—	10	—	—	-10	—	μAdc	—	—	—	—	—	—	—	—	1,16	—	—	—	8,15
		11		—		—	—		—		—	—	—	—	—	—	—	—		—	—	—	8,11
		12		—		—	—		—		—	—	—	—	—	—	—	—		—	—	—	8,12
		13	▼	—	▼	—	—	▼	—	▼	—	—	—	—	—	—	—	—	▼	—	—	—	8,13
	I_{INL2}	9	-1.6	—	-1.6	—	—	-1.6	—	mAdc	—	—	—	—	—	9	—	—	1,16	—	—	—	5
		10	-1.6	—	-1.6	—	—	-1.6	—	mAdc	—	—	—	—	—	10	—	—	1,16	—	—	—	5
Reference Voltage	V_{BB}	14	—	—	3.67	—	3.87	—	—	Vdc	—	—	—	—	—	—	—	—	*16	14	—	—	5
Logic "1" Output Voltage	V_{OH1} ①	2	3.900	4.110	4.000	—	4.190	4.070	4.300	Vdc	—	11,12,13	—	—	—	9,10	—	—	1,16	—	—	—	5
		3	3.900	4.110	4.000	—	4.190	4.070	4.300	Vdc	—	11,12,13	—	—	—	9,10	—	—	1,16	—	—	—	5
	V_{OH2}	7	2.4	—	2.6	—	—	2.8	—	Vdc	5	4	—	—	—	—	—	—	6	—	—	7	5
Logic "0" Output Voltage	V_{OL1}	2	3.070	3.285	3.110	—	3.410	3.135	3.445	Vdc	—	11,12,13	—	—	—	9,10	—	—	1,16	—	—	—	5
	①	3	3.070	3.285	3.110	—	3.410	3.135	3.445	Vdc	—	11,12,13	—	—	—	9,10	—	—	1,16	—	—	—	5
	V_{OL2}	7	—	0.94	—	—	0.80	—	0.72	Vdc	4	5	—	—	—	—	—	—	6	—	7	—	5
Logic "1" Threshold Voltage	V_{OHA} ②	2	3.880	—	3.980	—	—	4.050	—	Vdc	—	—	11,12,13	—	—	—	—	—	1,16	—	—	—	5
		3	3.880	—	3.980	—	—	4.050	—	Vdc	—	—	11,12,13	—	—	—	9,10	—	1,16	—	—	—	5
Logic "0" Threshold Voltage	V_{OLA} ③	2	—	3.405	—	—	3.430	—	3.465	Vdc	—	—	—	11,12,13	—	—	—	9,10	1,16	—	—	—	5
		3	—	3.405	—	—	3.430	—	3.465	Vdc	—	—	—	11,12,13	—	—	—	9,10	1,16	—	—	—	5
Short Circuit Current	I_{OS}	7	-65	-20	-65	—	-20	-65	-20	mAdc	5	4	—	—	—	7	—	—	6	—	—	—	5

① Test outputs of the device must be tested by sequencing through the truth table. All input, power supply and ground voltages must be maintained between tests. The clock input is the waveform shown.
② In addition to meeting the output levels specified, the device must divide by 5, 8, or 10 during this test. The clock input is the waveform shown.
③ In addition to meeting the output levels specified, the device must divide by 6, 9, or 11 during this test. The clock input is the waveform shown.

SWITCHING CHARACTERISTICS

Characteristic	Symbol	Pin Under Test	MC12009, MC12011, MC12013									TEST VOLTAGES/WAVEFORMS APPLIED TO PINS LISTED BELOW:							
			−30°C			+25°C			+85°C			Unit	Pulse Gen 1	Pulse Gen.2	Pulse Gen.3	V_{IHmin} †	V_{ILmin} †	V_F −3.0 V	V_{EE} −3.0 V	V_{CC} +2.0
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max									
Propagation Delay	t_{15+2+}	2	–	–	8.1			8.1			8.9	ns	15	–	–	–	11,12,13	9,10	8	1,6,16
(See Figures 3 and 5)	t_{15+2-}	2	–	–	7.5			7.5			8.7	↓	15	–	–	–	11,12,13	9,10	8	1,6,16
	t_{5+7+}	7	–	–	8.4	–		8.1		–	8.9		A	–	–	–	–	–	8	1,6,16
	t_{5-7-}	7	–	–	6.5			6.5		–	7.1	↓	A	–	–	–	–	–	8	1,6,16
Setup Time	t_{setup1}	11	5.0	–	–	5.0	–		5.0		–	ns	15	*	–	–	*	9,10	8	1,6,16
(See Figures 4 and 5)	t_{setup2}	9	5.0	–	–	5.0	–	–	5.0	–	–	ns	15	–	*	–	11,12,13	*	8	1,6,16
Release Time	t_{rel1}	11	5.0	–	–	5.0			5.0		–	ns	15	*	–	–	*	9,10	8	1,6,16
(See Figures 4 and 5)	t_{rel2}	9	5.0	–	–	5.0	–		5.0		–	ns	15	–	*	–	11,12,13	*	8	1,6,16
Toggle Frequency	f_{max}	2										MHz								
(See Figure 6)																				
MC12009 5/6			440	–	–	480			440	–	–		–	–	–	11	–	–	8	16
MC12011 * 8/9			500	–	–	550			500	–	–		–	–	–	11	–	–	8	16
MC12013 * 10/11			500	–	–	550			500	–	–		–	–	–	11	–	–	8	16

*Test inputs sequentially, with Pulse Generator 2 or 3 as indicated connected to input under test, and the voltage indicated applied to the other input(s) of the same type (i.e., MECL or MTTL).

	−30°C	+25°C	+85°C	
† V_{IHmin}	+1.03	+1.115	+1.20	Vdc
† V_{ILmin}	+0.175	+0.200	+0.235	Vdc

SWITCHING CHARACTERISTICS

Characteristic	Symbol	Pin Under Test	MC12509, MC12511, MC12513									TEST VOLTAGES/WAVEFORMS APPLIED TO PINS LISTED BELOW:							
			−55°C			+25°C			+125°C			Unit	Pulse Gen.1	Pulse Gen.2	Pulse Gen.3	V_{IHmin} †	V_{ILmin} †	V_F −3.0 V	V_{EE} −3.0 V	V_{CC} +2.0
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max									
Propagation Delay	t_{15+2+}	2	–	–	8.1			8.1			8.4	ns	15	–	–	–	11,12,13	9,10	8	1,6,16
(See Figures 3 and 5)	t_{15+2-}	2	–	–	7.5	–		7.5			8.7	↓	15	–	–	–	11,12,13	9,10	8	1,6,16
	t_{5+7+}	7	–	–	8.4	–		8.1		–	9.4		A	–	–	–	–	–	8	1,6,16
	t_{5-7-}	7	–	–	8.5	–	–	8.5		–	7.6	↓	A	–	–	–	–	–	8	1,6,16
Setup Time	t_{setup1}	11	5.0	–	–	5.0	–		5.0		–	ns	15	*	–	–	*	9,10	8	1,6,16
(See Figures 4 and 5)	t_{setup2}	9	5.0	–	–	5.0		–	5.0	–	–	ns	15	–	*	–	11,12,13	*	8	1,6,16
Release Time	t_{rel1}	11	5.0	–	–	6.0			5.0		–	ns	15	*	–	–	*	9,10	8	1,6,16
(See Figures 4 and 5)	t_{rel2}	9	5.0	–	–	5.0	–	–	5.0	–	–	ns	15	–	*	–	11,12,13	*	8	1,6,16
Toggle Frequency	f_{max}	2										MHz								
(See Figure 6)																				
MC12509 5/6			420	–	–	480			420		–		–	–	–	11	–	–	8	16
MC12511 * 8/9			500	–	–	550			500	–	–		–	–	–	11	–	–	8	16
MC12513 * 10/11			500	–	–	550	–		500	–	–		–	–	–	11	–	–	8	16

*Test inputs sequentially, with Pulse Generator 2 or 3 as indicated connected to input under test, and the voltage indicated applied to the other input(s) of the same type (i.e., MECL or MTTL).

	−55°C	+25°C	+125°C	
† V_{IHmin}	+1.02	+1.15	+1.27	Vdc
† V_{ILmin}	+0.185	+0.215	+0.260	Vdc

FIGURE 3 — AC VOLTAGE WAVEFORMS

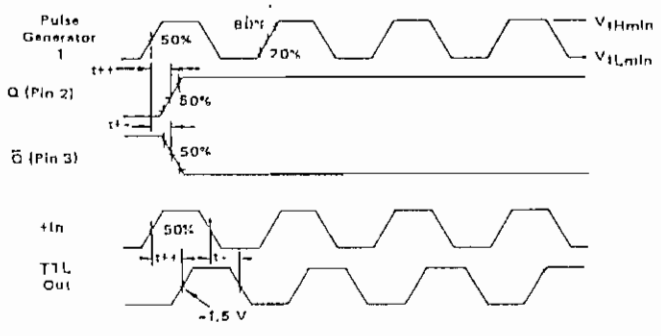


FIGURE 4 — SETUP AND RELEASE TIME WAVEFORMS

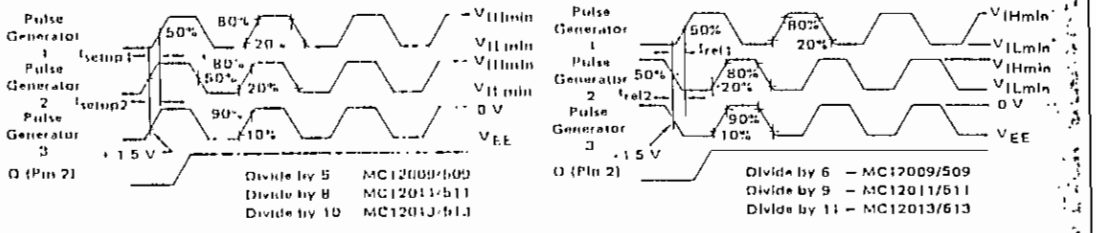
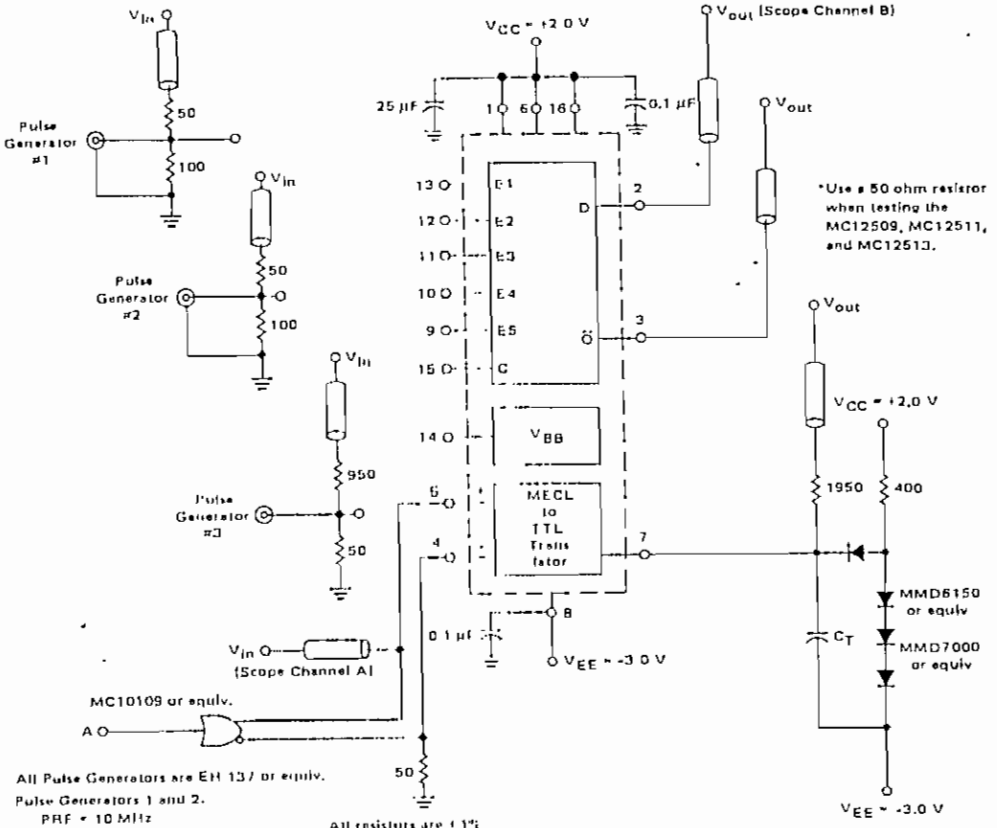


FIGURE 5 — AC TEST CIRCUIT



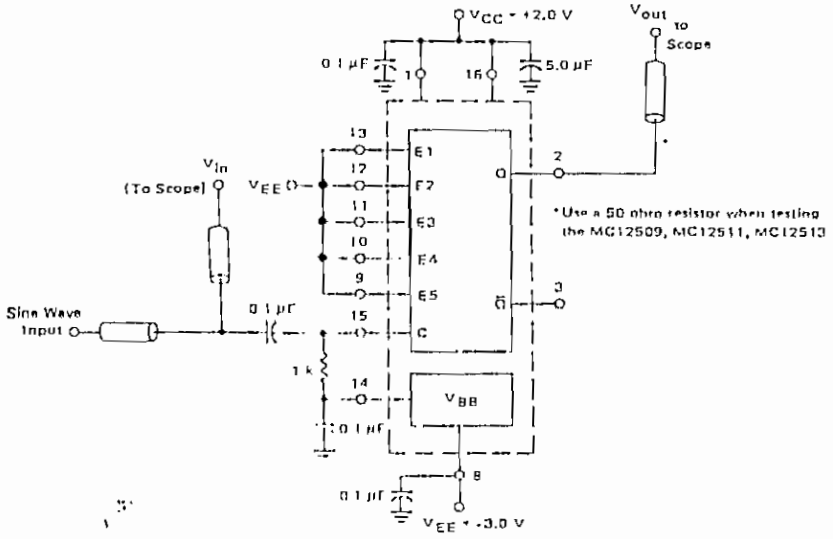
All Pulse Generators are EH 137 or equiv.

Pulse Generators 1 and 2:
PRF = 10 MHz
PW = 50% Duty Cycle
$t_r = t_f = 2.0 \pm 0.2$ ns

Pulse Generator 3
PRF = 2.0 MHz
PW = 50% Duty Cycle
$t_r = t_f = 5.0 \pm 0.5$ ns

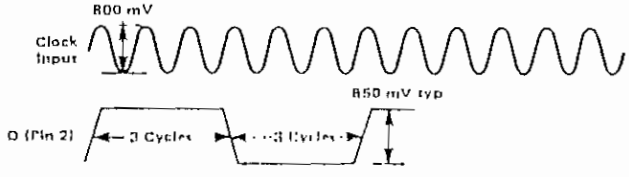
All resistors are ±1%.
All input and output cables to the scope are equal lengths of 50 ohm coaxial cable.
The 1950 ohm resistor at pin 7 and the scope termination impedance constitute a 40:1 attenuator probe.
C_T = 15 pF total parasitic capacitance which includes probe, wiring, and load capacitance.
Unused output connected to a 50 ohm resistor to ground (MC12009, MC12011, MC12013), 100 ohm resistor to ground (MC12509, MC12511, MC12513).

FIGURE 6 — MAXIMUM FREQUENCY TEST CIRCUIT

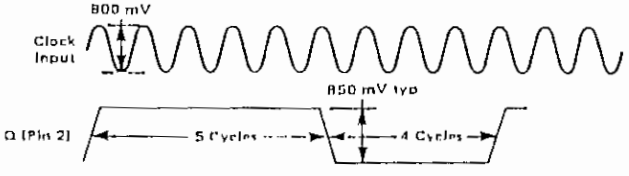


Unused output connected to a 50 ohm resistor to ground (MC12009, MC12011, MC12013), 100 ohm resistor to ground (MC12509, MC12511, MC12513)

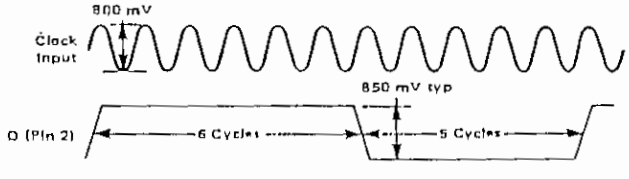
DIVIDE BY 6



DIVIDE BY 9



DIVIDE BY 11



7

FIGURE 7 — STATE DIAGRAM

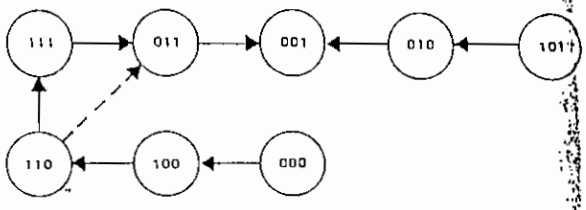
DIVIDE BY 5/6 (MC12009/MC12509)

Q1	Q2	Q3
1	1	1
0	1	1
0	0	1
0	0	0
1	0	0
1	1	0

Enable = 0

Enable = 1

— — = Enable = 1



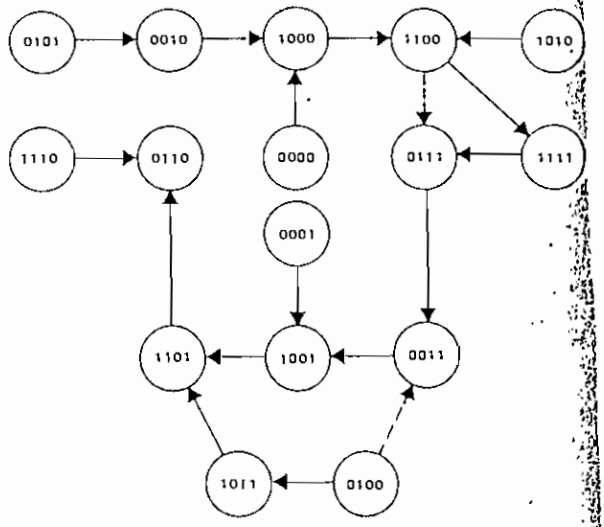
DIVIDE BY 8/9 (MC12011/MC12511)

Q1	Q2	Q3	Q4
1	1	1	1
0	1	1	1
0	0	1	1
1	0	0	1
1	1	0	1
0	1	1	0
0	0	1	0
1	0	0	0
1	1	0	0

Enable = 0

Enable = 1

— — = Enable = 1

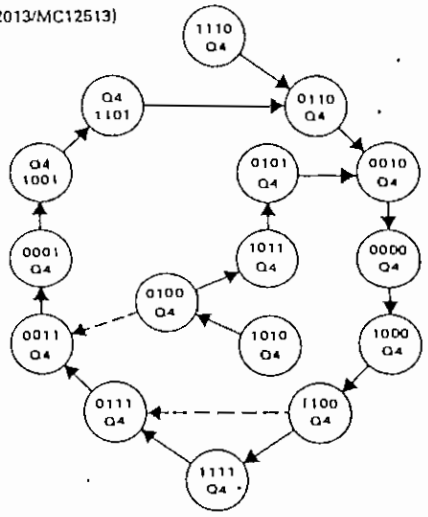


DIVIDE BY 10/11 (MC12013/MC12513)

Q1	Q2	Q3	Q4
1	1	1	1
0	1	1	1
0	0	1	1
0	0	0	1
1	0	0	1
1	1	0	1
0	1	1	0
0	0	1	0
0	0	0	0
1	0	0	0
1	1	0	0

Enable = 0

Enable = 1



NOTES:

— — — Enable = 1.

The State of the Enable is important only for the positive Clock Transition when the counter is in state 1100.

7

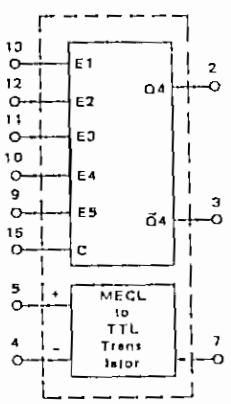
APPLICATIONS INFORMATION

The primary application of these devices is as a high-speed variable modulus prescaler in the divide by N section of a phase-locked loop synthesizer used as the local oscillator of two-way radios. The theory and advantages of variable modulus prescaling, along with typical applications, are covered in detail on the data sheet for the MC12012.

Proper VHF termination techniques should be followed when the clock is separated from the prescaler by any appreciable distance.

In their basic form, these devices will divide by 5/6, 8/9, or 10/11. Division by 5, 8, or 10 occurs when any one or all of the five gate inputs E1 through E5 are high. Division by 6, 9, or 11 occurs when all inputs E1 through E5 are low. (Unconnected TTL inputs are normally high, unconnected MECL inputs are normally low.) With the addition of extra parts, many different division configurations may be obtained (20/21, 40/41, 50/51, 100/101, etc.). A few of the many configurations are shown below, only for the MC12013/MC12513.

FIGURE 8 — DIVIDE BY 10/11 (MC12013/MC12513)



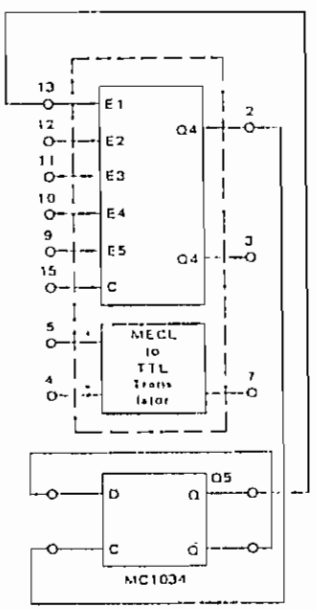
Q1	Q2	Q3	Q4
1	1	1	1
0	1	1	1
0	0	1	1
0	0	0	1
1	0	0	1
1	1	0	1
0	1	1	0
0	0	1	0
0	0	0	0
1	0	0	0
1	1	0	0

Enable = 0

Enable = 1

7

FIGURE 9 – DIVIDE BY 20/21 (MC12013/MC12513)



COUNT	Q1	Q2	Q3	Q4	Q4
31	1	1	1	1	1
30	0	1	1	1	1
28	0	0	1	1	1
24	0	0	0	1	1
25	1	0	0	1	1
27	1	1	0	1	1
22	0	1	1	0	1
20	0	0	1	0	1
16	0	0	0	0	1
17	1	0	0	0	1
19	1	1	0	0	1
14	0	1	1	1	0
12	0	0	1	1	0
8	0	0	0	1	0
9	1	0	0	1	0
11	1	1	0	1	0
6	0	1	1	0	0
4	0	0	1	0	0
0	0	0	0	0	0
1	1	0	0	0	0
3	1	1	0	0	0

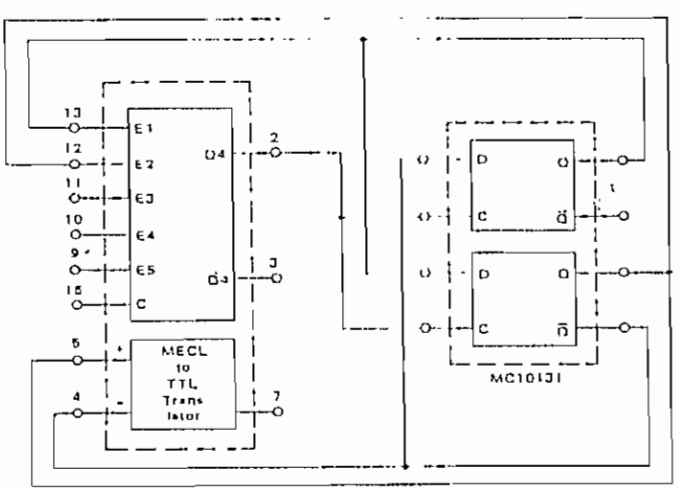
E2 + E3 + E4 + E5 = 0

E2 + E3 + E4 + E5 = 1

To obtain an TTL output, connect pins 5 and 4 to pins 2 and 3 respectively. Termination resistors for the MECL outputs are not shown, but are required except for the flip flop driving the translator section.

The ÷ 20/21 counter may also be built using an TTL flip flop by connecting pins 5 and 4 to pins 2 and 3 respectively, and driving the TTL flip flop with pin 7. MC12013 inputs E4 and E5 are used rather than E1. With E1 + E2 + E3 = 0, operation remains as shown.

FIGURE 10 - DIVIDE BY 40/41 (MC12013/MC12513)



For ÷ 40: E4 + E5 = 1
For ÷ 41: E4 + E5 = 0

Termination resistors for MECL outputs are not shown, but are required except for the flip-flop driving the translator section.

7

MOTOROLA

MC1488

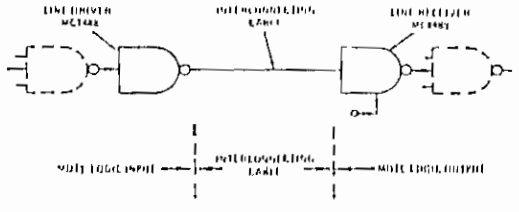
QUAD LINE DRIVER

The MC1488 is a monolithic quad line driver designed to interface data terminal equipment with data communications equipment in conformance with the specifications of EIA Standard No. RS-232C.

Features:

- Current Limited Output
  ±10 mA typ
- Power-Off Source Impedance
  300 Ohms min
- Simple Slew Rate Control with External Capacitor
- Flexible Operating Supply Range
- Compatible with All Motorola MDTL and MTTL Logic Families

TYPICAL APPLICATION

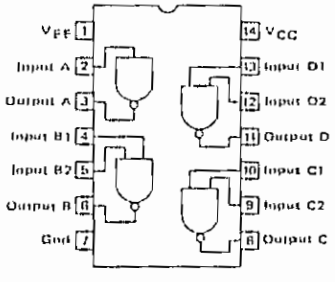


QUAD MDTL LINE DRIVER
RS-232C
SILICON MONOLITHIC
INTEGRATED CIRCUIT

L SUFFIX
CERAMIC PACKAGE
CASE 632-02
MO-001AA

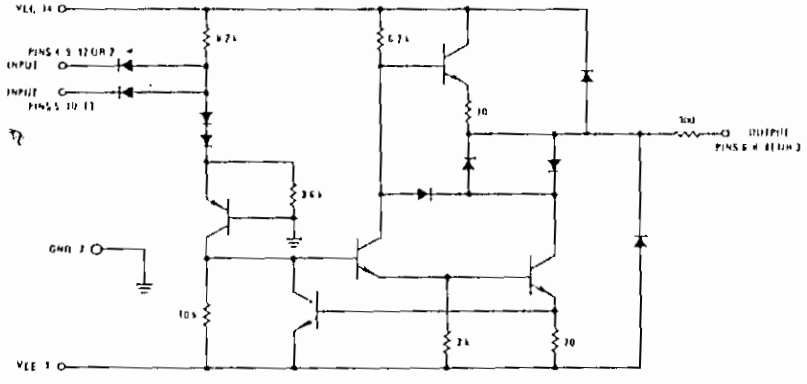
P SUFFIX
PLASTIC PACKAGE
CASE 646-05

PIN CONNECTIONS



7

CIRCUIT SCHEMATIC
(1/4 OF CIRCUIT SHOWN)



MAXIMUM RATINGS (T_A = +25°C unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC} V_{EE}	+15 -15	Vdc
Input Voltage Range	V_{IR}	-15 ≤ V_{IR} ≤ 7.0	Vdc
Output Signal Voltage	V_O	±15	Vdc
Power Derating (Package Limitation, Ceramic and Plastic Dual In-Line Package) Derate above T_A = +25°C	P_D $1/R_{\theta JA}$	1000 6.7	mW mW/°C
Operating Ambient Temperature Range	T_A	0 to +75	°C
Storage Temperature Range	T_{stg}	-65 to +175	°C

ELECTRICAL CHARACTERISTICS (V_{CC} = +9.0 ±10% Vdc, V_{EE} = -9.0 ±10% Vdc, T_A = 0 to 75°C unless otherwise noted.)

Characteristic	Figure	Symbol	Min	Typ	Max	Unit
Input Current — Low Logic State (V_{IL} = 0)	1	I_{IL}		-1.0	-1.6	mA
Input Current — High Logic State (V_{IH} = 5.0 V)	1	I_{IH}			10	μA
Output Voltage — High Logic State (V_{IL} = 0.8 Vdc, R_L = 3.0 kΩ, V_{CC} = +9.0 Vdc, V_{EE} = -9.0 Vdc) (V_{IL} = 0.8 Vdc, R_L = 3.0 kΩ, V_{CC} = +13.2 Vdc, V_{EE} = -13.2 Vdc)	2	V_{OH}	+6.0 +9.0	+7.0 +10.5		Vdc
Output Voltage — Low Logic State (V_{IH} = 1.9 Vdc, R_L = 3.0 kΩ, V_{CC} = +9.0 Vdc, V_{EE} = -9.0 Vdc) (V_{IH} = 1.9 Vdc, R_L = 3.0 kΩ, V_{CC} = +13.2 Vdc, V_{EE} = -13.2 Vdc)	2	V_{OL}	-6.0 -9.0	-7.0 -10.5		Vdc
Positive Output Short Circuit Current [1]	3	I_{OS+}	+6.0	+10	+12	mA
Negative Output Short Circuit Current [1]	3	I_{OS-}	-6.0	-10	-12	mA
Output Resistance (V_{CC} = V_{EE} = 0, $\|V_O\|$ = 2.0 V)	4	r_O	300			Ohms
Positive Supply Current (R_L = ∞) (V_{IH} = 1.9 Vdc, V_{CC} = +9.0 Vdc) (V_{IL} = 0.8 Vdc, V_{CC} = +9.0 Vdc) (V_{IH} = 1.9 Vdc, V_{CC} = +12 Vdc) (V_{IL} = 0.8 Vdc, V_{CC} = +12 Vdc) (V_{IH} = 1.9 Vdc, V_{CC} = +15 Vdc) (V_{IL} = 0.8 Vdc, V_{CC} = +15 Vdc)	5	I_{CC}		+15 +4.5 +19 +5.5	+20 +6.0 +25 +7.0 +34 +12	mA
Negative Supply Current (R_L = ∞) (V_{IH} = 1.9 Vdc, V_{EE} = -9.0 Vdc) (V_{IL} = 0.8 Vdc, V_{EE} = -9.0 Vdc) (V_{IH} = 1.9 Vdc, V_{EE} = -12 Vdc) (V_{IL} = 0.8 Vdc, V_{EE} = -12 Vdc) (V_{IH} = 1.9 Vdc, V_{EE} = -15 Vdc) (V_{IL} = 0.8 Vdc, V_{EE} = -15 Vdc)	5	I_{EE}		-13 -18	-17 -500 -23 -500 -34 -25	mA μA mA μA mA mA
Power Consumption (V_{CC} = 9.0 Vdc, V_{EE} = -9.0 Vdc) (V_{CC} = 12 Vdc, V_{EE} = -12 Vdc)		P_C			333 576	mW

SWITCHING CHARACTERISTICS (V_{CC} = +9.0 ±1% Vdc, V_{EE} = -9.0 ±1% Vdc, T_A = +25°C)

Propagation Delay Time (z_l = 3.0 k and 15 pF)	6	t_{PLH}		275	350	ns
Fall Time (z_l = 3.0 k and 15 pF)	6	t_{THL}		45	75	ns
Propagation Delay Time (z_l = 3.0 k and 15 pF)	6	t_{PHL}		110	175	ns
Rise Time (z_l = 3.0 k and 15 pF)	6	t_{TLH}		55	100	ns

(1) Maximum Package Power Dissipation may be exceeded if all outputs are shorted simultaneously.

CHARACTERISTIC DEFINITIONS

FIGURE 1 – INPUT CURRENT

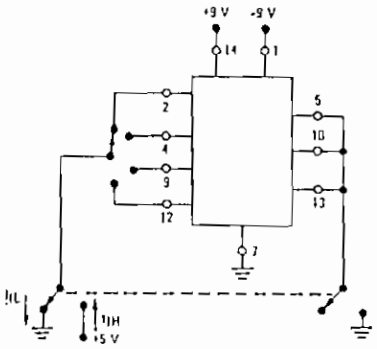


FIGURE 2 – OUTPUT VOLTAGE

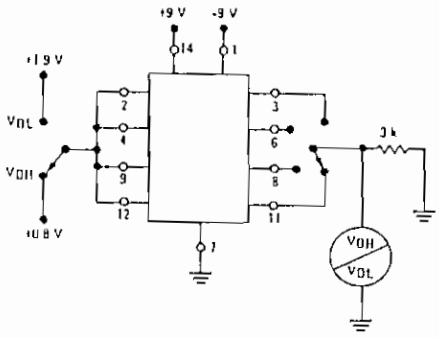


FIGURE 3 – OUTPUT SHORT-CIRCUIT CURRENT

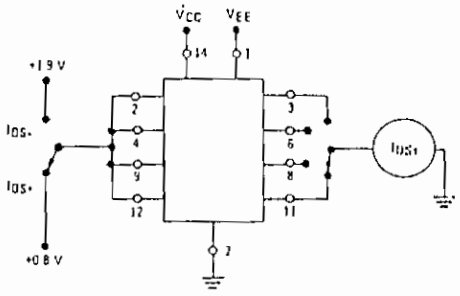


FIGURE 4 – OUTPUT RESISTANCE (POWER-OFF)

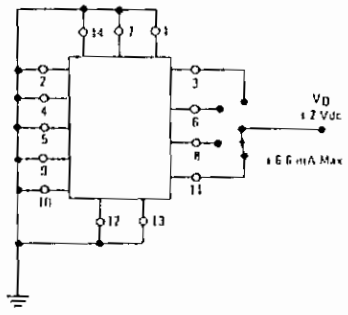


FIGURE 5 – POWER-SUPPLY CURRENTS

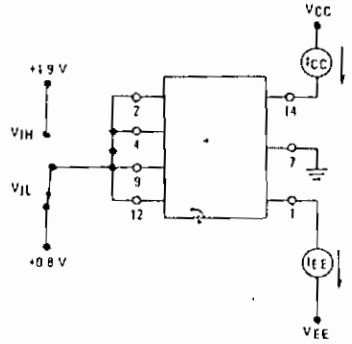
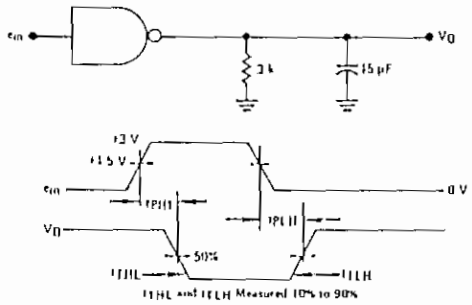


FIGURE 6 – SWITCHING RESPONSE



7

TYPICAL CHARACTERISTICS
(T_A = 125°C unless otherwise noted)

FIGURE 7 – TRANSFER CHARACTERISTICS versus POWER-SUPPLY VOLTAGE

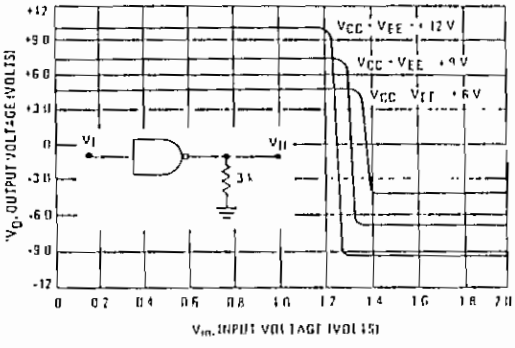


FIGURE 8 – SHORT-CIRCUIT OUTPUT CURRENT versus TEMPERATURE

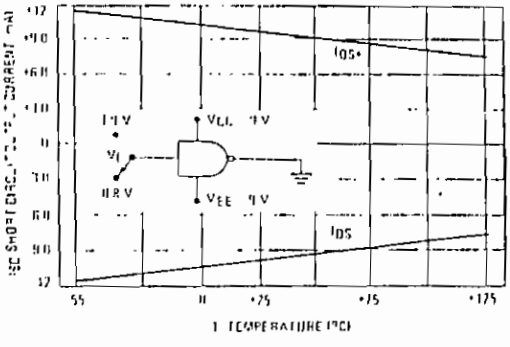


FIGURE 9 – OUTPUT SLEW RATE versus LOAD CAPACITANCE

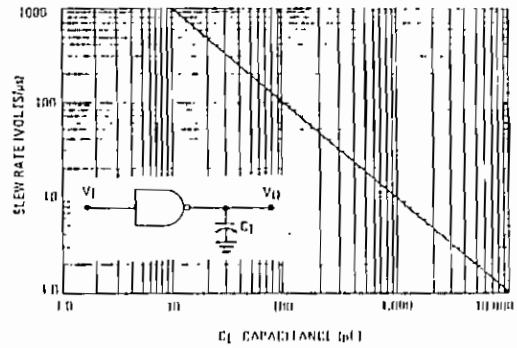


FIGURE 10 – OUTPUT VOLTAGE AND CURRENT-LIMITING CHARACTERISTICS

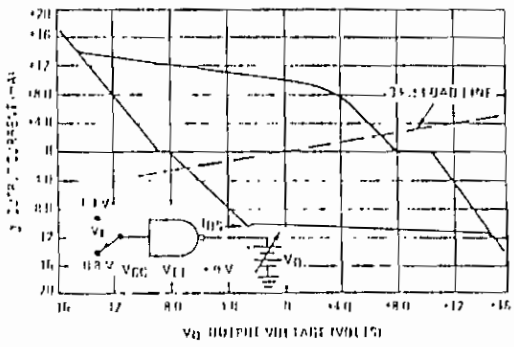
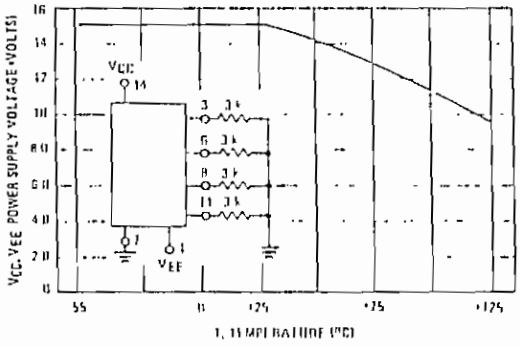


FIGURE 11 – MAXIMUM OPERATING TEMPERATURE versus POWER-SUPPLY VOLTAGE



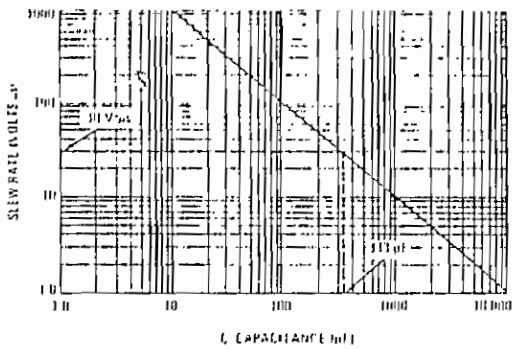
APPLICATIONS INFORMATION

The Electronic Industries Association (EIA) RS232C specification detail the requirements for the interface between data processing equipment and data communications equipment. This standard specifies not only the number and type of interface leads, but also the voltage levels to be used. The MC1488 quad driver and its companion circuit, the MC1489 quad receiver, provide a complete interface system between DTL or TTL logic levels and the RS232C defined levels. The RS232C requirements as applied to drivers are discussed herein.

The required driver voltages are defined as between 5 and 15 volts in magnitude and are positive for a logic "0" and negative for a logic "1". These voltages are so defined when the drivers are terminated with a 3000 to 7000 ohm resistor. The MC1488 meets this voltage requirement by converting a DTL/TTL logic level into RS232C levels with one stage of inversion.

The RS232C specification further requires that during transitions, the driver output slew rate must not exceed 30 volts per microsecond. The inherent slew rate of the MC1488 is much too

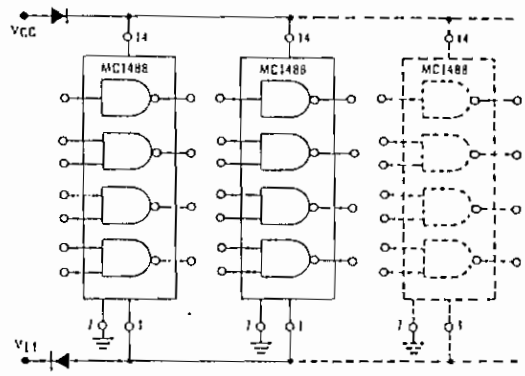
FIGURE 12 – SLEW RATE versus CAPACITANCE FOR I_{SC} = 10 mA



fast for this requirement. The current limited output of the device can be used to control this slew rate by connecting a capacitor to each driver output. The required capacitor can be easily determined by using the relationship $C = I_{OS} \times \Delta T/\Delta V$ from which Figure 12 is derived. Accordingly, a 330 pF capacitor on each output will guarantee a worst case slew rate of 30 volts per microsecond.

The interface driver is also required to withstand an accidental short to any other conductor in an interconnecting cable. The worst possible signal on any conductor would be another driver using a plus or minus 15 volt, 500 mA source. The MC1488 is designed to indefinitely withstand such a short to all four outputs in a package as long as the power-supply voltages are greater than 9.0 volts (i.e., $V_{CC} \geq 9.0$ V; $V_{EE} \leq -9.0$ V). In some power supply designs, a loss of system power causes a low impedance on the power supply outputs. When this occurs, a low impedance to ground would exist at the power inputs to the MC1488 effectively shorting the 300 ohm output resistors to ground. If all four outputs were then shorted to plus or minus 15 volts, the power dissipation in these resistors

FIGURE 13 – POWER-SUPPLY PROTECTION TO MEET POWER OFF FAULT CONDITIONS



would be excessive. Therefore, if the system is designed to permit low impedances to ground at the power supplies of the drivers, a diode should be placed in each power supply lead to prevent overheating of this fault condition. These two diodes, as shown in Figure 13, could be used to decouple all the driver packages in a system. (These same diodes will allow the MC1488 to withstand momentary shorts to the 12 volt limits specified in the earlier Standard RS232B.) The addition of the diodes also permits the MC1488 to withstand faults with power supplies of less than the 9.0 volts stated above.

The maximum short circuit current allowable under fault conditions is more than guaranteed by the previously mentioned 10 mA output current limiting.

Other Applications

The MC1488 is an extremely versatile line driver with a myriad of possible applications. Several features of the drivers enhance this versatility.

1. Output Current Limiting – this enables the circuit designer to define the output voltage levels independent of power supplies and can be accomplished by diode clamping of the output pins. Figure 14 shows the MC1488 used as a DTL to MOS translator where the high level voltage output is clamped one diode above ground. The resistor divider shown is used to reduce the output voltage below the 300 mV above ground MOS input level limit.

2. Power Supply Range – as can be seen from the schematic drawing of the drivers, the positive and negative driving elements of the device are essentially independent and do not require matching power supplies. In fact, the positive supply can vary from a minimum seven volts (required for driving the negative pulldown spec'd) to the maximum specified 15 volts. The negative supply can vary from approximately -2.5 volts to the minimum specified 15 volts. The MC1488 will drive the output to within 2 volts of the positive or negative supplies as long as the current output limits are not exceeded. The combination of the current limiting and supply voltage features allow a wide combination of possible outputs within the same quad package. Thus if only a portion of the four drivers are used for driving RS232C lines, the remainder could be used for DTL to MOS or even DTL to DTL translation. Figure 15 shows one such combination.

FIGURE 14 — MOTL/MTTL-TO-MOS TRANSLATOR

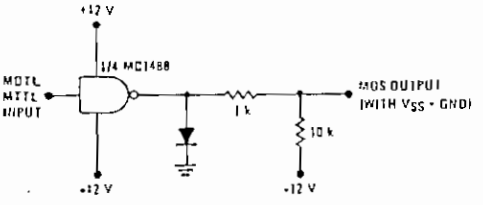
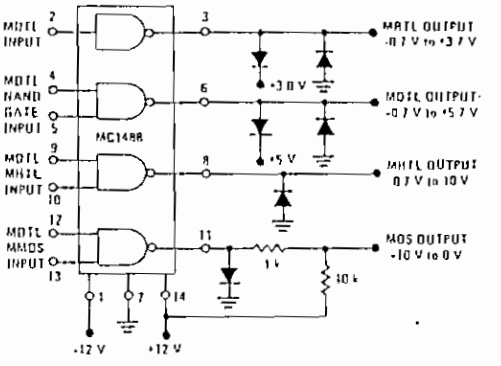


FIGURE 15 — LOGIC TRANSLATOR APPLICATIONS



MOTOROLA

MC1489
MC1489A

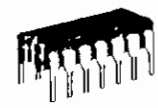
QUAD LINE RECEIVERS

The MC1489 monolithic quad line receivers are designed to interface data terminal equipment with data communications equipment in conformance with the specifications of EIA Standard No. RS-232C.

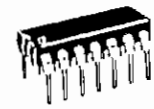
- Input Resistance 3.0 k to 7.0 kilohms
- Input Signal Range – ± 30 Volts
- Input Threshold Hysteresis Built In
- Response Control
  a) Logic Threshold Shifting
  b) Input Noise Filtering

QUAD MDTL
LINE RECEIVERS
RS-232C

SILICON MONOLITHIC
INTEGRATED CIRCUIT

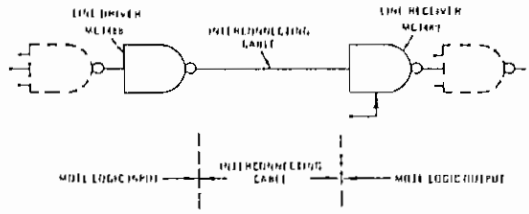


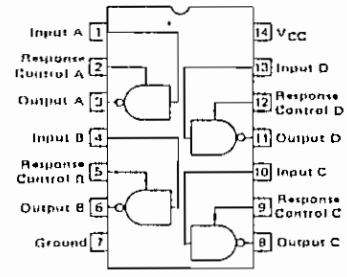
L SUFFIX
CERAMIC PACKAGE
CASE 632-02
MO-001AA



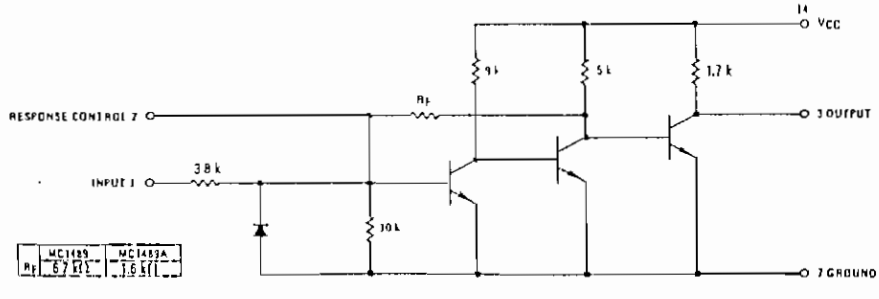
P SUFFIX
PLASTIC PACKAGE
CASE 646-05

TYPICAL APPLICATION





EQUIVALENT CIRCUIT SCREMATIC (1/4 OF CIRCUIT SHOWN)



MAXIMUM RATINGS (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	10	Vdc
Input Voltage Range	V_{IR}	±30	Vdc
Output Load Current	I_L	20	mA
Power Dissipation (Package Limitation, Ceramic and Plastic Dual In-Line Package) Derate above T_A = +25°C	P_D $1/\theta JA$	1000 6.7	mW mW/°C
Operating Ambient Temperature Range	T_A	0 to +75	°C
Storage Temperature Range	T_{stg}	-65 to +175	°C

ELECTRICAL CHARACTERISTICS (Response control pin is open.) (V_{CC} = +5.0 Vdc ±10%, T_A = 0 to +75°C unless otherwise noted)

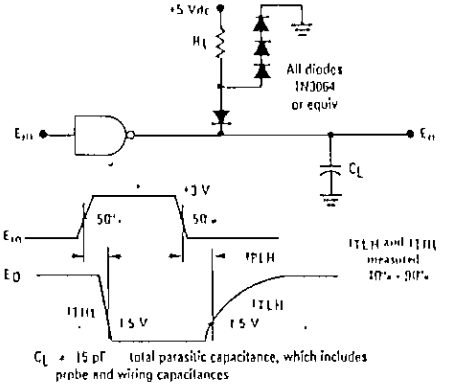
Characteristics		Symbol	Min	Typ	Max	Unit
Positive Input Current	(V_{IH} = +1.25 Vdc) (V_{IH} = +3.0 Vdc)	I_{IH}	3.6 0.43	— —	8.3 —	mA
Negative Input Current	(V_{IL} = -25 Vdc) (V_{IL} = -3.0 Vdc)	I_{IL}	-3.6 -0.43	— —	-8.3 —	mA
Input Turn-On Threshold Voltage (T_A = +25°C, V_{OL} ≤ 0.45 V) MC1489 MC1489A		V_{IH}	1.0 1.75	— 1.95	1.5 2.25	Vdc
Input Turn-Off Threshold Voltage (T_A = +25°C, V_{OH} ≥ 2.5 V, I_L = -0.5 mA) MC1489 MC1489A		V_{IL}	0.75 0.75	— 0.8	1.25 1.25	Vdc
Output Voltage High	(V_{IH} = 0.75 V, I_L = -0.5 mA) (Input Open Circuit, I_L = -0.5 mA)	V_{OH}	2.5 2.5	4.0 4.0	5.0 5.0	Vdc
Output Voltage Low	(V_{IL} = 3.0 V, I_L = 10 mA)	V_{OL}	—	0.2	0.45	Vdc
Output Short-Circuit Current		I_{OS}	—	-3.0	-4.0	mA
Power Supply Current (All Gates "on," I_{out} = 0 mA, V_{IH} = +1.5 0 Vdc)		I_{CC}	—	16	26	mA
Power Consumption	(V_{IH} = +1.5.0 Vdc)	P_C	—	80	130	mW

SWITCHING CHARACTERISTICS (V_{CC} = 5.0 Vdc ±1%, T_A = +25°C, See Figure 1.)

Propagation Delay Time	(R_L = 3.9 kΩ)	t_{PLH}	—	25	85	ns
Rise Time	(R_L = 3.9 kΩ)	t_{TLH}	—	120	175	ns
Propagation Delay Time	(R_L = 390 kΩ)	t_{PHL}	—	75	50	ns
Fall Time	(R_L = 390 kΩ)	t_{THL}	—	10	20	ns

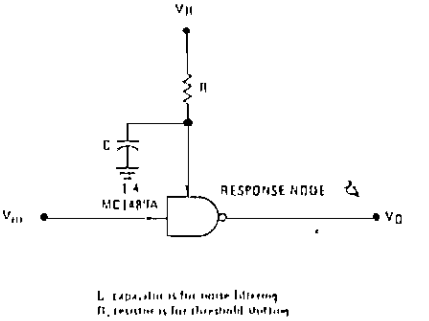
TEST CIRCUITS

FIGURE 1 — SWITCHING RESPONSE



C_L = 15 pF total parasitic capacitance, which includes probe and wiring capacitances

FIGURE 2 — RESPONSE CONTROL NODE



C = capacitor is for noise filtering
R = resistor is for threshold shifting

TYPICAL CHARACTERISTICS

(V_{CC} = 5.0 Vdc, T_A = +25°C unless otherwise noted)

FIGURE 3 — INPUT CURRENT

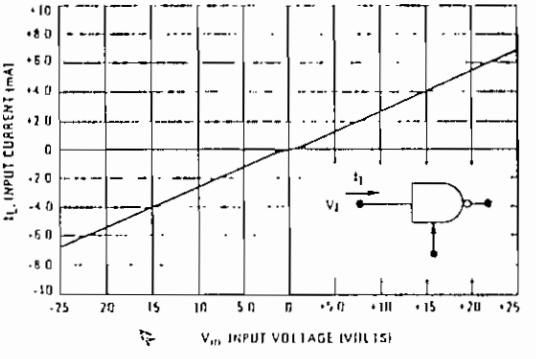


FIGURE 4 — MC1489 INPUT THRESHOLD VOLTAGE ADJUSTMENT

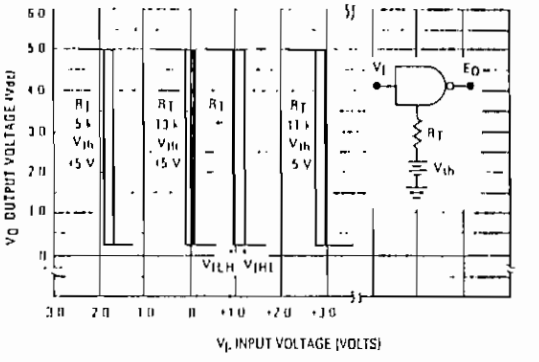


FIGURE 5 — MC1489A INPUT THRESHOLD VOLTAGE ADJUSTMENT

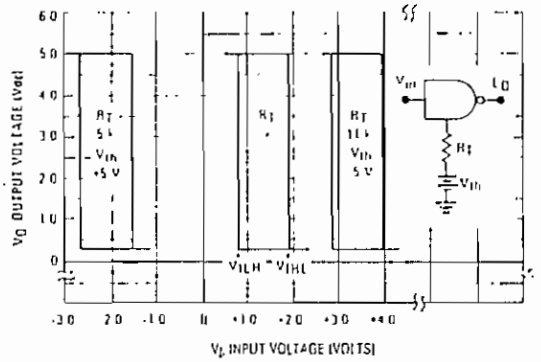


FIGURE 6 — INPUT THRESHOLD VOLTAGE versus TEMPERATURE

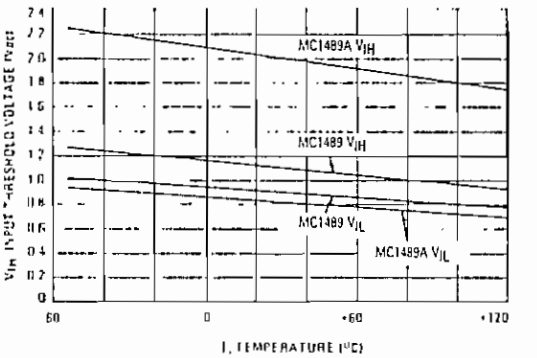
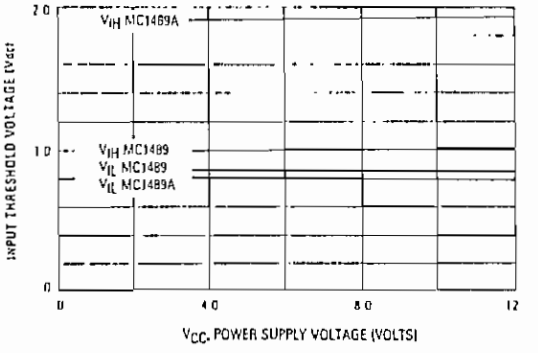


FIGURE 7 — INPUT THRESHOLD versus POWER-SUPPLY VOLTAGE



APPLICATIONS INFORMATION

General Information

The Electronic Industries Association (EIA) has released the RS-232C specification detailing the requirements for the interface between data processing equipment and data communications equipment. This standard specifies not only the number and type of interface leads, but also the voltage levels to be used. The MC1488 quad driver and its companion circuit, the MC1489 quad receiver, provide a complete interface system between DTL or TTL logic levels and the RS-232C defined levels. The RS-232C requirements as applied to receivers are discussed herein.

The required input impedance is defined as between 3000 ohms and 7000 ohms for input voltages between 3.0 and 25 volts in magnitude; and any voltage on the receiver input in an open circuit condition must be less than 2.0 volts in magnitude. The MC1489 circuits meet these requirements with a maximum open circuit voltage of one V_{BE}.

The receiver shall detect a voltage between −3.0 and −25 volts as a Logic "1" and inputs between +3.0 and +25 volts as a Logic "0." On some interchange leads, an open circuit of power "OFF" condition (300 ohms or more to ground) shall be decoded as an "OFF" condition or Logic "1." For this reason, the input hysteresis thresholds of the MC1489 circuits are all above ground. Thus an open or grounded input will cause the same output as a negative or Logic "1" input.

Device Characteristics

The MC1489 interface receivers have internal feedback from the second stage to the input stage providing input hysteresis for noise rejection. The MC1489 input has typical turn-on voltage of 1.25 volts and turn-off of 1.0 volt for a typical hysteresis of 250 mV. The MC1489A has typical turn-on of 1.95 volts and turn-off of 0.8 volt for typically 1.15 volts of hysteresis.

Each receiver section has an external response control node in addition to the input and output pins, thereby allowing the designer to vary the input threshold voltage levels. A resistor can be connected between this node and an external power-supply. Figures 2, 4 and 5 illustrate the input threshold voltage shift possible through this technique.

This response node can also be used for the filtering of high-frequency, high-energy noise pulses. Figures 8 and 9 show typical noise-pulse rejection for external capacitors of various sizes.

These two operations on the response node can be combined or used individually for many combinations of interfacing applications. The MC1489 circuits are particularly useful for interfacing between MOS circuits and MDTL/MTTL logic systems. In this application, the input threshold voltages are adjusted (with the appropriate supply and resistor values) to fall in the center of the MOS voltage logic levels. (See Figure 10)

The response node may also be used as the receiver input as long as the designer realizes that he may not drive this node with a low impedance source to a voltage greater than one diode above ground or less than one diode below ground. This feature is demonstrated in Figure 11 where two receivers are slaved to the same line that must still meet the RS-232C impedance requirement.

FIGURE 8 — TYPICAL TURN-ON THRESHOLD versus CAPACITANCE FROM RESPONSE CONTROL PIN TO GND

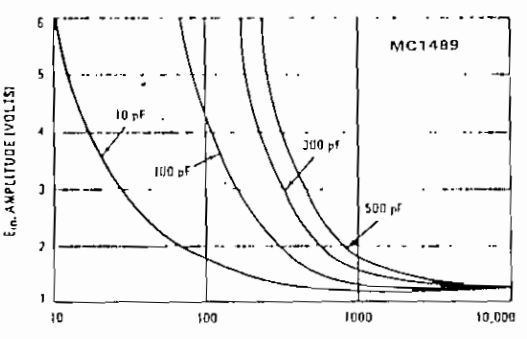
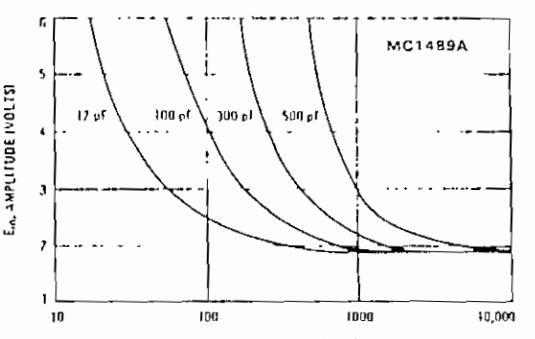


FIGURE 9 — TYPICAL TURN-ON THRESHOLD versus CAPACITANCE FROM RESPONSE CONTROL PIN TO GND



APPLICATIONS INFORMATION (continued)

FIGURE 10 — TYPICAL TRANSLATOR APPLICATION — MOS TO DTL OR TTL

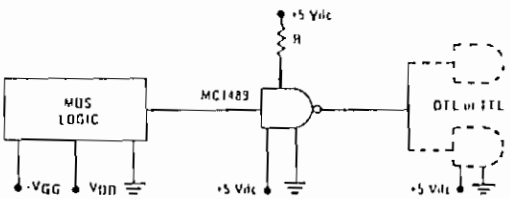
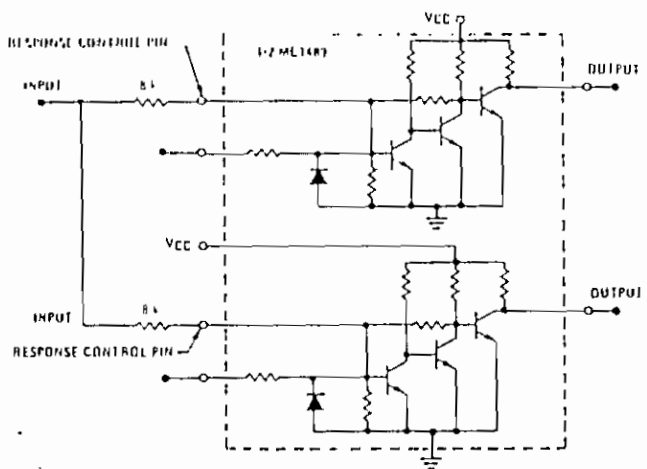
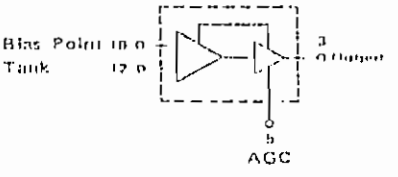


FIGURE 11 — TYPICAL PARALLELING OF TWO MC1489,A RECEIVERS TO MEET RS-232C



MC1648/MC1648M

VOLTAGE-CONTROLLED OSCILLATOR



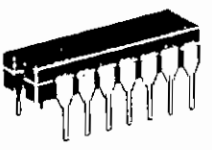
Input Capacitance = 6 pF typ
Maximum Series Resistance for 1 (External Inductance) = 50 Ω typ
Power Dissipation = 150 mW typ plug (+5.0 Vdc Supply)
Maximum Output Frequency = 225 MHz typ

The MC1648 requires an external parallel tank circuit consisting of the inductor (L) and capacitor (C).

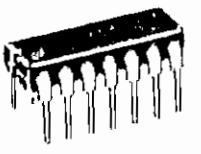
A varactor diode may be incorporated into the tank circuit to provide a voltage variable input for the oscillator (VCO). The MC1648 was designed for use in the Motorola Phase Locked Loop shown in Figure 9. This device may also be used in many other applications requiring a fixed or variable frequency clock source of high spectral purity. (See Figure 2.)

The MC1648 may be operated from a +5.0 Vdc supply or a -5.2 Vdc supply, depending upon system requirements.

Supply Voltage	Gnd Pins	Supply Pins
+5.0 Vdc	7, 8	1, 14
5.2 Vdc	1, 14	7, 8



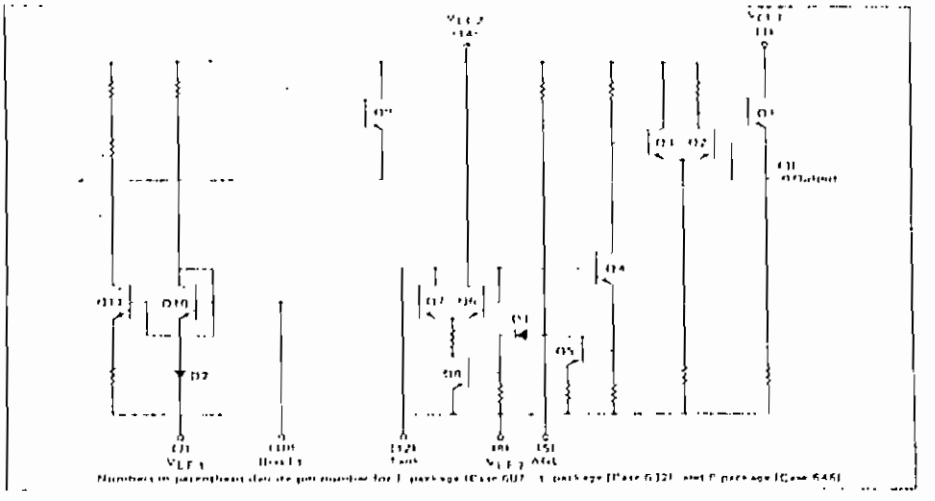
L SUFFIX
CERAMIC PACKAGE
CASE 632



P SUFFIX
PLASTIC PACKAGE
CASE 646

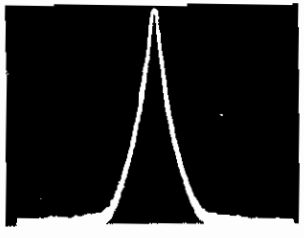
F SUFFIX
CERAMIC PACKAGE
CASE 607

FIGURE 1 CIRCUIT SCHEMATIC

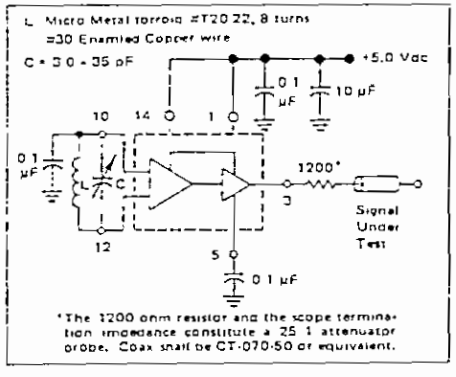


Numbers in parenthesis denote pin number for F package (Case 607), L package (Case 632), and P package (Case 646).

FIGURE 2 – SPECTRAL PURITY OF SIGNAL AT OUTPUT



B.W. = 10 kHz
Center Frequency = 100 MHz
Scan Width = 50 kHz/div
Vertical Scale = 10 dB div



@ Test Temperature	TEST VOLTAGE/CURRENT VALUES (Volts) V_{IHmax}	V_{ILmin}	V_{CC}	mAdc I_L
MC1648				
−30°C	+2.00	+1.50	5.0	−5.0
+25°C	+1.85	+1.35	5.0	−5.0
+85°C	+1.70	+1.20	5.0	−5.0
MC1648M				
−55°C	+2.07	+1.57	5.0	−5.0
+25°C	+1.85	+1.35	5.0	−5.0
+125°C	+1.60	+1.10	5.0	−5.0

ELECTRICAL CHARACTERISTICS

Supply Voltage = +5.0 Volts

Characteristic	Symbol	−55°C Min	−55°C Max	−30°C Min	−30°C Max	+25°C Min	+25°C Max	+85°C Min	+85°C Max	+125°C Min	+125°C Max	Unit	Conditions
Power Supply Drain Current	I_E	–	–	–	–	–	41	–	–	–	–	mAdc	Inputs and outputs open
Logic "1" Output Voltage	V_{OH}	3.92	4.13	3.955	4.185	4.04	4.25	4.11	4.36	4.16	4.40	Vdc	V_{ILmin} to Pin 12, I_L @ Pin 3.
Logic "0" Output Voltage	V_{OL}	3.13	3.38	3.16	3.40	3.20	3.43	3.22	3.475	3.23	3.51	Vdc	V_{IHmax} to Pin 12, I_L @ Pin 3.
Bias Voltage	V_{Bias}*	1.67	1.97	1.60	1.90	1.45	1.75	1.30	1.60	1.20	1.50	Vdc	V_{ILmin} to Pin 12.
		Min	Typ Max	Min	Typ Max	Min	Typ Max	Min	Typ Max	Min	Typ Max		
Peak-to-Peak Tank Voltage	V_{p-p}	–	– –	–	– –	–	400 –	–	– –	–	– –	mV	See Figure 3.
Output Duty Cycle	V_{DC}	–	– –	–	– –	–	50 –	–	– –	–	– –	%	
Oscillation Frequency	f_{max}**	–	225 –	–	225 –	200	225 –	–	225 –	–	225 –	MHz	

*This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor tuning diode at this point.

**Frequency variation over temperature is a direct function of the $\Delta C/\Delta$ Temperature and $\Delta L/\Delta$ Temperature.

@ Test Temperature	TEST VOLTAGE/CURRENT VALUES (Volts) V_{IHmax}	V_{ILmin}	V_{CC}	mAdc I_L
	MC1648			
-30°C	-3.20	-3.70	-5.2	-5.0
+25°C	-3.35	-3.85	-5.2	-5.0
+85°C	-3.50	-4.00	-5.2	-5.0
	MC1648M			
-55°C	-3.13	-3.63	-5.2	-5.0
+25°C	-3.35	-3.85	-5.2	-5.0
+125°C	-3.60	-4.10	-5.2	-5.0

ELECTRICAL CHARACTERISTICS

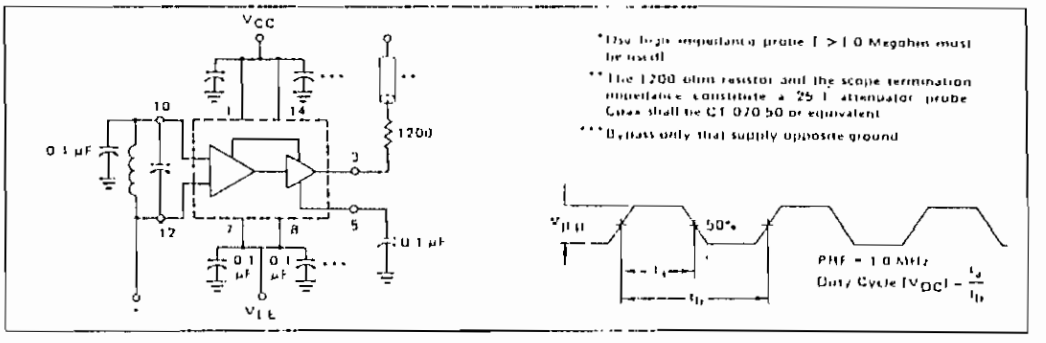
Supply Voltage = -5.2 Volts

Characteristic	Symbol	-55°C Min	-55°C Max	-30°C Min	-30°C Max	+25°C Min	+25°C Max	+85°C Min	+85°C Max	+125°C Min	+125°C Max	Unit	Conditions
Power Supply Drain Current	I_E	–	–	–	–	–	41	–	–	–	–	mAdc	Inputs and outputs open.
Logic "1" Output Voltage	V_{OH}	-1.080	-0.870	-1.045	-0.815	-0.960	-0.750	-0.890	-0.640	-0.840	-0.600	Vdc	V_{ILmin} to Pin 12, I_L @ Pin 3.
Logic "0" Output Voltage	V_{OL}	-1.920	-1.670	-1.890	-1.650	-1.850	-1.620	-1.830	-1.575	-1.820	-1.540	Vdc	V_{IHmax} to Pin 12, I_L @ Pin 3.
Bias Voltage	V_{Bias}*	-3.53	-3.23	-3.60	-3.30	-3.75	-3.45	-3.90	-3.60	-4.00	-3.70	Vdc	V_{ILmin} to Pin 12.
		Min Typ Max	Min Typ Max	Min Typ Max	Min Typ Max	Min Typ Max	Min Typ Max	Min Typ Max	Min Typ Max	Min Typ Max	Min Typ Max		
Peak-to-Peak Tank Voltage	V_{p-p}	– – –	– – –	– – –	– – –	– 400 –	– – –	– – –	– – –	– – –	– – –	mV	See Figure 3.
Output Duty Cycle	V_{DC}	– – –	– – –	– – –	– – –	– 50 –	– – –	– – –	– – –	– – –	– – –	%	
Oscillation Frequency	f_{max}**	– 225 –	– 225 –	200 225 –	– 225 –	– 225 –	– 225 –					MHz	

*This measurement guarantees the dc potential at the bias point for purposes of incorporating a varactor tuning diode at this point.

**Frequency variation over temperature is a direct function of the $\Delta C/\Delta$ Temperature and $\Delta L/\Delta$ Temperature.

FIGURE 3 – TEST CIRCUIT AND WAVEFORMS



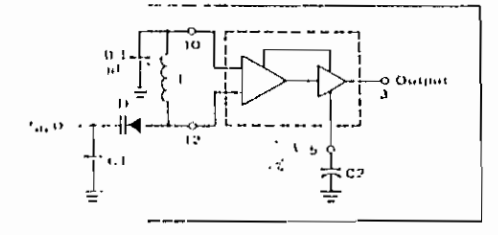
OPERATING CHARACTERISTICS

Figure 1 illustrates the circuit schematic for the MC1648. The oscillator incorporates positive feedback by coupling the base of transistor Q7 to the collector of Q8. An automatic gain control (AGC) is incorporated to limit the current through the emitter coupled pair of transistors (Q7 and Q8) and allow optimum frequency response of the oscillator.

In order to maintain the high Q of the oscillator, and provide high spectral purity at the output, transistor Q4 is used to translate the oscillator signal to the output differential pair Q2 and Q3. Q2 and Q3, in conjunction with output transistor Q1, provides a highly buffered output which produces a square wave. Transistors Q9 and Q11 provide the bias drive for the oscillator and output buffer. Figure 2 indicates the high spectral purity of the oscillator output (pin 3).

When operating the oscillator in the voltage controlled mode (Figure 4), it should be noted that

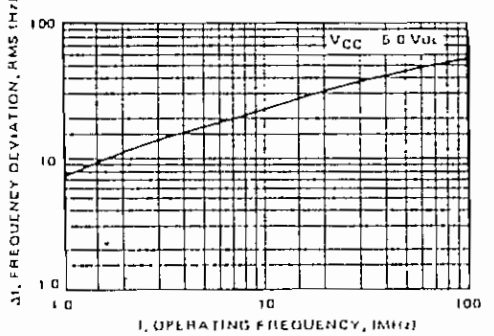
FIGURE 4 – THE MC1648 OPERATING IN THE VOLTAGE CONTROLLED MODE



the cathode of the varactor diode (D) should be biased at least 2 V_{BE} above V_{EE} ($\approx$1.4 V for positive supply operation).

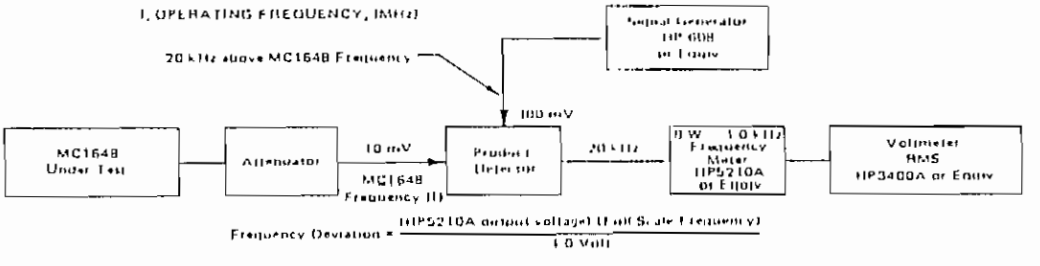
When the MC1648 is used with a constant dc voltage to the varactor diode, the output frequency will vary slightly because of internal noise. This variation is plotted versus operating frequency in Figure 5.

FIGURE 5 – NOISE DEVIATION TEST CIRCUIT AND WAVEFORM



Oscillator Tank Components
(Circuit of Figure 4)

f MHz	D	L μH
1.0 10	MV2115	100
10 60	MV2115	2.3
60 100	MV2105	0.15



$$\text{Frequency Deviation} = \frac{(\text{HP5210A output voltage})(\text{Full Scale Frequency})}{1.0\ \text{Volt}}$$

NOTE: Any frequency deviation caused by the signal generator and MC1648 power supply should be determined and minimized prior to testing.

TRANSFER CHARACTERISTICS IN THE VOLTAGE CONTROLLED MODE
USING EXTERNAL VARACTOR DIODE AND COIL, $T_A = 25°C$

FIGURE 6

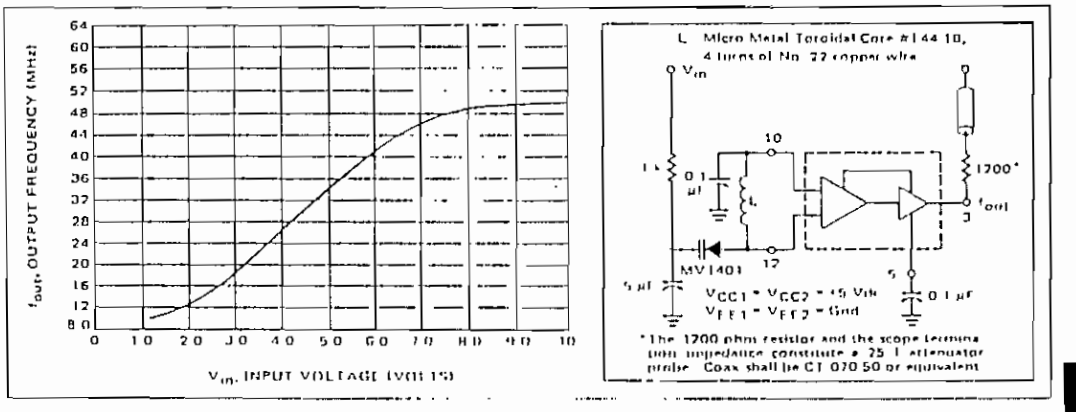


FIGURE 7

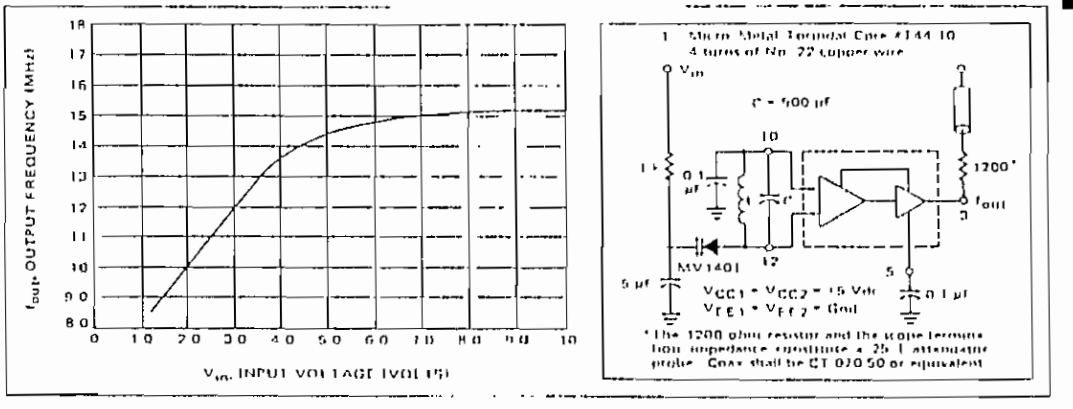
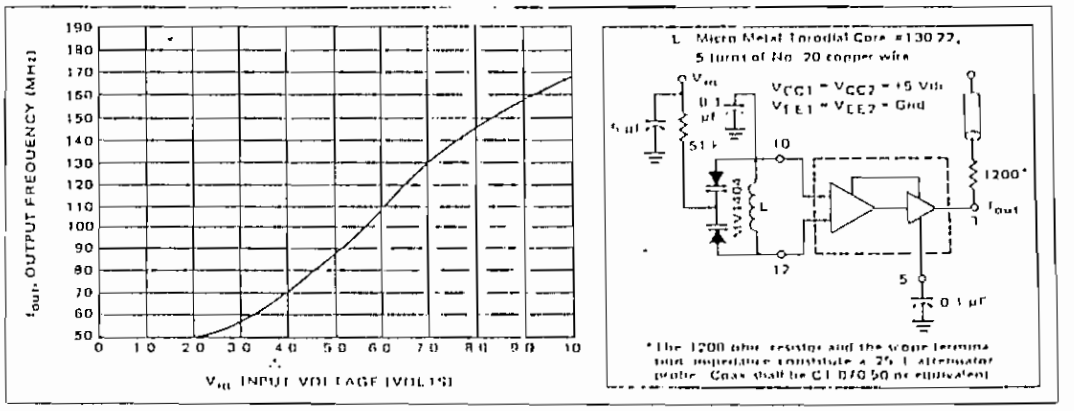


FIGURE 8



Typical transfer characteristics for the oscillator in the voltage controlled mode are shown in Figures 6, 7, and 8. Figures 6 and 8 show transfer characteristics employing only the capacitance of the varactor diode (plus the input capacitance of the oscillator, 6 pF typical). Figure 7 illustrates the oscillator operating in a voltage controlled mode with the output frequency range limited. This is achieved by adding a capacitor in parallel with the tank circuit as shown. The 1 kΩ resistor in Figures 6 and 7 is used to protect the varactor diode during testing. It is not necessary as long as the dc input voltage does not cause the diode to become forward biased. The larger valued resistor (51 kΩ) in Figure 8 is required to provide isolation for the high impedance junctions of the two varactor diodes.

The tuning range of the oscillator in the voltage controlled mode may be calculated as:

$$\frac{f_{max}}{f_{min}} = \frac{\sqrt{C_D(max) + C_S}}{\sqrt{C_D(min) + C_S}}$$

where $f_{min} = \frac{1}{2\pi\sqrt{L(C_D(max) + C_S)}}$

C_S = shunt capacitance (input plus external capacitance)

C_D = varactor capacitance as a function of bias voltage.

Good RF and low frequency bypassing is necessary on the power supply pins. (See Figure 2.)

Capacitors (C1 and C2 of Figure 4) should be used to bypass the AGC point and the VCO input (varactor diode), guaranteeing only dc levels at these points.

For output frequency operation between 1 MHz and 50 MHz a 0.1 μF capacitor is sufficient for C1 and C2. At higher frequencies, smaller values of capacitance should be used; at lower frequencies, larger values of capacitance. At high frequencies the value of bypass capacitors depends directly upon the physical layout of the system. All bypassing should be as close to the package pins as possible to minimize unwanted lead inductance.

The peak to peak swing of the tank circuit is set internally by the AGC circuitry. Since voltage swing of the tank circuit provides the drive for the output buffer, the AGC potential directly affects the output waveform. If it is desired to have a sine wave at the output of the MC1648, a series resistor is tied from the AGC point to the most negative power potential (ground if +5.0 volt supply is used, −5.2 volts if a negative supply is used) as shown in Figure 10.

At frequencies above 100 MHz typ, it may be desirable to increase the tank circuit peak-to-peak voltage in order to shape the signal at the output of the MC1648. This is accomplished by tying a series resistor (1 kΩ minimum) from the AGC to the most positive power potential (+5.0 volts if a +5.0 volt supply is used, ground if a −5.2 volt supply is used). Figure 11 illustrates this principle.

APPLICATION INFORMATION

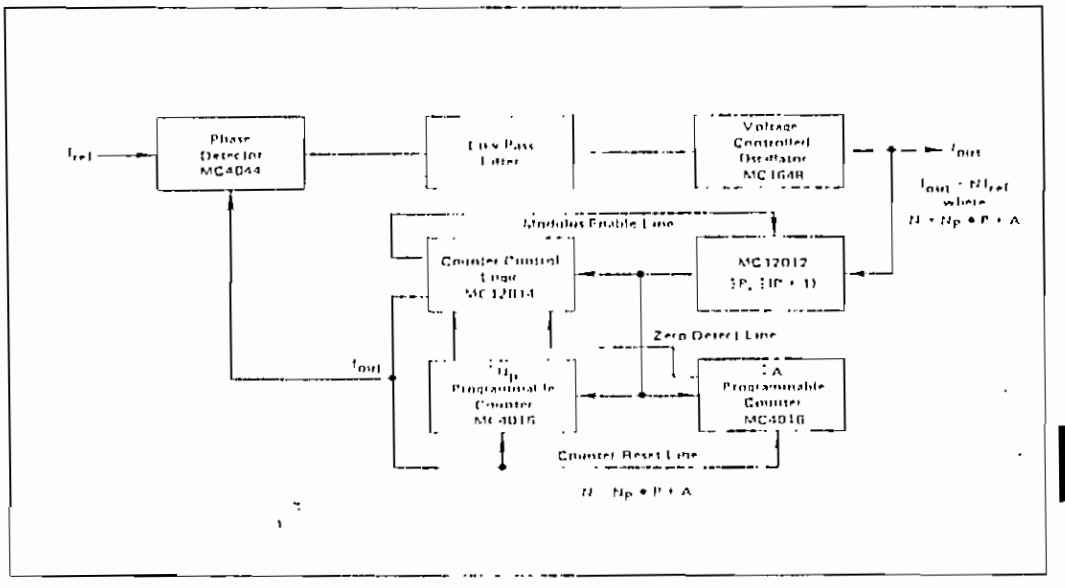
The phase locked loop shown in Figure 9 illustrates the use of the MC1648 as a voltage controlled oscillator. The figure illustrates a frequency synthesizer useful in tuners for FM broadcast, general aviation, maritime and landmobile communications, amateur and CB receivers. The system operates from a single +5.0 Vdc supply, and requires no internal translations, since all components are compatible.

Frequency generation of this type offers the advantages of single crystal operation, simple channel selection, and elimination of special circuitry to prevent harmonic lockup. Additional features include dc digital switching (preferable over RF switching with a multiple crystal system), and a broad range of tuning (up to 150 MHz, the range being set by the varactor diode).

The output frequency of the synthesizer loop is determined by the reference frequency and the number programmed at the programmable counter; $f_{out} = Nf_{ref}$. The channel spacing is equal to frequency (f_{ref}).

For additional information on applications and designs for phase locked loops and digital frequency synthesizers, see Motorola Application Notes AN 532A, AN 535, AN 553, AN-564 or AN594.

FIGURE 9 – TYPICAL FREQUENCY SYNTHESIZER APPLICATION



4

Figure 10 shows the MC1648 in the variable frequency mode operating from a +5.0 Vdc supply. To obtain a sine wave at the output, a resistor is added from the AGC circuit (pin 5) to V_{EE}.

Figure 11 shows the MC1648 in the variable frequency mode operating from a +5.0 Vdc supply. To extend the useful range of the device (maintain a square wave output above 175 MHz), a resistor is added to the AGC circuit at pin 5 (1 k-ohm minimum).

Figure 12 shows the MC1648 operating from +5.0 Vdc and +9.0 Vdc power supplies. This permits a higher voltage swing and higher output power than is possible from the MECL output (pin 3). Plots of output power versus total collector load resistance at pin 1 are given in Figures 13 and 14 for 100 MHz and 10 MHz operation. The total collector load includes R in parallel with Rp of L1 and C1 at resonance. The optimum value for R at 100 MHz is approximately 850 ohms.

FIGURE 10 – METHOD OF OBTAINING A SINE WAVE OUTPUT

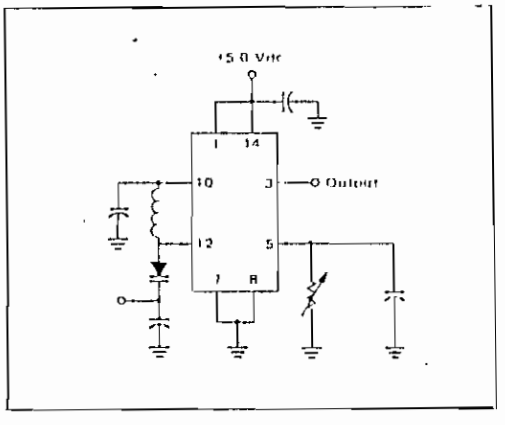


FIGURE 11 – METHOD OF EXTENDING THE USEFUL RANGE OF THE MC1648 (SQUARE WAVE OUTPUT)

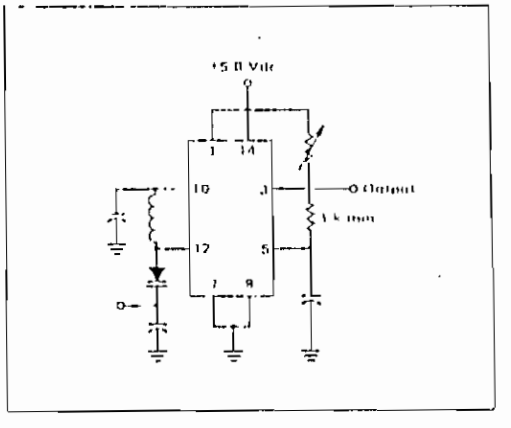
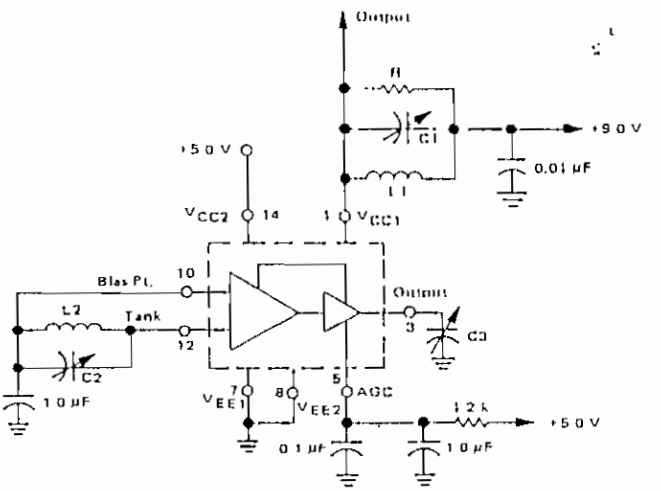


FIGURE 12 – CIRCUIT USED FOR
COLLECTOR OUTPUT OPERATION



4

FIGURE 13 – POWER OUTPUT versus COLLECTOR LOAD

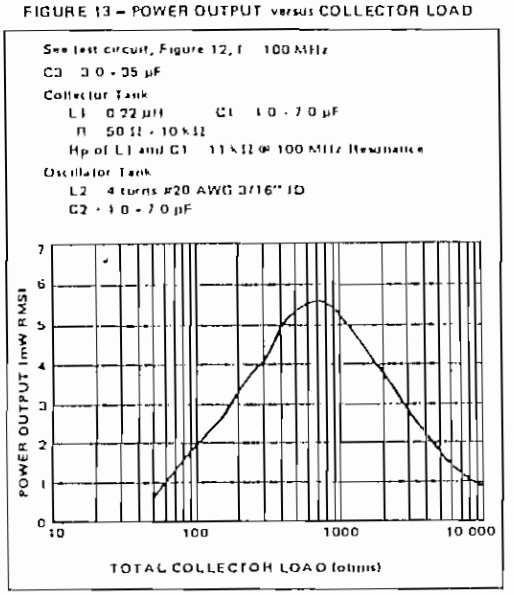
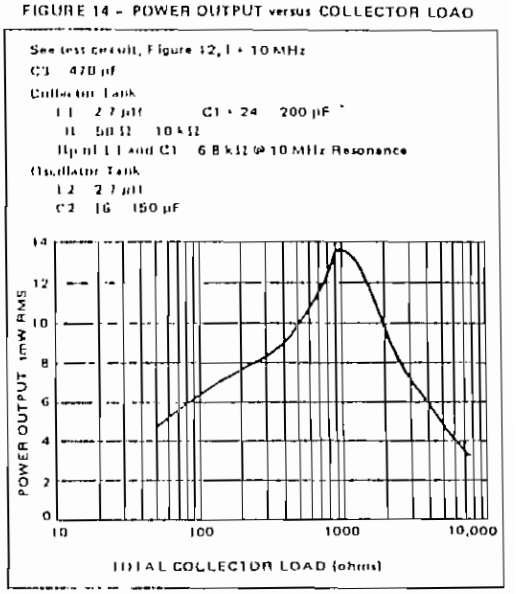


FIGURE 14 – POWER OUTPUT versus COLLECTOR LOAD



ANEXO XI

2764 (5188) 64K EPROM
27128 (5143) 128K EPROM

PRODUCT DESCRIPTION

December 1989

Features

- 200 ns Access Times at 0 to 70°C
- Programmed Using Intelligent Algorithm
  - Typically 5 ms/byte Programming Time
  - 2 Minutes for 27128 (5143)
  - 1 Minute for 2764 (5133)
- JEDEC Approved Bytewide Pin Configuration
  - 2764 8K x 8 Organization
  - 27128 16K x 8 Organization
- Low Power Dissipation
  - 100 mA Active Current
  - 30 mA Standby Current
- Extended Temperature Range Available
- Silicon Signature™

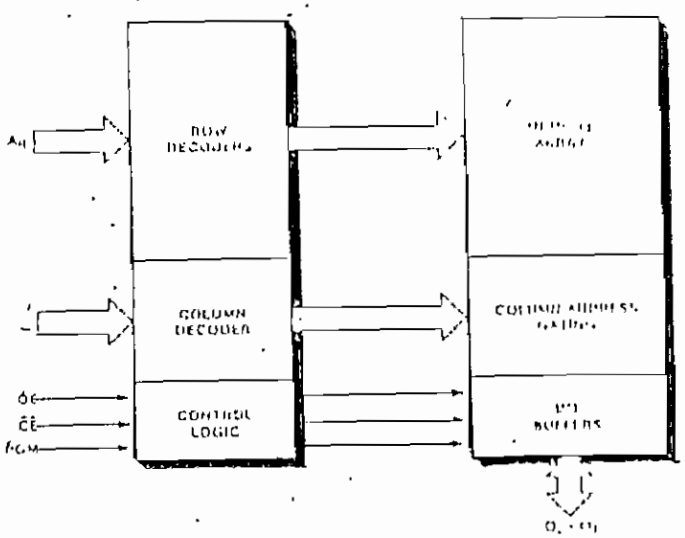
Description

SEEQ's 2764 (5133) and 27128 (5143) are ultraviolet light erasable EPROMs which are organized 8K x 8 and 16K x 8 respectively. They are pin for pin compatible to JEDEC approved 64K and 128K EPROMs in all operational/programming modes. Both devices have access times as fast as 200 ns over the 0 to 70°C temperature and V_{CC} tolerance range. The access time is achieved without sacrificing power since the maximum active and standby currents are 100 mA and 30 mA respectively. The 200 ns allows higher system efficiency by eliminating the need for wait states in today's 8- or 16-bit microcomputers.

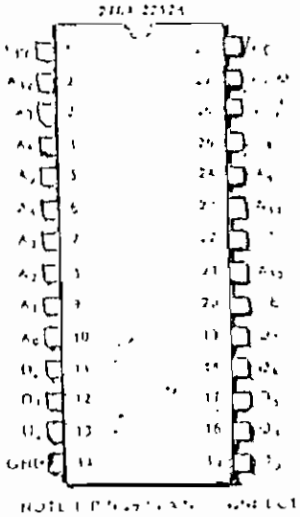
Initially, and after erasure, all bits are in the "1" state. Data is programmed by applying 21 V to V_{CC} and a TTL "0" to pin 27 (program pin). The 2764 (5133) and 27128 (5143) may be programmed with an intelligent

(continued on page 2)

Block Diagram



Pin Configuration



Mode Selection

MODE \ PINS	CE (20)	OE (22)	PGM (27)	Vpp (1)	Vcc (28)	Outputs (11, 12, 13, 15, 16, 17, 18, 19)
Read	V_{IL}	V_{IL}	V_{IH}	V_{CC}	V_{CC}	[illegible]
Standby	V_{IH}	X	X	V_{CC}	V_{CC}	[illegible]
Program	V_{IL}	V_{IH}	V_{IL}	V_{PP}	V_{CC}	[illegible]
Program Verify	V_{IL}	V_{IL}	V_{IH}	V_{PP}	V_{CC}	[illegible]
Program Inhibit	V_{IH}	X	X	V_{PP}	V_{CC}	[illegible]
Silicon Signature™	V_{IL}	V_{IL}	V_{IH}	V_{CC}	V_{CC}	Intended Data

X can be either V_{IL} or V_{IH}

For Silicon Signature™: A9 Assisted Toggled, A0 = V_{IL} for 1 [illegible] all other addresses are at any [illegible] level

Pin Names

Ag	ADDRESSES [illegible]
Ag	ADDRESSES [illegible]
CE	CHIP ENABLE
OE	OUTPUT ENABLE
O_0 - O_7	OUTPUTS
PGM	PROGRAM

algorithm that is now available on commercial programmers. The programming time is typically 5 ms/byte or 2 minutes for all 16K bytes of the 27128. The 2764 requires only half of this time, about a minute for 8K bytes. This faster time improves manufacturing throughput time by hours over conventional 50 ms algorithms. Commercial programmers (e.g. Data I/O, Pro-log, Digelec, Kontron, and Stag) have implemented this fast algorithm for SEEQ's EPROMs. If desired, both EPROMs may be programmed using the conventional 50 ms programming specification of older generation EPROMs.

Incorporated on SEEQ's EPROMs is Silicon Signature™. Silicon Signature contains encoded data which identifies SEEQ as the EPROM manufacturer, the product's fab location, and programming information. This data is encoded in ROM to prevent erasure by ultraviolet light.

Absolute Maximum Stress Ratings

Temperature
- Storage ..... -65° C to +150° C
- Under Bias ..... -10° C to +80° C

All Inputs or Outputs with
- Respect to Ground ..... +7V to -0.6V

V_{PP} During Programming with
- Respect to Ground ..... +22V to -0.6V

Voltage on A_9 with
- Respect to Ground ..... +15.5V to -0.6V

*COMMENT: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Recommended Operating Conditions (27XX-2764 and 27128)[1]

	27XX-2[illegible], 27XX-2[illegible], 27XX-[illegible], 27XX-[illegible]	27XX-2, 27XX-3, 27XX-4
V_{CC} Supply Voltage[2]	5 V ± 10%	5 V ± 5%
Temperature Range (Read Mode)	0 to 70° C	0 to 70° C
V_{PP} During Programming	21 ± 0.5 V	21 ± 0.5 V

DC Operating Characteristics During Read or Programming

Symbol	Parameter		Limits Min.	Limits Max.	Unit	Test Conditions
I_{IN}	Input Leakage Current			10	μA	$V_{IN} = V_{CC}$ Max.
I_O	Output Leakage Current			10	μA	$V_{OUT} = V_{CC}$ Max.
I_{PP}[2]	V_{PP} Current	Read Mode		5	mA	$V_{PP} = V_{CC}$ Max.
		Prog. Mode		30	mA	$V_{PP} = 21.5V$
I_{CC1}[2]	V_{CC} Standby Current			30	mA	$\overline{CE} = V_{IH}$
I_{CC2}[2]	V_{CC} Active Current			100	mA	$\overline{CE} = \overline{OE} = V_{IL}$
V_{IL}	Input Low Voltage		-0.1	0.8	V	
V_{IH}	Input High Voltage		2	V_{CC} + 1	V	
V_{OL}	Output Low Voltage			0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage		2.4	[illegible]	V	$I_{OH} = -[illegible]$ μA

NOTES:
1. The 5133 and 5143 have the same dash numbers and operate with the same operating conditions as the 2764 and 27128 respectively. The specifications are exactly the same.
2. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.

A.C. Operating Characteristics During Read

Symbol	Parameter	Limits (nsec) 27XX-2 27XX 200 Min.	27XX 200 Max.	27XX-250 Min.	27XX-250 Max.	27XX-3 27XX-300 Min.	27XX-300 Max.	27XX-4 27XX-450 Min.	27XX-450 Max.	Test Conditions
t_{ACC}	Address to Data Valid		200		250		300		450	$\overline{CE} = \overline{OE} = V_{IL}$
t_{CE}	Chip Enable to Data Valid		200		250		300		450	$\overline{OE} = V_{IL}$
t_{OE}	Output Enable to Data Valid		75		100		120		150	$\overline{CE} = V_{IL}$
t_{DF}	Output Enable to Output Float	0	60	0	60	0	105	0	130	$\overline{CE} = V_{IL}$
t_{OH}	Output Hold from Chip Enable, Addresses, or Output Enable whichever occurred first	0		0		0		0		$\overline{CE} = \overline{OE} = V_{IL}$

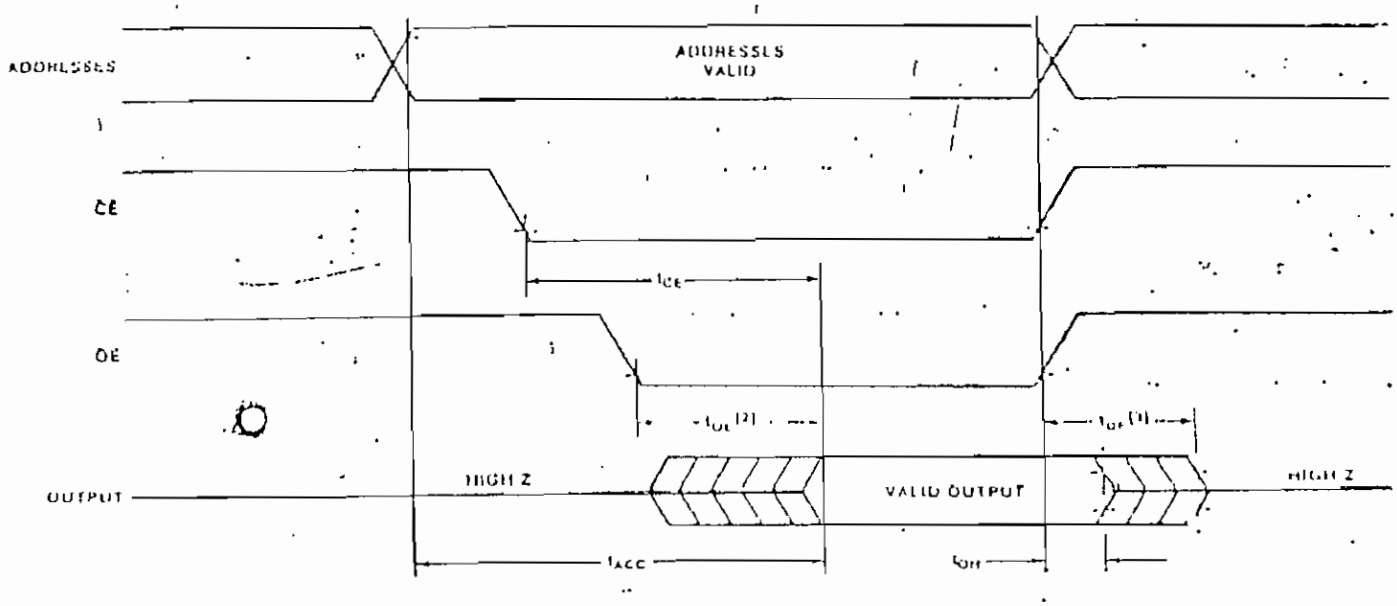
Capacitance[1]

Symbol	Parameter	Typ.	Max.	Unit	Conditions
C_{IN}	Input Capacitance	4	6	pF	$V_{in} = 0V$
C_{OUT}	Output Capacitance	8	12	pF	$V_{out} = 0V$

A.C. Test Conditions

Output Load: 1 TTL gate and C_L = 100 pF
Input Rise and Fall Times: ≤ 20ns
Input Pulse Levels: 0.45V to 2.4V
Timing Measurement Reference Level:
Inputs 1V and 2V
Outputs 0.8V and 2V

A.C. Waveforms



NOTES
1. THIS PARAMETER IS SAMPLED AND IS NOT 100% TESTED.
2. $\overline{OE}$ MAY BE DELAYED UP TO $t_{ACC} - t_{OE}$ AFTER THE FALLING EDGE OF $\overline{CE}$ WITHOUT IMPACT ON t_{ACC}.
3. t_{DF} IS SPECIFIED FROM $\overline{OE}$ OR $\overline{CE}$ WHICHEVER OCCURS FIRST.

SK Demodulator / Tone Decoder

ENERAL DESCRIPTION

he XR-2211 is a monolithic phase-locked loop (PLL) ystem especially designed for data communications. It is articularly well suited for FSK modem applications. It perates over a wide supply voltage range of 4.5 to 20 V nd a wide frequency range of 0.01 Hz to 300 kHz. It can ccommodate analog signals between 2 mV and 3 V, and an interface with conventional DTL, TTL, and ECL logic amilies. The circuit consists of a basic PLL for tracking an nput signal within the pass band, a quadrature phase detector which provides carrier detection, and an FSK voltage comparator which provides FSK demodulation. External components are used to independently set center frequency, bandwidth, and output delay. An internal voltage reference proportional to the power supply provides ratio metric operation for low system performance variations with power supply changes.

The XR-2211 is available in 14 pin, DTL ceramic or plastic packages specified for commercial or military temperature ranges.

FEATURES

Wide Frequency Range	0.01 Hz to 300 kHz
Wide Supply Voltage Range	4.5 V to 20 V
DTL/TTL/ECL Logic Compatibility	
FSK Demodulation, with Carrier Detection	
Wide Dynamic Range	2 mV to 3 V rms
Adjustable Tracking Range	(±1% to ±80%)
Excellent Temp. Stability	20 ppm/°C, typ.

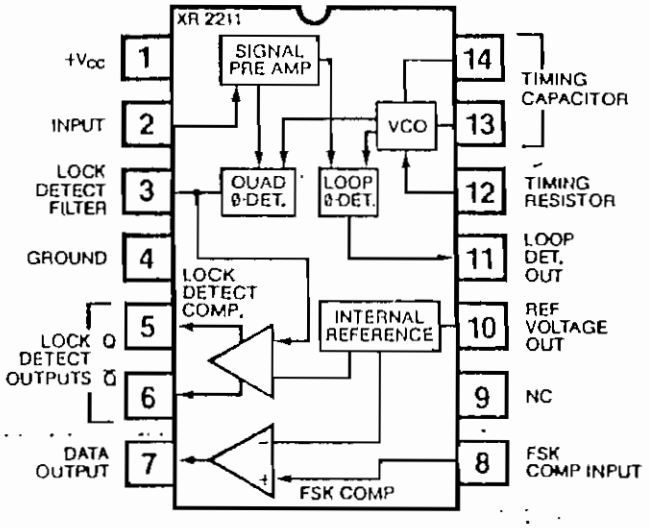
APPLICATIONS

FSK Demodulation
Data Synchronization
Tone Decoding
FM Detection
Carrier Detection

ABSOLUTE MAXIMUM RATINGS

Power Supply	20 V
Input Signal Level	3 V rms
Power Dissipation	
Ceramic Package	750 mW
Derate above T_A = +25°C	6 mV/°C
Plastic Package	625 mW
Derate above T_A = +25°C	5.0 mW/°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2211M	Ceramic	-55°C to +125°C
XR-2211CN	Ceramic	0°C to + 75°C
XR-2211CP	Plastic	0°C to + 75°C
XR-2211N	Ceramic	-40°C to + 85°C
XR-2211P	Plastic	-40°C to + 85°C

SYSTEM DESCRIPTION

The main PLL within the XR-2211 is constructed from an input preamplifier, analog multiplier used as a phase detector, and a precision voltage controlled oscillator (VCO). The preamplifier is used as a limiter such that input signals above typically 2MV RMS are amplified to a constant high level signal. The multiplying-type phase detector acts as a digital exclusive or gate. Its output (unfiltered) produces sum and difference frequencies of the input and the VCO output, f input + f input (2 f input) and f input - f input (0 Hz) when the phase detector output to remove the "sum" frequency component while passing the difference (DC) component to drive the VCO. The VCO is actually a current controlled oscillator with its nominal input current (f_0) set by a resistor (R_0) to ground and its driving current with a resistor (R_1) from the phase detector.

The other sections of the XR-2211 act to: determine if the VCO is driven above or below the center frequency (FSK comparator); produced both active high and active low outputs to indicate when the main PLL is in lock (quadrature phase detector and lock detector comparator).

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = V^- = 6V$, $T_A = +25°C$, $C = 5000$ pF, $R_1 = R_2 = R_3 = R_4 = 20$ KΩ, $R_L = 4.7$ KΩ. Binary Inputs grounded, S_1 and S_2 closed unless otherwise specified.

PARAMETERS	XR-2211/2211M			XR-2211C			UNITS	CONDITIONS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
GENERAL								
Supply Voltage	4.5		20	4.5		20	V	
Supply Current		4	7		5	9	mA	$R_0 \geq 10$ KΩ See Fig. 4
OSCILLATOR SECTION								
Frequency Accuracy		±1	±3		±1		%	Deviation from $f_0 = 1/R_0C_0$
Frequency Stability								$R_1 = R_2$
Temperature		±20	±50		±20		ppm/°C	See Fig. 8.
Power Supply		0.05	0.5		0.05		%/V	$V^+ = 12 \pm 1$ V. See Fig. 7.
		0.2			0.2		%/V	$V^+ = 5 \pm 0.5$ V. See Fig. 7.
Upper Frequency Limit	100	300			300		kHz	$R_0 = 8.2$ KΩ, $C_0 = 400$ pF
Lowest Practical Operating Frequency			0.01		0.01		Hz	$R_0 = 2$ MΩ, $C_0 = 50$ μF
Timing Resistor, R_0								See Fig. 5.
Operating Range	5		2000	5		2000	KΩ	
Recommended Range	15		100	15		100	KΩ	See Fig. 7 and 8.
LOOP PHASE DETECTOR SECTION								
Peak Output Current	±150	±200	±300	±100	±200	±300	μA	Measured at Pin 11.
Output Offset Current		±1			±2		μA	
Output Impedance		1			1		MΩ	
Maximum Swing	±4	±5		±4	±5		V	Referenced to Pin 10.
QUADRATURE PHASE DETECTOR								Measured at Pin 3.
Peak Output Current	100	150			150		μA	
Output Impedance		1			1		MΩ	
Maximum Swing		11			11		V_{pp}	
INPUT PREAMP SECTION								Measured at Pin 2.
Input Impedance		20			20		KΩ	
Input Signal Voltage Required to Cause Limiting		2	10		2		mV rms	
VOLTAGE COMPARATOR SECTIONS								
Input Impedance		2			2		MΩ	Measured at Pins 3 and 8.
Input Bias Current		100			100		nA	
Voltage Gain	55	70		55	70		dB	$R_L = 5.1$ KΩ
Output Voltage Low		300			300		mV	$I_C = 3$ mA
Output Leakage Current		0.01			0.01		μA	$V_O = 12$ V
INTERNAL REFERENCE								
Voltage Level	4.9	5.3	5.7	4.75	5.3	5.85	V	Measured at Pin 10.
Output Impedance		100			100		Ω	

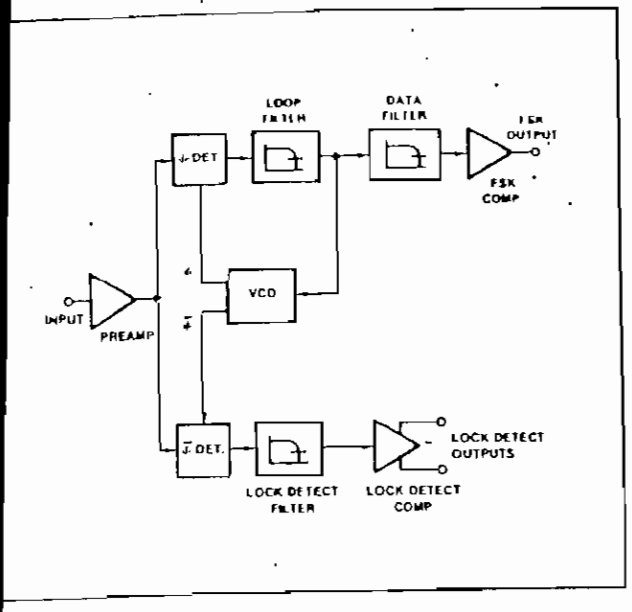


Figure 1: Functional Block Diagram of a Tone and FSK Decoding System Using XR-2211

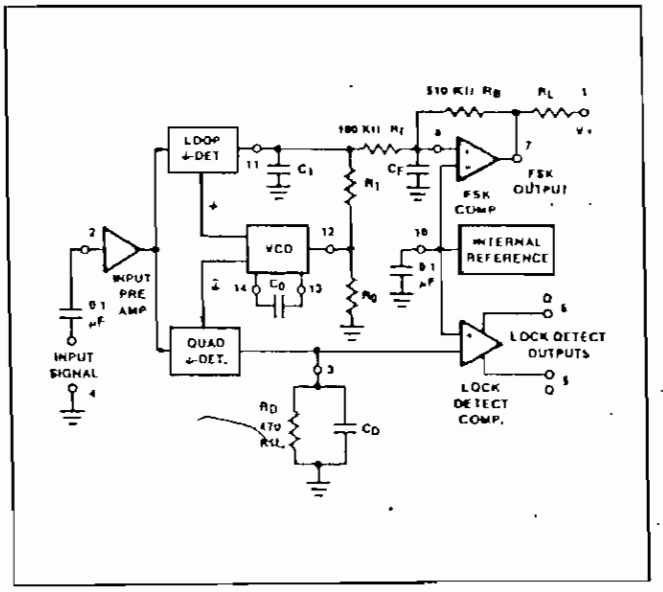


Figure 2: Generalized Circuit Connection for FSK and Tone Detection

Reference Voltage, V_R (Pin 10): This pin is internally biased at the reference voltage level, V_R: $V_R = V+/2 - 650$ mV. The dc voltage level at this pin forms an internal reference for the voltage levels at Pins 5, 8, 11 and 12. Pin 10 *must* be bypassed to ground with a 0.1 μF capacitor for proper operation of the circuit.

Loop Phase Detector Output (Pin 11): This terminal provides a high impedance output for the loop phase detector. The PLL loop filter is formed by R_1 and C_1 connected to Pin 11 (see Figure 2). With no input signal, or with no phase error within the PLL, the dc level at Pin 11 is very nearly equal to V_R. The peak voltage swing available at the phase detector output is equal to $\pm V_R$.

VCO Control Input (Pin 12): VCO free-running frequency is determined by external timing resistor, R_0, connected from this terminal to ground. The VCO free-running frequency, f_0, is:

$$f_0 = \frac{1}{R_0 C_0} \text{ Hz}$$

where C_0 is the timing capacitor across Pins 13 and 14. For optimum temperature stability, R_0 must be in the range of 10 KΩ to 100 KΩ (see Figure 8).

This terminal is a low impedance point; and is internally biased at a dc level equal to V_R. The maximum timing current drawn from Pin 12 must be limited to ≤3 mA for proper operation of the circuit.

VCO Timing Capacitor (Pins 13 and 14): VCO frequency is inversely proportional to the external timing capacitor, C_0, connected across these terminals (see Figure 5). C_0 must be nonpolar, and in the range of 200 pF to 10 μF.

VCO Frequency Adjustment: VCO can be fine-tuned by connecting a potentiometer, R_X, in series with R_0 at Pin 12 (see Figure 9).

VCO Free-Running Frequency, f_0: XR-2211 does not have a separate VCO output terminal. Instead, the VCO outputs are internally connected to the phase detector sections of the circuit. However, for set-up or adjustment purposes, VCO free-running frequency can be measured at Pin 3 (with C_D disconnected), with no input and with Pin 2 shorted to Pin 10.

DESIGN EQUATIONS

(See Figure 2 for definition of components.)

1. VCO Center Frequency, f_0:

   $f_0 = 1/R_0C_0$ Hz

2. Internal Reference Voltage, V_R (measured at Pin 10):

   $V_R = V+/2 - 650$ mV

3. Loop Low-Pass Filter Time Constant, τ:

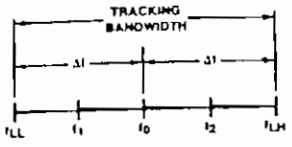
   $\tau = R_1C_1$

Loop Damping, ζ:

$$\zeta = 1/4\sqrt{\frac{C_0}{C_1}}$$

Loop Tracking Bandwidth, $\pm\Delta f/f_0$:

$\Delta f/f_0 = R_0/R_1$



7. FSK Data Filter Time Constant, τF:
$\tau F = R_F C_F$

8. Loop Phase Detector Conversion Gain, $K\phi$: ($K\phi$ is the differential dc voltage across Pins 10 and 11, per unit of phase error at phase detector input):

$K\phi = -2V_R/\pi$ volts/radian

8. VCO Conversion Gain, K_0: (K_0 is the amount of change in VCO frequency, per unit of dc voltage change at Pin 11):

$K_0 = -1/V_R C_0 R_1$ Hz/volt

9. Total Loop Gain, K_T:

$K_T = 2\pi K\phi K_0 = 4/C_0 R_1$ rad/sec/volt

10. Peak Phase Detector Current I_A:

$I_A = V_R$ (volts)/25 mA

APPLICATIONS INFORMATION

FSK DECODING:

Figure 9 shows the basic circuit connection for FSK decoding. With reference to Figures 2 and 9, the functions of external components are defined as follows: R_0 and C_0 set the PLL center frequency, R_1 sets the system bandwidth, and C_1 sets the loop filter time constant and the loop damping factor. C_F and R_F form a one-pole post-detection filter for the FSK data output. The resistor R_B (= 510 KΩ) from Pin 7 to Pin 8 introduces positive feedback across the FSK comparator to facilitate rapid transition between output logic states.

Recommended component values for some of the most commonly used FSK bands are given in Table 1.

Design Instructions:

The circuit of Figure 9 can be tailored for any FSK decoding application by the choice of five key circuit components: R_0, R_1, C_0, C_1 and C_F. For a given set of FSK mark and space frequencies, f_1 and f_2, these parameters can be calculated as follows:

a) Calculate PLL center frequency, f_0:

$$f_0 = \frac{f_1 + f_2}{2}$$

b) Choose value of timing resistor R_0, to be in the range of 10 KΩ to 100 KΩ. This choice is arbitrary. The recommended value is $R_0 \equiv 20$ KΩ. The final value of R_0 is normally fine-tuned with the series potentiometer, R_X.

c) Calculate value of C_0 from design equation (1) or from Figure 6:

$C_0 = 1/R_0 f_0$

d) Calculate R_1 to give a Δf equal to the mark space deviation:

$R_1 = R_0[f_0/(f_1 - f_2)]$

e) Calculate C_1 to set loop damping. (See design equation no. 4.):

Normally, $\zeta \approx 1/2$ is recommended.

Then: $C_1 = C_0/4$ for $\zeta = 1/2$

f) Calculate Data Filter Capacitance, C_F:

For R_F = 100 KΩ, R_B = 510 KΩ, the recommended value of C_F is:

$C_F \approx 3/(\text{Baud Rate})\ \mu F$

Note: All calculated component values except R_0 can be rounded to the nearest standard value, and R_0 can be varied to fine-tune center frequency, through a series potentiometer, R_X. (See Figure 9.)

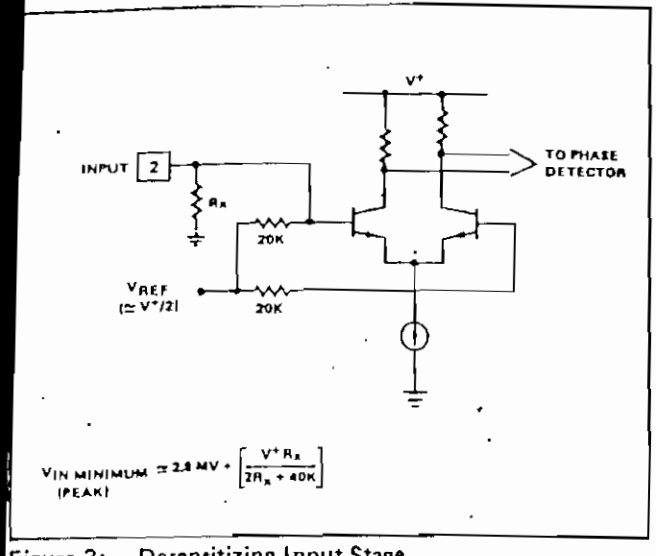


Figure 3: Desensitizing Input Stage

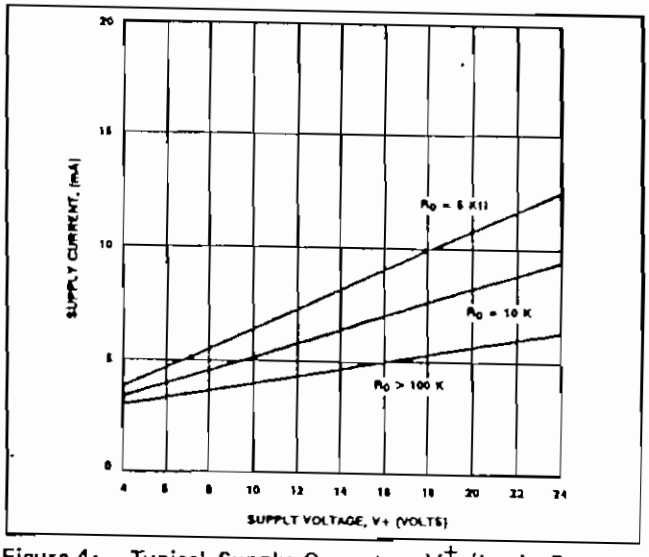


Figure 4: Typical Supply Current vs V^+ (Logic Outputs Open Circuited).

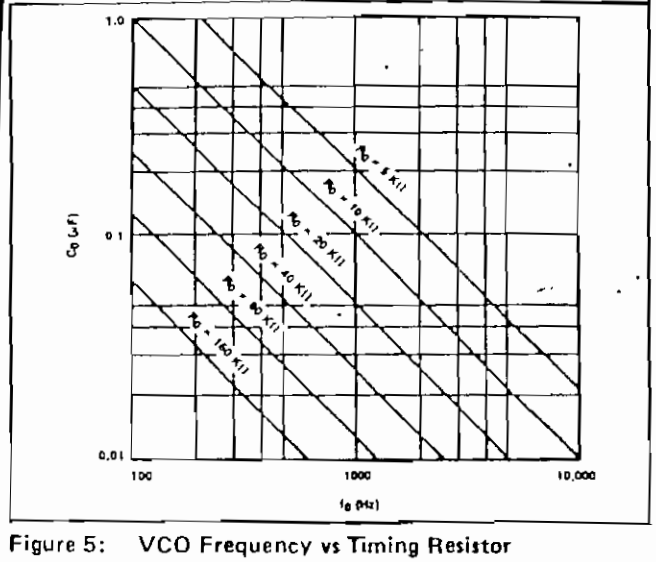


Figure 5: VCO Frequency vs Timing Resistor

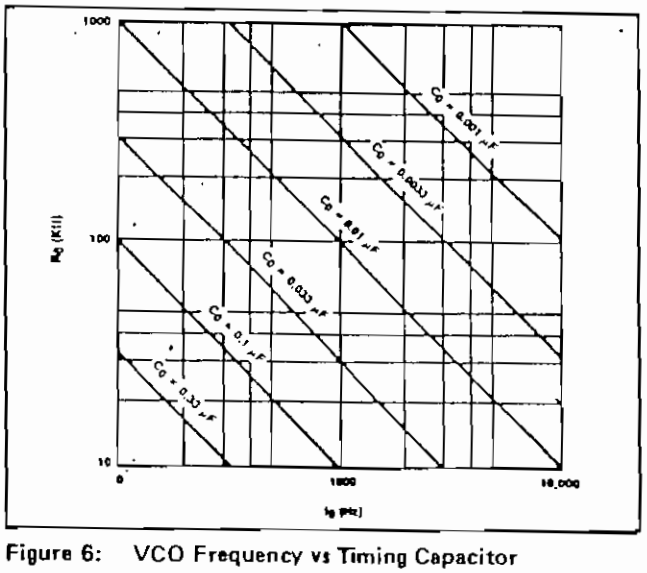


Figure 6: VCO Frequency vs Timing Capacitor

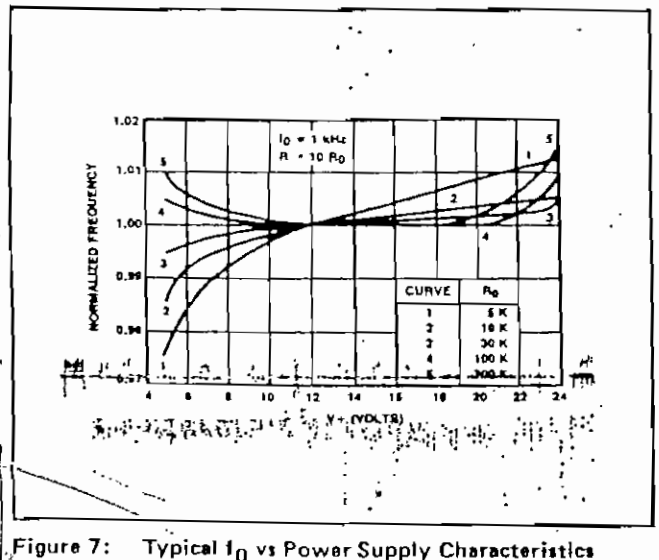


Figure 7: Typical f_0 vs Power Supply Characteristics

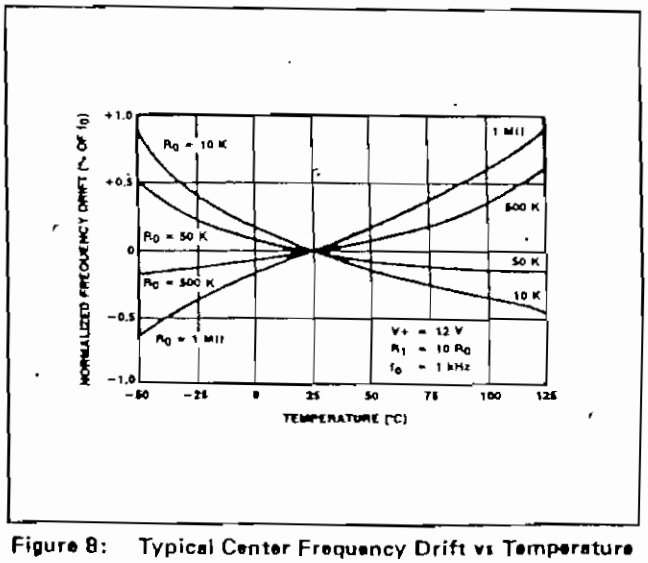
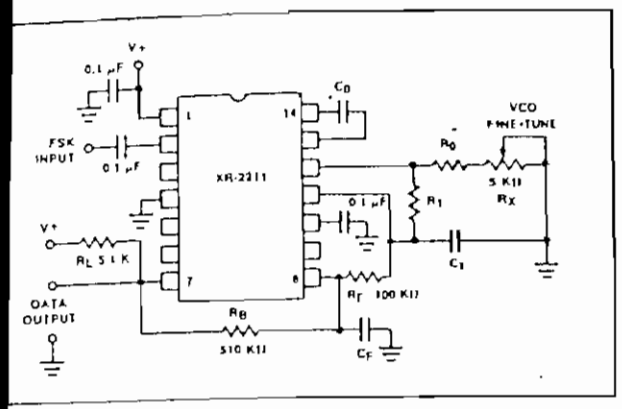


Figure 8: Typical Center Frequency Drift vs Temperature



ure 9: Circuit Connection for FSK Decoding

sign Example:

Baud FSK demodulator with mark space frequencies of 10/1170 Hz:

ep 1. Calculate f_0. f_0 = (1110 + 1170) (1/2) = 1140 Hz
ep 2: Choose R_0 = 20 KΩ (18 KΩ fixed resistor in series with 5 KΩ potentiometer)
ep 3: Calculate C_0 from Figure 6: C_0 = 0.044 μF
ep 4: Calculate R_1:R_1 = R_0 (2240/60) = 380 KΩ
ep 5: Calculate C_1:C_1 = C_0/4 = 0.011 μF

ote: All values except R_0 can be rounded to *nearest* andard value.

Table 1. Recommended Component Values for Commonly Used FSK Bands. (See Circuit of Figure 9.)

FSK BAND	COMPONENT VALUES	
300 Baud f_1 = 1070 Hz f_2 = 1270 Hz	C_0 = 0.039 μF C_1 = 0.01 μF R_1 = 100 KΩ	C_F = 0.005 μF R_0 = 18 KΩ
300 Baud f_1 = 2025 Hz f_2 = 2225 Hz	C_0 = 0.022 μF C_1 = 0.0047 μF R_1 = 200 KΩ	C_F = 0.005 μF R_0 = 18 KΩ
1200 Baud f_1 = 1200 Hz f_2 = 2200 Hz	C_0 = 0.027 μF C_1 = 0.01 μF R_1 = 30 KΩ	C_F = 0.0022 μF R_0 = 18 KΩ

FSK DECODING WITH CARRIER DETECT:

The lock detect section of XR-2211 can be used as a carrier detect option for FSK decoding. The recommended circuit connection for this application is shown in Figure 10. The open collector lock detect output, Pin 6, is shorted to data output (Pin 7). Thus, data output will be disabled at "low" state, until there is a carrier within the detection band of the PPL, and the Pin 6 output goes "high," to enable the data output.

The minimum value of the lock detect filter capacitance C_D is inversely proportional to the capture range, $\pm\Delta f_c$. This is the range of incoming frequencies over which the loop can acquire lock and is always less than the tracking range. It is further limited by C_1. For most applications, $\Delta f_c > \Delta f/2$. For R_D = 470 KΩ, the approximate minimum value of C_D can be determined by

C_D (μF) ≥ 16/capture range in Hz.

With values of C_D that are too small, chatter can be observed on the lock detect output as an incoming signal frequency approaches the capture bandwidth. Excessively large values of C_D will slow the response time of the lock detect output.

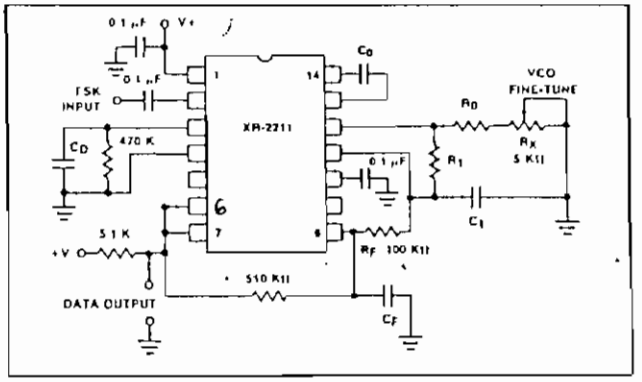


Figure 10: External Connectors for FSK Demodulation with Carrier Detect Capability

Note: Data Output is "Low" When No Carrier is Present.

TONE DETECTION:

Figure 11 shows the generalized circuit connection for tone detection. The logic outputs, Q and $\overline{Q}$ at Pins 5 and 6 are normally at "high" and "low" logic states, respectively. When a tone is present within the detection band of the PLL, the logic state at these outputs become reversed for the duration of the input tone. Each logic output can sink 5 mA of load current.

Both logic outputs at Pins 5 and 6 are open collector type stages, and require external pull-up resistors R_{L1} and R_{L2}, as shown in Figure 11.

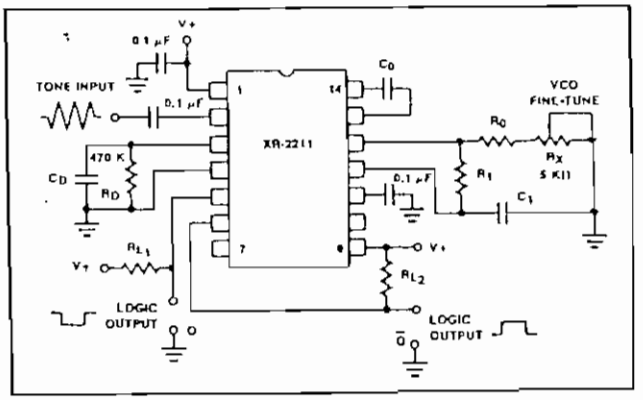


Figure 11: Circuit Connection for Tone Detection.

n reference to Figures 2 and 11, the functions of the ernal circuit components can be explained as follows: and C_0 set VCO center frequency; R_1 sets the detection dwidth; C_1 sets the low pass-loop filter time constant the loop damping factor. R_{L1} and R_{L2} are the respec- pull-up resistors for the Q and $\overline{Q}$ logic outputs.

sign Instructions:

e circuit of Figure 11 can be optimized for any tone tection application by the choice of the 5 key circuit mponents: R_0, R_1, C_0, C_1 and C_D. For a given input, e tone frequency, f_S, these parameters are calculated follows:

a) Choose R_0 to be in the range of 15 KΩ to 100 KΩ. This choice is arbitrary.

b) Calculate C_0 to set center frequency, f_0 equal to f_s (see Figure 6): $C_0 = 1/R_0 f_S$.

c) Calculate R_1 to set bandwidth ±Δf (see design equation pp. 5):

$$R_1 = R_0(f_0/\Delta f)$$

Note: The total detection bandwidth covers the frequency range of $f_0 \pm \Delta f$.

d) Calculate value of C_1 for a given loop damping factor;

$$C_1 = C_0/16\zeta^2$$

Normally $\zeta \approx 1/2$ is optimum for most tone detector applications, giving $C_1 = 0.25\ C_0$.

Increasing C_1 improves the out-of-band signal rejection, but increases the PLL capture time.

e) Calculate value of filter capacitor C_D. To avoid chatter at the logic output, with R_D = 470 KΩ, C_D must be:

$$C_D(\mu F) \geq (16/\text{capture range in Hz})$$

Increasing C_D slows down the logic output response time.

Design Examples:

1. Tone detector with a detection band of 1 kHz ± 20 Hz:

a) Choose R_0 = 20 KΩ (18 KΩ in series with 5 KΩ potentiometer).

b) Choose C_0 for f_0 = 1 kHz (from Figure 6): C_0 = 0.05 μF.

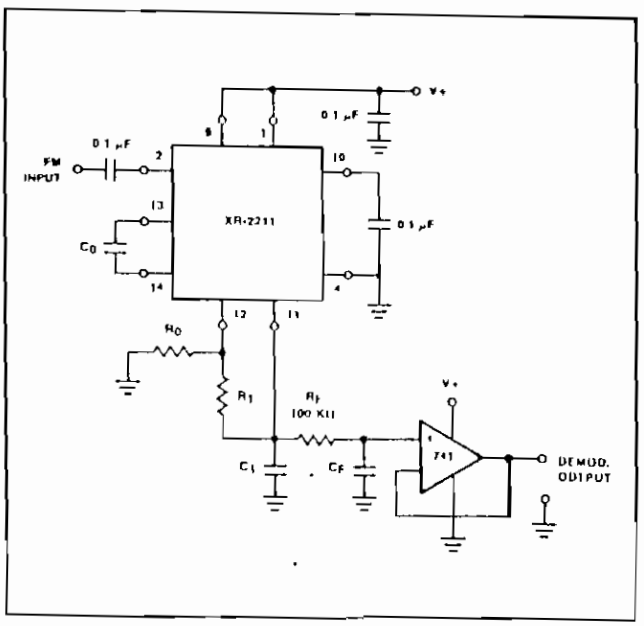


Figure 12: Linear FM Detector Using XR-2211 and an External Op Amp. (See section on Design Equation for Component Values.)

c) Calculate R_1: $R_1 = (R_0)\ (1000/20) = 1$ MΩ.
d) Calculate C_1: for $\zeta = 1/2$, $C_1 = 0.25$, $C_0 = 0.013$ μF.
e) Calculate C_D: $C_D = 16/38 = 0.42$ μF.
f) Fine-tune center frequency with 5 KΩ potentiometer, R_X.

LINEAR FM DETECTION:

XR-2211 can be used as a linear FM detector for a wide range of analog communications and telemetry applications. The recommended circuit connection for this application is shown in Figure 12. The demodulated output is taken from the loop phase detector output (Pin 11), through a post-detection filter made up of R_F and C_F, and an external buffer amplifier. This buffer amplifier is necessary because of the high impedance output at Pin 11. Normally, a non-inverting unity gain op amp can be used as a buffer amplifier, as shown in Figure 12.

The FM detector gain, i.e., the output voltage change per unit of FM deviation can be given as:

$$V_{out} = R_1\ V_R/100\ R_0 \text{ Volts/\%deviation}$$

where V_R is the internal reference voltage (V_R = V+/2 — 650 mV). For the choice of external components R_1, R_0, C_D, C_1 and C_F, see section on design equations.

RINCIPLES OF OPERATION

gnal Input (Pin 2): Signal is ac coupled to this terminal. he internal impedance at Pin 2 is 20 KΩ. Recommended put signal level is in the range of 10 mV rms to 3 V rms.

uadrature Phase Detector Output (Pin 3): This is the high mpedance output of quadrature phase detector and is ternally connected to the input of lock detect voltage comarator. In tone detection applications, Pin 3 is connected o ground through a parallel combination of R_D and C_D see Figure 2) to eliminate the chatter at lock detect outputs. f the tone detect section is not used, Pin 3 can be left open ircuited.

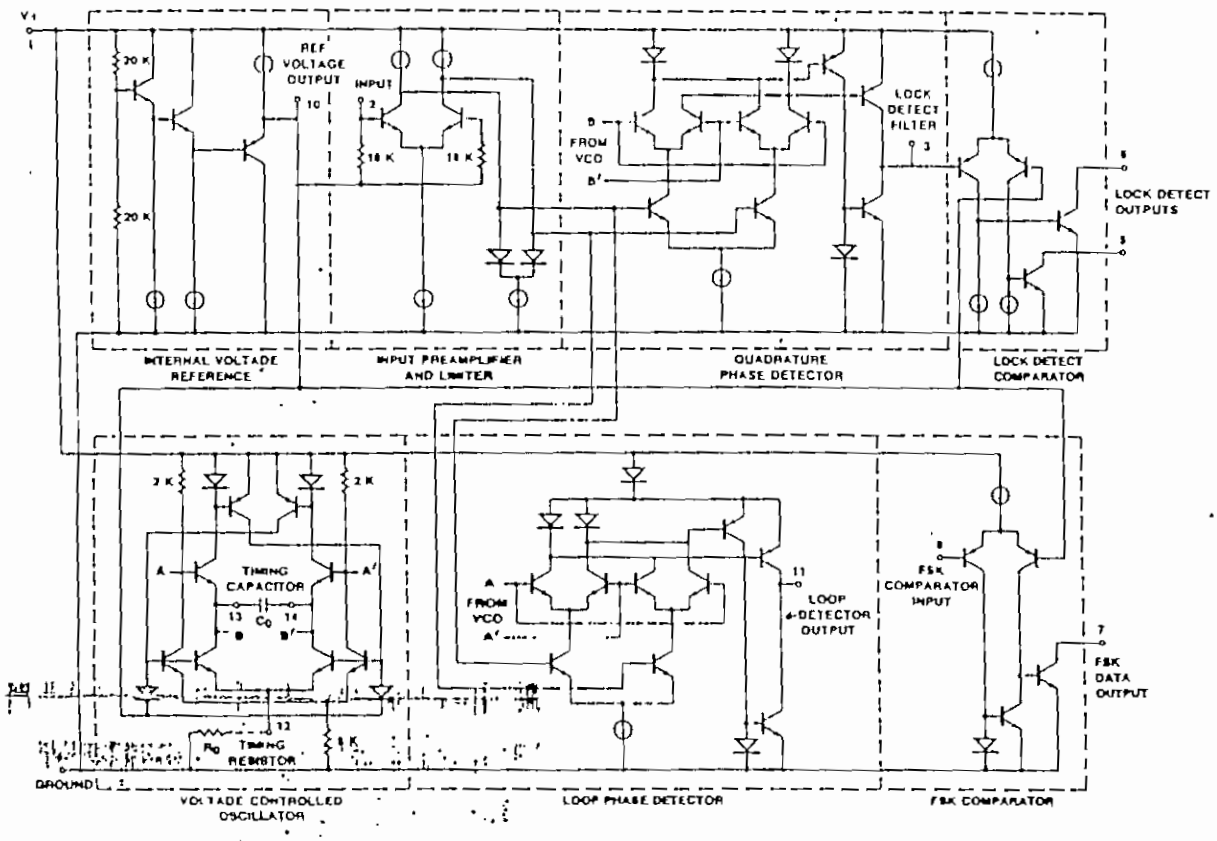
ock Detect Output, Q (Pin 5). The output at Pin 5 is at "high" state when the PLL is out of lock and goes to "low" or conducting state when the PLL is locked. It is an open collector type output and requires a pull-up resistor, R_L, to V+ for proper operation. At "low" state, it can sink up to 5 mA of load current.

Lock Detect Complement, $\overline{Q}$ (Pin 6): The output at Pin 6 is the logic complement of the lock detect output at Pin 5. This output is also an open collector type stage which can sink 5 mA of load current at low or "on" state.

FSK Data Output (Pin 7): This output is an open collector logic stage which requires a pull-up resistor, R_L, to V+ for proper operation. It can sink 5 mA of load current. When decoding FSK signals, FSK data output is at "high" or "off" state for low input frequency, and at "low" or "on" state for high input frequency. If no input signal is present, the logic state at Pin 7 is indeterminate.

FSK Comparitor Input (Pin 8): This is the high impedance input to the FSK voltage comparator. Normally, an FSK post-detection or data filter is connected between this terminal and the PLL phase detector output (Pin 11). This data filter is formed by R_F and C_F of Figure 2. The threshold voltage of the comparator is set by the internal reference voltage, V_R, available at Pin 10.

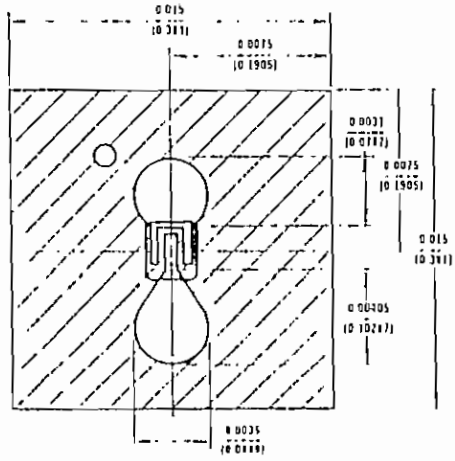
EQUIVALENT SCHEMATIC DIAGRAM



Process 43

National Semiconductor

Process 4
NPN VHF/UHF Oscillato



DESCRIPTION

Process 43 is an overlay, double-diffused, silicon epita device.

APPLICATION

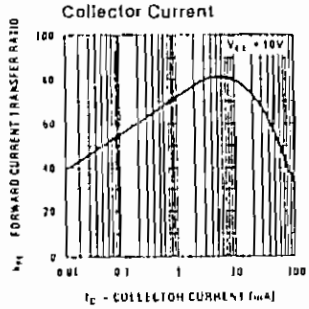
This device was designed for use as RF amplifiers, osc tors and multipliers with collector current in the 1 mA 2 mA range.

PRINCIPAL DEVICE TYPES

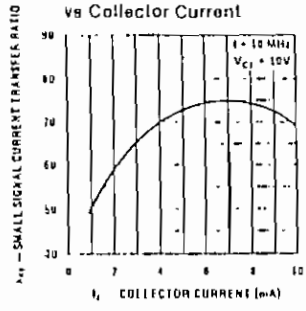
TO-72: 2N918
TO-92, EBC: PN3563
PN5130
TO-92, ECB: 2N3683

Parameter	Conditions	Min	Typ	Max	Units	Notes
G_{pE}	f = 200 MHz, I_C = 5 mA, V_{CE} = 10V	14	18		dB	Neutralize
NF	f = 60 MHz, I_C = 1 mA, V_{CE} = 10V, R_S = 200Ω		3.5	6.0	dB	
PO	f = 500 MHz, I_C = 8 mA, V_{CE} = 15V	20	35		mW	*Figure 1*
PO	f = 900 MHz, I_C = 8 mA, V_{CE} = 15V	3.0	8.0		mW	
h_{fe}	I_C = 5 mA, V_{CE} = 10V, f = 100 MHz	6.0	9.0			
rb'Cc	f = 79.8 MHz, V_{CE} = 10V, I_E = 8 mA		10	25	ps	
C_{CB}	V_{CB} = 10V, I_E = 0		1.2	1.7	pF	
C_{EB}	V_{EB} = 0.5V, I_C = 0		1.4	2.0	pF	
h_{FE}	I_C = 1 mA, V_{CE} = 1V	25				
h_{FE}	I_C = 5 mA, V_{CE} = 10V	40	80	200		
h_{FE}	I_C = 30 mA, V_{CE} = 10V	30				
$V_{CE(SAT)}$	I_C = 10 mA, I_B = 1 mA		0.25		V	
$V_{BE(SAT)}$	I_C = 10 mA, I_B = 1 mA		0.9		V	
BV_{CEO}	I_C = 3 mA	15			V	
BV_{CBO}	I_C = 10 μA	30			V	
BV_{EBO}	I_E = 10 μA	4			V	
I_{CBO}	V_{CB} = 20V			100	nA	
I_{EBO}	V_{CB} = 3V			100	nA	

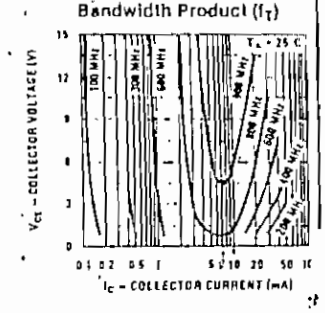
DC Current Gain vs Collector Current



Small Signal Current Gain vs Collector Current

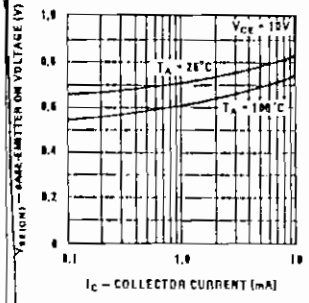


Contours of Constant Gain Bandwidth Product (f_T)

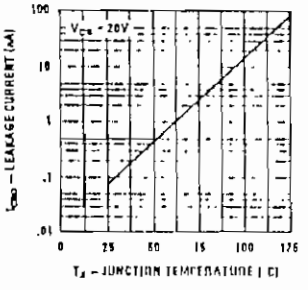


Process 43

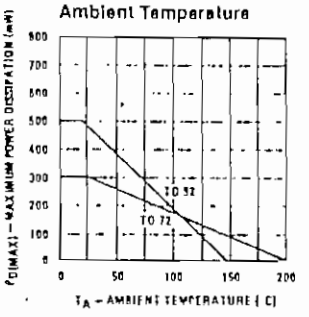
Base-Emitter ON Voltage vs Collector Current



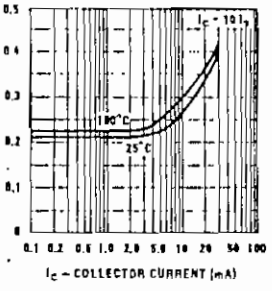
Collector-Base Diode Reverse Current vs Temperature



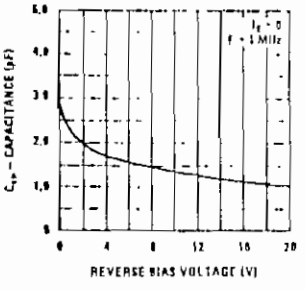
Maximum Power Dissipation vs Ambient Temperature



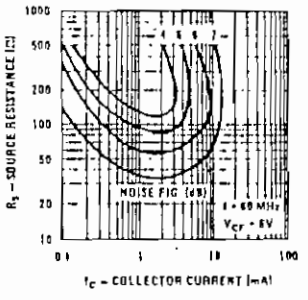
Collector Saturation Voltage vs Collector Current

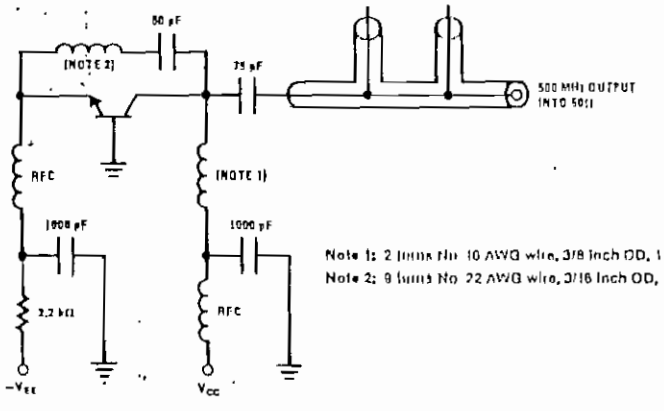


Output Capacitance vs Reverse Bias Voltage



Contours of Constant Noise Figure



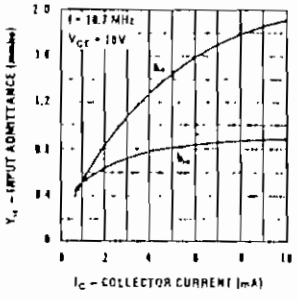


Note 1: 2 turns No. 10 AWG wire, 3/8 inch OD, 1 1/4 inch long.
Note 2: 9 turns No. 22 AWG wire, 3/16 inch OD, 1/2 inch long.

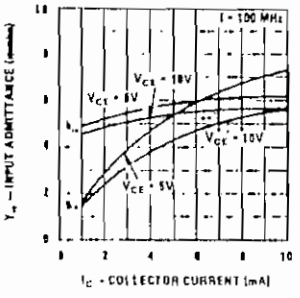
FIGURE 1. 500 MHz Oscillator Circuit

COMMON EMITTER Y PARAMETERS VS FREQUENCY

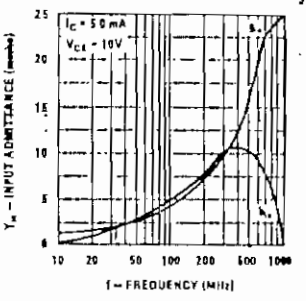
Input Admittance vs Collector Current-Output Short Circuit



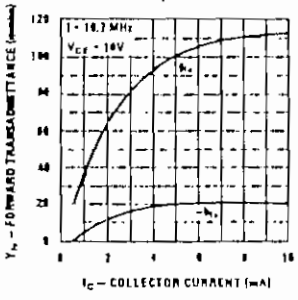
Input Admittance vs Collector Current-Output Short Circuit



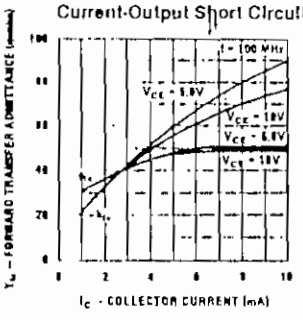
Input Admittance vs Frequency-Output Short Circuit



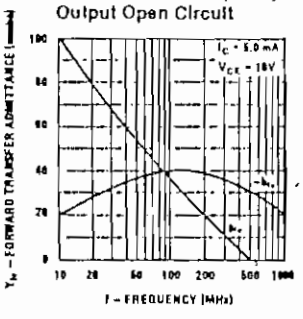
Forward Transfer Admittance vs Collector Current-Output Short Circuit



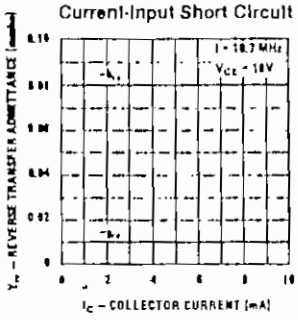
Forward Transfer Admittance vs Collector Current-Output Short Circuit



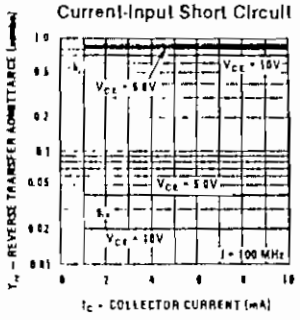
Forward Transfer Admittance vs Frequency-Output Open Circuit



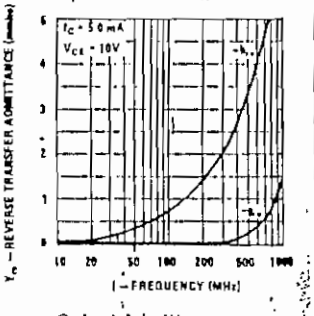
Reverse Transfer Admittance vs Collector Current-Input Short Circuit



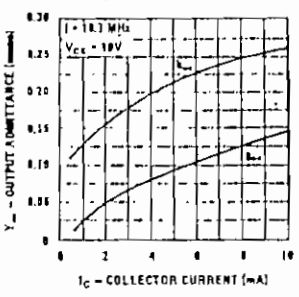
Reverse Transfer Admittance vs Collector Current-Input Short Circuit



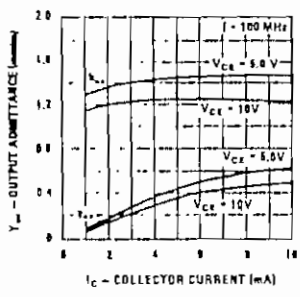
Reverse Transfer Admittance vs Frequency-Input Short Circuit



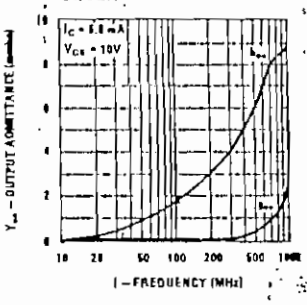
Output Admittance vs Collector Current-Input Short Circuit



Output Admittance vs Collector Current-Input Short Circuit



Output Admittance vs Frequency-Input Short Circuit



ANEXO XIV

IRON-POWDER TOROIDAL CORES

Iron Powder toroidal cores are available in numerous sizes ranging from .05 inches to more than 5 inches in outer diameter. There are two basic material groups: The Carbonyl Irons and the Hydrogen Reduced Irons. The Carbonyl Irons are especially noted for their excellent stability over a wide range of temperatures and flux levels. Their permeability range is from less than 3 mu to 35 mu and can offer excellent 'Q' factors for the 50 KHz to 200 MHz frequency range. They are ideally suited for a variety of RF applications. The frequency range specified for each material is especially important for tuned circuits where high 'Q' is essential. These same materials can also be used in broadband applications where 'Q' is no longer a primary concern and can, therefore, be useful to considerably higher frequencies. The Hydrogen Reduced Irons have permeabilities ranging from 35 mu to 90 mu. Somewhat lower 'Q' values should be expected from this group of cores. They are mainly used for EMI filters and low frequency chokes. In recent years they have been very much in demand for use in both input and output filters for switched-mode power supplies.

Toroidal cores, in general, are the most efficient of any core configuration. They are highly self-shielding since most of the lines of flux are contained within the toroidal form. The flux lines are essentially uniform over the entire magnetic path length and consequently stray magnetic fields will have very little effect on a toroidal inductor. It is seldom necessary to shield or isolate a toroidal inductor to prevent feedback or cross-talk. Toroidal inductors simply do not like to talk to each other. The number of turns required for a specific inductance may be calculated by using the A_L value for the selected core and the formula below. See A_L value chart elsewhere in this paper. Part number key also shown below.

Materials

MATERIAL #3 (permeability 35) A Carbonyl 'HP' powdered iron material having excellent stability and good 'Q' for the lower frequencies from 50 KHz.

MATERIAL #15 (permeability 25) A Carbonyl 'GS6' powdered iron material offering good stability for the commercial broadcast frequencies where good 'Q' and a high order of permeability must be maintained.

MATERIAL #1 (permeability 20) A Carbonyl 'C' powdered iron material very similar to material #3, but has higher volume resistivity and offers better stability.

MATERIAL #2 (permeability 10) A Carbonyl 'E' powdered iron material having high volume resistivity and offers high 'Q' for the 1 MHz to 30 MHz frequency range. Most widely used of all powdered iron materials.

MATERIAL #6 (permeability 8) A powdered iron, Carbonyl 'SF', material very similar to the #2 material, but has an improved 'Q' for frequencies from 30 MHz to 50 MHz.

MATERIAL #10 (permeability 6) A Carbonyl 'W' iron powder material offering high 'Q' and good stability for frequencies to 100 MHz.

MATERIAL #12 (permeability 3) A synthetic-oxide material having good 'Q' and moderate stability for frequencies above 100 MHz.

MATERIAL #0 (permeability 1) This material has a permeability of one. Most commonly used for frequencies above 200 MHz.

MATERIAL #26 (permeability 75) A Hydrogen Reduced material highest in permeability of all powdered iron materials. Well suited for DC chokes and EMI line filters where high 'Q' is not required. #26 material is very similar to the old #41 material but offers an extended frequency range.

Part number key: $\frac{T}{\text{Toroid}} - \frac{50}{\text{Size}} - \frac{6}{\text{Material}}$

$$\text{Turns} = 100\sqrt{\frac{\text{desired L (uh)}}{A_L \text{ value (uh/100 t)}}}$$

AMIDON Associates, Inc. 2216 EAST GLADWICK STREET, DOMINGUEZ HILLS, CALIFORNIA 90220, U.S.A.
TEL: 213-763-5770 FAX: 213-763-2250

IRON-POWDER TOROIDAL CORES

PHYSICAL DIMENSIONS

Core Size	Outer Diam. (in.)	Inner Diam. (in.)	Height (in.)	Cross Sect. (cm^2)	Mean Length (cm)
T-400A	4.000	2.250	1.300	2.43	24.93
T-400	4.000	2.250	.650	2.66	24.93
T-300A	3.048	1.925	1.000	2.58	19.83
T-300	3.048	1.925	.500	1.81	19.83
T-225A	2.250	1.405	1.000	2.73	14.52
T-225	2.250	1.405	.550	1.66	14.52
T-200A	2.000	1.250	1.000	2.42	12.97
T-200	2.000	1.250	.500	1.33	12.57
T-184	1.840	.950	.710	2.04	11.32
T-157	1.570	.950	.500	1.14	10.05
T-130	1.300	.780	.437	0.73	8.29
T-106	1.060	.570	.437	0.69	7.45

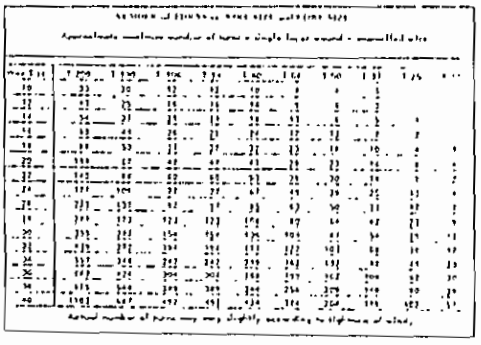
Core Size	Outer Diam. (in.)	Inner Diam. (in.)	Height (in.)	Cross Sect. (cm^2)	Mean Length (cm)
T-94	.942	.560	.312	.385	6.02
T-80	.795	.495	.250	.242	5.15
T-68	.690	.370	.190	.196	4.24
T-50	.500	.300	.190	.121	3.23
T-44	.440	.229	.159	.107	2.81
T-37	.375	.205	.128	.070	2.32
T-30	.339	.151	.128	.045	1.83
T-25	.255	.129	.096	.042	1.50
T-22	.209	.068	.070	.023	1.13
T-16	.160	.078	.060	.016	0.95
T-12	.135	.063	.050	.015	0.75

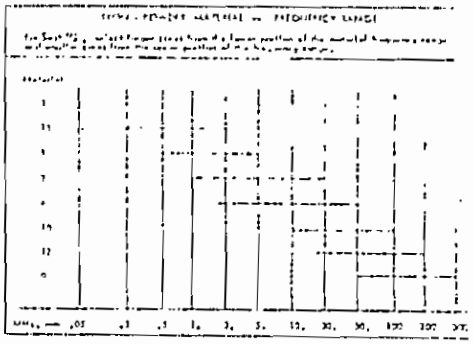
IRON POWDER TOROIDAL CORES — A_L VALUES (nh / 100 turns) — ALL STOCK ITEMS

Core Size	26-mix yellow/white $\mu = 75$ 0.1-1.0 MHz	3-mix gray $\mu = 35$ .05-.5 MHz	15-mix red/white $\mu = 25$ .1-2 MHz	1-mix blue $\mu = 20$ .5-5 MHz	2-mix red $\mu = 10$ 1-30 MHz	6-mix yellow $\mu = 8$ 2-50 MHz	10-mix black $\mu = 4$ 10-100 MHz	12-mix green/white $\mu = 3$ 20-200 MHz	0-mix tan $\mu = 1$ 50-300 MHz
T-400A **	2600	NA	NA	NA	760	NA	NA	NA	NA
T-400 **	1320	NA	NA	NA	385	NA	NA	NA	NA
T-300A **	1660	NA	NA	NA	228	NA	NA	NA	NA
T-300 **	895	NA	NA	NA	115	NA	NA	NA	NA
T-225A **	1600	NA	NA	NA	235	NA	NA	NA	NA
T-225 **	950	435	NA	NA	135	105	74	72	68
T-200A **	1350	NA	NA	NA	248	180	NA	NA	NA
T-200 **	895	435	NA	NA	135	105	74	72	68
T-184 **	1640	770	NA	560	240	195	NA	NA	NA
T-157 **	920	420	360	320	142	115	NA	NA	NA
T-130 **	765	350	310	270	113	96	NA	NA	15
T-106 **	900	490	345	325	135	118	NA	NA	19
T- 94 **	590	248	200	160	84	70	58	57	10 A
T- 80 **	450	180	170	144	55	45	33	44	8 5
T- 68 **	422	195	180	185	52	42	33	21	7 5
T- 50 **	330	175	135	120	49	40	31	18	6 2
T- 44 **	340	180	160	105	52	42	33	17	6 5
T- 37 **	325	120	90	89	43	30	25	15	4 9
T- 30 **	325	140	93	85	43	36	25	14	6 9
T- 25 **	NA	190	90	100	50	34	19	12	4 5
T- 20 **	NA	90	65	52	27	22	16	12	3 5
T- 16 **	NA	61	55	44	23	15	13	8	3 0
T- 12 **	NA	60	50	48	23	17	12	7	3 0

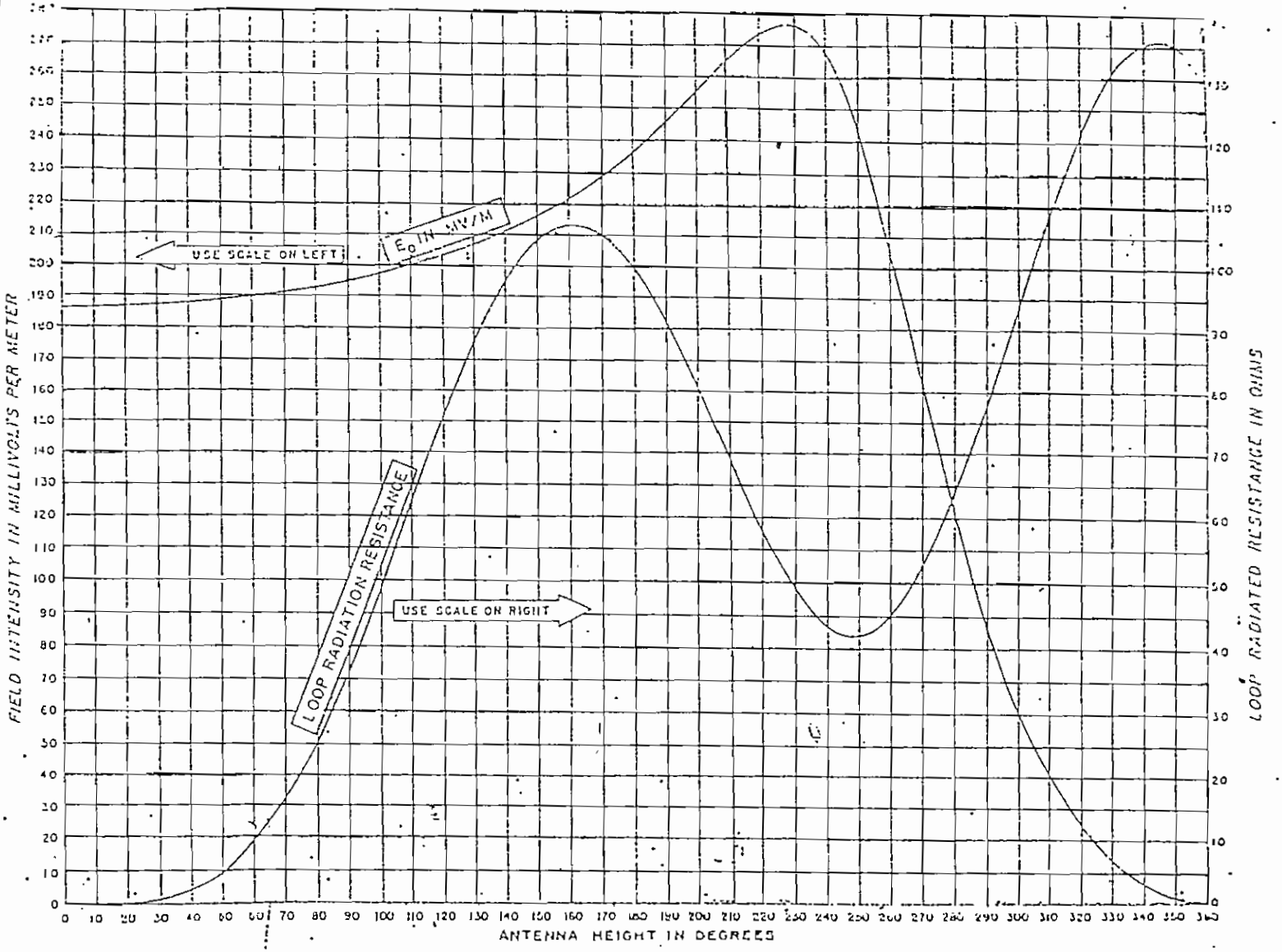
NA = Not available in that size.
Add Mix number to Core Size to specify provided (**) for complete part number.

Turns = 100 $\sqrt{\frac{\text{Desired } L \text{ (uH)}}{A_L \text{ (uH / 100 turns)}}}$

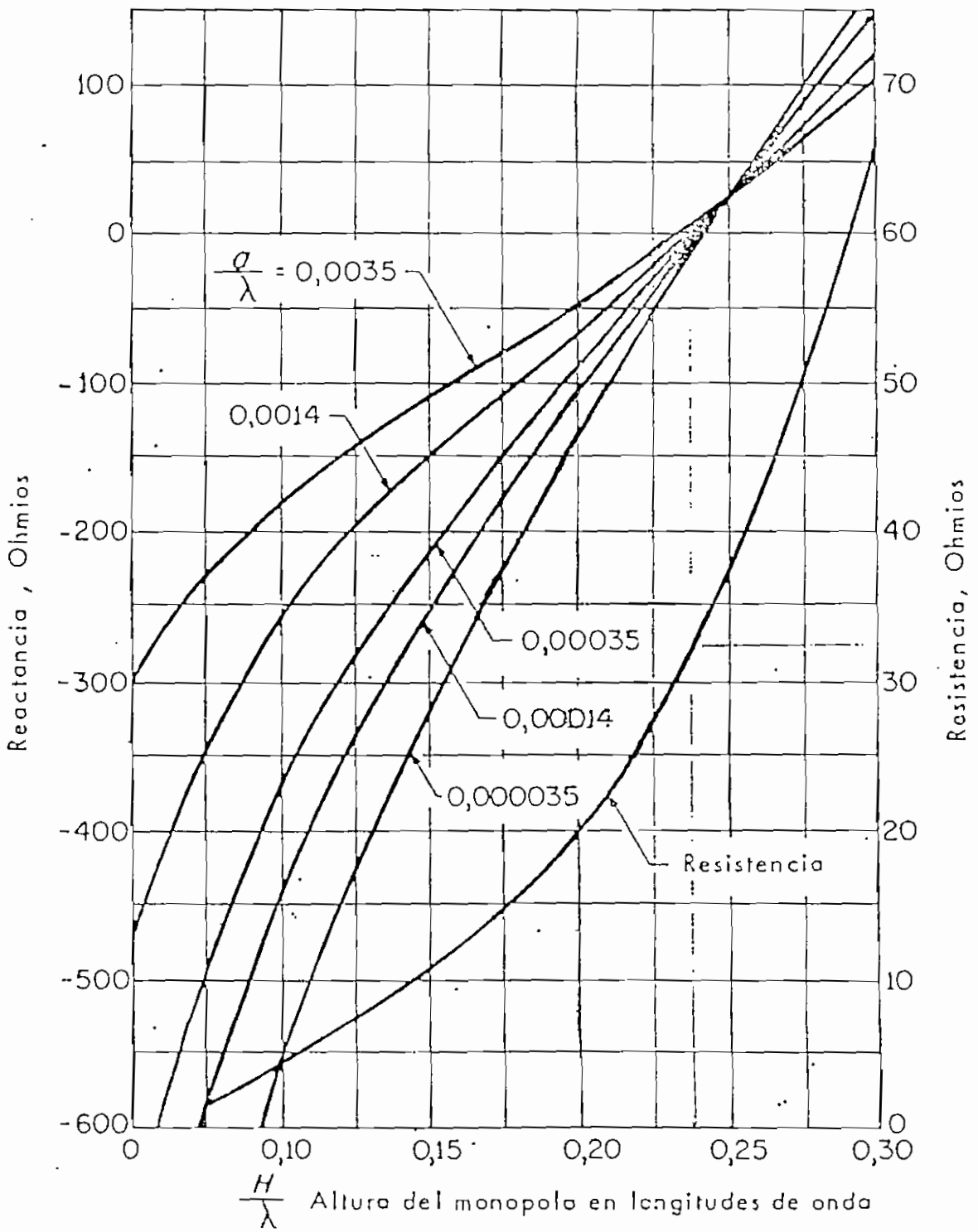




AMIDON Associates, Inc. 2216 EAST GLADWICK STREET, DOMINGUEZ HILLS, CALIFORNIA 90220, U.S.A.
TEL: 213-763-5770 FAX: 213-763-2250



UNATTENUATED FIELD INTENSITY AT ONE MILE FOR ONE KILOWATT
AND THE LOOP RADIATION RESISTANCE AS A FUNCTION OF ANTENNA HEIGHT
OVER A PERFECTLY CONDUCTING EARTH


100
0
-100
-200
-300
-400
-500
-600
70
60
50
40
30
20
10
0
0
0,10
0,15
0,20
0,25
0,30
$\frac{a}{\lambda}$ = 0,0035
0,0014
0,00035
0,00014
0,000035
Resistencia
Reactancia , Ohmios
Resistencia, Ohmios
$\frac{H}{\lambda}$ Altura del monopolo en longitudes de onda

MV2101 thru MV2115 (SILICON)

VVC

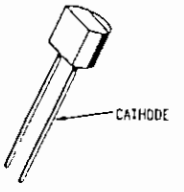
SILICON EPICAP DIODES

. . . designed in the popular PLASTIC PACKAGE for high volume requirements of FM Radio and TV tuning and AFC, general frequency control and tuning applications; providing solid-state reliability in replacement of mechanical tuning methods.

- High Q with Guaranteed Minimum Values
- Controlled and Uniform Tuning Ratio
- Standard Capacitance Tolerance – 10%
- Complete Typical Design Curves
- Case TO-92 with Two Leads

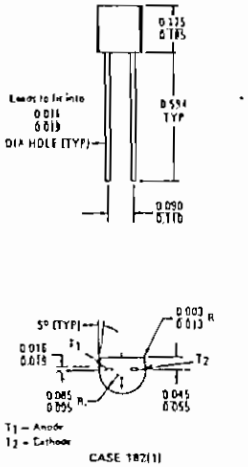
VOLTAGE-VARIABLE CAPACITANCE DIODES

6.8–100 pF
30 VOLTS



MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Reverse Voltage	V_R	30	Volts
Forward Current	I_F	200	mA
Device Dissipation @ T_A = 25°C Derate above 25°C	P_D	280 2.8	mW mW/°C
Junction Temperature	T_J	+125	°C
Storage Temperature Range	T_{stg}	–65 to +150	°C



ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic—All Types	Symbol	Min	Typ	Max	Unit
Reverse Breakdown Voltage (I_R = 10 μAdc)	BV_R	30	--	—	Vdc
Reverse Voltage Leakage Current (V_R = 25 Vdc, T_A = 25°C)	I_R	--	--	0.10	μAdc
Series Inductance (f = 250 MHz, Lead Length ≈ 1/16")	L_S	—	6.0	--	nH
Case Capacitance (f = 1.0 MHz, Lead Length ≈ 1/16")	C_C	—	0.18	—	pF
Diode Capacitance Temperature Coefficient (V_R = 4.0 Vdc, f = 1.0 MHz)	TC_C	—	280	400	ppm/°C

	C_T, Diode Capacitance V_R = 4.0 Vdc, f = 1.0 MHz pF			Q, Figure of Merit V_R = 4.0 Vdc, f = 50 MHz	TR, Tuning Ratio C_2/C_{30} f = 1.0 MHz		
Device	Min	Nom	Max	Min	Min	Typ	Max
MV2101	6.1	6.8	7.5	450	2.5	2.7	3.2
MV2102	7.4	8.2	9.0	450	2.5	2.8	3.2
MV2103	9.0	10.0	11.0	400	2.5	2.9	3.2
MV2104	10.8	12.0	13.2	400	2.5	2.9	3.2
MV2105	13.5	15.0	16.5	400	2.5	2.9	3.2
MV2106	16.2	18.0	19.8	350	2.5	2.9	3.2
MV2107	19.8	22.0	24.2	350	2.5	2.9	3.2
MV2108	24.3	27.0	29.7	300	2.5	3.0	3.2
MV2109	29.7	33.0	36.3	200	2.5	3.0	3.2
MV2110	35.1	39.0	42.9	150	2.5	3.0	3.2
MV2111	42.3	47.0	51.7	150	2.5	3.0	3.2
MV2112	50.4	56.0	61.6	150	2.6	3.0	3.3
MV2113	61.2	68.0	74.8	150	2.6	3.0	3.3
MV2114	73.8	82.0	90.2	100	2.6	3.0	3.3
MV2115	90.0	100.0	110.0	100	2.6	3.0	3.3

PARAMETER TEST METHODS

1. L_S, SERIES INDUCTANCE
   L_S is measured on a shorted package at 250 MHz using an impedance bridge (Boonton Radio Model 250A RX Meter).

2. C_C, CASE CAPACITANCE
   C_C is measured on an open package at 1.0 MHz using a capacitance bridge (Boonton Electronics Model 75A or equivalent).

3. C_T, DIODE CAPACITANCE
   ($C_T = C_C + C_J$). C_T is measured at 1.0 MHz using a capacitance bridge (Boonton Electronics Model 75A or equivalent).

4. TR, TUNING RATIO
   TR is the ratio of C_T measured at 2.0 Vdc divided by C_T measured at 30 Vdc.

5. Q, FIGURE OF MERIT
   Q is calculated by taking the G and C readings of an admittance bridge at the specified frequency and substituting in the following equations:

$$Q = \frac{2\pi fC}{G}$$

   (Boonton Electronics Model 33AS8). Use Lead Length ≈1/16".

6. TC_C, DIODE CAPACITANCE TEMPERATURE COEFFICIENT
   TC_C is guaranteed by comparing C_T at V_R = 4.0 Vdc, f = 1.0 MHz, T_A = -65°C with C_T at V_R = 4.0 Vdc, f = 1.0 MHz, T_A = +85°C in the following equation which defines TC_C:

$$TC_C = \frac{C_T(+85^\circ C) - C_T(-65^\circ C)}{85 + 65} \cdot \frac{10^6}{C_R(25^\circ C)}$$

   Accuracy limited by measurement of C_T to ± 0.1 pF.

TYPICAL DEVICE PERFORMANCE

FIGURE 1 – DIODE CAPACITANCE versus REVERSE VOLTAGE

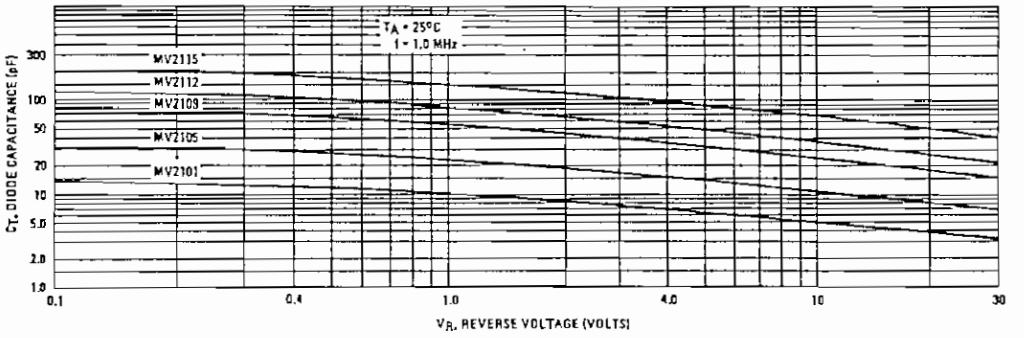


FIGURE 2 – NORMALIZED DIODE CAPACITANCE versus JUNCTION TEMPERATURE

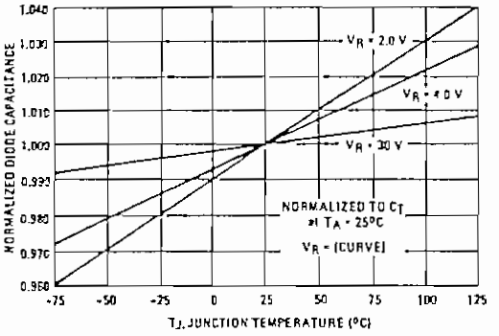


FIGURE 3 – REVERSE CURRENT versus REVERSE BIAS VOLTAGE

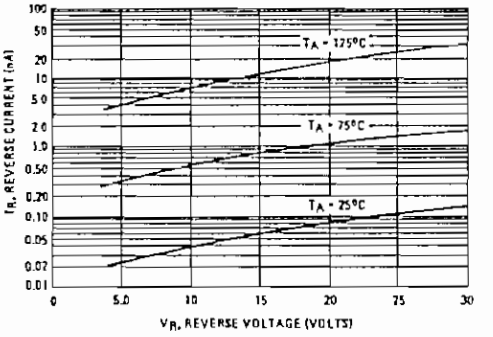


FIGURE 4 – FIGURE OF MERIT versus REVERSE VOLTAGE

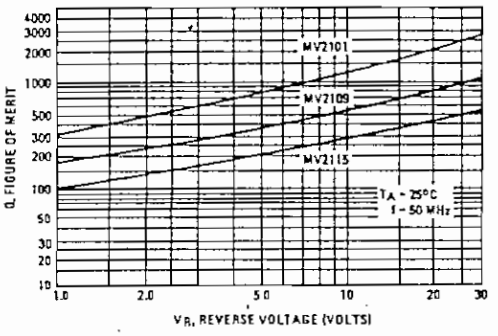
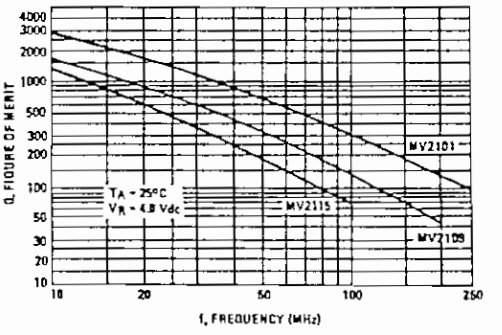


FIGURE 5 – FIGURE OF MERIT versus FREQUENCY



EPICAP VOLTAGE-VARIABLE CAPACITANCE DIODE DEVICE CONSIDERATIONS

A. Epicap Network Presentation

The equivalent circuit in Figure 6 shows the voltage capacitance and parasitic elements of an EPICAP diode. For design purposes at all but very high and very low frequencies, L_S, R_J, and C_C can be neglected. The simplified equivalent circuit of Figure 7 represents the diode under these conditions.

Definitions

- C_J – Voltage-Variable Junction Capacitance
- R_S – Series Resistance (semiconductor bulk, contact, and lead resistance)
- C_C – Case Capacitance
- L_S – Series Inductance
- R_J – Voltage-Variable Junction Resistance (negligible above 100 kHz)

FIGURE 6

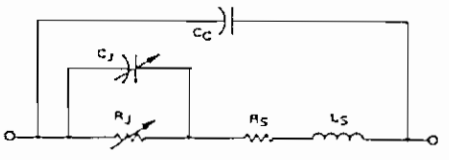


FIGURE 7

B. Epicap Capacitance versus Reverse Bias Voltage

The most important design characteristic of an EPICAP diode is the C_T versus V_R variation as shown in equations 1 and 2. Tuning Ratio, TR, between any two voltage points on curve of equation (2) is determined from equations (3) and (4).

$$C_T = C_C + C_J \tag{1}$$

$$C_T = C_C + \frac{C_o}{\left(1 + \frac{V_R}{\phi}\right)^\gamma} \tag{2}$$

$$TR\ Junction = \frac{C_{J1}}{C_{J2}} = \left(\frac{V_{R2} + \phi}{V_{R1} + \phi}\right)^\gamma \tag{3}$$

$$TR\ Diode = \frac{C_{T1}}{C_{T2}} = \frac{C_{J1} + C_C}{C_{J2} + C_C} \tag{4}$$

Conditions:
$C_o = C_J$ at $V_R = 0$
V_R = Reverse Bias (Volts)
γ, Diode Power Law, ≈ 0.44
ϕ, Contact Potential, ≈ 0.6 Volt
$C_C \approx 0.18$ pF

C. Epicap Capacitance versus Frequency

Variations in EPICAP effective capacitance, as a function of operating frequency, can be derived from a simplified equivalent circuit similar to that of Figure 6, but neglecting R_S and R_J. The admittance expression for such a circuit is given in equation 5. Examination of equation 5 yields the following information:

At low frequencies, $C_{eq} \approx C_J$; at very high frequencies ($f \approx \infty$) $C_{eq} \approx C_C$.

As frequency is increased from 1.0 MHz, C_{eq} increases until it is maximum at $\omega^2 = 1/L_S C_J$; and as ω^2 is increased from $1/L_S C_J$ toward infinity, C_{eq} increases from a very negative capacitance (inductance) toward $C_{eq} = C_C$, a positive capacitance.

Very simple calculations for C_{eq} at higher frequencies indicate the problems encountered when capacity measurements are made above 1.0 MHz. As ω approaches $\omega_o = 1/\sqrt{L_S C_J}$, small variations in L_S cause extreme variations in measured diode capacitance.

$$Y = j\omega C_{eq} = j\omega C_C + \frac{j\omega C_J}{1 - \omega^2 L_S C_J} \tag{5}$$

D. EPICAP Figure of Merit (Q) and Cutoff Frequency (f_{co})

The efficiency of EPICAP response to an input frequency is related to the Figure of Merit of the device as defined in equation 6. For very low frequencies, equation 7 applies whereas at high frequencies, where R_J can be neglected, equation 6 may be rewritten into the familiar form of equation 8.

Another useful parameter for EPICAP devices is the cutoff frequency (f_{co}), and is the frequency point where Q is equal to 1. Equation 9 gives this relationship.

$$Q = \frac{X_{Seq}}{R_{Seq}} \tag{6}$$

$$Q_{Lf} = \frac{\omega C_J R_J^2}{R_J + R_S(1 + \omega^2 C_J^2 R_J^2} \tag{7}$$

$$Q_{hf} = \frac{1}{\omega R_S C_{eq}} \tag{8}$$

$$f_{co} = Qf_{meas} \approx \frac{1}{2\pi R_S C_B V_R} \tag{9}$$

E. Harmonic Generation Using EPICAPS

Efficient harmonic generation is possible with EPICAPS because of their high cutoff frequency and breakdown voltage. Since EPICAP junction capacitance varies inversely with the square root of the breakdown voltage, harmonic generator performance can be accurately predicted from various idealized models. Equation 10 gives the level of maximum input power for the EPICAP and equation 11 gives the relationships governing EPICAP circuit efficiency. In these equations, adequate heat sinking has been assumed.

$$P_{in(max)} = \frac{M(BV_R + \phi)^2}{R_S} \frac{f_{in}}{f_{co}} \tag{10}$$

$M(\times 2) = 0.0285; M(\times 3) = 0.0241; M(\times 4) = 0.196$

$$Eff = 1 - N\frac{f_{out}}{f_{co}} \tag{11}$$

$N(\times 2) = 20.8; N(\times 3) = 34.8; N(\times 4) = 62.5$

M and N are Constants