ESCUELA POLITÉCNICA NACIONAL

ESCUELA DE INGENIERÍA

DISEÑO Y CONSTRUCCIÓN DE UN SISTEMA MODULADOR Y DEMODULADOR DE SEÑALES UTILIZANDO TÉCNICAS I/Q DE MODULACIÓN EN CUADRATURA

PROYECTO PREVIO A LA OBTENCIÓN DEL TÍTULO DE INGENIERO EN ELECTRÒNICA Y TELECOMUNICACIONES

ALEJANDRO VICENTE MUÑOZ NOBOA

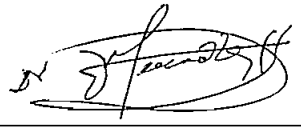
DIRECTOR: Ing. Erwin Barriga

Quito, Noviembre 2001

DECLARACIÓN

Yo, ALEJANDRO VICENTE MUÑOZ NOBOA, declaro que el trabajo aquí descrito es de mi autoría; que no ha sido previamente presentada para ningún grado o calificación profesional; y, que he consultado las referencias bibliográficas que se incluyen en este documento.

La Escuela Politécnica Nacional, puede hacer uso de los derechos correspondientes a este trabajo, según lo establecido por la Ley, Reglamento de Propiedad Intelectual y por la normatividad institucional vigente.



Alejandro Muñoz

(Firma Dr. Vicente Muñoz

REPRESENTANTE LEGAL)

CERTIFICACIÓN

Certifico que el presente trabajo fue desarrollado por Alejandro Vicente Muñoz Noboa, bajo mi supervisión.

Ing. Erwin Barriga
DIRECTOR DE PROYECTO

AGRADECIMIENTO

Agradezco a Dios por brindarnos a mí y a mi familia un día más de salud y vida.
A mis padres y mis hermanos, por el apoyo incondicional e irrestricto que siempre he recibido durante todo mi periodo de formación personal y profesional.
Al Ing. Erwin Barriga, Director del Proyecto, por la paciencia y apoyo brindados en la supervisión del proyecto.
Al Dr. Gerald Albert, Coordinador del Proyecto, por la acertada colaboración recibida en la elaboración del presente trabajo.
Al Ing. Albrecht Zwick, Decano del la Facultad de Telecomunicaciones de la Universidad de Ciencias Aplicadas en Mannheim, por haberme permitido acceder al Programa Internacional de Intercambio de Estudios en este centro universitario.
A Eduardo y Mónica, por las facilidades brindadas en la logística y el trabajo de impresión de los ejemplares.
Y agradezco a todas las personas que, de forma directa o indirecta, han colaborado con la culminación de este proyecto.

DEDICATORIA

A mis padres y hermanos. Papi, tus manos han tallado la persona que ahora soy. Con tu ejemplo, paciencia y constante motivación me enseñaste donde puedo encontrar el camino hacia la felicidad, éxito y realización personal.
Mami, tu constante amor, cuidados y cariño brindados son el mejor regalo que hasta ahora he podido recibir. Tú eres el soporte y el motor de mi existencia. Para ti no solo un trabajo, sino todo mi corazón.
A ti. Pese a que ahora ya no estás aquí, siempre estuviste junto a mí incansablemente y apoyándome en todo momento.
Por ello a Uds. les dedico el presente trabajo.

ÍNDICE

ÍNDICE TEMÁTICO

CAPÍTULO 1

1. INTRODUCCIÓN

1.1 Las Comunicaciones y la Sociedad 2
1.2 Conceptos Básicos 3
1.3 Sistemas de Comunicaciones 4

1.3.1 Canal de Transmisión 4
1.3.2 Elementos de un Canal de Transmisión 5
1.3.3 Tipos de Mensajes y Canales de Transmisión 6

1.4 Transmisión en Bandabase 7

1.5 MODULACIÓN 9
1.5.1 Principio y Definiciones 9
1.5.2 Ventajas de la Modulación 11
1.5.3 Tipos de Modulación 12
1.5.4 Modulación Analógica 14
1.5.4.1 Modulación en Amplitud 15
1.5.4.2 Modulación Angular 16

1.6 MODULACIÓN EN CUADRATURA 17
1.6.1 Justificación Teórica 18
1.6.1.1 Modulación 18
1.6.1.2 Demodulación 19
1.6.1.3 Elemento modulador I/Q 22

CAPÍTULO 2

2. SÍNTESIS DE FRECUENCIA

2.1 Antecedentes 25

2.2 Definición y Objetivos 26

2.3 Métodos de Síntesis de Frecuencia 28

2.4 Síntesis Incoherente 29

2.5 Síntesis Coherente 32

2.5.1 SÍNTESIS DIRECTA 32

2.5.1.1 Clases 33

2.5.1.1.1 Método de Fuerza Bruta 33

2.5.1.1.2 Método de Armónicos 35

2.5.1.1.3 Método de Doble Mezcla 38

2.5.1.1.4 Método de Triple Mezcla 38

2.5.2 SÍNTESIS INDIRECTA 40

2.5.2.1 Tipos de PLL 41

2.5.2.1.1 Estructura de lazo de fase cerrada análogica (analog phase-locked loop) 41

2.5.2.1.2 Estructura de lazo de fase cerrada digital (digital phase-locked loop) 43

2.6 SÍNTESIS DIGITAL DIRECTA (DDS) 45

2.6.1 Antecedentes 45

2.6.2 Arquitectura DDS 46

2.6.2.1 Ventajas 46

2.6.2.2 Desventajas 46

2.6.3 Estructura y elementos 47

2.6.4 Generación de la señal 47

CAPÍTULO 3

3. EQUIPO DE PRUEBAS

3.1 INTRODUCCIÓN 52

3.2 AMPLIFICADOR LINEAL 53

3.2.1 Introducción 53
3.2.2 Descripción general 54
3.2.3 Modelo teórico 57
3.2.4 Transformador y la realimentación negativa 60
3.2.5 Dimensionamiento de la bobina y del transformador de realimentación 63
3.2.6 Cálculo de la inductancia en un núcleo de ferrita 64
3.2.7 Lista de elementos 67

3.3 CIRCUITO GENERADOR DE FRECUENCIAS 68

3.3.1 Adecuación del hardware del AD9851 69
3.3.1.1 Cristal de referencia 70
3.3.1.2 Interfaz de programación 71
3.3.1.3 El filtro 75
3.3.2 Lista de elementos 79

3.4 LA ETAPA DE MEZCLA (MODULACIÓN) 80

3.4.1 Modulador (RF2703) 81
3.4.2 Circuito de conmutación 83
3.4.3 Lista de elementos 87

3.5 FUENTES 88

3.5.1 Lista de elementos 89

3.6. RUTEO DE LA PLACA 89

CAPÍTULO 4

4. ANÁLISIS DE RESULTADOS

4.1 AMPLIFICADOR LINEAL 92
4.1.1 Procedimiento de Prueba 92
4.1.2 Curvas de Respuesta de Ganancia 93
4.1.2.1 Carga Nominal de 50 Ω en el Amplificador 93
4.1.2.2 Circuito Demodulador como carga en el Amplificador 96
4.1.3 Características del Amplificador 99

4.2 GENERACION DE FRECUENCIAS 100

4.3 MODULACION Y DEMODULACION 105
4.3.1 Modulación en Cuadratura 105
4.3.2 Demodulación en Cuadratura 113
4.3.3 Características del Equipo Modulador / Demodulador 114
4.3.3.1 Generales 114
4.3.3.2 Modulador 114
4.3.3.3 Demodulador 115

CAPÍTULO 5

5 CONCLUSIONES Y RECOMENDACIONES

5.1 Equipo 117
5.2 El Preamplificador 117
5.3 El Generador de Frecuencias 118
5.4 Circuitería de Conmutación 119
5.5 El Mezclador 119

APÉNDICE A

A. ANÁLISIS DE SEÑALES

A.1 Dominio del Tiempo y de la Frecuencia 122

A.2 Simetría de Onda y Periodicidad 124

A.3 Series de Fourier y Espectros Discretos 125

A.4 Espectros de Potencia de una Señal Periodica 128

A.5 Transformada de Fourier y Espectros Continuos 131

A.5.1 Ejemplo 1 132

A.5.2 Ejemplo 2 134

APÉNDICE B

B. SOFTWARE DE PROGRAMACIÓN DEL AD9851 (AD9851 EVALUATION)

B.1 Generalidades 138

B.2 Requerimientos de Hardware Y Software 138

B. 3 Descripción del Programa 139

B.3.1 Subpanel de Funciones de Control 141

B.3.1.1 Modo de Descanso (Sleep Mode) 142

B.3.1.2 PLL 142

B.3.1.3 Actualización Manual de Frecuencia 143

B.3.2 Subpanel de Entradas/Salidas del Computador 143

B.3.3 Subpanel de Monitoreo del Bus 144

B.3.4 Subpanel del Reloj, de la Frecuencia de Salida y del Retardo de Fase de Salida 145

B.3.5 Subpanel de Barrido de Frecuencia 146

B.4 Pasos Secuenciales para el Manejo del Software de

Programación 147

B.4.1 Ejemplo 151

APÉNDICE C

C. PUERTO PARALELO

C.1. Funcionalidad de los Pines del Puerto Paralelo 152

C.2 Distribución de Pines del Cable de Conexión y Funciones que estos realizan. 153

APÉNDICE D

D. Circuito Modulador I/Q básico con mezcladores de diodo Balanceado. 154

ANEXO A

A. RUTEO DE LA PLATINA (LAYOUT)

A.1 Prototipo: Platina de Prueba 158

A.1.1 Elementos de la Cara Superior de la Platina 158

A.1.2 Elementos y Pistas de Conexión de la Cara Superior de la Platina 159

A.1.3 Detalle de las Pistas de la Cara Superior de la Platina 160

A.1.4 Pistas y Plano de Tierra de la Cara Superior de la Platina 161

A.1.5 Elementos y Pistas de Conexión de la Cara Inferior de la Platina 162

A.1.6 Detalle de las Pistas de la Cara Inferior de la Platina 163

A.1.7 Pistas y Plano de Tierra de la Cara Inferior de la Platina 164

A.2 Prototipo: Platina Definitiva 165

A.2.1 Elementos de la Cara Superior de la Platina 165
A.2.2 Elementos y Pistas de Conexión de la Cara Superior de la Platina 166
A.2.3 Detalle de las Pistas de la Cara Superior de la Platina 167
A.2.4 Pistas y Plano de Tierra de la Cara Superior de la Platina 168
A.2.5 Elementos de la Cara Inferior de la Platina 169
A.2.6 Elementos y Pistas de Conexión de la Cara Inferior de la Platina 170
A.2.7 Detalle de las Pistas de la Cara Inferior de la Platina 171
A.2.8 Pistas y Plano de Tierra de la Cara Inferior de la Platina 172
A.2.9 Tamaño Real de la Platina 173

ANEXO B

B. FOTOGRAFÍAS DEL LA TARJETA DE MODULACIÓN & DEMODULACIÓN
B.1 Esquema del Equipo total utilizado 174
B.2 Esquema del Equipo total utilizado (2) 175
B.3 Tarjeta Moduladora/Demoduladora de Pruebas 176
B.4 Platina: Vista de la Cara Superior 177
B.5 Platina: Vista de la Cara Inferior 178

ANEXO C

C. PLANOS Y ELEMENTOS DEL EQUIPO DE PRUEBAS
C.1 Planos Eléctricos del Equipo de Pruebas 179
C.2 Elementos utilizados en el Equipo de Pruebas 180
C.2.1 Circuito Preamplificador 180
C.2.2 Circuito Generador de Frecuencias 181

C.2.3 Circuito Modulador/Demodulador 182

C.2.4 Circuitería de las Fuentes de Polarización 183

ANEXO D

D. HOJAS DE ESPECIFICACIONES DE ELEMENTOS

D.1 Circuito Integrado AD9851 184

D.2 Circuito Integrado RF2703 184

D.3 Circuito Integrado DG413 184

D.4 Circuito Integrado 74HC574 184

ÍNDICE DE FIGURAS

CAPÍTULO 1

fig.1.1 Canal de transmisión 4

fig.1.2 Representación simbólica de una señal transmitida en banda base 7

fig.1.3 Principio de modulación en amplitud de una señal 10

fig.1.4 Modulación en amplitud 15

fig. 1.5 Modulación en frecuencia 16

fig.1.6 Representación fasorial del formato I/Q 17

fig.1.7 Modulador en cuadratura 18

fig.1.8 Demodulador en cuadratura 20

fig. 1.9 Modulador y demodulador en cuadratura 22

fig. 1.10 Modulador I/Q convencional 22

CAPÍTULO 2

fig.2.1 Métodos de Síntesis de Frecuencia 28

fig.2.2 Síntesis Incoherente 29

fig.2.3 Ejemplo de síntesis por el método Fuerza-Bruta 34

fig.2.4 Síntesis armónica 36

fig.2.5 Síntesis de triple mezcla 39

fig.2.6 Síntesis de frecuencia por medio de un PLL análogico 41

fig.2.7 Configuración básica de un PLL digital 43

fig.2.8 Principio de funcionamiento de un DDS 47

fig.2.9 Formación de una señal en un DDS 48

fig.2.10 Espectro de frecuencia de la señal a la salida

del conversor D/A 49

CAPÍTULO 3

fig.3.1 Diagrama de bloques general del circuito 52

fig.3.2 Preamplificador en base común 55

fig.3.3 Amplificador básico 57

fig.3.4 Circuito equivalente del amplificador 57

fig 3.5 Amplificador con resistencia en la base 59

fig.3.6 Transformador en acoplamiento sustractivo 61

(a) Presentación física

(b) Esquema eléctrico

fig.3.7 Dimensionamiento de la bobina COIL 63

fig.3.9 Diagrama funcional de bloques del AD9851 68

fig.3.10 Adecuación de hardware del AD9851 69

fig.3.11 Cristal de referencia 70

fig.3.12 Interfaz de comunicaciones y programación del AD9851 72

fig.3.14 Filtro pasabajos usado para contrarestar el efecto del jitter 75

fig.3.15 Acoplamiento entre el AD9851 y el mezclador (RF2703) 76

fig.3.16 Etapa de generación de frecuencias 78

fig.3.17 Etapa de mezcla y modulación 80

fig.3.18 RF2703 como modulador 81

fig.3.19 RF2703 como demodulador 82

fig.3.21 Interruptores de conmutación 84

(a) Interruptor 1, (b) Interruptor 2

fig.3.22 Arreglo de conmutación usando el CI DG413 84

fig.3.23 Esquema sintetizado de las entradas balanceadas del RF2703 85

fig.3.24 Etapa de modulación en cuadratura 86

fig.3.25 Fuentes de polarización 88

CAPÍTULO 4

fig.4.1 Mediciones en el preamplificador 93

fig.4.2. Circuito amplificador con carga deprueba de 50 Ω 93

fig.4.3 Tono de señal 94

fig.4.4 Barrido del tono sinusoidal de entrada 95

fig.4.5 Barrido del tono de entrada con un periodo de tiempo menor que el anterior 95

fig.4.6 Respuesta en frecuencia del amplificador 96

fig.4.7.Circuito amplificador con el circuito demodulador como carga de prueba 96

fig.4.8 Respuesta del amplifficador acoplado con el demodulador 97

fig.4.9 Señal de ecxitación 98

fig.4.10 Excitación y respuesta en el dominio del tiempo 98

fig.4.11 Generación de una frecuencia de 10 MHz 100

fig.4.12 Generación de una frecuencia de 20 MHz 100

fig.4.13 Generación de una frecuencia de 30 MHz 101

fig.4.14 Generación de una frecuencia de 40 MHz 101

fig.4.15 Generación de una frecuencia de 50 MHz 102

fig.4.16 Generación de una frecuencia de 60 MHz 102

fig.4.17 Generación de una frecuencia de 70 MHz 103

fig.4.18 Generación de una frecuencia mayor de 70 MHz 103

fig.4.19 Generación de una frecuencia mayor de 10 MHz
(cristal 20 MHz) 104
fig.4.20 Generación de una frecuencia mayor de 2 MHz
(cristal 20 MHz) 104
fig.4.21 Modulación AM (I=0° y Q=tierra) 105
fig.4.22 Modulación AM, modulante 2 MHz y portadora 10 MHz 106
fig.4.23 Modulación AM de banda lateral única (I=0°, Q=90°) 106
fig.4.24 Modulación AM de banda lateral única (I=90°, Q=0°) 107
fig.4.25 Modulación AM con una portadora de 10 MHz y una
modulante de 2 MHz 107
fig.4.26 Modulación AM de banda vestigial (I=0°, Q=45°) 108
fig.4.27 Modulación AM con 2 modulantes 108
fig.4.28 Modulación AM con disminución de portadora 109
fig.4.29 Máxima supresión de portadora en modulación AM. 110
fig.4.30 Modulación AM de banda lateral única con recorte de portadora 110
fig.4.31 Modulación AM de banda vestigial con recorte de portadora 111
fig.4.32 Nivel de señal original en la banda lateral 111
fig.4.33 Adición de señales en la banda lateral 112
fig.4.34 Armónicos producidos en la mezcla de señales 112
fig.4.35 Señal modulada en AM en IF 113

APÉNDICE A

fig.A.1 Señal en el dominio de la frecuencia 123
fig.A.3 Función par 124
fig.A.4 Función impar 124

fig.A.5 Señal limitada en sus arómonicos: 128

(1) Onda cuadrada de 1 KHz

(2) Señal (1) limitada a una banda de 8 KHz

(3) Señal (1) limitada a una banda de 6 KHz

(4) Señal (1) limitada a una banda de 2 KHz

fig.A.6 Pulso rectangular con cliclo de trabajo del 25% 129

fig.A.7 Espectro de potencia de la señal anterior 130

fig.A.8 La función $f(t)=\cos w_0 t$ en el dominio del tiempo 133

fig.A.9 La transformada de Fourier de la función 133

fig.A.10 Espectro de frecuencia de una señal modulada $f(t).\cos\omega_0 t$ 136

fig.A.11 Espectro modulado de una señal: 136

(a). Espectro de frecuencia de la señal original

(b). Espectro de frecuencia de la señal modulada

APÉNDICE B

fig.B.1 Pantalla original de presentación 140

fig.B.2 Planilla de información del programa. 141

fig.B.3 Subpanel de Funciones de Control 141

fig.B.4 Subpanel de Entradas/Salidas del Computador 144

fig.B.5 Subpanel de Monitoreo del Bus 144

fig.B.6 Subpaneles del reloj, de Frecuencia de Salida y de

Retardo de Fase de Salida 146

fig.B.7 Subpanel de Barrido de Frecuencia 147

fig.B.8 Valores de los parámetros de programación. 148

fig.B.9 Ventanas de comunicación exitosa 149

fig.B.10 Ventana de error de las comunicaciones 150

fig.B.11 Generación de una frecuencia 65 MHz del ejemplo 151

APÉNDICE C

fig. C.1 Conector DB-25 del puerto paralelo 152

APÉNDICE D

fig. D.1 Mezclador de diodos balanceados 154

fig. D.2 Circuito básico modulador I/Q 155

ÍNDICE DE TABLAS

CAPÍTULO 1

Tabla.1.1 Clasificación de las formas de modulación 13
Tabla 1.2. Tipos de modulación analógica 14

CAPÍTULO 3

Tabla 3.1 Características del transistor BFT67 62
Tabla.3.2 Valores de las bobinas que conforman el transformador 66
Tabla 3.3 Lista de elementos del amplificador 67
Tabla 3.4. Dependencia del reloj interno del AD9851 con respecto a la fuente de alimentación y del cristal de referencia 70
Tabla 3.5 Lista de elementos del circuito generador 79
Tabla 3.6 Lista de elementos de la etapa de modulación 87
Tabla 3.7 Lista de elementos que necesitan las fuentes de polarización 89

APÉNDICE B

Tabla B.1 Funciones de los bits de los registros internos del AD9851 145

APÉNDICE C

Tabla C.1 Funciones de los Pines del Puerto Paralelo 152
Tabla C.2 Pinout del Cable de Comunicaciones 153

RESUMEN

El presente proyecto de titulación de carrera abarca el diseño y la construcción de un modulador y demodulador analógico de señales, que permita de una manera práctica y didáctica presentar como funcionan los diferentes procesos de modulación a partir de la utilización de un sistema de señales defasadas en direfentes ángulos (90° principalmente). Se pone énfasis en lograr características de diseño y tamaño específicas que permitan con posterioridad realizar la integración del circuito dentro de una sola cápsula de silicio.

El trabajo se lo estructuró en cinco capítulos, màs apéndices y anexos, en los que se trata sistemáticamente el desarrollo de la teoría básica para poder comprender su funcionamiento; el diseño mismo de la circuitería; las pruebas respectivas recopiladas en las experiencias realizadas con el equipo.

Para iniciar la documentación de este trabajo se ha recopilado información sobre los procesos electrónicos fundamentales necesarios para realizar el presente proyecto. En el capítulo primero se analiza las estructuras básicas de comunicación y de modulación, se particulariza las técnicas de modulación en cuadratura. Por la naturaleza misma del equipo y las facilidades que implica manejar el análisis de las señales en el dominio de la frecuencia, se incluye un apéndice completo con el desarrollo de esta temática.

El equipo didáctico consta de dos secciones fundamentales: una sección encargada de la generación de frecuencias y otra de la modulación o mezcla de las señales. La diversidad de formas de generación de frecuencias que se pueden obtener como resultado de un proceso de síntesis de señales son analizadas en el capítulo segundo, donde se describen con detalle diversas alternativas que se conocen en la actualidad y se selecciona una de ellas para ser aplicada en este proyecto.

El proceso de mezcla de señales y el diseño del hardware están detallados en el capítulo tercero. Allí se especifican los criterios tomados para desarrollar cada una de las etapas que conforman el circuito.

El capítulo cuarto es una recopilación de las pruebas realizadas con el equipo. Al leerlo, claramente se puede entender cómo funciona y cómo responde el módem

construido bajo direfentes parámetros y condiciones de pruebas. Para la operación y programación del equipo se utiliza la ayuda de un computador personal con un programa de aplicación específico, cuyo funcionamiento se encuentra detallado en los anexos.

Finalmente, las sugerencias, recomendaciones y observaciones personales que tengo sobre el trabajo las realizo en el capítulo quinto.

CAPÍTULO 1

1. INTRODUCCIÓN

1.1 Las Comunicaciones y la Sociedad 2

1.2 Conceptos Básicos 3

1.3 Sistemas de Comunicaciones 4

1.3.1 Canal de Transmisión 4

1.3.2 Elementos de un Canal de Transmisión 5

1.3.3 Tipos de Mensajes y Canales de Transmisión 6

1.4 Transmisión en Bandabase 7

1.5 MODULACIÓN 9

1.5.1 Principio y Definiciones 9

1.5.2 Ventajas de la Modulación 11

1.5.3 Tipos de Modulación 12

1.5.4 Modulación Analógica 14

1.5.4.1 Modulación en Amplitud 15

1.5.4.2 Modulación Angular 16

1.6 MODULACIÓN EN CUADRATURA 17

1.6.1 Justificación Teórica 18

1.6.1.1 Modulación 18

1.6.1.2 Demodulación 19

1.6.1.3 Elemento modulador I/Q 22

CAPÍTULO 1

1. INTRODUCCIÓN

1.1 LAS COMUNICACIONES Y LA SOCIEDAD

La naturaleza social del ser humano y su intrínseca necesidad de comunicarse entre sí, permitió que poco a poco los procesos y formas de intercambio de ideas, sensaciones y emociones se vayan perfeccionando y optimizando con el transcurirr del tiempo. Basta con mirar la historia para comprender los vertiginosos cambios que han sufrido las diversas formas del lenguaje oral, escrito y de máquina en las distintas fases evolutivas del desarrollo del hombre, donde la sociedad ha sido testiga de la variación de las estructuras mismas de este lenguaje y en sus páginas han quedado grabadas las más pictoricas anécdotas, que van desde la era en la cual el hombre comenzó a comunicarse y convivir en sociedad - en la precaria prehistoria -, hasta las más inverosímiles vivencias de nuestros días, donde ahora es posible enviar millones de datos de información desde un sitio hacia otro remoto (e incluso fuera de las entrañas de nuestra galaxia) en cortísimos instantes de tiempo rompiendo cada vez con mayor celeridad los nuevos retos e ideas visionarias de nuestros científicos, que a través de sus teorías, imponen a la raza humana en general.

La electrónica y los avances tecnológicos en el área de las comunicaciones, no hicieron sino otra cosa que pulimentar la idea primaria que el hombre tenía desde hace miles de años atrás de comunicacarse y de estar informado. Y ésta es precisamente la razón del porqué son importantes en el desarrollo humano. Las telecomunicaciones son por tanto el presente en el cual vivimos y en el futuro en el cual viviremos, pues la influencia que desde ya se siente que la red mundial de internet ejerce sobre nuestra cotidiana vida, una vez mas nos hace pensar el infinito potencial que el manejo de la información y los medios de comunicación pueden llegar a tener en nuestras

vidas.

1.2 CONCEPTOS BÁSICOS

Extrayendo de la lectura anterior, se puede decir que en una forma general la comunicación no es más que "el intercambio de ideas e información".

Pero desde el punto de vista técnico, las telecomunicaciones buscan encontrar las mejores alternativas posibles para transmitir, interpretar o procesar información entre dos puntos que se encuentran separados por una distancia, logrando una buena confiabilidad a un costo accesible y razonable. No se debe perder nunca de vista que el arte de la ingeniería propone hacer siempre un balance justo entre los *costos* que impliquen el desarrollo de una solución y la *calidad* obtenida en el sistema de comunicacciones con su aplicación. No es una solución de tipo práctico e implementable un diseño de eficiencia absoluta y de costos exorbitantes.

La información que va a ser difundida en un canal de transmisión es, en general, un conjunto de datos de cualesquier naturaleza física o lógica que un usuario, ubicado en un determinado lugar, desea compartir con otro usuario, ubicado en un punto físico diferente y distante del primero.

Para que eso sea posible toda la información recopilada, independiente de su naturaleza o estructura: real o no, tangible o no, continua (analógica) o discreta (digital); debe ser convertida en energía electromagnética para poder luego ser difundida sobre un determinado sistema de comunicaciones.

1.3 SISTEMAS DE COMUNICACIONES

1.3.1 CANAL DE TRANSMISIÓN

Se denomina canal de transmisión al sistema formado por el conjunto de elementos que permiten establecer la comunicación entre dos puntos remotos: el transmisor y el receptor.

Como es de suponerse, la cantidad de elementos y la complejidad de los mismos en estos sistemas varía dependiendo del tipo de información que se desee transmitir, del medio que se desee implementar, de la distancia de separación entre los puntos de transmisión y recepción y de la cantidad de datos a transmitir por unidad de tiempo entre otros parámetros importantes.

Entre los esquemas existentes que se conocen para representar y modelar a un canal de comunicaciones figuran 3 o 4 representativos. Pero de ellos el que se presenta en la *fig.1.1* es uno de los más didácticos y comprensibles.

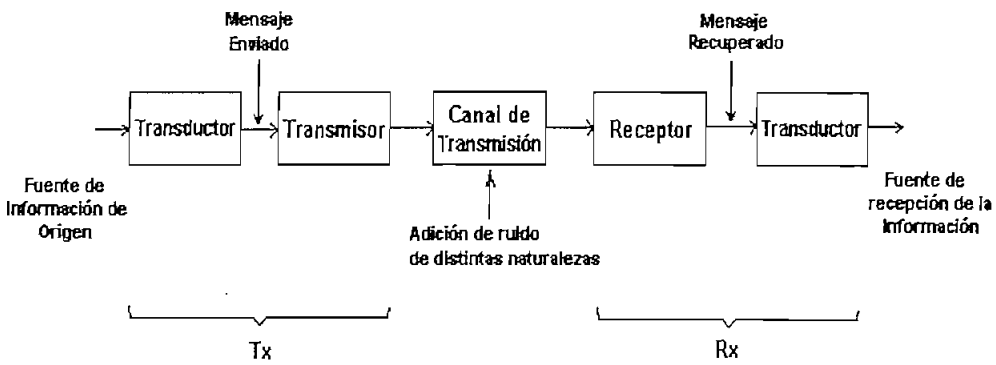


fig.1.1 Canal de transmisión

En este sistema el canal de comunicaciones consta fundamentalmente de tres secciones principales:

- un transmisor (tx),
- un canal de transmisión o medio de transmisión, y
- un sistema de recepción (rx).

Cada una de estas secciones tienen particulares características, independientemente del tipo del canal de transmisión que sea utilizado o del tipo de información que se desee enviar, características que a continuación se detallan con mayor detenimiento.

1.3.2 ELEMENTOS DE UN CANAL DE TRANSMISIÓN

El *transmisor* se encarga de la conversión del mensaje original (entregado por una fuente de información) a una forma de mensaje más adecuada para su propagación. Directamente transforma la energía recibida de la fuente de información en energía electromagnética para que pueda ser propagada.

El *canal de transmisión* es el medio físico por medio del cual la señal de información puede difundirse y permite establecer la comunicación entre el transmisor y el receptor. Aquel puede ser por ejemplo: un cable conductor metálico, un conductor de fibra óptica, o el espacio libre en general en un sistema radiante. Esta es la etapa más susceptible del sistema de comunicaciones, donde la información puede ser modificada y donde se adiciona la mayor cantidad de ruido. El *receptor*, en cambio, reconvierte la información recibida a su formato original para que posteriormente sea entregada a la entidad receptora de la información.

No tiene sentido la existencia de una de estas etapas sin la otra, pues son partes de un conjunto de trabajo global. No se consigue nada si se tiene un transmisor y no se dispone de un receptor para la detección de las señales.

Los *transductores* tanto en la etapa inicial como en la final, solo tienen la función de transformar el tipo de energía de la fuente original en energía electromagnética para que esta pueda ser procesada y entendida por el sistema de comunicaciones.

1.3.3 TIPOS DE MENSAJES Y CANALES DE TRANSMISIÓN

La naturaleza del mensaje de información enviado puede tomar una variedad de formas. Puede ser *analógica* como la voz, la música, la imagen de video, etc. cuando la señal de información original es continua en el tiempo; o *digital* como la salida de datos de una PC, de una tarjeta perforada, símbolos gráficos, los códigos operacionales de un microprocesador, etc. si la señal de información es discreta en el tiempo.

Es precisamente este parámetro el que permite clasificar a los canales de transmisión dentro de dos grandes grupos: los canales analógicos y los digitales.

Cuando en un sistema de comunicaciones la energía se transmite y se recibe en un formato analógico, se dice que el sistema de comunicaciones es *analógico* y cuando la información que se transmite y se recibe es digital, se dice que dicho canal de comunicaciones es *digital*.

Como la mayoría de mensajes o señales de información no son de naturaleza electrónica, es necesario la utilización de transductores (denominados también sensores) para su respectivo acondicionamiento al canal de transmisión. Frecuentemente la información que proviene de la fuente original debe ser tratada antes de ser enviada y difundida. Por

ejemplo, en los sistemas de comunicaciones digitales, toda la información de tipo analógico debe ser conviertida a formato digital antes de ser transmitida y la situación inversa ocurre en los sistemas de comunicaciones analógicos: la información digital deber ser convertida en una de tipo análogo para su transmisión.

A su vez esta información puede ser transmitida en su formato original (proceso que se denomina transmisión de la señal en banda base) o en otra frecuencia distinta de la original (modulación de una señal).

1.4 TRANSMISIÓN EN BANDABASE[1]

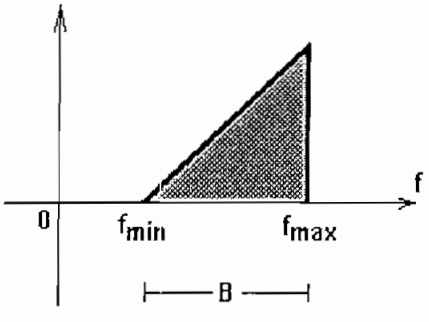


fig.1.2 Representación simbólica de una señal transmitida en banda base

Dependiendo de la aplicación que se desee implementar y la distancia de separación entre el punto que origina la información y el punto que la recibe, en ocasiones, es mejor transmitir la señal de datos sin ningún tipo de modificación; es decir, transmitir directamente la señal que se obtiene después del transductor de acoplamiento en la banda de frecuencia original.

El término transmisión en banda base es utilizado para designar al tipo de

[1] *Fuente: Fontolliet*

transmisión que utiliza como frecuencia de transportación de una señal a la misma banda de frecuencias original que es entregada por la fuente de información.

La transmisión en banda base se utiliza cuando las características del medio por sí mismos permiten hacerlo y los costos de construcción operación y mantenimiento son bajos. Por ejemplo este tipo de transmisión se lo aplica en:

a) los sistemas de telefonía: dentro de las redes locales y en distancias medias, para señales de voz emitidas por un micrófono normal (que aproximadamente van de 100 Hz a 5 Khz) y transmitidas en pares balanceados (eventualmente soportadas por amplificadores). Ej: PSTN

b) los sistemas de televisión: para señales de video (50 Hz a 5 Mhz) producidas por una cámara y transmitidas a cortas distancias por medio de cable coaxial. Ej: los circuitos cerrados de televisión a nivel local.

c) los sistemas de transmisión de datos: para señales codificadas y puestas en forma transmisible, pero no transportadas en frecuencia, emanadas directamente de un equipo terminal. Ej: LAN´s

d) los sistemas de comunicaciones ópticas: para señales transmitidas sin multiplexación de longitud de onda, dentro de una red local.

1.5 MODULACIÓN[2]

El propósito de un sistema de comunicaciones es el de entregar un mensaje originado en la fuente de información en forma que sea reconocible por el usuario de destino, estando la fuente y el usuario físicamente separados el uno del otro. Con este propósito, el transmisor modifica la señal del mensaje de tal forma que la propagación de esta señal sobre el canal de transmisión sea factible. Esta modificación es obtenida en un proceso conocido con el nombre de *modulación.* Consecuentemente el proceso inverso se denomina *demodulación.*

1.5.1 PRINCIPIO Y DEFINICIONES BÁSICAS

En la mayoría de las ocasiones es necesario adaptar o procesar las señales antes de que estas sean enviadas desde el transmisor hacia el sistema de recepción pues dichas señales generalmente no se hallan en la forma más óptima para su transportación.

Por ejemplo, no resulta práctica la propagación de energía electromagnética de baja frecuencia por la atmósfera terrestre. Por consiguiente en las comunicaciones de radio es necesario superponer la señal mensaje, de baja frecuencia, a una señal de frecuencia relativamente alta para su transmisión, para así poder utilizar antenas de un tamaño razonable y a la vez poder concentrar el envío de la energía en una determinada dirección.

La señal que transporta la información primaria o mensaje es llamada *onda de modulación o modulante*. La onda modulante modifica proporcionalmente una o varias características de una señal conocida de mayor frecuencia (generalmente) llamada *portadora*, la misma que permite ubicar dentro de una nueva porción del espectro de radiofrecuencias a la señal generatriz del

[2] *Fuente: Haykin*

mensaje.

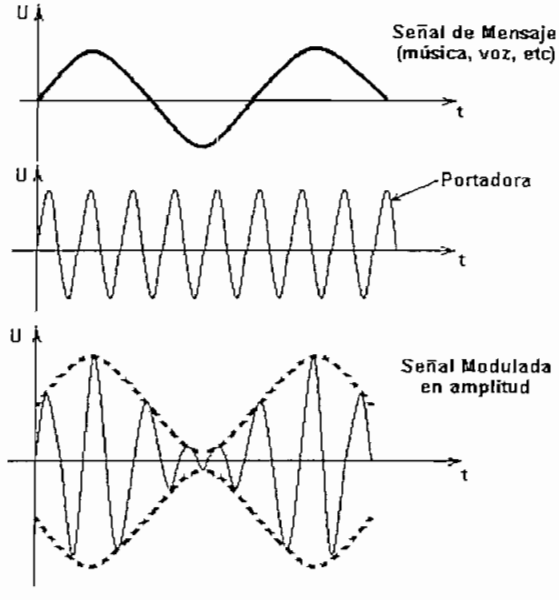


fig. 1.3 Principio de modulación en amplitud de una señal

Los parámetros que suelen ser más frecuentemente afectados en la portadora por la señal de información son: la amplitud, la frecuencia y la fase.

Recíprocamente la *demodulación* es el proceso inverso a la modulación donde la información que esta contenida en la portadora es revertida a su formato original, para posteriormente ser entregada a su fuente de destino. La modulación de una señal se la realiza en el modulador, que está localizado dentro de la etapa de transmisión, mientras que la demodulación se la realiza en el demodulador, que está ubicado en la etapa de recepción.

Actualmente son muchos los sistemas de transmisión que utilizan procesos de modulación; más vale son contados los sistemas en los cuales no se los aplica. Los sistemas típicos en los cuales por ejemplo se utiliza modulación son:

- los sistemas de radiodifusión en el espacio libre en general como por ejemplo: telefonía celular, radio, difusión satelital, etc.
- los sistemas de comunicaciones ópticas: para señales transmitidas con multiplexación de longitud de onda.
- los módems de voz, ADSL, etc.

1.5.2 VENTAJAS DE LA MODULACIÓN

Entre las principales razones que motivan la modulación de señales, podemos destacar a las siguientes:

- *Facilita la propagación de la señal*, pues las bandas del espectro en altas frecuencias permiten la radiación de la energía electromagnética de mejor forma que de las de baja frecuencia, alcanzando mayores distancias.
- *Ordena el radioespectro*, permitiendo designar bandas específicas de frecuencia para determinadas aplicaciones, con normas a nivel local, regional o mundial.
- *Disminuye el tamaño de las antenas*, pues a mayor frecuencia de transmisión de las señales, las longitudes de onda son menores y el tamaño de las antenas se reduce también significativamente.
- *Optimiza el ancho de banda*. El espectro electromagnético como recurso es limitado, agotable y sumamente costoso, por esta razón su utilización debe abarcar la mayor cobertura posible, evitando dejar bandas libres de frecuencia y aprovechando de una manera más eficiente las bandas ya designadas para fines específicos.

- *Evita interferencia entre los canales*, pues al modular se puede ordenar y separar el ancho de banda requerido entre los canales de información, para evitar que la interferencia intercanal modifique la información primaria o mensaje.

- *Protege de la degradación del ruido,* dependiendo del tipo de modulación la información puede ser afectada en mayor o menor proporción por el ruido presente en el sistema.

- *Define la calidad de la información,* esta es consecuencia directa de la mejora que prensenta la transmisión de la información al disminuir el ruido.

- *Posibilita la multiplexación de señales en frecuencia*, permitiendo la transmisión simultánea de varias señales a través de un mismo medio de transmisión compartido. Por ejemplo todos los sistemas de radiodifusión AM o FM requieren transmitir voz o música, cuyo espectro de audio oscila entre 20 Hz a 15 Khz. Si no se realizaría este proceso modulalatorio todas las emisoras se interferirían entre sí y no sería posible la recuperación de la señal original.

1.5.3 TIPOS DE MODULACIÓN[3]

De acuerdo a la terminología no oficial se puede reconocer dos grandes categorías de modulación: la analógica y la digital.

- *modulación analógica,* es aquella modulación en la cual se produce la variación de uno de los parametros (amplitud, fase, frecuencia, duración de pulso, etc) de la señal portadora, proporcionalmente al valor instantáneo de la señal modulante de información. Aquí cabe resaltar que no se modifica la naturaleza misma de la información,

[3] *Fuente: Fontolliet*

sea esta analógica o digital.

- *modulación digital,* esta modulación se caracteriza por que realiza la conversión analógica/digital de la señal enviada entre el transmisor y el receptor.

	Información Transmitida	Forma de la Portadora	Parámetro de Modulación	Tipo de Modulación	
Modulación Analógica	Análoga • Voz • Audio • Video	Sinusoidal	Amplitud	AM	Modulación en amplitud
				SSB	AM de banda lateral
			Frecuencia	FM	Modulación en frecuencia
			Fase	ΦM o PM	Modulación de fase
		Pulso	Amplitud	PAM	Modulación de amplitud de pulso
			Frecuencia	PFM	Modulación de frecuencia de pulso
			Fase	PPM	Modulación de posición de pulso
			Duración	PDM	Modulación de duración de pulso
	Digital • Datos • Texto	Sinusoidal	Amplitud	ASK	Modulación digital de amplitud
			Frecuencia	OOK	Modulación por encendido y apagado
				FSK	Modulación digital de frecuencia
			Fase	PSK	Modulación digital de fase
Modulación Digital	Análoga → Digital	Señal de reloj (bit rate)	Código	PCM	Modulación por código de pulso
				DPCM	PCM diferencial
				ΔM	Modulación delta
				AΔM	ΔM adaptiva

Tabla.1.1 Clasificación de las formas de Modulación

La modulación analógica a su vez se la puede clasificar

- por el tipo de portadora: en sinusoidal o de pulso.
- por los parámetros de la portadora que son objetos de modulación:

en modulación de amplitud, frecuencia, fase, duración de pulso, etc.

- por la naturaleza de la información transmitida: en analógica o digital de entre otras categorías.

En la *tabla 1.1* se presenta un resumen básico de los tipos de modulación clasificados desde el punto de vista de los parámetros modificados en la portadora por la señal de información.

1.5.4 MODULACIÓN ANALÓGICA

La modulación analógica se basa en la variación de los parámetros de una señal auxiliar denominada portadora. Las tres modulaciones fundamentales que existen son: de amplitud (AM), de frecuencia (FM) y de fase (PM), donde respectivamente se varían la amplitud, la frecuencia y la fase de la señal portadora.

Si se denomina a $v_c(t) = V_c.cos\ \omega_p t = V_c.cos\ 2\pi f_p t$ como la señal portadora y $v_i(t)$ como la señal de información, se podrá resumir las características de estos tres tipos de modulación en la siguiente *tabla 1.2*

Tipo	Símbolo	Amplitud	Frecuencia	Fase	Ley
Modulación en amplitud	AM	$V_c + \Delta V(t)$	f_c	$\omega_p t$	$\Delta V(t) \sim v_i(t)$
Modulación en frecuencia	FM	V_c	$f_c + \Delta f(t)$	$\omega_p t + \Delta\varphi(t)$	$\Delta f(t) \sim v_i(t)$
Modulación en fase	PM	V_c	$f_c + \Delta f(t)$	$\omega_p t + \Delta\varphi(t)$	$\Delta\varphi(t) \sim v_i(t)$

Tabla 1.2. Tipos de Modulación Analógica

1.5.4.1 Modulación en Amplitud[4]

Es el proceso de cambiar las variaciones de amplitud de una portadora de frecuencia relativamente alta de acuerdo con la amplitud de la señal modulante o señal de información. Con la modulación de amplitud, la información se imprime sobre la portadora en forma de cambios de amplitud. Este tipo de modulación es relativamente económica pero de baja calidad de modulación.

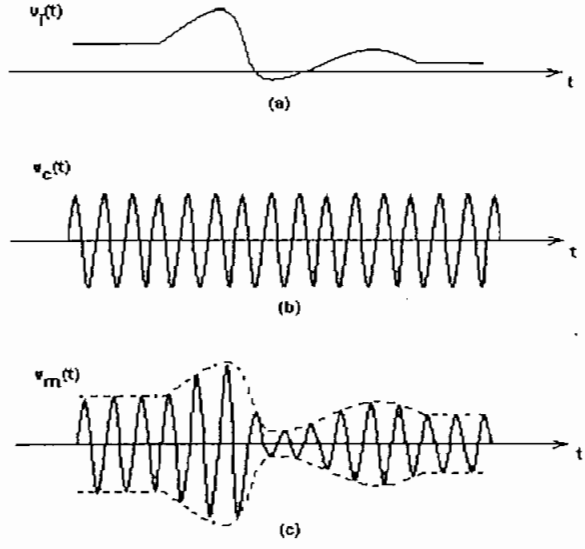


fig.1.4 Modulación en Amplitud
(a) Señal de Información o Modulante
(b) Señal Portadora
(c) Señal Modulada

Se la utiliza en la radiodifusión de señales de audio y video. La banda de radiodifisión AM abarca desde 535 a 1605 kHz. La radiodifusión comercial de video cubre tres bandas de operación (dos de VHF y una de UHF). La modulación de amplitud también se usa para las comunicaciones de radio móvil de dos sentidos tal como sucede en una radio de banda civil.

[4] *Fuente: Tomasi*

1.5.4.2 Modulación Angular

En general se reconoce como modulación angular tanto a la modulación en frecuencia como la modulación de fase. En este tipo de modulaciones los parámetros que se varían son la frecuencia y la fase de la señal. A la modulación FM y PM se les suele llamar en general modulación en frecuencia, cuando en verdad existe una diferencia clara entre ambas.

Existen varias ventajas de utilizar la modulación en frecuencia respecto de la modulación en amplitud, tales como: la disminución del ruido, el uso eficiente de la potencia y el mejoramiento de la fidelidad de la señal, entre otras. Pero en contraparte los sistemas que utilizan FM o PM demandan mayores anchos de banda y circuitería de emisión y recuperación más complejas que su correspondiente par en AM.

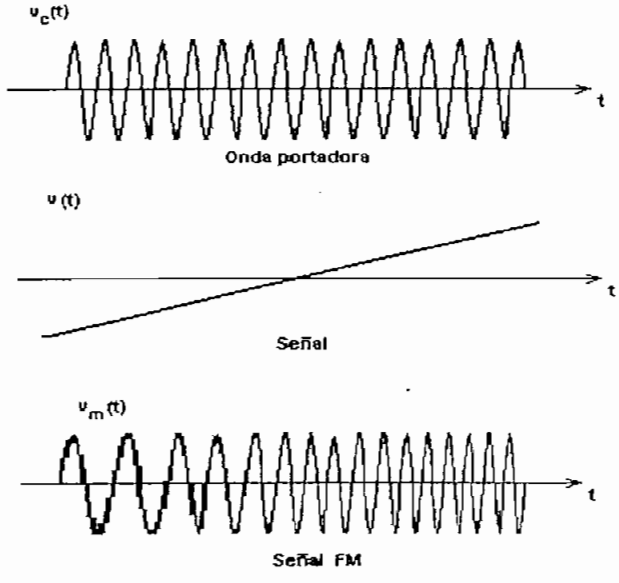


fig. 1.5 Modulación en frecuencia

La modulación angular es producida cuando el ángulo de fase de una onda sinusoidal varía con respecto al tiempo. Siempre que la frecuencia de la portadora está variando, la fase también se encontrará variando y

viceversa. Si la frecuencia de la portadora varía diretamente de acuerdo con la señal modulante, se obtiene una modulación FM. Si la fase de la señal varía directamente de acuerdo con la señal modulante, se logra modulación PM. *Fig.1.5*

1.6 MODULACIÓN EN CUADRATURA

Los modernos sistemas de comunicaciones demandan mayor capacidad de información, mayor calidad de señal, mayor seguridad y compatibilidad de datos que los ofrecidos por las modulaciones tradicionales de amplitud, frecuencia y fase. Los nuevos métodos desarrollados en los últimos años no son más que la combinación de estos tres métodos originales. La modulación en cuadratura es utilizada regularmente como un paso intermedio para la obtención de algunos tipos de modulación existentes y sobre todo se convierte en la base de la construcción de las modulaciones de tipo digital.

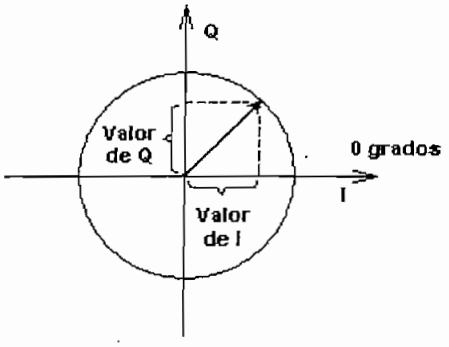


fig.1.6 Representación fasorial del formato I/Q

Mediante la modulación en cuadratura es posible enviar una señal de información simultáneamente en dos canales defasados en un ángulo de 90° (canal I y canal Q). Con ello se puede reducir el ancho de banda utilizado en

la transmisión y por consiguiente, la eficiencia del ancho de banda en una canal de transmisión sube al doble en comparación con la de un canal de similares características que no utilice este tipo de modulación (por ejemplo la modulación en amplitud).

1.6.1 JUSTIFICACIÓN TEÓRICA[5]

1.6.1.1 Modulación

En el esquema de la *fig.1.7* se bosqueja un sencillo modulador en cuadratura. La entrada está alimentada por las componentes en fase y en cuadratura de la señal de información, $v_i(t)$ y $v_q(t)$. Estas señales pueden ser de tipo analógico o digital.

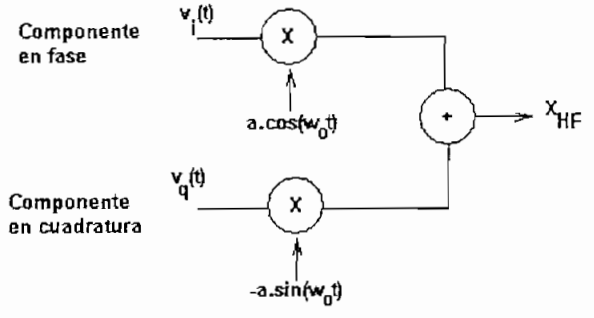


fig. 1.7 Modulador en cuadratura

donde:

$v_i(t)$ = componente en fase de la señal que es enviada

$v_q(t)$ = componente en cuadratura de la señal que es enviada

$x_{HF}(t)$ = señal de propagación en RF[6]

---

[5] *Fuente: Martin*

[6] *RF = Radiofrecuencia*

Se denomina la señal en fase a la componete de la señal que conserva la misma fase de la señal original y la componente en cuadratura es aquella que cambia su fase en 90° respecto de la señal de información original.

Estas señales pasan a través de un mezclador, donde son multiplicadas por una portadora sinusoidal de otra frecuencia, f_o Estas referencias están también desfasadas 90° entre sí. Posteriormante estas señales son sumadas en un sumador y se genera una señal en radiofrecuencia llamada X_{HF}. La señal X_{HF} es la señal que será enviada por el canal de transmisión; generalmente previo al paso por una etapa de amplificación o de potencia.

La señal X_{HF} puede ser expresada como:

$$x_{HF} = a.v_i.\cos(\omega_0 t) - a.v_q \sin(\omega_0 t)$$

En la formulación estándar se suele multiplicar la componente de la señal en cuadratura con una señal sinusoidal invertida *-sin(t)*; sin embargo el principio funciona también de forma idéntica si se lo multiplica con una portadora sinusoidal no invertida.

1.6.1.2 Demodulación

El demodulador analógico en cambio realiza la función inversa del modulador antes descrito; a partir de la señal en alta frecuencia que se recibe, descompone esta señal de RF en sus respectivos componentes en fase y cuadratura.

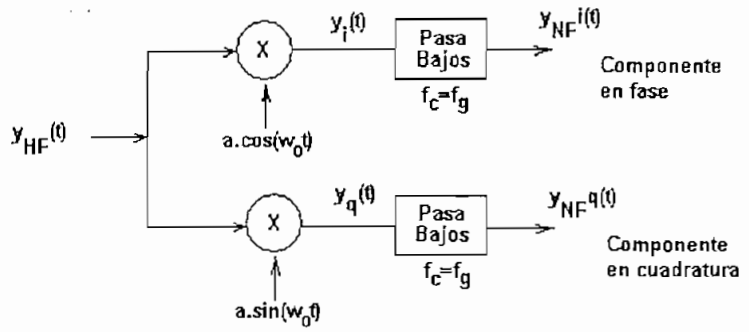


fig.1.8 Demodulador en cuadratura

Donde:

y_{HF}[7] = señal de RF que es recibida por el sistema demodulador.

y_i = componente en fase de la señal recuperada.

y_q = componente en cuadratura de la señal recuperada.

La señal y_{HF} es casi idéntica a la señal x_{HF}, pero con atenuación y la adición de ruido aleatorio, $n_{HF}(t)$.

Para la demodulación sincrónica se tendría que en general:

$$y_{HF}(t) = x_{HF}(t) + n_{HF}(t)$$

Al pasar esta señal por multiplicadores se puede separar las componentes en fase y en cuadratura de la señal. Para la componente en fase se tendría que

[7] *Significado de los subíndices:*

HF = Señal en alta frecuencia (a la frecuencia de la portadora)

NF = Señal en baja frecuencia.

$$y_i(t) = x_{HF}(t).\cos\omega_0 t + n_{iHF}(t)$$

$$y_i(t) = \left\{ a.v_i(t).\cos\omega_0 t - a.v_q(t).\sin\omega_0 t \right\}\cos\omega_0 t + n_{iHF}(t)$$

$$y_i(t) = a.\left\{ v_i(t).\cos\omega_0 t.\cos\omega_0 t - v_q(t).\sin\omega_0 t.\cos\omega_0 t \right\} + n_{iHF}(t)$$

Pero como se conoce que

$$\cos a.\cos b = \tfrac{1}{2}\left[\cos(a+b) + \cos(a-b)\right]$$

y además

$$\sin a.\cos b = \tfrac{1}{2}\left[\sin(a+b) + \sin(a-b)\right]$$

se puede expresar la ecuación antes descrita como:

$$y_i(t) = a.v_i(t).\tfrac{1}{2}\left[1 + \cos 2\omega_0 t\right] - a.v_q(t).\tfrac{1}{2}\left[\sin 2\omega_0 t\right] + n_{iHF}(t)$$

$$y_i(t) = \tfrac{a}{2}.v_i(t) + \tfrac{a}{2}.v_i(t).\cos 2\omega_0 t - \tfrac{a}{2}.v_q(t).\sin 2\omega_0 t + n_{iHF}(t)$$

La función del filtro pasabajos es precisamente eliminar todas las componentes de frecuencias mayores a la máxima frecuencia que tiene la señal de información original. Es decir, el filtro pasabajos debe tener una frecuencia de corte *(f_c)* igual a la del componente máximo de frecuencia de la señal en banda base *(f_g)*. Con ello se logra eliminar las componentes dependientes del doble de la frecuencia original.

La señal filtrada quedaría

$$y_i(t) = \tfrac{a}{2}.v_i(t) + n_{iNF}(t)$$

con lo cual es posible recuperar la señal original.

De manera análoga se puede proceder con la componente de la señal en cuadratura y se obtiendría que

$$y_q(t) = \%_2 . v_q(t) + n_{qNF}(t)$$

Considerando los modelos expuestos anteriormente y la acción que el canal ofrece, se podría representar un equipo modulador/demodulador como en la *fig.1.9*

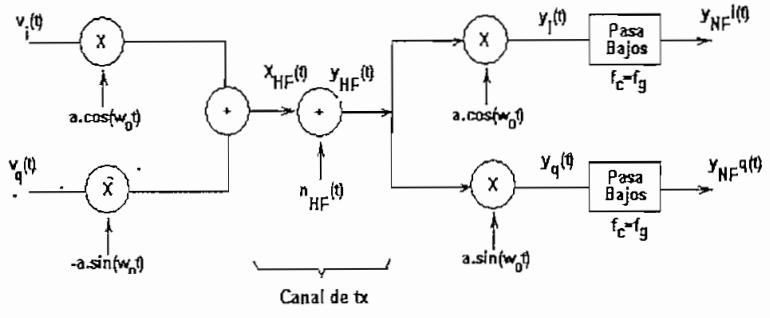


fig. 1.9 Modulador y demodulador en cuadratura

1.6.1.3 Elemento modulador I/Q

Un sistema modulador I/Q convencional (utilizado en la práctica) está constituido por un defasador en cuadratura de señales en 90°(splitter 90°), dos mezcladores dobles balanceados (double-balance mixers) y un combinador de 0° de desfasamiento (0° splitter).

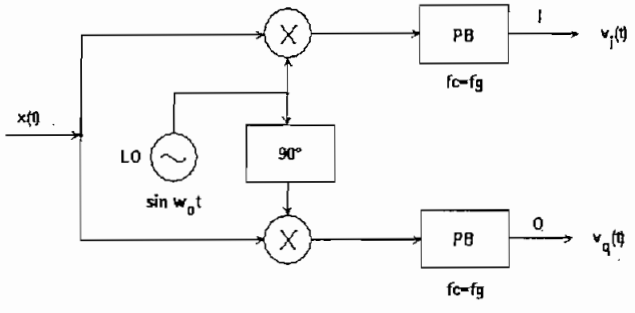


fig. 1.10 Modulador I/Q convencional

En este caso la señal del oscilador local (LO), ingresa a un desfasador de 90° para obtener los respectivos patrones de referencias para las señales I y Q. Estas señales de referencia son multiplicadas a su vez por la señal de información *x(t)* para obtener las señales moduladas en fase y cuadratura respectivamente. Si la señal *x(t)* tiene una frecuencia *f* y el oscilador local una frecuencia f_o, a la salida del multiplicador balanceado se obtendría una señal con componentes de frecuencia igual a f_o+f y a f_o-f. Mediante el uso del filtro pasabajos se permite el paso únicamente de la señal cuyo componente de frecuencia es f_o-f.

Para el desarrollo del equipo modulador se consideró conveniente utilizar como elemento modulador mezcladores balanceados, pues estos tienen 2 ventajas inherentes sobre los otros tipos de mezcladores: la reducción del ruido y el alto nivel de supresión de portadora. Los mezcladores balanceados se utilizan ampliamente tanto en los transmisores como receptores AM y FM, y múltiples esquemas de modulación digital como QAM y PSK. Dos importantes circuitos moduladores que se emplean en la práctica son el modulador de diodos balanceado y la celda de Gilbert. Como el mezclador de diodos balanceado está compuesto por un arreglo de transformadores, evidentemente para efectos de la integración, resulta mejor considerar moduladores que empleen la celda de Gilbert como componente fundamental.

Es importante además, tener una idea de cómo funciona el modulador en su forma conceptual, por ello en el apéndice D se ha añadido un circuito modulador I/Q básico realizable experimentalmente a nivel del laboratorio.

CAPÍTULO 2

2. SÍNTESIS DE FRECUENCIA

2.1 Antecedentes 25

2.2 Definición y Objetivos 26

2.3 Métodos de Síntesis de Frecuencia 28

2.4 Síntesis Incoherente 29

2.5 Síntesis Coherente 32

2.5.1 SÍNTESIS DIRECTA 32

2.5.1.1 Clases 33

2.5.1.1.1 Método de Fuerza Bruta 33

2.5.1.1.2 Método de Armónicos 35

2.5.1.1.3 Método de Doble Mezcla 38

2.5.1.1.4 Método de Triple Mezcla 38

2.5.2 SÍNTESIS INDIRECTA 40

2.5.2.1 Tipos de PLL 41

2.5.2.1.1 Estructura de lazo de fase cerrada análogica (analog phase-locked loop) 41

2.5.2.1.2 Estructura de lazo de fase cerrada digital (digital phase-locked loop) 43

2.6 SÍNTESIS DIGITAL DIRECTA (DDS) 45

2.6.1 Antecedentes 45

2.6.2 Arquitectura DDS 46

2.6.2.1 Ventajas 46

2.6.2.2 Desventajas 46

2.6.3 Estructura y elementos 47

2.6.4 Generación de la señal 47

CAPÍTULO 2

2. SÍNTESIS DE FRECUENCIA

2.1 ANTECEDENTES[1]

Para poder sincronizar el funcionamiento de los circuitos y sistemas en las diversas aplicaciones electrónicas actuales se necesita tener uno o varios sistemas confiables de tiempo como referencia que permitan que el trabajo y la operación de todo el cuerpo en su conjunto, sea armónico, sistemático y ordenado.

Por esta razón, es que la síntesis de frecuencia toma cada vez más importancia en el diseño de circuitos electrónicos (especialmente en el momento del diseño de circuitos integrados destinados a aparatos de medida).

Años atrás en su más primitiva concepción para la generación de frecuencias se empleaba como sintetizador un oscilador controlado por un banco de cristales de cuarzo que eran conmutados de forma manual. Como era de esperarse la precisión y la estabilidad de este dispositivo dependía directamente de la precisión y estabilidad de los cristales en base de los cuales estaba conformado.

Posteriormente la utilización del método anterior fue relegada para permitir la aplicación de un sistema conocido con el nombre de síntesis incoherente de frecuencia. Este sistema utilizaba un número de osciladores controlados por cristal combinados de tal forma que permitía la generación de varias frecuencias con un número relativamente bajo de cristales de referencia.

El rápido desarrollo que tuvo el campo de las telecomunicaciones obligó a utilizar sistemas de generación de frecuencias más sofisticados, de mayor precisión y estabilidad que los que ofrecían los métodos de sintetización incoherente, que hasta ese momento, eran los que mejores características

brindaban. Esto marcó el nacimiento de una nueva familia dentro de los sistemas de generación de frecuencias conocida ahora ampliamente como método de sintetización coherente. Tal como lo expresa su nombre la sintetización coherente de frecuencias permite la producción de varias frecuencias a partir de una sola fuente de referencia de alta estabilidad y precisión.

Todas estas técnicas antes mencionadas generan también señales espúreas a la salida, que deben ser eliminadas mediante la selección adecuada de las frecuencias utilizadas en la síntesis y complementadas con un filtraje de depuración.

Entre las técnicas de síntesis coherente más desarrolladas actualmente se encuentra la tecnología de Síntesis Digital Directa de Señales (DDS), con la cual es posible obtener mayor precisión, estabilidad y bajos costos de producción en los circuitos que utilizaban sus beneficios. Precisamente se estudiará con mayor detenimiento esta última técnica de generación, por ser la seleccionada para el diseño del hardware del equipo.

2.2 DEFINICIÓN Y OBJETIVOS

De una manera general se podría afirmar que la síntesis de frecuencia no es más que una combinación de elementos y procesos que permiten la generación de una o mas frecuencias (frecuencias secundarias) a partir de una o muy pocas fuentes de referencia de frecuencia (frecuencias primarias). Es decir, un sintetizador de frecuencia se utiliza para generar muchas frecuencias secundarias a través de la suma, resta, multiplicación y división de un número más pequeño de fuentes primarias de frecuencia.

El sintetizador de frecuencias debe producir tantas frecuencias secundarias como sea posible con el mínimo número de frecuencias primarias o fuentes

[1] *Fuente: Manassewitsch, Tomasi.*

de referencia y a la vez cada frecuencia que genere tiene que ser exacta y estable como la referente.

Son varios los esquemas y métodos de sintetización de frecuencia que se han desarrollado bajo la idea básica de optimizar la cantidad de fuentes de referencia que se necesiten para el funcionamiento de una aplicación determinada, mejorar su rapidez de respuesta, la precisión en el funcionamiento, la estabilidad de oscilación y reducción de costos en su fabricación

Si se considera un sintetizador ideal de frecuencia, sería posible obtener con él cientos o hasta miles de frecuencias secundarias distintas a partir de un solo osilador de cristal. Pero en la práctica se tienen muchas limitantes que no permiten alcanzar sino rangos específicos de frecuencias generadas, que serán selecionados dependiendo de las aplicaciones en las cuales los sintetizadores serán empleados. Un sintetizador de frecuencias además, puede generar simultáneamente más de una frecuencia de salida. Cada frecuencia secundaria puede ser síncrona a una sola frecuencia (frecuencia maestra del oscilador) o no. Los sintetizadores de frecuencia se utilizan extensamente en equipos de mediciones y pruebas (como generadores de audio y de radiofrecuencias), equipos para la generación de tonos de marcado, unidades de control remoto (sintetizadores electrónicos), sistemas de comunicaciones de canales múltiples (telefonía), sintetizadores de música, etc.

2.3 MÉTODOS DE SÍNTESIS DE FRECUENCIA[2]

Los métodos de sintetización de frecuencias pueden ser clasificados en dos grandes grupos:

- síntesis incoherente y
- síntesis coherente.

Obsérvese la siguiente figura

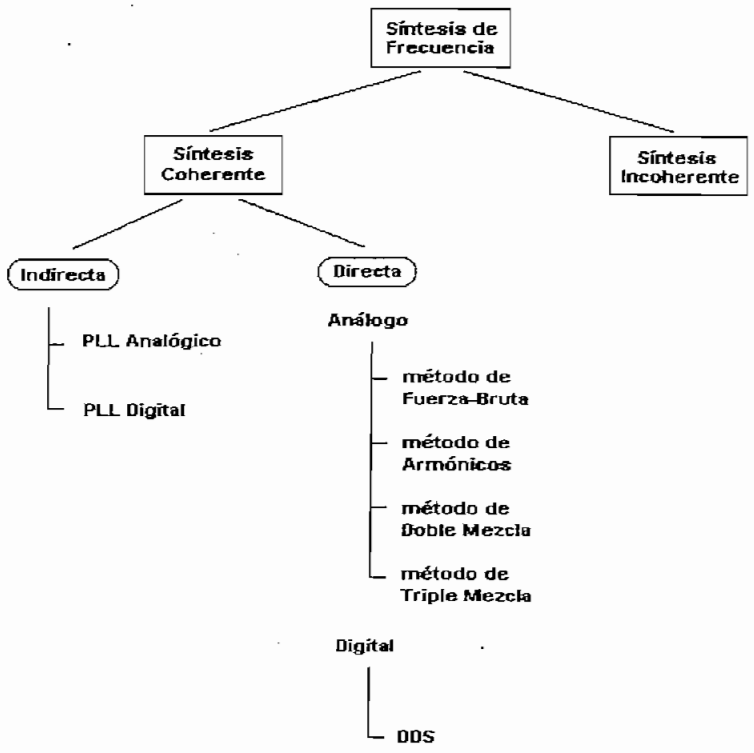


fig.2.1 Métodos de Síntesis de Frecuencia

La principal diferencia entre estos métodos de síntesis coherente e incoherente es el número de frecuencias primarias o de fuentes de referencia utilizadas en el proceso de generación de frecuencias. Mientras que en el

[2] *Fuente: Manassewitsch.*

método de generación incoherente existen numerosos osciladores controlados por cristal, en el método coherente existe únicamente una fuente de generación utilizada. Es de suponerse, que en este último caso la estabilidad y la precisión de las frecuencias generadas dependen directamente de la estabilidad y precisión de la fuente de referencia.

2.4 SÍNTESIS INCOHERENTE

La forma en la cual las frecuencias secundarias son generadas a partir de las frecuencias primarias de entrada varía dependiendo de la aplicación en donde se las quiere implementar. El principal objetivo que esta técnica persigue es, en todos los casos, el minimizar el número de cristales y los bloques de estructura básicos (como osciladores, mezcladores y filtros utilizados en la síntesis) para poder reducir el costo de su construcción y simplificar su diseño.

Un típico ejemplo de síntesis incoherente es el método propuesto por H. Granger, el cual utiliza sucesivos heterodinajes de las señales para lograr la generación de frecuencias. La *fig.2.2* describe en forma general como funciona la síntesis utilizando este heterodinaje.

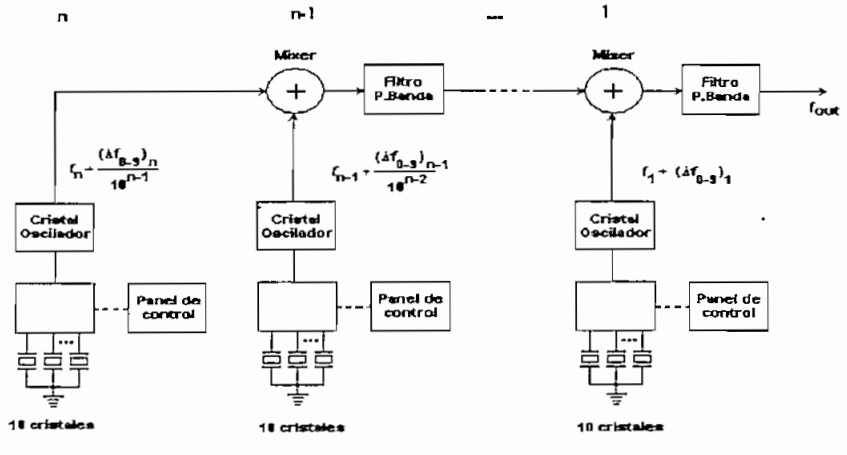


fig.2.2 Síntesis incoherente

La señal a la salida del primer mezclador (ubicado en la esquina superior izquierda en la *fig 2.2* será:

$$f_{n-1} + f_n + \frac{(\Delta f_{0-9})_{n-1}}{10^{n-2}} + \frac{(\Delta f_{0-9})_n}{10^{n-1}} \qquad [2.1]$$

donde f_1 y f_n son las frecuencias extremas dentro del rango de frecuencias que deben ser generadas. En esta notación además (Δf_{0-9}) significa 10 incrementos suscesivos que inician desde la frecuencia base con $\Delta f_0 = 0$. Por ejemplo, el valor $f_n + (\Delta f_{0-9})_n / 10^{n-1}$ significa que el n-ésimo oscilador puede ser configurado para generar 10 frecuencias:

$$f_n, f_n + \frac{(\Delta f_1)_n}{10^{n-1}}, f_n + \frac{(\Delta f_2)_n}{10^{n-1}}, \ldots, f_n + \frac{(\Delta f_9)_n}{10^{n-1}}$$

Si se continúa avanzando hasta llegar a la salida, cada vez se van añadiendo frecuencias y la gama global se va incrementando. Por tanto la señal f_{out} quedaría igual a la suma de todas las frecuencias:

$$f_{out} = f_1 + f_2 + \ldots + f_{n-1} + f_n + (\Delta f_{0-9})_1 + \frac{(\Delta f_{0-9})_2}{10} + \frac{(\Delta f_{0-9})_{n-1}}{10^{n-2}} + \ldots + \frac{(\Delta f_{0-9})_n}{10^{n-1}} \qquad [2.2]$$

Por ejemplo, se asume que a la salida de un sintetizador se requiere un rango de frecuencias entre 58 y 59 MHz con el mínimo incremento de frecuencia de 1 kHz. Para generar 10^3 frecuencias, n=3. Usualmente f_1 y f_n deben ser selecionados por los niveles de espúreos que existen a la salida. Por simplicidad ese requerimiento será omitido en este ejemplo. Entonces:

$$f_1 = 47.0\ MHz$$
$$f_2 = 6.0\ MHz$$
$$f_3 = 5.0\ MHz$$

Para generar incrementos de 1 kHz,

$$\frac{(\Delta f_1)_n}{10^{n-1}} = \frac{(\Delta f_1)_3}{10^2} = 1\ kHz \quad o \quad \Delta f_1 = 0.1\ MHz$$

Por lo tanto

$$\left.\begin{array}{l} \Delta f_0 = 0.0 \\ \Delta f_1 = 0.1 \\ \Delta f_2 = 0.2 \\ \vdots \\ \Delta f_9 = 0.9 \end{array}\right\} MHz$$

Si se configura $(\Delta f_{0\text{-}9})$ para $(\Delta f_0)_1=(\Delta f_0)_2=(\Delta f_0)_3= 0$ y se utiliza la *ec.2.2* para la mínima frecuencia, se obtiene que

$$(f_{out})_{min} = 47 + 6 + 5 = 58.0\ MHz$$

Así mismo, para la máxima frecuencia se obtiene que

$$(f_{out})_{máx} = 47.9 + 6.09 + 5.009 = 58.999\ MHz$$

Para obtener la frecuencia 58.129 MHz, se debería configurar las frecuencias $(\Delta f_{0\text{-}9})$ de la siguiente manera

$$(\Delta f_{0-9})_1 \quad a \quad (\Delta f_1)_1 = 0.1\ MHz$$
$$(\Delta f_{0-9})_2 \quad a \quad (\Delta f_2)_2 = 0.2\ MHz$$
$$(\Delta f_{0-9})_3 \quad a \quad (\Delta f_9)_3 = 0.9\ MHz$$

lo que provoca que:

$$f_{out} = 47.1 + 6.02 + 5.009 = 58.129\ MHz$$

La principal ventaja de este método de síntesis incoherente es el bajo costo que representa su implementación.

tanto, dependen de la estabilidad y precisión que la fuente de referencia tenga a la entrada.

2.5.1.1 Clases

Existen un sin número de variantes que en general pueden ser agrupados en 2 tipos: métodos analógicos y digitales. Los primeros también conocidos como métodos de mezcla y filtraje, producen la frecuencia deseada mediante la multiplicación, división u otra manipulación matemática de la frecuencia generatriz.

De entre los métodos analógicos más representativos se encuentran:

- método de Fuerza-Bruta.
- método de Armónicos
- método de Doble Mezcla
- método de Triple Mezcla

Y de entre los métodos digitales el más importante es

- método de Síntesis Digital Directa.

2.5.1.1.1 Método de Fuerza Bruta[4]

Cuando se requiere la generación de un pequeño número de frecuencias, es costumbre usar para la generación de frecuencias el método de Fuerza-Bruta o el de Armónicos, principalmente. Aquel es preferido cuando las frecuencias secundarias deben ser generadas simultáneamente.

Los bloques básicos utilizados en el método de Fuerza-Bruta son

multiplicadores de frecuencia, divisores, mezcladores y una fuente de referencia.

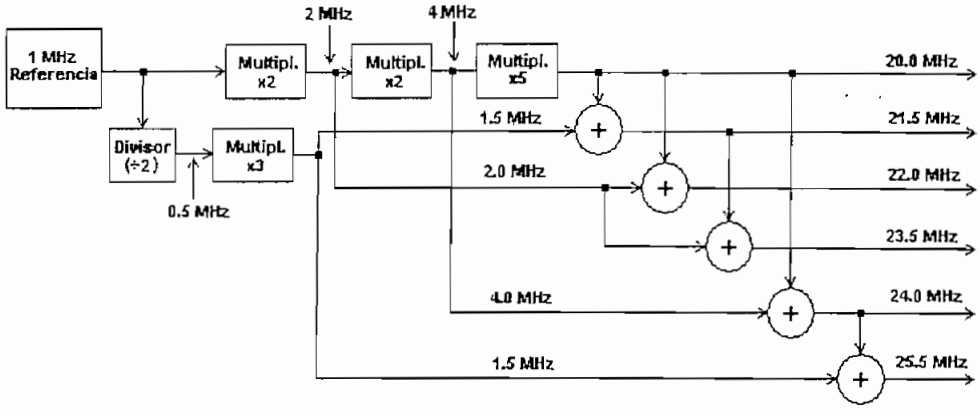


fig.2.3 Ejemplo de síntesis por el método Fuerza-Bruta

Los filtros y amplificadores correspondientes no están incluidos en el diagrama solo por cuestiones de claridad del esquema gráfico. Las seis frecuencias que se obtienen a la salida, pueden ser generadas de múltiples maneras y no existe una solución única como la planteada. Combinando frecuencias entre sí se puede conseguir una gama diversa de señales a la salida.

Desafortunadamente para el diseñador, la definición de un sistema óptimo aún no es clara. Puede darse el caso de que un sistema con menor número de bloques básicos resulte más caro que otro con mayor número.

El método de síntesis Fuerza-Bruta puede ser implementado con circuitería tanto analógica como digital.

Dos problemas básicos están asociados con este método:

- las salidas espúreas que son generadas en la mezcla, multiplicación y división de bloques; y

[4] *Brute-Force Approach*

- el ruido de fase.

Esta técnica es utilizada extensamente en sintetizadores para generar frecuencias auxiliares.

2.5.1.1.2 Método de Armónicos[5]

Este procedimiento de generación es el preferido al método descrito anteriormente, cuando el espaciamiento entre dos frecuencias de salida adyacentes es el mismo en todo el rango, estas frecuencias son múltiples del espaciamiento y solamente una frecuencia tiene que ser proveída durante un tiempo específico. Por ejemplo este método de Armónicos debería se utilizado si estas cinco frecuencias (20, 21, 22, 23, 24 MHz) deben ser generadas, una a la vez por un tiempo determinado.

El método de Armónicos contempla dos pasos básicos:

- la generación de una señal con una alto contenido armónico (usualemente un tren de pulsos) a cuya frecuencia fundamental es igual al espaciamiento, y
- la selección de las armónicas deseadas.

Hay muchas formas de convertir una onda sinusoidal de una fuente de referencia en un tren de pulsos. Es de esta forma precisamente como se obtiene las frecuencias generadas o secundarias en este método.

[5] *Harminic Approach*

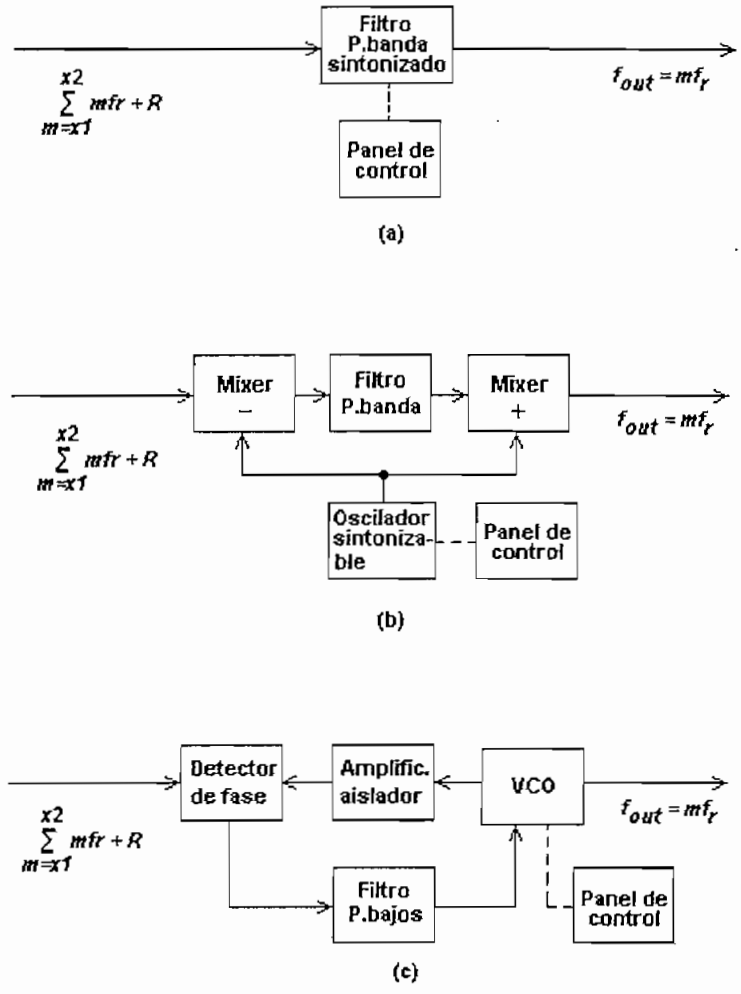


fig. 2.4 Síntesis armónica

(a) Filtro pasivo

(b) Filtro activo, método de doble mezcla

(c) Filtro activo, método PLL

En la *fig.2.4* la expresión $\sum_{m=x1}^{x2} mf_r + R$ describe una señal de entrada con un alto contenido de armónicas. Las armónicas de la señal que pasan por el filtro en un instante de tiempo dado son $x_1 f_r$ y $x_2 f_r$. El resto de armónicos de la señal suprimidos por el filtro se denominan R.

El filtro pasivo de la *fig.2.4(a)*, es utilizado para seleccionar armónicos cuando el espaciamiento entre dos armónicos adyacentes es considerable en relación a la frecuencia de salida mf_r, de modo que la

atenuación requerida de los armónicos no deseados es conseguida con un número pequeño de polos en el filtro. Banda angosta, filtros sintonizables con gran número de polos son costosos y difíciles de implementar en la práctica.

La sintetización de doble mezcla es utilizada cuando el espaciamiento es pequeño *fig.2.4(b)*. En este método es aplicado un tren de pulsos al puerto de señal del mezclador (diferencial). La entrada del oscilador local es proveída por un oscilador sintonizable cuya frecuencia, f_{TO}, es más pequeña que la frecuencia de salida, mf_r, siempre para un promedio fijo, f_{IF}. El filtro pasabandas a continuación del mezclador atenúa los armónicos no deseados. En esta última etapa de la síntesis, la selección de armónicos es convertida a su valor original, mf_r.

Las ventajas de este método sobre la filtración pasiva son numerosas. El filtro pasabanda, que atenúa los armónicos no deseados, opera en una sola frecuencia, y la sintonización manual o remota es proveída por el oscilador sintonizado. Los efectos del oscilador sintonizado en la estabilidad, precisión y ruido de fase de la señal a la salida son cancelados por las técnicas de doble mezcla, se asume que el oscilador es sintonizado cerca del valor requerido de f_{TO} así que f_{IF} cae con la banda de paso del filtro.

Se puede demostrar que

$$f_{IF} = mf_r - f_{TO}$$

$$f_{out} = f_{IF} + f_{TO} = mf_r - f_{TO} + f_{TO} = mf_r \qquad [2.3]$$

Como se esperaba, f_{TO} fue eliminado de la expresión de f_{out}.

La síntesis armónica utilizando PLL, mostrada en la *fig.2.4(c)*, es la más utilizada cuando el espaciamiento entre las frecuencias de operación es tan pequeño que ni los filtros pasivos y de doble mezcla pueden atenuar los armónicos no deseados.

Este método es inherentemente libre de salidas espúreas, debido a que no requiere mezcladores, multiplicadores y/o divisores, pero en detrimento adolece de problemas de fugas. Estas fugas de armónicos no deseados a través del detector de fase, vía amplificador-aislador a la salida del filtro, deberían ser estimadas o medidas para determinar el grado de aislamiento esperado del amplificador. El análisis de estabilidad debe ser ejecutado para establecer el grado de atenuación que el PLL puede proveer.

Estas técnicas son utilizadas ampliamente en sintetizadores para generar frecuencias auxiliares.

2.5.1.1.3 Método de Doble Mezcla[6]

El principio de doble conversión o mezcla ha sido utilizado en repetidoras de radio durante mucho tiempo. Esta técnica es de orientación lineal, es decir, los procesos se llevan a cabo uno tras otro previo a la culminación del proceso precedente y tiene la ventaja de utilizar circuitos que pueden ser implementados en frecuencias de microondas a un costo relativamente bajo.

2.5.1.1.4 Método de Triple Mezcla[7]

Uno de los objetivos del diseño en la síntesis de frecuencia ha sido siempre desarrollar un método que utilice una configuración de bloques de construcción estándar de forma repetitiva. Así se reduce tanto el costo y el tiempo de diseño y desarrollo como el costo de producción mismo; a la vez que se simplifica la operación, alineamiento y reparación

[6] *Double-Mix Approach*
[7] *Triple-Mix Approach*

de los sintetizadores. La sintetización de triple mezcla fue diseñada para poder satisfacer precisamente este requerimiento.

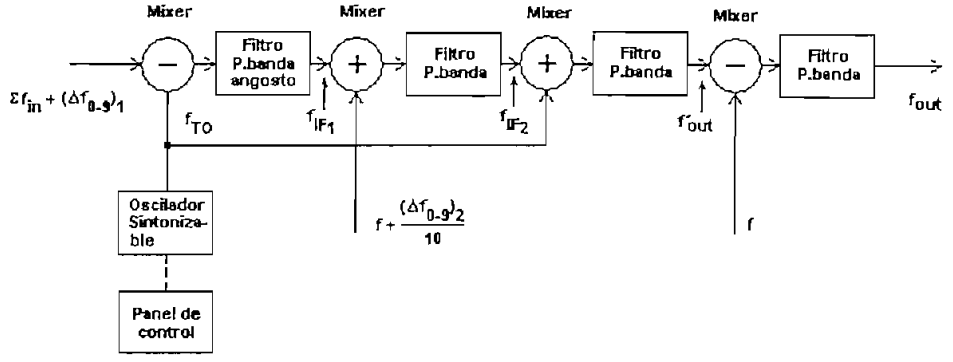


fig.2.5 Síntesis de triple mezcla

La *fig.2.5* representa un bloque funcional de una configuración típica de esta síntesis, en pasos decádicos, la cual puede ser usada repetidamente para generar unos pocos valores deseados de incrementos de frecuencia. Es una modificación de la síntesis de doble mezcla, y por tanto utiliza el mismo esquema de doble cancelación.

La frecuencia selecionada en la salida del primer mezclador (ubicado a mano izquierda en el gráfico) es

$$f_{IF1} = f_{in} + (\Delta f_{0-9})_1 - f_{TO} \qquad [2.4]$$

La salida del siguiente mezclador sumador es

$$f_{IF2} = f_{in} + (\Delta f_{0-9})_1 - f_{TO} + f + \frac{(\Delta f_{0-9})_2}{10} \qquad [2.5]$$

La frecuencia de offset a la salida es

$$f'_{out} = f_{in} + f + (\Delta f_{0-9})_1 + \frac{(\Delta f_{0-9})_2}{10} \qquad [2.6]$$

y se puede llegar a demostrar que la frecuencia a la salida del sintetizador (sin offset) es:

$$f_{out} = f_{in} + (\Delta f_{0-9})_1 + \frac{(\Delta f_{0-9})_2}{10} \qquad [2.7]$$

El método de síntesis digital directo, será analizado posteriormente.

2.5.2 SÍNTESIS INDIRECTA

La síntesis indirecta utiliza los principios de realimentación (feed-back) para la generación de los incrementos de frecuencia. La técnica conocida como aseguramiento de fase (phase looking), difiere de la síntesis directa en muchos aspectos.

El análisis del sistema de síntesis indirecta se centra en la investigación de la estabilidad y precisión del asegurador de lazo de fase cerrado PLL (phase-locked loop) y la salida de señales sin espúreas. Mediante la utilización de un PLL se consigue que la realimentación que se tiene sea en frecuencia, y más no en voltaje.

Pese a que los problemas asociados con las técnicas de síntesis indirecta son de naturaleza dinámica (estabilidad del lazo y adquisición), este sistema de generación ofrece un par de ventajas que la síntesis directa no puede cubrir.

2.5.2.1 Tipos de PLL

Las estructuras de lazo de fase cerrado pueden ser a su vez de dos tipos:

- estructura de lazo de fase cerrado análogica (A-PLL)
- estructura de lazo de fase cerrado digital (D-PLL)

2.5.2.1.1 Estructura de lazo de fase cerrada análogica (Analog Phase-Locked Loop)

En la *fig.2.6* se muestra un diagrama de bloques de un sintetizador de frecuencias PLL de lazo simple.

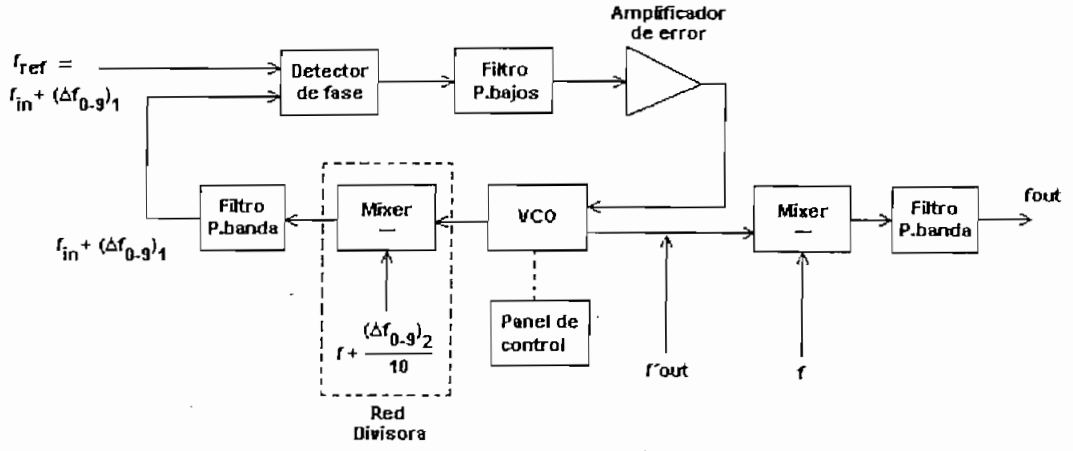


fig.2.6 Síntesis de frecuencia por medio de un PLL análogico

La referencia para una frecuencia estable es generalmente un oscilador controlado por cristal. La sección que se tiene después del VCO[8],

[8] *VCO (voltage controled oscillator). Un VCO es un multivibrador que opera libremente con una frecuencia de oscilación estable que depende de un voltaje de polarización externo. La salida de un VCO es una frecuencia, y su entrada es una señal polarizada o de control que puede ser un voltaje ac o dc.*

conformada por el mezclador y su correspondiente frecuencia de trabajo se convertirá en el PLL digital en una red divisora, de la cual dependerá el rango de las frecuencias generadas y la resolución obtenida. La frecuencia de salida del VCO, f'_{out}, es convertida y comparada con la frecuencia de referencia, $f_{in}+(\Delta f_{0\text{-}9})_1$. Cuando la diferencia entre las dos frecuencias es pequeña, el detector de fase genera una lenta variación ac de voltaje, que a su vez pasa por un filtro pasabajos y pone al VCO en condición de asegurado. Bajo esta condición se obtiene un voltaje dc cuya amplitud y polaridad son determinadas por el promedio y la dirección del desplazamiento de fase entre el valor de la referencia y la señal convertida procedente del VCO.

Cuando la diferencia entre las dos frecuencias ha compararse es grande, la salida del detector de fase es una señal ac mayor, la cual es atenuada por el filtro pasabajos, previo al aseguramiento. El mezclador de diferencia y el filtro pasa banda luego de la salida del VCO son utilizados para remover el offset, *f*.

Los pasos de trabajo del PLL son decádicos. La década es sintonizada mediante una apropiada selección de $(\Delta f_{0\text{-}9})_1$ y $(\Delta f_{0\text{-}9})_2$ y mediante la sintetización del VCO a una frecuencia cercana a la requerida se garantiza que el aseguramiento sea posible.

Cuando el lazo se asegura, se tiene que:

$$f'_{out} = f_{in} + f + (\Delta f_{0-9})_1 + \frac{(\Delta f_{0-9})_2}{10} \qquad [2.8]$$

y como $f_{out} = f'_{out} - f$ se tiene que:

$$f_{out} = f_{in} + (\Delta f_{0-9})_1 + \frac{(\Delta f_{0-9})_2}{10} \qquad [2.9]$$

Un PLL es comúnmente utilizado como un filtro de ruido de fase. Como se puede fácilmente demostrar un PLL es efectivamente un filtro pasabajos con respecto a la señal de referencia de ruido, $f_{in}+(\Delta f_{0\text{-}9})$, y un filtro pasaltos con respecto al ruido del VCO con la misma constante de tiempo para ambos casos.

El amplificador de error solamente acondiciona a la señal de error a los niveles necesarios para que se ajuste al rango de operación y valores que dispone el VCO.

Las características de los PLL´s juegan un papel importante en la síntesis en VHF y UHF, las cuales utilizan altas relaciones de multiplicación.

2.5.2.1.2 Estructura de lazo de fase cerrada digital (Digital Phase-Locked Loop)

La forma básica de una estructura de lazo de fase cerrada digital se muestra a continuación en la *fig.2.7*

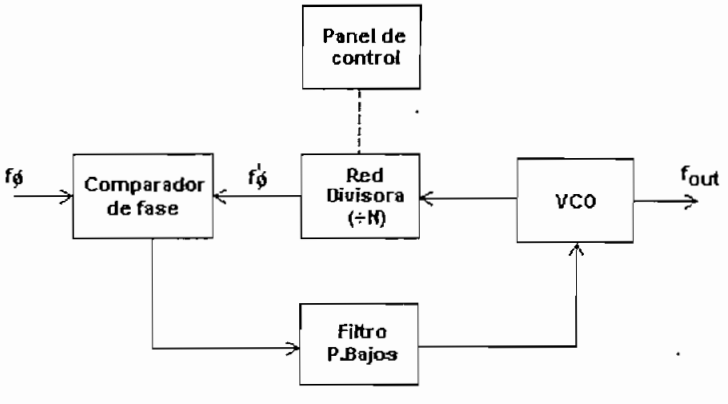


fig.2.7 Configuración básica de un PLL digital

El lazo del PLL consta de un VCO, un divisor de frecuencias de relación variable, un comparador de fase y un filtro pasabajos. La salida del VCO

es dividida y comparada con una referencia estable. Mediante la realimentación de los voltajes de error derivados de este comparador de fase es posible mantener al VCO en la frecuencia correcta. La selección de frecuencia en la red divisora es realizada por un selector de canales (panel de control), el cual permite variar la relación de división en el divisor de frecuencias.

La forma más sencilla de un circuito divisor o red divisora es un contador programable digital ascendente-descendente con una frecuencia de salida $f'\phi = f_{VCO}/N$, donde f_{VCO}, es la frecuencia de salida del VCO. Esta frecuencia es provocada por el voltaje de error que a su vez ingresa al VCO y controla su frecuencia de salida. Una variación en el voltaje de control provocará inmediatamente modulación en fase en la salida del VCO.

Una vez asegurado el lazo (looking) se puede demostrar que:

$$f_{out} = N.f\phi \qquad [2.10]$$

En otras palabras, este sintetizador es un mutiplicador de frecuencias por N veces la frecuencia de referencia. La variación de frecuencia, $f'\phi$ generada por el lazo debe ser muy pequeña respecto a la frecuencia del comparador de fase, $f\phi$ para que la corrección del PLL sea constante.

Supóngase que la frecuencia de referencia proviene de un cristal que oscila a una frecuencia de 1 MHz. Si N = 10 (un valor típico para su construcción), se tendría que el rango de frecuencias de salida oscilaría entre

$$f_{out} = f\phi \quad a \quad N.f\phi$$

$$f_{out} = f\phi \quad a \quad 10.f\phi$$

Por lo tanto

$$f_{out} = 1 \quad a \quad 10\ MHz$$

La conversión del error de fase a voltaje de control dc, es uno de los más importantes procesos en un PLL digital

Otras importantes características que son ofrecidas por el PLL digital el es bajo consumo de potencia dc. Los PLL´s digitales requieren pocos filtros lo que permite que tanto el consumo de energía como la capacidad de integración sean óptimos. En bajas frecuencias, cuando son usados circuitos integrados de baja velocidad, la potencia dc de fuga es muy pequeña, haciendo a los sintetizadores digitales aptos para que puedan ser operados con baterías.

2.6 SÍNTESIS DIGITAL DIRECTA (DDS)[9]

2.6.1 ANTECEDENTES

Es la técnica de síntesis de frecuencia más recientemente desarrollada, data de los años 70´s. En ocasiones se le denomina técnica de oscilación controlada numéricamente (NCO). La DDS en apenas unos pocos años se a logrado convertir en un gran fenómeno, difícil de ser ignorada en el momento que se precisa desarrollar nuevas arquitecturas y sistemas.

Las restantes técnicas de generación inician su proceso con alguna clase de oscilador, cuya salida es manipulada o controlada por el sintetizador. La DDS es única, pues es digitalmente determinística. Utiliza lógica y memoria para la reconstrucción digital de la señal de salida deseada y un equipo de conversión de datos para convertir la misma del dominio digital al analógico. Por lo tanto, el método de síntesis digital directa de construcción de una señal es siempre enteramente digital, y precisa de amplitud, frecuencia y fases conocidas y controladas permanentemente.

[9] *Fuente: Analod Device, Manassewitsch, Osicom*

2.6.2 ARQUITECTURA DDS

2.6.2.1 Ventajas

La DDS parece una aquitecturalmente simple, pero provee considerables ventajas que son difíciles o costosas de obtener con otros métodos de síntesis alternativos. Estas ventajas incluyen conmutación rápida (fast switching) típicamente en un orden menor a los microsegundos, la cual es importante en los sistemas que utilizan spread-spectrum o saltos de frecuencias (frequency-hopping systems). Además incluye pasos finos de sintonización, excelente inmunidad al ruido de fase, cambios de frecuencias libres de transcientes, extraordinaria flexibilidad como un modulador, pequeño tamaño, entre otras características.

2.6.2.2 Desventajas

Pero también hay desventajas, dos de las cuales imponen serias restricciones al diseñador. La DDS cubre un rango de operación limitado por la teoría del muestreo (Shannon, Nyquist). Prácticamente la salida está limitada al 45% de la máxima velocidad del reloj con el que puede ser operada. Por ejemplo con una señal de reloj que llegase a 1 GHz de velocidad, se puede apenas obtener señales de salida dentro de un ancho de banda de máximo 450 MHz.

La segunda limitación es la pureza del espectro, la cual depende de la densidad/complejidad de la circuitería lógica que se debe implementar para trabajar a la velocidad de operación deseada. La pureza espectral y el ancho de banda de operación están opuestamente relacionadas. Descartando estas limitaciones se puede considerar a la técnica de DDS como una herramienta muy poderosa para el diseño de la circuitería actual.

2.6.3 ESTRUCTURA Y ELEMENTOS

La DDS es una técnica por la cual una señal es generada en forma de series de números digitales y convertida en una forma analógica por un conversor D/A. La *fig.2.8* es un diagrama funcional de bloques de un DDS que muestra los 5 pasos que se necesitan para implementar este método, de los cuales el acumulador de fase, el mapeo del dispositivo y la conversión digital-análoga son las más importantes.

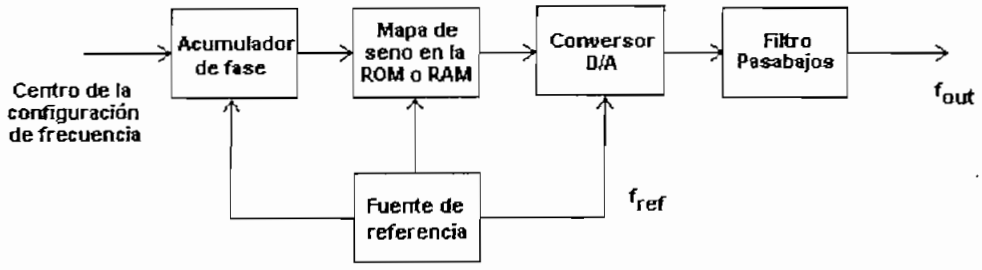


fig.2.8 Principio de funcionamiento de un DDS

La fuente de referencia es un oscilador controlado por cristal utilizado para sincronizar las distintas partes del sintetizador.

El acumulador de fase es un equipo que convierte los datos seteados de frecuencia en muestras de fase, las cuales determinan la magnitud de la forma de onda de salida del sintetizador en un instante de muestreo.

2.6.4 GENERACIÓN DE LA SEÑAL

Una vez direccionada con estos datos, la tabla o mapa sinusoidal. (una memoria ROM generalmente) transforma cada muestra de fase en una muestra de amplitud digital de una onda sinusoidal la cual es convertida en la señal analógica deseada por el conversor D/A. La memoria ROM es una tabla de la función seno de 2^k palabras, donde k es el número de bits que

direccionan a la memoria. El filtro pasabajos atenúa las componentes de muestreo no deseadas, así como otras señales espúreas no deseadas.

La *fig.2.9* muestra una representación gráfica de las formas de onda de los datos digitales y analógicos en las diversas etapas de la síntesis.

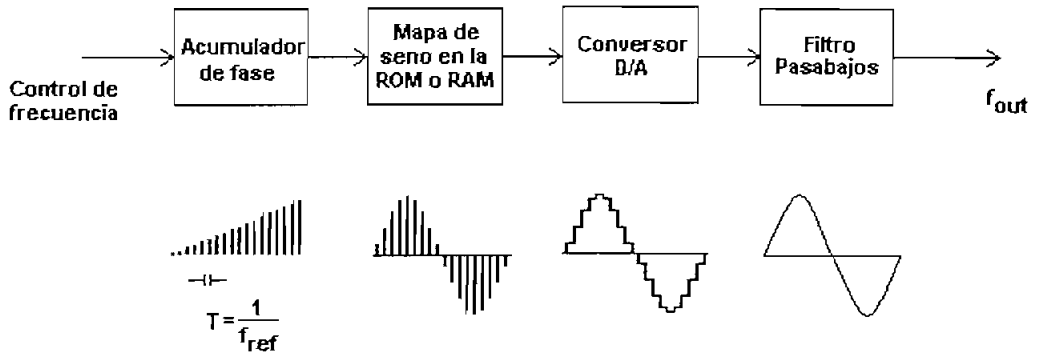


fig.2.9 Formación de una señal en un DDS

El incremento de frecuencia más pequeño esta determinado por el número de bits del acumulador de fase, *N*, y es igual a:

$$\Delta f_{min} = \frac{f_{ref}}{2^N} \qquad [2.11]$$

Ésta a su vez es igual a la mínima frecuencia que puede ser sintonizada. La más alta frecuencia sintonizada en cambio está determinada por los requerimientos de espúreas a la salida. El número de palabras usadas por la ROM usualmente es menor a 2^N (número que debería ser usado) por el alto costo que la ROM representa. Esto introduce un pequeño error en la cuantización. Como consecuencia de ello aparecen un par de bandas laterales simétricas que no pueden ser filtradas debido a que se encuentran muy próximas a la frecuencia de la señal sintetizada deseada. El nivel de estas bandas dependen de la relación de f_{out} a f_{ref} que exista y la capacidad de la ROM.

Cada valor de incremento que se produzca dentro del conversor es retenido por un registro de salida como un valor constante de offset a partir del cual es adicionado o restado del valor precedente. Por ello es que a la salida de esta etapa se puede apreciar una forma escalonda en la forma de onda sinusoidal, cuyo espectro a más de contener la frecuencia sintetizada f_{out}, contiene el par de frecuencias espúreas (aliased componets) localizadas simétricamente sobre la componente fundamental de la frecuencia de referencia, f_{ref} y sus armónicas tal como se aprecia en la *fig.2.10.*

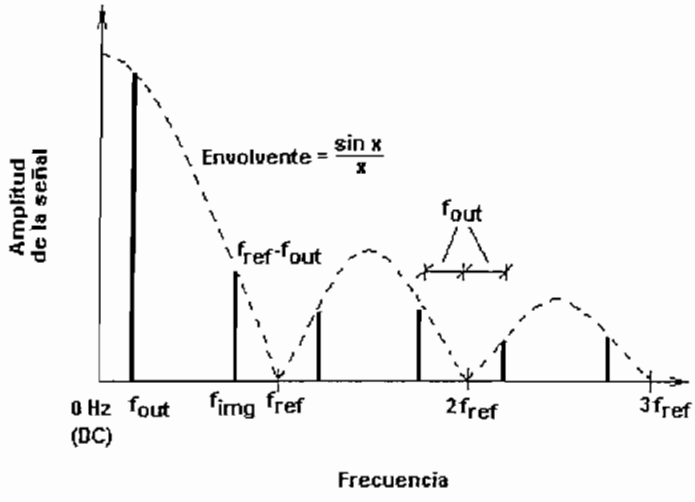


fig.2.10 Espectro de frecuencia de la señal a la salida del conversor D/A

La presencia de un alto nivel de espúreas f_{img} en la señal de salida, es lo que precisamente limita el rango superior en la sintetización de frecuencias.

Se puede demostrar que

$$\frac{Potencia\ de\ f_{img}}{Potencia\ de\ f_{out}} = \left[\frac{\sin\left(\frac{\pi f_{img}}{f_{ref}}\right)}{\sin\left(\frac{\pi f_{out}}{f_{ref}}\right)} \left(\frac{f_{out}}{f_{img}}\right) \right]^2 \qquad [2.12]$$

que expresada en dB es gual a

$$\frac{Potencia\ de\ f_{img}}{Potencia\ de\ f_{out}} = 20.\log\left[\frac{\sin\left(\frac{\pi f_{img}}{f_{ref}}\right)}{\sin\left(\frac{\pi f_{out}}{f_{ref}}\right)}\left(\frac{f_{out}}{f_{img}}\right)\right]_{dB} \qquad [2.13]$$

Esta última ecuación [2.13] es utilizada para definir las características de atenuación del filtro pasabajos, particularmente en casos en los cuales la frecuencia sintonizada más alta es significativamente más pequeña que la frecuencia de referencia, donde el nivel de la señal sintonizada es mucho más alto que el nivel de la componente espúrea f_{img}.

Definitivamente una gran facilidad que nos permite este método es el cambio de frecuencias de un valor a otro (valores extremos como de mHz a MHz) en cortísimo tiempo (actualmente menores a μs) sin la introducción de disturbios de conmutación.

CAPÍTULO 3

3. EQUIPO DE PRUEBAS

3.1 INTRODUCCIÓN 52

3.2 AMPLIFICADOR LINEAL 53

3.2.1 Introducción 53
3.2.2 Descripción general 54
3.2.3 Modelo teórico 57
3.2.4 Transformador y la realimentación negativa 60
3.2.5 Dimensionamiento de la bobina y del transformador de realimentación 63
3.2.6 Cálculo de la inductancia en un núcleo de ferrita 64
3.2.7 Lista de elementos 67

3.3 CIRCUITO GENERADOR DE FRECUENCIAS 68

3.3.1 Adecuación del hardware del AD9851 69
3.3.1.1 Cristal de referencia 70
3.3.1.2 Interfaz de programación 71
3.3.1.3 El filtro 75
3.3.2 Lista de elementos 79

3.4 LA ETAPA DE MEZCLA (MODULACIÓN) 80

3.4.1 Modulador (RF2703) 81
3.4.2 Circuito de conmutación 83
3.4.3 Lista de elementos 87

3.5 FUENTES 88

3.5.1 Lista de elementos 89

3.6. RUTEO DE LA PLACA 89

CAPÍTULO 3

3. EQUIPO DE PRUEBAS

3.1 INTRODUCCIÓN

Para poder comprender mejor el funcionamiento del equipo de pruebas, se ha subdividido la circuitería total en etapas, cuyos elementos, están agrupados de acuerdo a la funcionalidad que desempeñan en el equipo. Existen tres etapas importantes y prácticamente independientes entre sí. *fig 3.1*

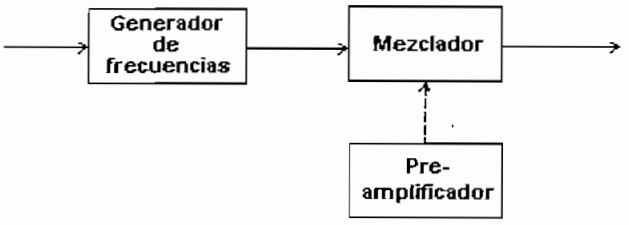


fig.3.1 Diagrama de bloques general del circuito

- La etapa de generación de frecuencias, donde se produce la señal sinusoidal de referencia que será utilizada por la siguiente etapa de modulación como la frecuencia base.
- La etapa de mezcla, donde propiamente se realiza la modulación y/o demodulación de las señales, y
- El preamplificador, que es un circuito amplificador independiente de alta linealidad, utilizado para mejorar los niveles de las señales que se obtienen antes de la demodulación. Su uso es facultativo.

El corazón mismo del equipo de pruebas, donde se centra el funcionamiento prioritario de la tarjeta, se localiza dentro de las dos primeras etapas antes mencionadas.

En lo sucesivo, se encontrará que en varias ocasiones se denomina a éste equipo solamente como "modulador". Se debe entender entonces, que se refiere al equipo de pruebas modulador y demodulador en su conjunto.

3.2 AMPLIFICADOR LINEAL[1]

3.2.1 INTRODUCCIÓN

La señales electromagnéticas que son radiadas a través del espacio generalmente al momento de llegar al sistema de recepción están sumamante debilitadas (amplitud disminuida) y distorsionadas por el ruido que ha sido añadido en el transcurso del viaje de propagación. Por esta razón es necesario disponer de un sistema preamplificador, como paso previo a la demodulación de las señales que permita compensar las pérdidas de atenuación antes descritas.

La característica fundamental que debe tener este preamplificador es una alta linealidad en la respuesta de frecuencia, pues el equipo operará con diferentes tipos de modulaciones en amplitud y en fase, y cualesquier distorsión o modificación que se produzca en la señal amplificada, modificaría significativamente el contenido original de información de la señal recuperada. Conseguir un amplificador de estas características no suele ser mayor inconveniente cuando la variación del rango de frecuencias es pequeña y se trabaja en bajas frecuencias. Pero cuando el rango de frecuencias de operación sube, los efectos de trabajar en altas frecuencias se notan, pues las capacitancias parásitas que se presentan en el circuito en general toman valores relevantes e influyen directamente en el modo de operación del circuito produciéndose cambios significativos respecto de los valores estimados.

---

[1] Fuente: Martin, Michael.

Uno de los tipos de amplificadores que presenta alta linealidad en la respuesta de frecuencia y relativa inmunidad a la variación de frecuencia es el amlificador en base común. En éste modelo, las capacitancias parásitas introducidas por el efecto Miller dentro del circuito se ven disminuidas al máximo, lo cual facilita enormemente la conservación de la ganancia del amplificador cuando se varía la frecuencia de trabajo.

3.2.2 DESCRIPCIÓN GENERAL

El circuito preamplificador utilizado en este equipo, se lo desarrolló a partir del esquema estándar de un amplificador en base común (BC), al cual se le añadió un sistema de compensación de ganancia (una realimentación negativa de tipo inductivo) para lograr que la linealidad en frecuencia y la ganancia del amplificador se mantengan estables.

El desarrollo de este proyecto de tesis representa tan solo una parte de un macro-proyecto integral, en el cual se pretende diseñar un circuito integrado modulador/demodulador de señales en cuadratura, con bajo consumo de potencia al menor costo de montaje posible. Los resultados que en esta experiencia se obtengan permitirán que, a más de poseer un equipo didáctico para la enseñanza de los principios básicos de la modulación analógica, se puedan utilizar estos resultados como el primer paso de integración de este circuito en una placa de semiconductor. El proyecto será complementado con el trabajo de otros tesistas.

Por éstas previsiones de integración antes descritas es conveniente la utilización de una fuente de alimentación de voltaje no mayor de 15 voltios.

En la *fig.3.2* se puede apreciar en detalle el circuito del amplificador del equipo.

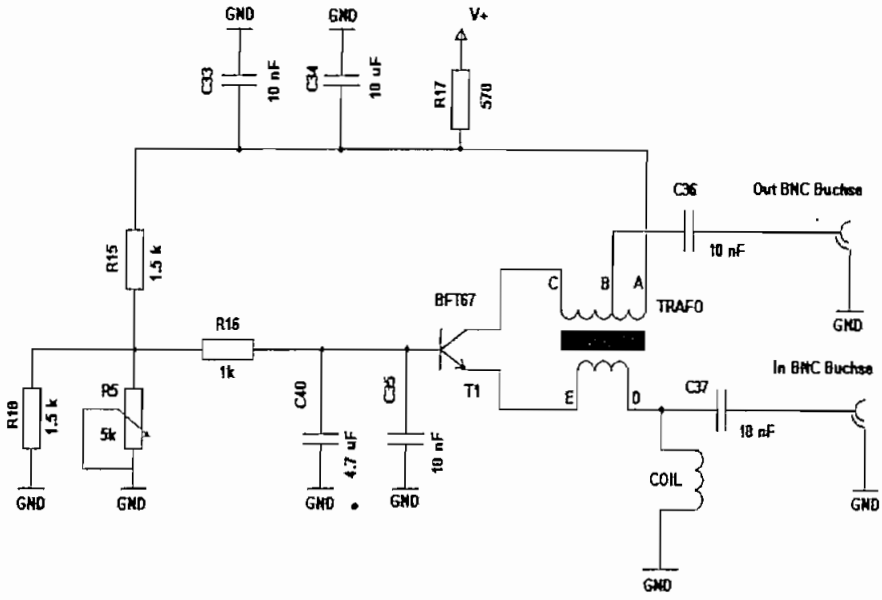


fig.3.2 Preamplificador en base común

El voltaje efectivo de polarización está regulado por la resistencia *R17* situada a la entrada de la fuente de alimentación. Mediante esta resistencia es posible controlar el voltaje y corriente dc que recibe el transistor. Las resistencias *R5*, *R15* y *R18* son utilizadas para polarizar al transistor y permitir que este pueda trabajar en la zona lineal. El paralelo entre las resistencias *R5* y *R18* constituye nada más en un arreglo para ajustes de valores, pues no se dispone en el mercado de los valores correspondientes de resistencias para los encapsulados de integración de tipo SMD. La resistencia *R16* permite regular la cantidad de corriente de base que circula por el transistor. Los capacitores *C36* y *C37* trabajan como capacitores de paso, y filtran la componente dc del voltaje que ingresa y sale del amplificador.

Las capacitancias *C33* y *C34* sirven para el filtraje de las componentes armónicas de alta frecuencia que se introducen por medio de las fuentes. Es importante poder obtener la señal de salida del amplificador lo más fiel como sea posible a la señal original. Cualesquier distorsión introducida por la circuitería puede provocar alteraciones fundamentales de la información.

Estas capacitancias actúan como filtros pasabajos y permiten mandar a tierra todas las señales con valores altos de frecuencias que se logren introducir en los voltajes de alimentación.

Las capacitancias *C35* y *C40* pemiten poner la base del transistor para corriente alterna a tierra. Es siempre recomendado colocar capacitancias de valores distintos cuando se desea filtrar ruidos en las líneas, para evitar que se produzcan oscilaciones (con las inductancias parásitas producidas por los caminos de cobre de la platina) a la misma frecuencia y se pueda disminuir de cierta forma el efecto aditivo que estas oscilaciones producirían en caso de que los valores de éstas capacitancias sean similares.

El transformador, TRAFO, que se encuentra entre el emisor y el colector del transistor es el elemento fundamental del circuito. Este transformador controla la ganancia regulando el grado de realimentación negativa que proporciona al amplificador (de acuerdo a la relación del número de vueltas que existan entre la bobina del primario y del secundario). La inductancia llamada COIL, ubicada a la entrada del amplificador, es una bobina de choque para RF. Permite el paso de las frecuencias elevadas pero impide a su vez que las componentes de baja frecuencia de la señal de entrada pasen al amplificador. La información de la señal que se envía y se recibe está modulada en alta frecuencia, por lo cual las componentes de la señal de baja frecuencia no juegan un rol importante. Estas componentes de frecuencia no contienen información relevante y más bien solo colaboran en incrementar ruidos y a consumir potencia innecesariamente.

La señal de entrada que ingresa a través del puerto de acceso denominado IN BNC BUCHSE es filtrada por el capacitor de paso y bobina, permitiendo solamente el paso de los componentes medios y altos de frecuencia. Esta señal es previamente amplificada en el transformador y luego en el transistor para salir incrementada en su amplitud por el conector OUT BNC BUCHSE.

3.2.3 MODELO TEÓRICO

Un amplificador en base común de la *fig.3.3*

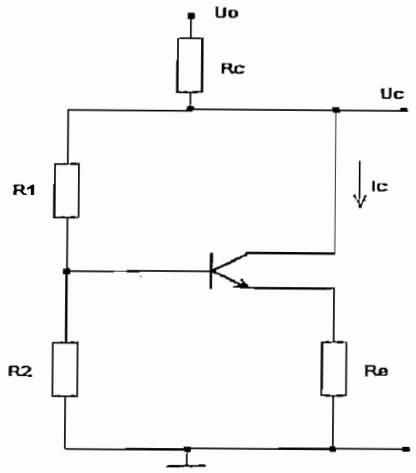


fig.3.3 Amplificador básico

puede ser representado por el circuito equivalente de la *fig.3.4(a)*.

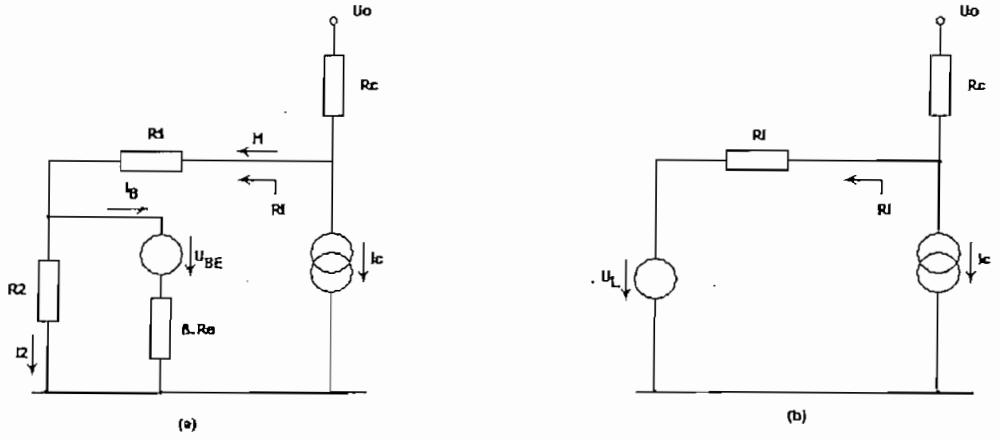


fig.3.4 Circuito equivalente del amplificador

donde U_o es el voltaje de polarización y U_{BE} la caída de tensión que existe entre base y emisor.

A través de la resistencia R_2 fluye una corriente igual a:

$$I_2 = \frac{V_{R2}}{R_2} = \frac{U_{BE} + I_B.\beta.R_E}{R_2} = \frac{U_{BE} + \frac{I_C}{\beta}.\beta.R_E}{R_2}$$

$$I_2 = \frac{U_{BE} + I_C.R_E}{R_2} \qquad [3.1]$$

De igual manera se tiene que la corriente que fluye por la resistencia R_1 es igual a:

$$I_1 = I_2 + I_B = I_2 + \frac{I_C}{\beta} \qquad [3.2]$$

Si se substituye la *ec.3.1* en la *ec.3.2* se obtiene

$$I_1 = \frac{U_{BE} + I_C.R_E}{R_2} + \frac{I_C}{\beta} = \frac{U_{BE}}{R_2} + I_C.\frac{R_E}{R_2} + \frac{I_C}{\beta} \qquad [3.3]$$

Al aplicar el teorema de Thevenin al circuito anterior, *fig.3.4(b)*, para

$$R_i = R_1 + R_2 \| \beta.R_E$$

$$U_L = \frac{U_{BE}.R_2}{R_2 + \beta.R_E}$$

se puede deducir que

$$I_1 = \frac{U_0}{R_C + R_1 + R_2 \| \beta.R_E} - I_C \frac{R_i \| R_C}{R_i} - \frac{U_L}{R_C + R_i} \qquad [3.4]$$

$$I_1 = \frac{U_0 - U_{BE}\frac{R_2}{R_2 + \beta.R_E} - I_C.R_C}{R_C + R_1 + R_2 \| \beta.R_E} \quad para \quad R = R_C + R_1 + R_2 \| \beta.R_E$$

Si se reemplaza la *ec.3.3* en la *ec.3.4* se obtiene que

$$I_C\left(\frac{R_C}{R}+\frac{R_E}{R_2}+\frac{1}{\beta}\right)=\frac{U_0-U_{BE}\dfrac{R_2}{R_2+\beta.R_E}}{R}-\frac{U_{BE}}{R_2}$$

Si se sustituye el valor de *R* nuevamente, se llega a la ecuación final

$$I_C=\frac{U_0-U_{BE}\left(\dfrac{R_C+R_1}{R_2}+1\right)}{R_C+R_E+\dfrac{(R_C+R_1).(R_2+\beta.R_E)}{\beta.R_2}} \qquad [3.5]$$

Se puede realizar un desplazamiento de la resistencia de emisor hacia la base del colector (tal como se lo puede apreciar en la *fig.3.5)* y el resultado se ve reflejado en una pequeña adaptación en R_E.

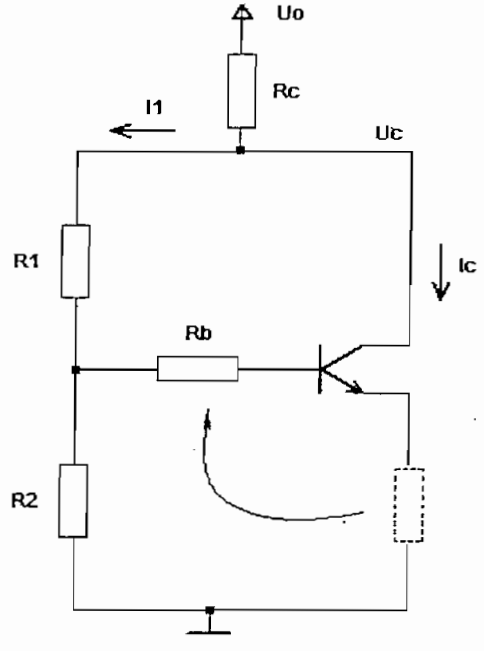


fig 3.5 Amplificador con resistencia en la base

Así el nuevo circuito obtenido es idéntico al utilizado en este equipo para la preamplificación. El valor de la corriente I_C de colector viene dada por la expresión

$$I_C = \frac{U_0 - U_{BE}\left(\frac{R_C + R_1}{R_2} + 1\right)}{R_C + \frac{R_B}{\beta} + \frac{(R_C + R_1).(R_2 + \beta.R_B)}{\beta.R_2}} \qquad [3.6]$$

y el valor de la corriente de R_1, I_1 por la expresión

$$I_1 = \frac{U_{BE}}{R_2} + \frac{I_C}{\beta}\left(\frac{R_B}{R_2} + 1\right) \qquad [3.7]$$

La impedancia de entrada de este amplificador esta dada por

$$Z_{in} = re + \frac{R_1 \| R_2}{\beta} \qquad [3.8]$$

Si se sustituye por los valores de cada elemento se encuentra que la corriente de colector es igual a

$$I_C = \frac{12V - 0.6V\left(\frac{570 + 1{,}5k}{1{,}5k \| P} + 1\right)}{570 + \frac{(570 + 15k).(1{,}5k \| P + 60 * 1k)}{60 * 1{,}5k \| P}}$$

donde P es un potenciómetro. El valor de Ic fluctúa entre 40 a 50 mA dependiendo de la posición del potenciómetro.

Para poder controlar la ganancia del circuito y que este conserve la linealidad respecto a la variación de frecuencia, es necesario introducir una compensación de ganancia en la amplificación. A continuación se describe su funcionamiento.

3.2.4 TRANSFORMADOR Y LA REALIMENTACIÓN NEGATIVA

La realimentación negativa del circuito se consigue a través del acoplamiento inductivo en contrafase de dos bobinas que controlan la

cantidad de corriente ac que fluye por el colector del transistor. El nivel de realimentación depende de la frecuencia de la señal, y origina la variación de la ganancia del amplificador también con la frecuencia, permitiendo a su vez que la respuesta en frecuencia del amplificador en general se mantenga relativamente constante y lineal.

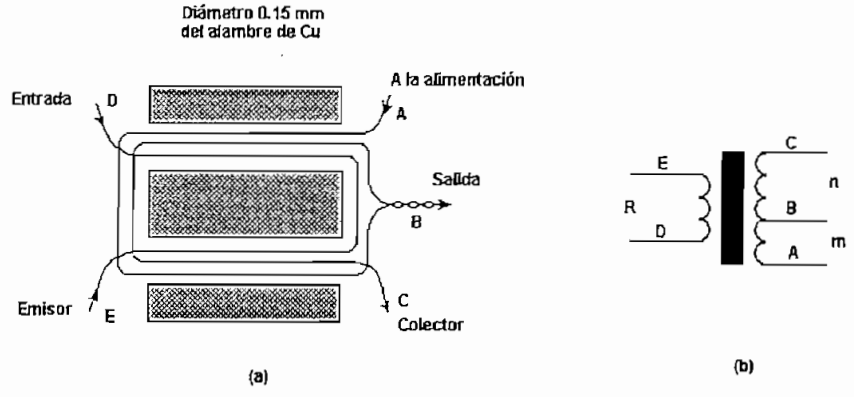


fig.3.6 Transformador en acoplamiento sustractivo
(a) Presentación física
(b) Esquema eléctrico

En la *fig.3.6* se puede observar el transformador de control de ganancia. *R, n* y *m* son el número de vueltas que tienen los bobinados de cada bobina. Para obtener un acoplamiento sustractivo, el arrollamiento de las bobinas debe realizarse como lo señala la *fig.3.6(a).*

El diseño del circuito de amplificación está basado en el trabajo desarrollado por Michel Martin en la época de los 80´s[2] El trabajo de Martin consistió en encontrar una relación experimental entre los cambios de frecuencia y las características en frecuencia de un conjunto de transistores (familia BFT de alta frecuencia).

El transistor utilizado en el presente trabajo es el BFT67, cuyas características se resumen en la *tabla 3.1*

[2] En el trabajo „Neuartiger Vorverstärker"

Características del Transistor BFT67	
Tipo	Si - N
Rango	UHF
$V_{CEmáx}$	20 Voltios
$P_{disip.(máx)}$	0.2 Watts
f_T	4 GHz
$I_{Cmáx}$	30 mA
β	60

Tabla 3.1 Características del transistor BFT67

Después del análisis del comportamiento, del circuito y del transistor, Martin pudo determinar un conjunto de ecuaciones que permiten relacionar las características del transformador con las del transistor.

En general se tiene que

$$G_p \approx 3.m$$

$$n = m^2 - 1 - m \qquad para \quad Z_i = Z_{out}$$

$$R_{carga\ del\ transistor} = (n+m).Z_i \qquad para\ R = 1$$

donde:

- G_p es la ganancia obtenida en dB
- Z_i la impedancia de entrada del circuito
- Z_{out} la impedancia de salida y
- *R, n, m* el número de vueltas en las respectivas bobinas. *fig.3.6(b)*

Para valores de m = 2,3,4 respectivamente se tiene una ganancia de Gp = 6, 9.5, 12 dB y una impedancia de carga de 3, 8 y 15 veces Z_i. Si se desea

obtener una ganancia un poco más grande, será suficiente añadir otra etapa idéntica en cascada para mejorar la amplitud de la señal a la salida.

3.2.5 DIMENSIONAMIENTO DE LA BOBINA Y DEL TRANSFORMADOR DE REALIMENTACION

Las entradas y salidas de los amplificadores en RF se encuentran estandarizadas a un valor de 50 Ω mientras que los de video a 75 Ω. En el caso de la construcción de este equipo, se considera que todas las entradas y salidas están acopladas con cargas de 50 Ω.

En la entrada del preamplificador se tiene que

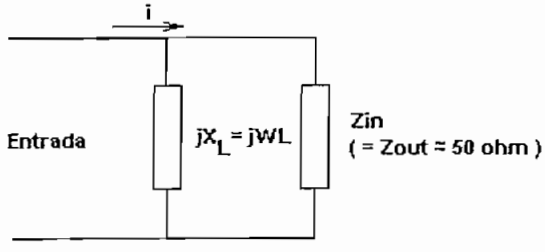


fig.3.7 Dimensionamiento de la bobina COIL

Para lograr que la mayor parte de la señal de entrada ingrese al amplificador, es necesario que se cumpla que el valor de la impedancia de entrada del circuito sea mucho menor que el de la impedancia que tenga la bobina COIL.

Es decir,

$$\omega L >> 50\Omega$$

Considerando como un valor mucho mayor a uno diez veces el valor original se tiene que

$$\omega L \approx 500\Omega$$

Despejando *L*

$$L \approx \frac{500}{2\pi f}$$

Si se considera el caso extremo en el cual el circuito trabaje dentro de los rangos de frecuencia más bajos, alrededor de 2 MHz, se tendrá que el valor de *L* será igual a

$$L \approx \frac{500}{2\pi .2MHz}$$

$$L \approx 40\ \mu H$$

3.2.6 CÁLCULO DE LA INDUCTANCIA EN UN NÚCLEO DE FERRITA

El valor de la inductancia dentro de un núcleo protegido de ferrita es directamente proporcional a la relación de vueltas que hay entre la bobina del primario y la del secundario, como también al grado de acoplamiento que hay entre ellas. El nivel de acoplamiento está determinado por las características magnéticas del material (μ) y la forma geométrica que el núcleo de ferrita posea. La constante permeabilidad magnética μ da una idea de lo buen o mal conductor que es un material del flujo magnético. La permeabilidad en los circuitos magnéticos es el equivalente a la conductividad en los circuitos eléctricos.

El valor de la inductancia *L* en un núcleo es igual a

$$L = A_L . n^2 \text{ [H]}$$

donde:

- A_L es el valor de la constante del núcleo [nH/vuelta^2],
- *n* es el número de vueltas que tiene la bobina alrededor de la ferrita [vuelta], y

- L es el valor de la inductancia obtenida en este proceso [nH].

Para obtener valores de inductancia dentro del orden de los nano o micro Henrios con pocas vueltas se necesitan de valores relativamente altos de A_L. Por ello se utiliza un núcleo con un recubrimento total *fig.3.8* para lograr que el acoplamiento sea lo mejor posible y un material de ferrita de valor de A_L igual a 1760 nH/vuelta.

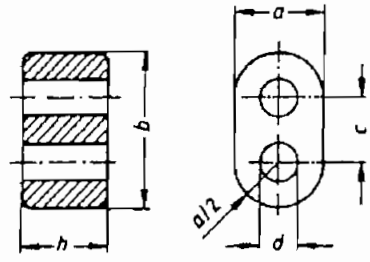


fig.3.8 Núcleo de ferrita de doble perforación

Dadas estas condiciones y para conseguir un valor de L= 40 μH se tiene que

$$L = A_L . n^2$$

$$n^2 = \frac{L}{A_L}$$

Es decir

$$n = \sqrt{\frac{L}{A_L}} = \sqrt{\frac{40\ \mu H}{1760\ \frac{nH}{vuelta^2}}} = 4.76\ vueltas$$

$$n \approx 5\ vueltas$$

La bobina COIL debería llevar 5 vueltas entorno a la ferrita para tener la inductancia L deseada de 40 μH.

De igual forma se procede con el transformador. Si se calcula el valor de las inductancias que lo conforman se podrá determinar que son de los siguientes valores:

Bobina	Nro. vueltas	Inductancia
Bobina	5	44 μH
Transformador	m = 4	28 μH
	n = 11	210 μH
	R = 1	2 μH

Tabla.3.2 Valores de las bobinas que conforman el transformador

3.2.7 LISTA DE ELEMENTOS

Los elementos que son requeridos para la elaboración del circuito amplificador son detallados a continuación.

Elemento	Denominación	Valor	Empaquetado
Potenciómetro	R5	5 kΩ	SMD
Resistencia	R15	1,5 kΩ	SMD 1206
	R16	1 kΩ	SMD 1206
	R17	570 Ω	SMD 1206
	R18	1.5 kΩ	SMD 1206
Condensador	C33	10 nF	SMD 1206
	C34	10 µF	Ta normal
	C35	10 nF	SMD 1206
	C36	10 nF	SMD 1206
	C37	10 nF	SMD 1206
	C40	4.7 nF	SMD 1206
Transistor	T1	BFT 67	SMD 1206
Bobina	Coil	40 µH	Núcleo de doble perforación.
Transformador	Trafo	40 µH (1:4 y 1:11)	Núcleo de doble perforación.
Conector	BNC (2)	-	Montaje en platina.

Tabla 3.3 Lista de elementos del amplificador

3.3 CIRCUITO GENERADOR DE FRECUENCIAS

La generación de frecuencias se realiza mediante el circuito integrado AD9851 de la firma Analog Devices.

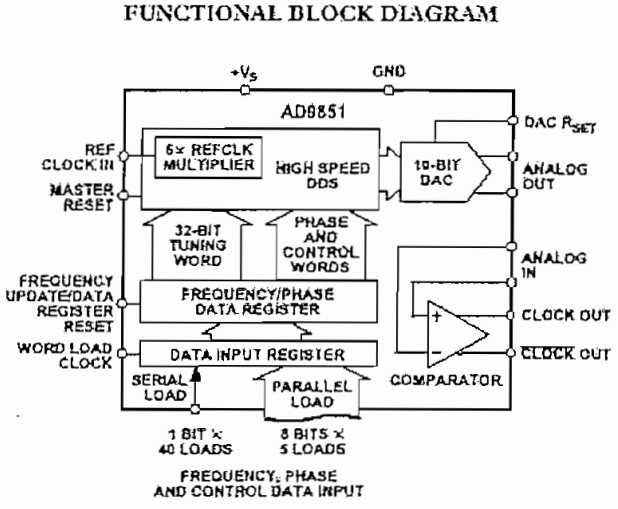


fig.3.9 Diagrama funcional de bloques del AD9851

Como se puede apreciar en la *fig.3.9* el AD9851 está conformado principalmente por un sintetizador digital directo de frecuencias (DDS) y un conversor D/A. La señal de reloj de referencia del DDS es alimentado a través de un multiplicador interno que hace que esta señal sea multiplicada hasta 6 veces la señal del reloj original. Esto evita la utilización de cristales de referencia de frecuencias más altas. El AD9851 viene en un encapsulado de tecnología de montaje superficial SMD ultra pequeño 28-Lead SSOP.

El DDS puede ser configurado gracias a un conjunto de pines de acceso de programación que posee. Se pueden obtener tonos de frecuencia comprendidos entre 0 y 72 MHz con una exactitud de 0.04 Hz por paso; además se puede controlar el ángulo de fase producido en la señal de salida de entre los valores de 0 a 360° en pasos de 11,5°.

El AD9851 contiene un registro interno de 40 bits que almacena el valor de la frecuencia generada en 32 bits, la fase de la señal en 5 bits y adicionalmente

realiza el control de algunas funciones específicas (3 bits).

La señal resultante obtenida a la salida de DDS pasa al conversor D/A donde se transforma en una señal sinusoidal analógica.

La teoría del funcionamiento de la síntesis digital directa se la puede encontrar en el capítulo 2 y en caso de necesitar mayor información sobre el AD9851 se puede revisar las hojas de especificaciones correspondientes.

3.3.1 ADECUACIÓN DEL HARDWARE DEL AD9851

El AD9851 necesita de la implementación de un conjunto de circuitería externa adicional para que pueda funcionar.

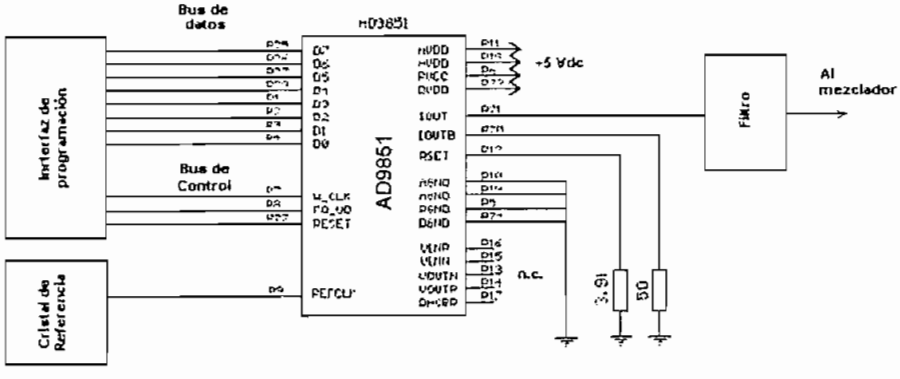


fig.3.10 Adecuación de hardware del AD9851

Esta circuitería extra, de acuerdo a su funcionalidad, se la ha dividido en tres diferentes secciones *fig.3.10*.

- cristal de refrencia de frecuencia,
- el interfaz de programación, y
- el filtro antialiasing

3.3.1.1 Cristal de Referencia

El AD9851 necesita de un reloj externo de referencia, *fig.3.11*, que lo ulitiza para sincronizar internamente todos los procesos ejecutados.

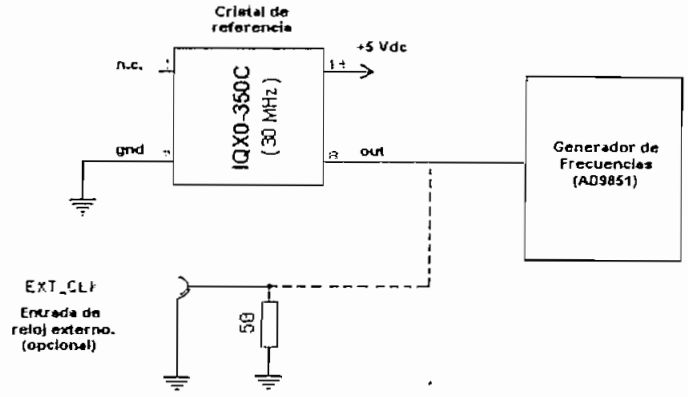


fig.3.11 Cristal de referencia

Para aprovechar a plenitud las características del AD9851 (para generar frecuencias), es necesario utilizar una fuente de dc voltaje de 5 voltios y un cristal de referencia de 30 MHz. Con la selección de estos valores es posible obtener el máximo rango de generación de frecuencias, *tabla 3.4.*

Fuente de voltaje	Cristal de Referencia (PPL activo)	Señal de Reloj
+ 5.0 V	30 MHz	180 MHz
+ 3.3 V	20.83 MHz	125 MHz
+ 2.7 V	16.66 MHz	100 MHz

Tabla 3.4. Dependencia del reloj interno del AD9851 con respecto a la fuente de alimentación y del cristal de referencia

El AD9851 en sí, es capaz de funcionar con un menor valor de voltaje de

alimentación y con una menor frecuencia en el cristal de referencia que los anteriormente seleccionados; pero en cambio también se reduciría el rango de generación de frecuencias que pueden ser generadas.

El cristal selecionado, IQX0-350C, viene en un encapsulado DIP-14 normal y genera una frecuencia de oscilación de 30 MHz.

En el caso que se desee utilizar como reloj de referencia una fuente externa, la tarjeta cuenta con una salida opcional (conector BNC) con una impedancia de entrada estandarizada de 50 Ω.

3.3.1.2 Interfaz de programación

Para programar el valor de la frecuencia y la fase que se requieren a la salida del DDS es necesario configurar un conjunto de 40 bits (5 octetos o palabras) que el AD9851 posee. Para ello se utiliza la ayuda de un computador personal y un pequeño programa que permite manipular las señales del puerto paralelo y adecuarlas según los requerimientos del AD9851. Por esta razón se necesita de un circuito que actúe como interfaz de comunicaciones y que sirva para acoplar ambos sistemas.

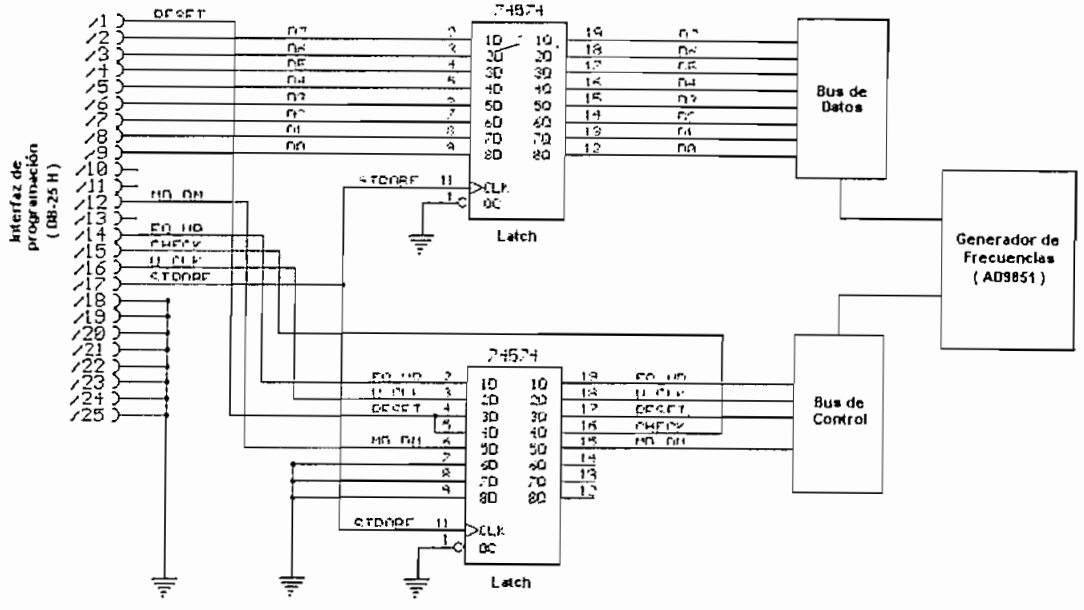


fig.3.12 interfaz de comunicaciones y programación del AD9851

Desde los pines del AD9851 se desprenden 2 líneas de buses: la de datos (pines D0, D1,... D7) y la de control (pines FQ_UD, W_CLK, RESET, CHECK, STROBE, MD/DM) que van dirigidos hacia dos latches que permiten que el envío de los datos sea sincrónico. Los latches utilizados en esta tarjeta, 74VHCT574, están conformados a su vez por un conjunto octal de flip-flops tipo D que vienen encapsulados en un empaquetado DIP-20 SDM de montaje superficial. Mientras uno de los latches se encarga del transporte de las señales de datos el otro se encarga del transporte las señales de control. Los relojes de los dos latches se encuentran interconectados entre sí para que puedan trabajar simultáneamente. Posteriormente se dirigen a uno de los pines del puerto de la PC desde donde se origina la señal de reloj del sistema de transferencia general (STROBE). Para que los 2 latches estén funcionando permanentemente y estén listos para la recepción de datos, la entrada de habilitación de funcionamiento, Output Enable (OE), se encuentra puesta en tierra.

Los datos de la nueva frecuencia que el DDS debe generar, una vez que son producidos en la PC y transportados al puerto de comunicaciones, son retenidos en el registro interno de datos, pero no actualizados. Para llevar a cabo la actualización existe el pin Update (FQ_UD). Este se activa con un flanco positivo en una transición de estado entre cero y uno lógico y permite que los datos que están en el registro interno del AD9851 se cargen directamente en el DDS.

El registro interno de 40 bits que tiene el AD9851, puede ser configurado mediante la carga de 5 octetos sucesivos que contienen la información de los valores de la frecuencia y fase deseadas. Para cargar cada palabra se necesita de un reloj de datos, Word Clock (W_CLK), que se encarga de coordinar la escritura de cada palabra en el registro interno hasta completar los 40 bit que necesita ser programado. La escritura de cada palabra se realiza al momento de detectarse un flanco positivo en esta señal de reloj. Todo este conjunto de señales son posteriormente agrupadas en un conector común DB-25 hembra.

Lo mencionado anteriormente queda resumido en el diagrama de la *fig.3.13*

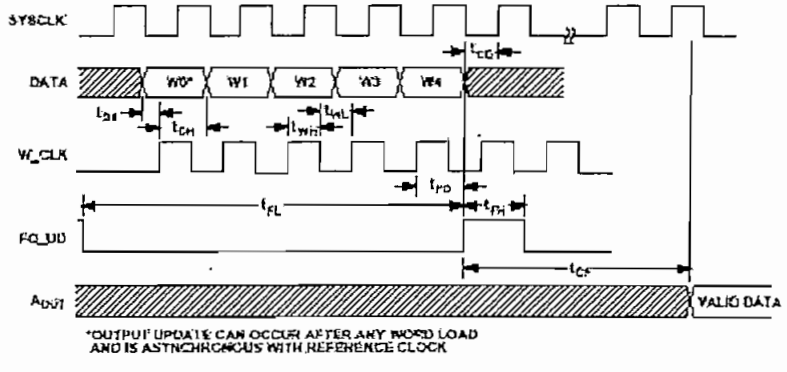


fig.3.13 Secuencia de datos de la actualización de fase y frecuencia de carga paralela

La tarjeta además permite el cambio de modalidad del circuito entre la configuración de modulador a la de demodulador. Con esta finalidad se ha incluido el pin MD/DM. Éste controla un hardware adicional que permite

modificar la configuración requierida para que el mezclador trabaje tanto como modulador como demodulador. Por defecto, la configuración se encuentra activada para que la tarjeta actúe como modulador. Los detalles de este hardware de conmutación se encuentran detallados, más adelante en la sección del mezclador.

Para saber el valor binario que debe ser cargado en el AD9851 como dato para obtener un determinado valor de frecuencia, se puede utilizar una relación preestablecida. La relación que existe entre el valor de la frecuencia de salida y el sistema de referencia se encuentra dado por la expresión:

$$f_{out} = \frac{(\Delta Fase \times CLK \ \ del \ \ sistema \ )}{2^{32}}$$

donde

- *Δ Fase* es un valor decimal de 32 bits que representa la palabra de sintonización de frecuencia.
- *CLK del sistema* es el valor directo del cristal de entrada (MHz) o el valor de esta referencia por 6 cuando esta opción esta activada. Este valor es igual a 180 MHz (en el caso de usarse un cristal de 30 MHz y con la opción PLL activa).
- f_{out} es la frecuencia de salida de la señal en MHz.

Así por ejemplo si se desea obtener una frecuencia de salida de 10 Mhz el valor de *Δ Fase* que debe utilizarse es igual a 238609294d o lo que es igual a 0E38E38Eh. El conocimiento de esta transformación pierde importancia al utilizar el circuito final, pues es el software de programación quién se encarga de la manipulación de estos parámetros.

En la primera tarjeta prototipo que fue construida, se realizó un arreglo de prueba (con dip-switches) que permite la programación manual del circuito

integrado. Es por esa razón que se incluye este cálculo de transformación manual en este trabajo, para saber como se debe realizar el cálculo respectivo.

3.3.1.3 El filtro

Tal como se lo analizó en el capítulo concerniente a la síntesis digital directa, el DDS necesita después ser acoplado a un filtro pasabajos de señales para evitar que las frecuencias imágenes producidas en el proceso de la generación se propagen. (revisar *fig.2.10*)

Siguiendo la recomendación del fabricante, como filtro pasabajos se considera un filtro elíptico de 7mo. orden de 100 Ω de impedancia que es utilizado para filtrar las frecuencias armónicas y suprimir el jitter que estas producen en el tono resultante de generación.

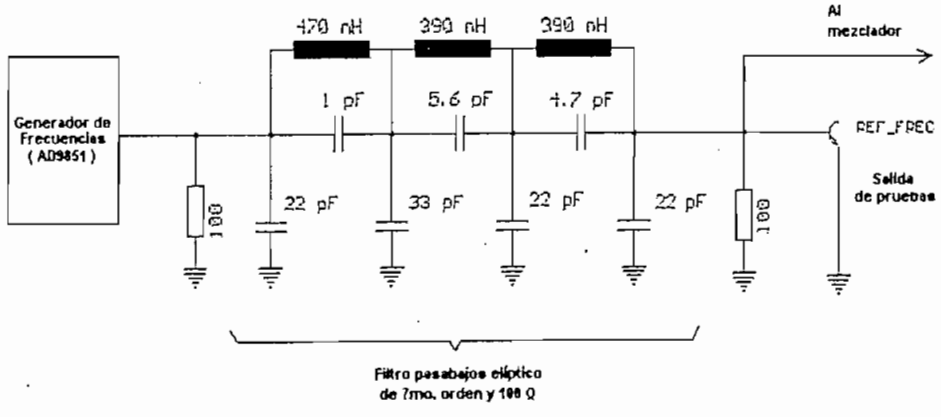


fig.3.14 Filtro pasabajos usado para contrarestar el efecto del jitter

Este filtro, como se puede apreciar en la *fig.3.14*, está compuesto por un conjunto de 7 capacitores y 3 inductores, que le dan la característica de pasabajos al filtro.

Posee además un conector BNC por medio del cual es posible que el tono de frecuencia que se genere en el AD9851 pueda ser llevado al exterior. Como se había manifestado anteriormente los diversos equipos que trabajan en RF presentan impedancias de entradas normadas de 50 Ω. Es por esta razón que en el filtro se encuentran el paralelo de 2 resistencias de 100 Ω que son las que determinan la característica de la impedancia que se mira desde el conector de la salida de pruebas.

Para poder independizar la etapa de generación de frecuencias y la de modulación, es necesario implantar un switch entre las mismas, de tal manera que se pueda utilizar tanto la generación de frecuencias como la modulación cada una por su cuenta, tal que la etapa de generación sea capaz de proveer tonos de frecuencias para ser utilizados externamente y que la etapa de modulación acepte también señales de referencia que no provengan de la tarjeta.

Este arreglo se puede visualizar en la *fig.3.15*. Si se desea tener tanto al generador de frecuencias como al mezclador acoplados se deberían cortocircuitar los pines 1 con 2 y 3 con 4 del switch de enlace.

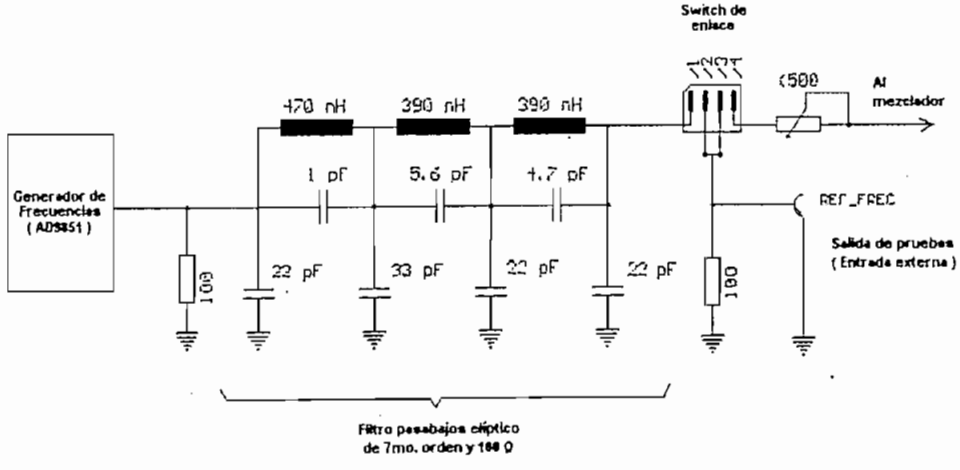


fig.3.15 Acoplamiento entre el AD9851 y el mezclador (RF2703)

En caso que se desee utilizar independientemente el generador de

frecuencias, debería cortocircuitarse los pines 1 y 2 y los restantes dejarlos libres, para que no representen una impedancia de carga extra y evite la introducción de ruidos.

Y para el caso que se necesite utilizar como fuente de referencia del mezclador una señal que no sea la generada por el AD9851; se tiene el conector BNC denominado REF_FREC que permite accesar al circuito modulador directamente. Para utilizar esta modalidad de trabajo se debería cortocircuitarse los pines 3 y 4, y los demás dejarlos libres (y/o mandar el pin 1 a tierra para evitar que la frecuencia que genere el AD9851 produzca ruidos en la entrada del circuito modulador.

El circuito final encargado de la generación de frecuencias se lo puede apreciar detallado en la *fig.3.16.*

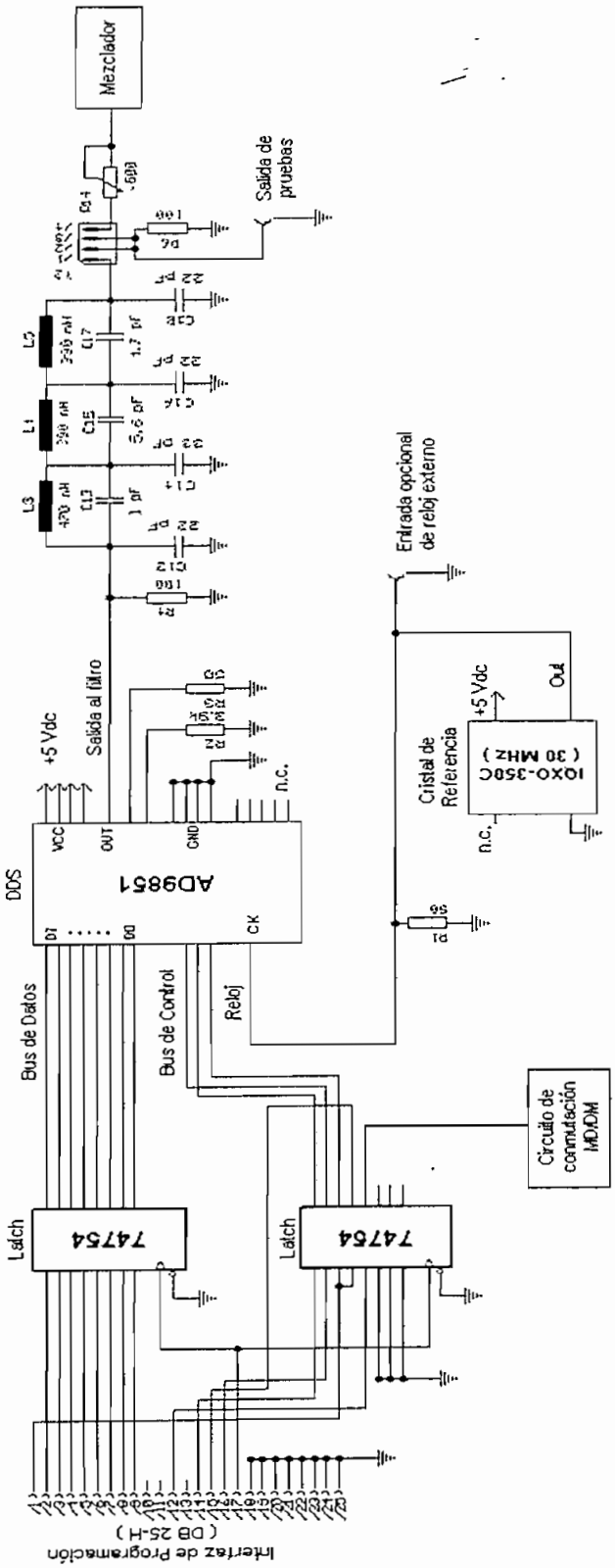


fig.3.16 Etapa de generación de frecuencias

3.3.2 LISTA DE ELEMENTOS

Los elementos que se requerieren en la circuitería de la etapa de generación se describen a continuación.

Elemento	Denominación	Valor	Empaquetado
Resistencia	R1	50 Ω	SMD 1206
	R2	3,9 kΩ	SMD 1206
	R3	50 Ω	SMD 1206
	R4	100 Ω	SMD 1206
	R6	100 Ω	SMD 1206
	R14	500 Ω	SMD 1206
Condensador	C12	22 pF	SMD 1206
	C13	1 pF	SMD 0805
	C14	33 pF	SMD 1206
	C15	5,6 pF	SMD 0805
	C16	22 pF	SMD 1206
	C17	4,7 pF	SMD 0805
Inductancia	L3	470 nH	SMD 1210
	L4	390 nH	SMD 1210
	L5	390 nH	SMD 1210
Conector	BNC (2)	-	Montaje en platina
	X2	-	D - 4
	X1	-	DB-25 M
Circuito Integrado	IC1	AD9851BRS	28 - SSOP
	IC2	74VHCT574	20 - SMD
	IC3	74VHCT574	20 - SMD
	OSC	IQXO-350C	14 - DIP

Tabla 3.5 Lista de elementos del circuito generador

3.4 LA ETAPA DE MEZCLA (MODULACIÓN)

En esta etapa es donde se realiza propiamente la modulación y la demodulación en cuadratura de las señales mediante la ayuda del circuito integrado RF2703 de la Firma RF-Micro Devices. Como fuente de referencia de frecuencia intermedia (IF) este chip utiliza la frecuencia programable obtenida en etapa anterior de generación con el AD9851.

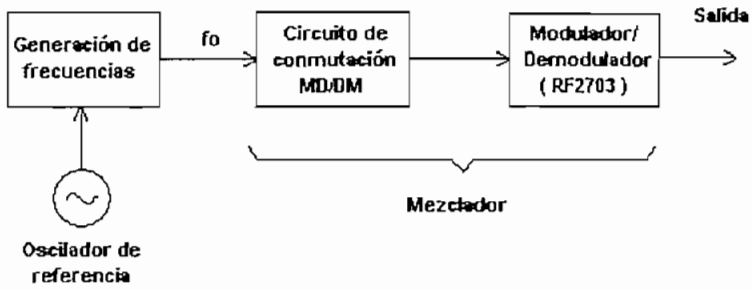


fig.3.17 Etapa de mezcla y modulación

La etapa de mezcla y modulación, tal como se puede apreciar en la *fig.3.17*, se compone de dos conjuntos de circuitos:

- los que permiten conmutar entre la configuración de modulador a la de demodulador y viceversa; y
- el circuito modulador/demodulador propiamente dicho (RF2703)

Para facilitar la comprensión se empezará detallando el funcionamiento de la segunda etapa de mezcla, para luego complementar con la descripción de la circuitería de conmutación.

3.4.1 MODULADOR (RF2703)[3]

La modulación y/o demodulación en cuadratura se realiza a través del circuito integrado RF2703. Este integrado contiene internamente todos los elementos requeridos para implementar las funciones de modulación y demodulación. Tiene un divisor digital de 90° de fase, dos dobles mezcladores balanceados (doble balanced mixers) y amplificadores en bandabase. Para la modulación en cuadratura, los mezcladores dobles balanceados cumplen un papel protagónico e indispensable. Este circuito viene empaquetado en un encapsulado de tecnología superficial SMD de 14 pines, tipo SOP-14.

La gran ventaja que tiene este nuevo diseño de chip es la facilidad de implementación en la circuitería, prácticamente tiene todos los componentes necesarios ya integrados. Basta con variar un par de elementos que se utilizan como hardware adicional externo para obtener una configuración diferente de funcionamiento: o como modulador o como demodulador de señales en cuadratura.

Si se desea operar al RF2703 como modulador, la configuración de elementos externos que debe usarse es la que se encuentra en la *fig. 3.18.*

Application Schematic
Modulator Configuration

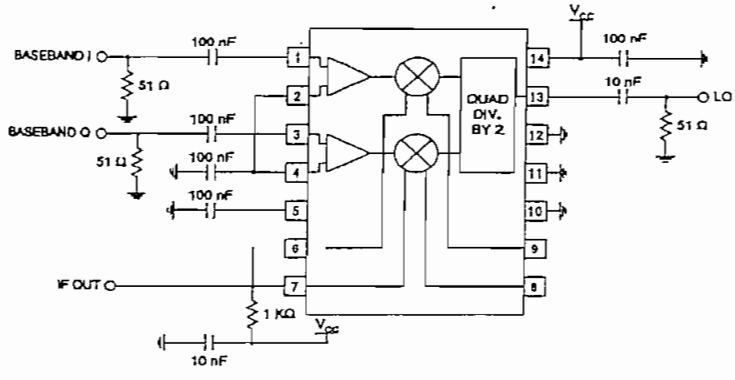


fig.3.18 RF2703 como modulador

[3] Fuente: Hojas de especificaciones del producto.

Las señales de entrada I y Q (componentes en fase y cuadratura) son amplificadas previamente antes de ser conducidas al proceso de mezcla en los respectivos mixers. Es por esta razón que el RF2703 maneja pequeños rangos de amplitud en las señales de entrada para evitar saturación.

Gracias a las resistencias de entrada de 51 Ω que se colocan en los accesos de los pines 1 y 3, las entradas I&Q presentan un valor estándar de impedancia de entrada de 50 Ω. La mayoría de capacitancias que se pueden ver en el circuito, se encargan de filtrar componentes dc de las señales o filtrar ruidos introducidos en las fuentes de alimentación.

En la *fig.3.19* en cambio se puede apreciar la configuración y los elementos adicionales que el RF2703 necesita para que pueda operar como demodulador.

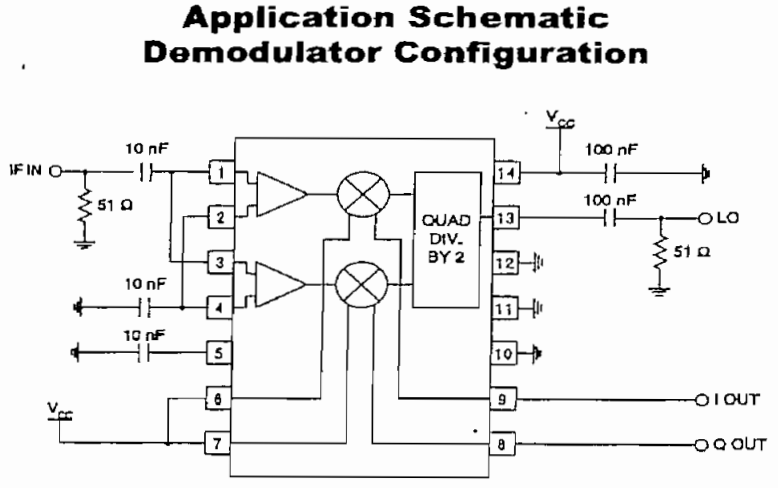


fig.3.19 RF2703 como demodulador

Si se comparan estos 2 diagramas se puede notar que la diferencia del hardware y las conexiones que deben realizarse es prácticamente mínimo. Por esta razón precisamente es que se escogió este elemento para ser utilizado en este equipo de pruebas.

3.4.2 CIRCUITO DE CONMUTACIÓN

Para realizar el intercambio entre las dos formas de trabajo en el RF2703, el circuito de pruebas emplea un sistema de conmutación basado en interruptores analógicos, interconectados de tal forma que mediante la utilización de un hardware común y una señal de control (MD/DM) activada por software, se puede conseguir que opere como modulador o demodulador.

Si se analiza detenidamente la *fig.3.20* se puede notar que tanto la configuración de modulador como la de demodulador están fusionadas dentro del montaje de un mismo circuito.

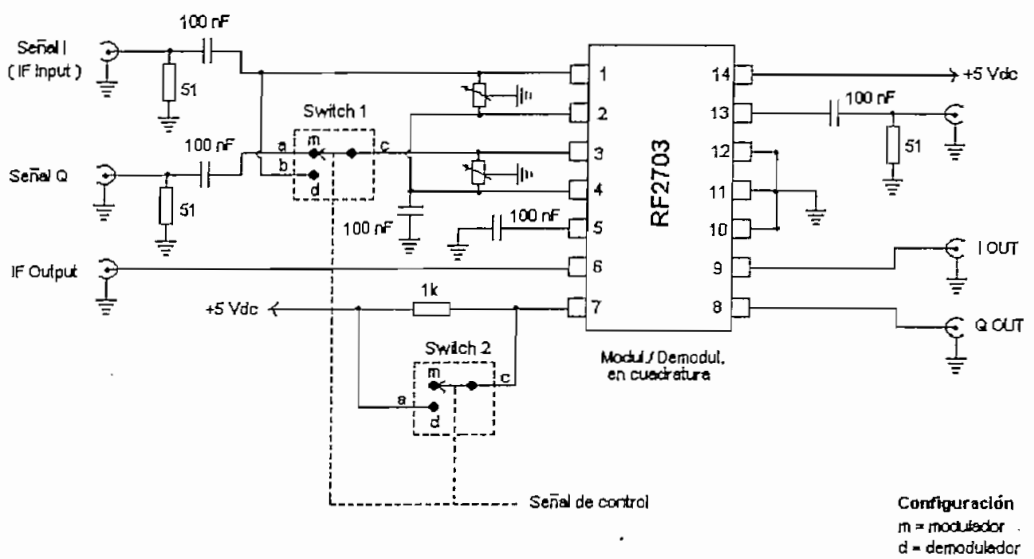


fig.3.20 Circuito de control de conmutación entre modulador y demodulador

Cuando el sistema de interruptores se conecta en la posición *m* se obtiene que el RF2703 funcione como modulador; y cuando estas se conectan en la posición *d*, se consigue que el circuito opere como demodulador. Los interruptores están conectados de tal forma que por defecto habilitan la configuración de modulación.

En la práctica, este arreglo de conmutación está hecho a base de interruptores analógicos, para el caso se usa el CI de montaje superficial

DG413. Para construir un interruptor de control se necesita un par de interruptores analógicos de lógica inversa (uno normalmente abierto y otro normalmente cerrado). Ver los diagramas de las *fig. 3.21* y *fig.3.22*.

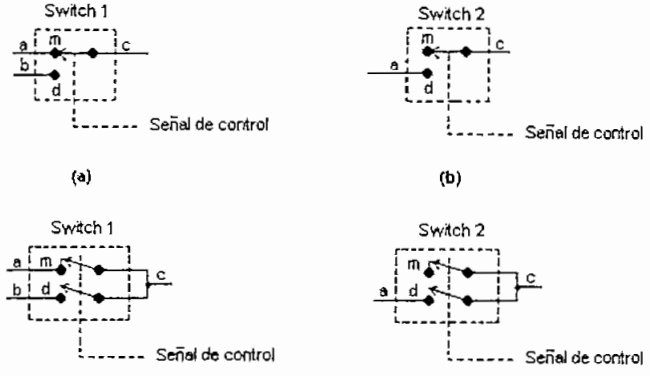


fig.3.21 Interruptores de conmutación
(a) Interruptor 1, (b) Interruptor 2

Para polarizar el DG413, se requieren 2 fuentes de alimentación: una positiva y una negativa. La fuente negativa se encarga de evitar los recortes de las señales que ingresen al CI cuando presentan valores negativos de voltajes, tal como ocurre con las señales de tipo alterno.

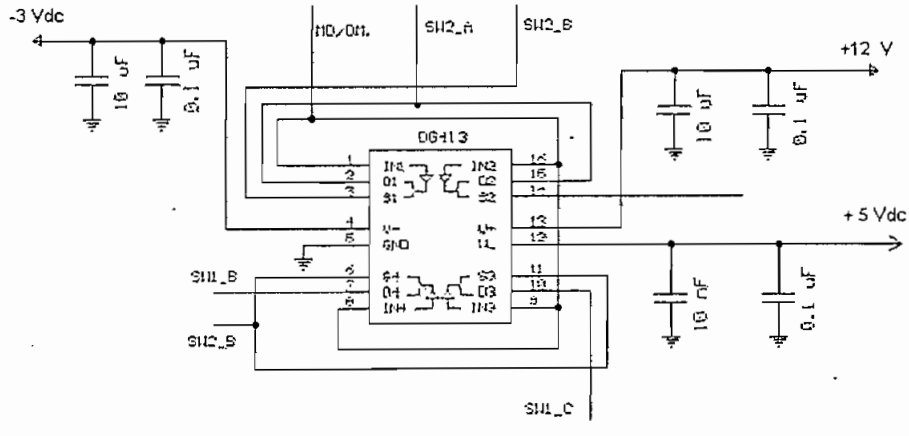


fig.3.22 Arreglo de conmutación usando el CI DG413

Los capacitores se los usan para filtrar el ruido en las fuentes de polarización.

Los potenciómetros que se encuentran localizados en las entradas de los mezcladores con balanceo doble, permiten controlar la supresión del nivel de portadora que se obtiene en la señal de salida. Para que la corriente fluya a través de estos potenciómetros, deben ser colocados entre las entradas balanceadas y tierra. *fig.3.23.*

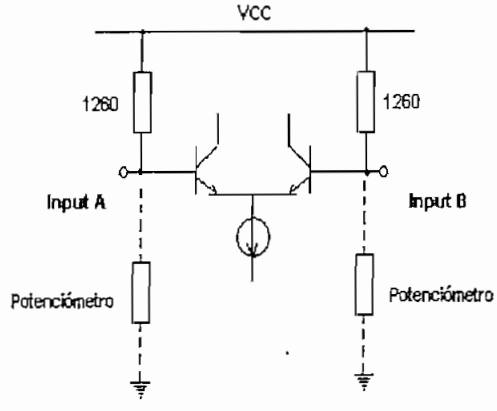


fig.3.23 Esquema sintetizado de las entradas balanceadas del RF2703

El valor de estos potenciómetros no debe ser mayor que unos pocos kΩ, para permitir que los transistores, encargados de la mezcla dentro del RF2703, sean polarizados dentro de la zona normal de trabajo y la corriente que fluya a la base de los transistores sea suficiente para que el chip opere en condiciones óptimas.

La unidad de modulación ensamblada con todas sus partes, se presenta en la *fig.3.24.*

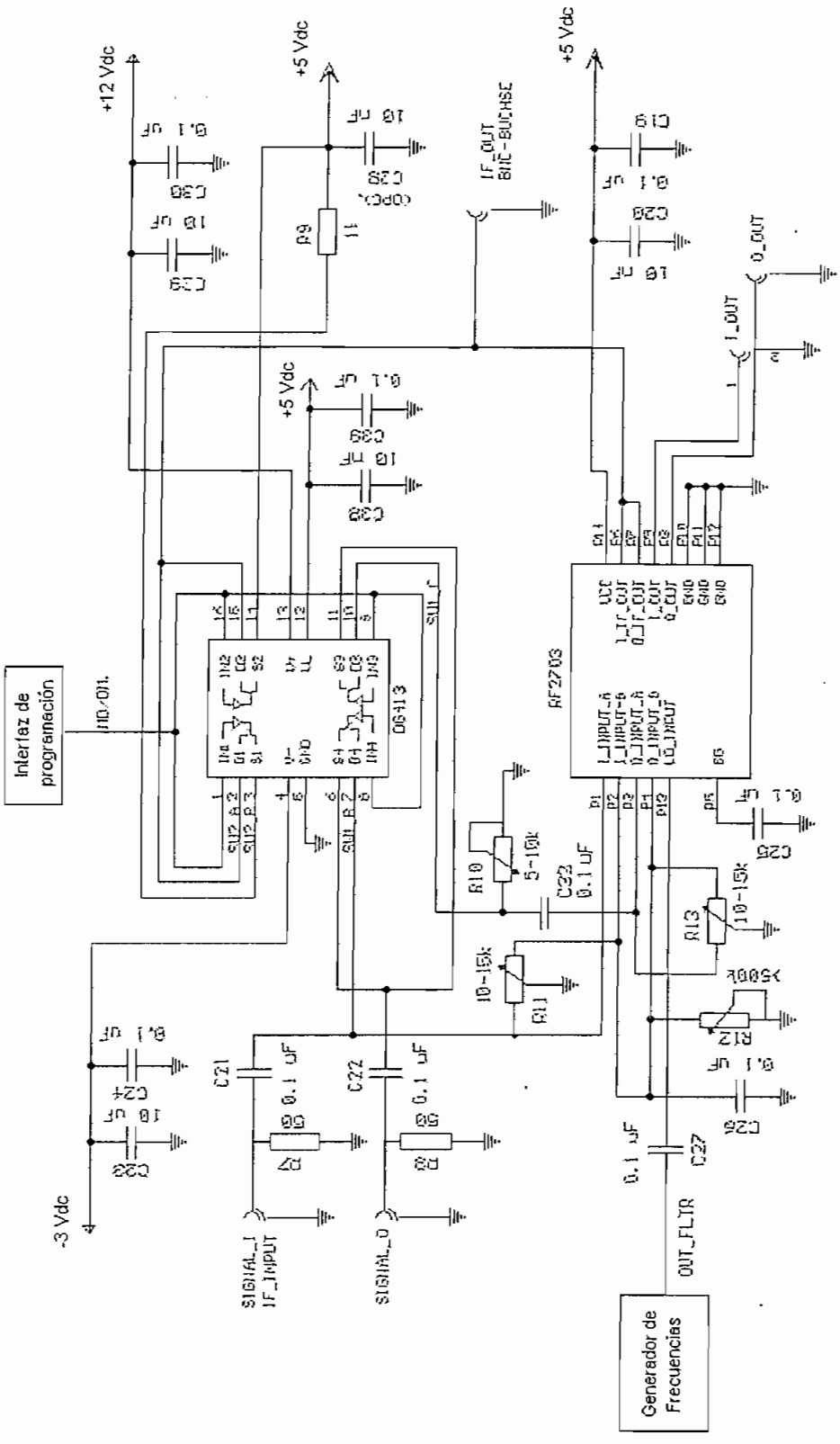


fig.3.24 Etapa de modulación en cuadratura

3.4.3 LISTA DE ELEMENTOS

Los elementos que se necesitan para la para la elaboración de la etapa de modulación son los siguientes:

Elemento	Denominación	Valor	Empaquetado
Resistencia	R7	50 Ω	SMD 1206
	R8	50 Ω	SMD 1206
	R9	1 kΩ	SMD 1206
Potenciómetro	R10	10 kΩ	SMD
	R11	10 kΩ	SMD
	R12	10 kΩ	SMD
	R13	10 kΩ	SMD
Condensador	C19	0,1 μF	SMD 1206
	C20	10 nF	SMD 1206
	C21	0,1 μF	SMD 1206
	C22	0,1 μF	SMD 1206
	C23	10 μF	SMD 1206
	C24	0,1 μF	SMD 1206
	C25	0,1 μF	SMD 1206
	C26	0,1 μF	SMD 1206
	C27	0,1 μF	SMD 1206
	C28	10 nF	SMD 1206
	C29	10 μF	Ta normal
	C30	0,1 μF	SMD 1206
	C38	10 nF	SMD 1206
Conectores	BNC (5)	-	Montaje en platina
Circuito Integrado	IC4	DG413	16 – SDM
	IC5	RF2703	14 - SMD

Tabla 3.6 Lista de elementos de la etapa de modulación

3.5 FUENTES

Para la alimentación del circuito se requiere un conjunto de 3 fuentes de voltaje: de +5 Vdc para la polarización de la circuitería e integrados en general; una de +12 Vdc para polarizar el amplificador lineal y el DG413 y una fuente adicional de –3 Vdc que también usa el DG413 cuando se requiere que los interruptores analógicos conduzcan señales alternas de voltaje.

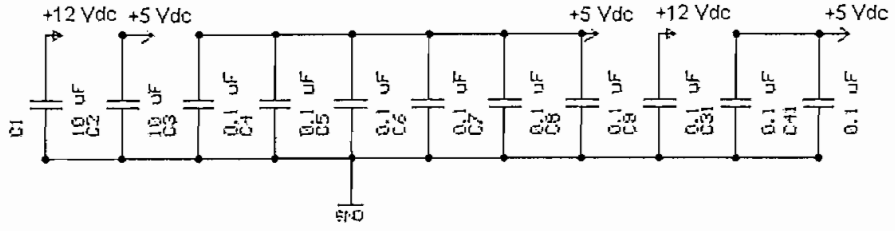


fig.3.25 Fuentes de polarización

Para evitar que el ruido producido por voltajes alternos se introduzcan por medio de las fuentes de alimentación, se utiliza un conjunto de capacitores de distintos valores, para el filtraje de la señal. *fig.3.25.*

3.5.1 LISTA DE ELEMENTOS

Los elementos que se necesitan para el filtraje de las fuentes son:

Elemento	Denominación	Valor	Empaquetado
Condensador	C1	10 μF	Ta normal
	C2	10 μF	Ta normal
	C3	0,1 μF	SMD 1206
	C4	0,1 μF	SMD 1206
	C5	0,1 μF	SMD 1206
	C6	0,1 μF	SMD 1206
	C7	0,1 μF	SMD 1206
	C8	0,1 μF	SMD 1206
	C9	0,1 μF	SMD 1206
	C10	4,7 μF	SMD 1206
	C11	4,7 μF	SMD 1206
	C31	0,1 μF	SMD 1206
	C41	0,1 μF	SMD 1206
Inductancia	L1	10 μH	SMD 1210
Conector	X4	-	D - 4

Tabla 3.7 Lista de elementos que necesitan las fuentes de polarización

3.6 RUTEO DE LA PLACA

Para realizar el ruteo de la platina se utilizó el programa EAGLE.

Es de suma importancia el determinar por donde deben correr las diferentes pistas, pues en alta frecuencia las capacitancias parásitas influyen de forma considerable. Estos efectos deben ser corregidos precisamente después de realizar mediciones experimentales, por esta

razón es necesario elaborar una platina de prueba, en la cual se pueda evaluar el comportamiento y funcionamiento del circuito mismo. De igual manera no se puede usar un tablero de pruebas (o protoboard) pues los cables que se utilizarían en este proceso tienen un tamaño considerable y se crean inductancias y capacitancias parásitas.

Para contrarestar estos efectos indeseados se recomienda:

- Que las pistas, tanto de la placa superior como de la inferior, se encuentren distribuidas perpendicularmente entre sí. Se evita así la formación de capacitancias entre dos pistas paralelas.

- Colocar los capacitores de filtrado lo más próximo posible a los pines de alimentación, así se logra obtener una señal dc con mucho menor ruido.

- Colocar los elementos que complementan el funcionamiento de los chips que trabajan en alta frecuencia (AD9851, R72703) lo más cerca que sea posible.

- Hacer las pistas que conducen los voltajes de alimentación lo más anchas posibles, para que la corriente que fluya por estas ramas circule sin ningún problema y con total libertad, además de disminuir las inductancias parásitas.

Las platinas obtenidas en este proceso pueden ser apreciadas si se revisa el anexo correspondiente.

CAPÍTULO 4

4. ANÁLISIS DE RESULTADOS

4.1 AMPLIFICADOR LINEAL 92

4.1.1 Procedimiento de Prueba 92

4.1.2 Curvas de Respuesta de Ganancia 93

4.1.2.1 Carga Nominal de 50 Ω en el Amplificador 93

4.1.2.2 Circuito Demodulador como carga en el Amplificador 96

4.1.3 Características del Amplificador 99

4.2 GENERACION DE FRECUENCIAS 100

4.3 MODULACION Y DEMODULACION 105

4.3.1 Modulación en Cuadratura 105

4.3.2 Demodulación en Cuadratura 113

4.3.3 Características del Equipo Modulador / Demodulador 114

4.3.3.1 Generales 114

4.3.3.2 Modulador 114

4.3.3.3 Demodulador 115

La respuesta de frecuencia del amplificador, se puede medir utilizando un equipo generador de barrido de señales de amplitud constante como la entrada del circuito y posteriormente comparándola con la señal que se obtiene una vez amplificada, utilizando un equipo analizador de espectros (y/o un osciloscopio) *fig.4.1*

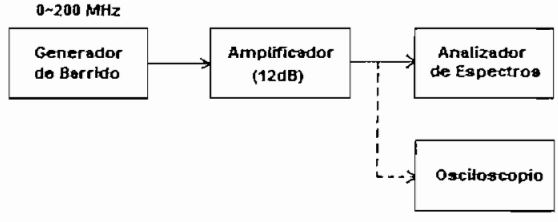


fig.4.1 Mediciones en el preamplificador

Con el equipo de barrido de frecuencias se produce un tono de señal de amplitud muy pequeña (10 a 50 mV) y con una frecuencia entre 0 y 200 MHz.

En las consideraciones iniciales se prevee obtener un amplificador con una ganancia de aproximadamente 12 dB.

4.1.2 CURVAS DE RESPUESTA DE GANANCIA

4.1.2.1 Carga nominal de 50 Ω en el amplificador

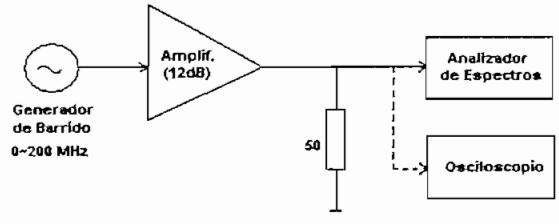


fig.4.2. Circuito amplificador con carga deprueba de 50 Ω

El la *fig.4.3*, se puede apreciar graficada un tono se señal amplificado. El nivel de referencia se encuentra ubicado en -7.1 dBm. Esta línea describe el pico máximo dejado por el tono original de frecuencia. Este nivel se lo considerará siempre como el nivel de referencia de trabajo. El circuito amplifica 11 dB a un tono de señal de aproximadamente 30 MHz de frecuencia.

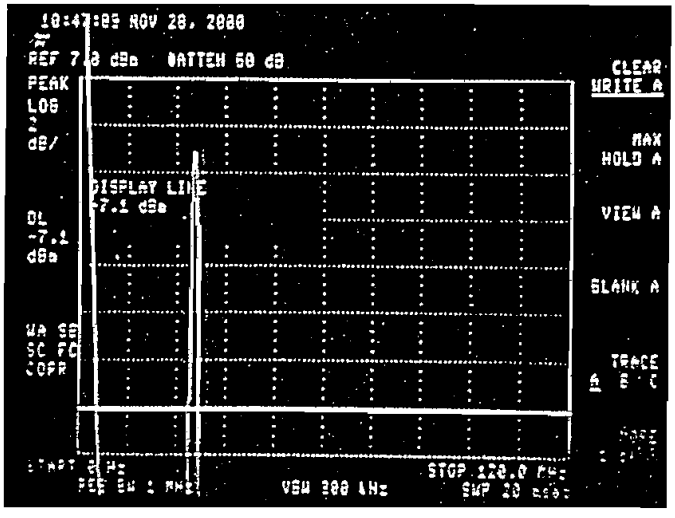


fig.4.3 Tono de señal

En la *fig.4.4* en cambio, se puede observar la salida del amplificador una vez realizado el barrido de la señal de entrada. La amplificación se mantiene lineal y constante prácticamente hasta 120 MHz. A partir de este valor de frecuencia, la ganancia del amplificador se decrementa con una tendencia lineal hasta que el nivel de amplificación decae a cero a una frecuencia de 250 MHz.

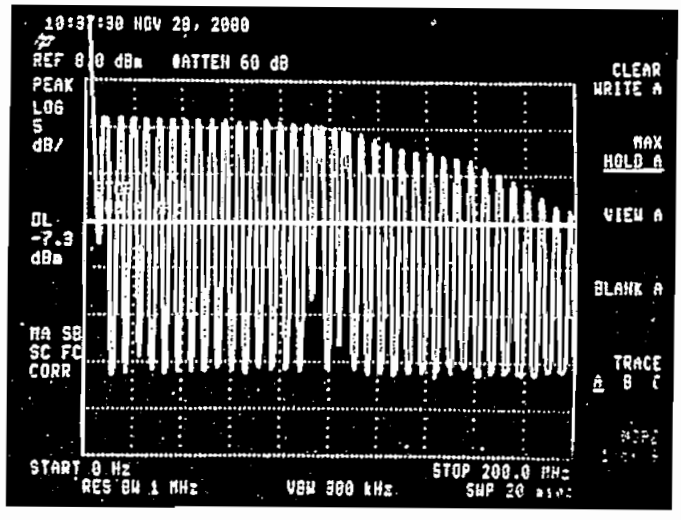


fig.4.4 Barrido del tono sinusoidal de entrada

Para notar con mayor precisión los detalles antes expuestos se puede aumentar el paso de barrido del equipo, y la forma de respuesta del amplificador estará descrita por la curva que se observa en la *fig.4.5*

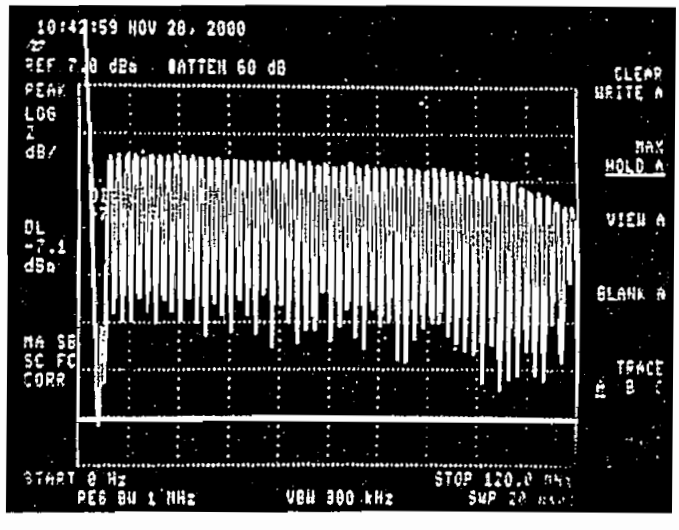


fig.4.5 Barrido del tono de entrada con un periodo de tiempo menor que el anterior

La de frecuencia de corte que el amplificador posee, esta determinada por el nivel donde la potencia reduce su valor a la mitad del valor inicial, es decir donde la potencia se decrementa en 3 dB. Esta frecuencia está ubicada aproximadamente a los 130 MHz. Y pese a que el amplificador posee una ligera degradación de ganacia en las frecuencias superiores a

los 100 MHz, prácticamente se puede considerar que responde de forma lineal y constante, dentro de este intervalo. La ganancia del amplificador es de 11 dB en promedio *fig.4.6*

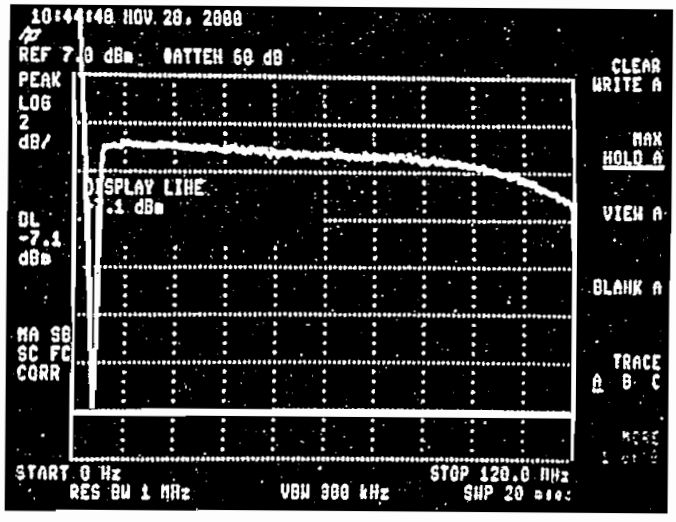


fig.4.6 Respuesta en frecuencia del amplificador

4.1.2.2 Circuito demodulador como carga en el amplificador

En la segunda prueba experimental, ya no se usa una carga real de 50 Ω como la carga de prueba, sino se utiliza el circuito demodulador como carga del amplificador, para verificar si el nivel de acoplamiento entre estas etapas varía de alguna manera la respuesta de frecuencia que el amplificador tiene.

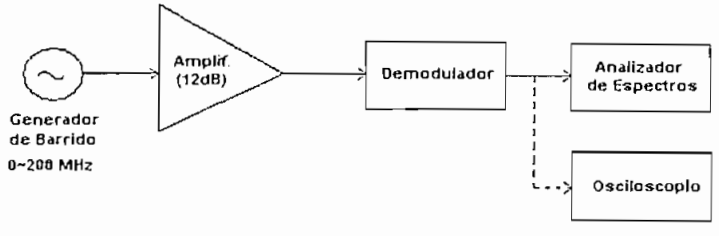


fig.4.7. Circuito amplificador con el circuito demodulador como carga de prueba

En la *fig.4.8* se observa la nueva respuesta en frecuencia que tiene el amplificador. La ganancia que el circuito posee para los niveles de frecuencia superiores a 100 MHz se vio afectada considerablemente, debido a que no se logró adaptar convenientemente ambos dispositivos. Pero pese a ello, para frecuencias inferiores a 100 MHz, la curva se mantiene casi inalterable con una ganancia constante.

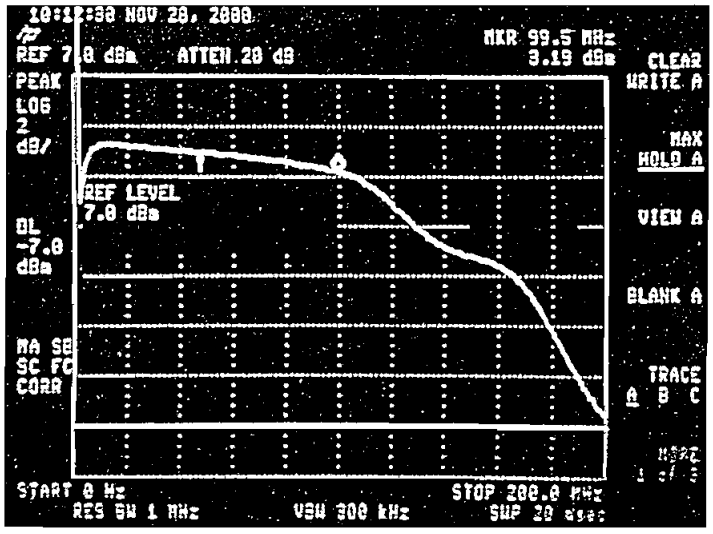


fig.4.8 Respuesta del amplifficador acoplado con el demodulador

La señal de excitación que se utiliza para todos los casos es un tono sinusoidal de amplitud constante y frecuencia variable entre 0 y 200 MHz *fig.4.9*

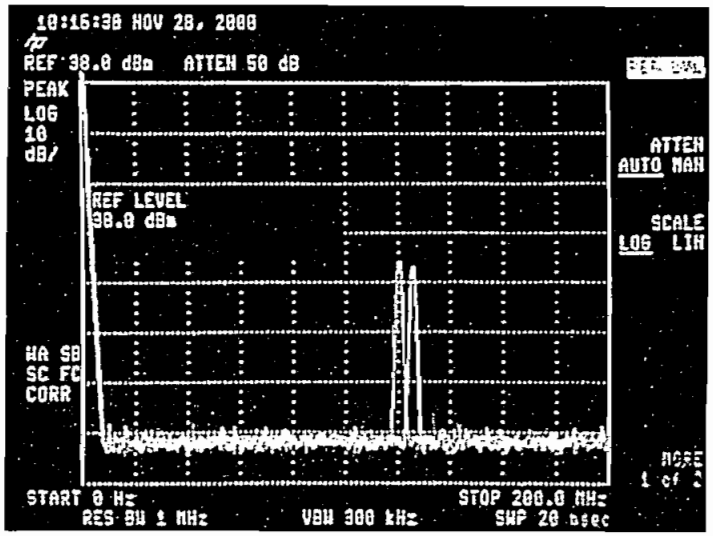


fig.4.9 Señal de ecxitación

Para analizar la ganancia del amplificador y la respuesta de linealidad se prefiere adoptar como métodología básica el análisis en el dominio de la frecuencia con el uso del Analizador de Espectros por las facilidades que la naturaleza misma de la modulación brinda. Pero pese a ello, la verificación de los resultados en el dominio del tiempo (Osciloscopio) no es descartada.

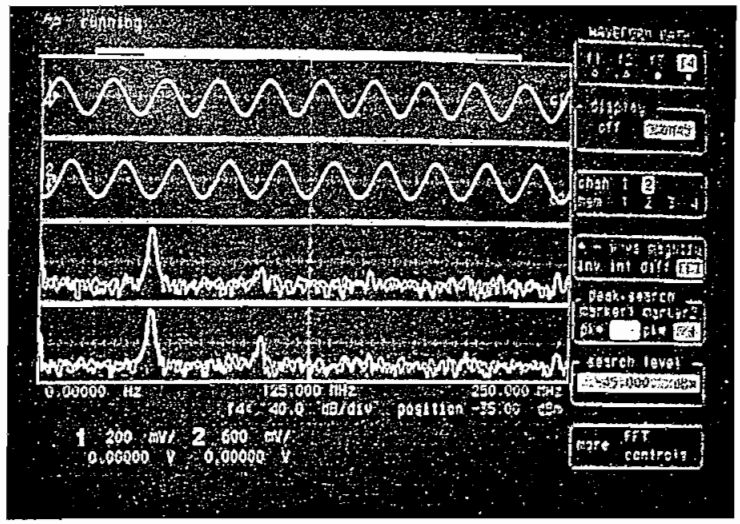


fig.4.10 Excitación y respuesta en el dominio del tiempo

El la *fig.4.10* se puede apreciar la señal de excitación del circuito, antes y

después del proceso de amplificación.

4.1.3 CARACTERÍSTICAS DEL AMPLIFICADOR[1]

El preamplificador tiene las siguientes características:

Impedancia de entrada	~50 Ω
Impedancia de salida	~50 Ω
Ganancia de potencia	11 dB
Rango de operación	2 MHz ~ 100 MHz
Corriente I_{CE} máxima	0.1 Amperios
Voltaje máximo de polarización	25 Voltios
Factor de Ruido F	1,3 dB
Fuente de ruido natural	-174 dBm/Hz

[1] Fuente: Martin, M „Empfängereingangsteil mit großem Dynamikbereich und sehr geringen Intermodulationsverzerrungen"

4.2 GENERACIÓN DE FRECUENCIAS

El circuito AD9851 permite generar tonos de frecuencia entre los 0 y los 72 MHz. (con cristal de referencia de 30 MHz). En la siguiente serie de figuras se puede apreciar el espectro de frecuencia de las sinusoides generadas en esta etapa.

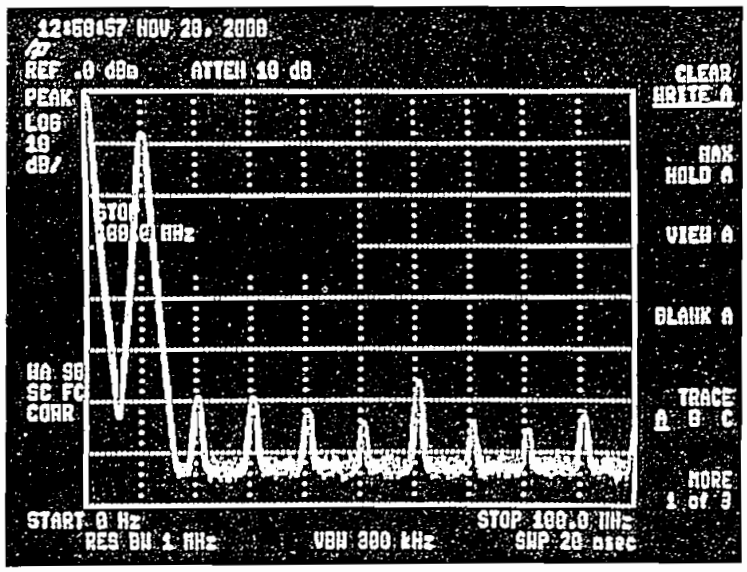


fig.4.11 Generación de una frecuencia de 10 MHz

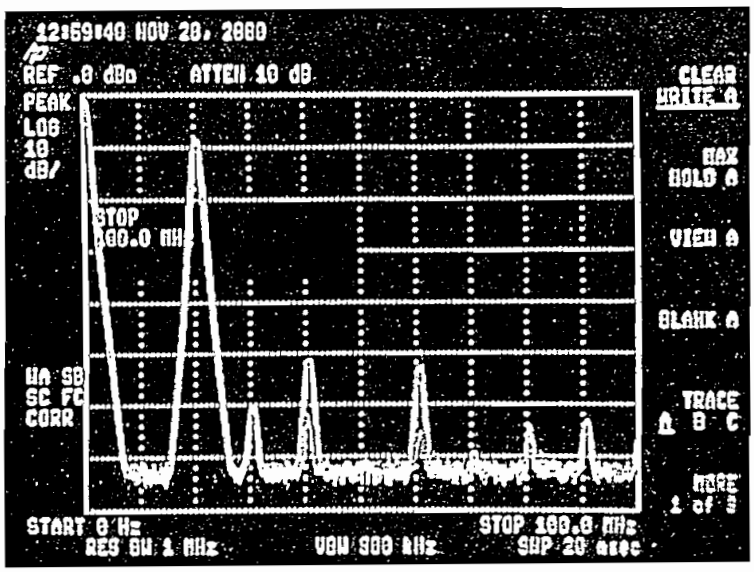


fig.4.12 Generación de una frecuencia de 20 MHz

Como se puede observar, a partir de los gráficos obtenidos, las frecuencias generadas menores a 70 MHz producen componentes de ruido casi despreciable (40 dB menores que el tono principal), razón por la cual se puede decir que las señales sinusoideles son señales casi puras. La amplitud del tono generado es de 1 Vpp aproximadamente.

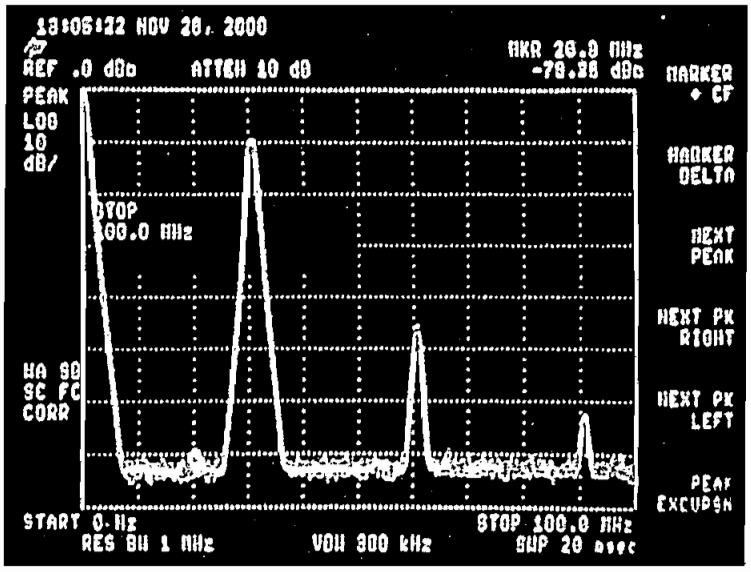


fig.4.13 Generación de una frecuencia de 30 MHz

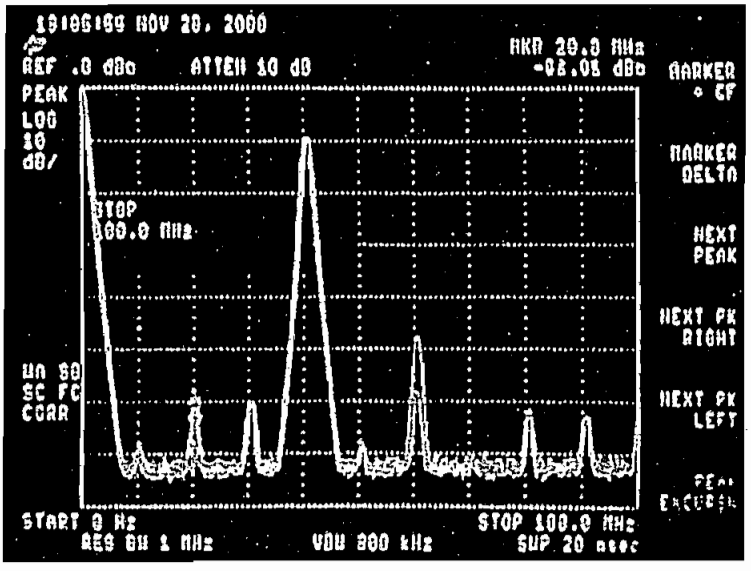


fig.4.14 Generación de una frecuencia de 40 MHz

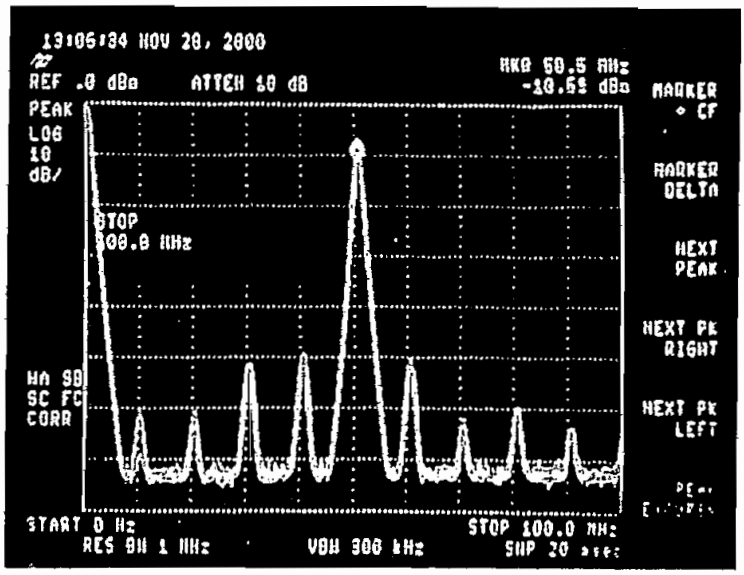


fig.4.15 Generación de una frecuencia de 50 MHz

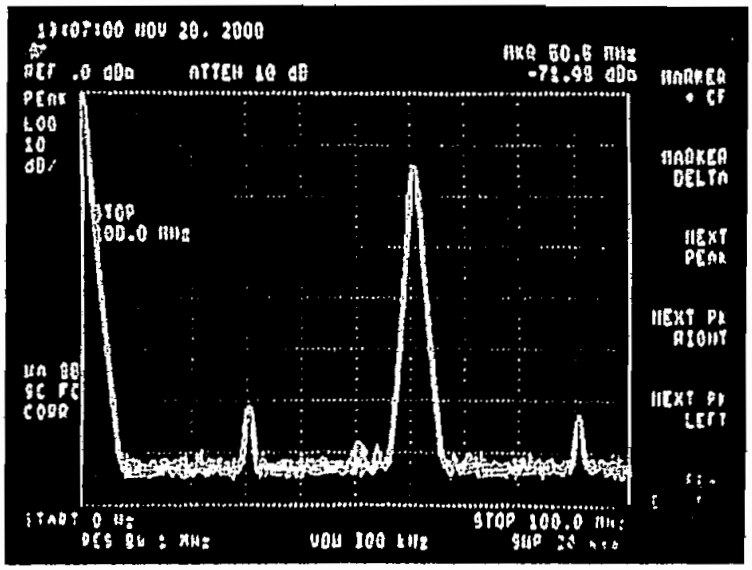


fig.4.16 Generación de una frecuencia de 60 MHz

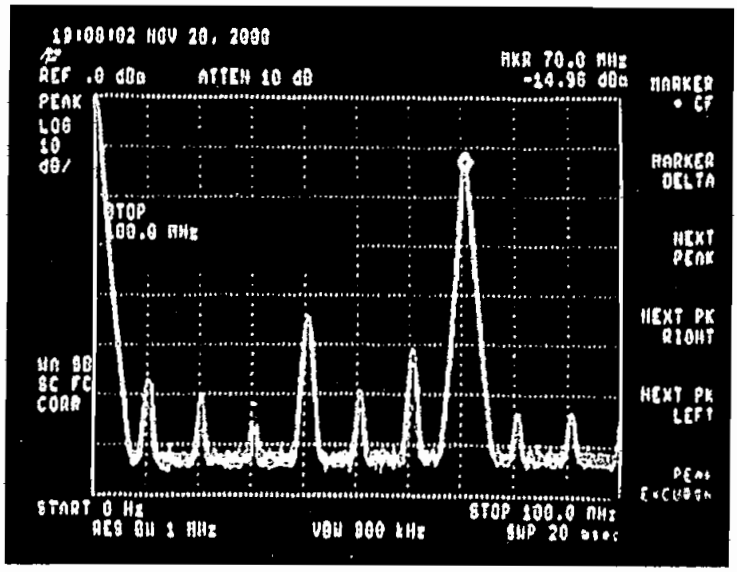


fig.4.17 Generación de una frecuencia de 70 MHz

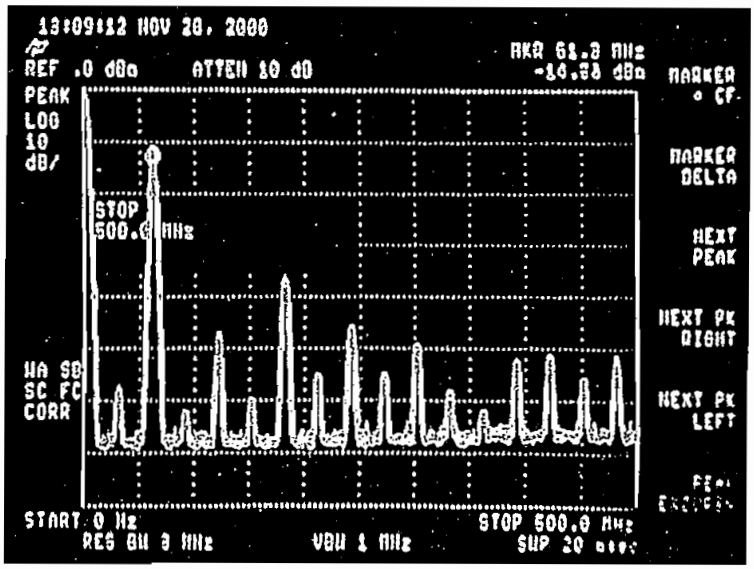


fig.4.18 Generación de una frecuencia mayor de 70 MHz

Si se cambia el valor del cristal de referencia dentro del rango aceptado por el chip, la generación de frecuencias no se ve afectada en lo más mínimo. Obsérvese las respuestas obtenidas para un cristal de 20 MHz. *fig.4.19* y *4.20*

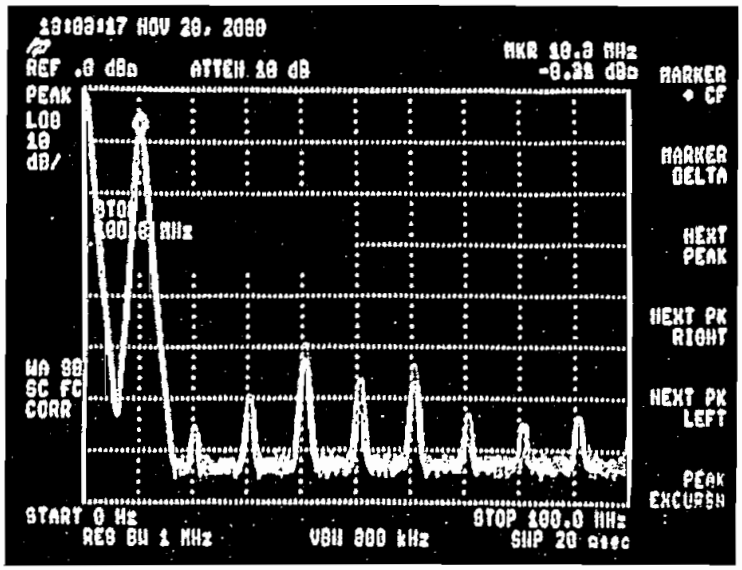


fig.4.19 Generación de una frecuencia mayor de 10 MHz (cristal 20 MHz)

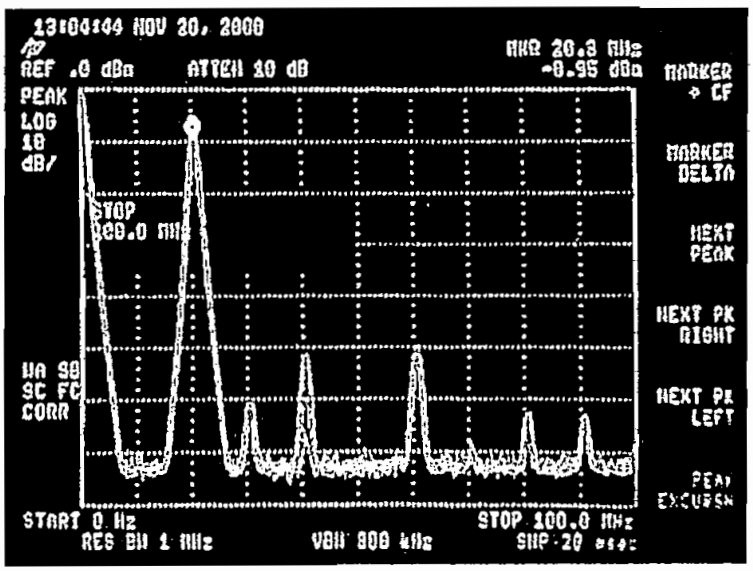


fig.4.20 Generación de una frecuencia mayor de 20 MHz (cristal 20 MHz)

4.3 MODULACIÓN Y DEMODULACIÓN

4.3.1 MODULACIÓN EN CUADRATURA

Una de las formas más sencillas de comprobar la funcionalidad del circuito es mediante la obtención de la modulación AM de banda lateral única. En esta modulación se consigue transmitir la portadora reducida y una sola banda de frecuencias laterales. La cancelación de la segunda banda lateral se obtiene mediante la adición de dos señales de fase contraria.

Si como entradas I & Q se introducen 2 señales con la misma amplitud y frecuencia, se debería esperar a la salida la obtención solo de una banda lateral única.

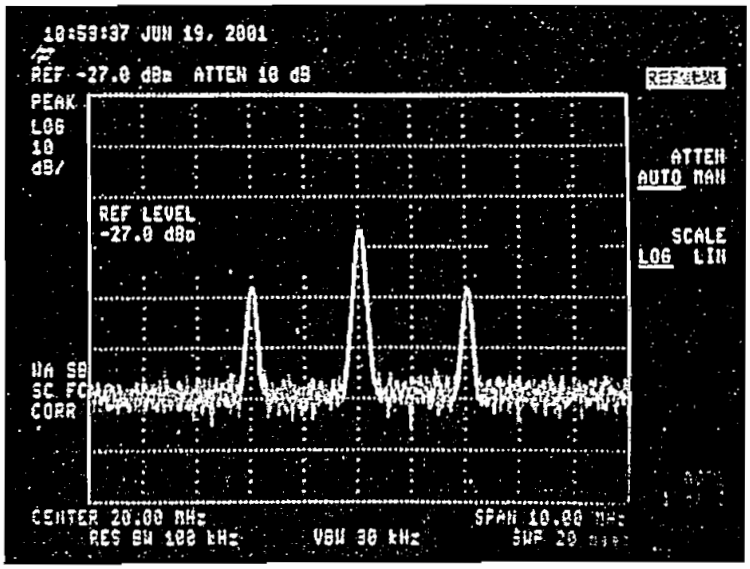


fig.4.21 Modulación AM (I=0° y Q=tierra)

La modulación de amplitud AM, en este equipo puede ser obtenida de manera muy sencilla. En uno de los canales I o Q se introduce la señal de información o modulante (mientras que el otro canal es aterrado). El espectro resultante se lo pude observar en la *fig.4.21*

La modificación del valor de la señal de la portadora, no debe producir ningún otro efecto más que el traslado en frecuencia del espectro hacia el nuevo valor señalado por la nueva portadora. En la *fig.4.22* se ha modificado el valor de la portadora a una frecuencia de 10 MHz.

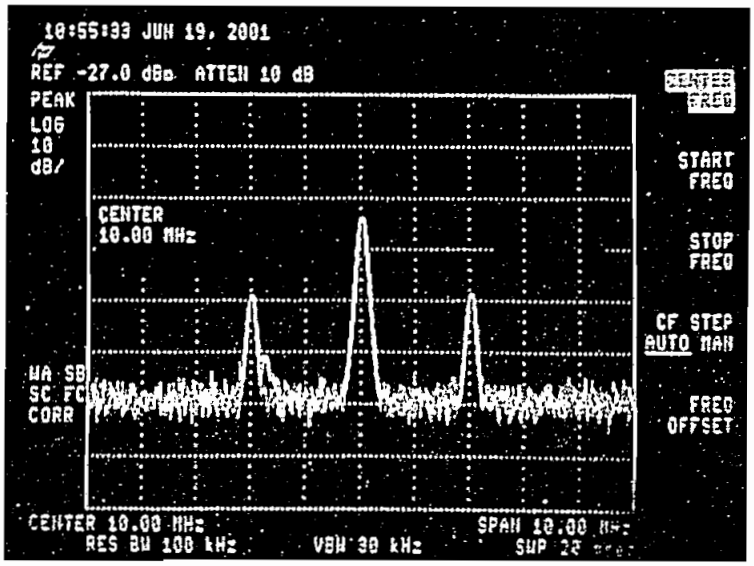


fig.4.22 Modulación AM, moduiante 2 MHz y portadora 10 MHz

En cambio, si ambos canales I & Q son habilitados y alimentados por señales de igual magnitud y desfasados en 90° se consigue obtener modulación AM de banda lateral única. En la *fig.4.23* se puede observar el espectro de frecuencia resultante cuando el canal I tiene un ángulo de fase de 0° y el canal Q tiene un ángulo de fase de 90°.

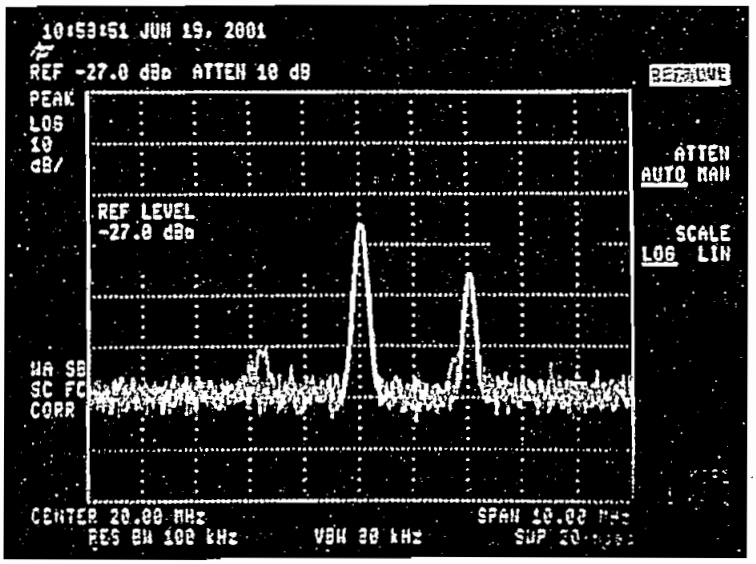


fig.4.23 Modulación AM de banda lateral única (I=0°, Q=90°)

De igual forma se tiene modulación AM de banda lateral única para el caso en el que la señal del canal I tenga un ángulo de fase de 90° y la señal del canal Q un ángulo de fase de 0°. En este ejemplo se utiliza como portadora una

frecuencia de 20 MHz para el primer caso, *fig.4.24* y una frecuencia de 10 MHz para el segundo caso.

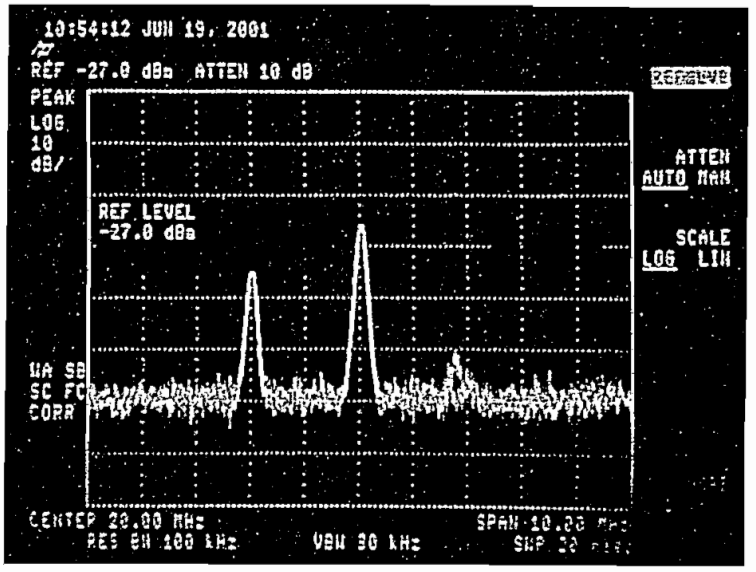


fig.4.24 Modulación AM de banda lateral única (I=90°, Q=0°)

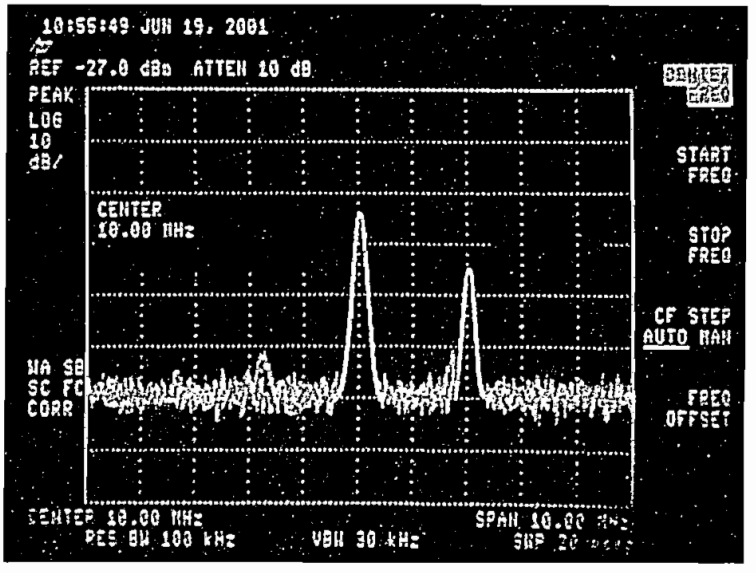


fig.4.25 Modulación AM con una portadora de 10 MHz y una modulante de 2 MHz

En este tercer caso, *fig.4.26*, se puede observar el espectro de una modulación AM de banda vestigial VSB-AM y aqui los canales I y Q son usados como 2 canales independientes y su defasamiento es distinto de 90° (por lo que la denominación de I y Q pierde sentido). La cantidad de potencia que posea la banda residual, depende de la diferencia de fase que tengan los

canales I y Q. En el caso de la figura, la diferencia de fase es de 45° entre los 2 canales.

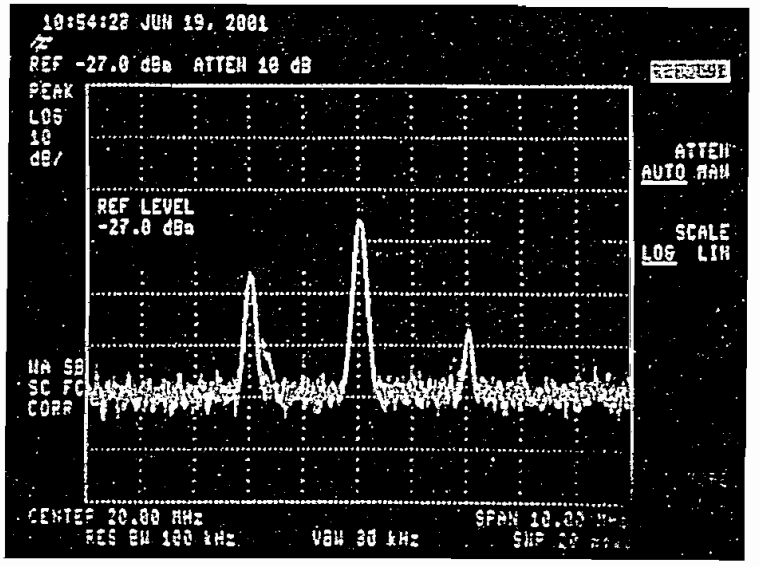


fig.4.26 Modulación AM de banda vestigial (I=0°, Q=45°)

También se puede obtener modulación en amplitud simultánea de dos señales. En este caso cada canal será utilizado de forma independiente. En la *fig.4.27* se puede ver el espectro de una modulación AM con dos señales modulantes, una de una frecuencia de 1 MHz y la otra de 2 MHz con una señal portadora de frecuencia iguala 10 MHz.

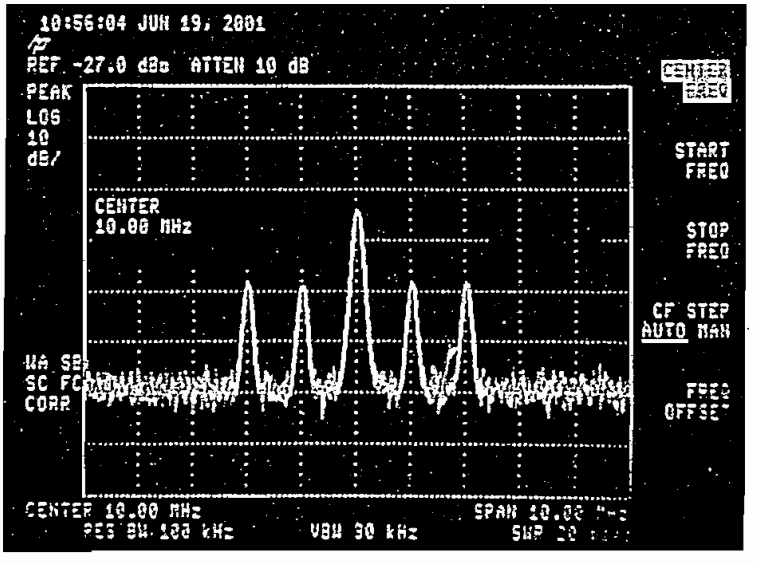


fig.4.27 Modulación AM con 2 modulantes

La cantidad de energía que la portadora transporta, puede ser regulada mediante el arreglo de potenciómetros que la tarjeta posee. De esta forma se puede obtener la familia de modulaciones de portadora suprimida o de disminución de portadora, *fig.4.28*

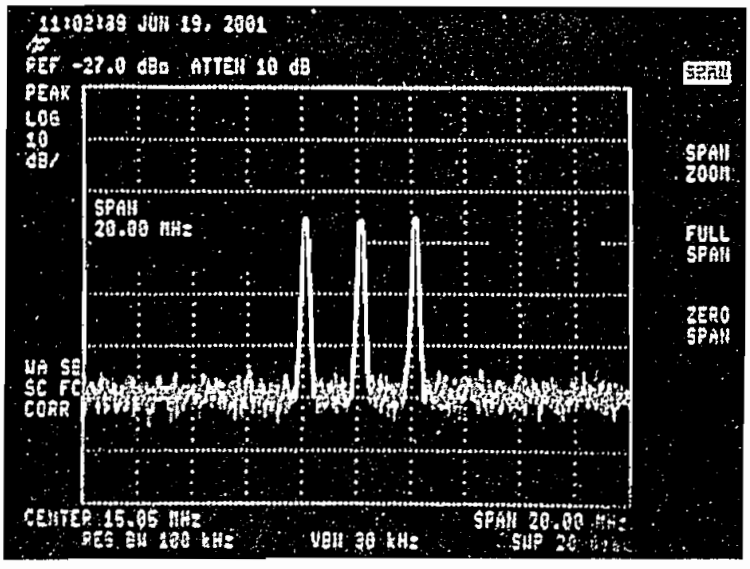


fig.4.28 Modulación AM con disminución de portadora

Si la diferencia de fases entre los canales I y Q es nula, no se reduce ninguna de las bandas laterales, sino más bien se incrementa el valor de ambas bandas, pues las componentes en fase se adicionan. *fig.4.29*

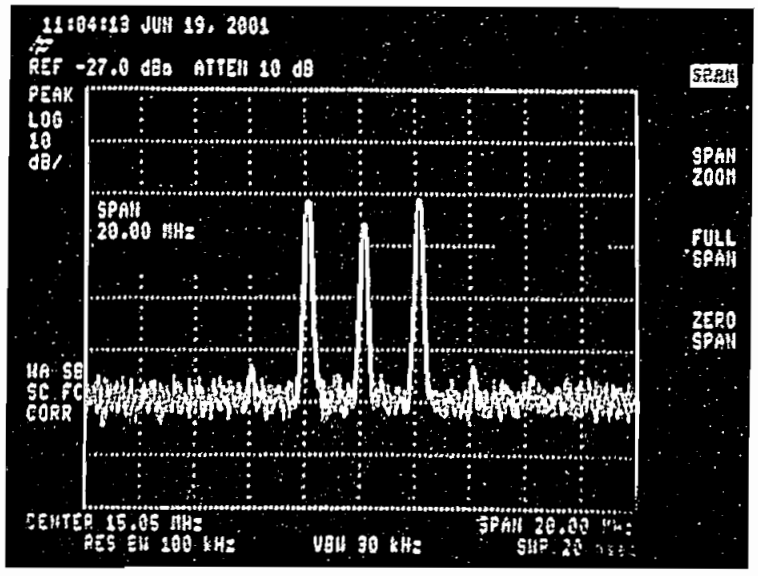


fig.4.29 Máxima supresión de portadora en modulación AM.

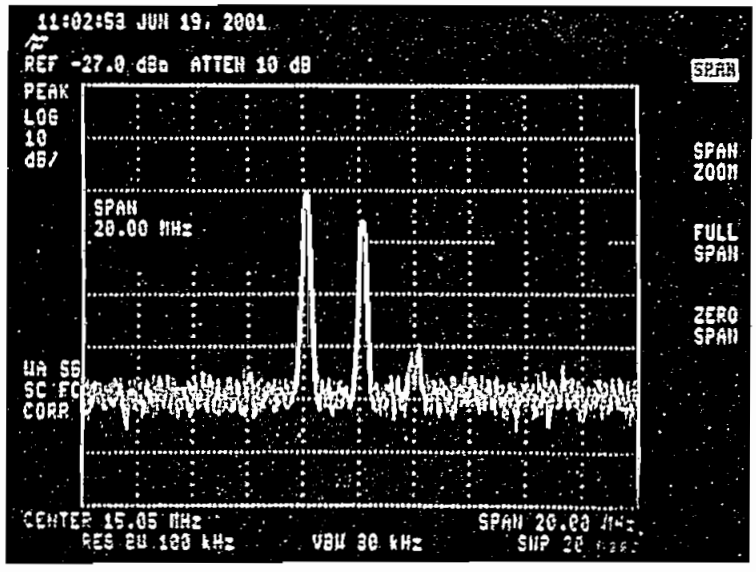


fig.4.30 Modulación AM de banda lateral única con recorte de portadora

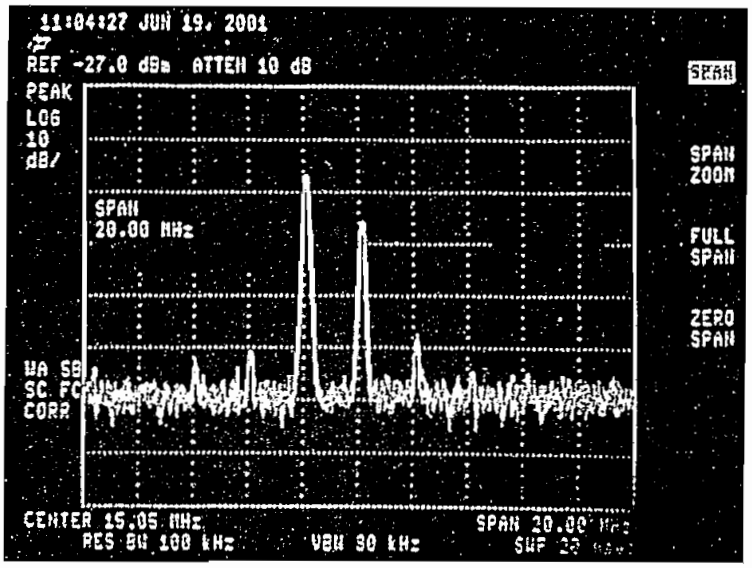


fig.4.31 Modulación AM de banda vestigial con recorte de portadora

El nivel de la señal en las bandas laterales se incrementa casi en 6 dB el momento en que estas señales estan en fase. *fig 4.32* y *4.33*

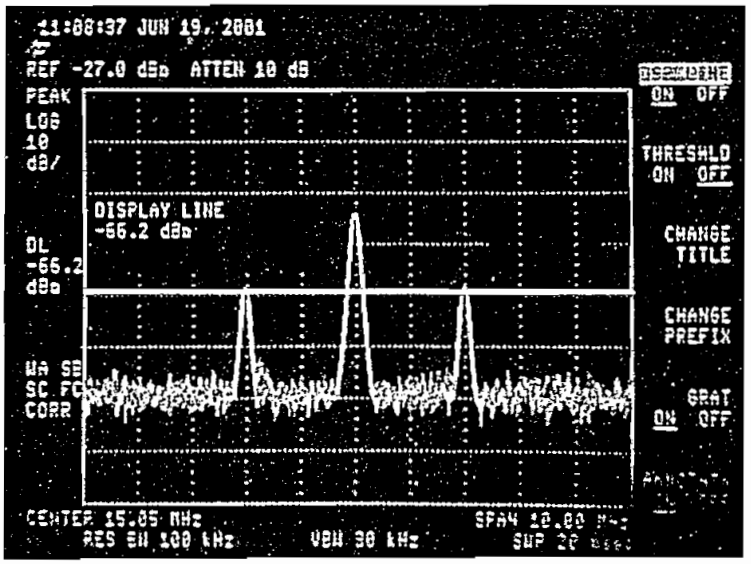


fig.4.32 Nivel de señal original en la banda lateral

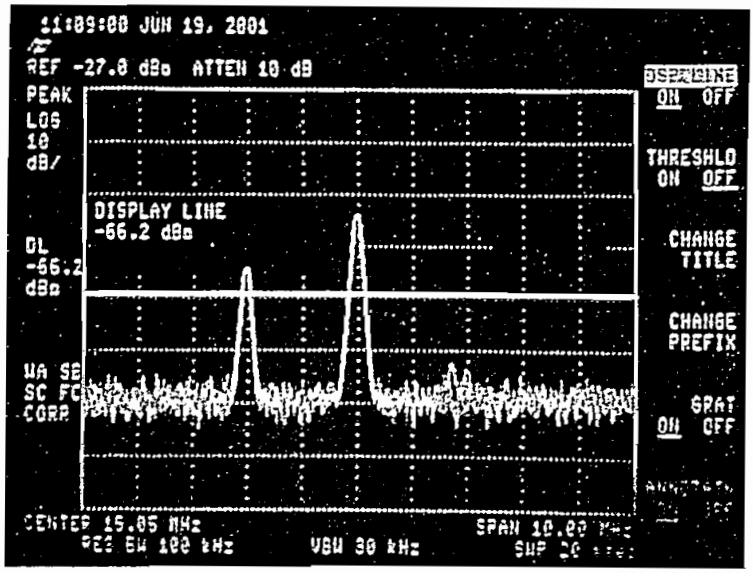


fig.4.33 Adición de señales en la banda lateral

Las características del RF2703 no permiten eliminar del todo los armónicos que se originan en la mezcla de las señales. Los componentes armónicos de primer y tercer orden son de amplitud considerable, frente a los demás componentes que puden ser despreciados por su pequeño valor. *fig.4.34*

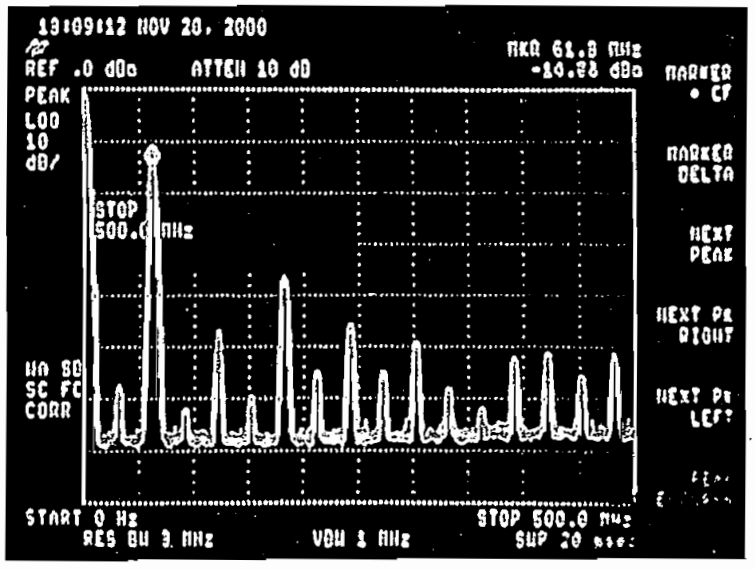


fig.4.34 Armónicos producidos en la mezcla de señales

4.3.2 DEMODULACIÓN EN CUADRATURA

El proceso de demodulación se cumple de forma analóga e inversa. En este caso la tarjeta recibe una señal de IF que deberá ser descompuesta en sus componentes de señales en fase y cuadratura.

En la *fig.4.35* se puede apreciar una señal modulada AM, si esta señal es sometida al proceso de demodulación en los canales de salida en fase y cuadratura se podrá obtener las señales modulantes que orignaron esta señal.

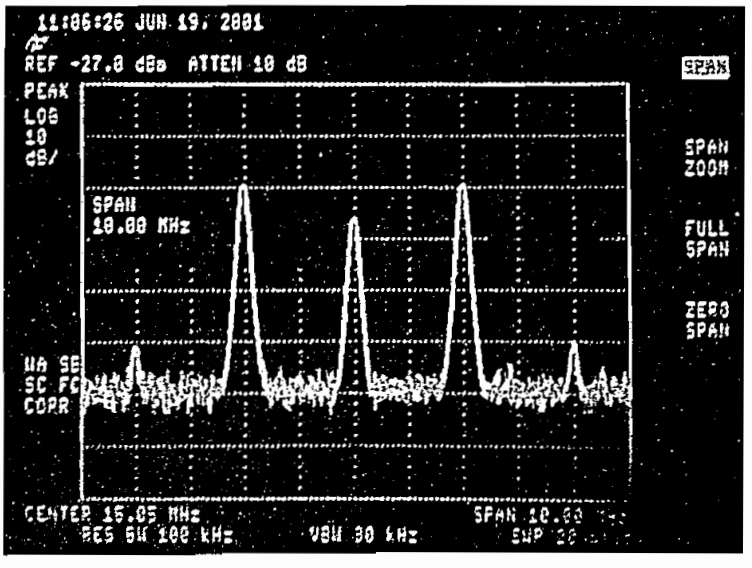


fig.4.35 Señal modulada en AM en IF

En el gráfico de la *fig.4.36* se puede apreciar la señal de salida producida en el canal I en fase. Se reproduce en este canal un tono de frecuencia de 2 MHz.

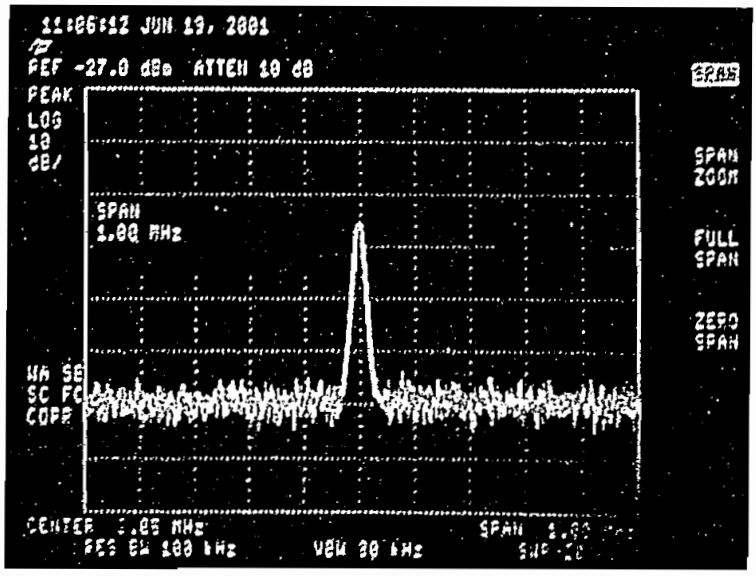


fig.4.36 Señal demodulada del canal en fase I

De forma análoga se recupera la señal en el canal Q, cuyo espectro de frecuencia es idéntico al anterior.

4.3.3 CARACTERÍSTICAS DEL EQUIPO MODULADOR / DEMODULADOR

4.3.3.1 Generales

Rango de generación de frecuencias (IF) (6X activado y 5 Vdc de polarización)	0~70 MHz
Rango de generación de frecuencias (RF)	0~35 MHz
Mámimo voltaje de polazización	5 Vdc
Mínimo voltaje de polarización	3.3 Vdc

4.3.3.2 Modulador

Amplitud de la señal máxima en los canales I y QI	100 mVpp
Voltaje máximo de salida	200 mVpp
Error de Cuadratura de fase	< 1°

Supresión de portadora	25 dB
Supresión de banda lateral	30 dB

4.3.3.3 Demodulador

Impedancia de salida	50 Ω II 1 pF
Voltaje de salida máximo	1.4 Vpp
Ganancia de voltaje	20 dB
Figura de Ruido (banda lateral única)	24 dB
Punto de Intercepción de 3r. orden	-28 dBm
Error de cuadratura de fase	< ± 1°
Voltaje dc a la salida	~800 mV

CAPÍTULO 5

5 CONCLUSIONES Y RECOMENDACIONES

5.1	Equipo	117
5.2	El Preamplificador	117
5.3	El Generador de Frecuencias	118
5.4	Circuitería de Conmutación	119
5.5	El Mezclador	119

CAPÍTULO 5

5. CONCLUSIONES Y RECOMENDACIONES

5.1 EQUIPO

- El equipo de modulación y demodulación se comportó de acuerdo a las previsiones realizadas tanto en lo referente a sus cracterísticas como a su funcionamiento.

- Los circuitos que componen este sistema pueden ser utlizados en forma conjunta o en forma independiente, pues estos trabajan a la perfección como parte del grupo o solos.

5.2 EL PREAMPLIFICADOR

- La linealidad del preamplificador se basa principalmente en la realimentación inductiva introducida en contrafase a la entrada del transistor que opera en base común, a través del transformador de alta frecuencia que forma parte del diseño propuesto.

- La ganancia en voltaje del preamplificador puede ser incrementada en 1 a 2,5 dB utilizando el potenciómetro de calibración que posee el preamplificador para su polarización.

- Las capacitancias, en general, que deben ser utilizadas en el circuito, deben ser preferentemente de Tantalio para no tener problemas con las características del circuito en el momento de llevar a cabo las pruebas prácticas. El primer prototipo del preamplificador, se lo desarrolló con capacitores cerámicos normales, y el comportamiento del circuito se vio alterado profundamente.

- El diseño del amplificador en general puede ser utilizado con otros

transistores en general, para frecuencias no muy elevadas y la linealidad se conserva de una manera aceptable.

- Los núcleos de ferrita, desempeñan un papel importante en este preamplificador, pues es a través del efecto de la realimentación inductiva que producen que la ganancia se mantenga constante y lineal. Conforme se disminuya la características magnéticas –con la frecuencia- o geométricas de la ferrita se perderá alcance en el ancho de banda de respuesta del preamplificador.

5.3 EL GENERADOR DE FRECUENCIAS

- La frecuencia más alta que en la práctica se logran conseguir con el AD9851 es de 65 MHz. Si se trata de conseguir mayores frecuencias, pese a que el chip puede generarla el ruido que se introduce para este rango de frecuencias produce alteraciones importantes que no permiten reconocer la información que es enviada.

- Para las frecuencias de generación de valores múltiples del sistema de referencia (ej: frecuencias de 30, 60 MHz generadas con un reloj de 30 MHz) se encuentran armónicos que el sistema no puede eliminar completamente. Pero sin embargo, estos armónicos no son de amplitudes considerables, por lo cual pueden ser despreciados. Es importante tener en cuenta este factor para que al momento de la decodificación no se tenga errores de lectura.

- El sistema de programación que ofrece el AD9851 trabaja más eficientemente y de una forma más rápida cuando se utiliza la carga paralela de los datos. Es por esa razón que se escogió esta modalidad para la escritura de datos.

- La salida del AD9851 debe tener una carga proporcional en las entradas complementarias, caso contrario no puede generar frecuencias de

ningún tipo, y en el caso que lo consiga hacer, la amplitud de la señal que se obtiene es completamente pequeña a tal punto que no puede ser utilizada por el mezclador (RF2703) para obtener las señales en cuadratura.

- Pese a que el AD9851 presentó un óptimo comportamiento en todo momento, se sugiere que para cualesquier diseño futuro se emplee el integrado AD9854, cuyo rango de trabajo y funciones estándares superan las características del chip utilizado en este trabajo.

- El layout y la distribución de los elementos en la placa, fue uno de los problemas mayores que se tuvo para lograr que el equipo en su conjunto opere coherentemente. Tanto el AD9851 como el RF2703 requieren que los elementos externos que utilizan esten ubicados lo más cerca posible de su respectivo chip.

5.4 CIRCUITERÍA DE CONMUTACIÓN

- Pese a que ambas señales de referencia en cuadratura que utiliza el modulador no necesitan ser conmutadas, es necesario que circulen a través del conmutador analógico para lograr que la pequeña atenuación que en este dispositivo presenten sea uniforme y homogénea en los dos casos. De esta forma también se asegura que el tiempo de retardo que tengan las señales al cruzar por el interruptor analógico sea el mismo, tanto en la componente de la seña en fase como en la componente de la seña en cuadratura.

5.5 EL MEZCLADOR

- Las señales de referencia en cuadratura externas que debe recibir el modulador no deberían ser de amplitudes mayores a 50 mV, pues se

producen efectos intermodulatorios y la señal resultante que se obtiene no se puede reconocer fácilmente.

- El modulador y demodulador desarrollado permite obtener un sin número de tipos de modulaciones analógicas (e incluso digitales), de acuedo al hardware previo que se coloque para que generen los patrones de referencia de las señales en cuadratura. Esta flexibilidad es una de las mayores ventajas que presenta el equipo.

- El equipo modulador/demodulador se logró desarrollar a base de circuitería electrónica sencilla o de estructura conocida (en el caso del AD9851 y RF2703) lo cual facilita enormemente el trabajo de conversión al momento que el diseño deba ser integrado en un solo chip.

- Aún no esta en el mercado, pero pronto saldrá a disposición el ingerado RF2713 que corrige el nivel de supresión de portadora que en el RF2703 aún sigue siendo alta. Este es compatible pin a pin con el integrado utilizado, razón por la cual puede ser reemplazado para subir en general el desempeño del equipo.

APÉNDICE A

A. Análisis de señales

A.1 Dominio del Tiempo y de la Frecuencia 122

A.2 Simetría de Onda y Periodicidad 124

A.3 Series de Fourier y Espectros Discretos 125

A.4 Espectros de Potencia de una Señal Periodica 128

A.5 Transformada de Fourier y Espectros Continuos 131

A.5.1 Ejemplo 1 132

A.5.2 Ejemplo 2 134

APÉNDICE A

A. ANÁLISIS DE SEÑALES[1]

En la mayoría de los circuitos eléctricos y electrónicos de comunicaciones es necesario poder determinar el funcionamiento y la capacidad de respuesta que estos presentan al colocárseles determinadas señales de excitaciones a la entrada. Este análisis puede ser llevado a cabo fácilmente mediante la descripción de la distribución de la potencia de la señal resultante y la composición de frecuencia de la señal de información recuperada.

La mayor parte de las señales eléctricas no son estrictamente sinusoidales, pero pese a ello pueden ser modeladas como tales mediante la la descomposición de la función objeto de estudio en una serie de senos y cosenos componentes. Esta formulación matemática se conoce en general con el nombre de expansión en series de Fourier de una función o Transformación de Fourier.

A.1 DOMINIO DEL TIEMPO Y DE LA FRECUENCIA

Las ondas periodicas puden analizarse desde el punto de vista del dominio del tiempo y desde el punto de vista del dominio de la frecuencia. El análsis en el dominio del tiempo es real y tangible, pero se incrementa su dificultad en forma drástica con forme se introducen señales cada vez de mayor complejidad. El análisis en el dominio de la frecuencia es en cambio una abstración matemática que facilita la comprensión y la manipulación misma de las señales simplificando enormemente los cálculos, por esta razón se lo adopta como modelo en general en la mayor de los textos que abordan esta temática.

[1] *Fuente: Hsu, Tomasi, Proakis.*

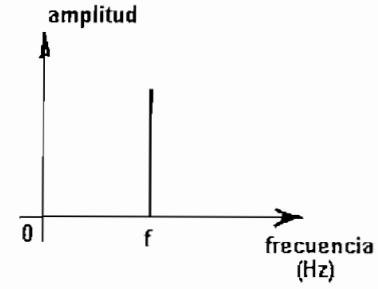


fig.A.1 Señal en el dominio de la frecuencia

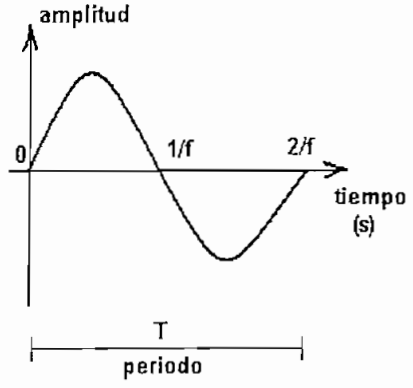


fig.A.2 Señal en el dominio del tiempo

A.2 SIMETRÍA DE ONDA Y PERIODICIDAD

Una función cualesquiera *f(t)* en general se dice es periodica cuando se cumple que

$$f(t) = f(t+T) \qquad [A.1]$$

Además, una función cualesquiera *f(t)* se le denomina de *simetría par* si cumple la condición

$$f(t) = f(-t) \qquad [A.2]$$

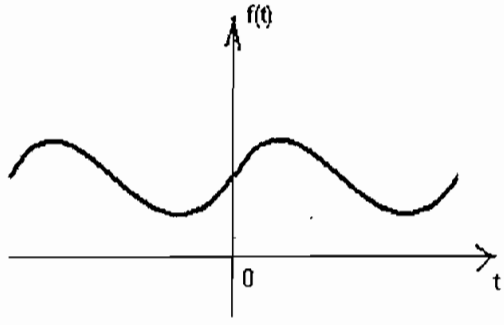


fig.A.3 Función par

y se le denomina de *simetría impar* si en cambio cumple la condición

$$f(t) = -f(-t) \qquad [A.3]$$

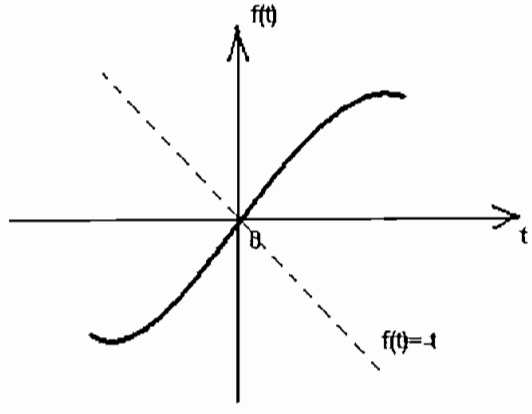


fig.A.4 Función impar

Obsérvese la simetría gráfica que las funciones pares e impares presentan en los anteriores ejemplos. Una función par es simétrica con relación al eje vertical u ordenado; mientras que una función impar es antisimétrica con respecto al mismo eje o en otras palabras una función impar es simétrica respecto de la línea $f(t) = -t$.

A.3 SERIES DE FOURIER Y ESPECTROS DISCRETOS[2]

Estas representaciones de señales, mediante la utilización de la expansión en series fueron desarrolladas por el físico y matemático francés Jean Fourier, e implican básicamente la descomposición de una función cualesquiera *f(t)* en términos de sus respectivos componentes sinusoidales (o exponenciales complejas). Después de realizar esta descomposición se afirma que una señal a variado su presentación del dominio del tiempo al dominio de la frecuencia.

La mayor parte de las señales que presentan algun tipo de interés en la práctica (y en particular en el área de electrónica) pueden ser descompuestas en la suma de componentes sinusoidales. Esta descomposición toma el nombre de series de Fourier para la clase de señales periodicas, mientras que para la clase de señales de energía finita la descomposición se llama transformada de Fourier.

Considérese una función cualesquiera *f(t)* periodica con periodo igual a *T*. Dicha función puede ser expresada como una serie trigonométrica del siguiente tipo:

$$f(t) = \frac{1}{2}a_0 + \sum_{n=1}^{\infty}\left(a_n \cos n\omega_0 t + b_n \sin n\omega_0 t\right) \qquad [A.4]$$

[2] *Fuente: Proakis.*

donde: $\omega_0 = \frac{2\pi}{T}$ y los coeficientes a_n y b_n están dados por:

$$a_n = \frac{2}{T}\int_{-T/2}^{T/2} f(t)\cos(n\omega_0 t)\,dt \qquad n = 0,1,2,... \qquad [A.5]$$

$$b_n = \frac{2}{T}\int_{-T/2}^{T/2} f(t)\sin(n\omega_0 t)\,dt \qquad n = 1,2,... \qquad [A.6]$$

En forma general no es necesario que el periodo de integración sea realizado en el intervalo señalado, sino dependiendo del tipo de función que esta sea (par o impar), puede ser aprovechada su simetría para la simplificación de los cálculos de los coeficientes de Fourier. Para todas las funciones de simetría par, los coeficientes b_n de la ecuación antes descrita son cero; mientras que para todas las funciones de simetría impar son los coeficientes a_n igual a cero.

Esta nueva ecuación afirma que la función *f(t)* puede ser representada por un componente de valor promedio (cd) mas la suma de una serie de componetes cosenoidales y sinusoidales los cuales tienen una frecuencia que es un valor múltiplo entero de la frecuencia del primer término de su serie. Estas frecuencias son denominadas frecuentemente armónicos de la señal. El valor de la componente del primer término de la serie se le conoce con el nombre de primera armónica o componente fundamental. La componente cuyo valor de frecuencia corresponde al segundo múltiplo entero de la frecuencia fundamental se le conoce como segunda armónica. Al valor del tercer múltiplo entero se llama tercera armónica y así sucesivamente. Por tanto una señal cualesquiera *f(t)* no consta más que de la adición de la señal fundamental o valor promedio mas los componentes armónicos sinusiodales y/o cosenoidales. Es decir,

$$f(t) = cd + fundamental + 2^{da}\,armónica + 3^{ra}\,armónica + \ldots$$

De igual forma está misma serie trigonométrica puede ser expresada

mediante ecuaciones del álgebra compleja, si se introducen las identidades de Euler en sus componentes.

Considerando las identidades de Euler

$$e^{jx} = \cos x + j \sin x \quad y \quad e^{-jx} = \cos x - j \sin x \qquad [A.7]$$

en esta relación resulta que, *f(t)* también es igual a:

$$f(t) = c_0 + \sum_{n=1}^{\infty} \left(c_n e^{jn\omega_0 t} + c_{-n} e^{-jn\omega_0 t} \right) = \sum_{n=-\infty}^{\infty} c_n e^{jn\omega_0 t} \qquad [A.8]$$

donde los coeficientes c_n vienen dados por la expresión:

$$c_n = \frac{1}{T} \int_{-T/2}^{T/2} f(t) e^{-jn\omega_0 t} \, dt \qquad n = 0, \pm 1, \pm 2, \ldots \qquad [A.9]$$

y la expresión c_{-n} representa al conjugado complejo del coeficiente c_n. Es decir $c_{-n} = c_n^*$

Como en la realidad los términos que componen estas series no pueden extenderse de forma indefinida, se aproxima la serie y se la trunca en un número finito *k*, que varía de acuerdo a las aplicaciones y el grado de exactitud que se desee obtener.

Como es de esperase la presencia o no de un determinado número de componentes armónicos (truncación de la serie de Fourier) determinan un papel importante en el momento de la recuperación de la señal del dominio de la frecuencia al dominio del tiempo. A continuación se ofrece un ejemplo en cual se puede apreciar con detalle las modificaciones de que es objeto la señal resultante después de pasar por un canal de ancho finito que cumple el mismo papel limitante del ancho de banda que haría una truncación intencional de los componentes de una serie de una función cualesquiera en el proceso de transmisión de la misma.

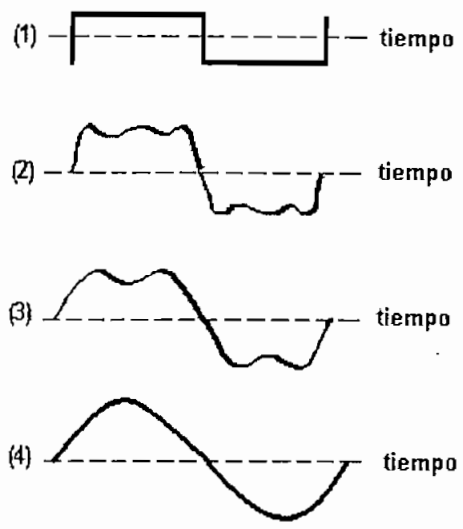


fig.A.5 Señal limitada en sus arómonicos:

(1) Onda cuadrada de 1 KHz

(2) Señal (1) limitada a una banda de 8 KHz

(3) Señal (1) limitada a una banda de 6 KHz

(4) Señal (1) limitada a una banda de 2 KHz

Comparando los gráficos, se puede notar que cada vez que se pierden componentes armónicos (se reduce el ancho de banda) también se pierde información, pues la forma de la onda recuperada dista mucho de la forma original que esta poseía.

A.4 ESPECTROS DE POTENCIA DE UNA SEÑAL PERIODICA

Otra de las aplicaciones importantes del uso de la representación en series de Fourier de una señal es la ilustración de los espectros de potencia y energía de una señal. En un canal de comunicaniones, lo importante es lograr la transferencia de energía electromagnética de un punto de origen llamado fuente a otro de destino de nominado punto de recepción. Por lo tanto la relación entre la cantidad de energía transmitida respecto de la recibida es muy importante.

La potencia *p(t)* de una señal cualesquiera *f(t)* no es mas que la relación en la que la energía es disipada, entregada o utilizada en una determinada aplicación. En lo refierente a las relaciones de potencia, en la ecuación estándar de Fourier, se reemplaza *f(t)* por $[f(t)]^2$ para conseguir su análogo equivalente. Así queda definida la potencia media finita de una señal periódica como el valor cuadrático medio expresada por medio de la ecuación:

$$p(t) = \frac{1}{T}\int_{-T/2}^{T/2}[f(t)]^2\,dt \qquad [A.10]$$

Y si además de ser periódica con periodo igual a *T* la función *f(t)* se define como real, entonces la potencia de la función *f(t)* puede ser expresada también utilizando los coeficientes de Fourier c_n

$$p(t) = \frac{1}{T}\int_{-T/2}^{T/2}[f(t)]^2\,dt = \sum_{n=-\infty}^{\infty}|c_n|^2 \qquad [A.11]$$

donde c_n toma los valores expresados por la fórmula matemática antes anotada. Por ejemplo, se presenta a continuación el espectro de potencia para una onda rectangular que tiene un ciclo de trabajo igual al 25%.

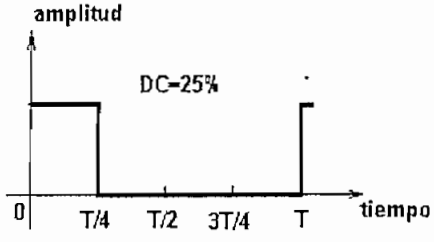


fig.A.6 Pulso rectangular con ciclo de trabajo del 25%

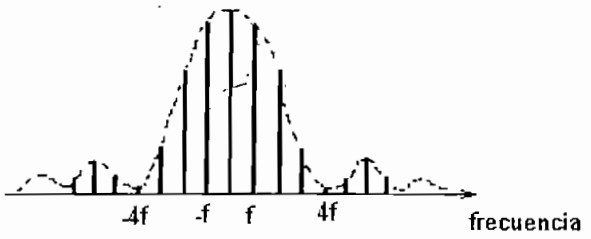


fig.A.7 Espectro de potencia de la señal anterior

Obsérvese que todos los lóbulos del espectro de potencias son positivos, pues la potencia de valores negativos no tiene sentido físico alguno.

A. 5 TRASFORMADA DE FOURIER Y ESPECTROS CONTINUOS

Las series de Fourier constituyen un poderoso elemento utilizado en el análisis e interpretación de señales periódicas en el tiempo, pero en general. Pero muchas funciones son no periódicas en el tiempo por lo cual se ve la necesidad de extender el método de la expansión en series de una función para que pueda ser aplicado también en este caso.

Como consecuencia directa de la periodicidad de un función se puede notar que su correspondiente espectro de frecuencias se forma de una señal compuesta por líneas de energía equidistantes entre sí. El espacio que existe entre las líneas es igual a la frecuencia fundamental de la señal. Se puede deducir por tanto que el parámetro que determina el número de líneas por unidad de frecuencia es precisamente el periodo fundamental que la señal posee.

Con esta interpretación, es evidente que si se permite que el periodo aumente sin límite, el espaciado entre líneas tiende a cero. En el límite, cuando el periodo se hace infinito, la señal se hace aperiodica y su espectro continuo. Este argumento sugiere que el espectro de una señal aperiodica será enconces la envolvente del espectro formado por las líneas correspondientes a la señal periodica obtenida al repetir la señal aperiódica con algún periodo *T* en general.

Sea por tanto, una función *f(t)* periodica con periodo *T*. Cuando *T* se aproxima al infinito para convertise en una función aperiódica se puede llegar a demostrar que se cumple:

$$F(\omega) = F\{f(t)\} = \int_{-\infty}^{\infty} f(t)\, e^{-j\omega t}\, dt \qquad [A.12]$$

y que

$$f(t) = F^{-1}\{F(\omega)\} = \frac{1}{2\pi}\int_{-\infty}^{\infty} F(\omega)\, e^{j\omega t}\, d\omega \qquad [A.13]$$

donde [A.12] es la ecuación de análisis de la transformada directa de Fourier y [A.13] es la ecuación de síntesis de la transformada inversa de Fourier.

Es decir, es posible que cualesquier función dada pueda ser descrita por 2 módulos equivalentes de representación: uno en el dominio del tiempo, *f(t)*, y el otro en el dominio de la frecuencia *F(ω)*. La ecuación [A.12] transforma la función *f(t)* del dominio del tiempo a *F(ω)* en el dominio de la frecuencia. Y la ecuación [A.13] realiza la operación inversa: transforma la función *F(ω)* del dominio de la frecuencia a *f(t)* en el dominio del tiempo.

A.5.1 EJEMPLO 1

Considérese por ejemplo una onda de voltaje de forma sinusoidal o cosenoidal definida por las expresiones $f_1(t) = \cos \omega_0 t$ y $f_2(t) = \sin \omega_0 t$.
Las funciones $f_1(t)$ y $f_2(t)$ también pueden ser expresadas como:

$$\cos \omega_0 t = \frac{1}{2}\left(e^{j\omega_0 t} + e^{-j\omega_0 t} \right) \quad y \quad \sin \omega_0 t = \frac{1}{2j}\left(e^{j\omega_0 t} - e^{-j\omega_0 t} \right)$$

Por tanto, si se aplica la transformada de Fourier a estas señales para poderlas trasladar desde el dominio del tiempo al de la frecuencia se tiene que

$$F\{ \cos \omega_0 t \} = F\left\{ \frac{1}{2}\left(e^{j\omega_0 t} + e^{-j\omega_0 t} \right) \right\} \qquad [A.14]$$

Aplicando las propiedades de linearidad que tiene la transformada, la ecuación [A.14] toma la forma de

$$F\{ \cos \omega_0 t \} = \frac{1}{2} F\{ e^{j\omega_0 t} \} + \frac{1}{2} F\{ e^{-j\omega_0 t} \} \qquad [A.15]$$

y como

$$F\left\{ e^{j\omega_0 t} \right\} = 2\pi\delta(\omega - \omega_0) \qquad [A.16]$$

se tiene que

$$F\{\cos\omega_0 t\} = \frac{1}{2}2\pi\delta(\omega - \omega_0) + \frac{1}{2}2\pi\delta(\omega + \omega_0) \qquad [A.17]$$

$$F\{\cos\omega_0 t\} = \pi\delta(\omega - \omega_0) + \pi\delta(\omega + \omega_0)$$

donde *d(t)* es la función impulso de Dirac.

Graficando el espectro de potencia se obtiene

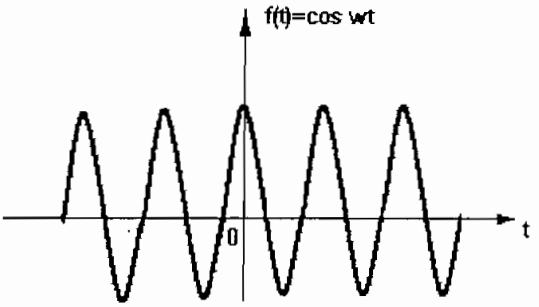


fig.A.8 La función f(t)=cosw$_0$t en el dominio del tiempo

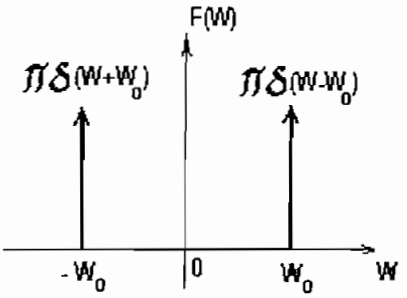


fig.A.9 La transformada de Fourier de la función f(t)=cosω_0t en el dominio de la frecuencia

De forma analóga se procede con la función sinusoidad y si se le aplica a $f(t) = \sin \omega_0$ la transformada de Fourier se obtiene que $F(\omega)$ es igual a:

$$F\{\sin \omega_0 t\} = -j\pi\delta(\omega - \omega_0) + j\pi\delta(\omega + \omega_0) \qquad [A.18]$$

A.5.2 EJEMPLO 2[3]

Considérese una función cualesquiera $f(t)$ dependiente del tiempo cuya transformada de Fourier es $F(\omega)$. La transformada de Fourier de la nueva función $f(t)*\cos\omega_0 t$ resultado de la multiplicación de la función $f(t)$ con una función cosenoidal $\cos \omega_0 t$ podría ser fácilmente calculada.

Como:

$$\cos \omega_0 t = \frac{1}{2}\left(e^{j\omega_0 t} + e^{-j\omega_0 t} \right)$$

al aplicársele la transformada de Fourier a esta nueva función resulta que

$$F\{ f(t)\cos\omega_0 t\} = F\left\{ \frac{1}{2} f(t) \cdot \left(e^{j\omega_0 t} + e^{-j\omega_0 t} \right) \right\}$$

$$F\{ f(t)\cos\omega_0 t\} = F\left\{ \frac{1}{2} f(t) \cdot e^{j\omega_0 t} \right\} + F\left\{ \frac{1}{2} f(t) \cdot e^{-j\omega_0 t} \right\}$$

$$F\{ f(t)\cos \omega_0 t\} = \frac{1}{2} F\{ f(t) \cdot e^{j\omega_0 t} \} + \frac{1}{2} F\{ f(t) \cdot e^{-j\omega_0 t} \} \qquad [A.19]$$

[3] *Fuente: Hsu.*

Pero a su vez se conoce que,

$$F\{ f(t)\cdot e^{j\omega_0 t}\} = \int_{-\infty}^{\infty} \left(f(t)\cdot e^{j\omega_0 t}\right)\cdot e^{-j\omega_0 t} dt$$

$$F\{ f(t)\cdot e^{j\omega_0 t}\} = \int_{-\infty}^{\infty} f(t)\cdot e^{-j(\omega_0-\omega)t} dt$$

$$F\{ f(t)\cdot e^{j\omega_0 t}\} = F(\omega-\omega_0) \qquad [A.20]$$

Por tanto, si se utiliza este último resultado en la ecuación [A.19] se tiene que

$$F\{ f(t)\cos\omega_0 t\} = \frac{1}{2}F(\omega-\omega_0) + \frac{1}{2}F(\omega+\omega_0) \qquad [A.21]$$

A este proceso se le conoce con el nombre de la propiedad de desplazamiento en frecuencia de la transformada de Fourier, y es precisamente el efecto que se produce cuando se modula una señal en frecuencia. En este caso la señal *f(t)* se le denomina modulante, la señal cosinoidal o sinusoidal (que por lo general es de una frecuencia de mayor valor que la modulante) se le conoce como portadora y a la señal resultante, producto de las anteriores, se le llama onda modulada.

Si *f(t)* fuese una señal cosenoidal de frecuencia f_1 y la portadora una señal de frecuencia f_0, $(f_0>f_1)$ el nuevo espectro de la señal modulada sería:

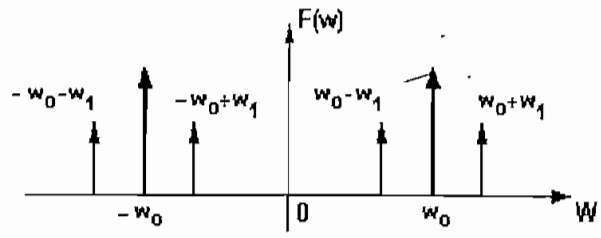


fig.A.10 Espectro de frecuencia de una señal modulada f(t).cosω_0t
donde f(t) = cos ω_1t y además $f_0 > f_1$

Es decir en otras palabras, el proceso de modulación lo que consigue en general es trasladar el espectro de frecuencias de la señal original a una banda de frecuencia distinta. Obsérvese el gráfico explicativo de la *fig.A.11.*

La mayor parte de señales electricas, para ser propagadas y/o radiadas requieren este proceso de traslado. No se profundiza más sobre este proceso en el presente capítulo, pues más adelante se lo analizará con mayor detenimiento y detalle.

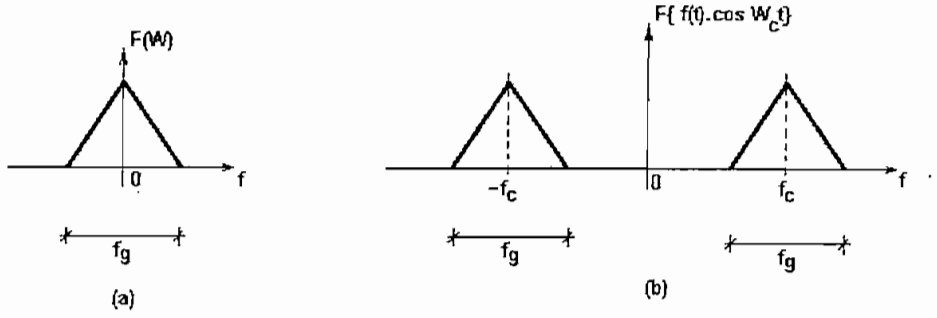


fig.A.11 Espectro modulado de una señal:
(a). Espectro de frecuencia de la señal original
(b). Espectro de frecuencia de la señal modulada

Una vez revisados estos conceptos matemáticos previos, se podrá analizar con mayor rapidez los resultados que se obtengan del equipo didáctico y se entenderá asimismo la lógica del proceso de su diseño.

APÉNDICE B

B. Software de Programación del AD9851 (AD9851 Evaluation)

B.1 Generalidades 138

B.2 Requerimientos de Hardware Y Software 138

B. 3 Descripción del Programa 139

B.3.1 Subpanel de Funciones de Control 141

B.3.1.1 Modo de Descanso (Sleep Mode) 142

B.3.1.2 PLL 142

B.3.1.3 Actualización Manual de Frecuencia 143

B.3.2 Subpanel de Entradas/Salidas del Computador 143

B.3.3 Subpanel de Monitoreo del Bus 144

B.3.4 Subpanel del Reloj, de la Frecuencia de Salida y del Retardo de Fase de Salida 145

B.3.5 Subpanel de Barrido de Frecuencia 146

B.4 Pasos Secuenciales para el Manejo del Software de Programación 147

B.4.1 Ejemplo 151

APÉNDICE B

B. SOFTWARE DE PROGRAMACIÓN DEL AD9851[1] (AD9851 EVALUATION)

B.1 GENERALIDADES

La programación del circuito integrado AD9851 de la Firma Analog Devices, fue posible hacerla mediante la utilización de un programa de evaluación de libre distribución desarrollado por la misma empresa. El programa se denomina AD9851 Evaluation.

Es un interfaz gráfico amigable que no presenta ninguna dificultad para su manejo y permite la configuración de los parámetros del AD9851 a través de un computador personal.

A continuación se presenta una breve descripción del funcionamiento y manejo de este software.

B.2 REQUERIMIENTOS DE HARDWARE Y SOFTWARE

Para poder controlar la programación del AD9851 se necesita un computador personal bajo sistema operativo de Windows (versiones 3.1 o 95) cargado con el software AD9851 Evaluation. Esta versión de software no soporta Windows NT y presenta un par de problemas cuando se le pretende hacer correr en las versiones de Windows 98 o 2000.

El computador deberá poseer un puerto de impresión o paralelo, un floppy drive de 3.5" y un ratón para poder manejar los correspondientes menús de pantalla. Además se requiere un cable especial de conexión entre la PC personal y el equipo modulador construido.

---

[1] Fuente: Analog Devices, Inc.

B. 3 DESCRIPCIÓN DEL PROGRAMA

El interfaz del usuario del programa consta de una ventana principal de presentación la cual posee diferentes subpaneles de datos susceptibles de ser configurados. Son 7 subpaneles en total:

a) Subpanel de Funciones de Control

b) Subpanel de Entradas/Salidas del Computador

c) Subpanel de Monitoreo del Bus

d) Subpanel del Reloj

e) Subpanel de la Frecuencia de Salida

f) Subpanel del Retardo de Fase de Salida

g) Subpanel de Barrido de Frecuencia

Los subpaneles: de Funciones de Control, de Entradas/Salidas del Computador, del Reloj, de la Frecuencia de Salida deben ser seteados obligatoriamente. Caso contrario estos valores serán interpretados como ceros y así serán llenados en el registro de datos interno del AD9851 en el momento de la transmisión de datos. La pantalla principal de presentación original con el conjunto de subpaneles se puede apreciar en la *fig.B.1*

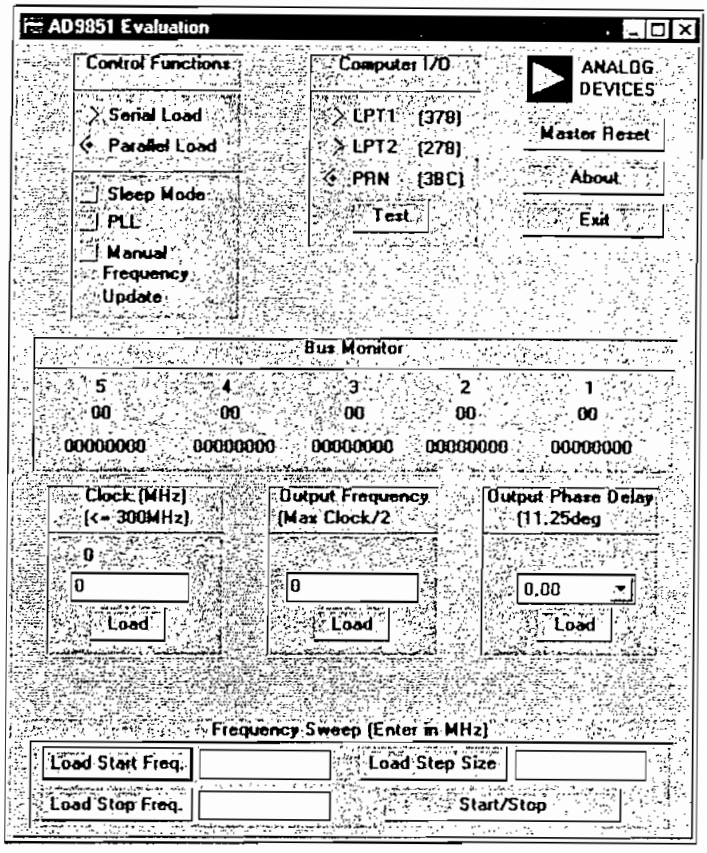


fig.B.1 Pantalla original de presentación

A más de estos subpaneles, se pueden apreciar 3 cuadros de selecciones:

- *Master Reset:* que sirve para la reinializalición del AD9851 y borrado de la informaciónde los registros internos del chip. Al setear esta opción se carga además como valores por defecto una frecuencia de 0 Hz y un retardo de fase de 0°. También es utilizado para abandonar el modo de operación de descanso (sleep mode).

- *About:* Al presionar este cuadro de diálogo se puede apreciar información sobre la versión del software de evaluación en una ventana adicional, *fig.B.2*

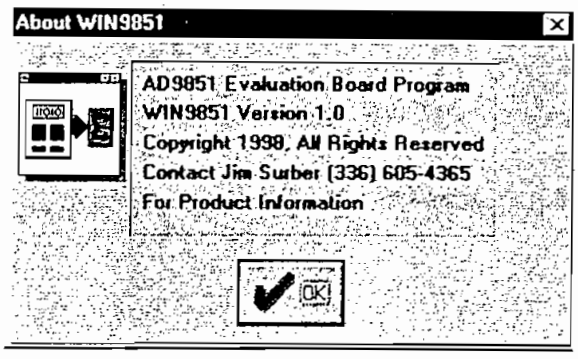


fig.B.2 Planilla de información del programa.

- *Exit:* permite la salida del programa.

B.3.1 SUBPANEL DE FUNCIONES DE CONTROL

En este subpanel es posible seleccionar la forma en la cual se desea realizar la transmisión de los datos desde el computador hasta el equipo modulador, así como la forma de operación específica del chip. Ver *fig.B.3*

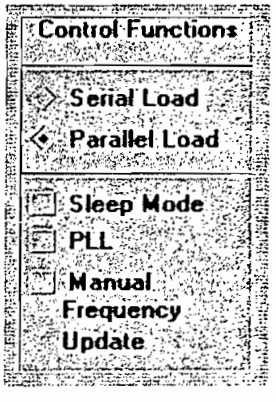


fig.B.3 Subpanel de Funciones de Control

Existen 2 formas de transmisión de datos seleccionables en el AD9851: la serial y paralela, pues las diversas aplicaciones que este chip posee así lo requieren.

En el caso de este equipo modulador el acondicionamiento de hardware realizado permite únicamente que la selección de la transmisión de los datos sea en forma paralela.

Existen adicionalmente 3 funciones distintas:

- Modo de Descanso (Sleep Mode)
- PPL
- Actualización Manual de Frecuencia

B.3.1.1 Modo de Descanso (Sleep Mode)

El AD9851 cuenta con una opción de ahorro de potencia, mediante la cual desactiva todas las funciones primarias del chip y lo deja en modo suspendido economizando, de esta manera, el consumo de energía al máximo. Cuando esta opción se encuentra habilitada el AD9851 no puede general frecuencias de ninguna clase. Si en este estado el chip recibe señales de voltaje de algún tipo no sufre ningún tipo de daño, pues pese a que está en estado de suspensión se encuentra aún polarizado. La única opción de salir de este estado es mediante el reseteo del equipo.

B.3.1.2 PLL

El AD9851 posee un circuito multiplicador único (6 veces la frecuencia del oscilador de referencia) que elimina la necesidad de utilizar un oscilador de referencia de alta velocidad y su aplicación introduce un impacto mínimo en los niveles de ruido de fase. Al asegurar el funcionamiento del

PLL (Phase Locked Loop) se activa el funcionamiento de este multiplicador.

Por ejemplo con esta opción activada y con un cristal de referencia de 30 MHz es posible obtener como frecuencia de referencia 180 MHz para el funcionamiento globlal del circuito.

B.3.1.3 Actualización Manual de Frecuencia

En el caso de que se desease realizar la programación de varios AD9851 a la vez esta opción permite cargar el valor de la frecuencia que se desea generar en los registros internos de cada uno de los chip´s, pero no la actualiza. Así se puede escribir en los registros la frecuencia que se desea generar en todos los chips que se utilicen y con un solo solo pulso de señal (en Frecuency Update) se puede conseguir la carga simultánea de la respectiva frecuencia en todos los circuitos.

B.3.2 SUBPANEL DE ENTRADAS/SALIDAS DEL COMPUTADOR

Mediante la ayuda de este subpanel es posible selecionar el puerto físico del computador personal que se presente utilizar para interconectar el equipo modulador y el computador personal. Se dispone de tres opciones viables de ser utilizadas *fig.B.4*

- el puerto LPT1 (0x378h)
- el puerto LPT2 (0x278h)
- el puerto paralelo Centronics

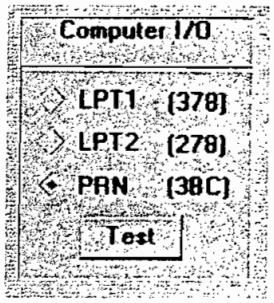


fig.B.4 Subpanel de Entradas/Salidas del Computador

B.3.3 SUBPANEL DE MONITOREO DEL BUS

Tal como su nombre lo indica, en este panel es posible visualizar el código de fuente de los datos que son enviados desde el computador hacia la tarjeta de pruebas tanto en formato binario como en números hexadecimales. *(fig.B.5)*

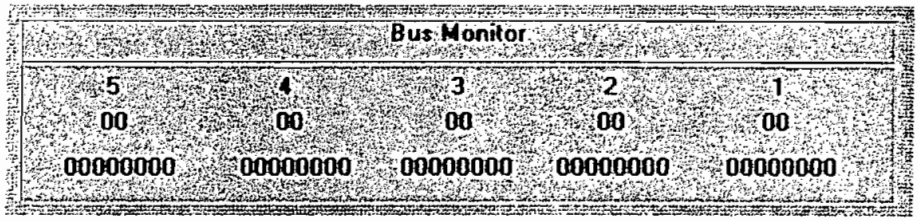


fig.B.5 Subpanel de Monitoreo del Bus

Cada uno de los bits que conforman los 5 octetos de palabras tienen un significado particular en la programación. Ellos manejan 2 registros: uno de 5 bits para almacenar la información de la fase y otro de 32 bits para almacenar el valor de la frecuencia que debe ser generada. Si se verifica la *Tabla B.1* se podrá observar la función específica que cada uno de ellos realiza.

Palabra	Bit[7]	Bit[6]	Bit[5]	Bit[4]	Bit[3]	Bit[2]	Bit[1]	Bit[0]
1	Fase b4 (MSB)	Fase b3	Fase b2	Fase b1	Fase b0 (LSB)	Apagado	Lógica 0	6x REFCLK (Enable)
2	Frec. b31 (MSB)	Frec. b30	Frec. b29	Frec. b28	Frec. b27	Frec. b26	Frec. b25	Frec. b24
3	Frec. b23	Frec. b22	Frec. b21	Frec. b20	Frec. b19	Frec. b18	Frec. b17	Frec. b16
4	Frec. b15	Frec. b14	Frec. b13	Frec. b12	Frec. b11	Frec. b10	Frec. b9	Frec. b8
5	Frec. b7	Frec. b6	Frec. b5	Frec. b4	Frec. b3	Frec. b2	Frec. b1	Frec. b0 (LSB)

Tabla B.1 Funciones de los bits de los registros internos del AD9851

Si se desea información adicional recúrrase a los anexos en busca de las hojas de especificaciones del AD9851.

B.3.4 SUBPANEL DEL RELOJ, DE LA FRECUENCIA DE SALIDA Y DEL RETARDO DE FASE DE SALIDA

En estas ventanas es posible configurar los valores de la frecuencia del reloj y de salida (que se encuentran dados en MHz), así como el ángulo de fase de retardo de salida. *(fig.B.6)* En el primer casillero deberá colocarse el valor del cristal del reloj que se utilice en la tarjeta y que es empleado como frecuencia de oscilación de referencia. El cristal que consta por defecto en el equipo de prueba es de un valor de 30 MHz, por consiguiente, este valor debería ser considerado constante siempre.

En el segundo subpanel, en la frecuencia de salida, deberá colocarse el valor de la frecuencia máxima que se pretende generar. Esta frecuencia de salida puede alcanzar un valor teórico máximo del 50% del valor de la

frecuencia de oscilación del reloj de referencia y un valor práctico y funcional del 40%.[2]

Con el cristal de referencia de 30 MHz (y la opción PLL activada) se pudiese obtener el valor de frecuencia de máximo de 72 MHz libre de interferencias y ruidos de intermodulación.

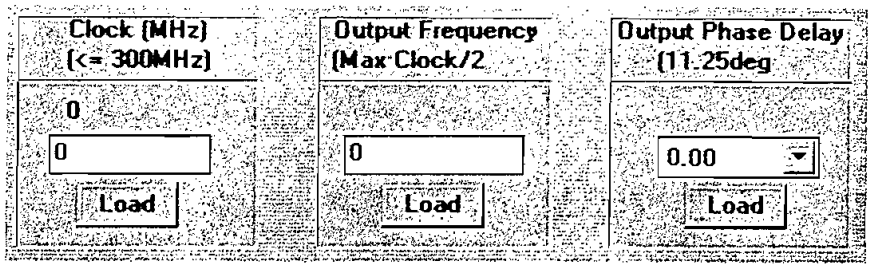


fig.B.6 Subpaneles del reloj, de Frecuencia de Salida y de Retardo de Fase de Salida

El último subpanel, el del retardo de fase, permite configurar el ángulo de fase de retardo que se desea que la señal de salida posea con respecto a la señal original de referencia del cristal. Esta diferencia de fase esta expresada en grados sexadecimales y se encuentra en pasos de 11,5° selecionables. Los valores posibles van desde 0°; 11.25°; 22.50°; 33.75°; 45° y así sucesivamente hasta el valor de 348.75°. Por defecto el valor de retardo de fase siempre es cero.

B.3.5 SUBPANEL DE BARRIDO DE FRECUENCIA

Cuando se desee generar un barrido de frecuencias entre 2 frecuencias fijas se debería ocupar este subpanel. Los valores están dados en MHz en todos los casos.

Si se desea obtener una frecuencia fija, este panel debe ser dejado libre y ningún valor debería ser allí anotado y se debe utilizar el panel de salida de

[2] La razón se fundamenta en el diseño del AD9851.

frecuencia (Output Frequency) anteriormente detallado.

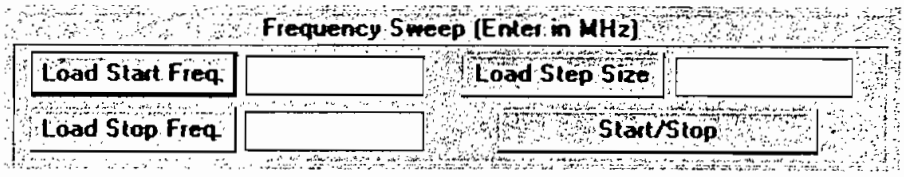


fig.B.7 Subpanel de Barrido de Frecuencia

Dentro de este subpanel se encuentra

- *Load Start Frequency*: es el valor inicial del barrido de frecuencia.
- *Load Stop Frecuency:* es el valor final del barrido de frecuencia.
- *Load Step Size:* es el paso de incremento que se irá adicionando al valor inicial sucesivamente hasta llegar al valor final. Una vez que esto suceda el ciclo vuelve nuevamente a comenzar.
- *Start/Stop:* sirve para iniciar o para detener el barrido de frecuencias. El tiempo que permanece en cada paso de frecuencia es de 1 segundo.

B.4 PASOS SECUENCIALES PARA EL MANEJO DEL SOFTWARE DE PROGRAMACIÓN

Se sugiere considerar el siguiente procedimiento para poder lograr una efectiva comunicación entre los dispositivos y programación del AD9851

1. Alimentar el computador personal y acceder al programa de prueba: AD9851 Evaluation.
2. Alimentar el equipo didáctico de modulación.

3. Colocar el cable de conexión entre los pórticos de ambos equipos (PC y módulo de prueba). Es importante que estén ambos equipos estén alimentados para que este cable sea conectado.

4. Seleccionar las características de transmisión papalela para la programación.

5. Dentro del subpanel de entradas/salidas del computador seleccionar el puerto escogido en el ítem 3. La pantalla desplegada hasta el momento debería lucir como la de la *fig.B.8*

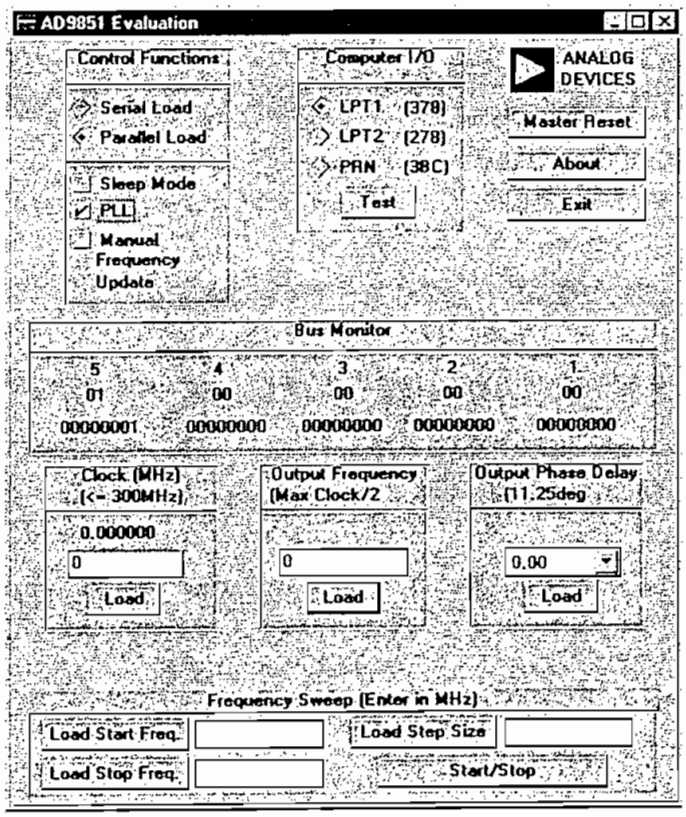


fig.B.8 Valores de los parámetros de programación.

6. Verificar si existe comunicación entre ambos dispositivos. Para esto es necesario presionar dentro del mismo subpanel el cuadro de diálogo titulado Test. Si todas las comunicaciones se encuentran en orden se

desplegará una ventana adicional que contiene una leyenda informativa, que indica que la asignación del pórtico es correcto (Correct printer port assignment) tal como se puede ver en la *fig.B.9*

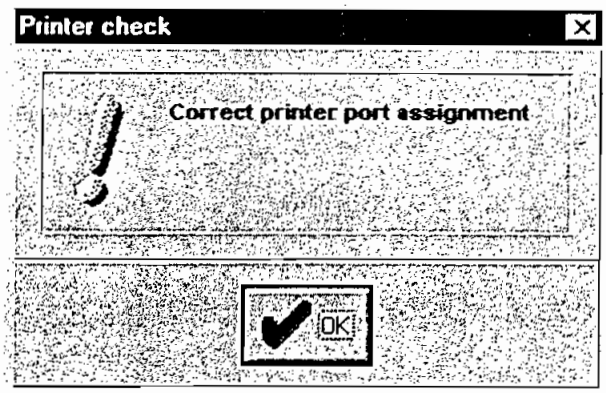


fig.B.9 Ventanas de comunicación exitosa

En caso contrario se desplegará una ventana que señala que el pórtico escogido no es el adecuado (Incorrect printer port assignment) *fig.B.10.* Se debe aclarar que tanto las leyendas desplegadas en ambos casos no debe ser interpretadas directamente como un error de seleción del pórtico, sino como un error de comunicaciones entre ambos dispositivos.

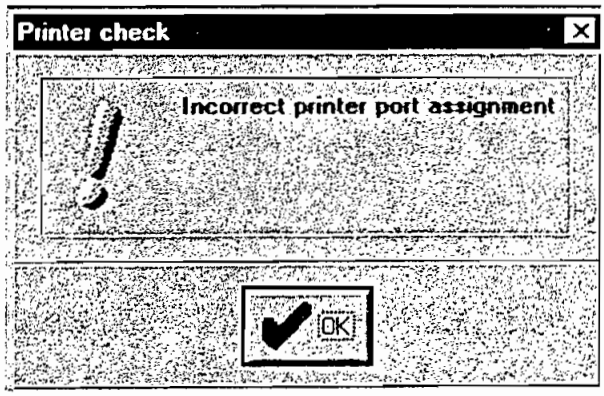


fig.B.10 Ventana de error de las comunicaciones

7. Restear el AD9851 vía software.

8. Ingresar el valor de la frecuencia del cristal que se está utilizando en el subpanel del reloj. El valor que por defecto debería utilizarse es 30 MHz.

9. Ingresar el valor de la frecuencia de salida deseada. En caso de desearse una frecuencia fija y constante se debería llenar este valor en el subpanel de la Frecuencia de Salida. Si se desea en cambio un barrido de frecuencia se debería ir directamente al subpanel de barrido y configurar allí los respectivos parámetros.

10. En caso de desearse una señal que presente un retardo de fase repecto a la señal de referencia, se debería setearse el retardo de fase respectivo. El valor por defecto es 0° de retardo.

B.4.1 EJEMPLO

Si se desea obtener una frecuencia de salida fija del valor de 65 MHz, 0° de fase de retardo utilizando un cristal de 30 MHz la ventana de configuración debería verse como la de la *fig.B.11*

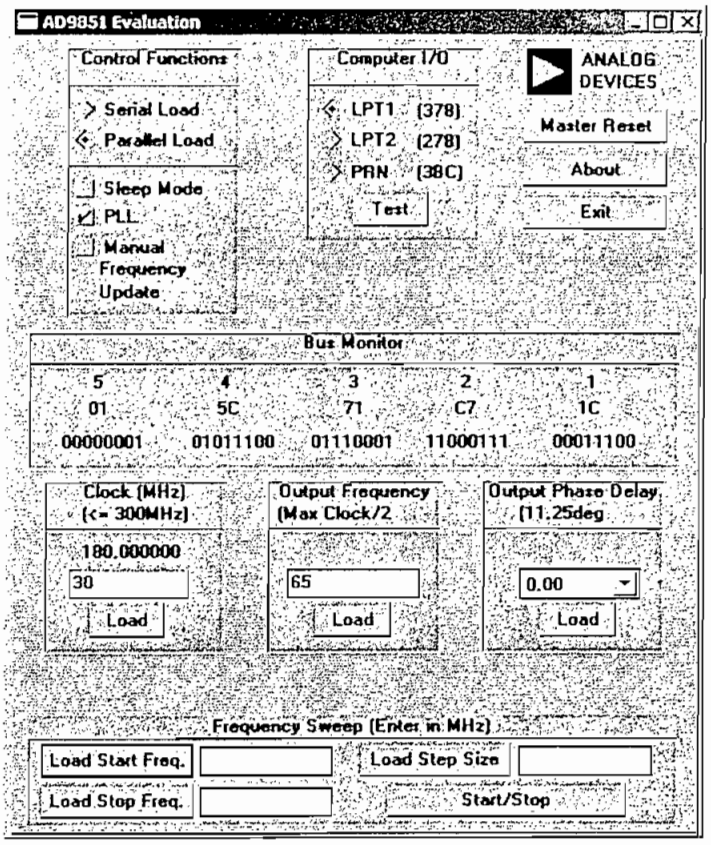


fig.B.11 Generación de una frecuencia 65 MHz del ejemplo

APÉNDICE C

C. PUERTO PARALELO

C.1. FUNCIONALIDAD DE LOS PINES DEL PUERTO PARALELO

Funcionalidad	Pines D-25 M	Funcionalidad	Pines D-25 M
Strobe	1	Autofeed	14
Data Bit 0	2	Error	15
Data Bit 1	3	Reset	16
Data Bit 2	4	Select	17
Data Bit 3	5	Ground	18
Data Bit 4	6	Ground	19
Data Bit 5	7	Ground	20
Data Bit 6	8	Ground	21
Data Bit 7	9	Ground	22
Acknowledge	10	Ground	23
Busy	11	Ground	24
Paper Out	12	Ground	25
Select	13	-	-

Tabla C.1 Funciones de los pines del puerto paralelo

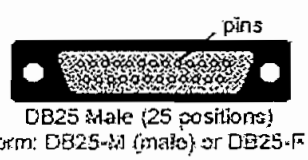


fig C.1 Conector DB-25 del puerto paralelo

C.2 DISTRIBUCIÓN DE PINES DEL CABLE DE CONEXIÓN Y FUNCIONES QUE ESTOS REALIZAN[1]

DB-25 H (a la tarjeta)	DB-25 M (a la PC)	Funcionalidad[2]
Pin 5	Pin 9	D0
Pin 6	Pin 8	D1
Pin 7	Pin 7	D2
Pin 8	Pin 6	D3
Pin 9	Pin 5	D4
Pin 10	Pin 4	D5
Pin 11	Pin 3	D6
Pin 12	Pin 2	D7
Pin 13	Pin 1	Reset
Pin 14	Pin 19	Gnd
Pin 15	Pin 20	Gnd
Pin 16	Pin 21	Gnd
Pin 17	Pin 22	Gnd
Pin 18	Pin 23	Gnd
Pin 19	Pin 24	Gnd
Pin 20	Pin 25	Gnd
Pin 22	Pin 17	Strobe
Pin 23	Pin 16	W_Clk
Pin 24	Pin 15	Check
Pin 25	Pin 14	F_Ud
Pines 1,2,3,4,21	Pines 10,11,12,13, 18	n.c.[3]

Tabla C.2 Pinout del cable de comunicaciones

[1] Desde el punto de vista de la tarjeta de prueba.
[2] Desde el punto de vista de la tarjeta de prueba.
[3] Pin no conectado.

APÉNDICE D

D. CIRCUITO MODULADOR I/Q BÁSICO CON MEZCLADORES DE DIODO BALANCEADO

En un mezclador de diodos balanceados la mezcla se realiza en los diodos que actúan como unos dispositivos no lineales. Por tanto el mezclado ocurre también de forma no lineal, produciéndose las frecuencias suma y diferencia de las señales de RF y del oscilador local.

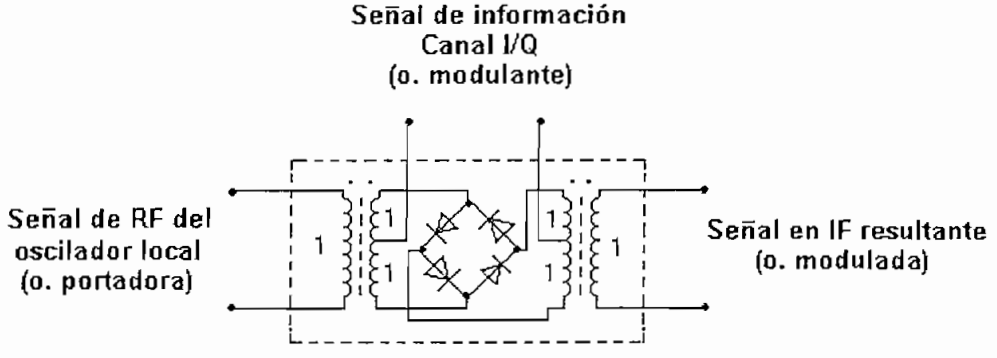


fig. D.1 Mezclador de diodos balanceados

Supóngase el caso de un modulador BPSK donde la señal de información es una señal binaria: 0 lógico (voltaje negativo) y 1 lógico (voltaje positivo). Dependiendo de la señal de entrada, los pares de diodos serán activados, produciendo que la señal resultante a la salida sea la misma señal original o la señal con un desfasamiento de 180° respectivamente. De igual forma ocurre para otros tipos de modulación analógica o digital.

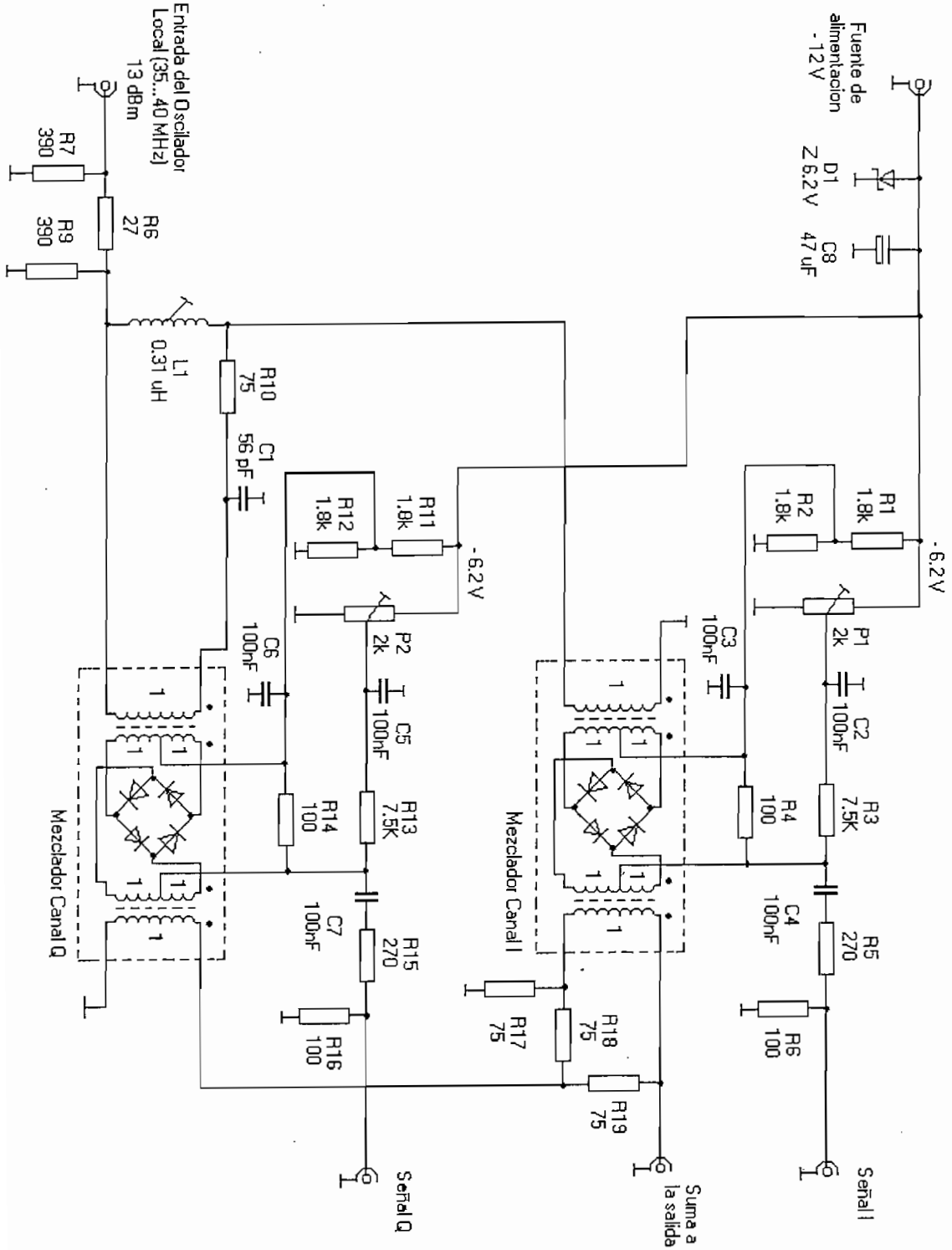


fig. D.2 Circuito básico modulador I/Q

En el gráfico anterior se puede apreciar el diagrama de un circuito modulador I/Q basado en mezcladores de diodo balanceado. Si se revisa el diagrama de la figura 1.10 se podrá verificar que en su concepción son idénticos. La señal del oscilador de referencia ingresa hacia ambos mezcladores, al mezclador del canal I en fase, mientras que al mezclador del canal Q entra con un desfasamiento de 90°. El desfasamiento se produce por el efecto de la inductancia L_1. Los capacitores *C2, C3, C5 y C6* envían el voltaje ac a tierra y no a la fuente de alimentación dc. Los capacitores *C4* y *C7* bloquean la señal dc y protegen al generador de señales I/Q. Tampoco es conveniente que ingrese un offset de voltaje dc a través de las señales I o Q, pues esto alteraría la profundidad de modulación. De hecho el arreglo compuesto por los potenciómetros *P1* y *P2* precisamente se encargan de regular el nivel de modulación añadiendo un pequeño offset de voltaje (0 ~ 0.5 voltios). El nivel de señal dc que cae sobre la resistencia *R4* no debe ser muy grande, razón por la cual debe ser mucho menor que el valor de la resistencia *R3*. Cuando el valor de los potenciómetros P1 y P2 se reparten en igual proporción el nivel de offset dc añadido es nulo. En cambio para ac *R3* y *R4* así como *R13* y *R14* se encuentran en paralelo y permiten que ingrese el voltaje de muestreo de los canales I y Q que cae sobre *R4* y *R14* respectivamente a los mezcladores de diodo balanceado. Las resistencias R5, R6, R15 y R16 permiten que el valor de la impedancia de entrada del circuito sea aproximadamente 75 Ω. Por esa misma razón también se encuentra la red II en la entrada del oscilador local. Las señales resultantes son al final adicionadas en la resistencia *R19* de donde después se dirigen a la salida común.

En el gráfico constan como ejemplo los valores de resistencias y capacitores para un modulador I/Q ya diseñado específico.

ANEXO A

A. Ruteo de la Platina (Layout)

A.1 Prototipo: Platina de Prueba 158

A.1.1 Elementos de la Cara Superior de la Platina 158

A.1.2 Elementos y Pistas de Conexión de la Cara Superior de la Platina 159

A.1.3 Detalle de las Pistas de la Cara Superior de la Platina 160

A.1.4 Pistas y Plano de Tierra de la Cara Superior de la Platina 161

A.1.5 Elementos y Pistas de Conexión de la Cara Inferior de la Platina 162

A.1.6 Detalle de las Pistas de la Cara Inferior de la Platina 163

A.1.7 Pistas y Plano de Tierra de la Cara Inferior de la Platina 164

A.2 Prototipo: Platina Definitiva 165

A.2.1 Elementos de la Cara Superior de la Platina 165

A.2.2 Elementos y Pistas de Conexión de la Cara Superior de la Platina 166

A.2.3 Detalle de las Pistas de la Cara Superior de la Platina 167

A.2.4 Pistas y Plano de Tierra de la Cara Superior de la Platina 168

A.2.5 Elementos de la Cara Inferior de la Platina 169

A.2.6 Elementos y Pistas de Conexión de la Cara Inferior de la Platina 170

A.2.7 Detalle de las Pistas de la Cara Inferior de la Platina 171

A.2.8 Pistas y Plano de Tierra de la Cara Inferior de la Platina 172

A.2.9 Tamaño Real de la Platina 173

ANEXO A

A. RUTEO DE LA PLATINA (LAYOUT)

A.1 PROTOTIPO: PLATINA DE PRUEBA

A.1.1 ELEMENTOS DE LA CARA SUPERIOR DE LA PLATINA

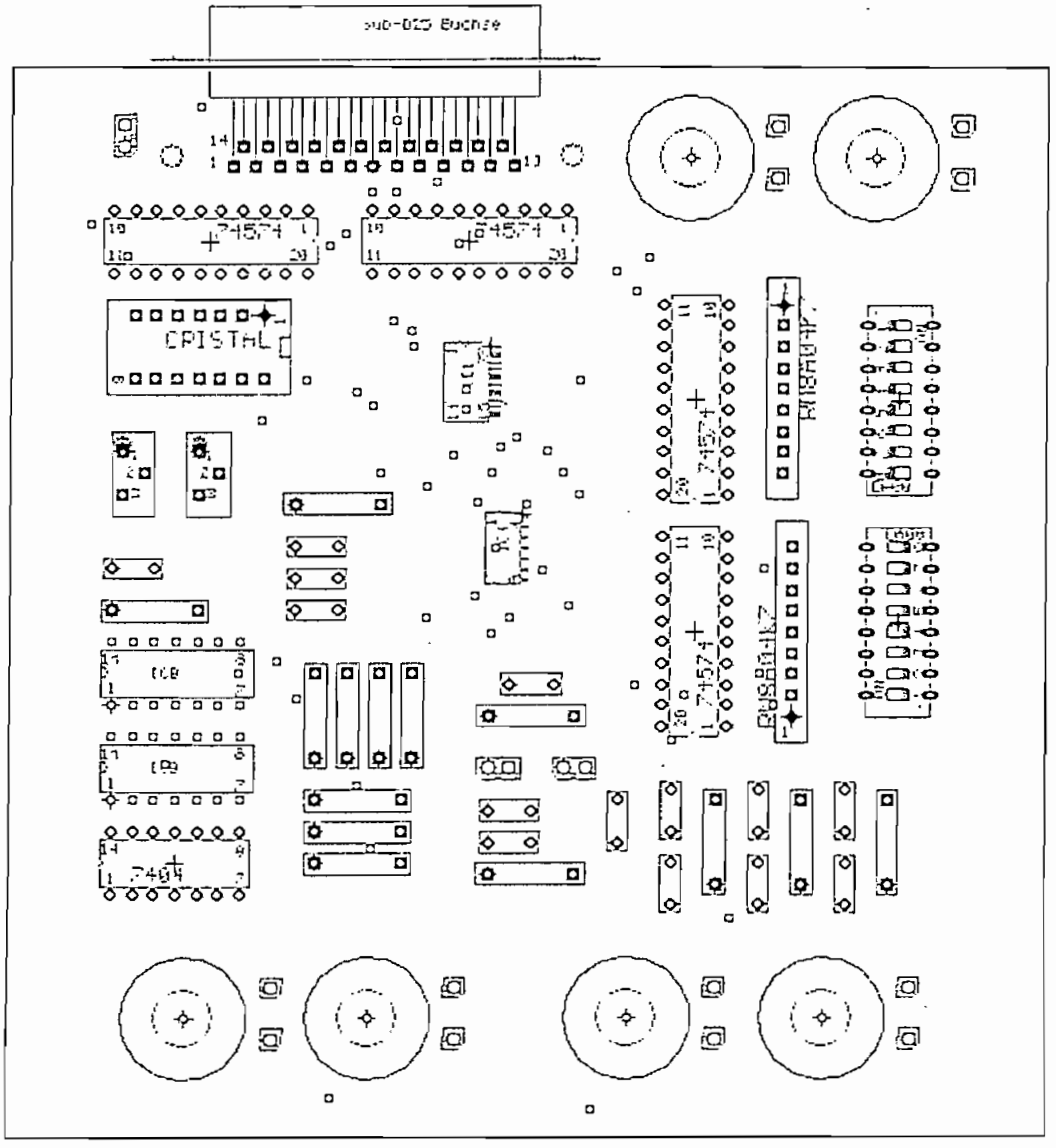


fig.Ax.1

A.1.2 ELEMENTOS Y PISTAS DE CONEXIÓN DE LA CARA SUPERIOR DE LA PLATINA

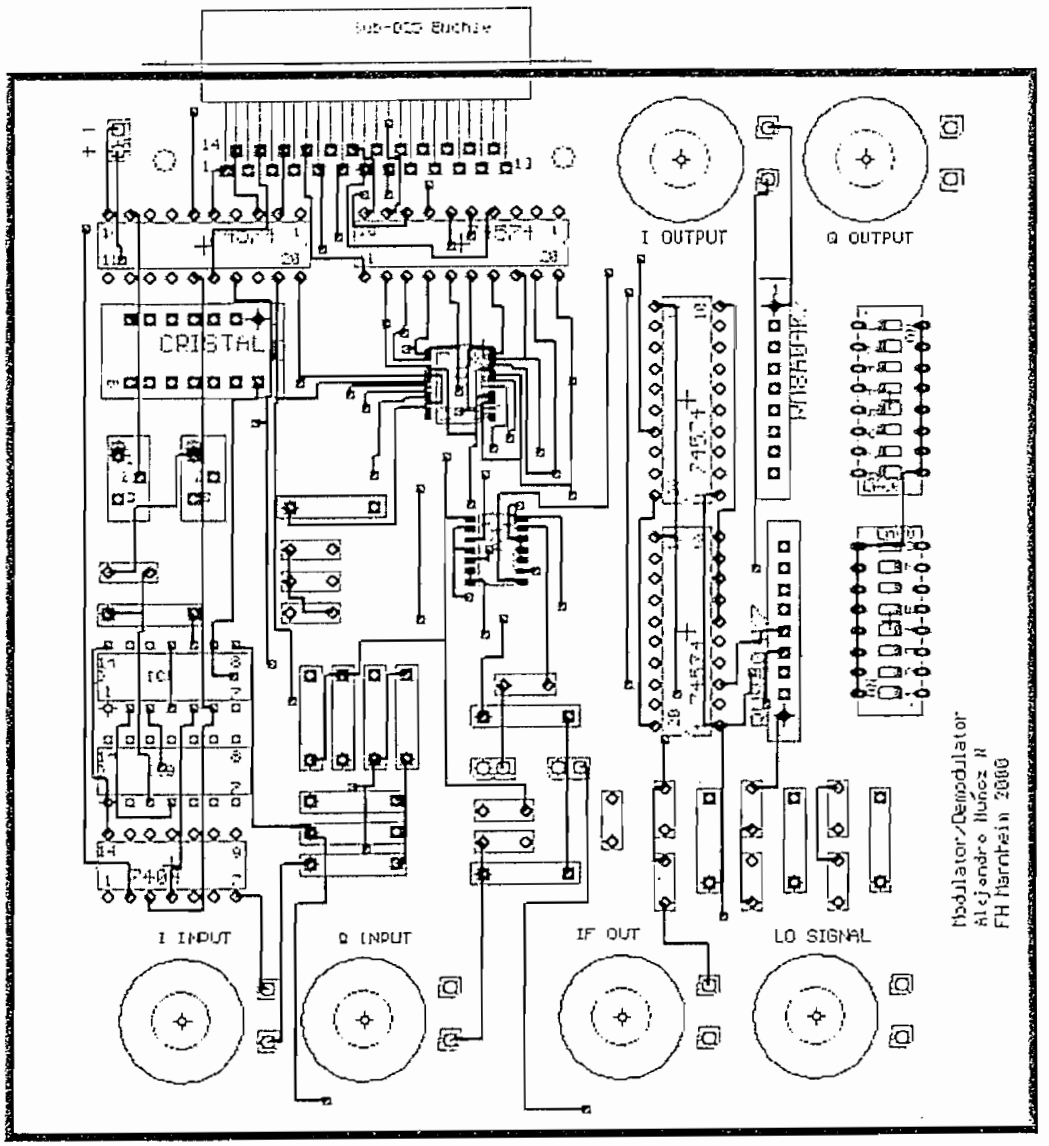


fig.Ax.2

A.1.3 DETALLE DE LAS PISTAS DE LA CARA SUPERIOR DE LA PLATINA

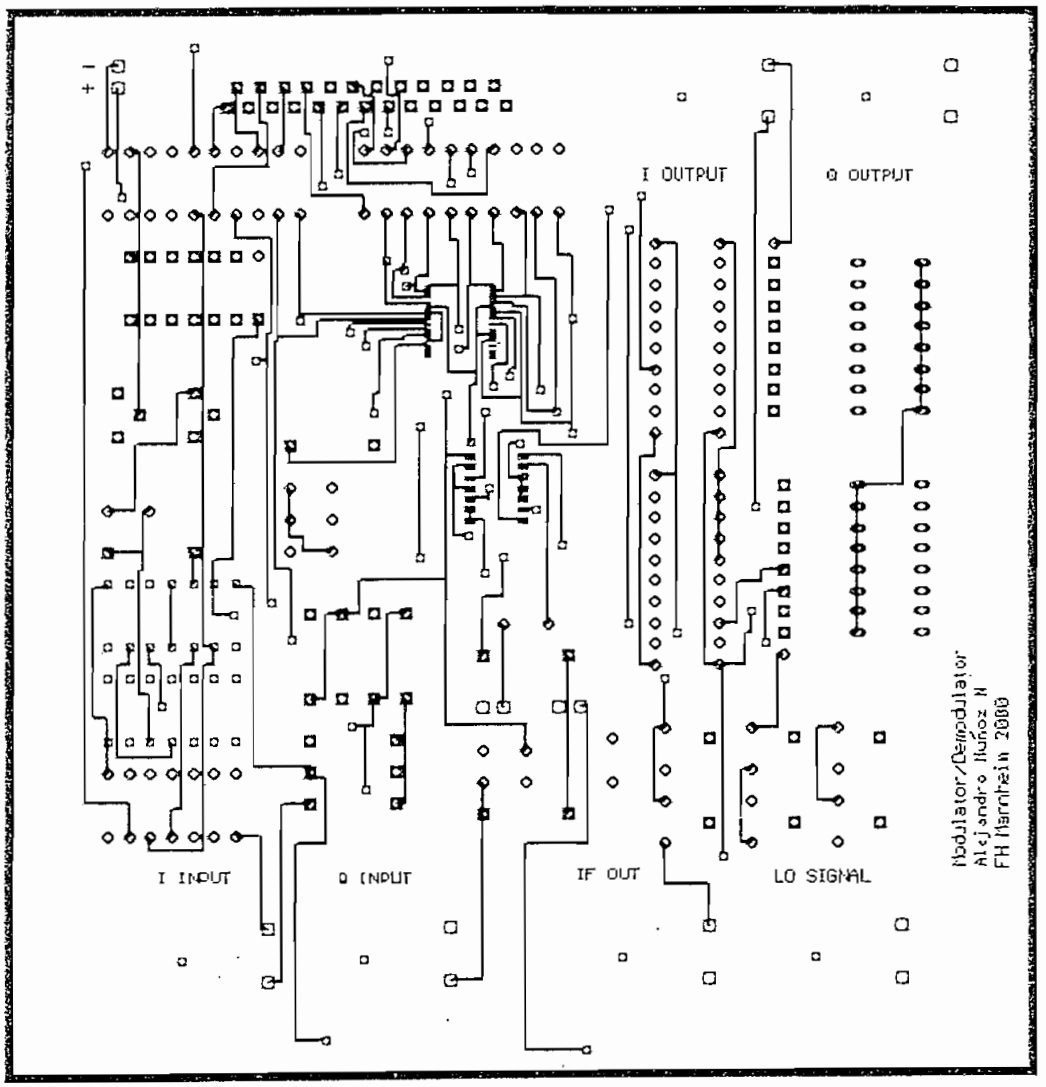


fig.Ax.3

A.1.4 PISTAS Y PLANO DE TIERRA DE LA CARA SUPERIOR DE LA PLATINA

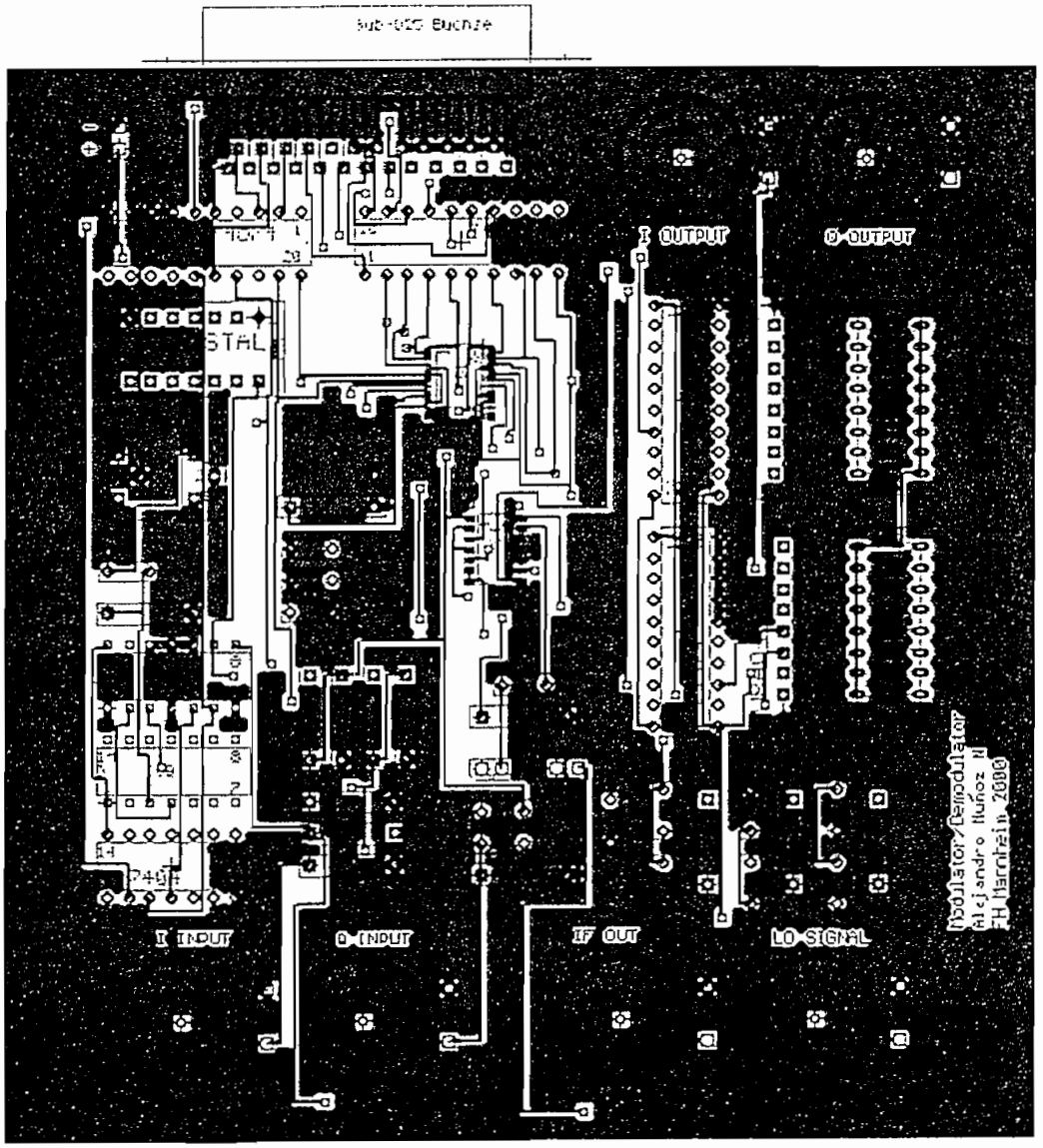


fig.Ax.4

A.1.5 ELEMENTOS Y PISTAS DE CONEXIÓN DE LA CARA INFERIOR DE LA PLATINA

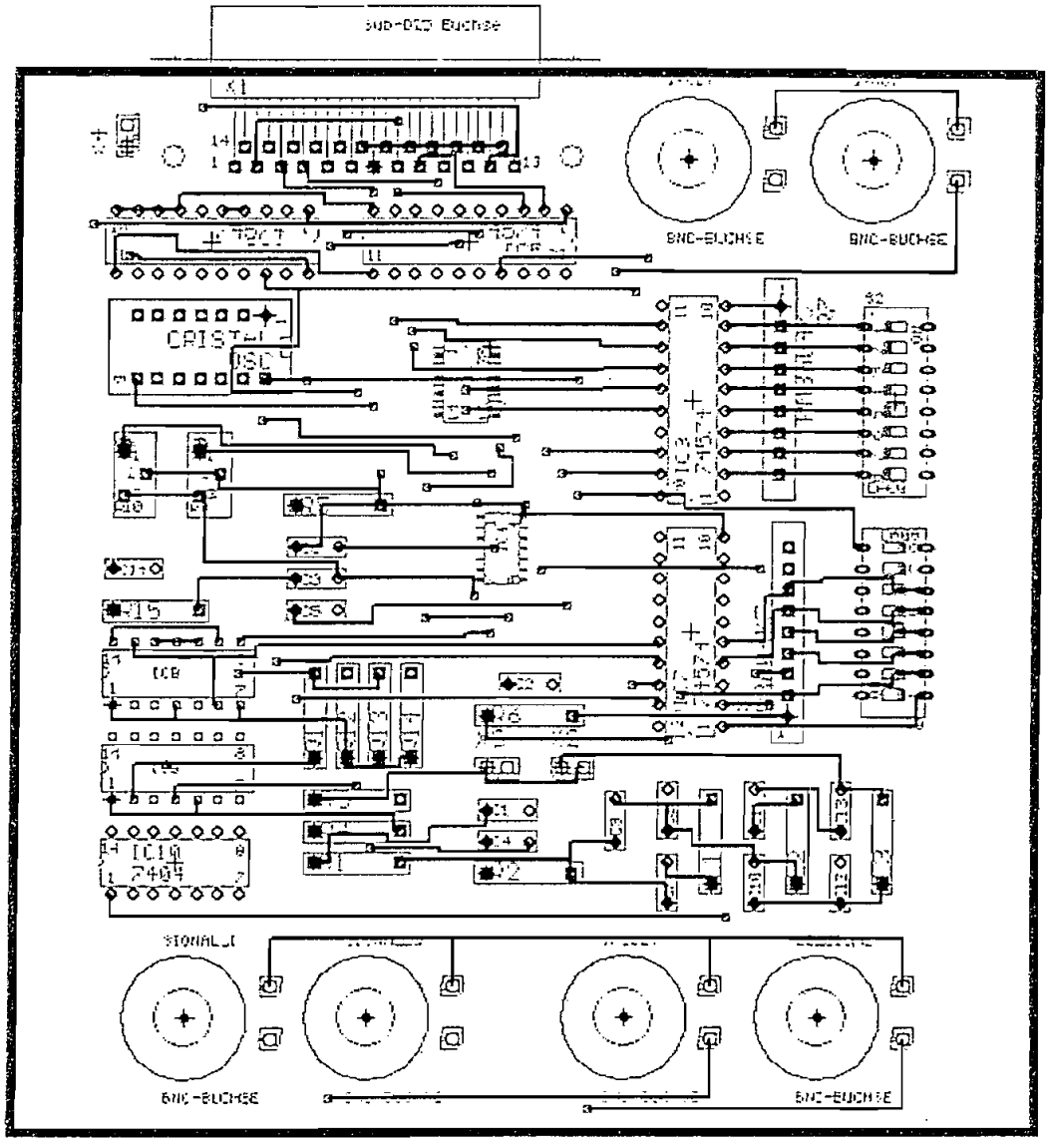


fig.Ax.5

A.1.6 DETALLE DE LAS PISTAS DE LA CARA INFERIOR DE LA PLATINA

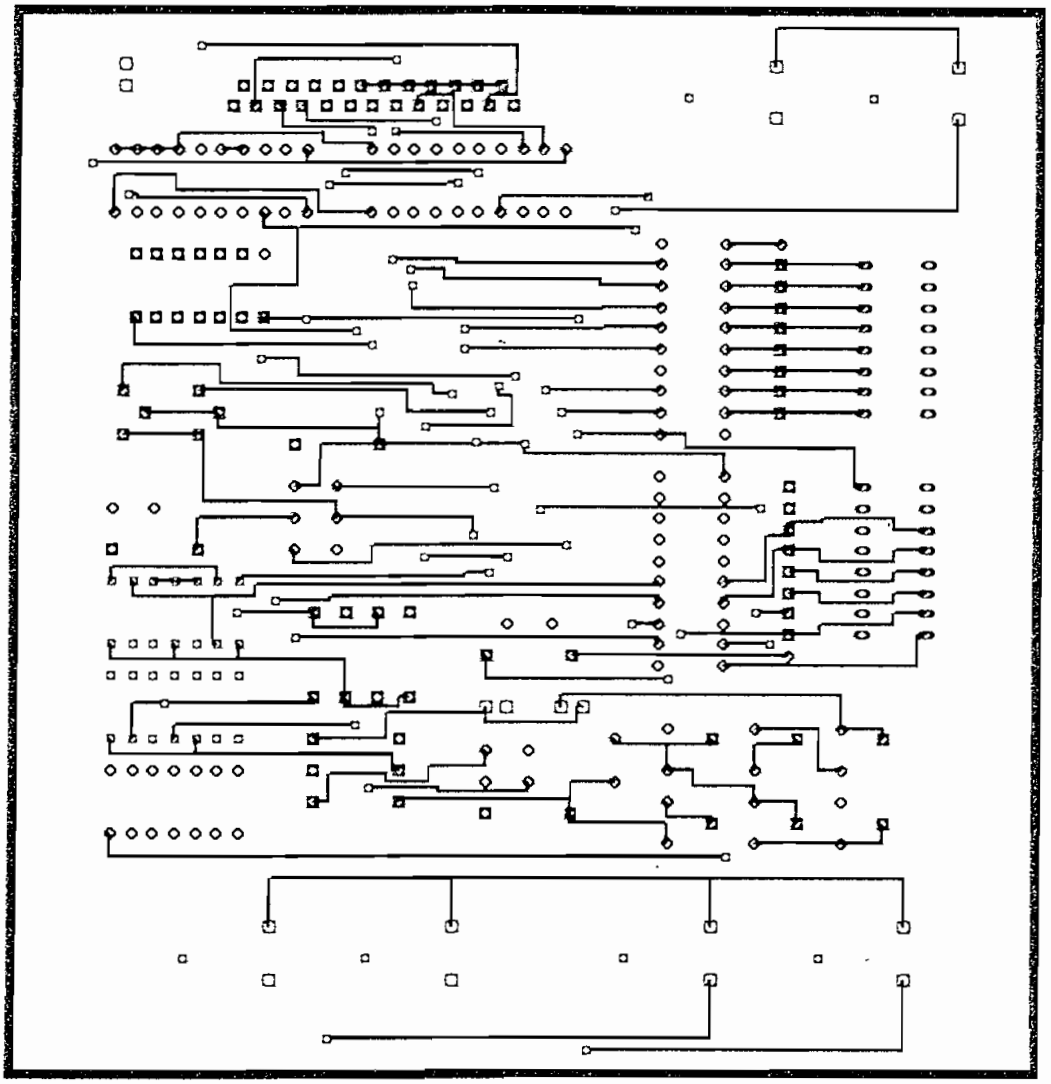


fig.Ax.6

A.1.7 PISTAS Y PLANO DE TIERRA DE LA CARA INFERIOR DE LA PLATINA

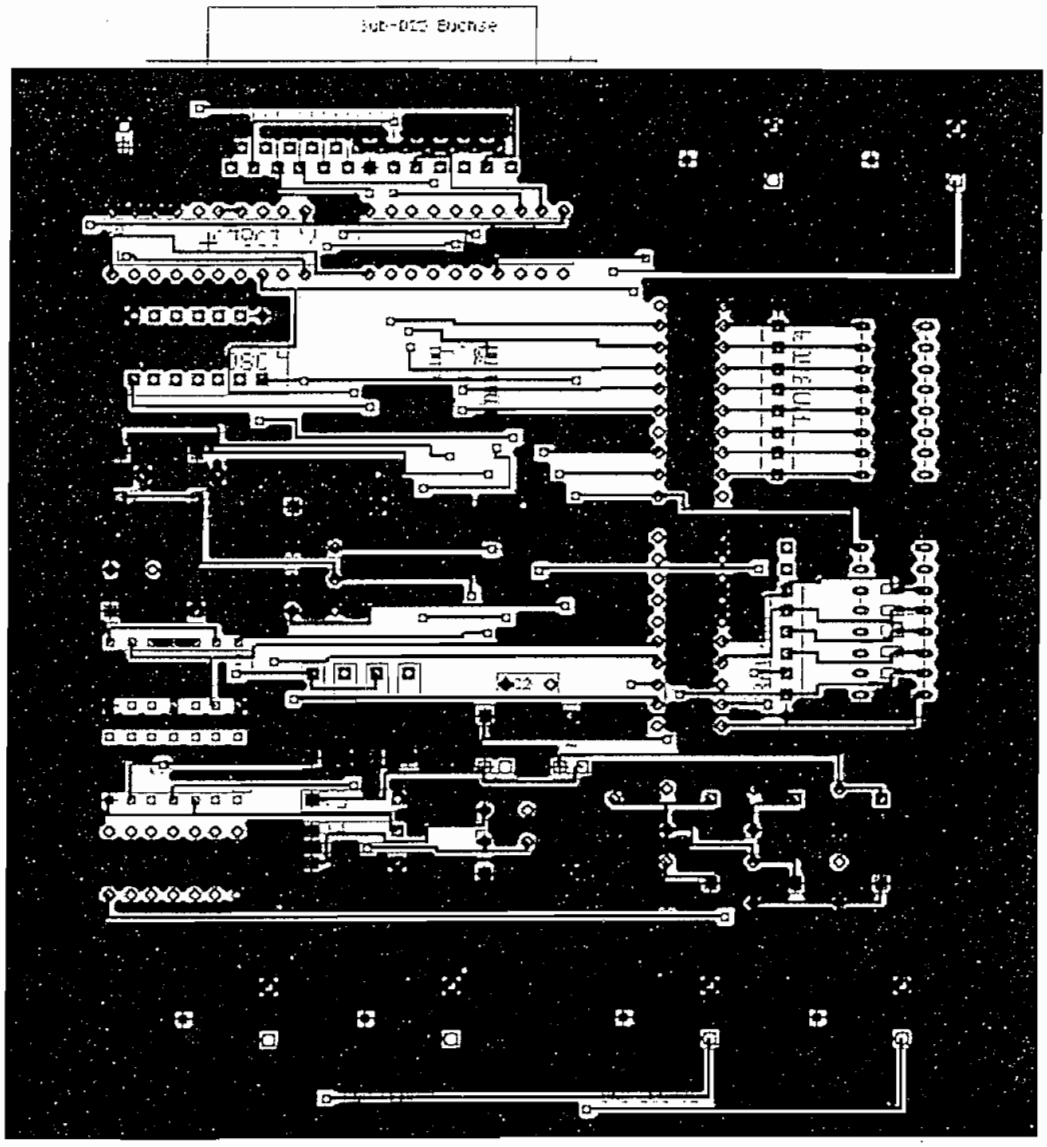


fig.Ax.7

A.2 PROTOTIPO: PLATINA DEFINITIVA

A.2.1 ELEMENTOS DE LA CARA SUPERIOR DE LA PLATINA

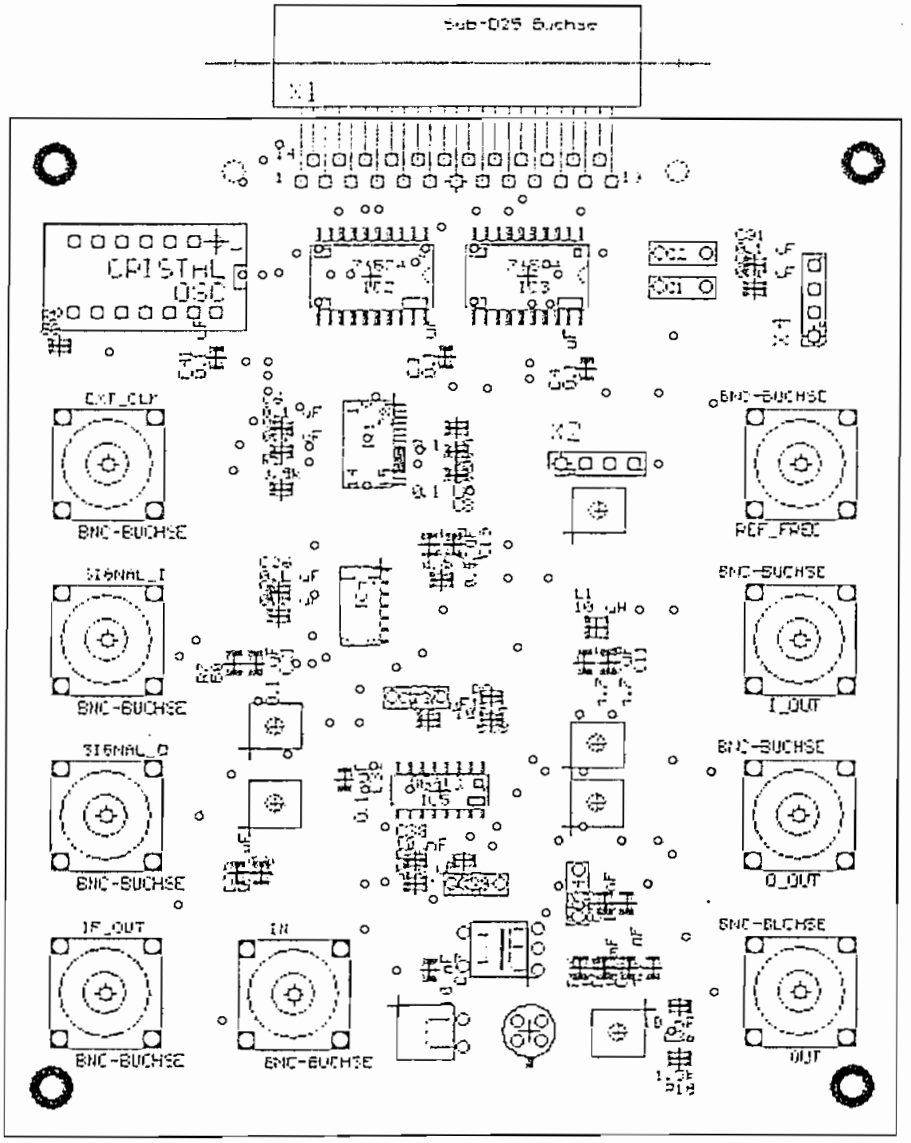


fig.Ax.8

A.2.2 ELEMENTOS Y PISTAS DE CONEXIÓN DE LA CARA SUPERIOR DE LA PLATINA

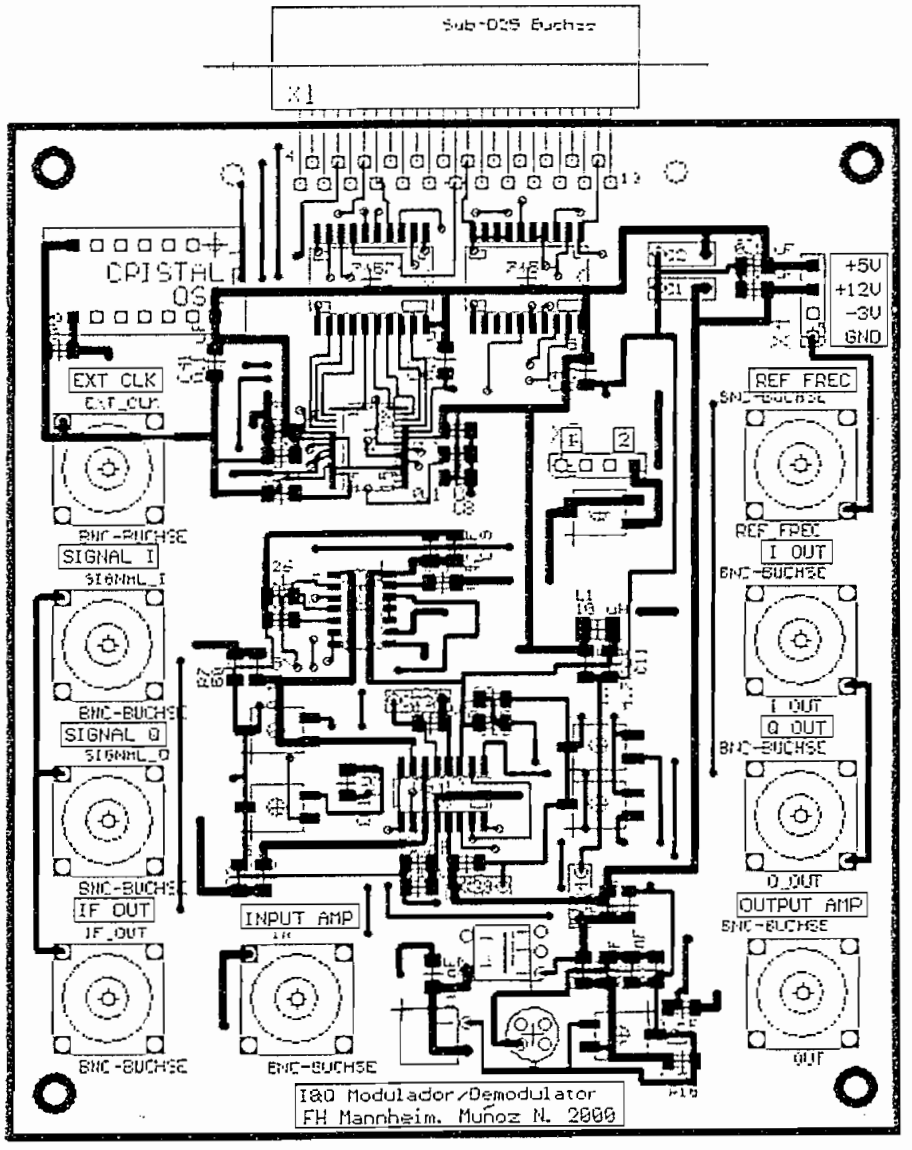


fig.Ax.9

A.2.3 DETALLE DE LAS PISTAS DE LA CARA SUPERIOR DE LA PLATINA

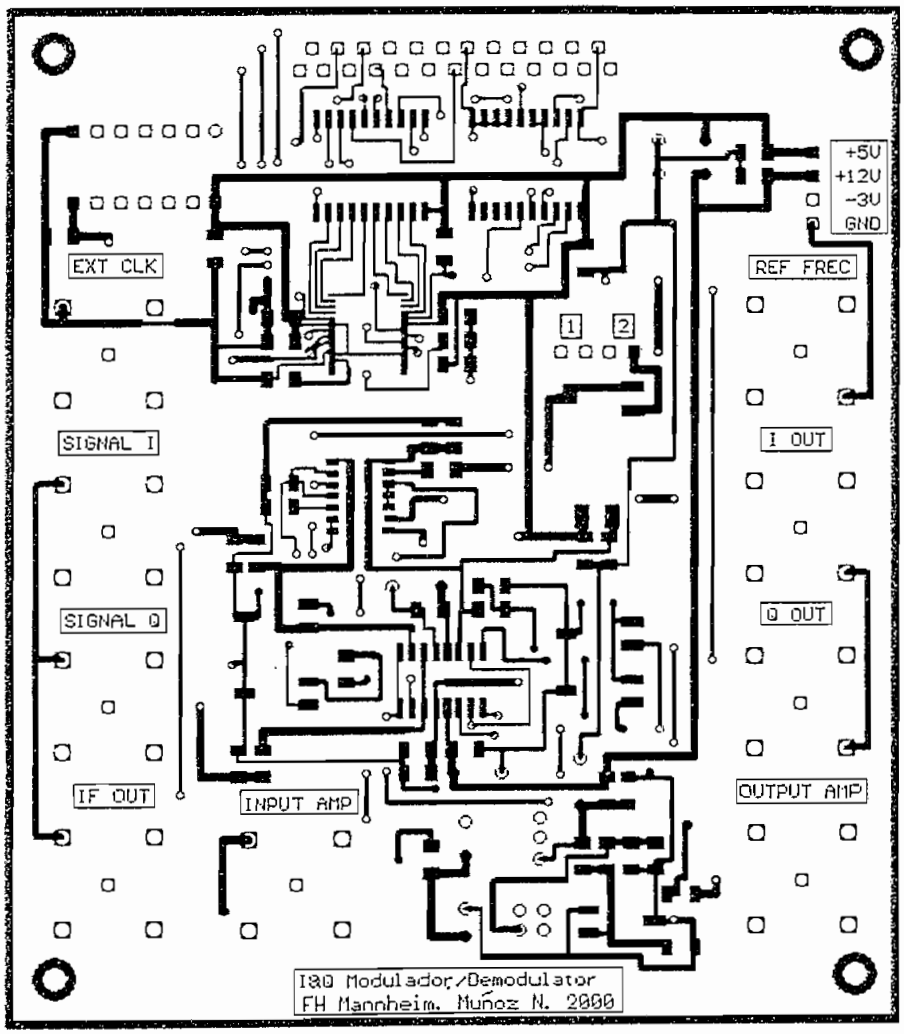


fig.Ax.10

A.2.4 PISTAS Y PLANO DE TIERRA DE LA CARA SUPERIOR DE LA PLATINA

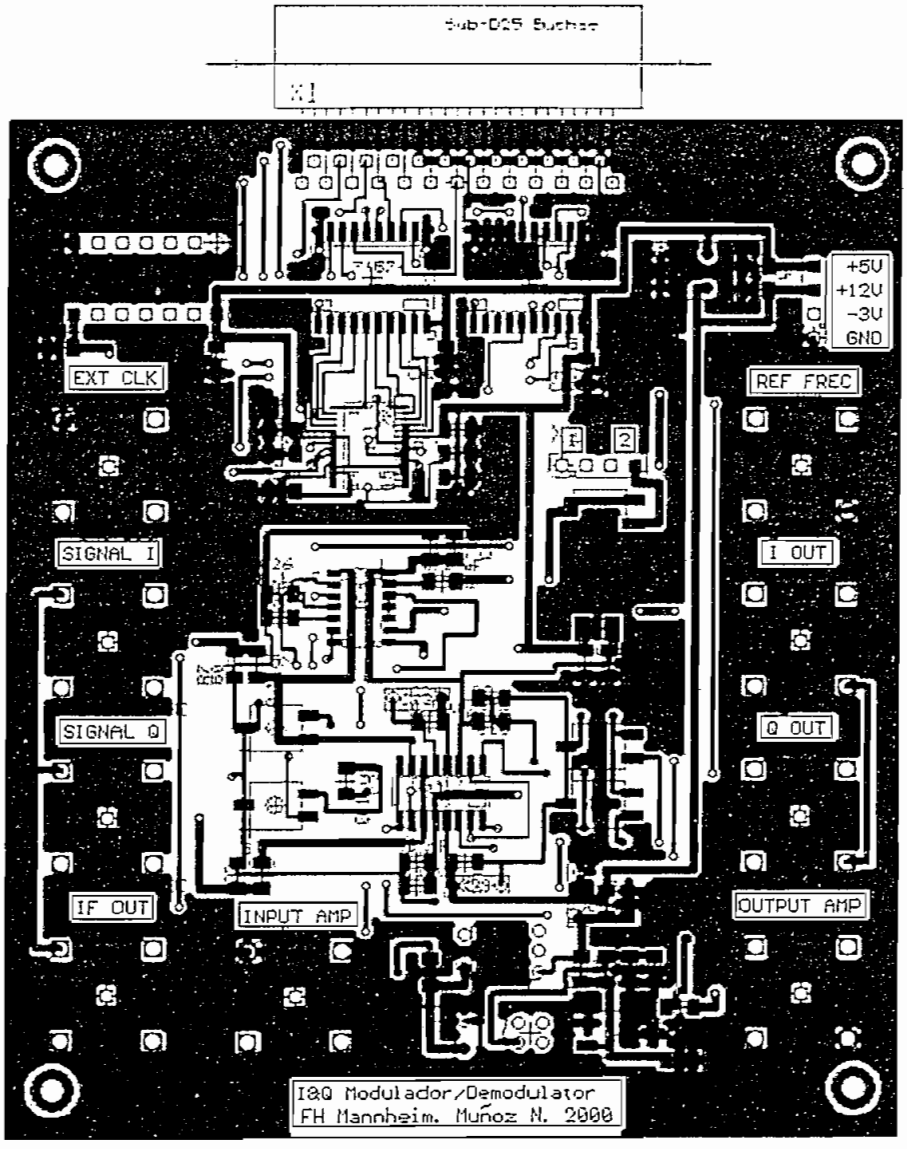


fig.Ax.11

A.2.5 ELEMENTOS DE LA CARA INFERIOR DE LA PLATINA

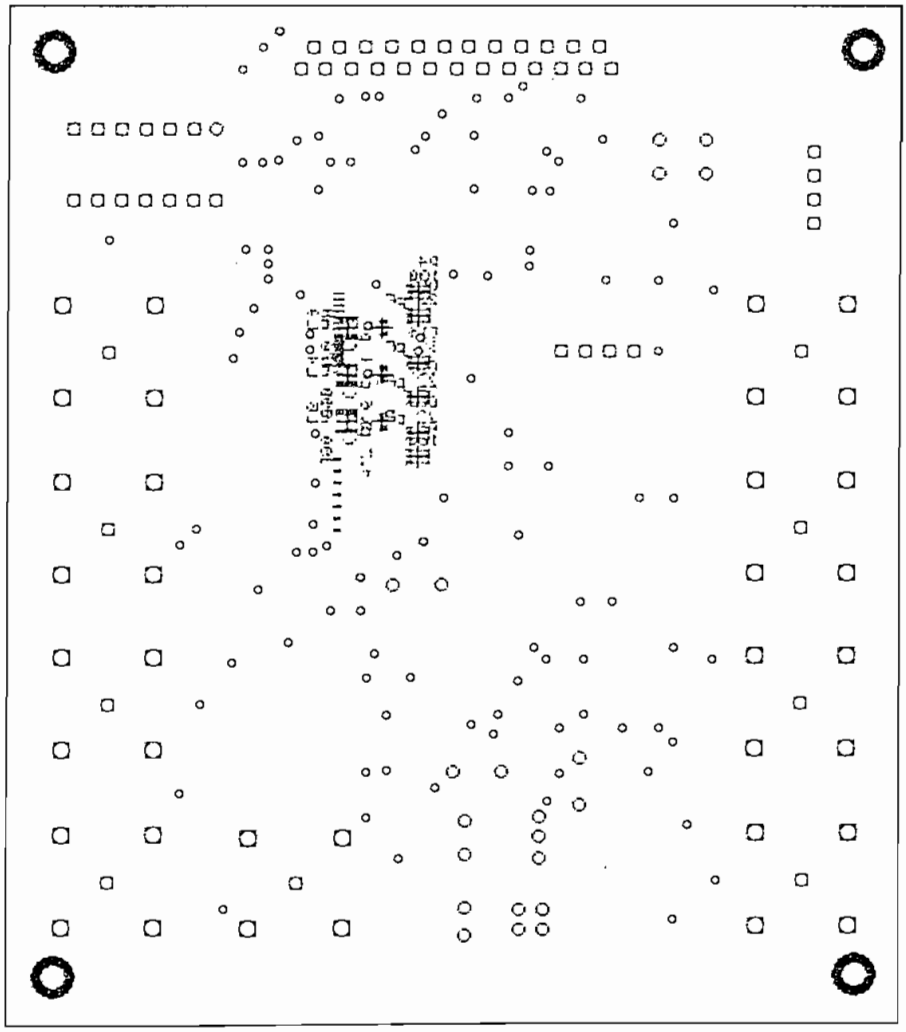


fig.Ax.12

A.2.6 ELEMENTOS Y PISTAS DE CONEXIÓN DE LA CARA INFERIOR DE LA PLATINA

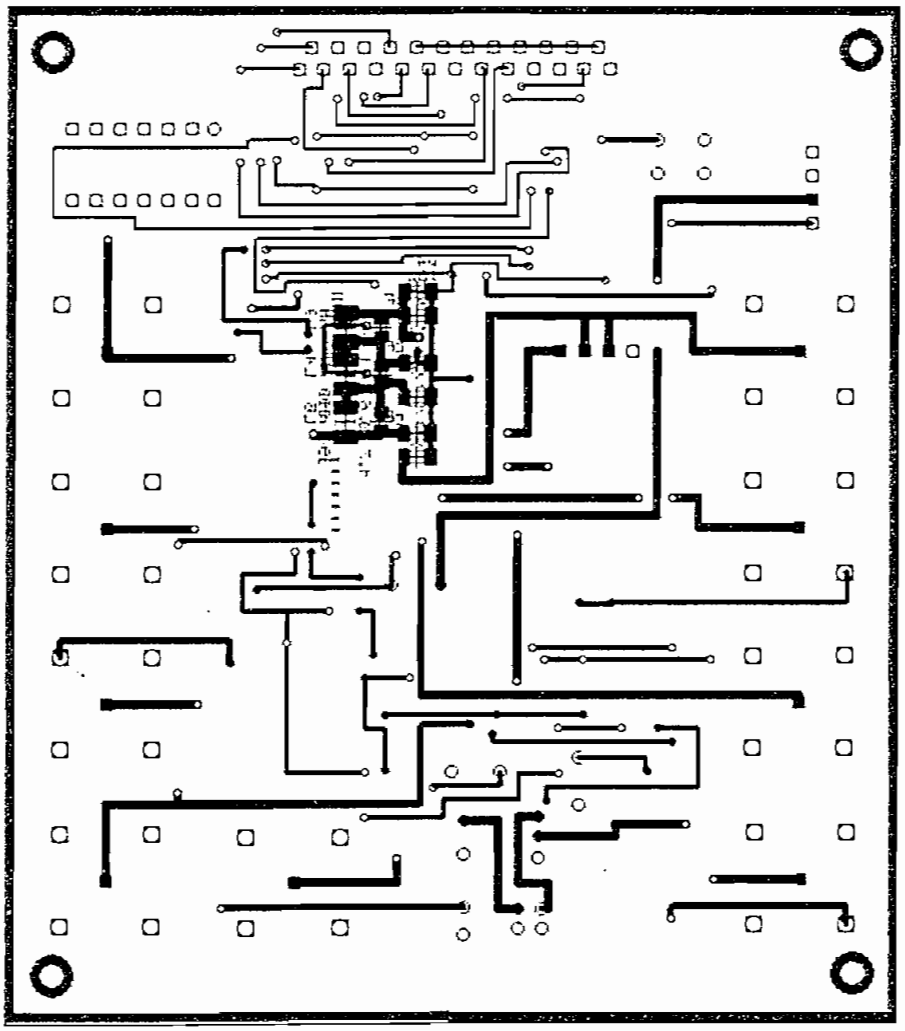


fig.Ax.13

A.2.7 DETALLE DE LAS PISTAS DE LA CARA INFERIOR DE LA PLATINA

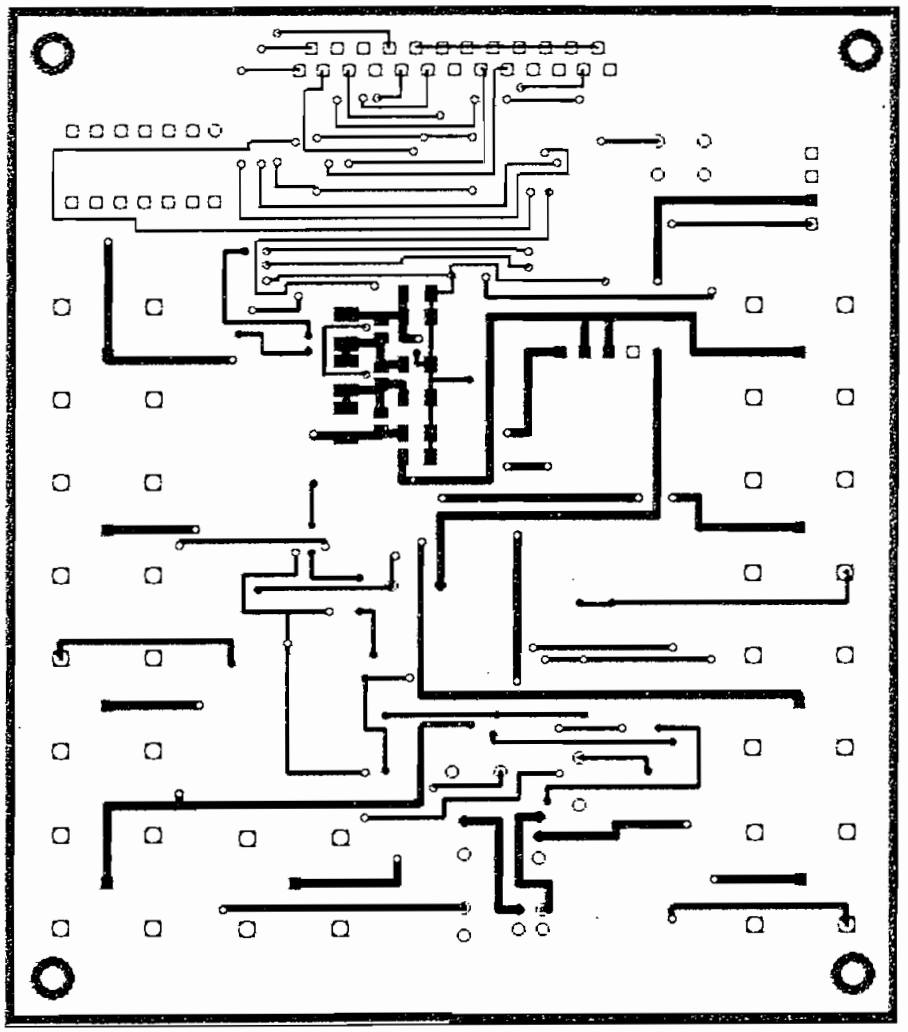


fig.Ax.14

A.2.8 PISTAS Y PLANO DE TIERRA DE LA CARA INFERIOR DE LA PLATINA

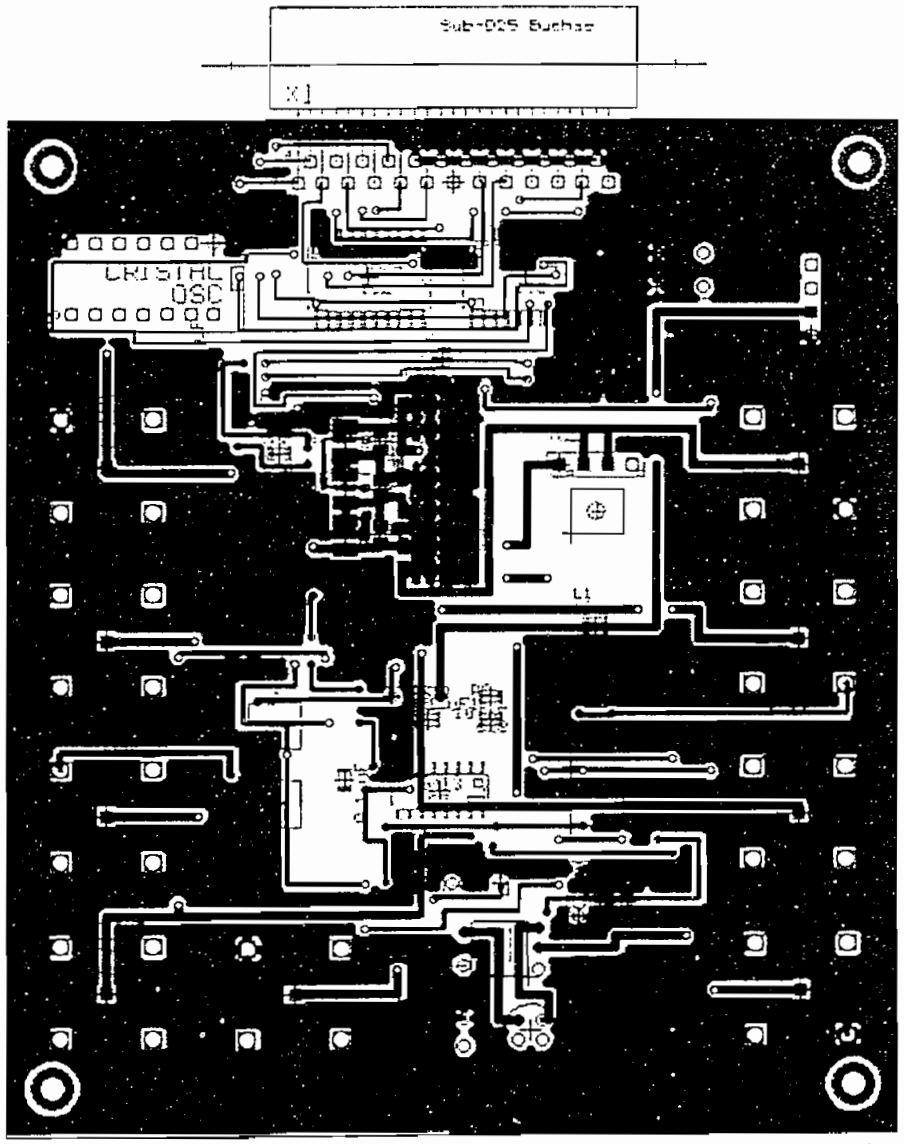


fig.Ax.15

A.2.9 TAMAÑO REAL DE LA PLATINA

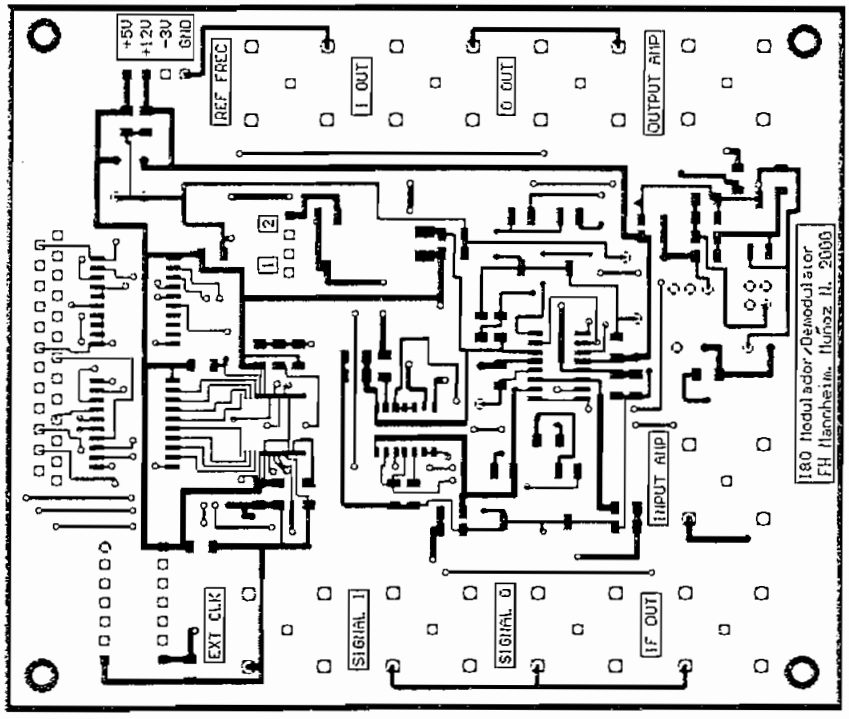


fig.Ax.16 (a) Cara superior

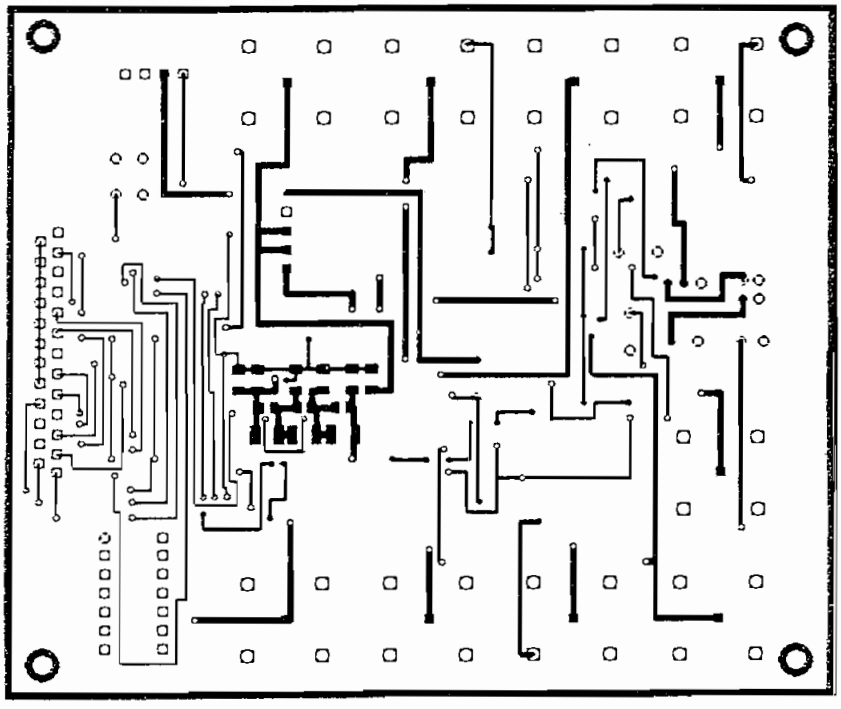


fig.Ax.16 (b) Cara inferior

ANEXO B

B. FOTOGRAFÍAS DEL LA TARJETA DE MODULACIÓN & DEMODULACIÓN

B.1 ESQUEMA DEL EQUIPO TOTAL UTILIZADO

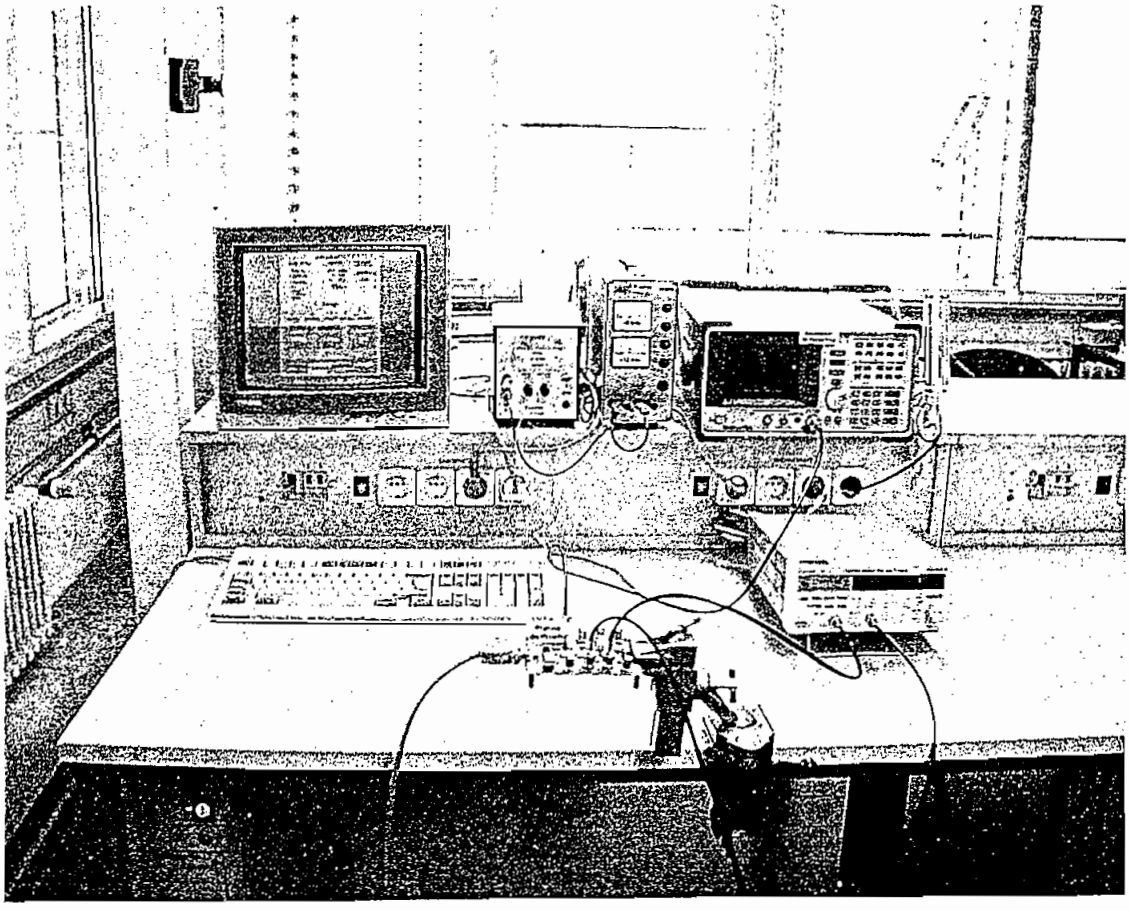


Fig. Bx.1

B.2 ESQUEMA DEL EQUIPO TOTAL UTILIZADO (2)

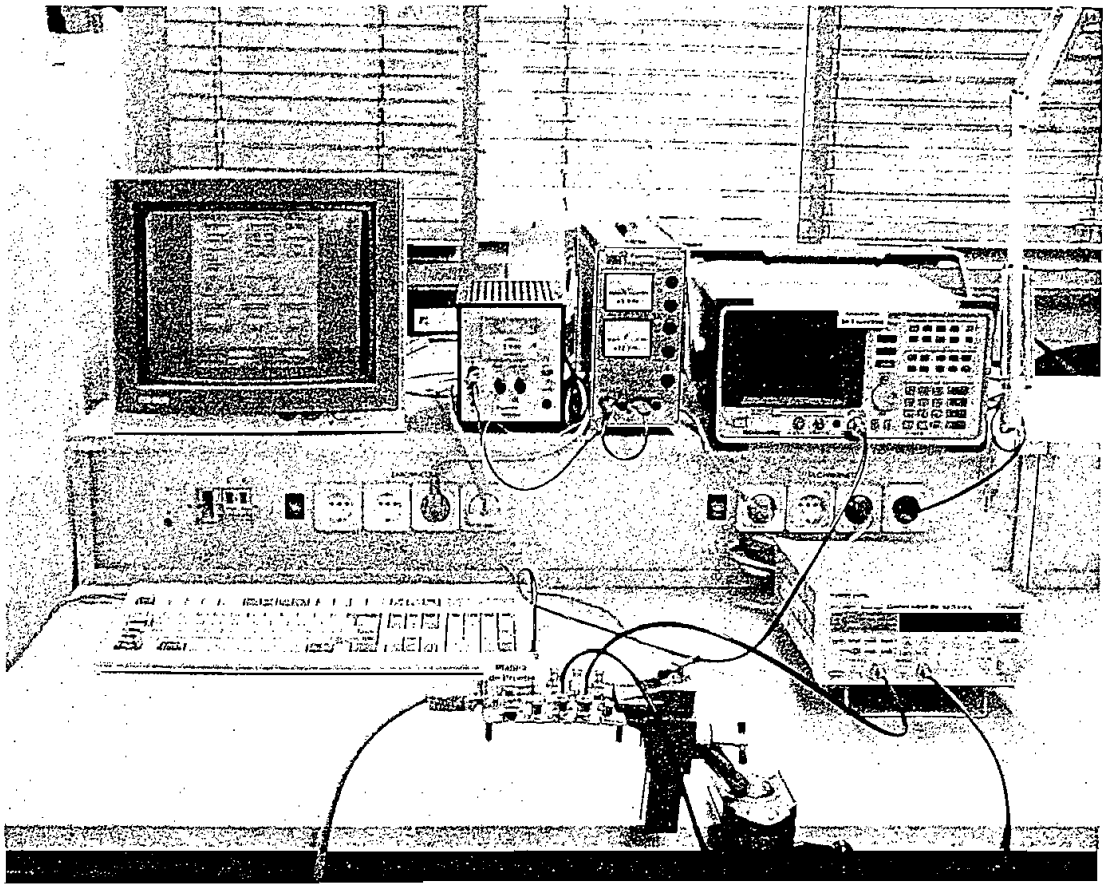


Fig. Bx.2

B.3 TARJETA MODULADORA/DEMODULADORA DE PRUEBAS

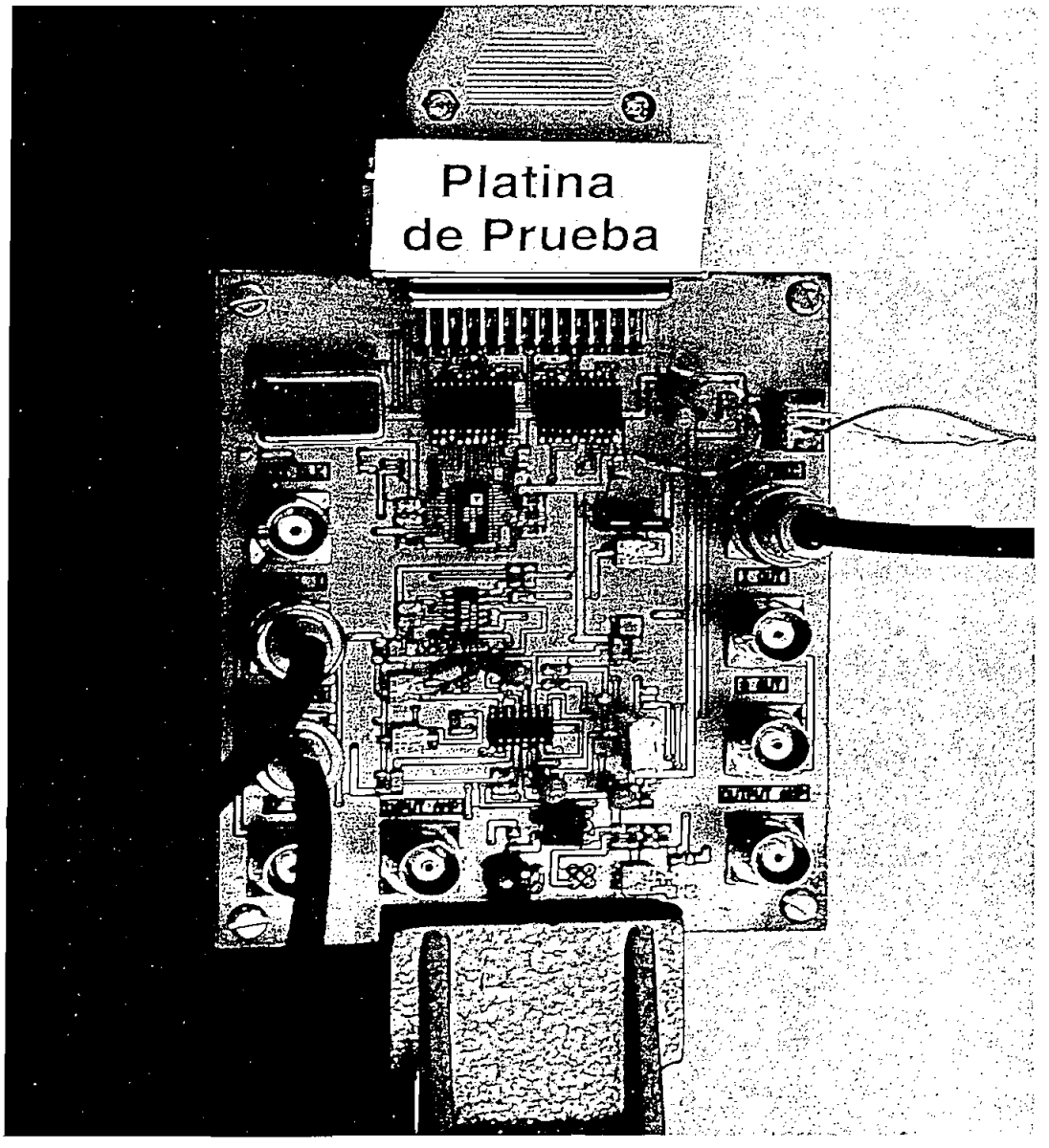


Fig.Bx.3

B.4 PLATINA: VISTA DE LA CARA SUPERIOR

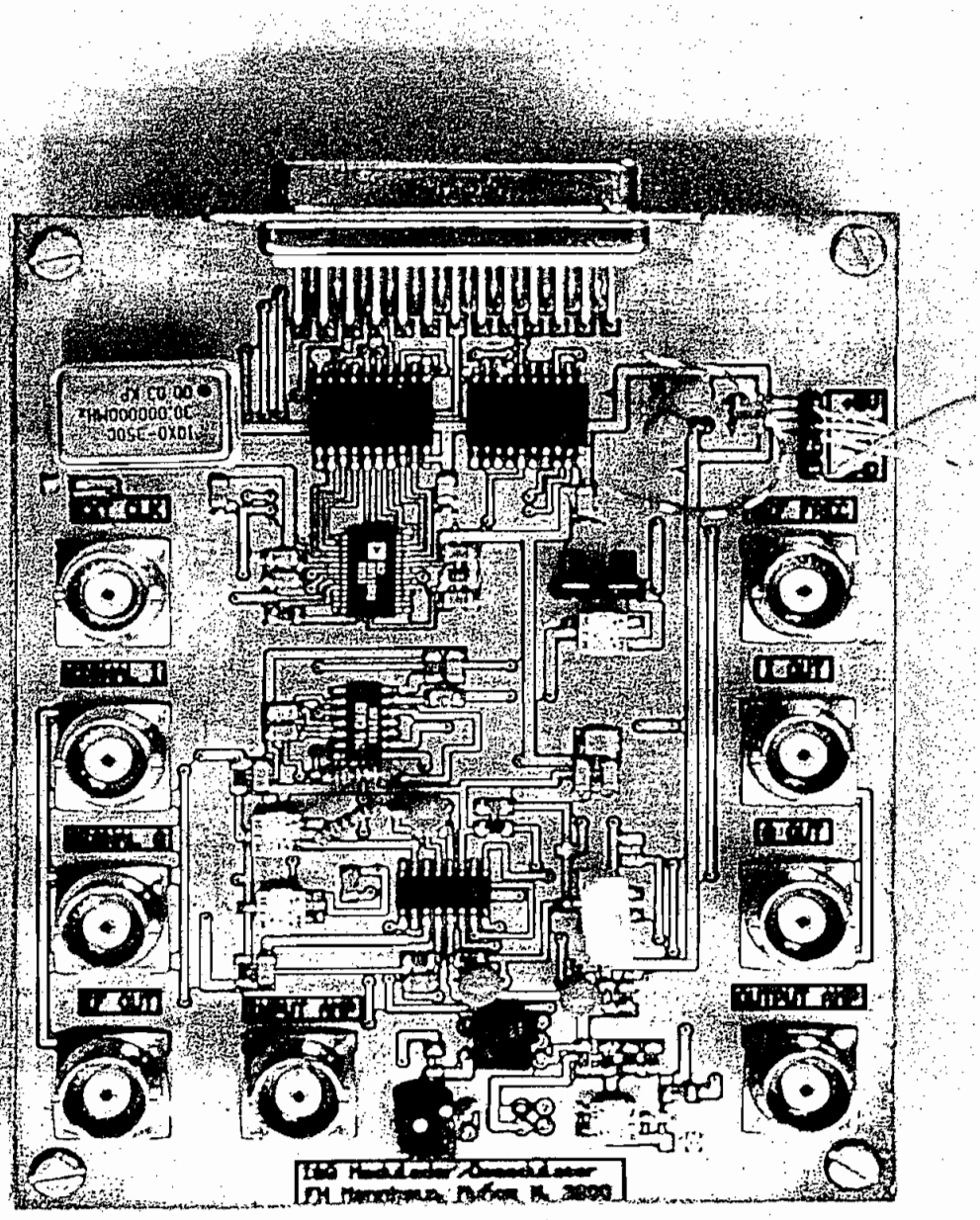


Fig.Bx.4

B.5 PLATINA: VISTA DE LA CARA SUPERIOR

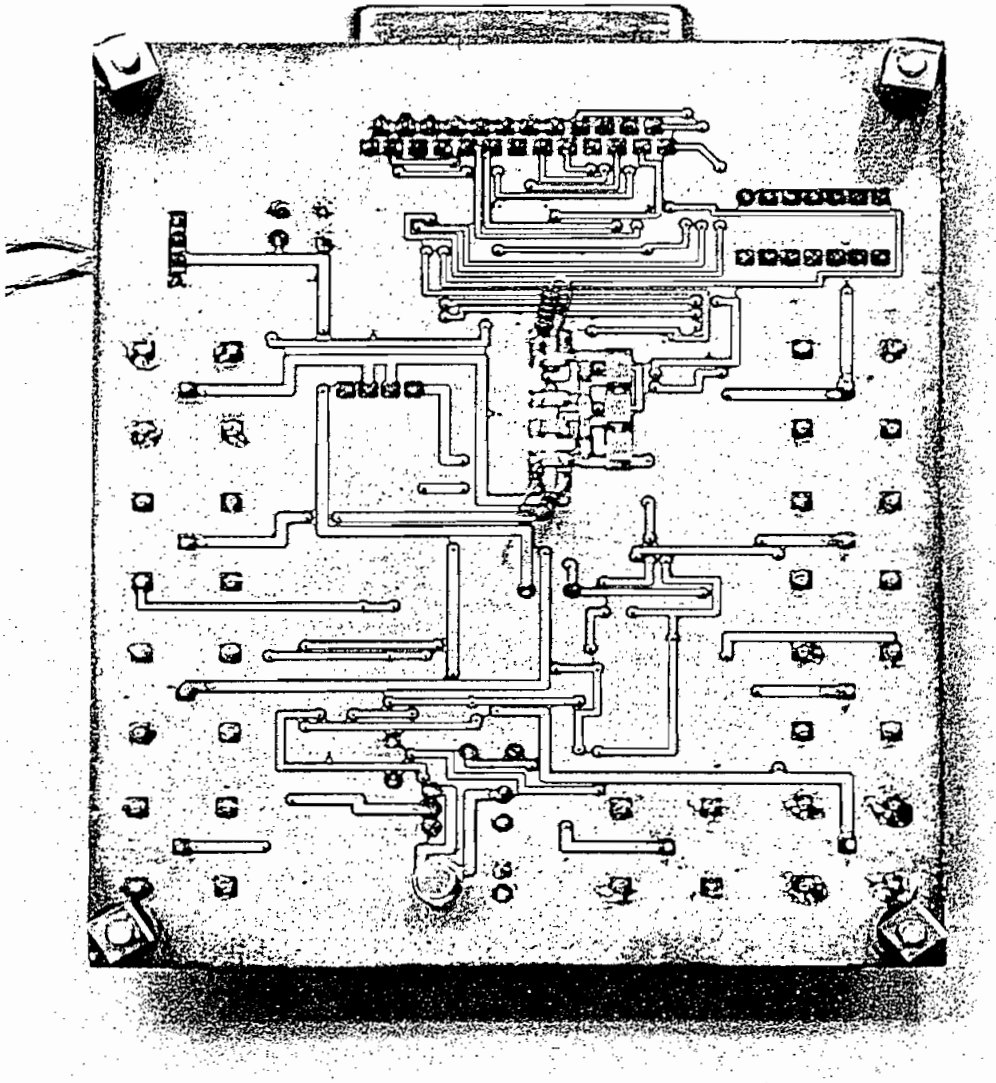
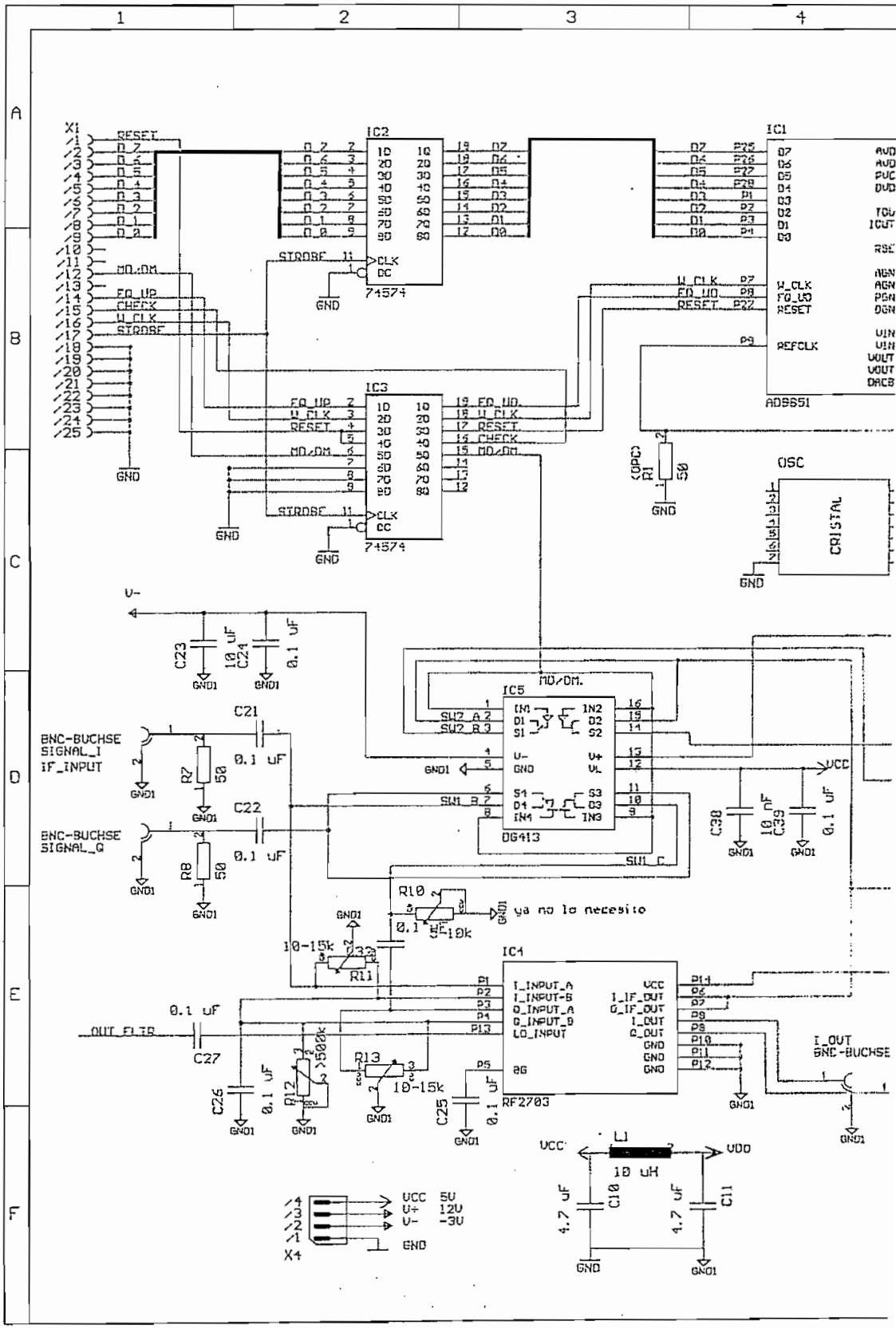


Fig Bx.5

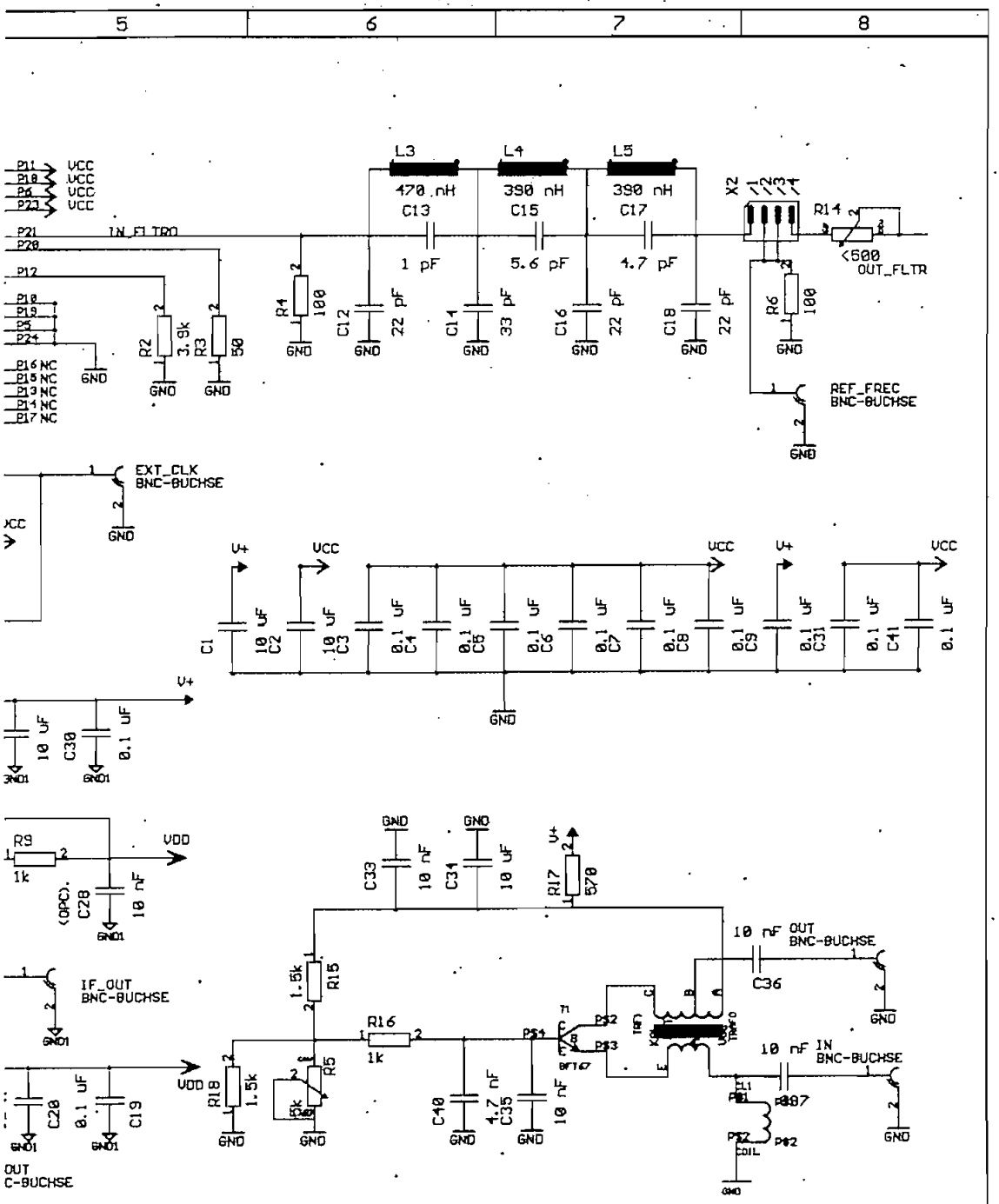
ANEXO C

C. PLANOS Y ELEMENTOS DEL EQUIPO DE PRUEBAS

C.1 PLANOS ELÉCTRICOS DEL EQUIPO DE PRUEBAS



X1
IC2
74574
IC3
74574
IC1
AD9851
OSC
CRISTAL
IC5
DG413
IC4
RF2703
BNC-BUCHSE
SIGNAL_I
IF_INPUT
BNC-BUCHSE
SIGNAL_Q
OUT_FLTR
ya no lo necesito
I_OUT
BNC-BUCHSE
X4
VCC 5V
V+ 12V
V- -3V
GND



FH – Mannheim		Datum:	Name:	Änderungen	Blatt 1/1	
	gez.			Datum/Uhrzeit	Zeichngs-Nr: letzt	
	gepr.			11/11/2000 02:32:54a		
ALEJANDRO MUNOZ MODULATOR/DEMODULATOR					Masstab	Artikel-Nr:

C.2 ELEMENTOS UTILIZADOS EN EL EQUIPO DE PRUEBAS

C.2.1 CIRCUITO PREAMPLIFICADOR

Elemento	Denominación	Valor	Empaquetado
Potenciómetro	R5	5 kΩ	SMD
Resistencia	R15	1,5 kΩ	SMD 1206
	R16	1 kΩ	SMD 1206
	R17	570 Ω	SMD 1206
	R18	1.5 kΩ	SMD 1206
Condensador	C33	10 nF	SMD 1206
	C34	10 µF	Ta (normal)
	C35	10 nF	SMD 1206
	C36	10 nF	SMD 1206
	C37	10 nF	SMD 1206
	C40	4.7 nF	SMD 1206
Transistor	T1	BFT 67	SMD 1206
Bobina	Coil	40 µH	Núcleo de doble perforación
Transformador	Trafo	-[1]	Núcleo de doble perforación
Conector	BNC (2)	-	Montaje en platina

Tabla Cx.1

[1] Ver los detalles de la contrucción del transformador.

C.2.2 CIRCUITO GENERADOR DE FRECUENCIAS

Elemento	Denominación	Valor	Empaquetado
Resistencia	R1	50 Ω	SMD 1206
	R2	3,9 kΩ	SMD 1206
	R3	50 Ω	SMD 1206
	R4	100 Ω	SMD 1206
	R6	100 Ω	SMD 1206
	R14	500 Ω	SMD 1206
Condensador	C12	22 pF	SMD 1206
	C13	1 pF	SMD 805
	C14	33 pF	SMD 1206
	C15	5,6 pF	SMD 805
	C16	22 pF	SMD 1206
	C17	4,7 pF	SMD 805
Inductancia	L3	470 nH	SMD 1210
	L4	390 nH	SMD 1210
	L5	390 nH	SMD 1210
Conector	BNC (2)	-	Montaje en platina.
	X2	-	D-4
	X1	-	DB-25 M
Circuito Integrado	IC1	AD9851BRS	28 - SSOP
	IC2	74VHCT574	20 - SMD
	IC3	74VHCT574	20 - SMD
	OSC	IQXO-350C	14 - DIP

Tabla Cx.2

C.2.3 CIRCUITO MODULADOR/DEMODULADOR

Elemento	Denominación	Valor	Empaquetado
Resistencia	R7	50 Ω	SMD 1206
	R8	50 Ω	SMD 1206
	R9	1 kΩ	SMD 1206
Potenciómetro	R10	10 kΩ	SMD
	R11	10 kΩ	SMD
	R12	10 kΩ	SMD
	R13	10 kΩ	SMD
Condensador	C19	0,1 μF	SMD 1206
	C20	10 nF	SMD 1206
	C21	0,1 μF	SMD 1206
	C22	0,1 μF	SMD 1206
	C23	10 μF	SMD 1206
	C24	0,1 μF	SMD 1206
	C25	0,1 μF	SMD 1206
	C26	0,1 μF	SMD 1206
	C27	0,1 μF	SMD 1206
	C28	10 nF	SMD 1206
	C29	10 μF	Ta (normal)
	C30	0,1 μF	SMD 1206
	C38	10 nF	SMD 1206
Conectores	BNC (5)	-	Montaje en platina
Circuito Integrado	IC4	DG413	16 – SDM
	IC5	RF2703	14 - SMD

Tabla Cx.3

C.2.4 CIRCUITERÍA DE LAS FUENTES DE POLARIZACIÓN

Elemento	Denominación	Valor	Empaquetado
Condensador	C1	10 μF	Ta (normal)
	C2	10 μF	Ta (normal)
	C3	0,1 μF	SMD 1206
	C4	0,1 μF	SMD 1206
	C5	0,1 μF	SMD 1206
	C6	0,1 μF	SMD 1206
	C7	0,1 μF	SMD 1206
	C8	0,1 μF	SMD 1206
	C9	0,1 μF	SMD 1206
	C10	4,7 μF	SMD 1206
	C11	4,7 μF	SMD 1206
	C31	0,1 μF	SMD 1206
	C41	0,1 μF	SMD 1206
Inductancia	L1	10 μH	SMD 1210
Conector	X4	-	D – 4

Tabla Cx.4

ANEXO D

D. HOJAS DE ESPECIFICACIONES DE ELEMENTOS

D.1 CIRCUITO INTEGRADO AD9851

D.2 CIRCUITO INTEGRADO RF2703

D.3 CIRCUITO INTEGRADO DG413

D.4 CIRCUITO INTEGRADO 74HC574

CMOS 180 MHz DDS/DAC Synthesizer

AD9851

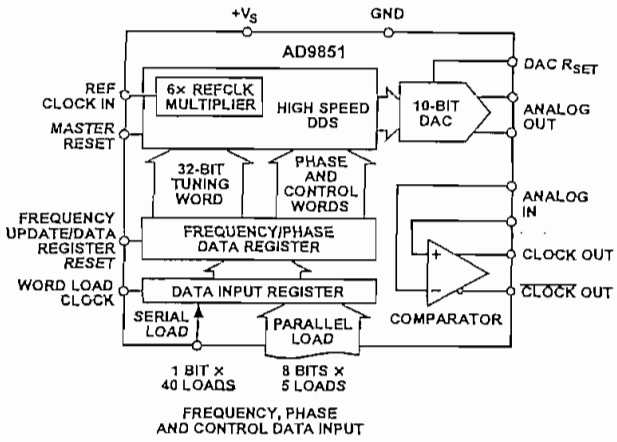
FEATURES

180 MHz Clock Rate with Selectable 6× Reference Clock Multiplier
On-Chip High Performance 10-Bit DAC and High Speed Comparator with Hysteresis
SFDR >43 dB @ 70 MHz A_{OUT}
32-Bit Frequency Tuning Word
Simplified Control Interface: Parallel or Serial Asynchronous Loading Format
5-Bit Phase Modulation and Offset Capability
Comparator Jitter <80 ps p-p @ 20 MHz
+2.7 V to +5.25 V Single Supply Operation
Low Power: 555 mW @ 180 MHz
Power-Down Function, 4 mW @ +2.7 V
Ultrasmall 28-Lead SSOP Packaging

APPLICATIONS

Frequency/Phase-Agile Sine Wave Synthesis
Clock Recovery and Locking Circuitry for Digital Communications
Digitally Controlled ADC Encode Generator
Agile L.O. Applications in Communications
Quadrature Oscillator
CW, AM, FM, FSK, MSK Mode Transmitter

FUNCTIONAL BLOCK DIAGRAM



GENERAL DESCRIPTION

The AD9851 is a highly integrated device that uses advanced DDS technology, coupled with an internal high speed, high performance D/A converter, and comparator, to form a digitally-programmable frequency synthesizer and clock generator function. When referenced to an accurate clock source, the AD9851 generates a stable frequency and phase-programmable digitized analog output sine wave. This sine wave can be used directly as a frequency source, or internally converted to a square wave for agile-clock generator applications. The AD9851's innovative high speed DDS core accepts a 32-bit frequency tuning word, which results in an output tuning resolution of approximately 0.04 Hz with a 180 MHz system clock. The AD9851 contains a unique 6× REFCLK Multiplier circuit that eliminates the need for a high speed reference oscillator. The 6× REFCLK Multiplier has minimal impact on SFDR and phase noise characteristics. The AD9851 provides five bits of programmable phase modulation resolution to enable phase shifting of its output in increments of 11.25°.

The AD9851 contains an internal high speed comparator that can be configured to accept the (externally) filtered output of the DAC to generate a low jitter output pulse.

The frequency tuning, control and phase modulation words are asynchronously loaded into the AD9851 via parallel or serial loading format. The parallel load format consists of five iterative loads of an 8-bit control word (byte). The first 8-bit byte controls output phase, 6× REFCLK Multiplier, power-down enable and loading format; the remaining bytes comprise the 32-bit frequency tuning word. Serial loading is accomplished via a 40-bit serial data stream entering through one of the parallel input bus lines. The AD9851 uses advanced CMOS technology to provide this breakthrough level of functionality on just 555 mW of power dissipation (+5 V supply), at the maximum clock rate of 180 MHz.

The AD9851 is available in a space-saving 28-lead SSOP, surface mount package that is pin-for-pin compatible with the popular AD9850 125 MHz DDS. It is specified to operate over the extended industrial temperature range of –40°C to +85°C at >3.0 V supply voltage. Below 3.0 V, the specifications apply over the commercial temperature range of 0°C to +85°C.

REV. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781/329-4700 World Wide Web Site: http://www.analog.com
Fax: 781/326-8703
© Analog Devices, Inc., 1999

AD9851—SPECIFICATIONS (V_S[1] = +5 V ± 5%, R_{SET} = 3.9 kΩ, 6× REFCLK Multiplier Disabled, External Reference Clock = 180 MHz except as noted)

Parameter	Temp	Test Level	AD9851BRS Min	Typ	Max	Units
CLOCK INPUT CHARACTERISTICS						
Frequency Range (6× REFCLK Multiplier Disabled)						
+5.0 V Supply	FULL	IV	1		180	MHz
+3.3 V Supply	FULL	IV	1		125	MHz
+2.7 V Supply	0°C to +85°C	IV	1		100	MHz
Frequency Range (6× REFCLK Multiplier Enabled)						
+5.0 V Supply	FULL	IV	5		30	MHz
+3.3 V Supply	FULL	IV	5		20.83	MHz
+2.7 V Supply	0°C to +85°C	IV	5		16.66	MHz
Input Resistance	+25°C	V		1		MΩ
Minimum Switching Thresholds[2]						
Logic "1," +5.0 V Supply	+25°C	IV	3.5			V
Logic "1," +3.3 V Supply	+25°C	IV	2.3			V
Logic "0," +5.0 V Supply	+25°C	IV			1.5	V
Logic "0," +3.3 V Supply	+25°C	IV			1	V
DAC OUTPUT CHARACTERISTICS						
Full-Scale Output Current	+25°C	IV	5	10	20	mA
Gain Error	+25°C	I	–10		10	% FS
Output Offset	+25°C	I			10	µA
Differential Nonlinearity	+25°C	I			0.75	LSB
Integral Nonlinearity	+25°C	I			1	LSB
Residual Phase Noise, 5.2 MHz, 1 kHz Offset						
PLL On	+25°C	V		–125		dBc/Hz
PLL Off	+25°C	V		–132		dBc/Hz
Output Impedance	+25°C	V		120		kΩ
Voltage Compliance Range	+25°C	I	–0.5		1.5	V
Wideband Spurious-Free Dynamic Range						
1.1 MHz Analog Out (DC to 72 MHz)	+25°C	IV	60	64		dBc
20.1 MHz Analog Out (DC to 72 MHz)	+25°C	IV	51	53		dBc
40.1 MHz Analog Out (DC to 72 MHz)	+25°C	IV	51	55		dBc
50.1 MHz Analog Out (DC to 72 MHz)	+25°C	IV	46	53		dBc
70.1 MHz Analog Out (DC to 72 MHz)	+25°C	IV	42	43		dBc
Narrowband Spurious-Free Dynamic Range						
1.1 MHz (±50 kHz)	+25°C	V		85		dBc
1.1 MHz (±200 kHz)	+25°C	V		80		dBc
40.1 MHz (±50 kHz)	+25°C	V		85		dBc
40.1 MHz (±200 kHz)	+25°C	V		80		dBc
70.1 MHz (±50 kHz)	+25°C	V		85		dBc
70.1 MHz (±200 kHz)	+25°C	V		73		dBc
COMPARATOR INPUT CHARACTERISTICS						
Input Capacitance	+25°C	V		3		pF
Input Resistance	+25°C	IV		500		kΩ
Input Bias Current	+25°C	I		12		µA
Input Voltage Range	+25°C	IV	0		5	V
COMPARATOR OUTPUT CHARACTERISTICS						
Logic "1" Voltage +5 V Supply	+25°C	VI	+4.8			V
Logic "1" Voltage +3.3 V Supply	+25°C	VI	+3.1			V
Logic "1" Voltage +2.7 V Supply	+25°C	VI	+2.3			V
Logic "0" Voltage	+25°C	VI			+0.4	V
Continuous Output Current	+25°C	IV			20	mA
Hysteresis	+25°C	IV	10			mV
Propagation Delay	+25°C	IV			7	ns
Toggle Frequency (1 V p-p Input Sine Wave)	+25°C	IV			200	MHz
Rise/Fall Time, 15 pF Output Load	+25°C	IV			7	ns
Output Jitter (p-p)[3]	+25°C	IV		80		ps (p-p)
CLOCK OUTPUT CHARACTERISTICS						
Output Jitter (Clock Generator Configuration, 40 MHz 1 V p-p Input Sine Wave)	+25°C	V		250		ps (p-p)
Clock Output Duty Cycle	FULL	IV		50 ± 10		%

Parameter	Temp	Test Level	AD9851BRS Min	Typ	Max	Units
TIMING CHARACTERISTICS[4]						
t_{WH}, t_{WL} (W_CLK Min Pulsewidth High/Low)	FULL	IV	3.5			ns
t_{DS}, t_{DH} (Data to W_CLK Setup and Hold Times)	FULL	IV	3.5			ns
t_{FH}, t_{FL} (FQ_UD Min Pulsewidth High/Low)	FULL	IV	7			ns
t_{CD} (REFCLK Delay After FQ_UD)[5]	FULL	IV	3.5			ns
t_{FD} (FQ_UD Min Delay After W_CLK)	FULL	IV	7			ns
t_{CF} (Output Latency from FQ_UD)						
Frequency Change	FULL	IV	18			SYSCLK Cycles
Phase Change	FULL	IV	13			SYSCLK Cycles
t_{RH} (CLKIN Delay After RESET Rising Edge)	FULL	IV	3.5			ns
t_{RL} (RESET Falling Edge After CLKIN)	FULL	IV	3.5			ns
t_{RR} (Recovery from RESET)	FULL	IV	2			SYSCLK Cycles
t_{RS} (Minimum RESET Width)	FULL	IV	5			SYSCLK Cycles
t_{OL} (RESET Output Latency)	FULL	IV	13			SYSCLK Cycles
Wake-Up Time from Power-Down Mode[6]	+25°C	V		5		µs
CMOS LOGIC INPUTS						
Logic "1" Voltage, +5 V Supply	+25°C	I	3.5			V
Logic "1" Voltage, +3.3 V Supply	+25°C	I	3.0			V
Logic "1" Voltage, +2.7 V Supply	+25°C	I	2.4			V
Logic "0" Voltage	+25°C	I			0.4	V
Logic "1" Current	+25°C	I			12	µA
Logic "0" Current	+25°C	I			12	µA
Rise/Fall Time	+25°C	IV			100	ns
Input Capacitance	+25°C	V		3		pF
POWER SUPPLY						
V_S[6] Current @:						
62.5 MHz Clock, +2.7 V Supply	+25°C	VI		30	35	mA
100 MHz Clock, +2.7 V Supply	+25°C	VI		40	50	mA
62.5 MHz Clock, +3.3 V Supply	+25°C	VI		35	45	mA
125 MHz Clock, +3.3 V Supply	+25°C	VI		55	70	mA
62.5 MHz Clock, +5 V Supply	+25°C	VI		50	65	mA
125 MHz Clock, +5 V Supply	+25°C	VI		70	90	mA
180 MHz Clock, +5 V Supply	+25°C	VI		110	130	mA
Power Dissipation @ :						
62.5 MHz Clock, +5 V Supply	+25°C	VI		250	325	mW
62.5 MHz Clock, +3.3 V Supply	+25°C	VI		115	150	mW
62.5 MHz Clock, +2.7 V Supply	+25°C	VI		85	95	mW
100 MHz Clock, +2.7 V Supply	+25°C	VI		110	135	mW
125 MHz Clock, +5 V Supply	+25°C	VI		365	450	mW
125 MHz Clock, +3.3 V Supply	+25°C	VI		180	230	mW
180 MHz Clock, +5 V Supply	+25°C	VI		555	650	mW
P_{DISS} Power-Down Mode @:						
+5 V Supply	+25°C	VI		17	55	mW
+2.7 V Supply	+25°C	VI		4	20	mW

NOTES

[1]+V_S collectively refers to the positive voltages applied to DVDD, PVCC and AVDD. Voltages applied to these pins should be of the same potential.

[2]Indicates the minimum signal levels required to reliably clock the device at the indicated supply voltages. This specifies the p-p signal level and dc offset needed when the clocking signal is not of CMOS/TTL origin, i.e., a sine wave with 0 V dc offset.

[3]The comparator's jitter contribution to any input signal. This is the minimum jitter on the outputs that can be expected from an ideal input. Considerably more output jitter is seen when nonideal input signals are presented to the comparator inputs. Nonideal characteristics include the presence of extraneous, nonharmonic signals (spur's, noise), slower slew rate and low comparator overdrive.

[4]Timing of input signals FQ_UD, WCLK, RESET are asynchronous to the Reference Clock; however, the presence of a Reference Clock is required to implement those functions. In the absence of a Reference Clock, the AD9851 automatically enters power-down mode rendering the IC, including the comparator, inoperable until a Reference Clock is restored. Very high speed updates of frequency/phase word will require FQ_UD and WCLK to be externally synchronized with the external Reference Clock to assure proper timing.

[5]Not applicable when 6× REFCLK Multiplier is engaged.

[6]Assumes no capacitive load on DACBP (Pin 17).

Specifications subject to change without notice.

ABSOLUTE MAXIMUM RATINGS*

Maximum Junction Temperature .....+150°C
Storage Temperature .....–65°C to +150°C
V_S .....+6 V
Operating Temperature .....–40°C to +85°C
Digital Inputs ..... –0.7 V to $+V_S$ + 0.7 V
Lead Temperature (10 sec) Soldering .....+300°C
Digital Output Current ..... 30 mA
SSOP θ_{JA} Thermal Impedance ..... 82°C/W
DAC Output Current .....30 mA

*Absolute maximum ratings are limiting values, to be applied individually, and beyond which the serviceability of the circuit may be impaired. Functional operability under any of these conditions is not necessarily implied. Exposure of absolute maximum rating conditions for extended periods of time may affect device reliability.

EXPLANATION OF TEST LEVELS

Test Level

I – 100% Production Tested.
III – Sample Tested Only.
IV – Parameter is guaranteed by design and characterization testing.
V – Parameter is a typical value only.
VI – Devices are 100% production tested at +25°C and guaranteed by design and characterization testing for industrial operating temperature range.

ORDERING GUIDE

Model	Temperature Range	Package Description	Package Option
AD9851BRS	–40°C to +85°C	Shrink Small Outline (SSOP)	RS-28

CAUTION

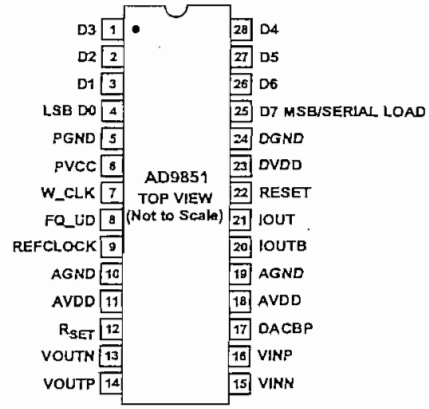
ESD (electrostatic discharge) sensitive device. Electrostatic charges as high as 4000 V readily accumulate on the human body and test equipment and can discharge without detection. Although the AD9851 features proprietary ESD protection circuitry, permanent damage may occur on devices subjected to high energy electrostatic discharges. Therefore, proper ESD precautions are recommended to avoid performance degradation or loss of functionality.

Application Note: Users are cautioned not to apply digital input signals prior to power-up of this device. Doing so may result in a latch-up condition.

PIN FUNCTION DESCRIPTIONS

Pin No.	Mnemonic	Function
4–1, 28–25	D0–D7	8-Bit Data Input. The data port for loading the 32-bit frequency and 8-bit phase/control words. D7 = MSB; D0 = LSB. D7, Pin 25, also serves as the input pin for 40-bit serial data word.
5	PGND	6× REFCLK Multiplier Ground Connection.
6	PVCC	6× REFCLK Multiplier Positive Supply Voltage Pin.
7	W_CLK	Word Load Clock. Rising edge loads the parallel or serial frequency/phase/control words asynchronously into the 40-bit input register.
8	FQ_UD	Frequency Update. A rising edge asynchronously transfers the contents of the 40-bit input register to be acted upon by the DDS core. FQ_UD should be issued when the contents of the input register are known to contain only valid, allowable data.
9	REFCLOCK	Reference Clock Input. CMOS/TTL-level pulse train, direct or via the 6× REFCLK Multiplier. In direct mode, this is also the SYSTEM CLOCK. If the 6× REFCLK Multiplier is engaged, then the output of the multiplier is the SYSTEM CLOCK. The rising edge of the SYSTEM CLOCK initiates operations.
10, 19	AGND	Analog Ground. The ground return for the analog circuitry (DAC and Comparator).
11, 18	AVDD	Positive supply voltage for analog circuitry (DAC and Comparator, Pin 18) and bandgap voltage reference, Pin 11.
12	R_{SET}	The DAC's external R_{SET} connection—nominally a 3.92 kΩ resistor to ground for 10 mA out. This sets the DAC full-scale output current available from IOUT and IOUTB. R_{SET} = 39.93/IOUT
13	VOUTN	Voltage Output Negative. The comparator's "complementary" CMOS logic level output.
14	VOUTP	Voltage Output Positive. The comparator's "true" CMOS logic level output.
15	VINN	Voltage Input Negative. The comparator's inverting input.
16	VINP	Voltage Input Positive. The comparator's noninverting input.
17	DACBP	DAC Bypass Connection. This is the DAC voltage reference bypass connection normally NC (NO CONNECT) for optimum SFDR performance.
20	IOUTB	The "complementary" DAC output with same characteristics as IOUT except that *IOUTB = (full-scale output–IOUT)*. Output load should equal that of IOUT for best SFDR performance.
21	IOUT	The "true" output of the balanced DAC. Current is "sourcing" and requires current-to-voltage conversion, usually a resistor or transformer referenced to GND. *IOUT = (full-scale output–IOUTB)*
22	RESET	Master Reset pin; active high; clears DDS accumulator and phase offset register to achieve 0 Hz and 0° output phase. Sets programming to parallel mode and disengages the 6× REFCLK Multiplier. Reset does not clear the 40-bit input register. On power-up, asserting RESET should be the first priority before programming commences.
23	DVDD	Positive supply voltage pin for digital circuitry.
24	DGND	Digital Ground. The ground return pin for the digital circuitry.

PIN CONFIGURATION



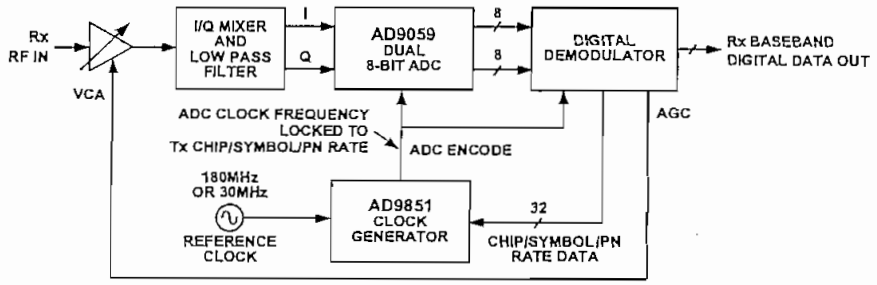


Figure 1. "Chip Rate" Clock Generator Application in a Spread Spectrum Receiver

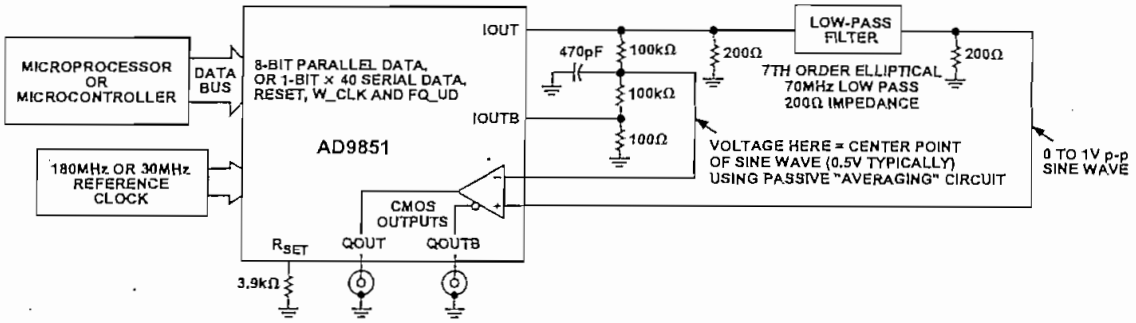


Figure 2. Basic Clock Generator Configuration

Both IOUT and IOUTB are equally loaded with 100 Ω. Two 100 kΩ resistors "sample" each output and average the two voltages. The result is filtered with the 470 pF capacitor and applied to one comparator input as a dc switching threshold. The filtered DAC sine wave output is applied to the other comparator input. The comparator will toggle with nearly 50% duty cycle as the sine wave alternately traverses the "center point" threshold.

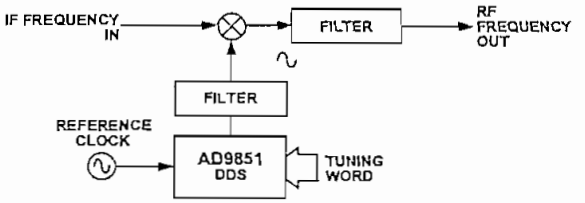


Figure 3. Frequency/Phase-Agile Local Oscillator for Frequency Mixing/Multiplying

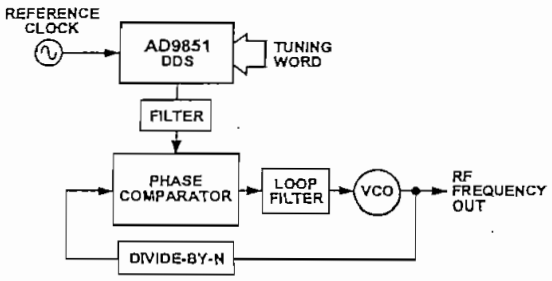


Figure 4. Frequency/Phase-Agile Reference for PLL

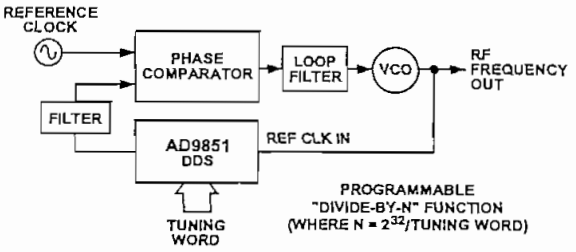


Figure 5. Digitally-Programmable "Divide-by-N" Function in PLL

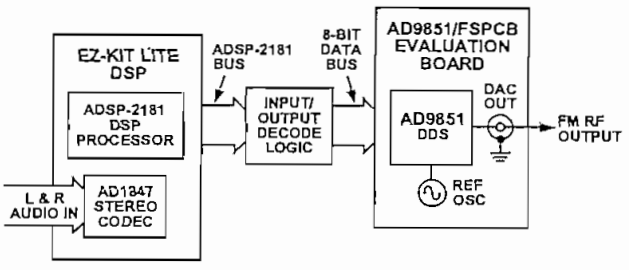


Figure 6. High Quality, All-Digital RF Frequency Modulation

High quality, all digital RF frequency modulation generation with the ADSP-2181 DSP and the AD9851 DDS. This application is well documented in Analog Devices' application Note AN-543, and uses an "image" of the DDS output as illustrated in Figure 8.

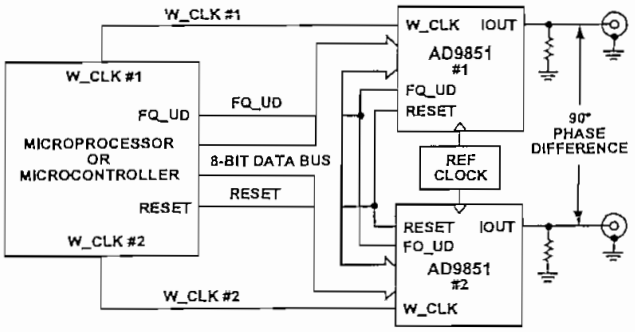


Figure 7. Application Showing Synchronization of Two AD9851 DDSs to Form a Quadrature Oscillator

After a common RESET command is issued, separate W_CLKs allow independent programming of each AD9851 40-bit input register via the 8-bit data bus or serial input pin. A common FQ_UD pulse is issued after programming is completed to simultaneously engage both oscillators at their specified frequency and phase.

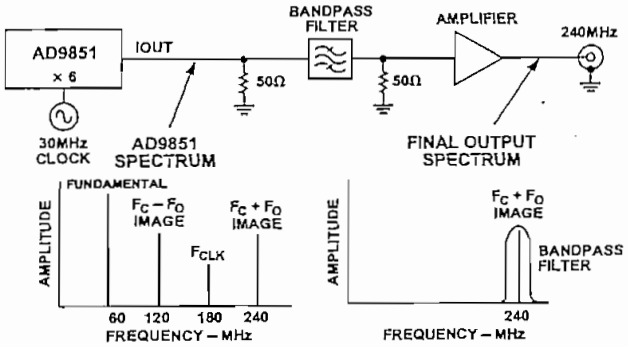


Figure 8. Deriving a High Frequency Output Signal from the AD9851 by Using an "Alias" or Image Signal

Differential DAC output connection (Figure 9) for reduction of common-mode signals and to allow highly reactive filters to be driven without a filter input termination resistor (see above single-ended example, Figure 8). A 6 dB power advantage is obtained at the filter output as compared with the single-ended example, since the filter need not be doubly terminated.

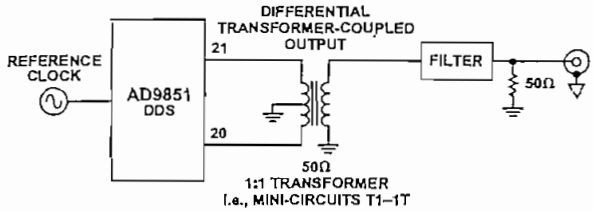


Figure 9. Differential DAC Output Connection for Reduction of Common-Mode Signals

The AD9851 R_{SET} input being driven by an external DAC (Figure 10) to provide amplitude modulation or fixed, digital amplitude control of the DAC output current. Full description of this application is found as a "Technical Note" on the AD9851 web page (site address is www.analog.com) under "Related Information." An Analog Devices application note for the AD9850, AN-423, describes another method of amplitude control using an enhancement-mode MOSFET that is equally applicable to the AD9851.

NOTE: If the 6× REFCLK Multiplier of the AD9851 is engaged, the 125 MHz clocking source shown in Figure 10 can be reduced by a factor of six.

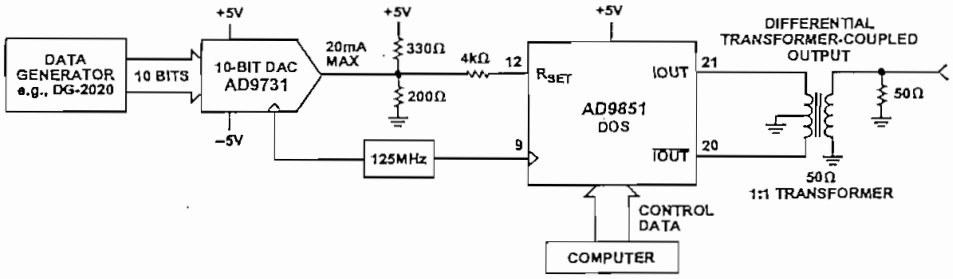


Figure 10. The AD9851 R_{SET} Input Being Driven by an External DAC

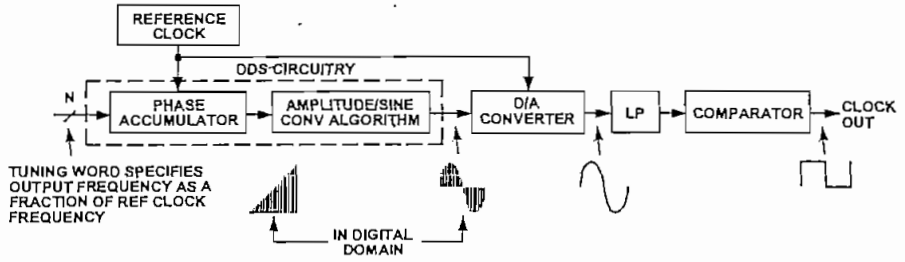


Figure 11. Basic DDS Block Diagram and Signal Flow of AD9851

THEORY OF OPERATION AND APPLICATION

The AD9851 uses direct digital synthesis (DDS) technology, in the form of a numerically-controlled oscillator (NCO), to generate a frequency/phase-agile sine wave. The digital sine wave is converted to analog form via an internal 10-bit high speed D/A converter. An on-board high-speed comparator is provided to translate the analog sine wave into a low-jitter TTL/CMOS-compatible output square wave. DDS technology is an innovative circuit architecture that allows fast and precise manipulation of its output word, under full digital control. DDS also enables very high resolution in the incremental selection of output frequency. The AD9851 allows an output frequency resolution of approximately 0.04 Hz at 180 MSPS clock rate with the option of directly using the reference clock or by engaging the 6× REFCLK Multiplier. The AD9851's output waveform is phase-continuous from one output frequency change to another.

The basic functional block diagram and signal flow of the AD9851 configured as a clock generator is shown in Figure 11.

The DDS circuitry is basically a digital frequency divider function whose incremental resolution is determined by the frequency of the system clock, and N (number of bits in the tuning word). The phase accumulator is a variable-modulus counter that increments the number stored in it each time it receives a clock pulse. When the counter reaches full scale it "wraps around," making the phase accumulator's output phase-continuous. The frequency tuning word sets the modulus of the counter, which effectively determines the size of the increment (Δ Phase) that will be added to the value in the phase accumulator on the next clock pulse. The larger the added increment, the faster the accumulator wraps around, which results in a higher output frequency.

The AD9851 uses an innovative and proprietary "Angle Rotation" algorithm that mathematically converts the 14-bit truncated value of the 32-bit phase accumulator to the 10-bit quantized amplitude that is passed to the DAC. This unique algorithm uses a much-reduced ROM look-up table and DSP to perform this function. This contributes to the small size and low power dissipation of the AD9851.

The relationship between the output frequency, system clock and tuning word of the AD9851 is determined by the expression:

$$f_{OUT} = (\Delta\ Phase \times System\ Clock)/2^{32}$$

where:

$\Delta Phase$ = decimal value of 32-bit frequency tuning word.

System Clock = direct input reference clock (in MHz) or 6× the input clock (in MHz) if the 6× REFCLK Multiplier is engaged.

f_{OUT} = frequency of the output signal in MHz.

The digital sine wave output of the DDS core drives the internal high-speed 10-bit D/A converter that will construct the sine wave in analog form. This DAC has been optimized for dynamic performance and low glitch energy, which results in the low spurious and jitter performance of the AD9851. The DAC can be operated in either the single-ended, Figures 2 and 8, or differential output configuration, Figures 9 and 10. DAC output current and R_{SET} values are determined using the following expressions:

$$I_{OUT} = 39.93/R_{SET}$$
$$R_{SET} = 39.93/I_{OUT}$$

Since the output of the AD9851 is a sampled signal, its output spectrum follows the Nyquist sampling theorem. Specifically, its output spectrum contains the fundamental plus aliased signals (images) that occur at integer multiples of the system clock frequency ± the selected output frequency. A graphical representation of the sampled spectrum, with aliased images, is shown in Figure 12. Normal usable bandwidth is considered to extend from dc to 1/2 the system clock.

In the example shown in Figure 12, the system clock is 100 MHz and the output frequency is set to 20 MHz. As can be seen, the aliased images are very prominent and of a relatively high energy

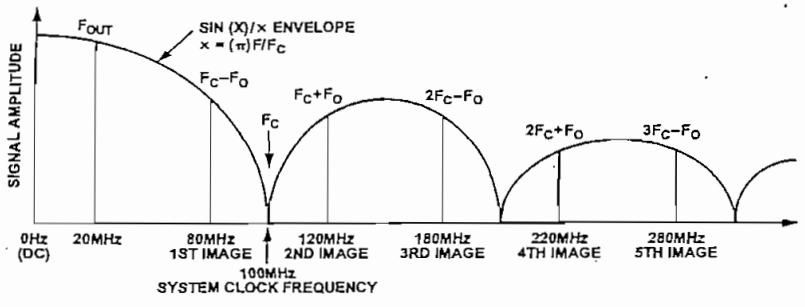


Figure 12. Output Spectrum of a Sampled Sin(X)/X Signal

level as determined by the sin(x)/x roll-off of the quantized D/A converter output. In fact, depending on the f/system clock relationship, the 1st aliased image can equal the fundamental amplitude (when f_{OUT} = 1/2 system clock). A low-pass filter is generally placed between the output of the D/A converter and the input of the comparator to suppress the jitter-producing effects of non-harmonically related aliased images and other spurious signals. Consideration must be given to the relationship of the selected output frequency, the system clock frequency and alias frequencies to avoid unwanted output anomalies.

Images need not be thought of as useless by-products of a DAC. In fact, with bandpass filtering around an image and some amount of post-filter amplification, the image can become the primary output signal (see Figure 8). Since images are not harmonics, they retain a 1:1 Δfrequency relationship to the fundamental output. That is, if the fundamental is shifted 1 kHz, then the image is also shifted 1 kHz. This relationship accounts for the frequency stability of an image, which is identical to that of the fundamental. Users should recognize that the lower image of an image pair surrounding an integer multiple of the system clock will move in a direction opposite the fundamental. Images of an image pair located above an integer multiple of the system clock will move in the same direction as a fundamental movement.

The frequency band where images exist is much richer in spurious signals and therefore, more hostile in terms of SFDR. Users of this technique should empirically determine what frequencies are usable if their SFDR requirements are demanding.

A good "rule-of-thumb" for applying the AD9851 as a clock generator is to limit the fundamental output frequency to 40% of Reference Clock frequency to avoid generating aliased signals that are too close to the output band of interest (generally dc—highest selected output frequency) to be filtered. This practice will ease the complexity and cost of the external filter requirement for the clock generator application.

The reference clock input of the AD9851 has minimum limitation of 1 MHz without 6× REFCLK Multiplier engaged and 5 MHz with multiplier engaged. The device has internal circuitry that senses when the clock rate has dropped below the minimum and automatically places itself in the power-down mode. In this mode, the on-chip comparator is also disabled. This is important information for those who may wish to use the on-chip comparator for purposes other than squaring the DDS sine wave output. When the clock frequency returns above the minimum threshold, the device resumes normal operation after 5 µs (typically). This shutdown mode prevents excessive current leakage in the dynamic registers of the device.

The impact of reference clock phase noise in DDS systems is actually reduced, since the DDS output is the result of a division of the input frequency. The amount of apparent phase noise reduction, expressed in dB, is found using: 20 log f_{OUT}/f_{CLK}. Where f_{OUT} is the fundamental DDS output frequency and f_{CLK} is the system clock frequency. From this standpoint, using the highest system clock input frequency makes good sense in reducing the effects of reference clock phase noise contribution to the output signals' overall phase noise. As an example, an oscillator with –100 dBc phase noise operating at 180 MHz would appear as a –125 dB contribution to DDS overall phase noise for a 10 MHz output. Engaging the 6× REFCLK Multiplier has generally been found to increase overall output phase noise. This increase is due to the inherent 6× (15.5 dB) phase gain transfer function of the 6× REFCLK Multiplier, as well as noise generated internally by the clock multiplier circuit. By using a low phase noise reference clock input to the AD9851, users can be assured of better than –100 dBc/Hz phase noise performance for output frequencies up to 50 MHz at offsets from 1 kHz to 100 kHz.

Programming the AD9851

The AD9851 contains a 40-bit register that stores the 32-bit frequency control word, the 5-bit phase modulation word, 6× REFCLK Multiplier enable and the power-down function. This register can be loaded in parallel or serial mode. A logic high engages functions; for example, to power-down the IC (sleep mode), a logic high must be programmed in that bit location. Those users who are familiar with the AD9850 DDS will find only a slight change in programming the AD9851, specifically, data[0] of W0 (parallel load) and W32 (serial load) now contains a "6× REFCLK Multiplier Enable" bit that needs to be set high to enable or low to disable the internal reference clock multiplier.

Note: setting "data[1]" high in programming word W0 (parallel mode) or word W33 high in serial mode is not allowed (see Tables I and III). This bit controls a "factory test mode" that will cause abnormal operation in the AD9851 if set high. If erroneously entered (as evidenced by Pin 2 changing from an input pin to an output signal), an exit is provided by asserting RESET. Unintentional entry to the factory test mode can occur if an FQ_UD pulse is sent after initial power-up and RESET of the AD9851. Since RESET does not clear the 40-bit input register, this will transfer the random power-up values of the input register to the DDS core. The random values may invoke the factory test mode or power-down mode. Never issue an FQ_UD command if the 40-bit input register contents are unknown.

In the default parallel load mode, the 40-bit input register is loaded using an 8-bit bus. W_CLK is used to load the register in five iterations of eight bytes. The rising edge of FQ_UD transfers the contents of the register into the device to be acted upon and resets the word address pointer to W0. Subsequent W_CLK rising edges load 8-bit data, starting at W0 and then move the word pointer to the next word. After W0 through W4 are loaded, additional W_CLK edges are ignored until either a RESET is asserted or an FQ_UD rising edge resets the address pointer to W0 in preparation for the next 8-bit load. See Figure 13.

In serial load mode, forty subsequent rising edges of W_CLK will shift and load the 1-bit data on Pin 25 (D7) through the 40-bit register in "shift-register" fashion. Any further W_CLK rising edges after the register is full will shift data out causing data that is left in the register to be out-of-sequence and corrupted. The serial mode must be entered from the default parallel mode, see Figure 17. Data is loaded beginning with W0 and ending with W39. One note of caution: the 8-bit *parallel* word (W0)—xxxxx011—that invokes the serial mode should be overwritten with a valid 40-bit serial word immediately after entering the serial mode to prevent unintended engaging of the 6× REFCLK Multiplier or entry into the factory test mode. Exit from serial mode to parallel mode is only possible using the RESET command.

The function assignments of the data and control words are shown in Tables I and III; the detailed timing sequence for updating the output frequency and/or phase, resetting the device, engaging the 6× REFCLK Multiplier, and powering up/down, are shown in the timing diagrams of Figures 13–20. As a programming example for the following DDS characteristics:

1. Phase set to 11.25 degrees.
2. 6× REFCLK Multiplier engaged.
3. Powered-up mode selected.
4. Output = 10 MHz (for 180 MHz system clock).

In parallel mode, user would program the 40-bit control word (composed of five 8-bit loads) as follows:

W0 = 00001001
W1 = 00001110
W2 = 00111000
W3 = 11100011
W4 = 10001110

If in serial mode, load the 40 bits starting from the LSB location of W4 in the above "array," loading from right to left, and ending with the MSB of W0.

Table I. 8-Bit Parallel-Load Data/Control Word Functional Assignment

Word	Data[7]	Data[6]	Data[5]	Data[4]	Data[3]	Data[2]	Data[1]	Data[0]
W0	Phase–b4 (MSB)	Phase–b3	Phase–b2	Phase–b1	Phase–b0 (LSB)	Power-Down	Logic 0*	6× REFCLK Multiplier Enable
W1	Freq–b31 (MSB)	Freq–b30	Freq–b29	Freq–b28	Freq–b27	Freq–b26	Freq–b25	Freq–b24
W2	Freq–b23	Freq–b22	Freq–b21	Freq–b20	Freq–b19	Freq–b18	Freq–b17	Freq–b16
W3	Freq–b15	Freq–b14	Freq–b13	Freq–b12	Freq–b11	Freq–b10	Freq–b9	Freq–b8
W4	Freq–b7	Freq–b6	Freq–b5	Freq–b4	Freq–b3	Freq–b2	Freq–b1	Freq–b0 (LSB)

*This bit is always Logic 0 unless invoking the serial mode (see Figure 17). After serial mode is entered, this data bit must be set back to Logic 0 for proper operation.

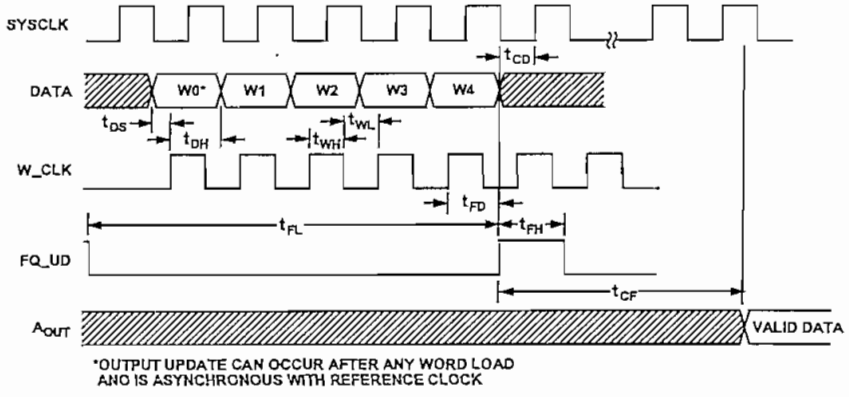


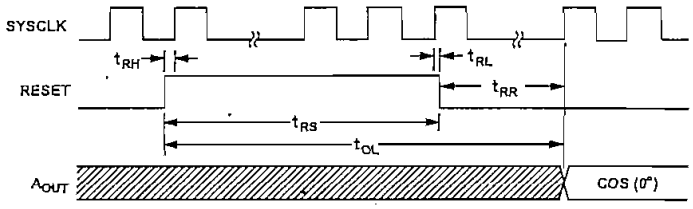
Figure 13. Parallel-Load Frequency/Phase Update Timing Sequence

Note: To update W0 it is not necessary to load W1 through W4. Simply load W0 and assert FQ_UD. To update W1, reload W0 then W1 . . . users do not have random access to programming words.

Table II. Timing Specifications

Symbol	Definition	Min
t_{DS}	Data Setup Time	3.5 ns
t_{DH}	Data Hold Time	3.5 ns
t_{WH}	W_CLK High	3.5 ns
t_{WL}	W_CLK Low	3.5 ns
t_{CD}	REFCLK Delay after FQ_UD	3.5 ns*
t_{FH}	FQ_UD High	7.0 ns
t_{FL}	FQ_UD Low	7.0 ns
t_{FD}	FQ_UD Delay after W_CLK	7.0 ns
t_{CF}	Output Latency from FQ_UD	
	Frequency Change	18 SYSCLK Cycles
	Phase Change	13 SYSCLK Cycles

*Specification does not apply when the 6× REFCLK Multiplier is engaged.



SYMBOL	DEFINITION	MIN SPEC
t_{RH}	CLK DELAY AFTER RESET RISING EDGE	3.5ns*
t_{RL}	RESET FALLING EDGE AFTER CLK	3.5ns*
t_{RR}	RECOVERY FROM RESET	2 SYSCLK CYCLES
t_{RS}	MINIMUM RESET WIDTH	5 SYSCLK CYCLES
t_{OL}	RESET OUTPUT LATENCY	13 SYSCLK CYCLES

*SPECIFICATIONS DO NOT APPLY WHEN THE REF CLOCK MULTIPLIER IS ENGAGED

Figure 14. Master Reset Timing Sequence

Results of Reset, Figure 14

- Phase Accumulator zeroed such that the output = 0 Hertz (dc).
- Phase Offset register set to zero such that DAC IOUT = Full-Scale output and IOUTB = zero mA output.
- Internal Programming Address pointer reset to W0.
- Power-down bit reset to "0" (power-down disabled).
- 40-bit Data Input Register is NOT cleared.
- 6× Reference Clock multiplier is disabled.
- Parallel programming mode selected by default.

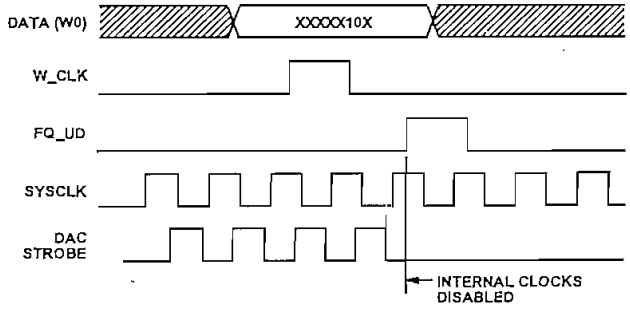


Figure 15. Parallel-Load Power-Down Sequence/Internal Operation

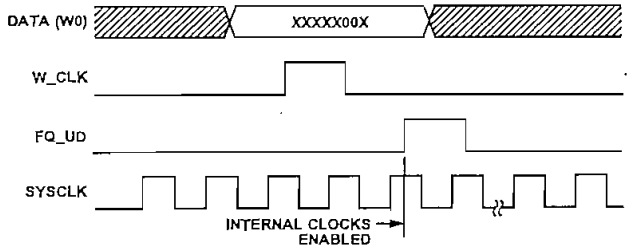


Figure 16. Parallel-Load Power-Up Sequence (to Recover from Power-Down)/Internal Operation

Entry to the serial mode, Figure 17, is via the parallel mode which is selected by default after a RESET is asserted. One needs only to program the first eight bits (word W0) with the sequence xxxxx011 as shown in Figure 17 to change from parallel to serial mode. The W0 programming word may be sent over the 8-bit data bus or hardwired as shown in Figure 18. After serial mode is achieved, the user must follow the programming sequence of Figure 19.

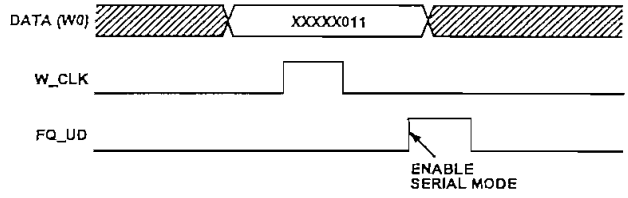


Figure 17. Serial-Load Enable Sequence

Note: After serial mode is invoked, it is best to immediately write a valid 40-bit serial word (see Figure 19), even if it is all zeros, followed by a FQ_UD rising edge to flush the "residual" data left in the DDS core. A valid 40-bit serial word is any word where W33 is Logic 0.

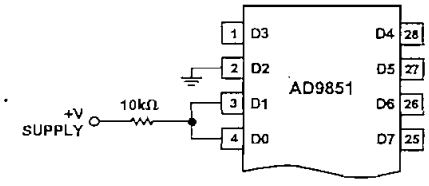


Figure 18. Hardwired xxxxx011 Configuration for Serial-Load Enable Word W0 in Figure 17

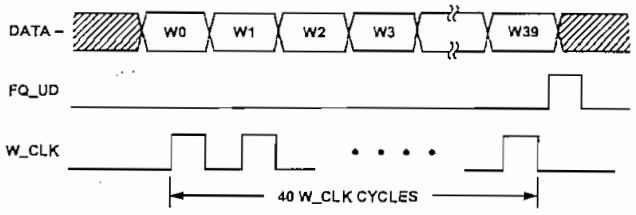


Figure 19. Serial-Load Frequency/Phase Update Sequence

Table III. 40-Bit Serial-Load Word Functional Assignment

W0	Freq–b0 (LSB)
W1	Freq–b1
W2	Freq–b2
W3	Freq–b3
W4	Freq–b4
W5	Freq–b5
W6	Freq–b6
W7	Freq–b7
W8	Freq–b8
W9	Freq–b9
W10	Freq–b10
W11	Freq–b11
W12	Freq–b12
W13	Freq–b13
W14	Freq–b14
W15	Freq–b15
W16	Freq–b16
W17	Freq–b17
W18	Freq–b18
W19	Freq–b19
W20	Freq–b20
W21	Freq–b21
W22	Freq–b22
W23	Freq–b23
W24	Freq–b24
W25	Freq–b25
W26	Freq–b26
W27	Freq–b27
W28	Freq–b28
W29	Freq–b29
W30	Freq–b30
W31	Freq–b31 (MSB)
W32	6× REFCLK Multiplier Enable
W33	Logic 0*
W34	Power-Down
W35	Phase–b0 (LSB)
W36	Phase–b1
W37	Phase–b2
W38	Phase–b3
W39	Phase–b4 (MSB)

*This bit is always Logic 0.

Figure 20 shows a normal 40-bit serial word load sequence with W33 always set to Logic 0 and W34 set to Logic 1 or Logic 0 to control the power-down function. The logic states of the remaining 38 bits are unimportant and are marked with an X, indicating "don't care" status. To power down, set W34 = 1. To power up from a powered down state, change W34 to Logic 0. Wake-up from power-down mode requires approximately 5 µs.

Note: The 40-bit input register of the AD9851 is fully programmable while in the power-down mode.

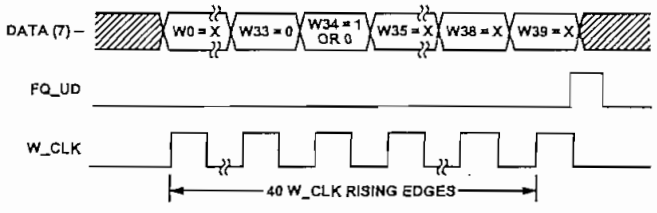
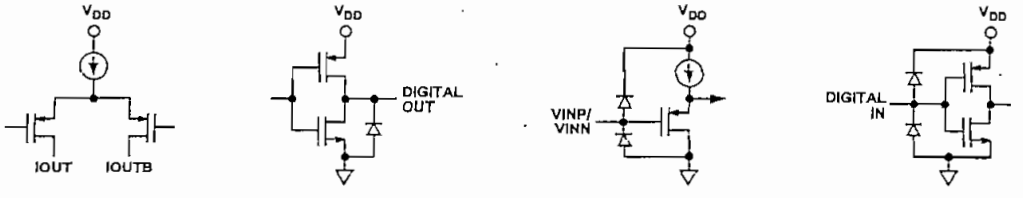


Figure 20. Serial-Load Power-Down\Power-Up Sequence



a. DAC Output *b. Comparator Output* *c. Comparator Input* *d. Digital Input*

Figure 21. I/O Equivalent Circuits

PCB LAYOUT INFORMATION

The AD9851/CGPCB and AD9851/FSPCB evaluation boards (Figures 22–25) represent typical implementations of the AD9851 and exemplify the use of high frequency/high resolution design and layout practices. The printed circuit board that contains the AD9851 should be a multilayer board that allows dedicated power and ground planes. The power and ground planes should (as much as possible) be free of etched traces that cause discontinuities in the planes. It is recommended that the top layer of the board also contain an interspatial ground plane that makes ground available without vias for the surface-mount devices. If separate analog and digital system ground planes exist, they should be connected together at the AD9851 evaluation board for optimum performance.

Avoid running digital lines under the device as these will couple unnecessary noise onto the die. The power supply lines to the AD9851 should use as large a trace as possible to provide a low-impedance path and reduce the effects of switching currents on the power supply line. Fast switching signals like clocks should use microstrip, controlled impedance techniques where possible. Avoid crossover of digital and analog signal paths. Traces on opposite sides of the board should run at right angles to each other. This will reduce crosstalk between the lines.

Good power supply decoupling is also an important consideration. The analog (AVDD) and digital (DVDD) supplies to the AD9851 are independent and separately pinned-out to minimize coupling between analog and digital sections of the device. All analog and digital supply pins should be decoupled to AGND and DGND respectively, with high quality ceramic chip capacitors. To achieve best performance from the decoupling capacitors, they should be placed as close as possible to the device. In systems where a common supply is used to drive both the AVDD and DVDD supplies of the AD9851, it is recommended that the system's AVDD supply be used.

Analog Devices applications engineering support is available to answer additional questions on grounding and PCB layout. Call 1-800-ANALOGD.

EVALUATION BOARDS

Two versions of the AD9851 evaluation board are available. The evaluation boards facilitate easy implementation of the device for bench-top analysis and serve as a reference for PCB layout.

The AD9851/FSPCB is intended for applications where the device will primarily be used as a frequency synthesizer. This version is optimized for connection of the AD9851 internal D/A converter output to a 50 Ω spectrum analyzer input. The internal comparator of the AD9851 is made available for use via wire hole access. The comparator inputs are externally pulled to opposing voltages to prevent comparator chatter due to floating inputs. The DDS DAC output is unfiltered and no reference oscillator is provided. This is done in recognition of the fact that many users may find their presence to be a liability rather than an asset. See Figure 22 for electrical schematic.

The AD9851/CGPCB is intended for applications using the device as a CMOS output clock generator. It connects the AD9851 DAC output to the internal comparator input via a single-ended, 70 MHz low pass, 7th order, elliptic filter. To minimize output jitter of the comparator, special attention has been given to the low pass filter design. Primary considerations were input and output impedances (200 Ω) and a very steep roll-off characteristic to attenuate unwanted, nearby alias signals. The high impedance of the filter allows the DAC to develop 1 V p-p (with 10 mA) across the two 200 Ω resistors at the input and output of the filter. This voltage is entirely sufficient to optimally drive the AD9851 comparator. This filter was designed with the assumption that the AD9851 DDS is at full clock speed (180 MHz). If this is not the case, filter specifications may need to change to achieve proper attenuation of anticipated alias signals. BNC connectors allow convenient observation of the comparator CMOS output and input, as well as that of the DAC. No reference oscillator is provided for reasons stated above. This model allows easy evaluation of the AD9851 as a frequency and phase-agile CMOS output clock source (see Figure 24 for electrical schematic).

Jitter Reduction Note

The AD9851/CGPCB has a wideband DDS fundamental output, dc to 70 MHz, and the on-chip comparator has even more bandwidth. To optimize low jitter performance users should consider bandpass filtering of the DAC outpur if only a narrow bandwidth is required. This will reduce jitter caused by spurious, nonharmonic signals above and below the desired signal. Lowering the applied V_{DD} helps in reducing comparator switching noise by reducing $\Delta V/\Delta T$ of the comparator outputs. For optimum jitter performance, users should avoid the very busy digital environment of the on-chip comparator and opt for an external, high speed comparator.

Both versions of the AD9851 evaluation boards are designed to interface to the parallel printer port of a PC. The operating software (C++) runs under Microsoft Windows® (3.1 and Windows 95, NT is NOT supported) and provides a user-friendly and intuitive format for controlling the functionality and observing the performance of the device. The 3.5" disk provided with the evaluation board contains an executable file that displays the AD9851 function-selection screen. The evaluation board may be operated with +3.0 V or +5 V supplies. Evaluation boards are configured at the factory for an external clock input. If the optional on-board crystal clock source is installed, resistor R2 (50 Ω) must be removed.

EVALUATION BOARD INSTRUCTIONS

Required Hardware/Software

Personal computer operating in Windows 3.1 or "95" environment (does not support Windows NT).

Printer port, 3.5" floppy drive, mouse and Centronics compatible printer cable, +3 V to +5 V voltage supply.

Crystal clock oscillator or high frequency signal generator (sine wave output) with dc offset capability.

AD9851 Evaluation Board Software disk and AD9851/FSPCB or AD9851/CGPCB Evaluation Board

Setup

Copy the contents of the AD9851 disk onto the host PCs hard drive (there are two files, WIN9851.EXE version 1.x and Bwcc.dll). Connect the printer cable from computer to the evaluation board. Use a good quality cable as some cables do not connect every wire that the printer port supports.

Windows is a registered trademark of Microsoft Corporation.

Apply power to AD9851 Evaluation Board. The AD9851 is powered separately from the other active components on the board via connector marked "DUT +V." The connector marked "+5 V" is used to power the CMOS latches, optional crystal oscillator and pull-up resistors. Both +5 V and DUT +V may be tied together for ease of operation without adverse affects. The AD9851 may be powered with +2.7 V to +5.25 V.

Connect an external 50 Ω Z clock source or remove R2 and install a suitable crystal clock oscillator with CMOS output levels at Y1. A sine wave signal generator may be used as a clock source at frequencies >50 MHz by dc offsetting the output signal to 1/2 the supply voltage to the AD9851. This method requires a minimum of 2 V p-p signal and that the 6× REFCLK Multiplier function be disabled.

Locate the file called WIN9851.EXE and execute that program. The computer monitor should show a "control panel" which allows operation of the AD9851 Evaluation Board by use of a "mouse."

Operation

On the control panel locate the box labeled "COMPUTER I/O." Click the correct parallel printer port for the host computer and then click the TEST box. A message will appear indicating if the selection of output port is correct. Choose other ports as necessary to achieve a correct port setting.

Click the MASTER RESET button. This will reset the part to 0 Hz, 0 degrees phase, parallel programming mode. The output from the DAC IOUT should be a dc voltage equal to the full-scale output of the AD9851 (1 volt for the AD9851/CGPCB and 0.5 volts for the AD9851/FSPCB) while the DAC IOUTB should be 0 volts for both evaluation boards. *RESET should always be the first command to the AD9851 following power-up.*

Locate the CLOCK SECTION and place the cursor in the FREQUENCY box. Enter the clock frequency (in MHz) that will be applied to the reference clock input of the AD9851. Click the PLL box in the CONTROL FUNCTION menu if the 6× Reference Clock multiplier is to be engaged . . . a check mark will appear when engaged. When the Reference Clock multiplier is engaged, software will multiply the value entered in the frequency box by six; otherwise, the value entered is the value used. Click the LOAD button or press the enter key.

Move the cursor to the OUTPUT FREQUENCY box and type in the desired frequency (in MHz). Click the LOAD button or press the enter key. The BUS MONITOR section of the control panel will show the 32-bit frequency word and 8-bit phase/control word. Upon completion of this step, the AD9851 output should be active at the programmed frequency/phase.

Changing the output phase is accomplished by clicking the "down arrow" in the OUTPUT PHASE DELAY box to make a selection and then clicking the LOAD button. Note: clicking the load buttons of either the clock frequency box, the output frequency box or the phase box will *automatically* initiate a reloading of all three boxes and issuance of a FQ_UD (frequency update) pulse. To bypass this automatic reloading and frequency update sequence, refer to the note below.

Other operational modes (Frequency Sweeping, Sleep, Serial Input) are available. Frequency sweeping allows the user to enter a start and stop frequency and to specify the frequency "step" size. Sweeping begins at the start frequency, proceeds to the stop frequency in a linear manner, reverses direction and sweeps back to the start frequency repeatedly.

Note: for those who may be operating multiple AD9851 evaluation boards from one computer, a MANUAL FREQUENCY UPDATE option exists. By eliminating the automatic issuance of an FQ_UD, the user can load the 40-bit input registers of multiple AD9851s without transferring that data to the internal accumulators. When all input registers are loaded, a single FREQUENCY UPDATE pulse can be issued to all AD9851s. A block diagram of this technique is shown in the AD9851 data sheet as a "Quadrature Oscillator" application. This single pulse synchronizes all the units so that their particular phases and frequencies take effect simultaneously. Proper synchronization requires that each AD9851 be clocked by the same reference clock source and that each oscillator be in an identical state while being programmed. RESET command assures identical states. When manual frequency update is selected, a new box labeled "FREQUENCY UPDATE" will appear just above the frequency sweeping menu. Clicking the box initiates a single FQ_UD pulse.

Note: RESET can be used to synchronize multiple oscillators. If several oscillators have already been programmed at various phases or frequencies, issuance of a RESET pulse will set their outputs to 0 Hz and 0 phase. By issuing a common FQ_UD, the previously programmed information in the 40-bit input registers will transfer once again to the DDS core and take effect in 18 clock cycles. This is due to the fact that RESET does not affect the contents of the 40-bit input register in any way.

The AD9851/FSPCB provides access into and out of the on-chip comparator via test point pairs (each pair has an active input and a ground connection). The two active inputs are labeled TP1 and TP2. The unmarked hole next to each labeled test point is a ground connection. The two active outputs are labeled TP5 and TP6. Adjacent those test points are unmarked ground connections. To prevent unwanted comparator chatter when not in use, the two inputs are pulled either to ground or +V via 1 kΩ resistors.

The AD9851/CGPCB provides BNC inputs and outputs associated with the on-chip comparator and an onboard, 7th order, 200 Ω input /output Z, elliptic 70 MHz low pass filter. Jumpering (soldering a wire) E1 to E2, E3 to E4 and E5 to E6 connects the onboard filter and the midpoint switching voltage to the comparator. Users may elect to insert their own filter and comparator threshold voltage by removing the jumpers and inserting a filter between J7 and J6 and providing a comparator threshold voltage at E1.

Use of the XTAL oscillator socket on the evaluation board to supply the clock to the AD9851 requires the removal R2 (a 50 Ω chip resistor) unless the oscillator can drive a 50 Ω load. The crystal oscillator should be either TTL or CMOS (preferably) compatible.

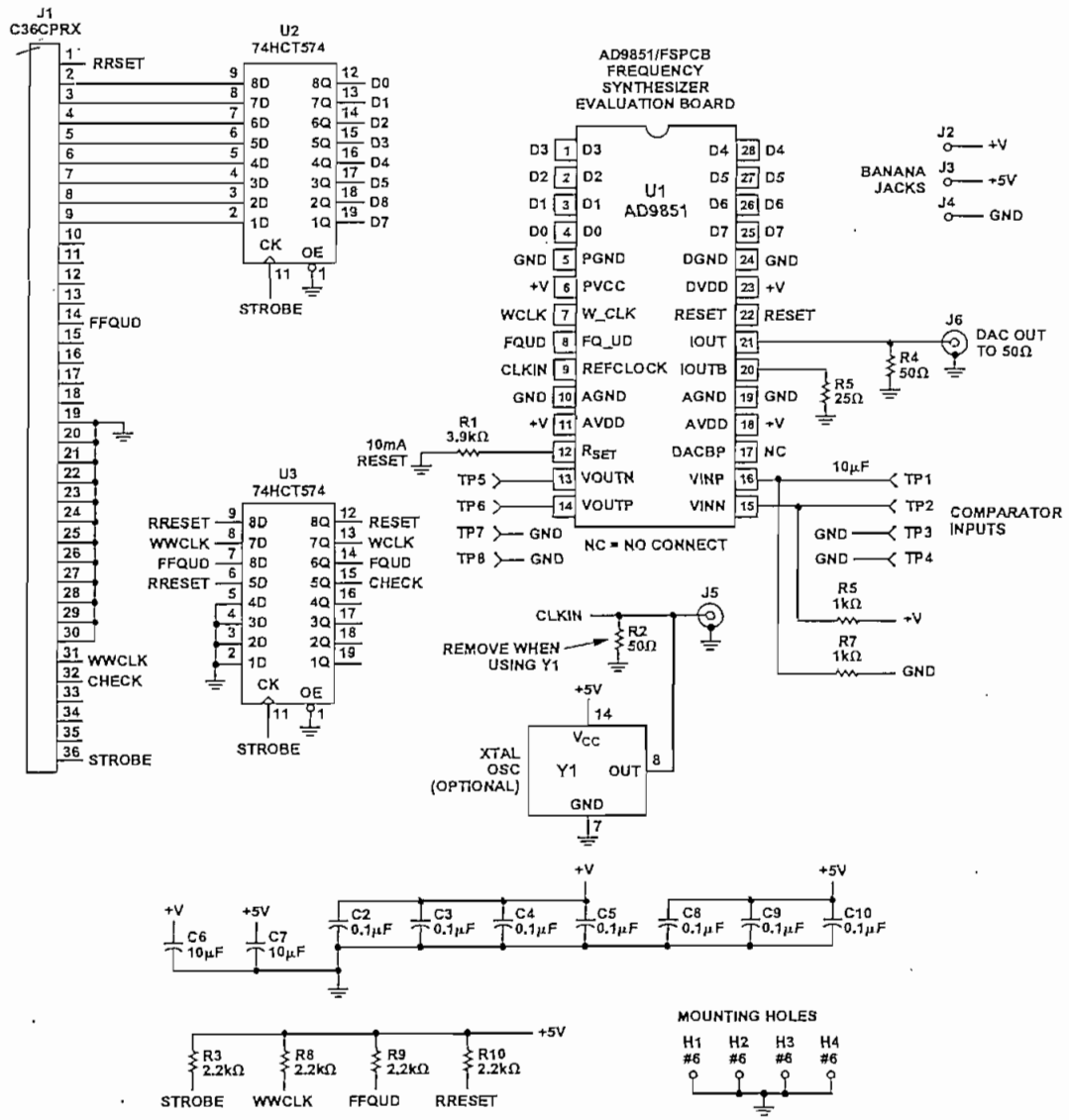
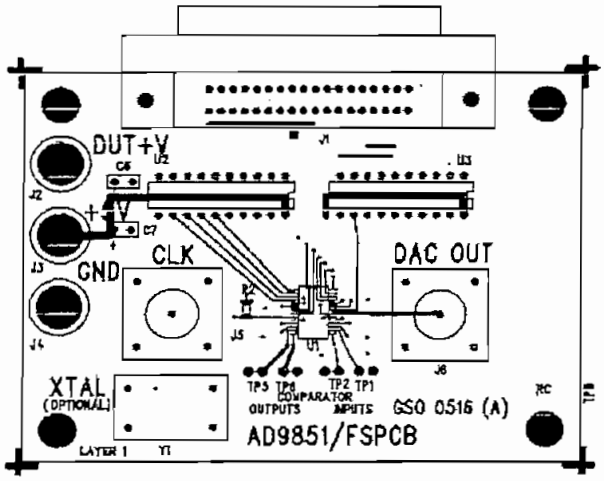
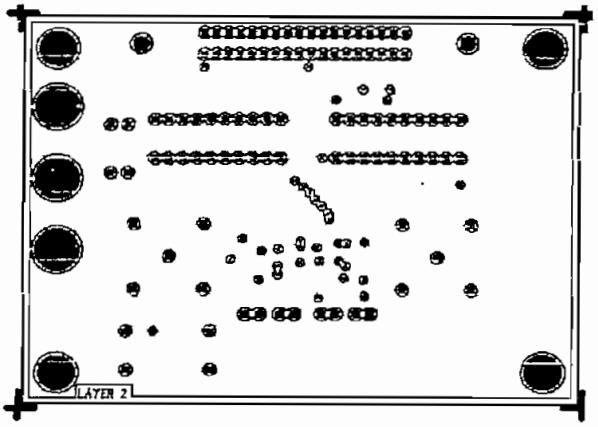


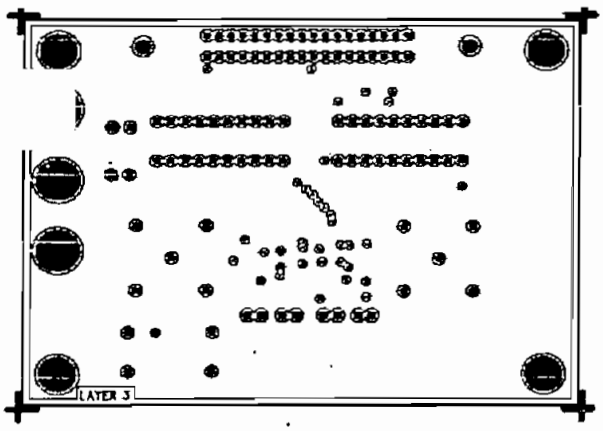
Figure 22. FSPCB Electrical Schematic



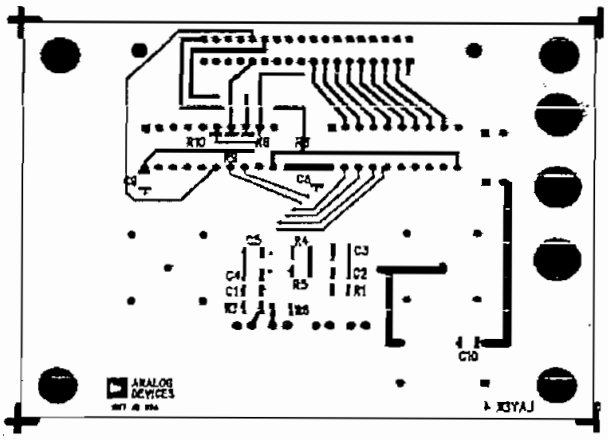
a. FSPCB Top Layer



c. FSPCB Ground Plane



b. FSPCB Power Plane



d. FSPCB Bottom Layer

Figure 23. FSPCB Evaluation Board Four-Layer PCB Layout Patterns

AD9851/FSPCB Evaluation Board Parts List—GSO 0516(A)

Miscellaneous Hardware	Ref. Des.
1 Amp 552742-1, 36-Pin Plastic, Right Angle, PC Mount, Female	J1
1 Banana Jack–Color Not Important	J2
1 Yellow Banana Jack	J3
1 Black Banana Jack	J4
2 BNC Coax. Connector, PC Mount	J5, J6
1 AD9851/FSPCB Evaluation Board GSO 0516(A)	None
4 AMP 5-330808-6, Open-Ended Pin Socket	None
2 #2-56 Hex Nut (to Fasten J1)	None
2 #2-56 × 3/8 Binder Head Machine Screw (to Fasten J1)	None
4 #4-40 Hex Nut (to Fasten Standoffs to Board)	None
4 #4 1 inch Metal Stand-Off	None

Miscellaneous Hardware	Ref. Des.
Decoupling Capacitors	
7 Size 1206 Chip Capacitor, 0.1 µF	C2–C5, C8–C10
2 Tantalum Capacitors, 10 µF	C6, C7
Resistors	
1 25 Ω Chip Resistor, Size 1206	R5
2 50 Ω Chip Resistor, Size 1206	R2, R4
1 3.9 kΩ Chip Resistor, Size 1206	R1
4 2 kΩ or 2.2 kΩ Chip Resistor, Size 1206	R3, R8, R9, R10
2 1 kΩ Chip Resistor, Size 1206	R6, R7
Integrated Circuits	
1 AD9851 Direct Digital Synthesizer, Surface Mount	U1
2 74HCT574AN HCMOS Octal Flip-Flop, Through-Hole Mount	U2, U3

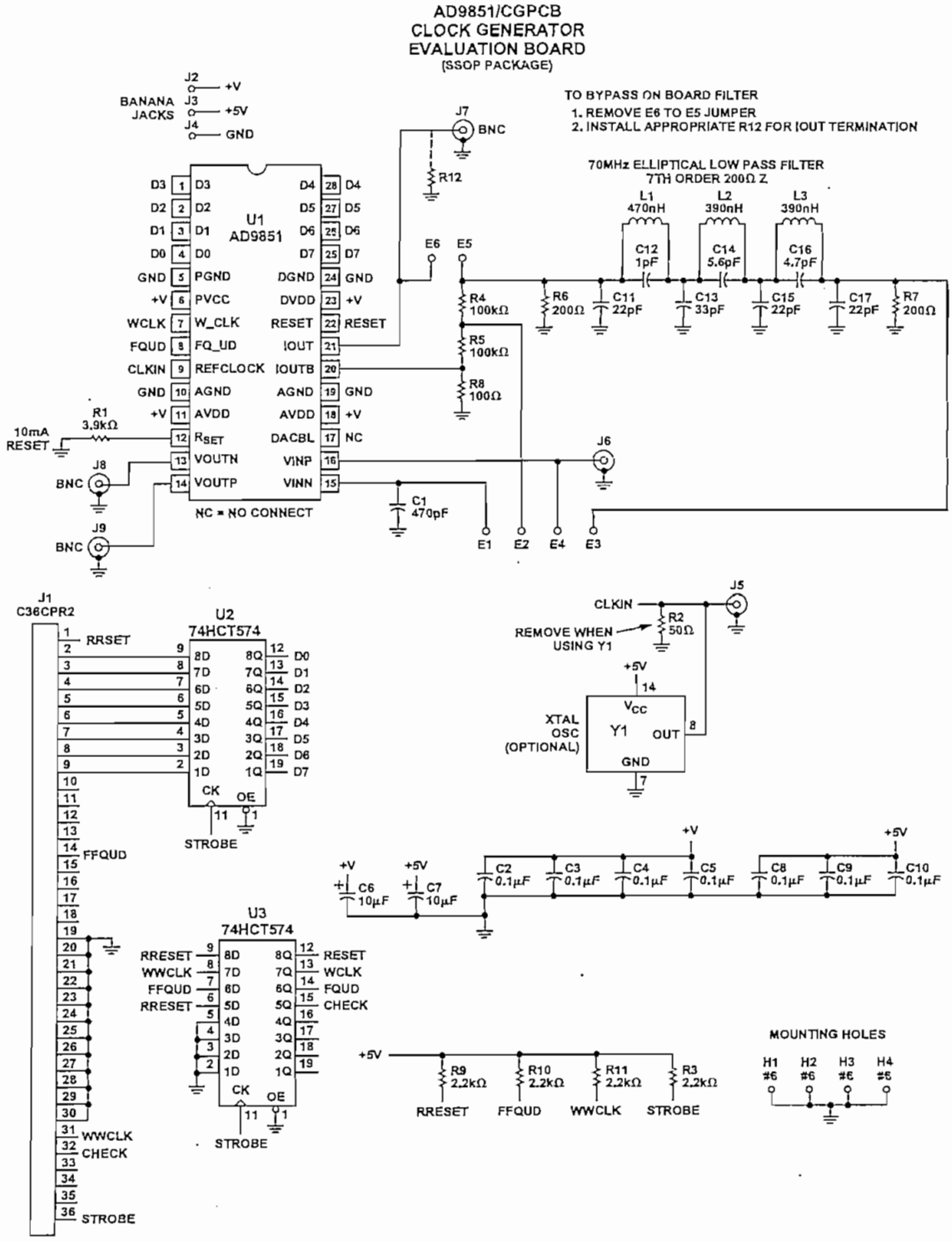
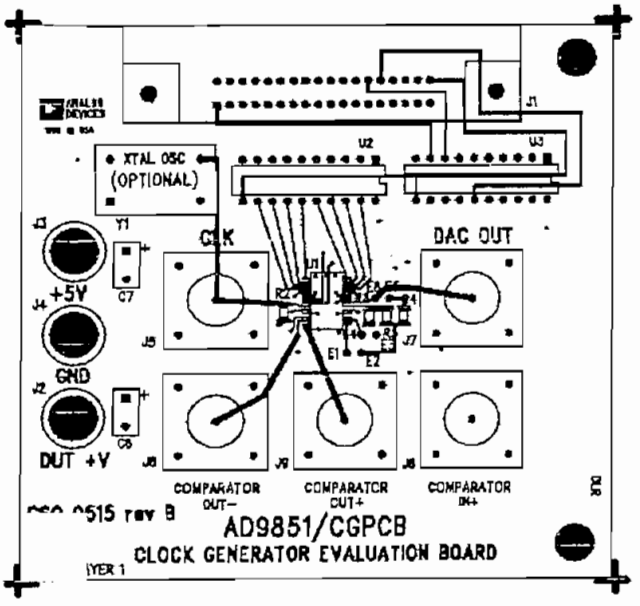
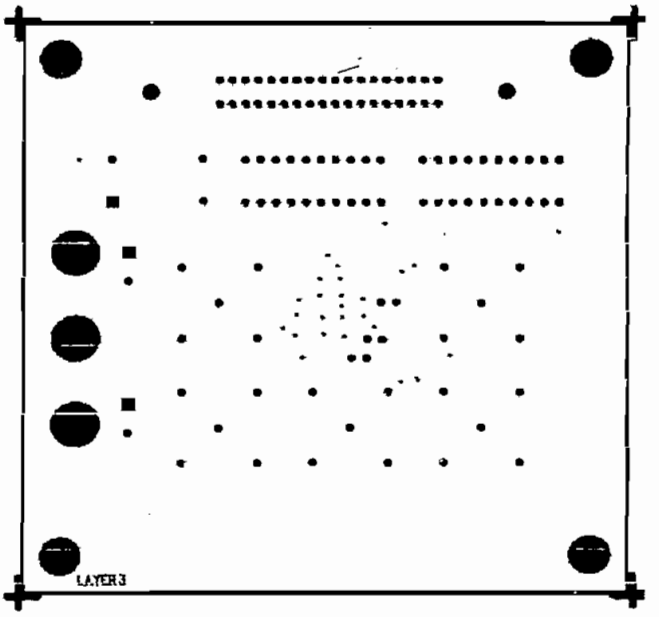


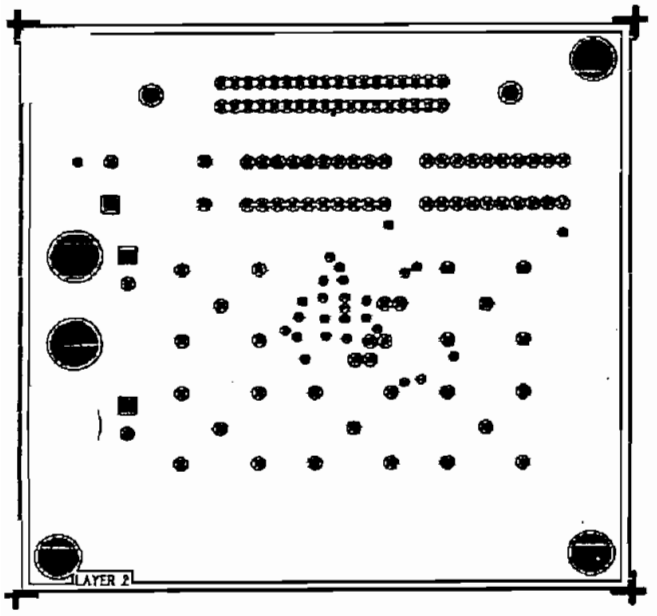
Figure 24. CGPCB Electrical Schematic



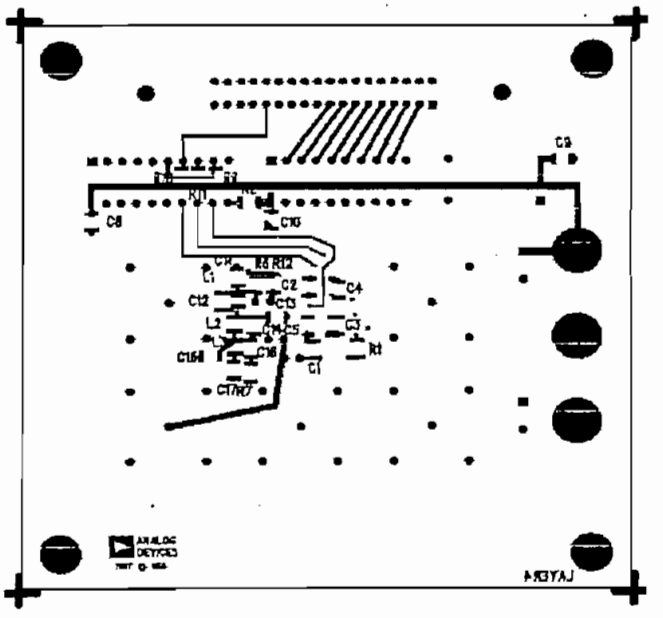
a. CGPCB Top Layer



b. CGPCB Power Plane



c. CGPCB Ground Plane



d. CGPCB Bottom Layer

Figure 25. CGPCB Evaluation Board Four-Layer PCB Layout Patterns

CGPCB Evaluation Board Parts List—GSO 0515(B)

Miscellaneous Hardware		Ref. Des.
1	Amp 552742-1, 36-Pin Plastic, Right Angle, PC Mount, Female	J1
1	Banana Jack—Color Not Important	J2
1	Yellow Banana Jack	J3
1	Black Banana Jack	J4
5	BNC Coax. Connector, PC Mount	J5, J6, J7, J8, J9
1	AD9851/CGPCB Evaluation Board GSO 0515(B)	None
4	AMP 5-330808-6, Open-Ended Pin Socket	None
2	#2-56 Hex Nut (to Fasten J1)	None
2	#2-56 x 3/8 Binder Head Machine Screw (to Fasten J1)	None
4	#4-40 Hex Nut (to Fasten Stand-Offs to Board)	None
4	#4 1-Inch Metal Stand-Off	None
Decoupling Capacitors		
1	Size 1206 Chip Capacitor, 470 pF	C1
7	Size 1206 Chip Capacitor, 0.1 µF	C2–C5, C8–C10
2	Tantalum Capacitors, 10 µF	C6, C7
Resistors		
1	3.9 kΩ Chip Resistor, Size 1206	R1
1	50 Ω Chip Resistor, Size 1206	R2
4	2 kΩ or 2.2 kΩ Chip Resistor, Size 1206	R3, R9, R10, R11
2	100 kΩ Chip Resistor, Size 1206	R4, R5
2	200 Ω Chip Resistor, Size 1206	R6, R7
1	100 Ω Chip Resistor, Size 1206	R8
1	Dummy Resistor (for Optional Installation)	R12
Filter Capacitors (70 MHz 7-Pole Elliptic Filter)		
3	22 pF Chip Capacitor, Size 1206	C11, C15, C17
1	1 pF Chip Capacitor, Size 1206	C12
1	33 pF Chip Capacitor, Size 1206	C13
1	5.6 pF Chip Capacitor, Size 1206	C14
1	4.7 pF Chip Capacitor, Size 1206	C16
Inductors (70 MHz 7-Pole Elliptic Filter)		
1	470 nH Chip Inductor, Coil Craft 1008CS	L1
2	390 nH Chip Inductor, Coil Craft 1008CS	L2, L3
Integrated Circuits		
1	AD9851 Direct Digital Synthesizer, Surface Mount	U1
2	74HCT574AN HCMOS Octal Flip-Flop, Through-Hole Mount	U2, U3

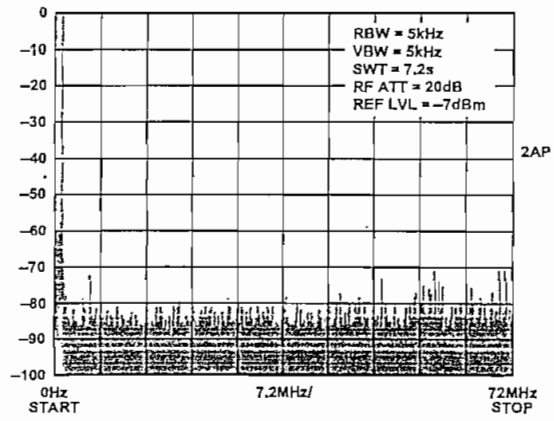


Figure 26. Wideband (dc to 72 MHz) output SFDR for a 1.1 MHz fundamental output signal. System clock = 180 MHz (6× REFCLK Multiplier engaged), V_S = +5 V.

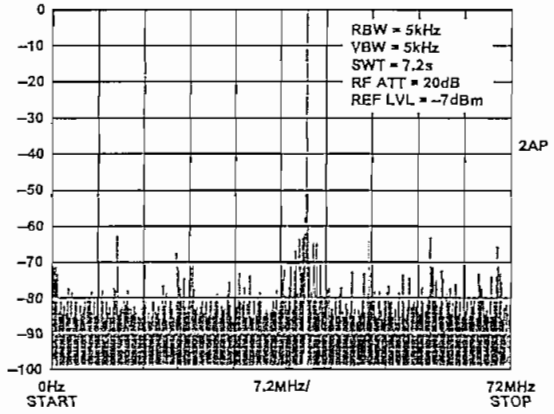


Figure 27. Wideband (dc to 72 MHz) output SFDR for a 40.1 MHz fundamental output signal. System clock = 180 MHz (6× REFCLK Multiplier engaged), V_S = +5 V.

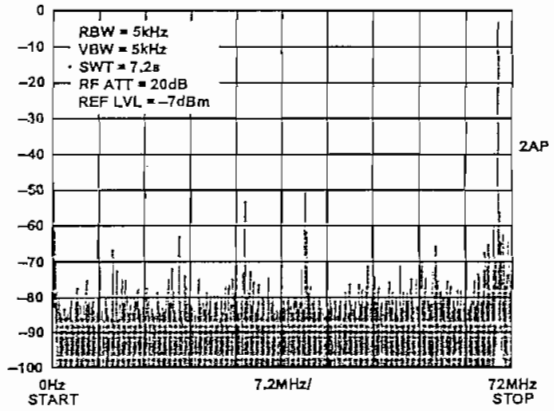


Figure 28. Wideband (dc to 72 MHz) output SFDR for a 70.1 MHz fundamental output signal. System clock = 180 MHz (6× REFCLK Multiplier engaged), V_S = +5 V.

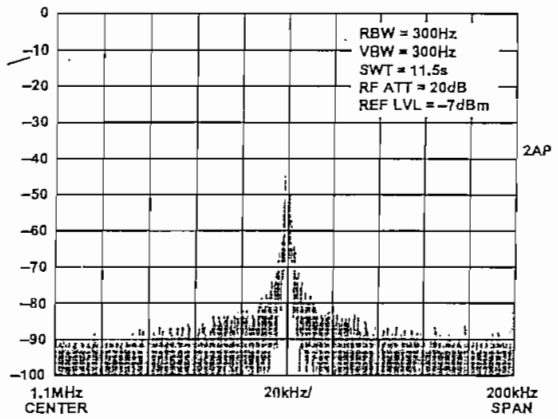


Figure 29. Narrowband (1.1 ± 0.1 MHz) output SFDR for a 1.1 MHz fundamental output signal. System clock = 180 MHz (6× REFCLK Multiplier engaged), V_S = +5 V.

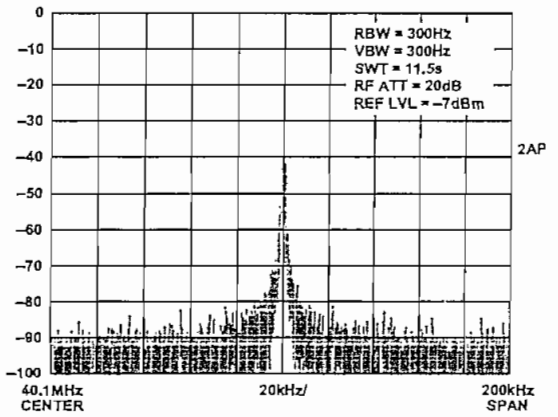


Figure 30. Narrowband (40.1 ± 0.1 MHz) output SFDR for a 40.1 MHz fundamental output signal. System clock = 180 MHz (6× REFCLK Multiplier engaged), V_S = +5 V.

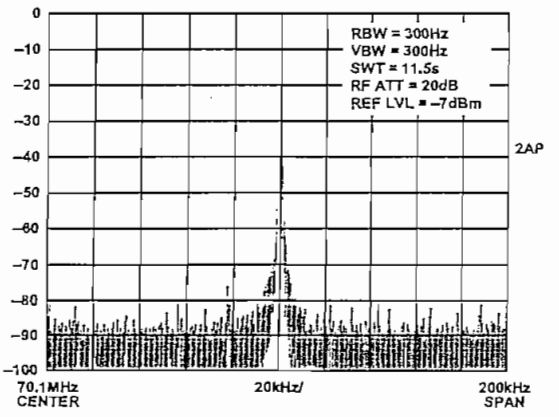


Figure 31. Narrowband (70.1 ± 0.1 MHz) output SFDR for a 70.1 MHz fundamental output signal. System clock = 180 MHz (6× REFCLK Multiplier engaged), V_S = +5 V.

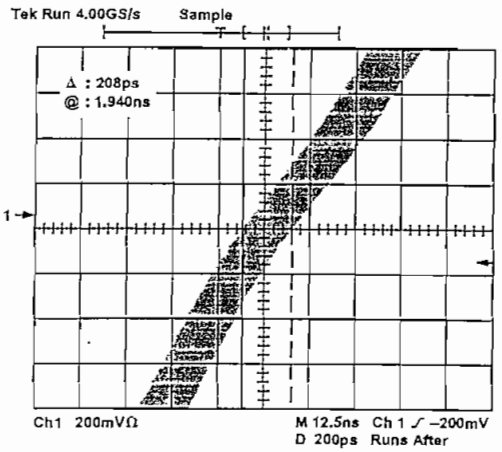


Figure 32. Typical CMOS comparator p-p output jitter with the AD9851 configured as a clock generator, DDS f_{OUT} = 10.1 MHz, V_S = +5 V, system clock = 180 MHz, 70 MHz LPF. Graph details the center portion of a rising edge with scope in delayed trigger mode, 200 ps/div. Cursors show 208 ps p-p jitter.

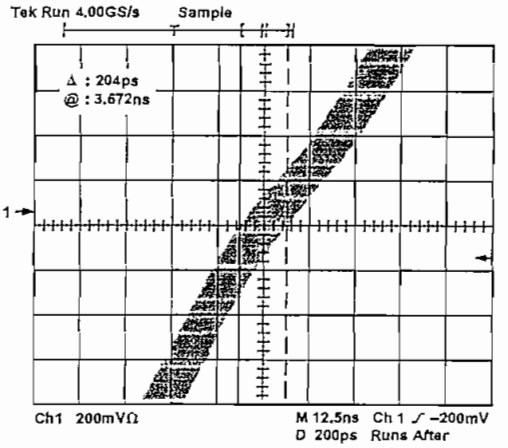


Figure 33. Typical CMOS comparator p-p output jitter with the AD9851 configured as a clock generator, DDS f_{OUT} = 40.1 MHz, V_S = +5 V, system clock = 180 MHz, 70 MHz LPF. Graph details the center portion of a rising edge with scope in delayed trigger mode, 200 ps/div. Cursors show 204 ps p-p jitter.

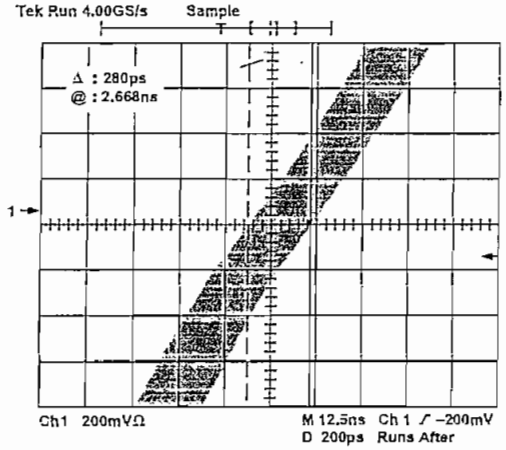


Figure 34. Typical CMOS comparator p-p output jitter with the AD9851 configured as a clock generator, DDS f_{OUT} = 70.1 MHz, V_S = +5 V, system clock = 180 MHz, 70 MHz LPF. Graph details the center portion of a rising edge with scope in delayed trigger mode, 200 ps/div. Cursors show 280 ps p-p jitter.

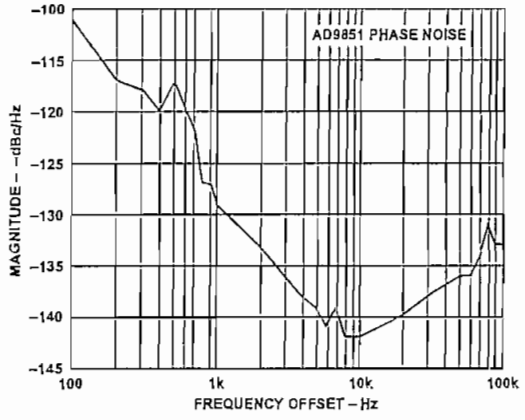


Figure 35. Output Phase Noise (5.2 MHz A_{OUT}), 6× REFCLK Multiplier Enabled, System Clock = 180 MHz, Reference Clock = 30 MHz

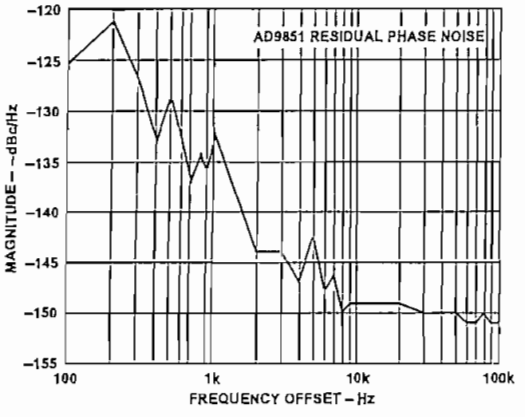


Figure 36. Output Residual Phase Noise (5.2 MHz A_{OUT}), 6× REFCLK Multiplier Disabled, System Clock = 180 MHz, Reference Clock = 180 MHz

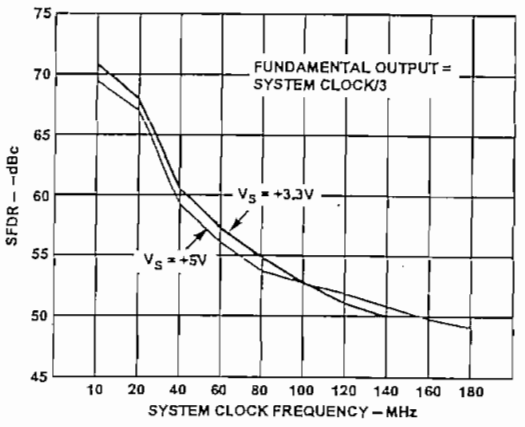


Figure 37. Spurious-free dynamic range (SFDR) is generally a function of the DAC analog output frequency. Analog output frequencies of 1/3 the system clock rate are considered worst case. Plotted below are typical worst case SFDR numbers for various system clock rates.

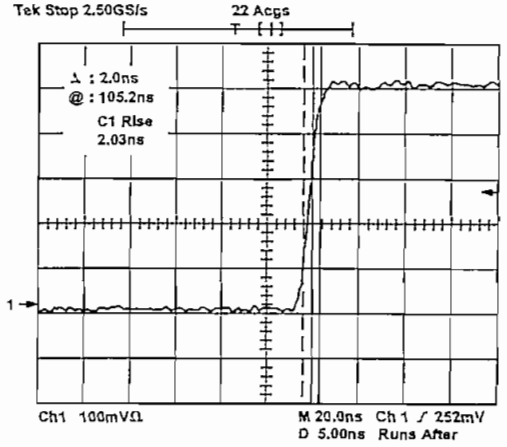


Figure 38. Comparator Rise Time, 15 pF Load

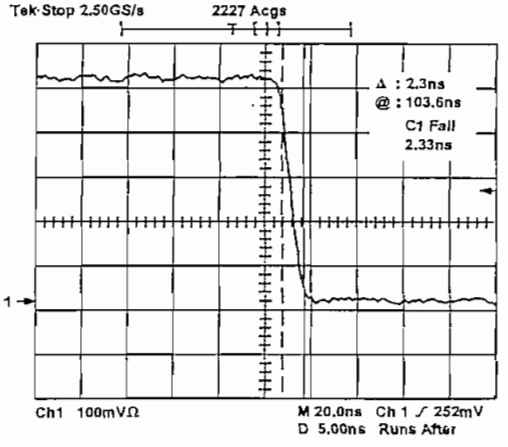


Figure 39. Comparator Fall Time, 15 pF Load

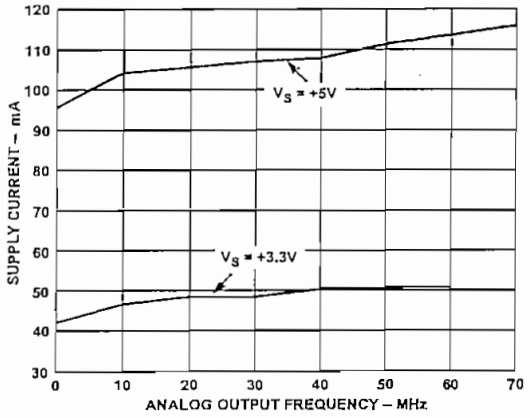


Figure 40. Supply current variation with analog output frequency at 180 MHz system clock (upper trace) and 125 MHz system clock (lower trace).

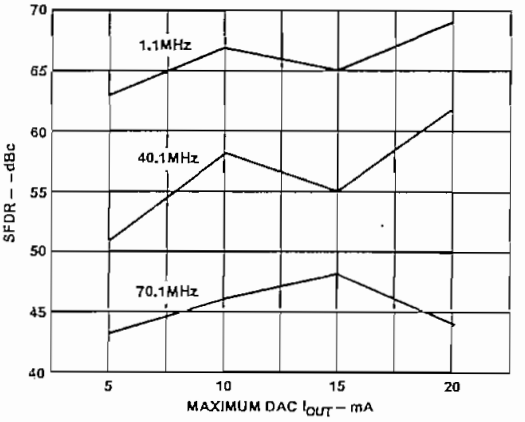


Figure 42. Effect of DAC maximum output current on wideband (0 to 72 MHz) SFDR at three representative DAC output frequencies: 1.1 MHz, 40.1 MHz and 70.1 MHz. V_S = +5 V, 180 MHz system clock (6× REFCLK Multiplier disabled). Currents are set using appropriate values of R_{SET}.

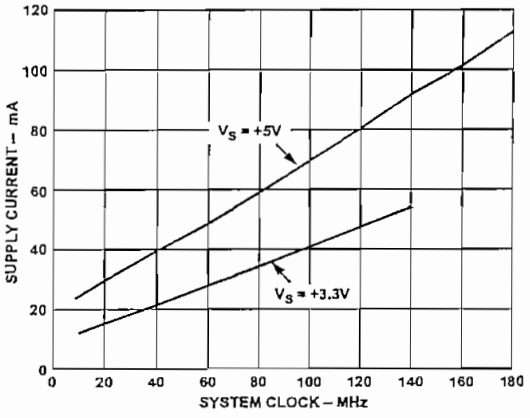


Figure 41. Supply current variation with system clock frequency.

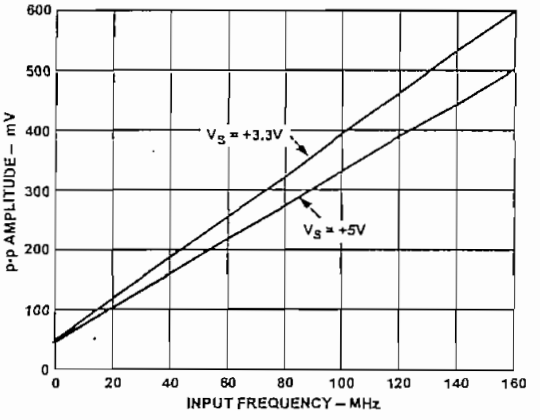
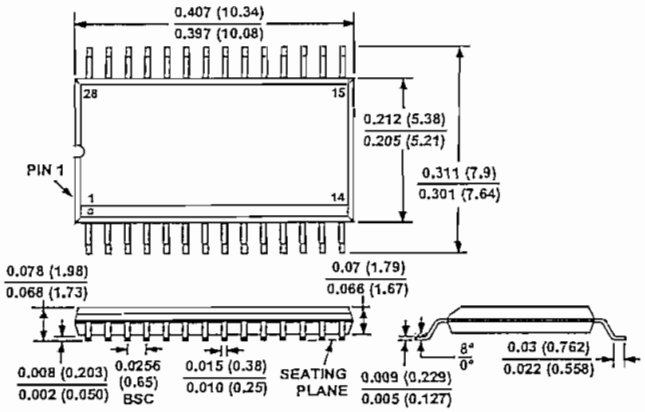


Figure 43. Minimum p-p input signal needed to toggle the AD9851 comparator output. Comparator input is a sine wave compared with a fixed voltage threshold. Use this data in addition to sin(x)/x roll-off and any filter losses to determine if adequate signal is being presented to the AD9851 comparator.

OUTLINE DIMENSIONS

Dimensions shown in inches and (mm).

28-Lead Shrink Small Outline Package
(RS-28)



C3423b–0–5/99

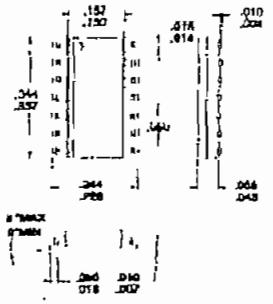
PRINTED IN U.S.A.

Typical Applications

- Digital and Analog Receivers and Transmitters
- High Data Rate Digital Communications
- Spread Spectrum Communication Systems
- Interactive Cable Systems
- Portable Battery Powered Equipment

Product Description

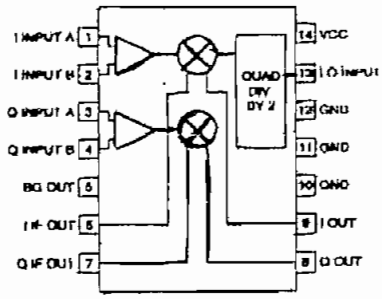
The RF2703 is a monolithic integrated quadrature modulator/demodulator. The demodulator is used to recover the I and Q baseband signals from the amplified and filtered IF. Likewise, the inputs and outputs can be reconfigured to modulate I/Q signals onto an RF carrier. The RF2703 is intended for IF systems where the IF frequency ranges from 100kHz to 250MHz, and the LO frequency is two times the IF. The IC contains all of the required components to implement the modulation/demodulation function and contains a digital divider type 90° phase shifter, two double balanced mixers, and baseband amplifiers designed to interface with Analog to Digital Converters. The unit operates from a single 3V to 6V power supply.



Package Style: SOP-14

Optimum Technology Matching® Applied

☑ Si BJT ☐ GaAs HBT ☐ GaAs MESFET
☐ Si Bi-CMOS



Functional Block Diagram

Features

- 3V to 6V Operation
- Modulation or Demodulation
- IF From 100kHz to 250MHz
- Baseband From DC to 50MHz
- Digital LO Quadrature Divider
- Low Power and Small Size

Ordering Information

RF2703	Quadrature Modulator/Demodulator
RF2703 PCBA-D	Fully Assembled Evaluation Board (Demodulator)
RF2703 PCBA-M	Fully Assembled Evaluation Board (Modulator)

RF Micro Devices, Inc.
7625 Thorndike Road
Greensboro, NC 27409, USA
Tel (336) 664 1233
Fax (336) 664 0454
http://www.rfmd.com

7 QUADRATURE MODULATORS/DEMODULATORS

Absolute Maximum Ratings

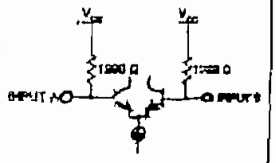
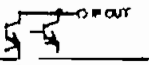
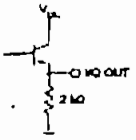
Parameter	Rating	Unit
Supply Voltage	-0.5 to 7.0	V_{DC}
IF Input Level	500	mV_{PP}
Operating Ambient Temperature	-40 to +85	°C
Storage Temperature	-40 to +150	°C

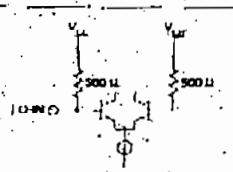
Caution! ESD sensitive device.

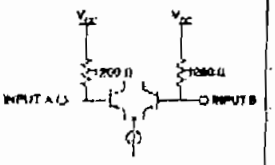
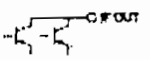
RF Micro Devices believes the furnished information is correct and accurate at the time of this printing. However, RF Micro Devices reserves the right to make changes to its products without notice. RF Micro Devices does not assume responsibility for the use of the described product(s).

Parameter	Specification			Unit	Condition
	Min.	Typ.	Max.		
Overall					T=25°C, V_{CC}=3.0V, IF=100MHz, LO=200MHz, F_{MOD}=500kHz
IF Frequency Range		0.1 to 250		MHz	For IF frequencies below ~2.5MHz, the LO should be a square wave. IF frequencies lower than 100kHz are attainable if the LO is a square wave and sufficiently large DC blocking capacitors are used.
Baseband Frequency Range		DC to 50		MHz	
Input Impedance		1200 ll 1pF		Ω	Each input, single-ended
LO					
Frequency					Twice (2x) the IF frequency. For IF frequencies below ~2.5MHz, the LO should be a square wave. IF frequencies lower than 100kHz are attainable if the LO is a square wave and sufficiently large DC blocking capacitors are used.
Level		0.06 to 1		V_{PP}	
Input Impedance		500 ll 1pF		Ω	
Demodulator Configuration					IF_{IN}=28mV$_{PP}$, LO=200mV$_{PP}$, Z_{LOAD}=10kΩ
Output Impedance		50 ll 1pF		Ω	Each output, I_{OUT} and Q_{OUT}
Maximum Output		1.4		V_{PP}	Saturated
Voltage Gain		20		dB	V_{CC}=3.0V
	22.5	24	25.1	dB	V_{CC}=5.0V
Noise Figure		24		dB	Single Sideband, IF Input of device reactively matched
		35		dB	Single Sideband, 50Ω shunt resistor at IF Input
Input Third Order Intercept Point (IIP_3)		-22		dBm	V_{CC}=3.0V, IF Input of device reactively matched
		-11		dBm	V_{CC}=3.0V, 50Ω shunt resistor at IF Input
		-19			V_{CC}=5.0V, IF Input of device reactively matched
		-8		dBm	V_{CC}=5.0V, 50Ω shunt resistor at IF Input
		-28		dBm	V_{CC}=5.0V, IF Input of device reactively matched, Z_{LOAD}=50Ω
I/Q Amplitude Balance		0.1	0.5	dB	
Quadrature Phase Error		<±1			
DC Output		600		mV	V_{CC}=3.0V, I_{OUT} and Q_{OUT} to GND
	2.0	2.4	2.8	V	V_{CC}=5.0V, I_{OUT} and Q_{OUT} to GND
DC Offset		<10	60	mV	I_{OUT} to Q_{OUT}

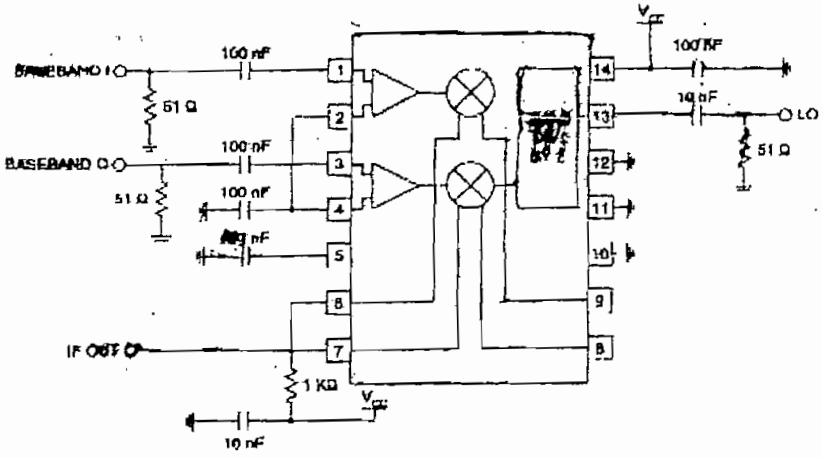
Modulator Configuration					I_{BB}=28mV$_{pp}$, LO=200mV$_{pp}$, Z_{LOAD}=1200Ω
Maximum Output		700		mV$_{pp}$	Saturated
Input Voltage		90		mV$_{pp}$	Single Sideband, 1dB Gain Compression.
Voltage Gain		6		dB	Single Sideband
I/Q Amplitude Balance		0.1		dB	
Quadrature Phase Error		<±1			
Carrier Suppression		25		dBc	Unadjusted. Carrier Suppression may be optimized further by adjusting the DC offset level between the A and B inputs.
Sideband Suppression		30		dBc	
Power Supply					
Voltage		2.7 to 6		V	Operating limits
Current		8		mA	V_{CC}=3.0V
	8	10	12	mA	V_{CC}=5.0V

Pin	Function	Description (Demodulator Configuration)	Interface Schematic
1	I INPUT A	When the RF2703 is configured as a Quadrature Demodulator, both mixers are driven by the IF. Whether driving the mixers single-endedly (as shown in the application schematic) or differentially, the A inputs (pins 1 and 3) should be connected to each other. Likewise, both B inputs (pins 2 and 4) should be connected to each other. This ensures that the IF will reach each mixer with the same amplitude and phase, yielding the best I and Q output amplitude and quadrature balance. Note that connecting the inputs in parallel changes the input impedance (see the Gilbert Cell mixer equivalent circuit). The single-ended input impedance (as shown in the application circuit) becomes 830Ω, but in the balanced configuration, the input impedance would remain 1200Ω. The mixers are Gilbert Cell designs with balanced inputs. The equivalent schematic for one of the mixers is shown on the following page. The input impedance of each pin is determined by the 1260Ω resistor to V_{CC} in parallel with a transistor base. Note from the schematic that all four input pins have an internally set DC bias. For this reason, all four inputs (pins 1 through 4) should be DC blocked. The capacitance values of the blocking capacitors is determined by the IF frequency. When driving single-endedly, both the series (pins 1 and 3) and shunt (pins 2 and 4) blocking capacitors should be low impedances, relative to the 630Ω input impedance.	
2	I INPUT B	Same as pin 1, except complementary input.	See pin 1.
3	Q INPUT A	Same as pin 1, except Q Buffer Amplifier.	See pin 1.
4	Q INPUT B	Same as pin 3, except complementary input.	See pin 1.
5	BG OUT	Band Gap voltage reference output. This voltage output is held constant over variations in supply voltage and operating temperature and may be used as a reference for other external circuitry. This pin should not be loaded such that the sourced current exceeds 1mA. This pin should be bypassed with a large (0.1µF) capacitor.	
6	I IF OUT	This pin is not used in the Demodulator Configuration, but must be connected to V_{CC} in order to properly bias the I mixer.	
7	Q IF OUT	Same as pin 6, except Q mixer.	Same as pin 6.
8	Q OUT	Q Mixer's Baseband Output. This pin is NOT internally DC blocked and has DC present due to internal biasing. This is an emitter-follower type output with an internal 2kΩ pull-down resistor. Even though the AC output impedance is ~50Ω, this pin is intended to drive only high impedance loads such as an opamp or an ADC. The output transistor is NOT biased such that it can drive a large signal into a 50Ω load. DC coupling of this output is permitted provided that the DC impedance to ground, which appears in parallel with the internal pull-down resistor, is significantly greater than 2kΩ.	
9	I OUT	Same as pin 8, except Q Mixer's Baseband Output.	Same as pin 8.
10	GND	Ground connection. Keep traces physically short and connect immediately to ground plane for best performance.	
11	GND	Same as pin 10.	
12	GND	Same as pin 10.	

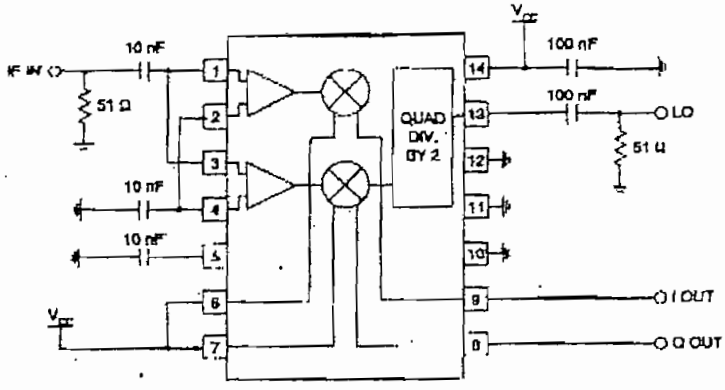
13	LO INPUT	High impedance, single-ended modulator LO input. The LO applied to this pin is frequency divided by a factor of 2 and becomes the "Carrier". For direct demodulation, the Carrier is equal in frequency to the center of the input IF spectrum (except in the case of BSB/SC). The input impedance is determined by an internal 500Ω bias resistor to V_{CC}. An external blocking capacitor should be provided if the pin is connected to a device with DC present. Matching the input impedance is typically achieved by adding a 51Ω resistor to ground on the source side of the AC coupling capacitor. For the LO input, maximum power transfer is not critical. The internal LO switching circuits are controlled by the voltage, not power, into the part. In cases where the LO source does not have enough available voltage, a reactive match (voltage transformer) can be used. The LO circuitry consists of a limiting amplifier followed by a digital divider. The limiting amp ensures that the flip-flop type divider is driven with a square wave over a wide range of input levels. Because the flip-flop uses the rising and falling edges of the limiter output, the quadrature accuracy of the Carrier supplied to the mixers is directly related to the duty cycle, or equivalently to the even harmonic content, of the input LO signal. In particular, care should be taken to ensure that the 2nd LO level input to this pin is at least 20dB below the LO level. Otherwise, the LO input is not sensitive to the type of input wave form, except for IF frequencies below ~2.5MHz, in which case the LO input should be a square wave, in order to ensure proper triggering of the flip-flops. If frequencies below 100kHz are attainable if the LO is a square wave and sufficiently large DC blocking capacitors are used.	
14	VCC	Voltage supply for the entire device. This pin should be well bypassed at all frequencies (IF, LO, Carrier, Baseband) that are present in the part.	

Pin	Function	Description (Modulator Configuration)	Interface Schematic
1	I INPUT A	When the RF2703 is configured as a Quadrature Modulator, each mixer is driven by an independent baseband modulation channel (I and Q). The mixers can be driven single-endedly (as shown in the modulator application circuit) or differentially. When driving single-endedly, the B inputs (pins 2 and 4) should be connected to each other. This ensures that the baseband signals will reach each mixer with the same DC reference, yielding the best carrier suppression. Note that the input impedance changes according to the drive mode (see the mixer equivalent circuit on the previous page). The single-ended input impedance (as shown in the modulator application circuit) is 1200Ω for each of the two inputs. In the balanced configuration, the input impedance would be 2400Ω for each of the two inputs. The mixers are Gilbert Cell designs with balanced inputs. The equivalent schematic for one of the mixers is shown on the previous page. The input impedance of each pin is determined by the 1200Ω resistor to V_{DC} in parallel with a transistor base. Note from the schematic that all four input pins have an internally set DC bias. For this reason, all four inputs (pins 1 through 4) should be DC blocked. The capacitance values of the blocking capacitors is determined by the baseband frequency. When driving single-endedly, both the series (pins 1 and 3) and shunt (pins 2 and 4) blocking capacitors should be low impedances, relative to the input impedance. DC bias voltages may be supplied to the inputs pins, if required, in order to increase the amount of carrier suppression. For example, the DC levels on the reference inputs (pins 2 and 4) may be offset from each other by adding different resistor values to ground. These resistors should be larger than 2kΩ. Note from the mixer schematic that all four input pins have an internally set DC bias. If DC bias is to be supplied, the allowable ranges are limited. For 5V applications, the DC reference on both I pins or both Q pins must not go below 2.7V_{DC}, and in no case should the DC voltage on any of the four pins go below 2.0V_{DC} or above 5.5V_{DC}. IF a DC reference is to be supplied, the source must also be capable of sinking current. If optimizing carrier suppression further is not a concern, it is recommended that all four inputs (pins 1 through 4) be DC blocked.	
2	I INPUT B	Same as pin 1, except complementary input	See pin 1.
3	Q INPUT A	Same as pin 1, except Q Buffer Amplifier.	See pin 1.
4	Q INPUT B	Same as pin 3, except complementary input.	See pin 1.
5	BG OUT	Band Gap voltage reference output. The voltage output is held constant over variations in supply voltage and operating temperature and may be used as a reference for other external circuitry. This pin should not be loaded such that the sourced current exceeds 1mA. This pin should be bypassed with a large (0.1μF) capacitor.	
6	I IF OUT	Connecting pins 6 and 7 to each other accomplishes the summing function of the upconverted I and Q channels. In addition, because these outputs are open collector type, they must be connected to V_{CC} in order to properly bias the Gilbert Cell mixers. Maximum gain and output power occur when the load on these two pins is ~1200Ω. In most applications the impedance of the next stage will be lower and a reactive impedance transforming match should be used if maximum gain and output level are of concern. Biasing, DC blocking, and impedance transformation can simultaneously be achieved with the shunt-L / series-C topology shown in the Application Circuit. The inductance and capacitance values are chosen to achieve a specific impedance transforming ratio at a specific IF frequency. For applications where the gain is not as critical, a 1200Ω resistor may be added in parallel with a choke inductor in place of the matching inductor. If neither gain nor output level is critical, the inductor may be replaced with a resistor that sets the desired source impedance to drive the next stage. If the next stage is an "open" at DC, the blocking capacitor may be eliminated.	

Application Schematic
Modulator Configuration

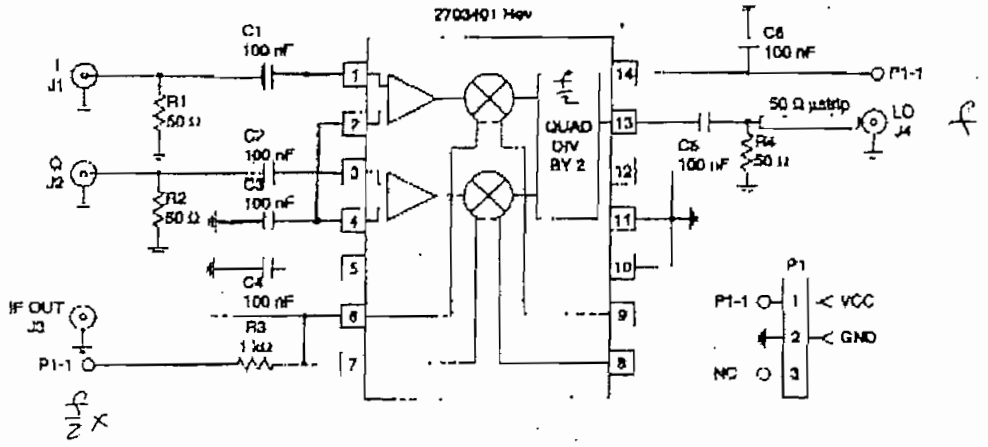


Application Schematic
Demodulator Configuration



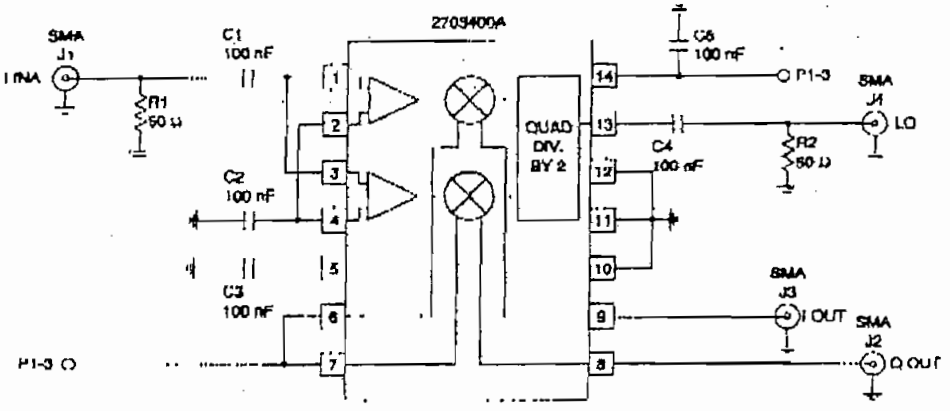
Evaluation Board Schematic
Modulator Configuration

(Download Bill of Materials from www.rfmd.com.)



Evaluation Board Schematic
Demodulator Configuration

(Download Bill of Materials from www.rfmd.com.)



Precision Monolithic Quad SPST CMOS Analog Switches

FEATURES

- 44-V Supply Max Rating
- ±15-V Analog Signal Range
- On-Resistance—$r_{DS(on)}$: 25 Ω
- Fast Switching—t_{ON}: 110 ns
- Ultra Low Power—P_D: 0.35 µW
- TTL, CMOS Compatible
- Single Supply Capability

BENEFITS

- Widest Dynamic Range
- Low Signal Errors and Distortion
- Break-Before-Make Switching Action
- Simple Interfacing

APPLICATIONS

- Precision Automatic Test Equipment
- Precision Data Acquisition
- Communication Systems
- Battery Powered Systems
- Computer Peripherals

DESCRIPTION

The DG411 series of monolithic quad analog switches was designed to provide high speed, low error switching of precision analog signals. Combining low power (0.35 µW) with high speed (t_{ON}: 110 ns), the DG411 family is ideally suited for portable and battery powered industrial and military applications.

To achieve high-voltage ratings and superior switching performance, the DG411 series was built on Vishay Siliconix's high voltage silicon gate process. An epitaxial layer prevents latchup.

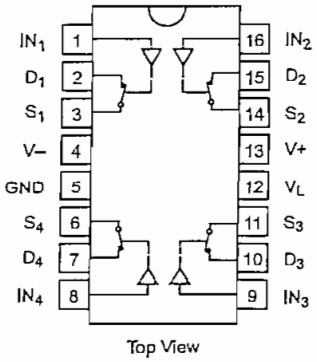
Each switch conducts equally well in both directions when on, and blocks input voltages up to the supply levels when off.

The DG411 and DG412 respond to opposite control logic as shown in the Truth Table. The DG413 has two normally open and two normally closed switches.

FUNCTIONAL BLOCK DIAGRAM AND PIN CONFIGURATION

DG411

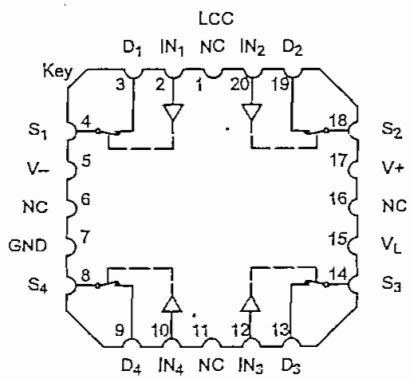
Dual-In-Line and SOIC



Top View

DG411

LCC



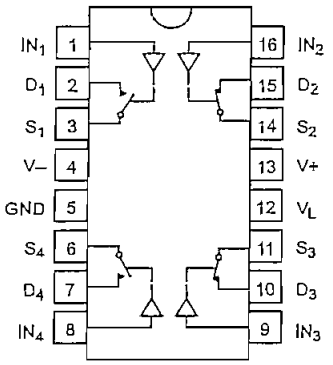
Top View

TRUTH TABLE		
Logic	DG411	DG412
0	ON	OFF
1	OFF	ON

Logic "0" ≤ 0.8 V
Logic "1" ≥ 2.4 V

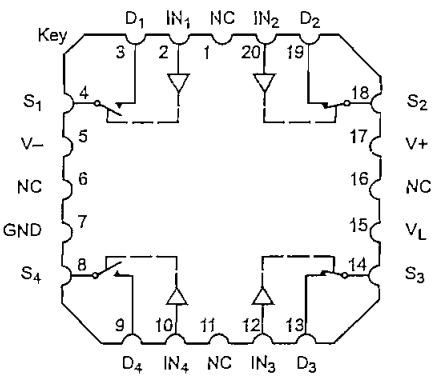
FUNCTIONAL BLOCK DIAGRAM AND PIN CONFIGURATION

DG413
Dual-In-Line and SOIC



Top View

DG413
LCC



Top View

TRUTH TABLE		
Logic	SW_1, SW_4	SW_2, SW_3
0	OFF	ON
1	ON	OFF

Logic "0" ≤ 0.8 V
Logic "1" ≥ 2.4 V

ORDERING INFORMATION		
Temp Range	Package	Part Number
DG411/412		
–40 to 85°C	16-Pin Plastic DIP	DG411DJ
		DG412DJ
–40 to 85°C	16-Pin Narrow SOIC	DG411DY
		DG412DY
–55 to 125°C	16-Pin CerDIP	DG411AK, DG411AK/883, 5962-9073101MEA
		DG412AK, DG412AK/883, 5962-9073102MEA
	LCC-20	DG411AZ/883, 5962-9073101M2A
		5962-9073102M2A
DG413		
–40 to 85°C	16-Pin Plastic DIP	DG413DJ
	16-Pin Narrow SOIC	DG413DY
–55 to 125°C	16-Pin CerDIP	DG413AK, DG413AK/883, 5962-9073103MEA
	LCC-20	5962-9073103M2A

ABSOLUTE MAXIMUM RATINGS

V+ to V– ..... 44 V
GND to V– ..... 25 V
V_L ..... (GND –0.3 V) to (V+) +0.3 V
Digital Inputs[a], V_S, V_D ..... (V–) –2 V to (V+) +2 V
or 30 mA, whichever occurs first
Continuous Current (Any Terminal) ..... 30 mA
Peak Current, S or D (Pulsed 1 ms, 10% Duty Cycle) ..... 100 mA
Storage Temperature (AK, AZ Suffix) ..... –65 to 150°C
(DJ, DY Suffix) ..... –65 to 125°C

Power Dissipation (Package)[b]
16-Pin Plastic DIP[c] ..... 470 mW
16-Pin Narrow SOIC[d] ..... 600 mW
16-Pin CerDIP[e] ..... 900 mW
LCC-20[e] ..... 900 mW

Notes:
a. Signals on S_X, D_X, or IN_X exceeding V+ or V– will be clamped by internal diodes. Limit forward diode current to maximum current ratings.
b. All leads welded or soldered to PC Board.
c. Derate 6 mW/°C above 25°C
d. Derate 7.6 mW/°C above 75°C
e. Derate 12 mW/°C above 75°C

SPECIFICATIONS[a]

Parameter	Symbol	Test Conditions Unless Specified V+ = 15 V, V– = –15 V V_L = 5 V, V_{IN} = 2.4 V, 0.8 V[f]	Temp[b]	Typ[c]	A Suffix –55 to 125°C Min[d]	A Suffix –55 to 125°C Max[d]	D Suffix –40 to 85°C Min[d]	D Suffix –40 to 85°C Max[d]	Unit
Analog Switch									
Analog Signal Range[e]	V_{ANALOG}		Full		–15	15	–15	15	V
Drain-Source On-Resistance	$r_{DS(on)}$	V+ = 13.5 V, V– = –13.5 V I_S = –10 mA, V_D = ±8.5 V	Room Full	25		35 45		35 45	Ω
Switch Off Leakage Current	$I_{S(off)}$	V+ = 16.5, V– = –16.5 V V_D = ±15.5 V, V_S = ∓15.5 V	Room Full	±0.1	–0.25 –20	0.25 20	–0.25 –5	0.25 5	nA
	$I_{D(off)}$		Room Full	±0.1	–0.25 –20	0.25 20	–0.25 –5	0.25 5	
Channel On Leakage Current	$I_{D(on)}$	V+ = 16.5 V, V– = –16.5 V V_S = V_D = ±15.5 V	Room Full	±0.1	–0.4 –40	0.4 40	–0.4 –10	0.4 10	
Digital Control									
Input Current, V_{IN} Low	I_{IL}	V_{IN} Under Test = 0.8 V	Full	0.005	–0.5	0.5	–0.5	0.5	µA
Input Current, V_{IN} High	I_{IH}	V_{IN} Under Test = 2.4 V	Full	0.005	–0.5	0.5	–0.5	0.5	
Dynamic Characteristics									
Turn-On Time	t_{ON}	R_L = 300 Ω, C_L = 35 pF V_S = ±10 V See Figure 2	Room Full	110		175 240		175 220	ns
Turn-Off Time	t_{OFF}		Room Full	100		145 160		145 160	
Break-Before-Make Time Delay	t_D	DG413 Only, V_S = 10 V R_L = 300 Ω, C_L = 35 pF	Room	25					
Charge Injection	Q	V_g = 0 V, R_g = 0 Ω, C_L = 10 nF	Room	5					pC
Off Isolation[e]	OIRR	R_L = 50 Ω, C_L = 5 pF, f = 1 MHz	Room	68					dB
Channel-to-Channel Cross-talk[e]	X_{TALK}		Room	85					
Source Off Capacitance[e]	$C_{S(off)}$	f = 1 MHz	Room	9					pF
Drain Off Capacitance[e]	$C_{D(off)}$		Room	9					
Channel On Capacitance[e]	$C_{D(on)}$		Room	35					
Power Supplies									
Positive Supply Current	I+	V+ = 16.5, V– = –16.5 V V_{IN} = 0 or 5 V	Room Full	0.0001		1 5		1 5	µA
Negative Supply Current	I–		Room Full	–0.0001	–1 –5		–1 –5		
Logic Supply Current	I_L		Room Full	0.0001		1 5		1 5	
Ground Current	I_{GND}		Room Full	–0.0001	–1 –5		–1 –5		

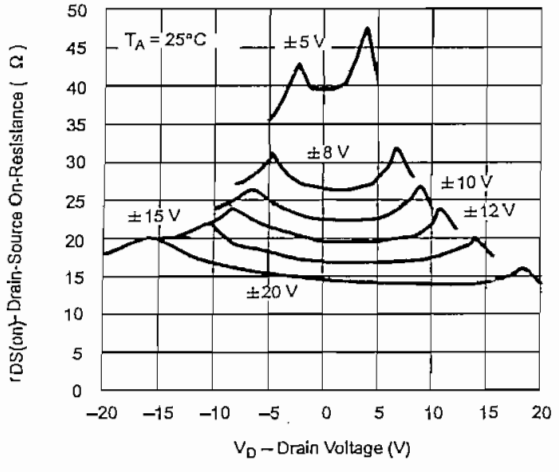
SPECIFICATIONS[a] FOR UNIPOLAR SUPPLIES

Parameter	Symbol	Test Conditions Unless Specified V+ = 12 V, V– = 0 V V_L = 5 V, V_{IN} = 2.4 V, 0.8 V[f]	Temp[b]	Typ[c]	A Suffix –55 to 125°C Min[d]	A Suffix –55 to 125°C Max[d]	D Suffix –40 to 85°C Min[d]	D Suffix –40 to 85°C Max[d]	Unit
Analog Switch									
Analog Signal Range[e]	V_{ANALOG}		Full			12		12	V
Drain-Source On-Resistance	$r_{DS(on)}$	V+ = 10.8 V, I_S = –10 mA V_D = 3 V, 8 V	Room Full	40		80 100		80 100	Ω
Dynamic Characteristics									
Turn-On Time	t_{ON}	R_L = 300 Ω, C_L = 35 pF V_S = 8 V, See Figure 2	Room Hot	175		250 400		250 315	ns
Turn-Off Time	t_{OFF}		Room Hot	95		125 140		125 140	
Break-Before-Make Time Delay	t_D	DG413 Only, V_S = 8 V, R_L = 300 Ω, C_L = 35 pF	Room	25					
Charge Injection	Q	V_g = 6 V, R_g = 0 Ω, C_L = 10 nF	Room	25					pC
Power Supplies									
Positive Supply Current	I+	V+ = 13.5, V_{IN} = 0 or 5 V	Room Hot	0.0001		1 5		1 5	µA
Negative Supply Current	I–		Room Hot	–0.0001	–1 –5		–1 –5		
Logic Supply Current	I_L		Room Hot	0.0001		1 5		1 5	
Ground Current	I_{GND}		Room Hot	–0.0001	–1 –5		–1 –5		

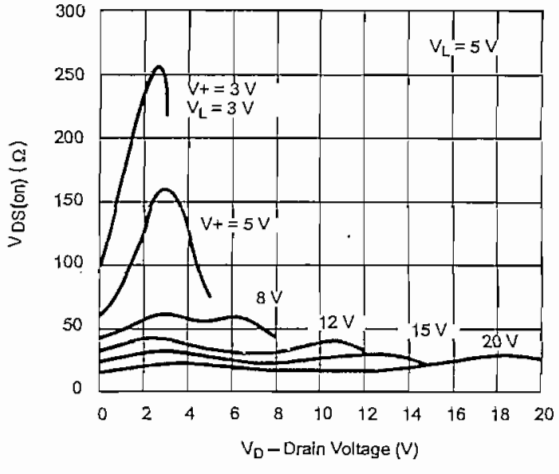
Notes:
a. Refer to PROCESS OPTION FLOWCHART.
b. Room = 25°C, Full = as determined by the operating temperature suffix.
c. Typical values are for DESIGN AID ONLY, not guaranteed nor subject to production testing.
d. The algebraic convention whereby the most negative value is a minimum and the most positive a maximum, is used in this data sheet.
e. Guaranteed by design, not subject to production test.
f. V_{IN} = input voltage to perform proper function.

TYPICAL CHARACTERISTICS (25°C UNLESS NOTED)

On-Resistance vs. V_D and Power Supply Voltage

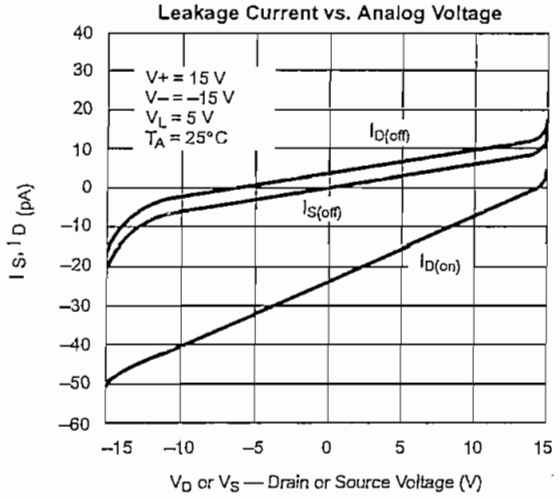


On-Resistance vs. V_D and Unipolar Supply Voltage

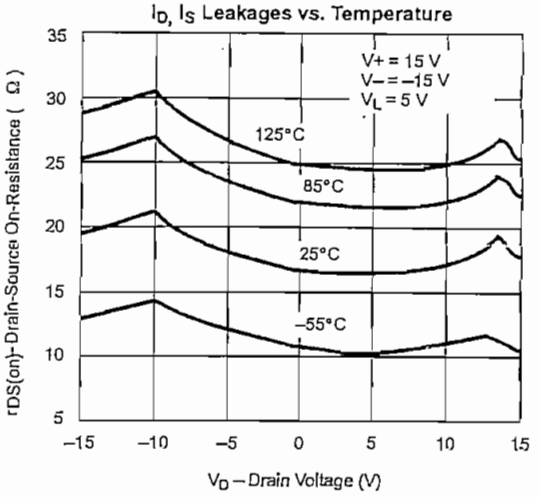


TYPICAL CHARACTERISTICS (25°C UNLESS NOTED)

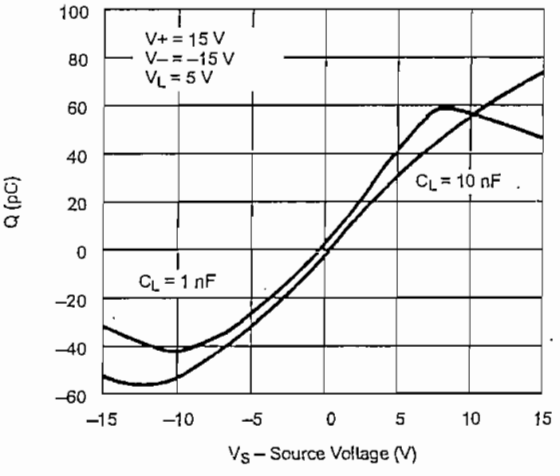
Leakage Current vs. Analog Voltage



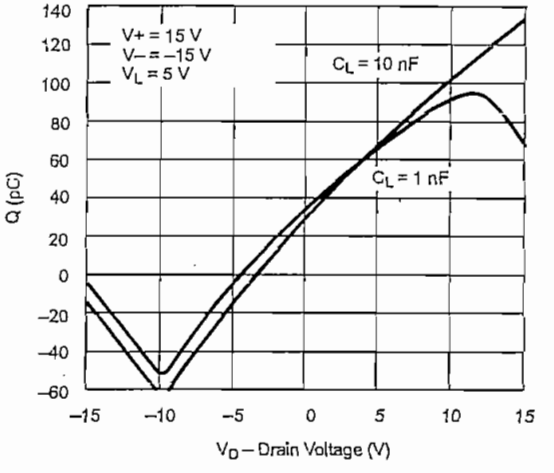
ID, IS Leakages vs. Temperature



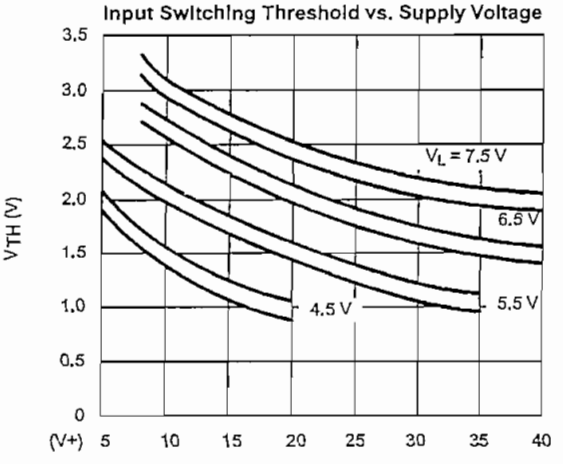
Charge Injection vs. Analog Voltage



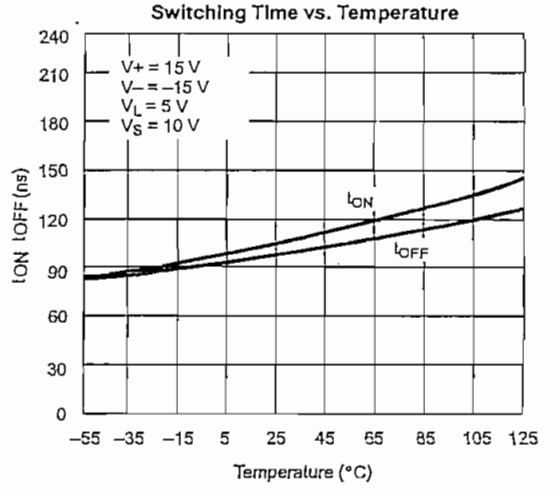
Charge Injection vs. Analog Voltage



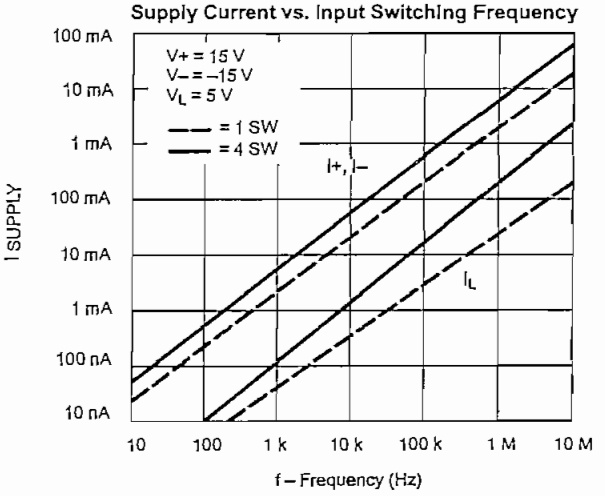
Input Switching Threshold vs. Supply Voltage



Switching Time vs. Temperature



TYPICAL CHARACTERISTICS (25°C UNLESS NOTED)



SCHEMATIC DIAGRAM (TYPICAL CHANNEL)

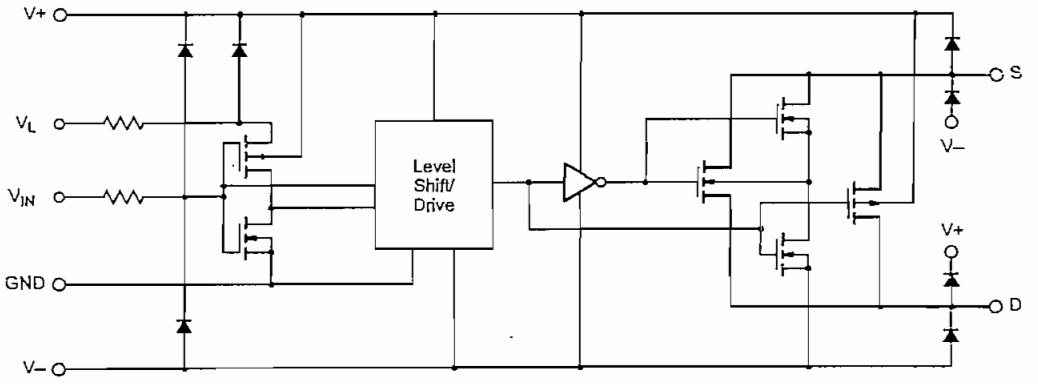
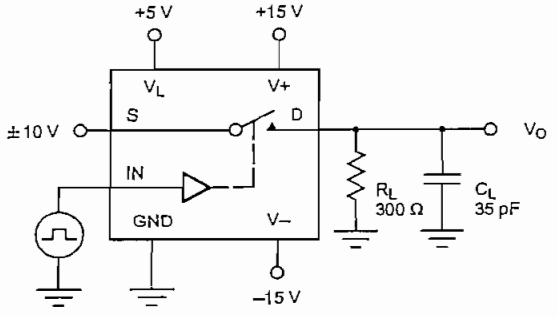


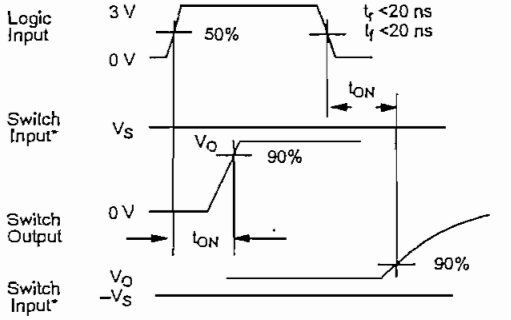
FIGURE 1.

TEST CIRCUITS



CL (includes fixture and stray capacitance)

$$V_O = V_S \frac{R_L}{R_L + r_{DS(on)}}$$



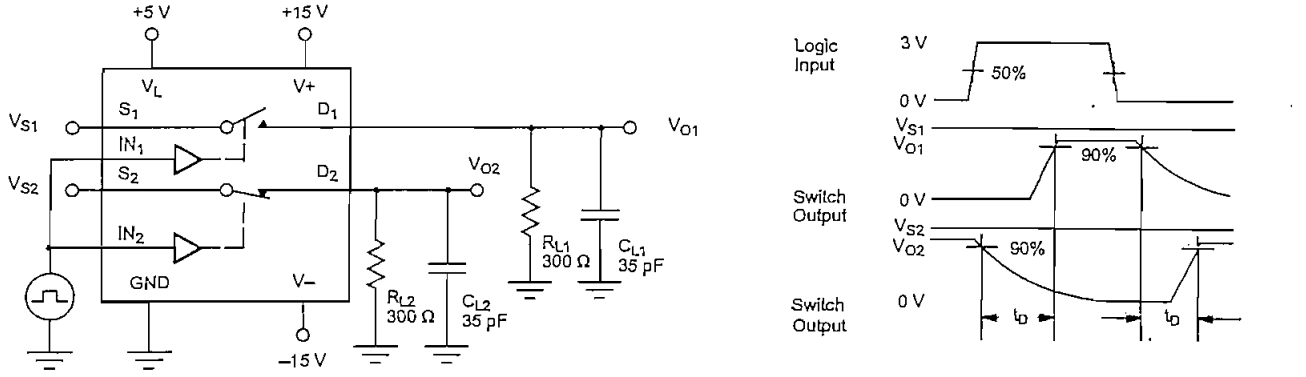
*VS = 10 V for tON, VS = –10 V for tOFF

Note: Logic input waveform is inverted for switches that have the opposite logic sense control

FIGURE 2. Switching Time

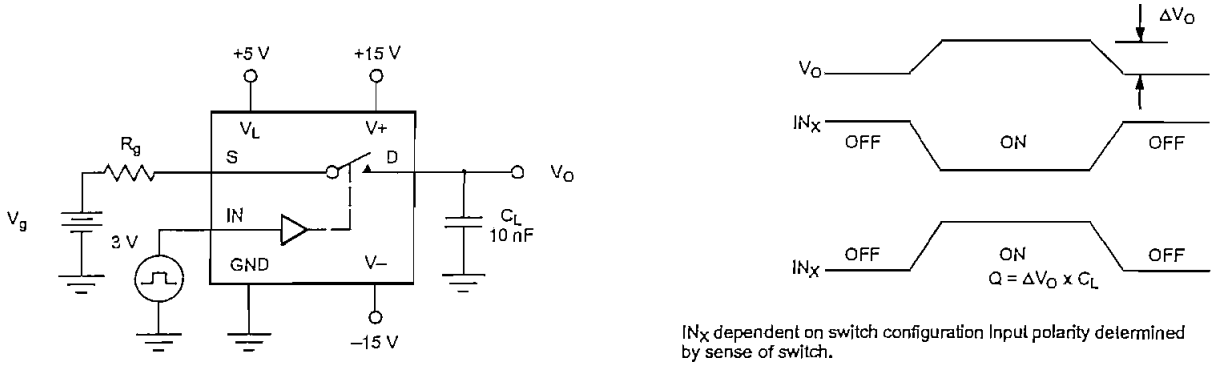
Document Number: 70050
S-52433—Rev. D, 06-Sep-99

TEST CIRCUITS



C_L (Includes fixture and stray capacitance)

FIGURE 3. Break-Before-Make (DG413)



IN_X dependent on switch configuration input polarity determined by sense of switch.

FIGURE 4. Charge Injection

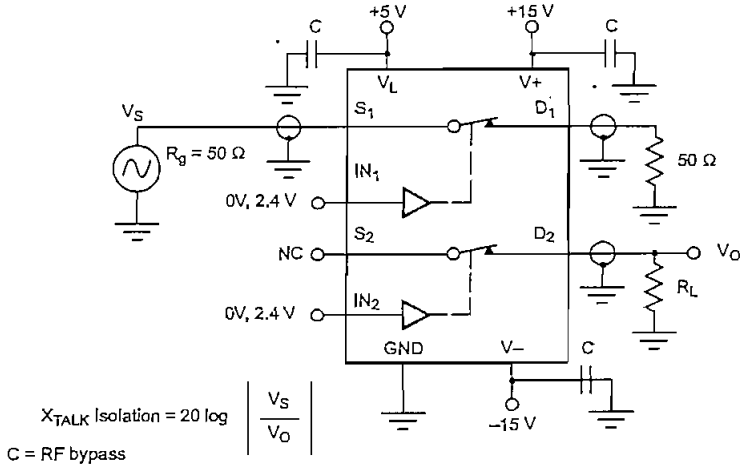


FIGURE 5. Crosstalk

TEST CIRCUITS

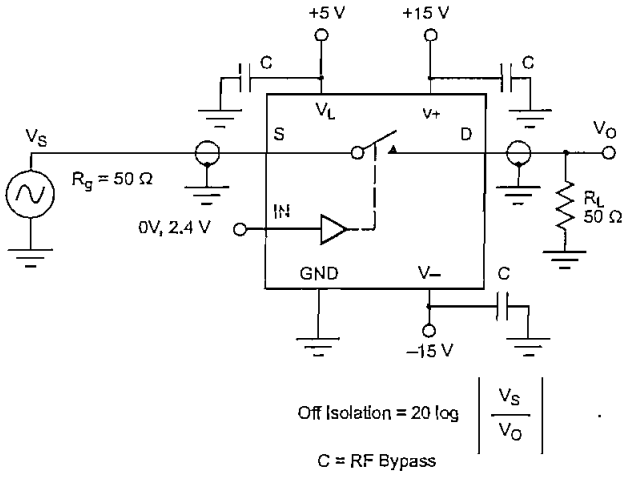


FIGURE 6. Off Isolation

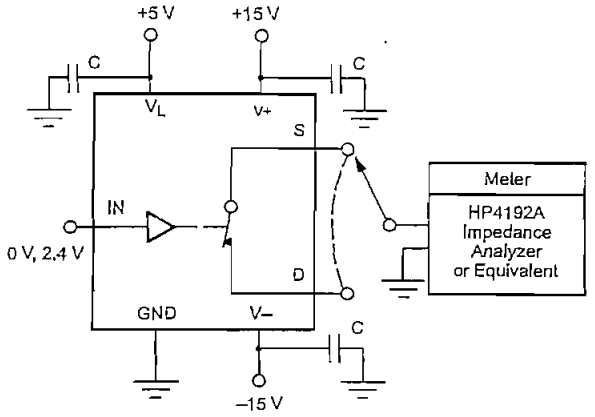


FIGURE 7. Source/Drain Capacitances

APPLICATIONS

Single Supply Operation:

The DG411/412/413 can be operated with unipolar supplies from 5 V to 44 V. These devices are characterized and tested for unipolar supply operation at 12 V to facilitate the majority of applications. In single supply operation, V+ is tied to V_L and V– is tied to 0 V. See Input Switching Threshold vs. Supply Voltage curve for V_L versus input threshold requirments.

Summing Amplifier

When driving a high impedance, high capacitance load such as shown in Figure 8, where the inputs to the summing amplifier have some noise filtering, it is necessary to have shunt switches for rapid discharge of the filter capacitor, thus preventing offsets from occurring at the output.

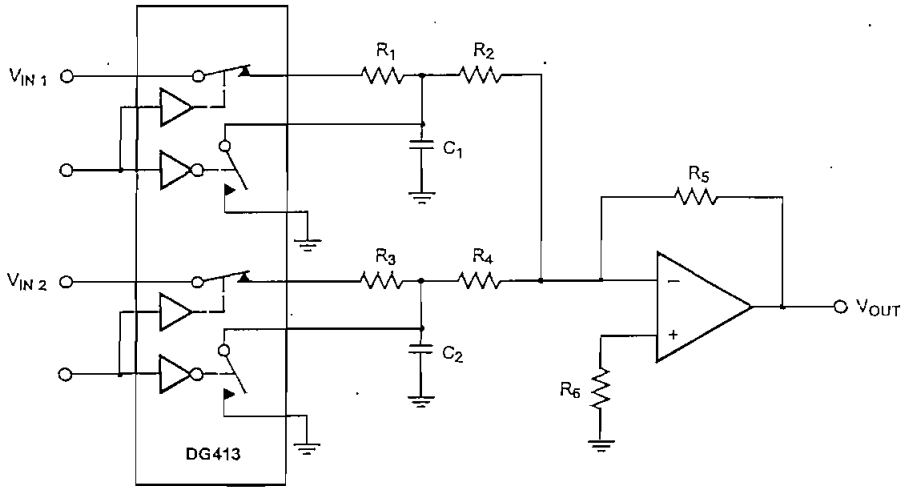


FIGURE 8. Summing Amplifier

DATA SHEET

74HC/HCT574
Octal D-type flip-flop; positive edge-trigger; 3-state

Product specification
File under Integrated Circuits, IC06

December 1990

Philips
Semiconductors

PHILIPS

Octal D-type flip-flop; positive edge-trigger; 3-state

74HC/HCT574

FEATURES

- 3-state non-inverting outputs for bus oriented applications
- 8-bit positive edge-triggered register
- Common 3-state output enable input
- Independent register and 3-state buffer operation
- Output capability: bus driver
- I_{CC} category: MSI

GENERAL DESCRIPTION

The 74HC/HCT574 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT574 are octal D-type flip-flops featuring separate D-type inputs for each flip-flop and non-inverting 3-state outputs for bus oriented applications. A clock (CP) and an output enable ($\overline{OE}$) input are common to all flip-flops.

The 8 flip-flops will store the state of their individual D-inputs that meet the set-up and hold time requirements on the LOW-to-HIGH CP transition.
When $\overline{OE}$ is LOW, the contents of the 8 flip-flops are available at the outputs.
When $\overline{OE}$ is HIGH, the outputs go to the high impedance OFF-state.
Operation of the $\overline{OE}$ input does not affect the state of the flip-flops.

The "574" is functionally identical to the "564", but has non-inverting outputs.
The "574" is functionally identical to the "374", but has a different pinning.

QUICK REFERENCE DATA

GND = 0 V; T_{amb} = 25 °C; $t_r = t_f$ = 6 ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/t_{PLH}	propagation delay CP to Q_n	C_L = 15 pF; V_{CC} = 5 V	14	15	ns
f_{max}	maximum clock frequency		123	76	MHz
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per flip-flop	notes 1 and 2	22	25	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in µW):

   $P_D = C_{PD} \times V_{CC}^2 \times f_i + \Sigma (C_L \times V_{CC}^2 \times f_o)$ where:

   f_i = input frequency in MHz

   f_o = output frequency in MHz

   $\Sigma (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs

   C_L = output load capacitance in pF

   V_{CC} = supply voltage in V

2. For HC the condition is V_I = GND to V_{CC}
   For HCT the condition is V_I = GND to V_{CC} – 1.5 V

ORDERING INFORMATION

See

Octal D-type flip-flop; positive edge-trigger; 3-state

74HC/HCT574

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1	$\overline{OE}$	3-state output enable input (active LOW)
2, 3, 4, 5, 6, 7, 8, 9	D_0 to D_7	data inputs
10	GND	ground (0 V)
11	CP	clock input (LOW-to-HIGH, edge-triggered)
19, 18, 17, 16, 15, 14, 13, 12	Q_0 to Q_7	3-state flip-flop outputs
20	V_{CC}	positive supply voltage

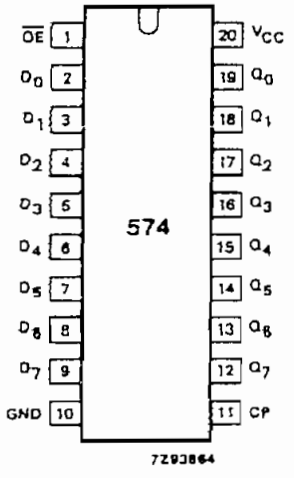


Fig.1 Pin configuration.

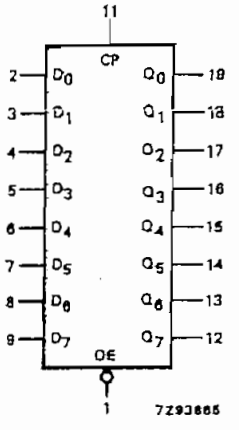


Fig.2 Logic symbol.

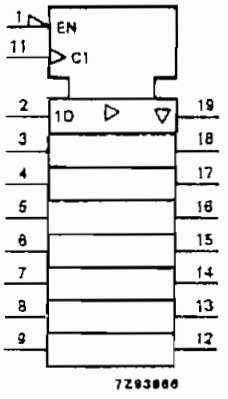


Fig.3 IEC logic symbol.

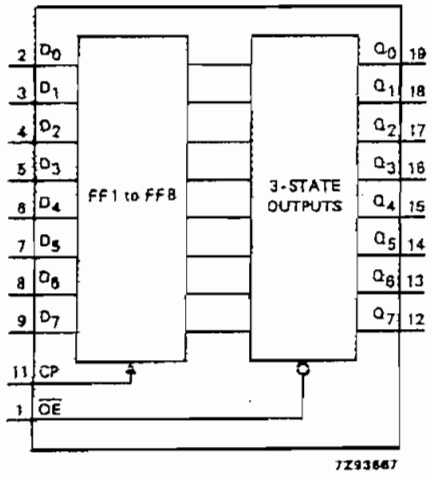


Fig.4 Functional diagram.

FUNCTION TABLE

OPERATING MODES	INPUTS			INTERNAL FLIP-FLOPS	OUTPUTS
	$\overline{OE}$	CP	D_n		Q_0 to Q_7
load and read register	L	↑	l	L	L
	L	↑	h	H	H
load register and disable outputs	H	↑	l	L	Z
	H	↑	h	H	Z

Notes

1. H = HIGH voltage level
   h = HIGH voltage level one set-up time prior to the LOW-to-HIGH CP transition
   L = LOW voltage level
   l = LOW voltage level on set-up time prior to the LOW-to-HIGH CP transition
   Z = HIGH impedance OFF-state
   ↑ = LOW-to-HIGH clock transition

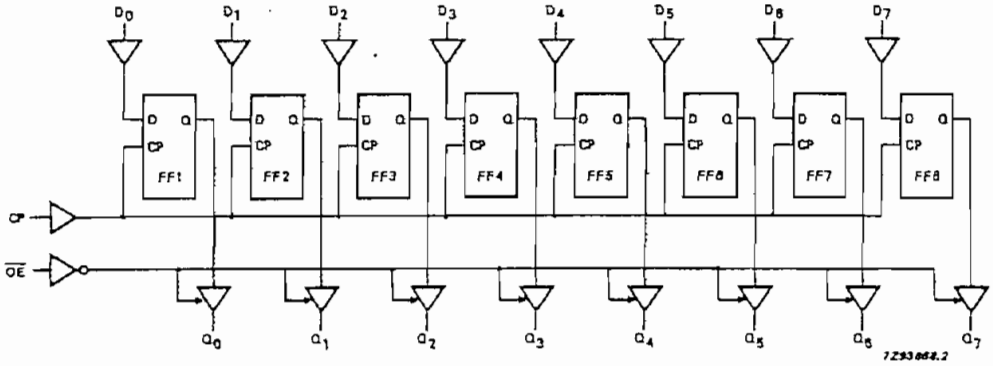


Fig.5 Logic diagram.

DC CHARACTERISTICS FOR 74HC

For the DC characteristics see

Output capability: bus driver
I_{CC} category: MSI

AC CHARACTERISTICS FOR 74HC

GND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS	
		74HC								V_{CC} (V)	WAVEFORMS
		+25			−40 to +85		−40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t_{PHL}/ t_{PLH}	propagation delay CP to Q_n		47 17 14	150 30 26		190 35 33		225 45 38	ns	2.0 4.5 6.0	Fig.6
t_{PZH}/ t_{PZL}	3-state output enable time $\overline{OE}$ to Q_n		44 16 13	140 28 24		175 35 30		210 42 36	ns	2.0 4.5 6.0	Fig.7
t_{PHZ}/ t_{PLZ}	3-state output disable time $\overline{OE}$ to Q_n		39 14 11	125 25 21		155 31 26		190 38 32	ns	2.0 4.5 6.0	Fig.7
t_{THL}/ t_{TLH}	output transition time		14 5 4	60 12 10		75 15 13		90 18 15	ns	2.0 4.5 6.0	Fig.6
t_W	clock pulse width HIGH or LOW	80 16 14	14 5 4		100 20 17		120 24 20		ns	2.0 4.5 6.0	Fig.6
t_{su}	set-up time D_n to CP	60 12 10	6 2 2		75 15 13		90 18 15		ns	2.0 4.5 6.0	Fig.8
t_h	hold time D_n to CP	5 5 5	0 0 0		5 5 5		5 5 5		ns	2.0 4.5 6.0	Fig.8
f_{max}	maximum clock pulse frequency	6.0 30 35	37 112 133		4.8 24 28		4.0 20 24		MHz	2.0 4.5 6.0	Fig.6

DC CHARACTERISTICS FOR 74HCT

For the DC characteristics see

Output capability: bus driver
I_{CC} category: MSI

Note to HCT types

The value of additional quiescent supply current (ΔI_{CC}) for a unit load of 1 is given in the family specifications. To determine ΔI_{CC} per input, multiply this value by the unit load coefficient shown in the table below.

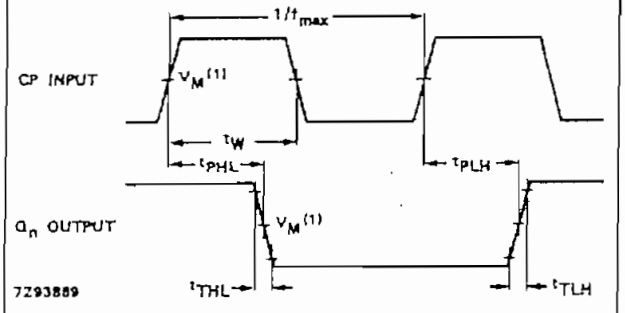
INPUT	UNIT LOAD COEFFICIENT
D_n	0.5
$\overline{OE}$	1.25
CP	1.5

AC CHARACTERISTICS FOR 74HCT

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

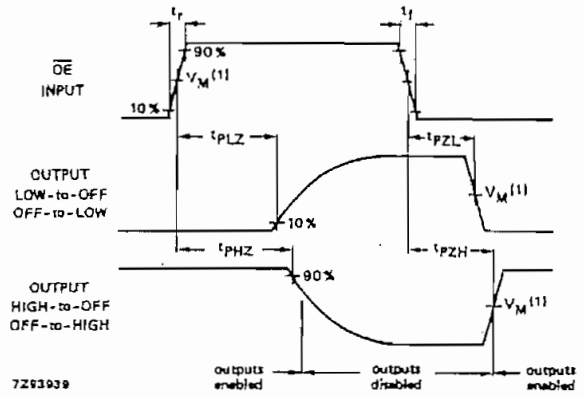
SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS	
		74HCT								V_{CC} (V)	WAVEFORMS
		+25			−40 to +85		−40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t_{PHL}/ t_{PLH}	propagation delay CP to Q_n		18	33		41		50	ns	4.5	Fig.6
t_{PZH}/ t_{PZL}	3-state output enable time $\overline{OE}$ to Q_n		19	33		41		50	ns	4.5	Fig.7
t_{PHZ}/ t_{PLZ}	3-state output disable time $\overline{OE}$ to Q_n		16	28		35		42	ns	4.5	Fig.7
t_{THL}/ t_{TLH}	output transition time		5	12		15		18	ns	4.5	Fig.6
t_W	clock pulse width HIGH or LOW	16	7		20		24		ns	4.5	Fig.6
t_{su}	set-up time D_n to CP	12	3		15		18		ns	4.5	Fig.8
t_h	hold time D_n to CP	5	−1		5		5		ns	4.5	Fig.8
f_{max}	maximum clock pulse frequency	30	69		24		20		MHz	4.5	Fig.6

AC WAVEFORMS



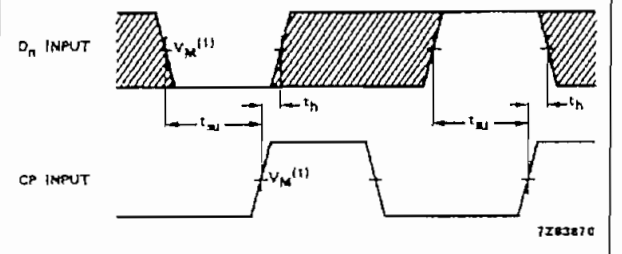
(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT: V_M = 1.3 V; V_I = GND to 3 V.

Fig.6 Waveforms showing the clock input (CP) pulse width, the CP input to output (Q_n) propagation delays, the output transition times and the maximum clock pulse frequency.



(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT: V_M = 1.3 V; V_I = GND to 3 V.

Fig.7 Waveforms showing the 3-state enable and disable times.



The shaded areas indicate when the input is permitted to change for predictable output performance.

(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT: V_M = 1.3 V; V_I = GND to 3 V.

Fig.8 Waveforms showing the data set-up and hold times for D_n input to CP input.

PACKAGE OUTLINES

See

REFERENCIAS BIBLIOGRÁFICAS

1. Angient Technologies. "I&Q Modulation", http://www.educatorscorner.com
2. Butz, Tilman. "Fouriertrasformation für Fußgänger", 2da Edición, Ed. B.G. Teubner, 2000, Stuttgart – Alemania. Pp 47-55,57-60.
3. Diorio, Chris & Hummes, Tod. "Direct and Indirect Frequency Synthesis in the 0.5 – 20 GHz Frequency Range", http://www.cs.washington.edu
4. Einsele, Tobias "Das Modulationsverfaharen", http://www.rcs.ei.de
5. Fontolliet, Pierre. „ Telecommunication Systems", 1ra. Edición, 1986, Ed. Artech House, Washington – EE.UU. Pp 1- 27, 139- 145, 149-151, 282-283 (EIII 845)
6. Haykin, Simon. „Communication Systems", Ed. John Wiley, 4ta. Edición, 2000, Nueva York – EE.UU., Pp. 88-126
7. Hidalgo, Pablo. „ Apuntes de Clases: Cominaciones Digitales".
8. Mannassewitsch, Vadim. "Frequency Synthesizers: Theory and Design", 3ra Edición, Ed.Wiley-Interscience, 1987, EEUU. Pp 2-7, 8-22, 37-43, 294-321.
9. Martin, Michael. "Empfängereingangsteil mit großem Dynamikbereich und sehr geringen Intermodulationsverzerrungen", CQ-DL Heft 6, 1975, Pp. 326-336.
10. Martin, Michael. "Neuartiger Vorverstärker".UKW-Berichte, Paper, Abril 1977
11. Martin, Utz. „Apuntes de Clases: Kommunikationen II „
12. Minicircuits. "I&Q and QPSK Modulators/Demodulators" , http://www.minicircuits.com
13. Osicom. "Direct Digital Frequency Synthesis", http://www.osicom.com
14. Proakis,John- Manolakis, Dimitris. "Tratamiento digital de señales", 3ra Edición, Ed. Prentice-Hall, 1998, España. Pp 240-244, 246-251
15. Riekert, Wolf-Fritz ."Modulationsverfahren", http://v.hbi-stuttgart.de
16. Stadler, Erich. "Modulationsverfahren: analog und digital ", 8va Edición, Ed. Vogel, 2000, Alemania. Pp 23-37, 126-132, 145-149.

17. Surber, Jim & McHugh, Leo. " Single-Chip Direct Digital Synthesis vs. the Analog PLL", http://www.analog.com

18. Telepolis, Club. "Interfaz paralelo", http://club.telepolis.com

19. Tomasi, Wayne. „ Sistemas de Comunicaciones Electronicas", 2da Edición, Ed. Prentice Hall, 1996, Mexico – Mexico. Pp 1- 4, 14-28, 91-98, 102-105

20. Williamson, Glen. "I&Q Modulation", http://www3.ncsu.edu

21. Ziemer, R-Tranter,W. „Principles of Communications. Systems, Modulation and Noise",2da. Edición, Ed. Houghton Miffin, 1985, Boston- EE.UU. Pp 1-6, 112-162. (E IV 5189)