

SOLUCIONES CIRCUITALES EN EL DISEÑO VLSI EN ARSENIURO DE GALIO

Fco LOPEZ, J. A. MONTIEL y V. de ARMAS
Centro de Microelectrónica Aplicada
Universidad de Las Palmas de Gran Canaria
Las Palmas de Gran Canaria
ESPAÑA

RESUMEN

En la actualidad, las tecnologías basadas en silicio (Si) son predominantes en la realización de circuitos integrados digitales. Sin embargo, el Si posee unos límites en cuanto a velocidad debidos a su propia naturaleza. El mejor comportamiento del GaAs en velocidad y consumo de potencia es muy sensible a la estructura circuital de las puertas lógicas. En este artículo se presentan las mejores soluciones circuitales para diseño lógico VLSI en Arseniuro de Galio, utilizando la tecnología *egas* de 0.8 μm de Gigabit Logic, disponible en el *Centro de Microelectrónica Aplicada* de Las Palmas, España, por medio de un contrato con el *Centre for Gallium Arsenide VLSI Technology* de Adelaide, Australia del Sur.

ABSTRACT

Nowadays, technologies based on Si are predominant when designing digital integrated circuits. However, it has speed limits due its own nature. GaAs better behaviour in speed and power consumption is sensible to the circuital structure used in logic gates. In this report, we present the best circuit solutions for VLSI GaAs logic design based on 0.8 μm . *egas* technology available at the *Centre for Applied Microelectronics* of Las Palmas, Spain, due a contract with the *Centre for Gallium Arsenide VLSI Technology* of Adelaide, South Australia.

1. FAMILIAS LOGICAS EN GaAs.

El desarrollo de las familias lógicas en GaAs está basado en los transistores MESFETs y en los diodos Schottky. La principal propiedad que diferencia el diseño de circuitos digitales de alta velocidad con MESFETs de aquellos realizados en tecnología nMOS o CMOS, se debe a la corriente de puerta, cuando ésta se halla directamente polarizada, a causa del diodo Schottky (resultado de la unión metal/semiconductor sobre el canal tipo n). Otra diferencia significativa entre ambas tecnologías es la mayor transconductancia del canal de los MESFETs, resultante de la mayor movilidad y velocidad de arrastre del electrón [LonBu90][CaDuG89].

El primer transistor usado en el diseño digital con transistores MESFETs fue el transistor de depleción (D-MESFET). Los circuitos diseñados con este tipo de dispositivo se caracterizan por su diferencia de niveles de tensión entre la entrada y la salida: V_{GS} es negativa para de esta forma poder dejar al transistor en estado de corte, mientras que V_{DS} es positiva. Consecuentemente, como ambas señales son utilizadas, son necesarias dos fuentes de tensión ($+V_{DD}$ y $-V_{SS}$). Los circuitos lógicos con D-MESFET son diseñados en dos etapas: una etapa lógica y una etapa de desplazamiento de nivel.

Algunas de las familias lógicas basadas en transistores D-MESFETs son las siguientes:

- BFL: Buffered FET Logic
- UFL: Unbuffered FET Logic
- SDFL: Schottky Diode FET Logic
- CCFL: Capacitor Coupled FET Logic
- CDFL: Capacitor-Diode FET Logic

Ninguna de estas familias lógicas alcanza niveles VLSI, debido al consumo de potencia y al área ocupada, por lo que no serán consideradas en este artículo.

Los circuitos lógicos pueden también ser implementados utilizando transistores de enriquecimiento (E-MESFET), en los cuales tanto V_{GS} como V_{DS} son siempre positivas, no siendo necesarias por tanto etapas de desplazamiento de nivel. Tanto los E-MESFETs como los D-MESFETs son utilizados conjuntamente en las siguientes familias:

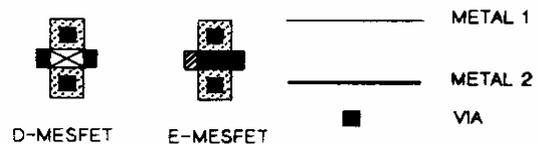
- DCFL: Direct Coupled FET Logic
- SBFL: Superbuffered FET Logic
- SDCFL: Source-Follower Direct Coupled FET Logic
- SCFL: Source Coupled FET Logic

De todas estas familias, comenzaremos realizando un minucioso estudio de la DCFL y SDCFL debido a la sencillez de su estructura, los mayores niveles de integración y su mayor uso [SaCaN92]. En un apartado posterior estudiaremos casos extremos en los que prima la alta velocidad a costa de un alto consumo de potencia (SCFL) e incluso un tipo de lógica dinámica en la cual se producen consumos de micro-potencias.

El objetivo principal de este amplio abanico de posibilidades radica en el hecho de poder tener mayor libertad de elección a la hora de realizar un circuito o una parte del mismo teniendo en cuenta sus características más importantes, a saber, velocidad, potencia y área.

2. LAYOUT SIMBOLICO

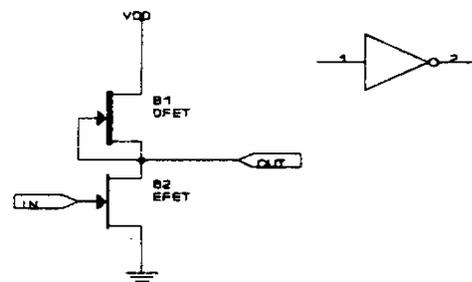
Para mayor claridad en las explicaciones que a continuación siguen, vamos a hacer uso de *layouts* simbólicos en lugar de los propios *layouts*. En la figura 1 se muestran los símbolos utilizados para transistores E-MESFETs y D-MESFETs, METAL1, METAL2 y VIA [CaSaL90].



Ilustr. 1 Símbolos usados en *layout* simbólico

3. LOGICA DE TRANSISTORES DIRECTAMENTE ACOPLADOS (DCFL)

La primera lógica E/D-MESFET fue la DCFL. Este tipo de lógica es la más simple utilizada en tecnología GaAs. La estructura básica para una puerta se muestra en la siguiente ilustración:



Ilustr. 2 Inversor DCFL. Esquemático

Como se puede observar, esta estructura es similar a la nMOS utilizada en Si. En ella, el transistor de enriquecimiento (E-MESFET) actúa como elemento de conmutación mientras que el transistor de depleción (D-MESFET) actúa como carga. Debido a esta sencillez, es posible alcanzar densidades de puerta superiores a las obtenidas en lógica CMOS [SiSaG86]

La tensión de salida se halla limitada por la barrera de potencial del diodo Schottky de la puerta de la etapa posterior, por lo que pequeñas excursiones lógicas se obtienen en este tipo de lógica, lo cual implica un bajo margen de ruido.

De la misma forma que para el caso nMOS, La familia lógica DCFL es una lógica tipo *ratio*, en la cual los tamaños de los E-MESFETs y D-MESFETs son elegidos de forma que se optimizan las prestaciones de la puerta. Utilizando el modelo de Curtice [Curti80] para intensidades y realizando unos sencillos desarrollos matemáticos se llega a la siguiente ecuación:

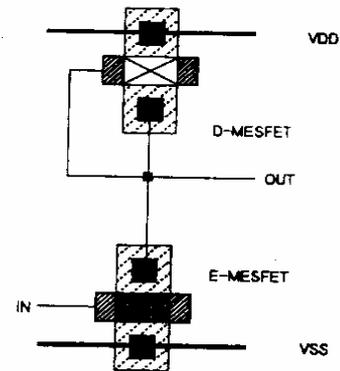
$$\frac{W_{pu}}{W_{pd}} = \left(\frac{a_{pd}}{a_{pu}} \right) \left(\frac{[0.5V_{DD} - V_{tpd}]^2}{V_{t,pu}^2} \right)$$

que nos relaciona las dimensiones de las anchuras de canal de los transistores del *pull-up* y *pull-down*. (W_{pu} y W_{pd}) con una serie de parámetros tecnológicos como son la profundidad de dopaje (a_{pu} y a_{pd}) las tensiones umbrales de los transistores de depleción y enriquecimiento (V_{tpd} y V_{tpu}) y las tensión utilizada para alimentar el circuito, V_{DD} cuyo valor es 1.4V. Intoduciendo los valores de estos parámetros, los cuales han sido obtenidos mediante estudios estadísticos realizados sobre cientos de obleas, resulta que el cociente entra las anchuras de canal del transistor de depleción y el de enriquecimiento tiene un valor del orden de 1/3, lo cual sirve como punto de origen para realizar un estudio sobre la influencia del dimensionamiento sobre las prestaciones de esta familia lógica [Eshra90a].

En la ilustración 3 se muestra el *layout* simbólico de un inversor DCFL según la convención utilizada en la figura 1.

Este tipo de puerta básica puede ser extendido a puertas NOR de 2 y 3 entradas añadien-

do transistores de enriquecimiento extra en el *pull-down*.



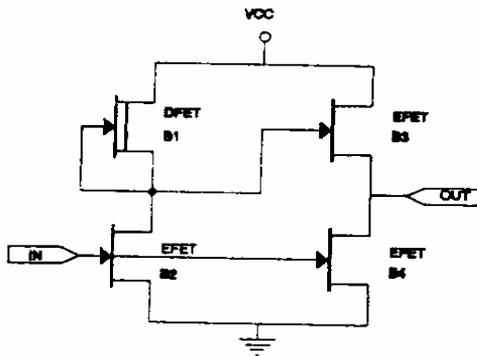
Ilustr. 3 Inversor DCFL. *Layout* simbólico

Por último comentar que el punto de conmutación de una puerta DCFL tiene un coeficiente de temperatura negativo, entre -0.4 y -0.6mV/C. Esta dependencia de la temperatura puede degradar los márgenes de ruido hasta un punto tal en el que la puerta llegue a ser inoperable, produciéndose un mal funcionamiento. De igual forma, el retardo en la familia lógica DCFL es muy sensible al *fan-in* y *fan-out*, por lo que sería aconsejable el estudio de una nueva familia lógica.

4. LOGICA DE TRANSISTORES DIRECTAMENTE ACOPLADOS POR SEGUIDOR DE FUENTE (SDCFL)

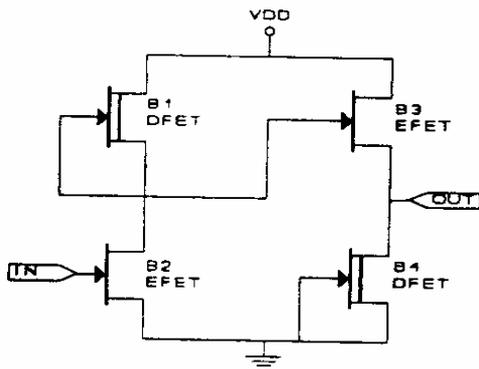
Los problemas encontrados en la lógica estudiada en el apartado anterior repercuten en su uso industrial. Es por ello por lo que se hace necesario el uso de técnicas de *buffering*. Una de estas técnicas más conocidas es la de *super-buffers*, la cual mejora apreciablemente el margen de ruido. Esto daría lugar a la introducción de la familia SBFL, cuya puerta básica se representa en la ilustración 4.

Sin embargo, a pesar de la ventaja que esta lógica proporciona en lo que a margen de ruidos se refiere, continúan existiendo serias restricciones, las cuales son debidas princi-



Ilustr. 4 Inversor en lógica SBFL

palmente a que la capacidad de entrada y el número de transistores por puerta se ve multiplicado por dos a medida que el *fan-in* aumenta en una unidad. Adicionalmente, el hecho de producirse espúreos durante la conmutación de las salidas y el mantenerse la dependencia de la operación de la puerta con la temperatura, hacen necesario una nueva solución circuital, la cual podría basarse en el uso de un *seguidor de fuente* como etapa de *buffer*, introduciendo de esta forma la familia lógica SDCFL, mejorando de esta forma la serie de características que no hacían muy recomendable el uso de SBFL [Eshra90b]. El esquema para un inversor SDCFL viene representado en la siguiente figura:



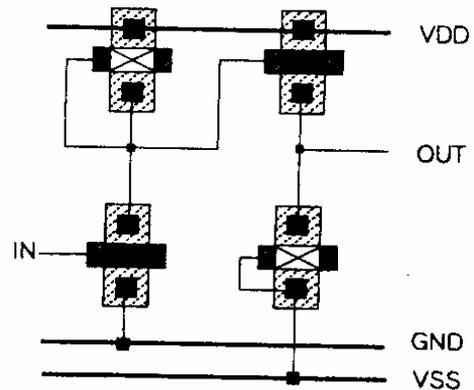
Ilustr. 5 Inversor en lógica SDCFL

La forma de mejorar el margen de ruido es usando una fuente de tensión negativa ($-V_{SS}$) en el *pull-down* del *seguidor de fuente*.

Cuando el E-MESFET del *seguidor de fuente* está en estado de corte, el nivel bajo de la salida disminuye por debajo del voltaje de tierra (GND), asegurando que la próxima puerta estará completamente en estado de corte. Este tipo de lógica es completamente compatible con la DCFL.

El dimensionamiento de los transistores en la etapa lógica es independiente del *fan-out*, pero su relación con el dimensionado de la etapa de *buffer* afecta directamente al retardo de la puerta: cuanto mayor es esta relación, mayor será el retardo intrínseco de la puerta, pero a su vez será más baja la sensibilidad con respecto al *fan-out*.

A continuación se representa el *layout* simbólico para el caso de un inversor en lógica SDCFL, donde se aprecian claramente las dos etapas de que consta esta lógica.



Ilustr. 6 Inversor SDCFL. *Layout* simbólico.

5. COMPARACION ENTRE LAS FAMILIAS LOGICAS DCFL Y SDCFL

Una vez estudiadas estas dos familias lógicas, serán discutidas y comparadas algunas de sus figuras de mérito. En este sentido, se han realizado una serie de tests [EsChM92] encaminados a determinar las prestaciones sobre los siguientes puntos:

Fam. Lógica	V_{OH} (mV)	V_{OL} (mV)	V_{TH} (mV)	NM (mV)	T_p (ps)	P (mW)	Area (μm^2)
DCFL	648	159	411	77	83.5	430	619
SDCFL	617	0.1	341	148	114	760	1087

- Sensibilidad al *fan-out*
- Sensibilidad a la carga
- Efecto de variaciones de la tensión umbral
- Efecto de variaciones de la temperatura

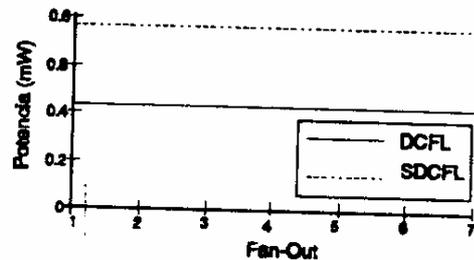
Como resumen, presentamos en la tabla superior alguna de las características típicas de las familias DCFL y SDCFL implementadas con la tecnología de *Gigabit* de 0.8 μm , donde :

- V_{OH} , V_{OL} y V_{TH} representan la salida a nivel alto, bajo y la tensión umbral de un inversor respectivamente,
- NM representa el margen de ruido,
- T_p es el retardo calculado mediante un oscilador en anillo,
- P la potencia.

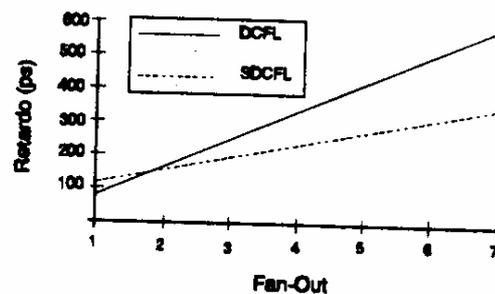
5.1 Sensibilidad al *fan-out*

Para estudiar este parámetro se ha hecho uso de un oscilador en anillo del tipo utilizado para el cálculo de tiempos de retardos, añadiéndole a la salida de cada inversor un número extra de los mismos, los cuales son representativos del *fan-out* que se desee aplicar. Posteriormente, los circuitos han sido simulados mediante HSPICE, y su disipación de potencia, retardo y margen de ruido han sido representados como muestran las siguientes tres gráficas (ilustración 7, 8, 9).

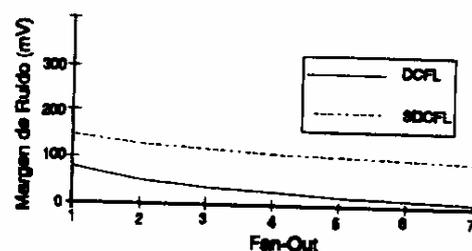
De estas tres representaciones, salvando el caso de las variaciones de potencia con el *fan-out*, en el cual prácticamente no se producen variaciones, como era de esperar, se observa como la familia lógica DCFL es más sensible a las variaciones de *fan-out* que la SDCFL.



Ilustr. 7 Potencia vs. *fan-out*



Ilustr. 8 Retardo vs. *fan-out*

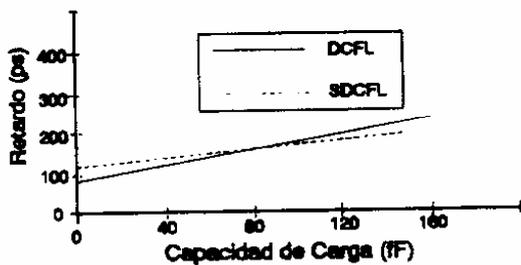


Ilustr. 9 Margen de ruido vs. *fan-out*

5.2 Sensibilidad a la carga

La carga que soporta una puerta en un circuito VLSI es un parámetro muy importante que representa la longitud de conexionado.

Para relizar el estudio de este apartado se utilizó el mismo oscilador en anillo, sustituyendo los inversores extras que representaban el *fan-out* por capacidades de metalización simuladas por medio de condensadores a los cuales se les realizaba variaciones en sus valores entre 0 y 160fF con incrementos de 40fF. Se estudió únicamente la dependencia del retardo del inversor con esta variación de capacidades, dando como resultado la dependencia reflejada en la siguiente ilustración.



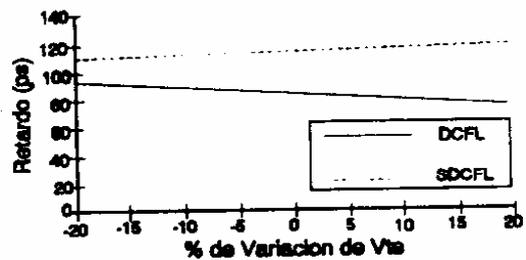
Ilustr. 10 Retardo vs. carga

De nuevo se observa como se produce una menor variación del retardo de puerta con la capacidad de interconexión en el caso de la familia lógica SDCFL, aspecto que se puede corroborar sin más que apreciar los valores de las pendientes de ambas curvas, que aunque son poco diferentes, es ligeramente superior para el caso DCFL.

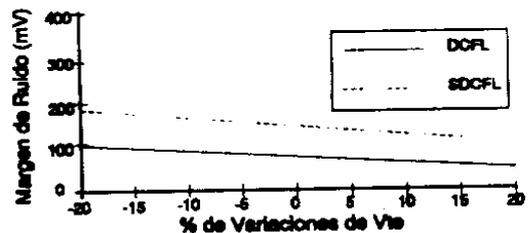
5.3 Efecto de variaciones de la tensión umbral

Siendo la tensión umbral uno de los parámetros tecnológicos más importantes, resulta importante realizar un breve estudio de como la dispersión producida en este parámetro puede afectar a las prestaciones de un circuito. Los valores de tensión umbral que se especifican en los manuales de un determinado proceso, son los denominados valores nominales, obtenidos por medidas estadísticas después de ser realizadas sobre un gran número de obleas. Sin embargo, siempre es posible una variación de estos parámetros debida al propio proceso de fabricación. En

este apartado, tanto la tensión umbral de los E-MESFET como la de los D-MESFET es variada desde un -20% hasta un +20% de su valor nominal (0.15V y -0.54V respectivamente), obteniéndose resultados tanto para el margen de ruido como para el retardo de un inversor haciendo uso una vez más de un oscilador en anillo. Estos resultados han sido representados en las dos gráficas siguientes para el caso de variaciones en la tensión umbral de transistores E-MESFETs.

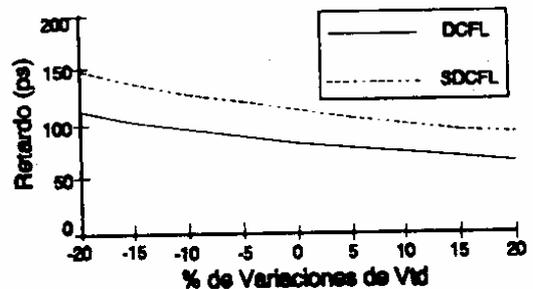


Ilustr. 11 Retardo vs. variación de V_{th}

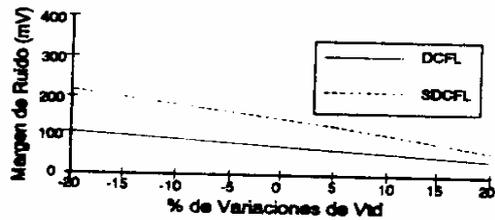


Ilustr. 12 Margen de ruido vs. variación de V_{th}

Análogamente, si representamos los resultados para el caso de variaciones de la tensión umbral en transistores D-MESFETs, se obtienen las siguientes curvas.



Ilustr. 13 Retardo vs. variación de V_{th}



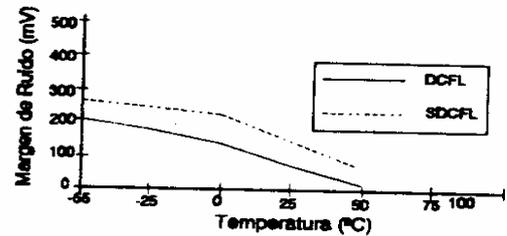
Ilustr. 14 Margen de ruido vs. variación de V_{td}

De estas cuatro figuras se puede observar como el efecto de la variación de la tensión umbral es menos dramático en el caso de transistores de enriquecimiento que en los de depleción. En los primeros, el retardo producido en un inversor SDCFL aumenta lentamente conforme aumenta la tensión umbral, mientras que en el caso DCFL disminuye unos 20ps en el margen de variaciones estudiado. En los segundos, se produce en ambos casos una disminución lineal progresiva conforme aumenta el valor de la tensión umbral. En lo que respecta a márgenes de ruido, cualitativamente se produce el mismo efecto de disminución lineal con el aumento de la tensión umbral tanto para el caso de E-MESFETs como para D-MESFETs. De todo este estudio se deduce que tipo de ajuste debería ser realizado en la tensión umbral durante el proceso de fabricación, para de esta manera obtener las máximas prestaciones posibles. Por ejemplo, si fuéramos a realizar diseños utilizando lógica SDCFL, se obtendrían mejoras si ajustáramos la tensión umbral de los transistores de enriquecimiento, puesto que podríamos obtener a la vez menores retardos de propagación y mayores márgenes de ruido.

5.4 Efecto de variaciones de la temperatura

La alta inmunidad a las radiaciones tanto nucleares como cósmicas que presentan los dispositivos GaAs [Simon83], hacen que estos sean tenidos muy en cuenta para fines militares y espaciales. En estos entornos se producen temperaturas extremas que pueden

afectar al buen funcionamiento del circuito [AnSwS92]. Uno de los parámetros que en mayor medida se ve afectado por estas variaciones es el margen de ruido, cuya dependencia viene representada en la figura siguiente.



Ilustr. 15 Margen de ruido vs. temperatura

Como se observa, el margen de ruido en ambas familias se ve afectado por la temperatura, disminuyendo conforme esta aumenta. Es evidente que al ser el margen de ruido de la familia lógica SDCFL mayor que el de la DCFL, esta última resulta menos aconsejable a la hora de someter a nuestro circuito a altas temperaturas.

5.5 Conclusiones

De entre las dos familias lógicas estudiadas, es evidente que la DCFL ofrece mejores prestaciones debido a su sencilla estructura, que da como consecuencia una menor ocupación de área y un menor consumo de potencia, y a su bajo retardo por puerta. Sin embargo, sus mayores desventajas radican en el hecho de tener un bajo margen de ruido, el cual restringe el *fan-out* a un valor inferior a 3. Es por ello por lo que la familia lógica SDCFL es altamente recomendable para aquellos casos en los que sea necesario soportar altos *fan-outs* y altas temperaturas, para de esta forma poder obtener mayores márgenes de ruido, los cuales afectan directamente al *yield* obtenido en el proceso de fabricación. No obstante, la estructura similar de ambas familias y su compatibilidad, permiten el uso de ambas en un mismo circuito, haciendo uso de la que más convenga según las condiciones particulares en las que nos

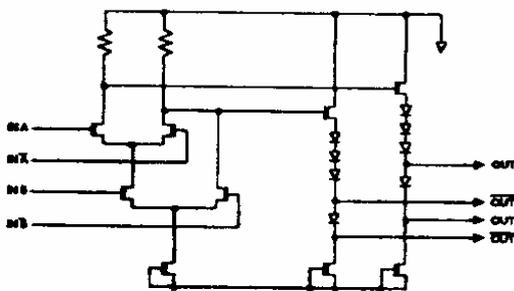
encontremos en lo que a *fan-out* o capacidad de carga se refiere.

6. FAMILIAS LOGICAS CON PRESTACIONES EXTREMAS

Hasta este punto hemos visto dos tipos de familias lógicas en las cuales se obtienen una serie de prestaciones como pueden ser la velocidad y el consumo de potencia, que podríamos considerar en un rango de valores moderados. Sin embargo, se puede dar el caso en el que algunos bloques de un circuito necesiten soportar frecuencias superiores o consumos de potencias muy bajos, como puede ser el caso por ejemplo de circuitería para micro satélites. Es por ello necesario introducir dos nuevos tipos de familias lógicas en las cuales estas características extremas tengan cabida.

6.1 Source Coupled FET Logic (SCFL)

Soluciones circuitales haciendo uso de amplificadores diferenciales han sido usadas satisfactoriamente a lo largo de muchos años, siendo el caso más conocido el de la familia ECL en silicio. Esta misma técnica es la utilizada en los circuitos lógicos SCFL implementados en tecnología GaAs, los cuales proporcionan grandes ventajas en lo que a frecuencia máxima de trabajo se refiere [Coqui92][Vitte92]. La puerta básica utilizada en la familia lógica SCFL viene representada en la siguiente ilustración.



Ilustr. 16 Puerta básica en lógica SCFL

Las mayores ventajas de esta lógica son:

- Muy alta velocidad
- Una única fuente de alimentación
- Muy fácil de implementar *flip-flops*
- Alto *fan-out*

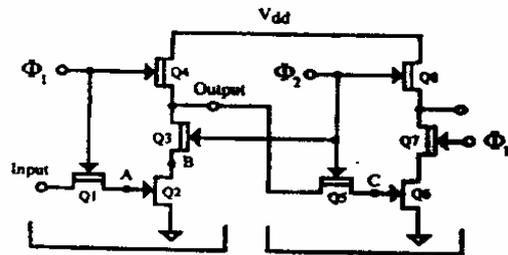
Por otra parte, sus mayores desventajas son:

- Alto consumo de potencia
- Rutas diferenciales
- Bajo *fan-in*
- Estructura compleja

6.2 Two-Phase Dynamic FET Logic (TDFL)

Así mismo, también los circuitos de lógica dinámica han sido ampliamente utilizados en silicio para la obtención de muy bajo consumo de potencia, aumento de la complejidad funcional por etapa y aumento de la densidad total del circuito [KrLeL82], [FriLi84], [PrShS85]. Un circuito dinámico desarrolla su lógica por medio del almacenamiento y evaluación de la carga en un nodo del circuito la cual puede ser aislada temporalmente del resto del circuito. Debido a que esta carga no puede ser almacenada indefinidamente, hay una frecuencia de reloj mínima por debajo de la cual los niveles de tensión lógica no son válidos.

Un inversor en lógica TDFL, cuya salida está conectada a otro inversor, viene representado en la figura que sigue.



Ilustr. 17 Inversor en lógica TDFL

Este tipo de lógica, totalmente compatible con DCFL, hace uso de dos señales de reloj

en fase opuesta y de una única fuente de tensión conectada a la puerta, la cual disipa potencia sólo durante las transiciones en los niveles de reloj. Debido a su extremado bajo consumo de potencia, cuya relación es lineal con la frecuencia de funcionamiento, su alta flexibilidad en el diseño lógico y la robustez de su estructura a la hora de realizar el *layout*, TDFL es una excelente candidata en el diseño VLSI, y muy aconsejable en el diseño de estructuras *pipelined*.

En distintos trabajos realizados [NarLo91], [NarLo92], se han obtenidos resultados en los que se demuestra que la disipación de potencia en lógica TDFL es unas 10 veces menor que en CMOS y 15 que en BiCMOS. Si se compara con otras familias lógicas en GaAs se obtienen consumos de potencias de orden de 10 veces inferiores que para el caso DCFL trabajando a una frecuencia de 500 MHz, siendo el consumo medio de un inversor TDFL a esta frecuencia de tan sólo 18 μ W.

7. CONCLUSIONES

Se han presentado en este artículo cuatro tipos de familias lógicas empleadas en tecnología GaAs. De ellas, dos han sido estudiadas y comparadas en mayor profundidad debido al hecho de tener unas prestaciones moderadas en cuanto a área, potencia y retardo. Se ha comprobado como a pesar de la sencillez de las puertas DCFL así como a su alta densidad de integración y bajo consumo de potencia, esta familia se ve restringida debido a su sensibilidad al aumento de *fanout* y capacidad de carga, así como a su bajo margen de ruido y variación del mismo con la temperatura. Una extensión de esta familia la constituye la lógica SDCFL, que tiene como objetivo el mejorar estas desventajas usando una etapa de *buffer* formada por un seguidor de fuente. En el último apartado se han introducido casos extremos en lo que a retardos y consumo de potencias se refiere,

y son la conocida familia lógica SCFL, muy parecida a la ECL en silicio, y la TDFL, basada en lógica dinámica.

No se pretende con este artículo el decantarse por una determinada familia lógica en particular puesto que todas ellas tienen sus ventajas y desventajas. El propósito ha sido el presentar un conjunto de soluciones de entre las cuales el diseñador podrá elegir aquella según sus necesidades.

9. BIBLIOGRAFIA

[LonBu90] S.I. Long, S.E. Butner "Gallium Arsenide Digital Integrated Circuit Design", Ed. McGraw-Hill, 1990.

[CaDuG89] R. Castagné, J.P. Duchemin, M. Gloanec, Ch. Rumelhard "Circuits Intégrés en Arséniure de Gallium", Ed. Masson, 1989.

[SaCan92] R. Sarmiento, P.P. Carballo, A. Núñez "High Speed Primitives of Hardware Accelerators for DSP in GaAs Technology", IEE Proceedings-G, Vol 139, No 2, pp. 205-216, April 1992.

[Casal90] P.P. Carballo, R. Sarmiento, J.F. López, L. Gómez, A. Núñez "Diseño VLSI de CI en GaAs", Workshop: GaAs en Microondas, Santander (España), 1990.

[SiSaG86] H.P. Sigh, R.A. Sadler, A.E. Geissberger, D.G. Fisher, "A Comparative Study of GaAs Logic Families Using Universal Shift Registers and Self-Aligned Gate Technology", GaAs IC Symposium, pp. 11-14, 1986.

[Curti80] W.R. Cutice, "A MESFET Model for Use in the Design of GaAs Integrated Circuits", IEEE Trans. Microwave Theory and Tech., MTT-28, pp. 448-256, May 1980.

[Eshra90a] K. Eshraghian, "Gallium Arsenide

Integrated Circuit Design", notas de curso doctoral en la Universidad de Las Palmas de G.C. (España), 1990.

[Eshra90b] K.Eshraghian, "Source-Follower Direct Coupled FET Logic (SDCFL) Layout Methodology". Informe interno. The University of Adelaide (Australia), 1990.

[EsChM92] K.Eshraghian, E. Chu, A.R. Moini, S. Cui, "Design and Comparison of GaAs Static Logic Suitable for VLSI Implementation". Informe interno GaAs92-15, The University of Adelaide (Australia), 1992.

[Simon83] M. Simons, "Radiation Effects in GaAs Integrated Circuits: A Comparison with Silicon". GaAs IC Symposium, 1983.

[AnhSw92] R.E. Anholt, S.E. Swirhun, "Experimental Investigation of the Temperature Dependence of GaAs FET Equivalent Circuits", IEEE Trans. on Electron Devices, Vol 39, no 9, pp. 2029-2036, September 1992.

[Coqui92] P. Coquille, "Comparaison des Differentes Familles Logiques AsGa". Informe interno, Thomson Composants Microondes, Orsay (Francia), 1992.

[Vitte92] "GaAs Digital ASIC Design Course", Thomson Composants Microondes, Orsay (Francia), 1992.

[KrLeL82] R.H. Krambeck, C.M. Lee, H.S. Law, "High Speed Compact Circuits with CMOS". IEEE J. of Solid State Circuits, Vol SC-17, no 3, pp. 614-619, June 1982.

[FriLi84] V. Friedman, S. Liu, "Dynamic Logic CMOS Circuits", IEEE J. of Solid State Circuits, Vol SC-19, no 2, pp. 263-366, April 1984.

[PrShS85] J.A. Pretorius, A.S. Shubat, C.A. Salama, "Analysis and Design Optimization of Domino CMOS Logic with Application to Standard Cells", IEEE J. of Solid State Circuits, Vol SC-20, no 2, pp. 523-530, April 1985.

[NarLo91] K.R. Nary, S.I. Long, "Two-Phase Dynamic FET Logic: An Extremely Low Power, High Speed Logic Family for GaAs VLSI", GaAs IC Symposium, 1991.

[NarLo92] K.R. Nary, S.I. Long, "A 1 mW, 500MHz 4-bit Adder Using Two-Phase Dynamic FET Logic Gates", GaAs IC Symposium, 1992.