

DISEÑO Y CONSTRUCCIÓN DE UN CODEC DIDÁCTICO PARA TRANSMISIÓN DIGITAL EN BANDA BASE

Avila Nelson

Hidalgo Pablo, Ing.

ESCUELA POLITÉCNICA NACIONAL

RESUMEN

Se presenta el diseño y construcción de un CODEC didáctico para el estudio de 10 códigos de línea, en base a un microcontrolador Philips P83C-652. El CODEC permite una transmisión de datos *half* y *full duplex* mediante dos unidades con la capacidad de realizar procesos de codificación y decodificación.

ABSTRACT

It is presents the design and construction of a didactic CODEC for the study of 10 line codes, in base of a Philips P83C-652 microcontroller. A half and full duplex transmission are allowed by the CODEC by means of two devices with the capacity for performing process of encoding and decoding.

INTRODUCCION

Cuando se trata de transmitir información digital, existen básicamente dos métodos. El primero se basa en la modulación de una portadora analógica por parte de los datos digitales (usando un *modem*); mientras que el segundo se fundamenta en enviar la señal digital en su banda base, es decir sin modular. El gran ancho de banda de los pulsos digitales (idealmente infinito), así como la dificultad de los sistemas de transmisión para transportar componentes continuas, son los inconvenientes que se buscan superar mediante codificaciones digitales apropiadas.

Correspondencia a:

Hidalgo Pablo, Ing.
ESCUELA POLITÉCNICA NACIONAL
Fax: +593-2-567848
Email: phidalgo@epn.ec
P.O.Box: 17-01-2759

De la gran diversidad de códigos de línea que han sido propuestos a través de los años, se implementan los 10 más importantes, a saber: NRZ polar, AMI, RZ polar, Manchester diferencial, bifase-M, código de Miller, 4B-3T, MS43, B3ZS y HDB3.

1. Requerimientos del equipo.

Al codificador se lo ha concebido como un dispositivo que permita el ingreso de señales digitales binarias, tanto de niveles normalizados RS-232 como niveles TTL, las cuales serán tratadas por el sistema microprocesado y a la salida se tendrá una señal correspondiente al código seleccionado previamente. Por otro lado, la decodificación permite la entrada de elementos de señal correspondientes al código en cuestión, para que sean traducidos a dígitos binarios, que tendrán en su salida niveles tanto RS-232 como TTL.

La figura 1 muestra un esquema en el que se presenta la ubicación del CODEC dentro de un sistema de transmisión de datos. De esta figura se puede concluir que el CODEC debe ser un dispositivo transparente para el sistema de comunicación, de tal forma que mejore la calidad de la transmisión, pero que no se constituya en un elemento más a ser supervisado por el controlador de la comunicación. Los dos parámetros básicos que presenta el CODEC son: los tipos de códigos y las velocidades de transmisión estandarizadas a las que le es posible trabajar. El CODEC se lo puede describir globalmente como un sistema microprocesado, en el que para establecer los parámetros mencionados, se debe disponer de un medio que permita realizar la configuración inicial. Con esta finalidad se dispondrá de un teclado y de un sistema de visualización alfanumérico que permita una comunicación entre el operador y el microcontrolador.



Fig. 1. Esquema de transmisión de datos en banda base

La complejidad en la implementación de los codificadores/decodificadores para cada uno de los 10 códigos de línea, varía de acuerdo a la complicación que presente su algoritmo. Se busca que el *hardware* sea lo más general posible para todos los códigos y que sea el *software* el que realice cada tarea de codificación y decodificación.

Esto implica que la diferencia de complejidad en los algoritmos de codificación/decodificación será trasladada al *software*, lo cual se reflejará en la variación del tiempo necesario para que el sistema microprocesado realice una tarea determinada con cada bit o elemento de señal que le llega, según el código de línea implementado. Por lo tanto, el ritmo máximo de transmisión que se alcance con cada uno de los esquemas de codificación será diferente, teniendo como límite máximo una velocidad de 19200 bit/s para aquellos algoritmos simples.

En todo caso, las velocidades normalizadas que se usan para transmitir son las siguientes: 150, 300, 600, 1200, 2400, 4800, 9600 y 19200 bit/s. Se ha tomado estos valores por ser parte de la normalización de facto para comunicación serial y por ser algunos de los ritmos de transmisión establecidos por el CCITT en la transmisión digital usando modems.

En cuanto a la amplitud de los pulsos de señal que se usan en la transmisión, considerando que el CODEC está concebido básicamente como un dispositivo didáctico para la demostración del proceso de transmisión en banda base y no como un equipo que vaya a realizar alguna tarea específica en un sistema de comunicación existente, se emplea los niveles de tensión más comunes para los pulsos; éstos tendrán como valor pico los 5 voltios, de modo que la señal de transmisión tendrá valores que

pueden ser de +5, 0 y -5 voltios.

2. Descripción del sistema.

Un diagrama de bloques general sobre las unidades que constituyen el CODEC se lo presenta en la figura 2. Tanto el codificador como el decodificador se realizan sobre la misma unidad central de procesamiento, y sus parámetros son inicializados y visualizados usando el mismo módulo; sin embargo el *hardware* de sincronización y el correspondiente a la unidad de entrada/salida es diferente para cada una de las funciones.

Antes que el sistema entre en funcionamiento, se deberá establecer los parámetros de transmisión en cuanto al tipo de código a usarse y la velocidad de transmisión. Además se tendrá que elegir si la transmisión es *full duplex* o *half duplex* y si la señal de entrada será de niveles TTL o de niveles RS-232. Con este fin se precisa de un sistema de inicialización, que consta de un teclado y un *display* alfanumérico, los mismos que permiten que este proceso sea interactivo con el usuario.

El circuito de ingreso de datos acondiciona las señales, que pudiendo ser de niveles TTL o RS-232 deben ser procesadas en formato TTL. Estos datos, que no constituyen otra cosa que un flujo de dígitos binarios (bits), se deberán sincronizar con una señal de reloj interna que es la que va a indicar al microcontrolador que acepte cada bit para ser procesado.

Por otra parte, la señal a ser decodificada puede tener un valor positivo, negativo o cero, por lo que ésta quedará completamente definida si se conoce su magnitud (valor absoluto) y el signo de su polaridad. El obtener esta información es la función básica del circuito de

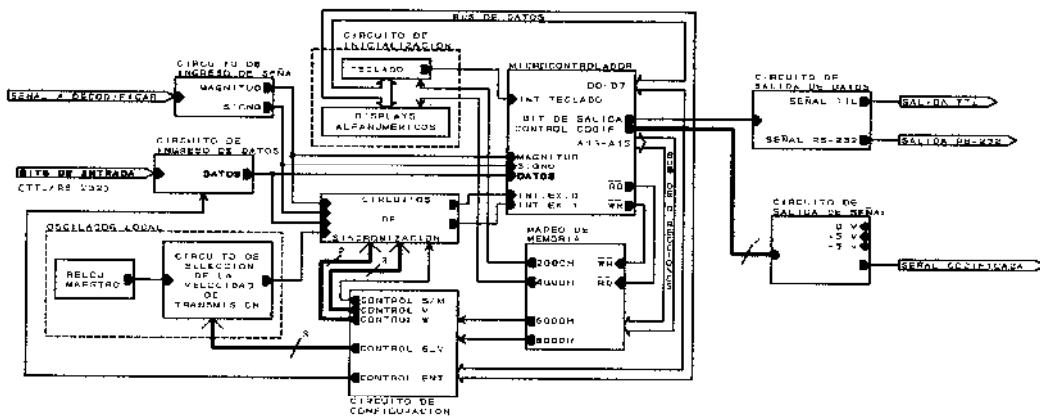


Fig. 2. Diagrama de bloques del CODEC

ingreso de señal; este circuito proveerá de dos bits que serán ingresados al microcontrolador y servirán a la realización de la decodificación.

Tanto la tarea de codificación como la de decodificación implican el manejo de elementos de señal que permitirán transportar los datos digitales en función de su magnitud y su duración; consecuentemente, la temporización es un factor determinante en el desarrollo del sistema. Por esta razón, el uso de un microcontrolador que además de la unidad central de proceso (CPU) disponga de un método de temporización resulta una elección óptima para constituirse en el elemento inteligente del equipo en cuestión.

Por otra parte, es necesario establecer que el procesamiento de los datos se lo realizará individualmente para cada dígito binario entrante al codificador y para cada elemento de señal que ingresa al decodificador, por lo que es de suponer que la velocidad de procesamiento de la unidad inteligente debe ser lo suficientemente grande para no permitir la pérdida de datos, de tal suerte que cuando llegue el siguiente elemento, el anterior ya haya sido procesado. Con estos antecedentes, un microcontrolador (μC) de la familia INTEL MCS-51, con una alta velocidad de procesamiento resulta ser el adecuado. Este último requerimiento lleva a utilizar el

microcontrolador P83C652-03 de Philips, que es equivalente al INTEL 80C52 tanto en *hardware* como en *software* pero que permite un procesamiento de hasta 20 MHz, velocidad que no es alcanzada por los microcontroladores estándar de la familia INTEL. La frecuencia de operación del μC se fija en 18.432 MHz que es un valor estándar para aplicaciones de comunicación y que permitirá alcanzar las velocidades de transmisión serial antes indicadas.

Al sistema microprocesado (figura 3), se conectan entre otros, circuitos periféricos de entrada/salida los mismos que son tratados como localidades de memoria RAM externa, con esta finalidad se establece un circuito de mapeo de memoria. Los datos que se obtienen como resultado del proceso de inicialización, se almacenan tanto en la memoria RAM interna del microcontrolador como en el circuito externo de configuración. Para el establecimiento del ritmo de transmisión, el microcontrolador actuará sobre el circuito de selección de velocidad a través del circuito de configuración, ejecutándose este proceso como uno de los pasos en la inicialización del sistema. El circuito de selección de velocidad usa la señal de un reloj maestro para establecer el ritmo de transmisión, al conjunto de estos dos elementos se le denomina oscilador local.

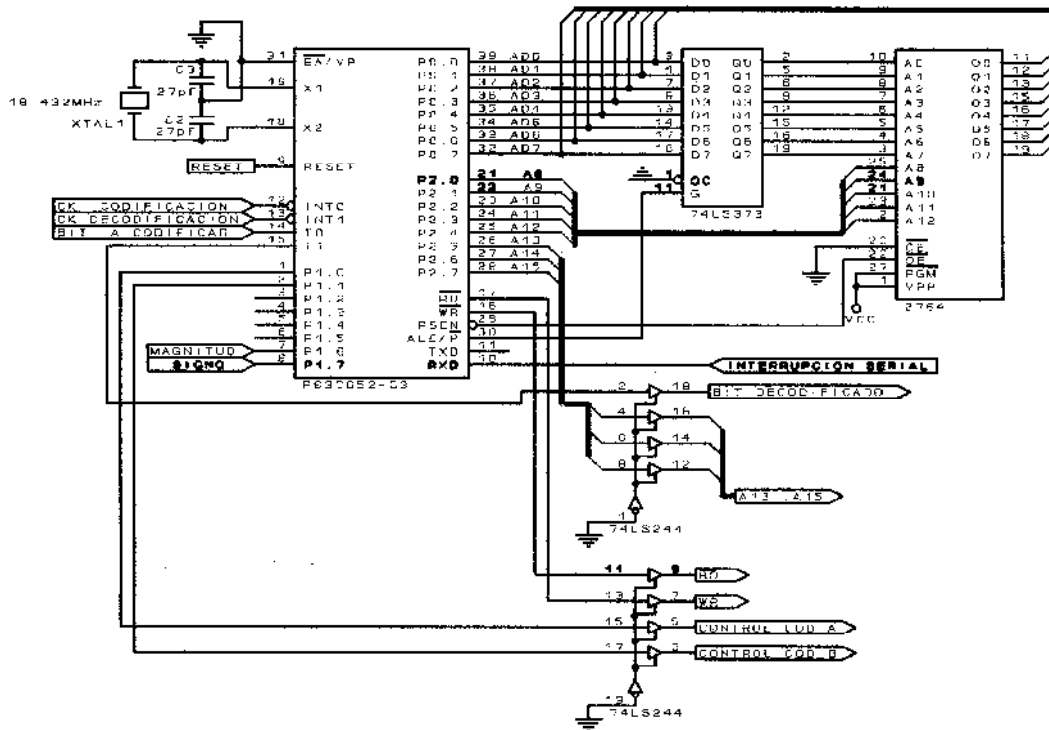


Fig. 3. Configuración del microcontrolador

Para el proceso de codificación, tanto la señal de reloj como la señal de datos ingresan en un circuito que permite la sincronización de estos dos flujos de bits. La señal de reloj resultante deberá conseguir que el microcontrolador muestree o tome el dato aproximadamente a la mitad de la duración del bit. Cuando se trate de decodificar el elemento de señal entrante al CODEC, serán la magnitud y el signo de la señal los que permitan establecer la sincronización correspondiente.

Luego de que el bit ha sido muestreado por el microcontrolador, éste deberá encargarse de procesarlo según el esquema de codificación que se trate y emitirá las señales de control para que un circuito de salida de señal transmita los niveles apropiados de señal (+5 V, -5 V o 0 V). El microcontrolador establecerá además la duración del nivel, de modo que se conforme la señal codificada en amplitud y en tiempo. Finalmente un interfaz

con la línea de transmisión permitirá emitir la señal codificada para que sea transmitida al otro extremo del sistema de comunicación.

En el caso de realizar la decodificación, el microcontrolador deberá utilizar la información referente a la magnitud y signo para proporcionar como respuesta los datos originales tanto en niveles TTL como en RS-232, cosa que se logra mediante el circuito de salida de datos.

En la ejecución de la rutina de inicialización del equipo se establecerá el código de línea a usarse, el tipo de transmisión, así como la velocidad de trabajo, parámetros que serán usados en el funcionamiento normal y que por tanto deberán ser retenidos hasta que no se los cambie en un proceso de reinicialización. La figura 4 ilustra el flujograma correspondiente a la rutina de inicialización.

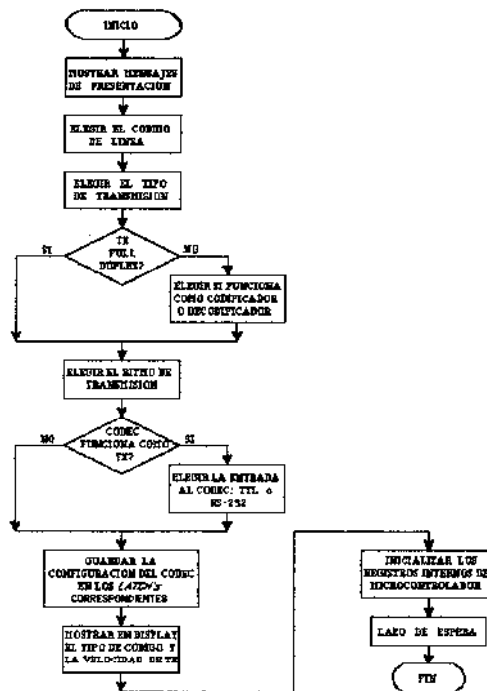


Fig. 4. Rutina de inicialización

El proceso de selección de los parámetros mencionados en el diagrama de flujo se lo realiza de modo que las opciones de selección aparecerán en el display alfanumérico; una tecla permitirá avanzar en el listado de posibilidades, otra tecla permitirá retroceder en dicha lista, en tanto que la selección de la opción mostrada se la realiza presionando una tercera tecla. Para evitar errores en la elección de los parámetros, antes de aceptar la opción elegida se pide confirmación.

Los parámetros seleccionados y que han quedado almacenados en la memoria RAM interna del microcontrolador deben ser escritos en los *latch's* de configuración correspondientes, lo que permitirá establecer el funcionamiento normal del CODEC. En su operación normal, es decir mientras se está realizando permanentemente la tarea de codificación, decodificación o las dos, según se lo haya configurado, el CODEC muestra en el display alfanumérico el esquema de

codificación utilizado y la velocidad de transmisión binaria.

Luego de ejecutar la rutina de inicialización aquí expuesta, el microcontrolador queda en un lazo de espera del cual sólo puede salir si hay un requerimiento de atención a una interrupción externa o a la interrupción serial.

Si ocurre una interrupción externa 0 se realiza el proceso de codificación a nivel de bit, en tanto que la interrupción externa 1 produce la tarea de decodificación de un elemento de señal. La ocurrencia de una interrupción serial mediante una transición negativa será un artificio que se use para que el microcontrolador atienda un requerimiento del teclado. Mediante esta última se interrumpirá el funcionamiento normal del CODEC para llevar a cabo una reinicialización del sistema, este proceso conlleva una nueva ejecución de la rutina de inicialización, luego de lo cual el CODEC vuelve a su funcionamiento normal.

Respecto a la organización de la memoria del sistema, en la figura 5 se tiene un mapa de memoria en el que se ha incluido tanto la memoria externa al microcontrolador como la RAM interna del mismo. La memoria externa lo constituyen tanto la memoria de programa como los dispositivos que son considerados como RAM externa. Del bloque de memoria asignado a cada dispositivo externo, es suficiente una localidad para direccionarlo, esta localidad está indicada en la figura en mención junto al nombre de cada dispositivo.

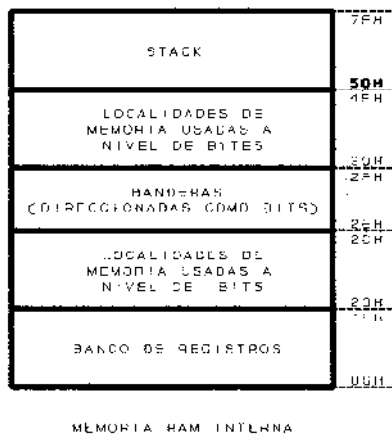
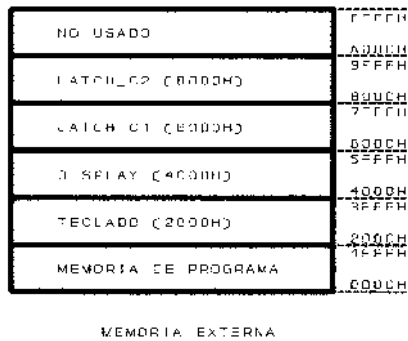


Fig. 5. Mapa de memoria del sistema

3. Resultados.

Puesto que el equipo construido tiene finalidades didácticas, es muy importante

proveer a los usuarios de un medio que permita monitorear las señales involucradas en el proceso de codificación/decodificación. Con este objetivo, en el panel frontal del equipo (figura 6), se han colocado puntos de prueba, de modo que se pueda estudiar las señales correspondientes a:

Codificación:

- Señal a codificar
- Señal codificada
- Reloj de codificación
- Control de codificación A
- Control de codificación B
- GND

Decodificación:

- Señal a decodificar
- Reloj de decodificación
- Señal decodificada TTL
- Señal decodificada RS-232
- GND

Luego de haber construido el CODEC, se realizaron pruebas para determinar las velocidades máximas que el equipo es capaz de soportar, estos resultados se expresan en la tabla 1. De esta tabla se observa que para los códigos de línea más simples de implementar como son el NRZ polar y el AMI se alcanza una velocidad de transmisión binaria de 19200 bit/s, en tanto que para los esquemas más complejos como son el 4B-3T y el MS43, sólo se llega a 1200 bit/s. Esto se debe básicamente a que el procesamiento que debe hacer el microcontrolador es muy sencillo y rápido en el caso de los dos primeros códigos, en tanto que para los esquemas complejos el algoritmo es demasiado extenso requiriendo el microcontrolador un tiempo relativamente grande para el procesamiento de cada bit o elemento de señal.

Por otra parte, cuando se realiza una transmisión *half duplex*, el microcontrolador sólo efectúa una tarea de manera continua; pero en el caso de una transmisión *full duplex*, el microcontrolador debe realizar tanto la codificación como la decodificación, por lo que la capacidad de procesamiento para cada ocupación se reduce, esta es la causa para que la velocidad de transmisión máxima sea inferior

en el caso *full duplex*.

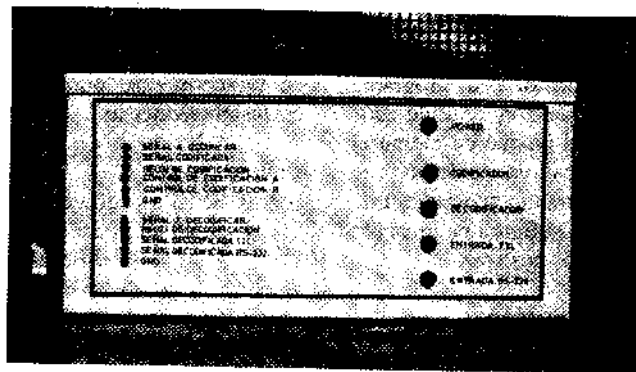


Fig. 5. Panel frontal del equipo

Tabla 1. Velocidades máximas de transmisión

CODIGO DE LINEA	Transmisión <i>Half Duplex</i>	Transmisión <i>Full Duplex</i>
NRZ POLAR	19200 bit/s	4800 bit/s
AMI	19200 bit/s	4800 bit/s
RZ POLAR	4800 bit/s	1200 bit/s
MANCHESTER DIFERENCIAL	2400 bit/s	1200 bit/s
BIFASE - M	2400 bit/s	2400 bit/s
MILLER	2400 bit/s	1200 bit/s
-B - 3T	1200 bit/s	300 bit/s
MS43	1200 bit/s	300 bit/s
B3ZS	4800 bit/s	1200 bit/s
HDB3	4800 bit/s	1200 bit/s

En la evaluación didáctica del equipo, la visualización de los formatos de codificación y la tarea de decodificación es una de las pruebas más importantes que se realiza con el codec en banda base.

Para la realización de esta prueba se lleva a cabo la codificación y decodificación de una secuencia de bits, que ingresados en niveles

TTL permiten observar de manera óptima los procesos de codificación y decodificación. La secuencia de prueba puede ser ingresada mediante un generador de secuencias (niveles TTL) o por la repetición continua de un carácter que provenga de un PC o de un terminal de comunicaciones. En la figura 7 se muestra un ejemplo para la codificación AMI.

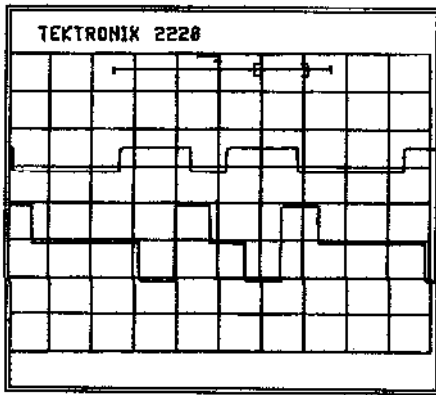


Fig. 7. Formato AMI

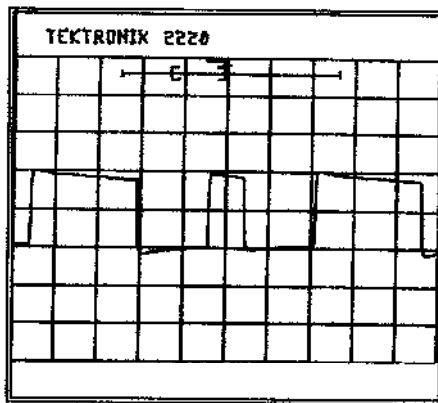


Fig. 8. Transmisión NRZ polar

Otra prueba importante consiste en transmitir las señales en banda base a través de un transformador de audio con la finalidad de comprobar las bondades de cada código respecto a la eliminación de la componente continua. El resultado de realizar esta prueba para el código NRZ polar se lo ilustra en la figura 8.

4. Conclusiones.

El código NRZ polar está presente siempre que la transmisión serial de datos involucre la norma EIA RS-232 (V.24 del CCITT) para distancias máximas de 15 metros; se trata tan solamente de una equivalencia de los dígitos

binarios a dos niveles de voltaje y por tanto su utilización no ofrece mayores ventajas. El código AMI por otro lado, a pesar de haber sido uno de los primeros en ser propuesto, es de gran aceptación gracias a su capacidad de disminuir los niveles de componente continua, a la buena cantidad de transiciones que presenta y a la facilidad de su implementación; por estas razones permite alcanzar grandes velocidades de transmisión. Por otro lado, se ha observado en la práctica que los códigos con retorno a cero (RZ), no resultan convenientes ya que aumentan la velocidad de transmisión codificada, requieren por tanto un canal de mayor ancho de banda y su transición hasta cero no es garantía de una mejor sincronización. La ventaja que presentan es la disminución en el gasto de potencia y por ello se suele utilizar cuando existe necesidad de reducir el consumo de energía.

Los esquemas de codificación bitase, presentan muchas transiciones que ayudan en la recuperación de la señal de reloj, pero esto debe ser adecuadamente aprovechado mediante la utilización de circuitos de altísima estabilidad que garanticen una invariabilidad en la fase del reloj de muestreo. Debido a que el cumplimiento de esta premisa involucra un diseño complejo y costoso en el decodificador, una solución práctica consiste en la utilización de un protocolo mediante el cual la información se envíe en tramas (arreglos de datos), las cuales deben tener periódicamente pulsos y caracteres de sincronismo. Los pulsos servirán para controlar el reloj de muestreo, en tanto que los caracteres permitirán establecer el inicio y el fin de la información propiamente dicha.

Cuando se trata de realizar transmisiones a altas velocidades y sobre grandes distancias, un esquema con disminución de la velocidad codificada será el adecuado. En este caso se debe realizar además de la sincronización a nivel de bits, una sincronización a nivel de palabras ternarias, ya que de lo contrario se decodificará una secuencia totalmente diferente de la que se envió originalmente. Con este objetivo, en el CODEC diseñado, se envía una secuencia inicial de sincronismo; sin embargo sería necesario establecer además un protocolo

que permita el envío de la secuencia de sincronismo de una manera periódica ya que seguramente se perderá el sincronismo con el transcurso del tiempo y será necesario recuperarlo mediante el reconocimiento de la palabra de sincronismo. Estos códigos resultan, por lo tanto, muy complejos de implementar y la decisión de su utilización deberá ser respaldada por una gran ventaja en la disminución del ancho de banda requerido.

Como un compromiso entre la complejidad de la implementación de los códigos y sus ventajas, se presentan los códigos que evitan la presencia de un excesivo número de ceros (ausencia de pulsos). De estos códigos, los más prácticos son el HDB3 y el B3ZS que no es más que el HDB2.

5. Referencias.

- [1] BLACK U., Redes de computadoras, Macrobit, México, 1990.
- [2] BYLANSKY P. e INGRAM D., Digital transmission systems, IEE Telecommunications Series 4, England, 1979.
- [3] KUSTRA R. y TUJSNAIDER O., Principios de comunicaciones digitales, vol. II, Colección Técnica AHCIET-ICI, FICUM S. A., 1978.
- [4] MACCHI C. y GUILBERT J., Tèlèinformatique, DUNOD, Paris, 1979.
- [5] TANENBAUM A., Redes de ordenadores, Prentice Hall, 2ª ed., México, 1991.
- [6] VIDALLER J. y OTROS, Transmisión de datos, Universidad Politécnica de Madrid, Madrid, 2ª ed., 1979.
- [7] IEEE Communications magazine, Digital signaling techniques, STALLINGS W., Vol. 22 (Nº 12, 1984).



AVILA, NELSON, Nació en Latacunga, provincia de Cotopaxi, el 19 de abril de 1970. Obtuvo el título de bachiller en Ciencias en el Colegio Hermano Miguel de Latacunga en 1987. Culminó sus estudios superiores en la Facultad de Ingeniería Eléctrica, especialización

Electrónica y Telecomunicaciones de la Escuela Politécnica Nacional en 1993. Actualmente desarrolla el presente tema como Tesis de Grado.

HIDALGO, PABLO. Sus datos biográficos se encuentran en el artículo "Equipo para Monitoreo de Llamadas Telefónicas", publicado en este volumen.