ESCUELA POLITECNICA NACIONAL

FACULTAD DE INGENIERIA ELECTRICA

REGULADOR ELECTRONICO DE CARGA PARA MICROCENTRALES HIDROELECTRICAS

TESIS PREVIA A LA OBTENCION DEL TITULO DE INGENIERO EN LA ESPECIALIZACION ELECTRONICA Y TELECOMUNICACIONES

PATRICIO LOPEZ MERA

FACULTAD DE INGENIERIA ELECTRICA
BIBLIOTECA
2896

QUITO, ABRIL, 1986

Certifico que el presente trabajo ha sido realizado en su totalidad por el señor PATRICIO LOPEZ MERA, bajo mi dirección.

Ing. Oswaldo Buitrón
DIRECTOR DE TESIS

A G R A D E C I M I E N T O S

La realización de esta tesis sólo fue posible gracias al total y desinteresado apoyo brindados por el Ing. Marcelo Guarderas J., Gerente General de Optronic Cía. Ltda., de quien quedo profundamente agradecido; mi reconocimiento especial para el Ing. Oswaldo Buitrón, director de tesis, y para todos quienes contribuyeron a la ejecución de este proyecto.

D E D I C A T O R I A

Con inmenso amor:

A mis padres, hermanos

y a mi abuelita.

I N T R O D U C C I O N

En el desarrollo de microcentrales hidroeléctricas son parámetros de singular importancia los costos de diseño, instalación y puesta en funcionamiento, estos costos difieren de una instalación a otra, pero en principio pueden clasificarse así:

- Costos de diseño.
- Obra civil.
- Control de flujo.
- Generador.
- Protecciones.
- Calidad y rentabilidad de la energía suministrada.

Los costos están en proporción directa e inversa dependiendo de la magnitud de la planta, el uso de equipo convencional permite ligeramente abaratar la energía producida, es necesario entonces desarrollar tecnologías propias, adecuadas a las necesidades particulares, se han efectuado trabajos en el área de obras civiles, mecánicas y en cuanto al control del generador mediante equipo electrónico, esta tesis pretende contribuir al desarrollo de microcentrales actuando sobre este último campo, mediante la construcción de un regulador microprocesado de carga.

C A P I T U L O I

GENERALIDADES

1.1 MICROCENTRALES HIDROELECTRICAS Y REGULACION CONVENCIONAL

El abastecimiento de energía como factor primordial de desarrollo, enmarcado en el racional aprovechamiento de los recursos naturales, constituye el objetivo básico de la implantación de microcentrales hidroeléctricas, entendiéndose como tales aquellas cuya capacidad no supera los 100 Kw.

La integración de la población rural a los planes de electrificación de gran cobertura, se ve dificultada por su propia diseminación topográfica y escasos recursos económicos que sugieren otro tipo de solución. Surge entonces como alternativa la electrificación sectorizada, mediante la utilización de recursos naturales propios de la zona y el trabajo conjunto de los miembros de la comunidad a beneficiarse. El desarrollo de microcentrales hidroeléctricas con tecnologías propias y adecuadas adquiere pues especial importancia si se tiene presentes los múltiples campos que abarca el desarrollo comunal basado en el consumo productivo de la energía.

Como las microcentrales hidroeléctricas tienen que pasar por las mismas consideraciones de diseño que las plantas de mayor capacidad, su costo por kilowatio de energía desarrollado tiende a ser elevado; para que la instalación de microcentrales sea económicamente factible se debe tender a un diseño estandarizado tanto en las obras civiles como en

el sistema turbina-generador y su control.

El control de la velocidad en una turbina es un problema importante y complicado; varía con el tamaño, clase de máquina e instalación, tipo de carga eléctrica y el hecho de si la planta está conectada o no a una red eléctrica; gran parte de la tecnología proviene de unidades grandes, el costo de los reguladores es por tanto desproporcionadamente elevado en los tamaños más pequeños; por otra parte, el control de velocidad se obtiene normalmente mediante control de flujo, y para que exista un control adecuado es preciso tener suficiente inercia de rotación de las piezas rotativas, el tiempo de respuesta del regulador ha de seleccionarse cuidadosamente ya que un tiempo de cierre rápido puede ocasionar presiones excesivas en la cañería de presión.

Se dispone de varias clases de reguladores que varían con la capacidad de trabajo deseada o el grado de complejidad del sistema de control, estos oscilan entre simples dispositivos mecánicos, dispositivos mecánico-hidraúlicos y electro-hidraúlicos; no obstante en regiones remotas ha de tenerse muy en cuenta el mantenimiento requerido por estos mecanismos.

1.2 REGULACION ELECTRONICA DE CARGA

El control de velocidad del grupo turbo-generador puede efectuarse mediante el control de la energía incidente, esto es dosificar el caudal para que dicha energía guarde relación con la energía demandada, este proceso dinámico de control de la potencia absorbida por el grupo incide en la complejidad de la turbina y en el mantenimiento de los siste

mas mecánicos asociados.

La regulación electrónica de carga consiste en mantener prácticamente constante la carga vista por el generador, de esta manera la potencia demandada es constante y puede eliminarse el control de flujo antes mencionado; es evidente que este principio requiere de cargas auxiliares destinadas a consumir la potencia no utilizada por la carga principal.

La carga auxiliar total debe tener la capacidad de consumir toda la potencia generada; debe ser de naturaleza resistiva y se divide en tres grupos; uno por fase, en cada grupo las cargas están en la relación 1:2:4 y 4+4 con lo que se dispone de 15 pasos de regulación, y se conectan a las líneas mediante triacs con disparo en cruce por cero.

1.3 CARACTERISTICAS DEL MICROPROCESADOR A UTILIZARSE

La elección del microprocesador como dispositivo central de control significa que el hardware a diseñarse satisfaga tanto las especificaciones del equipo como los requerimientos de la arquitectura propia del microprocesador; una elección adecuada conlleva la simplificación circuital mediante la utilización de los elementos del dispositivo de control y la funcionalidad del sistema.

Para la presente tesis la elección debe justificarse a través de los requerimientos del sistema entre los que se destacan, el muestreo de la frecuencia y las líneas de entrada y salida.

MUESTREO DE FRECUENCIA: La configuración mínima para el conocimiento

de la frecuencia necesita de un reloj, un contador y un marco de conteo.

LINEAS DE ENTRADA SALIDA: Deben considerarse señalizaciones y alarmas, activación de cargas auxiliares, control de carga principal y señales de control.

El análisis de los aspectos mencionados nos lleva a escoger el microprocesador 8748, diseñado además para ser utilizado en el sector industrial. Las características de dicho microprocesador se describen a continuación:

- CPU de 8 bits
- Memoria interna: Eprom = 1K x 8
  Ram = 64 bytes
- 27 líneas de entrada-salida
- Contador y timer de 8 bits
- Aritmética binaria y BCD
- 8 niveles de stack
- Versiones de reloj: 1 a 6 MHz
  4 a 11 MHz

1.3.1 ARQUITECTURA DEL MICROPROCESADOR 8748

Sobre la base de los datos especificados por el fabricante National Semiconductors se puede establecer que este microprocesador tiene la configuración que se ilustra en la Fig. 1.1.

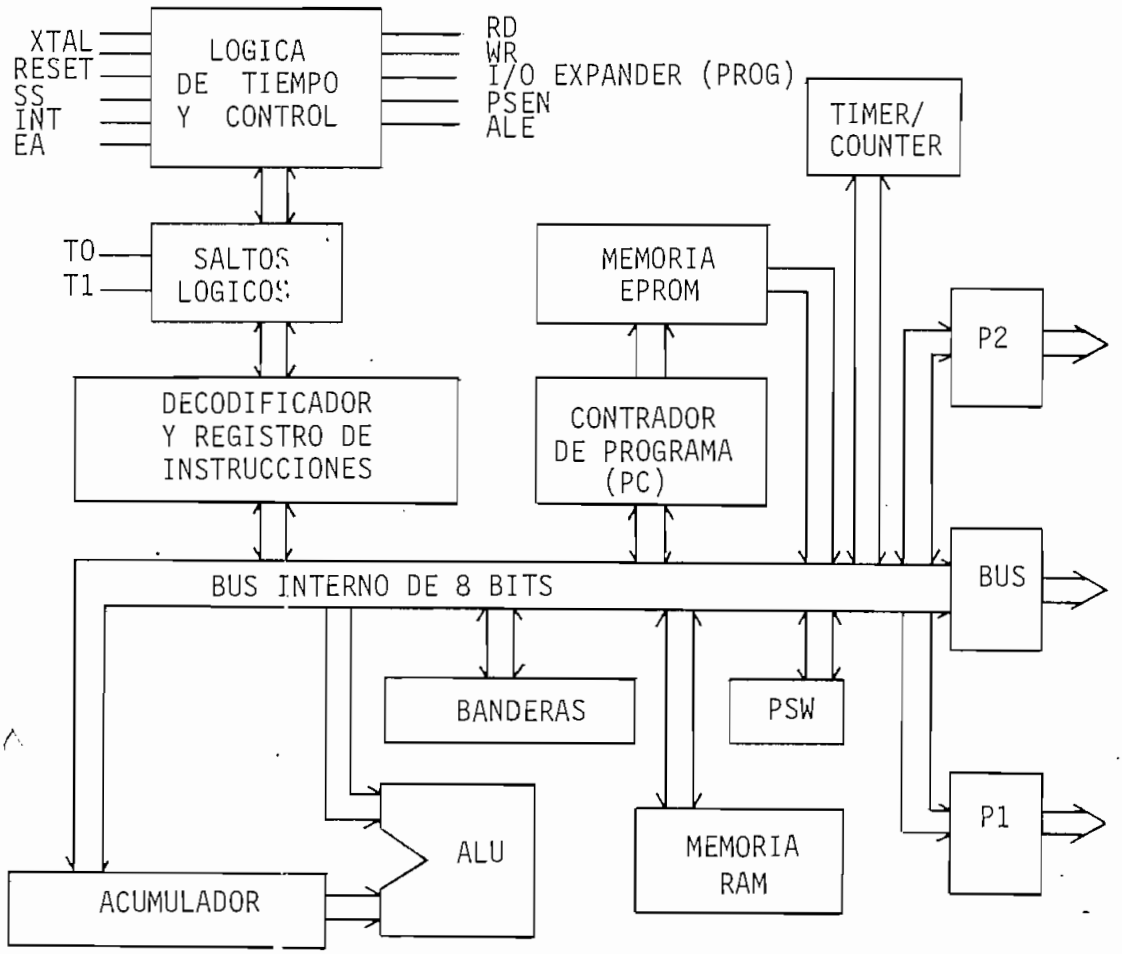


FIG. 1.1

Cada uno de los registros internos de este dispositivo tienen las siguientes características:

- PSW (program status word)

  Es un registro de 8 bits que contiene información relativa a la operación del microprocesador y el stack; como se puede ver en la figura 1.2

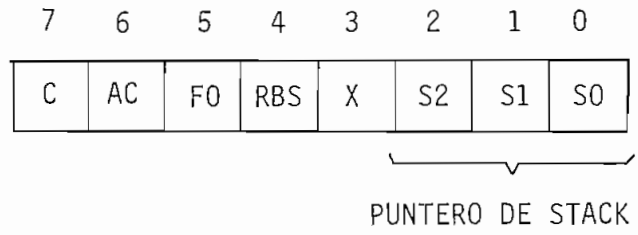


FIG. 1.2

El registro PSW almacena por tanto el carry (C), el carry auxiliar (AC), F0 que es una bandera y RBS que indica el banco de registros de trabajo con el que se desea operar.

Durante llamadas a interrupción o subrutinas los 4 bits superiores de PSW se guardan en el stack.

Los tres bits menos significativos contienen el puntero del stack, que es un contador independiente que apunta a localidades específicas de Ram.

- STACK

Corresponde a memoria RAM que en este caso se encuentra incluída en el microprocesador; se ubica desde la localidad 8 hasta la 23 como se indica en la figura 1.3

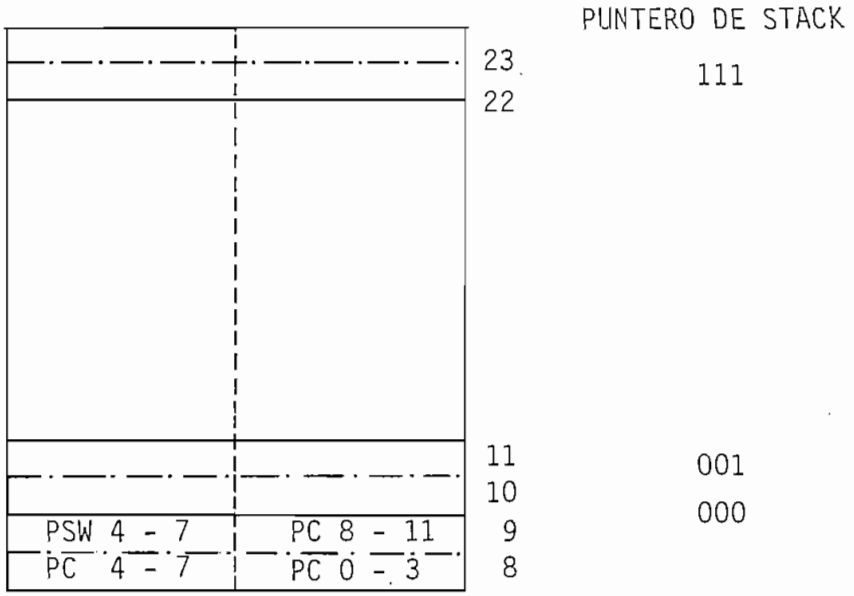


FIG. 1.3

- CONTADOR DE PROGRAMA

Es un registro de 12 bits; el bit 11 es controlado por software

11	10	9	8	7	6	5	4	3	2	1	0

CUENTA DESDE 000 HASTA 7FF

FIG. 1.4

Por tanto se puede direccionar hasta 4K de memoria; cuando se sobrepasa el 1K de memoria interna, automáticamente (en caso de estar habilitada) se direcciona la memoria externa.

- MEMORIA EPROM

Existen 3 localidades reservadas para inicialización:

Dirección 000: Reset: cuando el reset baja a cero la primera instrucción en ejecutarse se extrae de esta localidad.

Dirección 003: Interrupción: un 0L en INT (si está habilitada) causa el salto a esta localidad.

Dirección 007: Interrupción de Timer/Counter: cuando la bandera $\overline{TF}$ se activa y si la interrupción está habilitada causa un salto a esta localidad.

- MEMORIA RAM

Tiene 8 registros de trabajo por cada banco (RB0 y RB1) seleccionado, el direccionamiento a las restantes localidades es indirecto mediante los registros R0 y R1.

A continuación y mediante la figura 1.5 se representa un mapa general de la memoria RAM.

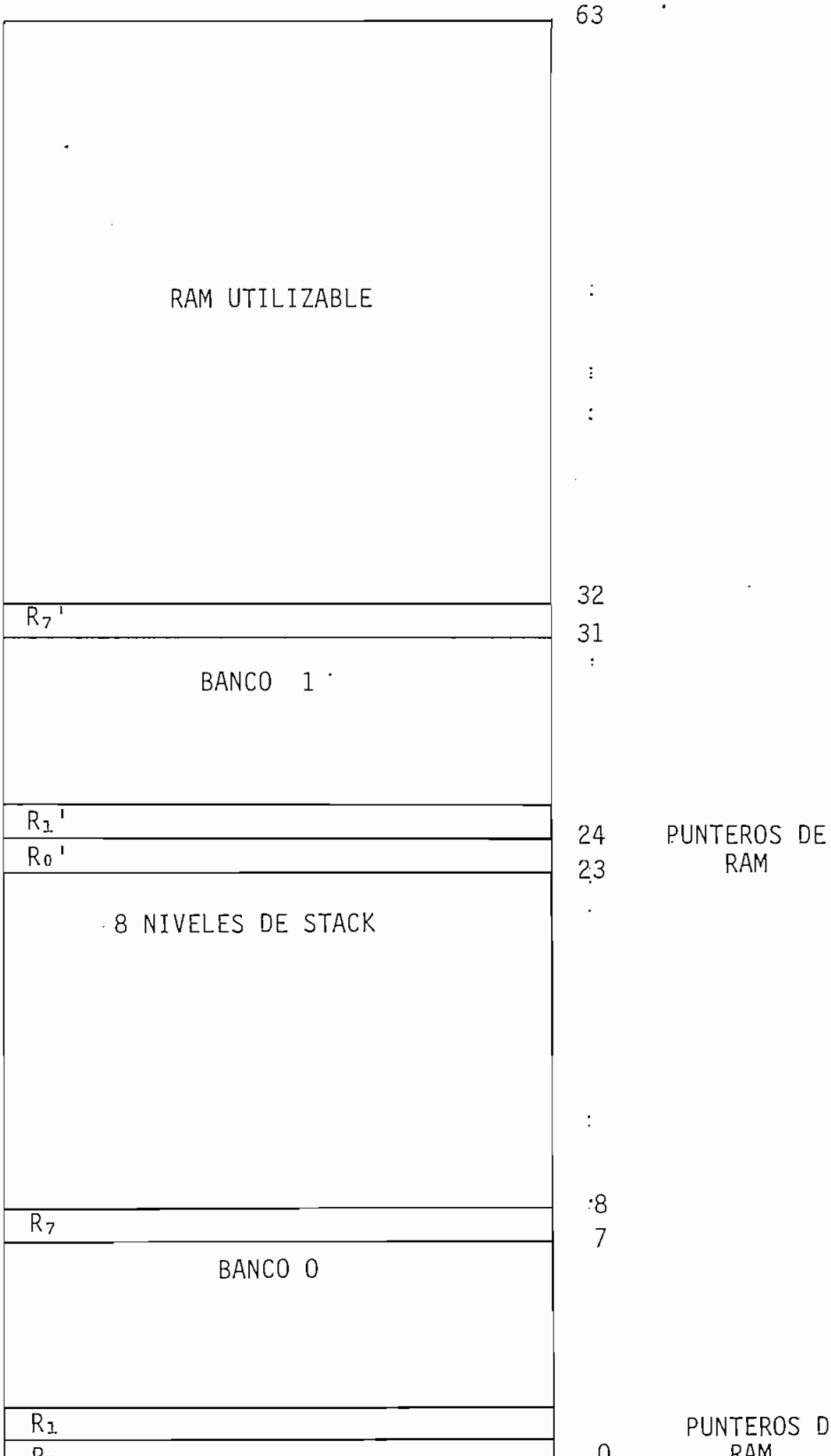

63
RAM UTILIZABLE
32
R7'
31
BANCO 1
R1'
24
PUNTEROS DE RAM
R0'
23
8 NIVELES DE STACK
8
R7
7
BANCO 0
R1
PUNTEROS DE RAM
R0
0

FIG. 1.5

- TIMER/COUNTER

La operación de este registro tanto como temporizador o como contador, es independiente de la CPU, una vez inicializado cuenta desde un valor pre-establecido hasta FF, vuelve a cero y continúa hasta encontrar la instrucción STOPTCNT, o un Reset; pone en 1L la bandera TF al pasar de FF a 00 y genera una interrupción. La bandera puede ser detectada mediante la instrucción JTF.

En la operación como temporizador inicia el conteo con la instrucción STRTT tomando como reloj la frecuencia del cristal dividida por 15 y por 32.

Para iniciar la operación como contador se requiere la instrucción STRTCNT; las transiciones de alto a bajo de T1 incrementan el contador; en este caso, la frecuencia de T1 no puede ser mayor que 3 ciclos de instrucción.

- LOGICA DE TIEMPO Y CONTROL

Con referencia a la figura 1.1 tenemos que las funciones desempeñadas por este bloque son las siguientes: recepta señales externas destinadas a controlar el sistema; permite la comunicación del microprocesador con memoria externa y genera las señales de reloj para uso interno.

Para esta tesis es de interés el conocimiento de la obtención de la señal ALE; descrita a continuación mediante la figura 1.5

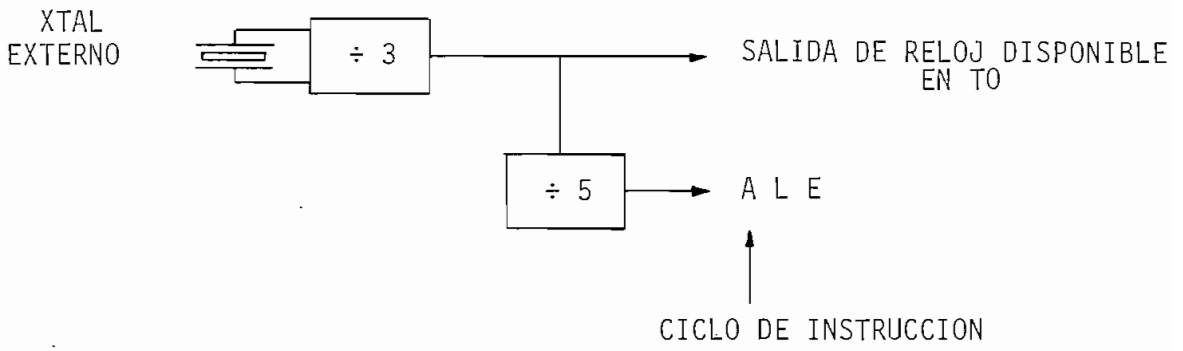


FIG. 1.5

1.3.2 DESCRIPCION DE LAS LINEAS DE ENTRADA/SALIDA

- RESET

Se activa en 0L, con lo cual se inicializa al microprocesador cumpliendo las siguientes funciones:

. El contador de programa asume el valor 00

. El puntero del stack toma el valor 00

. Selecciona el Banco 0 de registros de trabajo

. Bus en tres estados (excepto si EA = 1)

. Puertos 1 y 2 como entradas

. Interrupciones externa y de Timer/counter deshabilitadas

. Detiene el registro del temporizador

. Las banderas son llevadas a cero; TF = 0, F0 = 0, F1 = 0.

. La salida de reloj a T0 se deshabilita; T0 queda como entrada.

- INTERRUPCION

Cuando está habilitada causa un salto a la localidad 003 de la memoria EPROM; el contador de programa y los cuatro bits superiores de la PSW se guardan en el stack.

- TEST 0 (T0)

Puede funcionar como entrada, su estado se detecta mediante las instrucciones JT0, JNT0; y como salida de reloj se habilita mediante ENT0.

- TEST 1 (T1)

Como entrada se detecta mediante JT1, JNT1, su otra función es como entrada de reloj para el contador de eventos.

- ALE

Se usa conjuntamente con PSEN al utilizar memoria externa.

- BUS, P1, P2

Son tres puertos cada uno de 8 bits, P1 y P2 son quasibidireccionales, es decir de las 8 líneas unas pueden ser entradas y otras salidas permanentes. El Bus es bidireccional de salida permanente.

El microprocesador posee además las siguientes señales de control:

- SINGLE STEP (SS)

  Conjuntamente con ALE permite al microprocesador realizar una instrucción por vez.

- EXTERNAL ACCESS (EA)

  Cuando EA = 1L el microprocesador toma las instrucciones de memoria externa.

- WRITE STROBE (WR)

  Permite la escritura de datos en memorias externas.

- READ STROBE (RD)

  Permite la lectura de datos de memorias externas o periféricos.

- PROGRAM STORE ENABLE (PSEN)

  Se utiliza para traer instrucciones a la CPU desde memoria externa.

- OUTPUT STROBE (PROG)

  Utilizado para ampliación de líneas de entrada/salida.

1.3.3 SET DE INSTRUCCIONES

Las instrucciones del microprocesador 8748 permiten realizar los siguientes 10 tipos de operaciones:

- CONTROL

  De interrupciones, selección de bancos de trabajo, y salida de reloj interno.

- MANEJO DE DATOS

  Hacia y desde el acumulador, registros y memoria.

- TIMER/COUNTER

  Permiten el manejo del registro de 8 bits y posibilitan utilizarlo como contador o temporizador.

- ACUMULADOR

  Operaciones aritméticas, lógicas, rotaciones, relaciones con los registros y memoria.

- SALTOS

  Incondicionales a través de toda la memoria y condicionales dentro de la página en cuestión, supeditados tanto a condiciones internas

como externas mediante T0, T1, INT.

- ENTRADA/SALIDA

Manejo de los puertos y operaciones lógicas con estos.

Los restantes cuatro tipos de operaciones están relacionados con:

- REGISTROS
- SUBRUTINAS
- BANDERAS
- OPERACIONES VARIAS

Para mayor información sobre las instrucciones del microprocesador 8748 referirse al Anexo D.

1.4 VENTAJAS DEL MICROPROCESADOR

El control de procesos plantea numerosas interrogantes a ser resueltas mediante sistemas capaces de analizar las variables involucradas; en respuesta a dicho análisis el dispositivo de comando devuelve al proceso las señales tendientes a controlarlo. La naturaleza del intercambio de información entre el proceso y el sistema de control define la flexibilidad o rigidez que deberá poseer éste con miras a alcazar un sistema versátil y funcional. Procesos análogos pero con particularidades inherentes llamados a controlarse por un dispositivo standard requieren de la previsión e instalación de los ajustes y correctivos necesarios en el sistema de control.

Los grados de complejidad del sistema de control y del proceso a comandarse están en directa relación. Al necesario parámetro de costo-beneficio deberán sumarse las consideraciones de flexibilidad, versatilidad y complejidad expuestas, como factores para la decisión de los elementos a utilizarse en el control; se establece entonces el límite para la utilización de microprocesadores.

Múltiples son las ventajas de dispositivos microprocesados frente a los circuitos convencionales; la simplificación de la circuitería será mayor en tanto mayores sean las funciones encomendadas al microprocesador, el diseño de circuitos combinacionales, secuenciales, etc. implantados mediante programa almacenado no sólo significa reducción de elementos utilizados, su máxima ventaja radica en las modificaciones a que pueden ser sometidos mediante cambios en el programa sin tocar los circuitos ya implantados, esto significa que el mismo dispositivo de control puede comandar procesos similares que poseen variables propias. La división de funciones entre hardware y software adquiere especial significado en el diseño de prototipos, pues las variables sujetas a experimentación pueden someterse a diversos análisis en el programa; de igual manera las señales destinadas a comandar el proceso pueden modificarse en busca de soluciones prácticas y valederas.

C A P I T U L O I I

DISEÑO CIRCUITAL

2.1 ESPECIFICACIONES

El control microprocesado de carga a diseñarse debe cumplir con las siguientes especificaciones:

- RANGO DE FRECUENCIA: 60 ± 1 Hz; el microprocesador obtendrá la frecuencia generada y deberá realizar los ajustes necesarios en la carga auxiliar, tendientes a mantener la frecuencia en este rango.

- SOBRE FRECUENCIA: 63 Hz.

- BAJA FRECUENCIA: 57 Hz; al presentarse estos dos tipos de falla, la carga principal se desconectará de la línea, se señalizará el tipo de falla y el control pasará a ejercerse mediante la carga fantasma; en el caso de sobrefrecuencia se activará también la alarma.

- RANGO DE VOLTAJE: 127VAC ± 5%; la regulación de voltaje es controlada por el propio regulador del generador, el control de carga es el encargado de detectar que la tensión esté dentro del rango especificado; en caso de sobrepasarse cualquiera de los límites se tendrá falla de voltaje.

- POTENCIA: el regulador controlará generadores de potencia no supe

rior a los 50 Kw.

- PASOS DE REGULACION: al disponerse de cuatro cargas por fase en la relación 1:2:4 y 4 + 4 se tienen 15 pasos de regulación.

- El control dispondrá de señalizaciones de baja y sobre frecuencia, bajo y sobre voltaje, sobrecarga y cargas activadas. Además de contar con una alarma que se activa en casos críticos como son sobrecarga, sobre frecuencia y pérdida de la fase tomada como referencia para el muestreo de la frecuencia.

2.2 DIAGRAMA DE BLOQUES

El cumplimiento de las especificaciones del regulador de carga requiere de la implantación de la circuitería presentada como diagrama de bloques en la fig. 2.1

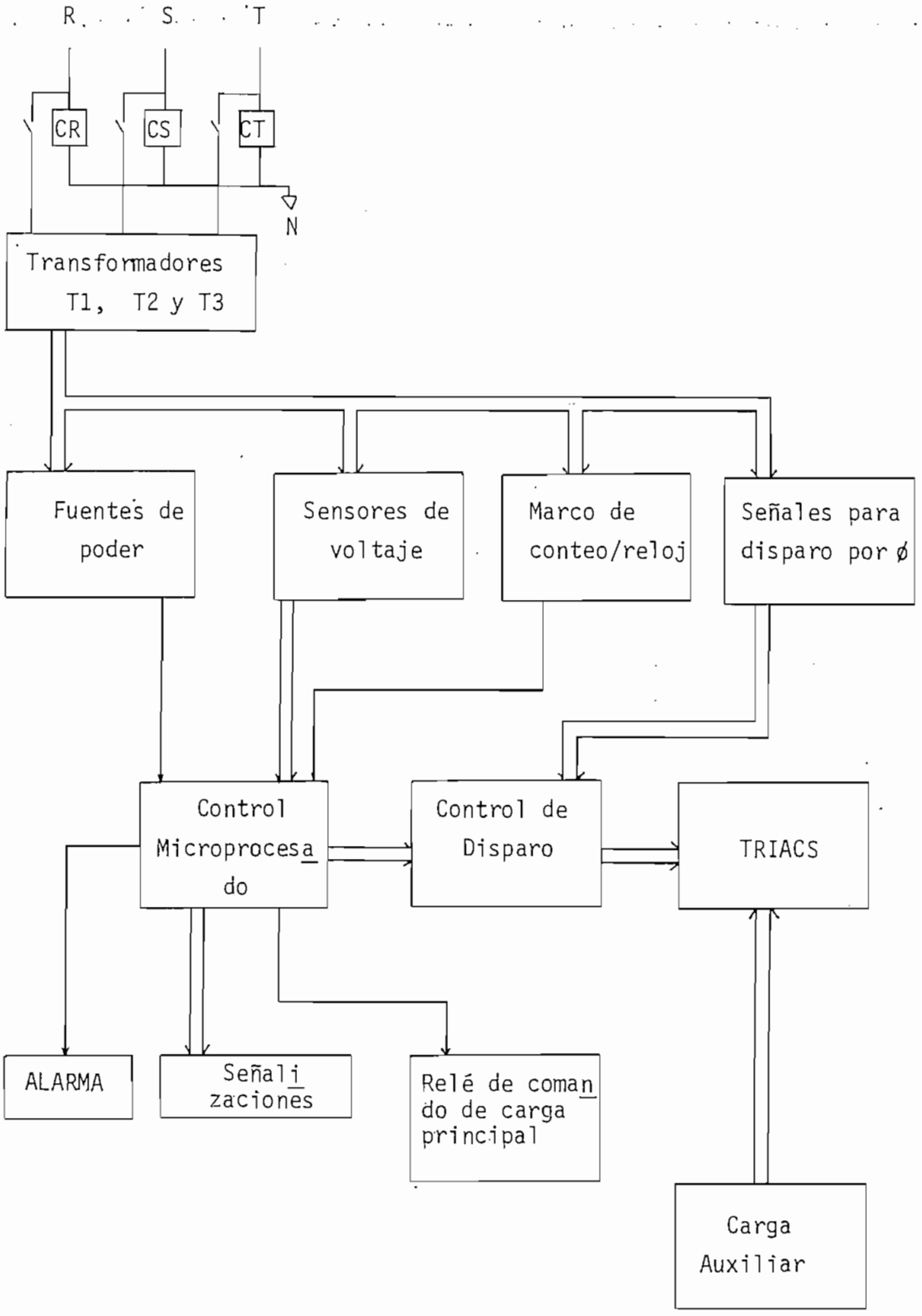


FIGURA 2.1

FACULTAD DE INGENIERIA ELECTRICA
BIBLIOTECA
2893
E.P.N.

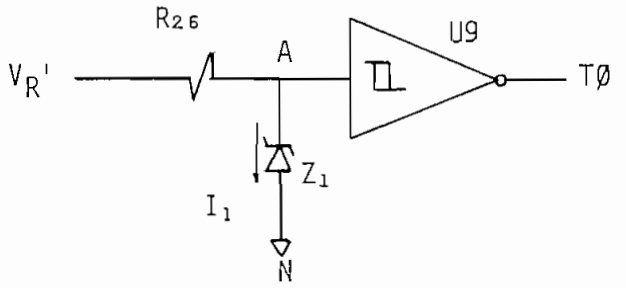
2.3 CIRCUITOS DE PROTECCION

Se implementan en el control los circuitos necesarios para el control y protección de frecuencia y voltaje; con referencia al diagrama de bloques en la figura 2.1 estos circuitos corresponden a los sensores de voltaje y marco de conteo/reloj.

2.3.1 MARCO DE CONTEO/RELOJ

La determinación de la frecuencia de operación por parte del microprocesador requiere de la implementación mediante circuitería tanto del marco como de la frecuencia de conteo o reloj.

El marco de conteo consiste en una señal rectangular cuyo período está directamente asociado con el de generación; utilizamos el circuito de la figura 2.2.



V_R' = 127 VAC (rectificados en media onda)

FIGURA 2.2

Puesto que U9 debe trabajar polarizado con fuente de +5VDC necesitamos que el voltaje del zener Vz1 sea inferior a 5V, escogemos el zener 1N4732, por tener Vz1 = 4,7V; Pz1 = 1W.

Para obtener en A una pendiente lo más aproximada a VR' necesitamos incrementar I1; la desventaja es que al disminuir R_{26} la potencia disipada por esta resistencia crece demasiado, si calculamos R_{26} para que I1 sea de 20 mA tenemos:

$$R_{26} = \frac{127v - 4.7v}{20mA} = 6.1\ K\Omega$$

Pero este valor de R_{26} necesitaría disipar 1,3 w, por esto elijo R_{26} = 4.7 KΩ

$$P_{DR_{26}} = \frac{[1,05(127)]^2}{2(4.700)}\ (W) = 1,89\ W$$

$$I_1 = \frac{(127 - 4.7)\ v}{4.7} = 26\ mA$$

$$\therefore\ R_{26} = 4.7\ K\Omega/2W$$

La señal obtenida en el punto A la cuadramos mediante un disparador de Schmitt y tenemos la señal TO para el microprocesador; las variaciones de frecuencia se reflejarán en el período de TO que constituye el marco de conteo para determinar la frecuencia del generador. Como U_9 escogemos el integrado CD40106, constituído por inversores que contienen disparadores de Schmitt.

La señal para T1 que incrementará el contador de eventos la obtenemos con ayuda del microprocesador, aprovechando la señal ALE que genera. Puesto que el reloj para el temporizador puede ser máximo la frecuen

cia de ALE dividida por tres realizamos esta división externamente mediante el circuito integrado SN7490, como se indica en la fig. 2.3.

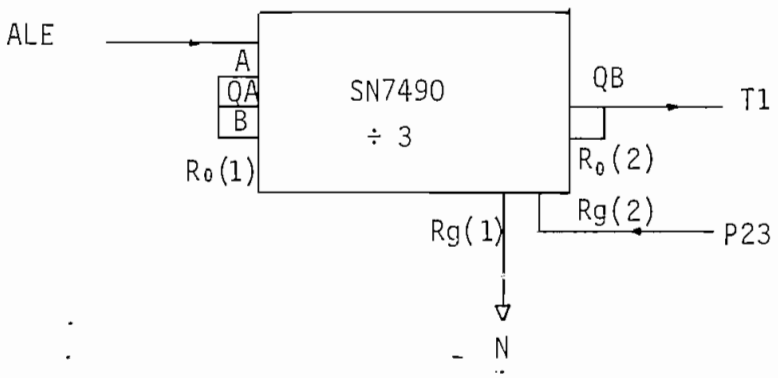


FIGURA 2.3

$$\therefore \quad f_{T_1} = \frac{f_{ALE}}{3}$$

La entrada de reset $R_g(2)$ es comandada por el microprocesador; esto permite sincronizar el estado 1L de TO con el inicio de operación del contador.

2.3.2 SENSORES DE VOLTAJE

Obtenemos un nivel de señal DC correspondiente a la magnitud de voltaje AC en cada una de las fases; este nivel de señal continua lo comparamos con un nivel de referencia para conocer si el voltaje está dentro del rango especificado: 127 VAC ± 5%. Llevamos 2 señales al microprocesador que le indicará si la condición de operación es normal o si existe falla de voltaje.

Para la obtención del nivel de señal DC correspondiente al voltaje de cada fase utilizamos el circuito de la fig. 2.4.

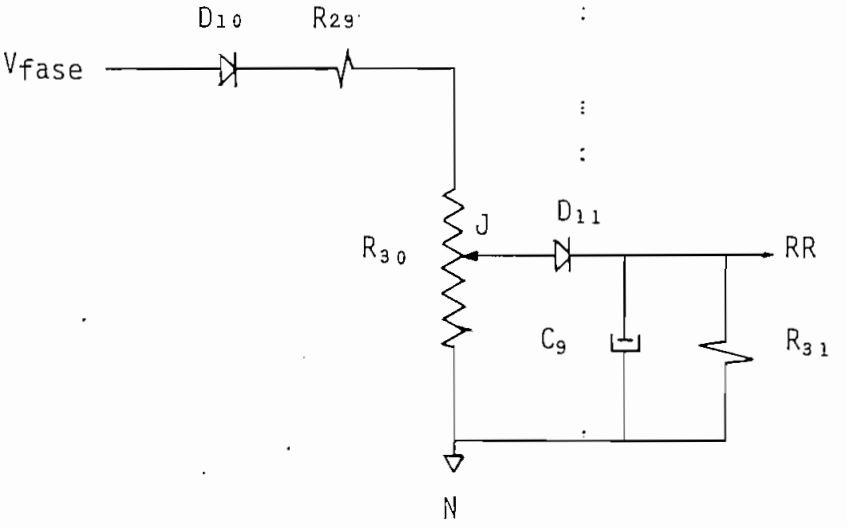


FIGURA 2.4

Puesto que la fuente con que trabajamos es de 12 VDC, RR debe ser menor a 12 VDC con Vfase máximo. Escogemos Vdc en RR = 10 voltios si Vfase = 127 VAC. Para evitar que cambios de voltaje demasiado rápidos sean detectados como fallas se agrega el circuito formado por C_9 y R31 como RR = 10 VDC con Vfase = 127 VAC, para que se detecte falla este voltaje deberá subir o bajar a cierto nivel, (9,5 VDC con Vfase = 121 VAC). Si elegimos que una variación de -0,5 VDC se produzca en 1 segundo tenemos:

$$9.5 = 10\, e^{-\frac{1}{R_{31}C_9}}$$

$$\Rightarrow R_{31}C_9 = 20$$

La elección de R_{31} y C_9 está condicionada por la relación anterior y por la disponibilidad de elementos; con C_9 = 40 µF:

$$R_{31} = \frac{20}{40 \times 10^{-6}}\ \Omega = 5 \times 10^5\ \Omega$$

$$\therefore \quad R_{31} = 500 K\Omega$$

Para que el incremento en el voltaje de referencia RR no sea brusco al aumentar el voltaje de fase, debo elegir R_{29} alta; la relación entre R_{29} y R_{30} debe permitir la calibración de RR en 10 VDC con Vfase = 127 VAC, experimentalmente se observó que para que en RR se tengan 10 VDC, en J se requiere aproximadamente de 12 voltios pico rectificados en media onda; por tanto:

$$12 = \frac{127\sqrt{2} \times R_{30_{MIN}}}{R_{30_{MIN}} + R_{29}}$$

$$R_{29} = 14\ R_{30_{MIN}}$$

Elijo R_{29} = 360 KΩ ; por tanto $R_{30_{MIN}}$ = 25.7 KΩ.

Por disponibilidad: R_{30} = 50 KΩ

A lo largo de todo el diseño los diodos utilizados son 1N4005; de 1A, 600 V. Si bien no se requieren las características de este diodo, el diseño en general se orienta hacia la utilización de elementos dispo-

nibles.

$$D_{10} = D_{11} = 1N4005$$

Las fases R, S, T son tratadas de igual manera obteniéndose los niveles de referencia RR, RS, RT respectivamente.

El sistema de comparación para la determinación de sobre y bajo voltaje es el siguiente:

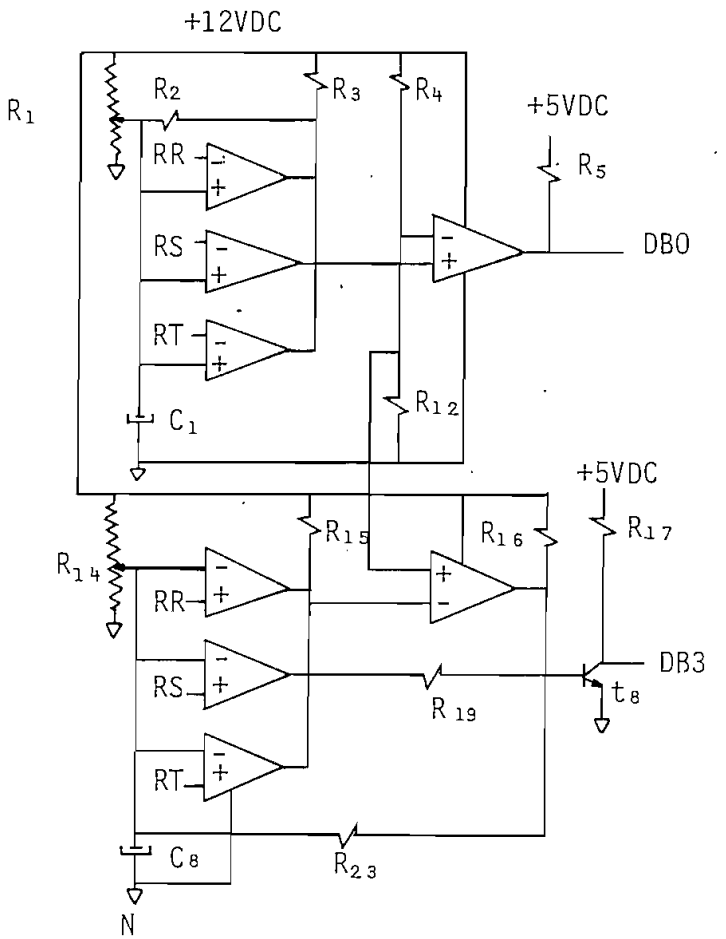


FIGURA 2.5

Utilizamos el comparador LM339, R_1 y R_{14} permiten calibrar el nivel de referencia; R_2 y R_{23} determinan la histéresis de los comparadores y en DBO y DB3 se tienen las señales de control para el microprocesador; si estas dos entradas permanecen en OL las condiciones de operación son normales en tanto que 1L indica falla de voltaje sea por alto o bajo dependiendo de DBO o DB3.

Recordemos que en RR, RS, RT se tienen los siguientes voltajes DC, dependiendo del valor de voltaje de fase:

VAC	VDC en RR, RS y RT
121 V	9.5 V
127 V	10 V
133 V	10.5 V

Fijamos 3% como histéresis para los sistemas de comparación; esto significa un cambio de 0.3 voltios en la referencia común de los comparadores. Para la determinación de los valores de los elementos de la figura 2.5 analicemos el siguiente circuito:

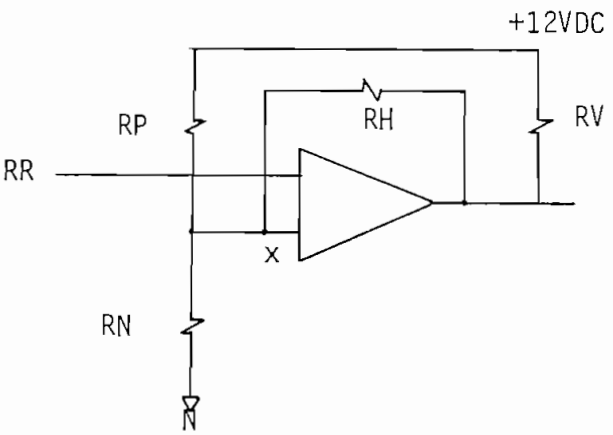


FIGURA 2.6

Los potenciómetros R_1 y R_{14} de la figura 2.5 se escogen con un valor de 50 K; por consumo de corriente y disponibilidad.

En la figura 2.6, RP + RN representa el valor de los potenciómetros antes mencionados; entonces:

$$RP + RN = 50\ K \qquad (1)$$

Para sobrevoltaje:

Sin realimentación

$$Vx = \frac{12 \times T}{T + Rp}$$

donde $T = R_N \parallel R_H$

$$10.2 = \frac{12\ T}{T+Rp}$$

$$T = 5.7\ Rp$$

$$\Rightarrow \quad \frac{R_N \times R_H}{R_N + R_H} = 5.7\ Rp \qquad (2)$$

Con realimentación

$$Vx = 10.5 = \frac{12\ R_N}{RN + Q}$$

donde $Q = Rp \parallel (R_H + R_V)$

$$R_N = 7\ Q$$

$$R_N = \frac{7\ Rp\ (R_H + R_V)}{R_p + R_H + R_V}$$

Escojo $R_V = 12\ K$

$$R_N = \frac{7\ R_p(R_H + 12)}{R_p + R_H + 12} \qquad (3)$$

Resolviendo el sistema de ecuaciones formado por 1, 2 y 3 tenemos

$$R_N \cong 43.6$$

$$R_p \cong 6.4$$

$$R_H \cong 216\ K$$

Escojo $R_H = 200\ K\Omega$

Para bajo voltaje:

Sin realimentación

$$Vx = 9.5 = \frac{12 \cdot R_{NH}}{Rp+R_{NH}}$$

Donde $R_{NH} = R_N \parallel R_H$

$$\frac{R_N \; R_H}{R_N + R_H} = 3.8 \; Rp \qquad (4)$$

Con realimentación:

$$Vx = 9.8 = \frac{12 \; R_N}{R_N + R_p \; // \; Z} \qquad Z = R_V + R_H$$

Con $R_V = 12K$ $\quad \therefore \quad R_N = \dfrac{4.45 \; R_p \; (12 + R_H)}{R_p + 12 + R_H}$ (5)

Resolviendo el sistema de ecuaciones formado por 1, 4 y 5 tenemos

$$R_N \cong 40.6 \; K$$

$$R_p \cong 9.4 \; K$$

$$R_H \cong 297.2 \; K$$

Escojo $\qquad R_H = 270 \; K\Omega$

Con referencia a la nomenclatura del circuito de la figura 2.5 tenemos:

$R_1 = 50$ K

$R_{14} = 50$ K

$R_2 = 200$ K

$R_3 = 12$ K

$R_{23} = 270$ K

$R_{16} = 12$ K

R_4 y R_{12} forman un divisor de tensión para referencia de U1C y U7B, para U7B este divisor debe ser inferior al formado por R_{15} y R_{19}.

Para R_{15} y R_{19} hacemos un divisor por 2; entonces $R_{15} = R_{19}$. Y para R_4 y R_{12} un divisor por 7, entonces $R_4 = 6R_{12}$.

Escojo $R_{12} = 12\ K\Omega$

$R_4 = 68\ K\Omega$

$$R_{15} + R_{19} = \frac{12\ V}{I_B t_8} = \frac{12V}{\frac{I_C}{\beta\sigma}} = \frac{12V}{\frac{5mA}{50}} = 120\ K$$

- Además $R_{15} = R_{19}$; para dejar cierta holgura escogemos:

$R_{15} = 39\ K$

$R_{19} = 39\ K$

Además, $R_5 = R_{17} = 68\ K$

- Los condensadores C_1 y C_8 permiten calibrar de mejor manera los potenciómetros R_1 y R_{14} dando cierta inercia a dicha calibración; escogemos como valor para estos condensadores 33 µF.

2.4 ETAPA DE POTENCIA

Con referencia al diagrama de bloques de la Fig. 2.1, la etapa de potencia abarca los siguientes bloques: señales para disparo por 0, control de disparo y triacs.

2.4.1 TRIACS

La potencia total del generador es de 50 Kw; por tanto la potencia generada por fase es 50/3 Kw.

$$I_{fase} = \frac{50 \times 10^3 \text{ W}}{3 \times 127 \text{ V}} = 131 \text{ A}$$

La corriente por las cargas auxiliares será:

I1	=	8,7 A
I2	=	17,5 A
I4	=	35,0 A
I4+4	=	70,0 A
I_{fase}	=	131 A

Las cargas auxiliares son conectadas a la línea mediante triacs; se requieren por tanto cuatro tipos de triacs. Considerando problemas de montaje, conexiones equivocadas de carga y mantenimiento, elegimos un solo tipo de triac para todas las cargas: el # 2N5444, cuya capacidad de corriente es de 40A, y opera en la línea de 120 VAC, para mayor información véase el Anexo D.

- Cálculo de disipadores:

Para el triac que controla la carga 2 tenemos:

$$I_2 = 17.5 \text{ A}$$

Del manual $P_{DMAX} = 15\ W$

Máxima temperatura de case permisible $T_{CMAX} = 98°C.$

La resistencia térmica entre case y el ambiente requerida θ_{CA} es:

$$\theta_{CA} = \frac{T_C - T_A}{P_D}$$

T_C = Temperatura de case

T_A = Temperatura de ambiente

Con $T_C = 0.75(98°C)$

$$\theta C_A = \frac{(73,5 - 40°C)}{15\ W}$$

$$\theta_{CA} = 2,23\ °C/W$$

$$\theta_{CA} = \theta_{CD} + \theta_{DA}$$

θ_{CD} = Resistencia térmica entre case y disipador

θ_{DA} = Resistencia térmica entre disipador y ambiente

$\therefore\ \theta_{DArequerido} = 2,23 - 0,6 = 1,63\ °C/W$

$$\theta_{DA} = \frac{1}{2H^2\ \eta\ (hc + hr)}\ °C/W$$

H = Lado de disipador cuadrado (pulgadas)

η = factor de eficiencia

hc = coeficiente de transferencia de calor por convección

hr = coeficiente de transferencia de calor por radiación

$$hc = 2{,}21 \times 10^{-3} \left(\frac{TD-TA}{H} \right)^{1/4} \quad \frac{W}{pulg^2\,°C}$$

$$hr = 1{,}47 \times 10^{-10}\, E\left(\frac{TD+TA}{2} + 273 \right) \frac{W}{pulg^2\ °C}$$

TD = temperatura del disipador (°C)

E = factor emisivo del disipador

E = 0.8 para aluminio anodizado negro

Con H = 7 pulgadas

$$h_c = 2{,}21 \times 10^{-3} \left(\frac{73{,}5 - 40}{7} \right)^{1/4} = 3{,}27 \times 10^{-3} \quad \frac{W}{pulg^2\ °C}$$

$$h_r = 1{,}47 \times 10^{-10} \times 0{,}8 \left(\frac{659.5}{2} \right)^3 = 4{,}22 \times 10^{-3} \quad \frac{W}{pulg^2\ °C}$$

Utilizando aluminio de espesor 3 mm, el factor de eficiencia (véase Anexo D) es $\eta = 0.81$

Por tanto $$\theta_{DA} = \frac{1}{2(7)^2 \,.\, 0{,}81 \,.\, (7{,}49 \times 10^{-3})} \ °C/W$$

$$\theta_{DA} = 1,68$$

Esto nos indica que para el triac que comanda la carga 2 se necesitará un disipador de forma cuadrada de aproximadamente 7 pulgadas de lado; en todo caso para los triacs que gobiernan las cargas 4 y 4 + 4 los disipadores serán excesivamente grandes, por lo que recurro a la ventilación por aire forzado, los disipadores para los triacs se construyen de aluminio anodizado negro, su forma y dimensiones se ilustran en la Fig. 2.7

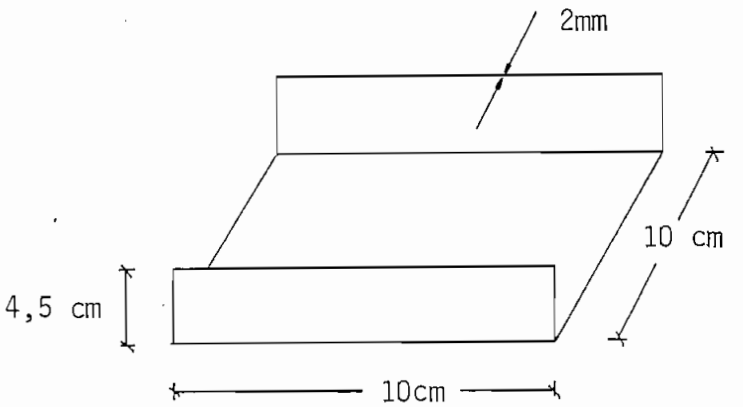


FIGURA 2.7

Para una adecuada ventilación se utilizan 2 ventiladores de 50 LPS. Para la conexión de las compuertas de los triacs se utiliza alambre AWG # 16, 105°C; para los terminales MT1 y MT2 de todos los triacs se utiliza alambre AWG # 10, 105°C, pues su capacidad es de 40A que no es inferior a la corriente de la carga 4.

Los terminales utilizados para la conexión hacia las cargas auxiliares son 3P x 40 A y para la conexión de las compuertas hacia la etapa de control se utiliza 3P x 15A.

Como puede observarse en la Figura 2.1, la alimentación general del circuito proviene de los relés CR, CS y CT, esto permite evitar comportamiento erróneos del sistema de control debido a la forma de incrementarse el voltaje de generación en el proceso de arranque.

Escojo los relés RH1B 110V/7 A, 1 polo

2.4.2 CONTROL DE DISPARO

Cumple dos misiones:

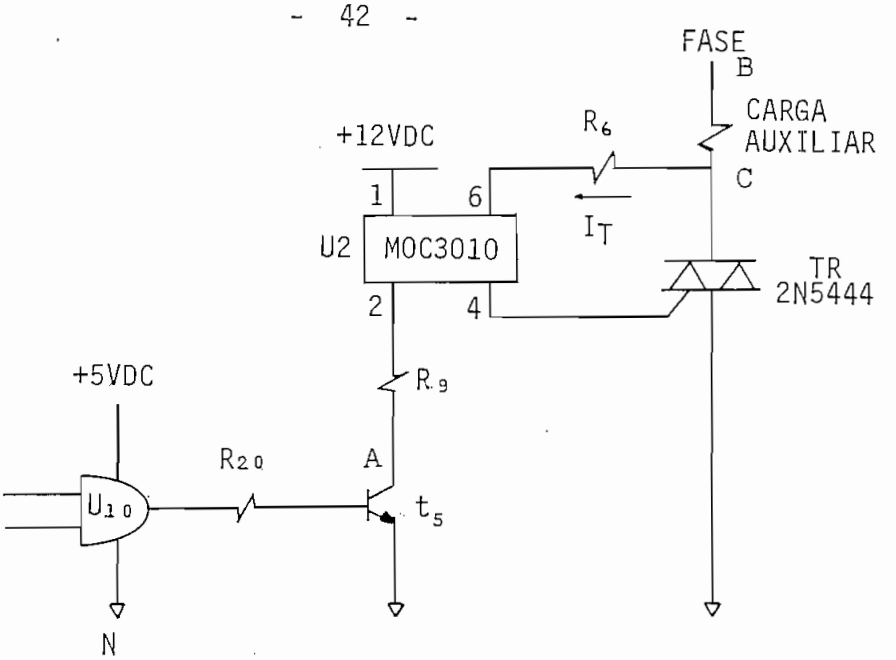
- Proveer a los triacs de la señal de disparo en el cruce por cero.

- Aislar las etapas de control y de potencia.

Para satisfacer estas demandas utilizamos el circuito intregrado MOC 3010 descrito a continuación:

Es un integrado especialmente diseñado para manejar triacs que controlan cargas en la línea de 120V. Consiste en un emisor infrarrojo de Arseniuro de Galio y en un detector que puede interpretarse como un pequeño triac que genera la señal adecuada para manejar el triac de potencia; provee por tanto completa aislación entre la etapa de control y la de potencia.

El circuito utilizado se describe en la Fig. 2.8



U_{10} = CD4081

FIGURA 2.8

Como transistor t5 escogemos el # 2N2222, no sólo para este caso sino que de igual manera que los diodos 1N4005, nos servirá también para todos los otros circuitos en los que se utilice transistor; la elección de este transistor radica en sus características descritas en el Anexo D así como en la premisa de disponibilidad.

$$R_9 = \frac{12V - V_{12} - V_{CESAT}}{I_{DISPARO}} = \frac{(12 - 1.3 - 0.2)}{15\ mA} = 700\ \Omega$$

con $R_9 = 680\ \Omega$: $\quad I_{DISPARO} = \dfrac{(12 - 1.3 - 0.2)\ V}{.68\ K} = 15.44\ mA$

$$R_{20} = \frac{V_{OH} - V_{BESAT}}{I_B} = \frac{(5 - 0.65)\ V}{\frac{15.44\ mA}{50}} = 14{,}09\ K\Omega$$

Escojo $\qquad R_{20} = 12\ K\Omega$

Para comandar la carga 4 + 4 se requiere manejar 2 transistores con el mismo circuito de la Figura 2.8.

$$R_{6MIN} = \frac{V_{in}(pk)}{I_{TMAX}} = \frac{127.1{,}05\ \sqrt{2}\ V}{1{,}2\ A} = 157\ \Omega \quad \text{Escojo } R_6 = 180\Omega$$

2.4.3 SEÑALES PARA DISPARO POR CERO

Consisten en pulsos que indican el instante de cruce por cero; su obtención se realiza mediante el circuito de la Fig. 2.9.

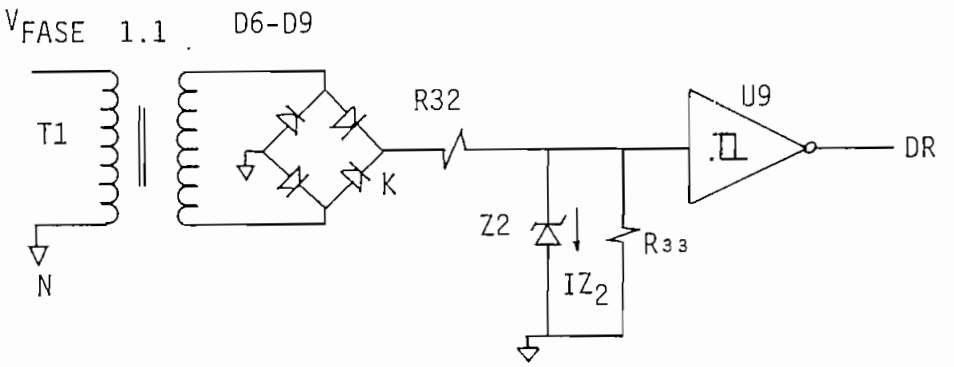


FIGURA 2.9

De igual manera que en 2.3.1, utilizo el zener 1N4732, como I_{ZK} = 1 mA, hacemos I_{Z2} = 2 mA.

$$\Rightarrow R_{32} = \frac{(127 - 47)\ V}{2\ mA} \approx 61.2\ K\Omega; \text{ se elije por tanto}$$

$$R_{32} = 68\ K\Omega$$

Para forzar el cruce por cero en la entrada de U9, necesitamos de R_{33}. Con R_{33} = 12 KΩ cumplimos este objetivo.

Utilizando una parte del disparador de Schmitt CD40106 obtenemos:

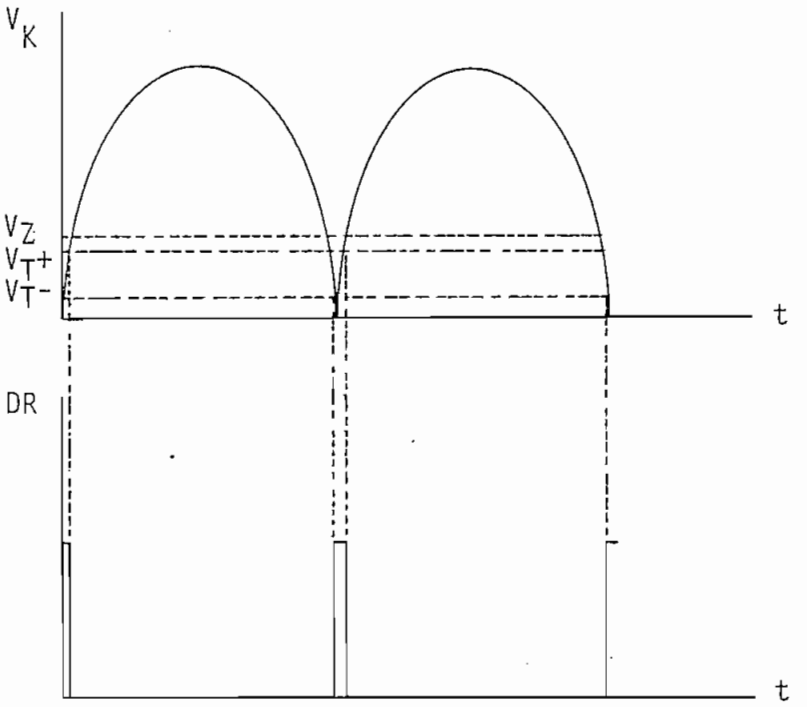


FIGURA 2.10

Esta señal debe disparar el triac si el microprocesador así lo ordena; entonces:

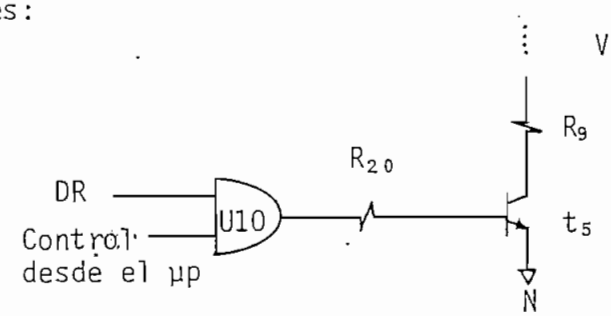


FIGURA 2.11

2.5 ALARMAS Y SEÑALIZACIONES

El regulador dispone de señalizaciones de sobre y bajo voltaje, sobre y baja frecuencia, sobrecarga y cargas auxiliares activadas. La alarma se activa en casos críticos como son sobrecarga, sobrefrecuencia y pérdida de la fase de referencia, se utiliza el puerto 1 del microprocesador para manejar estas señales mediante el siguiente circuito.

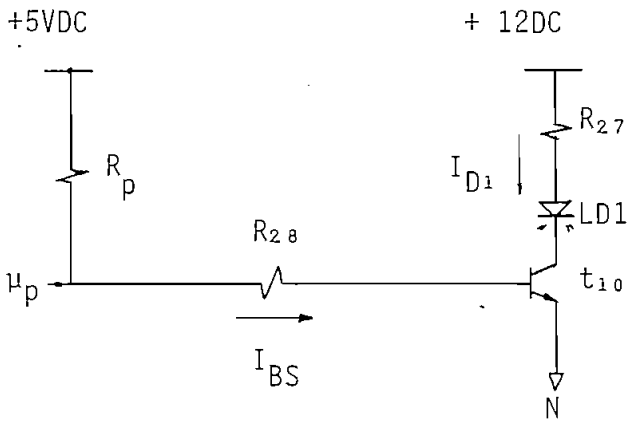


FIGURA 2.12

La señal proveniente del microprocesador satura t10 mediante R_{28} con lo que LD1 se prende.

Con $R_{27} = 820\ \Omega$ $\qquad I_{D1} = \dfrac{(12 - 1{,}5 - 0{,}2)\ V}{820\ \Omega} \times 1000\ (mA)$

$$I_{D1} = 12,6\ mA$$

$t_{10} = 2N2222$

Con lo que se obtiene una emisión luminosa adecuada del led.

Con $hf_{E\sigma} = 50$ $\quad I_{BS} = \frac{12.6\ mA}{50} = 0.252\ mA$

$$R_{2B} = \frac{V_{OHMIN} - V_{BE}}{I_{BS}}$$

$$R_{2B} = \frac{(24 - 0{,}65)\ V}{0.28\ mA}\ (K\Omega) = 6.9\ K$$

Escogemos $\quad R_{2B} = 5K\Omega$

Debido a que la corriente que pueden suministrar las salidas del microprocesador es pequeña, utilizo resistencias de PULL-UP de 4.7 KΩ; por tanto Rp = 4.7 KΩ.

El microprocesador al detectar cualquier tipo de falla desconecta la carga principal, da la señalización correspondiente y alarma en los casos mencionados; cuando las condiciones de operación vuelven a la normalidad se retira la señalización y alarma activadas.

Para el circuito de alarma utilizamos una sirena SONALERT 12 V, 90 mA, pero para dejar la opción de recurrir a otro tipo de sirena se implementa el circuito así:

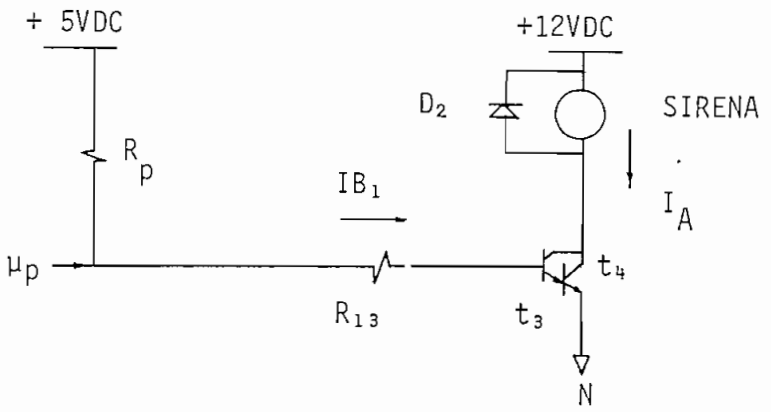


FIGURA 2.13

Con t_3 = 2N4400 $h_{FE\sigma}$ = 50

t_4 = C1061 $h_{FE^{\sigma}}$ = 20

R_{13} = 4,7 KΩ

$$I_{B1} = \frac{(2.4 - 1.3)V}{47\ K\Omega} = 0,23\ mA$$

$$\therefore \quad I_{AMAX} = 0,23\ mA : 50..20 = 230\ mA$$

De igual manera que en el subcapítulo 2,5, se utiliza resistencia de pull-up para la salida del microprocesador, Rp = 4,7 KΩ.

El regulador cuenta además con señalización de las cargas auxiliares activadas mediante leds con manejo similar a los de fallas. Para las líneas del microprocesador que comandan los transistores de manejo de las fallas, utilizo resistencias de pull-up de 4,7 KΩ, excepto para la que comanda la carga 4 + 4, donde la resistencia pull-up es de 2,2 KΩ.

2.6 CONTROL MICROPROCESADO

Como se observa en la figura 2.1 este bloque constituye la parte central de control del regulador de carga, a continuación se representan los elementos utilizados en este bloque.

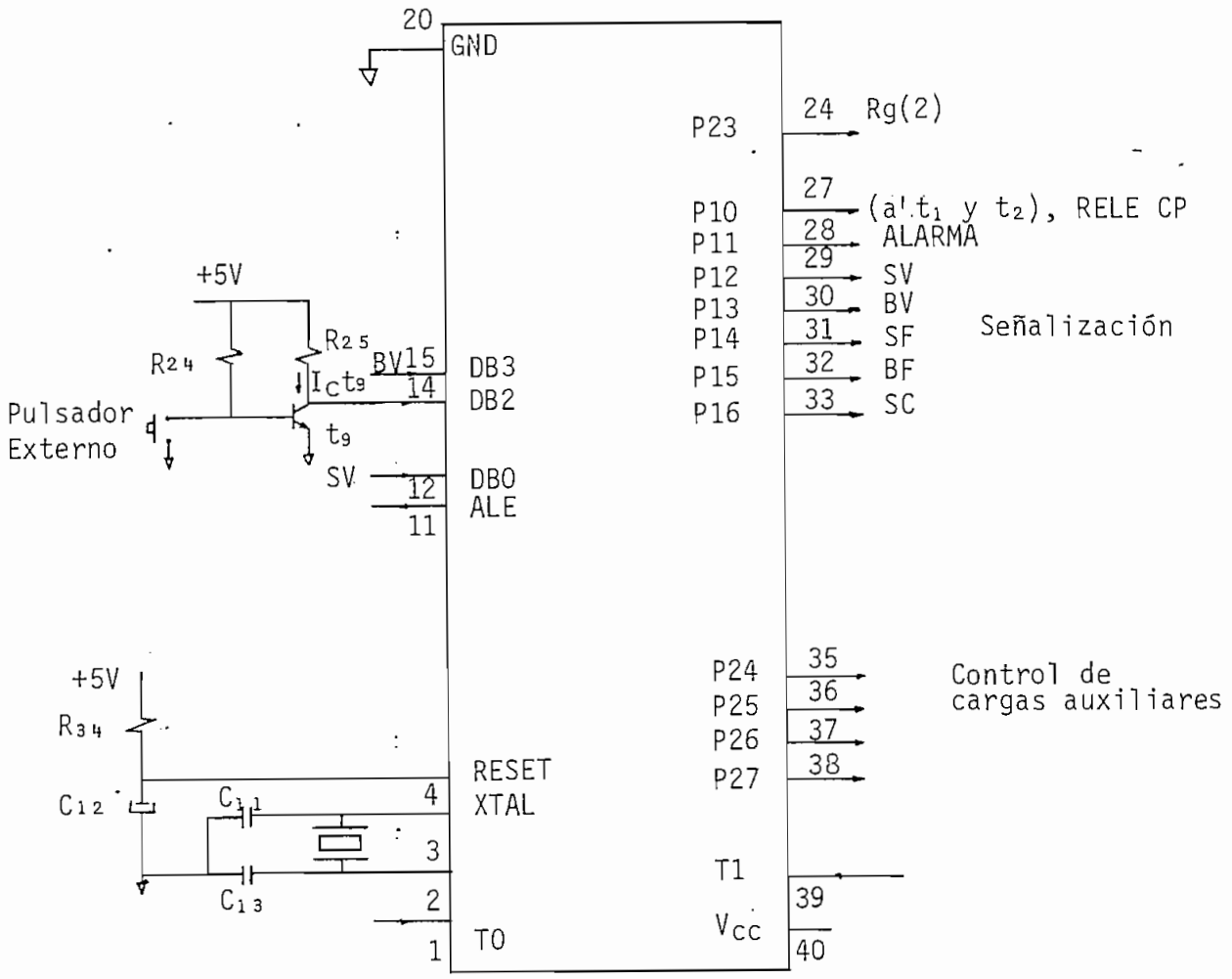


FIG. 2.14

Calculemos la mínima frecuencia de cristal requerida:

$$f_{ALE} = \frac{f_{XTAL}}{15}$$

$$f_{T1} = \frac{f_{XTAL}}{45}$$

$$T_{T1(\mu seg)} = \frac{45}{f_{XTAL(MHz)}}$$

Variaciones de 1/10 de Hertz significan:

$$60 \text{ ciclos} \rightarrow \frac{T}{2} = 8.333 \text{ mseg}$$

$$60.1 \text{ ciclos} \rightarrow \frac{T}{2} = 8.320 \text{ mseg}$$

Para asegurar que exista diferencia de conteo al variar la frecuencia 1/10 Hz tenemos:

$$\frac{8333\ f_{XTAL_{MIN}}(MHz)}{45} = \frac{8320\ f_{XTAL_{MIN}}(MHz)}{45} + 1$$

$$13\ f_{XTAL_{MIN}}(MHz) = 45$$

$$f_{XTAL_{MIN}}(MHz) = 3.46$$

Escojo $f_{XTAL} = 3.579$ MHz.

$C_{11} = C_{13} = 20$ pF por recomendación del fabricante.

- C_{12} y R_{34} determinan el Reset para el microprocesador; C_{12} R_{34} tiene que ser una constante baja para obtener carga rápida de C_{12}; con C_{12} = 4.7 µF y R_{34} = 5 KΩ tenemos $C_{12}.R_{34} = 2{,}35 \times 10^{-2}$ seg.

- R_{24} y R_{25} polarizan t_9, posibilitan que $DB_2 = 0_L$ cuando se presiona el pulsador externo. Calculo R_{24} para saturar t_9 con $I_C t_9$ = 10 mA.

$$R_{24} = \frac{(V_{CC}-V_{BE})\ V\ hfe \times \sigma}{I_C t_9} = \frac{(5-0.65)50}{10} = 21.7K$$

$\therefore$ Escojo R_{24} = 12 K

R_{25} = 12 K

- t_1 y t_2 manejan el relé de comando para la carga principal; el circuito se diseña de idéntica manera al calculado para el manejo de la alarma (Fig. 2.13). Se utiliza el relé RH1B 12V, 7A, 1 polo.

2.7 FUENTES DE PODER

La circuitería implementada requiere para su funcionamiento de dos valores DC: 12 y 5 voltios; la fuente a diseñarse debe tener además la capacidad de operar con una sola fase.

El circuito utilizado es:

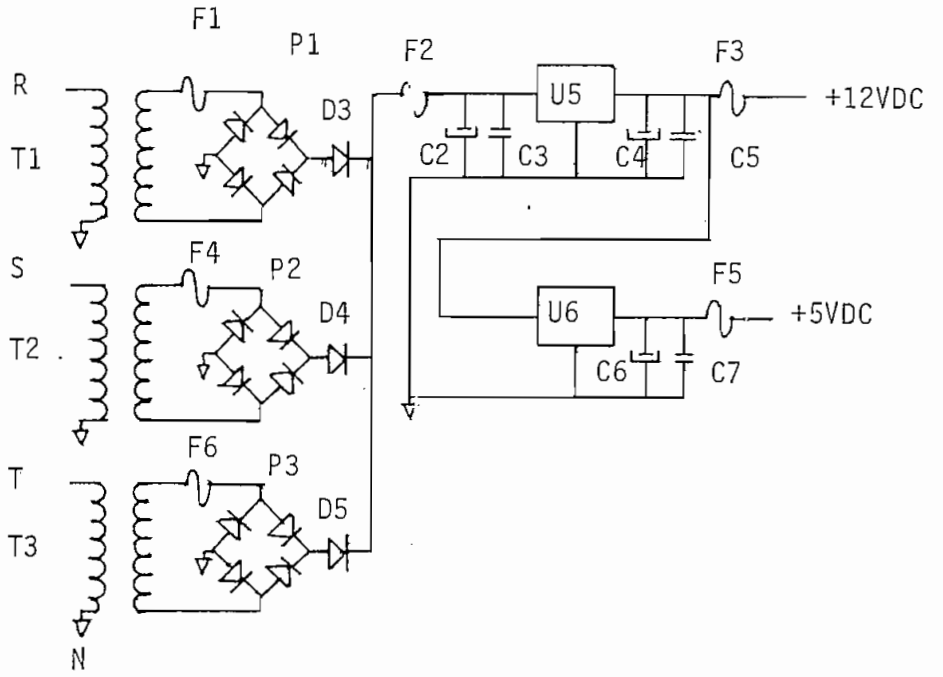


FIGURA 2.15

Puesto que se calcula que el consumo de las fuentes tanto de 12 como de 5 voltios está en el orden de las centenas de miliamperios, escogemos los reguladores LM340-12 y LM340-5 para el diseño de las fuentes , estos reguladores tienen 1A de capacidad y su tolerancia es inferior a la máxima variación permitida por los elementos utilizados.

Por recomendaciones del manual se seleccionan los siguientes condensadores:

$C_3 = 0.22\ \mu F$

$C_4 = 470\ \mu F$

$C_5 = 0.1\ \mu F$

$C_6 = 470\ \mu F$

$C_7 = 0.1\ \mu F$

La elección de C_2 debe realizarse tomando en cuenta que los voltajes de fuente deben operar aún con una sola fase, en tal caso se tiene en A el voltaje de secundario de uno de los transformadores rectificado en onda completa.

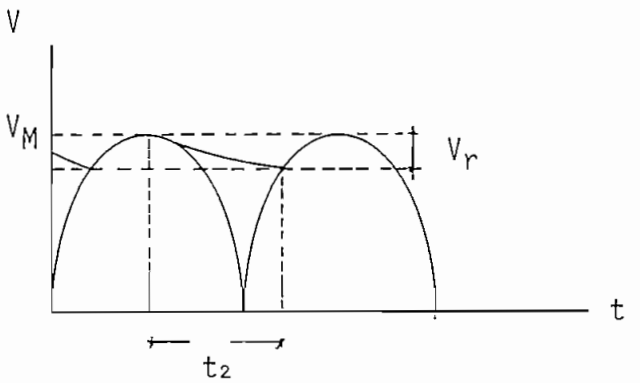


FIGURA 2.16

El voltaje mínimo de entrada requerido por el regulador de 12 voltios es 14.5 voltios; => $V_M - V_r = 14.5\ V$ (1)

t_2 = tiempo de descarga de C_2; con corriente de carga I_c; en t_2 pierde por tanto la carga $I_c t_2$; el cambio en voltaje en C_2 es entonces:

$$V_r = \frac{I_{dc}\ t_2}{C_2}$$

aproximando $t_2 = \frac{T}{2} = \frac{1}{2f}$ y con $I_c = 600$ mA en (1) tenemos:

$$15\sqrt{2} - \frac{0.6}{2f\ C_{2MIN}} = 14.5\ V$$

$$\Rightarrow\ C_{2MIN} = 745\ \mu F$$

Escojo $C_2 = 1000\ \mu F$

$D_3 = D_4 = D_5 = 1N4005$

La elección de P_1, P_2, P_3 debe realizarse también tomando en cuenta la operación con 1 sola fase; elijo el rectificador tipo puente TCG 166, 2 A/100V.

De acuerdo a los consumos registrados se eligen los siguientes fusibles

F1 = 2A

F2 = 2A

F3 = 1A

F4 = 2A

F5 = 0,5 A

F6 = 2A

Para determinar si es necesario la utilización de disipadores para los reguladores de 12 y 5 voltios DC, calculemos la resistencia térmica entre la juntura y el ambiente requerido:

Los datos del manual son: $\theta JC = 4°C/W$

$\theta JA = 50°C/W$

$TJ_{MAX} = 150°C$

Para el regulador de 5V:

$$P_{DMAX} = (V_{IN}-V_{OUT})\ I_{MAX}$$

$$= (12 - 5)V(0.3\ A) = 2.1\ W$$

$$\theta_{JA} = \frac{T_J-T_A}{P_{DMAX}} = \frac{(150 - 40)°C}{2,1\ W} = 52,38°C/W$$

Puesto que el dato del manual es $\theta_{JA} = 50°C/W$, no se necesita disipador.

Para el regulador de 12V:

$$P_{DMAX} = (V_{IN}-V_{OUT})\ I_{MAX}$$

$$= (16-12)V(0.5\ A) = 2\ W$$

$$\theta_{JA} = \frac{T_J-T_A}{P_{DMAX}} = \frac{(150-40)°C}{2W} = 56°C/W$$

Por lo tanto tampoco se necesita disipador; sin embargo, utilizo para los dos reguladores un solo disipador de la forma y dimensión ilustrada en la Figura 2.17

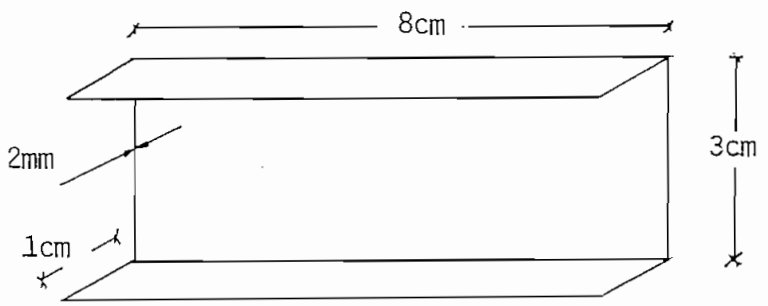


FIGURA 2.17

Los transformadores T1, T2 y T3 se utilizan también para obtener los pulsos de cruce por cero (Fig. 2.9); tienen por tanto doble bobinado en el secundario y sus características son:

V_{in} = 127 VAC

V_{out} 1 = 127 VAC, 150 mA

V_{out} 2 = 15 VAC, 500 mA

Con los circuitos diseñados se consigue que el sistema cumpla con las especificaciones expuestas en el Subcapítulo 2.1

C A P I T U L O I I I

DISEÑO DEL PROGRAMA

3.1 ESTRUCTURA GENERAL

El inicio del proceso a controlar consiste en el arranque del generador; por tanto la frecuencia alcanza los 60 Hz luego de un tiempo que depende del generador, turbina y de la forma como se incremente el caudal; no se deberá aplicar ninguna carga mientras el generador no alcance un estado estable.

Una vez conectado el regulador tanto al generador como a los bancos de cargas auxiliares, el control espera que la frecuencia alcance los 59 Hz y a partir de entonces se aplica paulatinamente la carga auxiliar hasta aplicar carga total a 60 Hz; esta tabla de activación recibe el nombre de TABLA 3.1; se controla entonces la generación mediante la carga fantasma durante un tiempo determinado en el que se chequean permanentemente las adecuadas condiciones de operación. Puesto que es un requisito para el control que los bancos de cargas auxiliares estén convenientemente dimensionados se procede a averiguar si se ha aplicado la carga total; de no ser así el control ordena la activación total de la carga auxiliar verificando que no se produzcan fallas.

Cuando esta primera etapa de control ha terminado se procede a la activación del relé que habilita la conexión de la carga principal, (que se realiza mediante el accionamiento de un pulsador externo) al efectuarse dicha conexión se prevee un tiempo de reacción para el genera

dor durante el cual no se detectarán fallas y se realizarán los ajustes necesarios en la carga auxiliar tendientes a estabilizar la frecuencia en los 60 Hz, de no existir falla después de este procedimiento el control pasa a efectuarse mediante la TABLA 3.2, cualquier condición de falla causa la desconexión de la carga principal, la señalización respectiva y el retorno al control mediante la TABLA 3.1.

Se distinguen entonces en el procedimiento de control las siguientes etapas:

- Arranque del generador.
- Activación de cargas auxiliares a partir de los 59 Hz mediante la TABLA 3.1.
- Chequeo de operación con carga auxiliar total.
- Conexión de la carga principal.
- Tiempo de reacción para el generador y lazo de ajuste de cargas mediante la TABLA 3.2; tabla que indica las cargas auxiliares a activarse en función de la frecuencia obtenida.
- Detección de fallas.
- Lazo de control con la TABLA 3.2.

El control del proceso requiere permanentemente del conocimiento de la frecuencia de operación, del chequeo de las fallas posibles, y del ajuste en las cargas auxiliares, por esta razón son necesarias las siguientes subrutinas:

- Subrutina de conteo: encargada de suministrar la información requerida de la frecuencia de operación.

- Subrutinas
  - de falla de voltaje
  - de falla por sobrecarga
  - de falla de frecuencia

- Subrutina de conversión: se encarga de conformar el acumulador mediante los datos que suministra la subrutina de conteo, de manera que permita accesar a las tablas 3.1 y 3.2.

- Subrutina de límites: tiene como función verificar que la frecuencia se encuentre entre 59 y 61 Hz, para la correcta utilización de la tabla 3.2.

- Subrutina de retardo: actúa luego de la conexión o desconexión de cargas permitiendo así al microprocesador evaluar mejor el efecto producido por las cargas.

La distribución de los puertos así como sus funciones respectivas se ilustran en la figura 3.1

DISTRIBUCION DE LOS PUERTOS

BIT #	7	6	5	4	3	2	1	0
BUS	X	X	X	X	BV	CPon	X	SV
P1	X	SC	BF	SF	BV	SV	ALR	CP
P2	4+4	4	2	1	Rg2	X	X	X

FIGURA 3.1

El bus se encarga de detectar las fallas de sobre voltaje SV, bajo vol

taje BV, y mediante su bit 2 reconocer que el pulsador externo de conexión de la carga principal ha sido activado.

El puerto 1 se encarga de las señalizaciones de falla que son: sobrecarga SC, baja frecuencia BF, sobre frecuencia SF, bajo voltaje BV y sobre voltaje SV; el bit 1 controla la operación de la alarma y el bit 0 comanda el relé CP para conexión de la carga principal.

El puerto 2 tiene como función dar las señales de control para la activación de las cargas auxiliares; el bit 3 comanda la operación del contador 7490, mediante el control sobre la entrada de reset RG2 de dicho contador.

El desarrollo del programa requiere de la distribución de funciones entre los registros de trabajo; que se detallan a continuación:

R0: número de veces que controla con la carga auxiliar al iniciarse el proceso, número de veces que controla con la Tabla 3.2 en el lazo de ajuste antes de preguntar por las condiciones de falla.

R1: puntero de memoria Ram para el retardo.

R2: detector de pérdida de la fase de referencia.

R3: detector de pérdida de la fase de referencia.

R4: Número de veces que realiza el chequeo de operación con la carga auxiliar total activada.

R5 y R6: registros utilizados como auxiliares en operaciones varias.

R7: acumulador de banderas (TF) del registro TIMER/COUNTER en subrutina de conteo.

Para complementar la estructura general del programa y por ser de gran utilidad para la comprensión del mismo, a continuación se presentan las tablas 3.1 y 3.2.

FRECUENCIA (Hz)	TIMER/COUNTER (Hexadecimal)	R7	CARGAS ACTIVADAS
	Dx	34	0
	Cx	34	0
	Bx	34	0
59	Ax	34	1
	9x	34	2
	8x	34	3
	7x	34	4
	6x	34	5
	5x	34	6
	4x	34	7
	3x	34	8
	2x	34	9
	1x	34	10
	0x	34	11
	Fx	33	12
	Ex	33	13
	Dx	33	14
60	Cx	33	15
	Bx	33	15
	Ax	33	15

TABLA 3.1

Se observa que las cargas auxiliares empiezan a conectarse al generador a partir de los 59 Hz, y a 60 Hz se encuentran activadas todas las cargas. En la tabla 3.1 se representa únicamente el byte más significativo del registro TIMER/COUNTER, puesto que los 4 bits menos significativos corresponden a variaciones de frecuencia no considerables para el efecto.

FRECUENCIA (Hz)		TIMER/COUNTER (Hexadecimal)	R7	CARGAS ACTIVADAS
57	.....	8x	36	0
		Bx	34	0
59	.....	Ax	34	1
		9x	34	1
		8x	34	2
		7x	34	2
		6x	34	3
		5x	34	3
		4x	34	4
		3x	34	4
		2x	34	5
		1x	34	5
		0x	34	6
		Fx	33	6
		Ex	33	7
		Dx	33	7
60	.....	Cx	33	8
		Bx	33	8
		Ax	33	9
		9x	33	9
		8x	33	10
		7x	33	10
		6x	33	11
		5x	33	11
		4x	33	12
		3x	33	12
		2x	33	13
		1x	33	13
		0x	33	14
		Fx	32	14
61	.....	Ex	32	15
63	.....	5x	32	15

TABLA 3.2

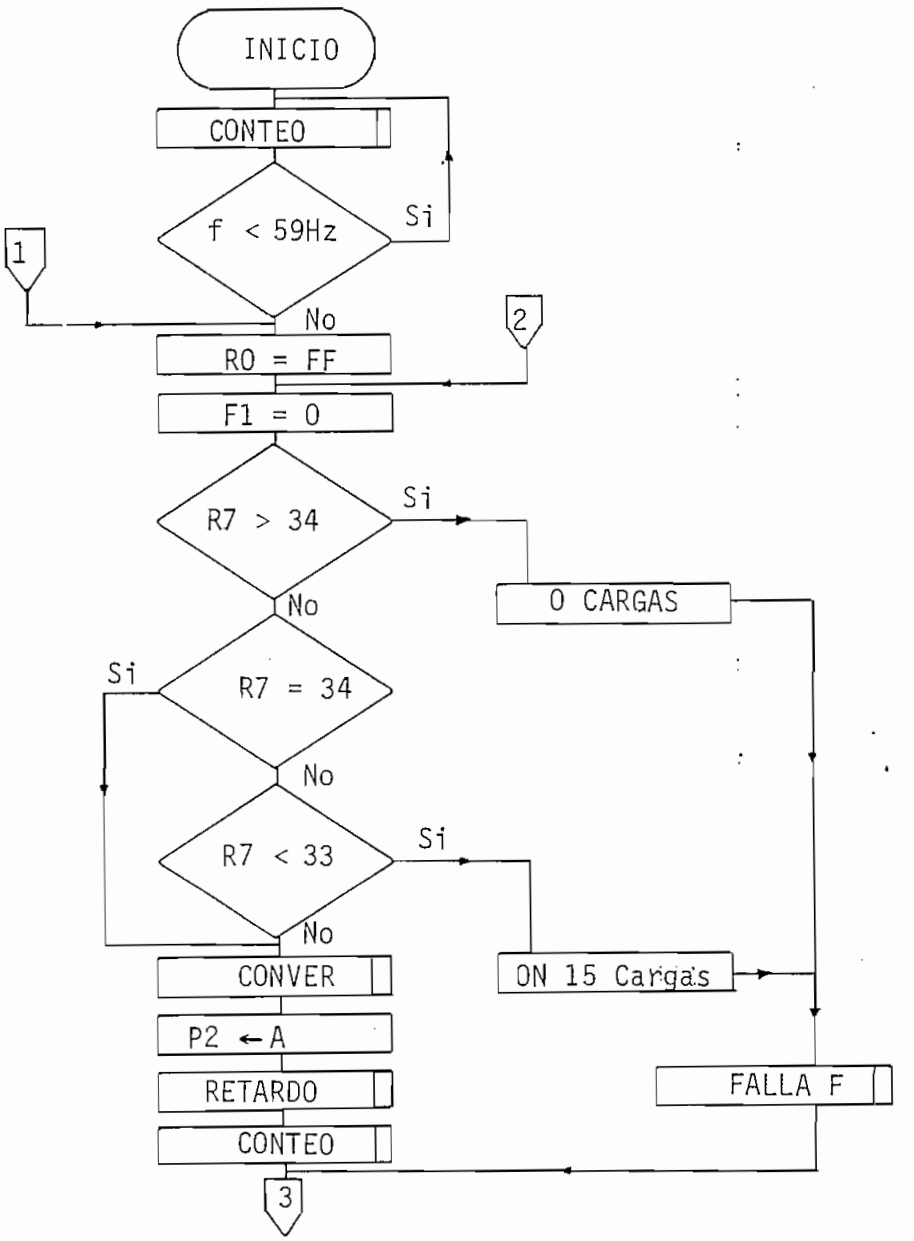
Finalmente, la nomenclatura utilizada para los diagramas de flujo es la siguiente:

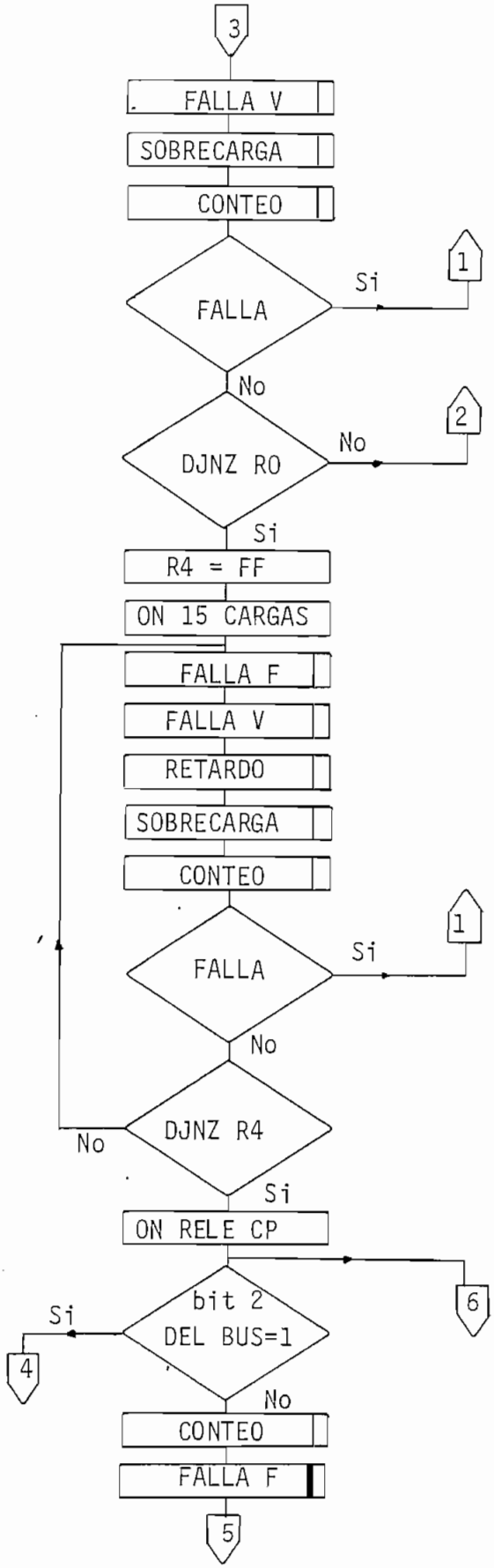
SIMBOLO	SIGNIFICADO
Letras Mayúsculas y números	Registros
Subíndice	Bits de un registro
Paréntesis ( )	Parte de un registro
Flecha ←	Transferencia
Coma,	Operación simultánea
Llave [ ]	Operación con los contenidos de memoria

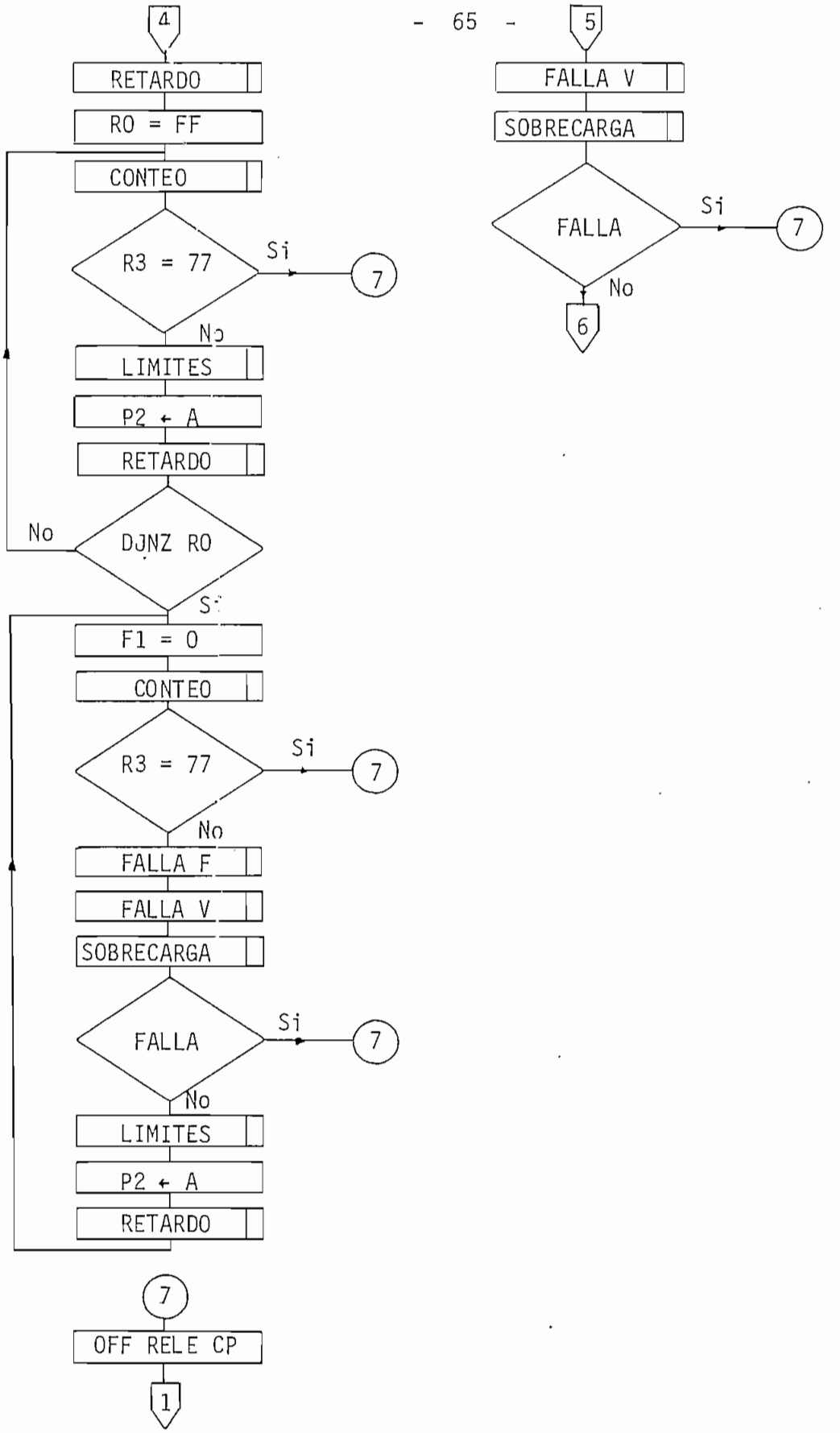
3.2 DIAGRAMAS DE FLUJO Y LISTADO DE PROGRAMAS

Considerando la estructura general del programa, las subrutinas a diseñarse y la distribución de puertos y registros descritos en el subcapítulo 3.1, a continuación se presentan los diagramas de flujo y listados del programa desarrollado.

3.2.1 DIAGRAMA DE FLUJO DEL PROGRAMA PRINCIPAL




3
FALLA V
SOBRECARGA
CONTEO
FALLA
Si
1
No
DJNZ RO
No
2
Si
R4 = FF
ON 15 CARGAS
FALLA F
FALLA V
RETARDO
SOBRECARGA
CONTEO
FALLA
Si
1
No
DJNZ R4
No
Si
ON RELE CP
6
bit 2
DEL BUS=1
Si
4
No
CONTEO
FALLA F
5


4
RETARDO
RO = FF
CONTEO
R3 = 77
Si
7
No
LIMITES
P2 ← A
RETARDO
No
DJNZ RO
Si
F1 = 0
CONTEO
R3 = 77
Si
7
No
FALLA F
FALLA V
SOBRECARGA
FALLA
Si
7
No
LIMITES
P2 ← A
RETARDO
7
OFF RELE CP
1
5
FALLA V
SOBRECARGA
FALLA
Si
7
No
6

El inicio del programa consiste en sacar ceros por los bits de los puertos 1 y 2, luego de esta inicialización el programa entra en un lazo de espera, aguardando que la frecuencia alcance los 59 Hz.

La subrutina de conteo deberá suministrar al programa principal el valor final del registro contador de eventos, así como el total de banderas TF producido, acumuladas en el registro R7.

Cuando la frecuencia alcanza los 59 Hz, se fija el registro RO en el valor FF, que consiste en el número de veces que se controla la frecuencia con la carga auxiliar, en el primer lazo de control mediante la tabla 3.1, si no existen fallas en esta primera etapa de control, se procede a la activación de la carga auxiliar total, verificándose la operación correcta, en tal caso se continúa con la activación del relé CP, entonces el programa entra en un lazo de espera por el bit 2 del bus que determinará la conexión de la carga principal, cuando ésta se ha efectuado, se dispone de un lazo de ajuste en el que no se llaman a las subrutinas de falla, esto se debe al desconocimiento de la magnitud de la carga principal a conectarse, finalmente el programa entra en un lazo de control definitivo en el que se chequean permanentemente las adecuadas condiciones de operación, de existir cualquier tipo de falla se desconecta el relé CP y el control retorna a efectuarse mediante la tabla 3.1.

La subrutina de conversión conforma el acumulador tomando los 4 bits superiores del registro contador de eventos que pasan a ser los 4 bits menos significativos del acumulador,y los 4 bits menos significativos del registro R7, los convierte en los 4 bits más significativos del a

cumulador, el valor del acumulador así conformado, permite el fácil manejo de las tablas 3.1 y 3.2.

Las subrutinas de falla, de frecuencia, de voltaje y sobrecarga se encargan de la detección de estas fallas, así como de la señalización respectiva, e informan al programa principal de la existencia de falla mediante un 1L de la bandera F1.

La subrutina de límites analiza si la frecuencia se encuentra dentro del rango 59 a 61 Hz, de ser así, se procede a la conformación del acumulador mediante la subrutina de conversión.

El reconocimiento de la activación del pulsador externo se realiza a través del bit 2 del bus del microprocesador.

3.2.2 LISTADO DEL PROGRAMA PRINCIPAL

	000	JMP INICIO	04 0A
INICIO	00A	CLR A	27
	00B	OUT P1, A	39
	00C	OUT P2, A	3A
R7 > = 35	00D	CALL CONTEO	54 00
	00F	MOV A, # 35	23 35
	011	CPL A	37
	012	INC A	17
	013	CLR C	97
	014	ADD A, R7	6F
	015	JC R7 > = 35	F6 0D
	017	JMP CONTROL	04 60
TABLA 3.1	030		F0
	031		F0
	032		F0
	033		F0
	034		F0
	035		F0
	036		F0
	037		F0
	038		F0
	039		F0
	03A		F0
	03B		F0

	03C		F0
	03D		E0
	03E		D0
	03F		C0
	040		B0
	041		A0
	042		90
	043		80
	044		70
	045		60
	046		50
	047		40
	048		30
	049		20
	04A		10
	04B		00
CONTROL	060	MOV RO, #FF	B8 FF
LAZO	062	CLR F1	A5
	063	MOV A, # 35	23 35
	065	CPL A	37
	066	INC A	17
	067	CLR C	97
	068	ADD A, R7	6F
	069	JC R7 > 34	F6 E6
	06B	MOV A, # 34	23 34
	06D	XRL A,R7	DF
	06E	JZ R7 = 34	C6 EE

	070	MOV A, R7	FF
	071	CPL A	37
	072	INC A	17
	073	CLR C	97
	074	ADD A,#32	03 32
	076	JC R7 < 33	F6 F8
	078	CALL CONVER	74 00
	07A	MOVP A,@A	A3
	07B	OUT P2,A	3A
	07C	CALL RETARDO	34 20
VOLTAJE	080	CALL FALLA V	34 A0
	082	CALL SOBRECARGA	54 80
	084	CALL CONTEO	54 00
	086	JF1 CONTROL	76 60
	088	ANL P1,#FD	99 FD
	08A	DJNZ R0 LAZO	E8 62
	090	MOV R4,#FF	BC FF
	092	ORL P2,#F0	8A F0
FALLA	094	CALL FALLA F	34 40
	096	CALL FALLA V	34 A0
	098	CALL RETARDO	34 20
	09A	CALL SOBRECARGA	54 80
	09C	CALL CONTEO	54 00
	09E	JF1 CONTROL	76 60
	0A0	DJNZ R4 FALLA	EC 94

	0A4	MOV A,#01	23 01
	0A6	OUT P1,A	39
ESPERA	0A7	INS A,BUS	08
	0A8	JB2 SIGUE	52 B9
	0AA	CALL CONTEO	54 00
	0AC	CALL FALLA F	34 40
	0AE	CALL FALLA V	34 A0
	0B0	CALL SOBRECARGA	54 80
	0B2	JF1 DES REL	76 FC
	0B4	ANL P1,#FD	99 FD
	0B6	JMP ESPERA	04 A7
SIGUE	0B9	CALL RETARDO	34 20
	0BB	MOV RO,#FF	B8 FF
AJUSTE	0BD	CALL CONTEO	54 00
	0BF	MOV A,#77	23 77
	0C1	XRL A,R3	DB
	0C2	JZ DES REL	C6 FC
	0C4	CALL LIMITES	74 60
	0C6	MOVP3 A,@A	E3
	0C7	OUT P2,A	3A
	0C8	CALL RETARDO	34 20
	0CA	DJNZ RO AJUSTE	E8 BD
LAZO 2	0CE	CLR F1	A5
	0CF	CALL CONTEO	54 00
	0D1	MOV A,#77	23 77
	0D3	XRL A,R3	DB
	0D4	JZ DES REL	C6 FC

	0D6	CALL FALLA F	34 40
	0D8	CALL FALLA V	34 A0
	0DA	CALL SOBRECARGA	54 80
	0DC	JF1 DES REL	76 FC
	0DE	CALL LIMITES	74 60
	0E0	MOVP3 A,@ A	E3
	0E1	OUT P2,A	3A
	0E2	CALL RETARDO	34 20
	0E4	JMP LAZO 2	04 CE
R7 > 34	0E6	ANL P2,#0F	9A 0F
FALL	0E8	CALL FALLA F	34 40
	0EA	MOV R0, #80	B8 80
	0EC	JMP VOLTAJE	04 80
R7 = 34	0EE	CALL CONVER	74 00
	0F0	MOVP A,@ A	A3
	0F1	OUT P2,A	3A
	0F2	CALL RETARDO	34 20
	0F4	CALL CONTEO	54 00
	0F6	JMP VOLTAJE	04 80
R7 < 33	0F8	ORL P2,#F0	8A F0
	0FA	JMP FAL	04 E8
DES REL	0FC	ANL P1,#FE	99 FE
	0FE	JMP CONTROL	04 60

3.2.3 DIAGRAMA DE FLUJO DE LA SUBRUTINA DE CONTEO

La subrutina de conteo debe encargarse del comando del contador SN7490,

de suministrar al programa principal la información respectiva de la frecuencia de operación, y finalmente de la detección de pérdida de la fase de referencia.

Mediante esta subrutina se implementa un contador cuyo reloj es la frecuencia proveniente del divisor por tres de ALE obtenida con el integrado SN7490 y presente en T1; el marco de conteo está determinado por T0, el registro R1 controla que el conteo se efectúe durante 10 ciclos, el registro R7 almacena los TF producidos.

La pérdida de la fase de referencia trae como consecuencia el permanente estado de T0 en 1L, aproximadamente entre 50 y 70 Hz, R7 tiene valores comprendidos entre 2C y 3E, por tanto, al averiguar por R7=50, se detecta la pérdida de fase.

Es necesario también un control similar en el lazo 1, puesto que el contador 7490 está deshabilitado, se arranca el registro temporizador/contador de eventos como temporizador, en este caso el reloj es:

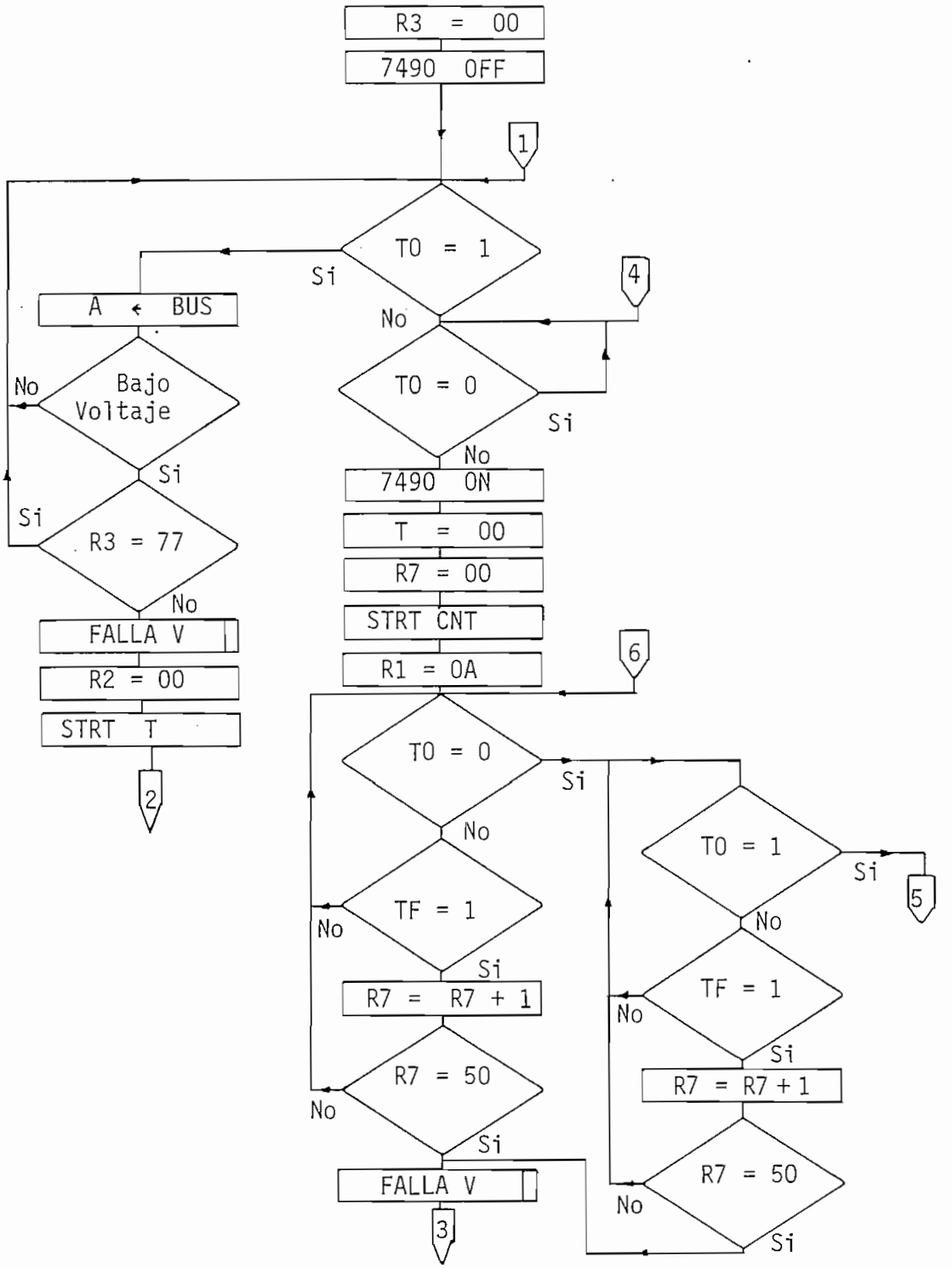
$$f_{RELOJ/TIMER} = \frac{f_{XTAL}}{15 \times 32}$$

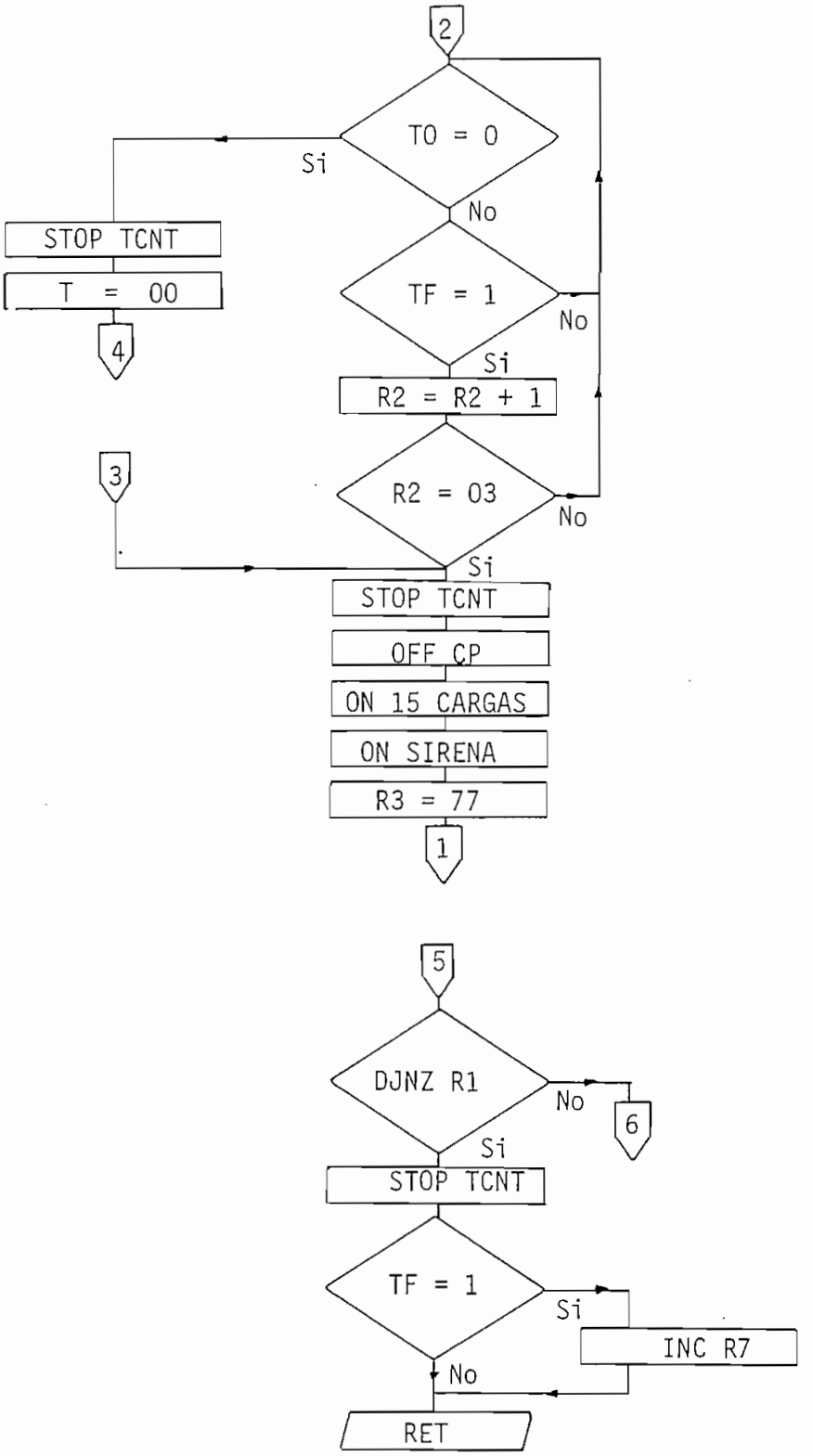
Cada bandera de Timer se producirá cada:

$$\frac{15 \times 32}{f_{XTAL}} = 256 \cong 34 \text{ mseg.}$$

Las banderas de timer se acumular en R2, por tanto al preguntarse si

R2 = 3 habrán transcurrido ≅ 102 mseg con T0 en 1L, lo que indica pérdida de la fase de referencia.




2
TO = 0
Si
No
STOP TCNT
T = 00
4
TF = 1
No
Si
R2 = R2 + 1
3
R2 = 03
No
Si
STOP TCNT
OFF CP
ON 15 CARGAS
ON SIRENA
R3 = 77
1
5
DJNZ R1
No
6
Si
STOP TCNT
TF = 1
Si
INC R7
No
RET

3.2.4 LISTADO DE SUBRUTINA DE CONTEO

	200	CLR A	27
	201	MOV R3, A	AB
	202	ORL P2, #08	8A 08
COMENZAR	204	JTO CHEQUEO	36 24
CERO	206	JNTO CERO	26 06
	208	ANL P2,#F7	9A F7
	20A	JTF NOTF	16 0C
NOTF	20C	CLR A	27
	20D	MOV T,A	62
	20E	MOV R7, A	AF
	20F	STRTCNT	45
	210	MOV R1,#0A	B9 0A
OTRO	212	JNTO CAMBIO	26 18
	214	JTF INCR7	16 60
	216	JMP OTRO	44 12
CAMBIO	218	JTO DECR1	36 1E
	21A	JTF INC	16 70
	21C	JMP CAMBIO	44 18
DEC R1	21E	DJNZ R1 OTRO	E9 12
	220	STOP TCNT	65
	221	JTF INCU	16 6D
	223	RET	83
CHEQUEO	224	INS A,BUS	08
	225	CPL A	37
	226	JB3 COMENZAR	72 04
	228	MOV A,#77	23 77

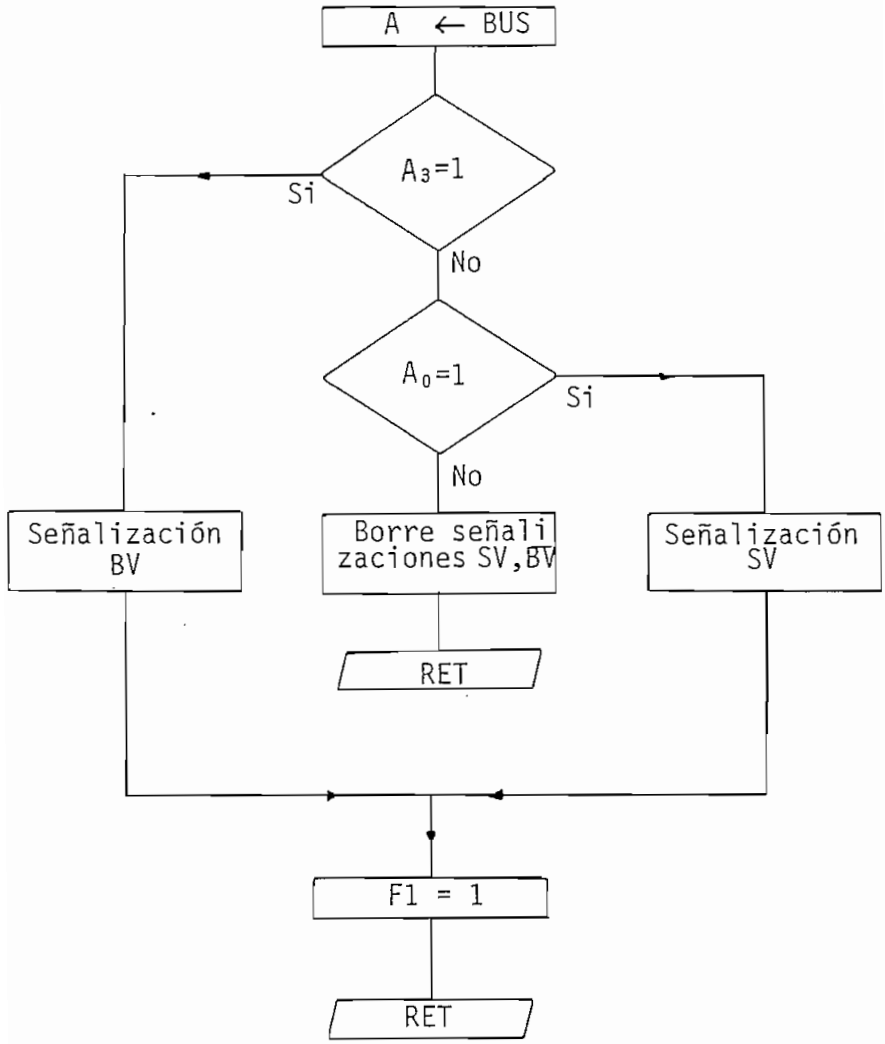
	22A	XRL A,R3	DB
	22B	JZ COMENZAR	C6 04
	22D	CALL FALLA V	34 A0
	22F	JTF NO	16 31
NO	231	CLR A	27
	232	MOV R2, A	AA
	233	STRT T	55
PRB	234	JNTO ALTO	26 40
	236	JTF INCR2	16 49
	238	JMP PRB	44 34
ALTO	240	STOP TCNT	65
	241	CLR A	27
	242	MOV T, A	62
	243	JMP CERO	44 06
INCR2	249	INC R2	1A
	24A	MOV A,#03	23 03
	24C	XRL A,R2	DA
	24D	JNZ PRB	96 34
STOP	24F	STOP TCNT	65
	250	ANL P1,#FE	99 FE
	252	ORL P2,#F0	8A F0
	254	ORL P1,#02	89 02
	256	MOV R3,#77	BB 77
	258	JMP COMENZAR	44 04
INC R7	260	INC R7	1F

```
                261         MOV A,R7                FF 00
                263         XRL A,#50               03 50
                265         JNZ OTRO                96 12
FAL             267         CALL FALLA V            34 A0
                269         JMP STOP                44 4F

INCU            26D         INC R7                  1F
                26E         RET                     83

INC             270         INC R7                  1F
                271         MOV A,R7                FF
                272         XRL A,#50               03 50
                274         JNZ CAMBIO              96 18
                276         JMP FAL                 44 67
```

3.2.5 DIAGRAMA DE FLUJO DE SUBRUTINA DE FALLA DE VOLTAJE

Esta subrutina debe analizar los bits 0 y 3 del bus (véase fig. 3.1), para detectar falla de sobre o bajo voltaje respectivamente. 1L en cualquiera de estos bits significa condición de falla.

Debe encargarse además de la señalización correspondiente, y en caso de existir falla de voltaje, pone la bandera F1 en 1L.

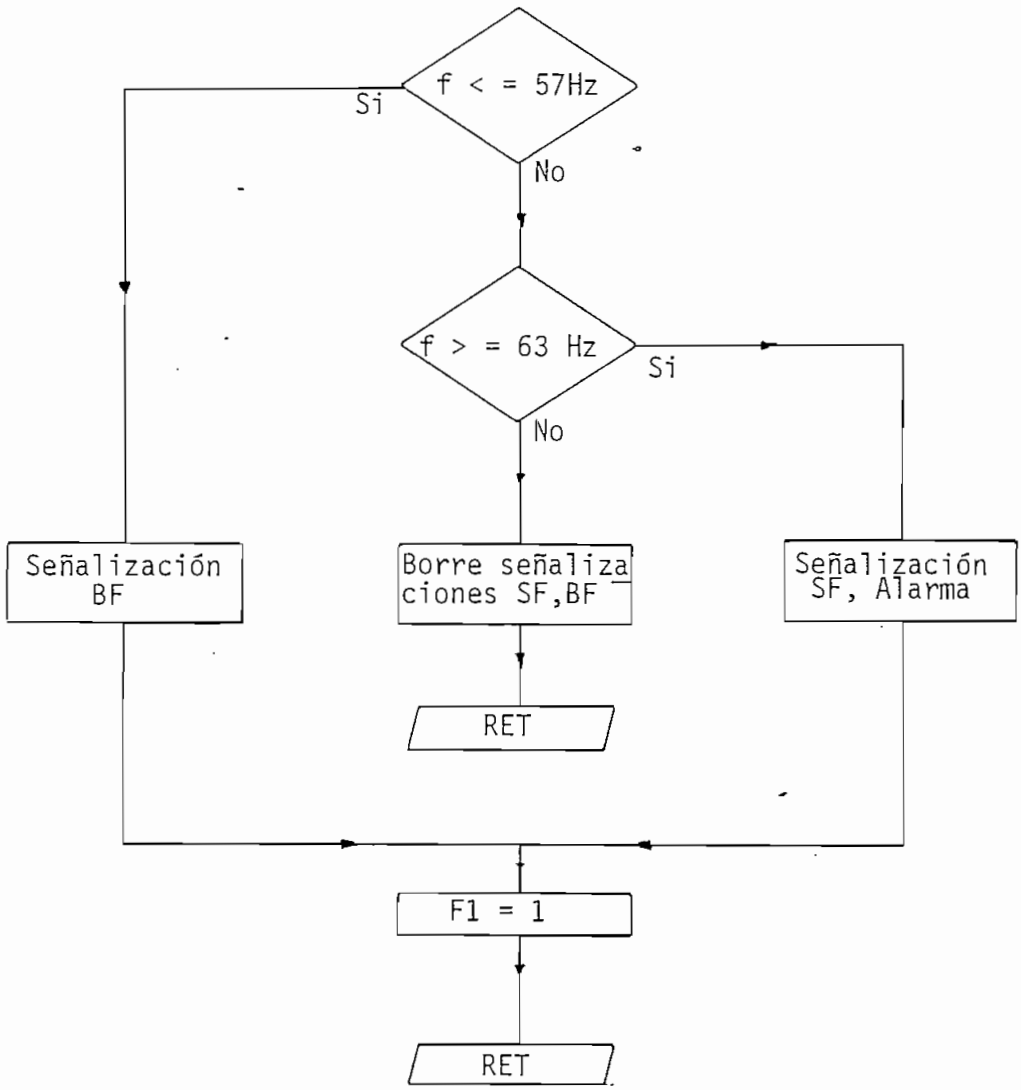

A ← BUS
A3=1
Si
No
A0=1
Si
No
Señalización BV
Borre señali zaciones SV,BV
Señalización SV
RET
F1 = 1
RET

3.2.6 LISTADO DE SUBRUTINA DE FALLA DE VOLTAJE

	1A0	INS A,BUS	08
	1A1	JB3 BAJO V	72 A8
	1A3	JB0 SOBRE V	12 B0
	1A5	ANL P1,#F3	99 F3
	1A7	RET	83
BAJO V	1A8	ANL P1,#FB	99 FB
	1AA	ORL P1, #08	89 08
SEÑAL	1AC	JF1 RETORNO	76 AF
	1AE	CPL F1	B5
RETORNO	1AF	RET	83
SOBRE V	1B0	ANL P1,#F7	89 F7
	1B2	ORL P1,#04	89 04
	1B4	JMP SEÑAL	24 AC

3.2.7 DIAGRAMA DE FLUJO DE SUBRUTINA DE FALLA DE FRECUENCIA

Esta subrutina reconoce como baja frecuencia 57 Hz y como sobre frecuencia 63 Hz, actúa sobre los leds de señalización; sobre la alarma en caso de sobrefrecuencia y sobre la bandera F1 para indicar falla.


f < = 57Hz
Si
No
f > = 63 Hz
Si
No
Señalización BF
Borre señaliza ciones SF,BF
Señalización SF, Alarma
RET
F1 = 1
RET

3.2.8 LISTADO DE SUBRUTINA DE FALLA DE FRECUENCIA

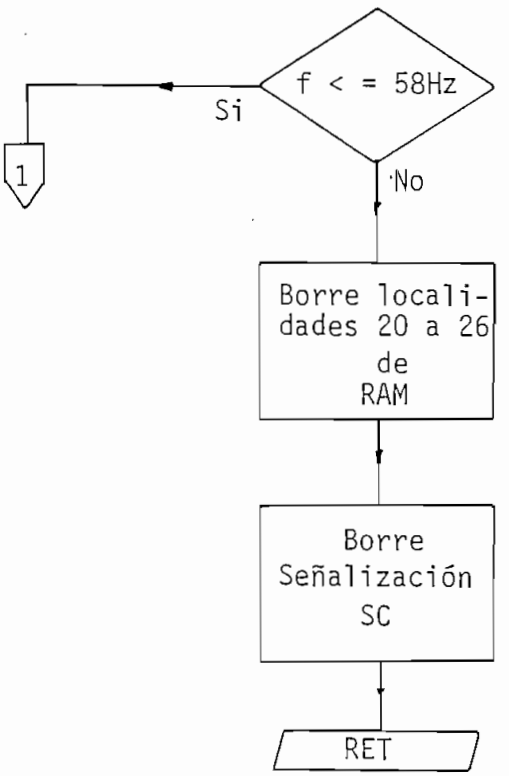
	140	MOV A,#37	23 37
	142	CPL A	37
	143	INC A	17
	144	CLR C	97
	145	ADD A,R7	6F
	146	JC R7 > 36	F6 60
	148	MOV A,#36	23 36
	14A	XRL A,R7	DF
	14B	JZ R7 = 36	C6 70
R7<	14D	MOV A,R7	FF
	14E	CPL A	37
	14F	INC A	17
	150	CLR C	97
	151	ADD A,#30	03 30
	153	JC R7<31	F6 69
	155	MOV A,#31	23 31
	157	XRL A,R7	DF
	158	JZ R7=31	C6 82
BORRE	15A	ANL P1,#CF	99 CF
	15C	RET	83
R7 > 36	160	ORL P1,#20	89 20
BANDERA	162	CLR F1	A5
	163	CPL F1	B5
	164	RET	83

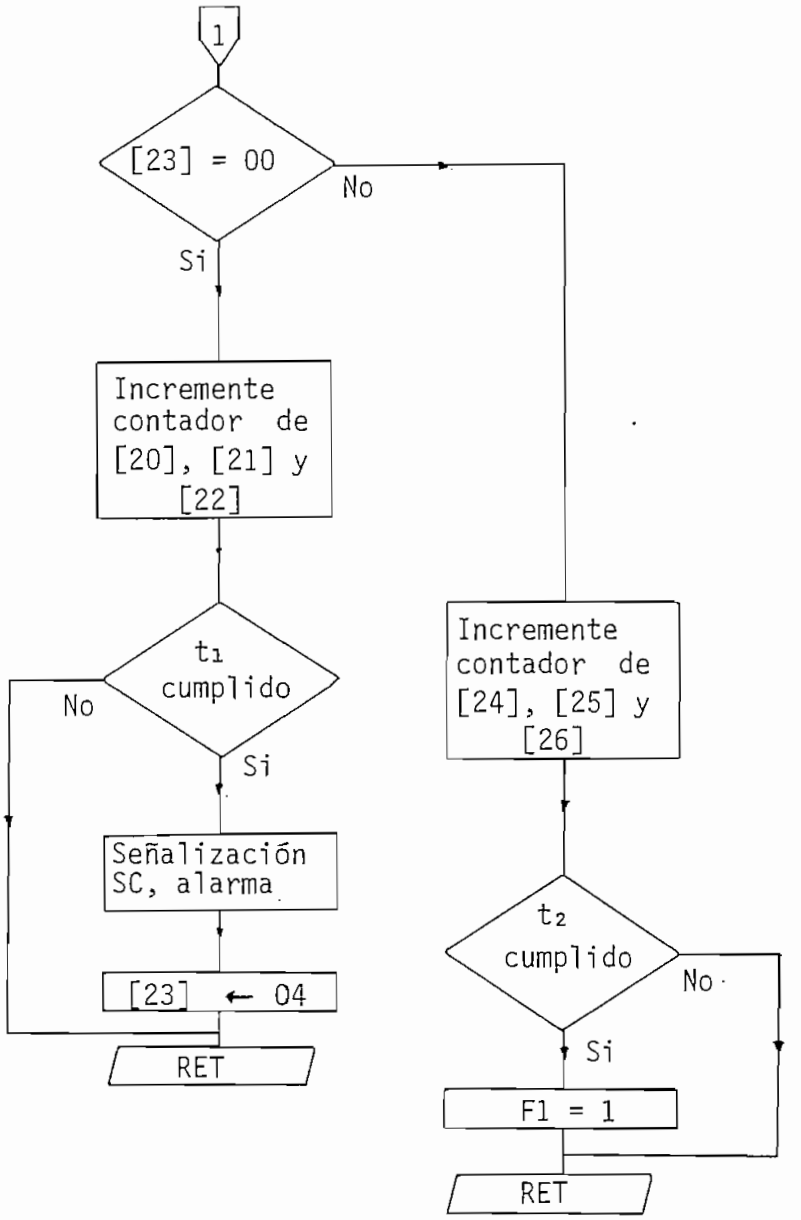
R7 < 31	169	ORL P1,#12	89 12
	16B	JMP BANDERA	24 62
R7 = 36	170	MOV A,T	42
	171	ANL A,#F0	53 F0
	173	MOV R5,A	AD
	174	MOV A,#80	23 80
	176	CPL A	37
	177	INC A	17
	178	CLR C	97
	179	ADD A,R5	6D
	17A	JC R7 > 36	F6 60
	180	JMP R7<	24 4D
R7 = 31	182	MOV A,T	42
	183	ANL A,#F0	53 F0
	185	JZ R7 < 31	C6 69
	187	CPL A	37
	188	INC A	17
	189	CLR C	97
	18A	ADD A,#50	03 50
	18C	JC R7 < 31	F6 69
	18E	JMP BORRE	24 5A

3.2.9 DIAGRAMA DE FLUJO DE SUBRUTINA DE SOBRECARGA

Se reconoce como sobrecarga la frecuencia de 58 Hz durante un determinado tiempo t1. Transcurrido este tiempo se activa la alarma; a partir de este momento se deja otro tiempo, t2 para la desconexión de la carga principal.

Para t1 se forma un contador con las localidades 20, 21 y 22 de la memoria Ram. Cuando ha transcurrido t1 se fija la localidad 23 en 04; el tiempo t2 se cuenta en las localidades 24, 25 y 26.




1
[23] = 00
No
Si
Incremente contador de [20], [21] y [22]
t1 cumplido
No
Si
Señalización SC, alarma
[23] ← 04
RET
Incremente contador de [24], [25] y [26]
t2 cumplido
No
Si
F1 = 1
RET

3.2.10 LISTADO DE SUBRUTINA DE SOBRECARGA

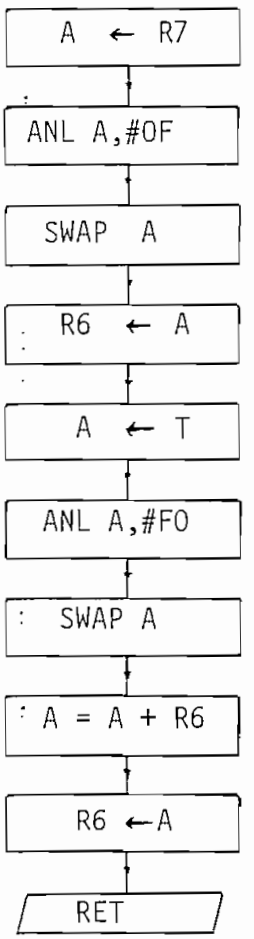
	280	MOV A,#36	23 36
	282	CPL A	37
	283	INC A	17
	284	CLR C	97
	285	ADD A,R7	6F
	286	JC R7>=36	F6 B0
	288	MOV A, R7	FF
	28A	XRL A,#35	D3 35
	28C	JZ AVR	C6 A0
RAM	28E	MOV R1,#20	B9 20
MAS	290	CLR A	27
	291	MOV @R1,A	A1
	292	INC R1	19
	293	MOV A,#26	23 26
	295	XRL A,R1	D9
	296	JNZ MAS	96 90
	298	ANL P1,#BF	99 BF
	29A	RET	83
AVR	2A0	MOV A,T	42
	2A1	ANL A,#F0	53 F0
	2A3	JZ RAM	C6 8E
	2A5	CPL A	37
	2A6	INC A	17
	2A7	CLR C	97

	2A8	ADD A,#80	03 80
	2AA	JC RAM	F6 8E
R7>=36	2B0	MOV R1,#23	B9 23
	2B2	MOV A,@ R1	F1
	2B3	JNZ CONTAR 1	96 D1
	2B5	MOV R1,#1F	B9 1F
ACUM 1	2B7	INC R1	19
	2B8	CLR C	97
	2B9	MOV A,@ R1	F1
	2BA	INC A	17
	2BB	MOV@ R1,A	A1
	2BC	JC ACUM 1	F6 B7
	2BE	MOV R1,#20	B9 20
T1	2C0	MOV A,#50	23 50
	2C2	XRL A, R1	D1
	2C3	JZ SIRENA	C6 CA
	2C5	RET	83
SIRENA	2CA	ORL P1,#42	89 42
	2CC	MOV R1,#23	B9 23
	2CE	MOV@R1,#04	B1 04
	2D0	RET	83
CONTAR 1	2D1	MOV R1,#23	B9 23
ACUM 2	2D3	INC R1	19
	2D4	CLR C	97
	2D5	MOV A,@ R1	F1
	2D6	INC A	17

	2D7	MOV@ R1, A	A1
	2D8	JC ACUM 2	F6 D3
	2DA	MOV R1,#24	B9 24
T2	2DC	MOV A,#60	23 60
	2DE	CLRC	97
	2DF	ADD A@ R1	61
	2E0	JC RELAY	F6 E3
	2E2	RET	83
RELAY	2E3	ANL P1,#FE	99 FE
	2E5	JF1 FINAL	76 E8
	2E7	CPL F1	B5
FINAL	2E8	RET	83

3.2.11 DIAGRAMA DE FLUJO DE SUBRUTINA DE CONVERSION

Esta subrutina conforma el acumulador tomando los 4 bits superiores del registro temporizador/contador de eventos, convirtiéndolos en los 4 bits menos significativos del acumulador, y los 4 bits menos significativos del registro R7, pasan a ser los 4 bits más significativos del acumulador.

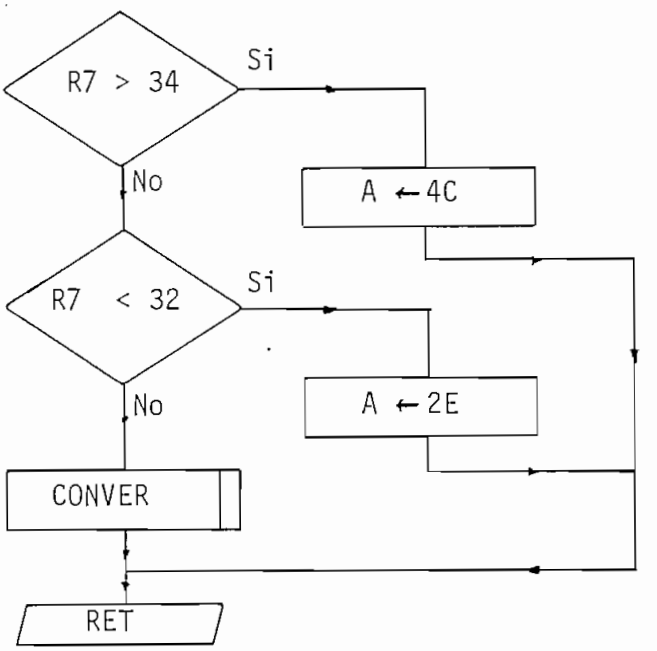


3.2.12 LISTADO DE SUBRUTINA DE CONVERSION

300	MOV A,R7	FF
301	ANL A,#0F	53 0F
303	SWAP A	47
304	MOV R6,A	AE
305	MOV A,T	42
306	ANL A,#F0	53 F0
308	SWAP A	47
309	ADD A,R6	6E
30A	MOV R6,A	AE
30B	RET	83

3.2.13 DIAGRAMA DE FLUJO DE SUBRUTINA DE LIMITES

La subrutina de límites analiza si la frecuencia de operación se encuentra en el rango comprendido entre 59 y 61 Hz, llamando entonces a la subrutina de conversión, si la frecuencia no se encuentra en el rango indicado, se determina la activación de 15 cargas o 0 cargas según sea el caso.



3.2.14 LISTADO DE SUBRUTINA DE LIMITES

	360	MOV A, # 35	23 35
	362	CPL A	37
	363	INC A	17
	364	CLR C	97
	365	ADD A, R7	6F
	366	JC R7 > 34	F6 73
	368	MOV A, R7	FF
	369	CPL A	37
	36A	INC A	17
	36B	CLR C	97
	36C	ADD A, # 31	03 31
	36E	JC R7 < 32	F6 76
	370	CALL CONVER	74 00
	372	RET	83
R7 > 34	373	MOV A, #4C	23 4C
	375	RET	83
R7 < 32	376	MOV A, # 2E	23 2E
	378	RET	83

3.2.15 DIAGRAMA DE FLUJO DE SUBRUTINA DE RETARDO

Se utilizan las localidades 18 y 19 de la memoria Ram y el registro R1 como puntero, para generar el retardo que se lo realiza como se ilustra en el diagrama 3.9.

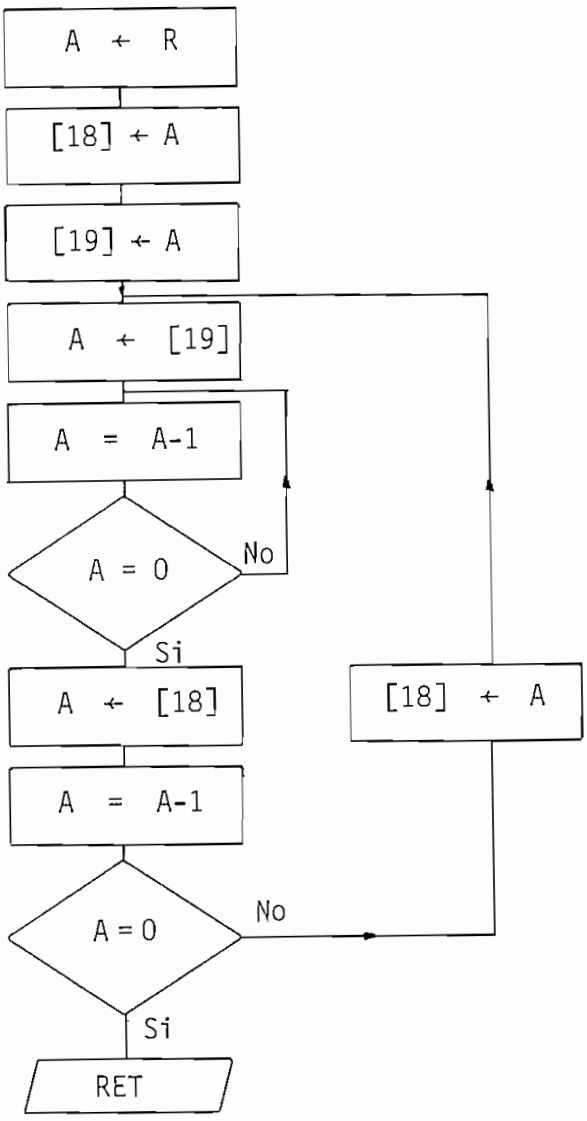


DIAGRAMA 3.15

3.2.16 LISTADO DE SUBRUTINA DE RETARDO

	120	MOV A,#3F	23 3F
	122	MOV R1,#18	B9 18
	124	MOV @ R1,A	A1
	125	INC R1	19
	126	MOV @ R1,A	A1
	127	MOV A,@ R1	F1
	128	DEC A	07
	129	JZ FIN1	C6 2D
	12B	JMP A	24 28
FIN1	12D	DEC R1	C9
	12E	MOV A,@ R1	F1
	12F	DEC A	07
	130	JZ FIN	C6 36
	132	MOV @ R1, A	A1
	133	INC R1	19
	134	JMP B	24 27
FIN	136	RET	83

C A P I T U L O I V

CONSTRUCCION Y EXPERIMENTACION

4.1 CONSTRUCCION

La construcción del regulador electrónico de carga se divide básicamente en dos partes; la etapa de control y la etapa de potencia.

4.1.1 ETAPA DE CONTROL

Se compone de las señales de control y referencia, del control micro - procesado, señales para disparo de triacs, señalizaciones, circuitos para el manejo de la sirena y el relé de conexión de la carga principal, y fuentes de poder.

Como se había planteado, por facilidad de construcción y mantenimiento, el equipo debe poseer la característica de modularidad, los circuitos y señales de control anteriormente mencionados se distribuyen en etapas de la siguiente manera:

MFR: módulo de fuentes reguladas: recibe la alimentación de corriente alterna de los transformadores T1, T2 y T3 y provee al circuito de los voltajes DC requeridos (12 y 5 VDC).

MR: módulo de referencias: en este módulo se obtienen los voltajes DC de referencia, para la determinación de fallas de voltaje, se obtienen también los pulsos sincronizados con el cruce por cero

para el disparo de los triacs.

MP: módulo de protecciones: constituye la parte central del regulador, consta del microprocesador, circuito de comparación para la determinación de fallas de voltaje, divisor por 3 de la frecuencia de ALE y circuitos para el manejo de sirena y relé CP.

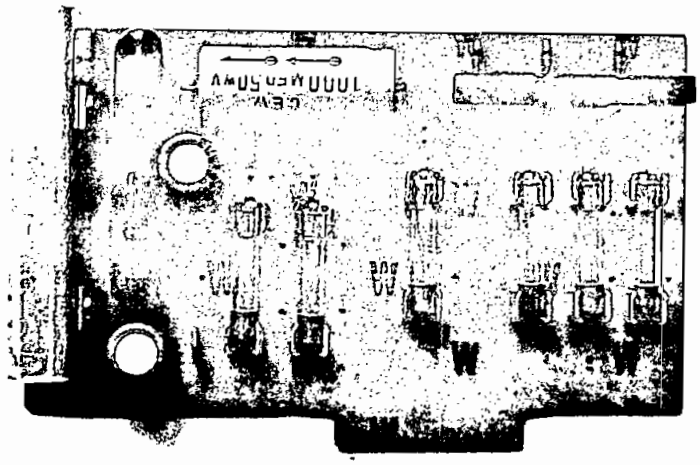
MD: módulo de disparo: recibe las señales de control de MP y los pulsos sincronizados de MR, consta de los circuitos para disparo de los triacs, aislando además la parte de control de la de potencia.

MS: módulo de señalizaciones: consta de los leds y transistores asociados a su manejo.

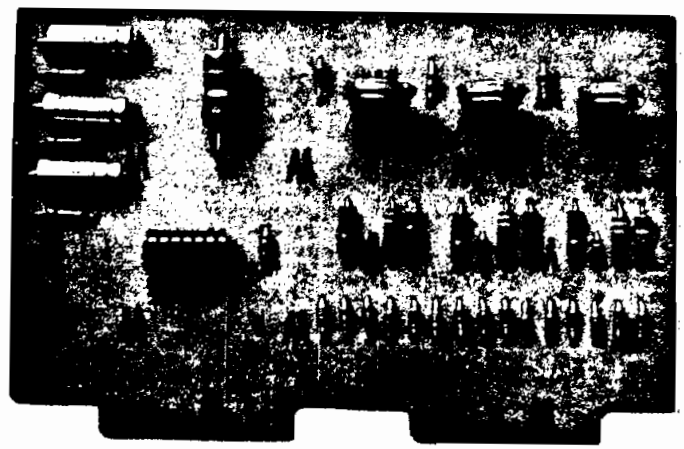
La circuitería de los módulos descritos así como la interconexión global de todos los elementos puede observarse en el Anexo A, circuito global del regulador electrónico de carga.

El regulador se compone por tanto de 7 placas de circuito impreso:MFR, MR, MP, 3 MD, MS. A continuación mediante ayuda de fotografías se presentan los distintos módulos componentes del equipo.

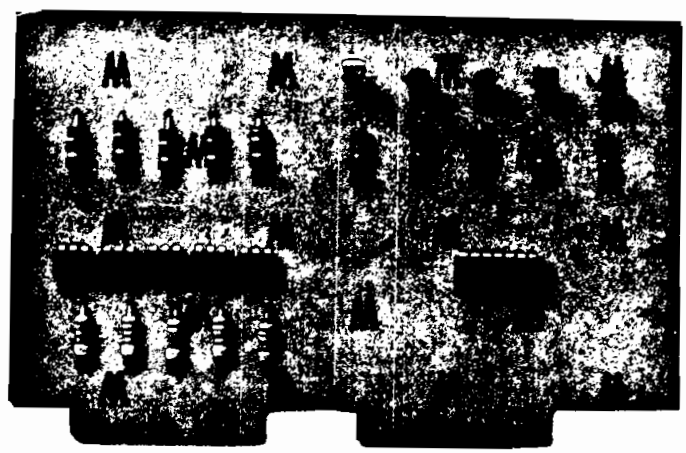
El montaje de los módulos descritos así como de los transformadores T1 T2 y T3 se realiza en el gabinete ilustrado mediante la fotografía 4.6.



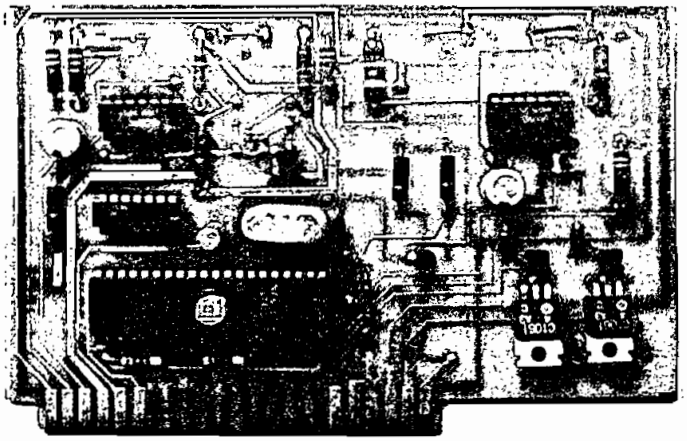
FOTOGRAFIA 4.1 MFR



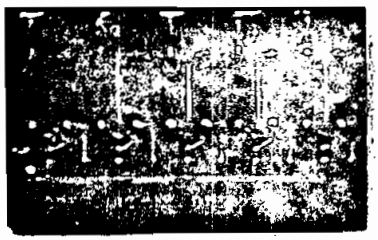
FOTOGRAFIA 4.2 MR



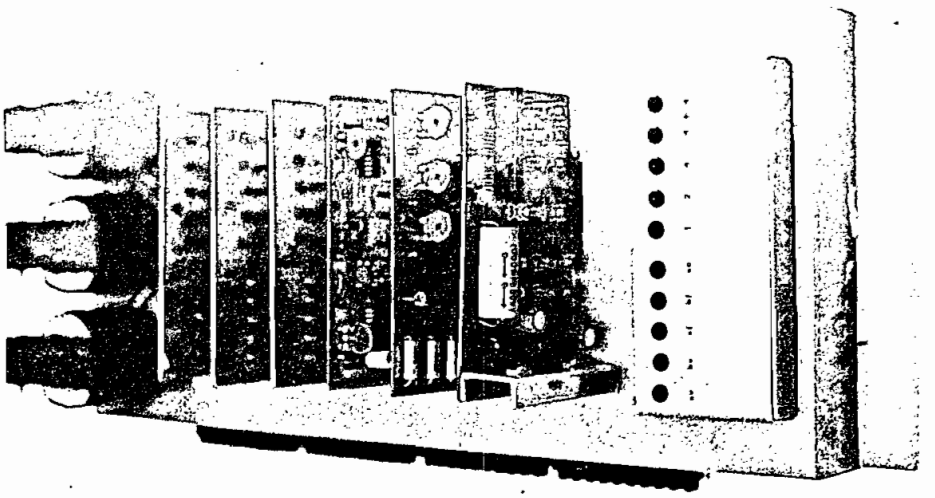
FOTOGRAFIA 4.3 MD



FOTOGRAFIA 4.4 MP



FOTOGRAFIA 4.5 MS



FOTOGRAFIA 4.6

Sobre un costado del gabinete se tiene los terminales 1, 2, 3 y 4 que se detallan a continuación mediante la tabla 4.1

TERMINAL #	1	2	3	4	5	6	7	8	9	10
1.FASE R	G_1	$MT1_1$	G_2	$MT1_2$	G_4	$MT1_4$	G_{4+4}	$MT1_{4+4}$	G_{4+4}'	$MT1_{4+4}'$
2.FASE S	G_1	"	"	"	"	"	"	"	"	"
3.FASE T	G_1	"	"	"	"	"	"	"	"	"
4	FASE R	FASE S	FASE T	NEUTRO		+12 VDC	+12 VDC	-Sirena	-Relé CP	Pulsador externo

TABLA 4.1

G_i = compuerta de triac correspondiente a carga auxiliar i.

$MT1_i$ = terminal de triac correspondiente a carga auxiliar i.

El pulsador externo para conexión de la carga principal debe conectarse entre los puntos 4 y 10 del terminal # 4.

4.1.2 ETAPA DE POTENCIA

El montaje de los triacs se realiza de manera que permitan tanto una adecuada ventilación, como facilidad para el mantenimiento. La figura 4.1 representa el montaje de la etapa de potencia.

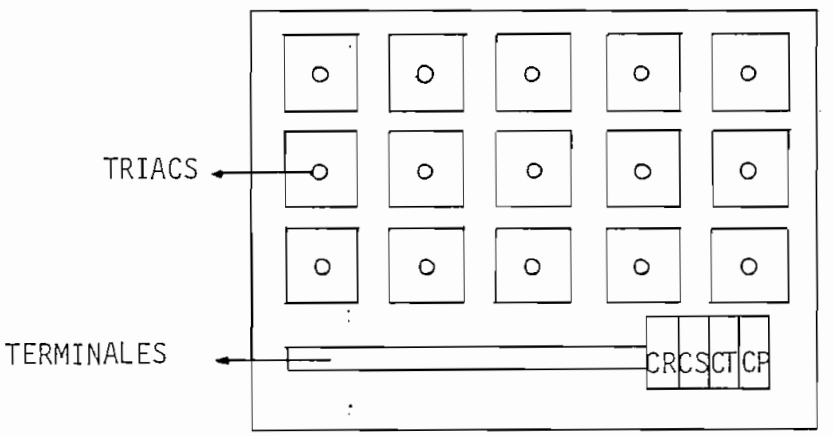


FIGURA 4.1

En la parte inferior del panel se dispone de los terminales tanto para conexión hacia la etapa de control como hacia las cargas auxiliares, la disposición de los terminales se detalla en la figura 4.2.

1	2	3	4	5	6	7	8	9	10
G_1	G_2	G_4	G_{4+4}	G_{4+4}'	G_1	G_2	G_4	G_{4+4}	G_{4+4}'

FASE R FASE S

11	12	13	14	15	16	17	18	19	20
G_1	G_2	G_4	G_{4+4}	G_{4+4}'	$MT1_1$	$MT1_2$	$MT1_4$	$MT1_{4+4}$	$MT1_{4+4}'$

FASE T FASE R

21	22	23	24	25	26	27	28	29	30
$MT1_1$	$MT1_2$	$MT1_4$	$MT1_{4+4}$	$MT1_{4+4}'$	$MT1_1$	$MT1_2$	$MT1_4$	$MT1_{4+4}$	$MT1_{4+4}'$

FASE S FASE T

+ 5 N.

FIGURA 4.2

Sobre la riel que soporta los terminales anteriormente descritos se colocan los relés CR, Cs, CT, con la conexión representada en la figura 4.3

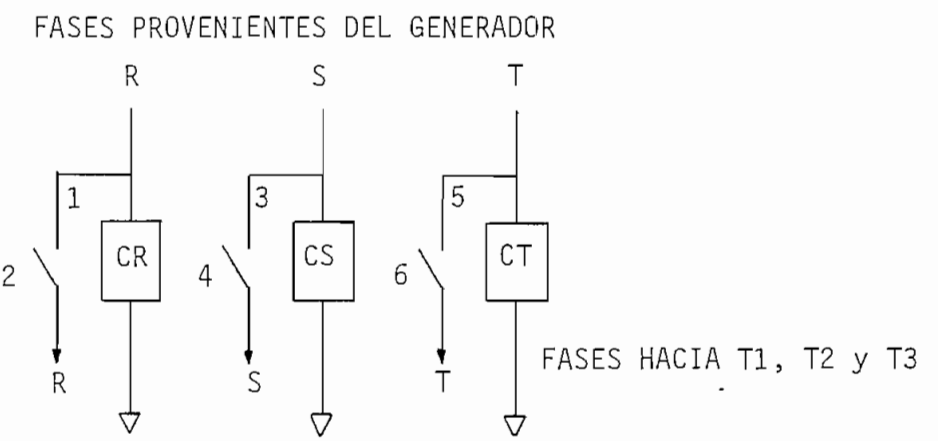
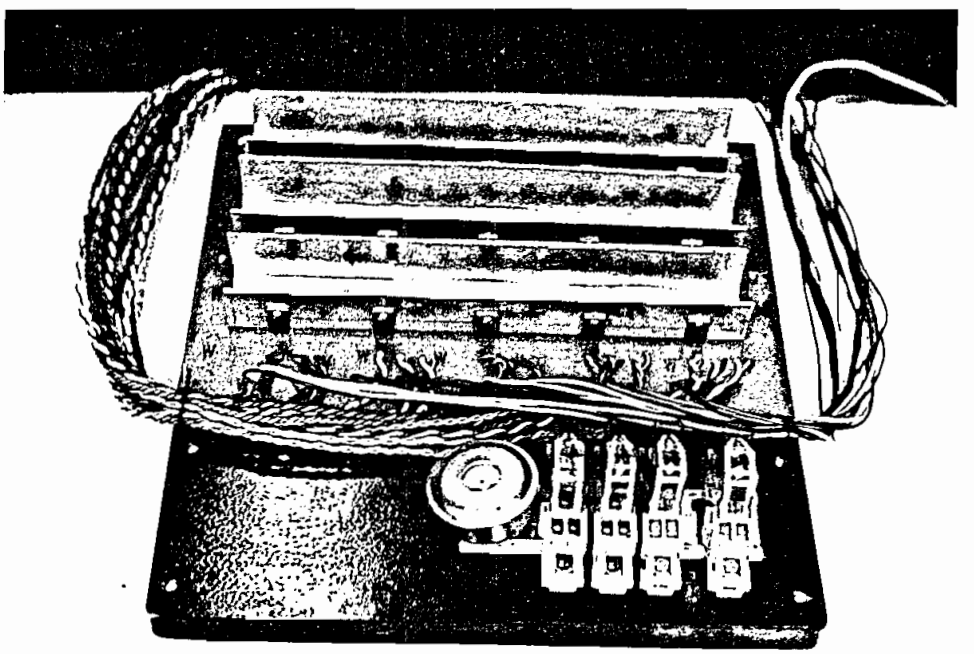


FIGURA 4.3

Junto a estos relés se ubica también el relé CP de habilitación de conexión de la carga principal.

Debo mencionar que el montaje general del regulador electrónico de carga se enmarca en las características de prototipo; sobre la etapa de potencia descrita se realizaron tanto las pruebas de laboratorio y de campo detalladas en el subcapítulo siguiente, realizándose la entrega definitiva al Instituto Nacional de Energía, el mismo que emitió el informe que se adjunta en el Anexo E.

Debido a la dificultad de implementar el equipo de prueba necesario para la comprobación real del funcionamiento del regulador en los laboratorios de la Escuela Politécnica Nacional, y, puesto que las pruebas a realizarse sobre el equipo serán a potencia reducida, se construyó para tal efecto otra etapa de potencia utilizando los triacs EC G5635; el montaje se ilustra mediante la fotografía 4.7.



FOTOGRAFIA 4.7

4.2 RESULTADOS EXPERIMENTALES

Las pruebas realizadas sobre el regulador electrónico de carga, pueden dividirse básicamente en dos categorías; pruebas de laboratorio mediante la simulación del comportamiento del generador, y pruebas de campo o reales.

4.2.1 PRUEBAS DE LABORATORIO

Para simular la variación de frecuencia se utilizó un oscilador HP modelo 200 CD con salida sinusoidal máxima de 20 Vpp. La salida del oscilador se conectó entre los puntos R' y N con referencia a la figura 2.2. Para la lectura de la frecuencia se utilizó frecuencímetro FLUKE modelo MFD4 , se alimentó al circuito mediante un Variac trifásico para posibilitar la variación de voltaje y observar el comportamiento del regulador. Para la etapa de potencia, como cargas auxiliares se utilizaron 15 focos de 60 W.

Previamente a la realización de las pruebas de simulación se observó el comportamiento de la circuitería desarrollada; los resultados clasificados de acuerdo a los módulos implementados son los siguientes:

MODULO DE FUENTES DE PODER

Al aplicarse el voltaje proveniente del variac trifásico a los transformadores T1, T2 y T3, y aumentar el voltaje se observa que los reguladores de 12 y 5 VDC operan adecuadamente con un valor mínimo del voltaje fase-neutro de 100 VAC. La operación con una sola fase

de alimentación para el circuito de fuentes de poder se verifica para un voltaje mínimo de entrada de 110 VAC.

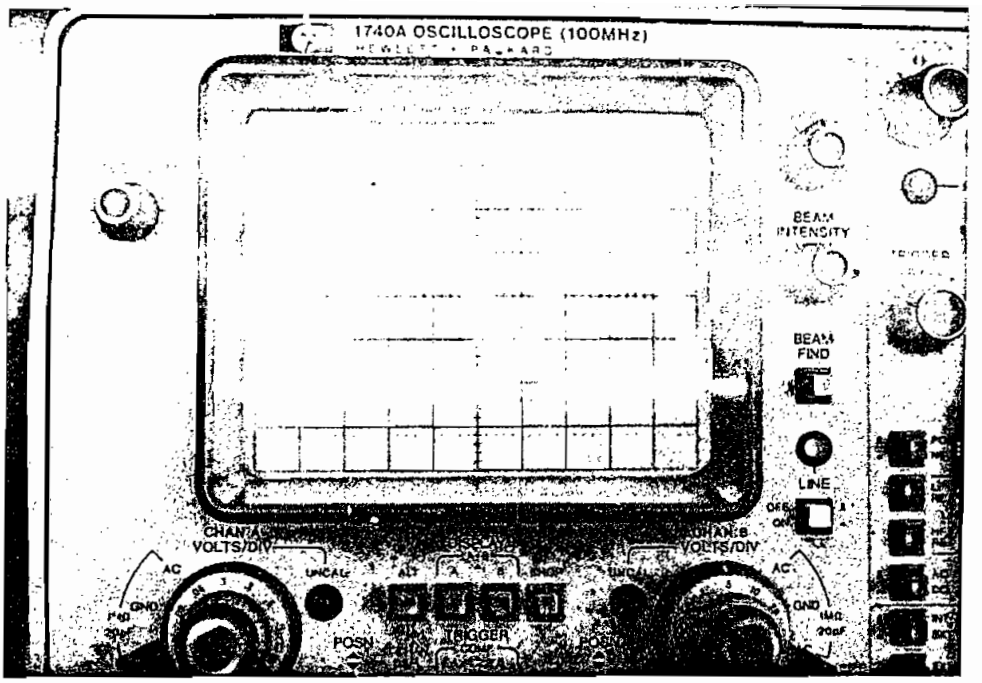
MODULO DE REFERENCIAS

Con referencia a la figura 2.4, los voltajes obtenidos en RR con respecto al voltaje de fase son los siguientes:

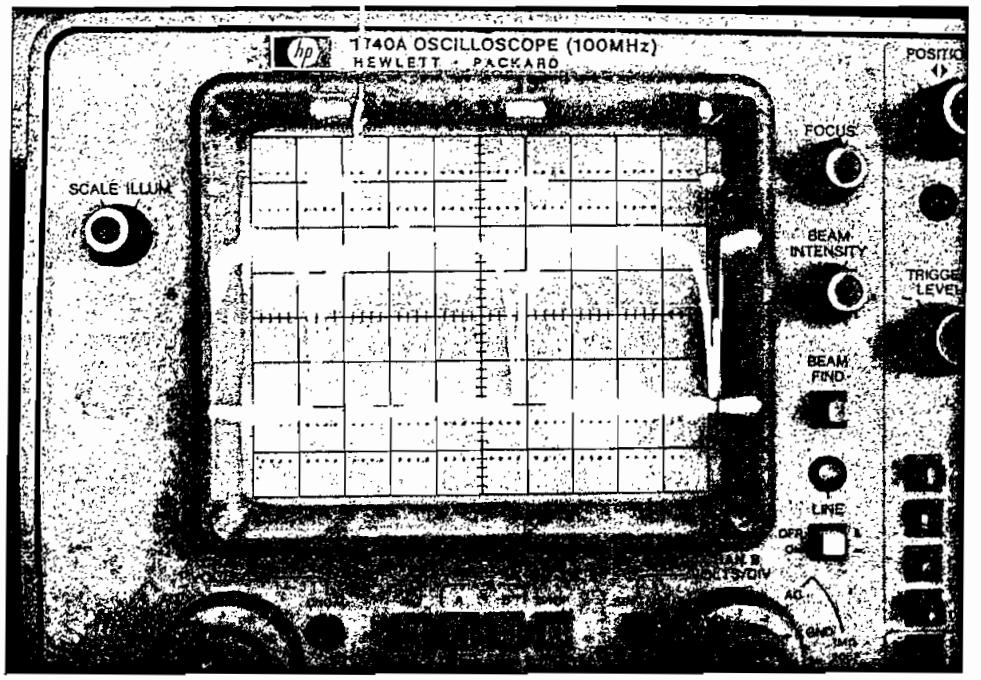
Voltaje fase-neutro	Voltaje DC en RR
133 VAC	10.5 VDC
127 VAC	10 VDC
121 VAC	9.5 VDC

La obtención de estos valores es posible mediante la calibración del potenciómetro R_{30}.

Los pulsos sincronizados con el cruce por cero de la señal de voltaje obtenidos mediante el circuito de la figura 2.9, se presentan en las fotografías 4.8 y 4.9.



FOTOGRAFIA 4.8



FOTOGRAFIA 4.9

Se verificó también la señal obtenida mediante el circuito de la figura 2.2, el período de esta señal está estrechamente vinculado con la señal de voltaje aplicada a los puntos R' y N del circuito; puesto que el período de TO determina el marco de conteo para el microprocesador se verificó además que dicho período no sufra variación significativa con el cambio de voltaje en la señal de entrada que provendrá del generador.

MODULO DE PROTECCIONES

Inicialmente se verificó la operación del sistema de comparación (figura 2.5), el circuito reconoce el sobrevoltaje o bajo voltaje de cualquiera de las fases; la calibración para los niveles de reconocimiento de falla es posible mediante los potenciómetros R_1 y R_{14}, para cumplir con las especificaciones detalladas en el subcapítulo 2.1 se calibró R_1 para que el nivel de sobrevoltaje se reconozca en 133 VAC y R_{14} para que la falla por bajo voltaje se produzca con 121 VAC.

A continuación se revisó la operación de los circuitos asociados con el microprocesador; es decir oscilación del cristal, reset y la división por tres de la frecuencia de ALE obtenida mediante el contador SN 7490, se pudo constatar la operación normal de esta circuitería.

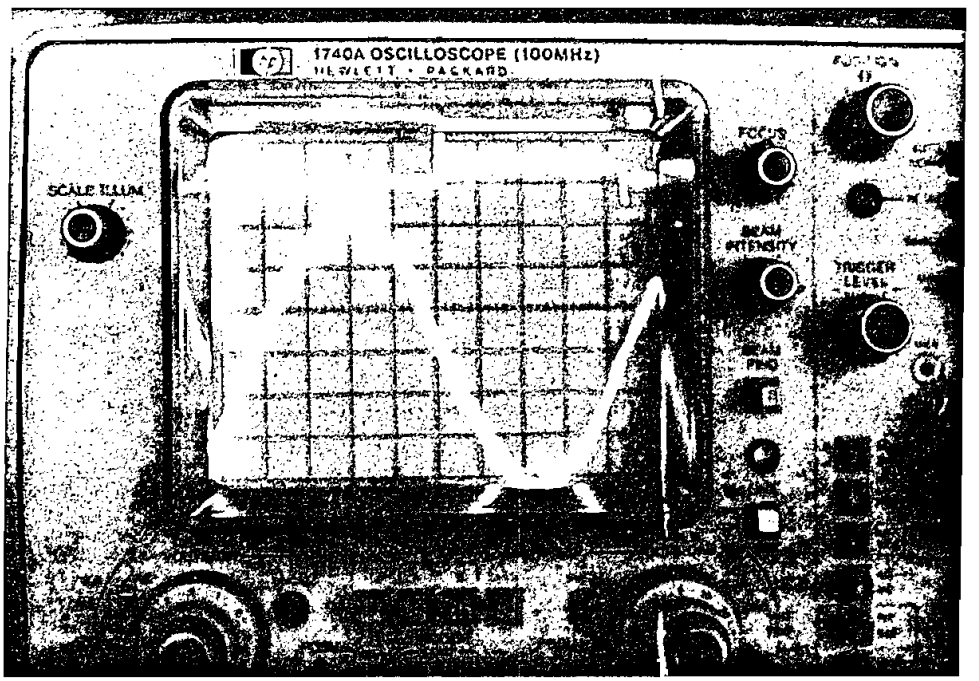
MODULO DE DISPARO

Para verificar la operación del módulo de disparo, con referencia a la figura 2.8 se alimentó una de las entradas de la compuerta AND CD4081, con los pulsos sincronizados con el cruce por cero y la otra entrada

se conectó a 5V o a 0V para observar el comportamiento del circuito. Las formas de onda obtenidas en este circuito son las que se indican mediante las fotografías 4.10 y 4.11

VNC

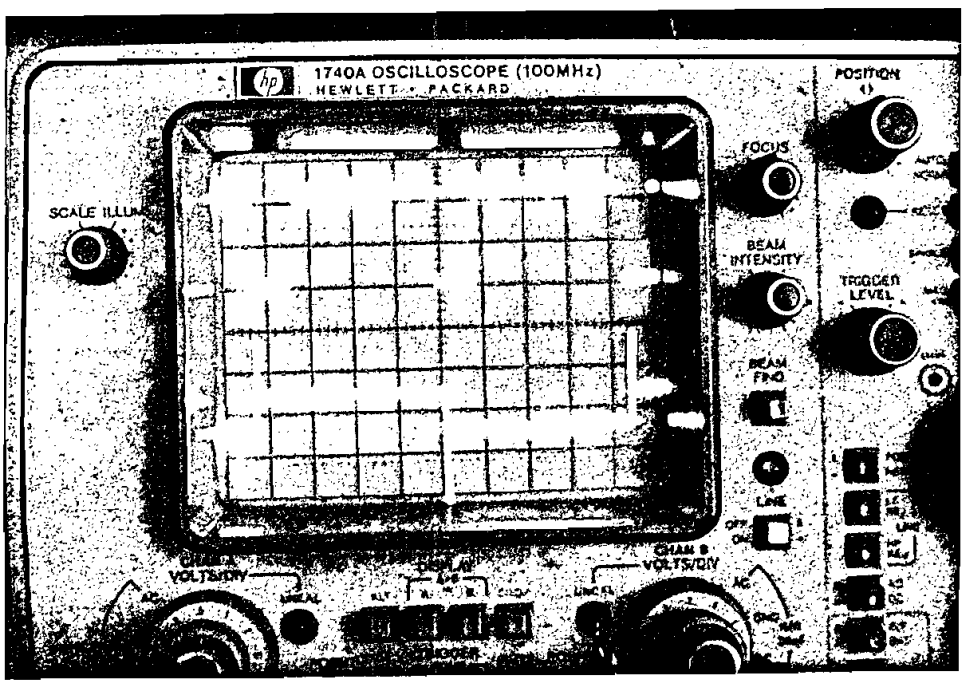
VBC



FOTOGRAFIA 4.10

VAN

VCN



FOTOGRAFIA 4.11

Se puede observar el disparo en cruce por cero de los triacs así como la correcta operación del circuito disparador MOC3010.

Una vez revisada la operación de toda la circuitería y calibrados los potenciómetros de acuerdo a los valores expuestos en el subcapítulo se procedió a realizar las pruebas que permiten la simulación del comportamiento del generador mediante el equipo de prueba disponible, el objetivo de estas pruebas radica en constatar la operación del programa desarrollado, así como el funcionamiento del equipo en general.

La presencia de los relés CR, CS y CT en las líneas de alimentación del circuito impide el funcionamiento del mismo mientras no se alcance el voltaje de activación de estos relés; por tanto en el proceso de arranque del generador los relés se cerrarán cuando la frecuencia y voltaje de generación alcancen valores que pueden considerarse como condiciones estables para el generador.

Por tanto para simular este proceso, mediante el variac trifásico se aumentó el voltaje de las fases hasta el valor de activación de los relés; manteniendo la frecuencia en valores bajos, el primer resultado obtenido es que al operar los relés, las fuentes de alimentación para el circuito se obtienen prácticamente de manera instantánea, el microprocesador se inicializa y queda en espera del incremento de la frecuencia; al aumentar ésta mediante el oscilador, se comprobó el funcionamiento de la Tabla 3.1 así como de la primera etapa de control mediante esta tabla; si en la subrutina de retardo el factor R (diagrama 3.9) es igual a FF, el retardo total introducido es de aproximadamente un segundo. Se determinó también el correcto funcionamiento de las

subrutinas de falla de frecuencia y falla de voltaje. Esta primera etapa de control toma un tiempo aproximado de 110 segundos si al registro de trabajo R0 se le da un valor inicial de FF.

El tiempo de control del generador cuando se le ha aplicado la carga auxiliar total es de 70 segundos si R_4 tiene el valor de FF. Así concluye la primera etapa de control y de no existir fallas el regulador procede a la activación del relé CP, y entra en el lazo de espera de la señal externa proveniente del pulsador de conexión de la carga principal; al presionarse este pulsador la operación del microprocesador es inmediata, el lazo de ajuste permite la reacción del generador dándole un tiempo de 120 segundos si R0 = FF.

Finalmente el programa entra en el lazo definitivo de control mediante la Tabla 3.2, en este lazo se verificó la operación de la subrutina de sobrecarga; con referencia al diagrama de flujo 3.2.9 los tiempos obtenidos según los valores fijados en los registros son los siguientes:

LOCALIDADES DE MEMORIA	TIEMPO
20 = 0	
21 = 1	50 segs.
22 = 0	
20 = 0	
21 = 0	50x256 segs.
22 = 1	

De igual manera para las localidades 24, 25 y 26.

Concluyen así las pruebas de laboratorio realizadas sobre el regulador de carga; es importante anotar que la determinación definitiva de los parámetros de retardo requeridos por el programa se deberán realizar basándose en las pruebas de campo.

4.2.2 PRUEBAS DE CAMPO

Las pruebas de campo del regulador electrónico de carga se efectuaron en el laboratorio que el Instituto Nacional de Energía INE posee en la Central de Guangopolo; en este laboratorio se encuentran instalados el grupo turbo-generador desarrollados por el INE para el programa de instalación de microcentrales hidroeléctricas en el país, se dispone además de las cargas auxiliares necesarias para el control, así como de cargas principales que permiten una simulación efectiva de la carga real, la potencia total instalada de carga principal es de 25 Kw, la carga auxiliar instalada es también de la misma potencia.

La instalación del regulador y los elementos de control se ilustra en la figura 4.4.

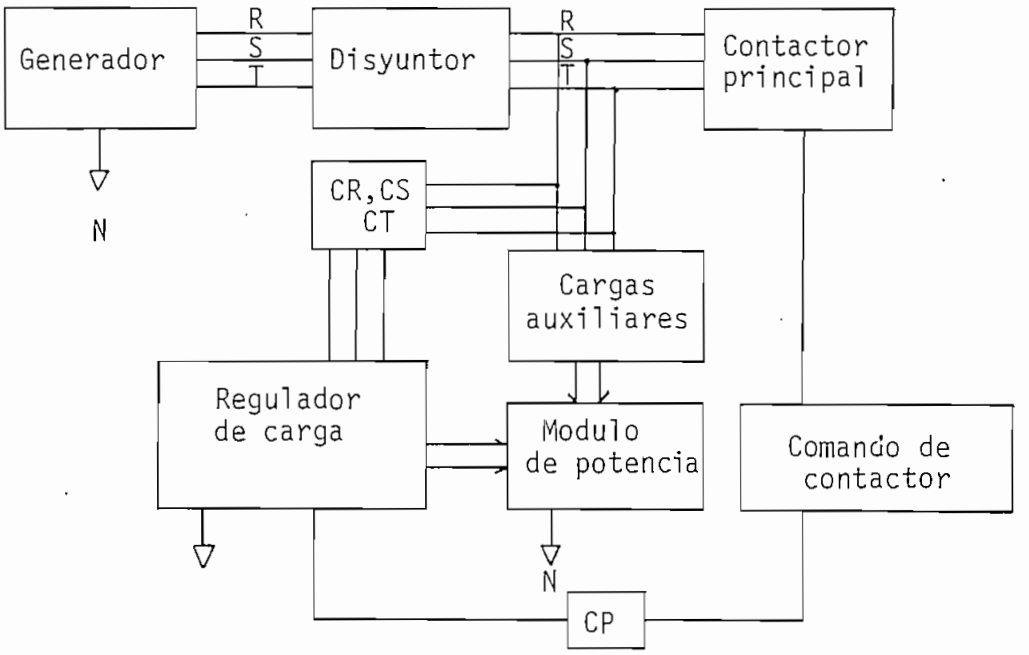


FIGURA 4.4

4.2.2.1 Pruebas Realizadas

- ARRANQUE DEL GENERADOR

Al abrir la llave de paso se incrementa el caudal hacia la turbina, se observa que el voltaje de generación permanece en un valor bajo mientras la frecuencia del generador no alcanza por lo menos alrededor de 55 Hz; el voltaje se incrementa entonces bruscamente alcanzando su valor nominal, el comportamiento del regulador es tal que debido a los relés CR, CS y CT inicia su operación cuando el voltaje de generación ha alcanzado un valor estable, la activación de las cargas auxiliares mediante la Tabla 3.1 se inicia en los 59Hz, frenando al generador e impidiendo su embalamiento, en este momento es posible equilibrar la potencia generada con la consumida, pues

se debe verificar que todas las cargas auxiliares se activen, de no ser así será necesario incrementar el caudal hacia la turbina para alcanzar el punto de equilibrio.

En esta primera etapa de control se pudo también determinar un valor adecuado para el factor R en la subrutina de retardo; si se asigna el valor 3F a este factor el control ejercido por el regulador es rápido, que es lo que se requiere pues se constató que la inercia del generador es tal que variaciones pequeñas en la carga provocan rápidos cambios en la frecuencia de generación.

- CONEXION DE LA CARGA PRINCIPAL

La magnitud de la carga principal determina el comportamiento del generador al activarse el contactor principal; si la potencia demandada es pequeña el control es lo suficientemente rápido para no permitir que la frecuencia alcance los 63 Hz. Al aplicar la carga principal total la frecuencia del generador disminuyó hasta valores cercanos a 55 Hz, pero debido al lazo de ajuste, que posibilita la reacción del generador, esto no se detecta como falla; se determinó que el tiempo de reacción requerido por el generador es de aproximadamente 10 segundos cuando se le aplica la carga principal total.

- FALLAS DE OPERACION

Se constató el funcionamiento correcto del regulador en lo referente al reconocimiento de fallas, señalizaciones, activación de la alarma, cumpliendo con las especificaciones citadas en el subcapítulo 2.1 .

C A P I T U L O V

CONCLUSIONES Y RECOMENDACIONES

5.1 CONCLUSIONES

El desarrollo del regulador electrónico de carga para microcentrales hidroeléctricas permite aliviar los costos de la energía producida, pues elimina el control de caudal, provocando como consecuencias inmediatas la reducción de obras civiles y la posibilidad de utilizar turbinas simplificadas.

La utilización de cargas auxiliares para absorber el exceso de potencia no consumida por la carga principal, permite mantener la potencia producida constante, utilizando en todo momento el caudal nominal; la potencia de las cargas auxiliares puede simplemente disiparse o consumirse productivamente en elementos resistivos como calefactores de agua y aire.

La regulación electrónica de carga mediante el continuo monitoreo de la frecuencia de generación y el comando de la carga fantasma mediante elementos de estado sólido permite altas velocidades de respuesta del control, consecuentemente la energía producida tendrá un buen factor de calidad. La velocidad de respuesta se relaciona también con la inercia del generador, que es pequeña para potencias como 50 Kw, por tanto el control no requiere de modificaciones externas a la inercia del generador.

La conexión de las cargas auxiliares a la línea mediante triacs disparados en el cruce por cero minimiza la distorsión armónica y la interferencia por radio frecuencia producidas en controles que utilizan el ángulo de fase como parámetro de control para variar la carga auxiliar, el control gobierna 15 pasos iguales de carga, el incremento de pasos de regulación resultaría en un control más fino de la frecuencia pero a expensas del costo del regulador e instalación de cargas fantasmas.

La construcción del regulador microprocesado de carga permitió constatar en todo momento las ventajas de la utilización del microprocesador como elemento central de control, en la fase de pruebas de campo desarrolladas en el laboratorio del INE, se realizaron los ajustes necesarios en el programa tendientes a optimizar el control de generador. Para la instalación definitiva del equipo se detectó la necesidad de implantar la memorización de las fallas producidas, de esta manera el operador de la planta podrá conocer la causa de desconexión de la carga principal; debo recalcar que ésta mejora al regulador implica exclusivamente cambios en el programa almacenado, no así en la circuitería desarrollada, de igual manera, puede modificarse el programa para la detección misma de las fallas, cabe citar como ejemplo la introducción de retardo para el reconocimiento de fallas por bajo voltaje.

5.2 RECOMENDACIONES

Para plantas con potencia superior a los 50 Kw, se supera la corriente máxima de operación de los triacs, inicialmente en las cargas 4 y 4 + 4, es conveniente entonces utilizar dos triacs para la carga 4 y tres para la carga auxiliar 4 + 4, se debe preveer el aumento de los

circuitos de disparo y modificaciones en el módulo MD para tal propósito, los restantes módulos permanecen invariables.

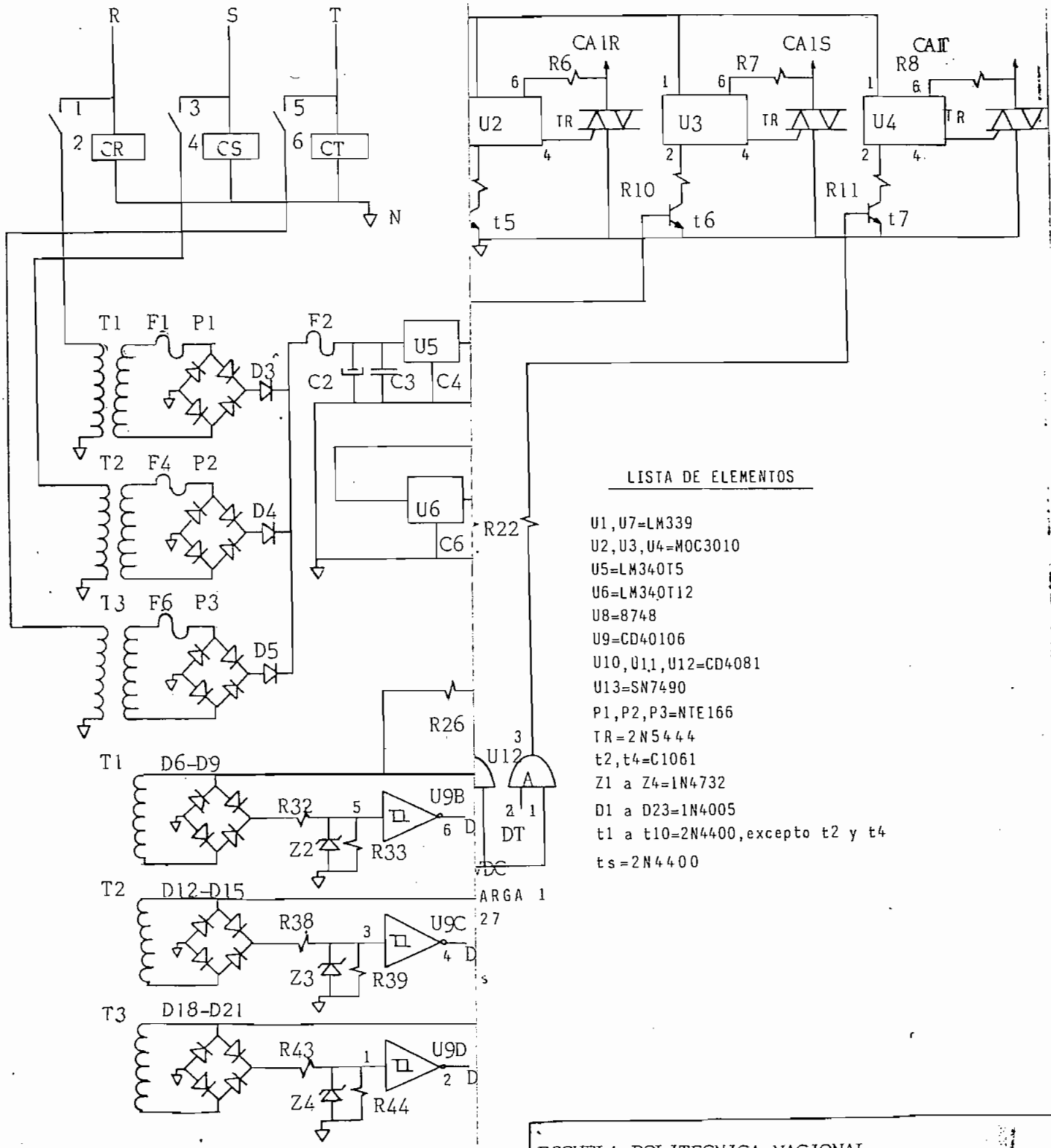
El conjunto final de control del generador abarca las partes de control y protecciones; se recomienda la construcción de un tablero de control que unifique todos los elementos, este tablero contendrá en su parte externa los elementos de medición y control requeridos, como son amperímetro, voltímetro, frecuencímetro, horómetro, llaves de selección, indicadores de fallas, de cargas activadas y pulsadores para el control de la carga principal. En su parte interna se dispondrá convenientemente los siguientes elementos, disyuntor, contactor principal, transformadores de corriente, regulador microprocesado, módulo de potencia, la ubicación del panel de triacs y ventiladores deberá ser tal que permita su adecuada ventilación.

Para una adecuada protección de los triacs se recomienda la utilización de fusibles para elementos semiconductores, sin embargo, la operación normal del módulo de potencia deberá garantizarse mediante una instalación segura de las cargas auxiliares que minimice la posibilidad de fallas asociadas con instalaciones defectuosas.

Se recomienda también la utilización de triacs con montaje propio aislado, a fin de evitar riesgos en el mantenimiento del módulo de potencia.

A N E X O A

DIAGRAMA TOTAL



LISTA DE ELEMENTOS

U1,U7=LM339
U2,U3,U4=MOC3010
U5=LM340T5
U6=LM340T12
U8=8748
U9=CD40106
U10,U11,U12=CD4081
U13=SN7490
P1,P2,P3=NTE166
TR=2N5444
t2,t4=C1061
Z1 a Z4=1N4732
D1 a D23=1N4005
t1 a t10=2N4400,excepto t2 y t4
ts=2N4400

ESCUELA POLITECNICA NACIONAL

FACULTAD DE INGENIERIA ELECTRICA

REGULADOR ELECTRONICO DE CARGA
PARA MICROCENTRALES HIDROELECTRICAS

A N E X O B

LISTADO GENERAL DEL PROGRAMA

	000	JMP INICIO	04 0A
INICIO	00A	CLR A	27
	00B	OUT P1, A	39
	00C	OUT P2, A	3A
R7 > = 35	00D	CALL CONTEO	54 00
	0FF	MOV A, # 35	23 35
	011	CPL A	37
	012	INC A	17
	013	CLR C	97
	014	ADD A, R7	6F
	015	JC R7 > = 35	F6 0D
	017	JMP CONTROL	04 60
TABLA 3.1	030		F0
	031		F0
	032		F0
	033		F0
	034		F0
	035		F0
	036		F0
	037		F0
	038		F0
	039		F0

	03A		F0
	03B		F0
	03C		F0
	03D		E0
	03E		D0
	03F		C0
	040		B0
	041		A0
	042		90
	043		80
	044		70
	045		60
	046		50
	047		40
	048		30
	049		20
	04A		10
	04B		00
CONTROL	060	MOV RO, #FF	B8 FF
LAZO	062	CLR F1	A5
	063	MOV A, # 35	23 35
	065	CPL A	37
	066	INC A	17
	067	CLR C	97
	068	ADD A, R7	6F
	069	JC R7 > 34	F6 E6
	06B	MOV A, # 34	23 34

	06D	XRL A,R7	DF
	06E	JZ R7 = 34	C6 EE
	070	MOV A, R7	FF
	071	CPL A	37
	072	INC A	17
	073	CLR C	97
	074	ADD A, # 32	03 32
	076	JC R7 < 33	F6 F8
	078	CALL CONVER	74 00
	07A	MOVP A,@A	A3
	07B	OUT P2, A	3A
	07C	CALL RETARDO	34 20
VOLTAJE	080	CALL FALLA V	34 A0
	082	CALL SOBRECARGA	54 80
	084	CALL CONTEO	54 00
	086	JF1 CONTROL	76 60
	088	ANL P1, #FD	99 FD
	08A	DJNZ RO LAZO	E8 62
	090	MOV R4, #FF	BC FF
	092	ORL P2, #FO	8A FO
FALLA	094	CALL FALLA F	34 40
	096	CALL FALLA V	34 A0
	098	CALL RETARDO	34 20
	09A	CALL SOBRECARGA	54 80
	09C	CALL CONTEO	54 00
	09E	JF1 CONTROL	76 60

	0A0	DJNZ R4 FALLA	EC 94
	0A4	MOV A, #01	23 01
	0A6	OUT P1,A	39
ESPERA	0A7	INS A, BUS	08
	0A8	JB2 SIGUE	52 B9
	0AA	CALL CONTEO	54 00
	0AC	CALL FALLA F	34 40
	0AE	CALL FALLA V	34 A0
	0B0	CALL SOBRECARGA	54 80
	0B2	JF1 DES REL	76 FC
	0B4	ANL P1, #FD	99 FD
	0B6	JMP ESPERA	04 A7
SIGUE	0B9	CALL RETARDO	34 20
	0BB	MOV R0,#FF	B8 FF
AJUSTE	0BD	CALL CONTEO	54 00
	0BF	MOV A,#77	23 77
	0C1	XRL A,R3	DB
	0C2	JZ DES REL	C6 FC
	0C4	CALL LIMITES	74 60
	0C6	MOVP3 A,@A	E3
	0C7	OUT P2, A	3A
	0C8	CALL RETARDO	34 20
	0CA	DJNZ R0 AJUSTE	E8 BD
LAZO 2	0CE	CLR F1	A5
	0CF	CALL CONTEO	54 00
	0D1	MOV A, #77	23 77
	0D3	XRL A,R3	DB

	0D4	JZ DES REL	C6 FC
	0D6	CALL FALLA F	34 40
	0D8	CALL FALLA V	34 A0
	0DA	CALL SOBRECARGA	54 80
	0DC	JF1 DES REL	76 FC
	0DE	CALL LIMITES	74 60
	0E0	MOVP3 A,@A	E3
	0E1	OUT P2, A	3A
	0E2	CALL RETARDO	34 20
	0E4	JMP LAZO 2	04 CE
R7 > 34	0E6	ANL P2, #0F	9A 0F
FALL	0EB	CALL FALLA F	34 40
	0EA	MOV R0, #80	B8 80
	0EC	JMP VOLTAJE	04 80
R7 = 34	0EE	CALL CONVER	74 00
	0F0	MOVP A,@A	A3
	0F1	OUT P2, A	3A
	0F2	CALL RETARDO	34 20
	0F4	CALL CONTEO	54 00
	0F6	JMP VOLTAJE	04 80
R7 < 33	0F8	ORL P2, #F0	8A F0
	0FA	JMP FAL	04 E8
DES REL	0FC	ANL P1, #FE	99 FE
	0FE	JMP CONTROL	04 60
RETARDO	120	MOV A,#3F	23 3F
	122	MOV R1, #18	B9 18
	124	MOV@R1,A	A1

	125	INC R1	19
	126	MOV@R1, A	A1
B	127	MOV A,@R1	F1
A	128	DEC A	07
	129	JZ FIN1	C6 2D
	12B	JMP A	24 28
DIN1	12D	DEC R1	C9
	12E	MOV A,@R1	F1
	12F	DEC A	07
	130	JZ FIN	C6 36
	132	MOV@R1, A	A1
	133	INC R1	19
	134	JMP B	24 27
FIN	136	RET	83
FALLA F	140	MOV A,#37	23 37
	142	CPL A	37
	143	INC A	17
	144	CLR C	97
	145	ADD A,R7	6F
	146	JC R7 > 36	F6 60
	148	MOV A,#36	23 36
	14A	XRL A,R7	DF
	14B	JZ R7 = 36	C6 70
R7 <	14D	MOV A,R7	FF
	14E	CPL A	37
	14F	INC A	17
	150	CLR C	97
	151	ADD A,#30	03 30

	153	JC R7 < 31	F6 69
	155	MOV A,#31	23 31
	157	XRL A,R7	DF
	158	JZ R7 = 31	C6 82
BORRE	15A	ANL P1, #CF	99 CF
	15C	RET	83
R7 > 36	160	ORL P1,#20	89 20
BANDERA	162	CLR F1	A5
	163	CPL F1	B5
	164	RET	83
R7 < 31	169	ORL P1,#12	89 12
	16B	JMP BANDERA	24 62
R7 = 36	170	MOV A,T	42
	171	ANL A,#F0	53 F0
	173	MOV R5,A	AD
	174	MOV A,#80	23 80
	176	CPL A	37
	177	INC A	17
	178	CLR C	97
	179	ADD A,R5	6D
	17A	JC R7 > 36	F6 60
	180	JMP R7 <	24 4D
R7 = 31	182	MOV A,T	42
	183	ANL A,#F0	53 F0

	185	JZ R7 < 31	C6 69
	187	CPL A	37
	188	INC A	17
	189	CLR C	97
	18A	ADD A,#50	83 50
	18C	JC R7 < 31	F6 69
	18E	JMP BORRE	24 5A
FALLA V	1A0	INS A,BUS	08
	1A1	JB3 BAJO V	72 A8
	1A3	JB0 SOBRE V	12 B0
	1A5	ANL P1,#F3	99 F3
	1A7	RET	83
BAJO V	1A8	ANL P1,#FB	99 FB
	1AA	ORL P1,#08	89 08
SEÑAL	1AC	JF1 RETORNO	76 AF
	1AE	CPL F1	B5
RETORNO	1AF	RET	83
SOBRE V	1B0	ANL P1,#F7	89 F7
	1B2	ORL P1,#04	89 04
	1B4	JMP SEÑAL	24 AC
CONTEO	200	CLR A	27
	201	MOV R3, A	AB
	202	ORL P2, #08	8A 08
COMENZAR	204	JT0 CHEQUEO	36 24
CERO	206	JNT0 CERO	26 06
	208	ANL P2,#F7	9A F7
	20A	JTF NOTF	16 0C
NOTF	20C	CLR A	27
	20D	MOV T.,A	62

	20E	MOV R7, A	AF
	20F	STRTCNT	45
	210	MOV R1, #0A	B9 0A
OTRO	212	JNTO CAMBIO	26 18
	214	JTF INCR7	16 60
	216	JMP OTRO	44 12
CAMBIO	218	JTO DECR1	36 1E
	21A	JTF INC	16 70
	21C	JMP CAMBIO	44 18
DEC R1	21E	DJNZ R1 OTRO	E9 12
	220	STOP TCNT	65
	221	JTF INCU	16 6D
	223	RET	83
CHEQUEO	224	INS A, BUS	08
	225	CPL A	37
	226	JB3 COMENZAR	72 04
	228	MOV A,#77	23 77
	22A	XRL A,R3	DB
	22B	JZ COMENZAR	C6 04
	22D	CALL FALLA V	34 A0
	22F	JTF NO	16 31
NO	231	CLR A	27
	232	MOV R2, A	AA
	233	STRT T	55
PRB	234	JNTO ALTO	26 40
	236	JTF INCR2	16 49
	238	JMP PRB	44 34

ALTO	240	STOP TCNT	65
	241	CLR A	27
	242	MOV T, A	62
	243	JMP CERO	44 06
INCR2	249	INC R2	1A
	24A	MOV A,#03	23 03
	24C	XRL A,R2	DA
	24D	JNZ PRB	96 34
STOP	24F	STOP TCNT	65
	250	ANL P1,#FE	99 FE
	252	ORL P2, #F0	8A F0
	254	ORL P1,#02	89 02
	256	MOV R3,#77	BB 77
	258	JMP COMENZAR	44 04
INC R7	260	INC R7	1F
	261	MOV A,R7	FF 00
	263	XRL A,#50	03 50
	265	JNZ OTRO	96 12
FAL	267	CALL FALLA V	34 A0
	269	JMP STOP	44 4F
INCU	26D	INC R7	1F
	26E	RET	83
INC	270	INC R7	1F
	271	MOV A,R7	FF

	272	XRL A,#50	03 50
	274	JNZ CAMBIO	96 18
	276	JMP FAL	44 67
SOBRECARGA	280	MOV A,#36	23 36
	282	CPL A	37
	283	INC A	17
	284	CLR C	97
	285	ADD A,R7	6F
	286	JC R7 > = 36	F6 B0
	288	MOV A, R7	FF
	28A	XRL A,#35	D3 35
	28C	JZ AVR	C6 A0
RAM	28E	MOV R1,#20	B9 20
MAS	290	CLR A	27
	291	MOV@R1,A	A1
	292	INC R1	19
	293	MOV A,#26	23 26
	295	XRL A,R1	D9
	296	JNZ MAS	96 90
	298	ANL P1,#BF	99 BF
	29A	RET	83
AVR	2A0	MOV A,T	42
	2A1	ANL A,#F0	53 F0
	2A3	JZ RAM	C6 BE
	2A5	CPL A	37
	2A6	INC A	17

	2A7	CLR C	97
	2A8	ADD A,#80	03 80
	2AA	JC RAM	F6 8E
R7 > = 36	2B0	MOV R1#23	B9 23
	2B2	MOV A,@R1	F1
	2B3	JNZ CONTAR 1	96 D1
	2B5	MOV R1,#1F	B9 1F
ACUM 1	2B7	INC R1	19
	2B8	CLR C	97
	2B9	MOV A,@R1	F1
	2BA	INC A	17
	2BB	MOV@R1,A	A1
	2BC	JC ACUM 1	F6 B7
	2BE	MOV R1,#20	B9 20
T3	2C0	MOV A,#50	23 50
	2C2	XRL A,@R1	D1
	2C3	JZ SIRENA	C6 CA
	2C5	RET	83
SIRENA	2CA	ORL P1,#42	89 42
	2CC	MOV R1,#23	B9 23
	2CE	MOV@R1,#04	B1 04
	2D0	RET	83
CONTAR 1	2D1	MOV R1,#23	B9 23
ACUM 2	2D3	INC R1	19
	2D4	CLR C	97
	2D5	MOV A,@R1	F1

	2D6	INC A	17
	2D7	MOV@R1,A	A1
	2D8	JC ACUM 2	F6 D3
	2DA	MOV R1,#24	B9 24
T2	2DC	MOV A,#60	23 60
	2DE	CLRC	97
	2DF	ADD A@R1	61
	2E0	JC RELAY	F6 E3
	2E2	RET	83
RELAY	2E3	ANL P1,#FE	99 FE
	2E5	JF1 FINAL	76 EB
	2E7	CPL F1	B5
FINAL	2E8	RET	83
CONVER	300	MOV A,R7	FF
	301	ANL A,#0F	53 0F
	303	SWAP A	47
	304	MOV R6,A	AE
	305	MOV A,T	42
	306	ANL A,#F0	53 F0
	308	SWAP A	47
	309	ADD A,R6	6E
	30A	MOV R6,A	AE
	30B	RET	83

TABLA 3.2

320	F0
32E	F0
32F	E0
330	E0
331	D0
332	D0
333	C0
334	C0
335	B0
336	B0
337	A0
338	A0
339	90
33A	90
33B	80
33C	80
33D	70
33E	70
33F	60
340	60
341	50
342	50
343	40
344	40
345	30
346	30
347	20
348	20
349	10
34A	10
34B	00
34C	00
34D	00
34E	00
34F	00

LIMITES	360	MOV A,#35	23 35
	362	CPL A	37
	363	INC A	17
	264	CLR C	97
	365	ADDA,R7	6F
	366	JC R7 > 34	F6 73
	368	MOV A,R7	FF
	369	CPL A	37
	36A	INC A	17
	36B	CLR C	97
	36C	ADD A,#31	03 31
	36E	JC R7 < 32	F6 76
	370	CALL CONVER	74 00
	372	RET	83
R7 > 34	373	MOV A,#4C	23 4C
	375	RET	83
R7 < 32	376	MOV A,#2E	23 2E
	378	RET	83

A N E X O C

MANUAL DE UTILIZACION

- DESCRIPCION: El regulador de carga se divide en dos componentes : el módulo de control y el de potencia.

- MODULO DE CONTROL: Cumple las siguientes funciones:
  - Mantener la frecuencia de generación entre 59 y 61 Hz.
  - Detectar fallas de generación y tomar las acciones correspondientes.
  - Señalizar la operación y las fallas.
  - Proveer al módulo de potencia de las señales de disparo adecuadas.

  La descripción de los puntos de conexión puede observarse en el subcapítulo 4.1, tabla 4.1.

- MODULO DE POTENCIA: Consta de 15 triacs ubicados en tres filas horizontales correspondientes a las fases R,S y T; las columnas 1, 2, 3, 4 y 5 corresponden a las cargas auxiliares 1, 2, 4 y 4+4 respectivamente.

  El detalle de los terminales puede observarse en la figura 4.2 del subcapítulo 4.1.

  Los puntos 1 a 30 del módulo de potencia deben conectarse a sus correspondientes de los terminales del módulo de control, además los puntos 16 a 30 van conectados a los bancos de cargas auxiliares con la fase y el valor de carga correspondientes. Se debe preveer también la conexión de los relés CR, CS, CT y CP de acuerdo a lo

explicado en la figura 4.3

- METODO DE OPERACION:

1. Conectar la toma de fuerza de las fases provenientes del generador hacia los relés, como se ha explicado.
2. Realizar la conexión de las cargas auxiliares en los puntos indicados del módulo de potencia.
3. Implementar el control para la conexión de la carga principal mediante el relé CP.
4. Verificados los tres puntos anteriores, el equipo se encuentra listo para operar, se debe por tanto proceder a arrancar el generador; cuando la frecuencia alcance los 59 Hz se inicia automáticamente la conexión de las cargas auxiliares y a 60 Hz y potencia nominal se aplican las 15 cargas. Luego de verificar que las condiciones de operación son normales, el control activa el relé CP habilitando la conexión de la carga principal.
5. Cuando el relé CP se ha activado, el control espera el accionamiento del pulsador externo que a su vez será el que comande la conexión de la carga principal.
6. El regulador de carga mantendrá la frecuencia de generación entre 59 y 61 Hz, contrarrestando las variaciones de la carga principal con variaciones en la carga auxiliar; el regulador vigilará permanentemente que las condiciones de operación sean las adecuadas, procediendo a la desconexión de la carga principal ante cualquier condición de falla, la reconexión de la carga principal requiere del accionamiento del pulsador de conexión.

CONDICIONES DE FALLA

FALLA	CONDICION	ACCION DEL REGULADOR
Bajo voltaje	121 VAC	Desconexión de CP; señalización.
Sobre voltaje	132 VAC	Desconexión de CP; señalización.
Baja frecuencia	57 Hz	Desconexión de CP; señalización.
Sobre frecuencia	63 Hz	Desconexión de Cp; señalización y alarma
Sobrecarga	58 Hz durante t1	alarma; si la sobrecarga persiste durante t2, desconexión de Cp, señalización.

A N E X O D

HOJAS DE DATOS

TYPES 1N4001 THRU 1N4007
SILICON RECTIFIERS

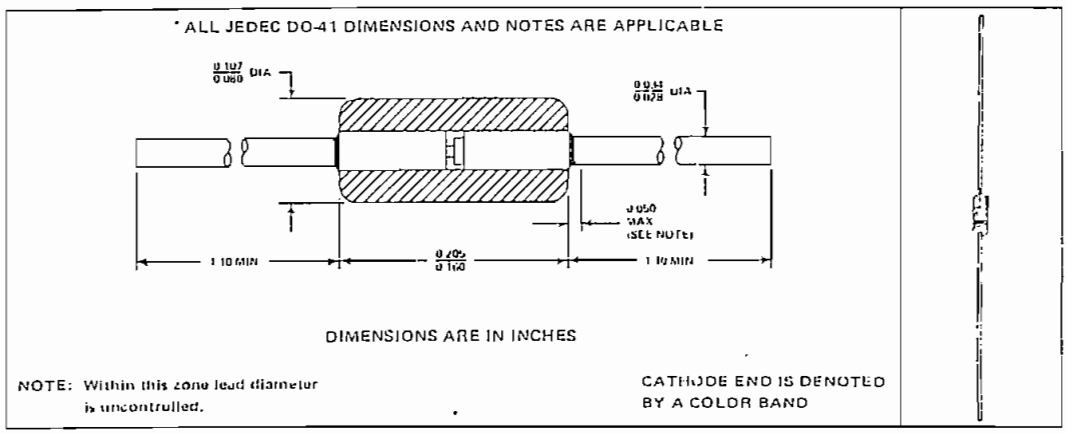
BULLETIN NO. DL-S 7211698, NOVEMBER 1972

50-1000 VOLTS • 1 AMP AVERAGE

- Rugged Double-plug Construction
- Hermetic Case
- 30-Amp Surge Rating

description and mechanical data

These one-amp rectifier diodes are the product of combining the best of both silicon material processing and packaging technologies. The silicon die is a mesa oxide-passivated structure which has additional nitride passivation and glass passivation over the junction. Years of volume production have shown the double-plug package to have the highest inherent mechanical integrity of all hermetic-case diodes.



*absolute maximum ratings at specified ambient† temperature (unless otherwise noted)

		1N4001	1N4002	1N4003	1N4004	1N4005	1N4006	1N4007	UNIT
V_{RM}	Peak Reverse Voltage from -65°C to 175°C (See Note 1)	50	100	200	400	600	800	1000	V
V_R	Steady State Reverse Voltage from 25°C to 75°C	50	100	200	400	600	800	1000	V
I_O	Average Rectified Forward Current from 25°C to 75°C (See Notes 1 and 2)	1							A
I_{FRM}	Repetitive Peak Forward Current, 10 Cycles, at (or below) 75°C (See Note 3)	10							A
I_{FSM}	Peak Surge Current, One Cycle, at (or below) 75°C (See Note 3)	30							A
$T_{A(opr)}$	Operating Ambient Temperature Range	-65 to 175							°C
T_{stg}	Storage Temperature Range	-65 to 200							°C
	Lead Temperature 3/8 Inch from Case for 10 Seconds	350							°C

NOTES: 1. These values may be applied continuously under single phase, 60 Hz, half sine wave operation with resistive load. Above derate I_O according to Figure 1.

2. This rectifier is a lead conduction cooled device. At (or above) ambient temperatures of 75°C, the lead temperature 3/8 inch from case must be no higher than 5°C above the ambient temperature for these ratings to apply.

3. These values apply for 60 Hz half sine waves when the device is operating at (or below) rated values of peak reverse voltage and average rectified forward current. Surge may be repeated after the device has returned to original thermal equilibrium.

*JEDEC registered data. This data sheet contains all applicable registered data in effect at the time of publication.

†The ambient temperature is measured at a point 2 inches below the device. Natural air cooling is used.

TYPES 1N4728 THRU 1N4752, 1N4728A THRU 1N4752A
SILICON VOLTAGE-REGULATOR DIODES

BULLETIN NO. DL-S 7311949, MARCH 1973

V_Z . . . 3.3 V to 33 V
P_D . . . 1 W

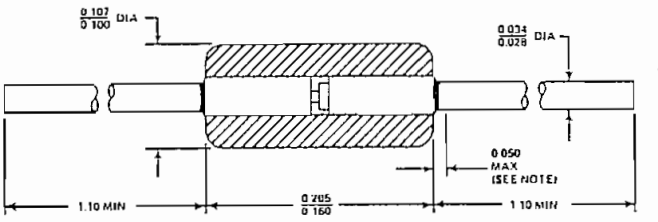
- Available in 5% and 10% Tolerances
- Rugged Double-Plug Construction

mechanical data

These voltage regulator diodes have been designed using the best of both silicon material processing and packaging technologies. The silicon die is a planar oxide-passivated structure which has additional true-glass passivation over the junction. The double-plug package, proven by years of volume production, ensures the best in mechanical integrity and the lowest possible junction temperature when compared to the thermal characteristics of whisker packages.

*OUTLINE DRAWING

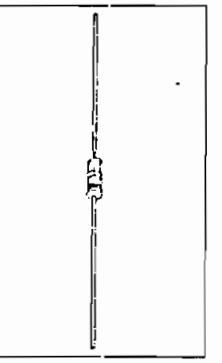
FALLS WITHIN JEDEC DO-41 OUTLINE



DIMENSIONS ARE IN INCHES

NOTE: Within this zone lead diameter is uncontrolled.

CATHODE END IS DENOTED BY A COLOR BAND



absolute maximum ratings at specified free-air temperature (unless otherwise noted)

*Steady-State Regulator Current, I_{ZM}, at (or below) 50°C (See Note 1) . . . . . See Table 1
*Nonrepetitive Reverse Surge Current, I_{RSM}, at (or below) 25°C (See Note 2) . . . . . See Table 1
*Continuous Power Dissipation at (or below) 50°C (See Note 3) . . . . . 1 W
*Operating Free-Air Temperature Range . . . . . −65°C to 200°C
Storage Temperature Range . . . . . −65°C to 200°C
*Lead Temperature 1/16 Inch from Case for 10 Seconds . . . . . 230°C

TABLE 1—CURRENT RATINGS

TYPE	I_{ZM} (mA)	I_{RSM} (mA)	TYPE	I_{ZM} (mA)	I_{RSM} (mA)	TYPE	I_{ZM} (mA)	I_{RSM} (mA)
1N4728, A	276	1380	1N4738, A	110	550	1N4748, A	41	205
1N4729, A	252	1260	1N4739, A	100	500	1N4749, A	38	190
1N4730, A	234	1190	1N4740, A	91	454	1N4750, A	34	170
1N4731, A	217	1070	1N4741, A	83	414	1N4751, A	30	150
1N4732, A	193	970	1N4742, A	76	380	1N4752, A	27	135
1N4733, A	178	890	1N4743, A	69	344			
1N4734, A	162	810	1N4744, A	61	304			
1N4735, A	146	730	1N4745, A	57	285			
1N4736, A	133	660	1N4746, A	50	250			
1N4737, A	121	605	1N4747, A	45	225			

NOTES: 1. The nominal I_{ZM} currents shown are applicable for devices having regulator voltages approximately 10% above the nominal V_Z values shown under electrical characteristics. These values do not represent absolute limits. The actual steady state current-voltage product must not exceed the power rating.
2. These values apply for an 8.3 ms square wave pulse superposed on a steady state reverse current equal to $I_{Z(T)}$ as shown under electrical characteristics.
3. Derate linearly to 200°C at the rate of 6.67 mW/°C. See Figure 1.

*JEDEC registered data. This data sheet contains all applicable registered data in effect at the time of publication.

TYPES 1N4728 THRU 1N4752, 1N4728A THRU 1N4752A
SILICON VOLTAGE-REGULATOR DIODES

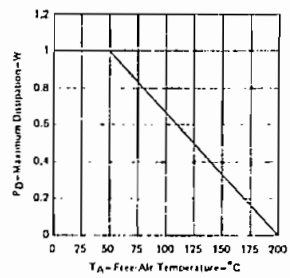
*electrical characteristics at 25°C free-air temperature

CHARACTERISTICS						TEST CURRENT AND VOLTAGE		
PARAMETER	V_Z Regulator Voltage	z_z Small-Signal Regulator Impedance	z_{zk} Small-Signal Regulator Knee Impedance	I_R Static Reverse Current	V_F Static Forward Voltage			
TEST CONDITIONS	$I_R = I_{Z(T)}$	$I_R = I_{Z(T)}$, $I_r = 10\% I_{Z(T)}$, f = 60 Hz	$I_R = I_{ZK}$, $I_r = 10\% I_{ZK}$, f = 60 Hz	$V_R = V_{R(T)}$	I_F = 200 mA	$I_{Z(T)}$	I_{ZK}	$V_{R(T)}$
LIMIT	NOM†	MAX	MAX	MAX	MAX			
UNIT	V	Ω	Ω	μA	V	mA	mA	V
1N4728, A	3.3	10	400	100	1.2	76	1	1
1N4729, A	3.6	10	400	100	1.2	69	1	1
1N4730, A	3.9	9	400	50	1.2	64	1	1
1N4731, A	4.3	9	400	10	1.2	58	1	1
1N4732, A	4.7	8	500	10	1.2	53	1	1
1N4733, A	5.1	7	550	10	1.2	49	1	1
1N4734, A	5.6	5	600	10	1.2	45	1	2
1N4735, A	6.2	2	700	10	1.2	41	1	3
1N4736, A	6.8	3.5	700	10	1.2	37	1	4
1N4737, A	7.5	4.0	700	10	1.2	34	0.5	5
1N4738, A	8.2	4.5	700	10	1.2	31	0.5	6
1N4739, A	9.1	5	700	10	1.2	28	0.5	7
1N4740, A	10	7	700	10	1.2	25	0.25	7.6
1N4741, A	11	8	700	5	1.2	23	0.25	8.4
1N4742, A	12	9	700	5	1.2	21	0.25	9.1
1N4743, A	13	10	700	5	1.2	19	0.25	9.9
1N4744, A	15	14	700	5	1.2	17	0.25	11.4
1N4745, A	16	16	700	5	1.2	15.5	0.25	12.2
1N4746, A	18	20	750	5	1.2	14.0	0.25	13.7
1N4747, A	20	22	750	5	1.2	12.5	0.25	15.2
1N4748, A	22	23	750	5	1.2	11.5	0.25	16.7
1N4749, A	24	25	750	5	1.2	10.5	0.25	18.2
1N4750, A	27	35	750	5	1.2	9.5	0.25	20.6
1N4751, A	30	40	1000	5	1.2	8.5	0.25	22.8
1N4752, A	33	45	1000	5	1.2	7.5	0.25	25.1

†V_Z tolerance is ±10% for 1N4728 through 1N4752; ±5% for 1N4728A through 1N4752A.

THERMAL INFORMATION

DISSIPATION DERATING CURVE



TYPES 2N2217 THRU 2N2222, 2N2218A, 2N2219A, 2N2221A, 2N2222A
N-P-N SILICON TRANSISTORS

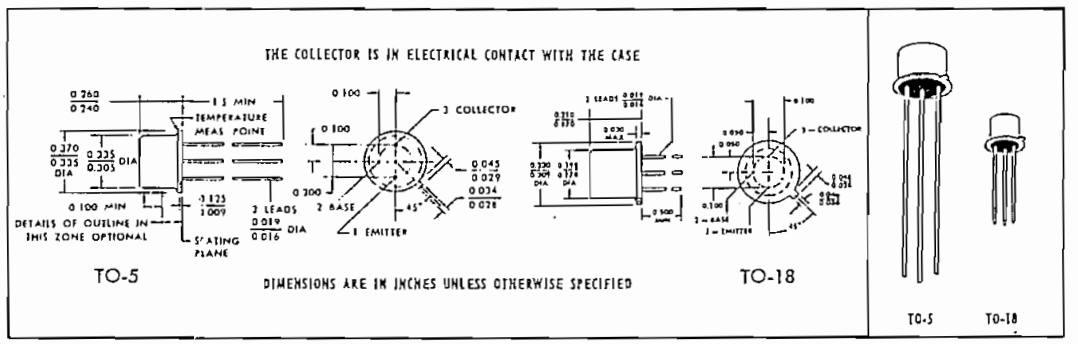
BULLETIN NO. DL-S 7311916, MARCH 1973

DESIGNED FOR HIGH-SPEED, MEDIUM-POWER SWITCHING AND GENERAL PURPOSE AMPLIFIER APPLICATIONS

- h_{FE} . . . Guaranteed from 100 μA to 500 mA
- High f_T at 20 V, 20 mA . . . 300 MHz (2N2219A, 2N2222A)
  250 MHz (all others)
- 2N2218, 2N2221 for Complementary Use with 2N2904, 2N2906
- 2N2219, 2N2222 for Complementary Use with 2N2905, 2N2906

*mechanical data

Device types 2N2217, 2N2218, 2N2218A, 2N2219, and 2N2219A are in JEDEC TO-5 packages.
Device types 2N2220, 2N2221, 2N2221A, 2N2222, and 2N2222A are in JEDEC TO-18 packages.



*absolute maximum ratings at 25°C free-air temperature (unless otherwise noted)

	2N2217 2N2218 2N2219	2N2218A 2N2219A	2N2220 2N2221 2N2222	2N2221A 2N2222A	UNIT
Collector-Base Voltage	60	75	60	75	V
Collector-Emitter Voltage (See Note 1)	30	40	30	40	V
Emitter-Base Voltage	5	6	5	6	V
Continuous Collector Current	0.8	0.8	0.8	0.8	A
Continuous Device Dissipation at (or below) 25°C Free-Air Temperature (See Notes 2 and 3)	0.8	0.8	0.5	0.5	W
Continuous Device Dissipation at (or below) 25°C Case Temperature (See Notes 4 and 5)	3	3	1.8	1.8	W
Operating Collector Junction Temperature Range	–65 to 175				°C
Storage Temperature Range	–65 to 200				°C
Lead Temperature 1/16 Inch from Case for 10 Seconds	230				°C

NOTES
1. These values apply between 0 and 500 mA collector current when the base-emitter diode is open-circuited.
2. Derate 2N2217, 2N2218, 2N2218A, 2N2219, and 2N2219A linearly to 175°C free-air temperature at the rate of 5.33 mW/°C.
3. Derate 2N2220, 2N2221, 2N2221A, 2N2222, and 2N2222A linearly to 175°C free-air temperature at the rate of 3.33 mW/°C.
4. Derate 2N2217, 2N2218, 2N2218A, 2N2219, and 2N2219A linearly to 175°C case temperature at the rate of 20.0 mW/°C.
5. Derate 2N2220, 2N2221, 2N2221A, 2N2222, and 2N2222A linearly to 175°C case temperature at the rate of 12.0 mW/°C.

*JEDEC registered data. This data sheet contains all applicable registered data in effect at the time of publication.

USES CHIP N24

TYPES 2N2217 THRU 2N2222, 2N2218A, 2N2219A, 2N2221A, 2N2222A
N-P-N SILICON TRANSISTORS

2N2217 THRU 2N2222

*electrical characteristics at 25°C free-air temperature (unless otherwise noted)

PARAMETER		TEST CONDITIONS	TO-5→ / TO-18→	2N2217 / 2N2220		2N2218 / 2N2221		2N2219 / 2N2222		UNIT
				MIN	MAX	MIN	MAX	MIN	MAX	
$V_{(BR)CBO}$	Collector-Base Breakdown Voltage	I_C = 10 μA, I_E = 0		60		60		60		V
$V_{(BR)CEO}$	Collector-Emitter Breakdown Voltage	I_C = 10 mA, I_B = 0,	See Note 6	30		30		30		V
$V_{(BR)EBO}$	Emitter-Base Breakdown Voltage	I_E = 10 μA, I_C = 0		5		5		5		V
I_{CBO}	Collector Cutoff Current	V_{CB} = 50 V, I_E = 0			10		10		10	nA
		V_{CB} = 50 V, I_E = 0,	T_A = 150°C		10		10		10	μA
I_{EBO}	Emitter Cutoff Current	V_{EB} = 3 V, I_C = 0			10		10		10	nA
h_{FE}	Static Forward Current Transfer Ratio	V_{CE} = 10 V, I_C = 100 μA				20		35		
		V_{CE} = 10 V, I_C = 1 mA		12		25		50		
		V_{CE} = 10 V, I_C = 10 mA	See Note 6	17		35		75		
		V_{CE} = 10 V, I_C = 150 mA		20	60	40	120	100	300	
		V_{CE} = 10 V, I_C = 500 mA				20		30		
		V_{CE} = 1 V, I_C = 150 mA		10		20		50		
V_{BE}	Base-Emitter Voltage	I_B = 15 mA, I_C = 150 mA	See Note 6		1.3		1.3		1.3	V
		I_B = 50 mA, I_C = 500 mA					2.6		2.6	
$V_{CE(sat)}$	Collector-Emitter Saturation Voltage	I_B = 15 mA, I_C = 150 mA	See Note 6		0.4		0.4		0.4	V
		I_B = 50 mA, I_C = 500 mA					1.6		1.6	
$\lvert h_{fe} \rvert$	Small-Signal Common-Emitter Forward Current Transfer Ratio	V_{CE} = 20 V, I_C = 20 mA, f = 100 MHz		2.5		2.5		2.5		
f_T	Transition Frequency	V_{CE} = 20 V, I_C = 20 mA,	See Note 7	250		250		250		MHz
C_{obo}	Common-Base Open-Circuit Output Capacitance	V_{CB} = 10 V, I_E = 0, f = 1 MHz			8		8		8	pF
$h_{ie(real)}$	Real Part of Small-Signal Common-Emitter Input Impedance	V_{CE} = 20 V, I_C = 20 mA, f = 300 MHz			60		60		60	Ω

NOTES: 6. These parameters must be measured using pulse techniques, t_w = 300 μs, duty cycle < 2%.
7. To obtain f_T, the $|h_{fe}|$ response with frequency is extrapolated at the rate of −6 dB per octave from f = 100 MHz to the frequency at which $|h_{fe}|$ = 1.

switching characteristics at 25°C free-air temperature

PARAMETER		TEST CONDITIONS†			TYP	UNIT
t_d	Delay Time	V_{CC} = 30 V,	I_C = 150 mA,	$I_{B(1)}$ = 15 mA,	5	ns
t_r	Rise Time	$V_{BE(off)}$ = −0.5 V,		See Figure 1	15	ns
t_s	Storage Time	V_{CC} = 30 V,	I_C = 150 mA,	$I_{B(1)}$ = 15 mA,	190	ns
t_f	Fall Time	$I_{B(2)}$ = −15 mA,		See Figure 2	23	ns

†Voltage and current values shown are nominal; exact values vary slightly with transistor parameters.

•JEDEC registered data

TYPES 2N2217 THRU 2N2222, 2N2218A, 2N2219A, 2N2221A, 2N2222A
N-P-N SILICON TRANSISTORS

2N2218A, 2N2219A, 2N2221A, 2N2222A

*electrical characteristics at 25°C free-air temperature (unless otherwise noted)

PARAMETER		TEST CONDITIONS	TO-5→ / TO-18→	2N2218A / 2N2221A		2N2219A / 2N2222A		UNIT
				MIN	MAX	MIN	MAX	
$V_{(BR)CBO}$	Collector-Base Breakdown Voltage	I_C = 10 μA, I_E = 0		75		75		V
$V_{(BR)CEO}$	Collector-Emitter Breakdown Voltage	I_C = 10 mA, I_B = 0,	See Note 6	40		40		V
$V_{(BR)EBO}$	Emitter-Base Breakdown Voltage	I_E = 10 μA, I_C = 0		6		6		V
I_{CBO}	Collector Cutoff Current	V_{CB} = 60 V, I_E = 0			10		10	nA
		V_{CB} = 60 V, I_E = 0,	T_A = 150°C		10		10	μA
I_{CEV}	Collector Cutoff Current	V_{CE} = 60 V, V_{BE} = −3 V			10		10	nA
I_{BEV}	Base Cutoff Current	V_{CE} = 60 V, V_{BE} = −3 V			−20		−20	nA
I_{EBO}	Emitter Cutoff Current	V_{EB} = 3 V, I_C = 0			10		10	nA
h_{FE}	Static Forward Current Transfer Ratio	V_{CE} = 10 V, I_C = 100 μA		20		35		
		V_{CE} = 10 V, I_C = 1 mA		25		50		
		V_{CE} = 10 V, I_C = 10 mA	See Note 6	35		75		
		V_{CE} = 10 V, I_C = 150 mA		40	120	100	300	
		V_{CE} = 10 V, I_C = 500 mA		25		40		
		V_{CE} = 1 V, I_C = 150 mA		20		50		
		V_{CE} = 10 V, I_C = 10 mA, T_A = −55°C		15		35		
V_{BE}	Base-Emitter Voltage	I_B = 15 mA, I_C = 150 mA	See Note 6	0.6	1.2	0.6	1.2	V
		I_B = 50 mA, I_C = 500 mA			2		2	
$V_{CE(sat)}$	Collector-Emitter Saturation Voltage	I_B = 15 mA, I_C = 150 mA	See Note 6		0.3		0.3	V
		I_B = 50 mA, I_C = 500 mA			1		1	
h_{ie}	Small-Signal Common-Emitter Input Impedance	V_{CE} = 10 V, I_C = 1 mA	f = 1 kHz	1	3.5	2	8	kΩ
		V_{CE} = 10 V, I_C = 10 mA		0.2	1	0.25	1.25	
h_{fe}	Small-Signal Forward Current Transfer Ratio	V_{CE} = 10 V, I_C = 1 mA		30	150	50	300	
		V_{CE} = 10 V, I_C = 10 mA		50	300	75	375	
h_{re}	Small-Signal Common-Emitter Reverse Voltage Transfer Ratio	V_{CE} = 10 V, I_C = 1 mA			5×10^{-4}		8×10^{-4}	
		V_{CE} = 10 V, I_C = 10 mA			2.5×10^{-4}		4×10^{-4}	
h_{oe}	Small-Signal Common-Emitter Output Admittance	V_{CE} = 10 V, I_C = 1 mA		3	15	5	35	μmho
		V_{CE} = 10 V, I_C = 10 mA		10	100	25	200	
$\lvert h_{fe} \rvert$	Small-Signal Common-Emitter Forward Current Transfer Ratio	V_{CE} = 20 V, I_C = 20 mA,	f = 100 MHz	2.5		3		
f_T	Transition Frequency	V_{CE} = 20 V, I_C = 20 mA,	See Note 7	250		300		MHz
C_{obo}	Common-Base Open-Circuit Output Capacitance	V_{CB} = 10 V, I_E = 0,	f = 100 kHz		8		8	pF
C_{ibo}	Common-Base Open-Circuit Input Capacitance	V_{EB} = 0.5 V, I_C = 0,	f = 100 kHz		25		25	pF
h_{ie} (real)	Real Part of Small-Signal Common-Emitter Input Impedance	V_{CE} = 20 V, I_C = 20 mA,	f = 300 MHz		60		60	Ω
$r_b C_c$	Collector-Base Time Constant	V_{CE} = 20 V, I_C = 20 mA,	f = 31.8 MHz		150		150	ps

NOTES: 6. These parameters must be measured using pulse techniques, t_w = 300 μs, duty cycle ≤ 2%.

7. To obtain f_T, the $|h_{fe}|$ response with frequency is extrapolated at the rate of −6 dB per octave from f = 100 MHz to the frequency at which $|h_{fe}|$ = 1.

*JEDEC registered data

RCA
Solid State
Division

Thyristors

T2306	T2806	T4107	T6406
T2316	T2616	T4116	T6407
T2606	T2716	T4117	T6416
T2706	T4106	T4706	T6417
			Series

2.5–40-A, 100–600-V SILICON TRIACS DESIGNED FOR USE WITH IC ZERO-VOLTAGE SWITCHES AS TRIGGERING CIRCUITS

For Power-Control and Switching Applications at Frequencies of 50 to 60 Hz

These triacs are gate-controlled full-wave ac switches. They are intended for ac load-control applications such as heating controls (proportional or on-off); lamp switching, motor switching, and a wide variety of power-control applications.

The RCA CA3058, CA3059, and CA3079 are monolithic silicon IC zero-voltage switches designed for direct operation from the ac line. They can drive the triac gate directly and provide the gating signal at zero voltage crossings for minimum radio-frequency interference.

These triacs have gate characteristics which assure that the zero-voltage switch can supply sufficient drive current to trigger them over the operating-temperature range from -40°C to +85°C. Ratings within this group of triacs range from 2.5 to 40 amperes rms on-state current, with repetitive off-state voltages available from 100 to 600 volts; and they employ a wide variety of packages.

RATINGS AND CHARACTERISTICS

Type No.	Former RCA Type No.	Rep. Peak Off-State Voltage V_{DROM} (V)	RMS On-State Current $I_{T(RMS)}$ at Case Temp. (A)	(°C)	Typ. DC Holding Current at 25°C, I_{HO} (mA)	Max. DC Gate Trigger Current and Voltage at 25°C[A] I+ I_{GT} (mA)	I+ V_{GT} (V)	III+ I_{GT} (mA)	III+ V_{GT} (V)	Package	For Additional Data, Refer to Bulletin File No.*
T2316A	40692	100	2.5	70	6	45	1.5	45	1.5	Mod. TO-5 on Heat Radiator	414
T2316B	40694	200	2.5	70	6	45	1.5	45	1.5	"	414
T2316D	40695	400	2.5	70	6	45	1.5	45	1.5	"	414
T2306A	40696	100	2.5	70	6	45	1.5	45	1.5	Mod. TO-5	414
T2306B	40697	200	2.5	70	6	45	1.5	45	1.5	"	414
T2306D	40698	400	2.5	70	6	45	1.5	45	1.5	Mod. TO-5	414
T6406B	40699	200	40	70	25	45	1.5	45	1.5	Press-fit	593
T6406D	40700	400	40	70	25	45	1.5	45	1.5	"	593
T6406M	40701	600	40	70	25	45	1.5	45	1.5	"	593
T6416B	40702	200	40	65	25	45	1.5	45	1.5	Stud	593
T6416D	40703	400	40	65	25	45	1.5	45	1.5	Stud	593
T6416M	40704	600	40	65	25	45	1.5	45	1.5	"	593
T6407B	40705	200	30	65	25	45	1.5	45	1.5	Press-fit	459
T6407D	40706	400	30	65	25	45	1.5	45	1.5	"	459
T6417B	40707	200	30	60	25	45	1.5	45	1.5	Stud	459
T6417D	40708	400	30	60	25	45	1.5	45	1.5	Stud	459
T6407M	40709	600	30	65	25	45	1.5	45	1.5	Press-fit	459
T6417M	40710	600	30	60	25	45	1.5	45	1.5	Stud	459
T4106B	40711	200	15	80	20	45	1.5	45	1.5	Press-fit	458
T4106D	40712	400	15	80	20	45	1.5	45	1.5	"	458

Type No.	Former RCA Type No.	Rep. Peak Off-State Voltage V_{DRDM} (V)	RMS On-State Current $I_{T(RMS)}$ at Case Temp. (A)	(°C)	Typ. DC Holding Current at 25°C, I_{HO} (mA)	Max. DC Gate Trigger Current and Voltage at 25°C▲ I^+ I_{GT} (mA)	I^+ V_{GT} (V)	III^+ I_{GT} (mA)	III^+ V_{GT} (V)	Package	For Additional Data, Refer to Bulletin File No.*
T4116B	40713	200	15	80	20	45	1.5	45	1.5	Stud	458
T4116D	40714	400	15	80	20	45	1.5	45	1.5	"	458
T4706B	40715	200	15	70	15	45	1.5	45	1.5	TO-66	300
T4706D	40716	400	15	70	15	45	1.5	45	1.5	"	300
T4107B	40717	200	10	85	15	45	1.5	45	1.5	Press-fit	457
T4107D	40718	400	10	85	15	45	1.5	45	1.5	Press-fit	457
T4117B	40719	200	10	85	15	45	1.5	45	1.5	Stud	457
T4117D	40720	400	10	85	15	45	1.5	45	1.5	"	457
T2806B	40721	200	8	80	15	45	1.5	45	1.5	Plastic	364
T2806D	40722	400	8	80	15	45	1.5	45	1.5	"	364
T2706B	40727	200	6	75	15	45	1.5	45	1.5	TO-66	351
T2706D	40728	400	6	75	15	45	1.5	45	1.5	TO-66	351
T2716B	40729	200	6	75	15	45	1.5	45	1.5	TO-66 with Heat Radiator	351
T2716D	40730	400	6	75	15	45	1.5	45	1.5	"	351

▲ A triac driven directly from the output terminal of the CA3058, CA3059, and CA3079 should be characterized for operation in the I^+ or III^+ triggering modes, i.e., with positive gate current (current flows into the gate for both polarities of the applied ac voltage)

* Except for gate characteristics, data in these bulletins also apply to the types listed in this chart.

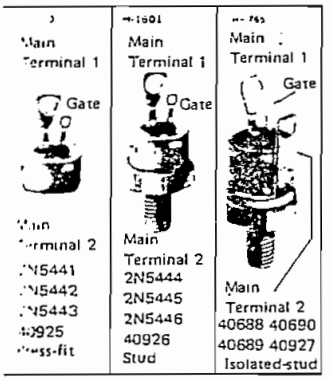
Technical information on RCA-CA3058, CA3059, and CA3079 is contained in bulletin File No. 490.

For detailed application information, see Application Note ICAN-6182, "Features and Application of RCA Integrated-Circuit Zero-Voltage Switches".

RCA
Solid State
Division

Thyristors

2N5441 2N5444 40688 40925
2N5442 2N5445 40689 40926
2N5443 2N5446 40690 40927



40-A Silicon Triacs

Press-Fit, Stud, and Isolated-Stud Packages

For 120-V Line Operation ... 2N5441, 2N5444, 40688
For 240-V Line Operation ... 2N5442, 2N5445, 40689
For High-Voltage Operation .. 2N5443, 2N5446, 40690
40925, 40926, 40927

Features:

- di/dt Capability = 100 A/μs
- Shorted-Emitter, Center-Gate Design
- Low Switching Losses
- Low On-State Voltage at High Current Levels
- Low Thermal Resistance

These RCA triacs are gate-controlled, full-wave silicon ac switches. They are designed to switch from an off-state to an on-state for either polarity of applied voltage with positive or negative gate-triggering voltages.

These triacs are intended for control of ac loads in applications such as heating controls, motor controls, arc-welding equipment, light dimmers, and power switching systems. They can also be used in air-conditioning and photocopying equipment.

MAXIMUM RATINGS, *Absolute-Maximum Values:*
For Operation with Sinusoidal Supply Voltage at Frequencies up to 50/60 Hz and with Resistive or Inductive Load.

		2N5441 2N5444 40688	2N5442 2N5445 40689	2N5443 2N5446 40690	40925 40926 40927	
REPETITIVE PEAK OFF-STATE VOLTAGE:[a]	V_{DROM}					
Gate open, T_J = −65 to 110°C		200	400	600	800	V
RMS ON-STATE CURRENT (Conduction angle = 360°):	$I_{T(RMS)}$					
Case temperature						
T_C = 70°C (Press-fit types)		—	40	—		A
= 65°C (Stud types)		—	40	—		A
= 60°C (Isolated-stud types)		—	40	—		A
For other conditions		—	See *Fig. 3*	—		
PEAK SURGE (NON-REPETITIVE) ON-STATE CURRENT:	I_{TSM}					
For one cycle of applied principal voltage						
60 Hz (sinusoidal)		—	300	—		A
50 Hz (sinusoidal)		—	265	—		A
For more than one cycle of applied principal voltage		—	See *Fig. 4*	—		
RATE OF CHANGE OF ON-STATE CURRENT:	di/dt					
V_{DM} = V_{DROM}, I_{GT} = 200 mA, t_r = 0.1 μs (See *Fig. 13*)		—	100	—		A/μs
FUSING CURRENT (for Triac Protection):	I^2t					
T_J = −65 to 110°C, t = 1.25 to 10 ms		—	350	—		A²s
PEAK GATE-TRIGGER CURRENT:[a]	I_{GTM}					
For 1 μs max., See *Fig. 7*		—	12	—		A
GATE POWER DISSIPATION:						
PEAK (For 10 μs max., $I_{GTM} \leq$ 4 A, See *Fig. 7*)	P_{GM}	—	40	—		W
AVERAGE	$P_{G(AV)}$	—	0.75	—		W
TEMPERATURE RANGE:[b]						
Storage	T_{stg}	—	[illegible]	—		°C
Operating (Case)	T_C	—	[illegible]	—		°C
TERMINAL TEMPERATURE (During soldering):	T_T					
For 10 s max. (terminals and case)		—	[illegible]	—		°C

[a] In accordance with JEDEC registration data format (JS-14, RDF2) filed for the JEDEC (2N-Series) types.
[b] For either polarity of main terminal 2 voltage (V_{MT2}) with reference to main terminal 1.

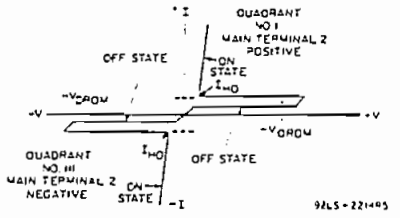


Fig. 1—Principal voltage-current characteristic.

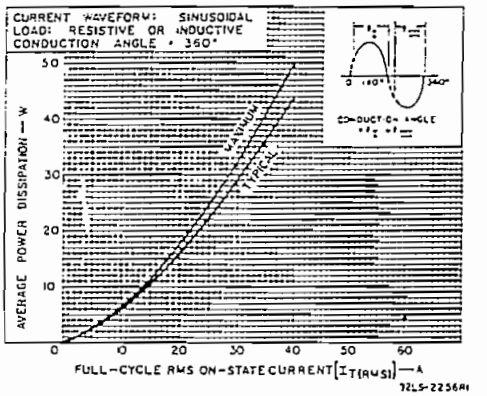


Fig. 2—Power dissipation vs. on-state current.

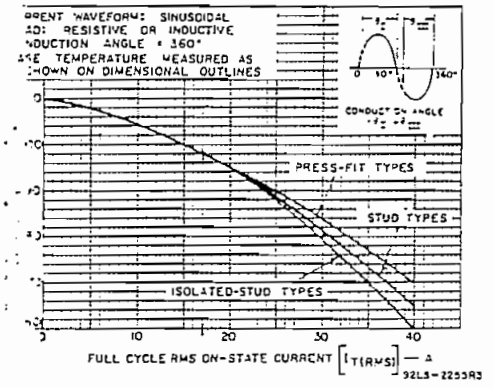


Fig. 3—Maximum allowable case temperature vs. on-state current.

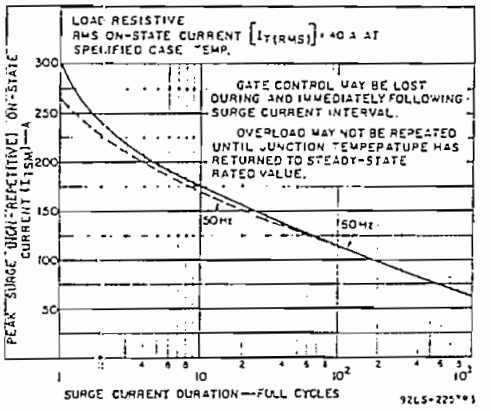


Fig. 4—Peak surge on-state current vs. surge current duration.

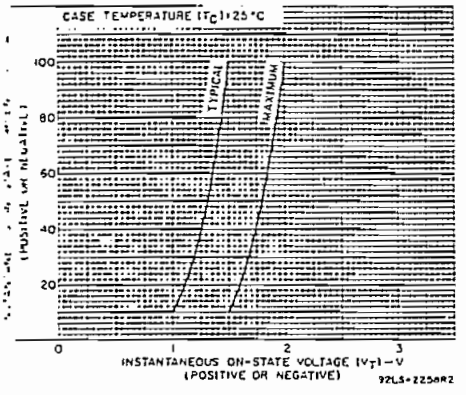


Fig. 5—On-state current vs. on-state voltage.

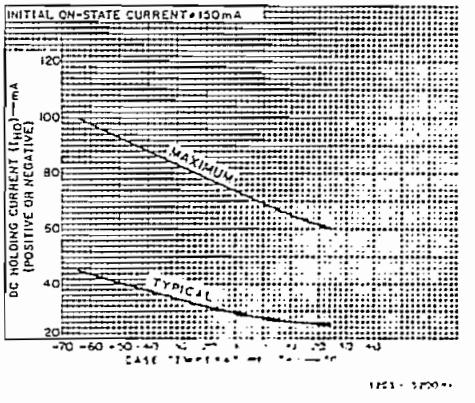


Fig. 6—[illegible] case temperature.

ELECTRICAL CHARACTERISTICS

At Maximum Ratings Unless Otherwise Specified and at Indicated Case Temperature (T_C)

CHARACTERISTIC	SYMBOL	LIMITS FOR ALL TYPES UNLESS OTHERWISE SPECIFIED			UNITS
		MIN.	TYP.	MAX.	
Peak Off-State Current:♦ Gate open, T_J = 110°C, V_{DROM} = Max. rated value	I_{OROM}	–	0.2	4*	mA
Maximum On-State Voltage:♦ For I_T = 100 A (peak), T_C = 25°C	V_{TM}	–	1.7	2	V
For I_T = 56 A (peak), T_C = 25°C		–	1.5	1.85*	
DC Holding Current:♦ Gate open, Initial principal current = 500 mA (dc), v_D = 12V:					
T_C = 25°C	I_{HO}	–	25	60	mA
T_C = –65°C		–	–	100*	
For other case temperatures		See Fig. 6			
Critical Rate of Rise of Commutation Voltage:♦ For v_D = V_{DROM}, $I_{T(RMS)}$ = 40 A, commutating di/dt = 22 A/ms, gate unenergized, (See Fig. 14):					
T_C = 70°C (Press-fit types)	dv/dt	5*	30	–	v/μs
= 65°C (Stud types)		5*	30	–	
= 60°C (Isolated-stud types)		5	30	–	
Critical Rate of Rise of Off-State Voltage:♦ For v_D = V_{DROM}, exponential voltage rise, gate open, T_C = 110°C:					
2N5441, 2N5444, 40688	dv/dt	50*	200	–	V/μs
2N5442, 2N5445, 40689		30*	150	–	
2N5443, 2N5446, 40690		20*	100	–	
40925, 40926, 40927		10	75	–	
DC Gate-Trigger Current:♦♦ For v_D = 12 V (dc), R_L = 30 Ω, T_C = 25°C	I_{GT}	Mode / V_{MT2} / V_G			mA
		I^+ positive positive	–	15	50	
		III^- negative negative	–	20	50	
		I^- positive negative	–	30	80	
		III^+ negative positive	–	40	80	
For v_D = 12 V (dc), R_L = 30 Ω, T_C = –65°C		Mode / V_{MT2} / V_G			
		I^+ positive positive	–	–	125*	
		III^- negative negative	–	–	125*	
		I^- positive negative	–	–	240*	
		III^+ negative positive	–	–	240*	
For other case temperatures		See Figs. 8 & 9			
DC Gate-Trigger Voltage:♦♦ For v_D = 12 V (dc), R_L = 30 Ω, T_C = 25°C	V_{GT}	–	1.35	2.5	V
= –65°C		–	1.8	3.4*	
For other case temperatures		See Fig. 10			
For v_D = V_{DROM}, R_L = 125 Ω, T_C = 110°C		0.2	–	–	
Gate-Controlled Turn-On Time: (Delay Time + Rise Time) For v_D = V_{DROM}, I_{GT} = 200 mA, t_r = 0.1 μs, I_T = 60 A (peak), T_C = 25°C (See Figs. 11 & 15)	t_{gt}	–	1.7	3	μs
Thermal Resistance, Junction-to-Case: Steady-State					
Press-fit types	$R_{\theta JC}$	–	–	0.8*	°C/W
Stud types		–	–	0.9*	
Isolated-stud types		–	–	1	
Transient (Press-fit & stud types)		See Fig. 12			

* In accordance with JEDEC registration data format (JS-14, RDF 2) filed for the JEDEC (2N-Series) types.

♦ For either polarity of main terminal 2 voltage (V_{MT2}) with reference to main terminal 1.

♦♦ For either polarity of gate voltage (V_G) with reference to main terminal 1.

2.0 DATA SHEET SUMMARY

Table 2.1 lists the various regulators and the most useful specifications for each. Note that accuracy specifications are over the full temperature range including drift. Room temperature accuracy specifications are about 1% better than the figures given.

TABLE 2.1. Data Sheet Summary

POSITIVE VOLTAGE REGULATORS

DEVICE[1,2]	V_{OUT} over temp range (V)	(±%)	Regulation Line[3] (mV/V)[5]	Load[4]	Max V_{IN} (V)	Max I_Q (mA)	Typ Ripple (dB)[6]	Typ Dropout Voltage (V)	DEVICE	Pkg Style	Rated I_{OUT} (A)	Typ θ_{JC} (°C/W)	Typ θ_{JA}	Max P_D (W)
LM109, LM209 LM309	5	8 5	10 10	20 20	35	10		1-2	LM109H series LM109K series	TO-39 TO-3	0.2 1	15 3	150 35	2 20
LM123K, LM223K LM323K	5	8 5	5	20	20	20		1.7-2	LM123K series	TO-3	3	2	35	30
LM340	5, 6, 8, 12, 15, 18 24	5[7]	20	20	35 40	10	74	1.6-2	LM340K LM340T	TO-3 TO-220	1 1	4 4	35 50	18 18
LM341P	5, 6, 8, 12, 15, 18 24	5	20	20	35 40	10	74	1.2-1.7	LM341P	TO-202	0.5	12	80	12
LM342	5, 6, 8 10, 12, 15, 18 24	5	20	20	30 35 40	6	74	1.5-2	LM342H LM342P	TO-39 TO-202	0.2 0.2	40 12	140 80	3 10
LM78LXXAC	5 8, 12, 15, 18 24	5[8]	20	10	30 35 40	6	74	1.5-2	LM78LXXACH LM78LXXACZ	TO-39 TO-92	0.1 0.1	40 40	140 180	3 1
LM3910	5, 6, 8, 10 12, 15, 18, 24	3			40	4		1.5-2	LM3910H LM3910Z	TO-39 TO-92	0.1 0.1	40	140 180	3 1

NEGATIVE VOLTAGE REGULATORS

LM120, LM220, LM320	5, 5.2, 6,[9] 8[9] 12, 15, 18[9] 24[9]	5	10	20	25 35[10] 40	4		2	LM120H series LM120K series LM120T series	TO-39 TO-3 TO-220	0.2 1[11] 1[11]	15 3 5	150 35 50	2 20 15
LM145, LM245, LM345	5, 5.2	4	5	20	20	3		2	LM145K series	TO-3	3	2	35	25

DUAL TRACKING REGULATORS

LM125, LM225, LM325 LM126, LM226, LM326 LM127, LM227, LM327	±15 ±12 +5 and -12	5 5 5	1 1 1	1 1 1	30 30 30	5		1-2.5	LM125, 126, 127H LM225, 226, 227H LM325, 326, 327N LM325, 326, 327S	TO-99 TO-99 DIP[12] SGS[12]	0.1 0.1 0.1 0.1	45 45 - 12	150 150 150 55	2 2 1 5

1 Operating temp range
LM100 series -55 to 125°C
LM200 series -25 to 85°C
LM300 series 0 to 70°C

2 Max T_J = 150°C except 125°C for LM309, 320, 323, 345
3 Typ at 50-100% of rated I_{OUT}, 25°C, max V_{IN} change
4 Near zero to max rated I_{OUT}, 25°C pulse test
5 Max mV per volt of out voltage rating

6 Subtract 120 log V_{OUT}/1 for ripple rejection factor
7 ±10% available as LM340K-R and LM340T-R
8 ±10% available as LM78LXXCH and LM78LXXCZ
9 V_{OUT} = 6, 8, 18, 24 available only as LM320T

10 V_{IN} = 40 V for LM120H15 & LM120K15 series
11 1.5 A for V_{OUT} = 5 & 5.2 V
12 DIP = 14 pin dual-in-line plastic pkg
SGS = Special DIP with heat sink

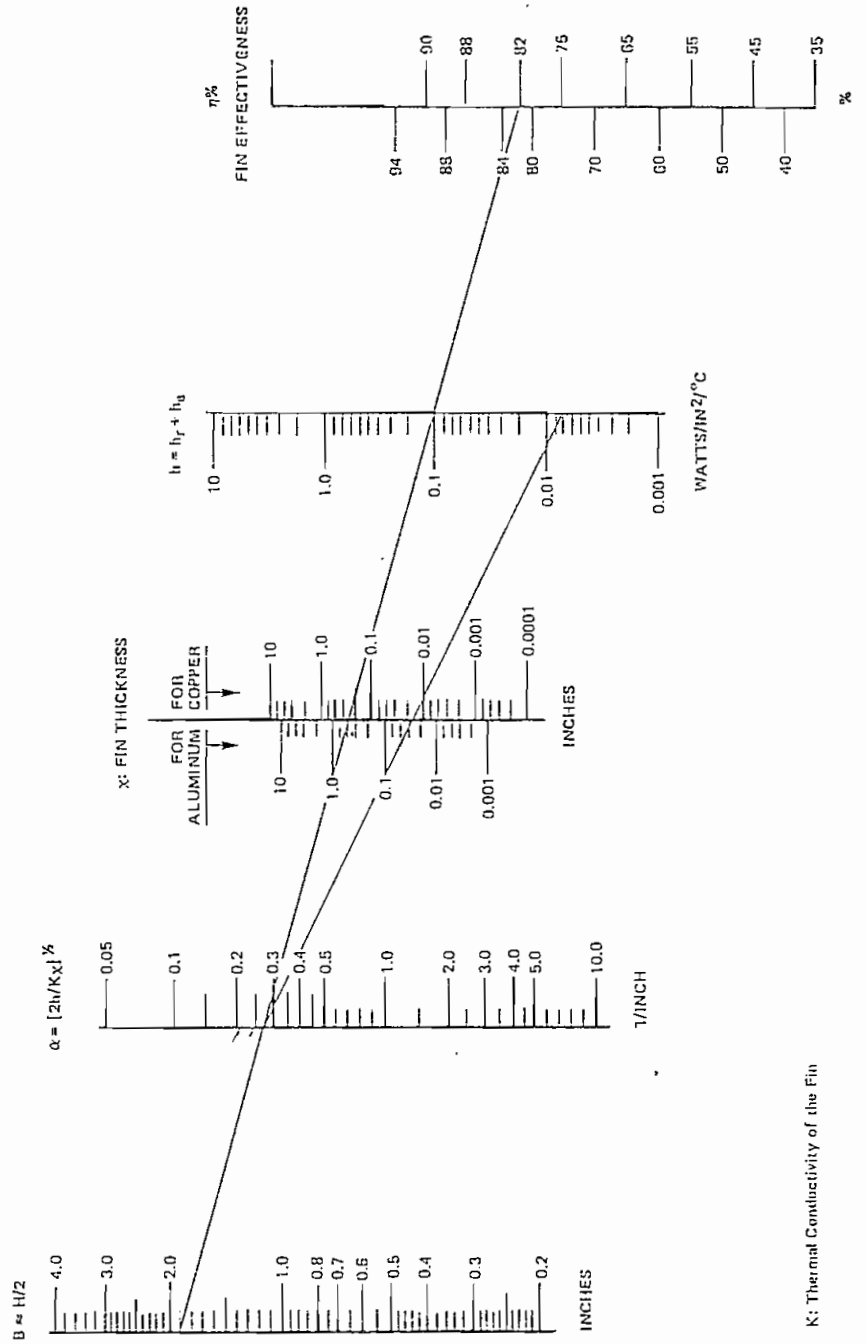


FIGURE 6.2. Fin Effectiveness Nomogram for Symmetrical, Flat, Uniformly-Thick, Vertically Mounted Fins

National Semiconductor

Voltage Comparators

LM139/239/339, LM139A/239A/339A, LM2901, LM3302 Low Power Low Offset Voltage Quad Comparators

General Description

The LM139 series consists of four independent precision voltage comparators with an offset voltage specification as low as 2 mV max for all four comparators. These were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage. These comparators also have a unique characteristic in that the input common-mode voltage range includes ground, even though operated from a single power supply voltage.

Application areas include limit comparators, simple analog to digital converters; pulse, squarewave and time delay generators; wide range VCO; MOS clock timers; multivibrators and high voltage digital logic gates. The LM139 series was designed to directly interface with TTL and CMOS. When operated from both plus and minus power supplies, they will directly interface with MOS logic— where the low power drain of the LM339 is a distinct advantage over standard comparators.

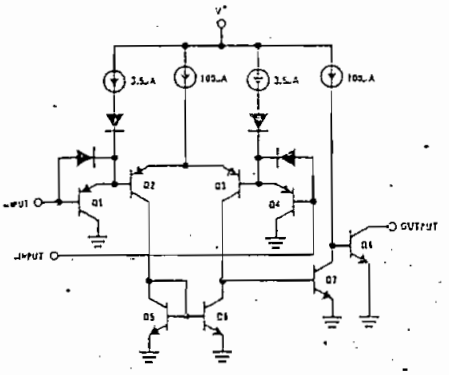
Advantages

- High precision comparators
- Reduced V_{OS} drift over temperature
- Eliminates need for dual supplies
- Allows sensing near gnd
- Compatible with all forms of logic
- Power drain suitable for battery operation

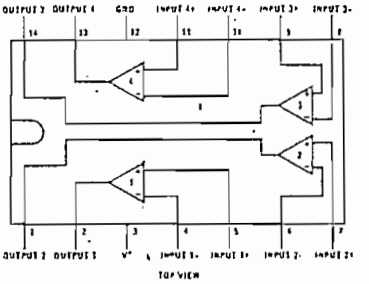
Features

- Wide single supply voltage range or dual supplies
  LM139 series, 2 V_{DC} to 36 V_{DC} or
  LM139A series, LM2901 ±1 V_{DC} to ±18 V_{DC}
  LM3302 2 V_{DC} to 28 V_{DC} or ±1 V_{DC} to ±14 V_{DC}
- Very low supply current drain (0.8 mA) — independent of supply voltage (2 mW/comparator at +5 V_{DC})
- Low input biasing current 25 nA
- Low input offset current ±5 nA
  and offset voltage ±3 mV
- Input common-mode voltage range includes gnd
- Differential input voltage range equal to the power supply voltage
- Low output 250 mV at 4 mA
  saturation voltage
- Output voltage compatible with TTL, DTL, ECL, MOS and CMOS logic systems

Schematic and Connection Diagrams



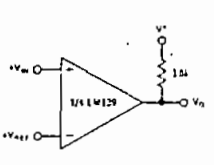
Dual-In-Line and Flat Package



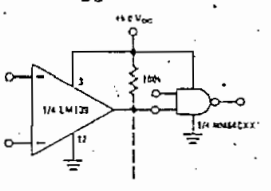
Order Number LM139J, LM139AJ, LM239J, LM239AJ, LM339J, LM339AJ, LM2901J or LM3302J
See NS Package J14A

Order Number LM339N, LM339AN, LM2901N or LM3302N
See NS Package N14A

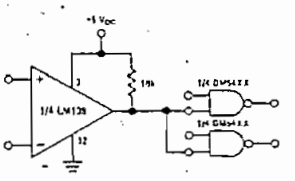
Typical Applications ($V^+ = 5.0\ V_{DC}$)



Basic Comparator



Driving CMOS



Driving TTL

APPLICATIONS OF THE MOC3011 TRIAC DRIVER

Prepared by:
Pat O'Neil

This note describes methods of applying the MOC3011 optically coupled triac driver to provide simple and effective interfaces from logic or microprocessor systems to AC power systems.

DESCRIPTIONS OF THE MOC3011

Construction

The MOC3011 consists of a gallium arsenide infrared LED optically exciting a silicon detector chip, which is especially designed to drive triacs controlling loads on the 115 Vac power line. The detector chip is a complex device which functions in much the same manner as a small triac, generating the signals necessary to drive the gate of a larger triac. The MOC3011 allows a low power exciting signal to drive a high power load with a very small number of components, and at the same time provides practically complete isolation of the driving circuitry from the power line.

The construction of the MOC3011 follows the same highly successful coupler technology used in Motorola's broad line of plastic couplers (Figure 1). The dual lead frame with an epoxy undermold provides a stable dielectric capable of sustaining 7.5 kV between the input and output sides of the device. The detector chip is passivated with silicon nitride and uses Motorola's annular ring to maintain stable breakdown parameters.

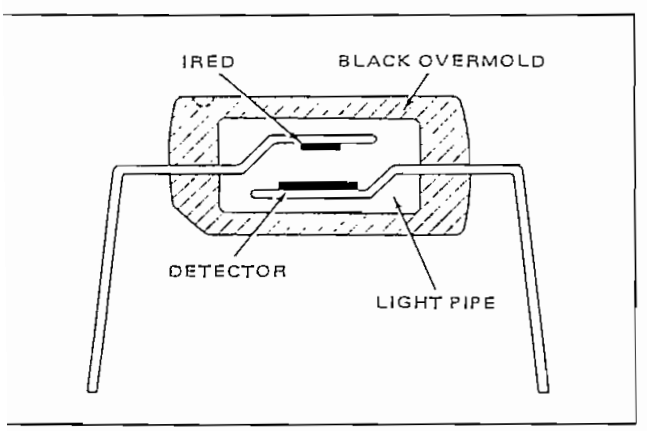


FIGURE 1 — Motorola Double-Molded Coupler Package

Basic Electrical Description

The GaAs LED has nominal 1.3 V forward drop at 10 mA and a reverse breakdown voltage greater than 3 V. The maximum current to be passed through the LED is 50 mA.

The detector has a minimum blocking voltage of 250 Vdc in either direction in the off state. In the on state, the detector will pass 100 mA in either direction with less than 3 V drop across the device. Once triggered into the on (conducting) state, the detector will remain there until the current drops below the holding current (typically 100 μA) at which time the detector reverts to the off (non-conducting) state. The detector may be triggered into the on state by exceeding the forward blocking voltage, by voltage ramps across the detector at rates exceeding the static dv/dt rating, or by photons from the LED. The LED is guaranteed by the specifications to trigger the detector into the on state when 10 mA or more is passed through the LED. A similar device, the MOC3010, has exactly the same characteristics except it requires 15 mA to trigger.

©MOTOROLA INC., 1978

Since the MOC3011 looks essentially like a small optically triggered triac, we have chosen to represent it as shown on Figure 2.

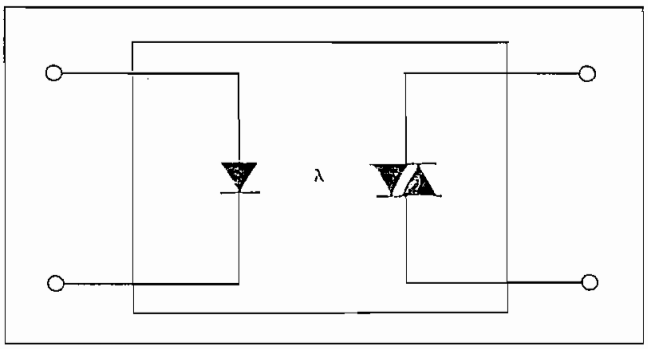


FIGURE 2 — Schematic Representation of MOC3011 and MOC3010

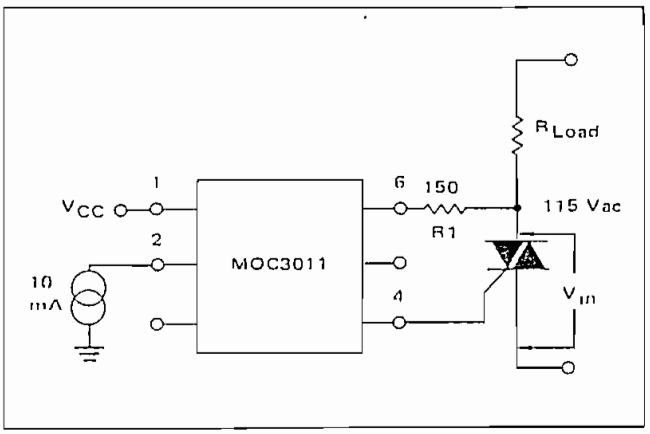
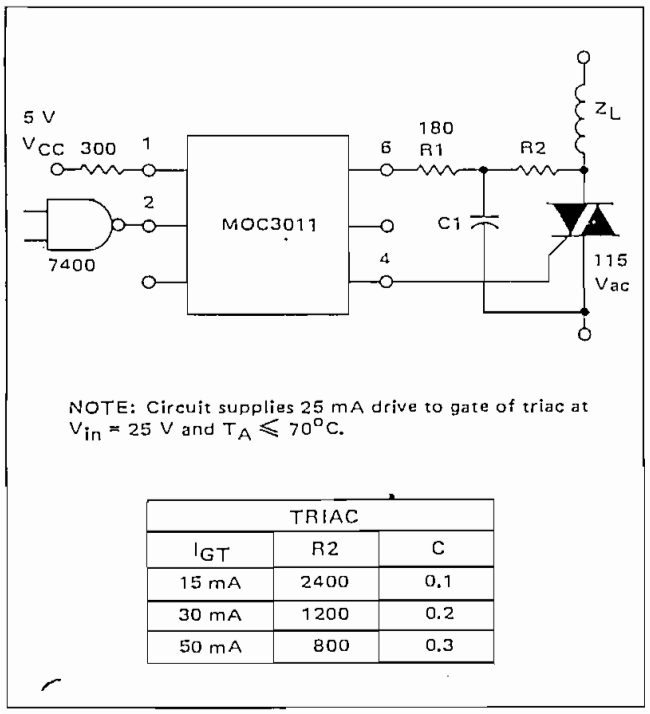


FIGURE 3 — Simple Triac Gating Circuit



NOTE: Circuit supplies 25 mA drive to gate of triac at V_{in} = 25 V and $T_A \leq 70^{\circ}C$.

TRIAC		
I_{GT}	R2	C
15 mA	2400	0.1
30 mA	1200	0.2
50 mA	800	0.3

FIGURE 4 — Logic to Inductive Load Interface

USING THE MOC3011 AS A TRIAC DRIVER

Triac Driving Requirements

Figure 3 shows a simple triac driving circuit using the MOC3011. The maximum surge current rating of the MOC3011 sets the minimum value of R1 through the equation:

$$R1(min) = V_{in}(pk)/1.2\ A$$

If we are operating on the 115 Vac nominal line voltage, $V_{in}(pk)$ = 180 V, then

$$R1(min) = V_{in}(pk)/1.2\ A = 150\ ohms.$$

In practice, this would be a 150 or 180 ohm resistor. If the triac has I_{GT} = 100 mA and V_{GT} = 2 V, then the voltage V_{in} necessary to trigger the triac will be given by $V_{inT} = R1 \cdot I_{GT} + V_{GT} + V_{TM} = 20$ V.

Resistive Loads

When driving resistive loads, the circuit of Figure 3 may be used. Incandescent lamps and resistive heating elements are the two main classes of resistive loads for which 115 Vac is utilized. The main restriction is that the triac must be properly chosen to sustain the proper inrush loads. Incandescent lamps can sometimes draw a peak current known as "flashover" which can be extremely high, and the triac should be protected by a fuse or rated high enough to sustain this current.

Circuit diagrams utilizing Motorola products are included as a means of illustrating typical semiconductor applications; consequently, complete information sufficient for construction purposes is not necessarily given. The information has been carefully checked and is believed to be entirely reliable. However, no responsibility is assumed for inaccuracies. Furthermore, such information does not convey to the purchaser of the semiconductor devices described any license under the patent rights of Motorola Inc. or others.

National Semiconductor

CD40106BM/CD40106BC Hex Schmitt Trigger

General Description

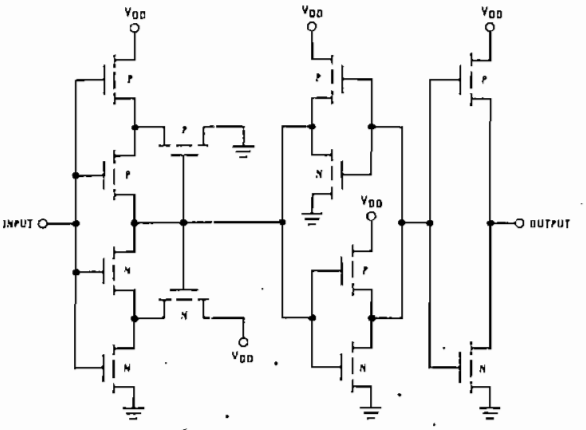
The CD40106B Hex Schmitt Trigger is a monolithic complementary MOS (CMOS) integrated circuit constructed with N and P-channel enhancement transistors. The positive and negative-going threshold voltages, V_{T+} and V_{T-}, show low variation with respect to temperature (typ 0.0005V/°C at V_{DD} = 10V), and hysteresis, $V_{T+} - V_{T-} \geq 0.2\ V_{DD}$ is guaranteed.

All inputs are protected from damage due to static discharge by diode clamps to V_{DD} and V_{SS}.

Features

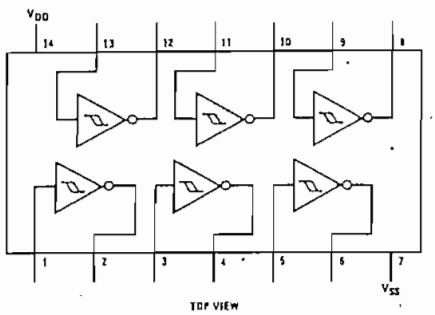
■ Wide supply voltage range	3V to 15V
■ High noise immunity	0.7 V_{DD} (typ.)
■ Low power TTL compatibility	fan out of 2 driving 74L or 1 driving 74LS
■ Hysteresis	0.4 V_{DD} (typ.) 0.2 V_{DD} guaranteed
■ Equivalent to MM54C14/MM74C14	
■ Equivalent to MC14584B	

Schematic Diagram

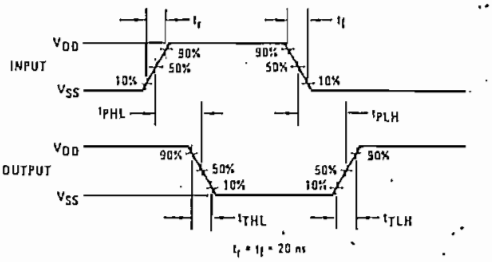


Connection Diagram

Dual-In-Line Package



Switching Time Waveforms



Absolute Maximum Ratings

(Notes 1 and 2)

V_{DD} dc Supply Voltage	−0.5 to +18 V_{DC}
V_{IN} Input Voltage	−0.5 to V_{DD} +0.5 V_{DC}
T_S Storage Temperature Range	−65°C to +150°C
P_D Package Dissipation	500 mW
T_L Lead Temperature (Soldering, 10 seconds)	300°C

Recommended Operating Conditions

(Note 2)

V_{DD} dc Supply Voltage	3 to 15 V_{DC}
V_{IN} Input Voltage	0 to V_{DD} V_{DC}
T_A Operating Temperature Range	
CD40106BM	−55°C to +125°C
CD40106BC	−40°C to +85°C

DC Electrical Characteristics CD40106BM (Note 2)

PARAMETER		CONDITIONS	−55°C		25°C			125°C		UNITS
			MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I_{DD}	Quiescent Device Current	V_{DD} = 5V		1.0			1.0		30	μA
		V_{DD} = 10V		2.0			2.0		60	μA
		V_{DD} = 15V		4.0			4.0		120	μA
V_{OL}	Low Level Output Voltage	$\|I_O\| < 1\mu A$								
		V_{DD} = 5V		0.05			0.05		0.05	V
		V_{DD} = 10V		0.05			0.05		0.05	V
		V_{DD} = 15V		0.05			0.05		0.05	V
V_{OH}	High Level Output Voltage	$\|I_O\| < 1\mu A$								
		V_{DD} = 5V	4.95		4.95	5		4.95		V
		V_{DD} = 10V	9.95		9.95	10		9.95		V
		V_{DD} = 15V	14.95		14.95	15		14.95		V
V_{T-}	Negative-Going Threshold Voltage	V_{DD} = 5V, V_O = 4.5V	0.7	2.0	0.7	1.4	2.0	0.7	2.0	V
		V_{DD} = 10V, V_O = 9V	1.4	4.0	1.4	3.2	4.0	1.4	4.0	V
		V_{DD} = 15V, V_O = 13.5V	2.1	6.0	2.1	5.0	6.0	2.1	6.0	V
V_{T+}	Positive-Going Threshold Voltage	V_{DD} = 5V, V_O = 0.5V	3.0	4.3	3.0	3.6	4.3	3.0	4.3	V
		V_{DD} = 10V, V_O = 1V	6.0	8.6	6.0	6.8	8.6	6.0	8.6	V
		V_{DD} = 15V, V_O = 1.5V	9.0	12.9	9.0	10.0	12.9	9.0	12.9	V
V_H	Hysteresis ($V_{T+} - V_{T-}$)	V_{DD} = 5V	1.0	3.6	1.0	2.2	3.6	1.0	3.6	V
		V_{DD} = 10V	2.0	7.2	2.0	3.6	7.2	2.0	7.2	V
		V_{DD} = 15V	3.0	10.8	3.0	5.0	10.8	3.0	10.8	V
I_{OL}	Low Level Output Current	V_{DD} = 5V, V_O = 0.4V	0.64		0.51	0.88		0.36		mA
		V_{DD} = 10V, V_O = 0.5V	1.6		1.3	2.25		0.9		mA
		V_{DD} = 15V, V_O = 1.5V	4.2		3.4	8.8		2.4		mA
I_{OH}	High Level Output Current	V_{DD} = 5V, V_O = 4.6V	−0.64		−0.51	−0.88		−0.36		mA
		V_{DD} = 10V, V_O = 9.5V	−1.6		−1.3	−2.25		−0.9		mA
		V_{DD} = 15V, V_O = 13.5V	−4.2		−3.4	−8.8		−2.4		mA
I_{IN}	Input Current	V_{DD} = 15V, V_{IN} = 0V		−0.10		-10^{-5}	−0.10		−1.0	μA
		V_{DD} = 15V, V_{IN} = 15V		0.10		10^{-5}	0.10		1.0	μA

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

Note 2: V_{SS} = 0V unless otherwise specified.

Note 3: C_{PD} determines the no load ac power consumption of any CMOS device. For complete explanation, see 54C/74C Family Characteristics application note—AN-90.

CD40081B, CD40082B, CD40073B Types

COS/MOS AND Gates

High-Voltage Types (20 Volt Rating)

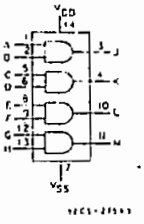
CD40081B Quad 2-Input AND Gate
CD40082B Dual 4-Input AND Gate
CD40073B Triple 3-Input AND Gate

The RCA-CD40081B, CD40082B, and CD40073B AND gates provide the system designer with direct implementation of the AND function and supplement the existing family of COS/MOS gates.

The CD40081B, CD40082B, and CD40073B types are supplied in 14-lead dual-in-line ceramic packages (D and F suffixes), 14-lead dual-in-line plastic packages (E suffix), 14-lead ceramic flat packages (K suffix), and in chip form (H suffix).

Features:

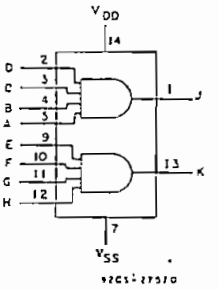
- Medium-Speed Operation – t_{PLH}, t_{PHL} = 60 ns (typ.) at V_{DD} = 10 V
- 100% tested for quiescent current at 20 V
- Maximum input current of 1 μA at 18 V over full package-temperature range; 100 nA at 18 V and 25°C
- Noise margin (full package-temperature range) =
  1 V at V_{DD} = 5 V
  2 V at V_{DD} = 10 V
  2.5 V at V_{DD} = 15 V
- Standardized, symmetrical output characteristics
- 5-V, 10-V, and 15-V parametric ratings
- Meets all requirements of JEDEC Tentative Standard No. 13A, "Standard Specifications for Description of 'B' Series CMOS Devices"



CD40081B
FUNCTIONAL DIAGRAM

MAXIMUM RATINGS, *Absolute-Maximum Values:*

DC SUPPLY-VOLTAGE RANGE, (V_{DD})
(Voltages referenced to V_{SS} Terminal) . . . . . –0.5 to +20 V
INPUT VOLTAGE RANGE, ALL INPUTS . . . . . –0.5 to V_{DD} +0.5 V
DC INPUT CURRENT, ANY ONE INPUT . . . . . ±10 mA
POWER DISSIPATION PER PACKAGE (P_D):
For T_A = –40 to +60°C (PACKAGE TYPE E) . . . . . 500 mW
For T_A = +60 to +85°C (PACKAGE TYPE E) . . . . . Derate Linearly at 12 mW/°C to 200 mW
For T_A = –55 to +100°C (PACKAGE TYPES D,F,K) . . . . . 500 mW
For T_A = +100 to +125°C (PACKAGE TYPES D, F, K) . . . Derate Linearly at 12 mW/°C to 200 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR
FOR T_A = FULL PACKAGE-TEMPERATURE RANGE (All Package Types) . . . . . 100 mW
OPERATING-TEMPERATURE RANGE (T_A):
PACKAGE TYPES D, F, K, H . . . . . –55 to +125°C
PACKAGE TYPE E . . . . . –40 to +85°C
STORAGE TEMPERATURE RANGE (T_{stg}) . . . . . –65 to +150°C
LEAD TEMPERATURE (DURING SOLDERING):
At distance 1/16 ± 1/32 inch (1.59 ± 0.79 mm) from case for 10 s max. . . . . +265°C



CD40082B
FUNCTIONAL DIAGRAM

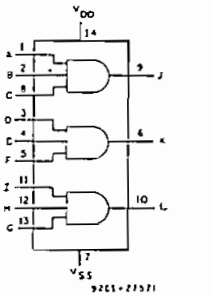
RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	MIN.	MAX.	
Supply-Voltage Range (For T_A = Full Package Temperature Range)	3	18	V

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A=25°C, Input t_r,t_f=20 ns, and C_L=50 pF, R_L=200 kΩ

CHARACTERISTIC	TEST CONDITIONS		ALL TYPES LIMITS		UNITS
		V_{DD} Volts	TYP.	MAX.	
Propagation Delay Time, t_{PHL}, t_{PLH}		5	125	250	ns
		10	60	120	
		15	45	90	
Transition Time, t_{THL}, t_{TLH}		5	100	200	ns
		10	50	100	
		15	40	80	
Input Capacitance, C_{IN}	Any Input	–	5	7.5	pF



CD40073B
FUNCTIONAL DIAGRAM

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C) Values at −55, +25, +125 Apply to D,K,F,H Packages Values at −40, +25, +85 Apply to E Package							UNITS
									+25		
	V_O (V)	V_{IN} (V)	V_{DD} (V)	−55	−40	+85	+125	Min.	Typ.	Max.	
Quiescent Device Current, I_{DD} Max.	–	0,5	5	0.25	0.25	7.5	7.5	–	0.01	0.25	µA
	–	0,10	10	0.5	0.5	15	15	–	0.01	0.5	
	–	0,15	15	1	1	30	30	–	0.01	1	
	–	0,20	20	5	5	150	150	–	0.02	5	
Output Low (Sink) Current I_{OL} Min.	0.4	0,5	5	0.64	0.61	0.42	0.36	0.51	1	–	mA
	0.5	0,10	10	1.6	1.5	1.1	0.9	1.3	2.6	–	
	1.5	0,15	15	4.2	4	2.8	2.4	3.4	6.8	–	
Output High (Source) Current, I_{OH} Min.	4.6	0,5	5	−0.64	−0.61	−0.42	−0.36	−0.51	−1	–	
	2.5	0,5	5	−2	−1.8	−1.3	−1.15	−1.6	−3.2	–	
	9.5	0,10	10	−1.6	−1.5	−1.1	−0.9	−1.3	−2.6	–	
	13.5	0,15	15	−4.2	−4	−2.8	−2.4	−3.4	−6.8	–	
Output Voltage: Low-Level, V_{OL} Max.	–	0,5	5	0.05				–	0	0.05	V
	–	0,10	10	0.05				–	0	0.05	
	–	0,15	15	0.05				–	0	0.05	
Output Voltage: High-Level, V_{OH} Min.	–	0,5	5	4.95				4.95	5	–	
	–	0,10	10	9.95				9.95	10	–	
	–	0,15	15	14.95				14.95	15	–	
Input Low Voltage, V_{IL} Max.	0.5	–	5	1.5				–	–	1.5	V
	1	–	10	3				–	–	3	
	1.5	–	15	4				–	–	4	
Input High Voltage, V_{IH} Min.	0.5,4.5	–	5	3.5				3.5	–	–	
	1,9	–	10	7				7	–	–	
	1.5,13.5	–	15	11				11	–	–	
Input Current I_{IN} Max.		0,18	18	±0.1	±0.1	±1	±1	–	$\pm 10^{-5}$	±0.1	µA

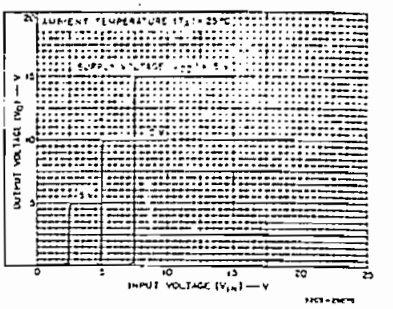


Fig. 1 — Typical voltage transfer characteristics.

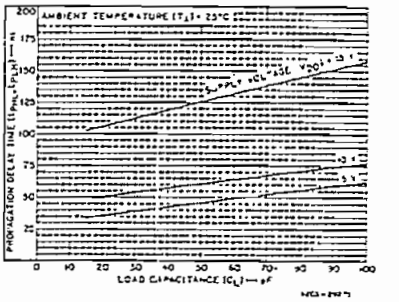


Fig. 2 — Typical propagation delay time as a function of load capacitance.

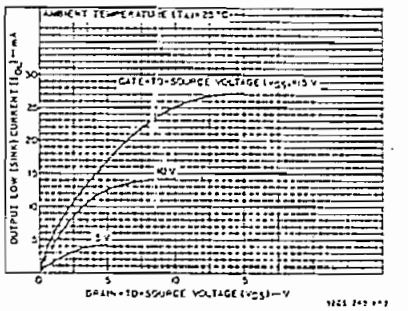


Fig. 3 — Typical output low (sink) current characteristics.

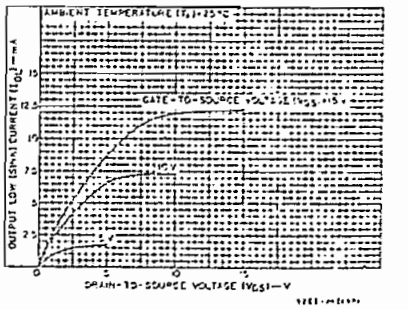


Fig. 6 — Minimum output low (sink) current characteristics.

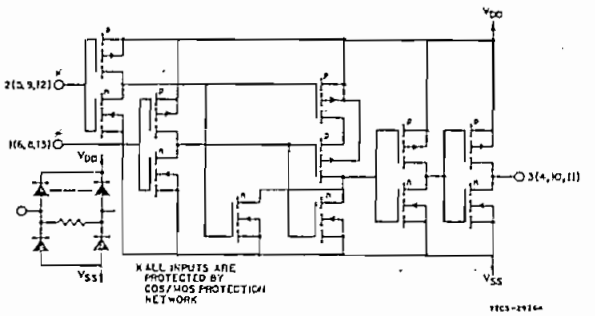


Fig. 4 — Schematic diagram for CD4081B (1 of 4 identical gates).

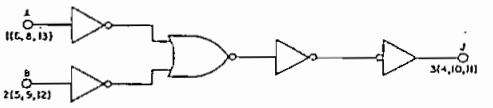


Fig. 5 — Logic diagram for CD4081B (1 of 4 identical gates).

TTL
MSI

TYPES SN5490A, SN5492A, SN5493A, SN54L90, SN54L93
SN54LS90, SN54LS92, SN54LS93, SN7490A, SN7492A, SN7493A
SN74L90, SN74L93, SN74LS90, SN74LS92, SN74LS93
DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS

BULLETIN NO. DL-S 7611807, MARCH 1974 - REVISED OCTOBER

'90A, 'L90, 'LS90 . . . DECADE COUNTERS

'92A, 'LS92 . . . DIVIDE-BY-TWELVE COUNTERS

'93A, 'L93, 'LS93 . . . 4-BIT BINARY COUNTERS

TYPES	TYPICAL POWER DISSIPATION
'90A	145 mW
'L90	20 mW
'LS90	45 mW
'92A, '93A	130 mW
'LS92, 'LS93	45 mW
'L93	16 mW

description

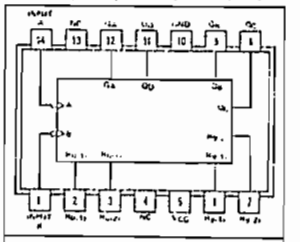
Each of these monolithic counters contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three-stage binary counter for which the count cycle length is divide-by-five for the '90A, 'L90, and 'LS90, divide-by-six for the '92A and 'LS92, and divide-by-eight for the '93A, 'L93, and 'LS93.

All of these counters have a gated zero reset and the '90A, 'L90, and 'LS90 also have gated set-to-nine inputs for use in BCD nine's complement applications.

To use their maximum count length (decade, divide-by-twelve, or four-bit binary) of these counters, the B input is connected to the Q_A output. The input count pulses are applied to input A and the outputs are as described in the appropriate function table. A symmetrical divide-by-ten count can be obtained from the '90A, 'L90, or 'LS90 counters by connecting the Q_D output to the A input and applying the input count to the B input which gives a divide-by-ten square wave at output Q_A.

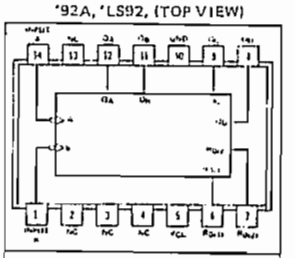
SN54', SN54LS' . . . J OR W PACKAGE
SN54L' . . . J OR T PACKAGE
SN54', SN74L', SN74LS' . . . J OR N PACKAGE

'90A, 'L90, 'LS90 (TOP VIEW)



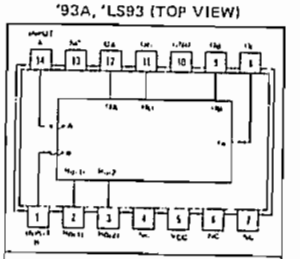
positive logic: see function tables

'92A, 'LS92, (TOP VIEW)



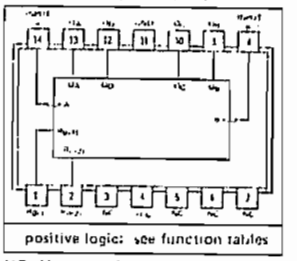
positive logic: see function tables

'93A, 'LS93 (TOP VIEW)



positive logic: see function tables

'L93 (TOP VIEW)



positive logic: see function tables

NC - No internal connection

TYPES SN5490A, '92A, '93A, SN54L90, 'L93, SN54LS90, 'LS92, 'LS93, SN7490A, '92A, '93A, SN74L90, 'L93, SN74LS90, 'LS92, 'LS93
DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS

'90A, 'L90, 'LS90
BCD COUNT SEQUENCE
(See Note A)

COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

'90A, 'L90, 'LS90
BI-QUINARY (5-2)
(See Note B)

COUNT	OUTPUT			
	Q_A	Q_D	Q_C	Q_B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

'90A, 'L90, 'LS90
RESET/COUNT FUNCTION TABLE

RESET INPUTS				OUTPUT			
$R_{0(1)}$	$R_{0(2)}$	$R_{9(1)}$	$R_{9(2)}$	Q_D	Q_C	Q_B	Q_A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

'92A, 'LS92
COUNT SEQUENCE
(See Note C)

COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	H	L	L	L
7	H	L	L	H
8	H	L	H	L
9	H	L	H	H
10	H	H	L	L
11	H	H	L	H

'93A, 'L93, 'LS93
COUNT SEQUENCE
(See Note C)

COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

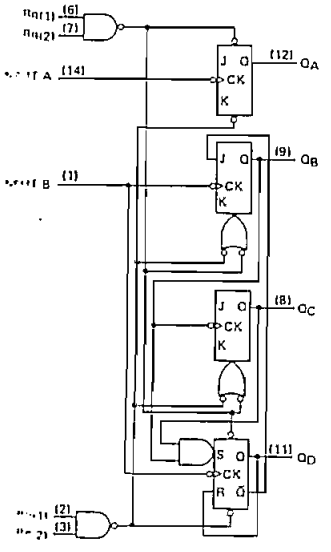
'92A, 'LS92, '93A, 'L93, 'LS93
RESET/COUNT FUNCTION TABLE

RESET INPUTS		OUTPUT			
$R_{0(1)}$	$R_{0(2)}$	Q_D	Q_C	Q_B	Q_A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

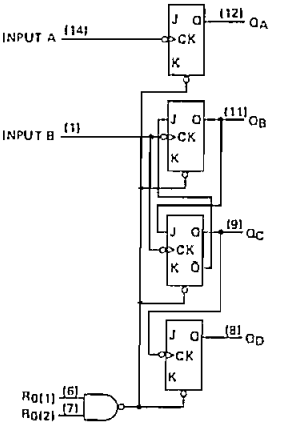
NOTES: A. Output Q_A is connected to input B for BCD count.
B. Output Q_D is connected to input A for bi-quinary count.
C. Output Q_A is connected to input B.
D. H = high level, L = low level, X = irrelevant

Functional block diagrams

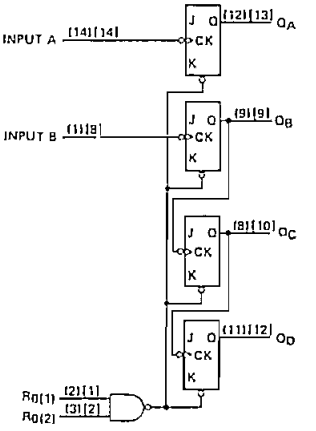
'90A, 'L90, 'LS90



'92A, 'LS92



'93A, 'L93, 'LS93



National Semiconductor

October 1980

INS8048-Series Microcomputer/Microprocessor Family

General Description

The INS8048/49/50-Series microcomputers and the INS8035/39/40-Series microprocessors (hereinafter referred to as the 48-Series) are self contained, 8-bit parallel, 40-pin, dual in-line devices fabricated using National Semiconductor's scaled N-channel, silicon gate MOS process, XMOS. The 48-Series devices contain the system timing, control logic, ROM (where applicable) program memory, RAM data memory and 27 I/O lines necessary to implement dedicated control functions. All 48-Series devices are pin compatible, differing only in the size of on-board ROM (where applicable) and RAM as shown below:

DEVICE	RAM ARRAY	ROM ARRAY
INS8048	64 x 8	1K x 8
INS8049	128 x 8	2K x 8
INS8050	256 x 8	4K x 8
INS8035	64 x 8	N/A
INS8039	128 x 8	N/A
INS8040	256 x 8	N/A

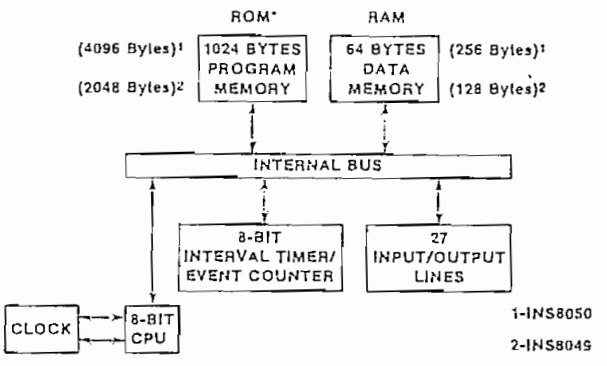
The devices are designed to be efficient controllers. They have extensive bit handling capability as well as facilities for both binary and BCD arithmetic. Efficient use of program memory is derived from an instruction set comprised predominantly of single bytes. The remaining instructions are two bytes in length. Additional external memory may be added up to a maximum of 4K bytes of program memory and 256 bytes of data memory without paging.

Features

- 8-Bit CPU, RAM, ROM, I/O in Single Package
- 2.5 μsec Cycle, 6 MHz Clock; 1.36 μsec Cycle, 11 MHz Clock
- On-Chip Oscillator Circuit and Clock (or External Source)
- 27 I/O Lines
- Expandable Memory and I/O
- 8-Bit Timer/Counter
- Single Level Interrupt
- Interrupt has Schmitt Trigger with Hysteresis*
- Over 90 Instructions (Most Single Byte)
- Binary and BCD Arithmetic
- Single +5V Power Supply
- Low Standby Power Mode*
- Low Voltage Standby (2.2V Min)*
- On-Chip Battery Charging*

*NOTE: *Transparent improvements over industry standard part.*

48-Series Block Diagram



* *Not Applicable to INS8035/39/40

Absolute Maximum Ratings

Temperature Under Bias ..... 0°C to +70°C
Storage Temperature ..... -65°C to +150°C
All Input or Output Voltages with respect V_{SS} ..... -0.5V to +7.0V
Power Dissipation ..... 1.5 Watt

NOTE: *Absolute maximum ratings indicate limits beyond which permanent damage may occur. Continuous operation at these limits is not intended; operation should be limited to those conditions specified under DC Electrical Characteristics.*

DC Electrical Characteristics

T_A = 0° C to +70° C, V_{CC} = +5V ±10%, V_{SS} = 0V, unless otherwise specified.

Symbol	Parameter	Min	Typ	Max	Units	Test Conditions
V_{IL}	Input Low Voltage (All except XTAL1, XTAL2)	-0.5		0.8	V	
V_{IL1}	Input Low Voltage (XTAL1, XTAL2)	-0.5		0.6	V	
V_{IH}	Input High Voltage	2.0		V_{CC}	V	
V_{IH1}	Input High Voltage ($\overline{RESET}$, XTAL1, XTAL2)	3.0		V_{CC}	V	
V_{OL}	Output Low Voltage			0.4	V	I_{OL} = 2.0mA
V_{OH}	Output High Voltage All except ports 1 and 2	3.0		V_{CC}	V	I_{OH} = 100 μA
V_{OH1}	Port TTL	2.4			V	I_{OH} = 125 μA
I_{IL}	Input Leakage Current ($\overline{T1}$, EA, $\overline{INT}$)			±10	μA	$V_{SS} \leq V_{IN} \leq V_{CC}$
I_{OL}	Output Leakage Current (BUS, T0) (High Impedance State)			-10.0	μA	$V_{CC} \geq V_{IN} \geq V_{SS}$ + 0.45
$I_{DD\ (64)}$	64 words on Standby Current (2)			2.5	mA	8048
$I_{DD\ (128)}$	128 words on Standby Current (2)			4.5	mA	8049
$I_{DD\ (256)}$	256 words on Standby Current (2)			8.5	mA	8050
I_{DD} + I_{CC}	Total Supply Current 8048		30	65	mA	T_A = 25°C
I_{DD} + I_{CC}	Total Supply Current 8048L		25	40	mA	T_A = 25°C
I_{DD} + I_{CC}	Total Supply Current 8049		32	70	mA	T_A = 25°C
I_{DD} + I_{CC}	Total Supply Current 8049L		30	45	mA	T_A = 25°C
I_{DD} + I_{CC}	Total Supply Current 8050		35	75	mA	T_A = 25°C
I_{DD} + I_{CC}	Total Supply Current 8050L		35	50	mA	T_A = 25°C
I_{DDC}	Battery Charging Current			TBD	mA	See *Figure 5*
V_{DD}	Standby Power Supply	2.4		V_{CC}	V	See *Figure 5*

Notes: 1. The Series-48 family of parts are also available in Industrial Temperature Range -40°C to +80°C. Industrial Temperature Range versions are denoted with an I following the part number (i.e., INS8048-6XXX/NI).

2. The low power versions (L parts), and the Industrial Temperature Range (I parts), are currently available throughout the Series-48 Family.

AC Electrical Characteristics - INS80XX-6 (1-6 MHz part)

T_A = 0° C to +70° C, V_{CC} = +5V ±10%, V_{SS} = 0V, unless otherwise specified.

Symbol	Parameter	Min	Typ	Max	Units	Test Conditions
t_{LL}	ALE Pulse Width	400			ns	Note 1
t_{AL}	Address Setup to ALE	150			ns	Note 1
t_{LA}	Address Hold from ALE	80			ns	Note 1
t_{CC}	Control Pulse Width $\overline{PSEN}$, $\overline{RD}$, $\overline{WR}$	700			ns	Note 1
t_{DW}	Data Set-Up Before $\overline{WR}$	500			ns	Note 1
t_{WD}	Data Hold After $\overline{WR}$	120			ns	C_L = 20 pF
t_{CY}	Cycle Time	2.5		15.0	μs	1 to 6 MHz XTAL
t_{DR}	Data Hold	0		200	ns	Note 1
t_{RD}	$\overline{PSEN}$, $\overline{RD}$ to Data In			500	ns	Note 1
t_{AW}	Address Setup to $\overline{WR}$	230			ns	Note 1
t_{AD}	Address Setup to Data In			950	ns	Note 1
t_{AFC}	Address Float to $\overline{RD}$, $\overline{PSEN}$	0			ns	Note 1
t_{CA}	Control Pulse to ALE	10			ns	Note 1

Port 2 Timing

Symbol	Parameter	Min	Typ	Max	Units	Test Conditions
t_{CP}	Port Control Setup before Falling Edge of PROG	110			ns	Note 1
t_{PC}	Port Control Hold after Falling Edge of PROG	140			ns	Note 1
t_{PR}	PROG to Time P2 Input must be Valid			810	ns	Note 1
t_{DP}	Output Data Setup Time	250			ns	Note 1
t_{PD}	Output Data Hold Time	65			ns	Note 1
t_{PF}	Input Data Hold Time	0		150	ns	Note 1
t_{PP}	PROG Pulse Width	1510			ns	Note 1
t_{PL}	Port 2 I/O Data Setup	400			ns	Note 1
t_{LP}	Port 2 I/O Data Hold	150			ns	Note 1

AC Electrical Characteristics - INS80XX-11 (4-11 MHz Part)

T_A = 0° C to +70° C, +5V ±10%, V_{SS} = 0V, unless otherwise specified.

Symbol	Parameter	Min	Typ	Max	Units	Test Conditions
t_{LL}	ALE Pulse Widin	150			ns	Note 1
t_{AL}	Address Setup to ALE	70			ns	Note 1
t_{LA}	Address Hold from ALE	50			ns	Note 1
t_{CC}	Control Pulse Width $\overline{PSEN}$, $\overline{RD}$, $\overline{WR}$	300			ns	Note 1
t_{DW}	Data Set-Up Before $\overline{WR}$	250			ns	Note 1
t_{WD}	Data Hold After $\overline{WR}$	40			ns	C_L = 20 pF
t_{CY}	Cycle Time	1.36		3.75	μs	4 to 11 MHz XTAL
t_{DR}	Data Hold	0		100	ns	Note 1
t_{RD}	$\overline{PSEN}$, $\overline{RD}$ to Data In			200	ns	Note 1

Instruction Set

Table 1 details the 96 instructions common to both the microcomputers and the microprocessors. The table provides the mnemonic, function and description, instruction code, number of cycles and, where applicable, flag settings

Table 1 Instruction Set

MNEMONIC	FUNCTION	DESCRIPTION	CYCLES	BYTES	FLAGS C	AC	F0	F1
		CONTROL						
EN I		Enable the External Interrupt Input.	1	1				
DIS I		Disable the External Interrupt Input.	1	1				
ENT0 CLK		Enable T0 as the Clock Output	1	1				
SEL MB0	(DBF) ← 0	Select Bank 0 (locations 0 - 2047) of Program Memory	1	1				
SEL MB1	(DBF) ← 1	Select Bank 1 (locations 2048 - 4095) of Program Memory.	1	1				
SEL RB0	(BS) ← 0	Select Bank 0 (locations 0 - 7) of Data Memory.	1	1				
SEL RB1	(BS) ← 1	Select Bank 1 (locations 24 - 31) of Data Memory.	1	1				
		DATA MOVES						
MOV A, #data	(A) ← data	Move Immediate the specified data into the Accumulator.	2	2				
MOV A, Rr	(A) ← (Rr); r 0 - 7	Move the contents of the designated registers into the Accumulator.	1	1				
MOV A, @ Rr	(A) ← ((Rr)); r 0 - 1	Move Indirect the contents of data memory location into the Accumulator.	1	1				
MOV A, PSW	(A) ← (PSW)	Move contents of the Program Status Word into the Accumulator	1	1				
MOV Rr, #data	(Rr) ← data; r 0 - 7	Move Immediate the specified data into the designated register.	2	2				
MOV Rr, A	(Rr) ← (A); r 0 - 7	Move Accumulator contents into the designated register.	1	1				
MOV @ Rr, A	((Rr)) ← (A); r 0 - 1	Move Indirect Accumulator contents into data memory location.	1	1				
MOV @ Rr, #data	((Rr)) ← data; r 0 - 1	Move Immediate the specified data into data memory.	2	2				
MOV PSW, A	(PSW) ← (A)	Move contents of Accumulator into the Program Status Word.	1	1	•	-	•	
MOVP A, @ A	(PC 0 - 7) ← (A) (A) ← ((PC))	Move the content of program memory location in the current page addressed by the content of accumulator into the accumulator.	2	1				
MOVP3 A, @ A	(PC 0 - 7) ← (A) (PC 8 - 10) ← 011 (A) ← ((PC))	Move the content of program memory location in page 3 address by the content of accumulator into the accumulator.	2	1				
MOVX A, @ R	(A) ← ((Rr)); r 0 - 1	Move Indirect the contents of external data memory into the Accumulator.	2	1				

Table 1. Instruction Set (Cont'd.)

MNEMONIC	FUNCTION	DESCRIPTION	CYCLES	BYTES	FLAGS C	AC	F0	F1
		DATA MOVES (Cont'd.)						
MOVX @Ri,A	((Ri)) ← (A); i = 0 - 1	Move (write) the contents of the Accumulator into external data memory	2	1				
XCH A,Rr	(A) ↔ (Rr); r = 0 - 7	Exchange the Accumulator and designated register's contents	1	1				
XCH A,@Ri	(A) ↔ ((Ri)); i = 0 - 1	Exchange indirect contents of Accumulator and location in data memory	1	1				
XCHD A,@Ri	(A0 - A3) ↔ (((Ri)) 0 - 3); i = 0 - 1	Exchange indirect 4-bit contents of Accumulator and data memory	1	1				
		TIMER COUNTER						
EN TCNTI		Enable Internal Interrupt Flag for Timer Counter output	1	1				
DIS TCNTI		Disable Internal Interrupt Flag for Timer Counter output	1	1				
MOV A,T	(A) ← (T)	Move contents of Timer Counter into Accumulator	1	1				
MOV T,A	(T) ← (A)	Move contents of Accumulator into Timer Counter	1	1				
STOP TCNT		Stop Count for Event Counter	1	1				
STRT CNT		Start Count for Event Counter	1	1				
STRT T		Start Count for Timer	1	1				
		ACCUMULATOR						
ADD A,#data	(A) ← (A) + data	Add immediate the specified Data to the Accumulator	2	2	•	•		
ADD A,Rr	(A) ← (A) + (Rr) for r = 0 - 7	Add contents of designated register to the Accumulator	1	1	•	•		
ADD A,@Ri	(A) ← (A) + ((Ri)) for i = 0 - 1	Add indirect the contents the data memory location to the Accumulator	1	1	•	•		
ADDC A,#data	(A) ← (A) + (C) + data	Add immediate with carry the specified data to the Accumulator	2	2	•	•		
ADDC A,Rr	(A) ← (A) + (C) + (Rr) for r = 0 - 7	Add with carry the contents of the designated register to the Accumulator	1	1	•	•		
ADDC A,@Ri	(A) ← (A) + (C) + ((Ri)) for i = 0 - 1	Add Indirect with carry the contents of data memory location to the Accumulator	1	1	•	•		
ANL A,#data	(A) ← (A) AND data	Logical AND specified Immediate Data with Accumulator	2	2				
ANL A,Rr	(A) ← (A) AND (Rr) for r = 0 - 7	Logical AND contents of designated register with Accumulator	1	1				
ANL A,@Ri	(A) ← (A) AND ((Rr)) for i = 0 - 1	Logical AND Indirect the contents of data memory with Accumulator	1	1				
CPL A	(A) ← NOT (A)	Complement the contents of the Accumulator	1	1				
CLR A	(A) ← 0	CLEAR the contents of the Accumulator	1	1				
DA A		DECIMAL ADJUST the contents of the Accumulator	1	1	•			
DEC A	(A) ← (A) - 1	DECREMENT by 1 the accumulator's contents	1	1				
INC A	(A) ← (A) + 1	Increment by 1 the accumulator's contents	1	1				
ORL A,#data	(A) ← (A) OR data	Logical OR specified immediate data with Accumulator	2	2				
ORL A,Rr	(A) ← (A) OR (Rr) for r = 0 - 7	Logical OR contents of designated register with Accumulator	1	1				
ORL A,@Ri	(A) ← (A) OR ((Rr)) for i = 0 - 1	Logical OR Indirect the contents of data memory location with Accumulator	1	1				

Table 1. Instruction Set (Cont'd.)

MNEMONIC	FUNCTION	DESCRIPTION	CYCLES	BYTES	FLAGS C	AC	F0	F1
		ACCUMULATOR (Cont'd.)						
RLA	(An + 1) ← (An) for n 0 - 6 (A0) ← (A7)	Rotate Accumulator left by 1-bit without carry.	1	1				
RLC A	(An+1) ← (An); n 0-6 (A0) ← (C) (C) ← (A7)	Rotate Accumulator left by 1-bit through carry	1	1	•			
RR A	(An) ← (An+1); n 0-6 (A7) ← (A0)	Rotate Accumulator right by 1-bit without without carry	1	1				
RRC A	(An) ← (An+1); n + 0-6 (A7) ← (C) (C) ← (A0)	Rotate Accumulator right by 1-bit through carry.	1	1	•			
SWAP A	(A4-A7) ← (A0 - A3)	Swap the 2, 4-bit nibbles in the Accumulator.	1	1				
XRL A, #data	(A) ← (A) XOR data	Logical XOR immediate specified data with Accumulator.	2	2				
XRL A, Rr	(A) ← (A) XOR (Rr) for r 0 - 7	Logical XOR contents of designated register with Accumulator.	1	1				
XRL A, @ Rr	(A) ← (A) XOR ((Rr)) for r 0 - 1	Logical XOR Indirect the contents of data memory location with Accumulator	1	1				
		BRANCH						
DJNZ Rr, addr	(Rr) ← (Rr) -1; r 0-7 if (Rr) ≠ 0; (PC 0-7) ← addr	Decrement the specified register and test contents	2	2				
JBb addr	(PC 0-7) ← addr if Bb = 1 (PC) ← (PC) + 2 if Bb = 0	Jump to specified address if Accumulator bit is set.	2	2				
JC addr	(PC 0-7) ← addr if C 1 (PC) ← (PC) +2 if C 0	Jump to specified address if carry flag is set.	2	2				
JF0 addr	(PC 0-7) ← addr if F0 1 (PC) ← (PC) + 2 if F0 0	Jump to specified address if Flag F0 is set.	2	2				
JF1 addr,	(PC 0-7) ← addr if F1 1 (PC) ← (PC) + 2 if F1 0	Jump to specified address if Flag F1 is set.	2	2				
JMP addr	(PC 8-10) ← addr 8-10 (PC 0-7) ← addr 0-7 (PC 11) ← DBF	Direct Jump to specified address within the 2K address block.	2	2				
JMPP @ A	(PC 0-7) ← ((A))	Jump indirect to specified address pointed to by the accumulator in current page.	2	1				
JNC addr	(PC 0-7) ← addr if C 0 (PC) ← (PC) + 2 if C 1	Jump to specified address if carry flag is low	2	2				
JNI addr	(PC 0-7) ← addr if I 0 (PC) ← (PC) + 2 if I 1	Jump to specified address if interrupt is low.	2	2				
JNT0 addr	(PC 0-7) ← addr if T0 0 (PC) ← (PC) + 2 if T0 1	Jump to specified address if Test 0 is low.	2	2				
JNT1 addr	(PC 0-7) ← addr if T1 0 (PC) ← (PC) + 2 if T1 1	Jump to specified aodress if Test 1 is low.	2	2				
JNZ addr	(PC 0-7) ← addr if A ≠ 0 (PC) ← (PC) + 2 if A 0	Jump to specified address if accumulator is non-zero.	2	2				
JTF addr	(PC 0-7) ← addr if TF 1 (PC) ← (PC) + 2 if TF 0	jump to specified address if Timer Flag is set to 1	2	2				
JT0 addr	(PC 0-7) ← addr if T0 1 (PC) ← (PC) + 2 if T0 0	Jump to specified address if Test 0 is a 1	2	2				
JT1 addr	(PC 0-7) ← addr if T1 1 (PC) ← (PC) + 2 if T1 0	Jump to specified address if Test 1 is a 1.	2	2				
JZ addr	(PC 0-7) ← addr if A 0 (PC) ← (PC) + 2 if A 1	Jump to specified address if Accumulator is 0	2	2				

Table 1.- Instruction Set (Cont'd.)

MNEMONIC	FUNCTION	DESCRIPTION	CYCLES	BYTES	FLAGS C	AC	F0	F1
		INPUT/OUTPUT						
ANL BUS, data	(BUS) ← (BUS) AND data	Logical AND immediate specified data with contents of BUS	2	2				
ANL Pp, data	(Pp) ← (Pp) AND data; p = 1 - 2	Logical AND immediate specified data with designated port (1 or 2)	2	2				
ANLD Pp, A	(Pp) ← (Pp) AND (A0 - A3), p = 4-7	Logical AND contents of Accumulator with designated port (4 - 7)	2	1				
IN A, Pp	(A) ← (Pp); p = 1-2	Input data from designated port (1 - 2) into Accumulator	2	1				
INS A, BUS	(A) ← (BUS)	Input strobed BUS data into Accumulator	2	1				
MOVD A, Pp	(A0-A3) ← (Pp); p = 4-7 (A4-A7) ← 0	Move contents of designated port (4 - 7) into Accumulator	2	1				
MOVD Pp, A	(Pp) ← (A0 - A3); p = 4 - 7	Move contents of Accumulator to designated port (4 - 7)	2	1				
ORL BUS, #data	(BUS) ← (BUS) OR data	Logical OR immediate specified data with contents of BUS	2	2				
ORLD Pp, A	(Pp) ← (Pp) OR (A0 - A3), p = 4-7	Logical OR contents of Accumulator with designated port (4 - 7)	2	1				
ORL Pp, #data	(Pp) ← (Pp) OR data; p = 1 - 2	Logical OR immediate specified data with designated port (1 - 2)	2	2				
OUTL BUS, A	(BUS) ← (A)	Output contents of Accumulator onto BUS	2	1				
OUTL Pp, A	(Pp) ← (A); p = 1 - 2	Output contents of Accumulator to designated port (1 - 2)	1	1				
		REGISTERS						
DEC Rr	(Rr) ← (Rr) - 1; r = 0-7	Decrement by 1 contents of designated register	1	1				
INC Rr	(Rr) ← (Rr) + 1; r = 0-7	Increment by 1 contents of designated register.	1	1				
INC @ Rr	((Rr)) ← ((Rr)) + 1; r = 0-1	Increment Indirect by 1 the contents of data memory location.	1	1				
		SUBROUTINE						
CALL addr	((SP)) ← (PC) ((SP)) ←(PSW 4-7) (SP) ← (SP) + 1 (PC8-10) ← addr 8-10 (PC 0-7)← addr 0-7 (PC 11) ← DBF	Call designated Subroutine.	2	2				
RET	(SP) ← (SP) - 1 (PC) ← ((SP))	Return from Subroutine without restoring Program Status Word	2	1				
RETR	(SP) ← (SP) - 1 (PC) ← ((SP)) (PSW 4-7) ← ((SP))	Return from Subroutine restoring Program Status Word.	2	1	•	•		
		FLAGS						
CPL C	(C) ← NOT (C)	Complement Content of carry bit	1	1	•			
CPL F0	(F0) ← NOT (F0)	Complement Content of Flag F0	1	1			•	
CPL F1	(F1) ← NOT (F1)	Complement Content of Flag F1	1	1				•
CLR C	(C) ← 0	Clear content of carry bit to 0	1	1	•			
CLR F0	(F0) ← 0.	Clear content of Flag 0 to 0	1	1			•	
CLR F1	(F1) ← 0	Clear content of Flag 1 to 0.	1	1				•
		MISCELLANEOUS						
NOP		No operation	1	1				

Symbol Definitions

SYMBOL	DESCRIPTION
A	The Accumulator
AC	The Auxiliary Carry Flag
addr	Program Memory Address (12 bits)
b	Bit Designator (b = 0 - 7)
BS	The Bank Switch
BUS	The BUS Port
C	Carry Flag
CLK	Clock Signal
CNT	Event Counter
D	Nibble Designator (4 bits)
data	Number or Expression (8 bits)
DBF	Memory Bank Flip-Flop
F_0 F_1	Flags 0, 1
I	Interrupt
P	"In-Page" Operation Designator

SYMBOL	DESCRIPTION
p	Port Designator (p = 1, 2 or 4 - 7)
PSW	Program Status Word
r	Register Designator (r = 0, 1 or 0 - 7)
SP	Stack Pointer
T	Timer
TF	Timer Flag
T_0 T_1	Testable Flags 0, 1
X	External RAM
#	Prefix for Immediate Data
@	Prefix for Indirect Address
$	Program Counter's Current Value
(x)	Contents of External RAM Location
((xx))	Contents of Memory Location Addressed by the Contents of External RAM Location.
←	Replaced By

TYPICAL APPLICATIONS

Figure 6 shows a typical way to use the 48-Series Microcomputers in a stand-alone system

- Crystal used is.
  - Series resonant
  - AT cut
  - 1 to 6 MHz or 4 to 11 MHz

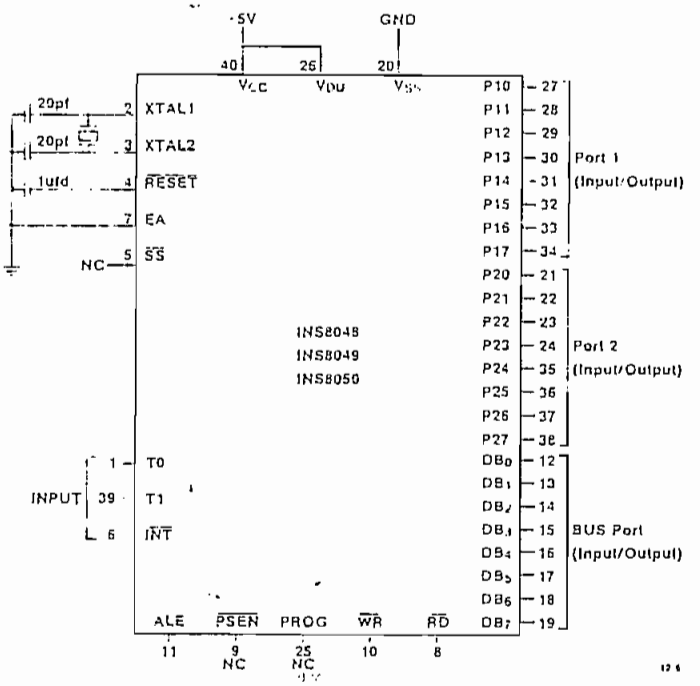


FIGURE 6. Stand-alone INS8048/49/50

A N E X O E

INFORME DEL INSTITUTO NACIONAL DE ENERGIA

INFORME TECNICO DE LAS PRUEBAS REALIZADAS [illegible]

REGULADOR RT IV

I. INTRODUCCION

Con oficio circular No. 840832 de 6 de junio de 1984, se solicitan cotizaciones para el diseño y construcción de un regulador programable basado en las especificaciones técnicas desarrolladas por el INE.

Según memorándum No. 00821 de 3 de octubre de 1984, en la Unidad de Microcentrales se detecta la necesidad de desarrollar los reguladores programable RT IV.

En memorándum 849 de 10 de octubre de 1984, considerando que la construcción de este regulador será de beneficio en los trabajos que está desarrollando la unidad, se ve la conveniencia de aceptar la propuesta presentada por la firma OPTRONIC.

En contrato firmado con fecha 28 de diciembre de 1984, compromete a OPTRONIC a:

- Diseñar y construir un regulador de carga microprocesado de 50 Kw., en base a las especificaciones proporcionadas por el INE.

- Elaborar una guía tecnológica de conformidad con las especificaciones técnicas disponibles contractuales y demás documentos.

ESPECIFICACIONES DEL REGULADOR RT IV

Las especificaciones requeridas para el regulador RT-IV y observaciones al respecto, se detallan a continuación:

- Diseñado en base a un procesador:

El sistema está diseñado en base a un procesador INTEL 8748, el cual tiene incluidas memorias EPROM y RAM, además de de entrada salida y counter timer.

- Protección de baja y sobre frecuencia (alarma y desconexión)

Con el fin de que se pueda desconectar la carga principal en casos de falla, el sistema comanda un relé auxiliar, el cual permite la conexión, o deshabilita a la bobina del contactor principal.

La alarma en caso de falla viene dada por leds y una sirena.

La desconexión de la carga principal, en caso de ocurrir baja o sobre frecuencia, será instantánea.

./.

- Protección de sobre y bajo voltaje y corrimiento del neutro (alarma y desconexión).

Igual observación que para el anterior. La desconexión de la carga principal en caso de que ocurra sobre y bajo voltaje o corrimiento del neutro será instantáneo.

- Protección contra sobre carga (alarma)

Igual observación que para el numeral anterior, la desconexión de la carga principal en caso de que ocurra sobre carga, será temporizada así como también la detección de este tipo de falla.

- Protección contra cortocircuitos (señalización).

El regulador probado no dispone de este tipo de señalización.

- Fuentes reguladas

Las fuentes reguladas integradas ocupan unas placas independientes de circuito impreso. Se alimentan de 3 puentes (uno por fase) y se aislan de la línea por medio de un transformador. En esta placa se tienen señalizaciones adecuadas.

- Circuito de disparo de triacs desacoplado del circuito de potencia.

El circuito de disparo de los triacs está desacoplado del circuito de potencia por medio de Optoacopladores.

- Diseño estanderizado para microcentrales hasta 50 Kw.

El diseño tiene como limitante, en la potencia que es posible manejar las corrientes máximas admisible para los elementos semiconductores las protecciones de los mismos y el sistema de enfriamiento por circulación forzada de aire.

- El regulador deberá controlar 4 cargas en la relación 1:2:4: (4 + 4); que proveerá cargas iguales en pesos iguales.

Para el efecto el regulador dispone de 5 triacs de 40 A. por fase, los cuales controlan las 4 cargas. No existe la posibilidad de controlar independientemente las cargas de la fase.

- Automatización de encendido y apagado, tratar de eliminar contactos principales.

Se dispone para el encendido de 3 relés (uno por fase) de 120 v. los cuales debido a su característica propia, no alimentan el sistema

./.

de control hasta que el voltaje generado alcance un valor de 90 v aproximadamente.

En el proceso de arranque, se produce automáticamente un pulso de rejet, mediante el cual la micro toma el control del sistema. Existe un pulsador externo de rejet con el fin de poder iniciar el proceso en cualquier condición de funcionamiento del sistema.

Luego de que el equipo está generando toda la potencia, y no existen condiciones de falla, una luz piloto, indica que es posible cerrar el contactor principal; para esto se deberá presionar un pulsante dispuesto en el sistema. El contactor deberá tener una bobina de 120 v., es decir dicha bobina deberá conectarse entre una fase y el neutro.

- Modular que facilite su mantenimiento y reparación.

Las tarjetas del regulador disponen de contactos diferentes, con el fin de que la conexión en el lugar equivocado pueda detectarse fácilmente.

PRUEBAS REALIZADAS:

Debido a la potencia máxima que podemos generar en el laboratorio (40 Kw.) a las cargas disponibles, y a que los triacs no disponen de ningún tipo de protección, ni ventilación adecuada, el equipo se probó con una potencia de 25 Kw. aproximadamente, repartidas de la siguiente forma:

CARGA 1 : 500 W.
CARGA 2 : 1000 W.
CARGA 4 : 2000 W
CARGA 8 : 4000 W.
Dando un total de 7.500 W por fase.

En todas las pruebas realizadas se anlizarón las respuestas del circuito, considerando las variaciones producidas en la frecuencia generada.

Se realizaron las siguientes pruebas:

- Arranque

Se probó el funcionamiento del sistema de autoencendido y toma de control por parte de la micro, así como el funcionamiento del sistema manual de rejet.

Se probó además la subrutina de arranque que está implementada, la cual no permite la conexión de la carga principal, hasta el momento en que el generador abastezca la potencia máxima.

Se comprobó el correcto funcionamiento de las protecciones de sobre y bajo voltaje y de los cambios posibles tanto en los niveles de alarma como en la histéresis que es posible dar al sistema.

- Sobrecarga

Se calibró y probó la protección de sobrecarga, la cual produce señalización, y desconectará la carga principal en caso de que la condición de sobrecarga se mantenga por un tiempo determinado.

- Formas de onda

Se observaron las formas de onda tanto en la carga principal como en las auxiliares con el fin de determinar su calidad, y la distorsión provocada por el sistema de control.

- Resultados y Observaciones:

Dado que el sistema utiliza una unidad microprocesada que dispone de memorias y pórticos, la tarjeta inteligente resulta muy sencilla en su conexionado, y el costo del equipo se reduce.

El sistema está calibrado para dar señal de alarma y desconexión por sobre y baja frecuencia, al momento en que se generen 60 y 57 Hertz respectivamente.

El sistema dispone de potenciómetros con el fin de calibrar los voltajes que se reconocerán como nivel de sobre y bajo voltaje, así como la histéresis que se le dará al sistema ante estas fallas. Se pudo comprobar el correcto funcionamiento de estos sistemas.

La protección de sobrecarga es temporizada por programa. La falla se reconoce luego de 5 segundos de que ésta persiste y se produce la señal de alarma, la desconexión se producirá luego de 10 minutos de falla sostenida. Esto se realizó con el fin de evitar desconexiones innecesarias en el caso de sobrecargas instantáneas o de corta duración. Se reconoce como nivel de sobrecarga los 58 Hz..

En caso de cortocircuito en la línea principal y dado que no se dispone de este tipo de protección, en el sistema actuarían las protecciones de baja frecuencia y/o bajo voltaje, las cuales producen desconexión instantánea de la carga principal. Con el fin de llevar a la práctica un sistema de este tipo, sería necesaria la inclusión de elementos termomagnéticos con señalización propia.

Dado que el limitante para este sistema en lo que se refiere a la potencia que se puede manejar, está dado por las máximas corrientes a través de los triacs, el sistema nominalmente podría manejar una potencia de 57 Kw. en este caso no se tendría ningún seguridad.

./.

Sería necesario para poner en marcha el sistema, la inclusión de protecciones para los triacs así como de ventiladores para el enfriamiento por circulación forzada de aire.

En el proceso de arranque, el momento en que la frecuencia alcanza un valor de 58 Hz. se produce un pulso de reset, con el cual entra en funcionamiento el sistema, iniciando una conexión instantánea de todas las cargas auxiliares y del relé que permite la conexión de la carga principal, luego del cual se empieza a controlar la frecuencia por medio de una subrutina de arranque, en la cual las protecciones empiezan a funcionar. El sistema no saldrá de esta subrutina hasta el momento en que todas las cargas auxiliares estén conectadas y no existan condiciones de falla, indicando el momento que esto ocurra que la carga principal puede ser conectada.

Con el fin de conectar la carga principal, se dispone de un pulsante el cual deberá presionarse luego de que se encienda la luz que indica que el contactor principal ha sido habilitado. El pulsante da una señal a el micro y alimenta la bobina del contactor principal, la cual deberá estar conectada entre una fase y el neutro. No es posible usar bobinas de 220 voltios sin la inclusión de un sistema auxiliar

Dada la rapidez de ejecución que se dió al programa, implementando cortos retardos, el sistema inicia un ciclo en el cual desconecta las cargas auxiliares con el fin de abastecer a las principales. Debido a que la inercia del sistema es muy baja, el hecho de conectar la carga principal produce una disminución en la frecuencia generada a 57 Hz. luego de la cual el sistema se recupera. Fue necesario por tanto, incluir un tiempo, luego de la conexión de la carga principal en la cual no se reconoce condiciones de falla.

En el caso de que las cargas que se conectan son muchos menores, el sistema tiene una respuesta más rápida y con menor variación en la frecuencia.

En caso de que la carga principal sea mayor que la potencia generada, el sistema rechaza la carga.

Si la sobrecarga es paulatina, actuarán las protecciones de baja frecuencia o sobrecarga, según sea el caso.

Si el caudal disminuye paulatinamente, el sistema continua controlando la frecuencia, hasta el momento en que se produzca alguna condición de falla.

Con la inclusión de los tres relés de alimentación de las fases al sistema, se resolvieron problemas en el mecanismo de autoencendido. Es necesario que se coloquen tres relés con el fin de que en caso de que se pierda una de las fases, el sistema no pierda su alimentación.

./.

Existe el inconveniente de que los leds de señalización se apaguen en el momento en que se supera una falla.

Cuando uno de los triacs de cortocircuito o una de las cargas se abre, se produciría un desequilibrio en las fases y problemas en el control de frecuencia.

Con elf ind e programar los tiempo de retardo, es necesario conocer la respuestas del grupo turbina-generador; ya que dichos tiempos, están relacionados con la inercia que tenga cada equipo; es por esta razón que en caso de instalarse los reguladores NT IV en forma masiva sería necesario realizar las pruebas en el campo y reprogramar los tiempos en la memoria, labor que es muy sencilla si se dispone del equipo necesario.

Luego del análisis de las formas de onda, se pudo determinar el correcto funcionamiento de los circuitos de disparo los cuales activan a los triacs muy cerca del cruce por cero, reduciendo así, la distorsión producida en las ondas de voltaje de las líneas que alimentan la carga principal.

En el sistema probado se tiene únicamente el equipo de control de los triacs, por lo tanto para su instalación sería necesario proveerle de un tablero y de todos los instrumentos de medida, así como de los breackers del generador y contactor de la carga principal, con las señalizaciones adecuadas, además, de realizar la identificación de las tarjetas y borneras.

FC/msa.

A N E X O F

BIBLIOGRAFIA

- CMOS DATABOOK.- NATIONAL SEMICONDUCTOR CORPORATION. 1981
- LINEAR DATABOOK.- NATIONAL SEMICONDUCTOR CORPORATION. 1980
- THE TTL DATA BOOK.- TEXAS INSTRUMENT. \ SEGUNDA EDICION.
- THE TRANSISTOR AND DIODE DATA BOOK.- TEXAS INSTRUMENT. PRIMERA EDICION.
- INFORME FINAL PROYECTO AMPLIACION MICROCENTRAL HIDRAULICA DE APUELA.- EMELNORTE; FERNANDO HIDALGO PEREZ. MARZO 1982
- PEQUEÑAS CENTRALES HIDROELECTRICAS. UN INTERCAMBIO SOBRE PROBLEMAS METODOLOGIAS Y DESARROLLO.- INE-INECEL. AGOSTO 1980.
- 48-SERIES MICROPROCESSORS HANDBOOK.- NATIONAL SEMICONDUCTOR. 1980
- IC OP-AMP COOKBOOK.- WALTER G. JUNG. SEGUNDA EDICION.- 1983
- RCA SOLID STATE DATABOOK.- 1974
- VOLTAGE REGULATOR HANDBOOK.- NATIONAL SEMICONDUCTOR. 1975
- PHILOSOPHY, THEORY AND PRACTICE OF LOW-COST MICRO HYDRO.- WOODWARD, BOYS, ELDER. PAPER PRESENTED AT WATERPOWER'83.

I N D I C E

		Pág.
	INTRODUCCION	6
	CAPITULO I.- GENERALIDADES	7
1.1	Microcentrales hidroeléctricas y regulación convencional	7
1.2	Regulación electrónica de carga	8
1.3	Características del microprocesador a utilizarse	9
1.3.1	Arquitectura del microprocesador 8748	10
1.3.2	Descripción de las líneas de entrada/salida	17
1.3.3	Set de instrucciones	20
1.4	Ventajas del microprocesador	21
	CAPITULO II.- DISEÑO CIRCUITAL	23
2.1	Especificaciones	23
2.2	Diagrama de bloques	24
2.3	Circuitos de protección	26
2.3.1	Marco de Conteo/Reloj	26
2.3.2	Sensores de Voltaje	28
2.4	Etapa de potencia	36
2.4.1	Triacs	37
2.4.2	Control de disparo	41
2.4.3	Señales para disparo por cero	43
2.5	Alarma y señalizaciones	45
2.6	Control microprocesado	48

		Pág.
2.7	Fuentes de poder	50
	CAPITULO III.- DISEÑO DEL PROGRAMA	
3.1	Estructura general	56
3.2	Diagramas de flujo y listado de programas	63
3.2.1	Diagrama de flujo del programa principal	63
3.2.2	Listado del programa principal	68
3.2.3	Diagrama de flujo de la subrutina de conteo	72
3.2.4	Listado de subrutina de conteo	76
3.2.5	Diagrama de flujo de subrutina de falla de voltaje	78
3.2.6	Listado de subrutina de falla de voltaje	80
3.2.7	Diagrama de flujo de subrutina de falla de frecuencia	80
3.2.8	Listado de subrutina de falla de frecuencia	82
3.2.9	Diagrama de flujo de subrutina de sobrecarga	84
3.2.10	Listado de subrutina de carga	86
3.2.11	Diagrama de flujo de subrutina de conversión	89
3.2.12	Listado de subrutina de conversión	90
3.2.13	Diagrama de flujo de subrutina de límites	91
3.2.14	Listado de subrutina de límites	92
3.2.15	Diagrama de flujo de subrutina de retardo	94
3.2.16	Listado de subrutina de retardo	94
	CAPITULO IV.- CONSTRUCCION Y EXPERIMENTACION	95
4.1	Construcción	95
4.1.1	Etapa de control	95
4.1.2	Etapa de potencia	98
4.2	Resultados Experimentales	101