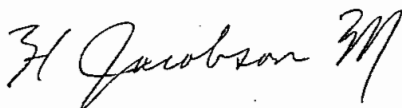


M E M O R I A   D I G I T A L  
P A R A  
O S C I L O S C O P I O

Tesis previa a la obtención  
del Título de Ingeniero en  
la especialización de Elec  
trónica y Telecomunicaciones  
de la Escuela Politécnica Na  
cional.

JORGE   VILLA   GUEVARA  
QUITO  
MARZO DE 1.976

Certifico que este trabajo ha sido  
realizado en su totalidad por el  
señor JORGE VILLA G.

A handwritten signature in cursive script, appearing to read 'H. Jacobson' followed by a stylized monogram or flourish.

Ing. Herbert Jacobson

CONSULTOR DE TESIS

Quito, Marzo de 1.976

A M I S P A D R E S

A G R A D E C I M I E N T O

A los Profesores de la Escuela Politécnica Nacional que me han brindado los conocimientos de Ingeniería.

Al Ingeniero Herbert Jacobson, que guió la realización del presente trabajo.

Y a todas aquellas personas que, de una u otra forma, han contribuido para el logro de esta Tesis.

Quito, Marzo de 1.976

## I N D I C E

INTRODUCCION .....	1
CAPITULO I	
Generalidades .....	3
Objetivo Técnico .....	4
Objetivo Económico .....	7
CAPITULO II	
DISEÑO A BLOQUES DE LA MEMORIA DIGITAL	
2.1.a Sistema de atenuación - amplificación .....	8
2.1.b Sistema de muestreo .....	9
2.1.c. Sistemas de conversión CAD, CAD .....	10
2.1.d Memoria .....	12
2.1.e Reloj y Sistema de Control .....	12
2.2 ANALISIS TECNICO DE LAS ETAPAS	
2.2.a Etapa de atenuación .....	13
2.2.b. Sistema de conversión A/D .....	21
2.2.b.1. Teoría de cuantización .....	21
2.2.b.2 Teoría de Muestreo .....	25
2.2.b.3 Características durante el muestreo .....	35
2.2.b.4 Características en la transición de Muestreo..... a retención .....	36
2.2.b.5 Características durante la retención .....	37
2.2.b.6 Características en la transición de espera .....	38
CIRCUITOS TIPICOS	
2.2.b.7 Seguidor de Lazo abierto .....	40
2.2.b.8 Circuitos con realimentación .....	42
2.2.b.9 Circuito muestreador con inversión .....	47
2.2.b.10 Circuito muestreador compensado con inversión ....	47
2.2.b.11 Circuito muestreador sin inversión .....	49
2.2.b.12 Circuito muestreador compensado sin inversión ....	50

2.2. c	CONVERSORES	
2.2.c.1	Aproximaciones sucesivas .....	52
2.2.d	MEMORIA CON REGISTROS DE DESPLAZAMIENTO INTERNO ...	53
	Principios de Operación .....	57

CAPITULO III

DISEÑO Y CONSTRUCCION

3.1.a.1	Etapa de atenuación .....	63
3.1.a.2	Amplificador de entrada .....	72
3.1.b	Muestreo .....	75
3.1.c.1	Convertor analógico digital .....	77
a.1.c.2	Registro de aproximaciones sucesivas .....	80
3.1.c.3	Convertor digital Análogoico .....	82
3.1.d	Memoria con registro de desplazamiento interno ...	84
3.1.c	Convertor digital-analógico de salida .....	89
3.1.e	Sistema de reloj .....	90
3.3	Consideraciones prácticas de diseño .....	108
	Seguidor de emisor .....	111
	Muestreo utilizando un puente de diodos .....	114

-CAPITULO IV

CONSTRUCCION DEL EQUIPO

4.1	Montaje .....	121
	Ruidos .....	122
4.2	Pruebas .....	125
4.3	Sistemas de Fuentes .....	128

CAPITULO V

RESULTADOS, CONCLUSIONES RECOMENDACIONES

5.1	Resultados Experimentales .....	133
5.2	Conclusiones, recomendaciones .....	136

## I N T R O D U C C I O N

La necesidad que tiene el Ingeniero de optimizar los equipos que utiliza, sujeto a los condicionamientos del medio, hace - que su actividad se dirija mayormente a la investigación, casos de países desarrollados, o dedique más tiempo a solventar esta desventaja, dotando de mayor utilidad y funcionalidad a los equipos que dispone.

El presente trabajo otorga a uno de los equipos más utilizados, el osciloscopio, una de las cualidades que la técnica ofrece: MEMORIA DIGITAL.

Por limitaciones de carácter económico, debe lograrse un diseño que permita su utilización en el mayor número de osciloscopios con que se cuenta en Laboratorio.

Esta tesis no trata de la teoría digital básica ni cubre áreas tratadas en trabajos similares.

El trabajo desarrollado en cada uno de los capítulos es - el siguiente:

En el primer capítulo se trata de los objetivos del pre-sente trabajo y se delimita sus alcances.

Un estudio teórico sobre la memoria se presenta en el se-gundo capítulo.

En el capítulo tercero se realiza el diseño detallado de la memoria.

C A P I T U L O I

OBJETIVOS DEL PRESENTE DISEÑO



1.1.

## GENERALIDADES

Uno de los equipos de mayor utilidad en laboratorio es el osciloscopio, por tanto merece especial atención. Será de mucho beneficio dotarle de cualidades que hagan de este equipo más versátil, por ejemplo: incrementar su respuesta de frecuencia, dotarle de una memoria, etc.

El presente trabajo está orientado a lograr una de estas cualidades: dotar de una memoria digital a un osciloscopio. Para una mayor funcionalidad del diseño deberá ser enfocado en sentido mucho más general.

Actualmente existen diferentes técnicss para almacenamiento de información, tanto digital como analógica. Se prefiere pára el presente trabajo el almacenamiento digital por las ventajas -- que ofrece. El presente trabajo deberá constar de una etapa de - conversión analógico - Digital ( A/D ), la memoria digital, etapa de conversión digital - analógico ( D/A ) y el sistema de control.

El diseño debe incluir además la etapa de atenuación y el sistema de fuentes necesarias para su funcionamiento. Lo indicado se presenta en el diagrama de bloques de la figura Nº 1

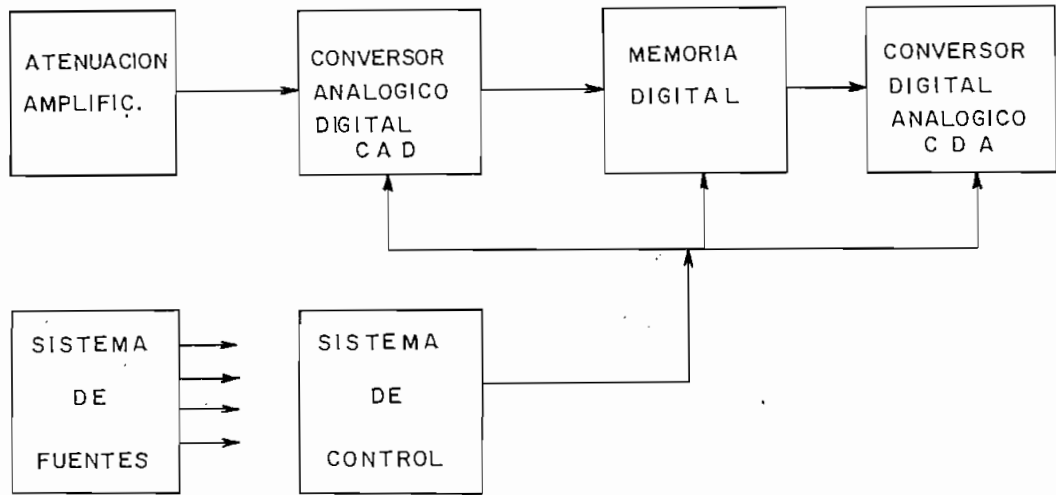


FIG. Nº 1

La información a grabarse debe primero alcanzar los niveles de voltaje necesarios para procesarse normalmente, en la etapa de atenuación-amplificación. Posteriormente debe convertirse de su forma analógica a digital como será almacenada en la memoria. Para su presentación en el osciloscopio debe convertirse de su forma digital a analógico.

## 1.2

### OBJETIVO TECNICO

El objetivo técnico del presente trabajo radica en dotar de memoria digital a uno de los osciloscopios que se dispone en laboratorio. Los que actualmente se disponen carecen de esta característica. En el Laboratorio de fuerza existe uno que presenta

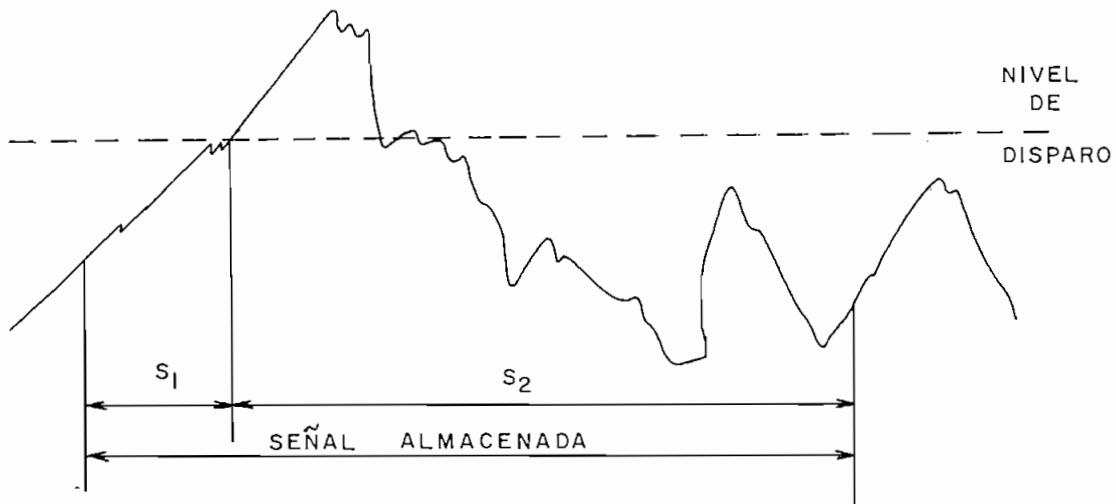
una mayor retentividad de la señal en la pantalla.

Por limitaciones técnicas se ha elegido la respuesta de - frecuencia: DC-100 KHz.

La memoria diseñada debe ser capaz de retener la información almacenada el mayor tiempo posible (teóricamente infinito, - posteriormente se verán las limitaciones existentes), debe responder en un rango de utilidad práctica aceptable a señales de diferentes amplitudes.

Uno de los problemas más frecuentes en las ramas de Ingeniería Eléctrica son los estados transitorios. Su estudio se torna un poco defícil por la dificultad de obtener mediciones durante esos intervalos.

Con este trabajo se presenta la posibilidad de obtener la señal en el momento mismo de producirse el estado transitorio. Se dispondrá de un circuito electrónico que al dispararse (cuando sobrepase la señal cierto nivel, regulable manualmente) grabará la señal desde un instante antes de producirse el disparo, como posterior al mismo. Esto se ilustra en la Figura Nº 2. Se evitarán grabaciones posteriores.



$S_1$  : SEÑAL GRABADA ANTES DE PRODUCIRSE EL DISPARO

$S_2$  : SEÑAL GRABADA DESPUES DE PRODUCIRSE EL DISPARO

FIG. Nº 2

Al realizar estudios de señales sumamente lentas, telefonía telex, información de estudios geofísicos (desde menos de 1 ciclo/seg. hasta 20 ciclos/seg.), al ser presentadas en el osciloscopio no pueden ser muy bien visualizadas por su baja frecuencia. Se hace factible con el presente diseño, grabar la señal a una frecuencia baja y presentar en el osciloscopio a una frecuencia mayor, mejorando así su visualización.

En cuanto a señales que varían muy rápidamente, se logrará una expansión de las mismas seleccionando una frecuencia de berrido menor a la cual fue grabada.

1.3.

O B J E T I V O      E C O N O M I C O

Algunos de los factores que delimitan la investigación a nivel universitario en nuestro país son: Versatilidad y calidad del equipo disponible; limitaciones de carácter económico; poca o casi ninguna relación universidad-medios industriales de producción.

Un estudio detallado de los medios para solventar estos inconvenientes abarcaría temas que salen del estudio de esta tesis.

Las limitaciones económicas permiten poca posibilidad de adquirir, con cierta frecuencia, equipos tecnológicamente más sofisticados, que permitirían determinado tipo de investigación.

Debe la Universidad encaminar sus esfuerzos a solventar este problema. Así por ejemplo se pueden hacer más funcionales a los equipos disponibles implementando, optimizando sus características.

C A P I T U L O     I I

ESTUDIO    TEORICO    DE    LA    MEMORIA    DIGITAL

2.1

DISEÑO A BLOQUES DE LA MEMORIA DIGITAL

2.1.a ATENUACION - AMPLIFICACION.

El sistema de conversión analógico-digital utilizado, opera con señales cuyos niveles de voltaje están comprendidos entre -4V y +4V. Si se aplican señales mayores el circuito resulta afectado notablemente. Con señales menores no responde satisfactoriamente, pues son habilitados muy pocos niveles de cuantización.

La etapa de atenuación-amplificación debe satisfacer dos aspectos muy importantes:

- a) Entregar la señal a grabarse dentro de los niveles de voltaje en los que opera el conversor analógico-digital.
- b) Presentar una impedancia de entrada, constante en el rango de frecuencia utilizado, similar a la que presenta un osciloscopio.

El diagrama en bloques correspondiente a esta etapa se presenta en la figura N° 3.

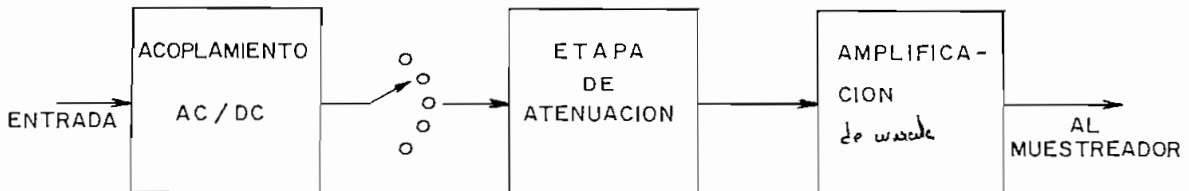


FIG. N° 3

La señal debe atravesar primero un circuito de acoplamiento AC/DC para eliminar componentes DC en señales alternas puras. Inmediatamente pasa al circuito de atenuación, el mismo que debe elegirse (con un conmutador) según los niveles del voltaje de la información.

El paso de amplificación además es necesario por que el muestreador, que constituye la siguiente etapa, necesita cargar el condensador de muestreo rápidamente con niveles de corriente relativamente altos, generalmente la información no será capaz de satisfacer este requisito sin alterarse. Además es necesario independizar la señal de entrada del resto de el proceso.

#### 2.1.8

#### M U E S T R E A D O R

El sistema de conversión analógico-digital (CAD) que se utiliza requiere que la señal no varíe durante el proceso de conversión.

Para satisfacer esta necesidad se utiliza un sistema de Muestreo - Retención (SAMPLE - HOLD en Inglés). Consta de un sistema de interrupciones y un elemento de retención, como se ilustra en la figura N° 4



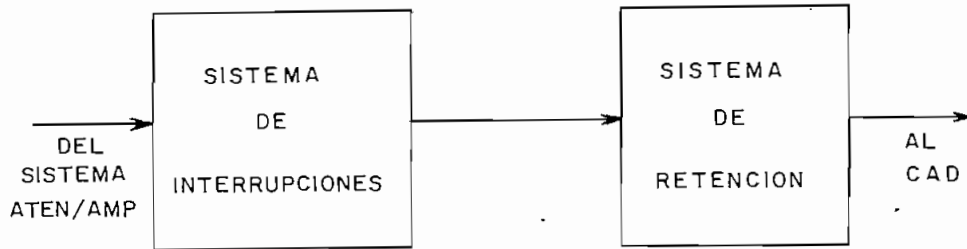


FIG. Nº 4

El sistema de interrupciones generalmente esta constituido por un FET, puente de diodos o un conmutador digital. Como elemento de retención se utiliza un condensador.

#### 2.1.C

#### C O N V E R S O R E S

Se utilizan dos tipos de conversores: analógico-digital - (CAD) y digital-analógico (COA).

Los CAD transforman señales analógicas o continuas, características en la mayoría de fenómenos físicos, en sus respectivas equivalencias digitales.

Los CDA son utilizados para devolver una señal analógica luego de haberla procesado como señal digital o discreta. Lo expuesto se presenta en la figura N° 5.

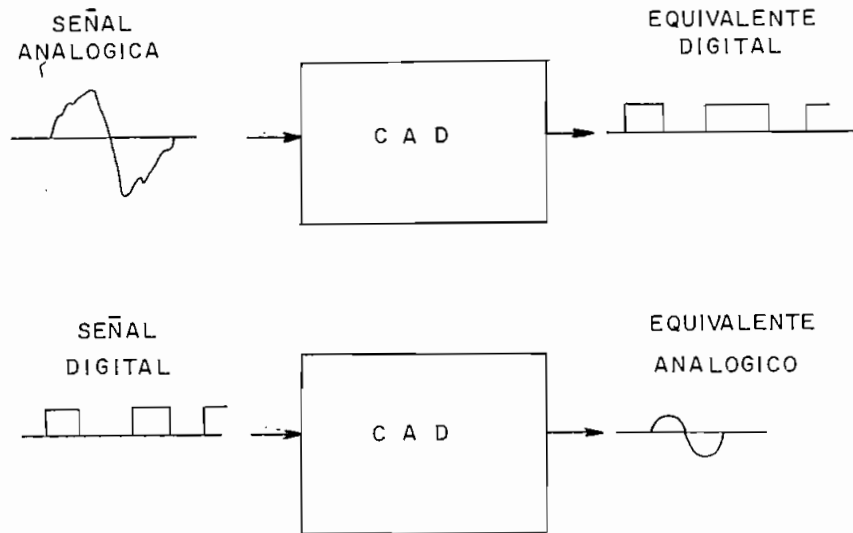


FIG. N° 5

CANTIDADES ANALÓGICAS.- Las señales analógicas que se utilizan como entrada generalmente son convertidas en voltajes o corrientes. Estas cantidades eléctricas aparecen como señales continuas o alternas, moduladas o no. Se obtienen por ejemplo de termocuplas, potenciómetros, computadores analógicos, etc.

Las señales analógicas que se obtienen de un CDA, sea como voltajes o corrientes, son analógicas puras.

CANTIDADES DIGITALES. Las cantidades digitales están determinadas por la presencia o ausencia de niveles fijos de voltaje. Cada bit o unidad de información tiene uno de dos posibles estados:  $1_L$  (uno lógico), o  $0_L$  (cero lógico).

Una cantidad analógica puede ser representada, con precisión muy aceptable, con cantidades digitales. La precisión está directamente determinada por el número de bits que se utilizan para la representación.

2.1.D

#### M E M O R I A

La memoria digital consta de varios registros de desplazamiento, cada uno de los cuales puede almacenar hasta 1024 bits de datos en forma secuencial. Para su operación requiere de diferentes señales de comando.

2.1.E

#### R E L O J Y S I S T E M A D E C O N T R O L

La señal de reloj se obtiene de un oscilador de onda cuadrada. Esta sirve para obtener las señales de comando necesarias para que opere el sistema. Esto se esquematiza en la Figura N° 6.

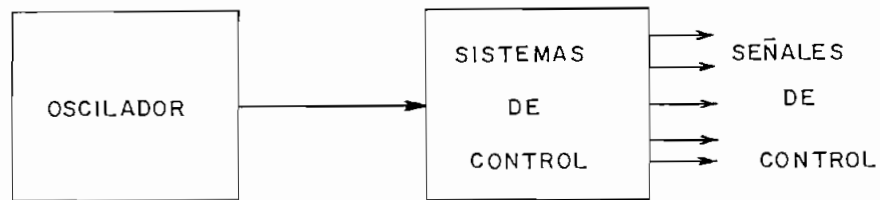


FIG. Nº 6

2.2. A N A L I S I S T E C N I C O D E  
L A S E T A P A S

2.2. A E T A P A D E A T E N U A C I O N

El sistema de atenuación debe diseñarse para una respuesta de frecuencia: DC-100KHz. Puede constar de una o varias etapas sin que esto modifique sus características. Debe presentar a la entrada una impedancia  $Z$  formada por una resistencia  $R_{eq}$  en paralelo con un condensador  $C_{eq}$  cuyos valores sean similares a los que presenta un osciloscopio. Consideremos el circuito de la Figura .  
Nº 7.

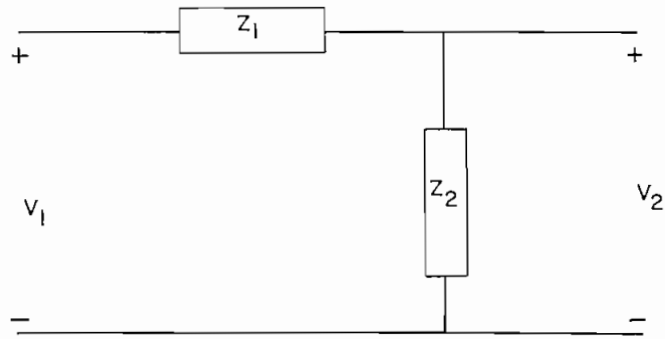


FIG. N° 7

$$\frac{V_2}{V_1} = \frac{Z_2}{Z_1 + Z_2}$$

Si consideramos las impedancias formadas por una resistencia  $R$  en paralelo con un condensador  $C$ , como indica la figura N° 8.

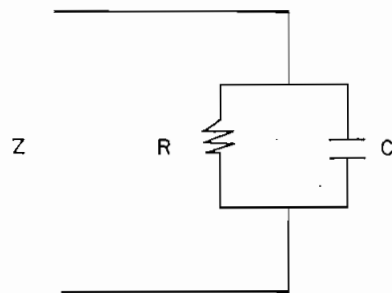


FIG. N° 8

Tendremos que:

$$(2) \quad Z = \frac{R}{1 + R S C}$$

en donde:

$$(3) \quad s = j\omega = j 2\pi f$$

en la ecuación 1, reemplazando el valor de Z

$$(4) \quad \frac{V_2}{V_1} = \frac{\frac{R_2}{1 + R_2 S C_2}}{\frac{R_1}{1 + R_1 S C_1} + \frac{R_2}{1 + R_2 S C_2}}$$

$$(5) \quad \frac{V_2}{V_1} = \frac{R_2 (1 + R_1 S C_1)}{R_1 (1 + R_2 S C_2) + R_2 (1 + R_1 S C_1)}$$

Considerando el circuito de la Figura N° 7, como unicamente resistivo, se tiene que:

$$(6) \quad \frac{V_2}{V_1} = \frac{R_2}{R_1 + R_2}$$

y considerando, como circuito capacitivo:

$$(7) \quad \frac{V_2}{V_1} = \frac{C_2}{C_1 + C_2}$$

Los capacitadores estan al mismo potencial que las resistencias:

$$(8) \quad \frac{R_2}{R_1 + R_2} = \frac{C_2}{C_1 + C_2}$$
$$R_1 C_1 = R_2 C_2$$

Reemplazando en la ecuación N° 5:

$$(9) \quad \frac{V_2}{V_1} = \frac{R_2}{R_1 + R_2}$$

El circulo presentará características de transferencia independientes de la frecuencia, siempre que se cumpla la ecuación N° 8.

En la práctica se puede construir un divisor de tensión resistivo. En el mismo existirán capacitancias parásitas, sean estas  $C_a$ ,  $C_b$ ,  $C_c$ . Como se indica en la figura N° 9.

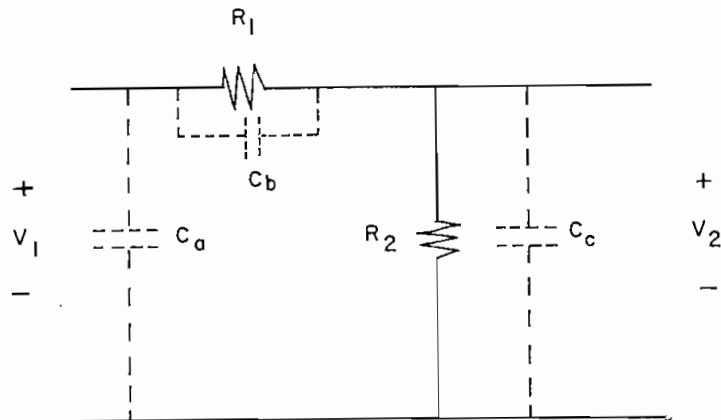


FIG. N° 9

Si se colocan condensadores físicos  $C_1'$  y  $C_2'$  en paralelo con las capacitancias parásitas, el efecto capacitivo total será como se indica en las ecuaciones N° 9 y 10.

$$(9) \quad C_{T1} = C_1' + C_b$$

$$(10) \quad C_{T2} = C_2' + C_c$$

Si en las ecuaciones 9 y 10 se cumple que:

$$(11) \quad C_1' \gg C_b$$

$$(12) \quad C_2' \gg C_c$$



Tendremos:

$$(13) \quad C_{T1} = C_1'$$

$$(14) \quad C_{T2} = C_2'$$

Se consigue disminuir notablemente el efecto de las capacitancias parásitas.

Sea:

$$(15) \quad C_1 = C_{T1}$$

$$(16) \quad C_2 = C_{T2}$$

Como se indica en la Figura N° 10.

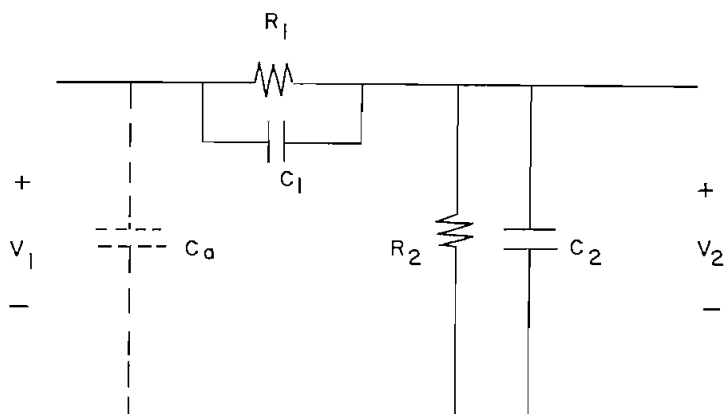


FIG. N° 10

El valor de  $R_2$  puede estar determinado por dos resistencias en paralelo,  $R_3$  y  $R_4$  como se indica en la Figura N<sup>o</sup> 11. Al igual que  $C_2 = C_3 // C_4$ .

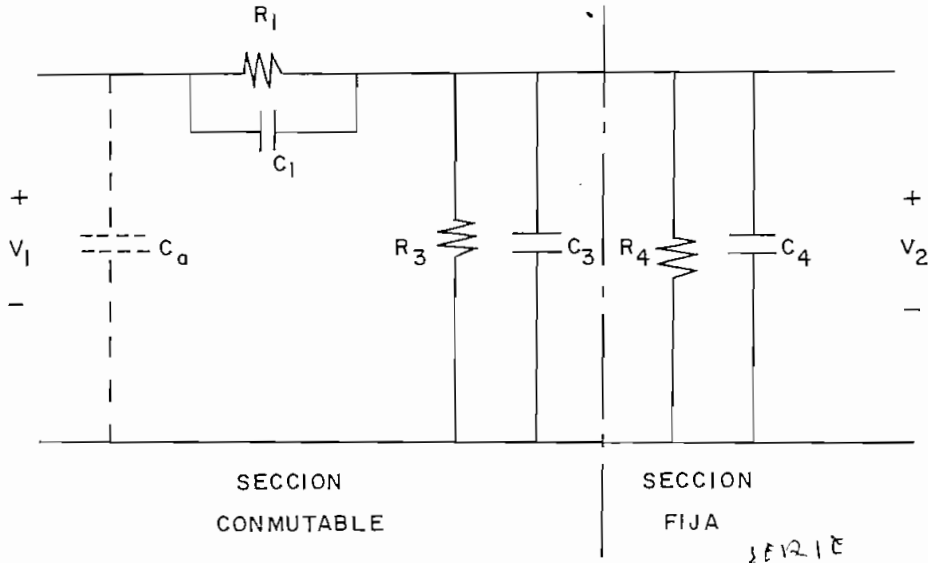


FIG. N<sup>o</sup> 11

$$(17) \quad R_2 = \frac{R_3 R_4}{R_3 + R_4}$$

$$(18) \quad C_2 = \frac{C_3 C_4}{C_3 + C_4}$$

$$\frac{1}{j\omega C_1} + \frac{1}{j\omega C_2} = \frac{1}{j\omega C_{eq}}$$

$$\frac{1}{C_1} + \frac{1}{C_2} = \frac{1}{C_{eq}}$$

$$C_{eq} = \frac{C_1 C_2}{C_1 + C_2}$$

De este modo se consigue una sección de terminación fija y otra conmutable. Esto presenta algunas ventajas: Siempre se esta presentando una carga constante a la entrada. Pueden utilizarse varias etapas de atenuación en cascada, presentando a la entrada la misma impedancia a pesar de variar la atenuación.

La impedancia en los terminales de entrada ( $Z_{en}$ ) esta dada por la ecuación N° 19.

$$(19) \quad Z_{en} = Z_1 + Z_2 = \frac{R_1}{1 + R_1 C_1 S} + \frac{R_2}{1 + R_2 C_2 S}$$

La misma debe ser similar a la que presenta un osciloscopio, una resistencia equivalente  $R_{eq}$  y una capacitancia equivalente  $C_{eq}$  en paralelo.

$$(20) \quad Z_{en} = \frac{R_{eq.}}{1 + R_{eq} C_{eq} S}$$

Igualando las ecuaciones 19 y 20, considerando la ecuación 8 se tiene:

$$(21) \quad R_{eq} = R_1 + R_2$$

$$(22) \quad C_{eq} = \frac{C_1 + C_2}{C_1 + C_2}$$

Como se indica en la Figura N° 12.

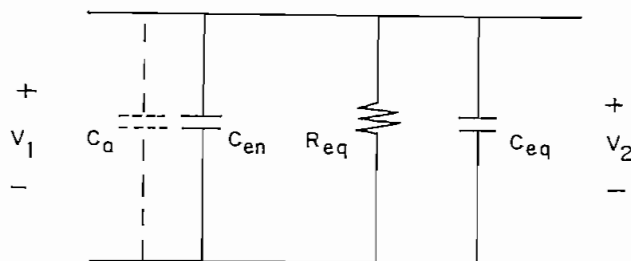


FIG. N° 12

Con criterio similar, podemos colocar un condensador en pa ralelo a  $C_a$ , Sea este  $C_{en}$  cuyo valor sea:

$$(23) \quad C_{en} \gg C_a$$

Entonces;  $Z_{en}$  queda modificado a:

$$(24) \quad Z_{en} = \frac{R_{eq}}{1 + R_{eq} C'_{en} S}$$

$$\therefore C'_{en} = \frac{C_{en} C_{eq}}{C_{en} + C_{eq}}$$

E T A P A D E C O N V E R S I O N A N A L O G I C O  
D I G I T A L

2.2.b C O N V E R S O R A / D

2.2.b.1 TEORIA DE CUANTIZACION.- El proceso de cuantización de una señal se ilustra con la función de transferencia de cuantización de la Figura N° 13.

La cuantización es el proceso que permite convertir una - señal analógica o cóntinua en una serie de niveles discretos. En el gráfico se presenta la señal analógica en el eje horizontal y los niveles discretos en el eje vertical. Los valores discretos

pueden identificarse con una serie de números, código binario por ejemplo.

Los procesos de cuantización y codificación representan la operación básica de una conversión analógica - digital.

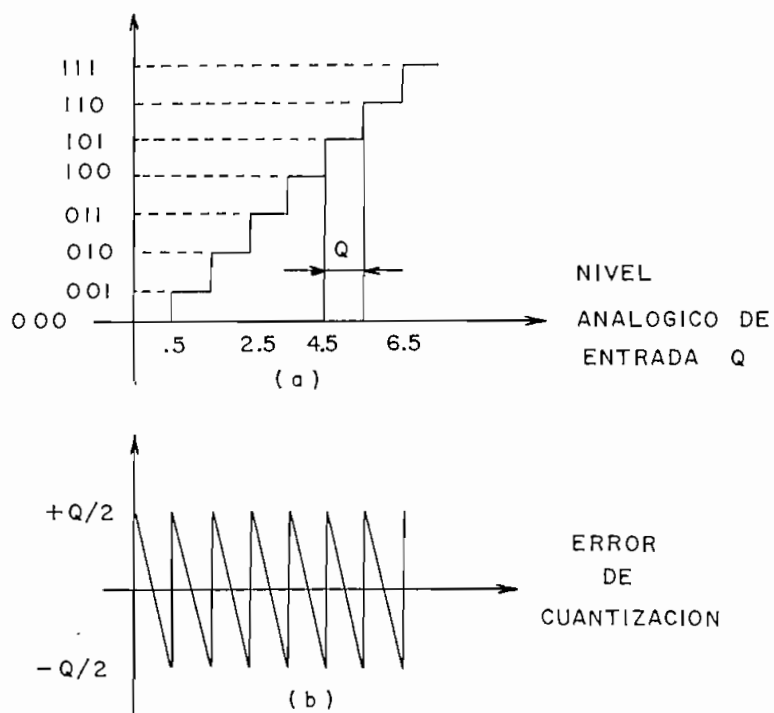


FIG. Nº 13

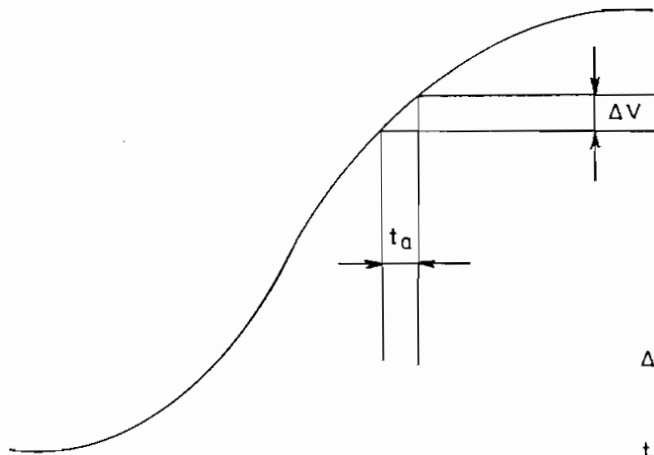
La función indicada es ideal con decisión para niveles -- analógicos: 0.5 , 1.5 , 2.5 , etc.

Los niveles de decisión son una serie de valores los mismos que determinan los niveles verdaderos. En otras palabras, una entrada analógica de valor unitario corresponderá a un nivel binario de 001. El nivel analógico 1 está entre los niveles de deci--

sión 0.5 y 1.5; luego una cantidad analógica cuyo valor sea  $1 \pm 0.5$  será interpretada en forma digital como 001. Si se llama  $Q$  a la distancia entre los niveles de decisión, tamaño de cuantización o tamaño del bit, un cuantizador con un código binario de salida -- tiene  $2^n$  niveles de salida discretos con  $2^n - 1$  niveles de decisión analógicas. Los niveles de decisión en el cuantizador no pueden ser exactos pero deben tener su tolerancia alrededor de los mismos.

Si se varía la entrada del cuantizador en todo su rango de valores y luego se sustraen los niveles discretos de salida, se tendrá una señal de error. Este error se denomina "error de cuantización", es un error inevitable en un proceso de cuantización y depende del número de niveles de cuantización o resolución del -- cuantizador. Al grafizar el error de cuantización se tiene una onda "diente de sierra" con un valor pico-pico igual a  $Q$ , como se presenta en la Figura Nº 13b. El error de cuantización es cero -- únicamente a la mitad entre los niveles de decisión.

En conversores A/D los procesos de cuantización y codificación de la señal se realizan en un tiempo finito. Este depende tanto de la resolución del conversor como del método de conversión utilizado. La velocidad de conversión depende de la variación de la información en el tiempo y de la resolución que se requiere. El tiempo que se requiere para realizar la conversión generalmente se denomina "tiempo de apertura".



$$\Delta V = \frac{dV(t)}{dt} t_a \quad (25)$$

$t_a$  : TIEMPO DE APERTURA

$\Delta V$  : VARIACION DE AMPLITUD

FIG. Nº 14

Como se indica en la figura Nº 14 el tiempo de apertura y la variación de amplitud estan relacionados por las variaciones de la señal en el tiempo. Para el caso particular de una onda sinusoidal la máxima relación de cambio ocurre en la intersección con cero y la variación de amplitud está dada por:

$$\Delta V = \frac{d}{dt} (V \text{ sen } \omega t) \Big|_{t=0} \rightarrow t_a = V \omega t_a$$

De donde:

$$\frac{\Delta V}{V} = \omega t_a = 2 \pi f t_a$$

El tiempo de conversión que se requiere para codificar una señal de 10 KHz con 8 bits de resolución, esto es una resolución de una parte de  $2^8$ , ( un 0.4% ), utilizando la ecuación anterior se tiene:

$$t_a = \frac{\Delta V}{V} \frac{1}{2\pi f} = \frac{.004}{6.28 \cdot 10^4} = 63.7 \cdot 10^{-9}$$

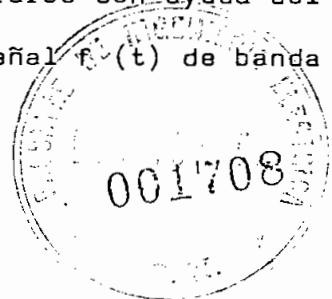
Se requiere un tiempo de conversión de 63.7 nanosegundos para mantener con un bit de resolución la relación del cambio de la señal. Para convertir señales que no varían rápidamente, con niveles moderados de resolución se requieren conversores relativamente rápidos. Si se utilizan circuitos de Muestreo-retención se puede aceptar un tiempo de conversión mayor, tomando rápidamente una muestra de la señal y reteniendo su valor durante la conversión.

2.2.b.2

### TEORIA DE MUESTREO

Una señal se muestrea sin perder información si la frecuencia de muestreo es por lo menos dos veces la máxima frecuencia de las componentes de la información, considerando el teorema de muestreo: " Si una señal continua de ancho de banda limitado no contiene componentes de frecuencia mayores que  $f_m$ . Entonces la señal original puede ser completamente recuperada, sin distorsión, si es muestreada en no menos de  $f_m$  muestras por segundo".

El teorema de muestreo puede demostrarse con ayuda del teorema de convolución en frecuencia. Sea la señal  $f(t)$  de banda li





mitada que no presenta componentes espectrales mayores que  $f_m$  ciclos por segundo. Esto significa que  $F(\omega)$ , la transformada de Fourier de  $f(t)$  es cero para  $|\omega| > \omega_m$ , ( $\omega_m = 2\pi f_m$ ). Si se multiplica la función  $f(t)$  por una función periódica de impulsos  $\delta_T(t)$ . El producto es una secuencia de impulsos localizados a intervalos regulares de  $T$  segundos y con amplitudes iguales al valor de  $f(t)$  en el instante correspondiente. El producto  $f(t) \delta_T(t)$  representa a la función  $f(t)$  muestreada a intervalos uniformes de  $T$  segundos. Si llamamos  $f_s(t)$  la función muestreada de  $f(t)$ , tendremos:

$$f_s(t) = f(t) \delta_T(t) \quad (26)$$

Sea  $F(\omega)$  el espectro de frecuencia de  $f(t)$ , la transformada de Fourier para una función periódica de impulsos  $\delta_T(t)$  es también una función periódica de impulsos  $\omega_0 \delta_{\omega_0}(\omega)$ . Los impulsos están separados a intervalos.  $\omega_0 = 2\pi/T$ .

$$\delta_T(t) \longleftrightarrow \omega_0 \delta_{\omega_0}(\omega) \quad (27)$$

La transformada de Fourier de  $f(t) \delta_T(t)$ , según el teorema de convolución en frecuencia, está dado por la convolución de  $F(\omega)$  con  $\omega_0 \delta_{\omega_0}(\omega)$ .

$$f_s(t) \longleftrightarrow \frac{1}{2\pi} [F(\omega) * \omega_0 \delta_{\omega_0}(\omega)] \quad (28)$$

Sustituyendo  $\omega_0 = \frac{2\pi}{T}$

$$f_s(t) \longleftrightarrow \frac{1}{T} [F(\omega) * \delta_{\omega_0}(\omega)] \quad (29)$$

Se demuestra que el espectro de la señal muestreada  $f_s(t)$ , está dado por la convolución de  $F(w)$  con un tren de impulsos. Esto se presenta gráficamente en la figura N° 15.

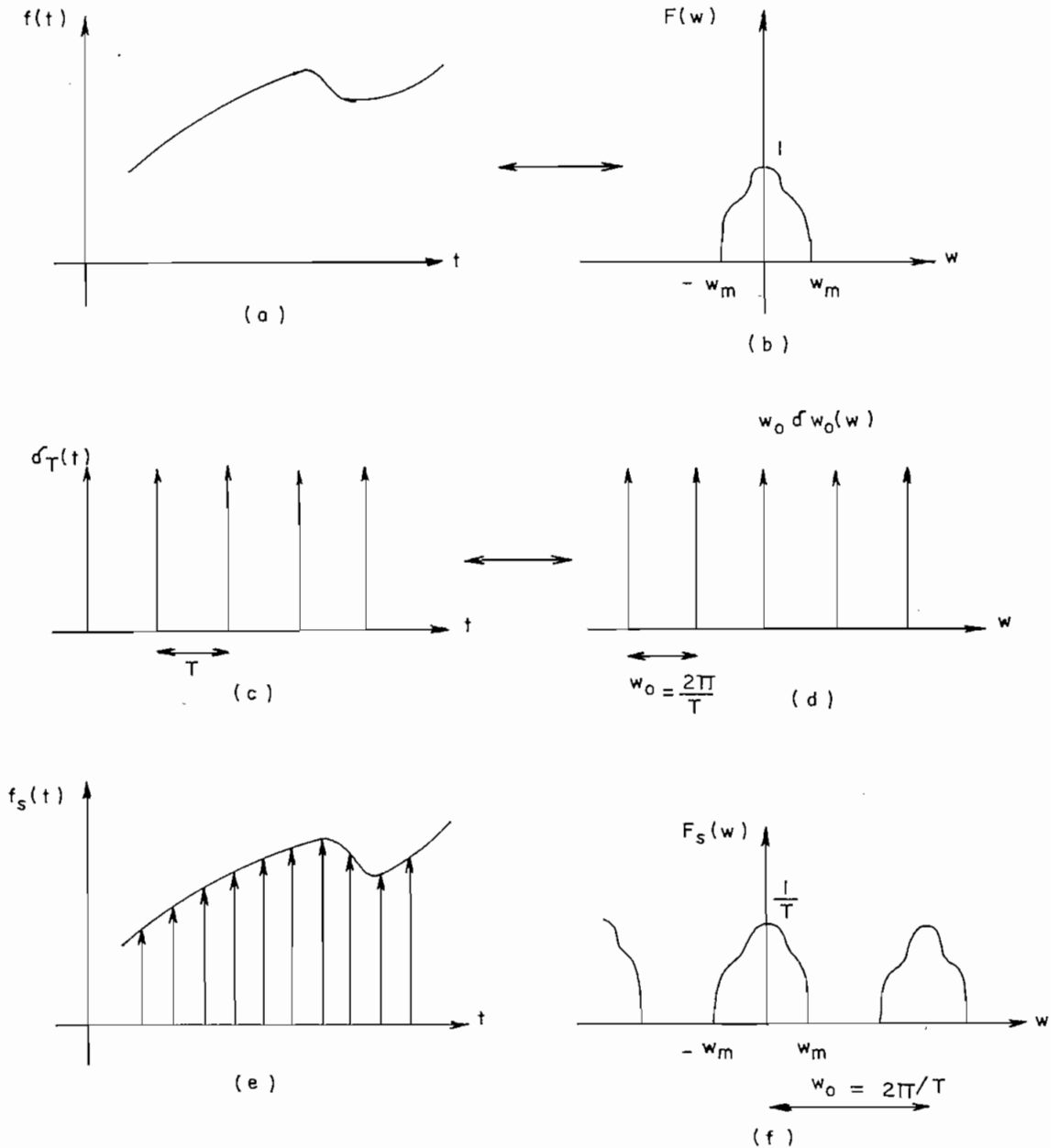


FIG. N° 15

Como se observa en la parte (f) de la figura,  $F(\omega)$  se repite periódicamente sin que existen superposiciones siempre que:

$$\text{esto es que: } \frac{2\pi}{T} \geq 2(2\pi f_m) \quad (30)$$

$$\therefore T \leq \frac{1}{2f_m}$$

Que comprueba el teorema de muestreo.

El proceso de muestreo se presenta en la figura N<sup>o</sup> 16, en la misma se presente la señal analógica y un tren de pulsos periódicos de muestreo.

Los pulsos representan un conmutador rápido que conecta - la señal analógica por un instante y el resto del período permanece abierto. La señal modulada resultante se presenta en la parte (c).

Si el conmutador de muestreo se reemplaza por un conmutador y un capacitor, la señal se muestrea y se retiene hasta el -- próximo pulso de muestreo, obteniéndose una figura como la indicada en la parte (d) de la figura N<sup>o</sup> 16. Este tipo de muestreador - se denomina de Muestreo - retención.

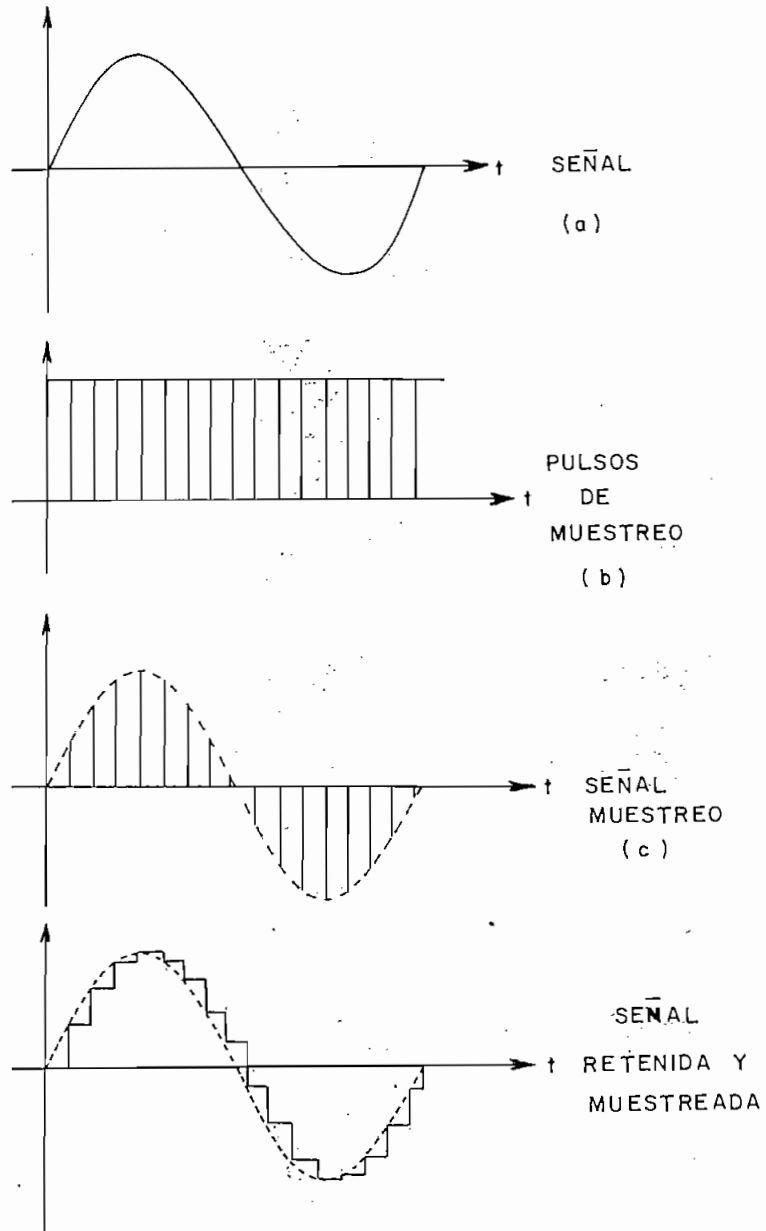


FIG. Nº 16

El teorema de muestreo puede ser ilustrado con el espectro de frecuencia que se presenta en la figura N<sup>o</sup> 17. La parte (a) presenta el espectro de una señal continua con componentes de frecuencia menores que  $f_m$ . Al muestrear esta señal a una frecuencia de muestreo  $f_s$  se obtiene un espectro de la señal como se indica en la parte (b). Si la frecuencia de muestreo no es lo suficientemente mayor que la frecuencia de la señal, aparecen algunas componentes de mayor frecuencia. Este efecto se denomina "frecuencia fantasma".

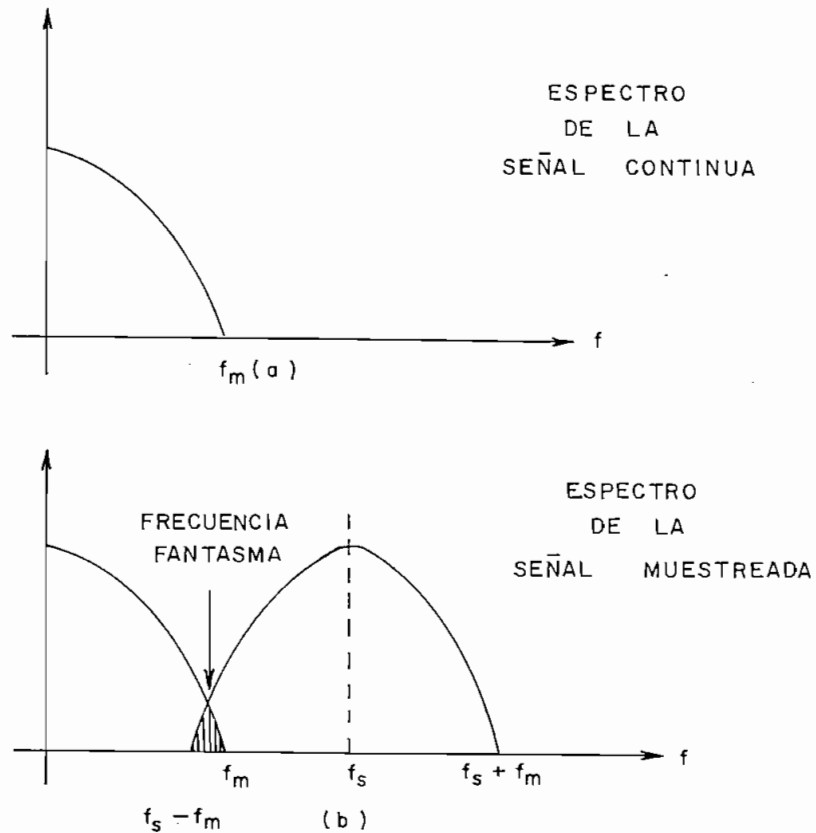


FIG. N<sup>o</sup> 17

Al recobrar la señal original, los componentes de frecuencia fantasma causan distorsión y no pueden ser distinguidas o separadas de la información.

Las frecuencias fantasmas son eliminadas si la frecuencia de muestreo se hace mayor o pasando la señal original por filtros pasa-bajos.

Un circuito ideal de muestreo-retención toma una muestra en un tiempo igual a cero y es capaz de retener su valor por un tiempo infinito con mucha exactitud. Dispositivos reales toman una muestra en períodos de tiempo muy cortos comparados con el tiempo que retienen la misma. El efecto de este proceso con señales analógicas continuas puede determinarse al encontrar la función de transferencia del circuito de muestreo-retención. Utilizando la transformada de Laplace se encuentra que la función de transferencia es:

$$G(j\omega) = \frac{1 - e^{-j\omega T}}{j\omega} = \frac{2\tilde{T}}{\omega_s} \frac{\text{sen } \tilde{T}\omega/\omega_s}{\tilde{T}\omega/\omega_s} e^{-j\tilde{T}(\frac{\omega}{\omega_s})} \quad (31)$$

En donde  $T$  es el período de muestreo y  $\omega_s = 2\tilde{T}, f_s$  la frecuencia de muestreo. Al grafizar se obtienen las representaciones de la Figura N° 18. Puede observarse que un circuito muestreo-retención actúa como un filtro pasa-bajos con una frecuencia de corte igual a  $f_s/2$  y un retardo de fase  $T/2$  ó un semiperíodo de muestreo.

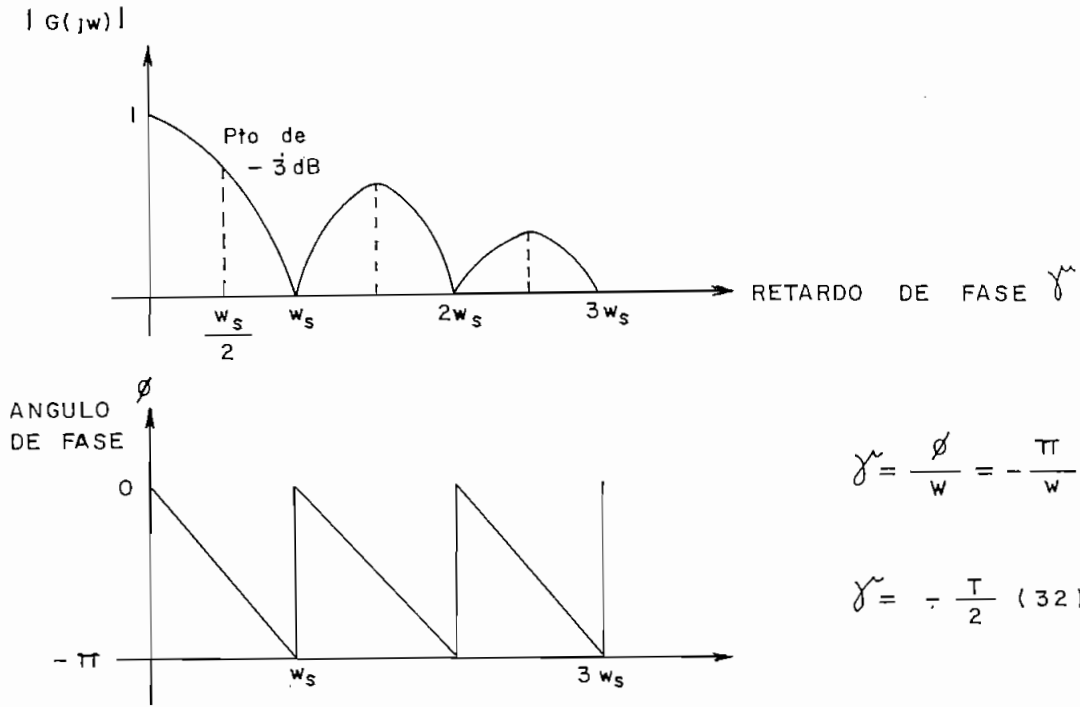


FIG. N° 18

MUESTREADOR

Si se aplica una onda sinusoidal a un muestreador, se obtendrá una señal como la indicada en la figura N° 19.

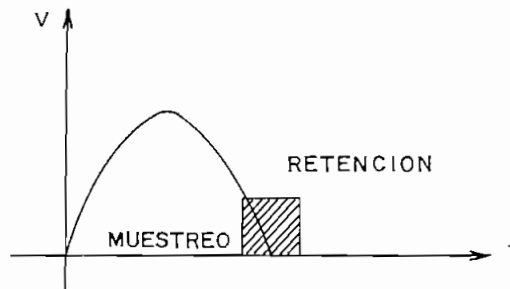


FIG. N° 19

El muestreador entrega al conversor A/D un voltaje de igual al valor instantáneo de la información pocos nsegundos después de que la señal de comando ha sido dada. Esta señal es liberada automáticamente después que se ha realizado el proceso de conversión, continuandose el muestreo de la información.

El muestreador es un dispositivo que posee una señal de entrada, una de salida y otra de control. Tiene dos estados de operación: Muestreo (sample en inglés) durante el cual adquiere la señal de entrada tan rápidamente como sea posible y sigue la señal hasta que llega el comando de retención (hold en inglés), tiempo al cual retiene el último valor adquirido de la señal de entrada.

Generalmente tiene ganancia unitaria sin inversión,

Las señales de control son operadas con niveles lógicos standard y tienen compatibilidad con la técnica TTL. Un nivel lógico generalmente utilizado para muestreo y un nivel lógico "0" para el comando de retención como se aprecia en la Figura Nº 20.





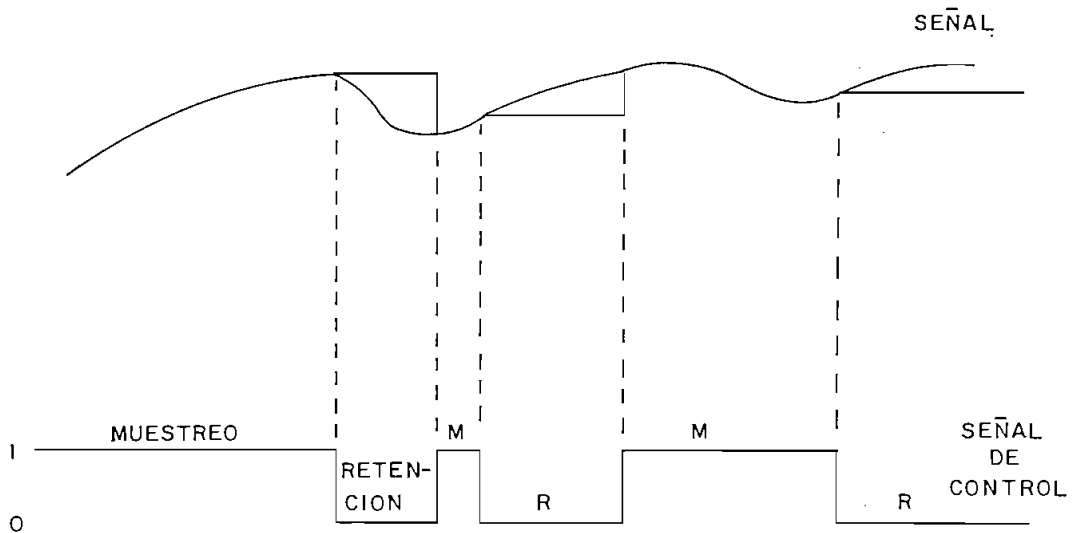


FIG. N<sup>o</sup> 20

El gráfico se refiere a un dispositivo ideal, sin errores en el muestreo y con conmutaciones instantáneas, además de un tiempo infinito de espera. Las unidades que comercialmente pueden obtenerse especifican términos para diferenciar de un dispositivo ideal. Es necesario conocer estos términos antes de profundizar su estudio. Por el momento nos preocuparemos de las principales características que suceden durante sus cuatro estados: Muestreo, transición de muestreo a retención, retención y transición de retención a muestreo.

2.2.b.3

D U R A N T E   E L   M U E S T R E O

(Figura Nº 21).

OFFSET.- Señal que debe ponerse a la entrada para que la salida sea igual a cero.

NONLINEARITY.- Cantidad en que la señal de salida difiere de la (Nolinealidad) de entrada.

SCALE FACTOR ERROR.- Valor en el cual difiere la salida (Error de Factor de Escala) considerando una ganancia específica (generalmente unitaria).

SETTLING TIME.- Tiempo que requiere la salida para alcanzar el valor final, cuando a la entrada se ha aplicado una función paso a escala completa.

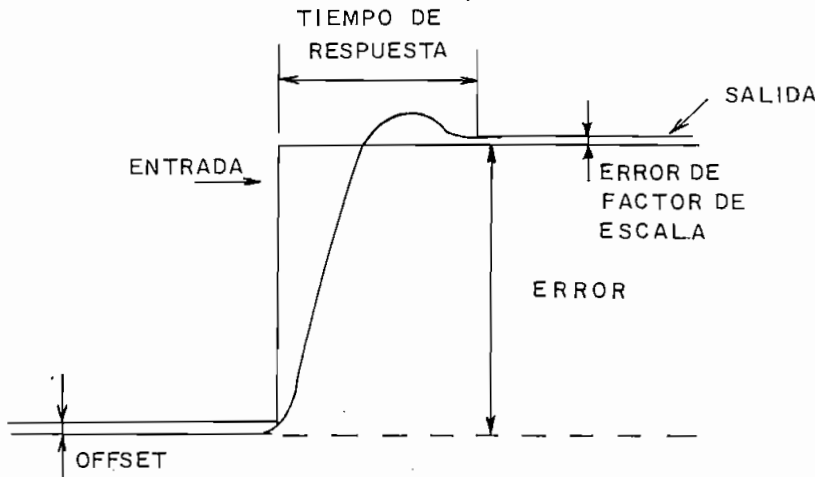


FIG. Nº 21

En este estado, el dispositivo se comporta como un seguidor de voltaje con ganancia unitaria.

2.2.b.4 TRANSICION DE MUESTREO A RETENCION  
(Figura Nº 22)

APERTURE TIME.- El tiempo comprendido entre la señal de co  
(Tiempo de apertura) mando y el comando mismo.

SAMPLE - TO - HOLD OFFSET.- Error que ocurre a la iniciación de  
(Error de Transición) una señal de espera causado por una  
descarga del condensador de almacenamiento a través de la capacitancia entre el circuito de control y el lado del condensador hacia el switch. Esto no ocurre en unidades que tienen una señalización digital.

SETTLING TIME.- El intervalo requerido por la salida para  
(Tiempo de respuesta) alcanzar el valor final.

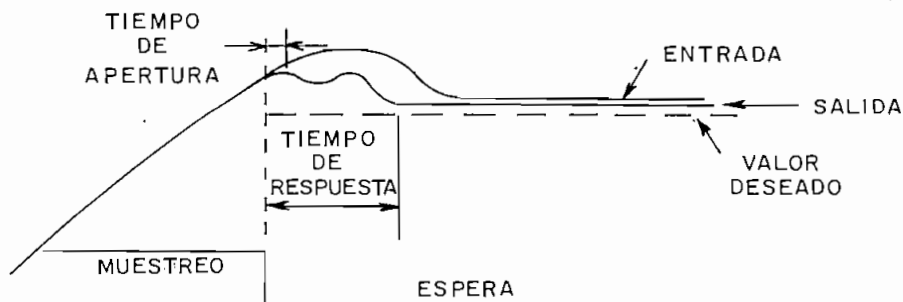


FIG. Nº 22

2.2.b.5 DURANTE LA RETENCION  
(Figura Nº 23)

DROOP.- Un desplazamiento de la salida en una relación  
(Decaimiento) aproximadamente constante, debido a la corriente que circula a través del condensador de almacenamiento. Puede ser positivo o negativo.

FEEDTHROUGH.- Fracción de la señal de entrada que  
(Factor de transferencia aparece a la salida durante la espera,  
en retención) causado especialmente por la capacitancia entre los terminales del conmutador. Generalmente se mide aplicando una señal sinusoidal a escala completa en la entrada, y observando su salida.

DIELECTRIC ABSORPTION.- Tendencia de las cargas en el capacitor para redistribuirse en un período de tiempo, por lo cual resulta un "crecimiento" a un nuevo nivel que a la postre puede producir rápidas variaciones.

La impedancia de salida de un dispositivo Muestreo-Retención debe ser baja y de rápida recuperación para minimizar las transiciones causadas por cargas dinámicas, tales como entradas de dispositivos A/D.

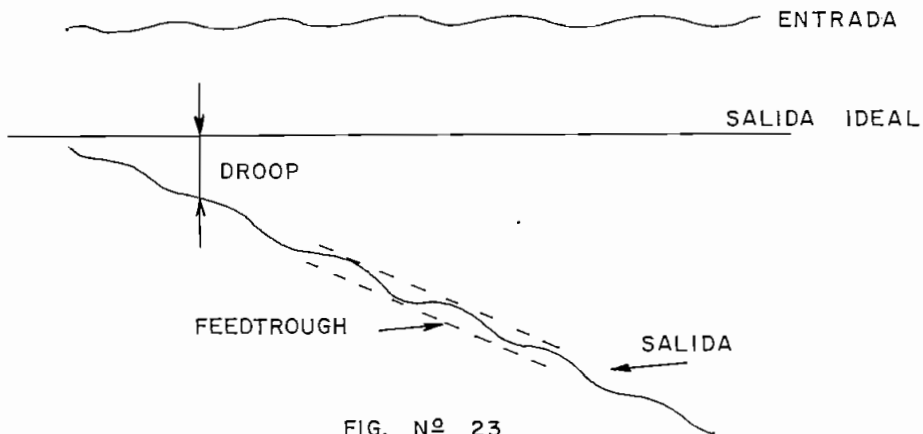


FIG. Nº 23

2.2.b.6

TRANSICION DE ESPERA A RETENCION

(Figura Nº 24)

ACQUISITION TIME.-  
(Tiempo de adquisición)

Tiempo necesario que la señal requiere ser aplicada para un muestreo con la exactitud deseada.

HOLD-TO-SAMPLE TRANSIENTS.-  
(Transición de retención a muestreo)

Voltajes transitorios que ocurren entre el comando de muestreo y la señal final. Resulta sumamente importante en algunas aplicaciones en las cuales los impulsos resultan ser comparables.

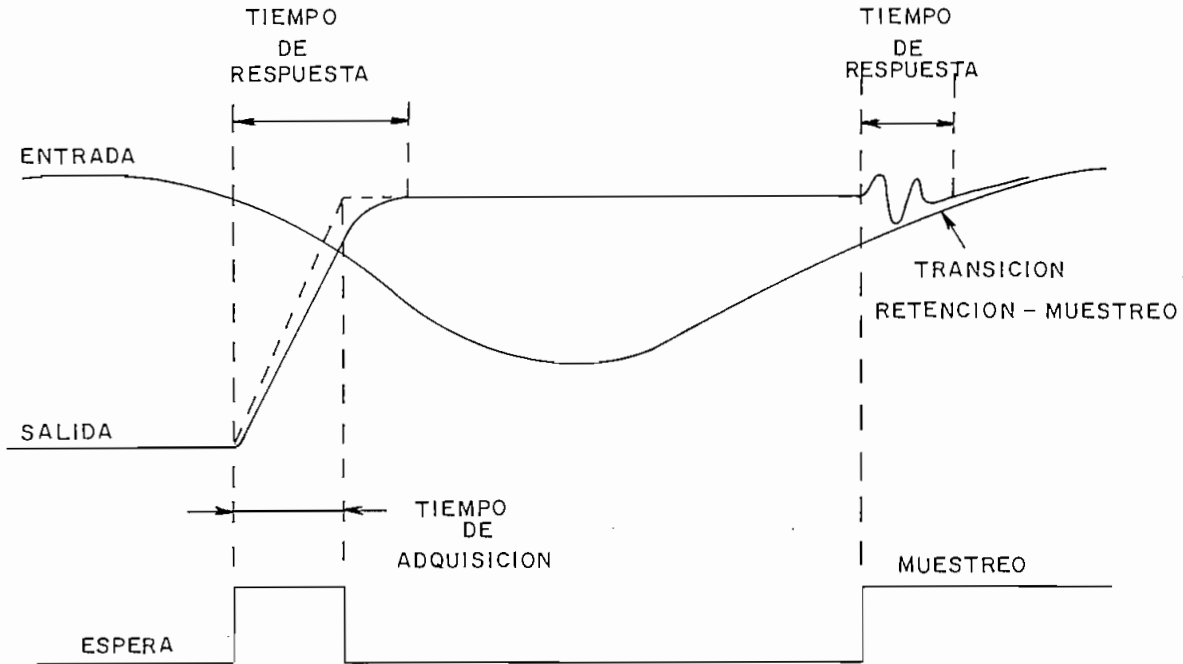


FIG. N<sup>o</sup> 24

A L G U N O S   C I R C U I T O S   T I P I C O S

El tipo de elemento de almacenamiento divide en dos categorías a los circuitos S/H. El más convencional, popular y de muy bajo costo emplea un condensador para almacenamiento (almacenamiento analógico). El otro método utiliza un conversor A/D y registros para almacenamiento, obteniéndose la salida através de un conversor D/A, que de cualquier manera resulta mucho más complejo y coe

tosos. Se utiliza únicamente cuando se necesita mucha precisión, además presenta un tiempo muy grande de espera.

2.2.b.7 SEGUIDOR DE LAZO ABIERTO

Es el circuito básico que se presenta en la figura N° 25. Cuando el conmutador está cerrado el capacitor se carga exponencialmente al voltaje de entrada, y la salida del amplificador "sigue" al voltaje del condensador. Cuando se abre el conmutador, la carga permanece en el condensador.

El tiempo de adquisición del capacitor depende de la resistencia en serie y también de la corriente disponible para cargar esa capacitancia. Una vez que se ha cargado el conmutador debe abrirse, sin que esto afecte al valor final. El tiempo que debe permanecer cerrado el conmutador, para mantener un margen de error de 0.1%, es  $7RC$ .

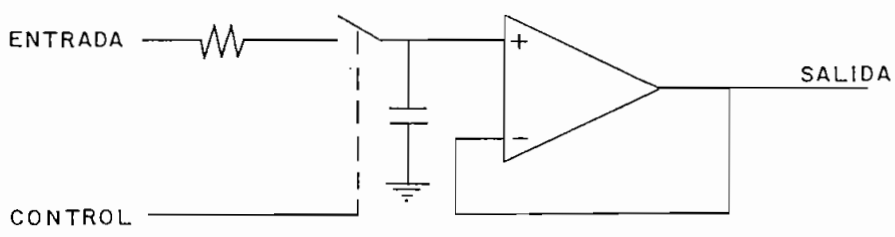


FIG. N° 25

Un dispositivo muy utilizado como conmutador es un FET, y el amplificador con entrada tipo FET. Este circuito tiene la desventaja que el capacitor se carga desde la entrada, lo cual puede producir una oscilación a la vez que la corriente no es suficiente para cargar al condensador con la rapidez deseada. Esto se soluciona si utilizamos un seguidor de voltaje, tal como se indica en la figura N<sup>o</sup> 26.

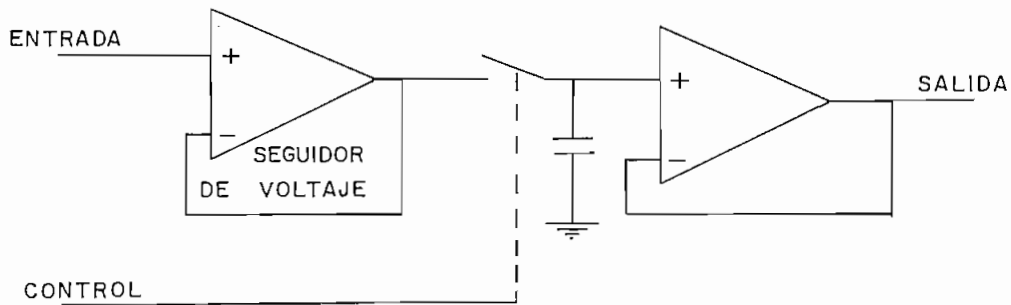


FIG. N<sup>o</sup> 26

Cuando se desean respuestas muy rápidas en este circuito, a la vez que aceptables, puede utilizarse un puente de diodos como se indica en la figura N<sup>o</sup> 27. La fuente de corriente está controlada por un mando para cargar el capacitor. Si el puente y la fuente de corriente son convenientemente balanceadas, la corriente fluirá hasta el capacitor mientras el voltaje en el mismo no -



sea igual al de la entrada.

Durante el muestreo este circuito presenta mayor offset, esto depende del balanceo que existe en los diodos del puente. Las características de los mismos deberían ser idénticas para minimizar este efecto. El error de transición en el paso de muestreo a retención es menor.

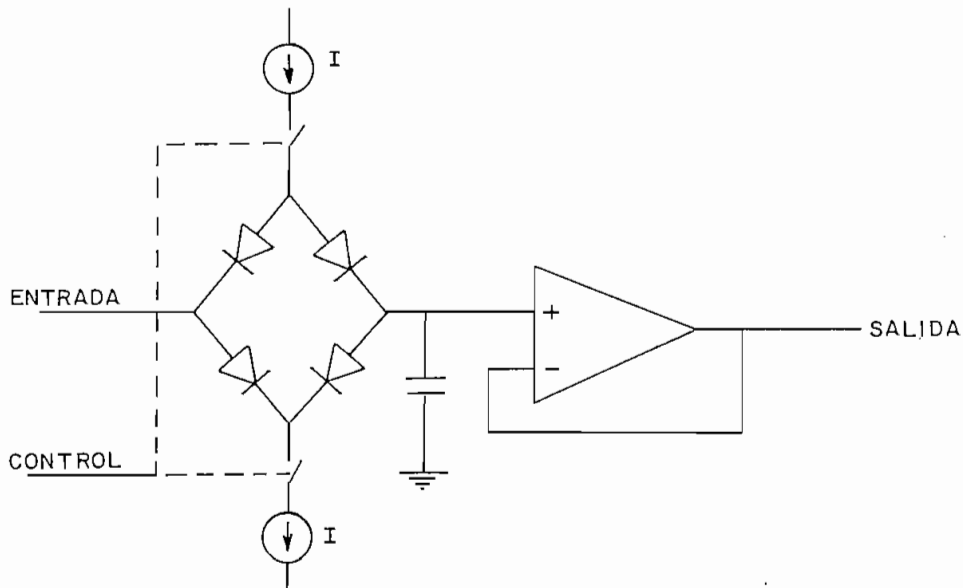


FIG. Nº 27

2.2.b.8

CIRCUITOS CON REALIMENTACION

Los circuitos anteriormente presentados tienen la gran ventaja de su rápida respuesta, pero son circuitos de lazo abierto. En señales de baja frecuencia la exactitud en el muestreo es más importante que la velocidad de respuesta. En la figura Nº 28 se tiene un circuito en el cual el seguidor de voltaje se ha susti--

tuído por un amplificador de diferencia de alta ganancia. Al cerrar el conmutador, la salida (que representa la carga en el capacitor) es forzada a muestrear la entrada, además se tiene la corriente de excitación que entrega el amplificador de entrada.

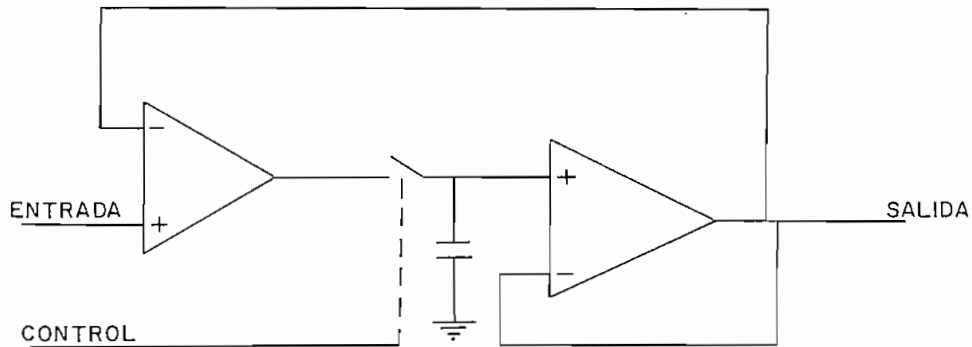


FIG. Nº 28

Los errores de modo común y de desviación (offset) en la salida del seguidor son automáticamente compensados al ajustarse la carga en el capacitor. Cuando el conmutador está abierto la salida retiene el valor final.

En la figura Nº 29 se utiliza un integrador, permitiendo así al conmutador operar con un potencial a tierra, simplificando los problemas de fuga.

En los circuitos de las figuras Nos. 28 y 29 debido a que

la carga en el capacitor es controlada tanto por la salida como por la entrada los tiempos de adquisición y de respuesta son idénticos.

Si el circuito de la figura N° 28 se cambia a retención antes de que la salida alcance el valor de la entrada, el muestreo se realizará con error.

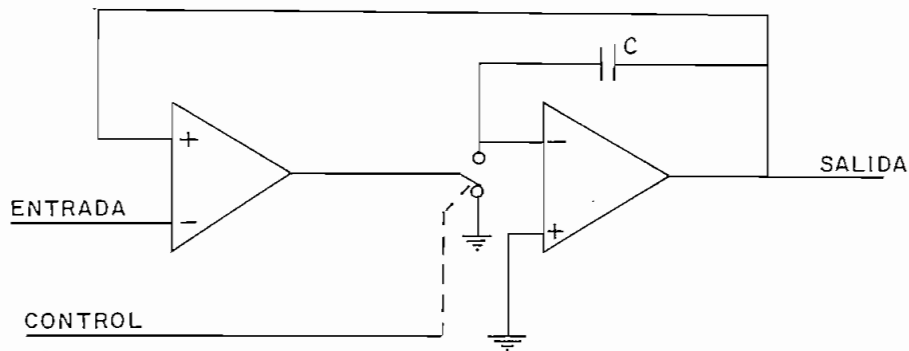
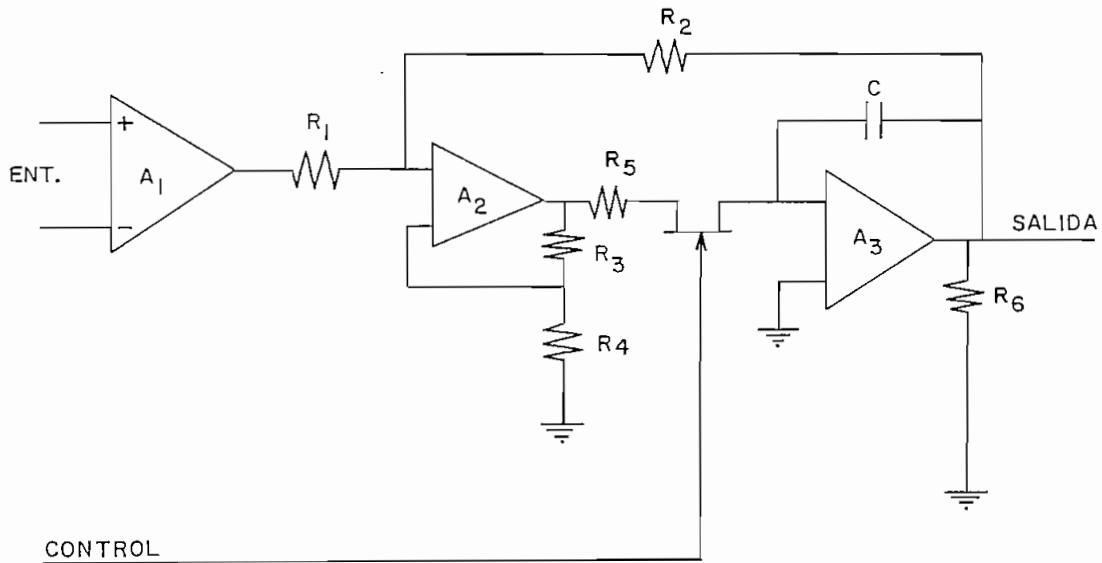


FIG. N° 29

Un diagrama más completo se presenta en la figura N° 30 - en el mismo se utiliza un FET como elemento de conmutación ya que este elemento presenta buenas características para esta operación.



- A<sub>1</sub> : AMPLIFICADOR DE ENTRADA
- A<sub>2</sub> : AMPLIFICADOR DE EXITACION
- A<sub>3</sub> : AMPLIFICADOR DE MUESTREO

FIG. N<sup>o</sup> 30

Durante el muestreo, el FET debe estar cerrado y la carga del condensador sigue a la señal de entrada. Cuando llega un comando para cambio de condición (muestreo a retención) el FET se abre y el voltaje del condensador permanece con el voltaje instantáneo que hubo a la entrada. Al terminarse el período de conversión el FET se cerrará y continuará el proceso.

La rapidéz de este método está determinado por el amplifi cador de excitación. El lazo de realimentación con los dos amplifi

cadores debe ser seleccionado de modo que se tenga ganancia unitaria.

Cuando se requieren circuitos muestreadores de alta velocidad, debe seleccionarse un conmutador analógico con control digital, pues su técnica ofrece resultados más garantizados.

Un conmutador teóricamente no presenta resistencia en su estado de conducción, en la práctica tiene su resistencia intrínseca que le llamaremos  $R_{DS(ON)}$ . Será de mejores características aquel que presente una variación lineal de esta resistencia.

De las tecnologías utilizadas para la construcción de los conmutadores CMOS, PMOS, JFET, es esta última la que presenta características más lineales.

En cuanto a circuitos muestreadores con conmutadores analógicos con control digital existen diferentes, mencionaremos algunos:

- a) Circuito muestreador, con inversión.
- b) Circuito compensado con inversión.
- c) Circuito muestreador sin inversión.
- d) Circuito muestreador compensado con inversión.

2.2.b.9

CIRCUITO MUESTREADOR CON INVERSION

Presenta algunas ventajas con respecto a los otros circuitos. Opera con voltajes constantes por lo cual se reduce considerablemente la inestabilidad en el tiempo de apertura, por su configuración reduce notablemente las sobretensiones. La desventaja de este circuito radica en cuanto necesita más elementos externos para su funcionamiento aceptable. Este circuito se presenta en la Figura N° 31

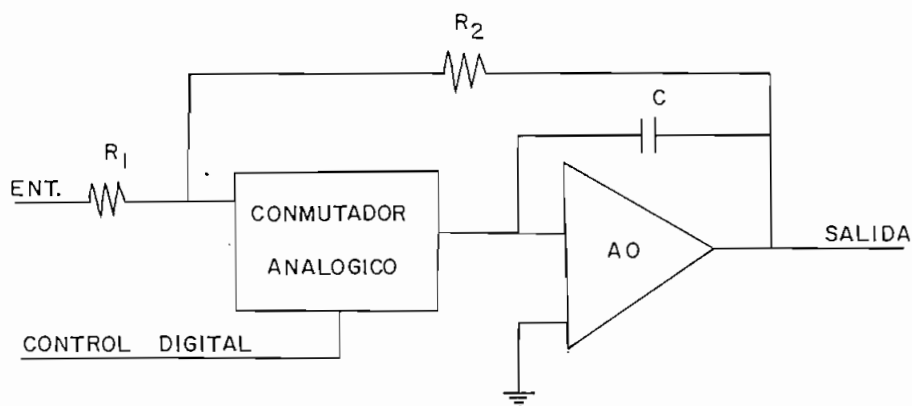


FIG. N° 31

2.2.b.10

CIRCUITO MUESTREADOR COMPENSADO CON INVERSION

Cuando existen errores en la transferencia de carga de modo que estos llegan a interferir notoriamente, puede optarse por -

diferentes métodos de modo que se disminuya su efecto. Un método inicial consiste en incrementar el valor del condensador de carga, pero esto implica una pérdida de exactitud y velocidad. Un segundo método consiste en disminuir la complejidad del conmutador, lo cual hace que se incremente la resistencia en estado de conducción  $R_{DS(ON)}$ . Este método también involucra la relación exactitud-velocidad.

Un tercer método, más práctico, consiste en compensar la transferencia de carga. Entre estos circuitos existen algunos que simplemente al variar un capacitor se logra el efecto deseado.

Este circuito se muestra en la Figura N° 32.

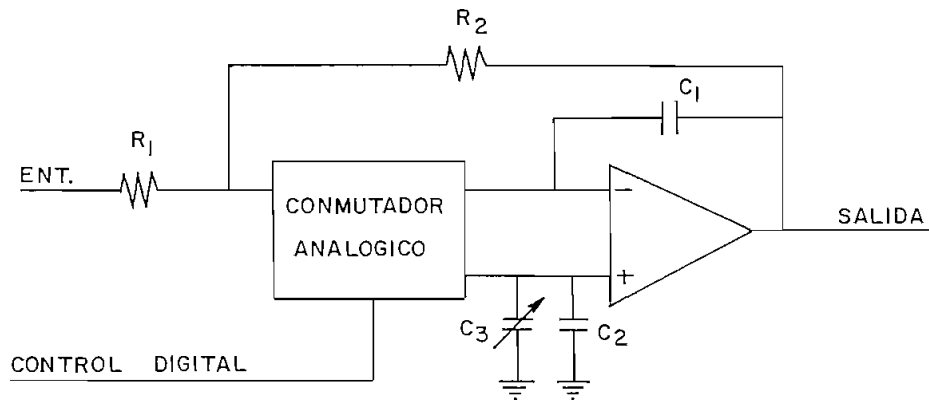


FIG. N° 32

2.2.b.11 CIRCUITO MUESTREADOR SIN INVERSION

Para circuitos mucho más rápidos, puede emplearse una mejor combinación de velocidad y exactitud en la transferencia de la carga. Un circuito de estos se muestra en la Figura Nº 33.

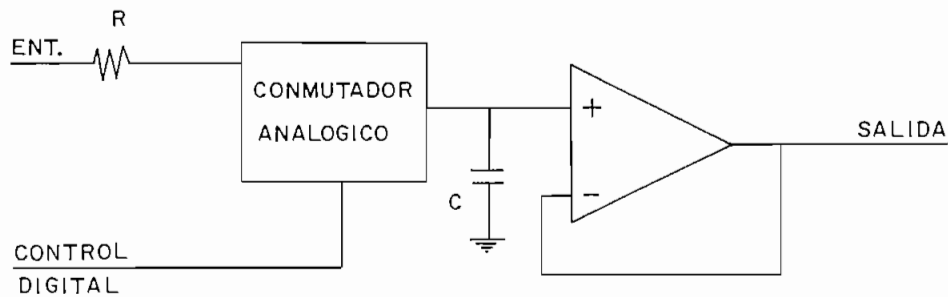


FIG. Nº 33

La desventaja de este circuito radica en que puede ser --  
afectado por sobre-tensiones. Sus características son notables --  
cuando se consigue una impedancia de la etapa anterior muy baja, y  
si el amplificador operacional es capaz de seguir la carga del con  
densador en óptimas condiciones.



2.2.b.12 CIRCUITO MUESTREADOR COMPENSADO SIN INVERSION

Es una sofisticación del circuito muestreador con inversión que se vió anteriormente. Dado que la transferencia de carga se incrementa proporcionalmente con el aumento de la impedancia de la etapa excitadora, es posible eliminar el condensador variable y hacer los ajustes necesarios con un potenciómetro, como se presenta en la figura N° 34.

Este ajuste requiere esencialmente una etapa de excitación de impedancia muy baja.

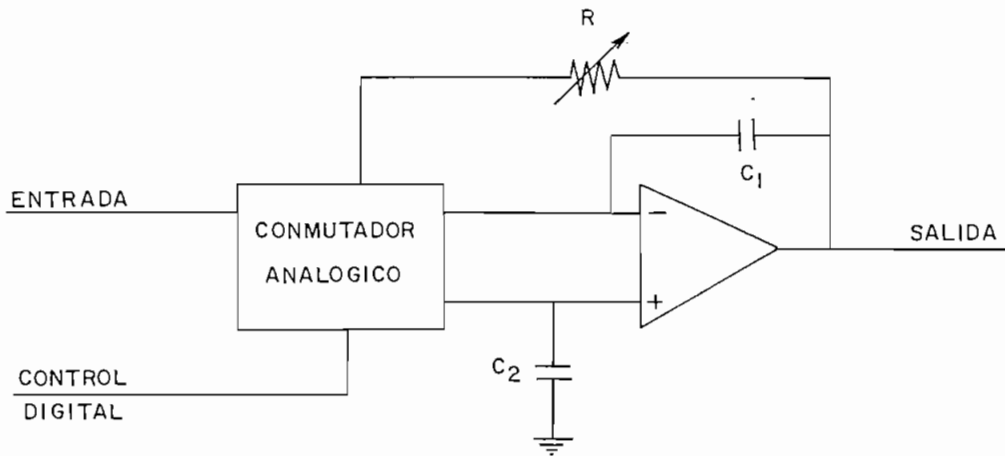


FIG. N° 34

La señal de offset se ajusta a cero con una señal analógica de cera a la entrada.

En general para circuitos muestreadores mucho más rápidos se utiliza la técnica sin inversión, la transferencia de carga debe ser ajustada a cero a un voltaje solamente. La compensación en circuitos muestreadores con inversión provee mejores características offset en función de una disminución de velocidad. Los conmutadores analógicos JFET proveen mejor combinación de baja resistencia en conducción ( $R_{DS(ON)}$ ) con la velocidad y baja transferencia de carga con exactitud.

#### 2.2.c CONVERSORES

Existen diferentes tipos de conversores A/D siendo los más utilizados:

- a.- Aproximaciones sucesivas.
- b.- Integración.
- c.- Contadores.
- d.- Paralelo.

Cada tipo presenta sus características lo cual determina las posibles aplicaciones, considerando su velocidad, exactitud,-

versatilidad y costo.

### 2.2.c.1 APROXIMACIONES SUCESIVAS

Los conversores A/D por aproximaciones sucesivas son ampliamente utilizados especialmente por su alta velocidad y resolución. En este tipo de conversores, el tiempo de conversión es fijo, independiente de la magnitud de la señal de voltaje o corriente utilizada como entrada. Cada conversión es única e independiente de los resultados obtenidos en conversiones previas, debido a la lógica interna.

La técnica de conversión consiste en la comparación de una entrada desconocida con un voltaje o corriente bien determinado, que se ha generado internamente a la salida de el conversor D/A, como parte del proceso. La entrada del conversor D/A consiste en señales digitales provenientes del registro de aproximación sucesiva. El proceso de conversión es muy similar al proceso de pesaje utilizado en una balanza de precisión, como las utilizadas en laboratorio, cuando se cuenta con un juego binario de n pesas (por ejemplo:  $\frac{1}{2}$  lb,  $\frac{1}{4}$  lb,  $\frac{1}{8}$  lb. ....).

Luego de haber aplicado el comando para la conversión, el MSB (bit más significativo igual  $\frac{1}{2}$  escala completa) de la salida del conversor D/A es comparada con la entrada. Si la entrada es -

mayor que el MSB, este es retenido, (aplicando un "1" a la salida del registro, por ejemplo), y al próximo bit menos significativo (1/4 de la escala completa) es procesado. Si por el contrario la entrada es menor que el MSB, este es descartado ("0" a la salida del registro), de igual manera se procesa el siguiente bit menos significativo. El proceso continua en orden descendente, hasta que se haya considerado el bit menos significativo (LSB). Entonces se ha completado el proceso, la señal que indica el estado del proceso cambia su condición para indicar que el valor a la salida del registro constituye una conversión válida. En estas condiciones la señal a la salida del registro constituye un código binario digital equivalente a la señal de entrada. El proceso se indica en la Figura Nº 35

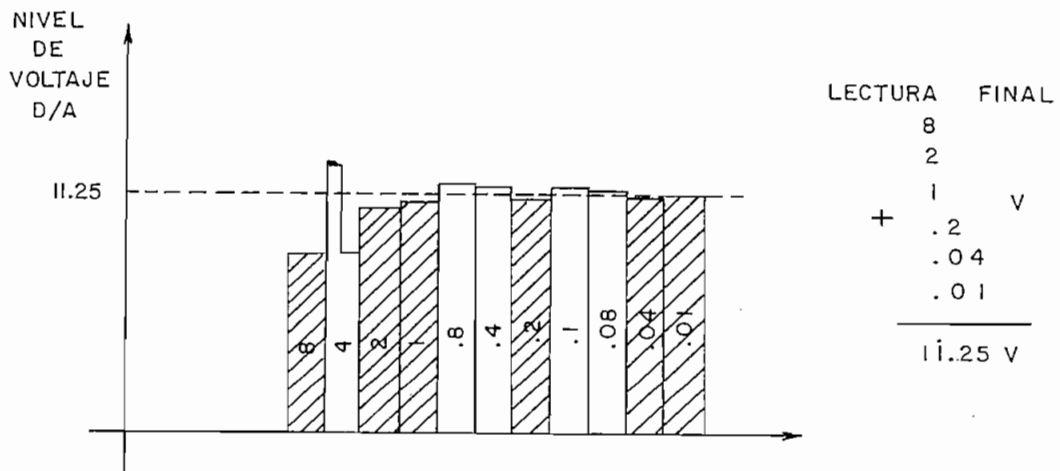


FIG. Nº 35

Método de aproximaciones sucesivas para convertir 11.25 -  
voltios en su equivalente digital utilizando una secuencia: 8, 4,  
2, 1.

El gráfico de la Figura Nº 36 constituye un diagrama en -  
bloques de un conversor A/D por aproximaciones sucesivas.

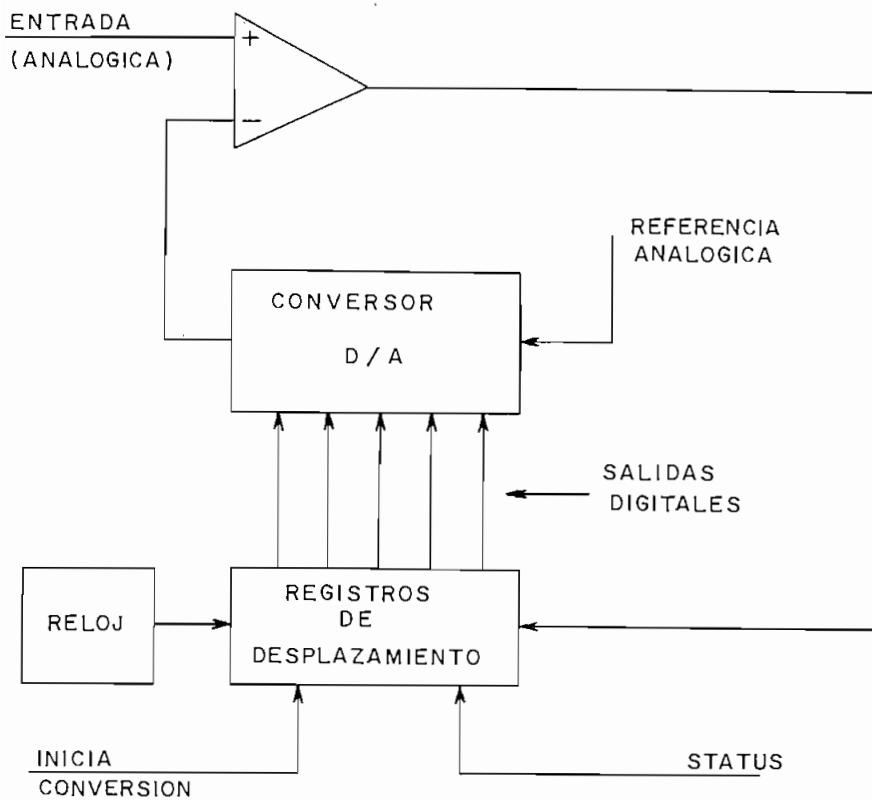


FIG. Nº 36

Los datos obtenidos en forma paralela no son válidos miéntras no concluye todo el proceso. Al obtenerse en forma serial los datos, debe considerarse que cada bit sea válido, que haya sido - aceptado o rechazado correctamente.

En este método de conversión el comparador ideal tiene una ganancia infinita y un tiempo para la comparación igual a cero, los comparadoras reales están limitados por parámetros similares a los que limitan a los amplificadores operacionales: ganancia a lazo abierto, ancho de banda y sus características para señales contínuas y alternas.

El comparador puede relacionarse con un amplificador operacional realimentado. Opera con un producto ganancia x ancho de banda muy alto y tiene una compensación por realimentación mínima. Señales parásitas muy pequeñas en la realimentación, muy cerca al dispositivo o atravéz de la fuente de polarización pueden - inducir oscilaciones. Generalmente estas oscilaciones son causa--das por la disposición física de los conductores, esto puede apreciarse en puntos en los cuales se relaciona una señal de salida - que varía muy rápidamente con una etapa cuya impedancia de entrada sea muy alta.

En un sistema de conversión A/D, el efecto más notorio de la oscilación está dado en cuanto la señal analógica de entrada - se aproxima a su nivel de cuantización, el equivalente digital que

se obtiene no es puro y presenta una señal sin un comportamiento definido. Así por ejemplo, un incremento de la señal analógica de entrada suficiente para incrementar al equivalente digital en un LSB, hará que el proceso sea erróneo.

Un comparador puede utilizarse básicamente de dos formas, para comparar voltajes o corrientes. En el proceso de conversión se utiliza para comparar corrientes, una desconocida con otra que sirve de referencia y que se ha generado internamente como parte de el proceso.

## 2.2.d MEMORIA CON REGISTROS DE DESPLAZAMIENTO

Actualmente existen diferentes tipos de memorias, sus características las hacen más apropiadas para una u otra aplicación. Las memorias con registros de desplazamiento que utilizan para su construcción la tecnología MOS, constituyen una de estas variedades. Dos propiedades de la tecnología MOS en circuitos integrados, hacen de estos registros muy compatibles para el diseño de memorias con registros de desplazamiento: La alta impedancia asociada con los circuitos compuerta permiten un almacenamiento temporal de -- carga en las capacidades parásitas. Con las compuertas de transferencia un modo de compuertas puede muy facilmente conectarse o desconectarse de otros puntos del circuito.

Por su estructura utilizan muy pocas interconexiones y para su funcionamiento no requieren de otros dispositivos electrónicos, constituyendo una de las memorias de semiconductores más baratas en el mercado.

Estas memorias son utilizadas en terminales de computadoras con presentación visual de las intercomunicaciones. Los datos a ser presentados recirculan a través de la memoria en sincronismo con la presentación en el tubo de rayos catódicos. Además este tipo de memoria es muy utilizado en una amplia variedad de calculadoras.

En general son utilizados en circuitos con memorias de baja velocidad de acceso, especialmente cuando los datos pueden ser utilizados en el mismo orden de almacenamiento. No resultan muy útiles para memorias de acceso aleatorio.

### PRINCIPIOS DE OPERACION

Existen muchas variaciones en los circuitos básicos de los registros de desplazamiento. Tomemos un tipo canal P, para explicar su funcionamiento, como el que se presenta en la figura Nº 37.



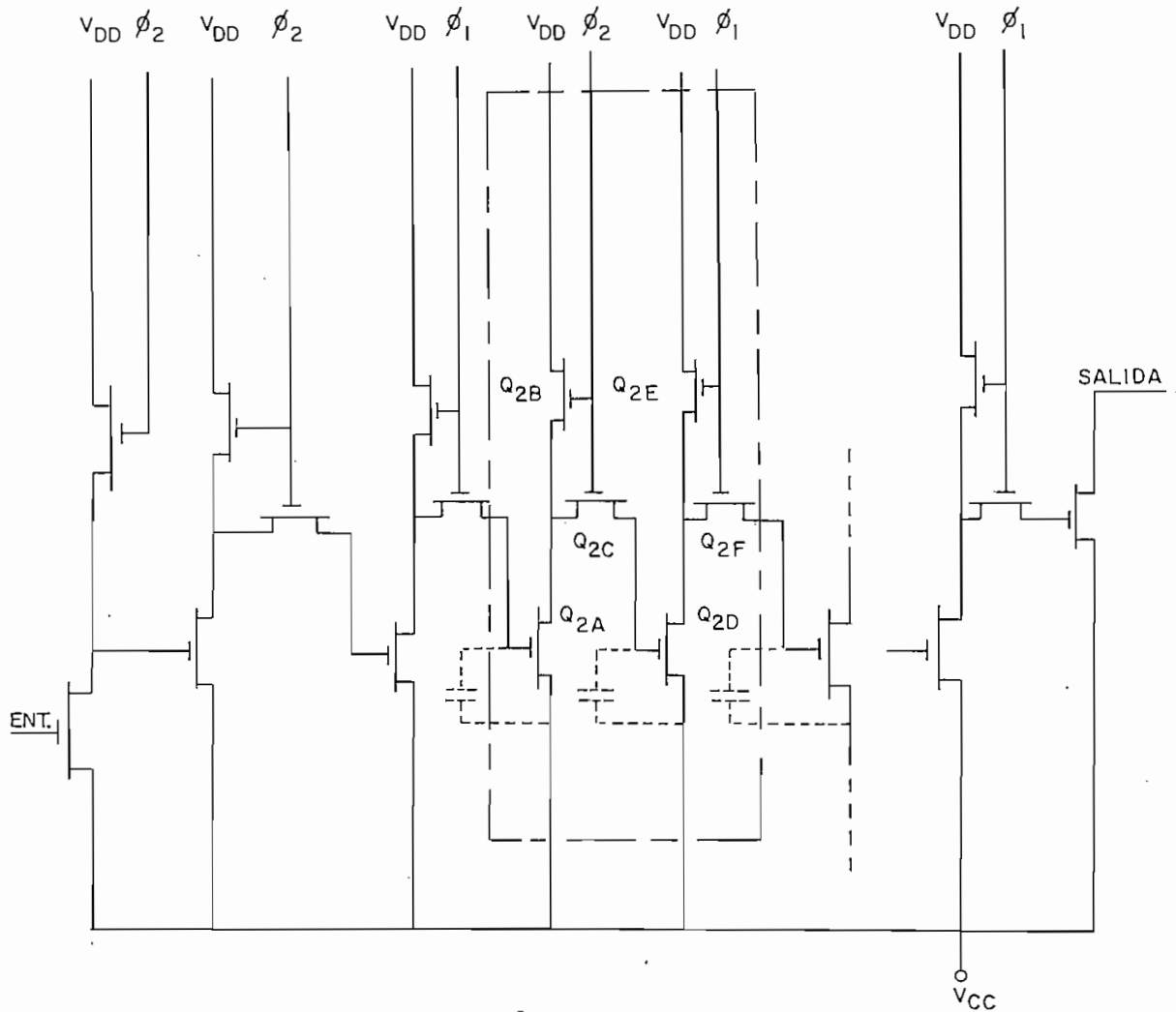


FIG. N° 37

Cada bit de los registros de desplazamiento requiere de seis dispositivos MOS. Veamos lo que sucede en uno de estos bits, por ejemplo el segundo, se han denominado  $Q_{2A}$ ,  $Q_{2B}$ , ...,  $Q_{2F}$  a los dispositivos MOS.

Al ingresar un dato proveniente del bit anterior se carga

la capacitancia parásita de  $Q_{2A}$ . Cuando el ciclo del reloj  $\phi_2$  -- (controla el ingreso de datos) hace su transición negativa (para dispositivos de canal P),  $Q_{2A}$  y  $Q_{2B}$  forman un estado inverso.

Si la carga en la compuerta de  $Q_{2A}$  es suficientemente negativa para producir una conducción fuerte de  $Q_{2A}$ , el nodo común de  $Q_{2A}$ ,  $Q_{2B}$  y  $Q_{2C}$  se aproximarán al nivel de voltaje positivo  $V_{CC}$ . De lo contrario, si la carga en la compuerta de  $Q_{2A}$  es lo suficientemente positiva para poner en corte a  $Q_{2A}$  al producirse la transición negativa de  $\phi_2$ , el nodo común alcanza el voltaje  $V_{DD}$  a través de  $Q_{2B}$ . El nodo común alcanza un voltaje inverso al del dato. Simultáneamente con la transición negativa de  $\phi_2$   $Q_{2C}$  conduce cargando la capacitancia parásita de  $Q_{2D}$  al mismo potencial del nodo común.

Luego de la transición de  $\phi_2$ ,  $Q_{2D}$  retiene el potencial adquirido. La transición negativa de  $\phi_1$  (controla la salida de datos). Transfiere el dato al siguiente bit, utilizando  $Q_{2E}$  y  $Q_{2D}$  para producir una inversión de la polaridad del dato y  $Q_{2F}$  como elemento de transferencia.

La ventaja de este diseño radica en no perder la carga del dato. Si la información varía en su magnitud la siguiente etapa tendrá la suficiente ganancia para normalizar los niveles. Cuando existen varias etapas es necesario que cada una tenga una ganancia ligeramente mayor que uno para compensar las pérdidas. Se uti

lizan los inversores que cargan las capacitancias parásitas con esta ganancia.

C A P I T U L O      III

D I S E Ñ O   Y   C O N S T R U C C I O N   D E L   E Q U I P O

El procedimiento a seguirse para grabar una señal será el siguiente: Dependiendo de la magnitud de la señal esta debe pasar por la etapa de atenuación-amplificación.

El valor máximo pico-pico para que la señal de entrada no sea atenuada debe ser de 800mV. Señales mayores deben pasar por una escala de atenuación de modo que su valor quede comprendido en este rango.

Luego de la etapa de atenuación la señal es amplificada y alcanza valores  $\pm 4V$ . Posteriormente de su forma analógica es convertida a su equivalente digital, forma en la que es almacenada en la memoria.

Para obtener la señal debe pasar por un conversor D/A antes de ser presentada en el osciloscopio.

Se ilustra en el diagrama de bloques en la figura N° 38.

Se dispondrá de un circuito que permita la grabación automática de la señal cuando esta supere cierto nivel relativo (graduable manualmente) con respecto al valor máximo de la escala utilizada.

Se realizará la grabación de la señal desde un instante antes de producirse el disparo como posterior al mismo.

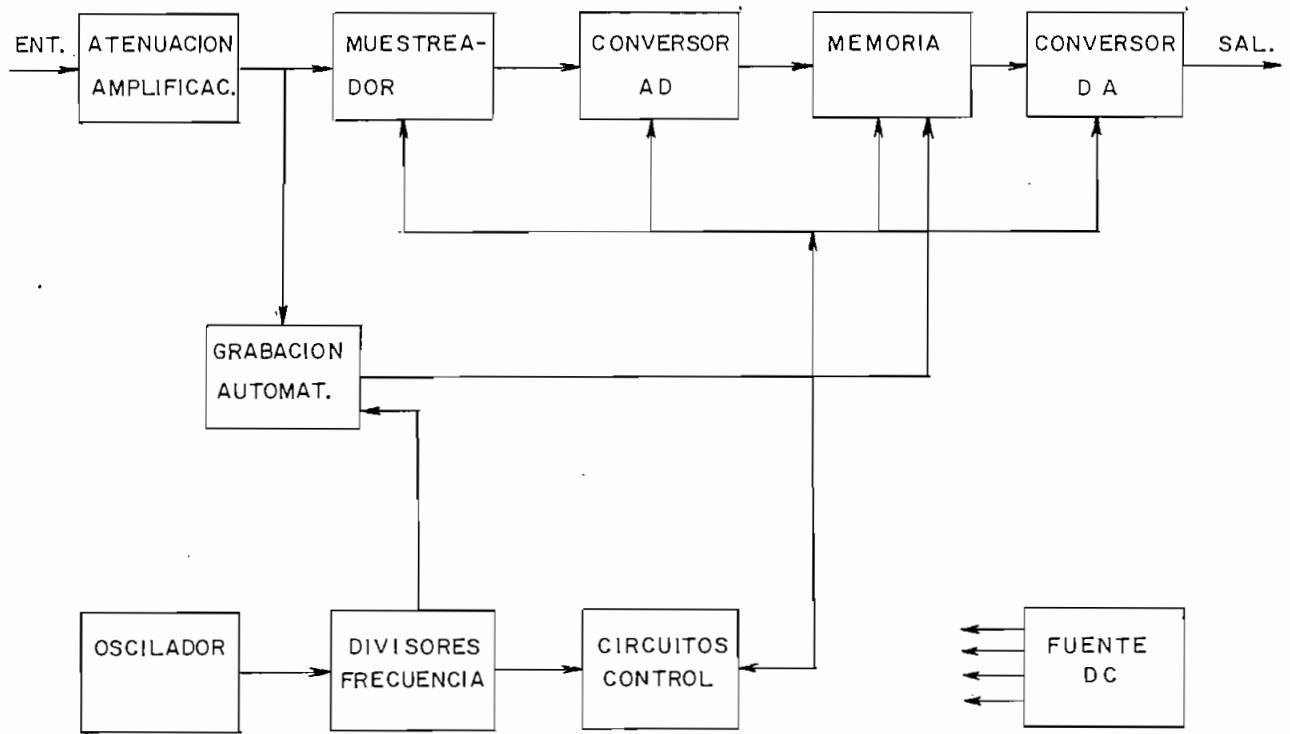


DIAGRAMA EN BLOQUES DE LA MEMORIA DIGITAL

FIG. Nº 38

DISEÑO DE CADA UNA DE LAS PARTES

3.1.a.1 ETAPA DE ATENUACION

Debe presentar una impedancia de 1M $\Omega$  y 20pF. La disposición básica de los elementos se indica en la figura N $^{\circ}$  39 y desarrollada en el capítulo II.

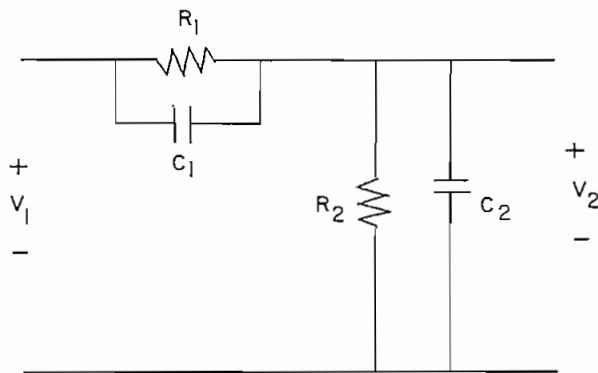


FIG. N $^{\circ}$  39

Según la ecuación N $^{\circ}$  9 se tiene:

$$(1) \quad \frac{V_2}{V_1} = \frac{R_2}{R_1 + R_2}$$

Siempre que:

$$(2) \quad R_1 C_1 = R_2 C_2$$

En donde:

$$(3) \quad C_1 = C' + C_b$$

$C'$  : capacitancia conectada en paralelo con  $R_1$

$C_b$  : capacitancia parásita en los terminales de  $R_1$

$$(4) \quad C_2 = C' + C_c$$

$C'$  : capacitancia conectada en paralelo con  $R_2$

$C_c$  : capacitancia parásita en los terminales de  $R_2$

Con estos valores se tiene que:

$$(5) \quad Z_{eq} \equiv \frac{R_{eq}}{1 + R_{eq} C_{eq} S}$$

En donde:

$$(6) \quad R_{eq} = R_1 + R_2$$

$$(7) \quad C_{eq} = \frac{C_1 C_2}{C_1 + C_2}$$

#### ATENUACION 1 :

La señal debe pasar directamente hacia la siguiente etapa.  
Se tendrá un circuito como se indica en la figura **8º** 40



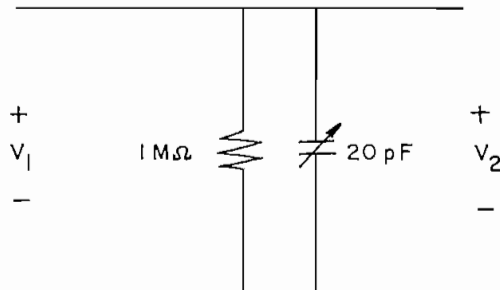


FIG. N° 40

ATENUACION 2 : Considerando el circuito de la figura N° 41 y las ecuaciones anteriores:

$$(8) \quad \frac{V_2}{V_1} = \frac{R_2}{R_1 + R_2} = \frac{1}{2}$$

$$\therefore (9) \quad R_1 + R_2 = 10^3 \text{ K}$$

de (8) y (9)

$$2R_1 = 10^3 \text{ K}$$

$$R_1 = 500 \text{ K}$$

de la ecuación (2)

$$R_1 C_1 = R_2 C_2$$

$$C_1 = C_2$$

$$C_1 = C_2 = 20\text{pF}$$

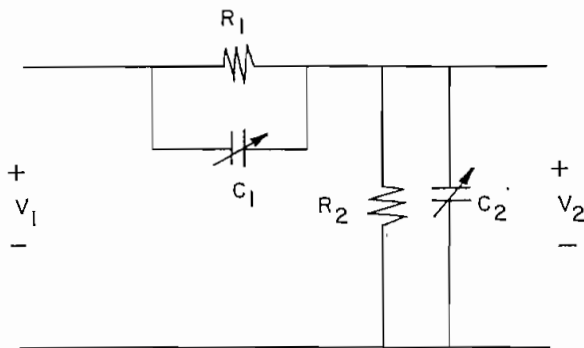
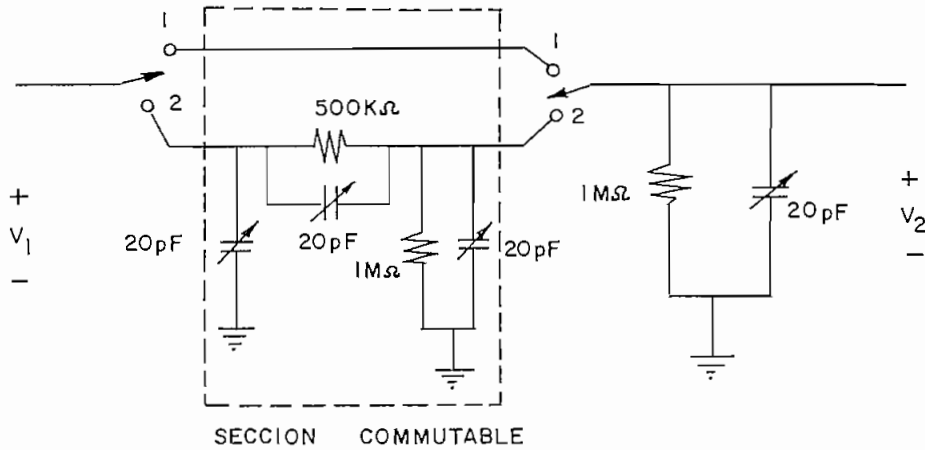


FIG. N<sup>o</sup> 41

$$R_1 = R_2 = 500\text{ K}\Omega$$

$$C_1 = C_2 = 20\text{ pF}$$

Es conveniente tener una parte conmutable y otra fija, como se presenta en la figura N<sup>o</sup> 42.



POSICION	FACTOR ATEN ( $V_2/V_1$ )
1	1
2	2

FIG. Nº 42

Entonces  $R_2$  se modifica de la siguiente manera:

$$R_2 = 500 \text{ K} = 1 \text{ M} // R_2'$$

$$\therefore R_2' = 1 \text{ M}$$

Los valores de  $C_2$ ,  $C_1$  y  $C_{en}$  deben encontrarse experimentalmente ajustando los valores de los condensadores variables, --

hasta conseguir los valores calculados.

Esta etapa debe utilizarse para señales menores de 1600 mV p-p.

Con un procedimiento similar puede diseñarse el resto de etapas como se indica a continuación.

ATENUACION POR 5

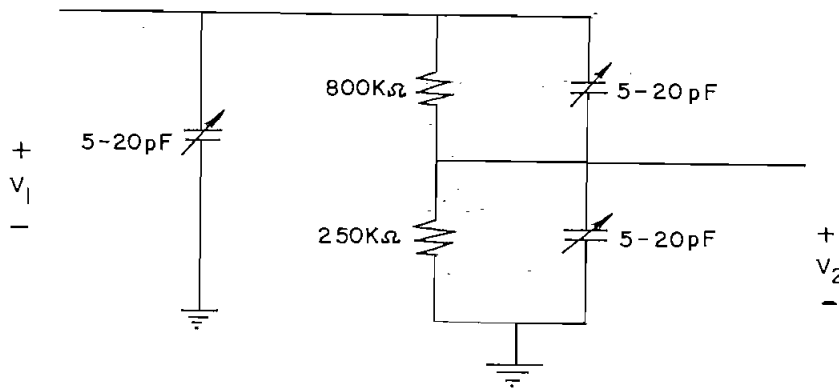


FIG. N<sup>o</sup> 43

Se utilizará para señales menores que 4 Vp-p.

ATENUACION POR 10

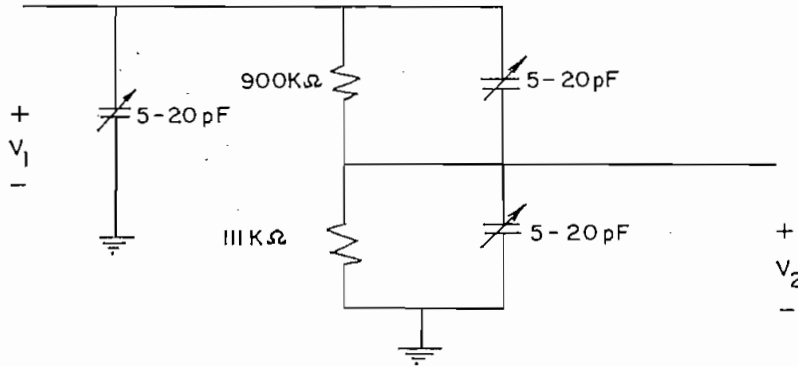


FIG. Nº 44

Debe utilizarse para señales menores que 8Vp-p.

ATENUACION POR 100

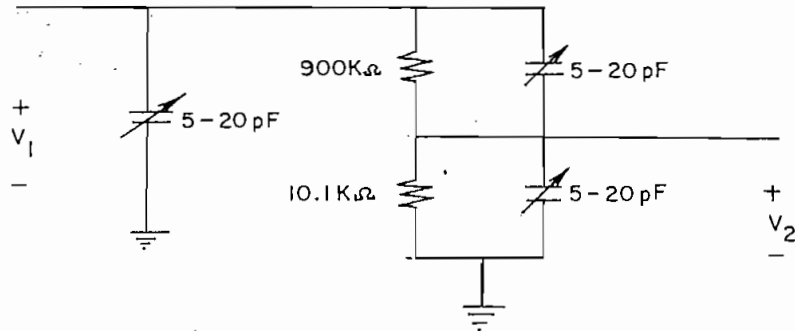


FIG. Nº 45

Debe utilizarse para señales menores que 80 Vp-p.

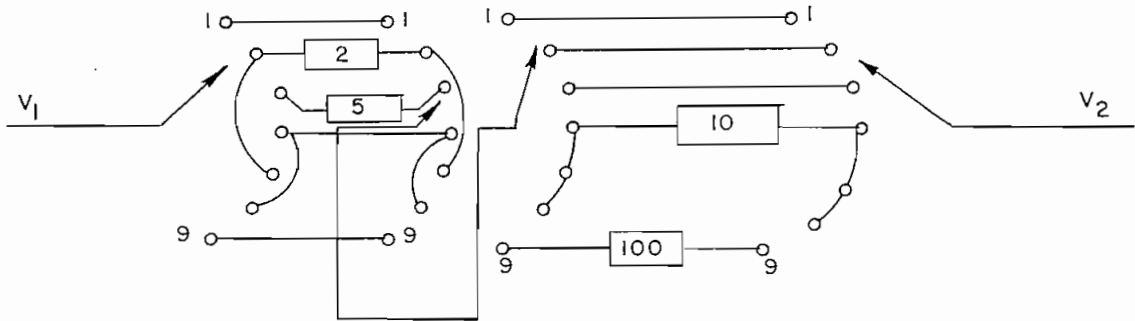
Con una combinación de estos pasos de atenuación pueden conseguirse nuevos pasos de atenuación, por ejemplo al colocar en cascada el circuito de atenuación por 2 con el de atenuación por 10 se conseguirá una atenuación total por 20.

Se consiguen los valores indicados en la tabla de la Figura N<sup>o</sup> 46

FACTOR ATENUA.	ENTRADA MAX. V <sub>p-p</sub> ( V )	ENTRADA MAX. V/DIV.
1	.8	.1
2	1.6	.2
5	4.0	.5
10	8.0	1.0
20	16.	2
50	40.	10
100	80.	20

FIG. N<sup>o</sup> 46

El sistema de conmutación de la figura N<sup>o</sup> 47 permite lograr estos factores de atenuación.



POSICION	FACTOR ATE.
1	1
2	2
3	5
4	10
5	20
6	50
7	100

FIG. Nº 47

Es necesario tener como paso previo a la sección de atenuación un circuito que elimine componentes DC en señales alternas puras, esto se consigue con el circuito de la figura Nº 48.

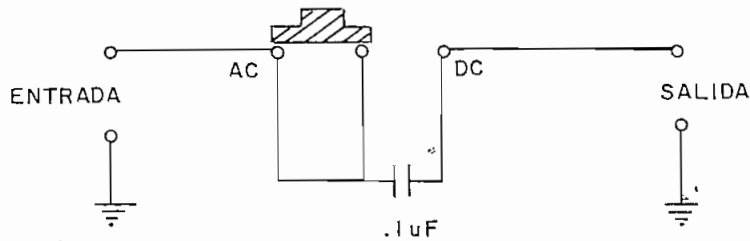


FIG. N° 48

### 3.1.a.2 AMPLIFICADOR DE ENTRADA

El circuito muestreador, por su naturaleza (carga de un condensador), necesitará valores de corriente de excitación relativamente altos; al tomar directamente la excitación desde la entrada se introducirán errores que pueden hacer variar la señal de entrada. Los circuitos muestreadores presentan mejores características cuando operan con señales relativamente altas (algunos voltios) y de baja impedancia, esto limitaría su utilización a señales con estas características. Es necesario utilizar un dispositivo que independice la entrada del muestreador, a la vez que sea capaz de suministrar altas corrientes (pocas decenas de mA), con corrien--



tes de excitación muy pequeñas (pocos pA) y además con una baja impedancia.

Pueden satisfacerse estos requerimientos con un amplificador. El desarrollo técnico ofrece muchas facilidades para estos casos, encontrándose en el mercado elementos que satisfacen plenamente.

Para el presente trabajo se toma el amplificador operacional CA3130S, cuyas características son muy afines. Puede observarse en las hojas de datos en el compendio de este trabajo.

En la figura Nº 49 se presenta el circuito que permite utilizar este elemento. Para señales de entrada menores de 400 mV, e con una corriente de excitación de 2pA se obtiene una señal de hasta 4 V con 20 mA, que servirá como señal de excitación del medidor.

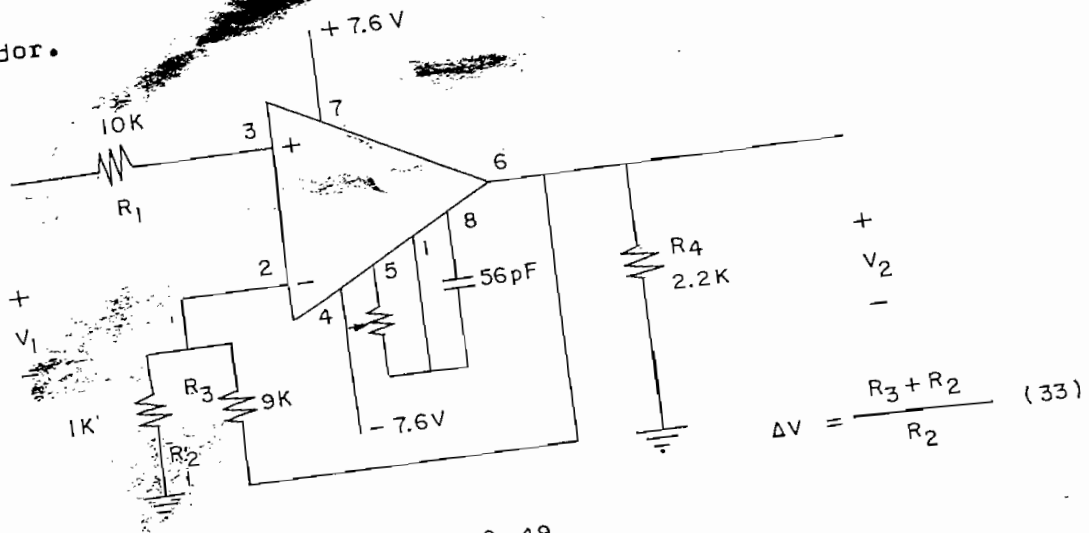


FIG. Nº 49

tes de excitación muy pequeñas (pocos pA) y además con una baja impedancia.

Pueden satisfacerse estos requerimientos con un amplificador. El desarrollo técnico ofrece muchas facilidades para estos casos, encontrándose en el mercado elementos que satisfacen plenamente.

Para el presente trabajo se toma el amplificador operacional CA3130S, cuyas características son muy afines. Puede observarse en las hojas de datos en el compendio de este trabajo.

En la figura N° 49 se presenta el circuito que permite utilizar este elemento. Para señales de entrada menores de 400 mV, e con una corriente de excitación de 2pA se obtiene una señal de -- hasta 4 V con 20 mA, que servirá como señal de excitación del muestreador.

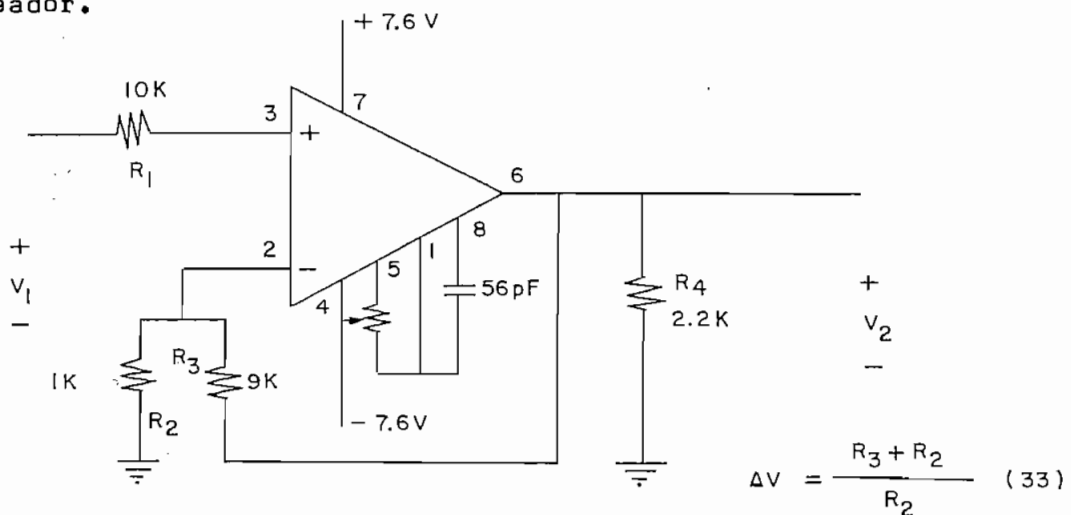


FIG. N° 49

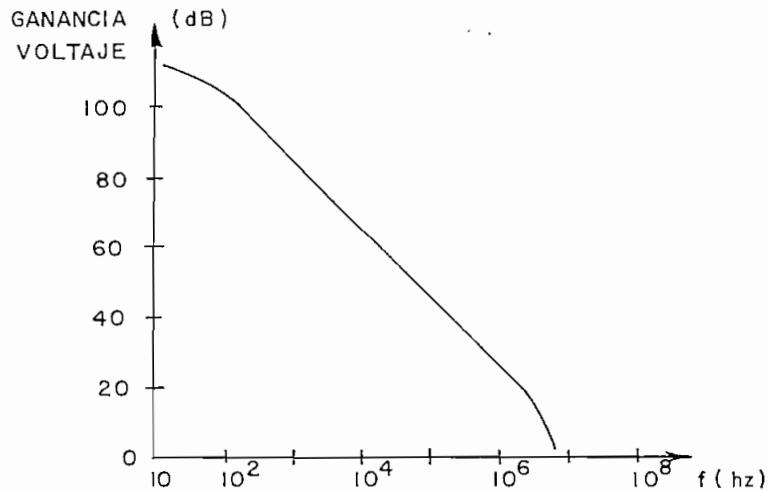
La amplificación de voltaje está dada por la ecuación N°33

$$A_v = \frac{R_3 + R_2}{R_2} = \frac{9 + 1}{1} = 10 = \frac{V_2}{V_1}$$

Esta configuración no produce inversión de la señal y --  
presenta una impedancia de entrada muy grande.

La resistencia  $R_1$  se ha considerado para limitaciones de --  
corrientes de las señales. Una señal de corriente muy grande (algu  
nosmA)destruiría el amplificador peracional.

Este amplificador operacional, que funciona en clase A --  
tiene otra ventaja en cuanto con un condensador conectado entre --  
los terminales 1 y 8 se pueden controlar las variaciones de fase,  
entre la señal de salida y de la entrada. En cuanto a su ganancia  
de voltaje en lazo abierto con respecto a la frecuencia podemos --  
observar el gráfico de la figura N° 50



3.1.b

M U E S T R E A D O R

Para el presente diseño se ha seleccionado el circuito mu estreador compensado sin inversión. Se requiere un circuito mues-treador rápido, capaz de responder satisfactoriamente a señales con frecuencias de muestreo de hasta 250 KHz.

De los diferentes elementos de conmutación que existen en el mercado se ha preferido el DG 181BA, pues sus características dinámicas como, tiempo de repuesta del elemento (tiempo en el cual el dispositivo está listo para operar) de 180 ns ( $t_{ON} = 180$  ns; -  $t_{OFF} = 150$  ns); resistencia en estado de conducción ( $R_{DS(ON)} = 50$  ohm) rango de respuesta en cuanto a voltajes  $\pm 7.5V$ ; lo hacen muy compa-tible.

El amplificador operacional que debe utilizarse en el mu-estreador, debe poseer características como ser capaz de "seguir" el voltaje almacenado en el condensador, con mucha facilidad, ade-más su señal de offset debe ser pequeña. la impedancia de entrada debe ser alta para que la información se mantenga en el condensador el tiempo necesario para el proceso de conversión, su corrien-te de excitación debe ser pequeña, la señal de salida debe tener un rango de corriente suficiente para excitar a la siguiente eta-pa. Estas consideraciones son satisfechas por el amplificador ope-racional CA3130S.



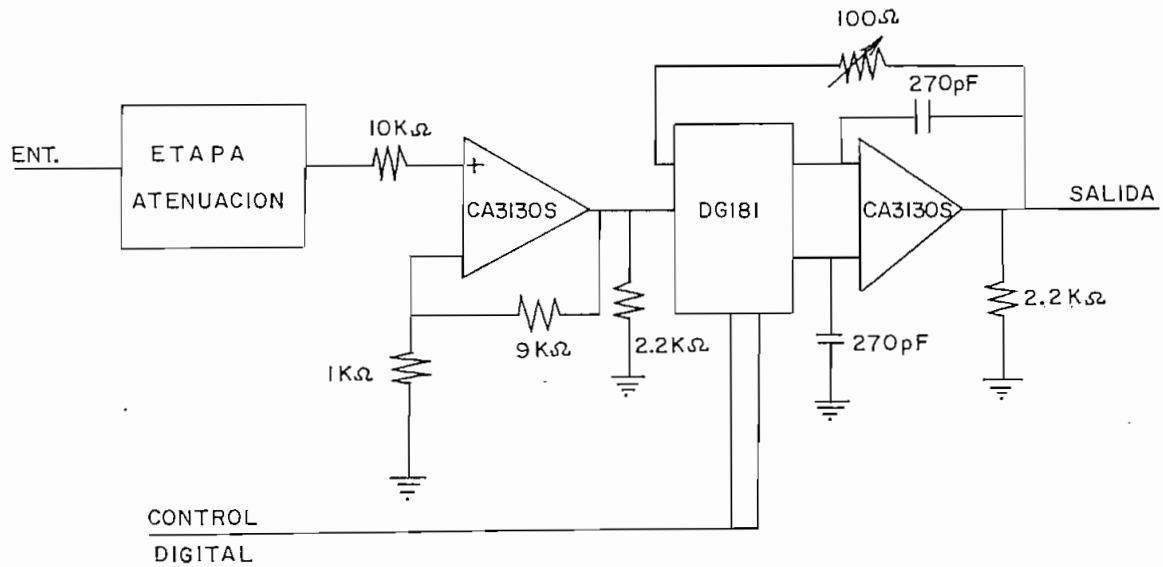


FIG. Nº 52

### 3.1.c.1 CONVERSION ANALOGICO DIGITAL

La etapa de conversión A/D debe ser de alta velocidad con un tiempo de conversión fijo e independiente de la magnitud de la entrada. Cada conversión debe ser única e independiente de los resultados anteriores. Estas características son satisfechas por un conversor por aproximaciones sucesivas. Además presenta la ven

taja de ser económicamente más barato. El circuito se presenta en la figura N° 53

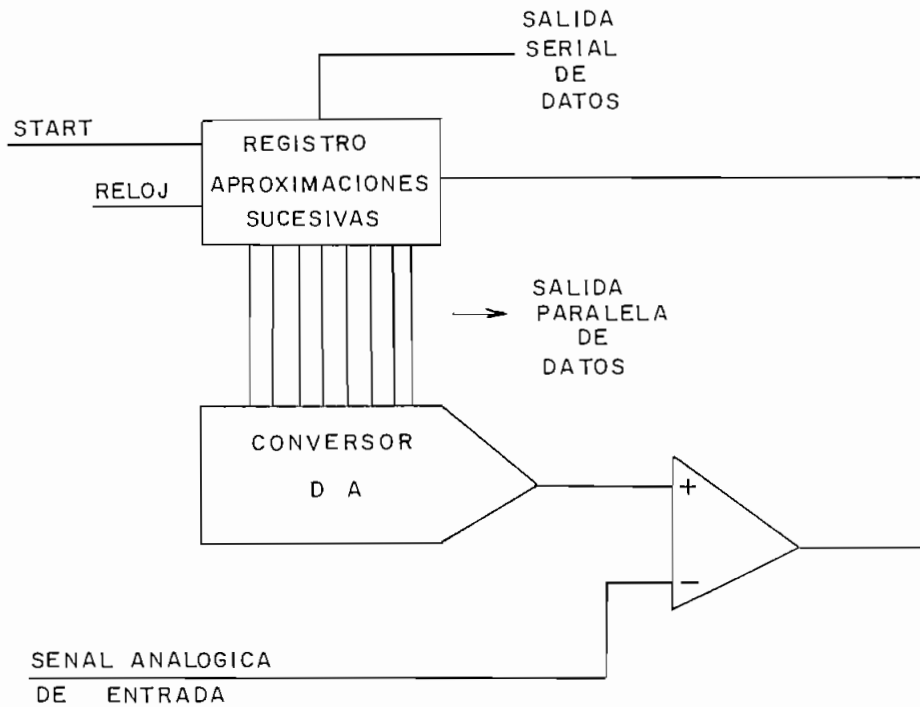


FIG. N° 53

La conversión esta controlada por una señal de reloj y otra que indica cuando debe comenzar y terminar el proceso (START).

Se han elegido los siguientes elementos para el diseño de la presente etapa: Registro de aproximaciones sucesivas Am 2502, Conversor digital-analógico CMP01CJ, que con la configuración que se presenta en la figura N° 54 ofrece resultados satisfactorios.

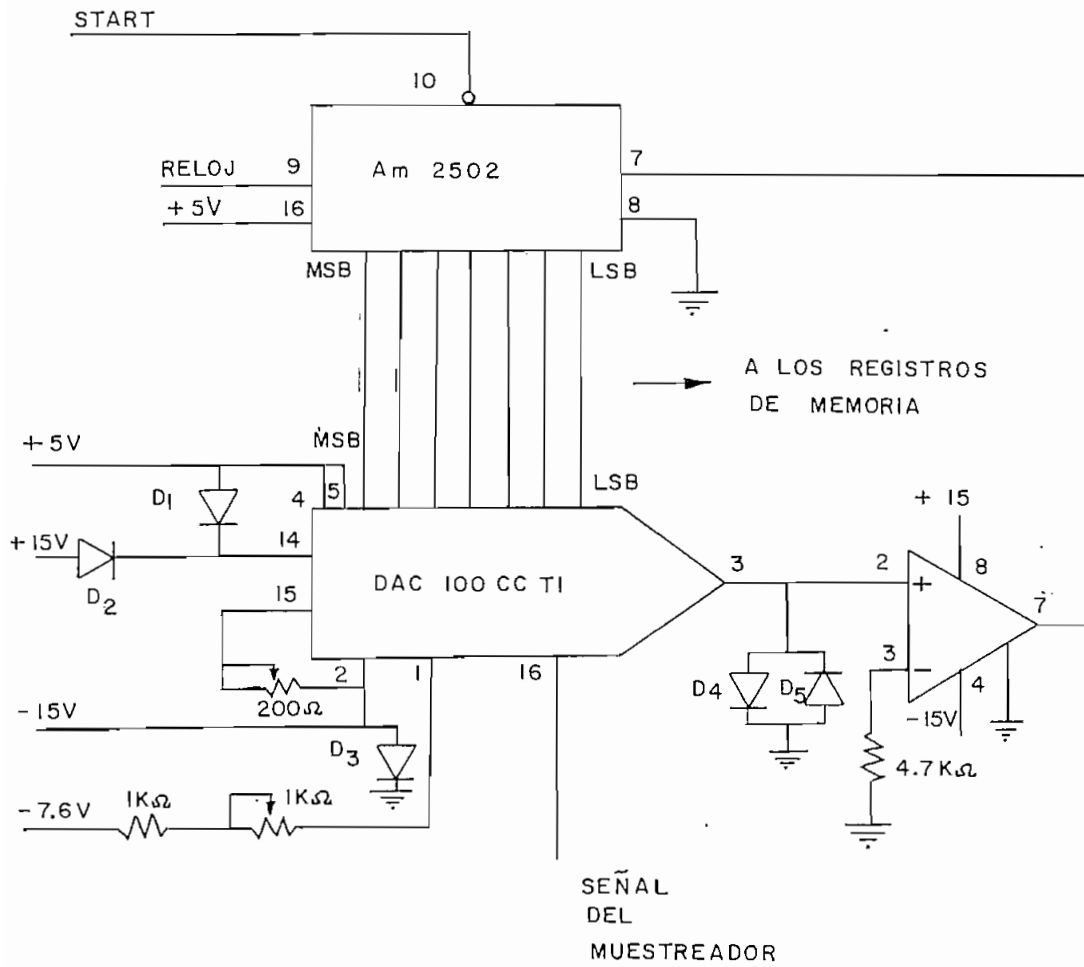


FIG. Nº 54



3.1.c.2

REGISTRO DE APROXIMACIONES SUCESIVAS

El registro de aproximaciones sucesivas (RAS) que se ha e legido, (250PC) es un registro de 8 bits. Contiene los controles y memorias digitales neceserios para una conversión analógico-digital por aproximaciones sucesivas.

Los niveles lógicos de entrada estan comprendidos en valo res que utiliza la técnica digital TTL.

Este elemento consiste de una serie de registros maestro que actúan como elementos de control y cambian de estado cuando el reloj de entrada esta en  $0_L$ , y una serie de registros esclavo que retienen los datos y varían con la transición positiva del reloj de entrada. Externamente este dispositivo actúa como un conversor serie-paralelo de propósito especial.

Acepta los datos por el terminal de entrada D y envía a los registros esclavo. Simultáneamente con la entrada de datos, el bit próximo menos significativo es puesto a nivel  $0_L$  listo para su próximo iteración.

El registro es restablecido (condiciones lógicas iniciales) al poner la señal de comienzo S (START) en un nivel bajo  $0_L$  durante una transición positiva del reloj. Simultáneamente la salida del bit más significativo (MSB  $Q_7$ ) es puesto a  $0_L$  mientras

las otras entradas permanecen en 1<sub>L</sub>. La señal S debe permanecer con este valor hasta que se produzca la transición positiva del reloj, una vez efectuada esta, puede variar o no.

Con la próxima transición positiva del reloj el dato de la entrada D es almacenado en el registro del MSB y el próximo ciclo del reloj. Con la siguiente transición positiva del reloj el dato ingresa al registro continuándose el proceso hasta considerar el bit menos significativo (LSB). El registro no aceptará más datos hasta que la señal S varíe nuevamente. Esto se indica en la figura N<sup>o</sup> 55.

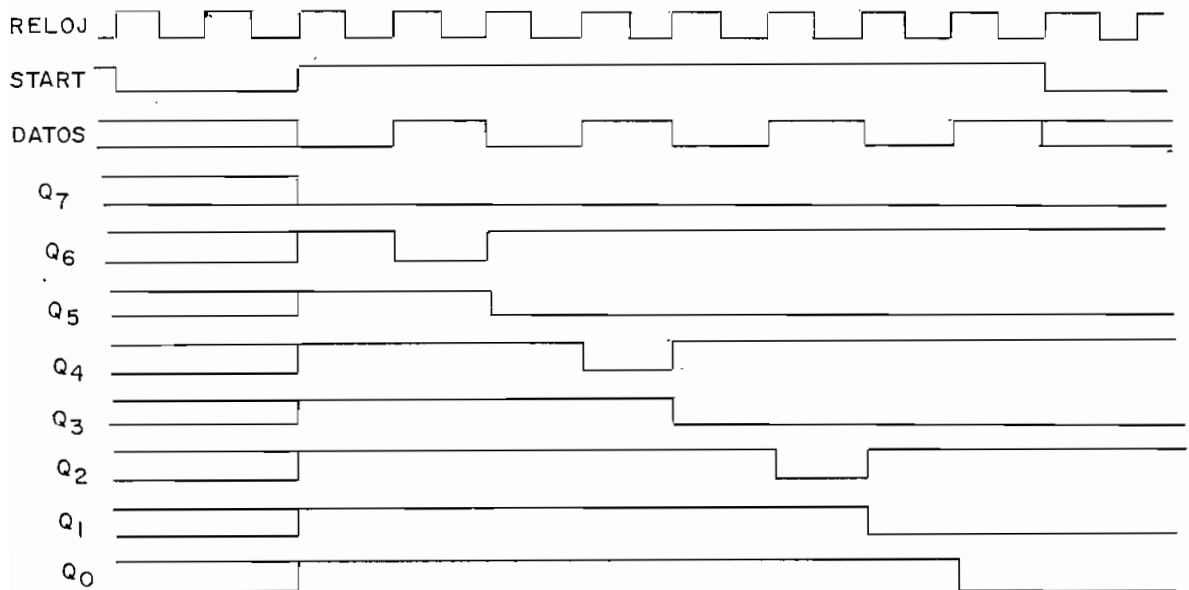


FIG. N<sup>o</sup> 55

Lo anotado anteriormente puede resumirse en la tabla de estados de la figura N° 56

TIEMP. ENTRADAS				SALIDAS								
t <sub>n</sub>	D	$\bar{S}$	$\bar{E}$	D <sub>0</sub>	Q <sub>7</sub>	Q <sub>6</sub>	Q <sub>5</sub>	Q <sub>4</sub>	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>
0	X	B	B	X	X	X	X	X	X	X	X	X
1	D <sub>7</sub>	A	B	X	B	A	A	A	A	A	A	A
2	D <sub>6</sub>	A	B	D <sub>7</sub>	D <sub>7</sub>	B	A	A	A	A	A	A
3	D <sub>5</sub>	A	B	D <sub>6</sub>	D <sub>7</sub>	D	B	A	A	A	A	A
4	D <sub>4</sub>	A	B	D <sub>5</sub>	D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	B	A	A	A	A
5	D <sub>3</sub>	A	B	D <sub>4</sub>	D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	B	A	A	A
6	D <sub>2</sub>	A	B	D <sub>3</sub>	D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	B	A	A
7	D <sub>1</sub>	A	B	D <sub>2</sub>	D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	B	A
8	D	A	B	D	D	D	D	D	D	D	D	B

B : 0<sub>L</sub>

A : 1<sub>L</sub>

X : NO IMPORTA SU ESTADO

FIG. N° 56

### 3.1.c.3

### CONVERSOR DIGITAL ANALOGICO

El conversor digital-analógico DAC 100CCT1, opera con 10 entradas digitales, con precisión garantizada para 8 bits, tiene una muy buena respuesta en el tiempo (375 ns), presenta en un ter

minal de salida una señal analógica máxima de 11.1 y mínima de 10 v, con amplificador operacional externo, para escala completa. Otras características pueden observarse en el capítulo correspondiente, al final del presente trabajo.

Debido a que el registro de aproximaciones sucesivas trabaja con 8 bits, tomamos los 8 bits con precisión garantizada del DAC100CT1. Las entradas lógicas no utilizadas, que corresponden a los bits menos significantes, se polarizan a nivel lógico 1.

Una particularidad muy importante que presenta este conversor en su diseño es su salida de corriente. Opera en óptimas condiciones cuando su salida es próxima a  $\pm 0.7$  v. Tiene una resistencia interna de  $4.88 \text{ k}\Omega$  conectada entre el terminal de salida y un terminal de entrada analógica. De esta manera se evita que variaciones indeseadas del voltaje en el terminal de salida afecten el proceso. Variaciones relativamente grandes de voltaje pueden producir daños irreparables.

El nivel óptimo de funcionamiento ( $\pm 0.7$  v) implica la conección de un par de diodos limitadores ( $D_4$  y  $D_5$ ).

Debe tenerse especial cuidado en las fuentes de polarización, las mismas que deben conectarse simultáneamente, de lo contrario su funcionamiento puede no ser normal o inclusive causar daños permanentes. Especialmente con las fuentes de voltaje positivo, si estas son activadas 300 ms luego de haberse aplicado la

señal analógica, su daño será definitivo, por esta circunstancia se ha conectado  $D_1$ , para el caso en que la fuente de +5v sea activada antes que la de +15v. Primero debe activarse la parte analógica luego la digital. El nivel de corriente a la salida puede ser contralado conectando un potenciómetro de  $200\Omega$  entre el terminal para ajuste a escala completa (FSA) y el terminal de voltaje negativo. Este ajuste debe realizarse con los niveles lógicos de entrada  $O_L$ . El diodo  $D_3$  se ha colocado para prevenir errores de polarización.

### C O M P A R A D O R

Este elemento es muy crítico en esta etapa. Debe elegirse un elemento cuyas señales de offset tanto para corriente como para voltaje sean muy pequeñas, y que responda satisfactoriamente a variaciones algo rápida en su entrada.

Se ha elegido el comparador OP-01CJ con resultados experimentales muy satisfactorios.

#### 3.1.d

### MEMORIA DE DESPLAZAMIENTO INTERNO

Se emplean los registros Am 2808PC (2525 según la Signetics), cuya fabricación se ha realizado con la tecnología MOS (canal P). Son registros directamente compatibles con la tecnología TTL, con excepción de la señal de reloj.

Presentan compatibilidad tanto en sus características dc como en las dinámicas, además de su bajo costo. Por ser registros de recirculación interna no requieren 'refrescar' los datos como sucede en otros tipos de memorias.

La recirculación interna no requiere control, pero sí necesita comandos para que el registro acepte datos o los entregue ( READ Y WRITE respectivamente). El diagrama de tiempos se presenta en la figura N° 58

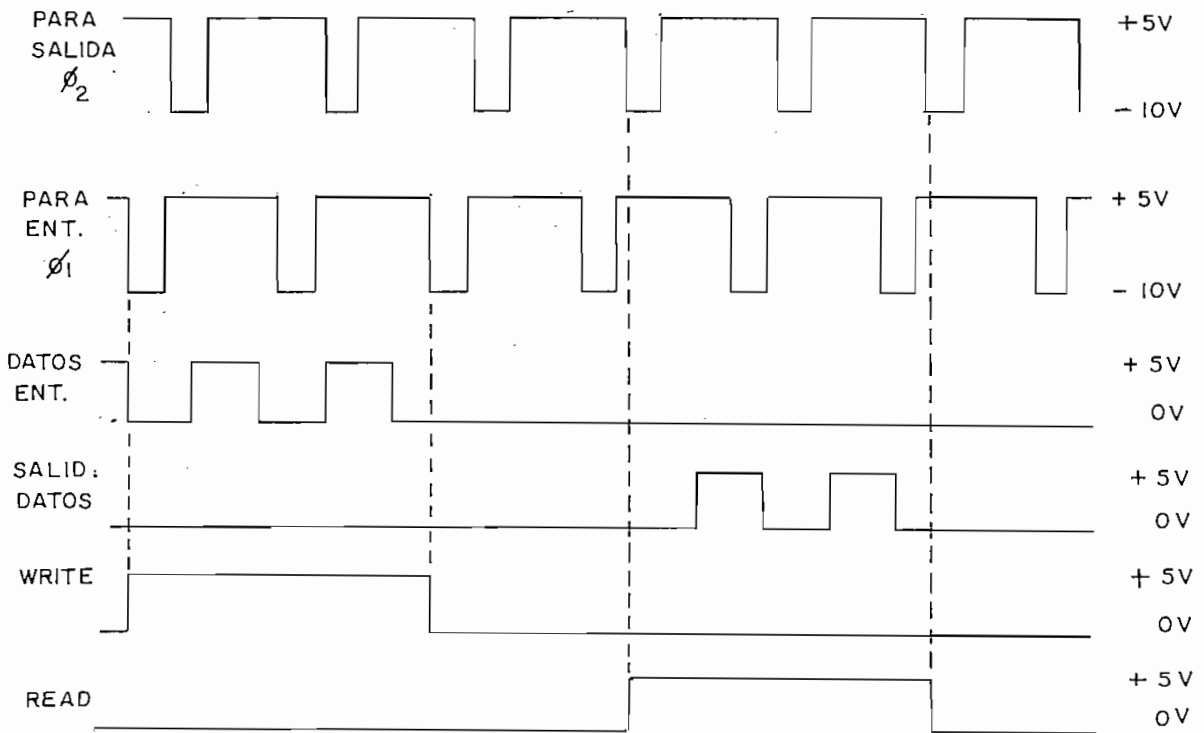


FIG. N° 58

En cuanto a los tiempos de referencia puede observarse la Figura N° 59.

	MIN	MAX	UNIDAD
FRECUENCIA	.0005	3	Mhz
TRANS. PULSO	10	1000	ns
TRANSICION READ-WRITE	0		ns
TRANSICION WRITE-READ	0		ns

FIG. N° 59

Debe notarse que los niveles lógicos de reloj tanto para la entrada de datos ( $\phi_2$ ), como para la salida de los mismos ( $\phi_1$ ) tienen + 5 v. para el nivel superior y - 10 v. para el nivel lógico inferior. Las señales para  $\phi_1$  y  $\phi_2$  pueden conseguirse con registros JK, NAND, etc., pero se conseguirán estas con niveles lógicos standard. Para conseguirse los niveles apropiados se u-

utiliza un amplificador de aplicación especial, el MH0026C, que con una polarización adecuada nos permite alcanzar tales niveles. El circuito se presenta en la figura N° 60, por ser un elemento dual las conexiones se limitan considerablemente.

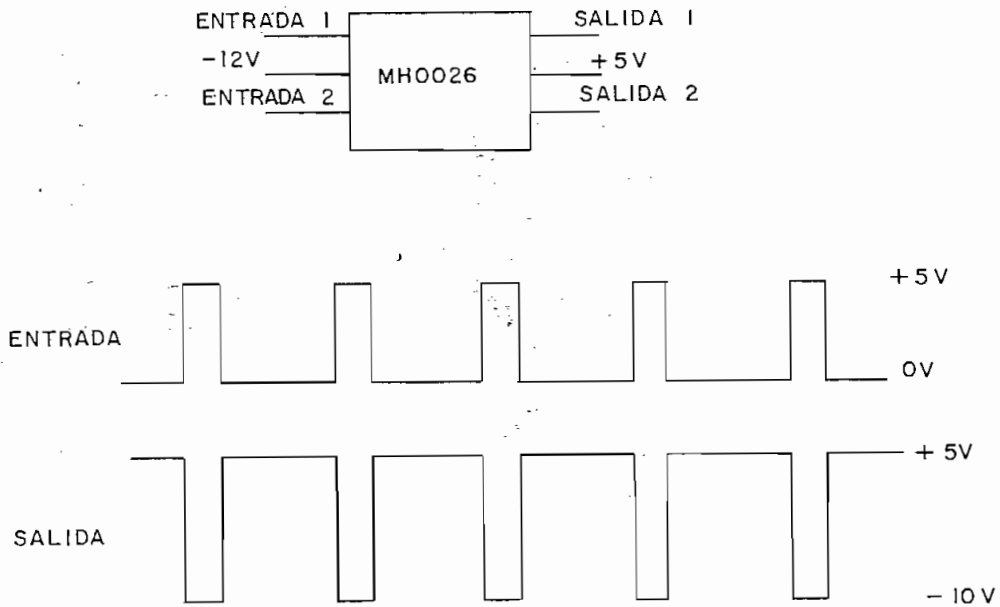


FIG. N° 60

Este amplificador produce una inversión de la señal, característica que se detalla en la sección correspondiente al sistema de control.

La tabla de estados para control de entrada-salida se -



presenta en la figura N° 61. Existen cuatro posibilidades, sin embargo necesitamos únicamente dos en el presente trabajo, consiguiéndose de esta manera simplificar el diseño y el costo total.

WRITE	READ	FUNCION
0	0	RECIR. SAL. '0'
0	1	RECIR. SAL. DATO
1	0	ESCRIT. SAL. '0'
1	1	LECTURA SAL. '0'

FIG. N° 61

Cada pulso de reloj  $\phi_2$  para la entrada de datos, permite el ingreso de un bit-dato, mientras el comando WRITE permanezca en 1. Si WRITE es igual a 0, los datos ya presentes en el registro son recirculados. La señal READ habilita la salida (sincronizado por  $\phi_1$ ) sin afectar la recirculación.

Los registros tienen capacidad para 1024 bits, cada uno. Se utilizan 8 registros de memoria (uno por cada bit de la etapa de conversión analógico-digital). La memoria del presente trabajo tiene una capacidad de 8192 bits datos.

Una vez almacenados los datos, para presentarse al osciloscopio deben cambiar de su forma digital a analógica. La última etapa constituye la etapa de conversión digital-analógico.

### 3.1.c.4 CONVERSION DIGITAL ANALOGICO DE SALIDA

Como elemento conversor de esta etapa se trató de utilizar el DAC100CCT1, pero al realizar pruebas previas de montaje resultó afectado definitivamente. Un buen sustituto es el MC1408, con el circuito presentado en la figura Nº 62.

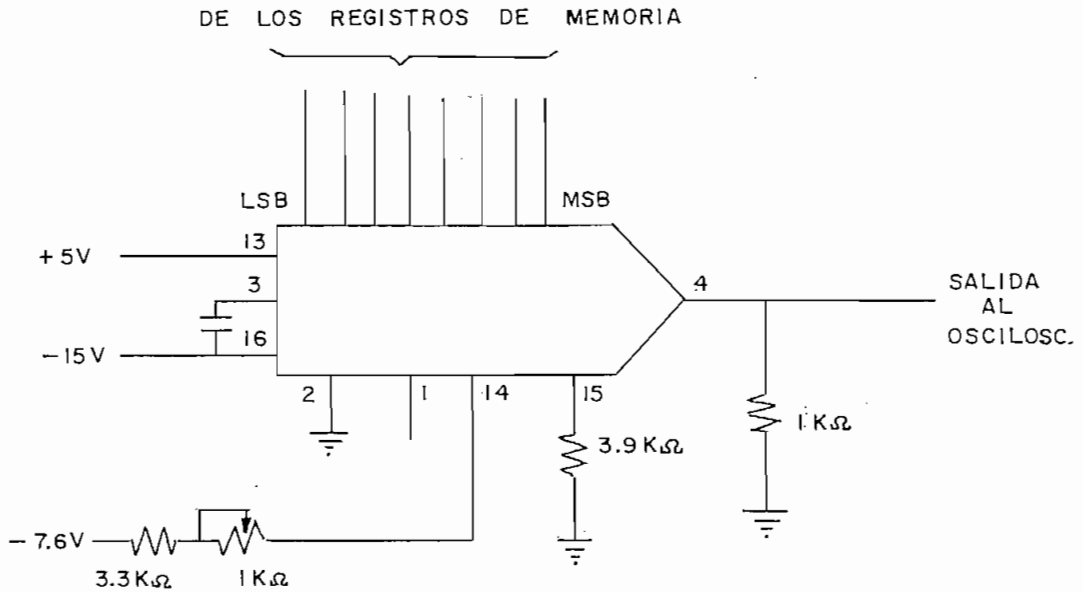


FIG. Nº 62