

PROYECTO DE INVESTIGACIÓN INTERNOS SIN
FINANCIAMIENTO O AUTOGESTIONADOS
ANEXO 1 - DATOS INFORMATIVOS

Fecha de presentación (dd/mm/aa): 16/05/2019

Título del proyecto:

Estudio de confiabilidad de diodos de potencia basados en tecnología GaN

TIPOS DE INVESTIGACIÓN

Investigación básica

Investigación aplicada

DEPARTAMENTO(S) Y/O INSTITUTO(S):

1. Física
- 2.

LÍNEA(S) DE INVESTIGACIÓN (verificable en el SAEW):

1. Física aplicada
2. Materiales dieléctricos y nanoestructuras

RESUMEN DE INFORMACIÓN DEL DIRECTOR Y COLABORADORES

Director

Apellidos y nombres	No. de Cédula	HSS	Departamento	Título de mayor nivel y mención.
Acurio Méndez Eliana Maribel	171767700-7	12 ✓	Física	Máster en sistemas mecatrónicos y micro- mecatrónicos

Colaborador(es)

Apellidos y nombres	No. de Cédula	HSS	Departamento	Título de mayor nivel y mención.

Colaboradores Externos

Apellidos y nombres	No. de identificación	HSS	Institución	Título de mayor nivel y mención.
Trojman Lionel		2	Universidad San Francisco de Quito	PhD en Ingeniería Eléctrica ✓
De Jaeger Brice		2	Imec (Bélgica)	Máster en Ingeniería Eléctrica ✓

**PROYECTO DE INVESTIGACIÓN INTERNOS SIN
FINANCIAMIENTO O AUTOGESTIONADOS**
ANEXO 2 – DETALLES DE LA PROPUESTA

Investigación Básica <input type="checkbox"/>	Investigación Aplicada <input checked="" type="checkbox"/>
DEPARTAMENTO(S) Y/O INSTITUTO(S):	
1. Física	
2.	
LINEA(S) DE INVESTIGACIÓN:	
1. Física aplicada	
2. Materiales dieléctricos y nanoestructuras	

DISCIPLINA CIENTÍFICA (Marque X, solamente una opción)	
Ciencias Naturales y Exactas;	
Ingeniería y Tecnologías;	X
Ciencias Médicas;	
Ciencias Agrícolas;	
Ciencias Sociales;	
Humanidades	

OBJETIVO SOCIOECONÓMICO (Marque X, solamente una opción)	
Exploración y explotación del medio terrestre;	
Ambiente;	
Exploración y Explotación del espacio;	
Transporte, telecomunicaciones y otras infraestructuras;	
Energía;	X
Producción y tecnología industrial;	
Salud;	
Agricultura;	
Educación;	
Cultura, ocio, religión y medios de comunicación;	
Sistemas políticos y sociales, estructuras y procesos;	
Defensa;	
Avance general del conocimiento: I+D financiada con los Fondos Generales de Universidades (FGU);	
Avance general del conocimiento: I+D financiados con otras fuentes.	



1	Proyecto de Investigación
	Título: Estudio de confiabilidad en diodos de potencia basados en tecnología de Nitruro de Galio (GaN)
	Resumen del proyecto (máximo 200 palabras) La tecnología de Nitruro de Galio (GaN) posee notables características electrónicas que la hacen una opción plausible para lograr eficiencia energética en los sistemas de conversión. Sin embargo, la confiabilidad de los dispositivos basados en GaN es un aspecto crucial y desafiante para su uso extendido en el mercado. Considerando que es necesario garantizar una vida útil de entre 10 y 20 años bajo las condiciones de operación en el área de dispositivos semiconductores de potencia, se deben implementar métodos de prueba acelerados para predecir la vida útil esperada del dispositivo en un tiempo factible. En este proyecto se diseñarán técnicas apropiadas de caracterización eléctrica y se seleccionarán factores adecuados de aceleración/estrés para inducir el fallo del dispositivo antes de lo habitual y extraer la vida útil en condiciones normales con la adopción de métodos de extrapolación. Además, las mediciones experimentales serán combinadas con simulaciones TCAD bidimensionales (2D) para explorar los mecanismos de degradación que se observan especialmente durante el estado de ENCENDIDO, en cual los dispositivos soportan alta corriente. Todos los experimentos serán realizados en diodos de barrera Schottky diseñados para voltajes normales de operación de 200V y 650V fabricados por imec (Interuniversity Microelectronics Center).
	Palabras clave (4-6): Confiabilidad, diodos de potencia, Nitruro de Galio, degradación, fallas, distribución estadística.

2	Objetivos, relevancia, productos y resultados esperados de esta propuesta de investigación
---	---

2.1 Objetivos

2.1.1 Objetivo General

- Realizar estudios de confiabilidad en diodos de potencia (200V y 650V) basados en Nitruro de Galio usando factores de aceleración de voltaje y temperatura para identificar los mecanismos de degradación durante el estado de encendido y determinar si los dispositivos referenciales y sus diferentes variaciones en cuanto material y estructura del ánodo alcanzan el tiempo de vida estimado de 10 años.

2.1.2 Objetivos Específicos

- a. Diseñar secuencias de caracterización eléctrica usando el analizador de parámetros Keithley 4200 para medir la degradación del voltaje de encendido V_{TON} , el voltaje de polarización directa V_F y la resistencia de encendido R_{ON} , de los diodos referenciales diseñados para 200V y 650V durante el estado de encendido.
- b. Medir el tiempo de recuperación de los parámetros fundamentales del diodo (V_{TON} , V_F y R_{ON}) una vez finalizada la etapa de estrés (factores de aceleración) y analizar la influencia de la temperatura en dicho proceso con el fin de comprobar si la degradación inducida bajo las condiciones de estrés es permanente o recuperable.
- c. Analizar la repetibilidad de las mediciones de estrés y recuperación en diodos ubicados en diferentes lugares de la oblea (al menos 50 diodos diferentes) para encontrar la distribución estadística de los parámetros medidos y su degradación.
- d. Extrapolar el tiempo de vida de los diodos referenciales (200V y 650V) usando una función que se ajuste apropiadamente (ley de potencia o exponencial) y al menos tres diferentes voltajes de estrés para verificar si se garantiza los 10 años de operación.
- e. Estudiar el impacto en el tiempo estimado de vida cuando se modifica la estructura del ánodo en la tecnología de 650V cambiando desde una capa simple de Si_3N_4 (1 GET-gated edge termination) a una capa doble de Si_3N_4 (2 GET).
- f. Estudiar el impacto en el tiempo estimado de vida cuando se modifica el material del ánodo en la tecnología de 650V cambiando desde una capa de Si_3N_4 (Si_3N_4 -GET) a una capa formada por $AlO+SiO$ (AlO/SiO -GET).



- g. Realizar simulaciones TCAD bidimensionales de los diodos referenciales y sus variaciones (estructura y material) para identificar los mecanismos de degradación y las zonas más propensas de atrapamiento de cargas usando el software Sentaurus.

2.2 Detalle de los resultados esperados (con relación a los objetivos)

- a. Obtener una secuencia de caracterización apropiada que permita medir la degradación de los parámetros importantes de los diodos de potencia sin inducir mayor atrapamiento de cargas que el ocasionado por las condiciones aplicadas de estrés.
- b. Determinar si la degradación en los dispositivos es recuperable o permanente tras haber realizado mediciones de recuperación en tiempo prolongado y usando tratamiento térmico.
- c. Obtener una caracterización completa (V_{TON} , V_F , R_{ON} y sus respectivas degradaciones) de las obleas referenciales de 250V y 650V y de las modificaciones en la estructura y material del GET con los suficientes datos estadísticos como para extraer una apropiada predicción de tiempo de vida.
- g. Determinar los fenómenos y mecanismos involucrados en la degradación de los parámetros V_{TON} , V_F y R_{ON} cuando los dispositivos son sometidos a condiciones de estrés en el estado de encendido así como la identificación de zonas de mayor atrapamiento de cargas.
- h. De este proyecto se espera obtener al menos dos artículos publicados en revistas indexadas o en conferencias de prestigio internacional. El primer artículo será más enfocado a los resultados de desempeño de las obleas referenciales de 200V y 650V, mientras que el segundo artículo resumiendo todo el desarrollo y objetivos alcanzados en el proyecto.

3	Relevancia de la propuesta de investigación y su relación con la(s) líneas de investigación
----------	--

El desarrollo y caracterización de dispositivos semiconductores está estrechamente relacionado con la Física aplicada, ya que es precisamente el análisis de los fenómenos físicos que producen degradación y consecuentemente fallas irreversibles, lo que permite la corrección en los procesos de fabricación o la migración hacia nuevos materiales con mejores características eléctricas. Además con la tendencia actual a la miniaturización, la investigación de nanoestructuras y materiales bidimensionales se ha convertido en un pilar fundamental para seguir cumpliendo la bien conocida Ley de Moore. En este aspecto dispositivos basados en Nitruro de Galio (GaN) son cada vez más atractivos en la electrónica de potencia ya que en combinación con el Nitruro de Aluminio y Galio (AlGaN) pueden formar heteroestructuras con un canal bidimensional de gas de electrones (2 DEG) evitando procesos de dopaje y aumentando la movilidad en el canal [1]. Por lo tanto el estudio de este tipo de dispositivos es de interés dentro de la línea de investigación de materiales dieléctricos y nanoestructuras. Sin embargo, hay requisitos necesarios que debe cumplir una nueva tecnología de semiconductores para su amplia adopción en los sistemas de conversión de energía.

El primero es la eficiencia, y GaN ha demostrado una completa superioridad sobre el silicio (Si) debido a sus notables características electrónicas, lo que resulta en dispositivos de rápida conmutación que permiten el diseño de convertidores de alta eficiencia con baja pérdida de potencia [2], [3], [4].

El segundo es la rentabilidad. Si bien la comparación directa de costos entre las tecnologías de semiconductores es complicada debido a todos los elementos que influyen en el costo final (crecimiento epitaxial, fabricación de obleas y ensamblaje) [9], podemos mencionar que uno de los inconvenientes de los dispositivos basados en esta tecnología es el costoso crecimiento homoepitaxial sobre sustratos de GaN. Por lo tanto, se han utilizado obleas más asequibles basadas en sustratos de silicio (GaN-on-Si) para hacerlo más competitivo en los rangos de bajo voltaje (~ 600V), pero esto hace que el dispositivo sea más vulnerable a la creación de defectos debido a la diferencia en los coeficientes de expansión térmica y al desajuste en la red (lattice) de ambos materiales [5], [6].

El último requisito es la confiabilidad a largo plazo, es decir, la probabilidad de que el dispositivo opere correctamente en condiciones normales de funcionamiento para la vida útil prevista [7]. La complejidad de los estudios de confiabilidad radica en que el rendimiento del dispositivo es altamente dependiente de los pasos de fabricación, el crecimiento epitaxial, las técnicas de caracterización y la variabilidad entre dispositivo y dispositivo, lo que dificulta tener una comprensión completa de los fenómenos de degradación y un consenso sobre la física detrás de los mecanismos de falla.

Actualmente, los dispositivos de potencia basados en GaN para aplicaciones entre 80V a 650 V han sido calificados utilizando los estándares JEDEC diseñados originalmente para la tecnología de silicio. Al considerar que las estructuras basadas en GaN difieren de las estructuras en silicio en el crecimiento heteroepitaxial de GaN en sustratos extraños y en una operación del dispositivo basada en las propiedades



intrínsecas de las heterojunturas en lugar de dopajes de tipo p y n , no pueden ser calificadas únicamente con procedimientos establecidos para el silicio. Por lo tanto, se necesitan de forma inmediata pruebas de calificación más adecuadas que consideren nuevos posibles modos de fallas, la física asociada y los modelos correspondientes que estimen apropiadamente el tiempo de vida de los dispositivos. En este preámbulo, la confiabilidad de los dispositivos basados en GaN es un campo de investigación interesante y relevante para garantizar su madurez industrial y su adopción masiva en el mercado de aplicaciones eléctricas.

De forma particular, los diodos de potencia basados en GaN requieren altos voltajes de ruptura (V_{BD}) en combinación con valores bajos de voltaje de encendido (V_{TON}), resistencia de encendido específica ($R_{ON,sp}$) y corrientes de fuga para reducir las pérdidas de energía y problemas potenciales de confiabilidad.

En los últimos años, se han intentado varios enfoques de procesamiento para mejorar el rendimiento del rectificador/diodo GaN-on-Si. Por ejemplo, se han adoptado estructuras usando placas de campo (field plates) simples y múltiples para aumentar el voltaje de ruptura en los diodos de barrera Schottky (SBD) y para evitar una ruptura prematura [8]. Para disminuir las corrientes de fuga, se ha demostrado que el máximo campo eléctrico ubicado en la esquina del contacto de Schottky (zona del ánodo) se reduce al introducir una capa de Si_3N_4 para crear una terminación de borde cerrado (gated edge termination-GET) [9].

Estudios recientes bajo estrés en estado de apagado en esta estructura han demostrado una falla relacionada a la concentración del campo eléctrico en áreas críticas como la esquina del dieléctrico que forma el GET y el borde del contacto Schottky. Se han obtenido mejoras de confiabilidad debido a una mejor distribución del campo eléctrico utilizando una capa de pasivación más delgada, una segunda capa GET, un mejor proceso de limpieza previo a la deposición en la región del contacto Schottky y una capa de cobertura de Si_3N_4 [10], [11]. Si bien, los GET-SBDs (diodos de barrera Schottky con terminación de borde cerrado) han demostrado una buena confiabilidad del dispositivo bajo estrés en estado de encendido utilizando diferentes condiciones y considerando una variedad de geometrías [12], [13], la renovada estructura de GET-SBD que permitió la mejora mencionada anteriormente en condiciones de estado de apagado [8] aún no se ha verificado bajo estrés en estado de encendido. Por lo tanto, la relevancia de este proyecto radica en predecir correctamente la vida útil de GET-SBDs procesados en una plataforma tecnológica GaN-on-Si de 200V y 650V, analizar los mecanismos físicos que causan la degradación y proveer una retroalimentación de cuales enfoques en la fabricación proveen un mejor desempeño de los dispositivos a largo plazo. También en este proyecto se pretende demostrar que los GET-SBDs exhiben variaciones lo suficientemente bajas para realizar un análisis estadístico y extraer un componente intrínseco que no varía mucho con la ubicación sobre la oblea, lo que permitirá futuros estudios de confiabilidad intrínseca.

Para llevar a cabo este proyecto el instituto de investigación imec ha facilitado cuatro obleas de dos diferentes lotes (una oblea con sustrato 200V y tres obleas con sustratos de 650V), cuyo proceso de fabricación se describe en [11]. Dentro del segundo lote se tiene tres variaciones que permitirán comparar el desempeño de la oblea referencial con una modificación en la estructura del GET y en el material del mismo. La variante en la estructura del GET consiste en cambiar la única capa GET hecha de Si_3N_4 por una doble capa que recubre la primera. Por otro lado, en la última oblea del lote se ha modificado el material del GET desde Si_3N_4 a una capa de AlO+SiO.

4 Productos esperados (marcar con una "X" al menos uno de los productos no señalados)

Tipo de Producto:	Marcar con una "X"
a. Disertación a la Comunidad Politécnica (obligatorio);	X <input checked="" type="checkbox"/>
b. Presentación de un artículo en formato de la Revista Politécnica (obligatorio)	X <input checked="" type="checkbox"/>
c. Proyecto de Titulación;	
d. Aplicación tecnológica construida o implementada;	
e. Patente presentada;	
f. Perfil de proyecto de mayor impacto científico, técnico, pedagógico o de innovación.	
g. Publicaciones científicas indexada en SCIMAGO-SCOPUS/WoS/SCIELO/Latindex Catálogo o un artículo en congreso indexado en SCOPUS.	X <input checked="" type="checkbox"/>



5 Descripción y metodología y diseño del proyecto

5.1 Descripción, metodología y diseño del proyecto (Máximo dos carillas)

Los diodos de potencia basados en GaN son dispositivos de conmutación que permiten el paso de corriente cuando son polarizados directamente y bloquean el flujo de la misma en polarización inversa. En la zona del ánodo presentan la juntura metal/semiconductor (también conocida como barrera Schottky) en lugar de la juntura normal semiconductor p /semiconductor n , lo cual permite tener velocidades altas de transición entre estados y bajas tensiones de umbral. Para su estudio en el proyecto aquí propuesto se utilizará la metodología descrita a continuación la cual está relacionada directamente con los objetivos específicos.

- 1) Recopilación de información a través de apropiadas técnicas de caracterización:
Considerando que los GET-SBDs que se utilizarán en este proyecto han sido sometidos solamente a estudios de confiabilidad en el estado de apagado (OFF), es necesario como primera etapa diseñar técnicas de caracterización automáticas que permitan medir únicamente la degradación inducida con las condiciones de estrés (voltaje y temperatura) garantizando que no haya degradación durante la medición misma. Para esto primero se verificará si una caracterización DC aplicada con el método MSM (measurement-stress-measurement) [14] y con un rango de voltaje ánodo-cátodo (V_{ac}) entre 0V y 2.5V es suficiente para no inducir degradación adicional durante la medición. De ser necesario también se utilizará mediciones pulsadas (PMU-pulse measurement unit) [15] las cuales permiten aumentar la rapidez de caracterización y por lo tanto disminuir la degradación adicional que las mediciones sucesivas generan. Por otro lado, también se definirá cómo será medida la recuperación de los parámetros (V_{TON} , V_F y R_{ON}), es decir, inmediatamente después de que el experimento de estrés finalice o si la recuperación será analizada por separado dependiendo de si el estrés generó o no daños permanentes en los dispositivos. Es importante señalar, que el diseño y pruebas iniciales de caracterización serán realizados en una oblea de entrenamiento y una vez que la técnica sea bien establecida, probada y automatizada, entonces se realizará las mediciones en las obleas que contienen los diodos de interés.
- 2) Análisis de repetibilidad de parámetros y su degradación:
Durante esta etapa se realizará la medición de al menos 50 diodos ubicados uniformemente en las obleas referenciales de la tecnología de 200V y 650V (los diodos en los bordes de la oblea no serán considerados). Lo primero en analizar será el valor inicial de los parámetros y observar si existe alguna dependencia con la ubicación. Se conoce que en tecnologías VLSI de gran escala [16] estadísticamente las mediciones contienen un componente sistemático (inducido por el proceso) y un componente aleatorio observado tanto en el tiempo cero y en la variabilidad dependiente del tiempo, por lo tanto se pretende investigar si en la tecnología GaN es posible distinguir estos dos componentes y aislar el componente intrínseco. Para ese propósito, se utiliza la técnica de pares coincidentes (MP-matched pairs), es decir, las mediciones de un par de diodos ubicados a muy cortas distancias en donde el componente sistemático se asume idéntico en ambas estructuras y permitiendo obtener el componente intrínseco. En segundo lugar se analizará estadísticamente la degradación con y sin el uso de MPs empleando diferentes distribuciones (Ej. Weibull, normal, etc.) con el objetivo de obtener valores representativos de la degradación de V_{TON} , V_F y R_{ON} en la oblea completa y no solo seleccionar diodos con el mejor desempeño como se ha encontrado en la Literatura. Finalmente, la repetibilidad de las mediciones también se analizará midiendo la degradación bajo las mismas condiciones dos veces en todos los diodos para verificar si existen cambios en las distribuciones estadísticas.
- 3) Determinación del tiempo estimado de vida:
Una vez que se tenga bien establecidos las técnicas de caracterización y se haya seleccionado la distribución estadística que mejor se ajuste a los parámetros iniciales y a la degradación de los mismos, se procede a modificar las condiciones de estrés, en este proyecto se mantendrá fija la temperatura en 150 °C y se modificará el voltaje aplicado. Es importante seleccionar las condiciones apropiadamente evitando llegar a sobre estresar a los dispositivos ya que en este caso se pueden activar mecanismos



que bajo condiciones normales de operación no se observarían. La selección del voltaje de estrés se realizará verificado que las distribuciones estadísticas no cambien su forma básica sino que más bien solo se desplacen a medida que se aumenta el voltaje. Una vez que se hayan extraído los valores representativos de degradación de V_F (se utilizará este parámetro para la estimación de la vida útil ya que combina la degradación tanto de V_{TON} como de R_{ON}) usando al menos tres voltajes diferentes de estrés, se utilizará una función (exponencial y/o ley de potencia) que permita la extrapolación con el menor error posible. Finalmente el tiempo de vida de los dispositivos referenciales podrá ser obtenido bajo condiciones normales de operación.

- 4) Análisis del impacto en el tiempo de vida cuando se modifica la estructura y material de la terminación de borde cerrado (GET) en el ánodo para la tecnología de 650V:
Los procesos de caracterización, repetibilidad de parámetros y degradación, y estimación del tiempo de vida útil son repetidos para dos obleas con sustratos diseñados para 650V. En la primera oblea se introduce una modificación del GET, cambiando de una estructura simple a una doble. Es importante mencionar que esta variación es utilizada ya que fue demostrado que mejora la confiabilidad durante el estado de apagado [10], por lo tanto ahora se busca evaluar su confiabilidad en el estado de encendido. La segunda oblea modifica el material del GET, el cual en la estructura referencial es Si_3N_4 , a una capa formada por AlO y SiO que ha demostrado tener menores defectos y que por lo tanto se espera que muestre menor degradación.
- 5) Simulaciones TCAD bidimensionales para el análisis de los posibles mecanismos causantes de la degradación:
En la última etapa se utilizara el software TCAD Sentaurus para simular las diferentes estructuras bajo condiciones de encendido. Para diseñar la estructura del diodo se usará el *Sentaurus process* con el fin de obtener un acercamiento más profundo a los diferentes pasos de fabricación. También se verificará la formación de un canal bidimensional de electrones (2 DEG) entre las capas de $AlGaIn/GaN$ y mediante la simulación de la distribución de campo eléctrico se podrá determinar los posibles mecanismos de degradación (alcance de un campo crítico, regiones con mayores defectos, etc.).

REFERENCIAS

- [1] H. Morkoç, S. Strite, G. B. Gao, M. E. Lin, B. Sverdlov, and M. Burns, "Large-band-gap SiC, III-V nitride, and II-VI ZnSe-based semiconductor device technologies," *J. Appl. Phys.*, vol. 76, no. 3, pp. 1363–1398, Aug. 1994.
- [2] M. M. K. Alatawi, F. Almasoudi, M. Manandhar, "Comparative Analysis of Si- and GaN-Based Single-Phase Transformer-Less PV Grid-Tied Inverter," *Electronics*, vol. 7, no. 3, p. 34, Mar. 2018.
- [3] B. Hughes, Y. Y. Yoon, D. M. Zehnder, and K. S. Boutros, "A 95% Efficient Normally-Off GaN-on-Si HEMT Hybrid-IC Boost-Converter with 425-W Output Power at 1 MHz," in *2011 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, 2011, pp. 1–3.
- [4] Y. Wu, M. Jacob-Mitos, M. L. Moore, and S. Heikman, "A 97.8% Efficient GaN HEMT Boost Converter With 300-W Output Power at 1 MHz," *IEEE Electron Device Lett.*, vol. 29, no. 8, pp. 824–826, Aug. 2008.
- [5] D. Marcon, Y. N. Saripalli, and S. Decoutere, "200mm GaN-on-Si epitaxy and e-mode device technology," in *2015 IEEE International Electron Devices Meeting (IEDM)*, 2015, vol. 2016–Febru, p. 16.2.1-16.2.4.
- [6] J. Cheng *et al.*, "Growth of high quality and uniformity AlGaIn/GaN heterostructures on Si substrates using a single AlGaIn layer with low Al composition," *Sci. Rep.*, vol. 6, no. 1, p. 23020, Sep. 2016.
- [7] A. L. Hartzell, M. G. da Silva, and H. R. Shea, "Lifetime Prediction," in *World Wide Web Internet And Web Information Systems*, vol. 52, 2011, pp. 9–42.
- [8] T. Horii, T. Miyazaki, Y. Saito, S. Hashimoto, T. Tanabe, and M. Kiyama, "High-Breakdown-Voltage GaN Vertical Schottky Barrier Diodes with Field Plate Structure," *Mater. Sci. Forum*, vol. 615–617, pp. 963–966, Mar. 2009.
- [9] S. Lenci *et al.*, "Au-Free AlGaIn/GaN Power Diode on 8-in Si Substrate With Gated Edge Termination," *IEEE Electron Device Lett.*, vol. 34, no. 8, pp. 1035–1037, Aug. 2013.
- [10] E. Acurio *et al.*, "Reliability Improvements in AlGaIn/GaN Schottky Barrier Diodes With a Gated Edge Termination," *IEEE Trans. Electron Devices*, vol. 65, no. 5, pp. 1765–1770, May 2018.
- [11] E. Acurio *et al.*, "Influence of GaN- and Si₃N₄-Passivation Layers on the Performance of



- AlGaIn/GaN Diodes With a Gated Edge Termination,” *IEEE Trans. Electron Devices*, vol. 66, no. 2, pp. 883–889, Feb. 2019.
- [12] A. N. Tallarico *et al.*, “Reliability of Au-Free AlGaIn/GaN-on-Silicon Schottky Barrier Diodes Under ON-State Stress,” *IEEE Trans. Electron Devices*, vol. 63, no. 2, pp. 723–730, Feb. 2016.
- [13] A. N. Tallarico *et al.*, “Understanding the degradation sources under ON-state stress in AlGaIn/GaN-on-Si SBD: Investigation of the anode-cathode spacing length dependence,” in *2016 IEEE International Reliability Physics Symposium (IRPS)*, 2016, vol. 2016–Sept, p. 4A–5–1–4A–5–6.
- [14] E. Acurio, F. Crupi, P. Magnone, L. Trojman, G. Meneghesso, and F. Iucolano, “On recoverable behavior of PBTI in AlGaIn/GaN MOS-HEMT,” *Solid. State. Electron.*, vol. 132, pp. 49–56, Jun. 2017.
- [15] E. Acurio, F. Crupi, P. Magnone, L. Trojman, and F. Iucolano, “Impact of AlN layer sandwiched between the GaN and the Al₂O₃ layers on the performance and reliability of recessed AlGaIn/GaN MOS-HEMTs,” *Microelectron. Eng.*, vol. 178, pp. 42–47, Jun. 2017.
- [16] B. Kaczer *et al.*, “Extraction of the Random Component of Time-Dependent Variability Using Matched Pairs,” *IEEE Electron Device Lett.*, vol. 36, no. 4, pp. 300–302, Apr. 2015.

6 Infraestructura, equipos y fondos adicionales.

6.1 Infraestructura y equipos

- Indicar la infraestructura y equipos disponibles para la ejecución del proyecto, con la ubicación actual de los mismos

Infraestructura	Equipos	
	Nombre del Equipo	Ubicación del Equipo
Instituto de Micro/Nano-electrónica (USFQ)		
Laboratorio de Electrónica e Instrumentación (EPN)	Keithley 4200	Instituto de Micro/Nano-electrónica (USFQ)
	Estación de prueba manual Cascade EPS150 con controlador de temperatura	Instituto de Micro/Nano-electrónica (USFQ)
	Cuatro obleas de tecnología GaN-on-Si fabricadas por imec	Instituto de Micro/Nano-electrónica (USFQ)

6.2 Breve justificación del equipo requerido

- La estación de prueba permite la correcta manipulación y fijación (usando un compresor) de la oblea durante las mediciones. Además el microscopio integrado a la estación permite la observación de los diodos para un apropiado contacto de los terminales de medición. El equipo de caracterización Keithley 4200 permite la medición de los parámetros V_{TON} , V_F , R_{ON} y su correspondiente degradación en el estado de encendido y ofrece una interfaz amigable para configurar rutinas de ejecución automática. Sin este equipo los objetivos del presente proyecto no son alcanzables.

6.3 Fondos Adicionales

- NA

PROYECTO DE INVESTIGACIÓN INTERNOS SIN
FINANCIAMIENTO O AUTOGESTIONADOS
ANEXO 4 - DECLARACIÓN

TIPO DE INVESTIGACIÓN

Investigación básica

Investigación aplicada

TÍTULO DEL PROYECTO

Estudio de confiabilidad en diodos de potencia basados en tecnología de Nitruro de Galio (GaN)

DECLARACIÓN DEL DIRECTOR DEL PROYECTO

El equipo de investigadores, representado por el Director del Proyecto declara lo siguiente:

- Que el presente proyecto es una creación original de mi autoría y del equipo de investigadores, y por tanto asumimos la completa responsabilidad legal en caso de que un tercero alegue la titularidad de los derechos intelectuales del proyecto, exonerando a la EPN de cualquier acción legal que se derive por esta causa.
- Que el presente proyecto no ha sido presentado en ninguna convocatoria de otra institución pública o privada. El incumplimiento será causal para que el proyecto no sea tomado en consideración.
- Que todos los bienes adquiridos en proyecto permanecerán bajo la custodia y responsabilidad del director de proyecto durante la ejecución del mismo.
- Que si el proyecto genera algún producto o procedimiento susceptible de obtener derechos de propiedad intelectual, de los cuales se deriven beneficios, aceptamos que éstos serán compartidos entre los investigadores y la institución o las instituciones participantes en el proyecto, conforme a lo establecido en el COESC.
- Que el equipo de investigadores y/o instituciones participantes se comprometen a mantener la confidencialidad de la información si ésta podría ser susceptible de protección por patentes, y solicitar la valoración de propiedad intelectual respectiva previa a cualquier publicación o difusión.
- Que para el caso de derechos de autor otorgamos una licencia de uso exclusivo con fines académicos para la o las instituciones participantes en el proyecto.



Firma del Director del Proyecto
Nombre: Eliana Acurio
C.I.: 171767700-7



DECLARACIÓN DEL JEFE DE DEPARTAMENTO

Esta propuesta ha sido aprobada y avalada por el Consejo del Departamento de *física*, en sesión del día *21-05-2017* mediante resolución No. *4*

Las instalaciones, incluyendo personal, edificios, equipo y recursos financieros están a disposición del proponente y sus colaboradores de acuerdo con las especificaciones que se encuentran en esta propuesta.

Firma del Jefe del Departamento

Nombre: *César Costa*

C.I.: *110250801*

