DISEÑO DE CIRCUITOS INTEGRADOS DE APLICACION ESPECIFICA (ASICS) DIGITALES CON TECNOLOGIA CMOS

Bernal C. Iván, Ing.
Lemus C. Fredy, Ing.
Montalvo Luis, Ing.

ESCUELA POLITECNICA NACIONAL
QUITO - ECUADOR

RESUMEN

e presenta de manera simplificada el proceso mpleto de diseño de un circuito integrado CI) con tecnología CMOS, enfocando con mayor talle aquellos aspectos con los cuales un iseñador de sistemas que utiliza CIs del mer- do no está familiarizado, proporcionando una sión general del proceso desde la concepción un circuito hasta que se dispone de los ototipos fabricados. Algunas de las rramientas computacionales que facilitan la rea de diseño son también mencionadas.

ABSTRACT

e complete design process of a CMOS tegrated circuit (IC) is presented in such a y that the details with which a system signer using IC from public domain is not miliarized, are focused. It permits to have general vision of the process since an IC is limited until the fabricated prototypes are livered by the foundries. Some of the most mmon computational tools used in IC design e also mentioned.

INTRODUCCION

rante la década pasada, el diseño de ircuitos integrados (CIs) dejó de ser una cnica reservada exclusivamente a un grupo inoritario de especialistas que se encargaban l desarrollo de los mismos ya sea para alizar funciones estándar o de propósito neral (procesadores, memorias,..). En la tualidad, la disponibilidad de entornos mpletos de trabajo, permiten a los ingenieros aplicaciones, el diseño de sus propios CIs ra realizar funciones específicas de acuerdo sus necesidades, dando lugar a los ASICs Application Specific Integrated Circuit).

l término *Very Large Scale of Integration* (VLSI) refleja la capacidad de la industria de semiconductores de fabricar circuitos electrónicos complejos consistentes en millones de transistores en un solo sustrato de silicio. Varios factores han contribuido al crecimiento acelerado de la densidad de integración en los últimos años, los cuales han permitido el acceso al diseño VLSI a un grupo mayor de investigadores a nivel universitario, industrial y gubernamental, entre estos factores se pueden mencionar:

a) Los avances en las tecnologías de fabricación han permitido reducir las dimensiones de los dispositivos y de los caminos de interconexión entre ellos.

b) El surgimiento de un esquema claro de niveles de abstracción para el problema de diseño de CIs, resultado de los aportes de Mead y Conway (1980), que ha permitido esquematizar los conceptos de diseño en niveles bien definidos: funcional, circuital, y físico.

c) La experiencia creciente en el diseño de las formas geométricas que se trasladarán hacia las obleas de Silicio, ha permitido eliminar la necesidad de un entendimiento profundo de los problemas involucrados en el proceso mismo de fabricación.

d) El desarrollo de herramientas computacionales de diseño (CAD), que han liberado al diseñador de las complicadas tareas de descripción de diseños a bajo nivel, y de herramientas de simulación que han permitido la generación de diseños altamente depurados y confiables antes de su fundición.

e) El desarrollo de los sistemas de fundición de **OBLEAS MULTIPROYECTO** que permiten enlazar directamente las fundidoras de silicio con los estudiantes de universidades, permitiéndoles la adquisición de experiencia directa en el desarrollo de circuitos VLSI.

2 METODOLOGIA DE DISEÑO VLSI

2.1 Niveles de abstracción

La diversidad de tareas y problemas presentes en el diseño de CIs ha llevado a su división en varios niveles de abstracción (Fig. 1):

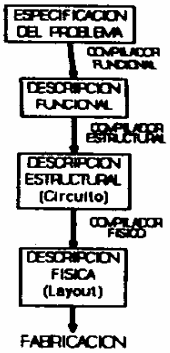


FIG. 1 Niveles de abstracción.

2.1.1 Nivel funcional

La tarea de este nivel es indicar las especificaciones para una solución conceptual del problema, señalando la manera como un diseño particular debe responder a un conjunto dado de entradas.

Ejemplo: $F = ((A+B+C)\cdot D)$

Es una descripción independiente de la tecnología, no existe noción sobre como se implantará esta función, ni de las características eléctricas implicadas. Se analiza de manera general la organización del flujo de datos, bloques funcionales, y necesidades de comunicación entre éstos.

2.1.2 Niveles eléctrico y lógico (nivel estructural)

El nivel lógico usa una abstracción de los circuitos eléctricos fundamentales en que las corrientes y voltajes son limitados a niveles discretos. Es hasta este nivel en donde por lo general termina el diseño de sistemas que se basan en CIs disponibles en el mercado.

Los esquemas a nivel circuital se expresan en términos de transistores, resistencias y capacitancias. En la Fig. 2 se presenta como ejemplo las representaciones a nivel lógico y eléctrico de una compuerta NAND de dos entradas.

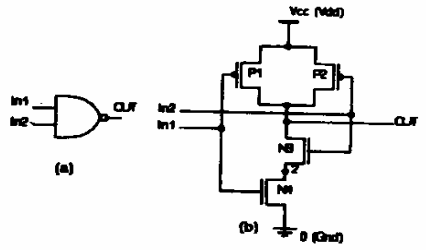


FIG. 2 Esquemas a) lógico y b) eléctrico.

2.1.3 Nivel físico

El nivel físico abarca las descripciones relativas a la realización física de cada uno de los componentes y su interconexión sobre el sustrato de silicio. Se puede considerar dos subniveles:

Nivel físico propiamente dicho

En el que descansa el mundo físico de la conducción de los semiconductores. Los problemas de diseño inherentes a este nivel son:

a) La velocidad de las señales determinada por los parámetros físicos del circuito.

b) La degradación de la señal en los conductores.

c) El consumo de potencia del circuito.

d) La secuencia precisa de las formas de onda de voltaje y corriente que controlan el flujo de la información en el interior del circuito.

Nivel de layout

Constituye el enlace entre el mundo físico y el eléctrico, es decir entre el circuito diseñado a nivel estructural y su proceso de fabricación. Las descripciones se realiz forma de *LAYOUTS*, que consisten en fi geométricas agrupadas, las que se corresp con cada etapa del proceso de fundición.

Problemas inherentes a este nivel son:

a) La optimización del área que ocupa layout.

b) El cumplimiento de un conjunto de re de diseño, lo que permite al fabric garantizar que aún considerando las riaciones inherentes al proceso de fa cación, el circuito obtenido corresp derá a lo especificado en los layouts.

c) Problemas de interconexión a ni eléctrico, que en el layout implica una generación acumulada de resistenc y capacitancias en los conductor dependiendo del material involucrado.

En la Fig. 3 se presenta el "layout" corr pondiente a las representaciones de la Fig

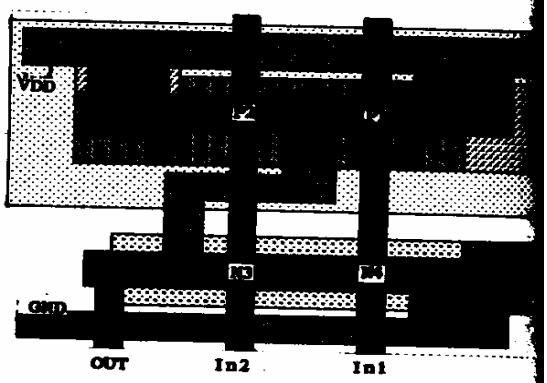


FIG. 3 Layout de una NAND de 2 entradas.

La delimitación de distintos niveles abstracción para cada etapa permite diseñador ignorar "los detalles" ajenos nivel en el que se halle trabajando, concentrarse tan solo en los problemas propi de dicho nivel.

2.2 Alternativas de diseño de siste electrónicos

El desarrollo de sistemas electrónicos se bas fundamentalmente en la realización de placas circuitos impresos (PCBs). Es diversa naturaleza de los dispositivos utilizados los PCBs (Fig. 4). En los últimos años se tien *como nueva alternativa la de los ASICs*. Con lo ASICs se da la oportunidad a ingenieros no *ligados directamente* a una fundidora a realizar el diseño de un circuito integrado para su posterior fabricación, dando solución a una necesidad particular.

ASIC - *Application Specific Integrated Circuits*

En función de la metodología de desarrollo, los ASICs pueden agruparse en cuatro grandes categorías:

a) totalmente a medida (*full-custom*),
b) predifundidos (*gate arrays*)
c) precaracterizados (*standard cells*), y
d) lógica programable (*LCAs, PGAs, FPGAs*).

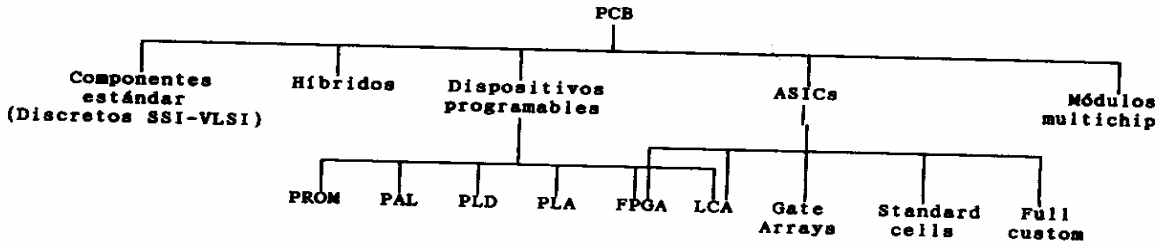


FIG. 4 Diseño de sistemas electrónicos a base de PCB con CI de diversa naturaleza.

a) *Full-Custom*

El diseñador de CIs *full-custom* se caracteriza principalmente porque debe disponer de la información, los conocimientos y las herramientas adecuadas para desarrollar sus propias celdas o módulos, que serán utilizadas como parte del diseño global. El diseño es tanto a nivel eléctrico como geométrico, en consecuencia se deberá tener conocimientos de:

- El comportamiento y las características de los dispositivos básicos: transistores, capacidades y resistencias de los distintos materiales.
- Modelos eléctricos y parámetros asociados para la simulación de tales dispositivos.
- Reglas de diseño geométrico para el dibujo de los "layouts".

Se requiere además experiencia/paciencia y un conjunto de herramientas CAD aptas para estas descripciones de bajo nivel de abstracción, que dentro de un plazo razonable permitan finalizar el diseño con garantías de éxito.

En esta metodología se trata de maximizar las prestaciones y minimizar el tamaño de los CIs, incidiendo sobre el rendimiento del proceso tecnológico y sobre el precio unitario.

b) Arreglos de compuertas (*Gate arrays*)

Estos circuitos, también llamados predifundidos, son CIs semiprocesados que agrupan miles de celdas idénticas, capaces de configurar distintas funciones básicas según la definición de la conexión interna de sus transistores. Se tiene en este caso una utilización mediocre de la superficie de silicio debido a los canales horizontales y verticales dejados y destinados a la interconexión. Las celdas básicas y los canales no utilizados no pueden compactarse ya que todos los transistores de un arreglo dado se hallan en su posición sean usados o no. Esta metodología trata de reducir los costos de desarrollo, a expensas de incrementar el tamaño del CI.

c) Mar de puertas (*Sea-of-Gates*)

En el afán de superar el desperdicio de área, los *Gate-Arrays* han evolucionado hasta llegar a los llamados *Sea-of-Gates* consistentes en circuitos predifundidos en los que se han eliminado los canales de interconexión entre fila/columna de celdas. La celda básica es diseñada para soportar un mayor grado de conectividad y puede ser usada para realizar conexiones o funciones de biblioteca, lo que permitirá un mejor ajuste de las zonas de conexión a las características de cada circuito, mejorándose el aprovechamiento de la superficie de silicio.

d) Celdas estándar (*Standard Cells*)

Estos diseños se implantan sobre obleas vírgenes en las que no existe dispositivo preprocesado alguno, por lo que cada nuevo circuito pasará por todas las etapas de fabricación.

El diseño se basa en un conjunto de celdas y macroceldas, precaracterizadas que sirven para un amplio rango tanto de funciones digitales (puertas, registros, PLAs, memorias, etc), y analógicas (conversores A/D y D/A, operacionales, osciladores, etc) así como para circuitos de entrada-salida (PADs). Estas celdas se diferencian de aquellas de los *Gate-Arrays*, en que pueden ser libremente ubicadas en cualquier posición dentro del CI.

Las geometrías (*layouts*) de las celdas simples respetan ciertas restricciones de uniformidad que permiten su ubicación en filas o columnas de longitud variable, separadas por canales de interconexión. Las macroceldas (bloques funcionales) digitales y analógicas son de tamaño variable y están separadas entre sí y de las filas de celdas simples por canales de interconexión (Fig. 5).

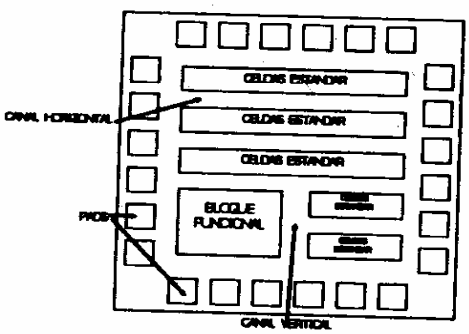


FIG. 5 CIs en base a celdas estándar.

Los circuitos de E/S tienen todos la misma altura y pueden enlazarse lateralmente entre sí por simple adyacencia y se disponen formando un rectángulo alrededor del conjunto de celdas de la región interior.

e) **Lógica programable**

Son dispositivos completamente fabricados y encapsulados, cuya funcionalidad se programa desde el exterior.

2.3 Tecnologías de fabricación

Antes de la concepción de un circuito VLSI el diseñador deberá decidir la tecnología de fabricación, puesto que en función de ella se construirán las topologías circuitales y se prepararán los "layouts". Dependiendo de la tecnología un "layout" tendrá un número diferente de capas a diseñar.

La tecnología que se seleccione dependerá, entre otros factores, de la aplicación para la cual se desarrolla el circuito VLSI propuesto y de las limitaciones tecnológicas que imponen las fundidoras de silicio, ya que son ellas quienes en última instancia definen los parámetros de los circuitos que están en capacidad de producir.

En un corto resumen, las tecnologías de fabricación que se han desarrollado hasta la actualidad son:

2.3.1 Bipolar

La tecnología bipolar más difundida es la *Advanced Low Power Schottky* (ALS), debido a su capacidad de conmutación de muy alta velocidad, bajo ruido y reducción gradual del consumo de potencia. La disipación de calor de los circuitos bipolares es bastante grande por lo que se requieren arreglos de enfriamiento especiales.

2.3.2 Metal-Oxido-Semiconductor (MOS)

Es la más apropiada para circuitos prototipos VLSI, debido a su alta capacidad de integración, pasos de procesamiento relativamente simples, y consumo de potencia bajo. Esta tecnología se está desarrollando rápidamente debido a su gran volumen de aplicaciones, las distancias mínimas dentro del diseño son cada vez menores, lo que origina circuitos de mayor integración con confiabilidad probada.

Las dos tecnologías MOS más difundidas son nMOS y CMOS, siendo esta última la más difundida en la actualidad, su mayor ventaja sobre la tecnología nMOS radica en su mínimo consumo de potencia estática. La tecnología nMOS por otro lado tiene ciertas ventajas en cuanto al área de silicio, que el circuito requiere para obtener una funcionalidad equivalente.

2.3.3 Arseniuro de Galio (GaAs)

Los circuitos implantados en esta tecnología son altamente funcionales debido a su velocidad de conmutación extremadamente alta, baja disipación de potencia interna, alta temperatura de operación y propiedades de antiradiación. Se espera que conforme los costes de fabricación de CIs de GaAs bajen, las aplicaciones comerciales vayan haciéndose factibles.

2.3.4 CMOS-Bipolar (BiCMOS)

Los procesos bipolar y CMOS, pueden ser combinados con éxito en una misma oblea de silicio simple, obteniéndose como resultado la tecnología BiCMOS, en la que se aprovechan las mejores características de las dos tecnologías; esto es, la alta velocidad de conmutación del BJT y el bajo consumo de potencia del CMOS.

3. ESTRUCTURA GENERAL DE UN CI.

Se presenta a continuación la estructura de CI fabricado y se indican particularidades la tecnología CMOS. En la Fig. 6 se presenta esquema general de un CI fabricado. El CI pue considerarse constituido por :

a) La estructura de Silicio resultante d proceso de fabricación, que es conformada por:

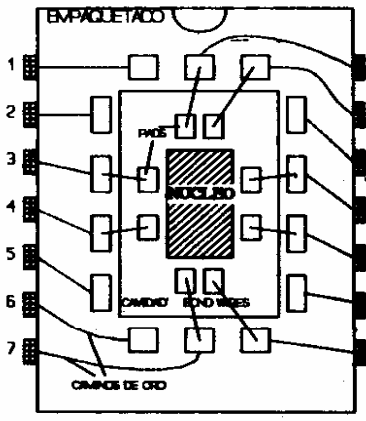


FIG. 6 Estructura general de un CI.

i. El núcleo, que es toda circuitería interna, planificada po el diseñador.

ii. Los PADs que son las estructuras qu permiten realizar el interfaz entr el núcleo y el mundo externo. Deb existir el enrutamiento necesari entre el núcleo y los PADs.

b) El encapsulado, que es la form rectangular, de plástico o cerámica, qu contiene:

i. Una cavidad (*die cavity*), en la cual se deposita la estructura de Silicio.

ii. Los "*bonding PADs*", que no son sim pequeñas formas rectangulares (almohadillas), que mediante caminos de oro se conectan a los pines externos del encapsulado. Estos elementos se encuentran rodeando la cavidad.

iii. Los pines externos y los caminos de oro que los unen a los "*bonding PADs*".

c) Mediante alambres conductores se unen eléctricamente los PADs de la estructura de Silicio con los "*bonding PADs*". A estos alambres se les denomina "*bond wires*".

Los PADs son las estructuras que sirven para proporcionar al CI las señales de entrada y salida así como la alimentación necesaria para

la operación del circuito. De todas las estructuras CMOS que se diseñan, los PADS requieren del mayor grado de conocimiento y experiencia del diseñador. Por esta razón es más bien generalizado utilizar bibliotecas preparadas, que se escojen de acuerdo al proceso de fabricación y requerimientos eléctricos. Por lo tanto el diseñador debe centrar su atención en el diseño del núcleo.

Se presenta como ejemplo un PAD de entrada (Fig. 7), que incluye transistores de entrada, protección contra descargas electrostáticas (a lo que es susceptible una estructura MOS), y la "almohadilla" (pad). Debe mencionarse que los PADs son estructuras de gran tamaño, comparadas sus dimensiones con las de un transistor del núcleo.

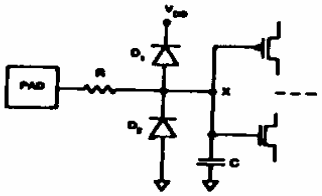


FIG. 7 Estructura de un PAD de entrada.

El proceso de fabricación de los encapsulados requiere procesos tecnológicos complejos, los cuales deben ser el resultado de muchas pruebas mecánicas, térmicas y eléctricas, para asegurar el buen funcionamiento y hermeticidad del CI. Los materiales utilizados pueden ser plástico o cerámica. Una vez que se dispone del "fragmento" de Silicio, éste debe ser fijado en la cavidad del encapsulado utilizando resina epóxica u otras sustancias. Luego el "*bond wire*" debe ser cuidadosamente soldado utilizando métodos de soldadura ultrasónica, por termo-compresión, u otros. Finalmente se procede a sellar la estructura.

4 PROCESO DE DISEÑO DE UN INVERSOR CMOS.

4.1 Fundamentos de circuitos CMOS

El diseñador de CIs opera en un campo de complejidad siempre creciente, en el cual la sofisticación del diseño siempre tiende a ser mayor. Para trabajar de forma eficaz, el diseñador debe explotar totalmente el elemento primitivo utilizado en el diseño de sus circuitos; una comprensión básica de dicho elemento y su operación son escenciales para que el diseñador ejecute su tarea con éxito y esté listo para absorver y evaluar los avances provenientes de las investigaciones realizadas por especialistas en el campo de diseño de circuitos VLSI.

En el diseño de CIs utilizando tecnología CMOS, el elemento primitivo de diseño es el transistor de efecto de campo (*Field Effect Transistor*) del tipo MOS. La tecnología CMOS (*Complementary Metal-Oxide-Semiconductor*) emplea transistores de enriquecimiento tanto canal n (nMOS) como canal p (pMOS).

Descripción básica de la estructura física de un transistor nMOS

En la Fig. 8 se presenta la estructura de un transistor nMOS. La estructura consiste de una sección de silicio tipo "p" (sustrato), parte de la cual se encuentra separando dos áreas de silicio tipo "n". Estas dos áreas se forman por la inyección de impurezas que se difunden en el sustrato y reciben los nombres de sumidero o drenaje (*drain*) y fuente (*source*).

En el área del sustrato que separa las regiones "n" se forma el canal (camino entre drenaje y fuente debido a la inversión del material "p" del sustrato a material tipo "n"), el cual junto con el terminal llamado compuerta (*gate*) forman las tapas de un "sánduche" (condensador) cuyo elemento central es una fina capa de aislante (SiO_2). Puede notarse claramente en la Fig. 8 las dimensiones del canal: W (ancho) y L (longitud).

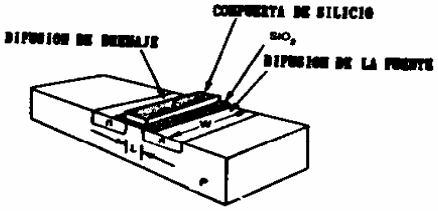


FIG. 8 Estructura del transistor "nMOS".

Como se desprende de esta figura, la estructura de los transistores MOS incluye materiales conductores y aislantes. El elemento semiconductor utilizado para transistores MOS es el Silicio. Se utilizan: materiales tipo "p" y "n" para los sustratos y materiales tipo "p+" y "n+" (materiales fuertemente dopados) para la fuente y drenaje. Los procesos de fabricación actuales no utilizan la compuerta de metal (Al), sino que utilizan Silicio policristalino (*polysilicon*), altamente dopado con Boro. A los dispositivos fabricados con esta técnica se los denomina transistores MOS de compuerta de Silicio (*Silicon Gate MOS transistor*).

El fabricar la compuerta de material semiconductor tiene algunas ventajas, entre ellas, permite una mayor densidad de integración y reduce el voltaje umbral del transistor (V_t), por lo que se requieren menores voltajes de polarización.

Para la operación del dispositivo se debe tener una diferencia de potencial entre compuerta-sustrato y entre drenaje-fuente. La compuerta es un terminal de control que determina la presencia o no de un camino entre drenaje y fuente. La diferencia de tensión aplicada entre drenaje y fuente determina el flujo de corriente.

4.2 Relaciones que determinan el comportamiento de un transistor MOS.

Se considera que para la explicación de las regiones de operación del transistor MOS que se expone a continuación, se tienen conectados los terminales de sustrato y fuente a tierra (Gnd).

4.2.1 Región de corte

En esta región ($V_{gs} < V_t$) la corriente de drenaje-fuente (I_{ds}) crece principalmente debido a efectos de difusión. El valor de la corriente es muy pequeño, aproximadamente cero.

4.2.2 Región lineal

Asumiendo la formación del canal ($V_{gs} > V_t$), la corriente está determinada por la siguiente expresión:

$$I_{ds} = \frac{\epsilon \mu W}{2 t_{ox} L} [2 (V_{gs} - V_t) V_{ds} - V_{ds}^2] \qquad \text{[Ec. 1]}$$

μ_n = movilidad efectiva de los electrones en el canal.
ϵ: permitividad del aislante de la compuerta (SiO_2).
t_{ox}: espesor del aislante de la compuerta.
W: ancho del canal.
L: longitud del canal.
V_{gs}: Voltaje compuerta-fuente.
V_{ds}: Voltaje drenaje-fuente.

De la Ec. 1, se observa que el valor de la corriente depende también de aspectos que se derivan directamente de la geometría y proceso de fabricación del dispositivo.

4.2.3 Región de saturación

Si V_{ds} tiende a V_{gs} o si llega a ser mayor, la capa de inversión no alcanza el extremo del drenaje e incrementos posteriores de V_{ds} prácticamente no tienen influencia en el valor de la corriente. La corriente en esta zona está dada, aproximadamente, por la Ec. 2.

$$I_{ds} = \frac{\epsilon \mu W}{2 t_{ox} L} (V_{gs} - V_t)^2 \qquad \text{[Ec. 2]}$$

4.3 El inversor

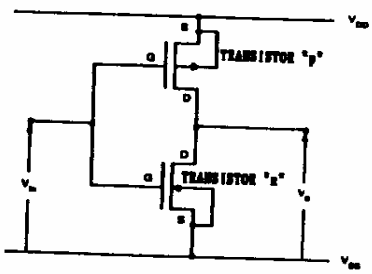


FIG. 9 Esquema circuital del inversor CMOS.

Con el arreglo presentado en la Fig. 9 se garantiza además que la salida nunca quede flotante y cuando uno de los transistores conduce el otro no, por lo que en condiciones estáticas no hay circulación de corriente.

4.4 Estructura física del Inversor CMOS.

Para la tecnología CMOS, se requiere construir sobre una misma base (sustrato) los dos tipos de transistores. Para el caso del inversor de la Fig. 10, el sustrato de Silicio es de tipo "n", para construir el transistor pMOS, solo se deben difundir dos regiones altamente dopadas de tipo "p" y construir los demás elementos de la compuerta.

Para estructurar el inversor, se deben realizar las conexiones tanto del sustrato (tipo "n") como de la fuente a V_{DD} y conectar el drenaje al terminal de salida. La señal de entrada está aplicada a la compuerta.

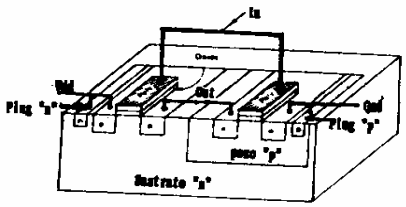


FIG. 10 Estructura física del inversor CMOS

Para construir el transistor nMOS, se deb disponer de una estructura que realice la funciones del sustrato, para el ejemplo se cre por difusión, un pozo (well) de material tip "p", como se indica en la Fig. 10. E transistor nMOS, con todos sus elementos, s construye luego sobre la región del pozo-p Para completar las conexiones del inversor s conectan el pozo-p (que hace de sustrato d transistor nMOS) y la fuente a tierra. S conecta el terminal de drenaje a la salida, finalmente se conecta el terminal de l compuerta a su correspondiente en el transisto pMOS.

Puede optarse también por construir lo circuitos CMOS utilizando un sustrato origina de tipo "p", en cuyo caso el pozo difundid sería de tipo "n".

En la Fig. 10 se aprecia que para la conexiones del sustrato tipo "n" y del pozo-p se utilizan "*plugs*" especiales "n" y "p" respectivamente. Esta estrategia de conexión s utiliza para disminuir la influencia de efecto parásitos que se hacen presentes en l tecnología CMOS. El efecto parásito que s tiende a eliminar con los "*plugs*" es s denominado de *latch-up*. El resultado del efect de *latch-up* es el de provocar la circulación d corrientes de gran valor que pueden ocasiona la autodestrucción del chip. El lugar m favorable para que ocurra el *latch-up* son lo PADs, en donde fluyen corrientes altas y puede ocurrir condiciones anormales de voltaje.

4.5 Procesos de fabricación CMOS

Antes de proceder al diseño de los *layouts* s presenta el proceso de fabricación CMOS de ta manera de dejar clara las diferentes figura geométricas que en cada capa deben diseñarse.

El diseñador no necesariamente tiene qu involucrarse con los procesos de fabricación sin embargo, un conocimiento básico de dicho procesos le ayudará a comprender las bases físicas del interfaz entre el diseño y el proceso de fabricación.

La implantación de un CI involucra tres grandes pasos: el diseño (a nivel funcional, estructural y físico), la preparación de máscaras y la fabricación.

En el nivel de *layout* se describen de manera detallada y exacta todas aquellas formas geométricas que deben ser construidas sobre el Silicio. En la Fig. 11 se presenta la vista superior de la estructura del transistor de la Fig. 8, incluidas las dimensiones L y W. La vista superior incluye la representación de la capa de *polysilicon* y de la capa de difusión que determina los terminales de drenaje y fuente.

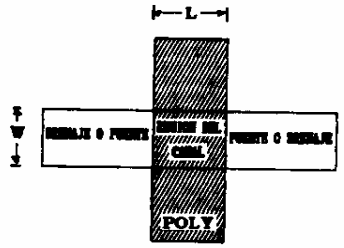


FIG. 11 Vista superior de la estructura de un transistor MOS.

La región del canal y la capa de óxido de la compuerta están definidos implícitamente en el área de intersección de las dos capas. Son representaciones de este tipo las que el diseñador debe manipular en el trabajo a nivel de "*layout*".

Para tener una idea más clara, en la Fig. 12 se presenta la forma del "*layout*" de un inversor CMOS.

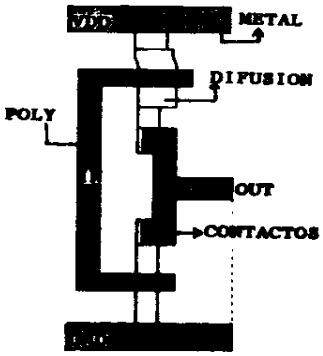


FIG. 12 Layout para el inversor CMOS.

Los materiales representados en la Fig. 12 son el metal, los contactos entre difusión y metal (pequeños cuadrados negros), regiones de difusión para los transistores "n" y "p" y los caminos de *polysilicon*.

En el *layout* se distinguen fácilmente los dos transistores MOS, en los lugares en donde existe cruce de *polysilicon* y difusión. Se puede observar que su representación coincide con la de la Fig. 11, pero rotada 90 grados. El transistor "p" está representado en la parte superior y el "n" en la inferior.

Hay innumerables alternativas de layouts para cumplir una misma función. A pesar de la sencillez del *layout* de la Fig. 12, las capas presentadas no son las únicas a prepararse, el proceso de fabricación exige un mayor número de capas.

La descripción de las formas geométricas se lleva a cabo utilizando lenguajes con un formato determinado. El lenguaje utilizado generalmente es el CIF (*Caltech Intermediate Form*). Este lenguaje es capaz de describir estructuras geométricas planas utilizando notaciones simples y claras para cada una de las capas. Archivos que contienen la descripción de los *layouts*, son el objetivo final del trabajo realizado por el diseñador.

En la Fig. 13 se presenta de manera resumida los pasos a seguirse en el proceso de fabricación. El primer paso es la construcción de un conjunto de máscaras, que contienen imágenes exactas de las formas de los *layouts* en materiales transparentes y opacos y que serán utilizadas para el paso de los patrones que ahora contienen, hacia el Silicio.

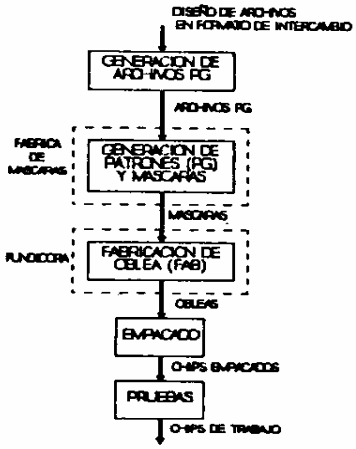


FIG. 13 Proceso de fabricación de un CI.

Una máscara terminada (Fig. 14b) contiene el mismo sistema diseñado repetido cierto número de veces. La Fig. 14a es el elemento base de repetición (*reticle*) de la máscara terminada de la Fig. 14b. En otras palabras, no se fabrica una única muestra a la vez.

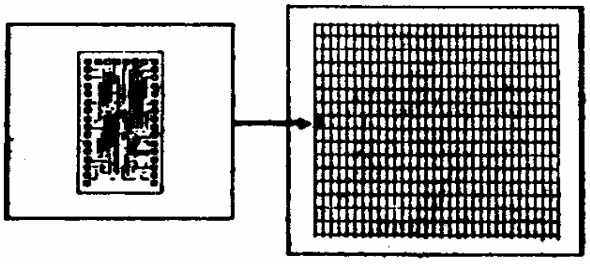


FIG. 14 a) Elemento de repetición.
b) Máscara concluida.

Las fundidoras son modernas y muy sofisticadas fábricas químicas que realizan las "impresiones" de las máscaras sobre el Silicio. A pesar de los controles precisos realizados durante la fabricación, siempre se debe estimar una tolerancia de desalineamiento de las máscaras, lo cual conduce a establecer un conjunto de reglas de diseño, determinadas por el proceso de fabricación, para garantizar que los *layouts* se construyan en el Si en los lugares esperados y de las dimensiones especificadas.

Luego del proceso de fabricación se procede a dividir la estructura construida en fragmentos (*chips*), por las líneas de división de cada elemento de repetición (*scribe lines*). Finalmente se realiza el encapsulado de los *chips*. Estos procesos requieren tecnologías complejas debido a las dimensiones que se manejan. Un *chip* está en el orden de los milímetros por lado. Los pasos descritos se esquematizan en la (Fig. 15).

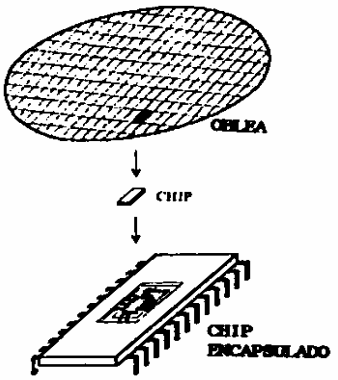


FIG. 15 Secuencia del encapsulamiento.

4.6 Técnicas básicas de fabricación

La implantación del diseño en el Silicio se lo hace partiendo de una oblea o disco de Silicio (Fig. 15). Cada oblea tiene un diámetro comprendido entre 75 y 150 mm y de espesor inferior a 1 mm. Las obleas se cortan de lingotes de Silicio monocristalino, los que se obtienen a partir de Silicio policristalino puro fundido.

Entre los principales procesos que se emplean en la fabricación se tienen:

- oxidación, permite obtener capas de SiO_2, que luego se utilizan para actuar como barrera frente a las impurezas durante el dopaje o como medio para la creación de los patrones en los diferentes materiales, por lo que la creación de éste es sumamente importante.
- difusión, permite la creación de las regiones "p" y "n" en los lugares no protegidos por el SiO_2. Actualmente el proceso de difusión se lo hace generalmente utilizando el método de "Implantación de iones". En este proceso, un gas dopante atraviesa un ionizador, los iones resultantes son acelerados por un par de electrodos y se impacta a la oblea. Los iones chocan contra la superficie del Si a alta velocidad y son colocados en el Si a una profundidad determinada.
- deposición, técnica muy utilizada dentro de los procesos de fabricación, que puede ser de SiO_2, *polysilicon* o metal.

4.7 Creación de un patrón

El proceso se inicia con una oblea limpia (Fig. 16a). La oblea se somete a un proceso de oxidación (Fig. 16b) y luego es cubierta por una delgada capa de resina orgánica (Fig. 16c). La resina se somete a un proceso de "horneado" para asegurar su integridad.

En el instante de la fabricación, el patrón que se desea transferir a la oblea existe como una máscara. Una máscara no es sino una estructura transparente, que sirve de soporte de una fina capa de material opaco (Fig. 16d).

En la Fig. 16d se aprecia que ciertas secciones de material opaco de la máscara son removidas, dejando en la máscara el patrón preciso a ser transferido a la oblea. Las áreas obscuras del material opaco de la máscara coinciden con las áreas en las cuales se desea dejar al SiO_2, mientras que las ventanas abiertas en la máscara corresponden a las área en las cuales se desea removerlo.

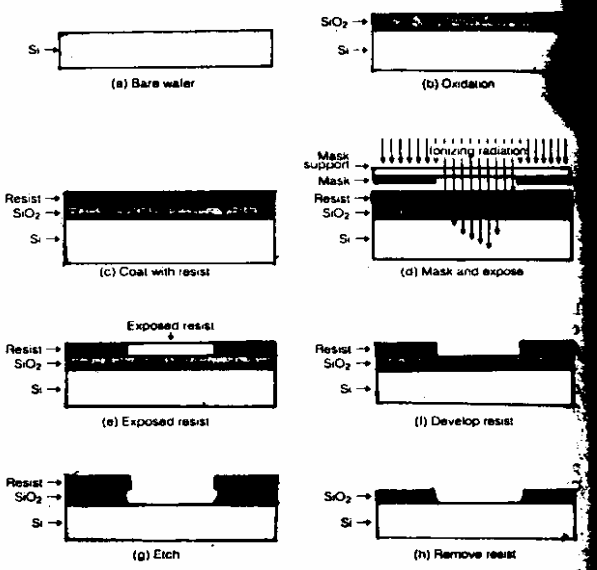


FIG. 16 Creación de un patrón en SiO_2.

Una imagen de la máscara se proyecta a la superficie de la oblea con una fuente de radiación (luz ultravioleta o rayos-X) como se indica en la Fig. 16d. La radiación tiene poco efecto en el SiO_2 y el Si, pero rompe la estructura molecular de la resina (Fig. 16e). Las áreas de la resina expuestas pueden disolverse sumergiendo la oblea en solventes orgánicos, que respetan a la resina no expuesta (Fig. 16f).

En la condición actual, se ha logrado transferir el patrón deseado a la capa de resina. Ahora se debe transferir el patrón al SiO_2, para lo cual se expone la oblea a un "grabador" (*etchant*), que no es más que un gas reactivo ionizado que actuará sobre el SiO_2, pero no sobre la resina orgánica o el Silicio de la oblea (Fig. 16g).

Finalmente se retira la resina, para lo cual puede utilizarse fuertes disolventes orgánicos. El patrón deseado ya transferido al SiO_2 se presenta en la Fig. 16h. En esta condición puede realizarse un proceso de difusión por ejemplo, en el cual, en los lugares en donde está el SiO_2, éste actuaría como barrera.

4.8 Tecnologías de fabricación CMOS

El entender el proceso de creación de un patrón permite tener una visión global del proceso completo de fabricación. Ahora se puede analizar una secuencia particular de patrones para determinado proceso, evitando la repetición de los detalles de la creación de cada patrón para cada capa. El principio básico se repite varias veces cambiando únicamente los materiales involucrados.

Para la fabricación de CIs CMOS existen actualmente cuatro tecnologías dominantes, que son:

1. Proceso de pozo-p (p-well process).
2. Proceso pozo-n (n-well process).
3. Proceso de doble pozo (twin tub process).
4. Silicio sobre aislante (silicon on insulator).

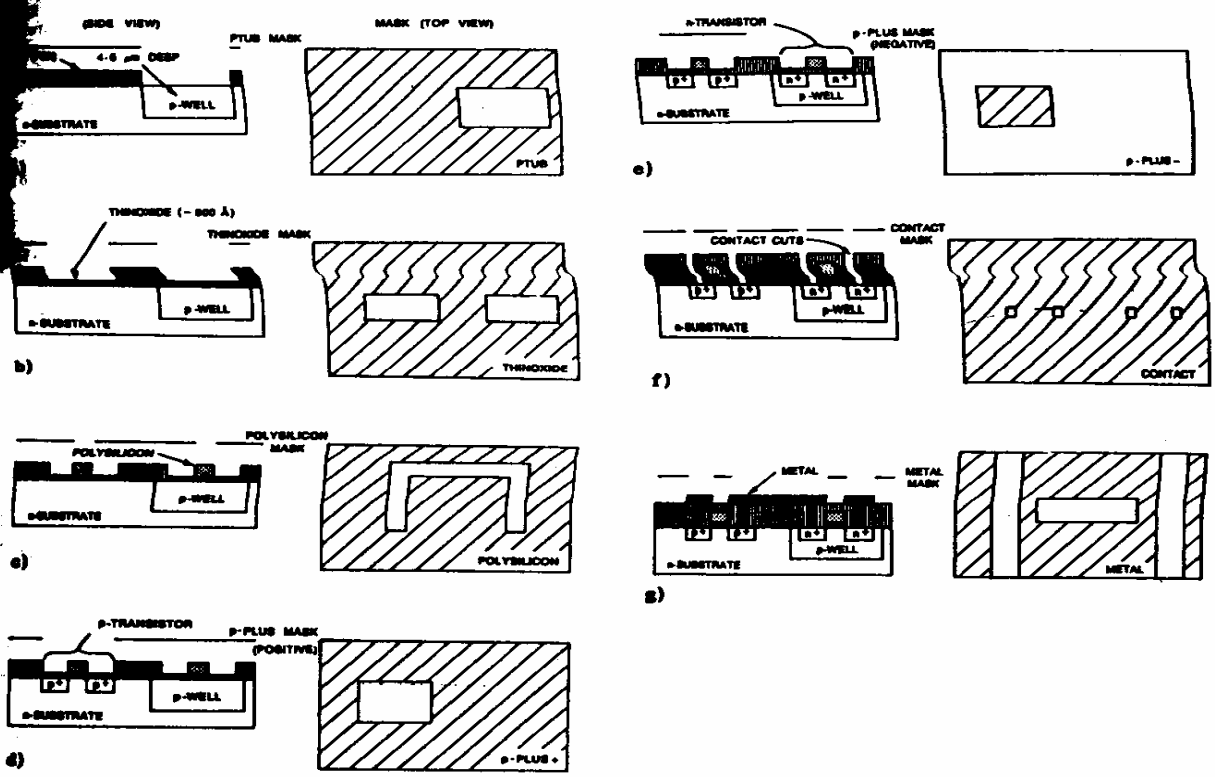


FIG. 17 Pasos típicos de un proceso CMOS de pozo-p.

4.8.1 Proceso de pozo-p (*p-well process*)

La descripción que se expone a continuación es una simplificación de los pasos requeridos en un proceso CMOS típico de pozo-p. En la Fig. 17 se incluye la vista transversal de la oblea y la máscara correspondiente con el patrón a ser trasladado a la oblea, para el caso del inversor. La primera máscara utilizada define el área para el pozo-p (*p-well*), sobre el cual se fabricará el transistor canal"n" (Fig. 17a).

La siguiente máscara es la del área activa o "*thinox*" (Fig. 17b) y define las áreas en donde se formarán los transistores, una para el transistor "n" y otra para el "p".

Se debe ahora, de acuerdo al proceso de compuerta de Si, construir las compuertas de los transistores y los caminos de interconección elegidos en *polysilicon*, dejando grabado únicamente el patrón deseado (una U invertida Fig. 17c).

Una de las principales ventajas de utilizar *polysilicon* para construir la compuerta de los MOSFETs, es la posibilidad de utilizarlo como una máscara durante el proceso de difusión, lo cual permite una definición bastante precisa de las zonas de la fuente y drenaje (proceso *self-aligned*), evitando el sobrelapamiento de la compuerta con las regiones de drenaje y fuente, mejorando las condiciones de operación de los dispositivos fabricados.

La siguiente máscara a utilizar es la del implante "p+", que indica aquellas áreas que van a ser implantadas para formar el material p+ (Fig. 17d).

Utilizando el complemento de la máscara anterior, o una totalmente independiente, se definen las regiones para difusión del tipo n+. A esta máscara se le conoce con el nombre de implante "n+" (Fig. 17 e).

La siguiente máscara (Fig. 17f) define las aperturas en el SiO_2 para las áreas en donde deben realizarse contactos hacia las zonas p+ o n+ utilizando Aluminio.

Debe efectuarse como siguiente paso la "metalización" de la estructura, de acuerdo al patrón deseado (Fig. 17g). En el presente caso, se incluye la interconexión de los terminales de los dos transistores y se cubre también las zonas de los contactos definidos en la máscara anterior.

Como paso final la oblea es "pasivada", lo que se realiza depositanto una gruesa capa de óxido en toda la superficie. El proceso de "pasivación" proteje a la superficie de la oblea del ingreso de contaminantes que pueden modificar el comportamiento de un circuito o hacerlo inservible.

Luego de la "pasivación" se requiere dejar libres ciertas áreas que permitan la conexión de los alambres desde los *PADs* hacia los denominados "*bonding pads*. La máscara en mención se denomina de "*overglass*".

En la Fig. 17g se presenta la forma de la estructura final fabricada; sin embargo, el reultado real no tiene formas definidas por líneas rectas sino más bien irregulares.

4.8.2 Incremento de la capacidad de enrutamiento

Uno de los principales problemas del diseñador es el no tener la suficiente libertad de trazar

los caminos, pues para ello debe generalmente incrementar de manera exagerada el área utilizada. Las soluciones planteadas requieren añadir una o algunas capas de materiales, de los ya utilizados, al proceso descrito anteriormente. Para cumplir el objetivo planteado se utilizan:

a) Doble nivel de metal.
b) Doble nivel de *polysilicon*.
c) Combinaciones de las dos anteriores.

A continuación se describe exclusivamente la primera solución para incrementar los caminos de enrutamiento, la cual consiste en tener otro nivel de metal, lo que implica a su vez en el proceso de fabricación la utilización de una nueva máscara (metal 2).

La interconexión entre el primer nivel de metal (metal 1) y el segundo (metal 2) se realiza por medio de lo que se denomina máscara de "vías", como se indica en la Fig. 18.

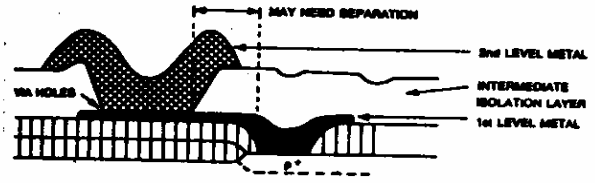


FIG. 18 Proceso que incluye metal 2.

En resumen, un proceso completo de fabricación con doble nivel de metal requiere las máscaras para:

1.	Pozo n ó p	6.	Contactos
2.	Area activa	7.	Metal 1
3.	*polysilicon*	8.	Vía
4.	implante p+	9.	Metal 2
5.	implante n+	10.	Overglass

En la Fig. 19 se presenta un "layout" más completo para el inversor CMOS, que incluye las máscaras 1 a 7.

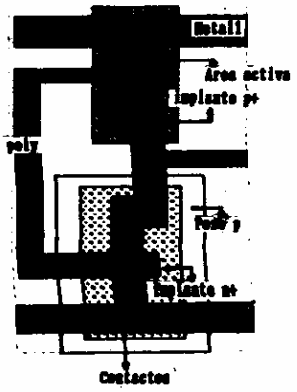


FIG. 19 Layout completo de un inversor

4.9 *Interfaz diseño - fabricación*

Durante la fabricación existen factores que ocasionan que las formas transferidas a la oblea no sean exactamente las mismas que tenían los *layouts* preparados por el diseñador. Estos factores pueden ser: el desalineamiento de las máscaras, variaciones en los extremos de los patrones en la resina, variaciones en las dimensiones de las áreas requeridas durante el proceso de grabado, esparcimiento de las zonas de difusión causando sobrelapamientos con las compuertas de los transistores, pequeñas variaciones en las dimensiones de los patrones realizados con SiO_2, distorsión de la oblea debido a procesos a altas temperaturas.

Como ya se ha mencionado, actualmente el diseñador opera a un nivel cuya meta final es entregar las descripciones de sus *layouts* y no se preocupa de los detalles de parámetros muchas veces complejos dependientes de los procesos de fabricación. Para conseguir este objetivo, se han desarrollado un conjunto de reglas que el diseñador debe cumplir durante la preparación de sus *layouts*. Estas reglas reducidas a su forma más simple, se conocen como "reglas de diseño o de layout".

Las reglas de diseño no son sino un conjunto de limitantes en el diseño de los *layouts*, de tal manera que los patrones resultantes sobre la oblea conserven la topología y geometría de los diseños. Las reglas de diseño pueden agruparse en dos conjuntos:

a) Un conjunto de reglas que determinan el ancho mínimo de los caminos y las separaciones mínimas requeridas entre ellos, en cada capa.

b) Un conjunto de reglas que prevee posibles interacciones entre diferentes capas. En este caso se consideran restricciones en cuanto a sobrelapamientos y extensiones.

Existen varias alternativas a considerar para describir las reglas de diseño.

a) Las reglas "*micron*", que son el estilo normal en la industria, se presentan como una lista de dimensiones y espaciamientos mínimos para todas las máscaras requeridas en un proceso, expresadas en µm.

b) Las reglas basadas en el parámetro *lambda*. La ventaja de presentarlas de esta manera es que no se incluyen dimensiones y más bien se las presenta como valores permisibles en función de una unidad básica de medición, ésto permite su vigencia a pesar de la tendencia a la disminución de las dimensiones.

   Todos las dimensiones se dan en términos de esta unidad elemental a la que se le denomina "*lambda*". En 1978, *lambda* tenía un valor inferior a 3 µm para procesos comerciales típicos. Actualmente se tiene valores de *lambda* de 0.5 µm e incluso valores inferiores a éste.

En la Fig. 20 se presentan unas pocas reglas de la máscara de *polysilicon* para el proceso de fabricación de pozo-p.

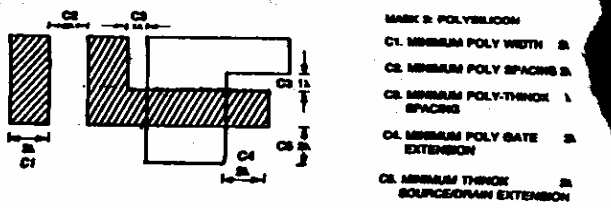


FIG. 20 Ejemplo de Reglas de diseño *lambda*

ancho mínimo para los caminos en *ysilicon* es 2 *lambda*.

a regla se aplica para la formación de sistores. Una región de difusión ada por una de *polysilicon*, forma un sistor. Para asegurar que en la ión de difusión, en el extremo derecho la compuerta (Fig. 20), no se forme un ino entre las regiones de drenaje y nte, se extiende el *polysilicon* 2 *tda* respecto al límite del *thinox*.

ACTERIZACION Y ESTIMACION DEL CIONAMIENTO DE CIs

pletar un diseño es necesario realizar timación aproximada del comportamiento cuito (velocidad, potencia, corriente, ara lo cual es necesario conocer los ros eléctricos de los transistores y de erentes materiales que conforman el CI.

apa de material utilizado tiene una ncia y capacitancia asociadas, de ntal importancia al estimar el tamiento del circuito diseñado. También ne una inductancia asociada, que por su y efectos mínimos, puede ser despreciada. inición de modelos para determinar estos tros eléctricos es fundamental para la ación de los retardos de las señales y del o de potencia.

ocimiento de los valores de resistencias citancias permiten también determinar las tudes máximas que pueden utilizarse en minado material como caminos de tamiento para llevar señales de un lugar a entro del CI.

stimaciones que se realizan, a pesar que tilizan modelos simplificados, intentan er al diseñador del suficiente cimiento de los parámetros fundamentales afectan el comportamiento del circuito. análisis puede presentar no muy buenas timaciones, pero su utilidad radica en itir la comprensión de dichos parámetros; luego pueden ser incorporados a los modelos los programas de simulación escritos para ular circuitos grandes y complejos.

CHIPS MULTI-PROYECTO

el ambiente de diseño de CIs, ha ganado laridad la técnica de diseñar sistemas des y complejos en módulos. Estos módulos subsistemas se fabrican y se prueban hasta rlos completamente depurados. Al final se gran todos los subsistemas y se genera el *out* de todo el sistema. Utilizar esta ica permite verificar si los diseños lógi- layout e implementación de un subsistema correctos, con la ventaja adicional de ir las características de retardo y consumo potencia, obteniendo de esta manera más rmación que la que se obtendría con la ricación del sistema completo.

esquemas denominados chips multiproyecto o yectos multiusuario (PMU) permiten tribuír y organizar los layouts de muchos ueños proyectos sobre una oblea para su bricación. Una vez fabricados, la oblea se ivide en chips individuales y varias muestras de cada diseño son distribuidas entre los participantes.

La organización de un chip multiproyecto involucra:

a) Crear el *layout* de una estructura inicial, en la cual se introducen todos los proyectos.

b) Distribuir el espacio disponible, si fuera del caso posteriormente redistribuirlo y finalmente unir los *layouts* de todos los proyectos, en la estructura inicial creada.

c) Generar el archivo final de descripción de los *layouts*.

El uso de los chips multiproyecto permite una drástica disminución de los costos en el desarrollo de CIs de bajo volumen de producción y de ASICs.

Algunos Centros de Microelectrónica ofrecen servicios de fabricación de prototipos para diseño VLSI, recogiendo diseños de universidades, politécnicas, centros de investigación y desarrollo y firmas comerciales. Esto permite compartir los costos relacionados con la fundición. Todos estos aspectos permiten desarrollar CIs a un gran número de diseñadores con una mínima inversión de herramientas.

7 HERRAMIENTAS DE DISEÑO VLSI

La clave del éxito del diseño de CIs en la actualidad descansa en el desarrollo de herramientas poderosas de diseño, simulación y verificación, que ayudan al diseñador a producir su circuito.

Todas las metodologías de diseño tratan de establecer caminos dentro y entre los diferentes niveles de diseño, incorporando todas las herramientas CAD posibles, con miras a alcanzar los objetivos siguientes:

a) Reducir la complejidad y el tiempo de concepción de CIs.

b) Asegurar la implantación de diseños funcional y topológicamente correctos.

c) Garantizar la posibilidad de simular y verificar los diseños.

d) Optimizar la superficie ocupada por el diseño físico, a fin de aumentar el rendimiento de producción y reducir sus costos.

e) Desarrollar metodologías de diseño cuya dependencia del proceso tecnológico sólo afecte a los niveles más bajos de descripción de los CIs..

7.1 Herramientas de descripción del diseño

Los diseños se formulan mediante herramientas basadas en lenguajes de descripción y/o captura esquemática.

7.1.1 Lenguajes de descripción

Permiten la descripción para el análisis, simulación y síntesis de los diseños. Al igual que los lenguajes de programación, se requiere de un compilador que realice el control sintáctico/semántico de cada descripción y que construya las estructuras de datos correspondientes.

7.1.2 Captura esquemática

Los lenguajes de descripción se complementan con herramientas de captura gráfica de esquemas basadas en el uso de bibliotecas de componentes, celdas y generadores automáticos de módulos. Deben permitir la verificación de la conectividad correcta del esquema, así como la generación de las descripciones circuitales adecuadas para las siguientes etapas de diseño.

7.2 Herramientas de síntesis

La síntesis es un proceso de refinamiento progresivo que traduce descripciones de alto nivel de abstracción en otras de bajo nivel. Se pueden distinguir tres niveles de síntesis:

a) Síntesis funcional.
b) Síntesis lógica.
c) Síntesis física.

Para evaluar los procesos de síntesis se deben considerar las siguientes características:

a) Lenguajes de descripción que se utilizan en cada caso, y sus relaciones con los estandarizados.

b) Capacidad de simulación después de cada proceso de síntesis, y posibilidad de comparación de los resultados de síntesis simulación con las descripciones y/o simulaciones de las etapas anteriores.

c) Grado de flexibilidad en cuanto a los tipos y características de los módulos de las bibliotecas a emplear para la síntesis física.

d) Mecanismos de registro disponibles para reflejar las particularidades de una implantación física en las descripciones de nivel estructural/funcional superiores.

e) Posibilidades de documentación de cada una de las fases.

7.3 Editores de layout

El objetivo último de las herramientas de diseño VLSI es obtener una descripción de la disposición geométrica del layout del circuito diseñado. Para ello existen los ***editores de layout (o máscaras)*** consistentes en interfaces gráficas "CADs" que permiten manejar los diseños en forma gráfica encargándose el programa de la generación del formato CIF o similares.

7.4 Extractores circuitales

El extractor circuital es un programa que, a partir de la descripción del layout de un CI (p. ej. archivos CIF) examina las interrelaciones existentes entre sus máscaras y determina la existencia de transistores y otros componentes, junto con sus nodos de enlace, produciendo como salida la descripción de la red eléctrica equivalente (***NETLIST***).

7.5 Verificadores de reglas de conectividad

Las reglas de conectividad examinan la funcionalidad eléctrica del diseño (independientemente de su formulación geométrica) y dependen de la tecnología en que éste haya sido implantado. Los verificadores de reglas de conectividad analizan características tales como: número máximo de transistores en serie, en paralelo, carga asociada a los nodos de salida, existencia de nodos sueltos, o de transistores colgados o sin polarización, etc.

7.6 Verificadores de reglas geométricas (DRC)

Los verificadores de reglas de diseño ó DRCs son piezas de hardware o software usadas para comprobar que, independientemente de la funcionalidad lógica o eléctrica del circuito, todas las reglas geométricas de diseño tecnología seleccionada hayan sido cump

7.7 Simuladores

Las herramientas de simulación son utili para predecir el comportamiento y funcion de los diseños de CIs. Este proces imprescindible antes de abordar cada eta síntesis entre los niveles de abstracció diseño, por ello, los simuladores deben capaces de soportar los tipos de descrip modelación y bibliotecas de cada nivel.

Dependiendo del grado de abstracción de características del circuito diseñado, tienen distintos tipos de simuladores, e ellos:

a) Simuladores funcionales

b) Simuladores lógicos o de nivel compuerta, que utilizan como primiti de simulación compuertas NOT, AND, NAND y NOR.

c) Simuladores circuitales: aquellos originan informaciones detalladas de niveles de señal y retrasos en cada del circuito, se basan en mode matemáticos de sus elementos.

7.8 Verificadores de temporización

Los verificadores de temporización proveen diseñador de información sobre los retrasos las señales a través de los caminos circuito. Realizan un análisis estadístico sentido de flujo de las señales en todos transistores que combinado con un conjunto parámetros dependientes de la tecnología diseño, permitirá evaluar los retrasos serán críticos en la operación real del ci cuito.

7.9 Herramientas de enrutamien (interconexión)

Una de las etapas más importantes en generación del layout de un circuito es búsqueda del camino óptimo para realizar interconexión que permita llevar las señal entre sus componentes.

8 COMENTARIOS Y CONCLUSIONES

1 Existen diversas opciones de diseñ referentes tanto a la metodologí (FullCustom, Semi-Custom y Lógic Programable), como al proceso tecnológic de fabricación (Bipolar, Metal-Oxido Semiconductor, Arseniuro de Galio y CMOS-Bipolar).

2 El enfoque presentado en este artículo trata de dar una visión global del proceso de diseño de ASICs, incluyendo un resumen de las herramientas que por le general se utilizan en el proceso de diseño.

3 Tomando un circuito elemental (el inversor), se ha presentado el proceso completo de diseño de un circuito integrado. Por tratarse de un circuito sencillo, la concepción a nivel funcional, lógico y circuital es evidente, y se ha dado más importancia a los factores a ser considerados durante la elaboración del layout; con esté propósito se presenta el proceso de

abricación completo hasta disponer de os prototipos encapasulados.

a metodología convencional de diseño, mplica un trabajo en los tres niveles de iseño (funcional, lógico y físico), iendo necesaria una verificación igurosa en la transición entre ellos lebido a la dificultad creciente en la corrección de los errores a medida que se desciende de nivel.

Durante el desarrollo de un ASIC, puede ser necesario un proceso repetitivo en un mismo nivel de diseño hasta conseguir los resultados esperados; en algunas ocasiones es necesario reformular las soluciones planteadas en los niveles de diseño anteriores.

Existen ambientes integrados de trabajo que incluyen muchas de las herramientas mencionadas en este artículo. Algunos de estos ambientes son de un nivel muy depurado en los que los "*layouts*" se generan automáticamente y sin errores, lo que combinado con estaciones de trabajo poderosas incrementan la productividad de los diseñadores, eliminando las actividades repetitivas y de rutina.

Los costos de fabricación de un prototipo son muy altos. Los Proyectos Multiusuario (PMU) permiten obtener prototipos de los diseños realizados gracias a que se comparten los costes de fabricación.

Gracias a la participación de la EPN en el PMU Iberoamericano, el Grupo de Microelectrónica de la EPN ha diseñado ya dos circuitos integrados, los cuales fueron enviados a una fundidora europea, disponiéndose *actualmente* de estos primeros prototipos en el País. Al momento, el Grupo de MIcroelectrónica de la EPN, se encuentra desarrollando nuevos diseños analógicos y digitales con tecnología CMOS.

El resumen presentado es parte de un trabajo mucho más amplio realizado por el Grupo de Microelectrónica de la EPN y que servirá para futuras incursiones en diseño VLSI.

El incursionar en el diseño de ASICs abre la posibilidad a instituciones públicas y privadas para la utilización de la tecnología VLSI en sus aplicaciones, logrando de esta manera consolidar industrias de mayor productividad.

BIBLIOGRAFIA

ERNAL I - LEMUS F., Diseño de Circuitos ntegrados de Aplicación Específica (ASICs) igitales con Tecnología CMOS. Tesis de grado, PN, Ecuador, 1992.

GUILO JORDI - TERES LLUIS, ASIC's: etodologías y herramientas de diseño, 1991.

BONNEVILLE MICROELECTRONICS Inc., FORESIGHT and MOSIS accessed by PPL, U.S.A., 1990.

CENTRO NACIONAL DE MICROELECTRONICA, Servicio MPC del CNM, Barcelona - España, 1991.

CTI - INSTITUTO DE MICROELECTRÔNICA, Empacotamento Electrônico de Circuitos Integrados, Brasil, 1991.

MEAD CARVER - CONWAY LYNN, Introduction to VLSI Systems, Addison Wesley, U.S.A., 1980.

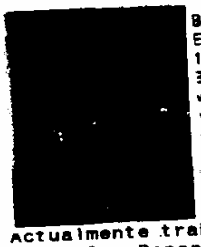
MORAES F. - REIS R., Gerenciador de software para Microelectrônica, UFGRS-Brasil, 1991.

MUKHERJEE AMAR, Introduction to nMOS and CMOS VLSI Systems Design, New Jersey, 1986.

VAN DER ZIEL ALDER, Solid State Physical Electronics, Prentice Hall, New Jersey, 1968.

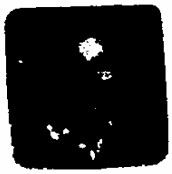
WESTE NEIL - ESHRAGHIAN KAMRAN, Principles of CMOS VLSI Design, Addison Wesley, U.S.A., 1988.

BIOGRAFIAS



BERNAL, IVAN.- Nació en Quito-Ecuador el 24 de noviembre de 1967. Obtuvo el título de Bachiller en Humanidades Modernas en el Instituto Nacional Mejía en 1985. Sus estudios superiores los realizó en la Escuela Politécnica Nacional y obtuvo el título de Ingeniero en Electrónica y Telecomunicaciones en 1992. Actualmente trabaja como Profesor Asistente en en el Departamento de Electrónica y Telecomunicaciones de la EPN. Es miembro fundador del Grupo de Microelectrónica de la EPN. Coordinador técnico por el Ecuador en el Proyecto Multiusuario Iberoamericano del CYTED.

LEMUS, FREDY.- Nació en Quito-*Ecuador* el 4 de Enero de 1968. Obtuvo su título de Bachiller en Humanidades Modernas en el Colegio Técnico Aeronáutico de Aviación Civil en 1985. Sus estudios superiores los realizó en la Escuela Politécnica Nacional y obtuvo el título de Ingeniero en Electrónica y Telecomunicaciones en 1992. Es miembro fundador del Grupo de Microelectrónica de la EPN. Actualmente trabaja en la empresa Grupo Tecnológico MAINT-Intelnet, como Ingeniero en Redes de Computadores.



MONTALVO, LUIS.- Nació en Quito-Ecuador el 3 de agosto de 1955. Obtuvo el título de Ingeniero en Electrónica y Telecomunicaciones en la Escuela Politécnica Nacional (1982). Becado por la Comisión Fulbright y auspiciado por la Escuela Politécnica Nacional obtuvo el título de MSc. en Computer Engineering en Ohio University, Athens, Ohio (1986). Fue asistente de cátedra en el laboratorio de Robótica en el departamento de Ingeniería Eléctrica y Computación en Ohio University (1984 - 1986). Desde 1981 hasta la fecha trabaja en el área de Sistemas Digitales en el Departamento de Electrónica y Telecomunicaciones de la EPN. Es miembro fundador del Grupo de Microelectrónica de la EPN. Actualmente se encuentra realizando trabajos de investigación en el laboratorio TIM3 en Grenoble-Francia. Sus principales áreas de interés son: Microprocesadores, Diseño VLSI y Procesamiento de Imágenes.