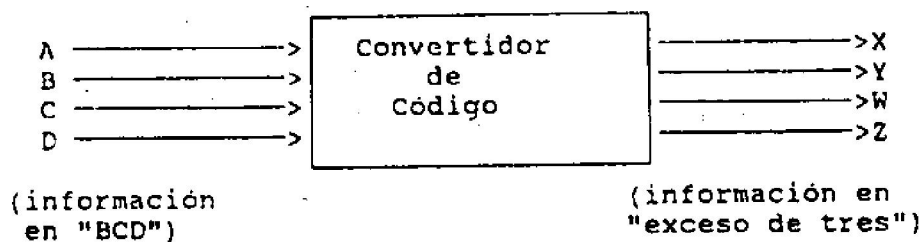


## CAPITULO V

### CIRCUITOS COMBINACIONALES COMPLEJOS

#### \* CONVERTIDORES DE CODIGO.-

Los circuitos convertidores de códigos son sistemas lógicos combinacionales que reciben una información en un determinado código en su entrada y entregan en su salida la misma información en otro código. Por ejemplo, se recibe información en el código BCD y se desea convertir la misma información al código "exceso de tres".



Para determinar el circuito lógico de este convertidor es necesario, primeramente, encontrar cada una de las cuatro funciones de salida que dependen de las entradas del circuito. La tabla de verdad es entonces:

ENTRADAS				SALIDAS			
"BCD"				"EXCESO DE TRES"			
A	B	C	D	X	Y	W	Z
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

Para obtener las funciones correspondientes, debemos considerar que de acuerdo a como están definidos estos códigos, las combinaciones binarias correspondientes a los números: 10, 11, 12, 13, 14 y 15 nunca estarán presentes en la entrada. Por lo tanto, las funciones para cada una de las salidas son:

$$\begin{aligned} X &= \sum m(5, 6, 7, 8, 9) + d(10, 11, 12, 13, 14, 15) \\ Y &= \sum m(1, 2, 3, 4, 9) + d(10, 11, 12, 13, 14, 15) \\ W &= \sum m(0, 3, 4, 7, 8) + d(10, 11, 12, 13, 14, 15) \\ Z &= \sum m(0, 2, 4, 6, 8) + d(10, 11, 12, 13, 14, 15) \end{aligned}$$

Dibujando los mapas de Karnaugh para cada una de estas funciones se tiene:

"distribución por columnas"

Para X:

		A			
C	1	5	13 x	17	D
	2	6	14 x	18	
	3	7	15 x	19	
	4	8	16 x	20	
		B			

Para Y:

		A			
C		1	x		D
	1		x	1	
	2		x	x	
	3		x	x	
		B			

UNIVERSIDAD POLITÉCNICA NACIONAL  
INSTITUTO DE TECNOLOGOS

Para W:

A			
1	1	x	1
		x	
1	1	x	x
		x	x
B			
C		D	

Para Z:

A			
1	1	x	1
		x	
		x	x
1	1	x	x
B			
C		D	

De los mapas de Karnaugh obtenemos las siguientes expresiones mínimas:

$$X = A + BD + BC$$

$$Y = BC'D' + B'D + B'C$$

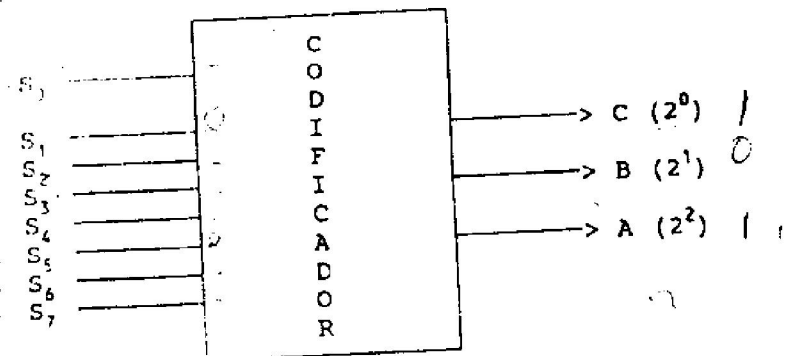
$$W = CD + C'D'$$

$$Z = D'$$



ESCUELA POLITÉCNICA NACIONAL  
INSTITUTO DE TECNOLOGÍAS

uno), a la salida aparece la combinación binaria correspondiente al número decimal a dicha entrada. De acuerdo con esto, los circuitos codificadores transforman una información decimal en información binaria equivalente para nuestro ejemplo.



Analizando el circuito propuesto se tiene:

- a.- El número de entradas es  $2^3 = 8$  y a cada una de ellas se les ha asignado un número decimal del cero al siete.
- b.- El número de salidas es  $n = 3$  y a cada una de ellas corresponde un dígito binario con la ponderación indicada.
- c.- Las entradas en su posición de reposo entregan un uno lógico al circuito codificador, y un cero lógico cuando están activas, sin poder estarlo más de una a la vez.

Puestas las condiciones se puede determinar el circuito lógico del codificador. Lo que se desea de este circuito es que cada vez que se presione una entrada (es decir se conecte a tierra o se entregue un cero lógico al codificador) se tenga en las salidas (A, B y C) escrito en binario el número correspondiente a la entrada presionada. Por ejemplo, si se presiona  $S_5$ , las salidas deberán ser:

$$A = 1$$

$$B = 0$$

$$C = 1$$

Para determinar el circuito se analizará la siguiente tabla de verdad, la cual resume lo dicho hasta este momento:

Tipo. Mónica Vinuesa R.

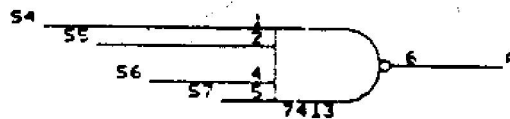
ENTRADAS	SALIDAS		
	A	B	C
$S_0$	0	0	0
$S_1$	0	0	1
$S_2$	0	1	0
$S_3$	0	1	1
$S_4$	1	0	0
$S_5$	1	0	1
$S_6$	1	1	0
$S_7$	1	1	1

Para salida "A":

Cada vez que se presione (0 lógico)  $S_4$ ,  $S_5$ ,  $S_6$  o  $S_7$ , debe aparecer un uno lógico a la salida y cuando no hay ninguno de ellos conectados, (uno lógico) debe haber un cero. Resumamos esto en una tabla.

$S_4$	$S_5$	$S_6$	$S_7$	A
1	1	1	1	0
0	1	1	1	1
1	0	1	1	1
1	1	0	1	1
1	1	1	0	1

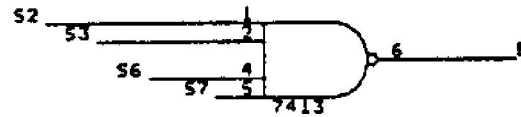
Esto es una compuerta NAND, que necesita que todas sus entradas sean uno para tener salida cero, y basta un cero a la entrada para que su salida sea uno. Por lo tanto, el circuito para la salida "A" será:



Para salida "B":

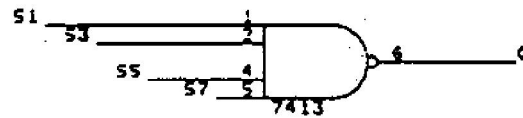
En forma análoga para lo hecho para la salida "A" se obtiene la siguiente tabla y circuito:

$S_2$	$S_3$	$S_6$	$S_7$	B
1	1	1	1	0
0	1	1	1	1
1	0	1	1	1
1	1	0	1	1
1	1	1	0	1



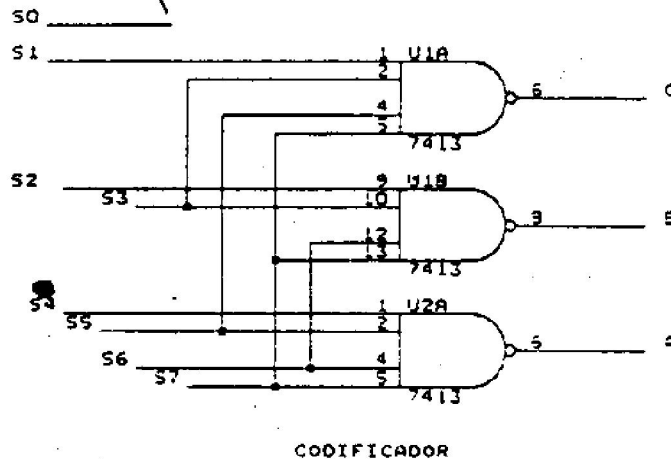
Para salida "C":

$S_1$	$S_3$	$S_5$	$S_7$	C
1	1	1	1	0
0	1	1	1	1
1	0	1	1	1
1	1	0	1	1
1	1	1	0	1



Nótese que basta con que todos los conmutadores estén desconectados para que el codificador entregue una salida cero en binario, luego  $S_0$  se puede omitir para este circuito.

A continuación se muestra el circuito codificador analizado:



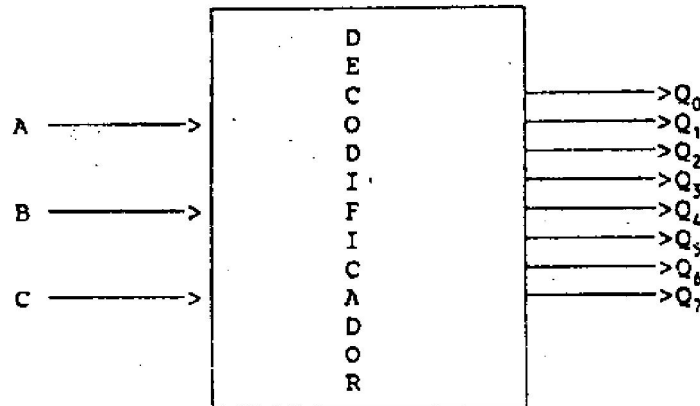
Para codificadores existen muchos tipos de circuitos y formas de análisis, pero básicamente se puede decir que son transformadores de información decimal a binaria.

#### •DECODIFICADORES.-

Un decodificador es un circuito combinacional que convierte la información binaria de  $n$  líneas de entrada a un máximo de  $2^n$  líneas únicas de salida. Si la información decodificada de  $n$  bits tiene combinaciones no usadas o de no importa, la salida del decodificador tendrá menos de  $2^n$  salidas.

Los decodificadores mencionados se denominan decodificadores  $n$  línea de  $n$  a  $m$ ; en donde  $m < 2^n$ . El nombre decodificador se utiliza conjuntamente con cierto tipo de convertidores de código tal como el decodificador BCD a 7 segmentos.

Manera de ejemplo analicemos el siguiente circuito:



Las tres entradas se decodifican en 8 salidas y cada salida representa uno de los términos mínimos (pueden ser términos máximos) de las variables de tres entradas. Esto se puede resumir en la siguiente tabla de verdad:

ENTRADAS			S A L I D A S							
A	B	C	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>	Q <sub>4</sub>	Q <sub>5</sub>	Q <sub>6</sub>	Q <sub>7</sub>
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

De la tabla de verdad y en forma directa obtenemos las siguientes expresiones lógicas para cada una de las salidas:

$$Q_0 = A + B + C = \overline{A'B'C'}$$

$$Q_1 = A + B + C' = \overline{A'B'C}$$

$$Q_2 = A + B' + C = \overline{A'B'C'}$$

$$Q_3 = A + B' + C' = \overline{A'B'C}$$

$$Q_4 = A' + B + C = \overline{A'B'C'}$$

$$Q_5 = A' + B + C' = \overline{A'B'C}$$

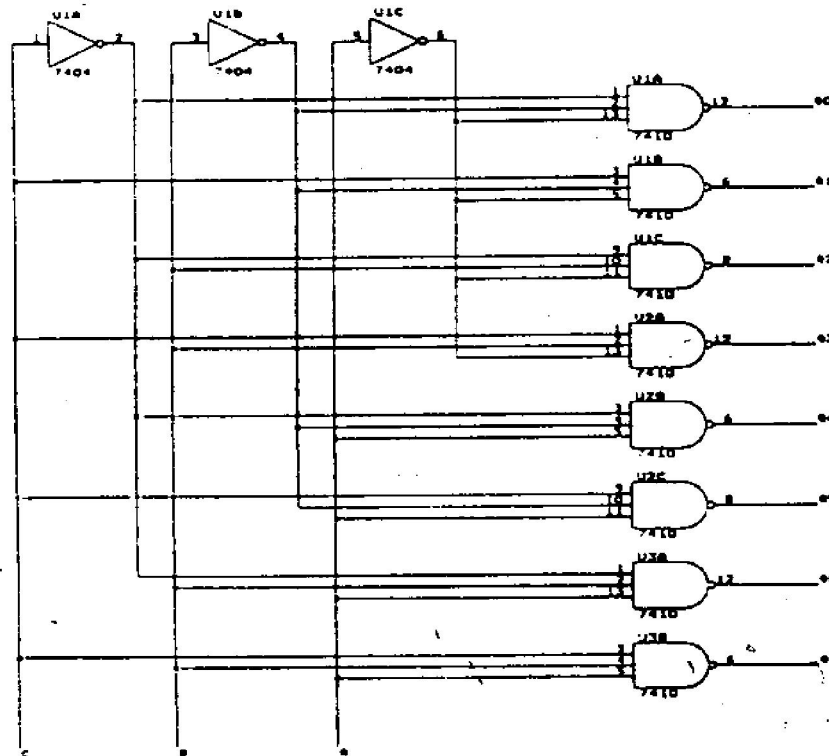
$$Q_6 = A' + B' + C = \overline{A'B'C'}$$

$$Q_7 = A' + B' + C' = \overline{A'B'C}$$

circuito para este decodificador se muestra a continua-  
ción:

SEUELA POLITECNICA NACIONAL  
INSTITUTO DE TECNOLOGOS

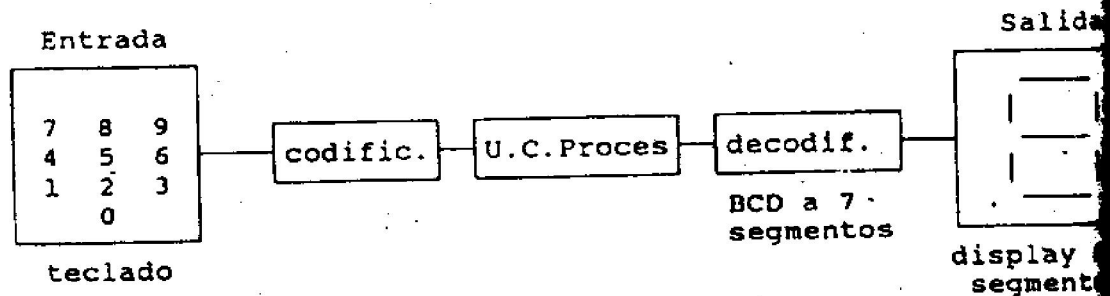
PAG. 68



#### \*DECODIFICADORES BCD Y DISPLAYS DE 7 SEGMENTOS.

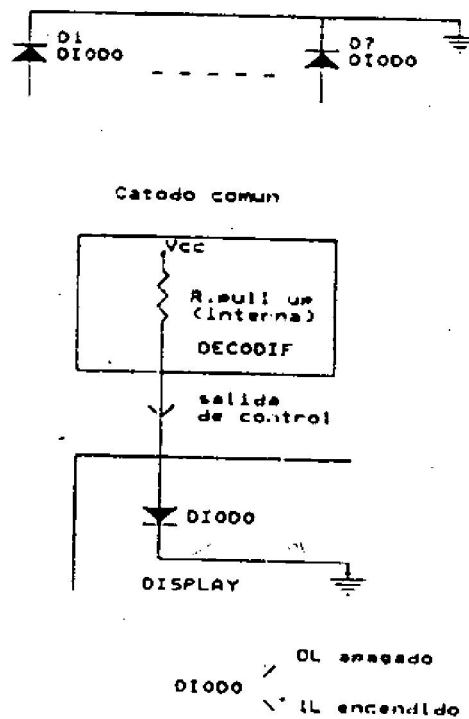
En situaciones reales, nos interesa ingresar información, procesarla y obtener una respuesta. En la mayoría de los casos en circuitos digitales esa respuesta es en forma visual, que nos permita valorar la información procesada, ejemplo: calculadoras.

Veamos el siguiente diagrama de bloques:

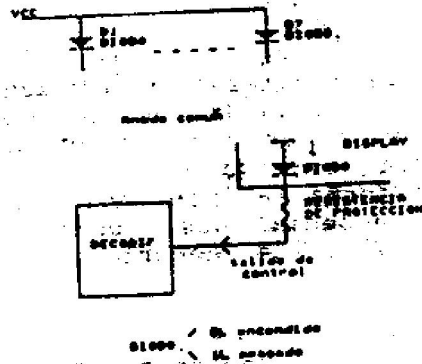


El sistema de entrada a la izquierda es el conjunto de teclas. Entre este conjunto y la unidad del procesador central (CPU) de la calculadora existe un codificador que traduce el número decimal de la tecla oprimida a un código binario. El decodificador de BCD transforma la información binaria enviada de la CPU a un código especial que ilumina los segmentos apropiados en la pantalla de siete segmentos.

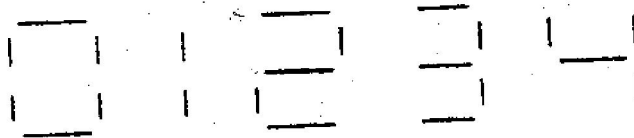
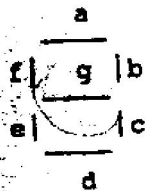
Este display es un arreglo de diodos en configuración de ánodo común o cátodo común.



CUELA POLITECNICA NACIONAL  
INSTITUTO DE TECNOLOGOS



Identificación:



La tabla de verdad del decodificador es la siguiente:

ENTRADAS				EN EL DISPLAY	SALIDAS						
D	C	B	A		a	b	c	d	e	f	g
0	0	0	0		1	1	1	1	1	1	0
0	0	0	1		0	1	1	0	0	0	0
0	0	1	0		1	1	0	1	1	0	1
0	0	1	1		1	1	1	1	0	0	1
0	1	0	0		0	1	1	0	0	1	1
0	1	0	1		1	0	1	1	0	1	1
0	1	1	0		0	0	1	1	1	1	1
0	1	1	1		1	1	1	0	0	0	0
1	0	0	0		1	1	1	1	1	1	1
1	0	0	1		1	1	1	0	0	1	1
1	0	1	0		x	x	x	x	x	x	x
1	0	1	1		x	x	x	x	x	x	x
1	1	0	0		x	x	x	x	x	x	x
1	1	0	1		x	x	x	x	x	x	x
1	1	1	0		x	x	x	x	x	x	x
1	1	1	1		x	x	x	x	x	x	x

símbolo no  
utilizado.

La representación de las salidas en función de las entradas sería:

Salida a:

				B	
		1	0	1	1
		0	1	1	0
D	x	x	x	x	x
	1	1	x	x	x
		A		C	

$$F = A'C' + D + AC + AB$$

Salida b:

		B		
	1	1	1	1
	1	0	1	0
D	x	x	x	x
	1	1	x	x
		A		

$$F = D + C' + A'B' + AB$$

Salida c:

		B		
	1	1	1	0
	1	1	1	1
D	x	x	x	x
	1	1	x	x
		A		

$$F = A + B' + C$$

Salida d:

		B		
	1	0	1	1
	0	1	0	1
D	x	x	x	x
	1	0	x	x
		A		

$$F = A'B + A'C' + BC' + AB'C$$

ESCUELA POLITÉCNICA NACIONAL  
 INSTITUTO DE TECNOLOGOS

PAG.

Salida e:

		B		
	1	0	0	1
	0	0	1	0
D	x	x	x	x
	1	0	x	x
		A		

$$F = A'C' + ABC$$

Salida f:

		B		
	1	0	0	0
	1	1	0	1
D	x	x	x	x
	1	1	x	x
		A		

$$F = D + A'B' + A'C + B'C$$

Salida g:

				D
	0	0	1	1
	1	1	0	1
	x	x	x	x
D	1	1	x	x
				A
				C

$$F = D + A'B + BC' + B'C$$

Los decodificadores existentes en circuito integrado son:

- \* SN7446, SN7447 Decodificador de BCD a 7 segmentos de ánodo común; salidas open collector (necesita resistencias externas de protección).
- \* SN7448 Decodificador de BCD a display de 7 segmentos de cátodo común; tiene resistencia interna de pull-up.

#### LEDS DISCRETOS.-

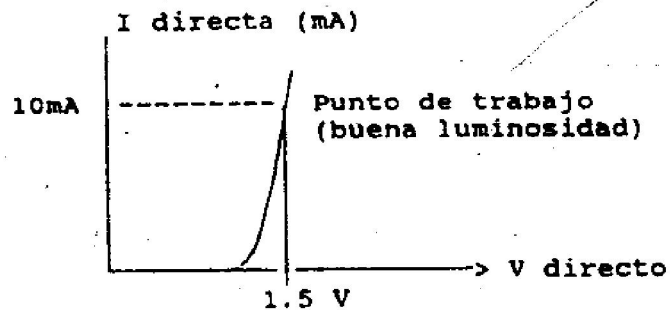
Un LED es un diodo semiconductor que emite luz cuando está suficientemente polarizado en forma directa. Los LEDS están disponibles en varios colores y en un rango visible tal como rojo, verde y amarillo. Los LEDS infrarrojo emiten luz invisible para el ojo humano. La corriente directa a través de un LED debe ser limitada mediante una resistencia.

#### Especificaciones de los LEDS.-

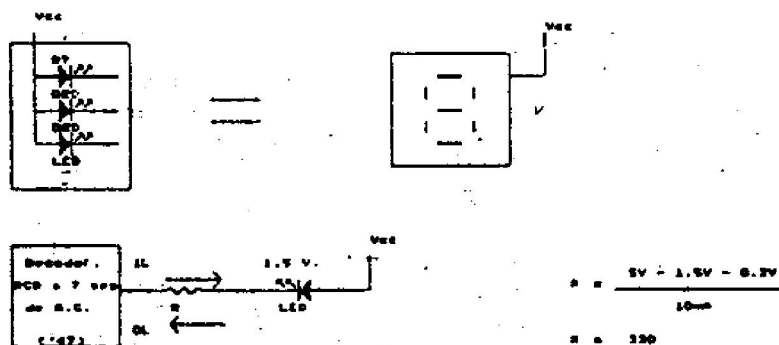
- Valores absolutos máximos:

Corriente DC directa	50 mA
Voltaje inverso	3 V.
Disipación de Potencia $1.6 \text{ mW/}^\circ\text{C} > 25^\circ\text{C}$	120 mW.
Temperatura de almacenamiento	$-55 \text{ a } 100^\circ\text{C}$
Temperatura de operación	$-55 \text{ a } 100^\circ\text{C}$
Temperatura de soldadura para 5 seg. a $0.1''$ de la caja	$260^\circ\text{C}$

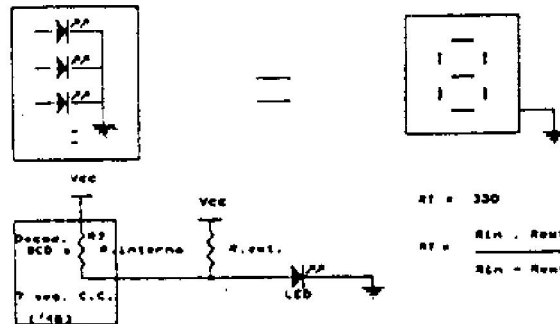
Características de un LED.-



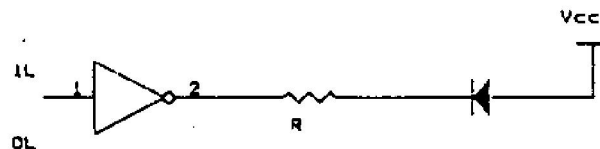
Displays de Anodo común.-



## Displays de Cátodo común.-



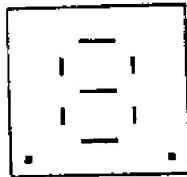
## LAMPARAS DE LOS LABORATORIOS LOGICOS



### \* DISPLAYS

#### DISPLAY DE 7 SEGMENTOS:

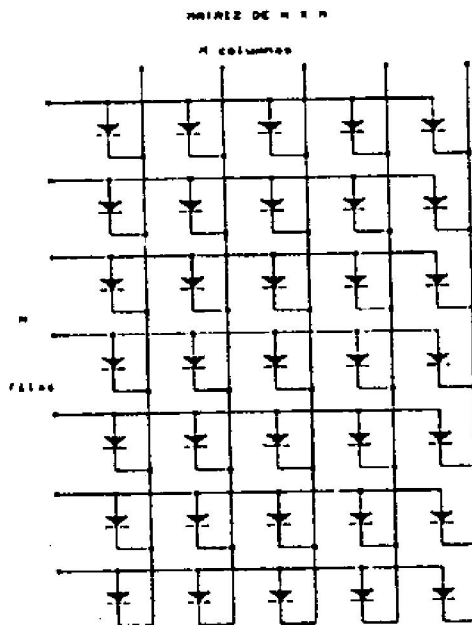
Está constituido por siete segmentos etiquetados a, b, c, ..., g, que pueden ser iluminados individualmente mediante diodos emisores de luz (LEDS). El segmento a se ilumina cuando su terminal de entrada adopta el nivel lógico 1; el b, cuando su entrada también adopta el nivel lógico 1. etc. Los dígitos decimales aparecen en el display seleccionando adecuadamente los segmentos, así por ejemplo el número decimal 4 es generado iluminando los segmentos b, c, f y g. Debido al número limitado de segmentos solo se pueden representar los dígitos decimales (del 0 al 9), unos cuantos símbolos especiales (tales como -, ) y una pocas letra alfabéticas; por lo tanto la mayoría de displays de 7 segmentos sólo se utilizan para lecturas numéricas.



El HP 5082-7730 es un display de 7 segmentos, de ánodo común con punto decimal a la izquierda .

### DISPLAY DE MATRIZ DE LEDS

Encendiendo con un barrido (no al mismo tiempo) ciertos led's de c/u de las columnas se pueden formar, letras, números y símbolos. Los más comunes son 7x5, 9x7, 11x9



Se puede hacer barrido por filas, o por columnas. La polarización se da a todos los ánodos, y a los cátodos llega la información correspondiente.

El TIL 311 es un display de este tipo, hexadecimal con decodificador incluido, con latch. Posee polarización independiente para la matriz de diodos y para la lógica TTL, lo cual implica un ahorro de energía. Su entrada de datos son: D C B A.

#### ARREGLO DE DISPLAYS DE 7 SEGMENTOS.-

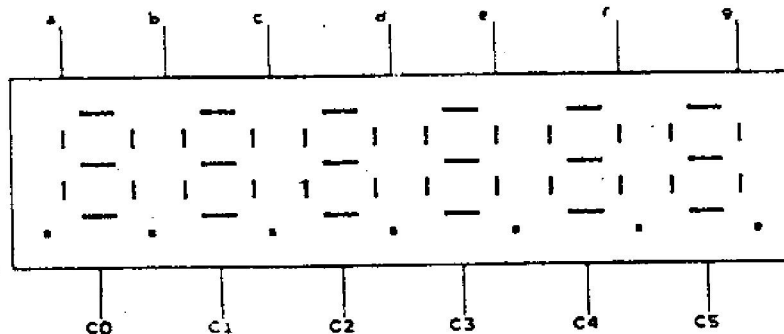
##### - Cátodo/Anodo Común.-

Se tienen todos los cátodos comunes de cada uno de los dígitos unidos y un ánodo independiente para cada dígito.

Igualmente se hace un barrido colocando polarización en el ánodo (Vcc) con un control.

Ultimamente hay mucha variedad en cuanto a número, disposición y tamaño.

Al haber un barrido también se tiene como ventaja un ahorro de energía. Sólo un display de 7 segmentos está encendido a la vez

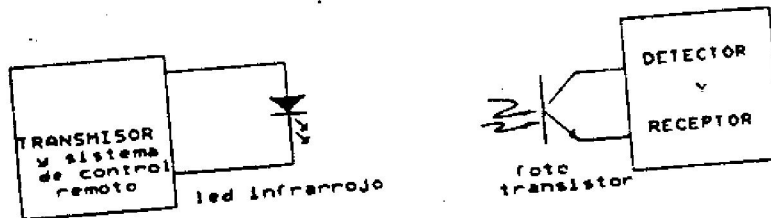


Arreglo de display de CATODO COMUN

POLITECNICA NACIONAL  
INSTITUTO DE TECNOLOGOS

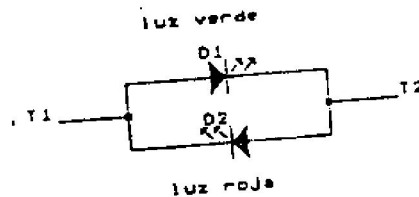
### DIODOS INFRARROJOS.-

Este diodo no emite luz en el rango visible, sino en el rango infrarrojo. Utilizado para controles a distancia (control remoto). Necesita en el otro lado un receptor y se denomina en general como elementos optoacopladores. Se utiliza también para aislar una sección de otra.



### LED BICOLORS:

Arreglo de dos diodos emisores de luz, cuya configuración es contrapuesta. No se habla de cátodos o ánodos; sino de dos terminales. Las impurezas en cada uno les da un color diferente.



Ilpo. Mónica Vinuesa R.

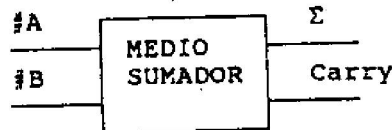
# \* SUMADORES BINARIOS

El circuito combinacional que realiza la suma de dos bits se llama medio sumador. Aquel que realiza la suma de tres bits (2 significativos más el bit de arrastre) es un sumador completo.

## MEDIO SUMADOR

Este circuito necesita dos entradas binarias y dos salidas binarias. Las variables de entrada designan los bits de los sumandos, las variables de salida producen la suma y el bit de arrastre.

A	B	A + B	Carry	$\Sigma$
0	0	0	0	0
0	1	1	0	1
1	0	1	0	1
1	1	10	1	0



El circuito combinacional que realiza esta operación es:

	B	
A	0	1
	1	0

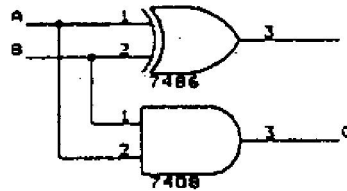
$$\Sigma = AB' + A'B$$

$$\Sigma = A \oplus B$$

	B	
A	0	0
	0	1

$$C = A \cdot B$$

Diagrama lógico:



Los números que se suman constantemente no constan de dos dígitos binarios, por lo tanto tendremos que implementar un circuito que contemple la suma aritmética de tres dígitos binarios (dos bits significativos de los números y uno correspondiente al carry).

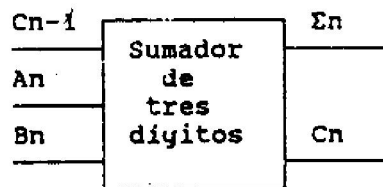


Tabla de verdad .

An	Bn	Cn-1	Cn	En
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

ESCUELA POLITÉCNICA NACIONAL  
INSTITUTO DE TECNOLOGÍAS

				Bn
	0	1	0	1
An	1	0	1	0
				Cn-1

$$\Sigma_n = AnBn'Cn-1' + An'Bn'Cn-1 + AnBnCn-1 + An'BnCn-1'$$

$$\Sigma_n = Cn-1'(AnBn' + An'Bn) + Cn-1(An'Bn' + AnBn)$$

$$\Sigma_n = Cn-1'(A \oplus B) + Cn-1(A \oplus B)$$

$$\Sigma_n = Cn-1'X + Cn-1X$$

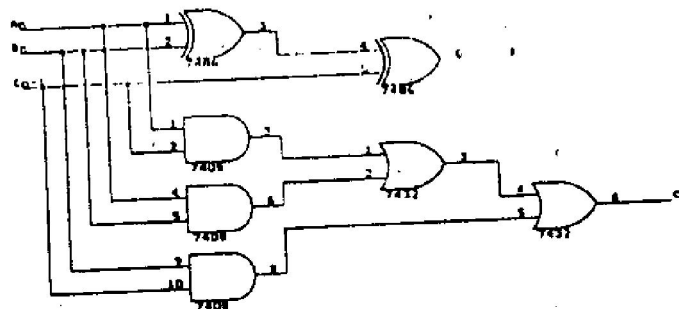
$$\Sigma_n = Cn-1 \oplus X$$

$$\Sigma_n = Cn-1 \oplus (A \oplus B)$$

				Bn
	0	0	1	0
An	0	1	1	1
				Cn-1

$$Cn = AnBn + BnCn-1 + AnCn-1$$

Diagrama lógico



La relación que tiene el sumador completo con el medio suma-  
dor se determina simplificando de otra manera la función.

			Bn	
	0	0	1	0
An	0	1	1	1
		Cn-1		

$$C_n = A_n B_n + A_n' B_n C_{n-1} + A_n B_n' C_{n-1}$$

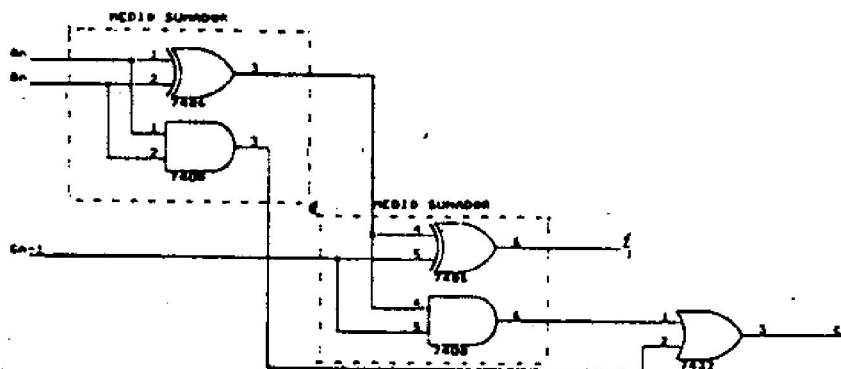
$$C_n = A_n B_n + C_{n-1} (A_n' B_n + A_n B_n')$$

$$C_n = A_n B_n + C_{n-1} (A_n \oplus B_n)$$

Implementando se tiene:  $\Sigma = (A_n \oplus B_n) \oplus C_{n-1}$

$$C_n = A_n B_n + C_{n-1} (A_n \oplus B_n)$$

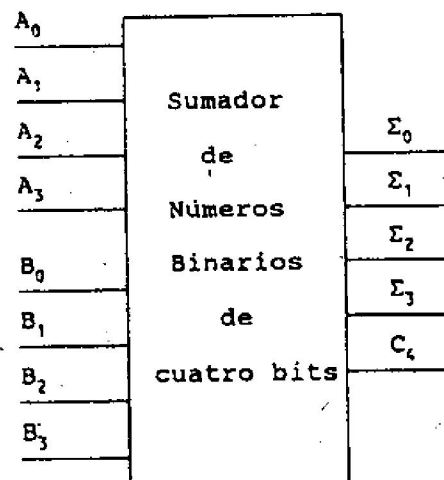
Diagrama lógico:



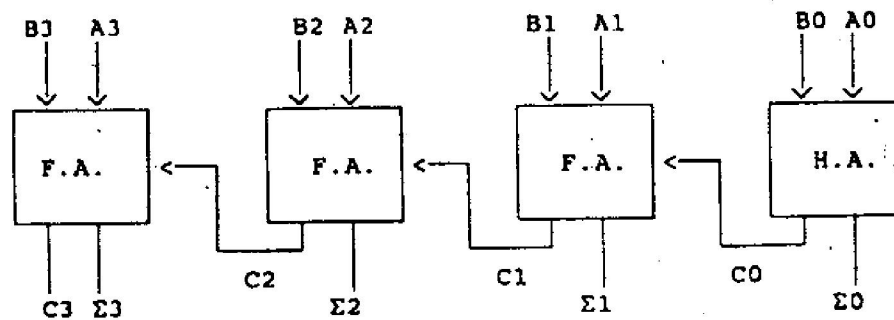
Si se desea sumar números de cuatro bits se tiene:

# A	$A_3$	$A_2$	$A_1$	$A_0$
# B	$B_3$	$B_2$	$B_1$	$B_0$
<hr/>				
$C_4$	$\Sigma_3$	$\Sigma_2$	$\Sigma_1$	$\Sigma_0$

### Sumador Completo



El proceso de esta operación es el siguiente:

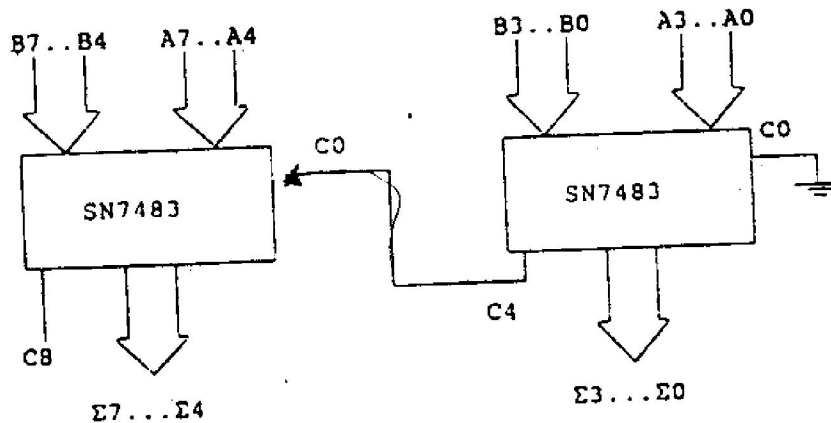


ESCUELA POLITÉCNICA NACIONAL  
INSTITUTO DE TECNOLOGOS

Los bits menos significativos de los números siempre serán sumados en un medio sumador (H.A.). Los bits restantes, serán sumados mediante sumadores completos (F.A.) y el último carry forma parte de la respuesta. (210)

El SN7483, posee cuatro sumadores completos, tiene 16 terminales accesibles al usuario; aquellas entradas que no sean utilizadas deberán ser llevadas a tierra, ya que de lo contrario la lógica TTL interpretará como un 1L en ese terminal de entrada.

Para aumentar la capacidad del SN7483, se utiliza la conexión en cascada.



Para sumar dos números de 6 bits cada uno, se utiliza la misma conexión, pero los bits de entrada que no se utilicen van a tierra.

El SN74LS283, cumple la misma función que el SN7483, posee la misma tabla de funcionamiento; cambia únicamente la designación de pines.

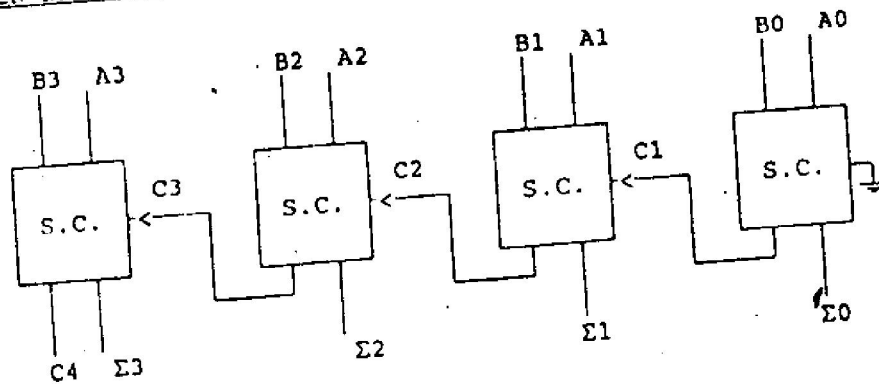
Ejemplo: Si se considera que son números sin signo

Sumador binario de	máxima resp.en decimal	# de C.I.
4 bits en c/	30	1
8 bits en c/	510	2
16 bits en c/	131070	4

Ilgo. Mónica Vinuesa R.

ESCUELA POLITÉCNICA NACIONAL  
INSTITUTO DE TECNOLOGOS

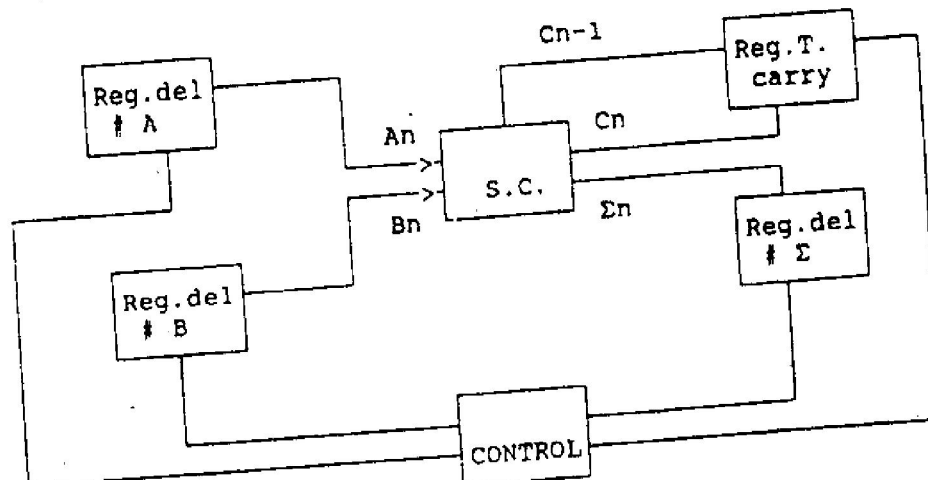
### Sumadores Binarios en Paralelo.-



El arreglo de esta figura es un sumador paralelo, porque todos los bits del sumando y sumador están presentes y alimentan los circuitos sumadores simultáneamente. Esto significa que las sumas en cada posición tienen lugar al mismo tiempo. La suma en paralelo es extremadamente rápida, más que el serial (10 nseg.). Se puede seguir aumentando en cascada pero representa pérdida de potencia y espacio físico.

### Sumadores Binarios Seriales

Su velocidad de operación es mucho menor, hay que esperar un cierto tiempo para obtener la respuesta (aproximadamente 100 nseg). Esto es lo usual en calculadoras; se puede tener registros de muchos dígitos en espacios muy pequeños.



Ilgo. Mónica-Vinueza R.

Las diferencias entre el serial y el paralelo son: Paralelo generalmente más rápido que Serie, pero este último requiere menos componentes.

En el sumador paralelo todas las posiciones de los bits se procesan simultáneamente; en el sumador serie las posiciones de los bits se procesan de uno en uno. Como tal el sumador paralelo produce la salida deseada solo después de un retardo corto de tiempo, el cual está determinado por la demora de propagación a través de los circuitos sumadores completos. Usando circuitos lógicos rápidos y técnicas de acarreo anticipado, un sumador paralelo puede sumar dos números de 36 bits en alrededor de 100 nseg. Un sumador serie requerirá de 1.8  $\mu$ seg. lo cual lo hace más lento. El sumador paralelo requerirá de 36 sumadores completos para sumar dos números de 36 bits, mientras que el sumador serie utiliza solo un sumador completo para cualquier número de bits, lo cual en este aspecto lo hace superior.

#### Ejercicio:

Utilizando sumadores en circuito integrado y compuertas adicionales realizar la suma de dos números BCD de un dígito cada uno.

El número binario que obtenemos a la salida del SN7483 debe convertirse a su correcta representación de dígitos BCD. En la tabla de funcionamiento, las entradas se marcan con símbolos  $C_i$ ,  $\Sigma_3$ ,  $\Sigma_4$ ,  $\Sigma_2$ ,  $\Sigma_1$ .  $C_i$  es el arrastre y los suscritos bajo el símbolo  $\Sigma$  representan los pesos 8, 4, 2, y 1 que deben ser asignados a los cuatro bits en el código BCD.

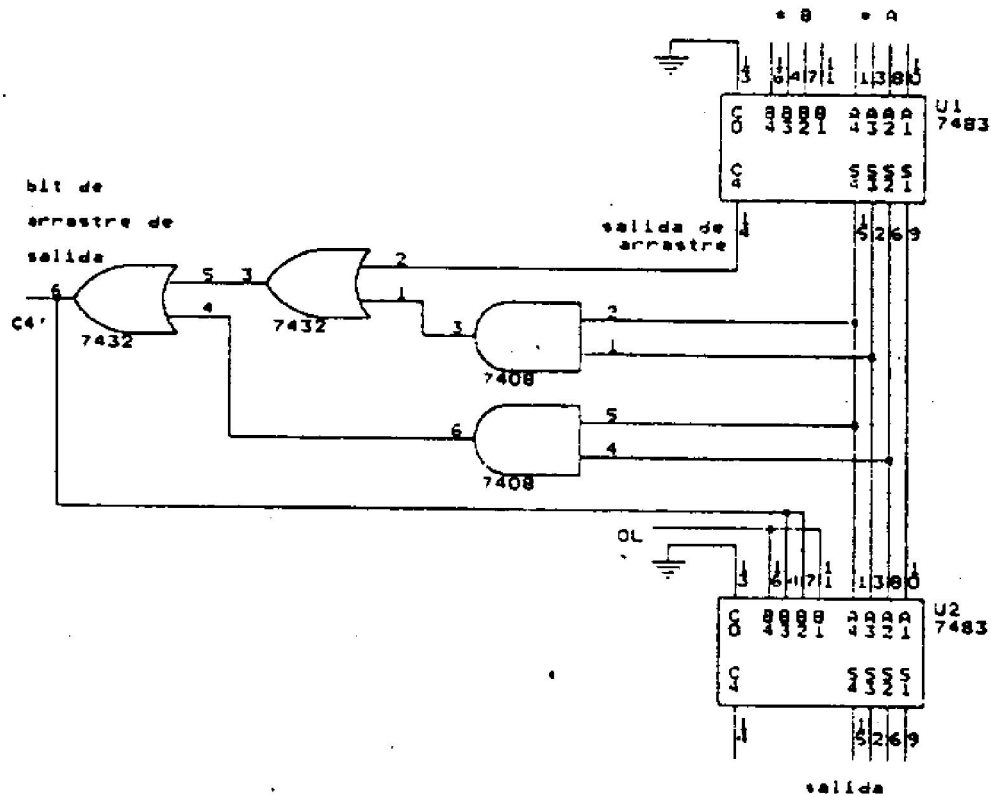
Suma Binaria					Suma BCD				
$C_4$	$\Sigma_4$	$\Sigma_3$	$\Sigma_2$	$Z_1$	$C_4'$	$\Sigma_4$	$\Sigma_3$	$\Sigma_2'$	$\Sigma_1'$
0	0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	0	1
0	0	0	1	0	0	0	0	1	0
0	0	0	1	1	0	0	0	1	1
0	0	1	0	0	0	0	1	0	0
0	0	1	0	1	0	0	1	0	1
0	0	1	1	0	0	0	1	1	0
0	0	1	1	1	0	0	1	1	1
0	1	0	0	0	0	1	0	0	0
0	1	0	0	1	0	1	0	0	1
0	1	0	1	0	1	0	0	0	0
0	1	0	1	1	1	0	0	1	1
0	1	1	0	0	1	0	1	0	0
0	1	1	1	0	1	0	1	0	1
1	0	0	0	0	1	0	1	1	0
1	0	0	0	1	1	0	1	1	1
1	0	0	1	0	1	1	0	0	0

Hasta el número 9 la suma no necesita conversión de binario BCD. Cuando el número binario es mayor que 9, se tiene una representación no válida en BCD. La suma del binario 6 (0110) a la suma binaria nos permite obtener la representación correcta en BCD y también produce el arrastre de salida requerido.

La expresión lógica que indique al circuito cuando debe sumar 6 es la siguiente:

$$C_4' = C_4 + \Sigma_4 \cdot \Sigma_3 + \Sigma_4 \cdot \Sigma_2$$

Diagrama lógico:



#### • COMPARADORES DE MAGNITUD

Es un circuito combinacional que determina la magnitud de dos números binarios. El circuito para comparar dos números de  $n$  bits tiene  $2^n$  combinaciones posibles de entrada en la tabla de verdad.

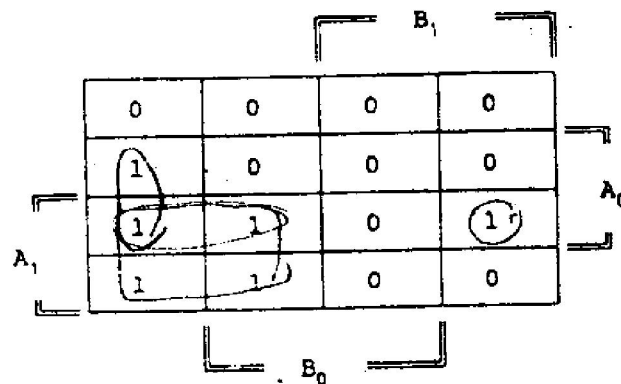
Las salidas de este circuito indicarán si el número A es mayor, menor o igual al número B, mediante un 1L en la salida respectiva, y por consiguiente una sola de las tres salidas tendrá el valor de 1L y las dos restantes el valor de 0L.

En la continuación se hace al análisis de un comparador para números de dos bits.

Para  $n = 2$  se tiene 16 combinaciones para cuatro variables de entrada.

$A_1$	$A_0$	$B_1$	$B_0$	$A > B$	$A = B$	$A < B$
0	0	0	0	0	1	0
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	0	1	1	0	0	1
0	1	0	0	1	0	0
0	1	0	1	0	1	0
0	1	1	0	0	0	1
0	1	1	1	0	0	1
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	1	0
1	0	1	1	0	0	1
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	1	0

$A > B$



$$A > B = A_1 B_1' + A_0 B_1' B_0' + A_1 A_0 B_0'$$

$$A = B$$

		$B_1$		
		1	0	0
		0	1	0
$A_1$		0	0	1
		0	0	0
		$B_0$		

$$F = (A_1 \oplus B_1) (A_0 \oplus B_0)$$

$$A < B$$

		$B_1$		
		0	1	1
		0	0	1
$A_1$		0	0	0
		0	0	1
		$B_0$		

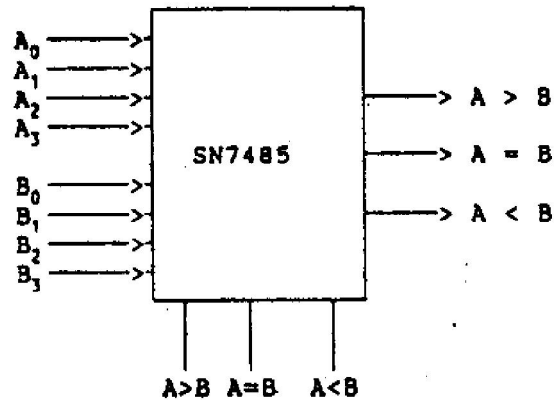
$$A < B = A_1' B_1 + A_1' A_0' B_0 + A_0' B_1 B_0$$

El C.I. SN7485 es un comparador de magnitud de dos números de 4 bits cada uno, con entradas en cascada para ampliar la capacidad a n bits. Estas entradas solo actúan (pasan a la salida) cuando los números A y B son iguales, por lo tanto las salidas tendrán los valores que en ese instante tienen las entradas en cascada.

El comparador de los bits menos significativos debe tener en las entradas en cascada los valores lógicos predefinidos para

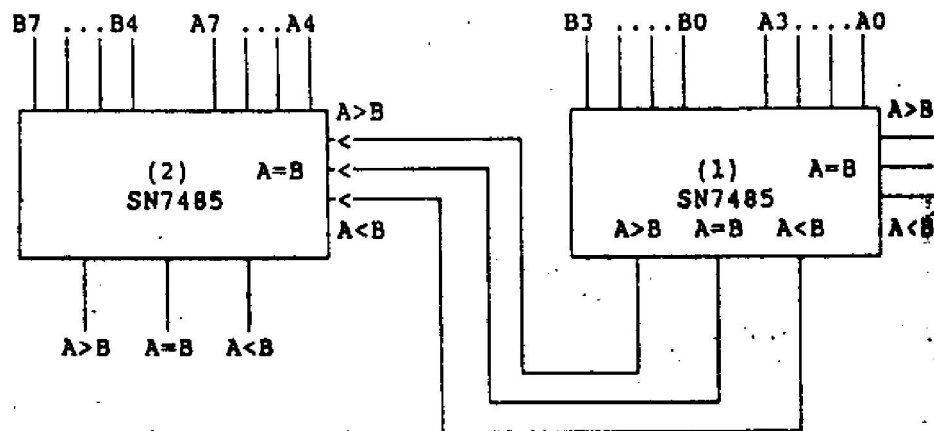
su correcto funcionamiento.

Una representación esquemática del SN7485 es la siguiente:

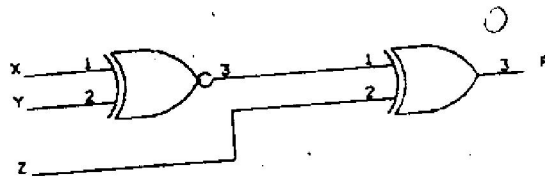


Entradas en cascada

Ejemplo: Hacer la comparación de dos números de 8 bits.



ESCUELA POLITÉCNICA NACIONAL  
INSTITUTO DE TECNOLOGOS



GENERADOR DE PARIDAD

El mensaje de 3 bits y uno de paridad se transmite hacia su destino en el cual se detecta sus posibles errores mediante un verificador de paridad, el cual es un circuito lógico que examina todos los bits para determinar si la paridad correcta está presente. Para nuestro sistema de paridad impar se generará una salida en bajo si el número de unos lógicos de entrada es un número impar y una salida alta (indicando un error) si el número de unos lógicos de entrada es par. Para un sistema de paridad par será lo contrario.

Por consiguiente para el ejemplo en análisis se tiene la siguiente tabla de verdad, cuya salida indicará con un lógico la presencia de un error:

A	B	C	P	V
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0

ERROR  
0 ⇒ # de  
unos  
es un # par

3 unos ⇒ CORR

Tigo, Monica Virueta A.

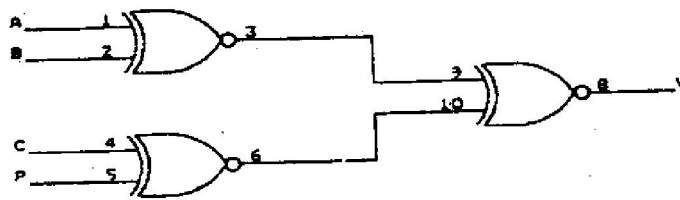
POLITECNICA NACIONAL  
DE TECNOLOGOS

PAG. 96

función lógica minimizada para el verificador es:

$$V = A \oplus B \oplus C \oplus P$$

circuito combinacional correspondiente es el siguiente:

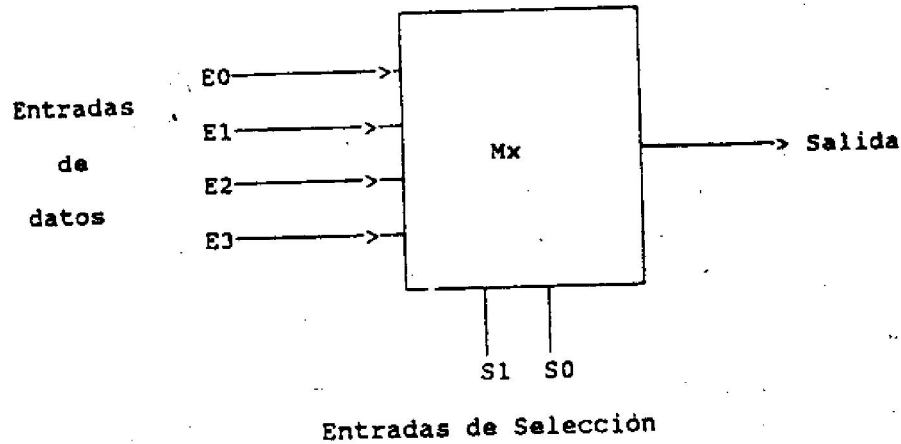


VERIFICADOR DE PARIDAD

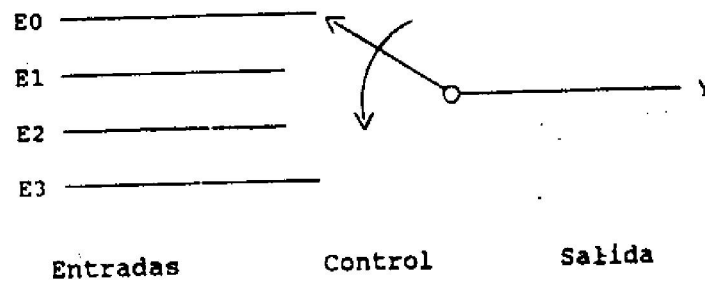
bastante obvio que este método, sirve para detectar un número impar de errores, más no errores dobles, puesto que un error doble no cambia la paridad del grupo de bits. Igualmente este método no determina la posición del bit errado ni lo corrige, utilizándose para esto métodos más sofisticados.

#### MULTIPLEXERS

es un circuito combinacional capaz de escoger de varias entradas de datos, permitiendo que solamente una de ellas aparezca a la salida. Esto se efectúa mediante entradas de control o de selección.



Un multiplexador es el equivalente de un interruptor/selector de multiposiciones.

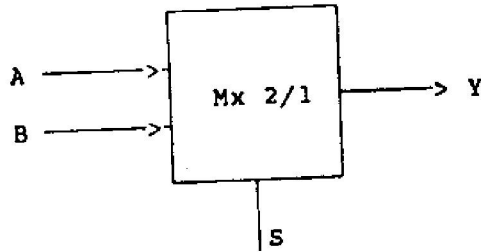


Con  $n$  señales de control se pueden seleccionar  $m = 2^n$  líneas de entrada, y se lo denomina Multiplexador de  $m$  a 1. Entre los tipos más comunes de multiplexers se tiene:

# de entradas de datos	entradas de selección
Mx 2/1	1
Mx 4/1	2
Mx 8/1	3
Mx 16/1	4

ESCUELA POLITÉCNICA NACIONAL  
INSTITUTO DE TECNOLOGOS

A continuación se hará el análisis para el multiplexer 2/1, que requiere de dos entradas de datos, una de selección y tiene una sola salida.



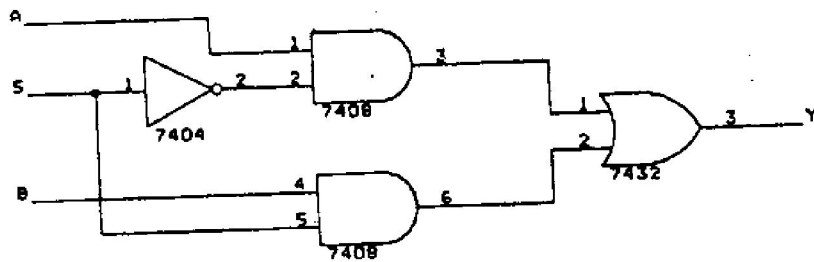
A	B	S	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

$$\begin{aligned} S = 0 &\longrightarrow Y = A \\ S = 1 &\longrightarrow Y = B \end{aligned}$$

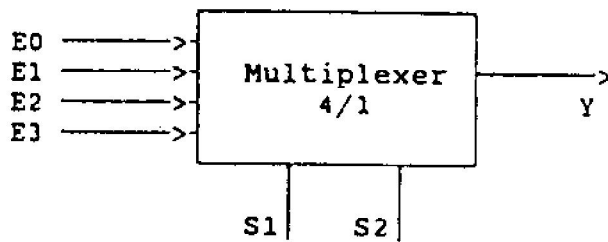
Obteniendo la función lógica y simplificando la misma se tiene:

$$Y = AS' + BS$$

Su implementación circuital es:



Para el caso de un multiplexer 4 a 1, se tendría cuatro entradas de datos, dos de selección y una salida.



S0	S1	Y
0	0	E0
0	1	E1
1	0	E2
1	1	E3

En base a lo anterior se puede concluir que: cada combinación binaria de las variables de selección permite el paso, a través del circuito operador, hacia la salida, de una única variable de entrada.

### Multiplexers en Circuitos integrados

'150 Multiplexer 16 a 1 —> Salida complementada:  $W = E_i$

Entrada de habilitación (STROBE):

$S = H \Rightarrow W = H$

$S = L \Rightarrow$  Habilitación

'151 Multiplexer 8 a 1 —> Salidas normal y complementada:  $Y, W$

STROBE:  $S = H \Rightarrow Y = L; W = H$

$S = L \Rightarrow$  Habilitado

'153 Dual Multiplexer 4 a 1 —> Salida normal y entradas de selección común (A, B) para los dos.

STROBE independiente:

$S = H \Rightarrow Y1, Y2 = L$

$S = L \Rightarrow$  Habilitado

'157 Cuádruple Multiplexer 2 a 1 —> Salida normal y entradas de selección común para todos.

STROBE independiente:

$S = H \Rightarrow Y1, \dots, Y4 = L$

$S = L \Rightarrow$  Habilitado.

ESCUELA POLITÉCNICA NACIONAL  
INSTITUTO DE TECNOLOGOS

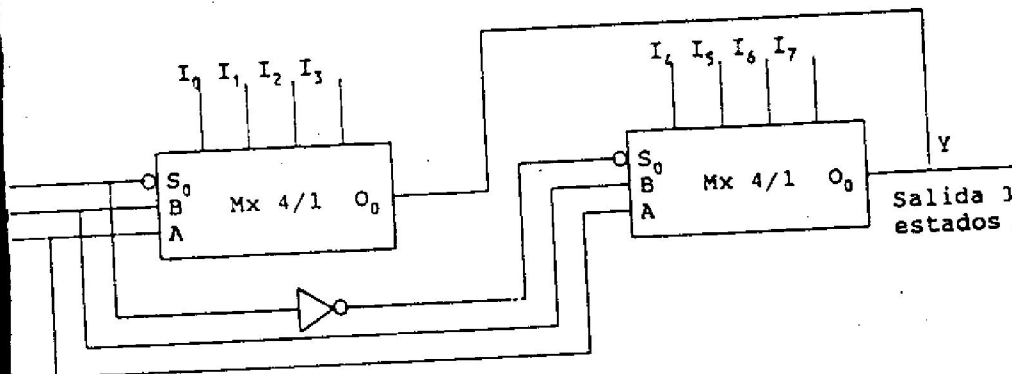
\*  $'251 \equiv '151$ ;  $'257 \equiv '157$  Pero con  $S = H$  se tiene salidas en alta impedancia.

### Variación de Formatos de Multiplexers

Se puede construir un multiplexer  $n$  a  $1$ , utilizando las entradas de habilitación de dos multiplexers  $n/2$  a  $1$ , las cuales deben ser independientes.

#### CONEXION DE LAS SALIDAS:

- 1.- Si las salidas de los multiplexers son tres estados (o alta impedancia), se pueden unir directamente las salidas.



- 2.- Si los multiplexers tienen salidas de colector abierto, se pueden unir sus salidas colocando una resistencia de pull-up externamente.

Ilgo. Mónica Vinueza R.



3.- Si los multiplexers tienen salidas de dos estados, es necesario unir las salidas por medio de un circuito combinatorial. La salida del multiplexer deshabilitado estará en bajo.

STROBE	O <sub>1</sub>	O <sub>2</sub>	Y
L	L	L	L
L	H	L	H
H	L	L	L
H	L	H	H



$$Y = O_1 + O_2$$

#### REALIZACION DE CIRCUITOS COMBINACIONALES USANDO MULTIPLEXERS.

Cualquier circuito combinatorial de  $n$  variables se puede construir con un multiplexer de  $n$  señales de control, colocando en las entradas respectivas el valor de la función (1L o 0L). Este método no utiliza en forma óptima el multiplexer, pero no necesita circuitos adicionales.

Si se coloca en las entradas del multiplexer los valores 0L, 1L, de la variable menos significativa se puede construir un circuito combinatorial de  $n$  variables con un multiplexer de  $(n - 1)$  señales de control.

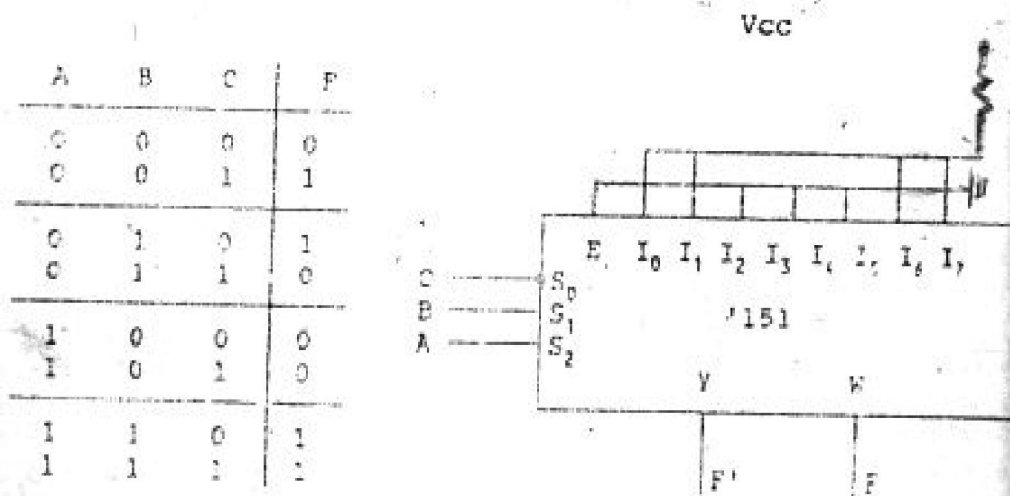
ESCUELA POLITÉCNICA NACIONAL  
INSTITUTO DE TECNOLOGOS

PAG. 102

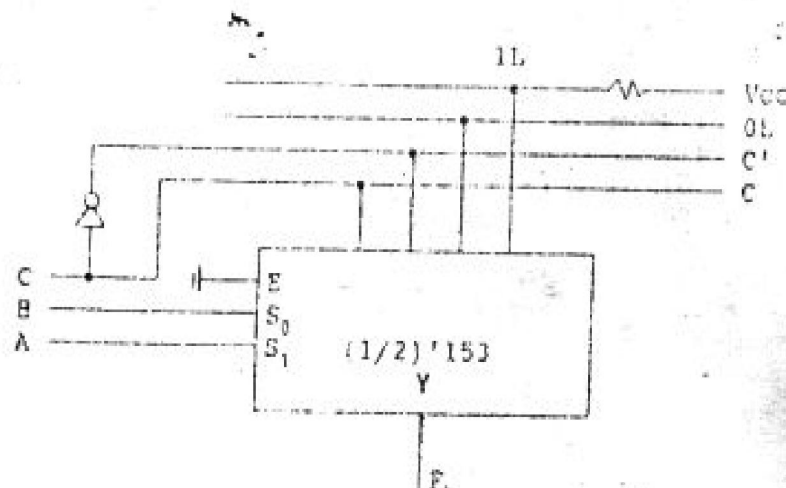
Ejemplo:

- Realizar un circuito combinacional de 3 variables de entrada con:

- Multiplexer de 8 a 1
- Multiplexer de 4 a 1



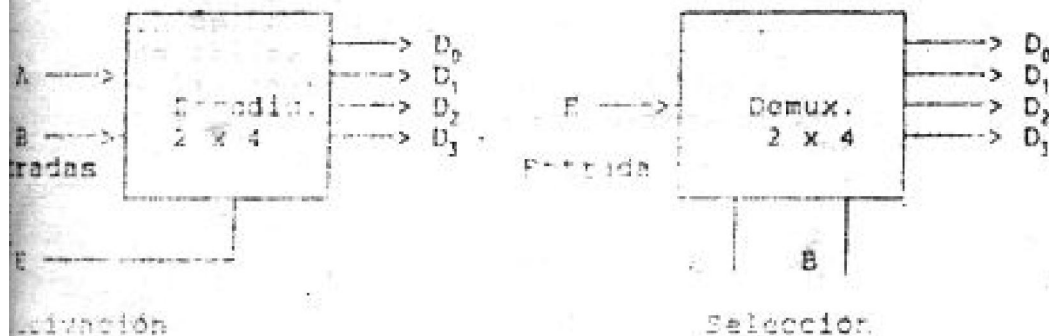
- Se separa la tabla de verdad de dos en dos, para comparar el valor de la función con la variable de entrada menos significativa (C).



## DECODIFICADORES BINARIOS/DEMULTIPLEXERS

demultiplexer es un circuito que recibe información por una sola línea y transmite esta información en una de las  $2^n$  líneas posibles de salida. La selección de una determinada línea de salida está dada por los valores de los bits de  $n$  líneas de selección.

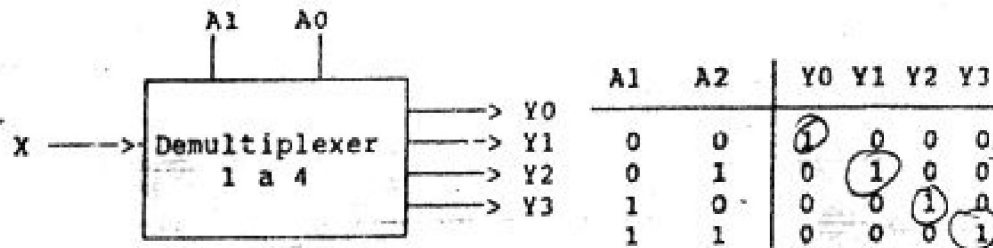
Un decodificador con una entrada de habilitación puede funcionar como demultiplexer, si se toma esta línea como entrada de datos y si las líneas de entrada del decodificador se toman como líneas de selección como se indica en el gráfico a continuación.



En las operaciones de decodificación y demultiplexación se obtienen del mismo circuito, un decodificador con una entrada de activación se llama un decodificador/demultiplexer.

### Demultiplexer 1 a 4:

Requiere dos entradas de selección, una entrada de datos y cuatro salidas; en función del código de las entradas de selección, la entrada pasa a una sola de las cuatro salidas.



$$\begin{aligned} Y0 &= A1' A2' \\ Y1 &= A1' A2 \\ Y2 &= A1 A2' \\ Y3 &= A1 A2 \end{aligned}$$

- 2.- Decodificador Binario de n líneas de entrada a  $2^n$  líneas de salida.

Es un circuito combinacional que mediante un código de control coloca una sola de las  $2^n$  señales de salida en un nivel (activo) y a todas las otras en el contrario. La salida activa es la respectiva a la combinación binaria de la entrada.

A	B	D <sub>0</sub>	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

$$\begin{aligned} D_0 &= A + B \\ D_1 &= A + B' \\ D_2 &= A' + B \\ D_3 &= A' + B' \end{aligned}$$

=> Decodificador = Demultiplexer si X = 0

Es muy utilizado en barrido de displays, leds, etc.

- 3.- Decodificadores/Demultiplexers en Circuitos Integrados.

'138 : Decodificador 3 a 8. Tiene tres habilitaciones;

$$G_1 = L$$

$$G_2 A \cdot G_2 B = H$$

$$\Rightarrow Y_0 \text{ a } Y_7 = H$$

'139 : Dual Decodificador 2 a 4

Si Habilitación  $G = H \implies Y_0 \text{ a } Y_3 = H$   
Decodificadores/Demultiplexores totalmente independien-  
tes

'155 y '156 Dual Dx 2/4. Características:

- Entradas de selección comunes a los 2 Dx.
- Cada Dx tiene la entrada de habilitación.
- Primer Dx tiene la entrada de datos complementada.
- Segundo Dx tiene la entrada de datos normal.
- Pueden convertirse en 1 Dx 3/8.

'154 : 1 Dx 4/16

- Dos entradas de habilitación.
- No tiene entrada de datos.
- $G_1$  ----> habilitación mismo.
- $G_2$  ----> entrada de datos.

