

ESCUELA POLITECNICA NACIONAL
FACULTAD DE INGENIERIA ELECTRICA

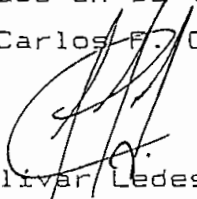
DISEÑO Y CONSTRUCCION DE UN
REGULADOR ELECTRONICO DE VOLTAJE
AC. INTERCAMBIADOR DE TAPS CON
MICROCONTROLADOR

TESIS PREVIA LA OBTENCION DEL
TITULO DE INGENIERO EN LA
ESPECIALIZACION DE
ELECTRONICA Y CONTROL

CARLOS FERNANDO COKA MARIÑO

QUITO, MARZO DE 1991

Certifico que este trabajo ha
sido realizado en su totalidad
por el Sr. Carlos F. Coka M.



Ing. Bolívar Ledesma G.
DIRECTOR DE TESIS

DEDICATORIA

A mis padres.

AGRADECIMIENTO

Dejo constancia de mi agradecimiento a la ESCUELA POLITECNICA NACIONAL, a los integrantes del Laboratorio de Electrónica de Potencia, especialmente en la persona del Sr. Ing. Bolívar Ledesma por su paciente colaboración, asesoría y atención puesta en este trabajo.

INDICE

CAPITULO I: GENERALIDADES

1.1	Introducción	1
1.2	Los reguladores de voltaje intercambiadores de taps	1
1.2.1	Reguladores de voltajes manuales	1
1.2.1.1	Cambio de taps por medio de switchs	2
1.2.2	Regulación automática de voltaje	5
1.2.2.1	Regulador de voltaje con control discontinuo utilizando relés	7
1.2.2.2	Regulador de voltaje automático con control discon- tinuo utilizando SCRs en conexión antiparalela . .	7
1.3	Campo de aplicaciones	8
1.4	Análisis de la operación del cambiador electrónico de taps con triacs	10

CAPITULO II: REQUERIMIENTOS Y DISEÑO DEL SISTEMA

2.1	Requerimientos del sistema	14
2.2	Descripción general del sistema	16
2.2.1	Diagramas de bloques del sistema	16
2.2.2	Descripción del sistema	18
2.3	Diseño del circuito de control	24
2.3.1	El microcontrolador 8748	24
2.3.1.1	Sección aritmética	25
2.3.1.2	Memoria de programa	25
2.3.1.3	Entrada/salida	26
2.3.1.4	Contador de programa	26
2.3.1.5	Palabra de estado (PSW)	27
2.3.1.6	Interrupciones	27
2.3.1.7	Timer\counter	28
2.3.1.8	Reset	28
2.3.2	El conversor análogo digital ADC0804	29
2.3.3	Distribución de los recursos del microcontrolador .	30
2.3.4	Diseño de la fuente de poder	32

2.3.5	Medición del voltaje de entrada	34
2.3.6	Medición del voltaje de salida	35
2.3.7	Generación de la señal de interrupción	38
2.3.8	Interfase para el activado de los triacs y la señalización	39
2.4	Diseño del circuito de adquisición de datos	41
2.5	Diseño del circuito de potencia	42
2.6	Protecciones por hardware	44 ✓
2.6.1	Filtro de entrada	44 ✓
2.6.2	Protección de los triacs contra dv/dt	49
2.6.3	Circuito auxiliar de protección	50 ✓

CAPITULO III: DESARROLLO DEL SOFTWARE PARA LA OPERACION DEL SISTEMA

3.1	Introducción	51
3.2	Diagramas de flujo	51
3.3	Recolección de datos	53
3.3.1	Medición del voltaje de entrada	53
3.3.2	Detección del ruido eléctrico en la línea	56 ✓
3.4	Activado de los triacs	58
3.4.1	Generación de la histéresis para la conexión de los triacs	61
3.5	Protecciones por software	67
3.5.1	Protección para sobrevoltaje y bajo voltaje	67
3.5.2	Protecciones contra interferencia en la línea	67
3.5.3	Protección contra corrimiento excesivos de frecuencia	68 ✓
3.5.4	Protecciones contra cortocircuitos	68 ✓

CAPITULO IV: RESULTADOS EXPERIMENTALES

4.1	Operación con carga resistiva	71 ✓
4.2	Operación con carga inductiva	73 ✓
4.3	Pruebas de regulación de voltaje	73 ✓
4.4	Comportamiento dinámico	75 ✓
4.5	Rendimiento del equipo	82 ✓

4.6	Operación de protecciones	83 ✓
4.7	Operación del equipo	83 ✓

CAPITULO V: ANALISIS DE LOS RESULTADOS OBTENIDOS

5.1	Análisis de los resultados experimentales	86 ✓
5.2	Análisis técnico económico del equipo	88 ✓
5.3	Conclusiones	90

ANEXO A: CARACTERISTICAS DE LOS ELEMENTOS UTILIZADOS

ANEXO B: LISTADO DEL PROGRAMA IMPLEMENTADO EN EL MICROCONTROLADOR

REFERENCIAS

BIBLIOGRAFIA

CAPITULO I

GENERALIDADES

1.1 INTRODUCCION

Con el desarrollo de la electrónica y de los sistemas digitales integrados a gran escala, la tendencia actual de la industria es tratar que sus procesos sean automáticos. reemplazando los anteriores equipos por sistemas electrónicos más versátiles, seguros y de menor tamaño. Esta tendencia no es solo a nivel industrial, sino también a nivel doméstico, en donde se puede facilitar la realización de actividades dando mayor comodidad al usuario con equipos de bajo costo, entre los que se podría mencionar los reguladores de voltaje.

Existe una gran variedad de reguladores de voltaje tanto de corriente alterna como de corriente continua que utilizan diferentes características del comportamiento del voltaje y la corriente para su control, entre los que se encuentran los reguladores de voltaje intercambiadores de taps, variacs, reguladores ferroresonantes, reguladores que utilizan servomecanismos, a más de una serie de reguladores que utilizan semiconductores con diferentes conexiones de sus elementos.

Cada técnica tiene sus ventajas y desventajas por lo que son utilizados dependiendo de la aplicación en donde se requieran.

1.2 LOS REGULADORES DE VOLTAJE INTERCAMBIADORES DE TAPS.

1.2.1 Reguladores de voltaje manuales

Son utilizados en muchas aplicaciones industriales en donde no se necesita mucha precisión en el mantenimiento de un valor constante en el voltaje de salida como es el caso de las soldadoras y aplicaciones de galvanoplastia.

1.2.1.1 Cambio de taps por medio de switches.

Se puede implementar un sistema como el de la figura No 1.1.

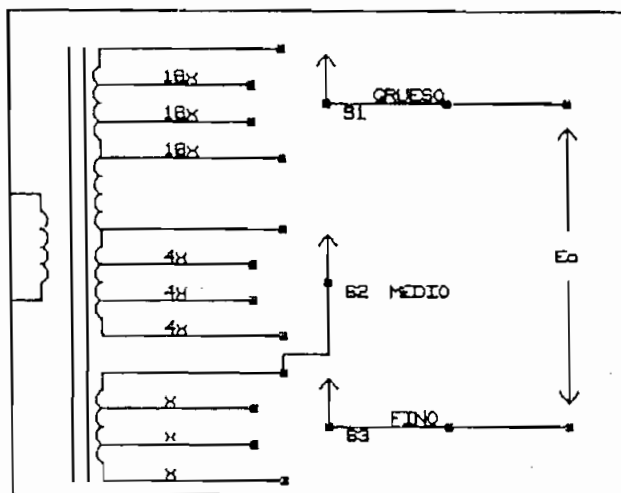


FIGURA 1.1 Intercambiador manual de taps

con el cual se puede variar el voltaje de la salida al valor deseado ya sea en pasos grandes o pequeños.

En la figura expuesta tenemos $P^n - 1$ pasos para variar el voltaje, en donde P es el número de posiciones y n es el número de switches incorporados.

Cuando se utilizan para el cambio de taps se pueden dar dos casos: Cambio de tap sin interrupción y con interrupción de la corriente de carga. Para el caso de interrumpir la corriente, durante el cambio de tap se producen arcos eléctricos en los terminales de los interruptores produciendo así su deterioro,

razón por la cual este método se lo utiliza sólo en aparatos de baja potencia.

Cuando el voltaje de salida no debe variar mayormente se utiliza un transformador buck-booster como indica la figura No 1.2, de ésta manera se podrá sumar o restar el voltaje E_b dependiendo de la conexión del transformador Buck-booster sea directa o inversa.

Cuando se trata de un autotransformador, se necesitará interruptores más simples para lograr el mismo efecto que el caso anterior, como se puede ver en la figura No 1.3. El voltaje de salida E_o será:

$$E_o = E_i \pm E_b$$

Y E_b dependerá de la posición del tap.

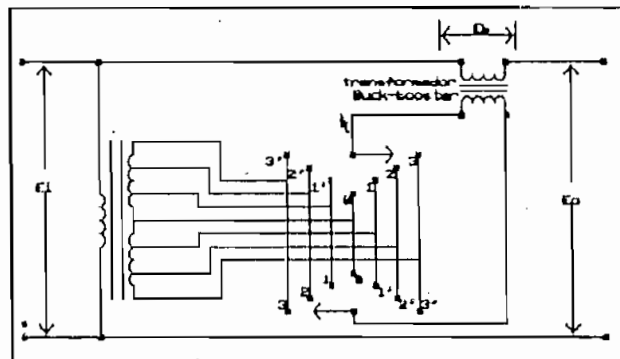


FIGURA 1.2 Transformador intercambiador de taps con transformador buck-booster.

En los reguladores de voltaje con taps, de tipo manual, no es conveniente cortar la corriente de carga durante el cambio de tap debido al arco que esta acción produce, por lo que se han ideado los siguientes métodos para evitar este efecto negativo: En el

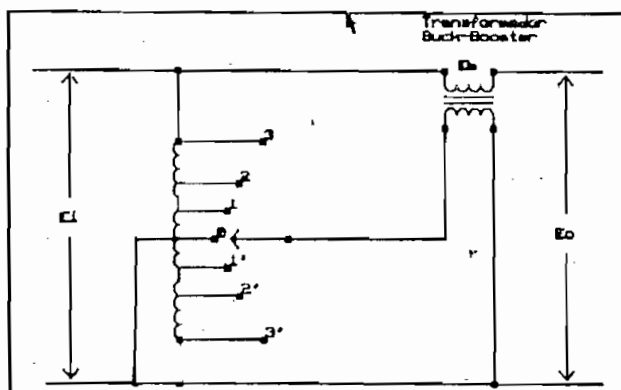


FIGURA 1.3 Autotransformador intercambiador de taps con transformador buck-booster

primer método se utiliza una resistencia como indica la figura No 1.4.

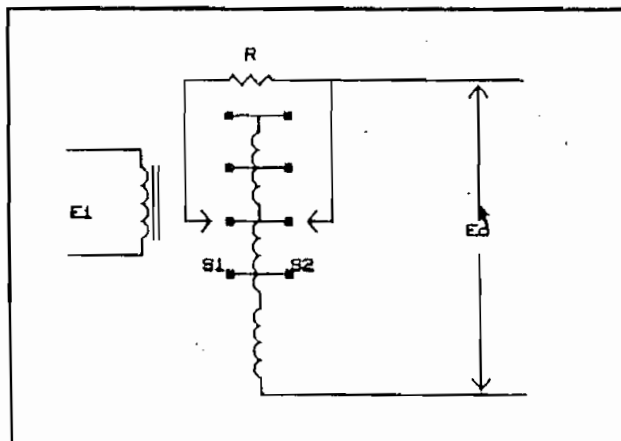


FIGURA 1.4 Intercambiador de taps sin interrupción de corriente

Cuando se decide un cambio de tap, por ejemplo a un voltaje de salida menor, se desconecta S_2 y se lo baja al inmediato inferior. Durante este periodo la corriente de carga cruza por la

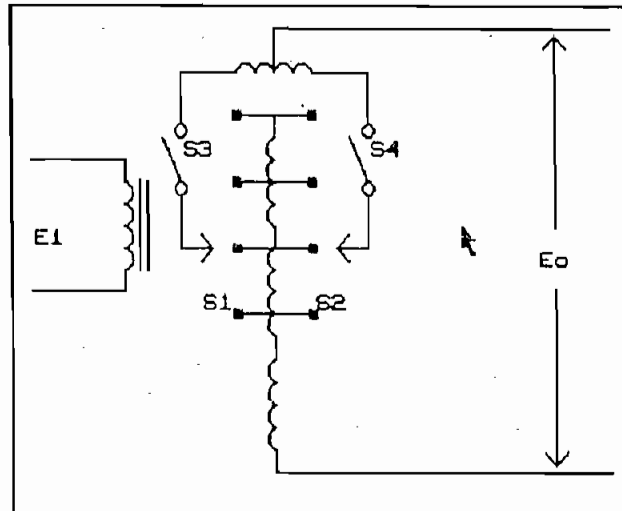


FIGURA 1.5 Intercambiador de taps sin interrupción de corriente

resistencia y una vez que S2 ya se conectó sólidamente S1 se abre y se lo conecta al mismo nivel que el tap S2, realizandose la misma operación si se requiere subir el voltaje.

También para evitar el corte de energía a la carga en el cambio de tap se puede usar un reactor de tap central como indica la figura 1.5. (1)

1.2.2 REGULACION AUTOMATICA DE VOLTAJE

Los reguladores de voltaje manuales presentan muchos problemas, siendo uno de los mayores la necesidad de que una persona esté continuamente cerca al aparato para operar y corregir en ese momento, con el alto costo que ésto representa. Por otro lado el control manual no siempre es aplicable, ya sea por razones de velocidad de respuesta, estabilidad etc. lo que no sucede cuando el control es automático.

En general existen dos tipos de control automático. El primero conocido como control discontinuo, acción de dos posiciones o de SI-NO, en el cual el elemento accionador tiene dos posiciones fijas, que en muchos casos son sólo conectado y desconectado, éste control es simple y muy económico y por esta razón ampliamente utilizado en sistemas de control tanto industriales como domésticos.

Sea la señal de salida del control $m(t)$ y la señal de error actuante $e(t)$. En un control de dos posiciones, la señal $m(t)$ permanece en un valor máximo o mínimo según la señal de error actuante sea positiva o negativa, de modo que

$$\begin{aligned} m(t) &= M1 \quad \text{para } e(t) > 0 \\ m(t) &= M2 \quad \text{para } e(t) < 0 \end{aligned}$$

Donde $M1$ y $M2$ son constantes. Generalmente el valor mínimo $M2$ es o bien cero o $-M1$. Los controles de dos posiciones son dispositivos generalmente eléctricos, donde habitualmente hay una válvula accionada por un solenoide eléctrico. (2)

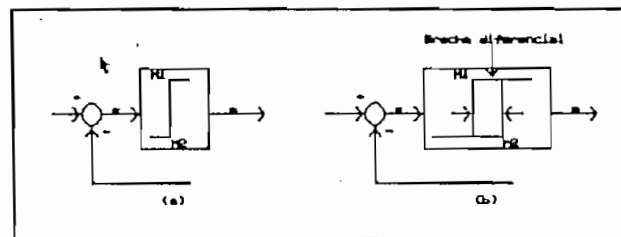


FIGURA 1.6 Control de dos posiciones

En la figura No. 1.6 a y b se presentan los diagramas de bloques de controles de dos posiciones. El rango en que se desplaza la señal de error actuante antes que se produzca la conmutación se

llama brecha diferencial, esta hace que la salida de control $m(t)$ mantenga su valor hasta que la señal de error actuante haya pasado levemente el valor cero y normalmente se la crea para evitar la acción excesiva del mecanismo SI-NO.

El segundo tipo de control, conocido como control continuo, consiste en sensar la variable que se desea controlar y compararla con una referencia. El error es procesado utilizando algún algoritmo continuo de control.

1.2.2.1 Regulador de voltaje con control discontinuo utilizando relés.

Un tipo simple de regulador de voltaje con control discontinuo es el mostrado en la figura No 1.7. En este caso el cambio de tap se lo hace en un autotransformador; además existen dos relés que son activados por transistores que están sensando el voltaje y que se activan dependiendo del nivel de voltaje que nosotros imponamos.

Podemos regular el voltaje de salida E_o , ajustando el nivel de voltaje de los potenciómetros P1 y P2, de ésta manera los relés Re1 y Re2 se encontrarán en una u otra posición dependiendo de qué valor de voltaje de salida nosotros deseemos.

Se puede también a éste método incorporar un mayor número de relés y transformadores buck-booster y de ésta manera mejorar la regulación del voltaje de salida.

1.2.2.2 Regulador de voltaje automático con control discontinuo utilizando SCRs en conexión antiparalela.

Este método, a diferencia del anterior utiliza SCRs en lugar de relés, como se indica en la figura No 1.8. En el circuito se

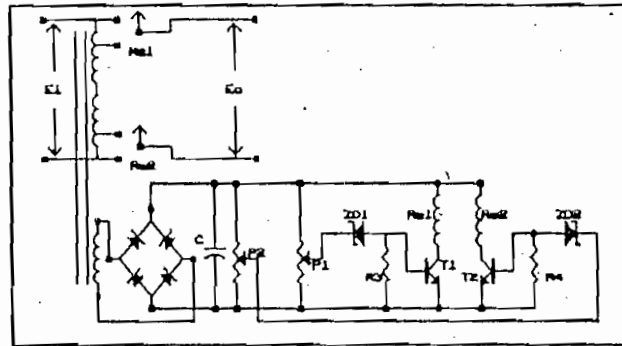


FIGURA 1.7 Intercambiador automático de taps utilizando relés

muestran tres taps que pueden ser conectados a la carga a través de tres interruptores formados por SCRs conectados en forma antiparalela. Cuando el SCR1 y SCR2 son disparados, el tap 1 es conectado a la carga, cosa similar sucede con los taps 2 y 3 que pueden ser conectados a través del resto de SCRs que operan en el circuito.

En este esquema, cuando el par de SCRs que conectan un tap está actuando, el resto deben estar apagados ya que de no ser así se estaría produciendo un cortocircuito. Esta característica se debe tomar muy en cuenta especialmente cuando la carga es inductiva.

Existe una gran variedad de conexiones en las que se pueden utilizar los SCRs y triacs tanto en reguladores de voltaje monofásicos y trifásicos.

1.3 CAMPO DE APLICACIONES

Los reguladores de voltaje son de gran aplicación en nuestro medio, especialmente en aquellos lugares en donde por caída de voltaje en las líneas de transmisión, el servicio eléctrico es deficiente. Por otro lado, suele haber en nuestras ciudades

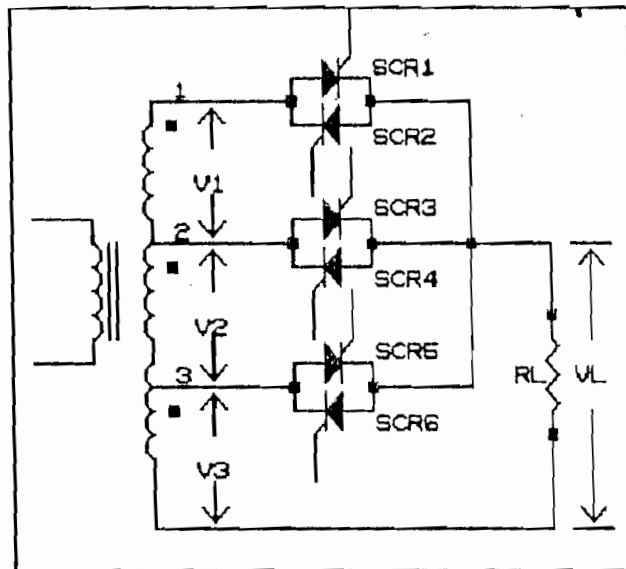


FIGURA 1.8 Intercambiador de taps utilizando SCRs

grandes fábricas que producen un considerable descenso de voltaje en horas pico de trabajo y una elevación del voltaje en el resto de horas. Esta elevación se produce no solo por el hecho de que sus máquinas dejan de funcionar, sino porque en ciertas fábricas los sistemas que utilizan para corregir el factor de potencia son manuales y en ocasiones se olvidan de desconectarlos cuando ya no hace falta, lo que produce una elevación de voltaje por causa de los elementos capacitivos que lo componen.

Pueden darse casos también de fallas en las líneas, tales como: Cortocircuitos, salidas de servicio de una o más fases en la red trifásica, distorsiones de voltaje en las líneas, variaciones de la frecuencia y en singulares ocasiones problemas en las empresas eléctricas o en las centrales que causen desequilibrios eléctricos, los cuales pueden ser fatales para los elementos que están conectados.

Por todas estas causas se justifica la utilización de un

regulador de voltaje cuyas características de diseño protejan al equipo de estas fallas.

1.4 ANALISIS DE LA OPERACION DEL CAMBIADOR ELECTRONICO DE TAPS CON TRIACS.

En vista que el regulador de voltaje a diseñarse va a ser controlado con un microcontrolador, es importante tomar en cuenta la cantidad de datos a recogerse, ya que, cuanto mayor sea el número de datos, mayor será la precisión al escoger el tap, y no se dará el caso de que un pequeño cambio en el voltaje de entrada genere cambios innecesarios en el voltaje de salida.

Será también necesario fijarse una referencia para iniciar la recolección, y la más adecuada será al empezar cada ciclo del voltaje de entrada. Por lo tanto coincidirán el ciclo del voltaje de la red con el ciclo del programa del microcontrolador. Producto de esto tendremos que los taps podrán cambiarse una sola vez en un ciclo. Con estas características, es conveniente utilizar triacs para el activado de los taps, ya que se podrá realizar la recolección de datos en el primer cuarto de ciclo, luego la operación necesaria para escoger qué triac se conectará a la carga una vez que la corriente pase por cero y el triac anterior se apague.

Dependiendo de la frecuencia del cristal y la velocidad con que puedan ser convertidos los datos de análogos a digitales se podrán incorporar cargas capacitivas con cierto límite al regulador. Pero en el caso específico del regulador que se va a construir, no se podrá conectar cargas capacitivas ya que con la frecuencia de 8 MHz que tiene el cristal, se utilizará casi en la totalidad el segundo cuarto de ciclo para operaciones de desición de tap, y si la carga es capacitiva, la corriente ya habría pasado por cero antes que el microcontrolador decida el cambio de

tap.

Con lo expuesto anteriormente, el regulador a construirse será apto para cargas resistivas e inductivas exclusivamente.

Al operar con triacs, para que exista un cambio de tap será necesario buscar un mecanismo con el cual se detecte el momento en que la corriente de carga se hace cero, y asegurarse de que el triac que estaba conduciendo se apague para conectar el nuevo triac escogido por el microcontrolador.

El tiempo de cambio de los taps dependerá del tiempo que se tarde en detectar que la corriente de carga es verdaderamente cero.

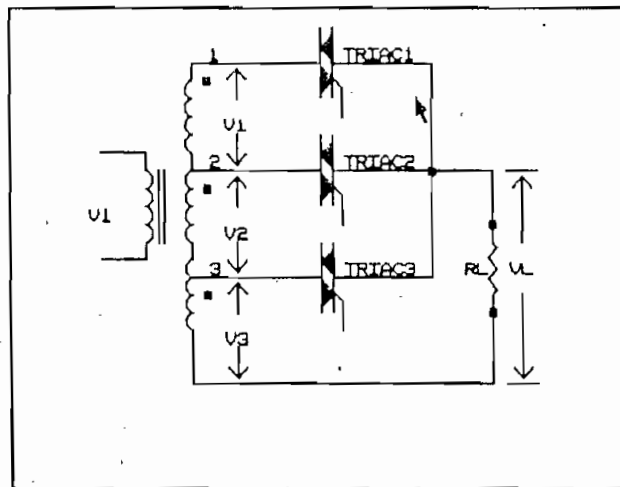


FIGURA 1.9 Intercambiador de taps utilizando triacs

Durante el cambio de taps, una vez que deja de haber señal de gate y la corriente de carga es cero, el voltaje en la carga es cero, condición que es aprovechada por el microcontrolador para recoger esta señal y por medio de programa conectar un nuevo tap escogido, por lo tanto el tiempo para el cambio de tap, dependerá también del programa implementado en el

microcontrolador.

En la figura No 1.9 se puede observar el intercambiador de taps por medio de triacs y en la figura No 1.10 se tienen las formas de onda que se generan en el cambio de taps para carga resistiva y para carga inductiva.

FORMAS DE ONDA DE VOLTAJES Y CORRIENTES EN LA CONMUTACION DE TAPS, PARA EL INTERCAMBIADOR ELECTRONICO DE TAPS CON MICROCONTROLADOR.

CARGA RESISTIVA

CARGA INDUCTIVA

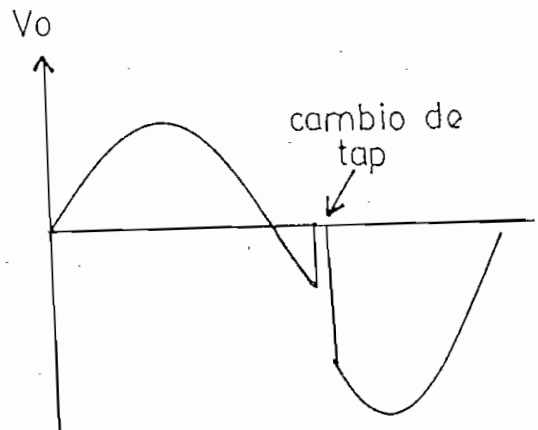
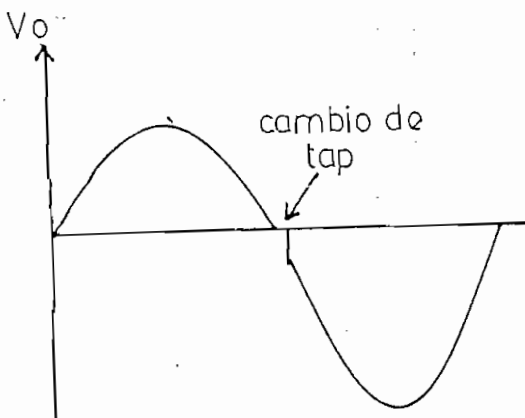
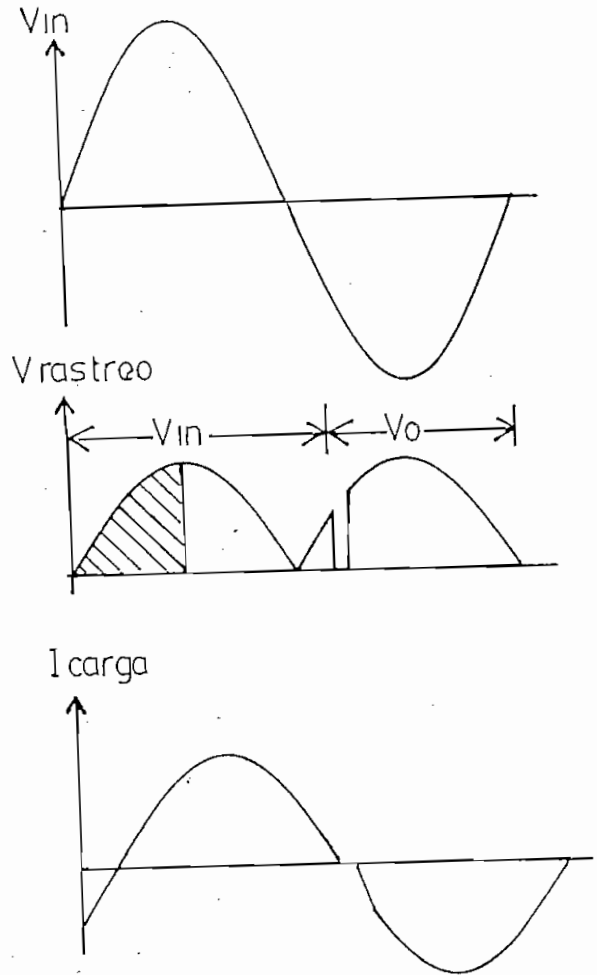
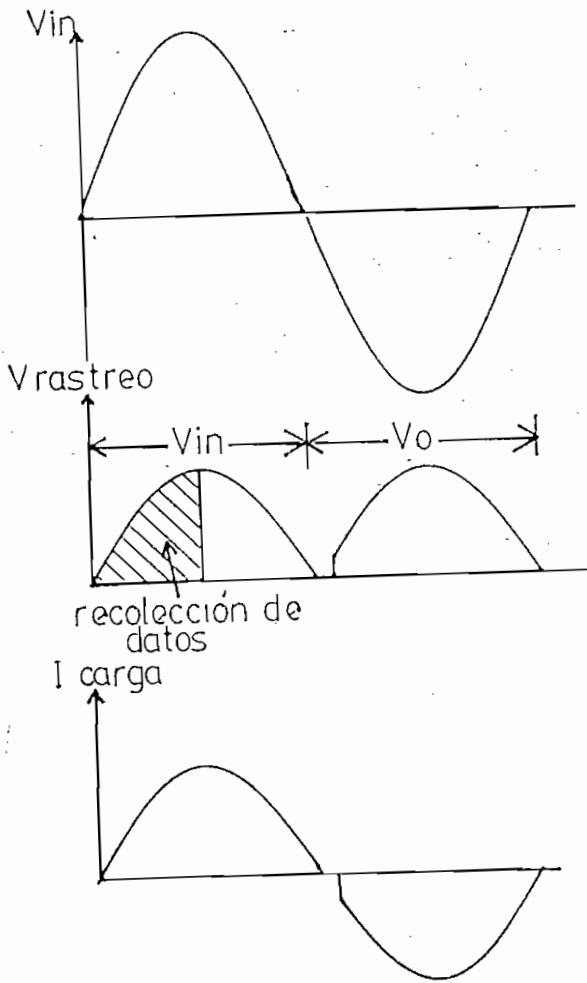


FIGURA 1.10

CAPITULO II

REQUERIMIENTOS Y DISEÑO DEL SISTEMA

2.1 REQUERIMIENTOS DEL SISTEMA

El diseño de este regulador deberá tomar en cuenta las fallas más comunes que se dan en nuestro medio, para tratar de evitarlas o en caso contrario sacar al equipo de servicio. Para esto se han planteado los siguientes requerimientos:

La potencia será de 1.5 KVA, ya que ésta será suficiente para un equipo de computación de tipo personal o algún equipo digital pequeño y su factor de potencia inductivo mínimo será de 0.8.

El regulador de voltaje a construirse ⁽³⁾ deberá reducir las fluctuaciones de hasta el 25% por debajo y el 15% por encima del voltaje nominal a un valor dentro del +/- 5% del voltaje nominal, asegurando así una protección completa incluso para los equipos más sensibles.

Si el voltaje en la entrada supera los 138 voltios, el equipo quedará fuera de servicio, señalizando esta condición, lo que significa que el sistema se desconectará de la línea hasta que sea reconectado nuevamente y las condiciones de voltaje no superen este límite.

Si el voltaje en la entrada es menor de 90 voltios, el equipo quedará fuera de servicio acompañado de su respectiva señalización.

Además, en estudios realizados, ⁽⁴⁾ se ha comprobado que la mayor cantidad de problemas corresponden a disturbios de poca duración denominado ruido eléctrico, razón por la cual se hace necesario que éste regulador posea un filtro de entrada y elementos supresores de picos y si a pesar de esta protección el equipo detecta que existe un excesivo ruido en la línea al punto

que exceda su capacidad de recorte y supresión, éste lo desconectará y señalará la correspondiente condición.

Idealmente, '3' se debería recibir energía eléctrica de corriente alterna con forma de onda sinusoidal de voltaje y frecuencia fijos. Desgraciadamente, en las zonas residenciales, industriales y rurales, esto no se da, por lo que el regulador deberá ser capaz de que a más de regular el voltaje, realice un rastreo de la frecuencia y si detecta que esta se aleja un 5% '4' de su valor nominal durante un cierto número de ciclos seguidos, el equipo saldrá de servicio y señalará la respectiva falla.

Necesitamos también asegurarnos que el regulador en lo posible no introduzca ningún tipo de distorsión armónica por lo que debemos utilizar elementos y una circuitería que nos aseguren esta condición.

En vista del requerimiento anterior, se usará un autotransformador de 1.5 KVA y que tenga una buena regulación para que los voltajes tanto en vacío como a plena carga no difieran demasiado. Además se utilizarán triacs con sus respectivas protecciones en lugar de los tradicionales relés ya que éstos nos ofrecen mejores condiciones de velocidad de respuesta y no tienen el problema de los arcos eléctricos que los relés provocan al conectarse.

Con respecto al cambio de tap, el tiempo que el voltaje de salida permanecerá en cero durante la transición, deberá ser menor a medio ciclo de la red, o lo que es lo mismo, menor a 8.33 ms. '7' en vista de que éste es el tiempo en que las memorias de los circuitos digitales pueden con seguridad retener la información.

El equipo deberá tener protecciones contra sobrecargas y contra

cortocircuitos. La implementación de estas protecciones será por software y/o por hardware.

El regulador deberá ser de fácil utilización y tendrá la señalización necesaria con indicadores luminosos para los diferentes tipos de fallas.

Para protección contra interferencias electromagnéticas, cargas electrostáticas, en los equipos de computación se realiza la conexión a tierra razón por la cual los terminales de salida del voltaje deberán ser tomacorrientes polarizados, esto es tendrán fase, neutro y tierra.

El peso y tamaño del equipo deberán ser lo más reducidos posibles, en la medida que el autotransformador lo permita, para que no sean una molestia junto al equipo que se va a proteger.

El equipo será compacto, de tipo modular, con tarjetas impresas, de fácil armado, sin piezas móviles que obliguen a un continuo mantenimiento, además no deberá generar demasiado calor ni ruido audible que pueda molestar al usuario.

El costo del regulador a construirse, deberá ser el más bajo posible de tal manera que su inversión no resulte alta en comparación al costo del equipo a protegerse. Además habrá que asegurarse que los elementos que se van a utilizar sean de fácil adquisición en el mercado local para que su construcción sea rápida y por ende su costo disminuya.

2.2 DESCRIPCION GENERAL DEL SISTEMA

2.2.1 Diagrama de bloques del sistema.

En el diagrama de bloques generalizado de la figura No 2.1 se

pueden visualizar las diferentes etapas necesarias para lograr el diseño del regulador de voltaje, las cuales realizan las siguientes funciones:

La etapa de potencia estará conformada por un autotransformador de varios taps, los cuales serán conectados a la carga por medio de triacs. Estos a su vez estarán comandados por el circuito de control.

Luego, se tiene el circuito de polarización el cual se alimentará del voltaje de entrada. Por esta razón el circuito de polarización deberá tener una regulación de voltaje tal que ante el amplio rango de variación del voltaje de entrada pueda garantizar un voltaje constante a la salida, para que el circuito de control pueda operar apropiadamente.

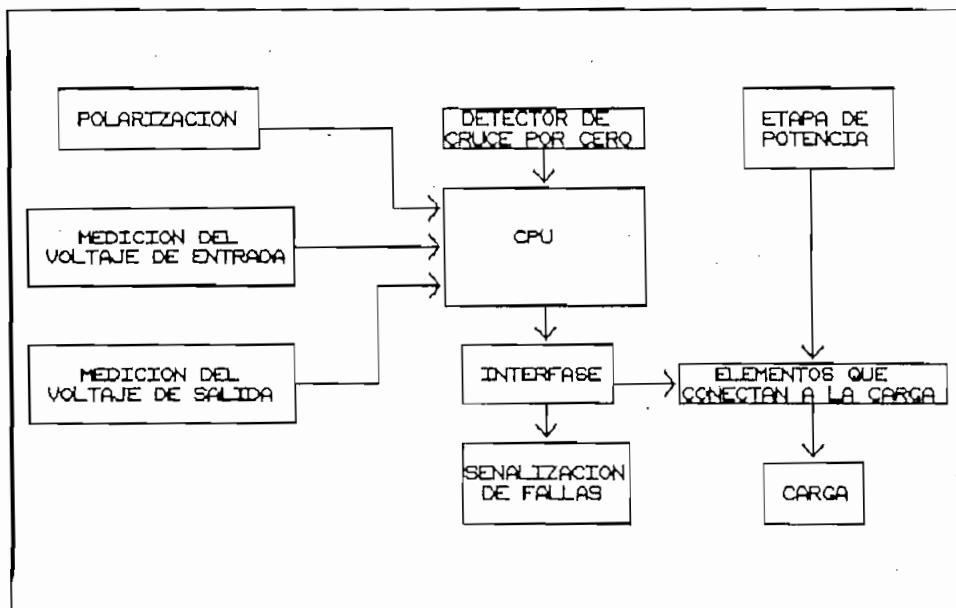


FIGURA 2.1 Diagrama de bloques general del sistema

La regulación del voltaje de salida se lo realizará en base a la medición del voltaje de entrada, por lo tanto hay que medir su magnitud para que dependiendo de su valor se pueda mantener el

voltaje de salida dentro de los límites requeridos.

La medición del voltaje de salida será necesario para realizar la conmutación de taps, ya que su presencia detectará la conexión o desconexión de los triacs que conectan la carga. Además este voltaje ayudará a detectar fallas de cortocircuito.

La detección de los cruces por cero en el voltaje de entrada será la señal utilizada para empezar a medir el voltaje dentro de cada ciclo además que ayudará a medir la magnitud de la frecuencia.

La unidad central de proceso, cuyas funciones serán: decidir el tap en base al voltaje de entrada, decidir cuando conectar un nuevo tap en base al voltaje de salida, verificar la frecuencia, verificar ruido eléctrico excesivo, verificar condiciones de falla etc. estará constituido básicamente por un microcontrolador que supervisará las diferentes etapas y comandará la interfase para lograr el activado de la etapa de potencia y la señalización.

2.2.2 Descripción del sistema.

El primer requisito que se debe cumplir, es la regulación de voltaje, por lo tanto las curvas de respuesta de voltaje deberán tener características tales que con el menor número de taps se pueda cumplir con los requerimientos pedidos. En la figura No 2.2 se tienen las características de voltaje que pueden servir para el propósito de donde se concluye que el número de taps requeridos es cinco.

Con las características expuestas, el regulador tendrá la curva característica de regulación de voltaje de la figura No 2.3.

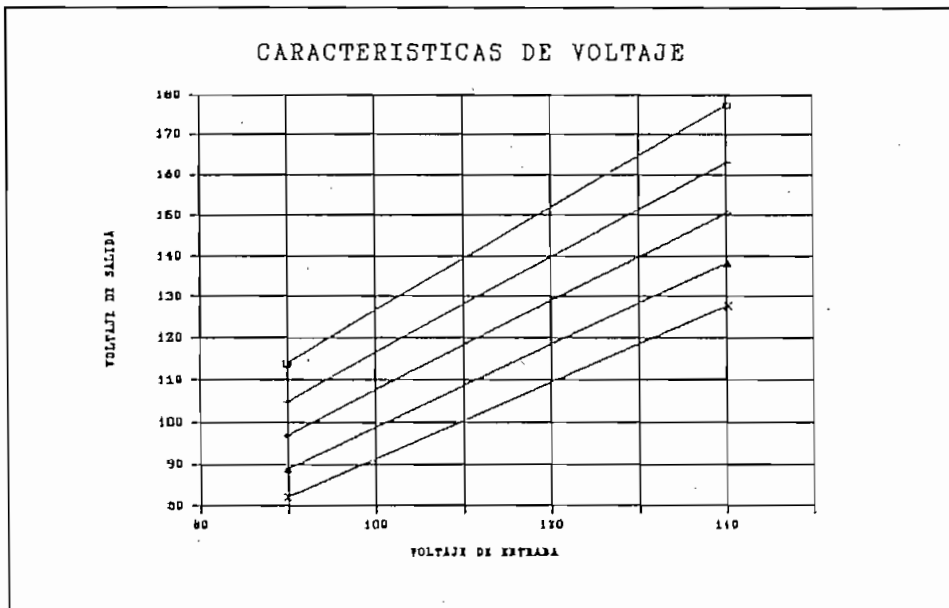


FIGURA No 2.2 Características de voltaje necesarias para la regulación

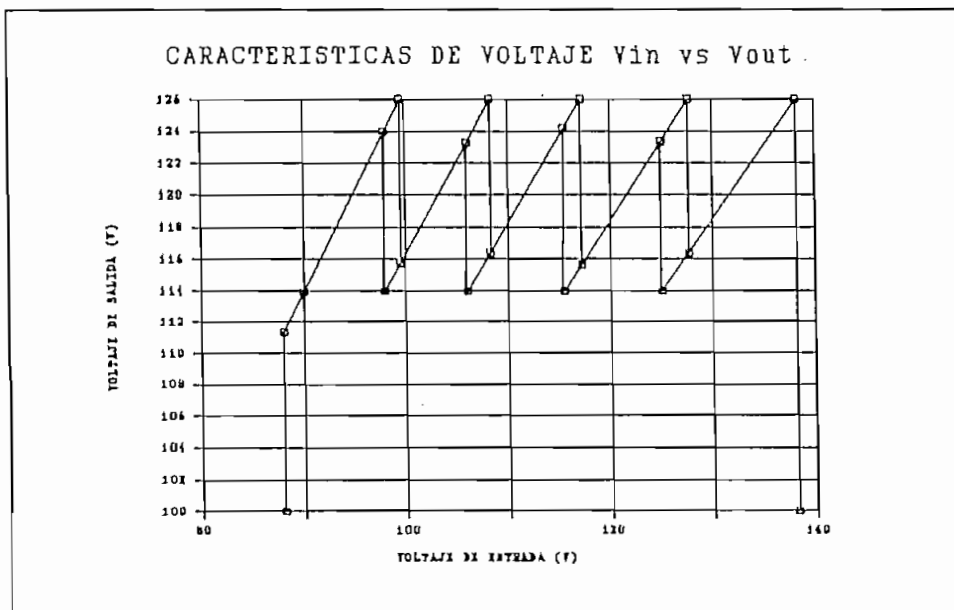


FIGURA 2.3 Regulación de voltaje

Con fines de construcción del regulador en el presente trabajo se utilizará un autotransformador de cinco taps y la conexión de

éstos a la carga se los realizará con triacs, por sus buenas características de respuesta.

El siguiente paso es seleccionar un microcontrolador que pueda manejar la información tanto del voltaje de entrada como de salida, luego procesar la información y dependiendo de ésta comandar los triacs para el activado de la carga o de la señalización de fallas.

Dado que los voltajes tanto de entrada como de salida son analógicos y los datos que el microcontrolador puede recoger son digitales será necesario utilizar un conversor analógico digital que en primera instancia se ajuste a los valores TTL utilizados en el circuito y que su interfase sea fácil de realizar.

Para medir la magnitud del voltaje de entrada, se tomarán 30 muestras en el primer cuarto de ciclo y suponiendo un factor de forma constante, la sumatoria de éstas corresponderán a un valor de voltaje RMS que el microcontrolador lo tomará como referencia para la selección de taps.

La resolución que el conversor necesite dependerá del número de datos recogidos, de su sumatoria y del valor de la histéresis que se le vaya a dar al voltaje de entrada para el cambio de tap.

Observando los diferentes conversores análogo/digitales que ofrece el mercado local, se comprobó que los conversores de la serie desde ADC0801 a ADC0805 ofrecen excelentes características de compatibilidad en hardware además que su resolución es suficiente para el propósito requerido, como lo demuestra el siguiente ejemplo.

El peor de los casos se tendrá en la histéresis cuando el voltaje es el más bajo, esto es en 97.94 y 99.47 voltios.

(figura_2.3)

Para este caso se tiene:

Si 140 voltios corresponde a 255 (FFH) entonces 97.94 (V) corresponderá a 178 (B2H) y 99.47 (V) a 181 (B5H).

Los límites con los que comparará el microcontrolador para realizar un cambio de tap serán:

$$\sum_{1}^{30} 178 \sin 3n-3487, n=1, 2, \dots$$

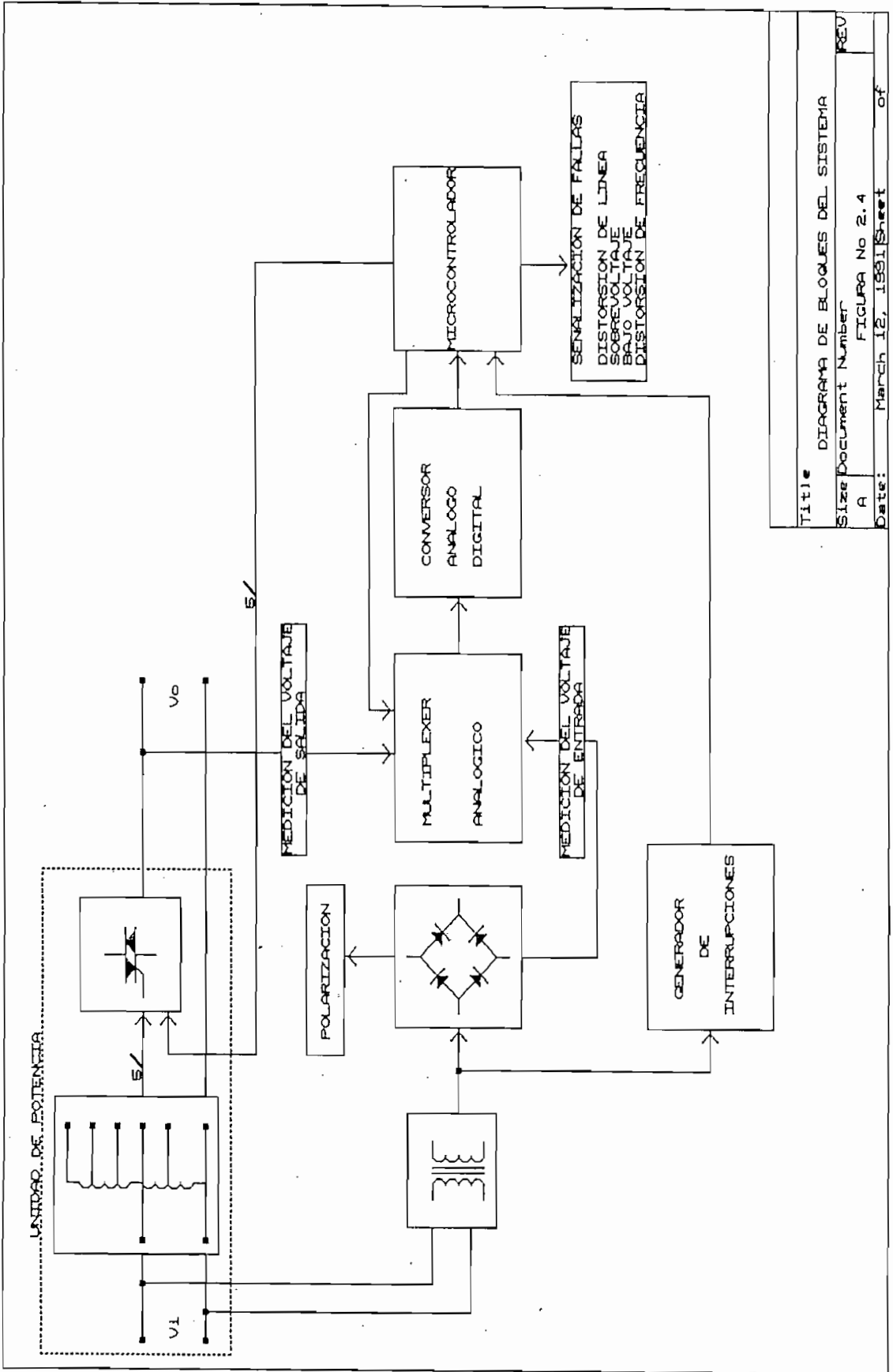
$$\sum_{1}^{30} 181 \sin 3n-3546, n=1, 2, \dots$$

La diferencia de 59 unidades, en la práctica demostró que es suficiente para la aplicación requerida.

En la figura No 2.4 se pueden observar en forma detallada los elementos y las etapas necesarias para el diseño.

En la etapa de potencia se tiene un autotransformador con cinco taps, cada uno con su correspondiente triac y sus protecciones, los cuales se conectarán adecuadamente a la carga cuando el microcontrolador lo crea conveniente.

La unidad de control está constituida inicialmente por un rectificador tipo puente que sirve tanto para la polarización cuanto para obtener la señal de voltaje de entrada que pasará al multiplexer analógico. La segunda señal que éste tomará es la del voltaje de salida, estas dos señales acondicionadas y multiplexadas adecuadamente por el microcontrolador entrarán al conversor análogo/digital.



Title: DIAGRAMA DE BLOQUES DEL SISTEMA
 Size: Document Number: A
 FIGURA No 2.4
 Date: March 12, 1991 Sheet 1 of 1

La señal que se tomará como referencia para el control, es el voltaje de entrada, tomado a través de un rectificador de onda completa, ya que de éste voltaje depende el voltaje de salida, además tomando esta señal como muestra se logra detectar el ruido eléctrico en la línea en caso de existir.

Al empezar el ciclo del voltaje de entrada, que será comunicado por el generador de interrupciones o detector de cruce por cero, el microcontrolador ordena al multiplexer le envíe la señal del voltaje de entrada, la cual primero pasará por el conversor análogo digital y durante el primer cuarto de ciclo serán tomados treinta datos y cargados en el microcontrolador por el bus de datos. Una vez tomadas estas muestras y procesadas adecuadamente en el microcontrolador, éste seleccionará el tap que debe conectarse a la carga para que el voltaje de salida permanezca dentro de los límites requeridos.

Una vez que ya se escogió el tap a ser conectado, quedan dos posibilidades. La primera, si el tap escogido corresponde al mismo anterior, no existirá ningún cambio y el microcontrolador esperará la señal de interrupción para empezar nuevamente el ciclo. Para el segundo caso, si el nuevo tap corresponde a uno diferente que el anterior, habrá que esperar que la corriente de carga se haga cero, momento en el cual el primer triac se apagará y podrá entrar el nuevo tap escogido por el microcontrolador para conectarse a la carga y luego esperar la interrupción para empezar un nuevo ciclo. Para esta operación se hace necesario el ingreso del voltaje de salida al microcontrolador, esto es: se esperará que la corriente se haga cero, y el triac que estuvo conduciendo se apague. En este instante ninguno de los triacs conducen por lo que el voltaje de salida es igual a cero, acción que será detectada por el microcontrolador el cual inmediatamente conectará el nuevo tap. Cualquiera de los cinco taps estarán conectados mientras el voltaje de entrada esté dentro de los

límites impuestos. Si sale el voltaje de estos límites, el microcontrolador señalará el evento y desconectará indefinidamente los triacs.

Por último, en el circuito de control se tiene la señalización de las respectivas fallas que estarán comandadas por el microcontrolador, dependiendo de la falla que haya detectado.

2.3 DISEÑO DEL CIRCUITO DE CONTROL

Para empezar el diseño del circuito de control, primeramente se debió escoger el microcontrolador con el cual se podía trabajar, ya que éste es el que va a comandar prácticamente a todo el sistema.

Observando los diferentes microcontroladores que ofrece el mercado, se escogió el 8748 de la Intel, ya que éste ofrece excelentes características técnico-económicas para la aplicación en el regulador de voltaje que se va a construir.

2.3.1 El microcontrolador 8748

En la figura No 2.5 se puede observar la distribución de pines del microcontrolador.

El microcontrolador 8748 fué introducido en 1976 y es el miembro más representativo de la familia de controladores de 8 bits MCs-48; gracias al desarrollo de la tecnología HMOS, se tiene todo el microcontrolador en un solo circuito integrado tipo Dip de 40 pines, cuyas características principales son.

- CPU de 8 bits
- Memoria interna: 1K de EPROM y 64 bytes de RAM
- Tiempos de ciclo de 1.36 useg. (cristal de 11 MHz)

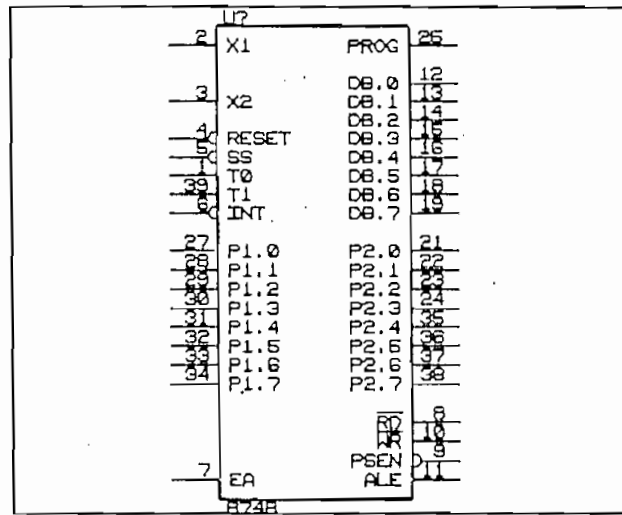


FIGURA 2.5 Distribución de pines del microcontrolador 8749

- Oscilador y circuito de control incorporados.
- 27 líneas de entrada y salida programables.
- Un temporizador/contador de 8 bits
- 96 instrucciones de 1 ó 2 ciclos de las cuales el 70% es de 1 byte.
- Aritmética binaria y BCD
- 8 niveles de stack.
- Dos bancos de registros
- Posibilidad de ejecución del programa paso a paso.

2.3.1.1 Sección aritmética

Esta conformada por las siguientes partes:

- Unidad aritmética y lógica ALU
- Acumulador.
- Bandera de carry
- Decodificador de instrucciones.

2.3.1.2 Memoria de programa

La memoria interna de programa es tipo EPROM y consiste en 1024

palabras de 8 bits direccionadas por el contador de programa. existen 3 localidades de singular importancia.

-LOCALIDAD 00H: En esta localidad se encuentra la primera instrucción que ejecuta el procesador cuando se realiza un reset.

-LOCALIDAD 03H: El procesador salta a esta localidad (si la interrupción está habilitada) cuando se activa la llamada de interrupción externa.

-LOCALIDAD 07h: Una interrupción del Timer/Conter (si la interrupción está habilitada) causa un salto a esta localidad.

Además tiene una memoria interna de datos de tipo RAM que está organizada en 64 palabras de 8 bits, que pueden ser direccionadas por los registros R0 y R1.

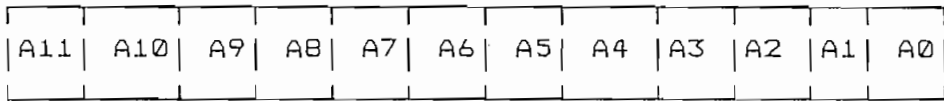
2.3.1.3 Entrada/salida

El 8748 tiene 27 líneas las cuales pueden ser utilizadas para funciones de entrada y salida, estas líneas son agrupadas en tres puertos de 8 bits P1, P2 , un Bus de datos y tres entradas adicionales que de acuerdo a su estado lógico pueden alterar la secuencia del programa mediante saltos condicionales.

A los puertos P1 y P2 se los denomina cuasidireccionales debido a su especial estructura. El bus de datos es también un registro de 8 bits de entrada y salida o bidireccional.

2.3.1.4 contador de programa

Es un registro de 12 bits, organizado de la siguiente manera

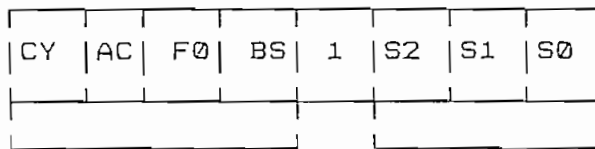


Cuenta: 0000H - 03FFH

Los bits más significativos son utilizados cuando se trabaja con memoria externa.

2.3.1.5 Palabra de estado (PSW)

Es un registro de 8 bits que guarda la información de ciertos parámetros del programa, su contenido es el siguiente.



Se almacena en Puntero del stack
en el stack.

CY: Carry

AC: Carry auxiliar

F0: Bandera 0

BS: Selección de banco de registro.

2.3.1.6 Interrupciones

Se tiene dos tipos de interrupciones: una externa que se activa al existir un cero lógico en el pin 6 (INT) y otra que se produce por el Timer/Counter cuando éste sobrepasa la capacidad de conteo. Para su ejecución es necesario habilitar las interrupciones respectivas por software.

2.3.1.7 Timer\Counter.

El microcontrolador 8748 posee un registro de 8 bits que puede actuar como contador de eventos externos o generando tiempos de retardo de gran precisión. En ambos casos la operación es la misma, la diferencia está en la fuente del reloj para el conteo. Cuando este registro supera su capacidad, setea la bandera TF y produce un llamado de interrupción (Si está habilitada).

El Temporizador utiliza 32 ciclos de máquina para incrementar su valor.

2.3.1.8 Reset

Es una entrada de gran importancia, ya que inicializa el procesador. Internamente existe una resistencia de pull up, que en combinación con un condensador genera un pulso de suficiente longitud para que todo el circuito se resetee.

El reset realiza las siguientes funciones.

- Carga el contador de programa con 00H
- Carga el puntero del Stack con 00H
- Selecciona el banco de registro cero
- Selecciona el banco de memoria cero
- Coloca el bus en alta impedancia (excepto cuando EA es 5 (v))
- Coloca P1 y P2 como entradas
- Deshabilita las interrupciones.
- Detiene el Timer
- Borra las banderas F0 y F1
- Deshabilita a T0 como salida de reloj.

Para mayor información y set de instrucciones referirse a anexo_A

Además de todas las facilidades técnicas que presta el microcontrolador 8748, es de fácil adquisición en el mercado local a precios relativamente convenientes.

Otra de las circunstancias que llevó a utilizar éste elemento es la facilidad de conseguir los simuladores correspondientes, los cuales se encuentran implementados en un computador personal y en general se cuenta con las herramientas necesarias que facilitan el desarrollo de proyectos en base a éste microcontrolador.

2.3.2 El conversor análogo digital ADC0804

El conversor análogo/digital que se ha escogido es el ADC0804, cuya distribución de pines se la puede observar en la figura No 2.6

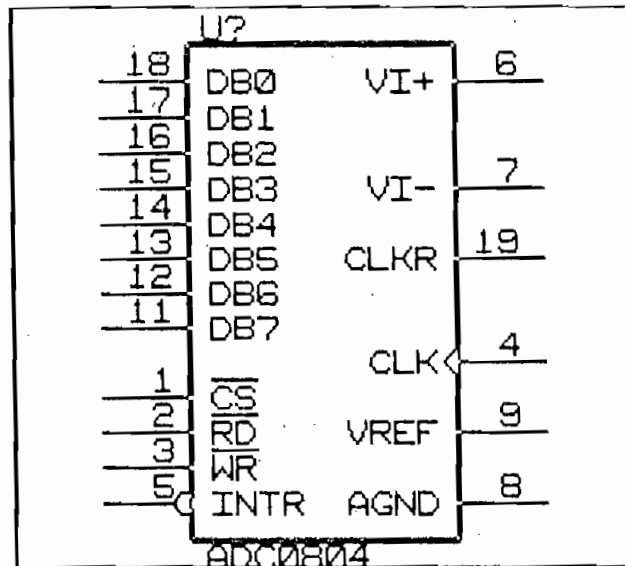


FIGURA 2.6 Distribución de pines del conversor Análogo/Digital ADC0804

Características:

-Es compatible con el microcontrolador 8748 y sus derivados, no

necesita ninguna interfase lógica y tiene un tiempo de acceso de 135 ns.

- Tiene un voltaje de entrada análogo diferencial.
- Los voltajes de entrada y salidas lógicas satisfacen los niveles TTL
- Para el voltaje de referencia puede trabajar hasta con 2.5 voltios.
- Tiene incorporado un generador de reloj.
- El voltaje de entrada análogo tiene un rango de 0 a 5 voltios, con un voltaje de polarización de 5 voltios.
- El valor de referencia cero, es ajustable.
- La resolución es de 8 bits.

Esta resolución significa que el valor análogo más pequeño que puede variar es de $5/2^8$ (v) (19.5 mv), para que el voltaje digital varíe en la unidad.

- El error total es de 1 bit menos significativo.
- Tiempo de conversión de 100us

2.3.3 Distribución de los recursos del microcontrolador.

Aprovechando que el microcontrolador tiene dos pórtricos y un bus de datos se realizará la distribución de la siguiente manera: El bus de datos será el encargado de recibir los datos que se obtengan del conversor análogo/digital, además se conectarán sus

respectivas líneas de lectura y escritura. Esto se realiza por la facilidad que prestan el microcontrolador y el conversor de lograr una interfase directa y la lectura se lo realizará por medio de software.

El pórtico uno se lo destinará para el activado de los triacs y el pórtico dos activará las diferentes señales de falla cuando éstas se presenten.

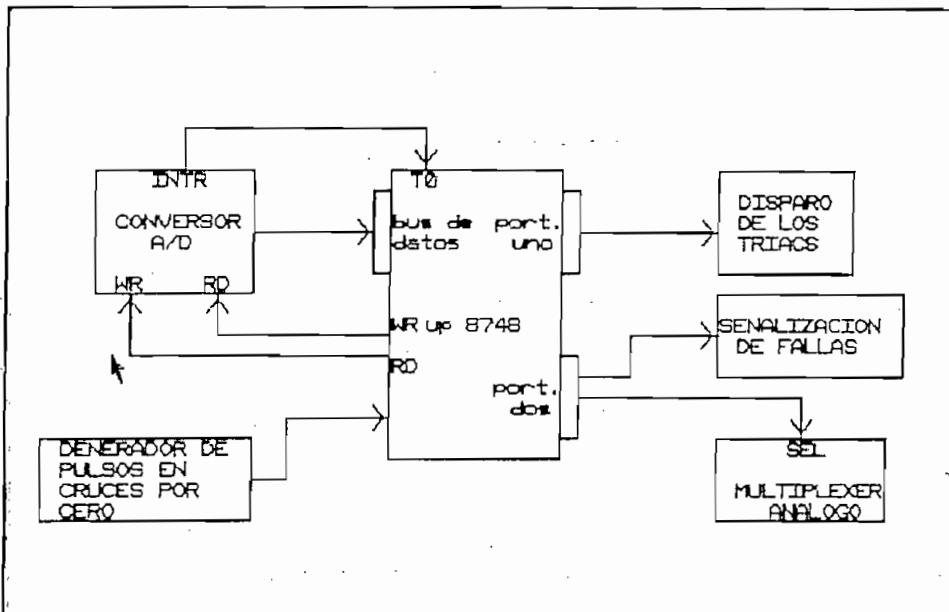


FIGURA 2.7. Distribución de los recursos del microcontrolador

Cabe también dar a conocer que un pín del pórtico dos se destinará para la línea de selección del multiplexer análogo y la salida INTR del conversor entrará al microcontrolador conectándose al pín T0, para verificar la finalización de la conversión.

Por último, desde un generador de pulsos, que detectará los cruces por cero del voltaje de entrada se conectará una línea al pín INT (interrupción) para inicializar un nuevo ciclo de

medición del voltaje.

En la figura 2.7 se puede observar la distribución de los recursos del microcontrolador.

2.3.4 Diseño de la fuente de poder.

Para poder escoger la fuente de polarización, primeramente se debe realizar un dimensionamiento aproximado de la corriente que el circuito de control va a necesitar.

Refiriéndose a las especificaciones del anexo A, de los diferentes elementos utilizados, se puede dimensionar la fuente de la siguiente manera:

Microcontrolador	150 mA.
Conversor A/D	30 mA
Multiplexer analógico	10 mA
Comparador LM339	2mA
Amplificador LM324	10 mA
Schmitt-Trgger MM74C14	60mA
Activado de triacs	50 mA
Señalización	20 mA

Estos valores son referenciales, razón por la cual se debe agregar un buen rango de seguridad.

En total suman 332 mA, que con un buen margen, 500 mA serán suficientes para la capacidad de la fuente de polarización.

Observando las diferentes fuentes que ofrece el mercado, se ha escogido el regulador integrado ECG 960 cuyas especificaciones son de 5 voltios y 1 A, que serán sobradamente suficientes para comandar el circuito de control.

Para los cálculos del transformador y el filtro de la fuente se han tomado las siguientes expresiones (e), cuyos parámetros pueden visualizarse en la figura No 2.8

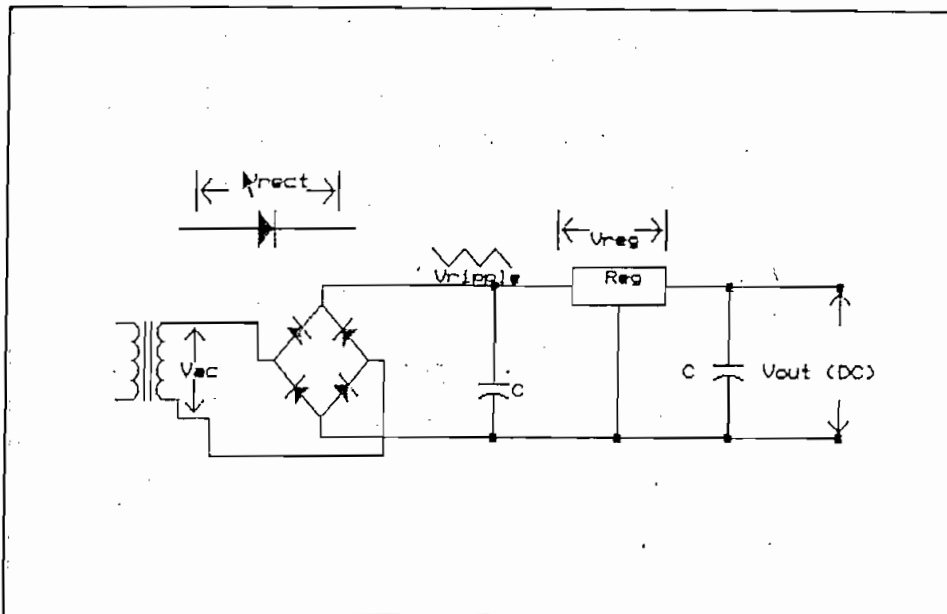


FIGURA 2.8 Elementos del filtro para la fuente

$$V_{ac} = \frac{V_{out} + V_{reg} + V_{rect} + V_{ripple}}{0.92 \sqrt{2}} * \frac{V_{nom}}{V_{lowline}}$$

$$I_{ac} = 1.8 * \text{DC current}$$

En donde:

0.92 = Eficiencia típica del regulador.

V_{reg} = mayor que 3 voltios

V_{rect} = $2 * 0.7$ (rectificador tipo puente) = 1.4 Voltios

V_{ripple} = Voltaje pico de rizado = $0.75 V_{pico}$ (1.5 vpp)

V_{nom} = Voltaje nominal de la red. = 120 V

$V_{lowline}$ = Voltaje más bajo que puede tomar la línea = 90 V

Con los valores expuestos y para una corriente de 500 mA, el transformador a utilizarse será de 120 a 10.5 voltios y de una

corriente RMS de 0,9 Amperios.

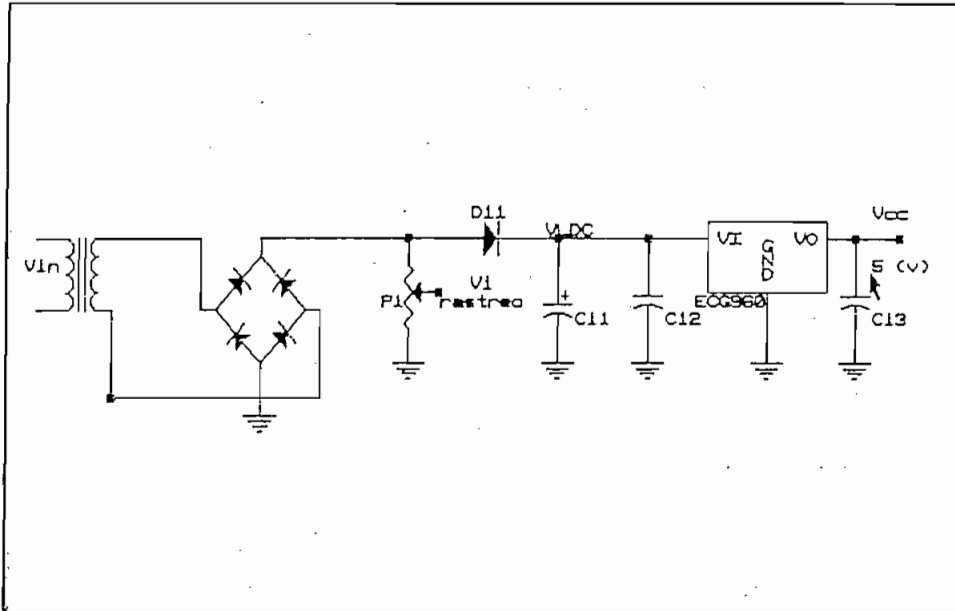


FIGURA 2.9 Fuente de poder.

El capacitor se calculará en base a la siguiente expresión: (4)

$$C = \frac{I_L}{\Delta V} * 6 * 10^{-3}$$

En donde:

I_L = Corriente continua de carga. = 0.5 A

$$\Delta V = V_{\text{pico-pico de rizado}} = 1.5 V$$

Por lo tanto el valor del capacitor será de 2000 uF.

En la figura No 2.9 se puede observar el circuito de la fuente utilizada.

2.3.5 Medición del voltaje de entrada

Para obtener una señal proporcional al voltaje de entrada y poder medirlo, se aprovecha el voltaje del rectificador, pero para esto nos hace falta colocar el diodo D1, ya que de no ser así, lo que se obtendría sería el voltaje sobre el condensador

C11, que ya no es sinusoidal. Dado que el límite de voltaje a introducir en el conversor es 5 voltios, hace falta la presencia de un potenciómetro que además de servir como divisor de voltaje servirá para realizar la calibración del equipo, este será el potenciómetro P1. (figura No 2.9)

El dimensionamiento del potenciómetro P1 se lo realizó experimentalmente, para asegurarnos que el voltaje que entra al multiplexer analógico sea lo más parecido al de salida y de ésta manera asegurarnos la medición exacta.

El valor adecuado que se logró encontrar para el potenciómetro fue de 5K. Además con este se logra calibrar el voltaje de salida.

2.3.6 Medición del voltaje de salida.

Además de la señal del voltaje de entrada, necesitamos también la señal del voltaje de salida para detectar el momento en que la corriente de carga se hace cero, para lo cual utilizamos la disposición circuital de la figura 2.10 que actúa como un rectificador de onda completa.

En la figura No 2.10 se puede observar el circuito con el cual se logra obtener la señal de voltaje de salida. En vista de que éste voltaje es sinusoidal, habrán voltajes positivos y negativos por lo que se han obtenido circuitos equivalentes en sus respectivos casos.

En la figura 2.11 se observan los circuitos equivalentes mencionados y en la figura 2.12 finalmente se tiene un equivalente Thevenin de cada circuito.

El valor $|V+|$ y $|V-|$ se lo tomó como el pico máximo del voltaje

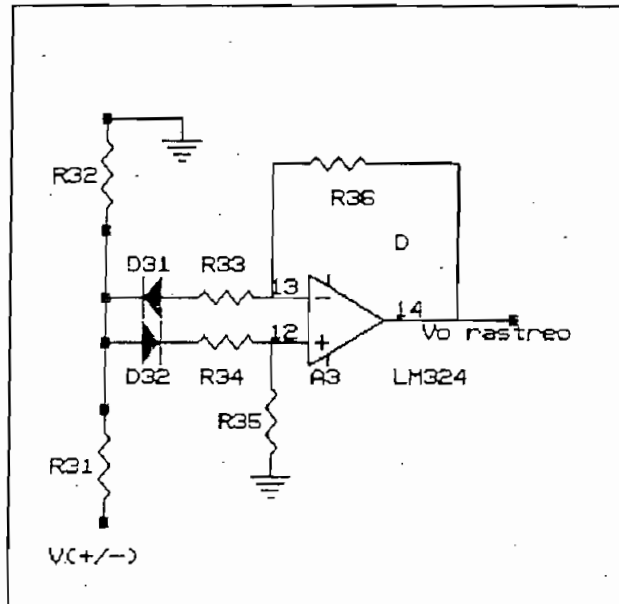


FIGURA 2.10 circuito utilizado para medir el voltaje de salida

de salida, esto es: 178 voltios o lo que es lo mismo $120 \times 1.4142 \times 1.05$ voltios.

El objetivo es lograr que el voltaje de salida del amplificador operacional sea menor que 5 voltios, pero su valor debe ser fácilmente detectable, esto es: puede ser mayor que 1.5 voltios.

Los valores de las resistencias para lograr el objetivo propuesto son las siguientes.

$$\begin{array}{lll} R32 = 2.7 \text{ K} & R33 = 1\text{K} & R36 = 1.2\text{K} \\ R31 = 100 \text{ K} & R35 = 8.2\text{K} & \end{array}$$

Los valores obtenidos para V^+ y V^- son los siguientes.

$$\begin{array}{ll} V_{eq+} = 3.06 \text{ V} & V_{eq-} = 4.47 \text{ V} \\ R_{eq+} = 2.52 \text{ K} & R_{eq-} = 1.56 \text{ K} \\ V_{o+} = 3.06 \text{ V} & V_{o-} = 2.1 \text{ V} \end{array}$$

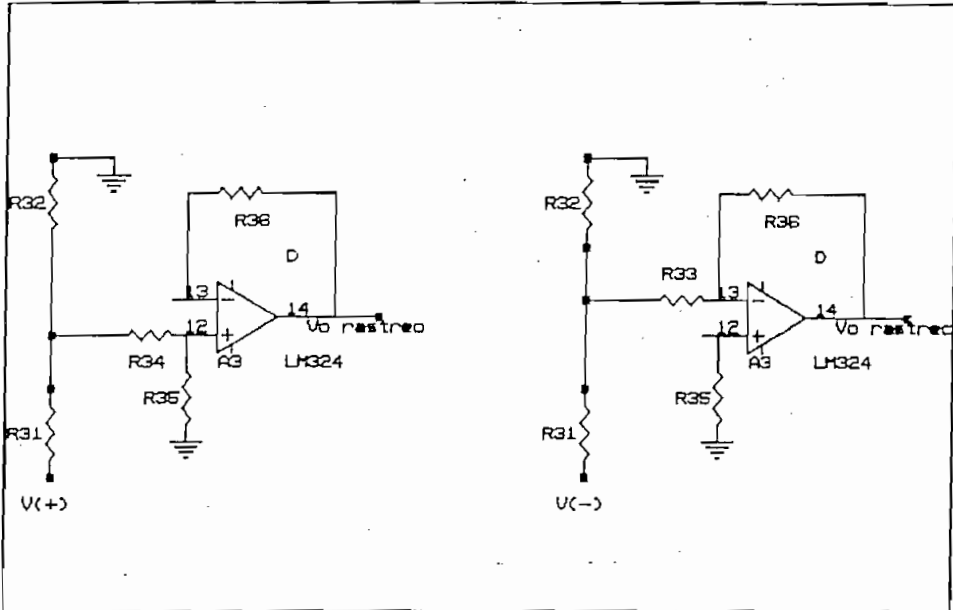


FIGURA 2.11 Equivalente del circuito para $V+$ y $V-$

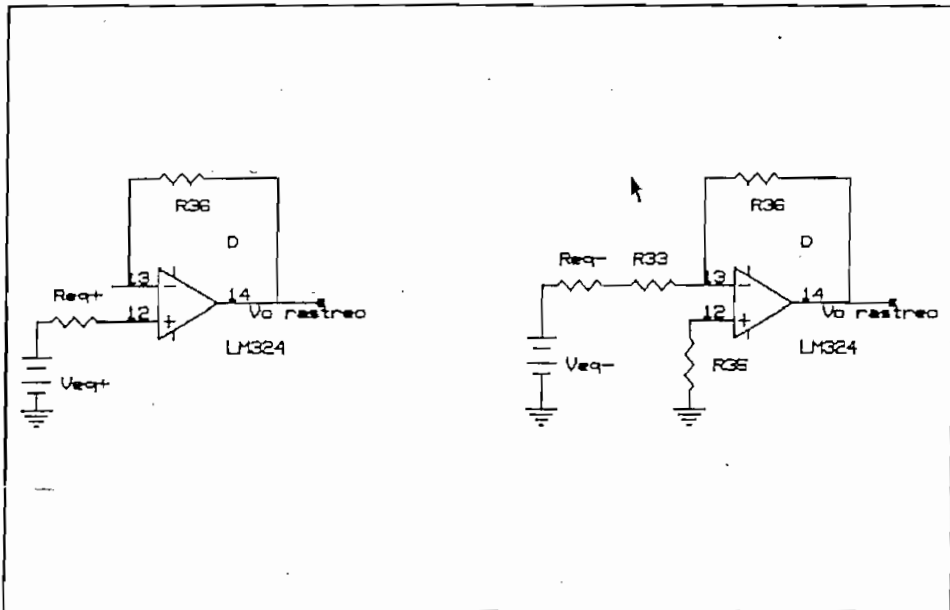


FIGURA 2.12 Equivalente thevenin del circuito de la fig 2.10

2.3.7 Generación de la señal de interrupción.

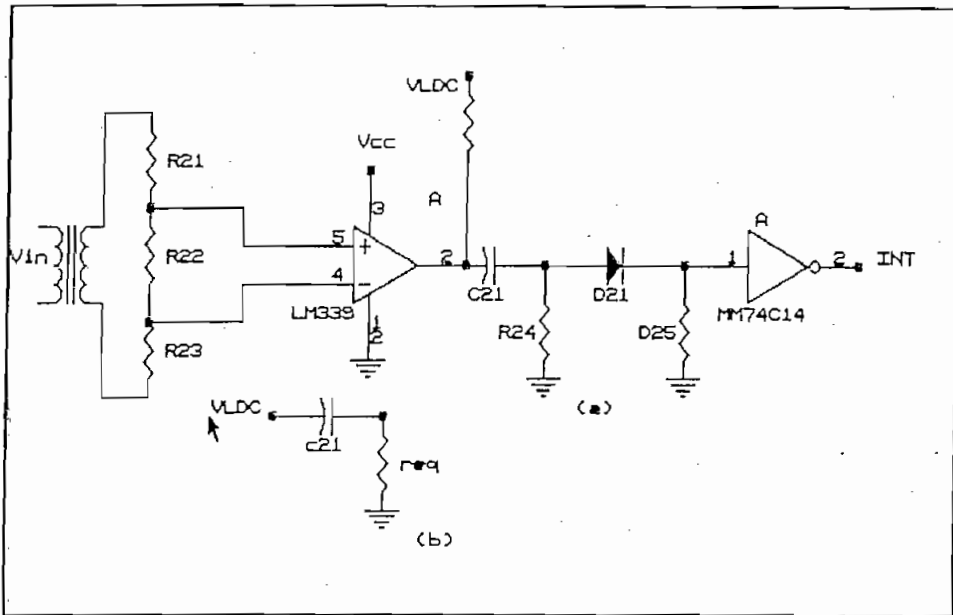


FIGURA 2.13 Generador de pulsos de interrupción

En vista que se necesita la interrupción al empezar cada ciclo del voltaje de la red, se aprovecha la señal del voltaje de entrada del transformador de polarización, para en esta colocar un detector de cruce por cero de la manera como se indica en la figura No 2.13 (a), para lo que se ha utilizado el comparador LM339. (anexo A)

El tiempo mínimo que debe durar el pulso de la interrupción es de tres ciclos de máquina.

Tomando en cuenta que el cristal utilizado es de 8 MHz, el tiempo mínimo que necesita la interrupción es de 5,62 μ s. En la figura No 2.13 (b) se tiene un circuito equivalente para calcular el tiempo del pulso.

En la figura No 2.13 (a) se tiene que:

VLDC= 15 V Voltaje continuo de entrada a la fuente de polarización (aproximadamente 15 V)

Si: R24 = 10k

R25 = 12K

Req = R24//R25

VT+ = 3,6 V Voltaje de inversion del Schmitt-trigger

t > 5.62 us

$$V_{R_{eq}} = VLDC * \exp(-t/RC)$$

El inversor Schmitt-trigger generará un pulso de uno lógico a cero lógico sólo cuando el voltaje sobre Req sea mayor a VT+, por lo tanto se tiene:

$$t > \ln(VLDC/VT+) * Req * C$$

Realizando las respectivas operaciones se llega a que:

$$C = C21 > 1.4 * 10^{-9} F$$

El condensador colocado en el diseño se de 0.02 uF.

2.3.8 Interfase para el activado de los triacs y la señalización.

Como se puede observar en la figura No 2.14, el pörtico uno comanda el activado de los triacs. Se ha diseñado de tal manera que cualquiera de los triacs se activen cuando el pörtico uno coloca un cero lógico en su salida, para evitar que al ser reseteado el microcontrolador se activen todos los triacs a la vez y se produzca un cortocircuito.

Por la razón expuesta anteriormente, se ha colocado como interfase para el activado, primero inversores Schmitt- Trigger (MM74C14), que son compatibles con los voltajes TTL del microcontrolador y luego drivers (ULN2003), que son capaces de manejar más de 50 mA que necesita la compuerta del triac para su

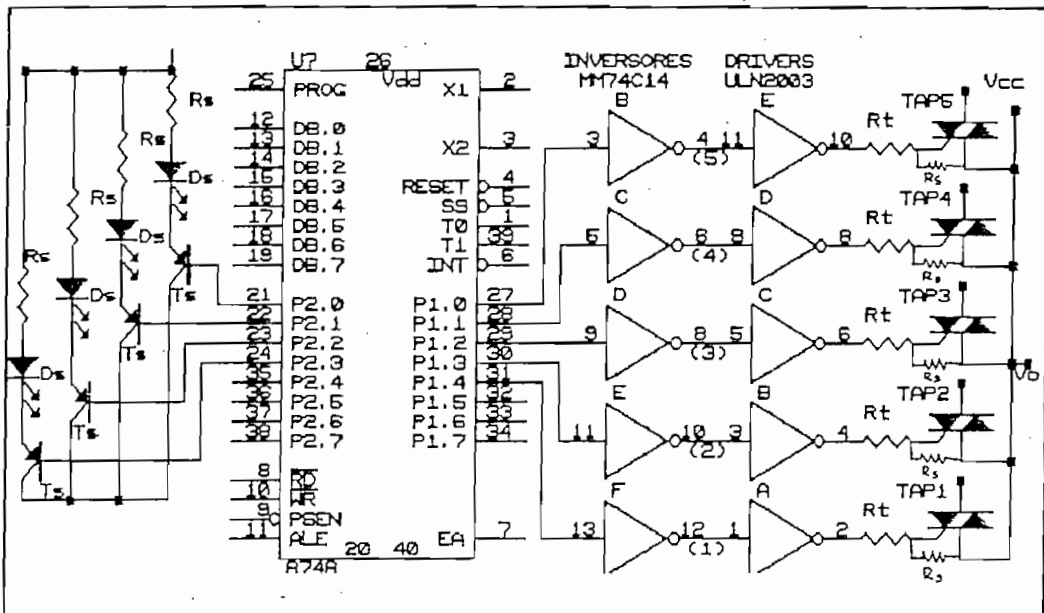


FIGURA 2.14 Interfase para el activado de los triacs y señalización

activado. (Anexo A)

$$V_{cc} = R_t \cdot I_g + V_g$$

$$V_{cc} = 5 \text{ (v)}$$

R_t = Resistencia de gate

I_g = 50 mA (Corriente de gate)

V_g = 0,6 (v) (Voltage entre A1 y gate cuando el triac conduce)

$$R_t = 88 \text{ Ohmios.}$$

Por lo tanto se colocará una resistencia R_t igual a 91 Ohmios.

Para disminuir la sensibilidad en el disparo de los triacs, se ha colocado las resistencias R_s , de ésta manera se evita que por ruido eléctrico los triacs se disparen equivocadamente.

$R_s \gg R_t$ por lo tanto $R_s = 1K$

El circuito de señalización está compuesto por 4 leds de color verde que indican las diferentes fallas mientras que un quinto

led de color rojo señaliza el encendido del regulador. Además, como se puede observar en la figura No 2.14, los leds de señalización son activados por el pòrtico dos y como interfase utilizan transistores PNP (ECG 126A).

2.4 DISEÑO DEL CIRCUITO DE ADQUISICION DE DATOS

En la figura No 2.15 se puede observar la forma como están conectados el microcontrolador con el conversor análogo digital, y la forma de recoger un dato es la siguiente: Una vez que la

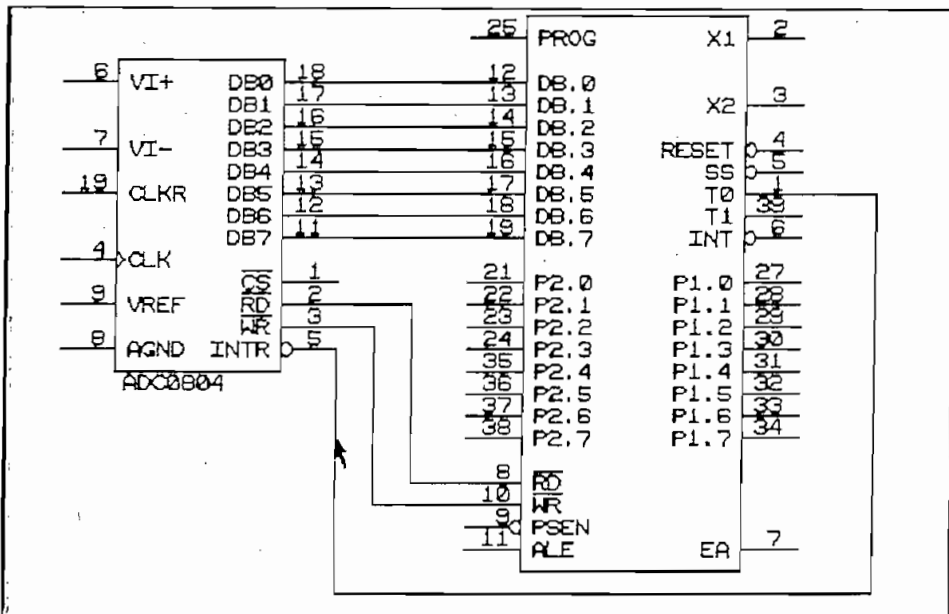


FIGURA 2.15 Adquisición de datos del conversor A/D al microcontrolador.

señal de interrupción entra al microcontrolador, éste envía una señal por un pin del pòrtico dos para que se seleccione el voltaje de entrada para la medición. Luego por medio de software se envía una señal para que empiece la conversión (MOVX @R,A), esto es: la salida WR experimentará un pulso de uno lógico a cero lógico, como indica la figura No 2.16, una vez que se termina la conversión se hace presente un pulso de INTR que es detectado por

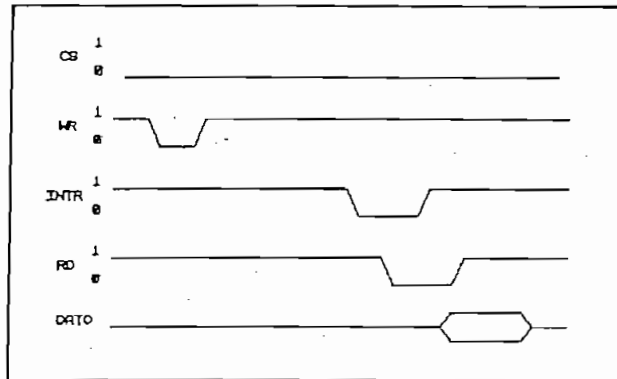


FIGURA 2.16 Diagrama de tiempos de la recolección de datos

el microcontrolador por medio del pin T0, seguidamente en el programa se ejecuta la instrucción MOVX_A,@R la cual provoca un pulso a RD y el dato se recoge. Esto quiere decir que la conversión empieza con WR (MOVX_@R,A), termina con la señal de INTR y luego se recoge con el pulso de RD (MOVX_A,@R).

2.5 DISEÑO DEL CIRCUITO DE POTENCIA

El circuito de potencia estará conformado por el autotransformador, los triacs que conectan a la carga y por las respectivas protecciones.

Como los requerimientos lo exigen, el autotransformador será de 1.5 KVA y la corriente que circulará será la siguiente:

$$S = 1500 \text{ VA}$$

$$V = 120 \text{ V}$$

$$S = V * I$$

por lo tanto:

$$I = 12.5 \text{ A}$$

Dado que en el mercado local no se encuentran interruptores termomagnéticos de éste valor, se deberá colocar uno de 15 amperios para poder utilizar toda la potencia del regulador.

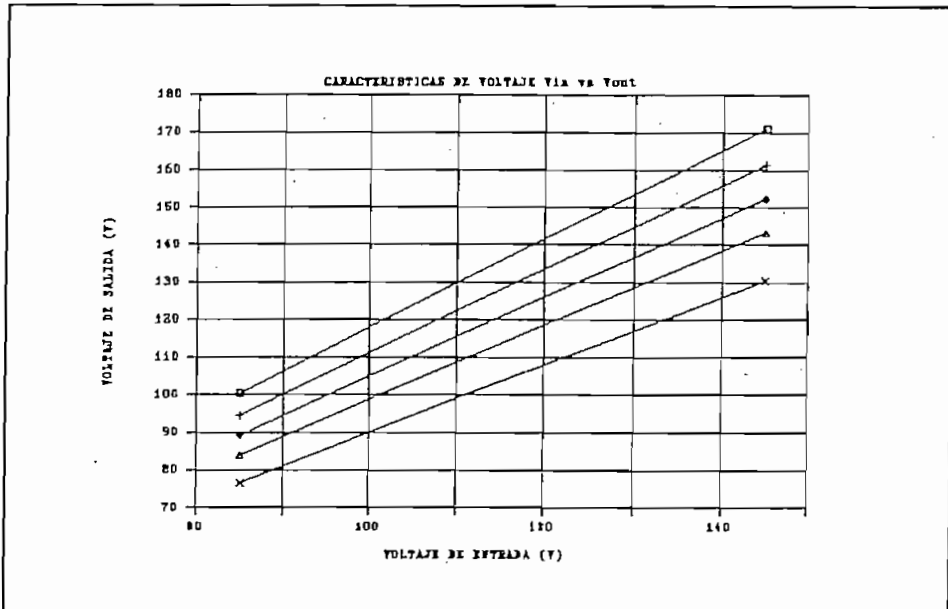


FIGURA 2.17 Características de voltaje del autotransformador

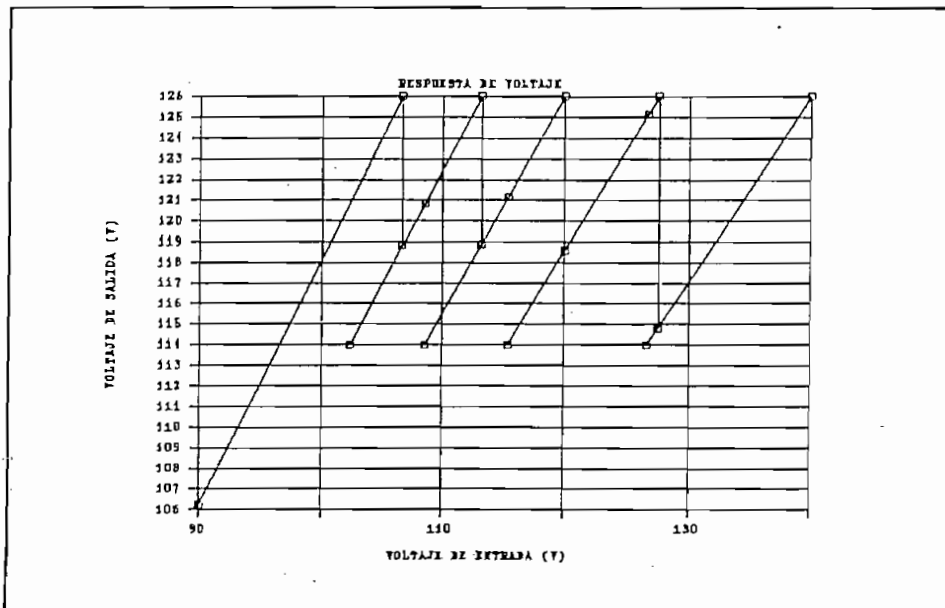


FIGURA 1.18 Respuesta de voltaje teórica del regulador.

Los triacs escogidos para el efecto son los TIC246D (anexo_A) que soportan una corriente RMS de 16 Amperios y un voltaje pico

repetitivo de 400 V.

En vista de las exigencias expuestas, el autotransformador utilizado tiene las características de voltaje de la Figura No 2.17.

Con las características de voltaje de este autotransformador se puede cumplir de una forma bastante aproximada las condiciones requeridas como indica la figura No 2.18

Además en las figuras 2.19 y 2.20 se pueden observar los circuitos tanto de control como de potencia del regulador de voltaje en su integridad.

2.6 PROTECCIONES POR HARDWARE

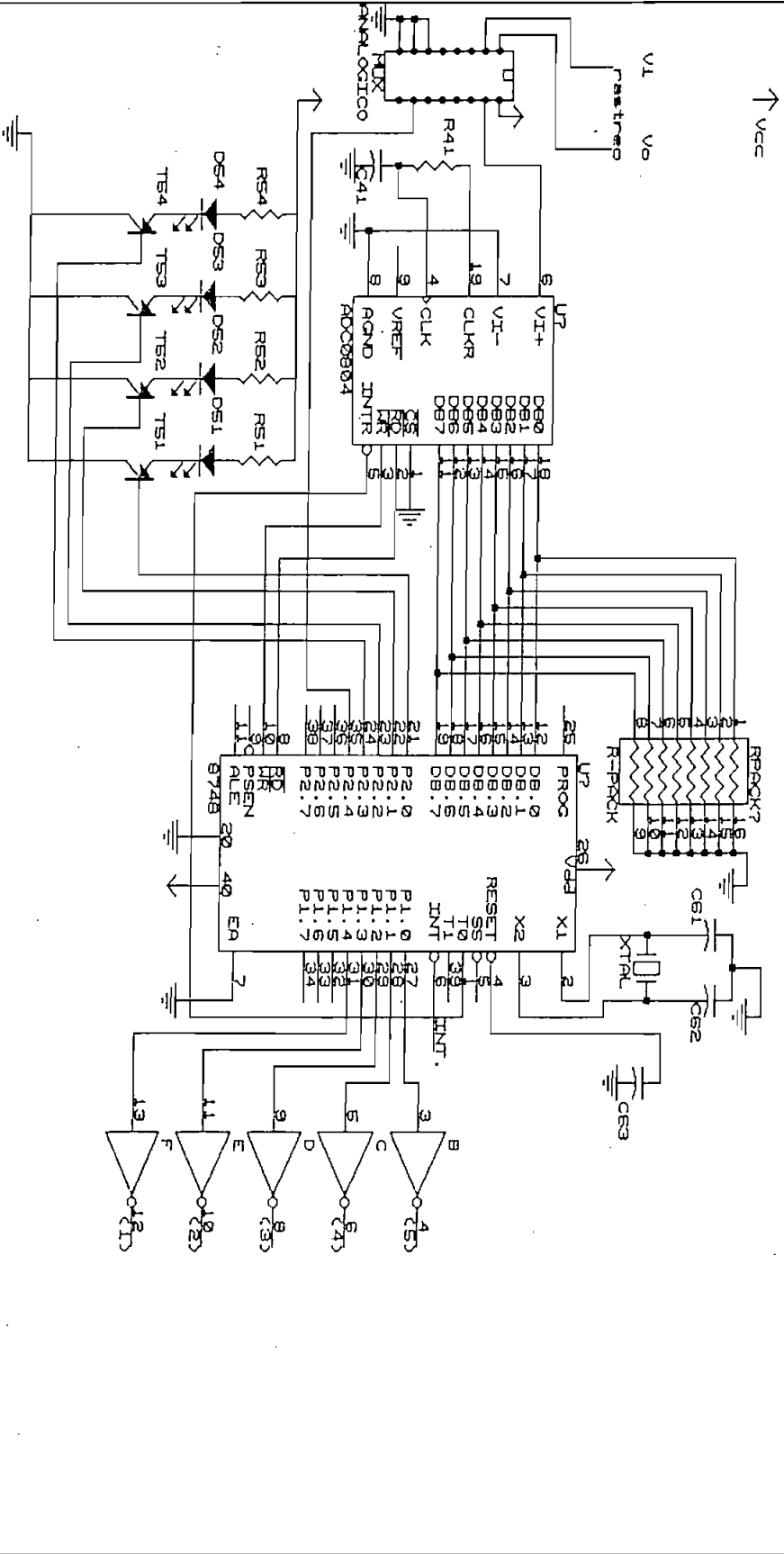
Como ya se expuso anteriormente, el equipo estará protegido para sobrecorrientes con un interruptor termomagnético el cual servirá también para efectuar el encendido y apagado del equipo, además de los circuitos que se detallan a continuación.

2.6.1 Filtro de entrada.

Como ya se habló en el ítem 2.1 de este capítulo, la presencia de un filtro de entrada es de gran importancia para la protección contra los transitorios de voltaje que son muy frecuentes.

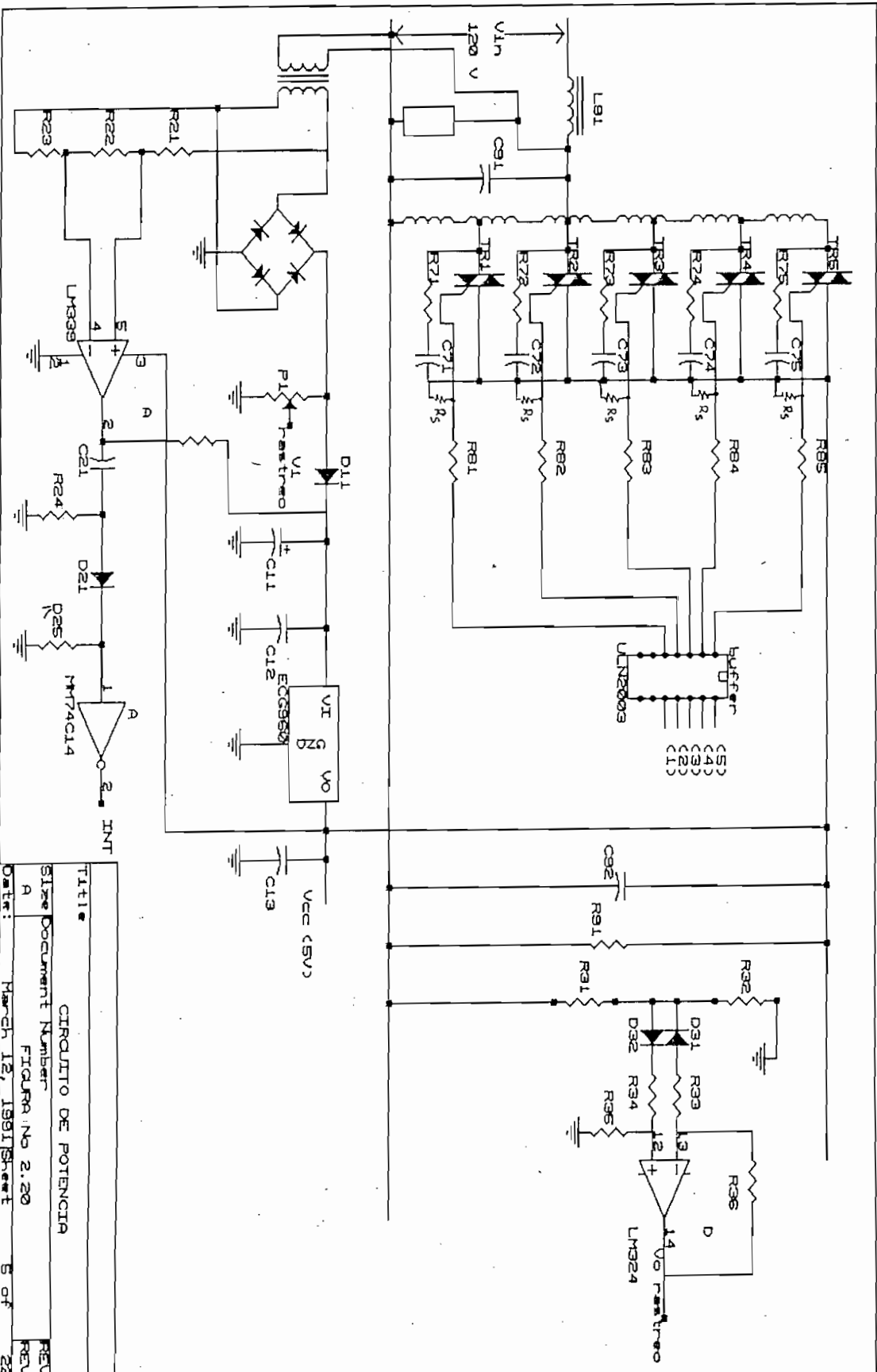
Los elementos más afectados son los semiconductores, ya que la presencia de transitorios puede causar su mal funcionamiento.

La frecuencia de resonancia de estos transitorios pueden variar desde 5KHz a 500KHz, pero una frecuencia de resonancia de 50 KHz



TITULO	
CIRCUITO DE CONTROL	
Size	Document Number
A	FIGURA No 2.19
Date:	March 12, 1991Sheet
	of

REV



Title		CIRCUITO DE POTENCIA	
Size Document Number		FIGURA No 2.20	
A		REV	
Date: March 12, 1991		Sheet 5 of 22	

es un valor muy real y típico en sistemas de alimentación residencial e industrial. (10).

El filtro de entrada implementado en este diseño es el de la figura 2.21.

Para el cálculo de los elementos del filtro se tienen las siguientes expresiones. (11)

$$W_n = 1/(LC)^{1/2} \quad (2.6.1)$$

$$W_n = 2 * \pi * f_n \quad (2.6.2)$$

$$\eta = R / (2 * W_n * L) \quad (2.6.3)$$

$$\frac{dV_o}{dt} = V \left[\frac{W_n}{\sqrt{1-\eta^2}} \sin (W_n t \sqrt{1-\eta^2} + 2\phi) \exp (-\eta W_n t) \right]$$

(2.6.5)

$$\left(\frac{dV_o}{dt} \right)_{\max} = V \left[W_n \exp \left(\left[\frac{\pi}{2} - 3 \arcsin \eta \right] \left[-\frac{\eta}{\sqrt{1-\eta^2}} \right] \right) \right]$$

(2.6.6)

$$V_p \% = \frac{1}{\sqrt{1-\eta^2}} \exp \left[\left(\pi - \arcsin \eta \right) \left(-\frac{\eta}{\sqrt{1-\eta^2}} \right) \right] * 100$$

Siendo :

W_n = frecuencia angular de resonancia.

f_n = Frecuencia de resonancia.

η = Factor de amortiguamiento.

$V_p\%$ = Porcentaje de sobreimpulso del voltaje aplicado.

Si: $C = 0.1 \mu f$ y $f_n = 50 \text{ KHz}$

Aplicando la ecuación 2.6.1 y tomando en cuenta que la frecuencia de resonancia debe ser menor o igual a 50 KHz se tiene que el valor mínimo de L deberá ser de 0.1 mH.

La inductancia L se la construyó y su valor fue de $0,3$ mH.

La frecuencia de resonancia con los valores finales de los elementos son las siguientes.

$$\omega_n = 182574 \text{ rad/seg.}$$

$$f_n = 29 \text{ KHz}$$

De la ecuación 2.6.5.

$\eta = 0,265$ para que el valor de $(dV_o/dt)_{\max}$ sea el menor posible. Por lo tanto $R = 27$ ohmios.

Además en la entrada se colocó un varistor (ZNR 14K361 3N) cuyo voltaje de recorte es de 230 voltios, el cual no afectará al valor máximo de voltaje que es $140 * 1.4142$ (198 V) y solo recortará ciertos transitorios de voltaje que sobrepasen los 230_V (Anexo A).

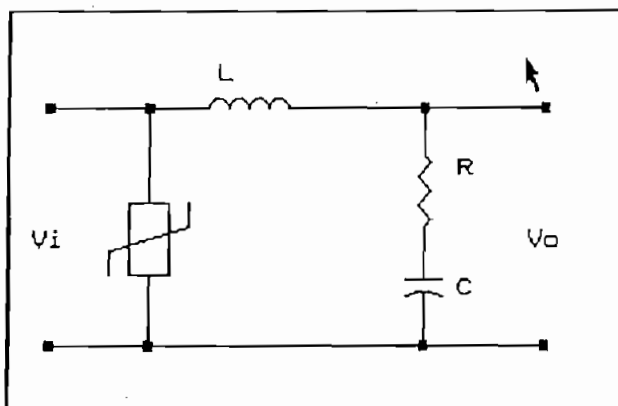


FIGURA 2.21 Filtro de entrada.

2.6.2 Protección de los triac contra dV/dt .

Cuando el equipo opera con carga inductiva, los triacs experimentan un cambio brusco de voltaje en el cambio de tap, razón por la cual se colocan redes R-C (Snubbers), para limitar este efecto y de esta manera evitar que los triacs se disparen desordenadamente.

El circuito equivalente que se tendrá en este caso es el de la figura No 2.22 y tomando el valor de la inductancia de entrada (0.3 mH) para los cálculos se tendrán los siguientes resultados.

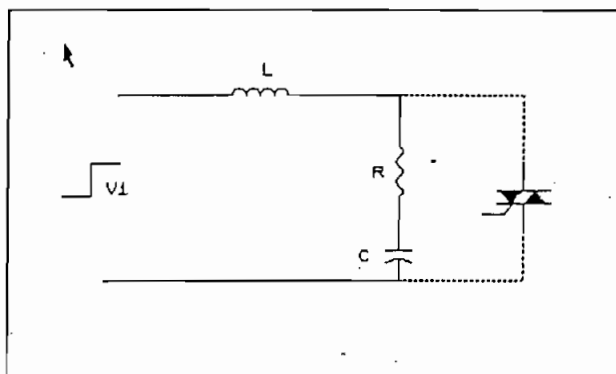


FIGURA 2.22 Circuito equivalente para calcular el dV/dt

Si, $C = 0.1 \mu F$, $R = 47 \text{ ohms}$ y aplicando las expresiones 2.6.5 y 2.6.6 se tendrá:

$$(dV/dt)_{\max} = 0.9 * V / (LC)^{1/2}$$

$$(dv/dt)_{\max} = 0.194 * V \text{ (v/us)}$$

$$\text{y } V_p\% = 30\%$$

Tomando en cuenta que el valor de V será siempre menor que $140 * 1.4142 \text{ (V)}$, estos valores estarán dentro de los límites de seguridad que muestra las características del triac (Anexo A).

Los valores comerciales más aproximados que se encontraron fueron de:

$C = 0.1 \text{ uf}$ y $R = 47 \text{ ohmios}$.

2.6.3 Circuito auxiliar de protección.

Experimentalmente se comprobó que si el voltaje de polarización es menor a 4.5 voltios, los pórtilos del microcontrolador se colocan en cero lógico lo que puede producir un cortocircuito a los triacs, razón por la cual se colocó un relé como indica la figura No 2.23 para que en caso que el voltaje baje a estos valores peligrosos, desconecte todo el circuito de control evitando cualquier disparo inadecuado de los triacs.

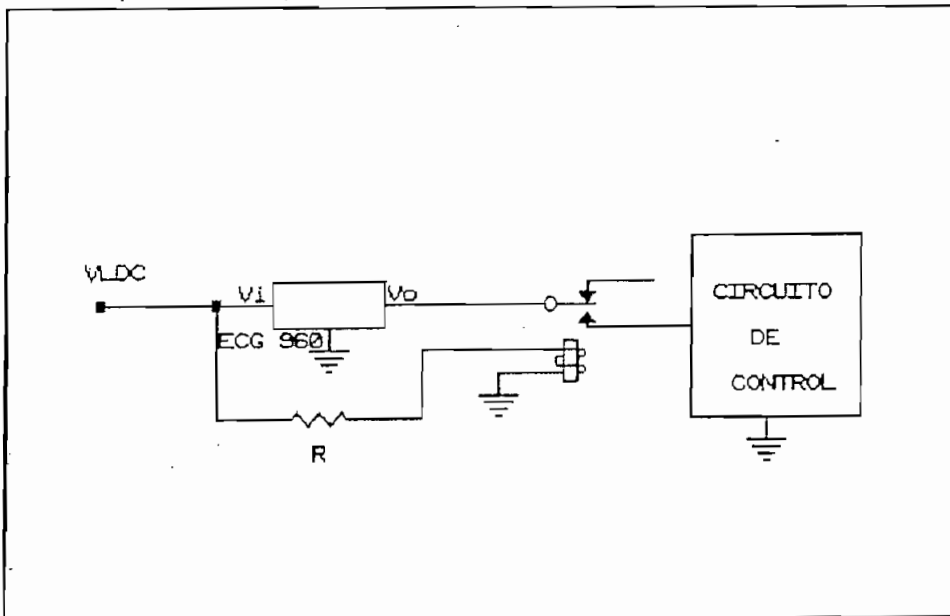


FIGURA 2.23 Circuito auxiliar de protección

CAPITULO III

DESARROLLO DEL SOFTWARE PARA LA OPERACION DEL SISTEMA

3.1 Introducción.

En este capítulo se tratará el mecanismo con que opera el microcontrolador para la medición del voltaje eficaz, la forma en que recoge los datos, como operan las protecciones de sobrevoltaje, bajo voltaje, distorsión en la línea, corrimientos de frecuencia, protección para cortocircuito y básicamente como se decide el tap que debe conectar la carga.

Se verán los algoritmos y criterios que se toman para decidir la existencia de cualquiera de estas fallas. Además un breve análisis sobre el número de datos que se recogen, intervalos de recolección, como incide este valor en la medición del voltaje y para que se recogen datos del voltaje de entrada y de salida.

3.2 DIAGRAMAS DE FLUJO GENERALES

Como se puede observar en el diagrama de flujo de la figura 3.1, el programa empieza esperando la interrupción, que se dará al principio de cada ciclo de la red, para luego inicializar el timer que está destinado a la medición de la frecuencia.

Una vez que la interrupción se hace presente, el microcontrolador empieza a recoger un cierto número de datos desde el conversor análogo/digital y los almacena en su memoria RAM, para luego con estos valores realizar la medición del voltaje de entrada y la decisión del tap correspondiente, o su respectiva salida de servicio por sobrevoltaje o por bajo voltaje. Además, obtenidos los datos del voltaje de entrada se realizará la comprobación de distorsión en la línea.

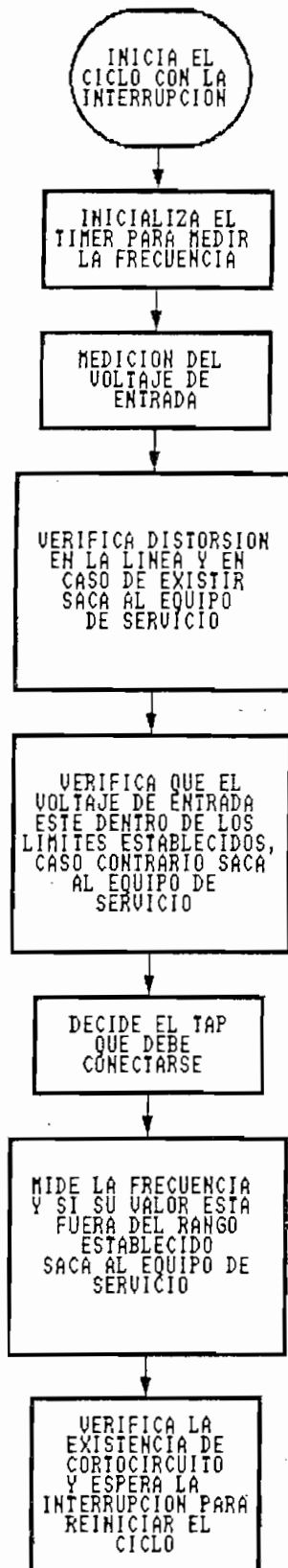


FIGURA 3.1 DIAGRAMA DE FLUJO GENERAL DEL FUNCIONAMIENTO DEL PROGRAMA

La medición de la frecuencia se lo realizará con la ayuda del timer incorporado en el microcontrolador, el cual se encargará de medir el tiempo de cada ciclo y luego comparar con un valor establecido, para poder decidir si el equipo sigue funcionando o sale de servicio por corrimiento de frecuencia.

Por último, aprovechando que el microcontrolador tiene acceso a la información tanto del voltaje de entrada cuanto del voltaje de salida, se toman datos de este último y se comprueba la existencia de un cortocircuito o sobrecarga para desconectar al equipo y evitar daños mayores. Una explicación más ampliada de cada una de estas acciones se lo realizará en los numerales posteriores.

Luego de este proceso se esperará la señal de interrupción y se empezará nuevamente el ciclo.

3.3 RECOLECCION DE DATOS.

3.3.1 Medición del voltaje de entrada.

Para calcular el valor del voltaje eficaz de entrada se considera las siguientes relaciones que se presentan en la onda sinusoidal.

V_{ef} = Voltaje eficaz de la onda sinusoidal.

V_{ef1} = Voltaje eficaz de un rectificador de onda completa.

V_{medio} = voltaje medio de un rectificador de onda completa.

$$V_{ef} = V_{ef1} = (\pi/2\sqrt{2}) V_{medio}.$$

$$V_{ef} = k_1 V_{medio}$$

Además, se tiene:

$$V_{medio} = k_2 * \sum_0^n (\text{sen } x)$$

Lo cual se puede observar en la figura No 3.2

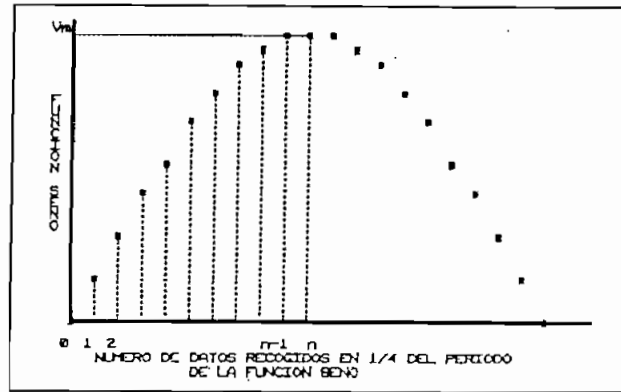


FIGURA 3.2

Finalmente se tiene que:

$$V_{ef} = K \sum_0^n (\text{sen } x)$$

Por lo tanto si se obtiene la suma de los valores del voltaje de entrada en cada uno de los puntos, de cero a n , se obtendrá también un valor proporcional al voltaje eficaz.

El número de datos a recogerse es muy importante para la precisión en la medición del voltaje, ya que mientras mayor sea el número de datos recogidos más exacta será la medición.

El principal limitante para aumentar este número de datos, es la frecuencia con que opera el conversor ADC0804, ya que tomando un valor límite superior de frecuencia de 1MHz (Anexo A), se logró recoger 30 datos a intervalos iguales en los 4.16 ms correspondientes a la cuarta parte del período, los cuales servirán para realizar la medición del voltaje eficaz.

Tomando en cuenta que el voltaje analógico máximo que puede ser considerado en la entrada del conversor es de 5 voltios y que a su vez corresponde a un valor digital de 0FFH (255decimal),

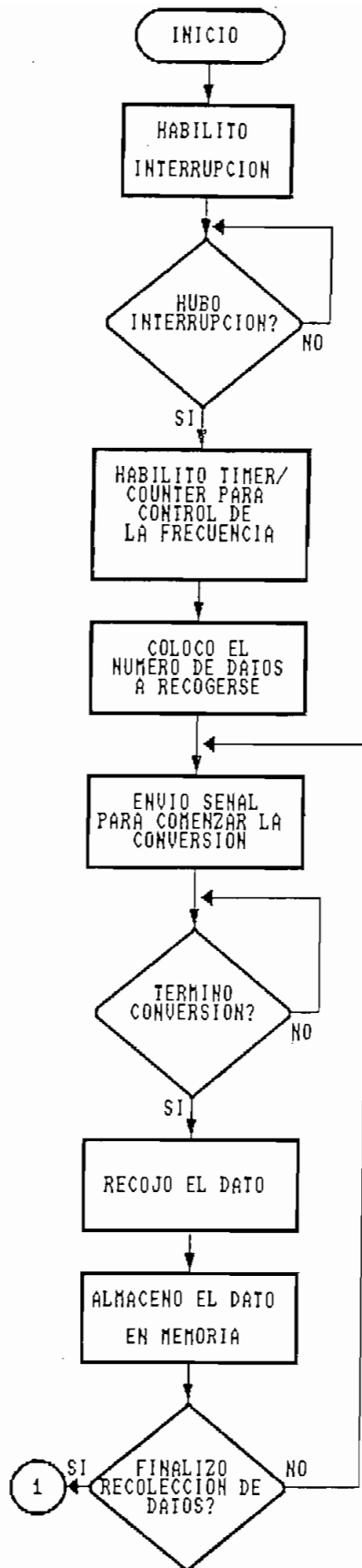


FIGURA 3.3 RECOLECCION DE DATOS EN MEMORIA RAM

resulta que los treinta datos anteriormente discutidos son suficientes para mantener una precisión satisfactoria. Esto es : se realizará la sumatoria de los treinta datos recogidos y su resultado se lo hará corresponder a un valor de voltaje eficaz.

El diagrama de flujo correspondiente al inicio del programa y a la recolección de los datos en la memoria RAM se lo puede observar en la figura No 3.3.

3.3.2 Detección de ruido eléctrico en la línea.

Para considerar ruido o interferencia de voltaje en la entrada, primeramente refiérase a la figura No 3.4, que corresponde a los datos que el microcontrolador tomaría, si no existiese ninguna interferencia. En ésta se observa que la función es creciente en este intervalo, por lo tanto se tiene que:

$$\text{Si, dato } i - \text{dato } (i-1) = \Delta d \quad ; \quad n = 30$$

Δd deberá ser mayor que cero y menor que un cierto valor k , que puede ser variado, dependiendo del grado de ruido que se quiera que detecte el equipo.

Una forma de onda con interferencia se puede observar en la figura No 3.5, aquí se puede ver que existe dos Δd menor que cero y otros muy grandes, los cuales serán considerados como distorsiones.

Para que el equipo salga de operación por interferencia en la línea, deberá detectar un cierto número establecido de distorsiones en un ciclo y que esto se repita un cierto número determinado de ciclos seguidos, si esto no sucede, el programa borrará el contador de perturbaciones y el equipo seguirá funcionando normalmente.

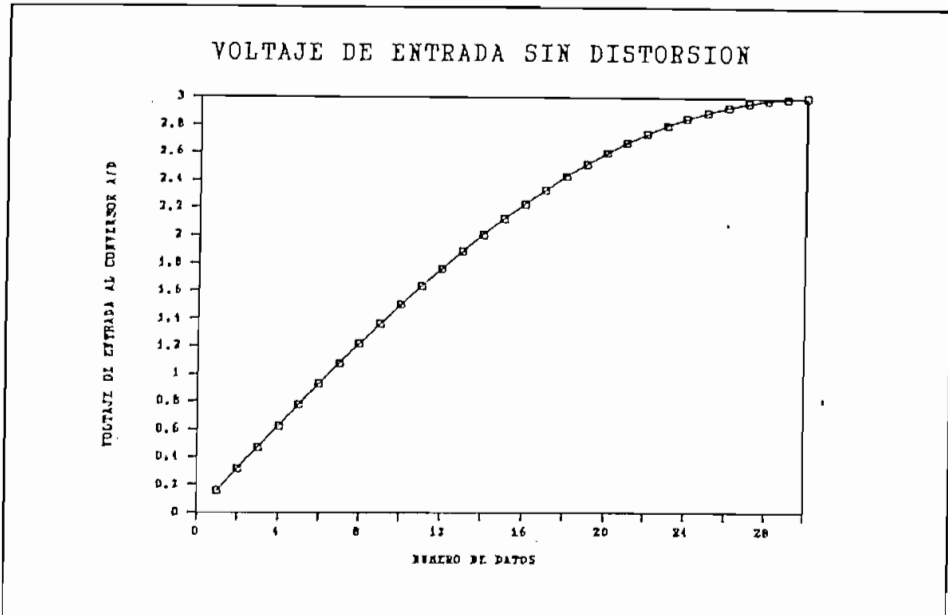


FIGURA 3.4 Forma de onda del voltaje sin distorsión.

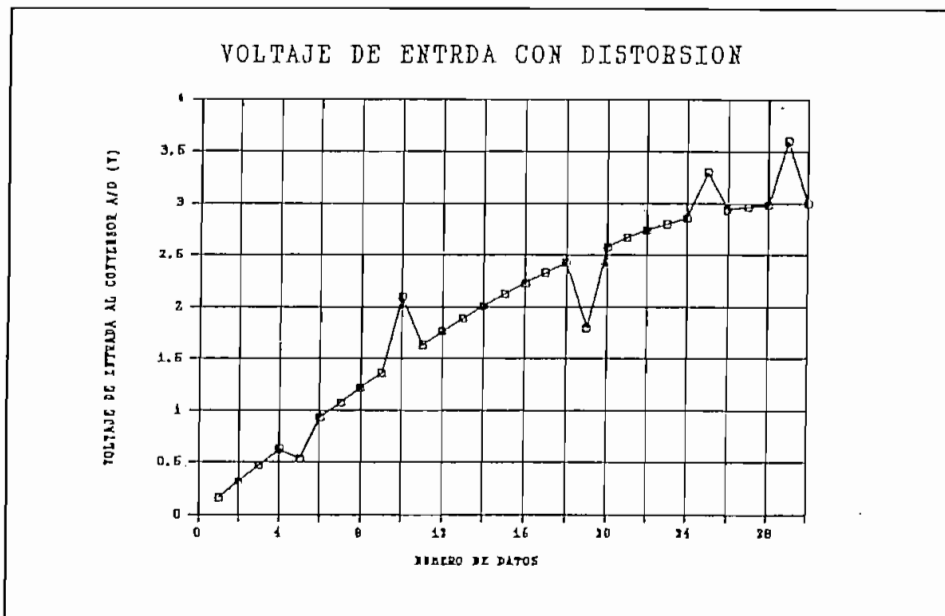


FIGURA 3.5 Forma de onda del voltaje con distorsión.

Para disminuir el tiempo que toma las subrutina en realizar operaciones como resta de 16 bits, los datos que se van a restar para verificar la interferencia, se los ha dividido para dos, ya que de ésta manera se podrá realizar la resta de dos números de ocho bits con signo que toma un tiempo mucho menor en realizarse,

por lo tanto el valor máximo de Δd también se dividirá para dos.

Con el fin de relacionar la parte teórica expuesta en este ítem con la parte del software del anexo B, se expondrán las diferentes etiquetas utilizadas en la búsqueda de la interferencia en la línea.

NTOTDAT.- (1EH) Número total de datos a recogerse.

STARSTOR.- (20H) Localidad de memoria RAM en donde se almacena el primer dato recogido.

HABVIN.- (0EH) Valor en el cual debe estar el pórtico dos para que habilite el voltaje de salida en el multiplexer.

NO_DVDT.- (1BH) Localidad en que se almacena el número de veces en que existe interferencia en un ciclo.

MAXDVDT.- (05H) Número máximo de distorsiones que puede haber dentro de un ciclo.

TOLER_2.- (0BH) Este valor multiplicado por dos corresponderá a la tolerancia dentro de la cual debe estar Δd para que no sea marcado como interferencia.

En la figura No 3.6, se puede observar el diagrama de flujo, de como se determina la interferencia en la línea y la suma de los datos.

3.4 ACTIVADO DE LOS TRIACS.

El activado de los triacs se lo realiza en base a la sumatoria de los treinta datos recogidos, este valor podrá ubicarse en uno de los intervalos que se muestra en la figura No_3.7 y el microcontrolador será el encargado de decidir que tap conecta a la carga.

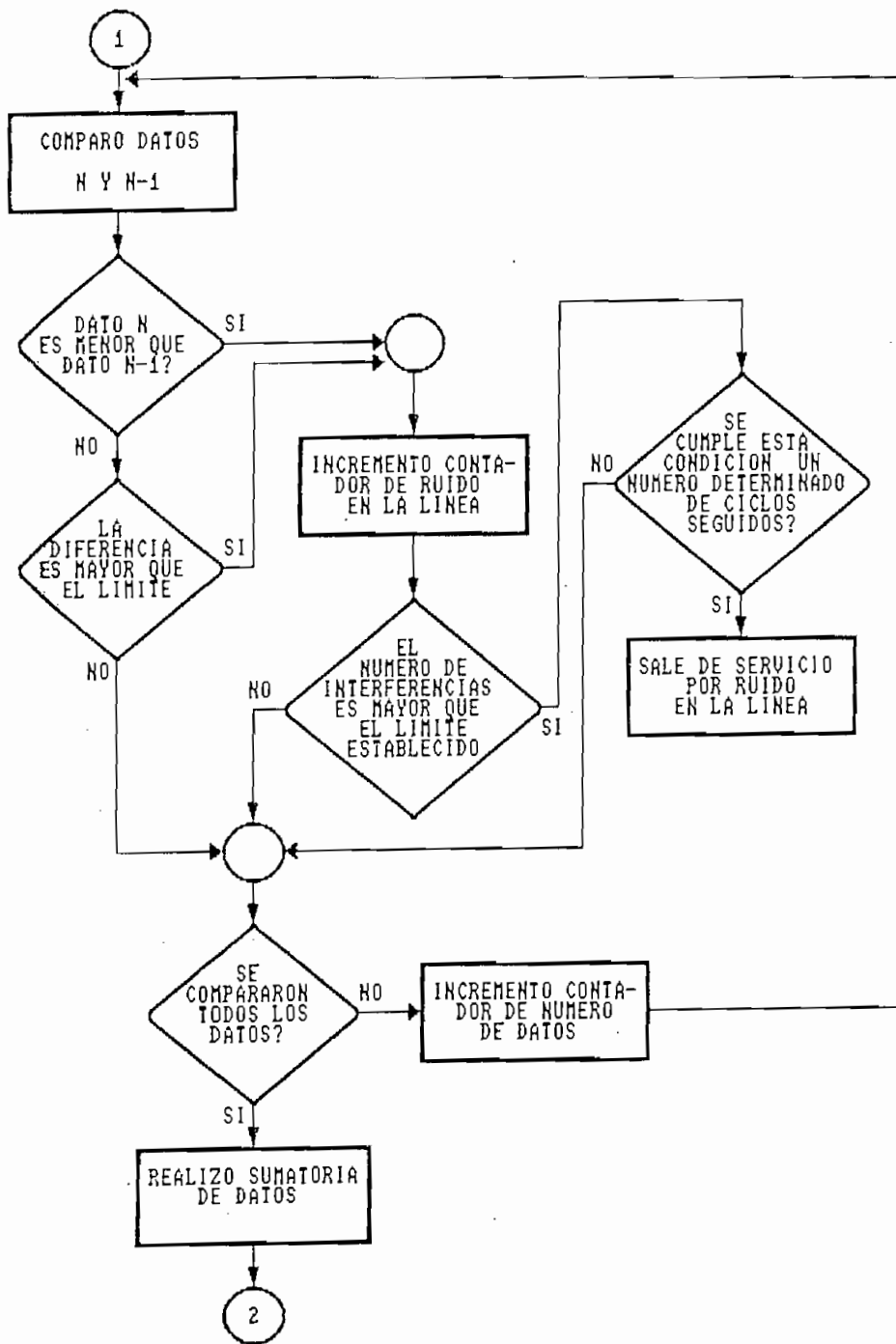


FIGURA 3.6 DIAGRAMA DE FLUJO PARA CALCULAR LA DISTORSION EN LA LINEA

**SUMATORIA DE DATOS CON
SUS RESPECTIVOS LIMITES**

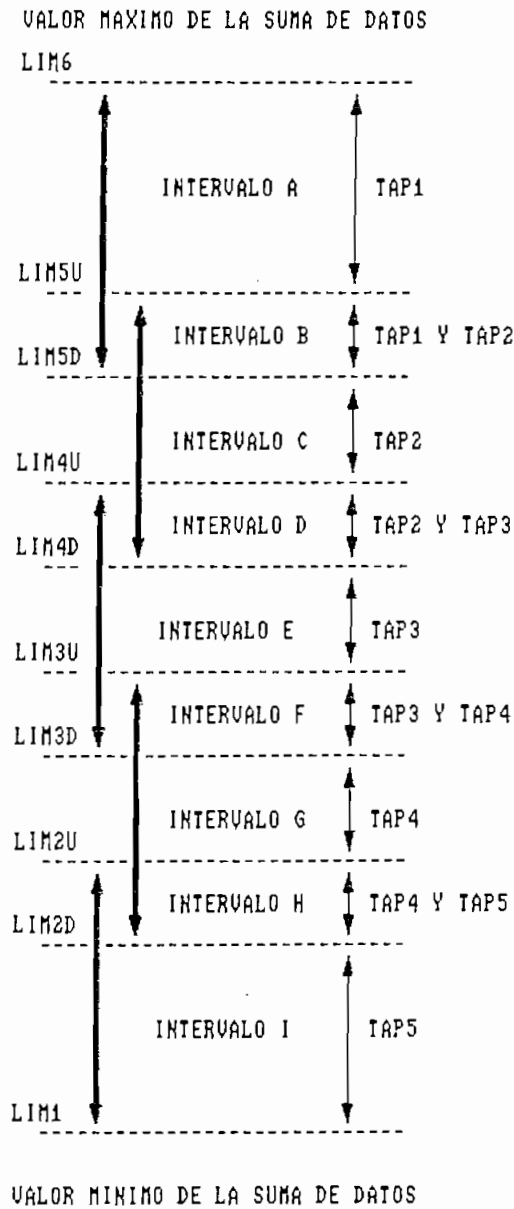


FIGURA 3.7 INTERVALOS DE ACTIVADO DE LOS TRIACS

La forma en que se realiza esta conexión es la siguiente: Si la sumatoria de los datos supera el límite LIM6, el microcontrolador pondrá en uno lógico el pòrtico uno y desactivará los triacs, sacando al equipo de operación y señalizando el evento.

Otra alternativa se tiene cuando la sumatoria de datos, está entre los límites LIM6 y LIM1, en este caso la forma en que se conectan los triacs es la siguiente: el valor de la sumatoria obtenido se irá comparando con cada uno de los límites, en forma descendente y secuencial, empezando por LIM6, como en este caso el valor de LIM6 es mayor que la sumatoria, pasará a compararse con el siguiente límite, hasta encontrar el primer límite que sea menor que la sumatoria, cuando esto sucede el microcontrolador tiene la información necesaria para conectar a la carga el tap que corresponde.

Si el intervalo escogido corresponde a un solo tap, su triac correspondiente conectará a la carga, pero en el caso de que el intervalo corresponda a dos taps, como en el caso del intervalo B de la figura 3.7, para conectar uno de los dos taps, primeramente deberá informarse cual fue el tap que estuvo conectado anteriormente y conectar el mas cercano a éste.

La secuencia en que los triacs se conectan una vez que se obtuvo la sumatoria, se puede observar en los diagramas de flujo de las figuras 3.8, 3.9, 3.10, 3.11, y 3.12.

Además si la sumatoria es menor que el límite LIM1, el sistema quedará fuera de servicio señalizando su respectiva falla de bajo voltaje.

3.4.1 Generación de la histéresis para la conexión de los triacs.

Con el fin de que un pequeño cambio en el voltaje de entrada, no varíe el voltaje de salida en forma muy repetitiva, se ha

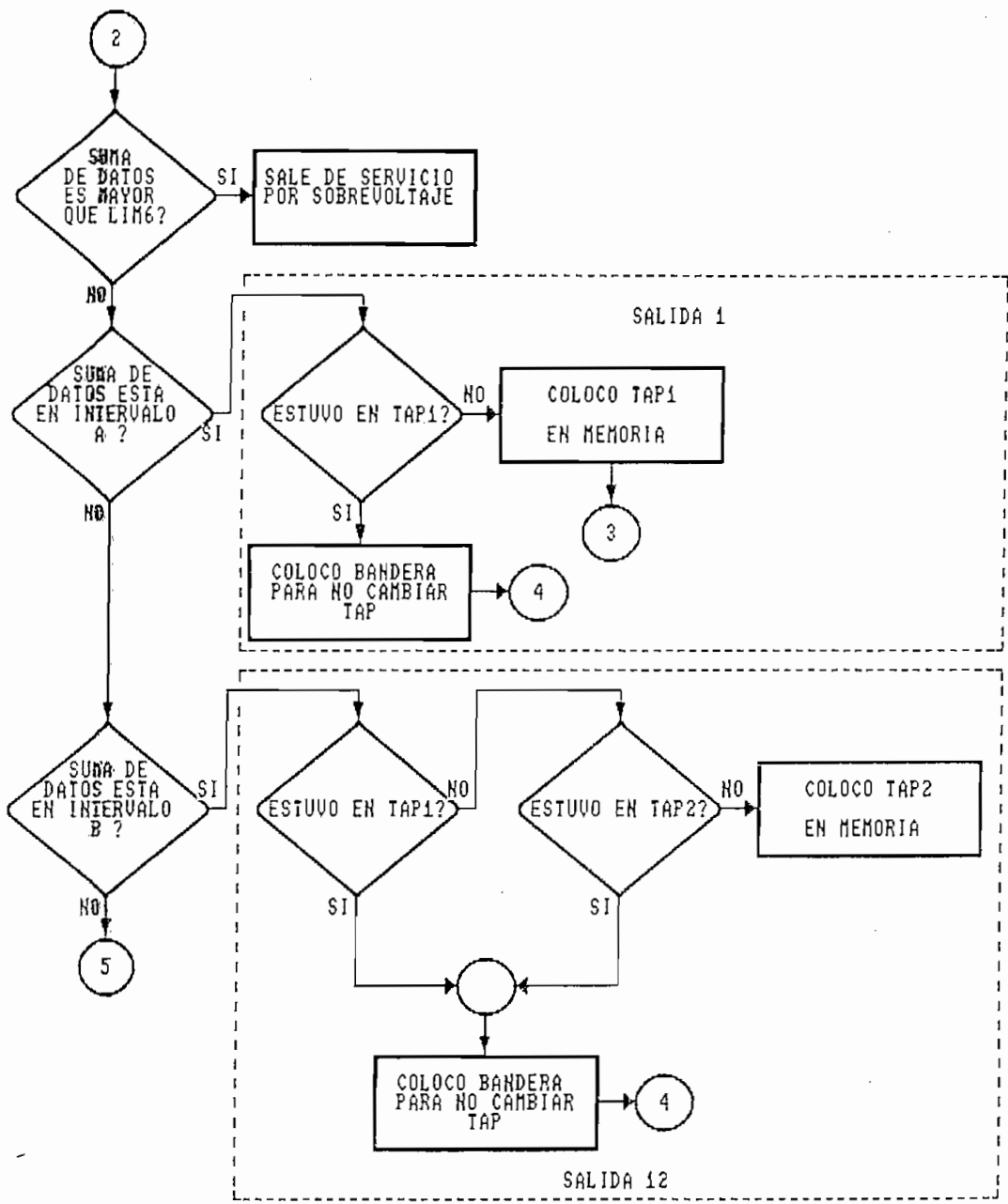


FIGURA 3.8 COLOCACION DE TAPS

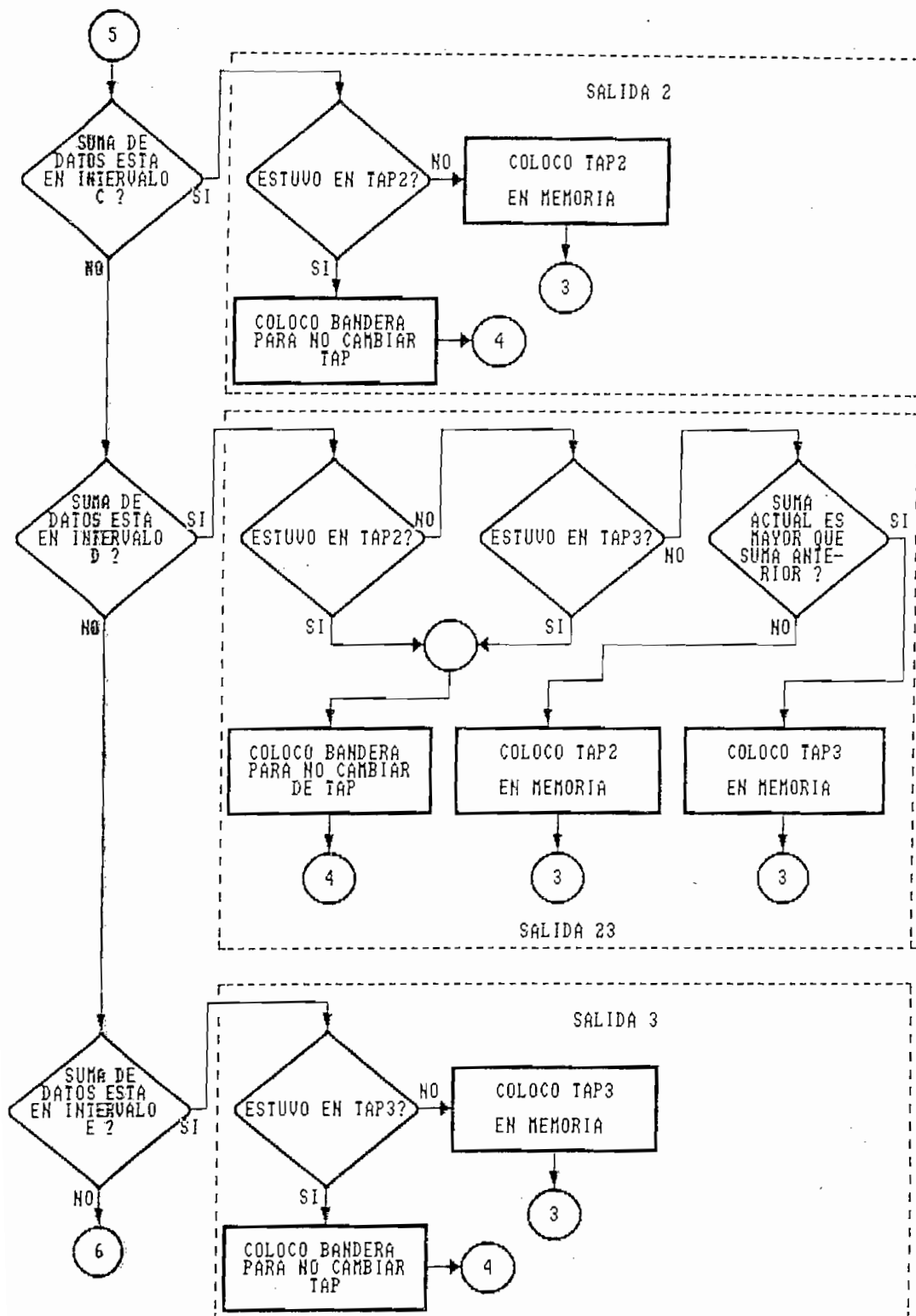


FIGURA 3.9 COLOCACION DE TAPS

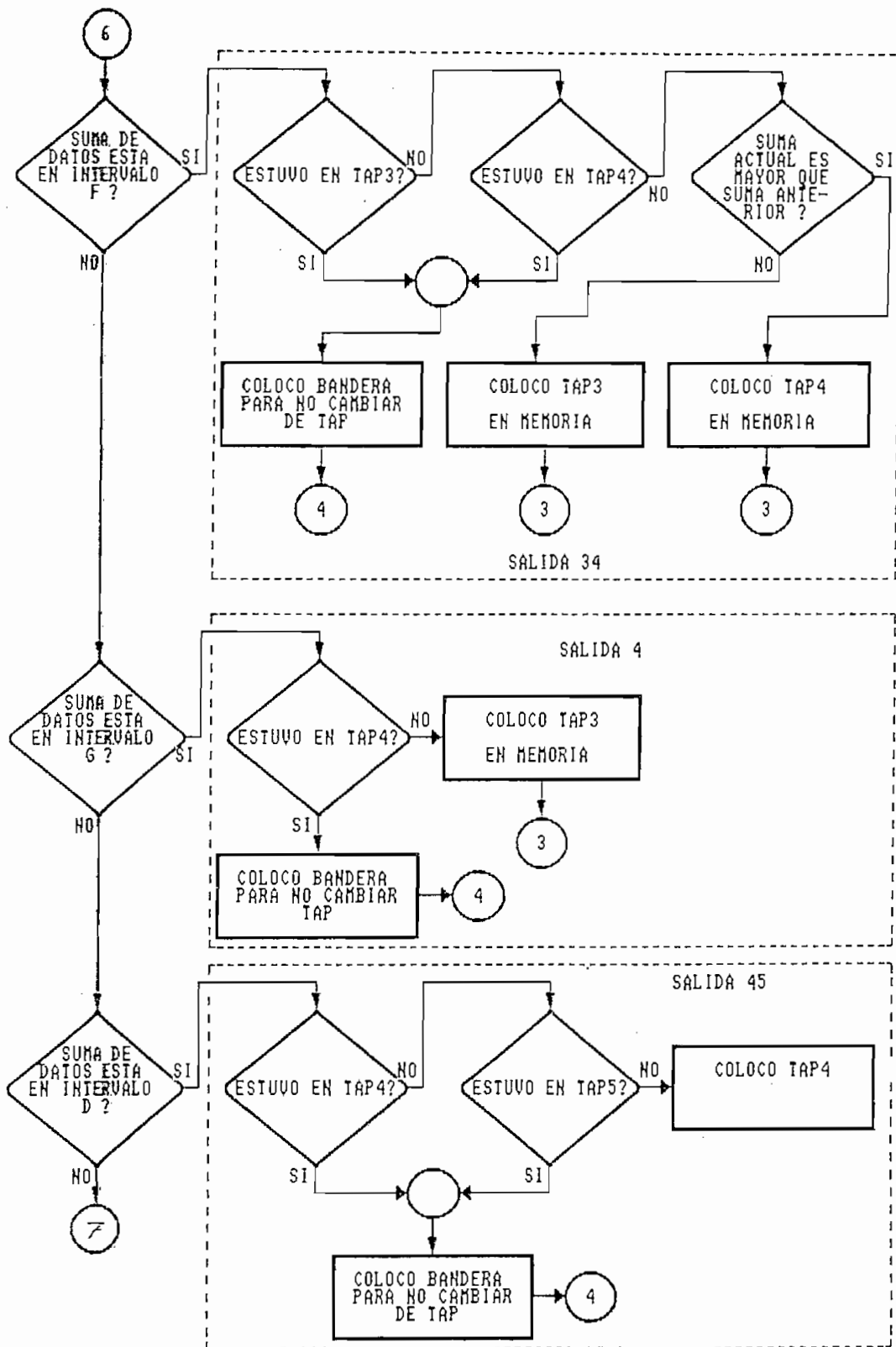


FIGURA 3.10 COLOCACION DE TAPS

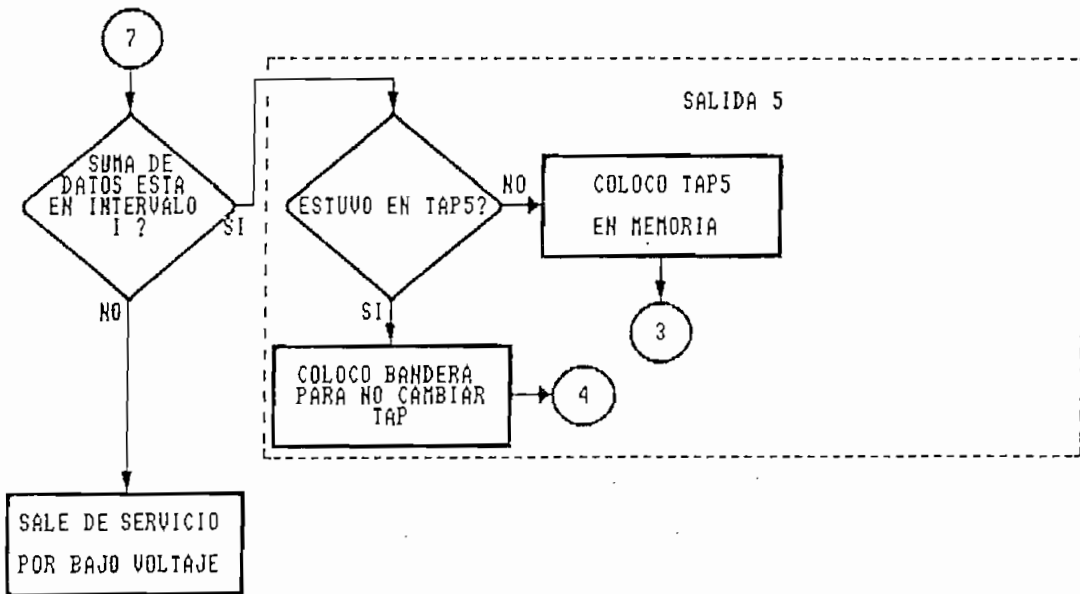


FIGURA 3.11 COLOCACION DE TAPS

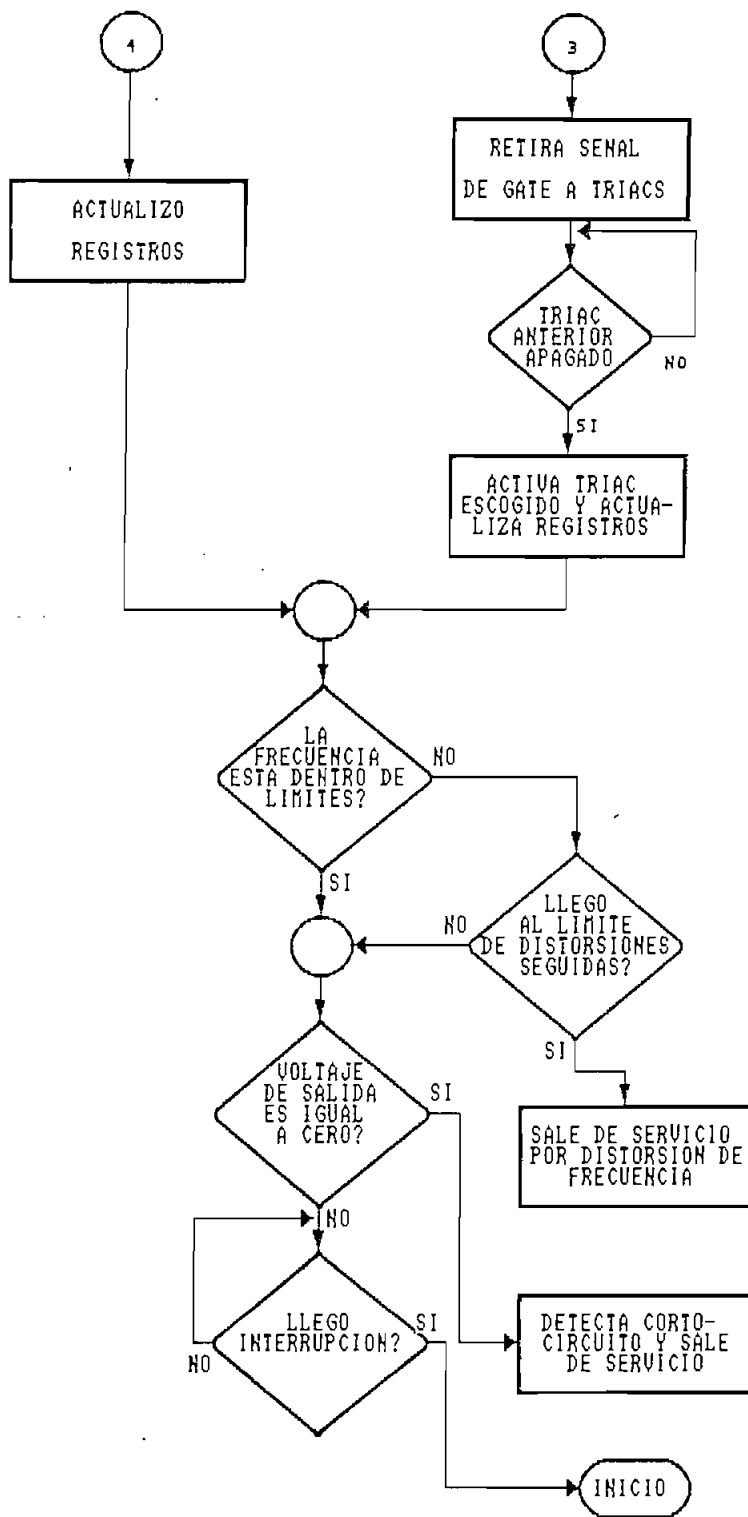


FIGURA 3.12 PERMUTACION DE TRIACS Y MEDICION DE FRECUENCIA

generado una histéresis, la cual se explica en el siguiente ejemplo: Si el tap3 está conectado, para que un aumento del voltaje de entrada pueda activar el tap2, la sumatoria de los datos debe superar el límite LIM4U y para regresar al tap3, este valor debe ser menor que el límite LIM4D, de tal manera que para que exista una variación de tap, debe haber un rango de variación mínima de voltaje en la entrada.

3.5 PROTECCIONES POR SOFTWARE.

Como ya se explicó anteriormente, se puede generar la mayoría de protecciones por medio de software, como son: desactivado del sistema por sobrevoltaje, por bajo voltaje, por excesivo ruido en la línea, por corrimiento excesivo de la frecuencia y por detección de cortocircuito en la salida de voltaje del regulador.

3.5.1 Protección para sobrevoltaje y bajo voltaje.

En la mayoría de equipos vienen especificadas un rango de voltaje para su funcionamiento, fuera del cual pueden sufrir averías y hasta daños irreparables, razón por la cual es preferible sacar al equipo de servicio, antes que trabajar con condiciones fuera de los especificados.

Este regulador está diseñado de tal manera, que el voltaje de salida se mantenga dentro de 120 (V) \pm 5%, valor especificado para la mayoría de equipos utilizados en nuestro medio y en caso de que salga de estos límites, el equipo saldrá de operación.

3.5.2 Protección contra interferencia en la línea.

Pueden darse casos en que un equipo de uso delicado esté funcionando junto a elementos que generen ruido en las líneas eléctricas, lo que puede provocar que este equipo no funcione de manera correcta. Un ejemplo muy común es el caso de computadores utilizados en fábricas o sectores industriales, la maquinaria

utilizada en ésta puede causar daños en la información, provocando serios daños económicos.

El regulador diseñado, no corrige esta interferencia, pero si la detecta y en caso de ser considerada dañina para el equipo protegido, desconecta los triacs y lo deja fuera de servicio.

El nivel de ruido eléctrico o perturbaciones que el regulador puede tolerar dependerá exclusivamente de constantes del programa, por lo tanto con un simple variar de límites, se podrá variar la sensibilidad al ruido en el regulador, dependiendo del tipo de equipos que se van a utilizar.

3.5.3 Protección contra corrimiento excesivos de frecuencia.

De igual manera que para la falla de interferencia en la línea, este regulador no corrige la frecuencia, pero sí la mide y en caso que su valor se aleja en un 5% de los 60 Hz, durante 4 ciclos seguidos, el regulador desconectará la carga.

Para la generación de esta protección, se utilizó el timer que viene incorporado en el microcontrolador. Además se consideró, cuatro ciclos seguidos de distorsión de frecuencia, para sacar al equipo de servicio, porque se considero este valor ya no como producto de algún transitorio sino de una falla propia de corrimiento de frecuencia.

3.5.4 Protección contra cortocircuito.

Lo que se realiza en este caso, es detectar la señal de voltaje de salida después de la respectiva comprobación de frecuencia, con la seguridad de que en este lapso de tiempo el voltaje de salida no debe ser cero, hasta que llegue la interrupción, en caso contrario se tratará de un cortocircuito y proseguirá seguidamente a desactivar todos los triacs.

Esta protección será también de gran utilidad, cuando uno de los triacs se averíen, ya que al ser seleccionado éste para conectarse a la carga, el voltaje de salida será cero y por ende detectado por el microcontrolador, el cual lo desconectará indefinidamente, evitando así que exista algún intervalo en el cual la carga se desconecte a pesar de estar dentro de los límites de control.

CAPITULO IV

RESULTADOS EXPERIMENTALES

Antes de exponer los resultados experimentales que se obtuvieron en las diferentes pruebas, es importante describir como se encuentra compuesto físicamente el equipo para poder identificar las diferentes partes que lo constituyen.

El equipo está montado en una caja modular de fácil armado, cuyas dimensiones son:

Ancho	20 cm.
Altura	17 cm.
profundidad	40 cm.

En su interior se encuentran distribuídos los diferentes componentes, como son:

Un autotransformador, utilizado en la sección de potencia, del cual se han utilizado 5 taps, los cuales se conectarán a la carga en el momento apropiado. Además, el autotransformador es el que mayor volumen ocupa y prácticamente de éste dependerá el tamaño del regulador.

Para la polarización del circuito de control se ha utilizado un transformador de 110 a 12 voltios, el cual se encuentra bajo la tarjeta de potencia.

Además se tienen tres tarjetas impresas: una de control dispuesta en forma horizontal, que se la puede identificar por la presencia del microcontrolador que es el circuito integrado de mayor tamaño. La tarjeta de potencia en donde se encuentran alojados los triacs, también se encuentra en posición horizontal, y está alojada sobre un perfil de aluminio que a su vez sirve como disipador de calor. Por último se tiene la tarjeta de

señalización, en la cual se han colocado los led que señalizan las diferentes fallas y está situado en forma vertical sobre la tapa frontal.

Las tres tarjetas están interconectadas por cintas conductoras con terminales desmontables como se puede observar en la fotografía No 4.1. Todos los circuitos integrados se los han dispuesto en zócalos, para que además de ser el equipo modular, sea de fácil armado.

En la parte posterior del equipo se tiene únicamente un tomacorriente que corresponde a la salida de voltaje del regulador. En la parte frontal se puede observar los diferentes leds de señalización y el breaker que sirve para el encendido y protección de sobrecorriente tal como se puede observar en la fotografía 4.2.

4.1 Operación con carga resistiva.

En vista de que los triacs realizan el papel de interruptores para conectar los diferentes taps a la carga, las formas de onda del voltaje de salida serán prácticamente las mismas que las de la salida del autotransformador, por lo tanto se mencionará el funcionamiento sólo en la conmutación de los taps. Como ya se esperaba, el voltaje de salida en el cambio de tap permanecerá en cero un determinado tiempo, luego que la onda de voltaje pase por cero, ya que en este instante la corriente también es cero y los triacs permanecerán apagados. El tiempo que se demora en conectarse nuevamente a la carga, es el tiempo que toma el microcontrolador en detectar que el triac que conducía anteriormente se apagó y que está listo para conectarse el nuevo tap escogido.

Como se puede observar en la figura No 4.3, correspondiente a la forma de onda de voltaje de salida en el cambio de tap para carga resistiva, el tiempo que tarda el regulador en realizar el

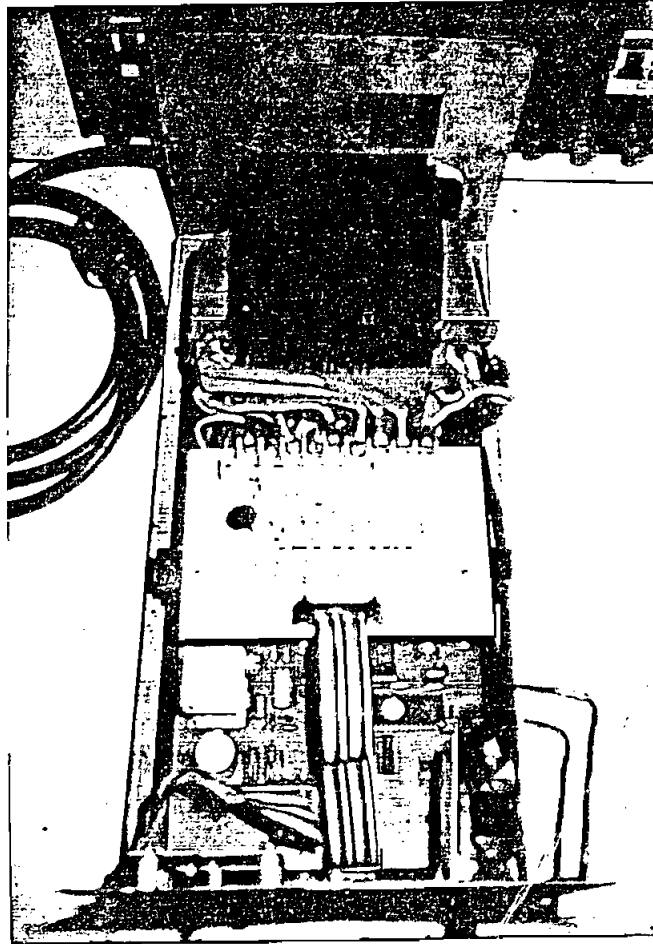


FIGURA 4.1

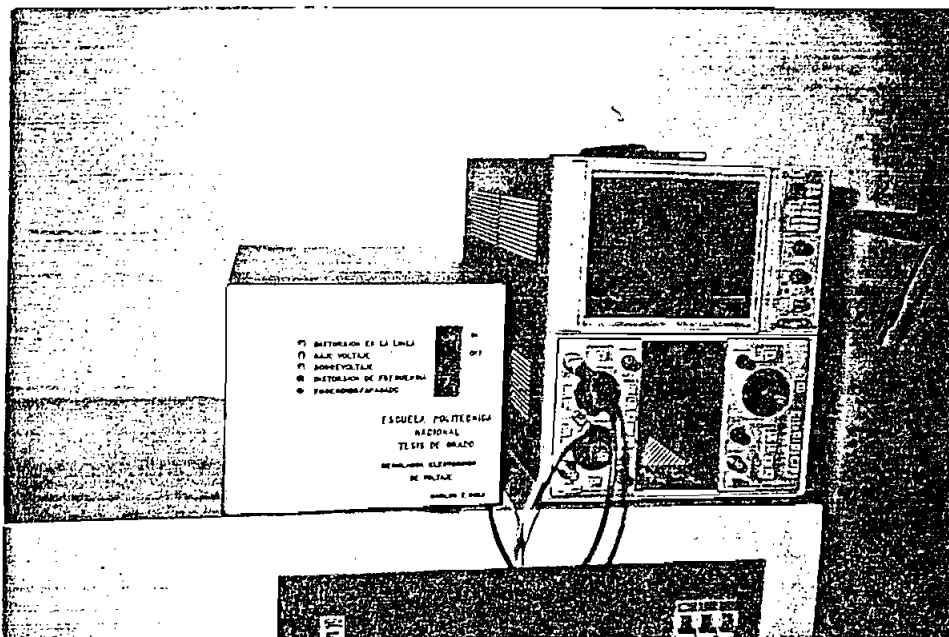


FIGURA 4.2

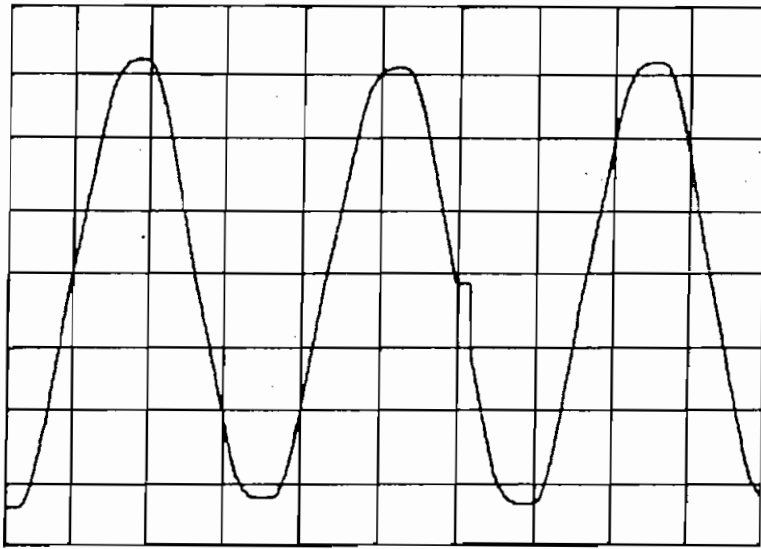


FIGURA 4.3 Voltaje de salida en el cambio de tap con carga resistiva.
Escala vertical: 50 voltios/div.
Escala horizontal: 5 ms/div

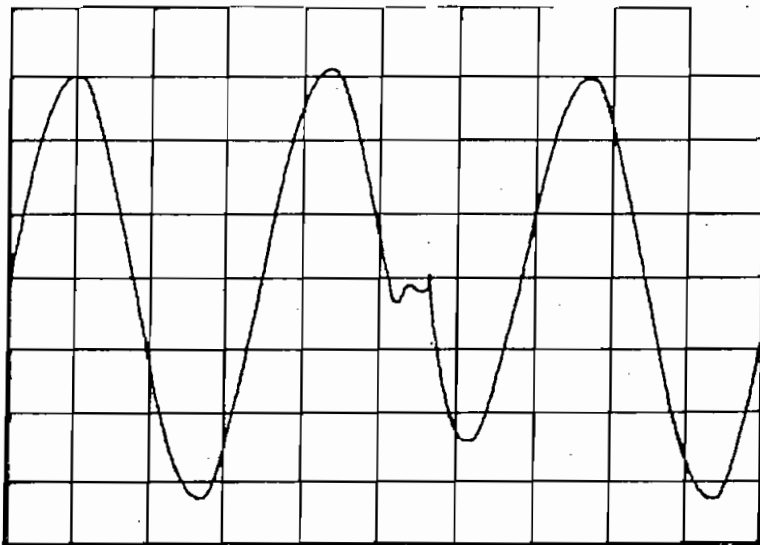


FIGURA 4.4 Voltaje de salida en el cambio de tap con carga inductiva.
Escala vertical: 50 voltios/div.
Escala horizontal: 5 ms/div

cambio de taps es de 0,6 ms que corresponde al tiempo máximo de desconexión de la carga y tomando en cuenta que esta acción se la realiza cuando el valor de voltaje es cero, cualquier efecto negativo que pueda causar en los aparatos protegidos es insignificante.

4.2 Operación con carga inductiva

En este caso, la diferencia que existe con la operación anterior, es que el cambio de tap ya no se realiza en el cruce por cero del voltaje, sino en el cruce por cero de la corriente de carga, razón por la cual, el cambio de tap dependerá del factor de potencia que tenga la carga.

En la figura No 4.4 se puede observar la forma de onda de voltaje para carga inductiva con un factor de potencia de 0,8 y el tiempo de desconexión de la carga es de 1.4 ms.

4.3 Pruebas de regulación de voltaje.

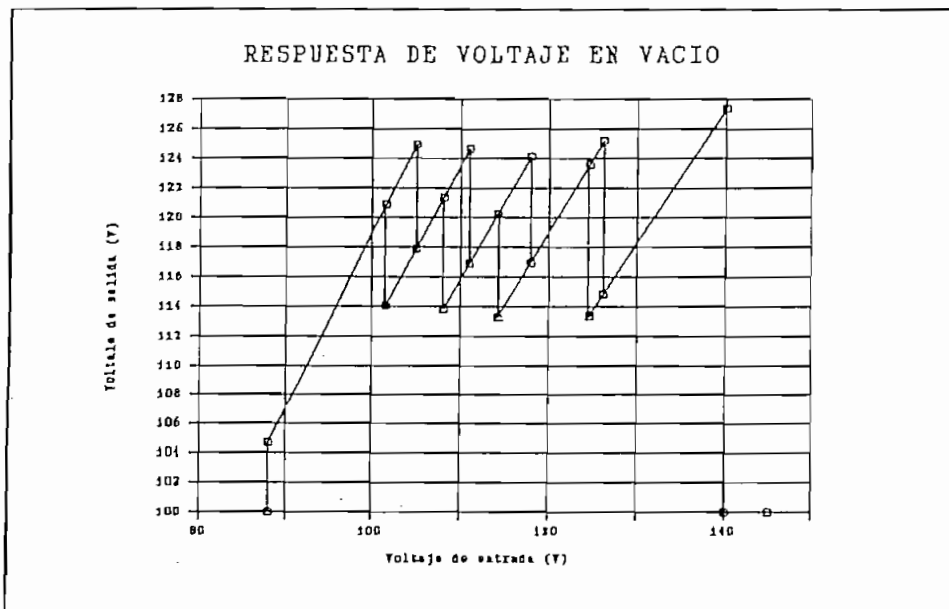


FIGURA 4.5 Respuesta del voltaje de salida ante la variación del voltaje de entrada. (en vacío)

Una de las características importantes de los transformadores, es su alto rendimiento y por ende su buena regulación de voltaje y con mayor razón en los autotransformadores, que para una misma potencia, la cantidad de hierro y cobre son menores que en los transformadores, estas características mejoran más todavía su regulación. Por lo tanto, las variaciones de voltaje de vacío a plena carga son relativamente pequeñas como se puede observar en las figuras 4.5 y 4.6, que corresponden al valor del voltaje de salida ante la variación del voltaje de entrada tanto con carga como en vacío. Si se toma la variación porcentual máxima del voltaje de salida que en este caso corresponde a 100 V del voltaje de entrada se tendrá:

$$\% \Delta V = \frac{V_0 \text{ en vacío} - V_0 \text{ plena carga}}{V_0 \text{ plena carga}}$$

Si: $V_{in} = 100 \text{ V}$

$V_0 \text{ vacío} = 119 \text{ V}$

$V_0 \text{ plena carga} = 118 \text{ V}$

Por lo tanto se tiene una máxima variación de voltaje del 0,85_ %.

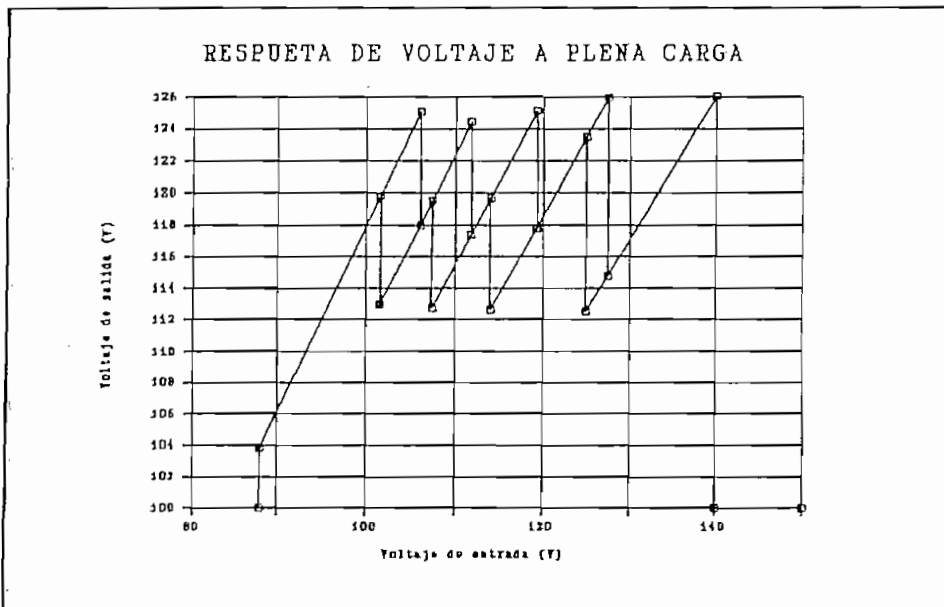


FIGURA 4.6 Respuesta del voltaje de salida a variaciones del voltaje de entrada (a plena carga)

4.4 Comportamiento dinámico.

En este ítem se expondrán los resultados de las diferentes pruebas realizadas en el regulador, que son las siguientes:

Inicialmente en las figuras 4.3 y 4.4 se expusieron los resultados del voltaje de salida en la conmutación de taps, tanto con carga resistiva cuanto con carga inductiva, obteniéndose tiempos máximos de desconexión de la carga de 0,6 y 1.4 ms respectivamente.

En las figura No 4.7 se tiene la forma de onda del voltaje de salida ante una conexión brusca de carga resistiva. En este caso la disminución del voltaje ha producido un cambio de tap para compensar el voltaje de salida, mientras que en la figura 4.8 se tiene la respuesta de voltaje ante una desconexión de carga. Las figuras 4.9 y 4.10 también corresponde a una conexión y desconexión brusca de carga solo que en estos casos no se ha producido el cambio de tap.

La respuesta de voltaje ante una variación brusca de carga inductiva se puede observar en las figuras 4.11 y 4.12, en este caso ya se observan ciertos transitorios que son producto justamente de la conexión de carga inductiva.

En las figuras 4.13 y 4.14 se tienen las formas de onda del voltaje de salida y la corriente de carga ante un cambio súbito de carga inductiva tanto en la conexión como en la desconexión. En éstas se pueden observar el cambio del valor de la corriente en los instantes previstos.

En la figura 4.15 se tienen las formas de onda del voltaje de la red y el voltaje de salida en el encendido del regulador y por último, la figura No 4.16 corresponde al voltaje de salida del regulador al encenderse el equipo con carga nominal e inductiva. En en esta figura se observa que una vez encendido el equipo,

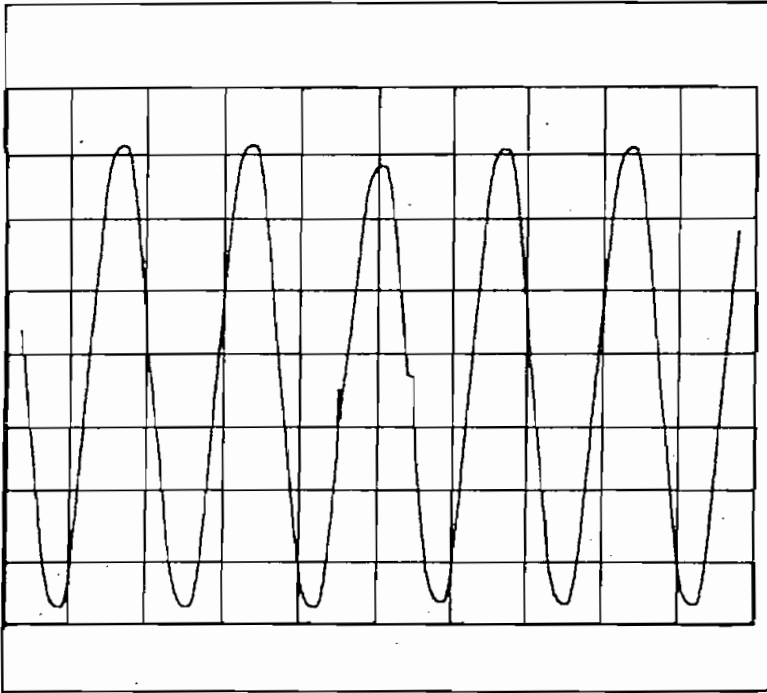


FIGURA 4.7 Forma de onda del voltaje de salida ante una variación brusca de carga resistiva.

Escala vertical: 50 voltios/div

Escala horizontal: 10 ms/div

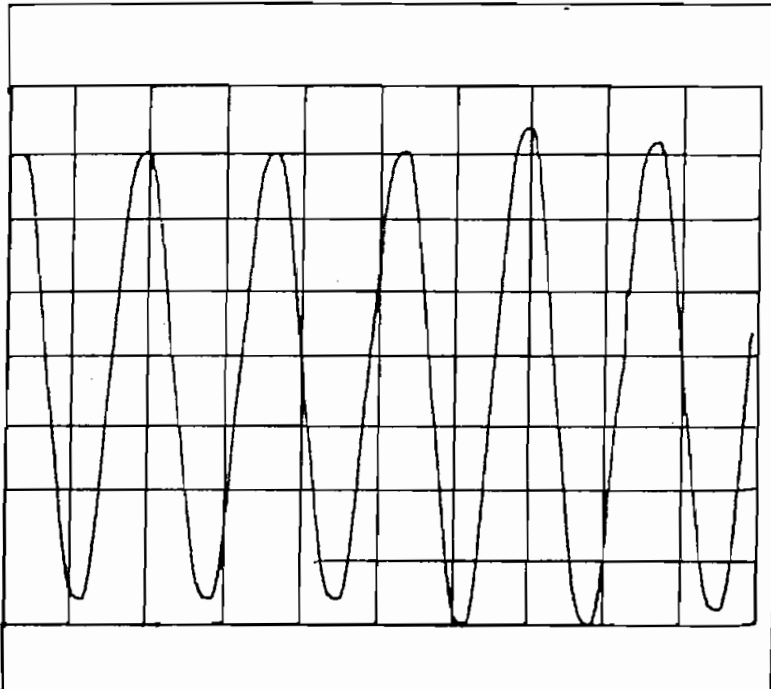


FIGURA 4.8 Forma de onda del voltaje de salida ante una desconexión brusca de carga resistiva.

Escala vertical: 50 voltios/div

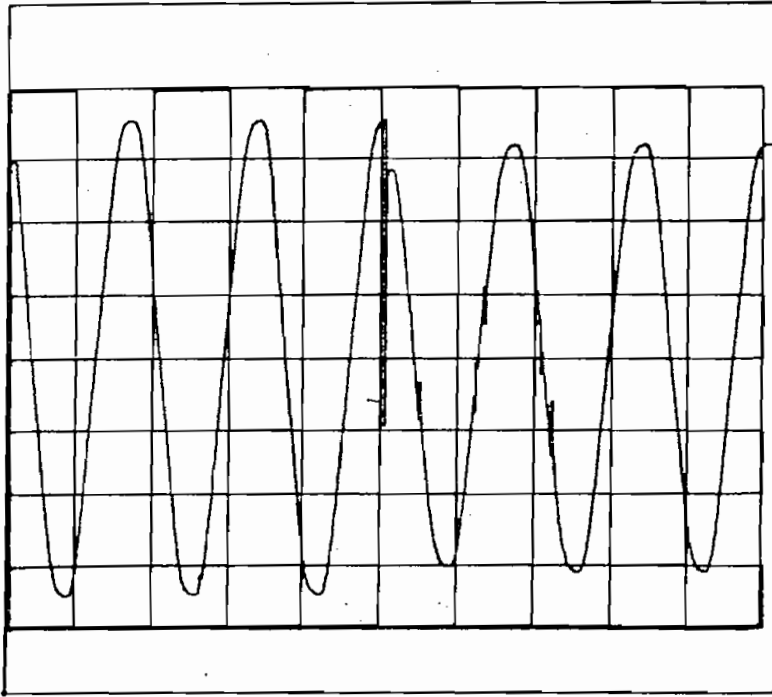


FIGURA 4.9 Forma de onda del voltaje de salida ante una variación brusca de carga resistiva.
Escala vertical: 50 voltios/div

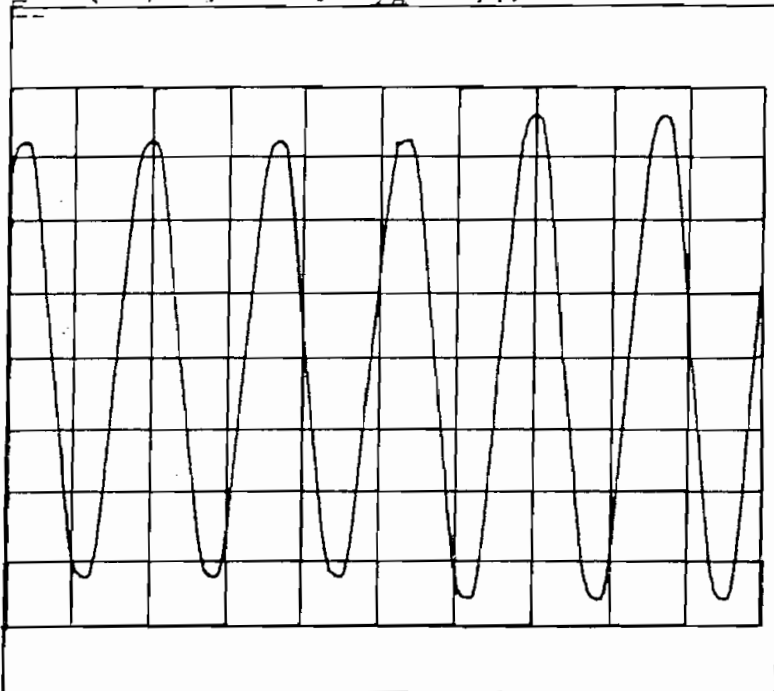


FIGURA 4.10 Forma de onda del voltaje de salida ante una desconexión brusca de carga resistiva
Escala vertical: 50 voltios/div
Escala horizontal: 10 ms/div

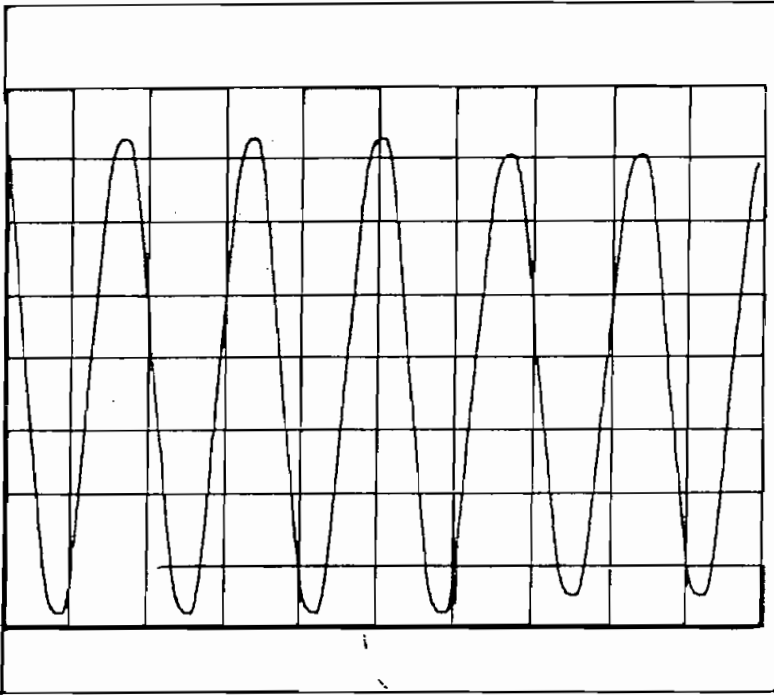


FIGURA 4.11 Forma de onda del voltaje de salida ante una conexión brusca de carga inductiva

Escala vertical: 50 voltios/div

Escala horizontal: 10 ms/div

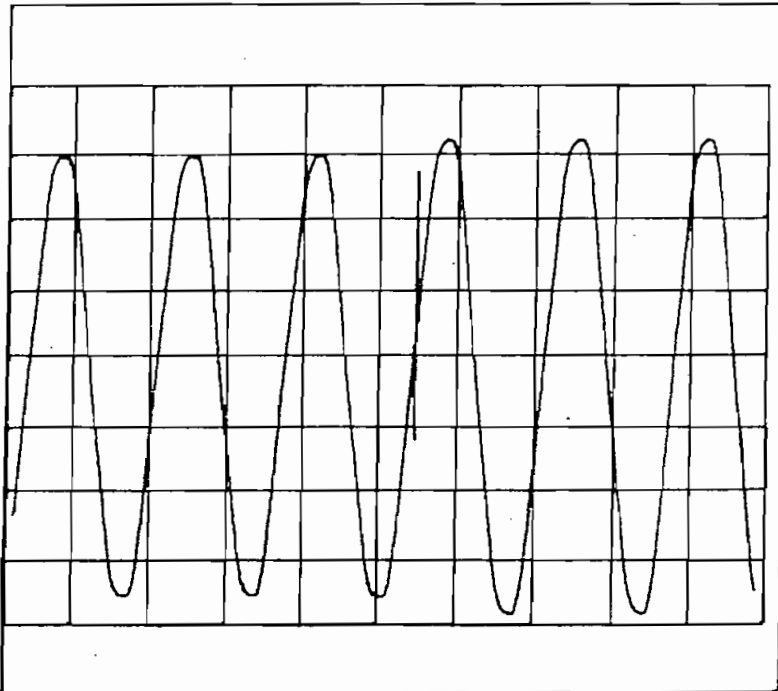


FIGURA 4.12 Forma de onda del voltaje de salida ante una desconexión brusca de carga inductiva

Escala vertical: 50 voltios/div

Escala horizontal: 10 ms/div

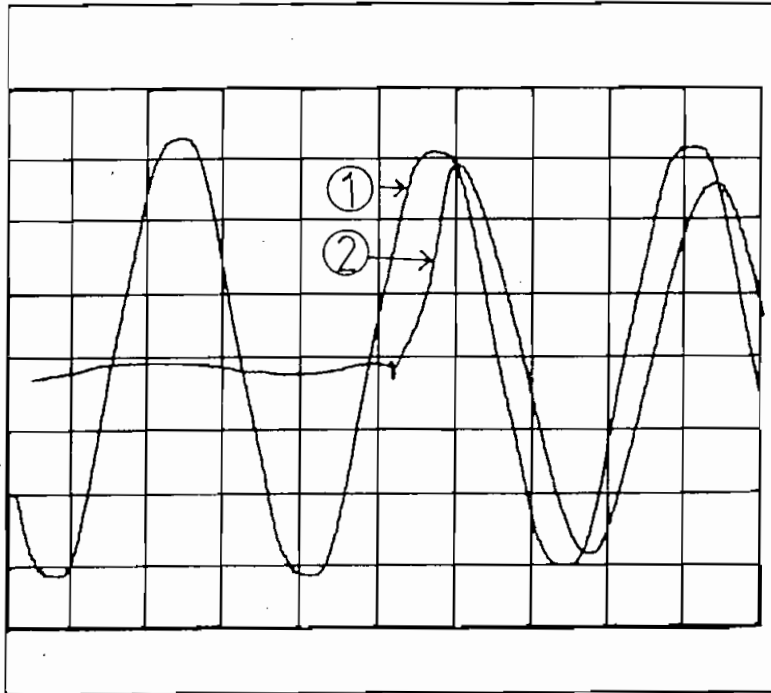


FIGURA 4.13 (1) Voltaje de salida y (2) corriente de salida en la conexión brusca de carga inductiva
Escala vertical: 50 voltios/div
Escala horizontal: 5 ms/div

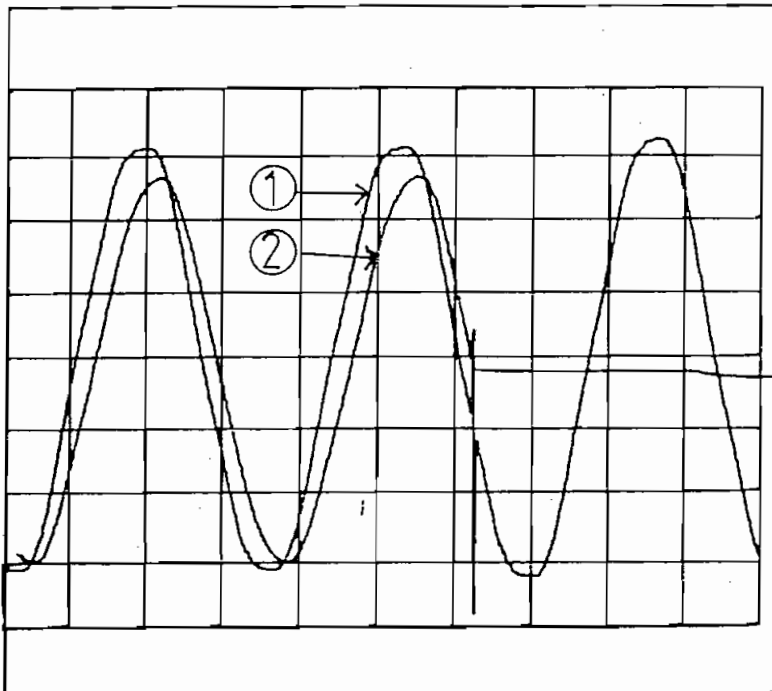


FIGURA 4.14 (1) Voltaje de salida y (2) corriente de salida en la desconexión brusca de carga inductiva
Escala vertical: 50 voltios/div
Escala horizontal: 5 ms/div

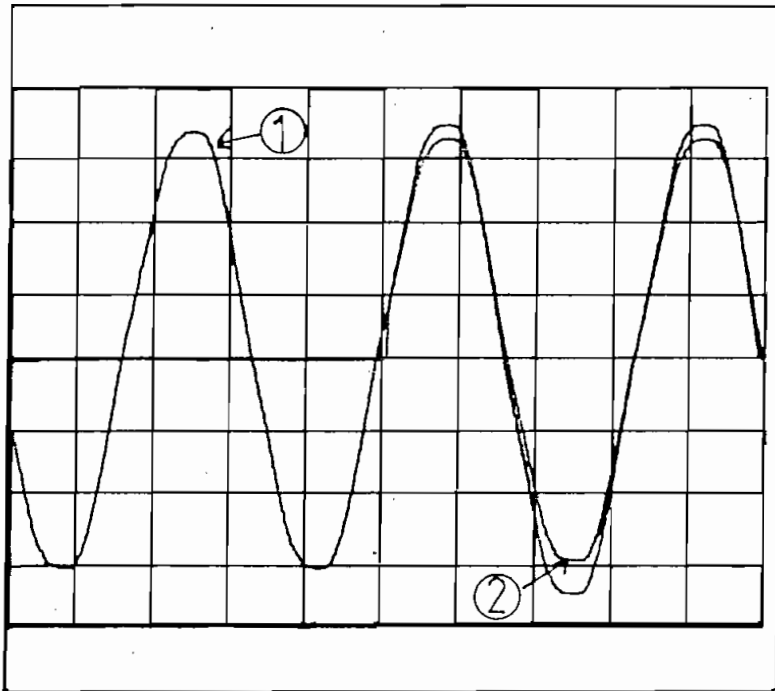


FIGURA 4.15 (1) Voltaje de entrada y (2) voltaje de salida en en el encendido.
 Escala vertical: 50 voltios/div
 Escala horizontal: 5 ms/div

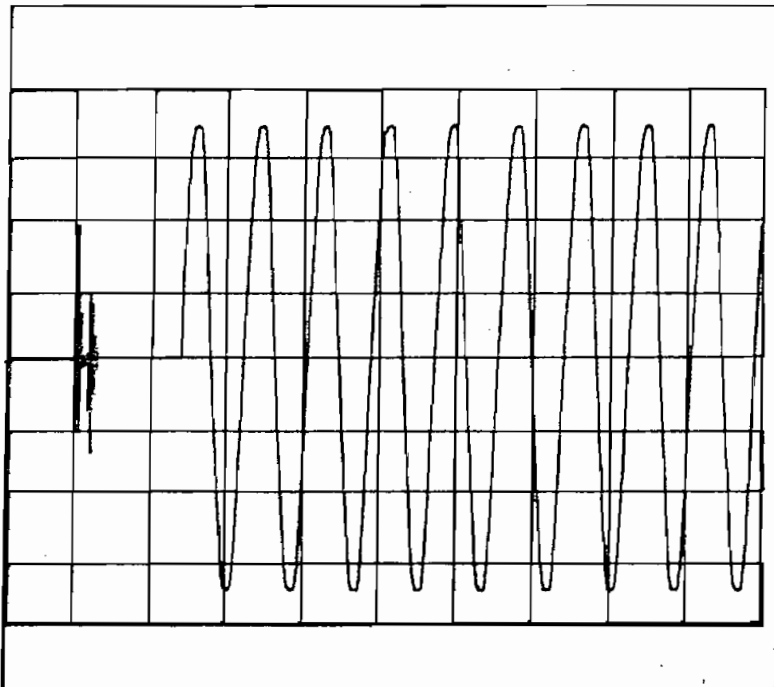


FIGURA 4.16 Voltaje de salida en el encendido.
 Escala vertical: 50 voltios/div
 Escala horizontal: 20 ms/div

éste va a conectar directamente el tap que corresponde a un voltaje de salida de $120\text{ V} \pm 5\%$. Además, se puede observar unos transitorios antes de la conexión del respectivo tap, provocados por el acoplamiento que se dá entre la entrada y la carga a través de las redes R-C o Snubbers colocados en paralelo a cada triac.

El tiempo de respuesta del regulador dependerá del punto en donde se produzca el cambio de voltaje de entrada. Esto es: si se considera la figura No 4.17, la recolección de datos se efectuará en el intervalo BC y las operaciones para la decisión de tap se realizará en el intervalo CD, por lo tanto, si la carga es resistiva el tiempo máximo para el cambio de tap será de medio ciclo de la red (intervalo BD) si la variación del voltaje se produjo en el punto B y el tiempo máximo de respuesta será de un ciclo en el caso de que el cambio de voltaje se produzca en A.

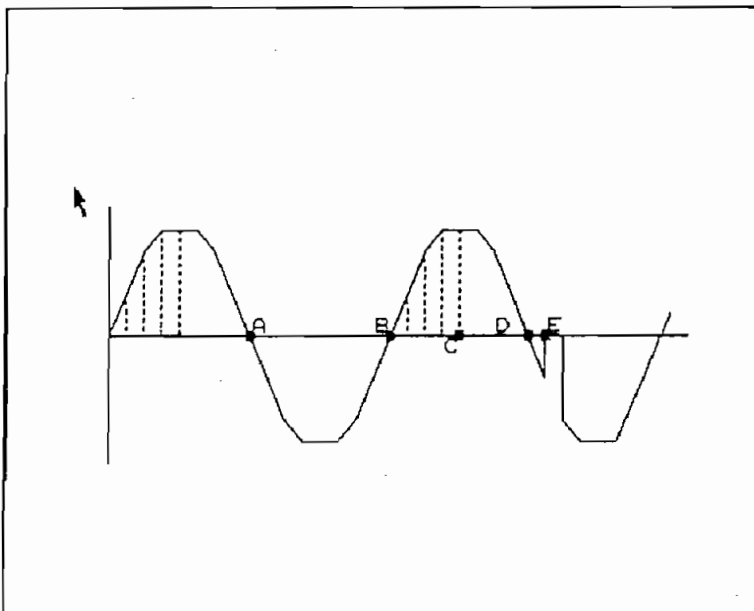


FIGURA 4.17 Tiempo de respuesta del regulador

Para el caso de una carga inductiva el comportamiento será el mismo, solo que en éste caso se debe aumentar el intervalo DE. En resumen, el tiempo máximo de respuesta del regulador será de un

ciclo más el tiempo correspondiente al ángulo del factor de potencia de la carga. Así, considerando un factor de potencia de 0,8 inductivo por ejemplo, el máximo tiempo de respuesta será de 18.3 ms.

4.5 Rendimiento del equipo

El rendimiento del regulador se lo evaluará con la potencia activa y con la potencia aparente al 10 y al 100% de la carga.

$$\% \eta_p = \frac{P_o \%}{P_{in} \%} * 100 \text{ y } \dots \% \eta_s = \frac{S_o \%}{S_{in} \%} * 100$$

En donde:

η_p = Rendimiento en términos de potencia activa.

η_s = Rendimiento en términos de potencia aparente.

P_o = Potencia activa de salida.

P_{in} = Potencia activa de entrada.

S_o = Potencia aparente de salida.

S_{in} = Potencia aparente de entrada.

Los datos tomados con el 10% de carga son los siguientes:

P_{in} = 286 Watios

P_o = 242 Watios

S_{in} = 336 VA.

S_o = 262 VA.

Por lo tanto:

$$\% \eta_{p10\%} = 84.6\% \dots \text{ y } \% \eta_{s10\%} = 78\%$$

Y los datos tomados al 100% de la carga son:

P_{in} = 1003 Watios

P_o = 930 Watios

S_{in} = 1160 VA

S_o = 1082 VA

Por lo que:

$$\% \eta_{p100\%} = 93.3\% \text{ y } \% \eta_{s100\%} = 92.7\%$$

4.6 Operación de protecciones.

Los límites en los cuales están actuando las protecciones y sacando al equipo de operación son las siguientes.

Sobrevoltaje	140 (V)
Bajo voltaje	88 (V)
Frecuencia superior	63 (Hz)
frecuencia inferior	57 (HZ)

La protección por software para cortocircuito, se lo puede comprobar desconectando uno de los taps y variando el voltaje de entrada para obligarlo al voltaje de salida pasar por este tap, una vez que el microcontrolador detecta el voltaje de salida igual a cero, saca al equipo de servicio.

Para verificar la protección contra exceso de ruido eléctrico o interferencia se debe introducir algún elemento que provoque gran cantidad de ruido eléctrico y así comprobar el activado de la protección. En las figuras 4.18 y 4.19 se pueden observar las formas de onda del voltaje de salida para funcionamiento normal y para salida del equipo por distorsión

4.7 Operación del equipo.

El regulador, una vez conectado a la red se encenderá al activar el breaker. Sólo para el encendido, el voltaje de salida deberá superar los 92 voltios para que el regulador empiece a funcionar ya que de no ser así, el relé que conecta al circuito de control no se activará y el equipo, aunque la señal de encendido este prendida no funcionará. Una vez que el equipo está funcionando el voltaje deberá bajar de 88 voltios para salir de operación.

Para la instalación del equipo, se debe disponer de un

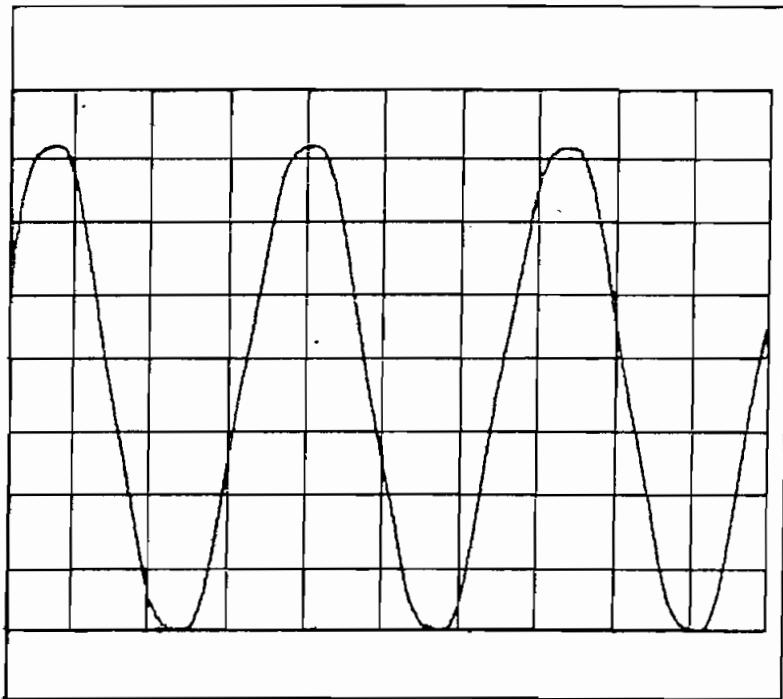


FIGURA 4.18 Voltaje de salida sin distorsión
Escala vertical: 50 voltios/div
Escala horizontal: 20 ms/div

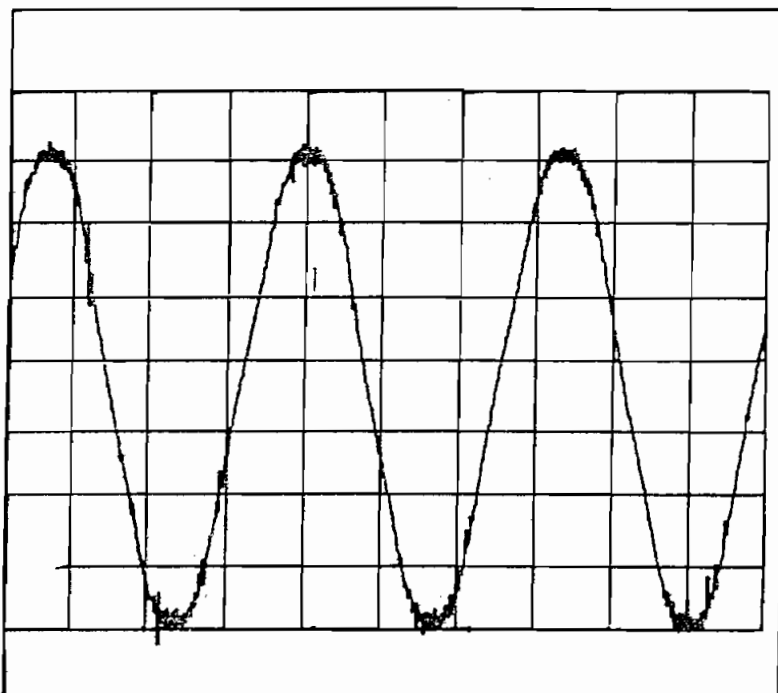


FIGURA 4.19 Distorsión del voltaje para salida de operación del equipo.
Escala vertical: 50 voltios/div

tomacorriente polarizado.

La instalación del equipo se lo debe hacer con conexión a tierra. Esto será importante ya que el regulador está diseñado especialmente para protección de equipos delicados, como son los equipos de computación.

CAPITULO V

5.1 Análisis de los resultados experimentales.

En esta sección se presenta el análisis de los resultados experimentales obtenidos en base a los objetivos planteados al iniciar este trabajo de tesis.

Al examinar el equipo en lo referente al voltaje de salida, se puede observar que el valor mínimo es de 113 voltios y el máximo valor que toma es de 125 voltios. Considerando que el voltaje nominal de salida es 120 voltios, estos valores finales se pueden expresar en forma porcentual teniendo que el regulador entrega un voltaje de 120 voltios $+4.2\%$ y -6% . Si bien es cierto que no están estrictamente dentro del rango previsto por la falta de precisión en los voltajes de los taps, pero si están dentro de los límites de seguridad de la mayoría de aparatos que se van a proteger. Además este rango de valores puede ser variado dependiendo de la posición que tome el potenciómetro de control, ajustándose a cualquier valor específico de voltaje que se necesite.

Los rangos de voltaje en la entrada, para la histéresis, son suficientes para evitar cambios muy frecuentes de taps, evitando así que se produzcan variaciones bruscas de voltaje en la salida ante pequeñas variaciones de voltaje en la entrada.

Los valores extremos en el voltaje de entrada se han fijado en 88 y 140 voltios. Por razones de seguridad de los equipos protegidos, pues fuera de estos rangos, el voltaje de salida puede salir del rango de regulación previsto y resultar perjudicial para la carga.

La respuesta de voltaje, en vacío y a plena carga difiere en un $0,85\%$, lo cual coincide con el hecho de la buena regulación de voltaje en los autotransformadores, por lo tanto los límites

extremos del voltaje de salida no varían sustancialmente.

Considerando que un equipo de computación puede soportar hasta medio ciclo de red sin energía para no perder su información, los tiempos de conmutación que toman los triacs, son bastante buenos, pues estos se encuentran en el orden de un décimo del ciclo de la red, lo cual garantiza que la conmutación de los taps no tendrá repercusiones negativas en los equipos protegidos. Estos tiempos pueden mejorarse, disminuyendo el número de muestras tomadas del voltaje de salida en el cambio de tap, pero por razones de seguridad se han tomado estos valores.

Los límites de frecuencia se han logrado colocar aproximadamente dentro de lo previsto. Esto además de ser una protección, asegura que no existan errores en la lectura de voltaje de entrada, ya que el número de datos tomados y los posteriores cálculos se los a realizado para una frecuencia de 60 Hz.

En la práctica, no se puede hablar de que el regulador introduzca algún tipo de distorsión en el voltaje, pues los triacs lo único que realizan es una función de interruptores y por lo tanto el voltaje de salida del regulador será el mismo que el del voltaje de entrada siempre y cuando el autotransformador esté correctamente diseñado y construido para no introducir ninguna distorsión.

Cuando existe excesivo ruido eléctrico o interferencia en el voltaje de línea, éste efecto también se transmite al voltaje de salida por lo que sería conveniente que el regulador tenga filtros de salida para mejorar la señal. Desgraciadamente estos resultan ser muy grandes considerando la frecuencia a la que se producen. Por lo tanto, la forma en que el regulador protege a la carga al detectar esta situación es sacando de operación al

equipo.

5.2 ANALISIS TECNICO ECONOMICO DEL EQUIPO

El equipo construido ha sido diseñado con elementos digitales y analógicos. El circuito de control al estar formado por el microcontrolador, es en su mayoría digital con niveles de voltaje TTL. En esta tarjeta se encuentra el microcontrolador que es el elemento relativamente más caro del circuito, pero que tiene la ventaja de que se encuentra fácilmente en el mercado local.

Además se tiene la tarjeta de señalización que solo contiene leds y transistores y por último se tiene la tarjeta de potencia en la cual únicamente se encuentran los triacs y sus protecciones además de los terminales que vienen del autotransformador.

El siguiente cuadro resume los elementos, la cantidad de ellos que se utilizaron, su costo unitario, su valor total y finalmente el costo global de todo el equipo en sucres, basado en costos en el mercado local.

Cabe señalar que los precios de los distintos elementos que forman este trabajo están referidos a Marzo de 1991 y a su correspondiente cambio del valor del dolar. El costo global del equipo está por debajo de los reguladores de voltaje comerciales que utilizan tecnologías similares, por lo tanto podría resultar rentable la manufactura de este equipo.

 TABLA DE LOS ELEMENTOS

ELEMENTO	V/UNIT	CANT.	V/TOTAL
Autotransformador	60.000	1	60.000
Conector tipo ojo	250	8	2.000
Terminal de conexión	1.000	1	1.000
Condensador (0.1 uF, 600 V)	480	6	2.880
Varistor (ERZC140K361)	600	1	600
Transformador (110/12 v)	8.000	1	8.000
Tubo aislante	750	1 m.	750
Postes de sujeción	410	8	3.280
Bakelita con fotograbado	7.000	3	21.000
Breaker	3.800	1	3.800
Alambre para conexión	180	2 m.	360
Cable de 3 hilos	2.000	1.5 m.	3.000
Enchufe polarizado	1.500	1	1.500
Tomacorriente polarizado	1.650	1	1.650
Caja metálica	8.000	1	8.000
Tornillos	7	20	140
TRiacs (TIC 246D)	1.900	5	9.500
Conector para cable plano	891	4	3.564
Cable plano	1.200	0.6 m.	720
Microcontrolador (8748)	10.000	1	10.000
Convertor A/D (ADC0804)	7.000	1	7.000
Puente rectificador	500	1	500
Comparador (LM339)	410	1	410
Fuente de 5 V (ECG 960)	1.200	2	1.200
Condensador (2000 uF)	650	1	650
Potenciómetro	500	1	500
Diodos	90	4	360
Inversor (MM74C14)	400	1	400
Condensador de cerámica	120	5	600
Operacional (LM324)	580	1	580

90

Transistor PNP (ECG 126A)	310	4	1.223
Multiplexer análogo (CD4053)	3.500	1	3.523
Cristal (8 MHz)	1.200	1	1.223
Driver (ULN2003)	1.500	1	1.523
Resistencias	40	20	1.223
Leds	120	6	723
Otros			5.223
Zocalo para los integrados	800	6	4.823
TOTAL			172.923

5.3 CONCLUSIONES

Una vez terminado este trabajo y en vista de los resultados obtenidos se puede concluir lo siguiente:

Se ha logrado construir un regulador de voltaje que en nuestro medio es de gran utilidad, con los elementos necesarios para proteger a equipos delicados de las diferentes anomalías que adolece nuestro sistema de electrificación.

En una gran mayoría se han logrado cumplir los requerimientos que se plantearon al iniciar este trabajo. Por lo tanto se puede concluir que su funcionamiento es satisfactorio.

La utilización de triacs para la conexión con la carga hacen que el equipo tenga buenas características de respuesta y funcionamiento mejorando la calidad del regulador.

En la construcción de este equipo ha quedado al descubierto las bondades que muestran los microcontroladores en combinación con los convertidores análogo digitales ya que como ésta pueden haber infinitas aplicaciones en las que pueden ser utilizados eficientemente.

Las características dinámicas del prototipo se las puede calificar como buenas, ya que sus tiempos de conmutación son relativamente pequeños y los efectos ante variaciones bruscas de carga no son dañinas para el equipo.

La utilización de elementos digitales en la tarjeta de control permiten una reducción en el espacio físico, lograndose así un equipo compacto, de fácil construcción y de menor precio.

La implementación de programas en assembler para el funcionamiento del microcontrolador permite fácilmente variar los límites para el control de la frecuencia, voltaje, sensibilidad ante el ruido eléctrico solo con variar ciertos parámetros en el programa.

Una de las grandes ventajas que tiene el hardware de control implementado es la de poder manejar a autotransformadores de mayor o menor potencia, ésto es: con el mismo hardware se pueden construir reguladores de diferentes capacidades solo con variar la capacidad de los elementos de potencia.

En caso de falla en el hardware del equipo, su reparación no resulta difícil ya que todos los circuitos integrados están montados sobre sócalos y pueden ser fácilmente cambiados, por otro lado, el resto de circuitos implementados son de fácil comprensión y están constituidos por elementos conocidos.

En el mercado nacional se encuentran reguladores de voltaje de una variedad de precios y tecnologías. Comparando precios con los reguladores de características parecidas al construído se puede notar las ventajas económicas que éste nos brinda, además si se piensa en una construcción en cantidades mayores, su precio podría bajar notablemente.

Dado que el regulador de voltaje está constituido con elementos de alta tecnología electrónica como es el microcontrolador y por sus características de funcionamiento demostradas, se puede concluir que éste equipo puede competir por su calidad y precio con los reguladores importados.

Los resultados que ha arrojado el regulador de voltaje construido, son satisfactorios considerando que se trata de un prototipo, por lo que se debería incentivar la continuación de esta línea tecnológica para la implementación de reguladores de voltaje.

Uno de los aspectos más importantes al realizar el diseño y construcción de éste regulador de voltaje, es el de impulsar de alguna manera la tecnología nacional, pudiéndose colocar en el mercado un equipo de buena calidad, de un precio moderado y que SE AJUSTE A LAS NECESIDADES DE NUESTRO PAIS.

Una de las limitaciones con el software desarrollado para el equipo es la incapacidad de poder detectar si la forma de onda de la red es sinusoidal o si existe distorsión, dejando pasar a ésta señal a la carga y pudiendo tenerse errores en la medición del voltaje de entrada.

Al existir cualquier variación en la frecuencia, la precisión del equipo va a variar, ya que todos los cálculos y límites están realizados para una forma de onda sinusoidal y de 60 Hz.

Una recomendación importante que se debe hacer en la construcción del autotransformador es en lo referente a la exactitud en el cálculo de los voltajes de los taps del autotransformador ya que de esto dependerá la precisión del regulador.

Las desventajas que tiene el regulador al ser contruido con un autotransformador es la falta de aislamiento eléctrico lo que en ocasiones puede resultar perjudicial para el equipo protegido por lo que sería ideal reemplazarlo por un transformador de aislamiento construido con blindaje a tierra el cual brinda una atenuación al ruido eléctrico y transitorios en modo común que se puedan originar en la red.

ANEXO A

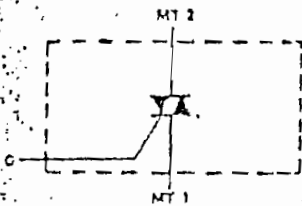
CARACTERISTICAS DE LOS ELEMENTOS
UTILIZADOS

SERIES TIC236, TIC246
SILICON TRIACS

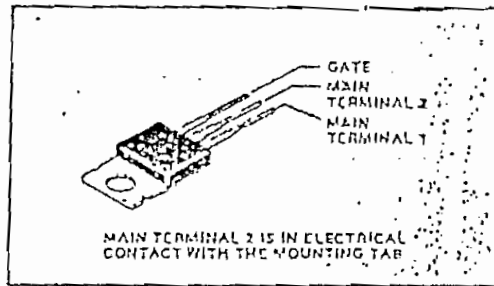
REVISED OCTOBER 1984

- High-Current Triacs
- 100 V to 800 V
- 12 A and 16 A RMS
- 100 A and 125 A Peak Current
- Max IGT of 50 mA (Quadrants 1-3)

Schematic



TO-220AB PACKAGE



Maximum ratings at 25°C case temperature (unless otherwise noted)

	SERIES	
	TIC236	TIC246
Peak off-state voltage, V_{DRM} (see Note 1)	A 100 V B 200 V C 300 V D 400 V E 500 V M 600 V S 700 V H 800 V	100 V 200 V 300 V 400 V 600 V 600 V 700 V 800 V
US on-state current (at or below 70°C case temperature) $I_{T(RMS)}$ (see Note 3)	12 A	16 A
Peak surge current, full sine wave, I_{TSM} (see Note 3)	100 A	125 A
Gate current, I_{GT}	± 1 A	
Operating temperature range	-40°C to 110°C	
Storage temperature range	-40°C to 125°C	
Mounting tab temperature 1.2 mm (1/20 inch) from case for 10 seconds	230°C	

These values apply bidirectionally for any value of test current between the gate and Main Terminal 1.
 This value applies for 50-Hz full sine-wave operation with resistive load. Above 70°C derate linearly to 110°C case temperature at the rate of 300 mA/°C for Series TIC236 and 400 mA/°C for Series TIC246.
 This value applies for one 50-Hz full sine-wave when the device is operating at (or below) rated values of peak reverse voltage and on-state current. Surge may be repeated after the device has returned to original thermal equilibrium.

TIC-Devices

SERIES TIC236, TIC246
SILICON TRIACS

Electrical characteristics at 25°C case temperature (unless otherwise noted)

PARAMETER	TEST CONDITIONS	SERIES TIC236		SERIES TIC246	
		MIN	TYP MAX	MIN	TYP MAX
I_{DRM} Repetitive Peak Off-State Current	$V_{DRM} = \text{Rated } V_{DRM}, I_G = 0, T_C = 110^\circ\text{C}$		± 2		± 2
I_{GTM} Peak Gate Trigger Current	$V_{supply} = +12V, R_L = 10\Omega, t_w(t_f) > 20\mu s$		8 50		8 50
	$V_{supply} = +12V, R_L = 10\Omega, t_w(t_f) > 20\mu s$		-11 -50		-11 -50
	$V_{supply} = -12V, R_L = 10\Omega, t_w(t_f) > 20\mu s$		-20 -50		-20 -50
	$V_{supply} = -12V, R_L = 10\Omega, t_w(t_f) > 20\mu s$		28		28
V_{GTM} Peak Gate Trigger Voltage	$V_{supply} = +12V, R_L = 10\Omega, t_w(t_f) > 20\mu s$		0.7 2		0.7 2
	$V_{supply} = +12V, R_L = 10\Omega, t_w(t_f) > 20\mu s$		-0.8 -2		-0.8 -2
	$V_{supply} = -12V, R_L = 10\Omega, t_w(t_f) > 20\mu s$		-0.8 -2		-0.8 -2
	$V_{supply} = -12V, R_L = 10\Omega, t_w(t_f) > 20\mu s$		0.8 2		0.8 2
V_{TM} Peak On-State Voltage	$I_{TM} = \pm 17A, I_G = 100mA, \text{ See Note 4}$		$\pm 1.8 \pm 2.1$		$\pm 1.8 \pm 2.1$
	$I_{TM} = \pm 22.5A, I_G = 100mA, \text{ See Note 4}$				$\pm 1.4 \pm 1.7$
I_H Holding Current	$V_{supply} = +12V, I_G = 0, \text{ Initiating } I_{TH} = 100mA$		12 40		12 40
	$V_{supply} = -12V, I_G = 0, \text{ Initiating } I_{TH} = -100mA$		-12 -40		-12 -40
I_L Latching Current	$V_{supply} = +12V, \text{ See Note 5}$		80		80
	$V_{supply} = -12V, \text{ See Note 5}$		-80		-80
dv/dt Critical Rate of Rise of Off-State Voltage	$V_D = \text{Rated } V_D, T_C = 110^\circ\text{C}, I_G = 0$		400		400
$dv/dt(c)$ Critical Rate of Commutation Voltage	$V_{TH} = \text{Rated } V_D, di/dt = 0.5 I_T(\text{RMS})/\text{ms}, I_T = 1.4 I_T(\text{RMS})$	1.2	2	1.2	2
di/dt Critical Rate of Rise of On-State Current	$V_D = \text{Rated } V_D, I_G = 50mA, di/dt = 50mA/\mu s, T_C = 110^\circ\text{C}$		200		200

† All voltages are with respect to Main Terminal 1.

NOTES: 4. This parameter must be measured using pulse techniques, $t_w < 1\text{ms}$, dirty cycle $< 2\%$. Voltage-sensing contacts from the current-carrying contacts, are located within 3.2 mm (1/8 inch) from the device body.

5. The triacs are triggered by a 15-V (peak circuit amplitude) pulse supplied by a generator with the following characteristics: $R_G = 100\Omega, t_w = 20\mu s, t_r < 15ns, I_T < 1A, f = 1kHz$.

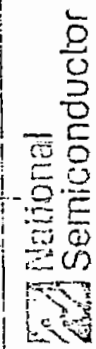
Thermal characteristics

PARAMETER	SERIES TIC236		SERIES TIC246	
	MIN	TYP MAX	MIN	TYP MAX
θ_{JC}		2		1-1.5
θ_{JA}		27.5		27.5

TEXAS
INSTRUMENTS

POST OFFICE BOX 379017 • DALLAS, TEXAS 75217

TIC Devices



CD4051BM/CD4051BC Single 8-Channel Analog Multiplexer/Demultiplexer
CD4052BM/CD4052BC Dual 4-Channel Analog Multiplexer/Demultiplexer
CD4053BM/CD4053BC Triple 2-Channel Analog Multiplexer/Demultiplexer

General Description

These analog multiplexers/demultiplexers are digitally controlled analog switches having low "ON" impedance and very low "OFF" leakage currents. Control of analog signals up to 15V_{pp} can be achieved by digital signal amplitudes of 3-15V. For example, if V_{DD}=5V, V_{SS}=0V and V_{EE}=-5V, analog signals from 1.5V to +5V can be controlled by digital inputs of 0.5V. The multiplexer circuits dissipate extremely low quiescent power over the full V_{DD} - V_{SS} and V_{DD} - V_{EE} supply voltage ranges. Independent of the logic state of the control signals, when a logical "1" is present at the inhibit input terminal all channels are "OFF".

CD4051BM/CD4051BC is a single 8-channel multiplexer having three binary control inputs, A, B, and C, and an inhibit input. The three binary signals select 1 of 8 channels to be turned "ON" and connect the input to the output.

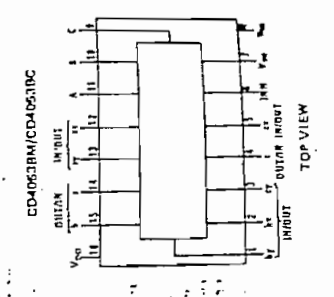
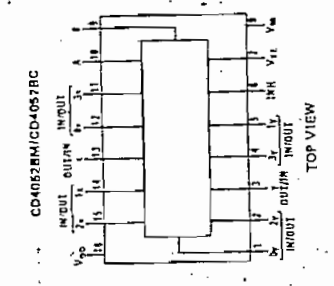
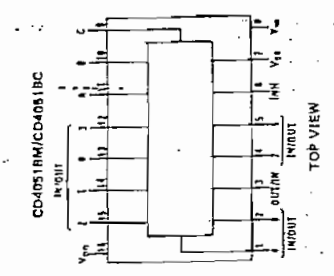
CD4052BM/CD4052BC is a differential 4-channel multiplexer having two binary control inputs, A and B, and an inhibit input. The two binary input signals select 1 of 4 pairs of channels to be turned on and connect the differential analog inputs to the differential outputs.

CD4053BM/CD4053BC is a triple 2-channel multiplexer having three separate digital control inputs, A, B, and C, and an inhibit input. Each control input selects one of a pair of channels which are connected in a single-pole double-throw configuration.

Features

- Wide range of digital and analog signal levels: digital 3-15V, analog to 15V_{pp}
- Low "ON" resistances: 80Ω (typ.) over entire 15V_{pp} signal-input range for V_{DD} - V_{EE} = 15V
- High "OFF" resistances: channel leakage of ±10pA (typ.) at V_{DD} - V_{EE} = 10V
- Logic-level conversion for digital addressing signals of 3-15V (V_{DD} - V_{SS} = 3-15V) to switch analog signals to 15V_{pp} (V_{DD} - V_{EE} = 15V)
- Matched switch characteristics: ΔRON = 5Ω (typ.) for V_{DD} - V_{EE} = 15V
- Very low quiescent power dissipation under all digital control input and supply conditions: 1μW (typ.) at V_{DD} - V_{SS} = V_{DD} - V_{EE} = 10V
- Binary address decoding on chip

Connection Diagrams



Maximum Ratings

V_{DD} Supply Voltage: +5Vdc to +15Vdc
 V_{IN} Input Voltage: 0V to V_{DD} Vdc
 Operating Temperature Range: -55°C to +125°C
 4051BM/4052BM/4053BM: -55°C to +125°C
 4051BC/4052BC/4053BC: -40°C to +85°C

Recommended Operating Conditions

V_{DD} DC Supply Voltage: +5Vdc to +15Vdc
 V_{IN} Input Voltage: 0V to V_{DD} Vdc
 Operating Temperature Range: -55°C to +125°C
 4051BM/4052BM/4053BM: -55°C to +125°C
 4051BC/4052BC/4053BC: -40°C to +85°C

Electrical Characteristics (Note 2)

Parameter	-55°C			+25°C			+125°C		
	Min	Max	Typ	Min	Max	Typ	Min	Max	Typ
Quiescent Device Current V _{DD} = 5V V _{DD} = 10V V _{DD} = 15V		5 10 20			5 10 20			5 10 20	

Parameter	Conditions	Min	Max	Typ	Units
ON Resistance (R _{ON}) for V _{EE} ≤ V _{IS} < V _{DD}	R _L = 10kΩ (any channel selected) V _{DD} = 2.5V, V _{EE} = -2.5V, or V _{DD} = 5V, V _{EE} = 0V		2000	270	Ω
ΔRON Resistance Between Any Two Channels	V _{DD} = 5V, V _{EE} = -5V, or V _{DD} = 10V, V _{EE} = 0V		310	170	Ω
OFF Channel Leakage Current, any channel "OFF"	V _{DD} = 7.5V, V _{EE} = -7.5V, or V _{DD} = 15V, V _{EE} = 0V		220	80	nA
OFF Channel Leakage Current, all channels "OFF" (Common Output)	V _{DD} = 7.5V, V _{EE} = -7.5V, or V _{DD} = 15V, V _{EE} = 0V		150	10	nA
OFF Channel Leakage Current, all channels "OFF" (Common Output)	V _{DD} = 7.5V, V _{EE} = -7.5V, or V _{DD} = 15V, V _{EE} = 0V		1200	10	nA
OFF Channel Leakage Current, all channels "OFF" (Common Output)	V _{DD} = 7.5V, V _{EE} = -7.5V, or V _{DD} = 15V, V _{EE} = 0V		1200	10.04	nA
OFF Channel Leakage Current, all channels "OFF" (Common Output)	V _{DD} = 7.5V, V _{EE} = -7.5V, or V _{DD} = 15V, V _{EE} = 0V		1700	16.02	nA

Low Level Input Voltage

V_{EE} = V_{SS} R_L = 1kΩ to V_{SS}
 I_{IS} < 2μA on all OFF channels
 V_{IS} = V_{DD} thru 1kΩ

V _{DD}	V _{IS}	V _{IS} - V _{DD}
5	1.5	1.5
10	3.0	3.0
15	4.0	4.0

High Level Input Voltage

V _{DD}	V _{IH}	V _{IH} - V _{DD}
5	3.5	7
10	7	11
15	11	11

Input Current

V _{DD}	V _{IN}	V _{IN} - V _{DD}	V _{IN} - V _{EE}
5	3.5	-0.1	-1.0
10	7	0.1	1.0
15	11		

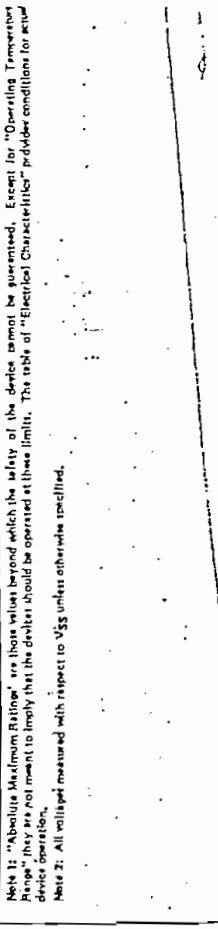
Notes: The limits are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature" which is not meant to imply that the device should be operated at these limits, the table of "Electrical Characteristics" provides conditions for actual operation. The limits are measured with respect to V_{SS} unless otherwise specified.

Electrical Characteristics

T_a: -40°C to +125°C, unless otherwise specified.

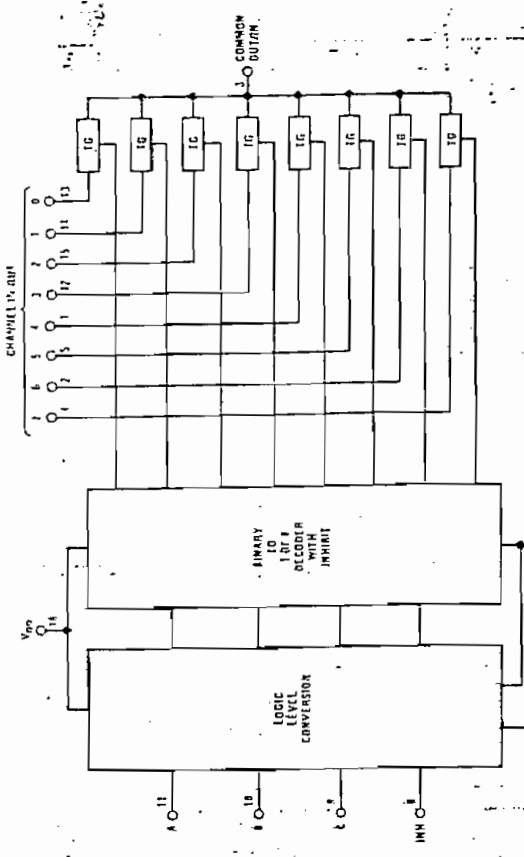
Parameter	Conditions	-40°C		+25°C		+85°C	
		Min	Max	Min	Typ	Max	Max
100	Outsized Device Current V _{DD} = 5V V _{DD} = 10V V _{DD} = 15V	20	40	20	40	20	40
Signal Inputs (VIS) and Outputs (VOS)							
RON	R _L = 10 kΩ for V _{EE} ≤ VIS ≤ V _{DD} (any channel selected)	2100	3700	2500	270	3700	π
	V _{DD} = 2.5V, V _{EE} = -2.5V or V _{DD} = 5V, V _{EE} = 0V						
	V _{DD} = 5V, V _{EE} = -5V or V _{DD} = 10V, V _{EE} = 0V	330	520	400	120	520	π
	V _{DD} = 7.5V, V _{EE} = -7.5V or V _{DD} = 15V, V _{EE} = 0V	230	360	280	80	360	π
ΔRON	R _L = 10 kΩ Between Any Two Channels			10	10		π
	V _{DD} = 2.5V, V _{EE} = -2.5V or V _{DD} = 5V, V _{EE} = 0V						
	V _{DD} = 5V, V _{EE} = -5V or V _{DD} = 10V, V _{EE} = 0V						
	V _{DD} = 7.5V, V _{EE} = -7.5V or V _{DD} = 15V, V _{EE} = 0V						
"OFF" Channel Leakage Current, any channel	V _{DD} = 7.5V, V _{EE} = -7.5V O/I = 17.5V, I/O = 0V	±50	±500	±50	±0.01	±500	nA
"OFF" Channel Leakage Current, all channels	Inhibit = 7.5V V _{DD} = 7.5V, V _{EE} = -7.5V, O/I = 0V	±200	±2000	±200	±0.08	±2000	nA
"OFF" Channel Leakage Current, (Common O/I)	Inhibit = 7.5V V _{DD} = 7.5V, V _{EE} = -7.5V, O/I = 0V	±200	±2000	±200	±0.04	±2000	nA
Control Inputs A, B, C and Inhibit							
V _{IL}	Low Level Input Voltage V _{EE} = V _{SS} , R _L = 1 kΩ to V _{SS} VIS = V _{DD} thru 1 kΩ	1.5	3.0	1.5		1.5	V
V _{IH}	High Level Input Voltage V _{DD} = 5 V _{DD} = 10 V _{DD} = 15	3.5	7	3.5		7	V
I _{IN}	Input Current V _{DD} = 15V, V _{EE} = 0V V _{IN} = 0V V _{DD} = 15V, V _{EE} = 0V V _{IN} = 15V	-0.1	0.1	-10 ⁻⁵	-0.1	10 ⁻⁵	μA

Parameter	Conditions	-40°C		+25°C		+85°C	
		Min	Max	Min	Typ	Max	Max
Propagation Delay Time from Inhibit to Signal Output (channel turning on)	V _{EE} = V _{SS} = 0V R _L = 1 kΩ C _L = 50 pF						
Propagation Delay Time from Input to Signal Output (channel turning off)	V _{EE} = V _{SS} = 0V R _L = 1 kΩ C _L = 50 pF						
Input Capacitance	Control Input						
Output Capacitance (common OUT/IN)	Control Input						
CD4051							
CD4052							
CD4053							
Feedthrough Capacitance							
Power Dissipation Capacitance							
CD4051							
CD4052							
CD4053							
Signal Inputs (VIS) and Outputs (VOS)							
Sine Wave Response (O/I or I/O)	R _L = 10 kΩ VIS = 1 kHz V _{IS} = 5 V _{p-p} V _{EE} = V _{SI} = 0V						
Frequency Response, Channel "ON" (Sine Wave Input)	R _L = 1 kΩ, V _{EE} = V _{SS} = 0V, VIS = 5 V _{p-p} 20 log ₁₀ V _{OS} /V _{IS} = -3 dB						
Feedthrough, Channel "OFF"	R _L = 1 kΩ, V _{EE} = V _{SS} = 0V, VIS = 5 V _{p-p} 20 log ₁₀ V _{OS} /V _{IS} = -40 dB						
Crosstalk Between Any Two Channels (frequency at 40 dB)	R _L = 1 kΩ, V _{EE} = V _{SS} = 0V, VIS(A) = 5 V _{p-p} 20 log ₁₀ V _{OS(B)} /V _{IS(A)} = -40 dB (Noise 3)						
Propagation Delay Signal Input to Signal Output	V _{EE} = V _{SS} = 0V C _L = 50 pF						
Control Inputs A, B, C and Inhibit							
Control Input to Signal Crosstalk	V _{EE} = V _{SS} = 0V, R _L = 10 kΩ at both ends of channel. Input Square Wave Amplitude = 10V						
I _{PHL}	Propagation Delay Time from Address to Signal Output (channels "ON" or "OFF")						
I _{PLH}	Propagation Delay Time from Input to Signal Output (channels "ON" or "OFF")						
Control Inputs A, B, C and Inhibit							

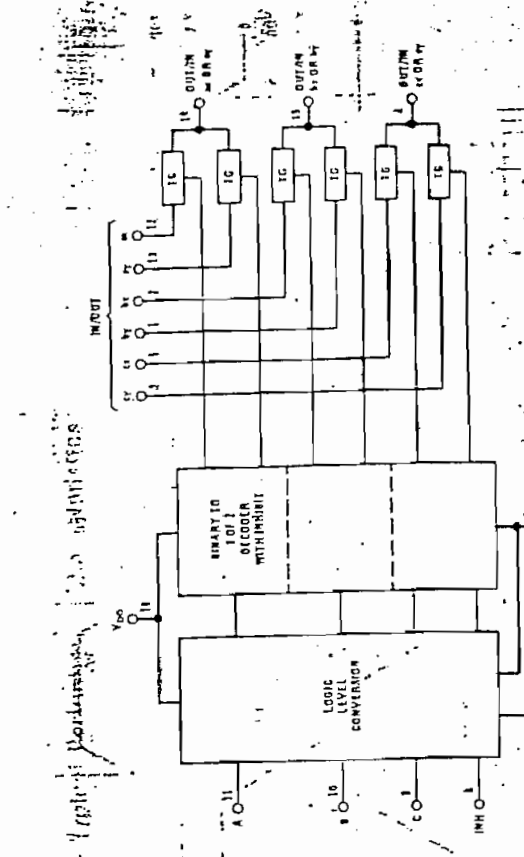


Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range", they are not meant to imply that the device should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.
 Note 2: All voltages measured with respect to V_{SS} unless otherwise specified.

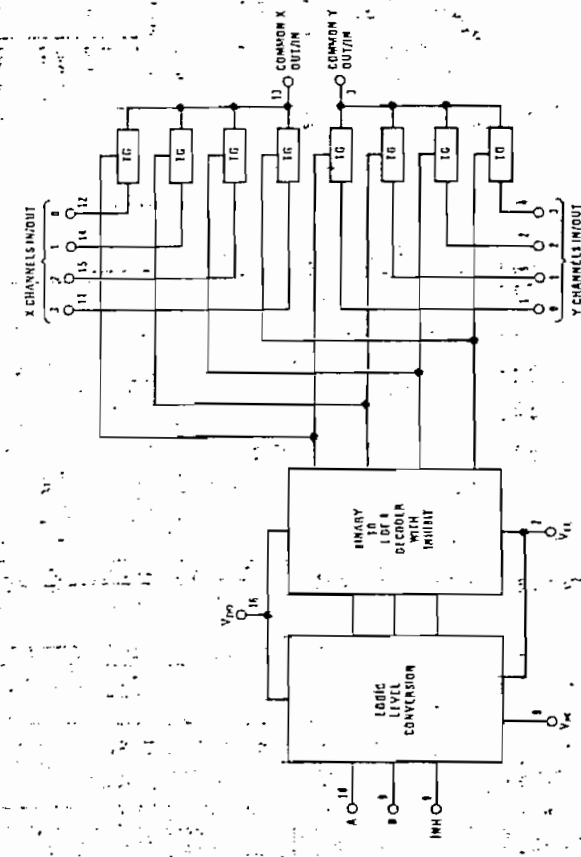
Block Diagrams



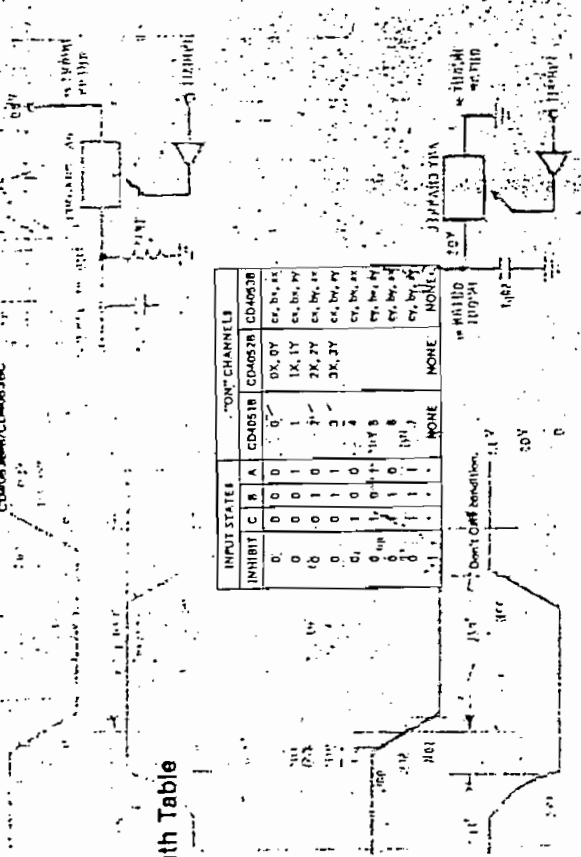
CD4051BM/CD4051BC



CD4052BM/CD4052BC



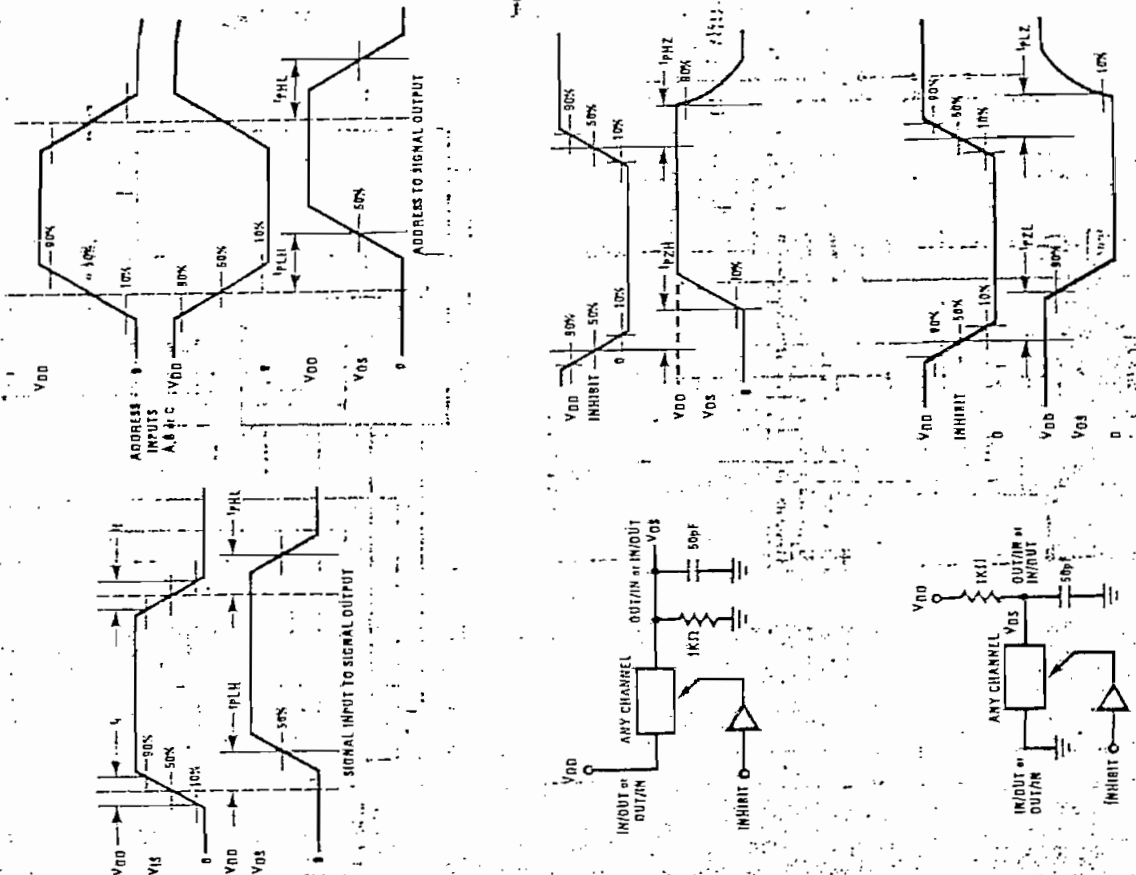
CD4053BM/CD4053BC



Truth Table

INPUT STATES		"DON'T" CHANNELS				
INHIBIT	C	R	A	CD4051B	CD4052B	CD4053B
0	0	0	0	0	0X, 0Y	0X, 0Y
0	0	0	1	1	1X, 1Y	1X, 1Y
0	0	1	0	2	2X, 2Y	2X, 2Y
0	0	1	1	3	3X, 3Y	3X, 3Y
0	1	0	0	4	4X, 4Y	4X, 4Y
0	1	0	1	5	5X, 5Y	5X, 5Y
0	1	1	0	6	6X, 6Y	6X, 6Y
0	1	1	1	7	7X, 7Y	7X, 7Y
1	X	Y	Z	NONE	NONE	NONE

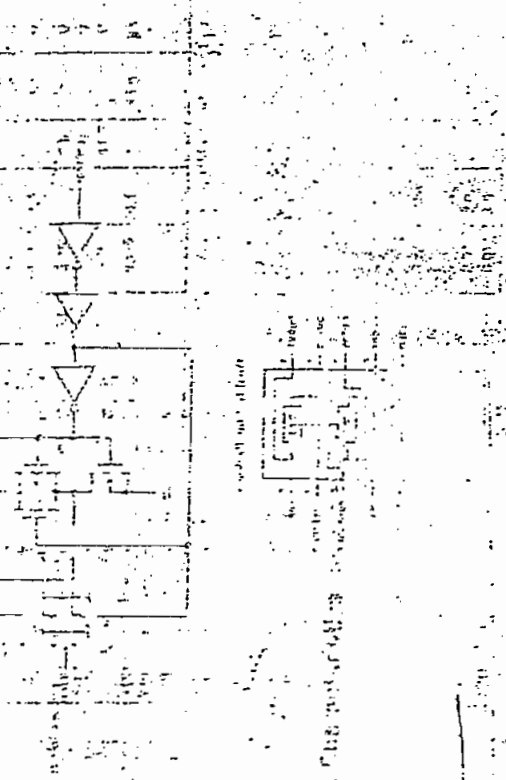
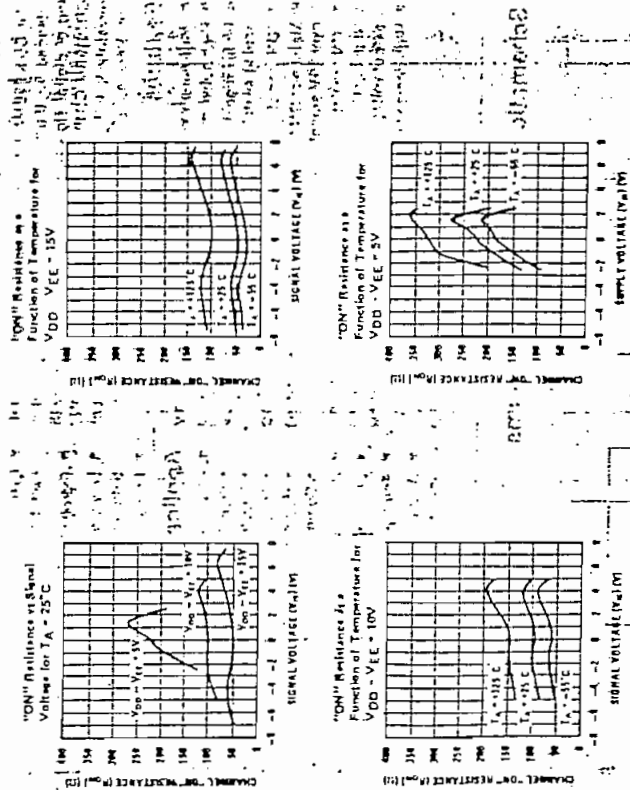
Switching Time Waveforms



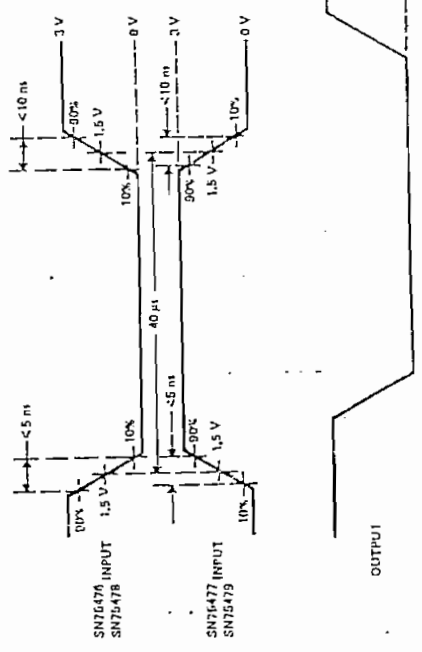
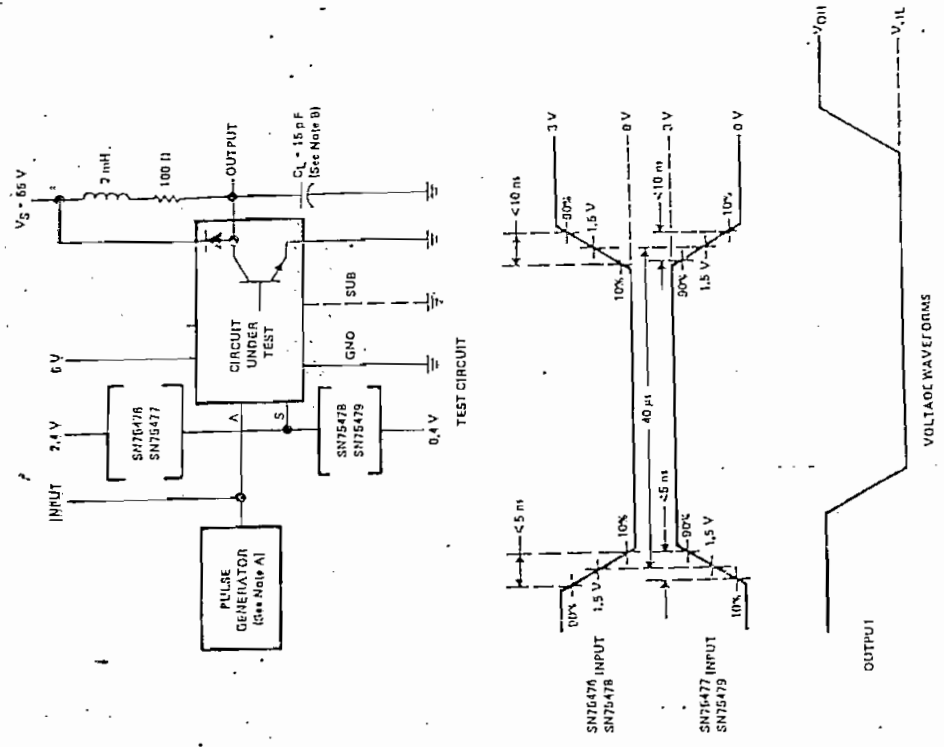
Special Considerations

In certain applications the external load-resistor current may include both V_{DD} and signal-line components. To avoid drawing V_{DD} current when switch current flows from IN/OUT pin, the voltage drop across the bidirectional switch must not exceed 0.6 V at $T_A < 25^\circ\text{C}$, or 0.4 V at $T_A > 25^\circ\text{C}$ (calculated from R_{ON} values shown). No V_{DD} current will flow through RL if the switch current flows into OUT/IN pin.

Typical Performance Characteristics



PARAMETER MEASUREMENT INFORMATION



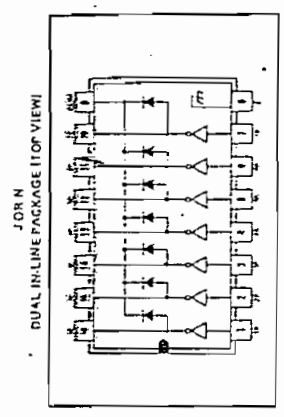
NOTES: A. The pulse generator has the following characteristics: $f_{R0} = 12.5 \text{ kHz}$, $Z_{out} = 50 \Omega$, R_i , C_L indicated on pin and its capacitance.

FIGURE 7—LATCH UP TEST

1576

UNIT 1102-ND, D1 5 101362, DALLAS, TEXAS 75205

HIGH-VOLTAGE HIGH-CURRENT DARLINGTON TRANSISTOR ARRAYS



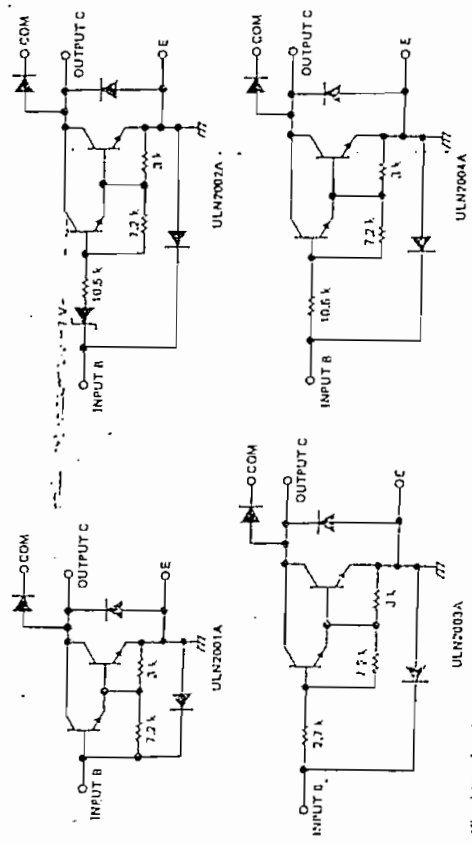
- 500 mA Rated Collector Current
- High-Voltage Outputs ... 80 V
- Output Clamp Diodes
- Inputs Compatible with Various Types of Logic
- Relay Driver Applications
- Designed to be Interchangeable with Sprague ULN2001A Series

Description

The ULN2001A, ULN2002A, ULN2003A, and ULN2004A are monolithic high-voltage, high-current darlington transistor arrays. Each comprises seven n-p-n darlington pairs. All units feature high-voltage outputs with common-cathode clamp diodes for switching inductive loads. The collector-current rating of each darlington pair is 500 milliamperes. Outputs may each be paralleled for higher current capability. Applications include relay drivers, hammer drivers, lamp drivers, display drivers (LED and gas discharge), line drivers, and logic buffers. For 100-volt (otherwise interchangeable) versions, see the SN75466 through SN75469.

The ULN2001A is a general-purpose array and may be used with DTL, TTL, P-MOS, CMOS, etc. The ULN2002A is specifically designed for use with 14- to 25-volt P-MOS devices and each input has a zero diode and resistor in series to limit the input current to a safe limit. The ULN2003A has a series base resistor to each darlington pair. This allows operation directly from TTL or 5-volt CMOS. The ULN2004A has an appropriate series input resistor to allow its operation directly from CMOS or P-MOS utilizing supply voltages of 6 to 15 volts. The required input current is below that of the ULN2003A while the required voltage is less than that required by the ULN2007A.

schematics (each darlington pair)



All resistor values shown are nominal and in ohms.

1576

absolute maximum ratings at 25°C free-air temperature (unless otherwise noted)

Collector-emitter voltage	60 V
Input voltage (see Note 1), ULN2002A, ULN2003A, ULN2004A	30 V
Continuous collector current	500 mA
Continuous input current, ULN2001A only	25 mA
Total substrate-terminal current: J package	-500 mA
N package	-2.5 A
Continuous dissipation (total package) at (or below)	
25°C free-air temperature (see Note 2): J package	1025 mW
N package	1150 mW
Operating free-air temperature range	0°C to 85°C
Storage temperature range	-65°C to 150°C
Lead temperature 1/16 inch from case for 60 seconds, J package	-65°C to 150°C
Lead temperature 1/16 inch from case for 10 seconds, N package	-200°C to 260°C

NOTES: 1. All voltage values, unless otherwise noted, are with respect to the emitter/substrate terminals, E.
2. For operation above 26°C free-air temperature, refer to the Dissipation Derating Curve in the Thermal Information section, which starts on page 10. In the J package, ULN2001A through ULN2004A chips are glass-mounted.

electrical characteristics at 25°C free-air temperature (unless otherwise noted)

PARAMETER	TEST FIGURE	TEST CONDITIONS	ULN2001A	ULN2002A	ULN2003A	ULN2004A	UNIT
ICEX	1	V _{CE} = 50 V, I _I = 0	MIN	TYP	MAX	MAX	μA
I _{I(Off)}	2	T _A = 70°C, V _I = 6 V	100			500	μA
I _I	3	V _{CE} = 50 V, I _C = 500 μA, T _A = 70°C	60	66	60	65	μA
h _{FE}	4	V _I = 17 V, I _C = 350 mA				0.85	1.3
V _{I(on)}	5	V _{CE} = 2 V, I _C = 200 mA				1000	V
V _{CE(sat)}	6	V _I = 250 μA, I _C = 100 mA	0.8	1.1	0.8	1.1	V
I _R	7	V _I = 350 μA, I _C = 200 mA	1.0	1.3	1.0	1.3	V
V _F	8	V _I = 500 μA, I _C = 350 mA	1.2	1.6	1.2	1.6	V
C _I	9	V _I = 6 V, I _F = 350 mA	60		60		pF
C _I	10	V _I = 0 V, I = 1 MHz	15	30	15	30	pF

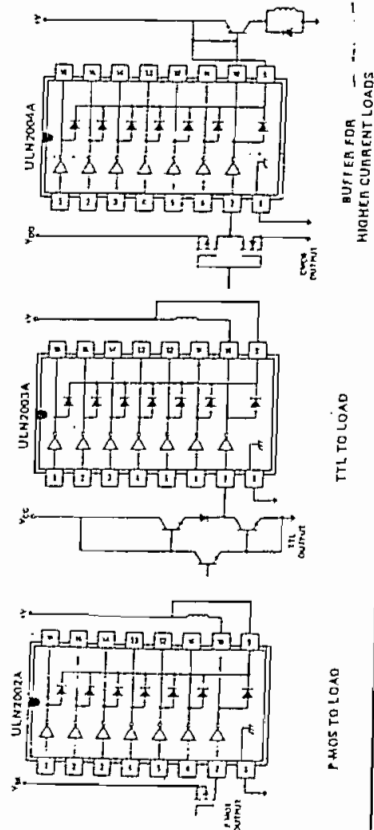
electrical characteristics at 25°C free-air temperature (unless otherwise noted)

PARAMETER	TEST FIGURE	TEST CONDITIONS	ULN2001A		ULN2004A		UNIT
			MIN	MAX	MIN	MAX	
ICEX	1	V _{CE} = 50 V, I _I = 0		100		100	μA
I _{I(Off)}	2	T _A = 70°C, V _I = 1 V				500	μA
I _I	3	V _{CE} = 50 V, I _C = 500 μA, T _A = 70°C	60	66	50	65	μA
I _I	4	V _I = 3.85 V	0.89	1.35			
I _I		V _I = 5 V			0.36	0.5	mA
I _I		V _I = 17 V			1.0	1.45	
V _{I(on)}	5	V _{CE} = 2 V, I _C = 175 mA				5	V
V _{CE(sat)}	6	V _{CE} = 2 V, I _C = 200 mA			2.1	6	V
I _R	7	V _{CE} = 2 V, I _C = 750 mA			7.7		V
V _F	8	V _{CE} = 2 V, I _C = 275 mA				7	V
C _I	9	V _{CE} = 2 V, I _C = 300 mA			3		pF
C _I	10	V _{CE} = 2 V, I _C = 350 mA				8	pF
V _{CE(sat)}	5	I _I = 250 μA, I _C = 100 mA	0.9	1.1	0.9	1.1	V
I _R	7	I _I = 350 μA, I _C = 200 mA	1.0	1.3	1.0	1.3	V
V _F	8	I _I = 500 μA, I _C = 350 mA	1.2	1.6	1.2	1.6	V
C _I	9	I _F = 50 V, I _F = 350 mA, See Figure 10	50		50		pF
C _I	10	V _I = 0 V, I = 1 MHz	16	30	16	30	pF

switching characteristics at 25°C free-air temperature

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _{PLH}	Propagation delay time, low-to-high-level output			5	ns
t _{FHL}	Propagation delay time, high-to-low-level output			5	ns
V _{OH}	High-level output voltage after switching	V _S = 50 V, I _O = 200 mA, See Figure 10		VS - 70	mV

TYPICAL APPLICATION DATA



PARAMETER MEASUREMENT INFORMATION

Die test circuits

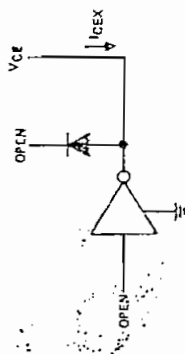


FIGURE 1-ICEX

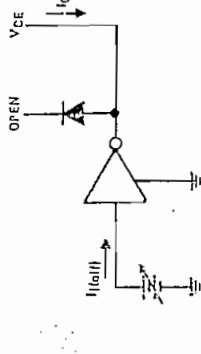


FIGURE 3-|Ic|

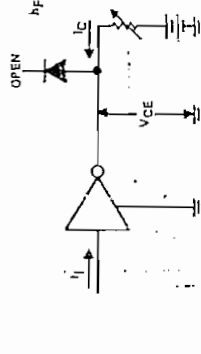


FIGURE 5-hFE

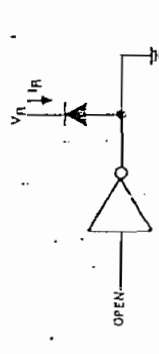


FIGURE 7-IR

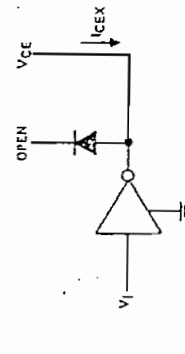


FIGURE 2-ICEX

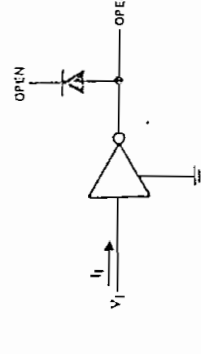


FIGURE 4-|Ii|

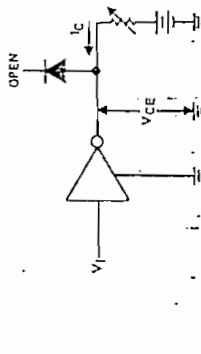


FIGURE 6-VI(10)

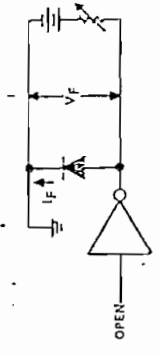
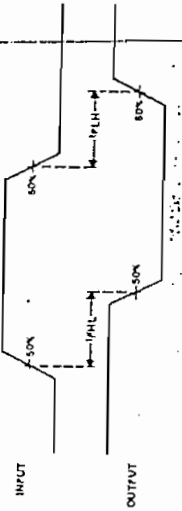


FIGURE 8-VF

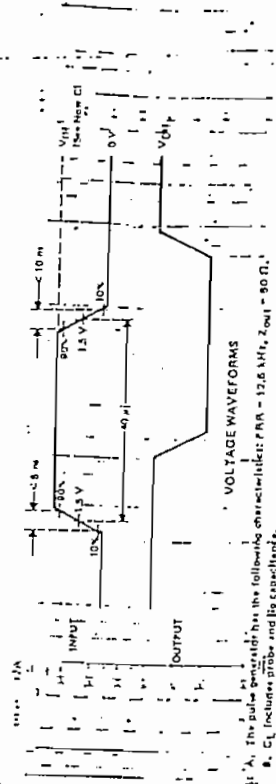
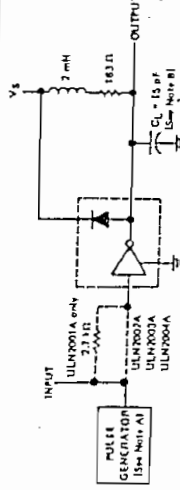
PARAMETER MEASUREMENT INFORMATION

switching characteristics



VOLTAGE WAVEFORMS

FIGURE 9-PROPAGATION DELAY TIMES



VOLTAGE WAVEFORMS

NOTES: A. The pulse generator has the following characteristics: FRR = 12.6 kHz, Zout = 80 Ω.
B. CL includes probe and jig capacitance.
C. For testing the ULN2001A and the ULN2003A, VIH = 3 V; for the ULN2002A, VIH = 13 V; for the ULN2004A, VIH = 8 V.

FIGURE 10-LATCH UP TEST

TYPES ULN2001A, ULN2002A, ULN2003A, ULN2004A
DARLINGTON TRANSISTOR ARRAYS

TYPICAL CHARACTERISTICS

COLLECTOR-EMITTER
SATURATION VOLTAGE

$V_{CE(sat)}$

COLLECTOR CURRENT
(ONE DARLINGTON)

I_C

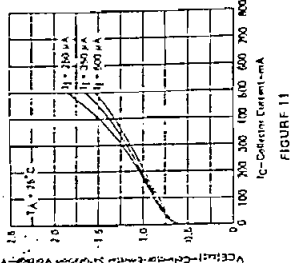


FIGURE 11

COLLECTOR-EMITTER
SATURATION VOLTAGE

$V_{CE(sat)}$

COLLECTOR CURRENT
(TWO DARLINGTONS PARALLELED)

I_C

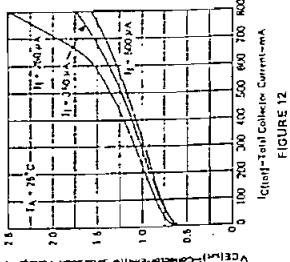


FIGURE 12

COLLECTOR CURRENT

I_C

INPUT CURRENT

I_I

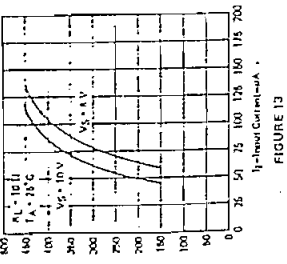


FIGURE 13

THERMAL INFORMATION

J PACKAGE
MAXIMUM COLLECTOR CURRENT

$I_{C(max)}$

DUTY CYCLE

$\%$

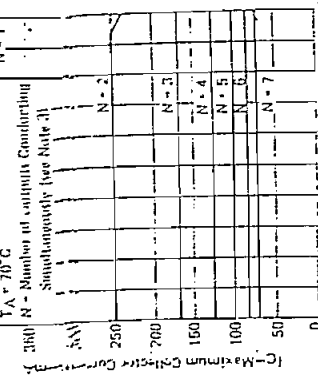


FIGURE 14

N PACKAGE
MAXIMUM COLLECTOR CURRENT

$I_{C(max)}$

DUTY CYCLE

$\%$

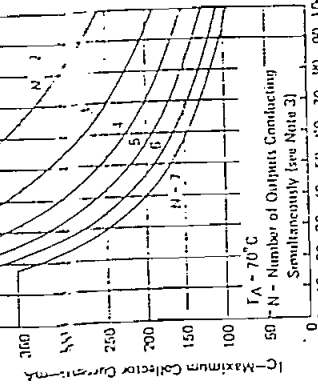


FIGURE 15

NOTE 3. For the J package, $I_{C(max)}$ must not exceed 600 mA. For the N package, $I_{C(max)}$ must not exceed 2.5 A.

TYPICAL APPLICATIONS

general

The applications have been divided into several categories. Even though a particular device is shown in a given application, that does not mean it is the only device that can be used. For example, the SN75451B is shown as a lamp driver. Depending on the voltage and current requirements, other devices may be used such as the SN75401, SN75411, SN75431, SN75461, SN75471, and so forth.

The categories into which the applications have been divided are as follows:

- Lamp drivers
- Relay/solenoid drivers
- Hammer drivers
- Core memory driver and inhibit control
- Digital comparators
- Detectors
- TTL-to-MOS and MOS-to-TTL drivers
- Inverting buffers for high-current loads
- Miscellaneous applications

lamp drivers

Figures 1 and 2 show basic lamp driver applications.

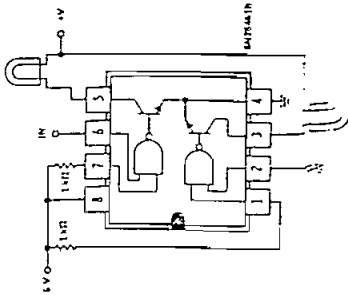


FIGURE 1 - LAMP DRIVER

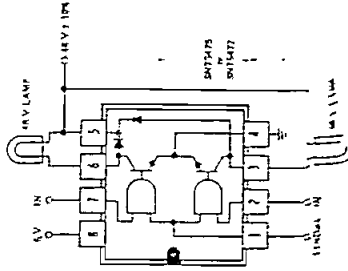


FIGURE 2 - HIGH-VOLTAGE LAMP DRIVER WITH INDUCTIVE CLAMP-DIODE PROTECTION

Note that in any lamp-driver application the turn-on surge current of a cold lamp may be as much as 10 times the normal on current; a 100 mA lamp may have a 1-amp turn-on surge. Peripheral drivers can handle 100-mA operating current, but a 1-amp surge is far more demanding. The normal maximum continuous collector current rating is 200 or 500 mA, although a 500 or 1000 mA (maximum) surge current may be sustained for duty cycles not to exceed 60% or 40%, respectively, with on time less than 10 milliseconds. Current peaks exceeding these maximums may cause device deterioration.

National Semiconductor

Voltage Comparators

LM139/239/339, LM139A/239A/339A, LM2901, LM3302 Low Power, Low Offset Voltage Quad Comparators

General Description

The LM139 series consists of four independent precision voltage comparators with an offset voltage specification as low as 2 mV max for all four comparators. These were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage. These comparators also have a unique characteristic in that the input common-mode voltage range includes ground, even though operated from a single power supply voltage.

Application areas include limit comparators, simple analog to digital converters; pulse, squarewave and time delay generators; wide range VCO; MOS clock timers; multivibrators and high voltage digital logic gates. The LM139 series was designed to directly interface with TTL and CMOS. When operated from both plus and minus power supplies, they will directly interface with MOS logic—where the low power drain of the LM339 is a distinct advantage over standard comparators.

Advantages

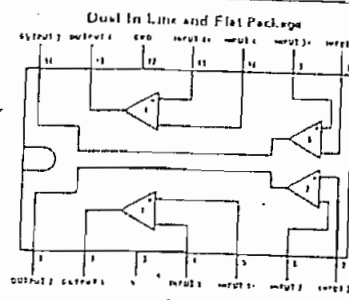
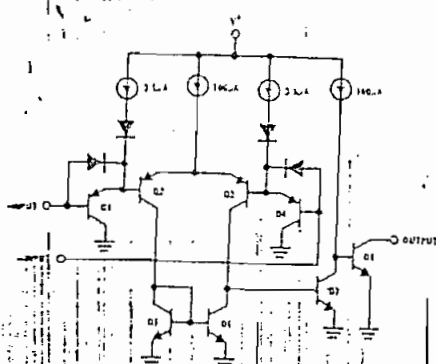
- High precision comparators
- Reduced V_{OS} drift over temperature

- Eliminates need for dual supplies
- Allows sensing near gnd
- Compatible with all forms of logic
- Power drain suitable for battery operation

Features

- Wide single supply voltage range or dual supplies.
LM139 series, $2 V_{DC}$ to $36 V_{DC}$ or
LM139A series, LM2901 $\pm 1 V_{DC}$ to $\pm 18 V_{DC}$
LM3302 $2 V_{DC}$ to $28 V_{DC}$
or $\pm 1 V_{DC}$ to $\pm 14 V_{DC}$
- Very low supply current drain (0.8 mA) — independent of supply voltage (2 mW/comparator at $+5 V_{DC}$)
- Low input biasing current 25 nA
- Low input offset current ± 5 nA
and offset voltage ± 3 mV
- Input common-mode voltage range includes gnd
- Differential input voltage range equal to the power supply voltage
- Low output saturation voltage 250 mV at 4 mA
- Output voltage compatible with TTL, DTL, ECL, MOS and CMOS logic systems

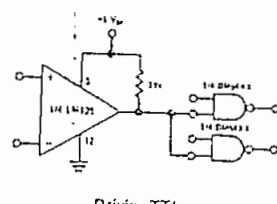
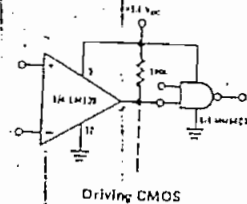
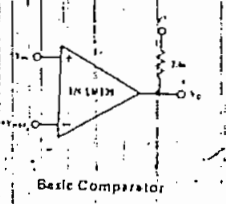
Schematic and Connection Diagrams



Order Number LM139J, LM139AJ,
LM239J, LM239AJ, LM339J,
LM339AJ, LM2901J or LM3302J
See NS Package J14A

Order Number LM339N, LM339AN,
LM2901N or LM3302N
See NS Package H14A

Typical Applications ($V^+ = 5.0 V_{DC}$)



LM139/LM239/LM339, LM139A/LM239A/LM339A, LM2901, LM3302



MM54C14/MM74C14 Hex Schmitt Trigger

general description

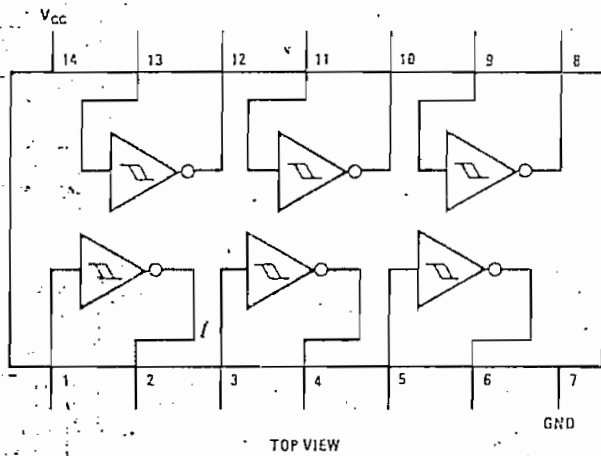
The MM54C14/MM74C14 Hex Schmitt Trigger is a monolithic complementary MOS (CMOS) integrated circuit constructed with N and P-channel enhancement transistors. The positive and negative going threshold voltages, V_{T+} and V_{T-} , show low variation with respect to temperature (typ 0.0005V/°C at $V_{CC} = 10V$), and hysteresis, $V_{T+} - V_{T-} \geq 0.2 V_{CC}$ is guaranteed.

All inputs are protected from damage due to static discharge by diode clamps to V_{CC} and GND.

features

- Wide supply voltage range. 3.0V to 15V
- High noise immunity 0.70 V_{CC} typ
- Low power TTL compatibility fan out of 2 driving 74L
- Hysteresis 0.4 V_{CC} typ
0.2 V_{CC} guaranteed

connection diagram



TOP VIEW

GND

absolute ma

Voltage at Any Pin
Operating Temperature
MM54C14
MM74C14
Storage Temperature

dc electrical

PARAMETER
CMOS TO CMOS
V_{T+} Positive Going Voltage
V_{T-} Negative Going Voltage
Hysteresis ($V_{T+} - V_{T-}$)
Logical "1" Output (V_{OUT1})
Logical "0" Output (V_{OUT0})
Logical "1" Input (V_{IN1})
Logical "0" Input (V_{IN0})
Supply Current (I_{CC})

CMOS TO TTL INPUT
Logical "1" Input (V_{IN1})
Logical "0" Input (V_{IN0})
Logical "1" Output (V_{OUT1})
Logical "0" Output (V_{OUT0})
OUTPUT DRIVE
Output Source Current (I_{SOURCE}) (P-Channel)
Output Source Current (I_{SOURCE}) (N-Channel)
Output Sink Current (I_{SINK}) (N-Channel)
Output Sink Current (I_{SINK}) (P-Channel)

LM124/LM224/LM324, LM124A/LM224A/LM324A, LM2902

Low Power Quad Operational Amplifiers

General Description

The LM124 series consists of four independent, high gain, internally frequency compensated operational amplifiers which were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage.

Application areas include transducer amplifiers, dc gain blocks and all the conventional op amp circuits which now can be more easily implemented in single power supply systems. For example, the LM124 series can be directly operated off of the standard +5 Vdc power supply voltage which is used in digital systems and will easily provide the required interface electronics without requiring the additional ±15 Vdc power supplies.

Unique Characteristics

- In the linear mode the input common-mode voltage range includes ground and the output voltage can also swing to ground, even though operated from only a single power supply voltage.
- The unity gain cross frequency is temperature compensated.
- The input bias current is also temperature compensated.

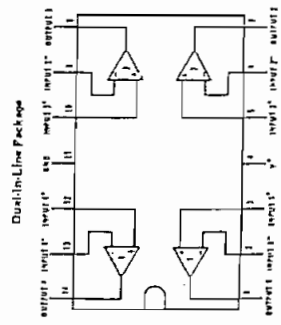
Advantages

- Eliminates need for dual supplies
- Four internally compensated op amps in a single package
- Allows directly sensing near GND and V_{OUT} also goes in GND
- Compatible with all forms of logic
- Power drain suitable for battery operation

Features

- Internally frequency compensated for unity gain
- Large dc voltage gain
- Wide bandwidth (unity gain) (temperature compensated)
- Wide power supply range:
 - Single supply: 0 Vdc to 30 Vdc
 - or dual supplies: ±1.5 Vdc to ±15 Vdc
- Very low supply current drain (800µA) — essentially independent of supply voltage (1 mA/Wop amp at +5 Vdc)
- Low input biasing current
- Low input offset voltage (temperature compensated)
- Low input offset current
- Input common-mode voltage range includes ground
- Differential input voltage range equal to the power supply voltage
- Large output voltage swing: 0 Vdc to $V^+ - 1.5$ Vdc

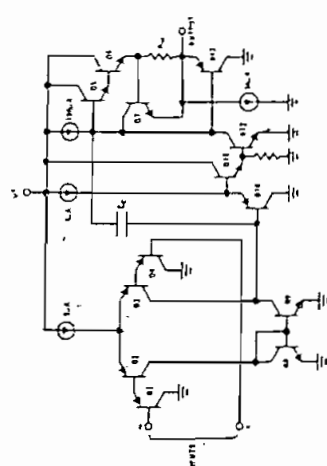
Connection Diagram



Order Number LM124J, LM124AJ, LM224J, LM224AJ, LM324J, LM324AJ or LM2902J
See NS Package J144

Order Number LM324N, LM324AN or LM2902N
See NS Package N144

Schematic Diagram (Each Amplifier)



Electrical Characteristics ($V^+ = +5.0$ Vdc, Note 4)

PARAMETER	CONDITIONS				MIN	TYP	MAX
Input Offset Voltage (Note 5)	$T_A = 25^\circ\text{C}$	1	2	1	2	2	2
Input Bias Current (Note 5)	$I_{IN(1)} \text{ or } I_{IN(2)}$, $T_A = 25^\circ\text{C}$	20	50	40	80	45	100
Input Offset Current (Note 5)	$I_{IN(1)} - I_{IN(2)}$, $T_A = 25^\circ\text{C}$	2	10	2	15	5	30
Input Offset Current (Note 2)	$V^+ = 30$ Vdc, $T_A = 25^\circ\text{C}$	0	2	10	2	15	30
Supply Current	$R_L = \infty$, $V_{OC} = 30$ V, LM2902 $V_{OC} = 28$ V $R_L = \infty$ On All Dc Inputs Over Full Temperature Range	1.5	3	1.5	3	1.5	3
Large Signal Voltage Gain	$V^+ = 15$ Vdc (For Large V_O Swing) $R_L \geq 2$ k Ω , $T_A = 25^\circ\text{C}$	50	100	50	100	25	100
Output Voltage Swing	$R_L = 2$ k Ω , $T_A = 25^\circ\text{C}$ (LM324 $R_L \geq 10$ k Ω)	0	$V^+ - 1.5$	0	$V^+ - 1.5$	0	$V^+ - 1.5$
Common Mode Rejection Ratio	DC, $T_A = 25^\circ\text{C}$	70	85	70	85	70	85
Power Supply Rejection Ratio	DC, $T_A = 25^\circ\text{C}$	65	100	65	100	65	100
Amplifier to Amplifier Crossover (Note 8)	(Input Referred)	-120	-120	-120	-120	-120	-120
Output Current Source	$V^+ = 15$ Vdc, $V_{IN}^- = 0$ Vdc, $V_{IN}^+ = 1$ Vdc, $T_A = 25^\circ\text{C}$	20	40	20	40	20	40
Sink	$V_{IN}^- = 15$ Vdc, $V_{IN}^+ = 0$ Vdc, $V^+ = 1$ Vdc, $V_{IN}^- = 0$ V, $T_A = 25^\circ\text{C}$, $V_O = 200$ mVdc	10	20	10	20	10	20
Short Circuit to Ground	$T_A = 25^\circ\text{C}$ (Note 2)	40	60	40	60	40	60

THE SINGLE COMPONENT MCS[®]-48 SYSTEM

1.0 INTRODUCTION

Sections 2 through 5 describe in detail the functional characteristics of the 8748H and 8749H EPROM, 8048AH/8049AH/8050AH ROM, and 8035AHL/8039AHL/8040-AHL CPU only single component microcomputers. Unless otherwise noted, details within these sections apply to all versions. This chapter is limited to those functions useful in single-chip implementations of the MCS-48. The Chapter on the Expanded MCS-48 System discusses functions which allow expansion of program memory, data memory, and input output capability.

2.0 ARCHITECTURE

The following sections break the MCS-48 Family into functional blocks and describe each in detail. The following description will use the 8048AH as the representative product for the family. See Figure 1.

2.1 Arithmetic Section

The arithmetic section of the processor contains the basic data manipulation functions of the 8048AH and can be divided into the following blocks:

- Arithmetic Logic Unit (ALU)
- Accumulator
- Carry Flag
- Instruction Decoder

In a typical operation data stored in the accumulator is combined in the ALU with data from another source on the internal bus (such as a register or I/O port) and the result is stored in the accumulator or another register.

The following is more detailed description of the function of each block.

INSTRUCTION DECODER

The operation code (op code) portion of each program instruction is stored in the Instruction Decoder and converted to outputs which control the function of each of the blocks of the Arithmetic Section. These lines control the source of data and the destination register as well as the function performed in the ALU.

ARITHMETIC LOGIC UNIT

The ALU accepts 8-bit data words from one or two sources and generates an 8-bit result under control of the Instruction Decoder. The ALU can perform the following functions:

- Add With or Without Carry
- AND, OR, Exclusive OR
- Increment/Decrement
- Bit Complement
- Rotate Left, Right
- Swap Nibbles
- BCD Decimal Adjust.

If the operation performed by the ALU results in a value represented by more than 8 bits (overflow of most significant bit), a Carry Flag is set in the Program Status Word.

ACCUMULATOR

The accumulator is the single most important data register in the processor, being one of the sources of input to the ALU and often the destination of the result of operations performed in the ALU. Data to and from I/O ports and memory also normally passes through the accumulator.

2.2 Program Memory

Resident program memory consists of 1024, 2048, or 4096 words eight bits wide which are addressed by the program counter. In the 8748H and the 8749H this memory is user programmable and erasable EPROM; in the 8048AH/8049AH/8050AH the memory is ROM which is mask programmable at the factory. The 8035AHL/8039AHL/8040AHL has no internal program memory and is used with external memory devices. Program code is completely interchangeable among the various versions. To access the upper 2K of program memory in the 8050AH, and other MCS-48 devices, a select memory bank and a JUMP or CALL instruction must be executed to cross the 2K boundary.

There are three locations in Program Memory of special importance as shown in Figure 2.

LOCATION 0

Activating the Reset line of the processor causes the first instruction to be fetched from location 0.

LOCATION 3

Activating the Interrupt input line of the processor (if interrupt is enabled) causes a jump to subroutine at location 3.

LOCATION 7

A timer/counter interrupt resulting from timer counter overflow (if enabled) causes a jump to subroutine at location 7.

Therefore, the first instruction to be executed after initialization is stored in location 0, the first word of an external interrupt service subroutine is stored in location 3, and the first word of a timer/counter service routines

THE SINGLE COMPONENT MCS[®]-48 SYSTEM

1.0 INTRODUCTION

Sections 2 through 5 describe in detail the functional characteristics of the 8748H and 8749H EPROM, 8048AH/8049AH/8050AH ROM, and 8035AHL/8039AHL/8040-AHL CPU only single component microcomputers. Unless otherwise noted, details within these sections apply to all versions. This chapter is limited to those functions useful in single-chip implementations of the MCS[®]-48. The Chapter on the Expanded MCS[®]-48 System discusses functions which allow expansion of program memory, data memory, and input output capability.

2.0 ARCHITECTURE

The following sections break the MCS-48 Family into functional blocks and describe each in detail. The following description will use the 8048AH as the representative product for the family. See Figure 1.

2.1 Arithmetic Section

The arithmetic section of the processor contains the basic data manipulation functions of the 8048AH and can be divided into the following blocks:

- Arithmetic Logic Unit (ALU)
- Accumulator
- Carry Flag
- Instruction Decoder

In a typical operation data stored in the accumulator is combined in the ALU with data from another source on the internal bus (such as a register or I/O port) and the result is stored in the accumulator or another register.

The following is more detailed description of the function of each block.

INSTRUCTION DECODER

The operation code (op code) portion of each program instruction is stored in the Instruction Decoder and converted to outputs which control the function of each of the blocks of the Arithmetic Section. These lines control the source of data and the destination register as well as the function performed in the ALU.

ARITHMETIC LOGIC UNIT

The ALU accepts 8-bit data words from one or two sources and generates an 8-bit result under control of the Instruction Decoder. The ALU can perform the following functions:

- Add With or Without Carry
- AND, OR, Exclusive OR
- Increment/Decrement
- Bit Complement
- Rotate Left, Right
- Swap Nibbles
- BCD Decimal Adjust

If the operation performed by the ALU results in a value represented by more than 8 bits (overflow of most significant bit), a Carry Flag is set in the Program Status Word.

ACCUMULATOR

The accumulator is the single most important data register in the processor, being one of the sources of input to the ALU and often the destination of the result of operations performed in the ALU. Data to and from I/O ports and memory also normally passes through the accumulator.

2.2 Program Memory

Resident program memory consists of 1024, 2048, or 4096 words eight bits wide which are addressed by the program counter. In the 8748H and the 8749H this memory is user programmable and erasable EPROM; in the 8048AH/8049AH/8050AH the memory is ROM which is mask programmable at the factory. The 8035AHL/8039AHL/8040AHL has no internal program memory and is used with external memory devices. Program code is completely interchangeable among the various versions. To access the upper 2K of program memory in the 8050AH, and other MCS-48 devices, a select memory bank and a JUMP or CALL instruction must be executed to cross the 2K boundary.

There are three locations in Program Memory of special importance as shown in Figure 2.

LOCATION 0

Activating the Reset line of the processor causes the first instruction to be fetched from location 0.

LOCATION 3

Activating the Interrupt input line of the processor (if interrupt is enabled) causes a jump to subroutine at location 3.

LOCATION 7

A timer/counter interrupt resulting from timer counter overflow (if enabled) causes a jump to subroutine at location 7.

Therefore, the first instruction to be executed after initialization is stored in location 0, the first word of an external interrupt service subroutine is stored in location 3, and the first word of a timer/counter service routines

SINGLE COMPONENT MCS[®]-48 SYSTEM

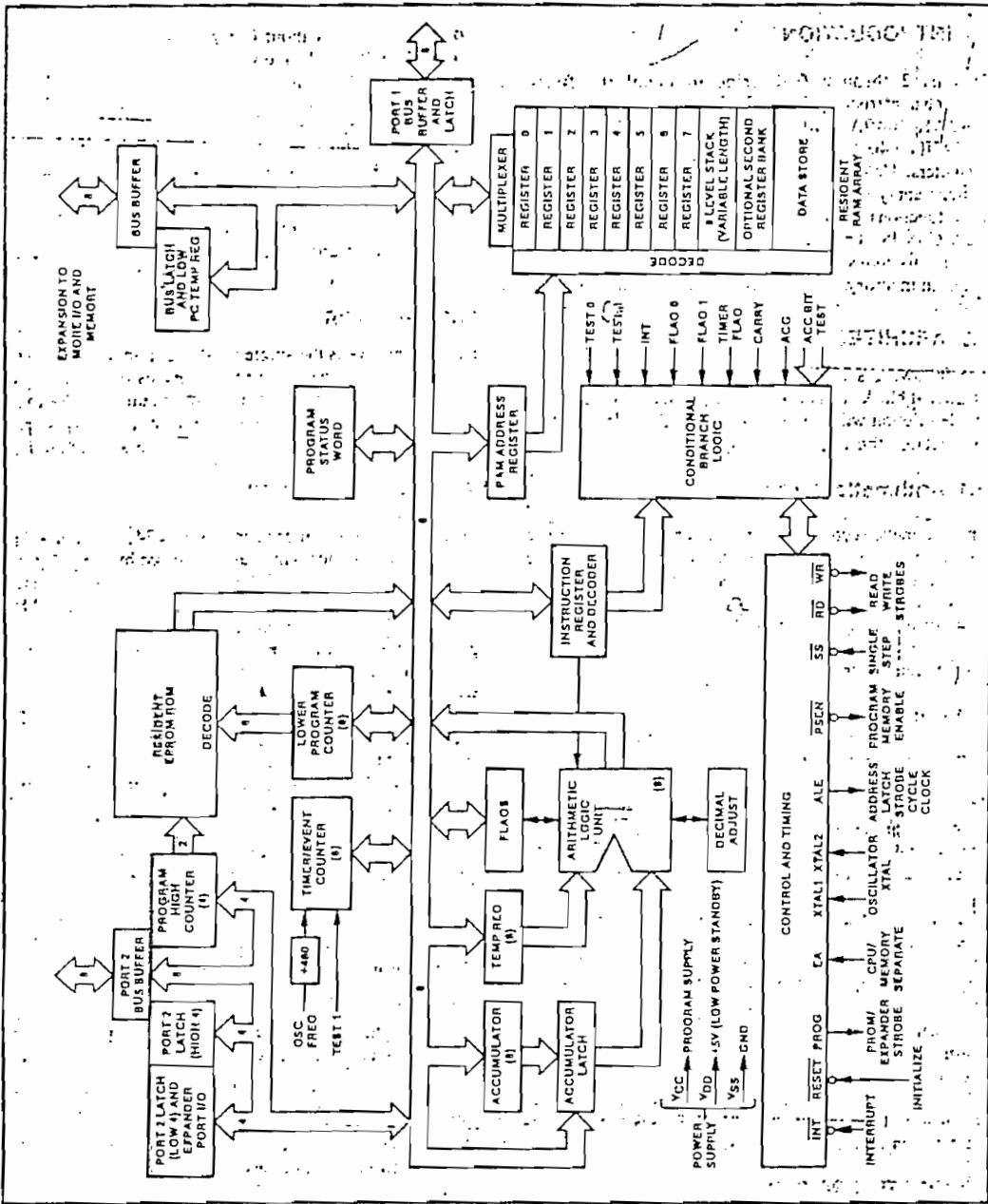
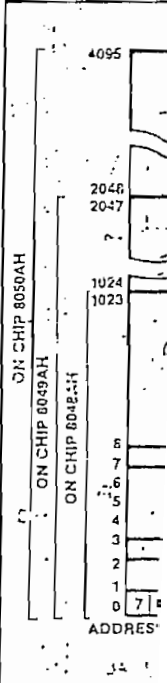


Figure 1. 8748H/8048H/8749AH/8050AH Block Diagram

is stored in location... store constructed as... tions such as MO... data "lookup" tab...



Figure

2.3 Data Mem

Resident data me... 8-bits wide in th... locations are ind... RAM Pointer Re... of the register a... the first 8 locati... working register... instructions. Sir... dressed, they are... intermediate res... efficient use of... counters by all... test the register...

By executing p... RB) RAM loca...

SINGLE COMPONENT MCS⁹-48 SYSTEM

is stored in location 7. Program memory can be used to store constants as well as program instructions. Instructions such as MOVP and MOVP3 allow easy access to data "lookup" tables.

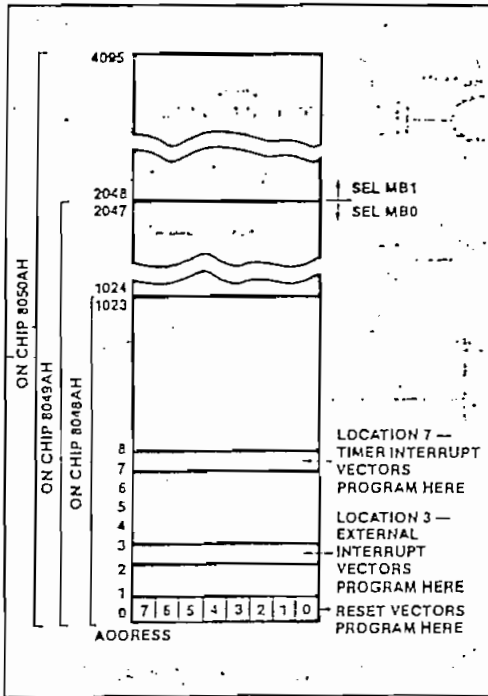


Figure 2. Program Memory Map

2.3 Data Memory

Resident data memory is organized as 64, 128, or 256 by 8-bits wide in the 8048AH, 8049AH and 8050AH. All locations are indirectly addressable through either of two RAM Pointer Registers which reside at address 0 and 1 of the register array. In addition, as shown in Figure 3, the first 8 locations (0-7) of the array are designated as working registers and are directly addressable by several instructions. Since these registers are more easily addressed, they are usually used to store frequently accessed intermediate results. The DJNZ instruction makes very efficient use of the working registers as program loop counters by allowing the programmer to decrement and test the register in a single instruction.

By executing a Register Bank Switch instruction (SEL RB) RAM locations 24-31 are designated as the working

registers in place of locations 0-7 and are then directly addressable. This second bank of working registers may be used as an extension of the first bank or reserved for use during interrupt service subroutines allowing the registers of Bank 0 used in the main program to be instantly "saved" by a Bank Switch. Note that if this second bank is not used, locations 24-31 are still addressable as general purpose RAM. Since the two RAM pointer Registers R0 and R1 are a part of the working register array, bank switching effectively creates two more pointer registers (R0 and R1) which can be used with R0 and R1 to easily access up to four separate working areas in RAM at one time. RAM locations (8-23) also serve a dual role in that they contain the program counter stack as explained in Section 2.6. These locations are addressed by the Stack Pointer during subroutine calls as well as by RAM Pointer Registers R0 and R1. If the level of subroutine nesting is less than 8, all stack registers are not required and can be used as general purpose RAM locations. Each level of subroutine nesting not used provides the user with two additional RAM locations.

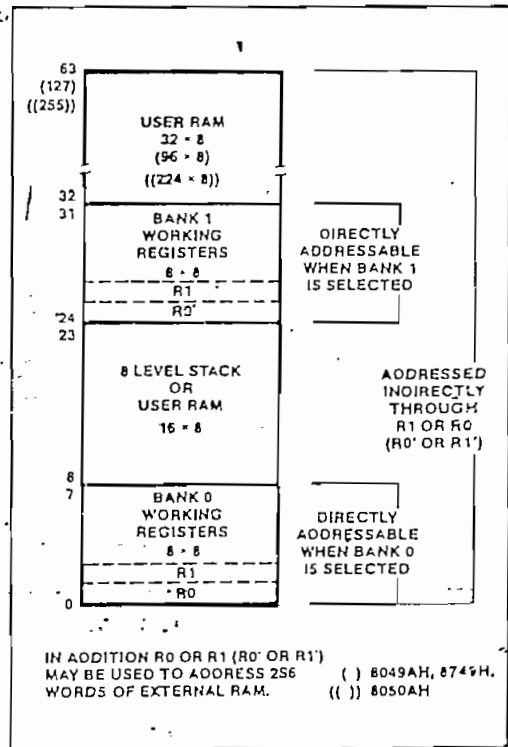
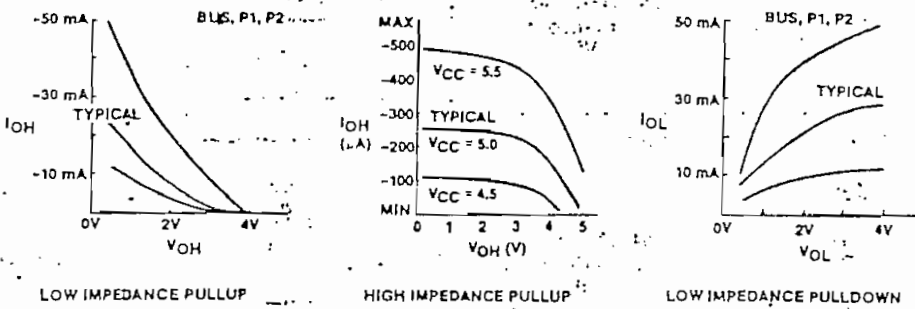
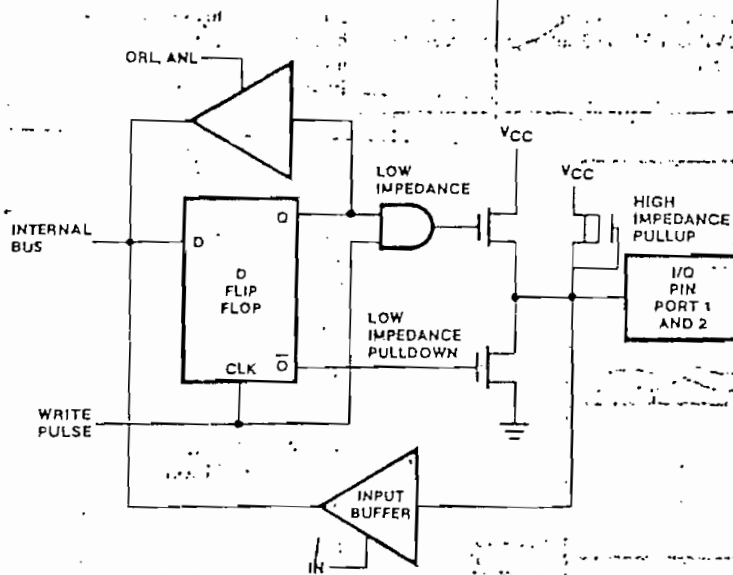


Figure 3. Data Memory Map

SINGLE COMPONENT MCS[®]-48 SYSTEM



These graphs are for informational purposes only and are not guaranteed minimums or maximums.

Figure 4. "Quasi-bidirectional" Port Structure

2.4 Input/Output

The 8048AH has 2 output functions. The lines each which serve as directional ports and program sequences via instructions.

PORTS 1 AND 2

Ports 1 and 2 are edge-triggered. Data is latched and remains present until read by instructions. TTL compatible and load.

The lines of ports 1 and 2 are edge-triggered because of a special circuit configuration. Each line to serve as an output, though outputs are edge-triggered, the circuit configuration allows the line to be pulled up to a relatively high impedance.

This pullup is sufficient to provide a TTL high level yet allows the gate thus allowing the line to be pulled down and output. To provide a "1" transition a relatively high impedance pullup is switched in momentarily ever a "1" is written to the line a low impedance pullup and provides TTL compatibility. The pulldown transistor must first be written to input, Reset initializes state.

It is important to note that write operations. When the port is modified the data is written back to the bus essentially an OUTL instruction. This pull-up momentarily after a "1." This structure has inputs and outputs. See also section 3 chapter.

BUS

Bus is also an 8-bit port with associated input and output. Additional feature is not n

2.4 Input/Output

The 8048AH has 27 lines which can be used for input or output functions. These lines are grouped as 3 ports of 8 lines each which serve as either inputs, outputs or bidirectional ports and 3 "test" inputs which can alter program sequences when tested by conditional jump instructions.

PORTS 1 AND 2

Ports 1 and 2 are each 8 bits wide and have identical characteristics. Data written to these ports is statically latched and remains unchanged until rewritten. As input ports these lines are non-latching, i.e., inputs must be present until read by an input instruction. Inputs are fully TTL compatible and outputs will drive one standard TTL load.

The lines of ports 1 and 2 are called quasi-bidirectional because of a special output circuit structure which allows each line to serve as an input, and output, or both even though outputs are statically latched. Figure 4 shows the circuit configuration in detail. Each line is continuously pulled up to V_{CC} through a resistive device of relatively high impedance.

This pullup is sufficient to provide the source current for a TTL high level yet can be pulled low by a standard TTL gate thus allowing the same pin to be used for both input and output. To provide fast switching times in a "0" to "1" transition a relatively low impedance device is switched in momentarily ($\approx 1/5$ of a machine cycle) whenever a "1" is written to the line. When a "0" is written to the line a low impedance device overcomes the light pullup and provides TTL current sinking capability. Since the pulldown transistor is a low impedance device a "1" must first be written to any line which is to be used as an input. Reset initializes all lines to the high impedance "1" state.

It is important to note that the ORL and the ANL are read/write operations. When executed, the μC "reads" the port, modifies the data according to the instruction, then "writes" the data back to the port. The "writing" (essentially an OUTL instruction) enables the low impedance pull-up momentarily again even if the data was unchanged from a "1." This specifically applies to configurations that have inputs and outputs mixed together on the same port. See also section 8 in the Expanded MCS-48 System chapter.

BUS

Bus is also an 8-bit port which is a true bidirectional port with associated input and output strobes. If the bidirectional feature is not needed, Bus can serve as either a

statically latched output port or non-latching input port. Input and output lines on this port cannot be mixed however.

As a static port, data is written and latched using the OUTL instruction and inputted using the INS instruction. The INS and OUTL instructions generate pulses on the corresponding \overline{RD} and \overline{WR} output strobe lines; however, in the static port mode they are generally not used. As a bidirectional port the MOVX instructions are used to read and write the port. A write to the port generates a pulse on the \overline{WR} output line and output data is valid at the trailing edge of \overline{WR} . A read of the port generates a pulse on the \overline{RD} output line and input data must be valid at the trailing edge of \overline{RD} . When not being written or read, the BUS lines are in a high impedance state. See also sections 7 and 8 in the Expanded MCS-48 System chapter.

2.5 Test and INT Inputs

Three pins serve as inputs and are testable with the conditional jump instruction. These are T0, T1, and INT. These pins allow inputs to cause program branches without the necessity to load an input port into the accumulator. The T0, T1, and INT pins have other possible functions as well. See the pin description in Section 3.

2.6 Program Counter and Stack

The Program Counter is an independent counter while the Program Counter Stack is implemented using pairs of registers in the Data Memory Array. Only 10, 11, or 12 bits of the Program Counter are used to address the 1024, 2048, or 4096 words of on-board program memory of the 8048AH, 8049AH, or 8050AH, while the most significant bits can be used for external Program Memory fetches. See Figure 5. The Program Counter is initialized to zero by activating the Reset line.

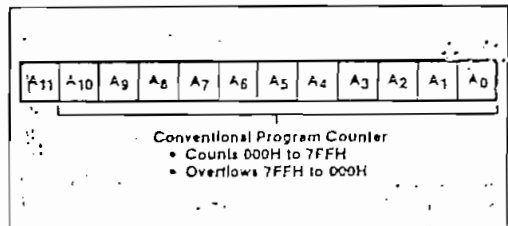


Figure 5. Program Counter

An interrupt or CALL to a subroutine causes the contents of the program counter to be stored in one of the 8 register pairs of the Program Counter Stack as shown in Figure 6. The pair to be used is determined by a 3-bit Stack Pointer, which is part of the Program Status Word (PSW).

SINGLE COMPONENT MCS-48 SYSTEM

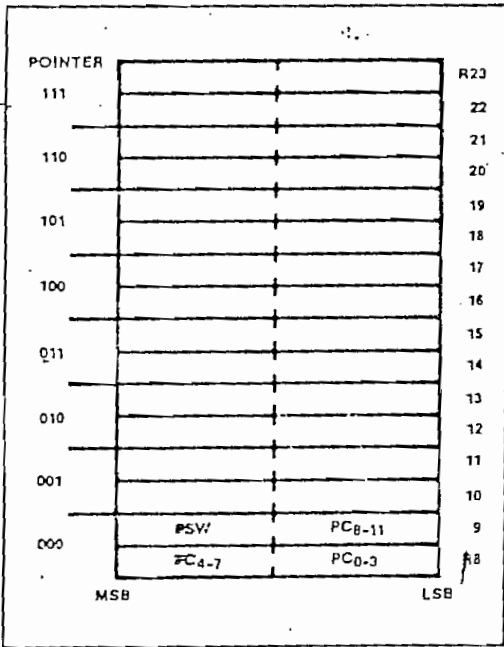


Figure 6. Program Counter Stack

Data RAM locations 8-23 are available as stack registers and are used to store the Program Counter and 4 bits of PSW as shown in Figure 6. The Stack Pointer, when initialized to 000 points to RAM locations 8 and 9. The first subroutine jump or interrupt results in the program counter contents being transferred to locations 8 and 9 of the RAM array. The stack pointer is then incremented by one to point to locations 10 and 11 in anticipation of another CALL. Nesting of subroutines within subroutines can continue up to 8 times without overflowing the stack. If overflow does occur the deepest address stored (locations 8 and 9) will be overwritten and lost since the stack pointer overflows from 111 to 000. It also underflows from 000 to 111.

The end of a subroutine, which is signalled by a return instruction (RET or RETR), causes the Stack Pointer to be decremented and the contents of the resulting register pair to be transferred to the Program Counter.

2.7 Program Status Word

An 8-bit status word which can be loaded to and from the accumulator exists called the Program Status Word (PSW). Figure 7 shows the information available in

the word. The Program Status Word is actually a collection of flip-flops throughout the machine which can be read or written as a whole. The ability to write to PSW allows for easy restoration of machine status after a power down sequence.

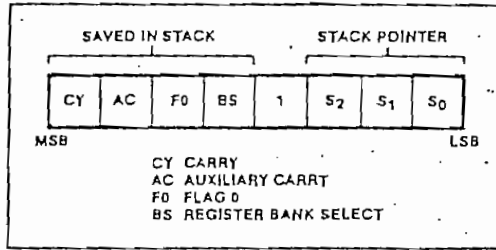


Figure 7. Program Status Word (PSW)

The upper four bits of PSW are stored in the Program Counter Stack with every call to subroutine or interrupt vector and are optionally restored upon return with the RETR instruction. The RET return instruction does not update PSW.

The PSW bit definitions are as follows:

- Bits 0-2: Stack Pointer bits (S_0, S_1, S_2)
- Bit 3: Not used ("1" level when read)
- Bit 4: Working Register Bank Switch Bit (BS)
0 = Bank 0
1 = Bank 1
- Bit 5: Flag 0 bit (F0) user controlled flag which can be complemented or cleared, and tested with the conditional jump instruction JF0.
- Bit 6: Auxiliary Carry (AC) carry bit generated by an ADD instruction and used by the decimal adjust instruction DA A.
- Bit 7: Carry (CY) carry flag which indicates that the previous operation has resulted in overflow of the accumulator.

2.8 Conditional Branch Logic

The conditional branch logic within the processor enables several conditions internal and external to the processor to be tested by the users program. By using the conditional jump instruction the conditions that are listed in Table 1 can effect a change in the sequence of the program execution.

Device T

Accumulator
Accumulator
Carry Flag
User Flags (F)
Timer Overflow
Test Inputs (T)
Interrupt Inputs

2.9 Interrupt

An interrupt sequence is initiated by an active low to all sources at the logic of the 8048 instruction cycle "subroutine" at all cycles of the cycle instruction cycle only. INT cycles to ensure CALL to subro Status word are this operation s and Stack. Proj an uncondition: elsewhere in p service subrou and Restore Sta is single level further interrupt RETR reenable the beginning c This sequence generated by t generated inte at the same tim See the follow of timer inter can be create loading FFH count), and e "0" transitio: vector to locc

INTERRUPT

The interrupt Program Counter Interrupts are

Table 1

Device Testable	Jump Conditions (Jump On)	
	All zeros	not all zeros
Accumulator	—	1
Accumulator Bit	—	1
Carry Flag	0	1
User Flags (F0, F1)	—	1
Timer Overflow Flag	—	1
Test Inputs (T0, T1)	0	1
Interrupt Input (INT)	0	—

2.9 Interrupt

An interrupt sequence is initiated by applying a low "0" level input to the INT pin. Interrupt is level triggered and active low to allow "WIRE ORing" of several interrupt sources at the input pin. Figure 8 shows the interrupt logic of the 8048AH. The Interrupt line is sampled every instruction cycle and when detected causes a "call to subroutine" at location 3 in program memory as soon as all cycles of the current instruction are complete. On 2-cycle instructions the interrupt line is sampled on the 2nd cycle only. INT must be held low for at least 3 machine cycles to ensure proper interrupt operations. As in any CALL to subroutine, the Program Counter and Program Status word are saved in the stack. For a description of this operation see the previous section, Program Counter and Stack. Program Memory location 3 usually contains an unconditional jump to an interrupt service subroutine elsewhere in program memory. The end of an interrupt service subroutine is signalled by the execution of a Return and Restore Status instruction RETR. The interrupt system is single level in that once an interrupt is detected all further interrupt requests are ignored until execution of an RETR re-enables the interrupt input logic. This occurs at the beginning of the second cycle of the RETR instruction. This sequence holds true also for an internal interrupt generated by timer overflow. If an internal timer/counter generated interrupt and an external interrupt are detected at the same time, the external source will be recognized. See the following Timer/Counter section for a description of timer interrupt. If needed, a second external interrupt can be created by enabling the timer/counter interrupt, loading FFH in the Counter (ones less than terminal count), and enabling the event counter mode. A "1" to "0" transition on the T1 input will then cause an interrupt vector to location 7.

INTERRUPT TIMING

The interrupt input may be enabled or disabled under Program Control using the EN I and DIS I instructions. Interrupts are disabled by Reset and remain so until en-

abled by the users program. An interrupt request must be removed before the RETR instruction is executed upon return from the service routine otherwise the processor will re-enter the service routine immediately. Many peripheral devices prevent this situation by resetting their interrupt request line whenever the processor accesses (Reads or Writes) the peripherals data buffer register. If the interrupting device does not require access by the processor, one output line of the 8048AH may be designated as an "interrupt acknowledge" which is activated by the service subroutine to reset the interrupt request. The INT pin may also be tested using the conditional jump instruction JNI. This instruction may be used to detect the presence of a pending interrupt before interrupts are enabled. If interrupt is left disabled, INT may be used as another test input like T0 and T1.

2.10 Timer/Counter

The 8048AH contains a counter to aid the user in counting external events and generating accurate time delays without placing a burden on the processor for these functions. In both modes the counter operation is the same, the only difference being the source of the input to the counter. The timer/event counter is shown in Figure 9.

COUNTER

The 8-bit binary counter is presetable and readable with two MOV instructions which transfer the contents of the accumulator to the counter and vice versa. The counter content may be affected by Reset and should be initialized by software. The counter is stopped by a Reset or STOP TCNT instruction and remains stopped until started as a timer by a START T instruction or as an event counter by a START CNT instruction. Once started the counter will increment to this maximum count (FFH) and overflow to zero continuing its count until stopped by a STOP TCNT instruction or Reset.

The increment from maximum count to zero (overflow) results in the setting of an overflow flag flip-flop and in the generation of an interrupt request. The state of the overflow flag is testable with the conditional jump instruction JTF. The flag is reset by executing a JTF or by Reset. The interrupt request is stored in a latch and then ORed with the external interrupt input INT. The timer interrupt may be enabled or disabled independently of external interrupt by the EN TCNT1 and DIS TCNT1 instructions. If enabled, the counter overflow will cause a subroutine call to location 7 where the timer or counter service routine may be stored.

If timer and external interrupts occur simultaneously, the external source will be recognized and the Call will be to

SINGLE COMPONENT MCS-48 SYSTEM

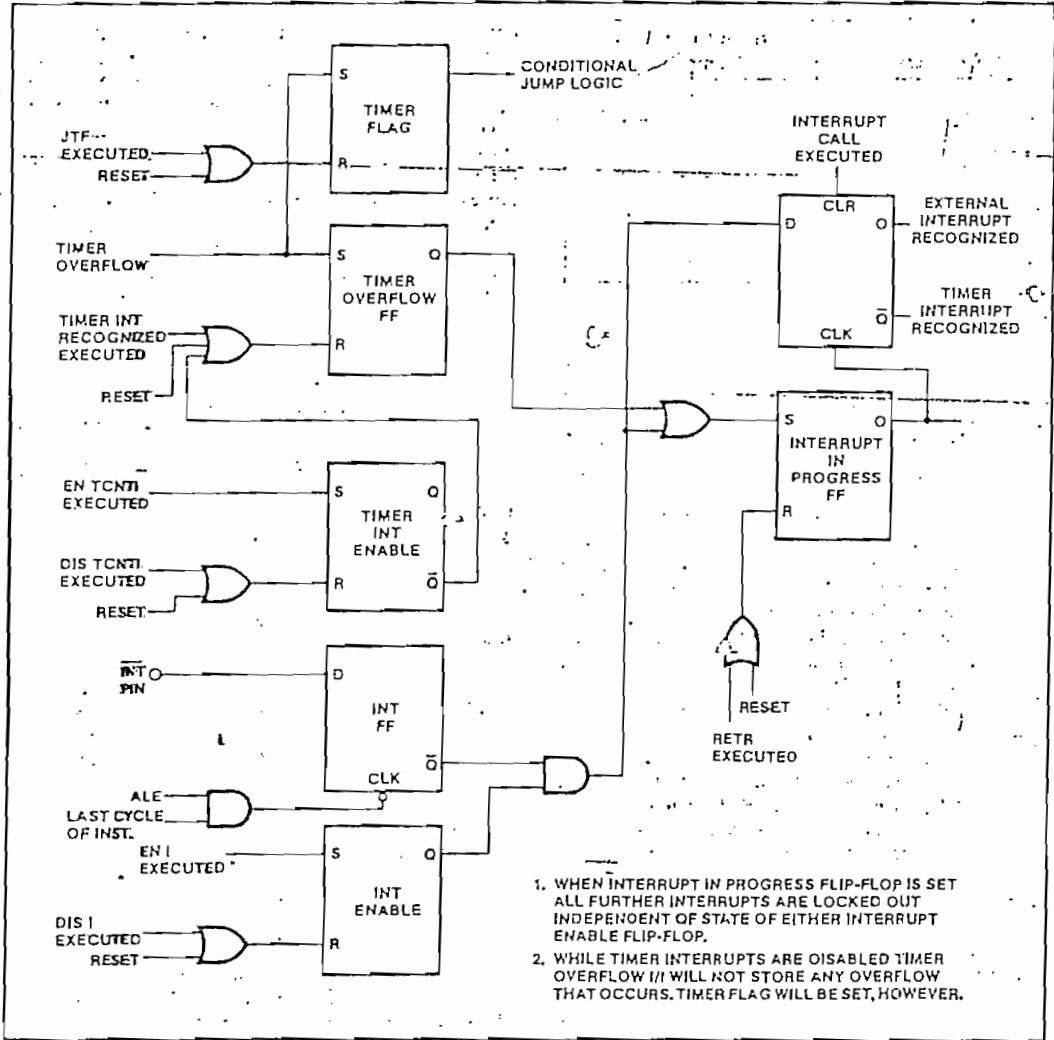
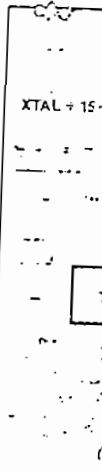


Figure 8. Interrupt Logic



location 3. 5
main pendir
imm-diately
routine. The
to location
TCNT1 inst

AS AN EV

Execution o
input pin to
The T1 inpt
later MCS-4
low transiti
T1 must be.
it won't be
counter may
cycles (ever
there is no
high for at l

AS A TIME

Execution o
clock to the
internal cloc
clock throu
during the 5
crements th
delays from
the counter
counts may
flows in a r

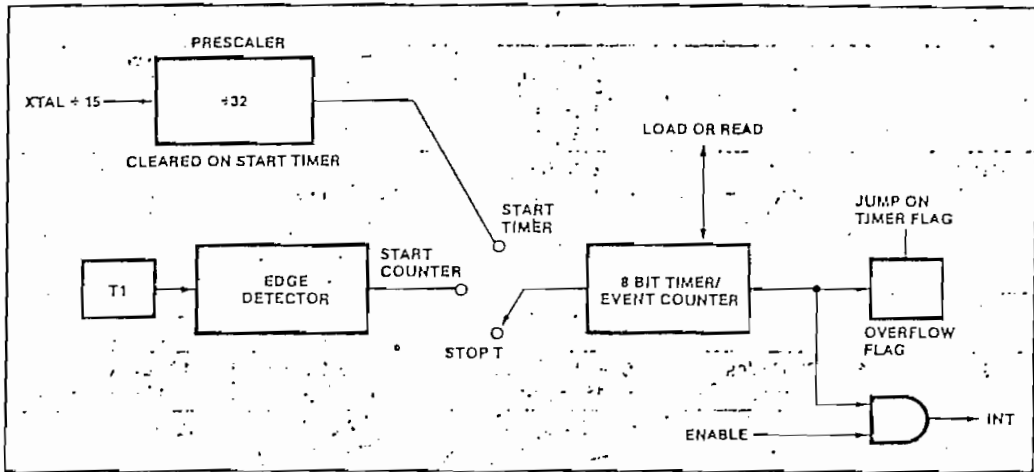


Figure 9. Timer/Event Counter

location 3. Since the timer interrupt is latched it will remain pending until the external device is serviced and immediately be recognized upon return from the service routine. The pending timer interrupt is reset by the Call to location 7 or may be removed by executing a DIS TCNT1 instruction.

AS AN EVENT COUNTER

Execution of a START CNT instruction connects the T1 input pin to the counter input and enables the counter. The T1 input is sampled at the beginning of state 3 or in later MCS-48 devices in state time 4. Subsequent high to low transitions on T1 will cause the counter to increment. T1 must be held low for at least 1 machine cycle to insure it won't be missed. The maximum rate at which the counter may be incremented is once per three instruction cycles (every 5.7 μ sec when using an 8 MHz crystal) — there is no minimum frequency. T1 input must remain high for at least 1/5 machine cycle after each transition.

AS A TIMER

Execution of a START T instruction connects an internal clock to the counter input and enables the counter. The internal clock is derived by passing the basic machine cycle clock through a $\div 32$ prescaler. The prescaler is reset during the START T instruction. The resulting clock increments the counter every 32 machine cycles. Various delays from 1 to 256 counts can be obtained by presetting the counter and detecting overflow. Times longer than 256 counts may be achieved by accumulating multiple overflows in a register under software control. For time res-

olution less than 1 count an external clock can be applied to the T1 input and the counter operated in the event counter mode. ALE divided by 3 or more can serve as this external clock. Very small delays or "fine tuning" of larger delays can be easily accomplished by software delay loops.

Often a serial link is desirable in an MCS-48 family member. Table 2 lists the timer counts and cycles needed for a specific baud rate given a crystal frequency.

2.11 Clock and Timing Circuits

Timing generation for the 8048AH is completely self-contained with the exception of a frequency reference which can be XTAL, ceramic resonator, or external clock source. The Clock and Timing circuitry can be divided into the following functional blocks.

OSCILLATOR

The on-board oscillator is a high gain parallel resonant circuit with a frequency range of 1 to 11 MHz. The X1 external pin is the input to the amplifier stage while X2 is the output. A crystal or ceramic resonator connected between X1 and X2 provides the feedback and phase shift required for oscillation. If an accurate frequency reference is not required, ceramic resonator may be used in place of the crystal.

For accurate clocking, a crystal should be used. An externally generated clock may also be applied to X1-X2 as the frequency source. See the data sheet for more information.

SINGLE COMPONENT MCS-48 SYSTEM

Table 2. Baud Rate Generation

	Frequency (MHz)	T_{cy}	$T0\ Pr(1/5\ T_{cy})$	Timer Prescaler ($32\ T_{cy}$)
	4	$3.75\ \mu s$	750ns	$120\ \mu s$
	6	$2.50\ \mu s$	500ns	$80\ \mu s$
	8	$1.88\ \mu s$	375ns	$60.2\ \mu s$
	11	$1.36\ \mu s$	275ns	$43.5\ \mu s$
Baud Rate	4 MHz Timer Counts + Instr. Cycles	6 MHz Timer Counts + Instr. Cycles	8 MHz Timer Counts + Instr. Cycles	11 MHz Timer Counts + Instr. Cycles
110	$75 + 24\ Cycles$.01% Error	$113 + 20\ Cycles$.01% Error	$151 + 3\ Cycles$.01% Error	$208 + 28\ Cycles$.01% Error
300	$27 + 24\ Cycles$.1% Error	$41 + 21\ Cycles$.03% Error	$55 + 13\ Cycles$.01% Error	$76 + 18\ Cycles$.04% Error
1200	$6 + 30\ Cycles$.1% Error	$10 + 13\ Cycles$.1% Error	$12 + 27\ Cycles$.06% Error	$19 + 4\ Cycles$.12% Error
1800	$4 + 20\ Cycles$.1% Error	$6 + 30\ Cycles$.1% Error	$9 + 7\ Cycles$.17% Error	$12 + 24\ Cycles$.12% Error
2400	$3 + 15\ Cycles$.1% Error	$5 + 6\ Cycles$.4% Error	$6 + 24\ Cycles$.29% Error	$9 + 18\ Cycles$.12% Error
4800	$1 + 23\ Cycles$ 1.0% Error	$2 + 19\ Cycles$.4% Error	$3 + 14\ Cycles$.74% Error	$4 + 25\ Cycles$.12% Error

STATE COUNTER

The output of the oscillator is divided by 3 in the State Counter to create a clock which defines the state times of the machine (CLK). CLK can be made available on the external pin T0 by executing an ENTO CLK instruction. The output of CLK on T0 is disabled by Reset of the processor.

CYCLE COUNTER

CLK is then divided by 5 in the Cycle Counter to provide a clock which defines a machine cycle consisting of 5 machine states as shown in Figure 10. Figure 11 shows the different internal operations as divided into the machine states. This clock is called Address Latch Enable (ALE) because of its function in MCS-48 systems with external memory. It is provided continuously on the ALE output pin.

2.12 Reset

The reset input provides a means for initialization for the processor. This Schmitt-trigger input has an internal pull-up device which in combination with an external $1\ \mu f$ capacitor provides an internal reset pulse of sufficient length to guarantee all circuitry is reset, as shown in Figure 12. If the reset pulse is generated externally the RESET pin must be held low for at least 10 milliseconds after the

power supply is within tolerance. Only 5 machine cycles ($6.8\ \mu s$ @ 11 MHz) are required if power is already on and the oscillator has stabilized. ALE and PSEN (if EA = 1) are active while in Reset.

Reset performs the following functions:

- 1) Sets program counter to zero.
- 2) Sets stack pointer to zero.
- 3) Selects register bank 0.
- 4) Selects memory bank 0.
- 5) Sets BUS to high impedance state (except when EA = 5V).
- 6) Sets Ports 1 and 2 to input mode.
- 7) Disables interrupts (timer and external).
- 8) Stops timer.
- 9) Clears timer flag.
- 10) Clears F0 and F1.
- 11) Disables clock output from T0.



2.13 Single

This feature, user with a de stepped throu, While stoppec fetched is ava

SINGLE COMPONENT MCS²-48 SYSTEM

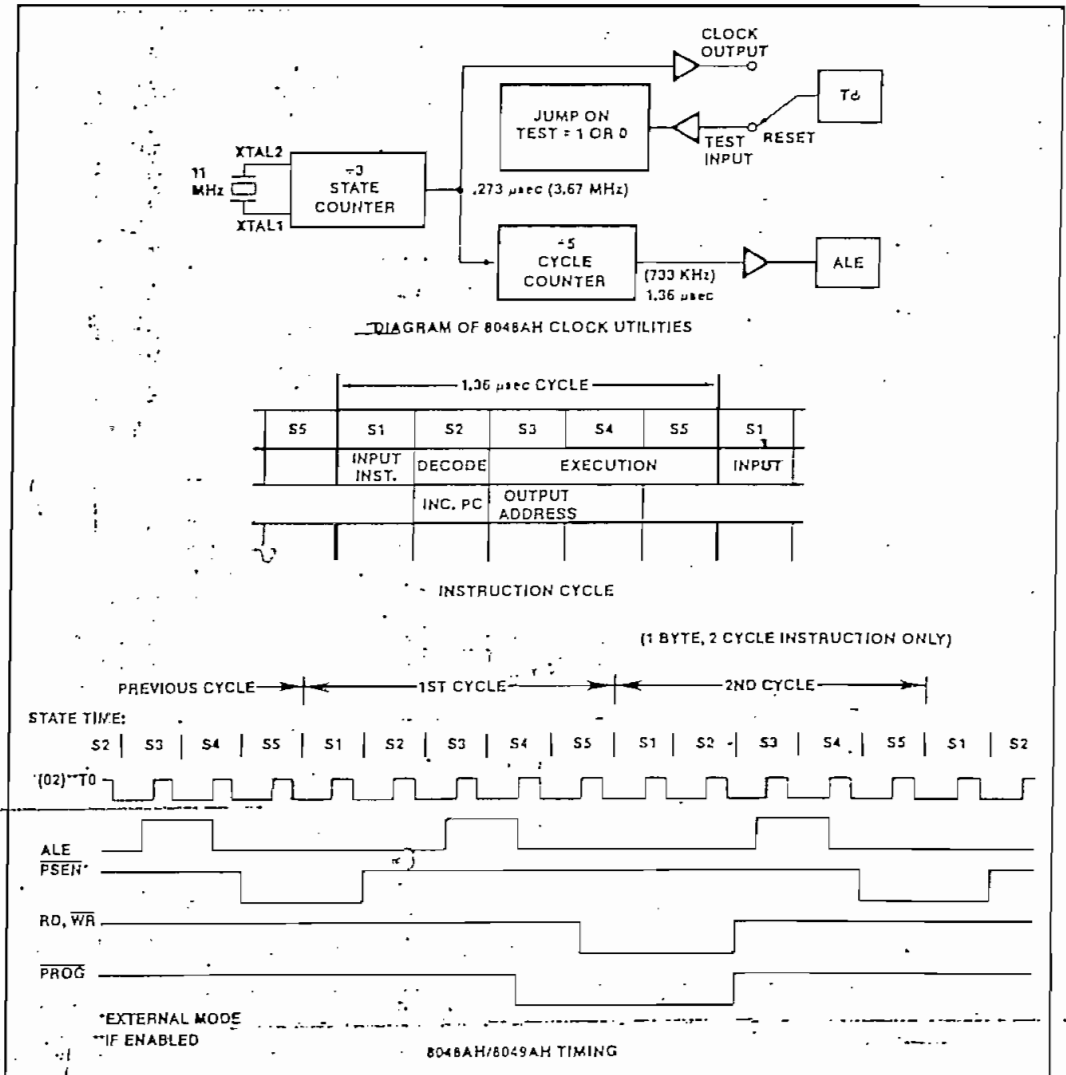


Figure 10. MCS²-48 Timing Generation and Cycle Timing

2.13 Single-Step

This feature, as pictured in Figure 13, provides the user with a debug capability in that the processor can be stepped through the program one instruction at a time. While stopped, the address of the next instruction to be fetched is available concurrently on BUS and the lower

half of Port 2. The user can therefore follow the program through each of the instruction steps. A timing diagram, showing the interaction between output ALE and input \overline{SS} , is shown. The BUS buffer contents are lost during single step; however, a latch may be added to reestablish the lost I/O capability if needed. Data is valid at the leading edge of ALE.

SINGLE COMPONENT MCS-48 SYSTEM

INSTRUCTION	CYCLE 1					CYCLE 2				
	S1	S2	S3	S4	S5	S1	S2	S3	S4	S5
INSTR IN A.P.	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER		INCREMENT TIMER	OUTPUT TO PORT		READ PORT			
OUTL P.A.	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER		INCREMENT TIMER	OUTPUT TO PORT					
AHL P. DATA	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER		INCREMENT TIMER	READ PORT	FETCH IMMEDIATE DATA		INCREMENT PROGRAM COUNTER	OUTPUT TO PORT	
ORL P. DATA	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER		INCREMENT TIMER	READ PORT	FETCH IMMEDIATE DATA	READ PORT	INCREMENT PROGRAM COUNTER	OUTPUT TO PORT	
INS A. BUS	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER		INCREMENT TIMER	OUTPUT TO PORT					
OUTL BUS, A	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER		INCREMENT TIMER	OUTPUT TO PORT					
ANL BUS, DATA	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER		INCREMENT TIMER	READ PORT	FETCH IMMEDIATE DATA		INCREMENT PROGRAM COUNTER	OUTPUT TO PORT	
ORL BUS, DATA	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER		INCREMENT TIMER	READ PORT	FETCH IMMEDIATE DATA		INCREMENT PROGRAM COUNTER	OUTPUT TO PORT	
MOVX @R.A	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	OUTPUT RAM ADDRESS	INCREMENT TIMER	OUTPUT DATA TO RAM					
MOVX A,@R	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	OUTPUT RAM ADDRESS	INCREMENT TIMER			READ DATA			
MOVD A,P	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	OUTPUT	INCREMENT TIMER						
MOVD P,A	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	OPCODE/ADDRESS	INCREMENT TIMER			READ P2 LOWER			
ANLD P.A	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	OPCODE/ADDRESS	INCREMENT TIMER	OUTPUT DATA TO P2 LOWER					
ORLD P.A	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	OPCODE/ADDRESS	INCREMENT TIMER	OUTPUT DATA					
J(CONDITIONAL)	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	OPCODE/ADDRESS	INCREMENT TIMER	OUTPUT DATA					
STRTT	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	SAMPLE CONDITION	INCREMENT SAMPLE						
STRT CNT	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER								
STOP CNT	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER						UPDATE PROGRAM COUNTER		
EHI	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER			START COUNTER STOP COUNTER					
DISI	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER		ENABLE INTERRUPT						
ENTO CLK	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER		DISABLE INTERRUPT						
	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER		ENABLE CLOCK						

*VALID INSTRUCTION ADDRESSES ARE OUTPUT AT THIS TIME IF EXTERNAL PROGRAM MEMORY IS BEING ACCESSED.
 (1) IN LATER MCS-48 DEVICES T1 IS SAMPLED IN S4.

TIMING

The 8048AH operates

- 1) The processor level on SS.
- 2) The processor fetch portion of instruction is maintained in command is received stopping.
- 3) The processor state by raising maintained in condition to be fetched half of port 2.
- 4) SS is then raised stopped mode. The exit from setting ALE low.
- 5) To stop the processor brought low is left high the

A diagram for the 8748H is shown preset and clear is SS is held high by precedence over the preset is removed

Figure 11. 8048AH/8049AH Instruction Timing Diagram

SINGLE COMPONENT MCS⁶-48 SYSTEM

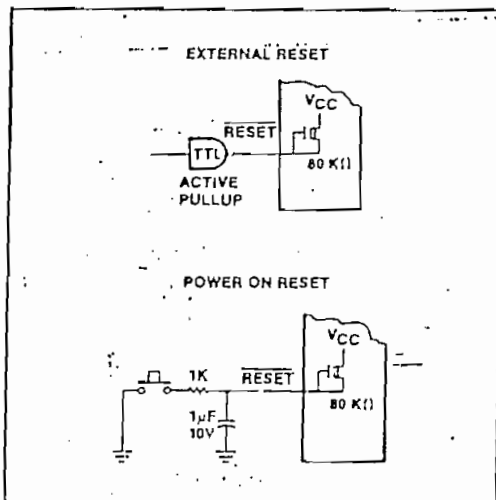


Figure 12.

TIMING

The 8048AH operates in a single-step mode as follows:

- 1) The processor is requested to stop by applying a low level on \overline{SS} .
- 2) The processor responds by stopping during the address fetch portion of the next instruction. If a double cycle instruction is in progress when the single step command is received, both cycles will be completed before stopping.
- 3) The processor acknowledges it has entered the stopped state by raising ALE high. In this state (which can be maintained indefinitely) the address of the next instruction to be fetched is present on BUS and the lower half of port 2.
- 4) \overline{SS} is then raised high to bring the processor out of the stopped mode allowing it to fetch the next instruction. The exit from stop is indicated by the processor bringing ALE low.
- 5) To stop the processor at the next instruction \overline{SS} must be brought low again soon after ALE goes low. If \overline{SS} is left high the processor remains in a "Run" mode.

A diagram for implementing the single-step function of the 8748H is shown in Figure 13. D-type flip-flop with preset and clear is used to generate \overline{SS} . In the run mode \overline{SS} is held high by keeping the flip-flop preset (preset has precedence over the clear input). To enter single step, preset is removed allowing ALE to bring \overline{SS} low via the

clear input. ALE should be buffered since the clear input of an SN7474 is the equivalent of 3 TTL loads. The processor is now in the stopped state. The next instruction is initiated by clocking a "1" into the flip-flop. This "1" will not appear on \overline{SS} unless ALE is high removing clear from the flip-flop. In response to \overline{SS} going high the processor begins an instruction fetch which brings ALE low resetting \overline{SS} through the clear input and causing the processor to again enter the stopped state.

2.14 Power Down Mode (8048AH, 8049AH, 8050AH, 8039AHL, 8035AHL, 8040AHL)

Extra circuitry has been added to the 8048AH/8049AH/8050AH ROM version to allow power to be removed from all but the data RAM array for low power standby operation. In the power down mode the contents of data RAM can be maintained while drawing typically 10% to 15% of normal operating power requirements.

V_{CC} serves as the 5V supply pin for the bulk of circuitry while the V_{OD} pin supplies only the RAM array. In normal operation both pins are a 5V while in standby, V_{CC} is at ground and V_{OD} is maintained at its standby value. Applying Reset to the processor through the \overline{RESET} pin inhibits any access to the RAM by the processor and guarantees that RAM cannot be inadvertently altered as power is removed from V_{CC} .

A typical power down sequence (Figure 14) occurs as follows:

- 1) Imminent power supply failure is detected by user defined circuitry. Signal must be early enough to allow 8048AH to save all necessary data before V_{CC} falls below normal operating limits.
- 2) Power fail signal is used to interrupt processor and vector it to a power fail service routine.
- 3) Power fail routine saves all important data and machine status in the internal data RAM array. Routine may also initiate transfer of backup supply to the V_{OD} pin and indicate to external circuitry that power fail routine is complete.
- 4) Reset is applied to guarantee data will not be altered as the power supply falls out of limits. Reset must be held low until V_{CC} is at ground level.

Recovery from the Power Down mode can occur as any other power-on sequence with an external capacitor on the Reset input providing the necessary delay. See the previous section on Reset.

SINGLE COMPONENT MCS[®]-48 SYSTEM

(2)

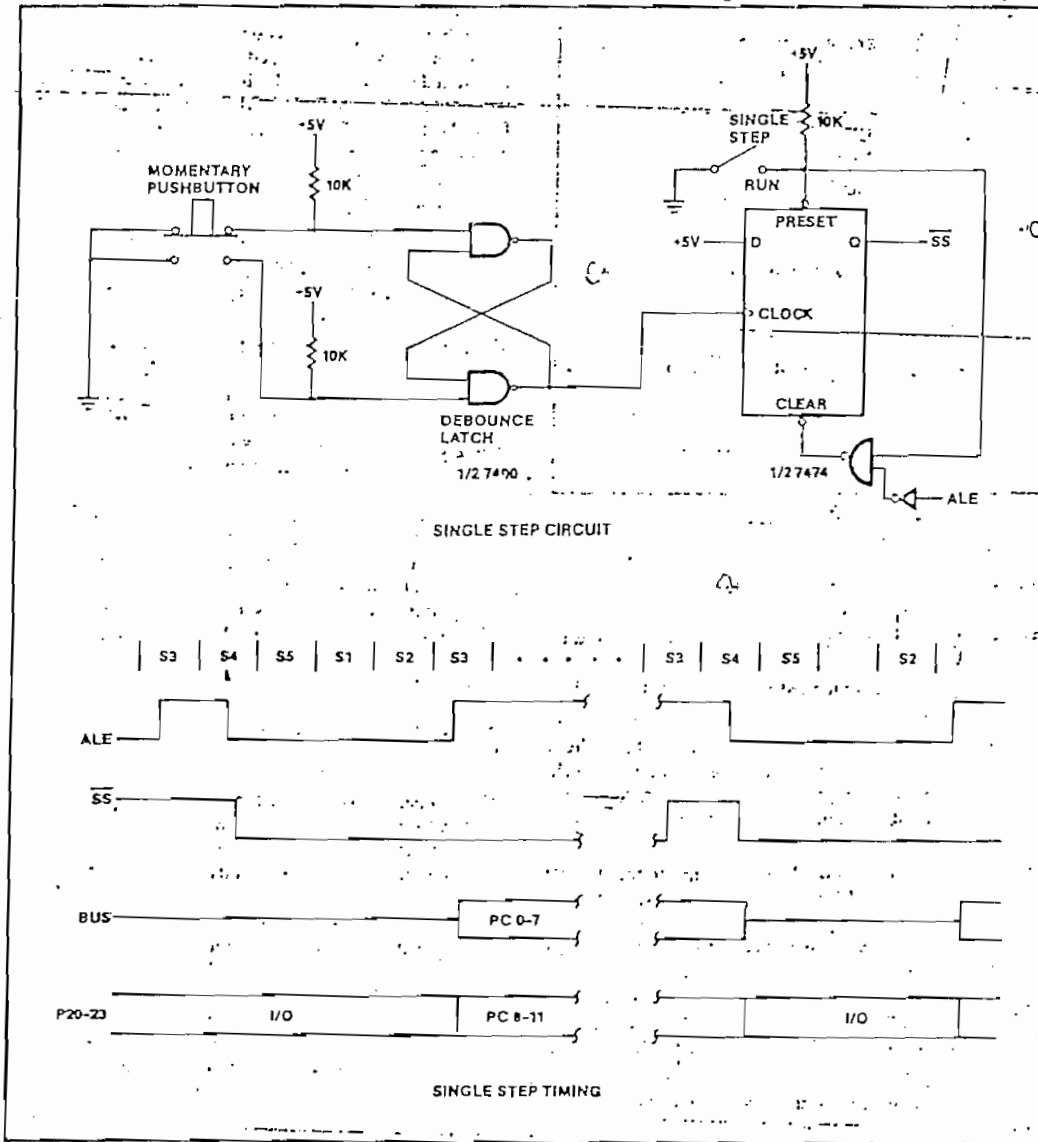
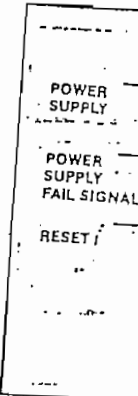


Figure 13. Single Step Operation



Figure

2.15 External

Normally the first word (8050AH) is fetched from internal memory, however allows program memory to reference external memory. Explains how accomplished.

The External Access and debug because applications programmer of his choice — in addition, the data memory can be read. For proper operation EA input is changed.

2.16 Sync Mode

The 8048AH, 8049AH SYNC mode. The design of multiple signers to force the SYNC mode. The SYNC mode equipment (ATE) synchronizing between the

SYNC mode is enabled voltage level of +5 volts is raised to 5 volts TO must be high for

SINGLE COMPONENT MCS²-48 SYSTEM

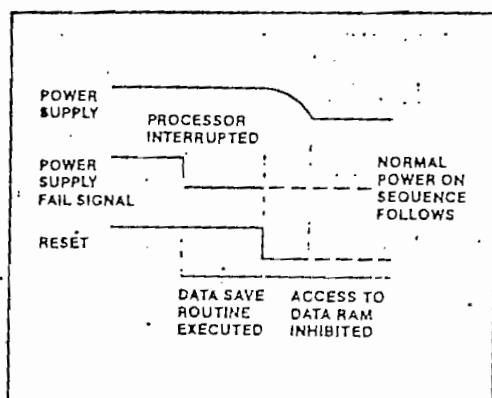


Figure 14. Power Down Sequence

2.15 External Access Mode

Normally the first 1K (8048AH), 2K (8049AH), or 4K (8050AH) words of program memory are automatically fetched from internal ROM or EPROM. The EA input pin however allows the user to effectively disable internal program memory by forcing all program memory fetches to reference external memory. The following chapter explains how access to external program memory is accomplished.

The External Access mode is very useful in system test and debug because it allows the user to disable his internal applications program and substitute an external program of his choice — a diagnostic routine for instance. In addition, the data sheet shows how internal program memory can be read externally, independent of the processor. A "1" level on EA initiates the external access mode. For proper operation, Reset should be applied while the EA input is changed.

2.16 Sync Mode

The 8048AH, 8049AH, 8050AH has incorporated a new SYNC mode. The Sync mode is provided to ease the design of multiple controller circuits by allowing the designer to force the device into known phase and state time. The SYNC mode may also be utilized by automatic test equipment (ATE) for quick, easy, and efficient synchronizing between the tester and the DUT (device under test).

SYNC mode is enabled when SS' pin is raised to high voltage level of +12 volts. To begin synchronization, T0 is raised to 5 volts at least four clocks cycles after SS'. T0 must be high for at least four X1 clock cycles to fully

reset the prescaler and time state generators. T0 may then be brought down with the rising edge of X1. Two clock cycles later, with the rising edge of X1, the device enters into Time State 1, Phase 1. SS' is then brought down to 5 volts 4 clocks later after T0. RESET' is allowed to go high 5 tCY (75 clocks) later for normal execution of code. See Figure 15.

SINGLE COMPONENT MCS-48 SYSTEM

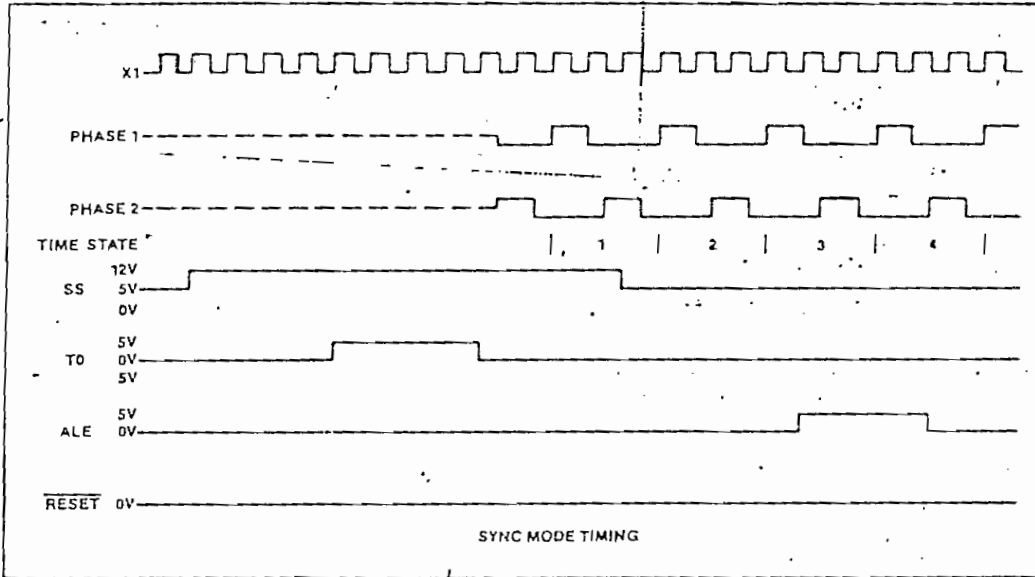


Figure 15. Sync Mode Timing

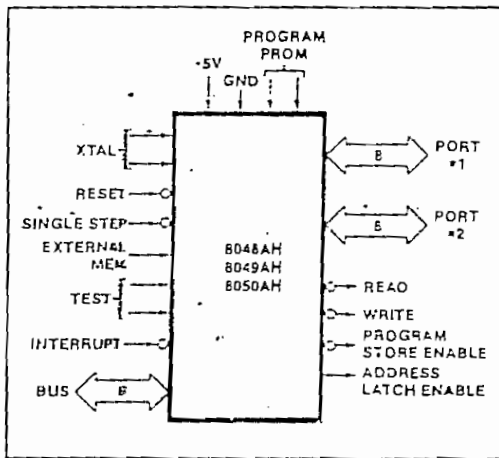


Figure 16. 8048AH and 8049AH Logic Symbol

3.0 PIN DESCRIPTION

The MCS-48 processors are packaged in 40 pin Dual In-Line Packages (DIP's). Table 3 is a summary of the functions of each pin. Figure 16 is the logic symbol for the 8048AH product family. Where it exists, the second paragraph describes each pin's function in an expanded MCS-48 system. Unless otherwise specified, each input is TTL compatible and each output will drive one standard TTL load.

Designat

V_{SS}

V_{DD}

V_{CC}

PROG

P10-P17

(Port 1)

P20-P27

(Port 2)

D0-D7

(BUS)

T0

T1

INT

RD

RESET

WR

ALE

Table 3. Pin Description

Designation	Pin Number	Function
V _{SS}	20	Circuit GND potential
V _{DD}	26	Programming power supply; 21V during program for the 8748H/8749H; +5V during operation for both ROM and EPROM. Low power standby pin in 8048AH and 8049AH/8050AH ROM versions.
V _{CC}	40	Main power supply; +5V during operation and during 8748H and 8749H programming.
PROG	25	Program pulse; +18V input pin during 8748H/8749H programming. Output strobe for 8243 I/O expander.
P10-P17 (Port 1)	27-34	8-bit quasi-bidirectional port. (Internal Pullup \approx 50K Ω)
P20-P27 (Port 2)	21-24 35-38	8-bit quasi-bidirectional port. (Internal Pullup \approx 50K Ω) P20-P23 contain the four high order program counter bits during an external program memory fetch and serve as a 4-bit I/O expander bus for 8243.
D0-D7 (BUS)	12-19	True bidirectional port which can be written or read synchronously using the \overline{RD} , \overline{WR} strobes. The port can also be statically latched. Contains the 8 low order program counter bits during an external program memory fetch, and receives the addressed instruction under the control of \overline{PSEN} . Also contains the address and data during an external RAM data store instruction, under control of ALE, \overline{RD} , and \overline{WR} .
T0	1	Input pin testable using the conditional transfer instructions JTO and JNT0. T0 can be designated as a clock output using ENT0 CLK instruction. T0 is also used during programming and sync mode.
T1	39	Input pin testable using the JTI, and JNT1 instructions. Can be designated the event counter input using the STRT CNT instruction. (See Section 2.10).
\overline{INT}	6	Interrupt input. Initiates an interrupt if interrupt is enabled. Interrupt is disabled after a reset. (Active low) Interrupt must remain low for at least 3 machine cycles to ensure proper operation.
\overline{RD}	8	Output strobe activated during a BUS read. Can be used to enable data onto the BUS from an external device. (Active low) Used as a Read Strobe to External Data Memory.
\overline{RESET}	4	Input which is used to initialize the processor. Also used during EPROM programming and verification. (Active low) (Internal pullup \approx 80K Ω)
\overline{WR}	10	Output strobe during a BUS write. (Active low) Used as write strobe to external data memory.
ALE	11	Address Latch Enable. This signal occurs once during each cycle and is useful as a clock output. The negative edge of ALE strobes address into external data and program memory.

SINGLE COMPONENT MCS²-48 SYSTEM

Table 3. Pin Description (Continued)

Designation	Pin Number*	Function
PSEN	9	Program Store Enable. This output occurs only during a fetch to external program memory. (Active low)
SS	5	Single step input can be used in conjunction with ALE to "single step" the processor through each instruction. (Active low) (Internal pullup \approx 300K Ω) +12V for sync modes (See 2.16).
EA	7	External Access input which forces all program memory fetches to reference external memory. Useful for emulation and debug, and essential for testing and program verification. (Active high) +12V for 8048AH/8049AH/8050AH program verification and +18V for 8748H/8749H program verification (Internal pullup \approx 10M Ω on 8048AH/8049AH/8035AHL, 8039AHL/8050AH, 8040AHL.)
XTAL1	2	One side of crystal input for internal oscillator. Also input for external source.
XTAL2	3	Other side of crystal; external source input.

*Unless otherwise stated, inputs do not have internal pullup resistors. 8048AH, 8748H, 8049AH, 8050AH, 8040AHL

4.0 PROGRAMMING, VERIFYING AND ERASING EPROM

The internal Program Memory of the 8748H and the 8749H may be erased and reprogrammed by the user as explained in the following sections. See also the 8748H and 8749H data sheets.

4.1 Programming/Verification

In brief, the programming process consists of: activating the program mode, applying an address, latching the address, applying data, and applying a programming pulse. This programming algorithm applies to both the 8748H and 8749H. Each word is programmed completely before moving on to the next and is followed by a verification step. The following is a list of the pins used for programming and a description of their functions:

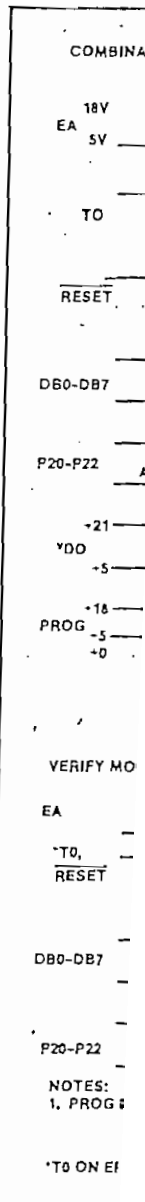
Pin	Function
XTAL 1	Clock Input (3 to 4 MHz)
Reset	Initialization and Address Latching
Test 0	Selection of Program (0V) or Verify (5V) Mode
EA	Activation of Program/Verify Modes
BUS	Address and Data Input Data Output During Verify
P20-1	Address Input for 8748H
P20-2	Address Input for 8749H
V _{DD}	Programming Power Supply
PROG	Program Pulse Input
P10-P11	Tied to ground (8749H only)

8748H AND 8749H ERASURE CHARACTERISTICS

The erasure characteristics of the 8748H and 8749H are such that erasure begins to occur when exposed to light with wavelengths shorter than approximately 4000 Angstroms (A). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000-4000A range. Data show that constant exposure to room level fluorescent lighting could erase the typical 8748H and 8749H in approximately 3 years while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the 8748H or 8749H is to be exposed to these types of lighting conditions for extended periods of time, opaque labels should be placed over the 8748H window to prevent unintentional erasure.

When erased, bits of the 8748H and 8749H Program Memory are in the logic "0" state.

The recommended erasure procedure for the 8748H and 8749H is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (A). The integrated dose (i.e., UV intensity X exposure time) for erasure should be a minimum of 15W-sec/cm². The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with a 12000 μ W/cm² power rating. The 8748H and 8749H should be placed within one inch from the lamp tubes during erasure. Some lamps have a filter in their tubes and this filter should be removed before erasure.



SINGLE COMPONENT MCS-48 SYSTEM

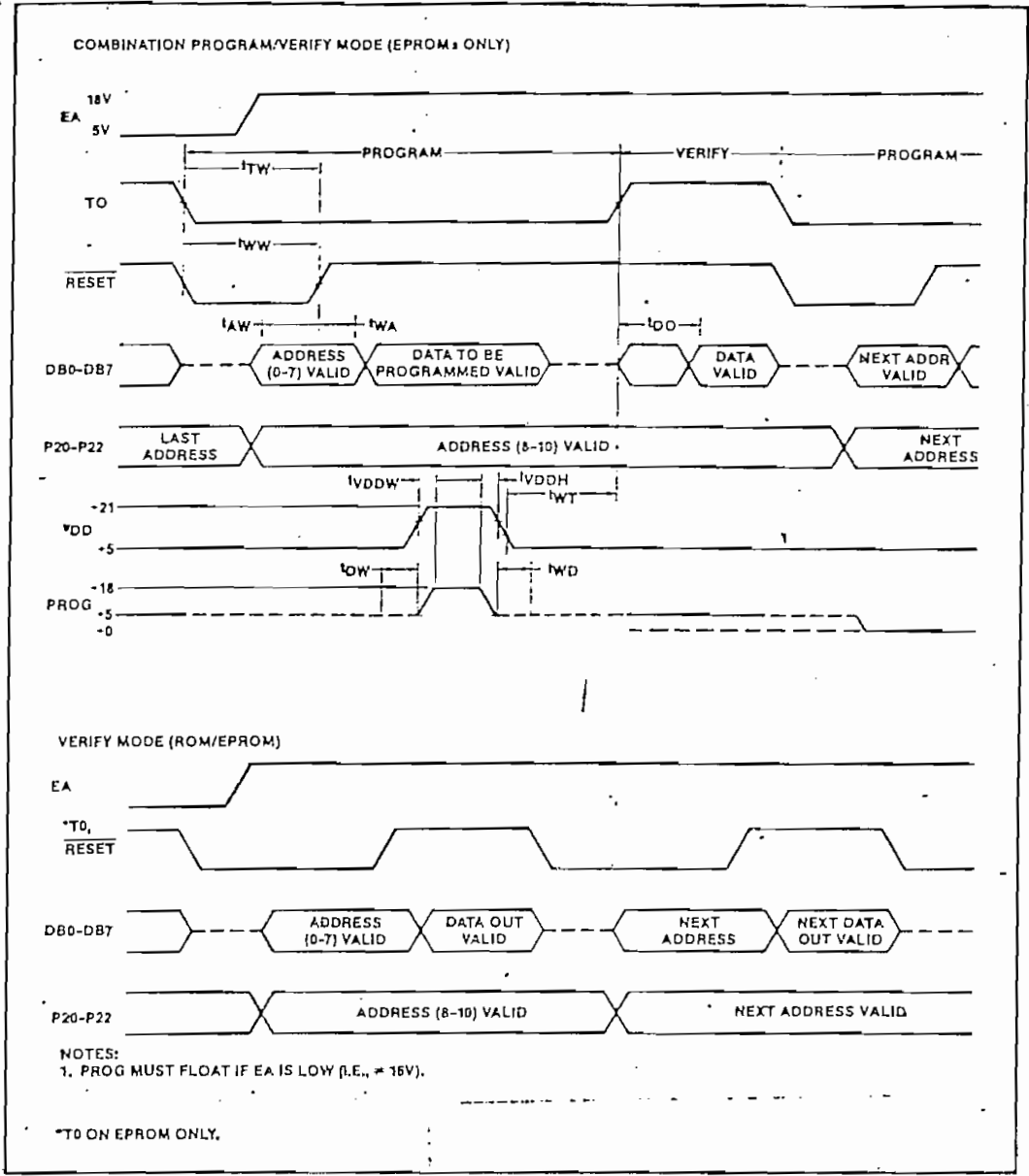


Figure 17. Program/Verify Sequence for 8749H/8748H

ADC0801, ADC0802, ADC0803, ADC0804, ADC0805



A to D, D to A

ADC0801, ADC0802, ADC0803, ADC0804, ADC0805 8-Bit μ P Compatible A/D Converters

General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters which use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus, and TRI-STATE[®] output latches directly drive the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

A new differential analog voltage input allows increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- Operates ratiometrically or with 5 V_{DC}, 2.5 V_{DC} or analog span adjusted voltage reference

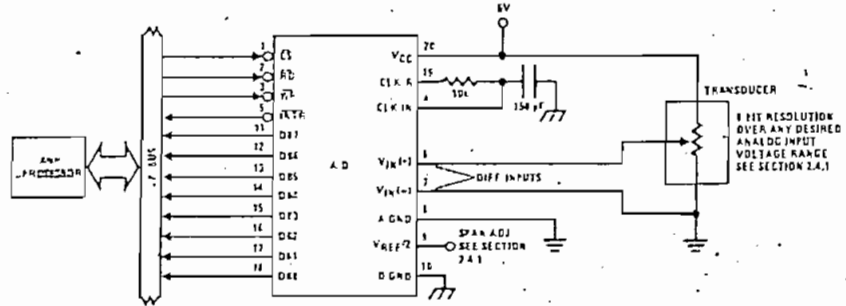
Key Specifications

- Resolution 8 bits
- Total error $\pm 1/4$ LSB, $\pm 1/2$ LSB and ± 1 LSB
- Conversion time 100 μ s

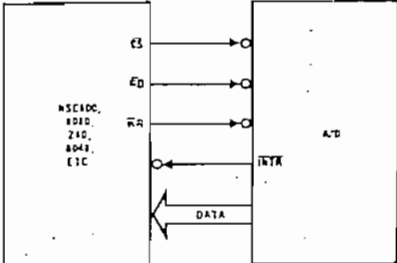
Features

- Compatible with 8080 μ P derivatives—no interfacing logic needed—access time—135 ns
- Easy interface to all microprocessors, or operates "stand alone"

Typical Applications



8080 Interface



ERROR SPECIFICATION (INCLUDES FULL SCALE, ZERO ERROR, AND NON-LINEARITY)			
PART NUMBER	FULL SCALE ADJUSTED	V _{REF/2} = 2.500 V _{DC} (NO ADJUSTMENT)	V _{REF/2} = NO CONNECTION (NO ADJUSTMENT)
ADC0801	$\pm 1/4$ LSB		
ADC0802		$\pm 1/2$ LSB	
ADC0803	$\pm 1/2$ LSB		
ADC0804		± 1 LSB	
ADC0805			± 1 LSB

Absolute Maximum Ratings

- Supply Voltage (V_{CC}) (Note 3)
- Logic Control Inputs
- Other Input and Outputs
- Temperature Range
- Power Dissipation at T_{JA} = 25°C
- Temperature (Soldering, 10 seconds)

Electrical Characteristics

Following specifications apply for V_{CC} = 5V

PARAMETER	VALUE
ADC0801: Total Adjusted Error (Note B)	$\pm 1/4$ LSB
ADC0802: Total Unadjusted Error (Note B)	$\pm 1/2$ LSB
ADC0803: Total Adjusted Error (Note B)	$\pm 1/2$ LSB
ADC0804: Total Unadjusted Error (Note B)	± 1 LSB
ADC0805: Total Unadjusted Error (Note B)	± 1 LSB
V _{REF/2} Input Resistance (Pin 9)	100 k Ω
Analog Input Voltage Range	0V to 5V
OC Common-Mode Error	± 1 mV
Power Supply Sensitivity	± 1 mV

Electrical Characteristics

Following specifications apply for V_{CC} = 5V

PARAMETER	VALUE
Conversion Time	100 μ s
Clock Frequency	100 kHz
Clock Duty Cycle	50%
Conversion Rate in Free-Run Mode	10 conversions/s
Width of WR Input (Start Pulse Width)	10 ns
Access Time (Delay from Falling Edge of RD to Output Data Valid)	135 ns
TRI-STATE Control (Delay from Rising Edge of RD to Hi-Z State)	10 ns
Delay from Falling Edge of WR or RD to Reset of INT	10 ns
Input Capacitance of Logic Control Inputs	5 pF
TRI-STATE Output Capacitance (Data Buffer)	5 pF

TRI-STATE[®] is a registered trademark of National Semiconductor Corp.

ADC0801, ADC0802, ADC0803, ADC0804, ADC0805

Absolute Maximum Ratings (Notes 1 and 2)

Supply Voltage (V _{CC}) (Note 3)	6.5V
Logic Control Inputs	-0.3V to +18V
Other Input and Outputs	-0.3V to (V _{CC} + 0.3V)
Temperature Range	-65°C to +150°C
Power Dissipation at T _A = 25°C	875 mW
Temperature (Soldering, 10 seconds)	300°C

Operating Ratings (Notes 1 and 2)

Temperature Range	T _{MIN} ≤ T _A ≤ T _{MAX}
ADC0801/02LD	-55°C ≤ T _A ≤ +125°C
ADC0801/02/03/04 LCD	-40°C ≤ T _A ≤ +85°C
ADC0801/02/03/05 LCN	-40°C ≤ T _A ≤ +85°C
ADC0804 LCN	0°C ≤ T _A ≤ +70°C
Range of V _{CC}	4.5 V _{DC} to 6.3 V _{DC}

Electrical Characteristics

Following specifications apply for V_{CC} = 5 V_{DC}, T_{MIN} ≤ T_A ≤ T_{MAX} and f_{CLK} = 640 kHz unless otherwise specified.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
ADC0801: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±1/4	LSB
ADC0802: Total Unadjusted Error (Note 8)	V _{REF/2} = 2.500 V _{DC}			±1/2	LSB
ADC0803: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±1/2	LSB
ADC0804: Total Unadjusted Error (Note 8)	V _{REF/2} = 2.500 V _{DC}			±1	LSB
ADC0805: Total Unadjusted Error (Note 8)	V _{REF/2} - No Connection			±1	LSB
V _{REF/2} Input Resistance (Pin 9)	ADC0801/02/03/05 ADC0804 (Note 9)	2.5 1.0	8.0 1.3		kΩ kΩ
Analog Input Voltage Range	(Note 4) V(+) or V(-) Gnd-0.05			V _{CC} +0.05	V _{DC}
DC Common-Mode Error	Over Analog Input Voltage Range		±1/16	±1/8	LSB
Power Supply Sensitivity	V _{CC} = 5 V _{DC} ±10% Over Allowed V _{IN} (+) and V _{IN} (-) Voltage Range (Note 4)		±1/16	±1/8	LSB

Electrical Characteristics

Following specifications apply for V_{CC} = 5 V_{DC} and T_A = 25°C unless otherwise specified.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Conversion Time	f _{CLK} = 640 kHz (Note 6)	103		114	μs
Conversion Time	(Note 5, 6)	66		73	1/f _{CLK}
Clock Frequency	V _{CC} = 5V, (Note 5)	100	640	1460	kHz
Clock Duty Cycle	(Note 5)	40		60	%
Conversion Rate in Free-Running Mode	\overline{INTR} tied to \overline{WR} with $\overline{CS} = 0$ V _{DC} , f _{CLK} = 640 kHz			8770	conv/s
Width of \overline{WR} Input (Start Pulse Width)	$\overline{CS} = 0$ V _{DC} (Note 7)	100			ns
Access Time (Delay from Falling Edge of \overline{RD} to Output Data Valid)	C _L = 100 pF		135	200	ns
TRI-STATE Control (Delay from Rising Edge of \overline{RD} to Hi-Z State)	C _L = 10 pF, R _L = 10k (See TRI-STATE Test Circuits)		125	200	ns
Delay from Falling Edge of \overline{WR} or \overline{RD} to Reset of \overline{INTR}			300	450	ns
Input Capacitance of Logic Control Inputs			5	7.5	pF
TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF

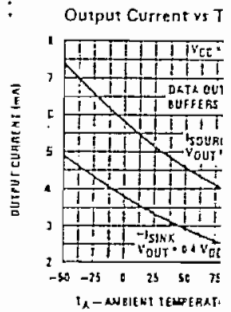
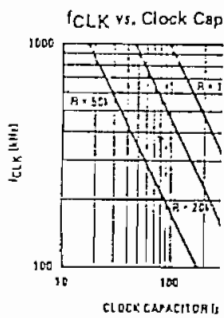
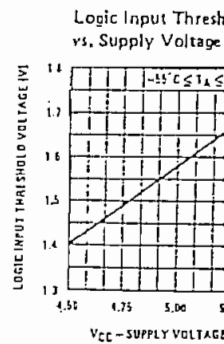
Electrical Characteristics

The following specifications apply for $V_{CC} = 5\text{ VDC}$ and $T_{MIN} \leq T_A \leq T_{MAX}$, unless otherwise specified.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately.]					
$V_{IN(1)}$	Logical "1" Input Voltage (Except Pin 4 CLK IN) $V_{CC} = 5.25\text{ VDC}$	2.0		1.5	VDC
$V_{IN(0)}$	Logical "0" Input Voltage (Except Pin 4 CLK IN) $V_{CC} = 4.75\text{ VDC}$			0.8	VDC
$I_{IN(1)}$	Logical "1" Input Current (All Inputs) $V_{IN} = 5\text{ VDC}$		0.005	1	μADC
$I_{IN(0)}$	Logical "0" Input Current (All Inputs) $V_{IN} = 0\text{ VDC}$	-1	-0.005		μADC
CLOCK IN AND CLOCK R					
V_{T+}	CLK IN (Pin 4) Positive Going Threshold Voltage	2.7	3.1	3.5	VDC
V_{T-}	CLK IN (Pin 4) Negative Going Threshold Voltage	1.5	1.8	2.1	VDC
V_H	CLK IN (Pin 4) Hysteresis ($V_{T+} - V_{T-}$)	0.6	1.3	2.0	VDC
$V_{OUT(0)}$	Logical "0" CLK R Output Voltage $I_O = 360\ \mu\text{A}$ $V_{CC} = 4.75\text{ VDC}$			0.4	VDC
$V_{OUT(1)}$	Logical "1" CLK R Output Voltage $I_O = -360\ \mu\text{A}$ $V_{CC} = 4.75\text{ VDC}$	2.4			VDC
DATA OUTPUTS AND INTR					
$V_{OUT(0)}$	Logical "0" Output Voltage Data Outputs INTR Output $I_{OUT} = 1.6\text{ mA}, V_{CC} = 4.75\text{ VDC}$ $I_{OUT} = 1.0\text{ mA}, V_{CC} = 4.75\text{ VDC}$			0.4	VDC
$V_{OUT(1)}$	Logical "1" Output Voltage $I_O = -360\ \mu\text{A}, V_{CC} = 4.75\text{ VDC}$	2.4			VDC
$V_{OUT(1)}$	Logical "1" Output Voltage $I_O = -10\ \mu\text{A}, V_{CC} = 4.75\text{ VDC}$	4.5			VDC
I_{OUT}	TRISTATE Disabled Output Leakage (All Data Buffers) $V_{OUT} = 0\text{ VDC}$ $V_{OUT} = 5\text{ VDC}$	-3		3	μADC
I_{SOURCE}	V_{OUT} Short to Gnd, $T_A = 25^\circ\text{C}$	4.5	6		mA
I_{SINK}	V_{OUT} Short to V_{CC} , $T_A = 25^\circ\text{C}$	9.0	16		mA
POWER SUPPLY					
I_{CC}	Supply Current (Includes Ladder Current) $f_{CLK} = 640\text{ kHz}$, $V_{REF/2} = \text{NC}, T_A = 25^\circ\text{C}$ and $\overline{\text{CS}} = "1"$ ADC0801/02/03/05 ADC0804 (Note 9)		1.1 1.9	1.8 2.5	mA mA

- Note 1: Absolute maximum ratings are those values beyond which the life of the device may be impaired.
- Note 2: All voltages are measured with respect to Gnd, unless otherwise specified. The separate A Gnd point should always be wired to the D Gnd.
- Note 3: A zener diode exists, internally, from V_{CC} to Gnd and has a typical breakdown voltage of 7 VDC.
- Note 4: For $V_{AN}(-) \geq V_{IN}(-)$ the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. Be careful during testing at low V_{CC} levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct—especially at elevated temperature—and cause errors for analog inputs near full-scale. The spec allows 50 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute 0 VDC to 5 VDC input voltage range will therefore require a minimum supply voltage of 4.950 VDC over temperature variations, initial tolerance and loading.
- Note 5: Accuracy is guaranteed at $f_{CLK} = 640\text{ kHz}$. At higher clock frequencies accuracy can degrade. For lower clock frequencies, the duty cycle limits can be extended so long as the minimum clock high time interval or minimum clock low time interval is no less than 275 ns.
- Note 6: With an asynchronous START pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched, see Figure 2 and section 2.0.
- Note 7: The $\overline{\text{CS}}$ input is assumed to bracket the $\overline{\text{WR}}$ strobe input and therefore timing is dependent on the $\overline{\text{WR}}$ pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the $\overline{\text{WR}}$ pulse (see timing diagrams).
- Note 8: None of these A/Ds requires a zero adjust (see section 2.5.1). To obtain zero code at other analog input voltages see section 2.5 and Figure 5.
- Note 9: For ADC0804/LCD typical value of $V_{REF/2}$ input resistance is 8 k Ω and of I_{CC} is 1.1 mA.

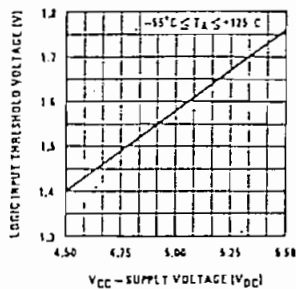
Typical Performance



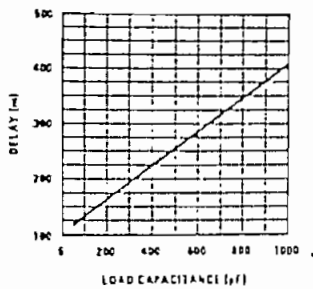
Typical Performance Characteristics

UNIT	UNITS
5	V _{DC}
8	V _{DC}
	μADC
	μADC
5	V _{DC}
1	V _{DC}
0	V _{DC}
4	V _{DC}
	V _{DC}
4	V _{DC}
4	V _{DC}
	μADC
	μADC
	mADC
	mADC
8	mA
5	mA

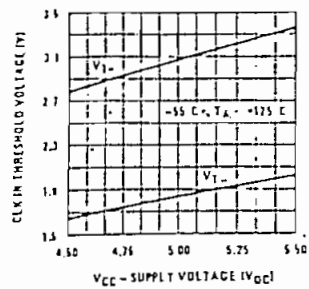
Logic Input Threshold Voltage vs. Supply Voltage



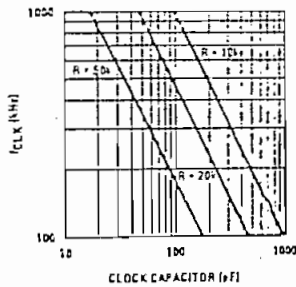
Delay From Falling Edge of RD to Output Data Valid vs. Load Capacitance



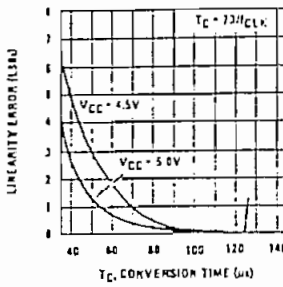
CLK IN Schmitt Trip Levels vs. Supply Voltage



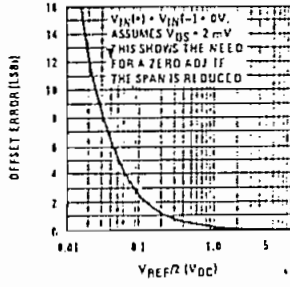
f_{CLK} vs. Clock Capacitor



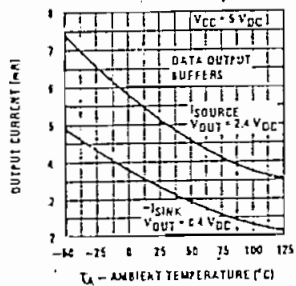
Full-Scale Error vs Conversion Time



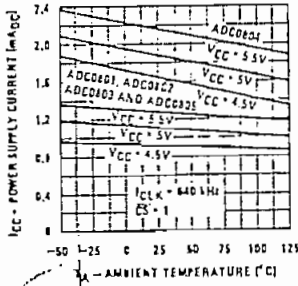
Effect of Unadjusted Offset Error vs. VREF/2 Voltage



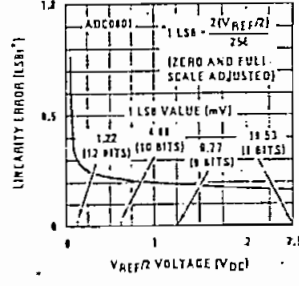
Output Current vs Temperature



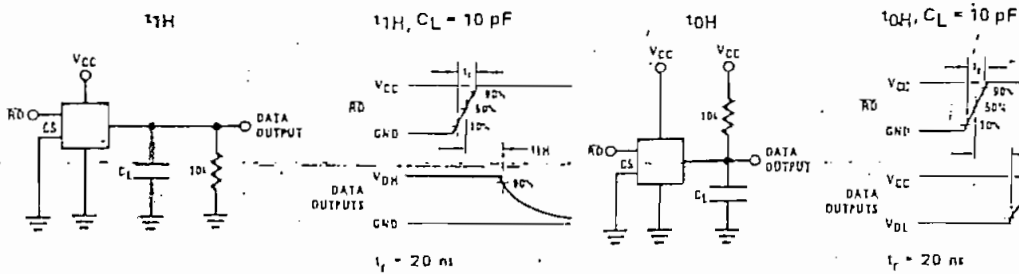
Power Supply Current vs Temperature (Note 9)



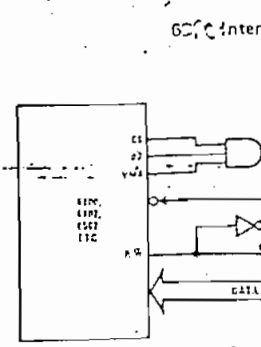
Linearity Error at Low VREF/2 Voltages



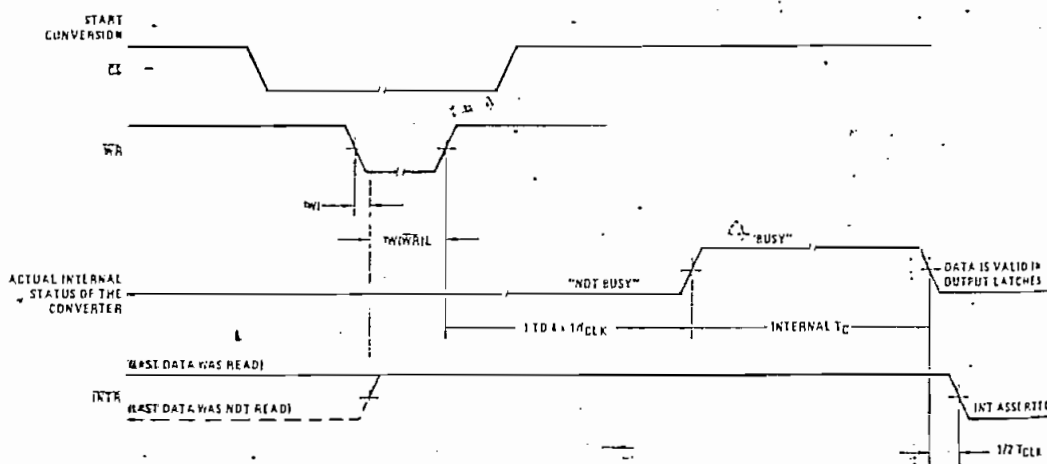
TRI-STATE[®] Test Circuits and Waveforms



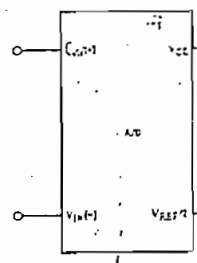
Typical Applications



Timing Diagrams (All timing is measured from the 50% voltage points)

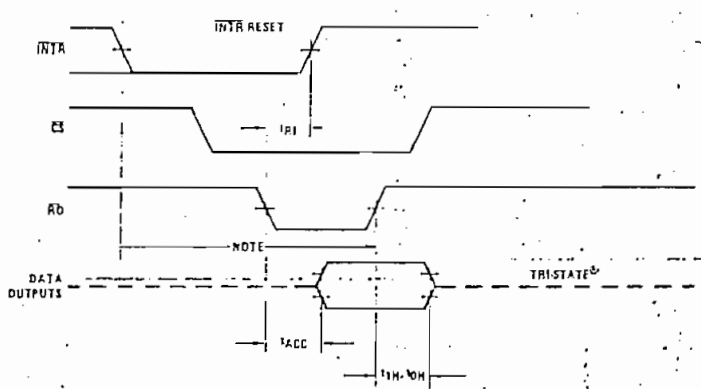


Absolute with a 2.5



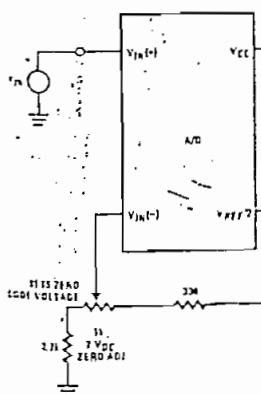
For low power, see also LM3

Output Enable and Reset INTR



Note: Read strobe must occur B clock periods [B/CLK] after assertion of interrupt to guarantee reset of INTR.

Zero-Shift and Span Ad



Standard control bus signals of the 8080 (\overline{CS} , \overline{RD}) can be directly wired to the digital control inputs of the A/D and the bus timing requirements are met both starting the converter and outputting the data to the data bus. A bus driver should be used for microprocessor systems where the data bus leaves the PC board and/or must drive capacitive loads larger than 100 pF.

4.1.1 Sample 8080A CPU Interfacing Circuitry and Program

The following sample program and associated hardware shown in Figure 10 may be used to input data from the INS8080A CPU chip set (comprised of the INS8080A microprocessor, the INS8228 system controller and the INS8224 clock generator). For simplicity, the A/D is controlled as an I/O device, actually an 8-bit bi-directional port located at an arbitrarily chosen port address, \overline{EO} . The TRI-STATE capability of the A/D eliminates the need for a special interface device, however address decoding

is still required to generate the appropriate \overline{CS} for the converter.

It is important to note that in systems where the A/D converter is 1-of-8 or less I/O mapped devices, no address decoding circuitry is necessary. Each of the 8 address bits (A0 to A7) can be directly used as \overline{CS} inputs—one for each I/O device.

4.1.2 INS8048 Interface

The INS8048 interface technique with the ADC0801 series (see Figure 11) is simpler than the 8080A CPU interface. There are 24 I/O lines and three test input lines in the 8048. With these extra I/O lines available, one of the I/O lines (bit 0 of port 1) is used as the chip select signal to the A/D, thus eliminating the use of an external address decoder. Bus control signals \overline{RD} , \overline{WR} and \overline{INT} of the 8048 are tied directly to the A/D. The 16 converted data words are stored at on-chip RAM locations from 20 to 2F (Hex). The \overline{RD} and \overline{WR} signals are generated by reading from and writing into a dummy address, respectively. A sample interface program is shown below.

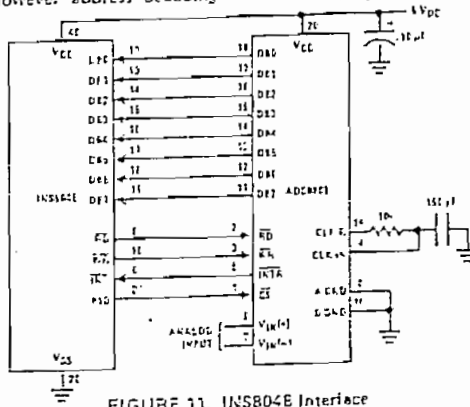


FIGURE 11. INS8048 Interface

SAMPLE PROGRAM FOR FIGURE 11 INS8048 INTERFACE

04 10	JMP	10H	; Program starts at addr 10
	ORF	3H	
04 50	JMP	50H	; Interrupt jump vector
	ORG	10H	; Main program
	AND	P1, #0FEH	; Chip select
99 FE	MOVX	A, @R1	; Read in the 1st data
81			; to reset the intr.
			; Set port pin high
29 01	START:	R0, #1	; Data address
88 20	MOV	R0, #20H	; Dummy address
85 FF	MOV	R1, #0FFH	; Counter for 16 bytes
8A 10	MOV	R2, #10H	; Set ACC for int'l loop
23 FF	AGAIN:	A, #0FFH	; Send CS (bit 0 of P1)
99 FE	AND	P1, #0FEH	; Send WR out
51	MOVX	@R1, A	; Enable interrupt
05	EN	I	; Wait for interrupt
95 21	LOOP:	JNZ	LOOR
EA 18	DJNZ	R2, AGAIN	; If 16 bytes are read
00	NOP		; go to user's program
06	NOP		
	ORG	50H	
81	INDATA:	A, @R1	; Input data, CS still low
A0	MOV	@R0, A	; Store in memory
18	INC	R0	; Increment storage counter
E9 01	ORL	P1, #1	; Reset CS signal
27	CLR	A	; Clear ACC to get out of
93	RETR		; the interrupt loop

ANEXO B

LISTADO DEL PROGRAMA
IMPLEMENTADO EN EL
MICROCONTROLADOR

 LISTADO DEL PROGRAMA PARA EL REGULADOR DE VOLTAJE

```
0000      CPU      "8048.TBL"
0000      HOF      "INT8"
0000      ORG      0000H
```

*****ETIQUETAS*****

```
0014 =      LOCFREC: EQU      14H
0015 =      VALTIMER: EQU     15H
0004 =      REPFREC: EQU      4H
0038 =      STARF: EQU      38H
005B =      MAXTIMER: EQU     5BH
0044 =      MINTIMER: EQU     44H
00FE =      OUT_DVDT: EQU     0FEH
00FD =      LOW_VOLT: EQU     0FDH
00FB =      OVER_VOL: EQU     0FBH
00F7 =      OUT_FREQ: EQU     0F7H
00FE =      OUT5: EQU      0FEH
00FD =      OUT4: EQU      0FDH
00FB =      OUT3: EQU      0FBH
00F7 =      OUT2: EQU      0F7H
00EF =      OUT1: EQU      0EFH
0018 =      SDAT0: EQU      18H
0019 =      SDAT1: EQU      19H
001A =      DATON_1: EQU     1AH
000A =      ZESPVOUT: EQU     0AH
001B =      NO_DVDT: EQU     1BH
001C =      SDAT0N_1: EQU    1CH
001D =      SDAT1N_1: EQU    1DH
001E =      OUTPTN: EQU     1EH
0008 =      TOLER_2: EQU     08H
0005 =      NMAXDVDT: EQU    05H
00EF =      HABVIN: EQU     0EFH
00FF =      HABVOUT: EQU    0FFH
001E =      NTOTDAT: EQU     1EH
0020 =      STARSTOR: EQU    20H
0016 =      LOCDVDT: EQU     16H
0003 =      REPDVDT: EQU     3H
0088 =      LIM60: EQU      88H
0013 =      LIM61: EQU     13H
00A0 =      LIM5U0: EQU     0A0H
0011 =      LIM5U1: EQU     11H
0060 =      LIM5D0: EQU     60H
0011 =      LIM5D1: EQU     11H
0040 =      LIM4U0: EQU     40H
0010 =      LIM4U1: EQU     10H
008A =      LIM4D0: EQU     8AH
000F =      LIM4D1: EQU     0FH
0009 =      LIM3U0: EQU     09H
000F =      LIM3U1: EQU     0FH
```


Anexo B... Paq.2

```

0080 = LIM3D0: EQU 80H
000E = LIM3D1: EQU 0EH
0010 = LIM2U0: EQU 10H
000E = LIM2U1: EQU 0EH
007A = LIM2D0: EQU 7AH
000D = LIM2D1: EQU 0DH
0011 = LIM10: EQU 11H
000B = LIM11: EQU 0BH

```

*****PROGRAMA PRINCIPAL*****

```

0000 INICIO:
0000 05 EN I
0001 LOOP:
0001 0401 JMP LOOP
0003 ORG 3H
0003 0410 JMP 10H
0010 ORG 10H
0010 RESTAUR: ;Permite el regreso
MOV R1,#08H ;del contador de
0010 B908 MOV @R1,#18H ;programa a una
0012 B118 INC R1 ;dirección especificada
0014 19 MOV @R1,#00H
0015 B100 RETR
0017 93 CALL STARFREC
0018 7463

001A B820 MOV R0,#STARSTOR
001C 23EF MOV A,#HABVIN
001E 3A OUTL P2,A
001F EMPEZAR: ;Empieza la recolección
MOV R1,#0FFH ;de los datos
001F B9FF MOV R3,#NTOTDAT
0021 BB1E
0023 AGAIN:
0023 B9FF MOV R1,#0FFH
0025 91 MOVX @R1,A
0026 LAZO:
0026 3626 JTO LAZO
0028 INDAT:
0028 B1 MOVX A,@R1
0029 A0 MOV @R0,A
002A 18 INC R0
002B EB23 DJNZ R3,AGAIN
002D TESTDVDT: ;Realiza la
CLR F0 ;comprobación de la
002D B5 MOV R0,#NO_DVDT;distorsión en la
002E B81B MOV @R0,#00H ;línea
0030 B000
0032 BA1D MOV R2,#NTOTDAT-1
0034 B820 MOV R0,#STARSTOR
0036 B921 MOV R1,#STARSTOR+1
0038 F1 CICLO: MOV A,@R1 ;Resta los datos
0039 77 RR A ;(n+1) - n, ambos
003A 537F ANL A,#7FH ;divididos por

```

```

003C AD          MOV      R5,A          ;dos y comprueban
003D F0          MOV      A,@R0        ;si están en el rango
003E 77          RR         A          ;especificado
003F 537F        ANL      A,#7FH
0041 5447        CALL     SUBS8BZ
0043 F7          RLC      A
0044 F650        JC       INCREMENTEN
0046 67          RRC      A
0047 BD08        MOV      R5,#TOLER_2
0049 5447        CALL     SUBS8BZ
004B F7          RLC      A
004C F650        JC       INCREMENTEN
004E 045F        JMP      FINCICLO
0050             INCREMENTEN:          ;Si encuentra un
0050 B81B        MOV      R0,#NO_DVDT;dato fuera de
0052 10          INC      @R0          ;límite, incrementa
0053 F0          MOV      A,@R0        ;el contador dentro
0054 AD          MOV      R5,A          ;del ciclo
0055 2305        MOV      A,#NMAXDVDT
0057 5447        CALL     SUBS8BZ
0059 -F7        RLC      A
005A F65F        JC       FINCICLO
005C BA01        MOV      R2,#01H
005E 95          CPL      F0
005F             FINCICLO:          ;Si detecta
005F F9          MOV      A,R1          ;distorsión en todo
0060 19          INC      R1          ;el ciclo, incrementa
0061 AB          MOV      R0,A          ;el contador de número
0062 EA38        DJNZ    R2,CICLO      ;de ciclos seguidos
0064 B66D        JF0     JMDVDT        ;con distorsión
0066 B816        MOV      R0,#LOCDVDT
0068 2300        MOV      A,#00H
006A A0          MOV      @R0,A
006B 0479        JMP      SUMDATOS
006D B816        JMDVDT: MOV      R0,#LOCDVDT
006F 10          INC      @R0
0070 F0          MOV      A,@R0
0071 BD03        MOV      R5,#REPDVDT
0073 5447        CALL     SUBS8BZ
0075 9679        JNZ     SUMDATOS
0077 745A        CALL     OUTDVDT
0079             SUMDATOS:          ;Realiza la suma de
0079 BE00        MOV      R6,#00H      ;datos recogidos en un
007B BD00        MOV      R5,#00H      ;ciclo
007D B920        MOV      R1,#STARSTOR
007F BB1E        MOV      R3,#NTOTDAT
0081 F1          REPSUM: MOV      A,@R1
0082 6E          ADD     A,R6
0083 AE          MOV      R6,A
0084 27          CLR     A
0085 7D          ADDC   A,R5
0086 AD          MOV      R5,A

```

Anexo B... Pag.4

```

0087 19          INC      R1
0088 EB81       DJNZ    R3,REPSUM
008A B91B       MOV     R1,#SDAT0
008C FE        MOV     A,R6
008D A1        MOV     @R1,A
008E 19        INC     R1
008F FD        MOV     A,R5
0090 A1        MOV     @R1,A
0091 2400      JMP     TAPS
0100           ORG     100H
0100           TAPS:           ;Empieza la selección
0100 A5        CLR     F1           ;del tap, dependiendo
0101 B91B       MOV     R1,#SDAT0 ;de la suma de los datos
0103 F1        MOV     A,@R1
0104 AE        MOV     R6,A
0105 19        INC     R1
0106 F1        MOV     A,@R1
0107 AF        MOV     R7,A
0108 23E1      MOV     A,#0E1H
010A E3        MOVVP3  A,@A
010B AC        MOV     R4,A
010C 23E2      MOV     A,#0E2H
010E E3        MOVVP3  A,@A
010F AD        MOV     R5,A
0110 540B      CALL    SUBS16B
0112 FD        MOV     A,R5
0113 F7        RLC     A
0114 E61B     JNC     OVERVOLT
0116 2420     JMP     TAP1
0118 23FB     OVERVOLT: MOV    A,#OVER_VOL ;Salida por
011A 3A       OUTL    P2,A           ;sobrevoltaje
011B 89FF     ORL     P1,#0FFH
011D         LAZ02:
011D 15       DIS     I
011E 241D     JMP     LAZ02
0120         TAP1:
0120 23E3     MOV     A,#0E3H
0122 E3       MOVVP3  A,@A
0123 AC       MOV     R4,A
0124 23E4     MOV     A,#0E4H
0126 E3       MOVVP3  A,@A
0127 AD       MOV     R5,A
0128 540B     CALL    SUBS16B
012A FD       MOV     A,R5
012B F7       RLC     A
012C F634     JC      TAP12
012E 544B     CALL    SALIDA1
0130 76FA     JF1    NOCAMBIA
0132 24DC     JMP     CAMBIAR
0134         TAP12:
0134 23E5     MOV     A,#0E5H
0136 E3       MOVVP3  A,@A

```

0137 AC		MOV	R4,A
0138 23E6		MOV	A,#0E6H
013A E3		MOVP3	A,@A
013B AD		MOV	R5,A
013C 540B		CALL	SUBS16B
013E FD		MOV	A,R5
013F F7		RLC	A
0140 F64B		JC	TAP2
0142 545A		CALL	SALIDA12
0144 76FA		JF1	NOCAMBIA
0146 24DC		JMP	CAMBIAR
0148	TAP2:		
0148 23E7		MOV	A,#0E7H
014A E3		MOVP3	A,@A
014B AC		MOV	R4,A
014C 23E8		MOV	A,#0E8H
014E E3		MOVP3	A,@A
014F AD		MOV	R5,A
0150 540B		CALL	SUBS16B
0152 FD		MOV	A,R5
0153 F7		RLC	A
0154 F65C		JC	TAP23
0156 5470		CALL	SALIDA2
0158 76FA		JF1	NOCAMBIA
015A 24DC		JMP	CAMBIAR
015C	TAP23:		
015C 23E9		MOV	A,#0E9H
015E E3		MOVP3	A,@A
015F AC		MOV	R4,A
0160 23EA		MOV	A,#0EAH
0162 E3		MOVP3	A,@A
0163 AD		MOV	R5,A
0164 540B		CALL	SUBS16B
0166 FD		MOV	A,R5
0167 F7		RLC	A
0168 F670		JC	TAP3
016A 548E		CALL	SALIDA23
016C 76FA		JF1	NOCAMBIA
016E 24DC		JMP	CAMBIAR
0170	TAP3:		
0170 23EB		MOV	A,#0EBH
0172 E3		MOVP3	A,@A
0173 AC		MOV	R4,A
0174 23EC		MOV	A,#0ECH
0176 E3		MOVP3	A,@A
0177 AD		MOV	R5,A
0178 540B		CALL	SUBS16B
017A FD		MOV	A,R5
017B F7		RLC	A
017C F684		JC	TAP34
017E 54B4		CALL	SALIDA3
0180 76FA		JF1	NOCAMBIA

0182 24DC		JMP	CAMBIAR
0184	TAP34:		
0184 23ED		MOV	A,#0EDH
0186 E3		MOV P3	A,@A
0187 AC		MOV	R4,A
0188 23EE		MOV	A,#0EEH
018A E3		MOV P3	A,@A
018B AD		MOV	R5,A
018C 540B		CALL	SUBS16B
018E FD		MOV	A,R5
018F F7		RLC	A
0190 F698		JC	TAP4
0192 7400		CALL	SALIDA34
0194 76FA		JF1	NOCAMBIA
0196 24DC		JMP	CAMBIAR
0198	TAP4:		
0198 23EF		MOV	A,#0EFH
019A E3		MOV P3	A,@A
019B AC		MOV	R4,A
019C 23F0		MOV	A,#0F0H
019E E3		MOV P3	A,@A
019F AD		MOV	R5,A
01A0 540B		CALL	SUBS16B
01A2 FD		MOV	A,R5
01A3 F7		RLC	A
01A4 F6AC		JC	TAP45
01A6 7426		CALL	SALIDA4
01A8 76FA		JF1	NOCAMBIA
01AA 24DC		JMP	CAMBIAR
01AC	TAP45:		
01AC 23F1		MOV	A,#0F1H
01AE E3		MOV P3	A,@A
01AF AC		MOV	R4,A
01B0 23F2		MOV	A,#0F2H
01B2 E3		MOV P3	A,@A
01B3 AD		MOV	R5,A
01B4 540B		CALL	SUBS16B
01B6 FD		MOV	A,R5
01B7 F7		RLC	A
01B8 F6C0		JC	TAP5
01BA 7435		CALL	SALIDA45
01BC 76FA		JF1	NOCAMBIA
01BE 24DC		JMP	CAMBIAR
01C0	TAP5:		
01C0 23F3		MOV	A,#0F3H
01C2 E3		MOV P3	A,@A
01C3 AC		MOV	R4,A
01C4 23F4		MOV	A,#0F4H
01C6 E3		MOV P3	A,@A
01C7 AD		MOV	R5,A
01C8 540B		CALL	SUBS16B
01CA FD		MOV	A,R5

Anexo B... Pag.7

```

01CB F7          RLC          A
01CC F6D4        JC          LOWVOLT
01CE 744B        CALL         SALIDAS
01D0 76FA        JF1         NOCAMBIA
01D2 24DC        JMP         CAMBIAR
01D4 23FD        LOWVOLT:    MOV         A,#LOW_VOLT ;Salida por
01D6 3A          OUTL        P2,A          ;bajo voltaje
01D7 89FF        ORL         P1,#0FFH
01D9 15          LAZ01:     DIS          I
01DA 24D9        JMP         LAZ01
01DC             CAMBIAR:   ;Prepara al
01DC 15          DIS          I          ;microcontrolador
01DD 5432        CALL        ACTUALIZ    ;para cambio de tap
01DF 23FF        MOV         A,#0FFH
01E1 39          OUTL        P1,A
01E2 23FF        MOV         A,#HABVOUT
01E4 3A          OUTL        P2,A
01E5             RECVOUT:
01E5 B80A        MOV         R0,#ZESPVOUT
01E7             RECVOUT1:
01E7 B9FF        MOV         R1,#0FFH
01E9 23FF        MOV         A,#0FFH
01EB 91          MOVX        @R1,A
01EC             LAZ2:
01EC 36EC        JT0         LAZ2
01EE             INGDAT:  ;Muestreo del voltaje
01EE B1          MOVX        A,@R1      ;de salida para
01EF 96E5        JNZ         RECVOUT    ;verificar el apagado
01F1 E8E7        DJNZ        R0,RECVOUT1 ;del triac
01F3 B91E        MOV         R1,#OUTPTN
01F5 F1          MOV         A,@R1
01F6 39          OUTL        P1,A
01F7 05          EN          I
01F8 6476        JMP         TESTFREC
01FA             NOCAMBIA: ;Continua el tap
01FA 5432        CALL        ACTUALIZ    ;anterior
01FC 05          EN          I
01FD 6476        JMP         TESTFREC

```

;*****SUBROUTINAS UTILIZADAS*****

```

01FF             SUBROUTINAS:
01FF AE          PREPSB16: MOV         R6,A          ;Prepara registros
0200 BF00        MOV         R7,#0H      ;para la sustracción
0202 B91A        MOV         R1,#DATON_1 ;de dos números
0204 F1          MOV         A,@R1       ;de 16 bits
0205 AC          MOV         R4,A
0206 BD00        MOV         R5,#00H
0208 FE          MOV         A,R6
0209 A1          MOV         @R1,A
020A B3          RET

```

Anexo B... Pag.8

```

020B FC      SUBS16B:  MOV     A,R4      ;sustracción de dos
020C 37      CPL     A      ;números de 16 bits
020D 0301    ADD     A,#01H
020F AC      MOV     R4,A
0210 FD      MOV     A,R5
0211 37      CPL     A
0212 1300    ADDC    A,#0H
0214 AD      MOV     R5,A
0215 FE      MOV     A,R6
0216 6C      ADD     A,R4
0217 AC      MOV     R4,A
0218 FF      MOV     A,R7
0219 7D      ADDC    A,R5
021A AD      MOV     R5,A
021B 83      RET
021C B918    SUMDAT:  MOV     R1,#SDAT0 ;Suma los datos
021E F1      MOV     A,@R1    ;recogidos
021F AC      MOV     R4,A
0220 19      INC     R1
0221 F1      MOV     A,@R1
0222 AD      MOV     R5,A
0223 19      INC     R1
0224 F1      MOV     A,@R1
0225 6C      ADD     A,R4
0226 AC      MOV     R4,A
0227 27      CLR     A
0228 7D      ADDC    A,R5
0229 AD      MOV     R5,A
022A B918    MOV     R1,#SDAT0
022C FC      MOV     A,R4
022D A1      MOV     @R1,A
022E 19      INC     R1
022F FD      MOV     A,R5
0230 A1      MOV     @R1,A
0231 83      RET
0232 B918    ACTUALIZ: MOV     R1,#SDAT0 ;Actualización de
0234 F1      MOV     A,@R1    ;datos para empezar
0235 AE      MOV     R6,A      ;nuevo ciclo
0236 B100    MOV     @R1,#00H
0238 19      INC     R1
0239 F1      MOV     A,@R1
023A AF      MOV     R7,A
023B B100    MOV     @R1,#00H
023D B91D    MOV     R1,#SDAT1N_1
023F 21      XCH    A,@R1
0240 C9      DEC     R1
0241 FE      MOV     A,R6
0242 21      XCH    A,@R1
0243 C9      DEC     R1
0244 B100    MOV     @R1,#00H
0246 83      RET

```

Anexo B... Pag.9

```

0247 37      SUBS8BZ:  CPL      A           ;Sustracción de dos
0248 17      INC      A           ;números de 8 bits
0249 6D      ADD      A,R5
024A B3      RET
024B BDEF    SALIDA1:  MOV      R5,#OUT1    ;Prepara el pórtico
024D B91E    MOV      R1,#OUTPTN ;uno para conectar
024F F1      MOV      A,@R1      ;tap 1
0250 5447    CALL     SUBS8BZ
0252 C658    JZ       UBIC1
0254 B1EF    MOV      @R1,#OUT1
0256 4459    JMP      SALIR1
0258         UBIC1:
0258 B5      CPL      F1
0259         SALIR1:
0259 B3      RET
025A BDEF    SALIDA12:  MOV      R5,#OUT1    ;Prepara pórtico
025C B91E    MOV      R1,#OUTPTN ;uno para conectar
025E F1      MOV      A,@R1      ;tap -1 o 2
025F 5447    CALL     SUBS8BZ
0261 C66E    JZ       UBIC12
0263 BDF7    MOV      R5,#OUT2
0265 F1      MOV      A,@R1
0266 5447    CALL     SUBS8BZ
0268 C66E    JZ       UBIC12
026A B1F7    MOV      @R1,#OUT2
026C 446F    JMP      SALIR12
026E         UBIC12:
026E B5      CPL      F1
026F         SALIR12:
026F B3      RET
0270 BDF7    SALIDA2:  MOV      R5,#OUT2    ;Prepara pórtico
0272 B91E    MOV      R1,#OUTPTN ;uno para conectar
0274 F1      MOV      A,@R1      ;tap 2
0275 5447    CALL     SUBS8BZ
0277 C67D    JZ       UBIC2
0279 B1F7    MOV      @R1,#OUT2
027B 447E    JMP      SALIR2
027D         UBIC2:
027D B5      CPL      F1
027E         SALIR2:
027E B3      RET
027F B91C    PREPSDAT:  MOV      R1,#SDAT0N_1 ;Prepara registros
0281 F1      MOV      A,@R1      ;para suma de dos
0282 AE      MOV      R6,A       ;números de 16 bits
0283 19      INC      R1
0284 F1      MOV      A,@R1
0285 AF      MOV      R7,A
0286 B918    MOV      R1,#SDAT0
0288 F1      MOV      A,@R1
0289 AC      MOV      R4,A
028A 19      INC      R1
028B F1      MOV      A,@R1

```


Anexo B... Paq.10

```

028C AD          MOV      R5,A
028D 83          RET
028E BDF7        SALIDA23: MOV     R5,#OUT2      ;Prepara pórtico
0290 B91E        MOV     R1,#OUTPTN    ;uno para conectar
0292 F1          MOV     A,@R1         ;tap 2 o 3
0293 5447        CALL    SUBS8BZ
0295 C6B2        JZ      UBIC23
0297 BDFB        MOV     R5,#OUT3
0299 F1          MOV     A,@R1
029A 5447        CALL    SUBS8BZ
029C C6B2        JZ      UBIC23
029E 547F        CALL    PREPSDAT
02A0 540B        CALL    SUBS16B
02A2 FD          MOV     A,R5
02A3 F7          RLC     A
02A4 E6AC        JNC     UBITAP2
02A6 B91E        MOV     R1,#OUTPTN
02A8 B1FB        MOV     @R1,#OUT3
02AA 44B3        JMP     SALIR23
02AC            UBITAP2:
02AC B91E        MOV     R1,#OUTPTN
02AE B1F7        MOV     @R1,#OUT2
02B0 44B3        JMP     SALIR23
02B2            UBIT23:
02B2 B5          CPL     F1
02B3            SALIR23:
02B3 83          RET
02B4 BDFB        SALIDA3:  MOV     R5,#OUT3      ;Prepara pórtico
02B6 B91E        MOV     R1,#OUTPTN    ;uno para conectar
02B8 F1          MOV     A,@R1         ;tap 3
02B9 5447        CALL    SUBS8BZ
02BB C6C1        JZ      UBIC3
02BD B1FB        MOV     @R1,#OUT3
02BF 44C2        JMP     SALIR3
02C1            UBIT3:
02C1 B5          CPL     F1
02C2            SALIR3:
02C2 83          RET
02C3 6400        JMP     PAG3
0300            ORG     300H
0300            PAG3:
0300 BDFB        SALIDA34: MOV     R5,#OUT3      ;Prepara pórtico
0302 B91E        MOV     R1,#OUTPTN    ;uno para conectar
0304 F1          MOV     A,@R1         ;tap 3 o 4
0305 5447        CALL    SUBS8BZ
0307 C624        JZ      UBIC34
0309 BDFD        MOV     R5,#OUT4
030B F1          MOV     A,@R1
030C 5447        CALL    SUBS8BZ

030E C624        JZ      UBIC34
0310 547F        CALL    PREPSDAT

```

```

0312 540B      CALL      SUBS16B
0314 FD       MOV       A,R5
0315 F7       RLC      A
0316 E61E     JNC      UBITAP3
0318 B91E     MOV      R1,#OUTPTN
031A B1FD     MOV      @R1,#OUT4
031C 6425     JMP      SALIR34
031E         UBITAP3:
031E B91E     MOV      R1,#OUTPTN
0320 B1FB     MOV      @R1,#OUT3
0322 6425     JMP      SALIR34
0324         UBITAP3:
0324 B5       CPL      F1
0325         SALIR34:
0325 B3       RET
0326 BDFD     SALIDA4: MOV      R5,#OUT4      ;Prepara pórtico
0328 B91E     MOV      R1,#OUTPTN   ;uno para conectar
032A F1       MOV      A,@R1        ;tap 4
032B 5447     CALL     SUBS8BZ
032D C633     JZ      UBIT4
032F B1FD     MOV      @R1,#OUT4
0331 6434     JMP      SALIR4
0333         UBIT4:
0333 B5       CPL      F1
0334         SALIR4:
0334 B3       RET
0335 BDFD     SALIDA45: MOV     R5,#OUT4      ;Prepara pórtico
0337 B91E     MOV     R1,#OUTPTN   ;uno para conectar
0339 F1       MOV     A,@R1        ;tap 4 o 5
033A 5447     CALL     SUBS8BZ
033C C649     JZ     UBIT45
033E BDFE     MOV     R5,#OUT5
0340 F1       MOV     A,@R1
0341 5447     CALL     SUBS8BZ
0343 C649     JZ     UBIT45
0345 B1FD     MOV     @R1,#OUT4
0347 644A     JMP     SALIR45
0349         UBIT45:
0349 B5       CPL     F1
034A         SALIR45:
034A B3       RET
034B BDFE     SALIDA5: MOV     R5,#OUT5      ;Prepara pórtico
034D B91E     MOV     R1,#OUTPTN   ;uno para conectar
034F F1       MOV     A,@R1        ;tap 5
0350 5447     CALL     SUBS8BZ
0352 C658     JZ     UBIT5
0354 B1FE     MOV     @R1,#OUT5
0356 6459     JMP     SALIR5
0358         UBIT5:
0358 B5       CPL     F1
0359         SALIR5:
0359 B3       RET

```

```

035A          OUTDVDT:                                ;Salida de operación
035A 23FE          MOV          A,#OUT_DVDT ;por distorsión en
035C 3A          OUTL          P2,A        ;la línea
035D 89FF          ORL          P1,#0FFH
035F          LAZODVDT:
035F 15          DIS          I
0360 645F          JMP          LAZODVDT
0362 83          RET
0363 65          STARFREC: STOP          TCNT          ;Inicializa el
0364 42          MOV          A,T          ;temporizador
0365 8815          MOV          R0,#VALTIMER;para el rastreo de
0367 A0          MOV          @R0,A        ;la frecuencia
0368 2338          MOV          A,#STARF
036A 62          MOV          T,A
036B 55          STRT          T
036C 83          RET
036D          OUTFREC:                                ;Salida de operación
036D 23F7          MOV          A,#OUT_FREQ ;por corrimiento de
036F 3A          OUTL          P2,A        ;frecuencia
0370 89FF          ORL          P1,#0FFH
0372 15          DIS          I
0373 6473          LAZOFREC: JMP          LAZOFREC
0375 B3          RET

```

****REGRESA A PROGRAMA PRINCIPAL****

```

0376          TESTFREC:                                ;Comprobación de
0376 B05B          MOV          R5,#MAXTIMER ;frecuencia
0378 B815          MOV          R0,#VALTIMER
037A F0          MOV          A,@R0
037B 5447          CALL          SUBS8BZ
037D F7          RLC          A
037E F68E          JC          INCR
0380 F0          MOV          A,@R0
0381 B044          MOV          R5,#MINTIMER
0383 5447          CALL          SUBS8BZ
0385 F7          RLC          A
0386 E68E          JNC          INCR
0388 B814          MOV          R0,#LOCFREC
038A B000          MOV          @R0,#00H
038C 649A          JMP          SHORTCIR
038E          INCR:
038E B814          MOV          R0,#LOCFREC
0390 10          INC          @R0
0391 B004          MOV          R5,#REPFREC
0393 F0          MOV          A,@R0
0394 5447          CALL          SUBS8BZ
0396 969A          JNZ          SHORTCIR
0398 746D          CALL          OUTFREC
039A          SHORTCIR:                                ;Comprobación de
039A 23FF          MOV          A,#HABVOUT ;cortocircuito
039C 3A          OUTL          P2,A

```

Anexo B... Pag.13

```

039D BA0C          MOV      R2,#0CH
039F              SALTAR:
039F B9FF          MOV      R1,#0FFH
03A1 91           MOVX    @R1,A
03A2 36A2        LAZ:     JT0     LAZ
03A4              INDEXT:
03A4 B1           MOVX    A,@R1      ;Ingreso de datos del
03A5 C6AB        JZ      PREGZ     ;voltaje de salida
03A7 BA0C        MOV      R2,#0CH
03A9 649F        JMP     SALTAR
03AB CA          PREGZ:  DEC     R2
03AC FA          MOV     A,R2
03AD C6B1        JZ      OUTSHCIR
03AF 649F        JMP     SALTAR
03B1 15          OUTSHCIR: DIS    I
03B2 23FF        MOV     A,#0FFH
03B4 39          OUTL   P1,A
03B5 64B5        OUTSHC: JMP     OUTSHC

```

LIMITES PARA EL ACTIVADO DE LOS TRIACS

```

03E1              ORG     3E1H      ;Lmites utilizados
03E1 88          DFB    LIM60     ;para variación de
03E2 13          DFB    LIM61     ;taps
03E3 A0          DFB    LIM5U0
03E4 11          DFB    LIM5U1
03E5 60          DFB    LIM5D0
03E6 11          DFB    LIM5D1
03E7 40          DFB    LIM4U0
03E8 10          DFB    LIM4U1
03E9 8A          DFB    LIM4D0
03EA 0F          DFB    LIM4D1
03EB 09          DFB    LIM3U0
03EC 0F          DFB    LIM3U1
03ED 80          DFB    LIM3D0
03EE 0E          DFB    LIM3D1
03EF 10          DFB    LIM2U0
03F0 0E          DFB    LIM2U1
03F1 7A          DFB    LIM2D0
03F2 0D          DFB    LIM2D1
03F3 11          DFB    LIM10
03F4 0B          DFB    LIM11
0000          FUERA:  END

```

REFERENCIAS

- [1] P. C. SEN, "Power Electronics", McGraw Hill, pp 591-593, 1987
- [2] OGATA KATSUHIKO, "Ingeniería de Control Moderna", Prentice Hill, pp 166 - 168, 1974
- [3] TOPAZ, "Productos de Acondicionamiento de la Energía Eléctrica", Guía de selección, pp 5
- [4],[5],[7] ALVARADO DANILO, "Protección para Computadores Personales", Rev. Computación, pp 39 - 42, Sep-Oct. 1990.
- [6] BONILLA C., VILLA J, "Planificación Física de un Centro de Computo", Seminario de Mantenimiento, Reparación e Instalación de Computadores Personales, pp 11, 1989.
- [8],[9] NATIONAL SEMICONDUCTOR, "Voltage Regulator Handbook", pp 8.3 - 8.6, 1982.
- [10] LEDESMA BOLIVAR, "Protección de los Semiconductores de Potencia", pp 9 - 11, 1989.
- [11] MULLARD, "Power Engineering Using Thyristor", Volumen 1, Techniques of Thyristor Power Control, pp 178 - 186

BIBLIOGRAFIA

- NATIONAL SEMICONDUCTOR, "Linear Data Book", 1982.
- TEXAS INSTRUMENTS, "The TTL Data Book", Volumen 2, 1985
- INTEL, " MCS-51 and MCS-48 Aplicaciones", 1981.
- INTEL, " MCS-48 Family of Single Chip Microcomputer User's Manual, 1981
- ECG SEMICONDUCTOR, "Master Replacement guide"
- P. C. SEN, "Power Electronics", McGraw Hill, 1987
- OGATA KATSUHIKO, "Ingeniería de Control Moderna", Prentice Hill, 1974
- TOPAZ, "Productos de Acondicionamiento de la Energía Eléctrica", Guía de selección.
- NATIONAL SEMICONDUCTOR, "Voltage Regulator Handbook", 1982.
- LEDESMA BOLIVAR, "Protección de los Semiconductores de Potencia", 1989.
- MULLARD, "Power Engineering Using Thyristor", Volumen 1, Techniques of Thyristor Power Control.
- REV. COMPUTACION, Sep-Oct, 1990.
- RAYMOND RAMSHAW, " Electrónica de Potencia", Marcombo.
- FITZGERAL A.E., "Teoría y Análisis de las Máquinas eléctricas", Editorial Hispano Europea, 1975.
- B. M. BIRD, K. G. KING, "An Introduction To Power Electronics", John Wiley & Sons, 1983.
- KOSOW IRVING, "Máquinas Eléctricas y Transformadores", Staten Island Community College.