

621.3815365

V152
TESIS
589
J3

ESCUELA POLITECNICA NACIONAL

FACULTAD DE INGENIERIA ELECTRICA

"TRANSMISOR-RECEPTOR DE 6 CANALES ANALOGOS

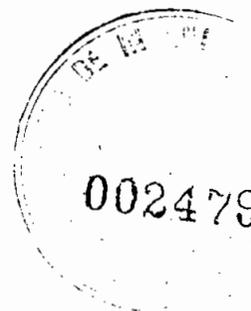
UTILIZANDO TECNICA PCM"

POR

GALO FERNANDO VALENCIA PINARGOTE

TESIS PREVIA A LA OBTENCION DEL TITULO DE INGENIERO EN LA
ESPECIALIZACION DE INGENIERIA ELECTRONICA Y TELECOMUNICACIONES
EN LA ESCUELA POLITECNICA NACIONAL

QUITO, MARZO 1984



*Certifico que el presente trabajo ha
sido elaborado en su totalidad por el
Sr. Galo Fernando Valencia Pinargote.*


ING. ADOLFO LOZA
Director de Tesis

DEDICATORIA

A mis Padres

A mis Hermanos

AGRADECIMIENTO

*Mi sincero agradecimiento al Sr.
Ing. Adolfo Loza A. por su acertada
dirección de la presente tesis.*

"TRANSMISOR-RECEPTOR DE 6 CANALES ANALOGICOS
UTILIZANDO TECNICA PCM"

INDICE

CAPITULO I

Pág.

INTRODUCCION

I-1	Introducción	3
I-2	Características	3
I-3	Objetivo	4
I-4	Descripción de los Capítulos	4

CAPITULO II

DIAGRAMA DE BLOQUES Y FUNCIONAMIENTO

II-1	Descripción General	8
II-2	Reloj Maestro	11
II-3	Filtro Pasabanda Transmisor	12
II-4	Coder	12
II-5	Decoder	18
II-6	Filtro Pasabanda Receptor	18
II-7	Multiplexer	19
II-7.1	Sistema de 30 Canales Telefónicos	20
II-7.2	Sistema de 24 Canales Telefónicos	22
II-8	Demultiplexer	24
II-9	Interfase de Línea	25
II-10	Generador de la Palabra de Alineación de Trama	27
II-11	Circuito de Sincronismo	28
II-12	Interfase de Línea de Abonado	29
II-13	Adaptador de Señalización	29
II-14	Sistema de Alarmas	31
II-15	Generador de Señales y Control	32

DISEÑO E IMPLEMENTACION

III-1	Introducción	35
III-2	Circuito de Reloj Maestro Tx/Rx	37
III-2.1	Consideraciones Teóricas	37
III-2.2	Diseño del Oscilador Maestro Interno	38
III-2.3	Diseño del Circuito de Control y Buffer	40
III-2.4	Circuito Implementado	42
III-3	Codec y Filtros Tx/Rx	44
III-3.1	Consideraciones Teóricas	44
III-3.2	Diseño	45
- III-3.3	Descripción del C.I. 2911	45
- III-3.4	Descripción del C.I. 2912	52
III-3.5	Circuito Implementado	56
III-4	Multiplex	57
III-4.1	Consideraciones Teóricas	57
III-4.2	Diseño	57
III-4.3	Multiplexer	58
III-4.4	Demultiplexer	59
III-4.5	Incremento del Número de Canales	61
III-5	Generador de FAW ✓	63
III-5.1	Consideraciones Teóricas	63
III-5.2	Diseño	63
III-5.3	Circuito Implementado	66
III-6	Reconocimiento de FAW y Alineación de Trama	66
III-6.1	Consideraciones Teóricas	66
III-6.2	Circuito de Reconocimiento de FAW ✓	67
III-6.3	Circuito de Alineación de Trama	70
- III-7	Interfase de Línea de Abonado	75 -
III-7.1	Consideraciones Teóricas	75
III-7.2	Diseño	75
- III-7.3	Descripción del Circuito MC3419	75
III-8	Interfase de Línea Tx/Rx	85
III-8.1	Consideraciones Teóricas	85
III-8.2	Diseño	85
III-8.3	Interfase de Línea Tx	87
III-8.4	Interfase de Línea Rx	89

	Pág.
III-9	Adaptador de Señalización 93
III-9.1	Consideraciones Teóricas 93
III-9.2	Adaptador de Señalización para Transmisión 94
III-9.3	Adaptador de Señalización para Recepción 97
III-10	Sistema de Alarmas 100
III-10.1	Consideraciones Teóricas 100
III-10.2	Diseño 100
III-11	Generador de Señales y Control 106
III-11.1	Consideraciones Teóricas 106
III-11.2	Generador de Señales Tx 106
III-11.3	Generador de Señales Rx 111
III-11.4	Circuito de Control 114
III-11.5	Circuito de Inicialización 120
III-12	Implementación 121

CAPITULO IV

RESULTADOS EXPERIMENTALES

IV-1	Pruebas y Análisis de los Resultados 137
IV-1.1	Control Digital 137
IV-1.2	Transmisión de Señales Análogas 143
IV-1.3	Aplicación Práctica 151
IV-2	Conclusiones 155
IV-3	Recomendaciones 158

APENDICE A

APENDICE B

BIBLIOGRAFIA

C A P I T U L O I

I N T R O D U C C I O N

I-1 INTRODUCCION

I-2 CARACTERISTICAS

I-3 OBJETIVO

I-4 DESCRIPCION DE LOS CAPITULOS

CAPITULO I

INTRODUCCION

I-1 INTRODUCCION

La evolución de las Telecomunicaciones en los últimos años se ha visto orientada hacia la implementación de una Red Digital de Servicios Integrados gracias al doble efecto de la transmisión numérica y la conmutación electrónica, que permiten el multiplexado por división de tiempo de diferentes señales sin discriminación entre sí, unificando a los distintos servicios de comunicación.

La actual difusión de sistemas de comunicación telefónica que utilizan la técnica P.C.M. (Modulación por Código de Pulsos) se ha debido a varios factores propios de estos sistemas, tales como: ser resistentes a la perturbación de ruido; tener propiedades no aditivas de ruido, diafonía o distorsión a lo largo del canal de transmisión, por lo cual la calidad de la información recibida es independiente de la distancia y configuración de la red. A todo lo anterior, se suman las ventajas económicas en cuanto a costo y consumo de potencia por las modernas tecnologías de fabricación de Circuitos Integrados (C.I.).

En el presente trabajo se realizará el estudio teórico-experimental del sistema trans-receptor de 6 canales analógicos utilizando la técnica PCM, con sus posibles aplicaciones en telefonía y en general en comunicaciones digitales.

I-2 CARACTERISTICAS

El proyecto en sí permitirá verificar la eficacia de la técnica PCM con señales provenientes de canales analógicos; incluyendo un análisis paralelo de sistemas telefónicos digitales, sus características principales y normalizaciones. De dicho estudio teórico e implementación práctica, se dejarán sentadas las bases suficientes y necesarias para posteriores aplicaciones con señales provenientes de canales telefónicos.

En el equipo transmisor-receptor implementado se podrían realizar las diferentes pruebas que permitan comprobar el normal funcionamiento de este, mediante la verificación de la fiel recepción de diferentes señales análogas de prueba a ser transmitidas.

El sistema será diseñado para su utilización con 6 canales analógicos con la posibilidad de ampliar a 24 ó 32 canales por su amplia difusión en la actualidad en telefonía, mediante un estudio descriptivo de dichos sistemas para posteriores aplicaciones experimentales.

I-3 OBJETIVO

El objetivo inicial de la presente tesis es el adquirir las principales bases teóricas y la suficiente experiencia práctica con sistemas de comunicación digital que utilicen la técnica PCM y el multiplexado por división de tiempo, de gran importancia en la actualidad, tanto por su menor costo comparado con sistemas análogos similares como por la posibilidad de ampliar la capacidad en redes de transmisión existentes y/o el incremento de nuevos servicios.

Ahora dada las características que posee el equipo, podrá ser utilizado con fines demostrativos en el laboratorio.

I-4 DESCRIPCION DE LOS CAPITULOS

En el primer capítulo se realiza una introducción al tema, su importancia actual, los objetivos que persigue el presente proyecto y las características generales del equipo a implementarse para cumplir los mismos.

En el segundo se explica el funcionamiento general del sistema en base a diagramas de bloques; paralelamente se dan las principales normas de sistemas Multiplex PCM.

En el tercer capítulo se desarrolla el fundamento teórico y se realiza el diseño de cada una de las etapas para el sistema de 6 canales analógicos, objetivo principal de este trabajo. Finalmente se presentan los circuitos implementados, su disposición, y una lista de los componentes utili-

zados.

En el cuarto capítulo se detallan las pruebas realizadas, los resultados experimentales, y las conclusiones a las que se ha llegado luego del desarrollo teórico-experimental. Se termina exponiendo un glosario de las principales recomendaciones que se deben tener en cuenta para la implementación de sistemas similares.

Se incluye un anexo que contiene las hojas de parámetros eléctricos y curvas características de los elementos utilizados.

Por último se da el material bibliográfico en el cual se puede ampliar el estudio de algún punto en particular.

C A P I T U L O I I

D I A G R A M A D E B L O Q U E S
Y F U N C I O N A M I E N T O

- II-1 DESCRIPCION GENERAL
- II-2 RELOJ MAESTRO
- II-3 FILTRO PASABANDA TRANSMISOR
- II-4 CODER
- II-5 DECODER
- II-6 FILTRO PASABANDA RECEPTOR
- II-7 MULTIPLEXER
- II-8 DEMULTIPLEXER
- II-9 INTERFASE DE LINEA
- II-10 GENERADOR DE LA PALABRA DE ALINEACION DE TRAMA
- II-11 CIRCUITO DE SINCRONISMO
- II-12 INTERFASE DE LINEA DE ABONADO
- II-13 ADAPTADOR DE SEÑALIZACION
- II-14 SISTEMA DE ALARMAS
- II-15 GENERADOR DE SEÑALES Y CONTROL

CAPITULO II

DIAGRAMA DE BLOQUES Y FUNCIONAMIENTO

II-1 DESCRIPCION GENERAL

El gran desarrollo experimentado por la tecnología en fabricación de C.I. de alta y muy alta integración ha permitido la implementación de varias funciones complejas en una sola pastilla (chip), facilitando de manera considerable el diseño de cualquier sistema digital/análogo práctico.

Dicho desarrollo tecnológico, conjuntamente con la reducción de costos, tamaño y consumo de potencia; promueven el uso de equipos Multiplex PCM basados en codecs de un solo canal, en lugar de compartir un solo codec(1) para varios canales analógicos multiplexados en el tiempo. La principal ventaja que se obtiene del primer método es la digitalización más rápida de señales análogas de voz, permitiendo a la vez aprovechar varios mecanismos como son:

- Almacenamiento de las señales digitales en una memoria.
- Interpretación de dichas señales por un microprocesador.
- Enrutamiento por compuertas lógicas.
- Transmisión de las señales digitales provenientes de los codecs sobre distancias cortas sin degeneración significativa.

Por las ventajas anteriores se escoge para el presente proyecto, el sistema basado en codecs de un solo canal. A partir de este principio y de acuerdo a lo descrito en el capítulo anterior, para llevar adelante la presente tesis de manera efectiva se deberá diseñar e implementar un circuito complejo que cumpla las siguientes funciones:

- 1.- Conversión de una señal análoga a una señal digital.
- 2.- Combinación de varias señales digitales a una sola, esto es, el multiplexado por división de tiempo.
- 3.- Transmisión de la señal multiplex.
- 4.- Recepción y recuperación fiel de la señal digital transmitida.
- 5.- Reconocimiento y separación de cada uno de los canales digitales, esto es, el demultiplexado.

(1) Codec: C.I. de alta integración cuya función principal es la conversión análogo/digital (Coder) y digital/análogo (Decoder) utilizando técnica PCM.

6.- Conversión de las distintas señales digitales a sus respectivas señales análogas.

El proceso general que siguen las señales análogas a lo largo de todo el enlace se describe a continuación:

- Las diferentes señales análogas entrantes son convertidas a señales digitales utilizando la técnica PCM en el respectivo codec de cada canal. El término PCM (conocido también como M.T.C. ó Modulación por Impulsos Codificados), describe varias funciones esencialmente separadas, como son:
- a). El muestreo de una señal analógica
 - b). La cuantificación de las amplitudes de las muestras.
 - c). La codificación binaria para generar una señal que sea representativa de las muestras analógicas cuantificadas.

Las señales digitales correspondientes a un cierto número de canales son multiplexadas en el tiempo, obteniendo una configuración multicanal.

El equipo receptor correspondiente efectúa las funciones inversas de demultiplexaje de la señal digital recibida a varios canales correspondientes a los transmitidos, decodificando cada una de estas y generando un equivalente analógico de las muestras cuantificadas. Restituye finalmente de la manera más fiel posible la señal analógica original para cada uno de los canales.

Estas funciones principales son complementadas con otras necesarias para la obtención de las relaciones de temporización inherentes a la alineación entre los equipos de emisión y recepción, facilidades de señalización y ocasionalmente introducción de transmisión de datos u otras señales digitales.

- Para completar las exigencias del sistema es necesario dotarle de las posibilidades de supervisión y alarma que aseguren un mantenimiento eficaz del equipo multiplex.

Una primera representación del equipo que es capaz de realizar las funciones antes descritas se da en la Figura II-1, a manera de diagrama de bloques.

En el diagrama de bloques de la Figura II-1, se incluye el Circuito de Interfase de Línea de Abonado (SLIC) propio de sistemas telefónicos digitales.

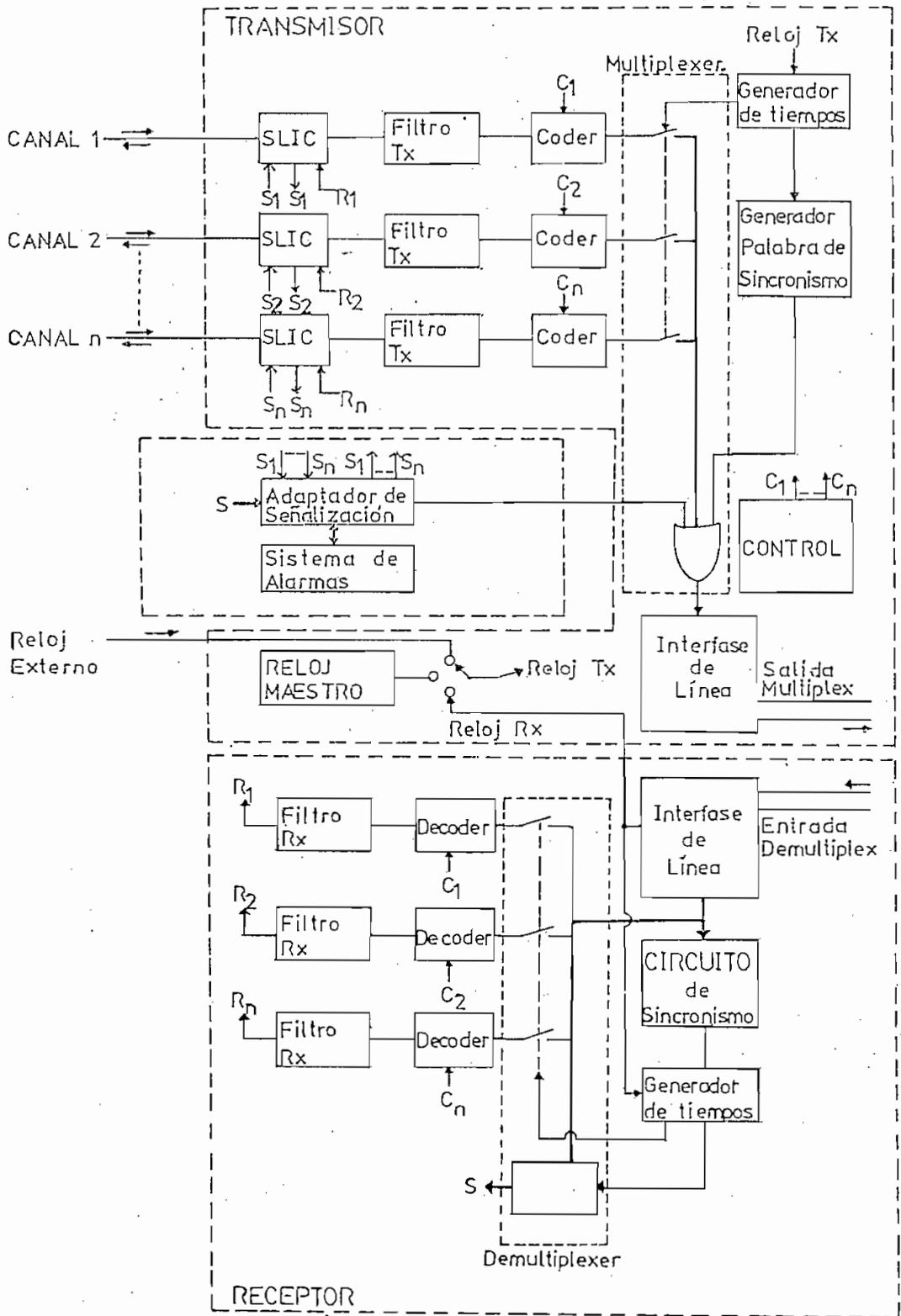


FIGURA II-1 DIAGRAMA DE BLOQUES GENERAL DE UN EQUIPO MULTIPLEX PCM

En los siguientes puntos de este capítulo se explica con más detalle cada una de las partes constitutivas del equipo multiplex PCM presentado en la Figura II-1; sus funciones, características y principales consideraciones que se deberán tener en cuenta para su posterior uso con señales provenientes de canales telefónicos.

→ II-2 RELOJ MAESTRO

Se comienza analizando este bloque, dado que cualquier sistema multiplex por división de tiempo deriva su funcionamiento adecuado de un oscilador de alta estabilidad, que provea el reloj maestro con el cual se especifican todas las funciones de tiempo dentro del multiplex.

Normalmente un oscilador maestro interno satisface los requerimientos para el reloj, sin embargo se debe proveer dos opciones adicionales que permitan usar como señal de reloj maestro a una señal externa a éste.

→ La primera opción da la posibilidad de tener como reloj a un oscilador maestro perteneciente a otro equipo, permitiendo así que el sistema TDM (Multiplex por División de Tiempo) opere sincrónicamente con un Sistema General. Como segunda opción la facilidad de usar la señal de reloj extraída en el circuito receptor como reloj del sistema multiplexer, permite la sincronización de equipos en terminales remotos de una red sincrónica. Estas facilidades se presentan por medio del diagrama descriptivo de la Figura II-2.

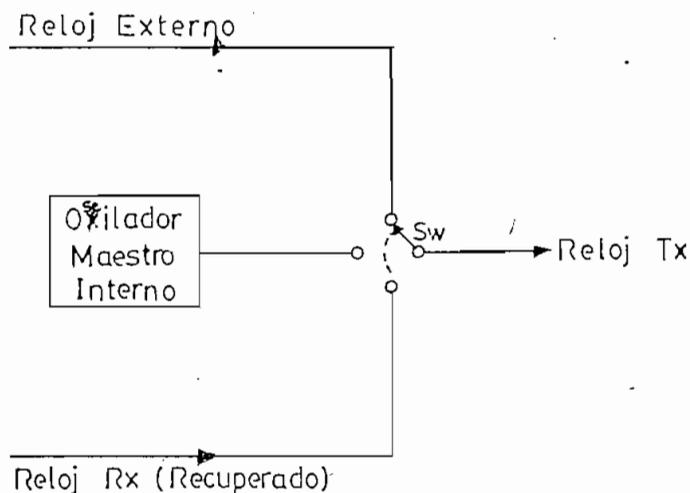


FIGURA II-2 DIAGRAMA DESCRIPTIVO DEL CIRCUITO DE RELOJ

II-3 FILTRO PASABANDA TRANSMISOR

El filtrado de la señal análoga limitándole a una parte del espectro de frecuencias para su transmisión; es necesario para realizar el muestreo de la misma, ésto es, definir a la señal de manera completa sin conocer su valor en cada instante según el Teorema de Muestreo Uniforme (Teorema de Muestreo de Nyquist), que dice:

"Si una señal (función continua) $f(t)$ está limitada a una banda con f_m (Hz) como máxima frecuencia, ésta puede ser caracterizada completamente por las muestras de las magnitudes de la señal tomadas a intervalos de tiempo uniformes menores que $(1/2f_m)$ (seg)." [2]

Si no se realizara el filtrado de la señal a ser transmitida, limitándole a una banda de frecuencia f_m , al muestrearse la señal se tendría una degeneración del espectro en la señal muestreada respecto de la forma de onda original siempre que esta última contenga componentes de frecuencia mayores a dos veces la frecuencia de muestreo f_s (Hz); no pudiendo regenerarse fielmente la señal transmitida, lo cual se conoce como ruido de muestreo.

Para las señales de voz (provenientes de canales telefónicos) basta con componentes de frecuencia de hasta 4 KHz, no obstante en sistemas telefónicos prácticos se limita a una frecuencia $f_m=3.4$ KHz sin distorsionar a la señal transmitida y siendo completamente inteligible en la recepción. Con una frecuencia de muestreo $f_s=8$ KHz se podrá regenerar de manera satisfactoria la forma de onda original en el receptor según el Teorema de Muestreo Uniforme.

Adicionalmente el filtro pasabanda Tx deberá proveer una atenuación alta a la frecuencia de línea de alimentación del sistema (denominada rejection en inglés) para evitar ruidos de inducción desde la línea que distorsionen la señal a transmitirse.

II-4 CODER

En este bloque se realiza la conversión de la señal análoga a una señal digital utilizando la técnica PCM; esto es, el muestreo, cuantificación y codificación; proceso que se indica por medio de bloques en la Figura II-4.1 la cual incluye el Filtro Pasabanda Transmisor.

[2] F. E. OWEN, "PCM and Digital Transmission Systems", Texas Instruments Electronic Series, Capítulo 3, pg.44-45.

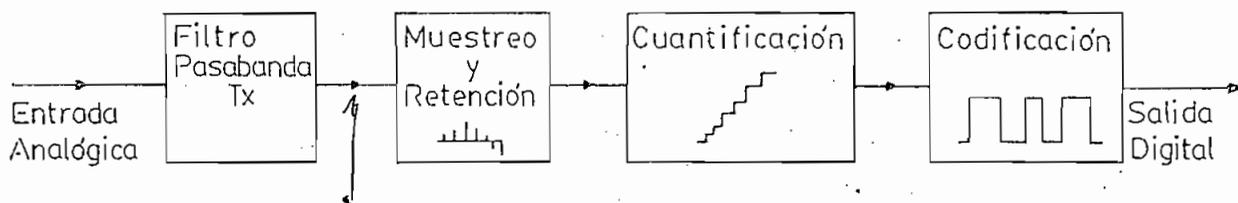


FIGURA II-4.1 DIAGRAMA DE BLOCOS DEL CODER Y FILTRO PASABANDA TX

La función que cumple cada uno de los bloques del coder es la siguiente:

-El muestreador-retenedor es el encargado de "discretizar" la señal a nológica continua que se tiene a la entrada del coder. Durante un tiempo T_1 (seg) muestrea la señal y durante un tiempo T_2 (seg) retiene el último valor de voltaje que se tenga a la entrada, para su cuantificación y codificación en la respectiva palabra digital. Si $T_s = 1/f_s$ (seg) es el tiempo entre muestras, se tendrá la siguiente relación de tiempos:

$$T_s = T_1 + T_2 \quad (II.1)$$

$$T_2 \gg T_1 \quad (II.2)$$

Esta relación de tiempos se muestra descriptivamente en la Figura II-4.2

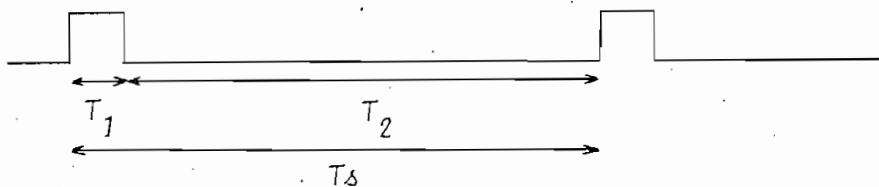


FIGURA II-4.2 RELACION ENTRE TIEMPO DE MUESTREO Y TIEMPO DE RETENCION

-La cuantificación es el proceso de aproximar las muestras de las se^ñales de los mensajes originales al más cercano nivel de voltaje de referen^{cia} permitido, de un número finito de intervalos de cuantificación que exis^{ten} en sistemas prácticos. El error introducido por esta aproximación se co^{no}ce como "Ruido de Cuantificación".

En la Figura II-4.3 se presenta un ejemplo particular del proceso de cuantificación.

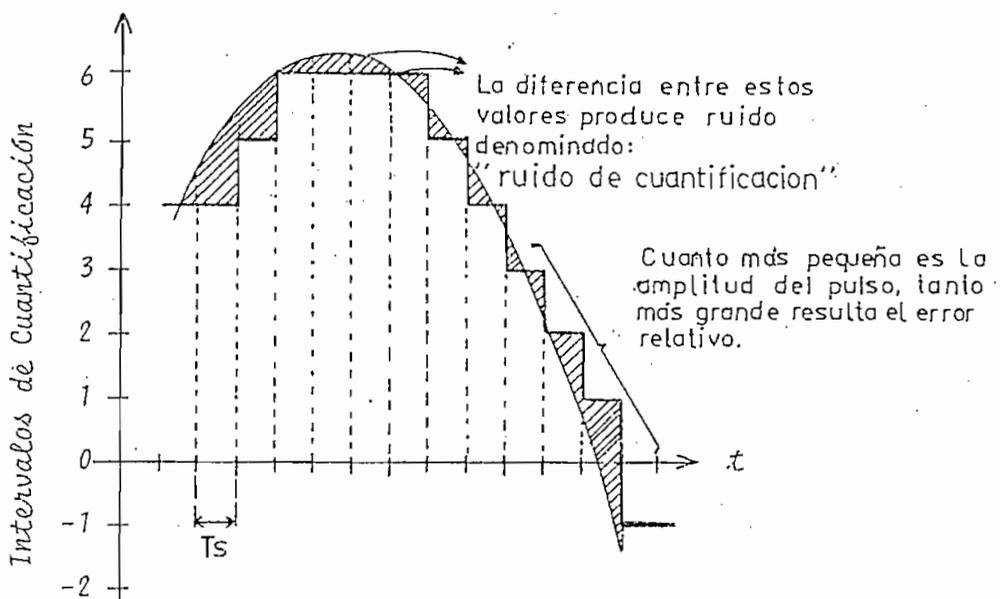


FIGURA II-4.3 RUIDO DE CUANTIFICACION

Si los intervalos de cuantificación son fijos el error introducido será mayor para pulsos de entrada pequeños que para grandes pulsos, es decir que la relación señal a ruido (S/R) es peor para el primer caso.

Dado que la voz tiene características de que la probabilidad de ocurrencia de pequeñas amplitudes es alta y las de gran amplitud es baja, se deberá mejorar la relación S/R por algún método.

En aplicaciones de sistemas telefónicos se ha adoptado el comprimir los pulsos de gran magnitud y expandir los pulsos pequeños antes de la cuantificación ó mediante una codificación por segmentos (no uniforme). En el primer caso los intervalos o pasos de cuantificación permanecen uniformes, no así en el segundo. La operación efectuada a las señales análogas se denominan "Compresión" en el lado de transmisión; y "Expansión" en el lado de recepción, proceso que es inverso al realizado en la transmisión.

El CCITT (3) recomienda las dos leyes siguientes para la compresión de las señales análogas provenientes de canales telefónicos:

* CCITT, Libro Naranja, Volumen III-2, Recomendación G 711, 1977. .

(3) CCITT: Comité Consultivo Internacional de Telefonía y Telegrafía

1) Ley A. Sistema de 32 canales (Usado en Europa y Latinoamérica)

$$y = \frac{AX}{1 + \ln A} \quad (0 \leq X \leq 1/A) \quad (II.3)$$

$$A = 87.6$$

de intervalos de cuantificación = 256

de segmentos = 13

2) Ley u. Sistema de 24 canales (Usado en Norteamérica y Japón)

$$y = \frac{\ln(1 + uX)}{\ln(1 + u)} \quad (0 \leq X \leq 1) \quad (II.4)$$

$$u = 255$$

de intervalos de cuantificación = 256

de segmentos = 15

En las ecuaciones II.3 y II.4 :

X representa a la señal de entrada (sén compresión)

Y representa a la señal de salida (comprimida)

A y u son parámetros característicos de cada ley que indican el grado de compresión.

En la Figura II-4.4 se muestra cada una de las características de compresión de la Ley A. y de la Ley u.

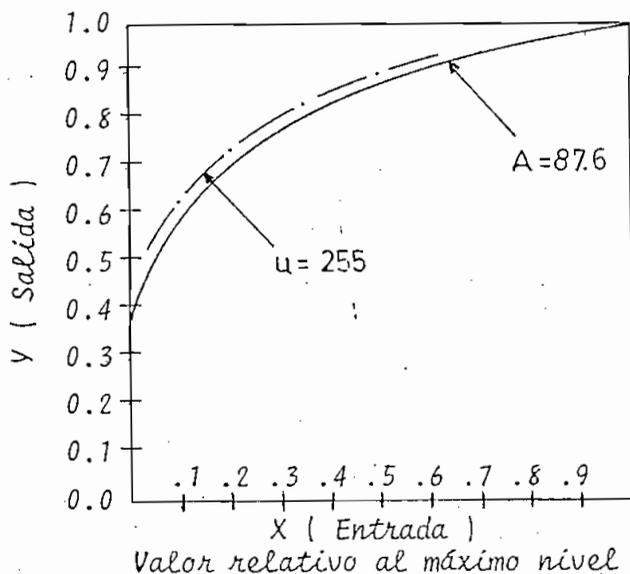


FIGURA II-4.4 CARACTERISTICA DE COMPRESION DE LA LEY A Y DE LA LEY u

La Figura II-4.5 da las características del ruido de cuantificación de la Ley A y de la Ley u.

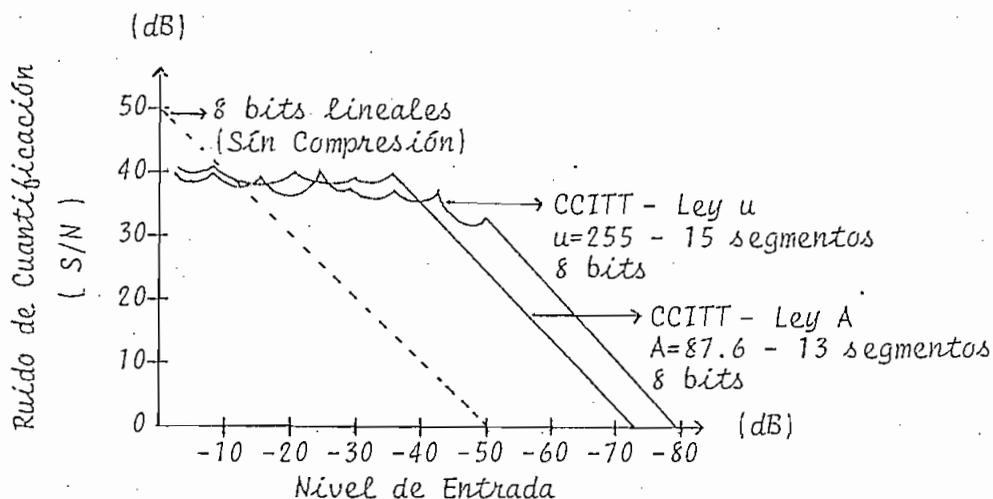


FIGURA II-4.5 CARACTERISTICA DEL RUIDO DE CUANTIFICACION

Cuanto mayor sea el número de intervalos de cuantificación, menor será el error introducido y la señal original será más fielmente representada. No obstante en sistemas prácticos el número de pasos escogido se ve limitado, debido a que; la cantidad de combinaciones posibles de presencias o ausencias de pulsos (bits) demanda una gran velocidad de codificación.

En los sistemas telefónicos digitales actuales se usan 256 intervalos de cuantificación.

-El último bloque del Coder se encarga de la codificación (ver figura II-4.1). El codificador convierte cada valor cuantificado en combinaciones de presencias o ausencias de un número determinado de impulsos unitarios. Para la representación de los 256 intervalos de cuantificación, se necesitan 8 impulsos unitarios ó bits ($2^8 = 256$ combinaciones).

Dada la característica no continua de compresión-expansión aproximada a una característica discontinua por segmentos (ver figura II-4.4), la compresión se realiza mediante una cuantificación-codificación de intervalos no uniformes, denominada codificación por segmentos; según se puede apreciar en la figura II-4.6

La codificación de 8 dígitos se realiza con la siguiente regla (tomando en cuenta a la compresión) presentada en la figura II-4.7.

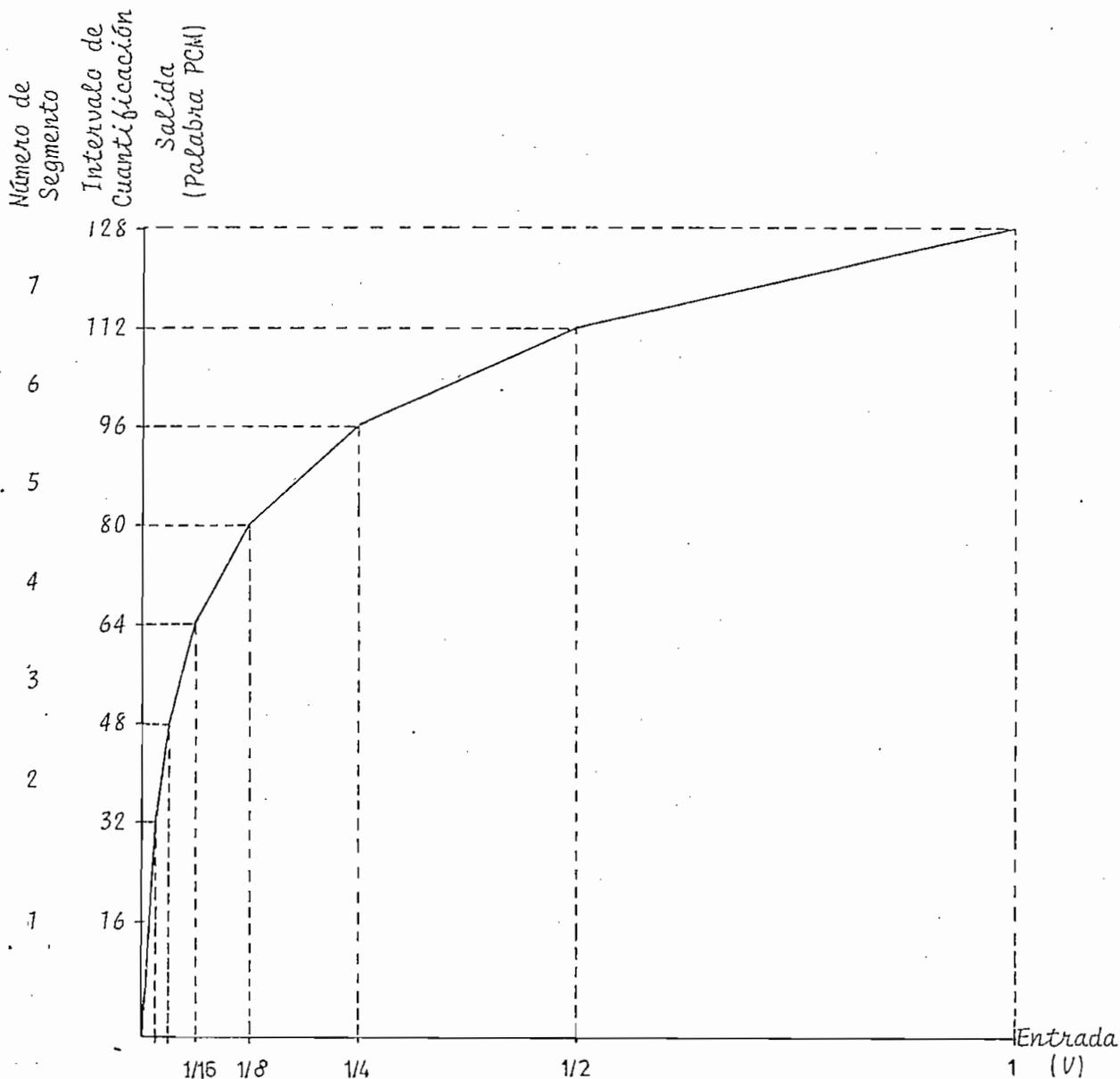


FIGURA II-4.6 CODIFICACION POR SEGMENTOS BASADA EN LA LEY A

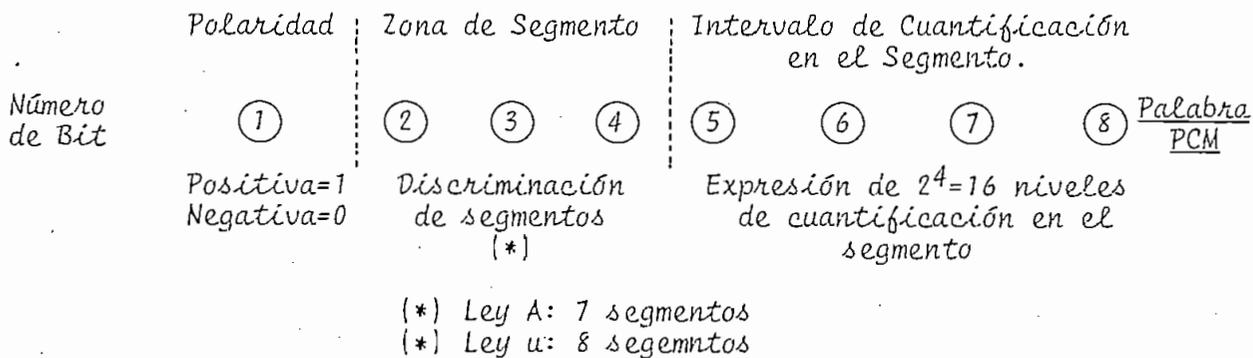


FIGURA II-4.7 REGLA DE LA CODIFICACION

La regla de compresión-codificación para la ley A que se muestra en la figura II-4.6 se determina solo para valores positivos de entrada, siendo simétrica para valores negativos.

II-5 DECODER

El circuito decodificador realiza la función complementaria del coder, esto es: se le aplica una señal binaria a la entrada y genera el impulso analógico correspondiente. Esta función se representa en el diagrama de bloques de la figura II-5, en la cual se incluye el filtro pasabanda Rx.

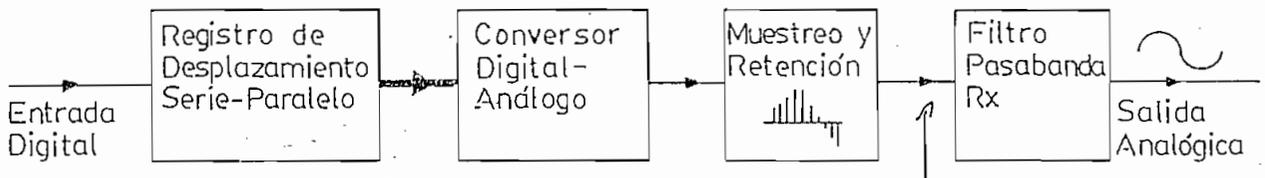


FIGURA II-5 DIAGRAMA DE BLOQUES DEL DECODER Y FILTRO PASABANDA RX

El registro de desplazamiento serie-paralelo obtiene los 8 bits de cada palabra PCM transmitida para obtener el impulso analógico respectivo, mediante el convertidor digital-análogo (CDA). Dicha conversión digital-análoga utiliza el método de aproximaciones sucesivas en la mayoría de circuitos integrados prácticos tanto por su alta velocidad como por su resolución.

La señal de salida del CDA ingresa al circuito muestreador-retenedor de manera que los impulsos analógicos sean generados únicamente después que el convertidor complete la palabra digital de datos en su salida, y retenga el último valor hasta que llegue la siguiente muestra.

Para la decodificación se toma en cuenta la compresión realizada en la señal transmitida (codificación por segmentos), siguiéndose el proceso inverso al realizado en el codificador.

II-6 FILTRO PASABANDA RECEPTOR

La señal de salida del circuito muestreador-retenedor (ver figura II-5)

ingresa finalmente al filtro pasabanda receptor, separando de la manera más fiel el mensaje en banda base de las armónicas que contiene la señal de impulsos análogos. El ancho de banda pasante va de forma similar al filtro pasabanda Tx hasta la frecuencia máxima $f_m = 3.4$ KHz. La característica del filtro de salida está dada por la relación $\text{sinc}(x) = \text{sen}(wx/2)/(wx/2)$ que provee la corrección necesaria para recuperar la señal análoga con la menor distorsión posible; la misma que se debe al muestreo-retención de las señales análogas transmitidas. (4)

Tanto las características del filtro pasabanda Tx como del filtro pasabanda Rx, citadas en los puntos II-3 y II-6 del presente Capítulo; son recomendaciones dadas por el CCITT para sistemas telefónicos digitales.

* CCITT, Libro Naranja, Volumen III-2, Recomendación G712.

II-7 MULTIPLEXER

→ El multiplexer, es el bloque encargado de combinar varias señales digitales, entrelazándolas en el dominio del tiempo en forma secuencial; a fin de transmitir las de manera multiplexada por una vía de transmisión. Este proceso se denomina "Multiplexado por División de Tiempo" (TDM).

→ El circuito fundamental en cualquier sistema TDM es el serializador; el cual acepta entrada de varios canales paralelos, permitiendo a cada uno ir tomando secuencialmente acceso a la salida. Justamente dada las características de circuito secuencial, deriva su normal funcionamiento del comando de señales de tiempo obtenidas a partir de un ^{SC} oscilador maestro de alta estabilidad.

En sistemas multiplex PCM se tienen las siguientes denominaciones y normas, propias de sistemas telefónicos:

- - Cada canal digital (Palabra PCM correspondiente a cada señal análoga) aparece en la señal multiplex a una frecuencia de 8000 Hz ($T_s = 125$ useg.), denominándose el tiempo asignado a cada canal como "Intervalo de Tiempo". Un juego de dígitos consecutivos de intervalos de tiempo que incluya a todos los canales transmitidos se conoce como "Trama" (identificada con el nombre Frame en inglés). La posición de cada dígito correspondientes a todos

(4) F. E. OWEN, "PCM and Digital Transmission Systems", Texas Instruments Electronic Series, Capítulo 3, pg. 51.

y cada uno de los intervalos de tiempo de una trama se identifica por una señal de sincronización de trama que se transmite periódicamente, y a partir de la cual se toma la referencia en el receptor.

El CCITT recomienda dos sistemas de transmisión PCM de primer orden:

- El sistema de 30 canales telefónicos (MIC 30+2) propuesto por CEPT (5).
- * CCITT, Libro Naranja, Volumen III-2, Recomendación G711&G732
- El sistema de 24 canales telefónicos propuesto por AT&T (6).
- * CCITT, Libro Naranja, Volumen III-2, Recomendación G733

En el presente proyecto se diseña e implementa un transmisor-receptor de 6 canales analógicos, dejando las bases suficientes para su aplicación en telefonía, así como para una futura ampliación hasta un número de 30 canales.

A continuación se describen cada uno de los sistemas antes mencionados en más detalle.

→ II-7.1 Sistema de 30 Canales Telefónicos

En la figura II-7.1 se presenta el diagrama de tiempos que indican la composición de Intervalo de Tiempo de Canal, Trama, y Señales de Base.

Una trama consta de 32 intervalos de tiempo (MIC 30+2), y cada intervalo de tiempo de canal tiene 8 bits. La velocidad de salida de bits del equipo del terminal es 2,0480Mbits/seg. A los 32 intervalos de tiempo de canal se les asigna los números 0 a 31: el intervalo de tiempo 0 se utiliza para transmitir la palabra de sincronización de trama (trama de por medio) y el intervalo de tiempo 16 para transmitir la información de señalización de cada canal, los restantes intervalos de tiempo tienen la información de los 30 canales de voz.

Cabe mencionar el multiplex de segundo orden, el cual se obtiene por el multiplexado de cuatro sistemas multiplex de primer orden.

- * CCITT, Libro Naranja, Volumen III-2, Recomendación G742.

[5] CEPT: Comunidad Europea de Correos y Comunicaciones

[6] AT&T: Compañía Americana de Telefonía y Telegrafía

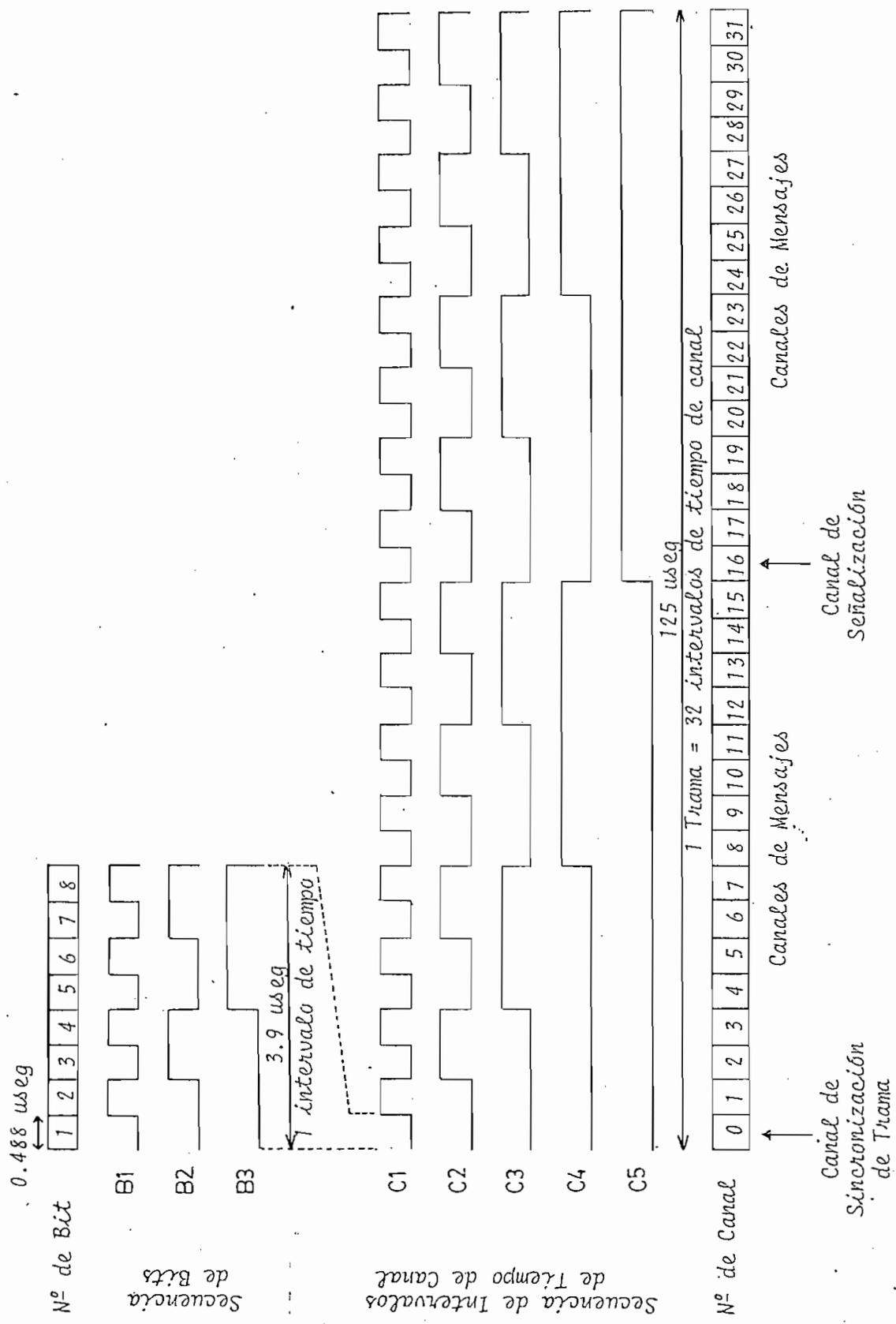


FIGURA II-7.1 COMPOSICION DE INTERVALO DE TIEMPO DE CANAL, TRAMA, Y SEÑALES DE BASE PARA EL SISTEMA DE 30 CANALES

Una estructura multitrama en este sistema se compone de 16 tramas, las cuales son convencionalmente numeradas de 0 a 15; según la respectiva recomendación del CCITT antes citada. Más información sobre la composición de la multitrama se da en el punto II-13.

II-7.11 Relación entre Dígito, Intervalo de Tiempo, y Trama

En el sistema MIC 30+2 se tienen las siguientes relaciones:

- $w = 1$ intervalo de tiempo de canal = 8 bits
 - $c = \#$ de canales telefónicos = 30 canales activos
 - 1 Trama = 32 intervalos de tiempo de canal = 256 bits
 - $f_s =$ frecuencia de muestreo de cada canal análogo = 8 KHz
 - $f_o =$ ritmo digital generado por el sistema = 2.048 Mbits/seg. ($f_o = 1/T_o$)
 - Ritmo binario de transmisión de información por canal = 64 Kbits/seg.
-
- duración de una trama = 125 useg. ($T_s = 1/f_s$)
 - duración de un intervalo de tiempo = 3.9 useg. ($T_s/32$)
 - duración de bitio = 0.488 useg. ($T_o = T_s/256$)

II-7.2 Sistema de 24 Canales Telefónicos

En la figura II-7.2 se da la estructura de una trama para el sistema de 24 canales.

Una trama se compone de 24 intervalos de tiempo de canal y un bit adicional para la señal de sincronización de trama; dicho bit adicional se utiliza igualmente para enviar la información de sincronización de multitrama. A los intervalos de tiempo de canal se les asigna los números 1 al 24, y corresponden a los 24 canales de voz.

La estructura multitrama de este sistema, comprende a 12 tramas, según la recomendación G733 del CCITT; y cuya característica se expone en el punto II-13 con mayor detalle.

El multiplex de segundo orden en este sistema se compone de cuatro sistemas multiplex de primer orden.

* CCITT, Libro Naranja, Volumen III-2, Recomendación G743

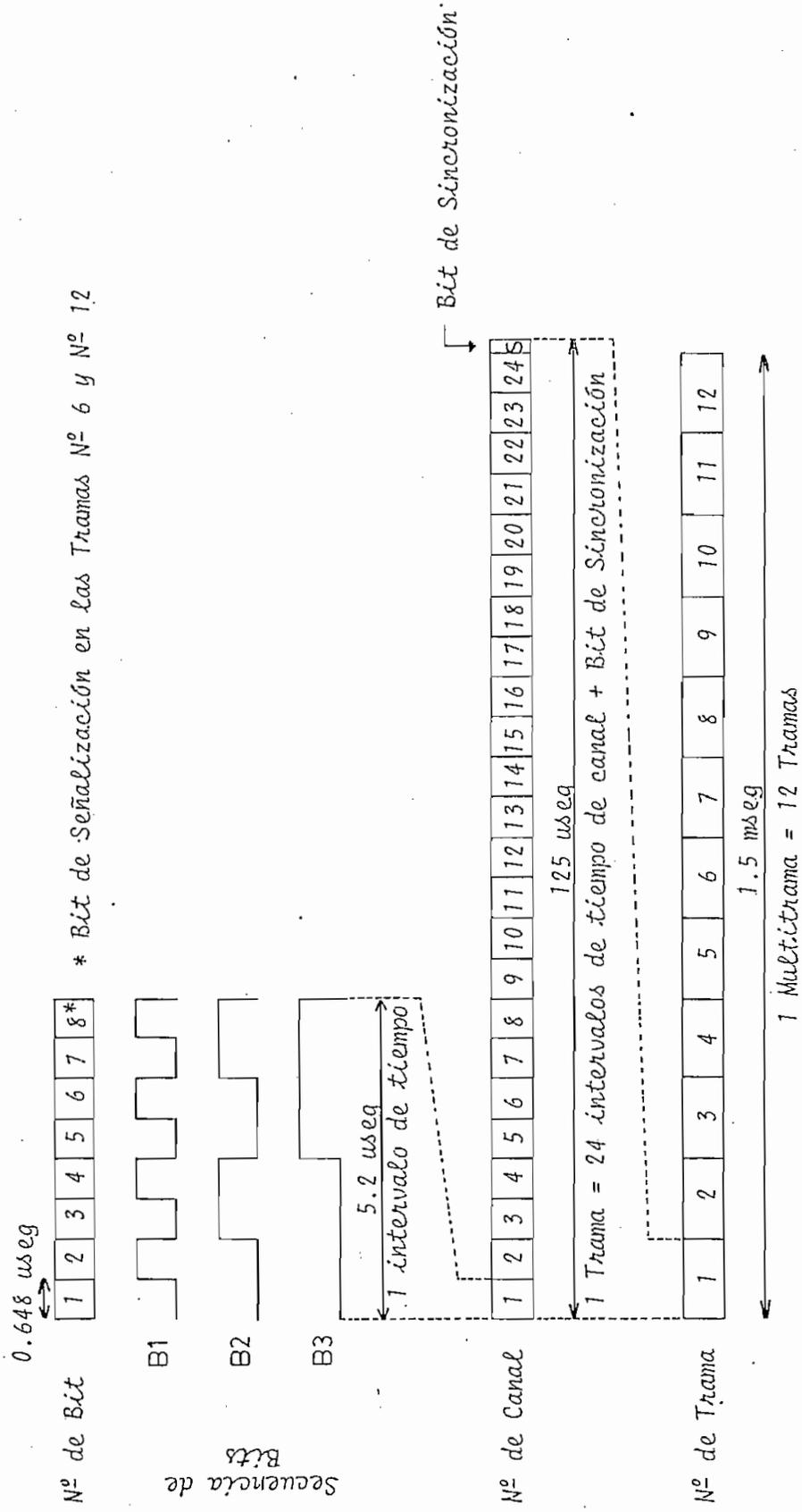


FIGURA II-7.2 COMPOSICION DE INTERVALO DE TIEMPO DE CANAL, TRAMA Y MULTITRAMA PARA EL SISTEMA DE 24 CANALES

II-7.21 Relación entre Dígito, Intervalo de Tiempo, y Trama

Para el sistema de 24 canales se dan las siguientes relaciones:

- $w = 1$ intervalo de tiempo de canal = 8 bits
- $c = \#$ de canales telefónicos = 24 canales activos
- T Trama = 24 intervalos de tiempo de canal + 1 bit (S) de sincronización = 193 bits (dígitos)
- $f_s =$ frecuencia de muestreo de cada canal análogo = 8 KHz
- $f_o =$ ritmo digital generado por el sistema = 1.544 Mbits/seg.
- Ritmo binario de transmisión de información por canal = 64 Kbits/seg.
- duración de una trama = 125 useg. ($T_s = 1/f_s$)
- duración de un intervalo de tiempo = 5.2 useg. ($T_o/8$)
- duración de un bitio = 0.648 useg. ($T_o = T_s/193$)

II-8 DEMULTIPLEXER

Este bloque realiza el proceso inverso al multiplexador, esto es, recibe la señal de varios canales digitales multiplexados en el tiempo y en-trega a la salida la información en los respectivos canales paralelos de manera secuencial; para lo cual debe sincronizar al demultiplexer con el multiplexer, y alinear las tramas de recepción con las respectivas tramas de transmisión de tal forma que el orden de los canales del terminal de emi-sión sea correctamente interpretado en el terminal de recepción.

Para cumplir con los objetivos anteriores el demultiplexador se comanda por señales externas que proveen la sincronización de bit (Circuito de Extracción de Reloj) y la sincronización de trama (Circuito de Reconocimiento y Alineación de Trama).

Los dos últimos bloques tratados en los puntos II-7 y II-8 en general son considerados como uno solo, denominándose todo el proceso "Multiplex por División de Tiempo". En el siguiente capítulo se realiza el diseño del Multiplexer y Demultiplex como un solo bloque.

II-9 INTERFASE DE LINEA

Una vez que la señal análoga (telefónica) ha sido convertida a forma digital (PCM), existen unos cuatro medios de transmisión disponibles para esta señal:

- Pares de cables telefónicos convencionales
- Cables Coaxiales
- Cables de Fibras Ópticas
- Enlaces de Microondas

Los pares convencionales se utilizan por su disponibilidad general. Son limitados a distancias cortas (2 a 3 Km) y ritmos binarios bajos (Múltiplex de primer orden) por su atenuación y acoplamiento entre pares.

Los cables coaxiales tienen mayor ancho de banda que los pares entorchados, y solucionan el problema de acoplamiento entre canales transmitidos por cables vecinos. Cada coaxial puede pasar de 10 a 50 Mbits/seg.

Un cable óptico típico de 2 cm. de diámetro puede tener hasta 144 fibras ópticas, cada una con capacidad de 50 Mbits/seg o más. Su uso se adapta muy bien a troncales entre centrales.

Los enlaces de microondas se prestan para distancias mayores, y se los usa con repetidores regenerativos cada 10 a 15 Km.

➤ Aún en el caso de transmisión por cables, es necesario adaptar la señal digital a las características del canal de transmisión, ya que caso contrario, la forma de onda de los pulsos llegarían distorsionados al receptor. Los requerimientos de la señal digital para una eficaz transmisión son:

- El esquema del código debe ser transparente para todas las señales binarias
- La señal codificada debe ser decodificada de manera única en el receptor
- No debe tener una componente continua significativa
- Se debe disponer un número significativo de cruces por cero para realizar la extracción de reloj en el receptor (Sincronización de Bit)
- La energía a bajas frecuencias debe ser pequeña
- Condiciones de señal inválida deben ser fácilmente detectables, que indiquen la calidad del enlace establecido.

→ El Interfase de Línea del Transmisor realiza la conversión de la señal binaria unipolar a una señal bipolar simétrica que presente las características antes mencionadas. Existen varios códigos utilizados actualmente para transmitir la señal, tales como, Bipolar, Modulación Digital FM, HDB3, AMI.

→ El Interfase de Línea del Receptor realiza el proceso inverso para recuperar la señal binaria unipolar de la señal bipolar que recibe. Extrae al mismo tiempo la información necesaria para obtener la señal de reloj del Receptor.

A continuación se describen brevemente los códigos HDB3 y AMI por ser los más ampliamente utilizados en la actualidad.

- Código Marca de Inversión Alternada Bipolar (AMI): El proceso de codificación genera marcas positivas y negativas alternadamente cada ocasión que una condición de 1_L ocurre dentro de la señal digital. La limitación de no poseer suficientes cruces por cero en forma continua (si existe una larga secuencia de ceros), se elimina realizando la inversión de los bits pares dentro de cada muestra de 8 bits en la palabra PCM.
- Código de Alta Densidad Bipolar de Orden 3 (HDB3): El proceso de codificación genera marcas positivas y negativas alternadamente cada ocasión que una condición de 1_L ocurre dentro del mensaje de la señal binaria. Pero, si una serie de cuatro ceros consecutivos ocurre, el cuarto cero es reemplazado por una marca con la misma polaridad de la marca precedente, siendo una marca de violación. Sin embargo si se producen dos violaciones consecutivas, la segunda violación tiene una polaridad inversa de la marca precedente.

En la figura II-9 se presentan los códigos de línea HDB3, AMI, Bipolar.

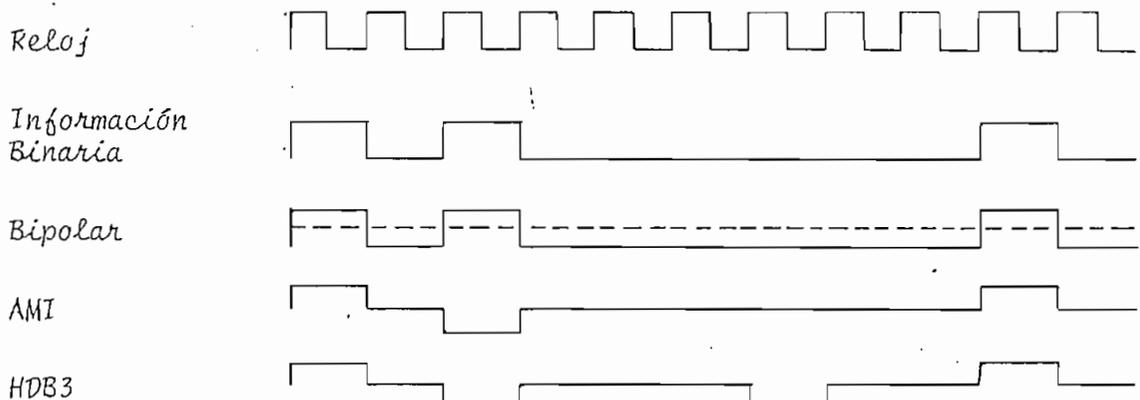


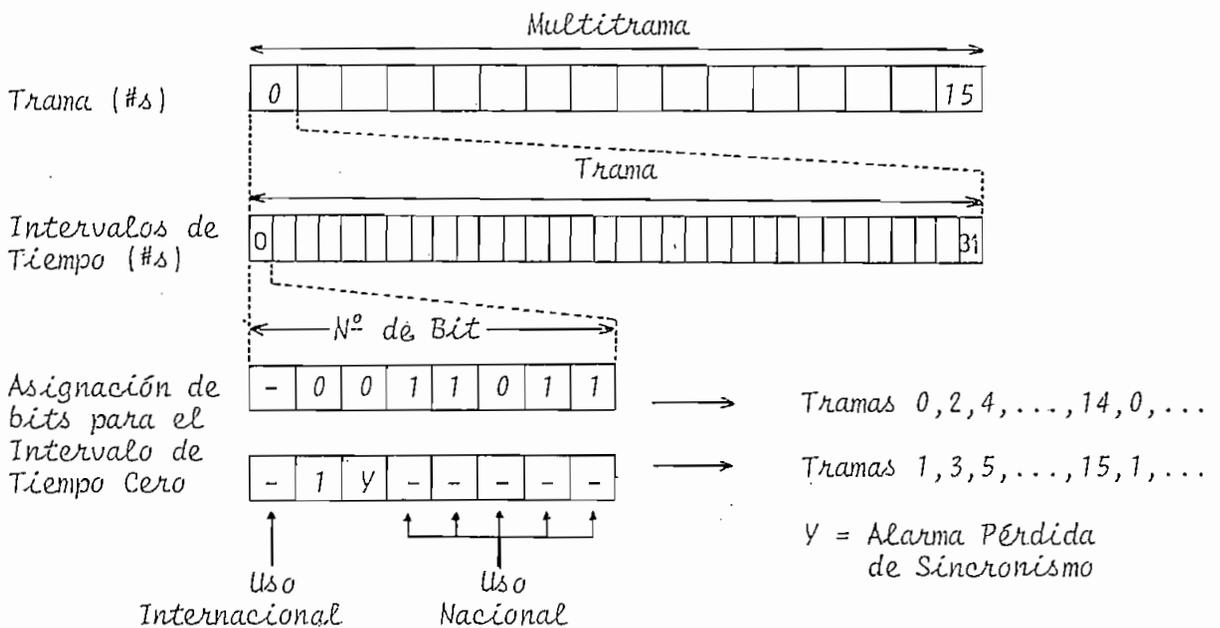
FIGURA II-9 CODIGOS DE LINEA HDB3 - AMI - BIPOLAR

II-10 GENERADOR DE LA PALABRA DE ALINEACION DE TRAMA

→ Este bloque se encarga de generar una secuencia de bits predeterminada para ser interlazada periódicamente con los intervalos de tiempo de información. La palabra de alineación de trama se representa con las letras FAW (Frame Alignment Word).

La secuencia de FAW debe escogerse de tal manera que la salida del circuito de detección cambie de nivel solo cuando la palabra completa haya sido recibida en el terminal receptor, independientemente de los dígitos que preceden o siguen.

→ En el sistema MIC 30+2 la FAW aparece como una palabra de 7 dígitos que se transmite en el intervalo de tiempo cero en las tramas pares (tramas 0, 2, 4, ...). El bit remanente (bit 1) se reserva para el monitoreo y control en aplicaciones de rutas internacionales. La figura II-10.1 indica el diagrama de tiempos de la palabra de alineación de trama referida al intervalo de tiempo, trama y multitrama.



→ FIGURA II-10.1 PALABRA DE ALINEACION DE TRAMA EN EL SISTEMA MIC 30+2

→ En el sistema de 24 canales la alineación de trama se realiza mediante el reconocimiento de un patrón determinado, transmitido en el bit S; y cuya composición se aprecia en la figura II-10.2.

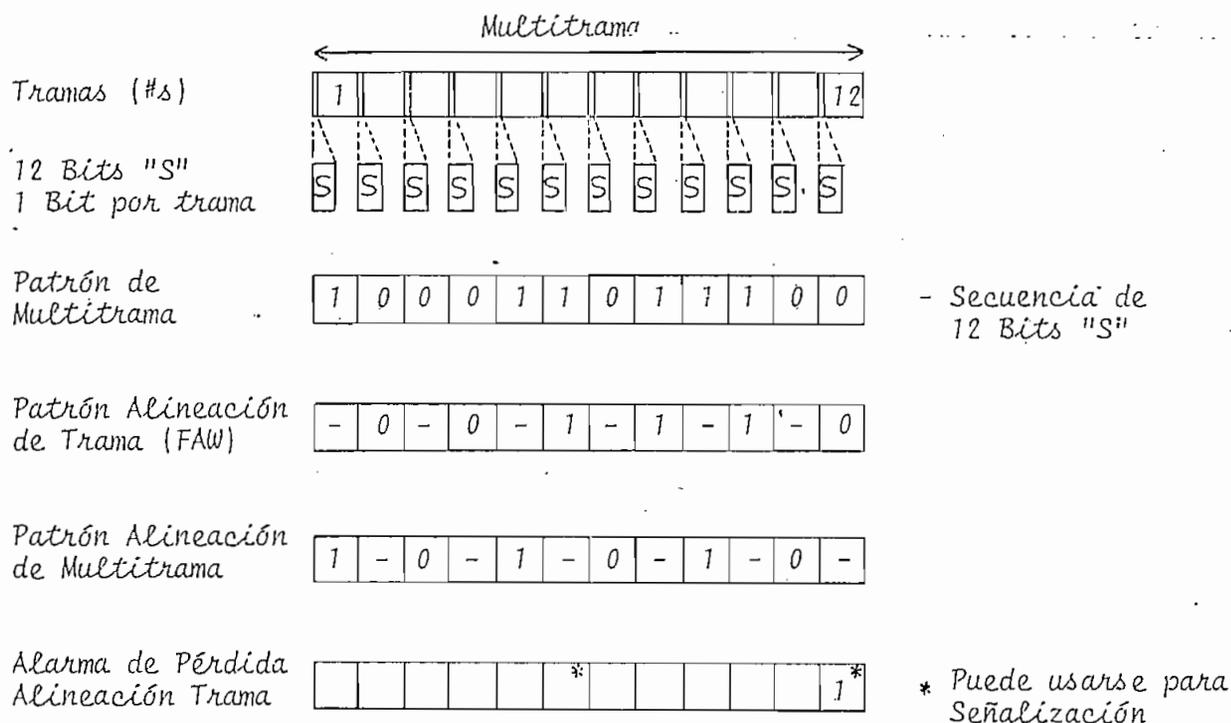


FIGURA II-10.2 PATRON DE ALINEACION DE TRAMA EN EL SISTEMA 24 CANALES

II-11 CIRCUITO DE SINCRONISMO

Este bloque realiza el Reconocimiento de la Palabra o Patrón de Alineación de Trama (FAW), para una vez reconocida dicha secuencia establecer la Sincronización de Trama entre el terminal remoto (Transmisor) y el Receptor.

En el terminal de recepción la señal de alineación de trama es reconocida como una secuencia única que se produce en los instantes de tiempo correcto y periódicamente. A partir de ese momento se dispone de la referencia que permite determinar el posicionamiento exacto de los canales en el receptor.

Una vez que el equipo ha sido alineado, se continuará verificando esta condición. Dado que errores de transmisión puedan ocasionar una mala interpretación ocasional de la secuencia de FAW, que no signifique la pérdida de sincronismo del equipo, se considera que se ha perdido la Alineación de Trama luego de tres ausencias consecutivas de coincidencia entre la secuencia código esperada y la información entrante en el terminal receptor, iniciándose la búsqueda del código de sincronismo.

II-12 INTERFASE DE LÍNEA DE ABONADO

El circuito de Interfase de Línea de Abonado (SLIC) tiene como funciones principales a varias operaciones como son:

- B = Suministro de alimentación a la línea de abonado
- O = Protección contra sobretensión
- R = Suministro de corriente para la señal de timbrado
- H = Híbrido: Conversión de 2 hilos a 4 hilos
- T = Prueba de la línea de abonado

* La letra al margen izquierdo identifica a cada una de las funciones.

En Circuitos Integrados de la más reciente tecnología de integración a gran escala, se han implementado la mayoría de las funciones antes descritas; resolviendo cada fabricante de manera particular los diferentes pro-blemas que se presentan, como la alimentación de línea al abonado, el suministro para la corriente de repique, etc. ; todas estas operaciones comandadas con señales lógicas. Debido a esto, se dan detalles más específicos del SLIC en el diseño del circuito en el punto III-7.

→* II-13 ADAPTADOR DE SENALIZACION

En sistemas múltiplex telefónicos se requiere la emisión y recepción de varias señales de supervisión de la red y del sistema en general. Esto se realiza mediante el envío de bits de señalización y bits de comando en los Sistemas Telefónicos Digitales. Dichos bits contienen la información del estado de todos y cada uno de los canales telefónicos, así como también del estado operativo del terminal distante. Los instantes en que se transmite esta información, así como su configuración difieren en los dos sistemas recomendados por el CCITT; y cuyas particularidades se describen a continuación:

- * - En el sistema MIC 30+2 se utiliza el intervalo de tiempo dieciseis para transmitir la información de señalización de todos y cada uno de los canales, con una velocidad de 2.0Kbits/seg. para cada canal.

El cuadro II-13.1 muestra la composición de la Multitrama de Señalización para el Sistema de 30 canales telefónicos.

Trama	Dígitos del Intervalo de Tiempo Dieciseis							
	1	2	3	4	5	6	7	8
0	0	0	0	0	1	X	0	1
1	a1	b1	c1	d1	a17	b17	c17	d17
2	a2	b2	c2	d2	a18	b18	c18	d18
3
.
.
15	a15	b15	c15	d15	a31	b31	c31	d31

a_i, b_i, c_i, d_i : dígitos de señalización del canal i .
 X : bit que indica la pérdida de sincronismo de la multitrama en el terminal distante.

→ CUADRO II-13.1 ESTRUCTURA DE LA MULTITRAMA PARA EL SISTEMA MIC 30+2

Los cuatro primeros bits de la trama cero se utilizan para enviar el código de alineación de multitrama en el terminal distante. El bit 6 de la misma trama contiene la información relativa a la alineación de la multitrama en el terminal transmisor, siendo una señal de supervisión. Se han atribuido 4 bits de señalización por canal de conversación en las tramas uno hasta la trama quince.

* - En el sistema de 24 canales se puede transmitir la señalización por canal común usando el patrón de bits S a una velocidad de 4 Kbits/seg; o usar la señalización asociada al canal (denominada Sistema de robo de Bits) utilizando el bit 8 de cada intervalo de tiempo de canal de las tramas numeros seis y doce.

En el cuadro II-13.2 se presenta la estructura de la multitrama para el sistema de 24 canales.

El adaptador de señalización permite que dicha información sea transmitida y recibida en la correspondiente posición referencial de cada canal, de acuerdo a cada uno de los sistemas.

Número de Trama	Señal de Sincronización de Multitrama (S)	Número de Bits en cada Intervalo de Tiempo		Canal de Señalización
		Señal Vocal	Señalización	
1	-	1-8	-	
2	0	1-8	-	
3	-	1-8	-	
4	0	1-8	-	
5	-	1-8	-	
6	1	1-7	8	A
7	-	1-8	-	
8	1	1-8	-	
9	-	1-8	-	
10	1	1-8	-	
11	-	1-8	-	
12	(0)	1-7	8	B

CUADRO II-13.2 ESTRUCTURA MULTITRAMA PARA EL SISTEMA DE 24 CANALES

II-14 SISTEMA DE ALARMAS

La provisión de alarmas en redes telefónicas que permitan un rápido diagnóstico de fallas ocurridas en el sistema y un eficaz mantenimiento del mismo, es completamente necesaria.

Para los sistemas Multiplex PCM el CCITT recomienda las condiciones de alarma que deben ser detectadas:

* CCITT, Libro Naranja. Volumen III-2, Recomendación G732 & G733

- Falla en la alimentación
- Pérdida de alineación de trama local
- Pérdida de alineación de multitrama local
- Pérdida de alineación de trama en el terminal distante
- Pérdida de alineación de multitrama en el terminal distante
- Condición de Alarma para un promedio de errores excesivos
- Condición de alarma en el circuito de supervisión del codec
- Ausencia de señal en la salida del transmisor (salida multiplex)
- Ausencia de señal a la entrada del receptor (entrada multiplex)

II-15 GENERADOR DE SEÑALES Y CONTROL

Este bloque incluye todos los circuitos encargados de generar las diferentes señales de temporización a partir de la señal de reloj transmisor y reloj recuperado, así como también las señales de control necesarias en los distintos bloques del sistema transmisor-receptor (Multiplex PCM).

Este es el último bloque que se lo diseña y describe debido a que sus características y funciones que debe cumplir, se relacionan directamente con los circuitos integrados específicos que se emplee en la implementación de las diferentes etapas del equipo multiplex.

C A P I T U L O I I I

D I S E Ñ O E I M P L E M E N T A C I O N

- III-1 INTRODUCCION
- III-2 CIRCUITO DE RELOJ MAESTRO TX/RX
- III-3 CODEC Y FILTROS TX/RX
- III-4 MULTIPLEX
- III-5 GENERADOR DE FAW
- III-6 RECONOCIMIENTO DE FAW Y ALINEACIÓN DE TRAMA
- III-7 INTERFASE DE LINEA DE ABONADO
- III-8 INTERFASE DE LINEA TX/RX
- III-9 ADAPTADOR DE SEÑALIZACION
- III-10 SISTEMA DE ALARMAS
- III-11 GENERADOR DE SEÑALES Y CONTROL
- III-12 IMPLEMENTACION

CAPITULO III

DISEÑO E IMPLEMENTACION

III-1 INTRODUCCION

En el presente capítulo se desarrolla el fundamento teórico y las consideraciones prácticas de los distintos circuitos necesarios para el diseño e implementación del Sistema Transmisor-Receptor de 6 Canales Analógicos, objetivo inicial de la presente tesis.

De acuerdo a lo descrito en el capítulo anterior y para realizar un diseño óptimo, se ha dividido al Transmisor-Receptor en varias etapas, como se indica en el diagrama de bloques de la Figura III-1.

El diseño de los circuitos correspondientes a cada uno de los bloques se realiza de manera independiente entre ellos, aún cuando sus funciones comanden o dependan de otro u otros circuitos; y cuya correlación dará las características de cada uno de los circuitos a implementarse.

En el diagrama de bloques de la Figura III-1 ciertas funciones se han incorporado en un solo bloque ya sea por su estrecha relación, o debido a que se las encuentra implementadas en un solo circuito integrado. Así se puede dividir al Trans-Receptor en las siguientes etapas:

- Circuito de Reloj Maestro Tx/Rx
- Codec y Filtros Tx/Rx
- Multiplex por División de Tiempo
- Generador de F.A.W.
- Circuito de Reconocimiento de F.A.W. y de Alineación de Trama (Sincronismo)
- Circuito de Interfase de Línea de Abonado (SLIC)
- Interfase de Línea Tx/Rx
- Adaptador de Señalización Tx/Rx
- Sistema de Alarmas
- Generador de Señales y Control

En los siguientes puntos de este capítulo se describen los circuitos prácticos que se diseñan, de acuerdo a las características y objetivos del presente proyecto.

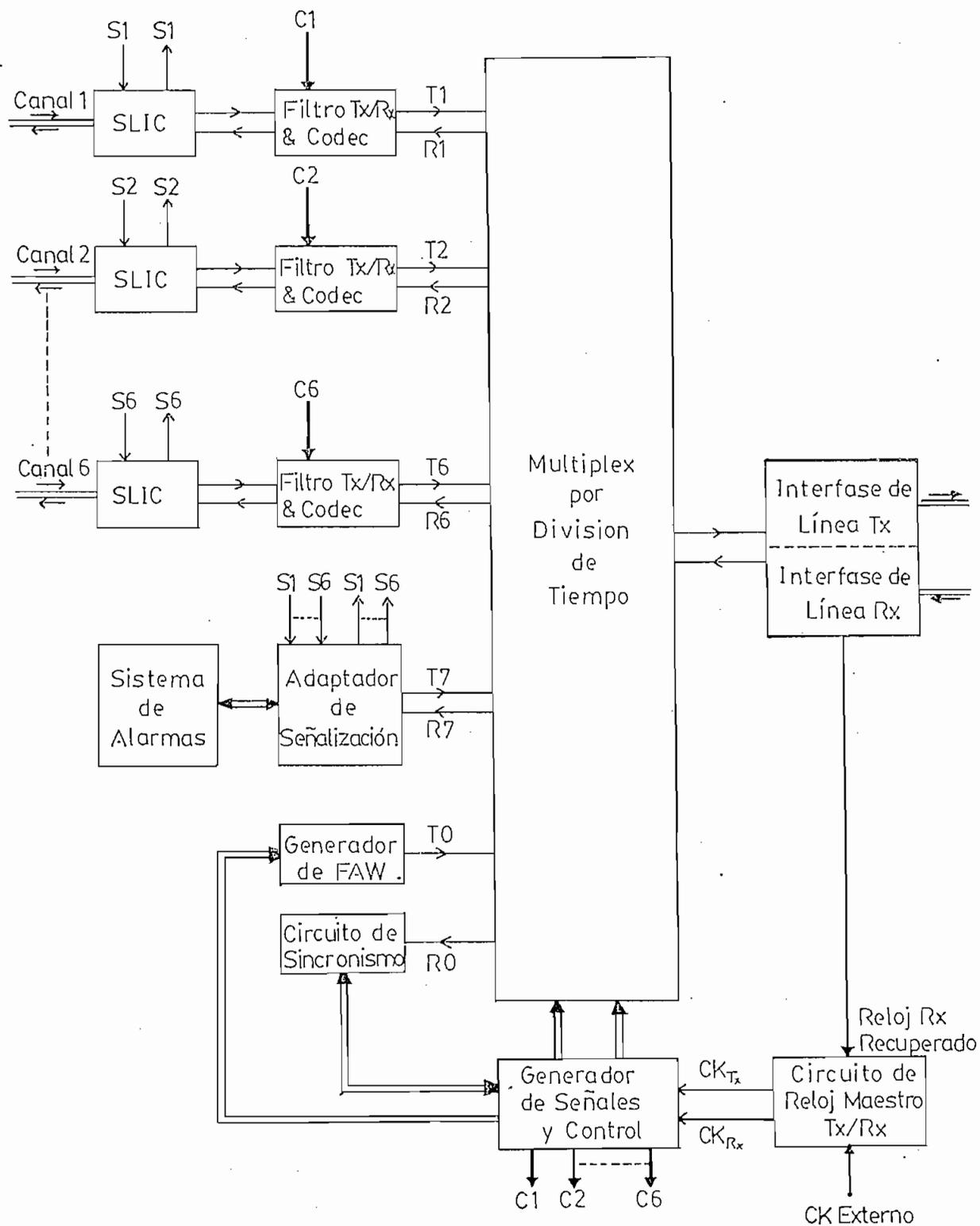


FIGURA III-1 DIAGRAMA DE BLOQUES DEL TRANS-RECEPTOR DE 6 CANALES ANALOGOS

III-2 CIRCUITO DE RELOJ MAESTRO TX/RX

⇒ III-2.1 Consideraciones Teóricas

El circuito de reloj maestro transmisor debe permitir tener como señal de reloj maestro a una de las tres señales siguientes:

- Señal proveniente de un oscilador interno
- Señal proveniente del circuito de extracción del reloj maestro receptor
- Señal de reloj maestro externo

El diagrama de bloques de la Figura III-2.1 indica como se incluyen a las tres opciones, mediante el comando de un switch (SW1). La señal de reloj maestro recuperado se indica directamente, ya que el circuito de extracción del reloj Rx es tratado en el punto III-8 correspondiente al Interfase de Línea Rx.

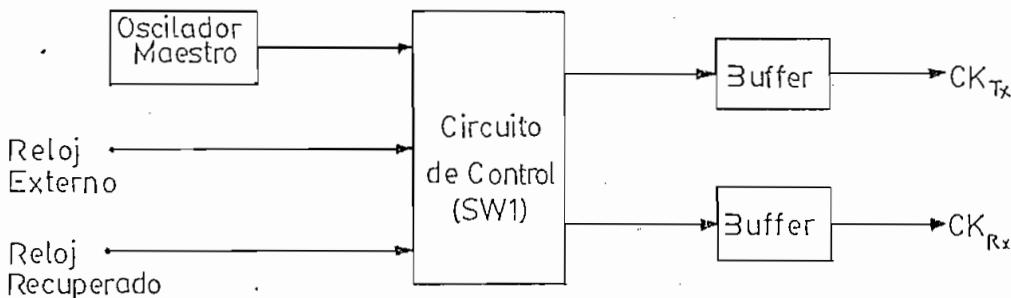


FIGURA III-2.1 DIAGRAMA DE BLOQUES DEL CIRCUITO DE RELOJ MAESTRO TX/RX

→ La principal condición que deben cumplir las tres señales de reloj, se refiere a la estabilidad de frecuencia del circuito que las genera. La señal de reloj debe tener una variación máxima de 50 ppm (50 Hz en 1 MHz), según la recomendación respectiva del CCITT para señal de Reloj Maestro. Esta condición debe ser tomada en cuenta si la señal de reloj va a ser externa; debiendo verificarse si esta cumple con dicha estabilidad, para usarla como señal de reloj maestro.

→ La frecuencia f_0^{24000} del reloj maestro está determinada por el ritmo digital generado por el sistema multiplex PCM, y de acuerdo al Sistema de referencia escogido. En el presente proyecto se toma como base al Sistema MIC 30+2 tanto por su mayor capacidad posible de obtener, como por su mayor difusión

en Latinoamérica.

Considerando lo anterior, la frecuencia f_0 estará determinada por la ecuación III.1 (Ver II-7.11)

$$f_0 = w \cdot f_s \cdot (c+2) \quad (\text{III.1})$$

en donde: $c+2$ = # de intervalos de tiempo por trama

f_s = frecuencia de muestreo = 8 KHz

w = # de dígitos por intervalo de tiempo = 8 bits

En el presente proyecto tenemos 6 canales análogos, un canal adicional para transmitir la palabra de sincronización de trama (FAW) y otro canal para transmitir la información de señalización; esto es, se tendrían 8 intervalos de tiempo por trama; no obstante dada la posible aplicación del sistema para un mayor número de canales, se utiliza como frecuencia de reloj maestro la que se tendría para el sistema MIC 30+2.

Se tiene por tanto: $c+2$ = 32 intervalos de tiempo por trama

$$f_0 = 8 \times 8 \text{ KHz} \times (32)$$

$$f_0 = 2.048 \text{ MHz}$$

III-2.2 Diseño del Oscilador Maestro Interno

Se procede al diseño del oscilador maestro interno directamente, incluyendo a las dos opciones adicionales (Ver Figura III-2.1) al presentar el circuito implementado en el siguiente punto.

→ El oscilador maestro interno se implementa con el C.I. SN74S124 (TTL), el cual consta de dos osciladores controlados por voltaje, y cuya frecuencia central de oscilación viene determinada por un componente externo, el cual puede ser un Cristal de la frecuencia f_0 deseada o por un condensador.

El rango de frecuencias en que opera el C.I. va de 1 Hz a 60 MHz, siendo adecuado para la f_0 deseada. Si el componente externo es un cristal de cuarzo, la estabilidad de frecuencia es alta; y si es un condensador aún cuando disminuye (dependiendo exclusivamente del elemento externo utilizado), la estabilidad se mantiene en los dos casos dentro de la recomendación del CCITT.

Debido a limitaciones propias del medio se trabajó con un condensador como componente externo, cuyo cálculo se realiza con las ecuaciones III.2 y III.3 dadas en el manual respectivo:

$$f_o(\text{base}) = 5 \times 10^{-4} / C_{\text{ext}} \quad (\text{III.2})$$

$$f_o = f_n \cdot f_o(\text{base}) \quad (\text{III.3})$$

donde: $f_o(\text{base})$ = frecuencia de salida base en Hz

C_{ext} = condensador externo en Faradios

f_o = frecuencia de salida en Hz = 2.048 MHz

f_n = frecuencia de salida normalizada

Despejando C_{ext} de la ecuación III.2 y reemplazando el valor de f_o como el valor de $f_o(\text{base})$ tenemos:

$$C_{\text{ext}} = 5 \times 10^{-4} / 2048 \times 10^3 \quad (\text{F}) \quad C_{\text{ext}} = 244 \text{ pF}$$

Tomamos el valor normalizado más cercano: $C_{\text{ext}} = 250 \text{ pF}$

$$\text{Por tanto: } f_o(\text{base}) = 5 \times 10^{-4} / 250 \times 10^{-12} \quad (\text{Hz}) \quad f_o(\text{base}) = 2.0 \text{ MHz}$$

$$\text{De la ecuación III-3: } f_n = 2.048 \times 10^6 / 2.0 \times 10^6 \quad f_n = 1.02$$

En las curvas características del C.I. SN74S124 con el valor obtenido para f_n encontramos la magnitud de voltaje en las entradas de control:

$$V_i(\text{rng}) = V_i(\text{freq}) = 1.6 \text{ (V)}$$

Dado que las dos entradas de control tienen el mismo voltaje, utilizamos un potenciómetro como divisor de voltaje, según se muestra en la Figura III-2.21; tomando en cuenta que cada entrada consume 10 μA .

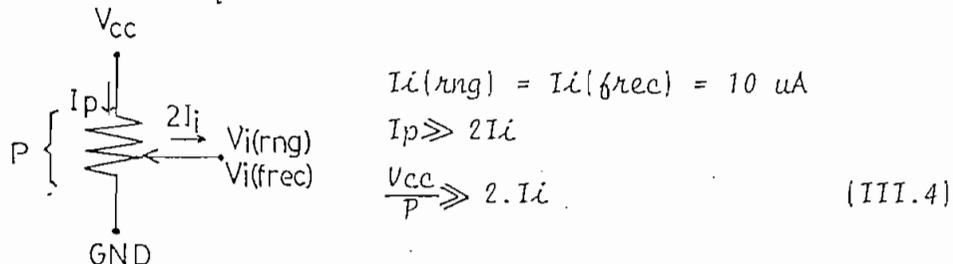


FIGURA III-2.21 DIVISOR DE VOLTAJE PARA LAS ENTRADAS DE CONTROL

$$\text{De la ecuación III.4: } P \ll \frac{5 \text{ V}}{20 \mu\text{A}} \quad P \ll 250 \text{ K}\Omega$$

$$\text{Se escoge: } \underline{P = 10 \text{ K}\Omega}$$

En la Figura III-2.22 se presenta el circuito correspondiente al oscilador maestro interno.

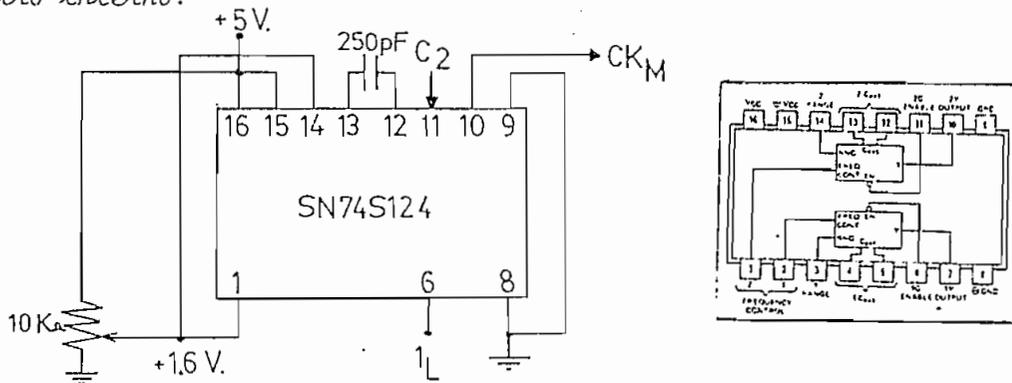


FIGURA III-2.22 CIRCUITO DEL OSCILADOR MAESTRO INTERNO

III-2.3 Diseño del Circuito de Control y Buffer

Mediante el comando de un switch (SW1) de tres posiciones se escoge a cualquiera de las tres opciones previstas en el sistema (Ver III-2.1). Las salidas del Reloj Maestro del Transmisor (CK_{Tx}) y del Reloj Maestro del Receptor (CK_{Rx}) deben provenir de buffers dado que cada una de ellas va a comandar varios circuitos lógicos, que podrían degradar la señal; si se supera el fan-out (# de entradas posibles de conectar a una salida) de las salidas del Circuito de Reloj.

Tanto para el Reloj Maestro Transmisor como para el Reloj Maestro Receptor se han previsto dos salidas independientes para cada uno de ellos: CK_{Tx1} - CK_{Tx2} y CK_{Rx1} - CK_{Rx2} respectivamente; las primeras para comandar al Circuito de Control y las segundas van hacia los Circuitos de los Codecs; que permitirá ampliar la capacidad del número de canales multiplex PCM sin inconvenientes.

- Para el buffer de salida del CK_{Tx} se ecoge el C.I. SN74LS241, que contiene a 8 buffers de salidas tres estados con entradas de habilitación complementarias G y \bar{G} , agrupando cuatro buffers cada una de ellas. Dicha disposición de habilitación, permite con una señal de comando (C1) escoger una de dos entradas para la salida; como se indica en la Figura III-2.31.

La señal de comando que va hacia las dos entradas de habilitación G y \bar{G} se obtendrá a partir del control del switch SW₁. El reloj CK_1 corresponde a una de las otras dos opciones: Reloj Maestro Interno ó Reloj Externo; y cuyo diseño se presentará posteriormente.

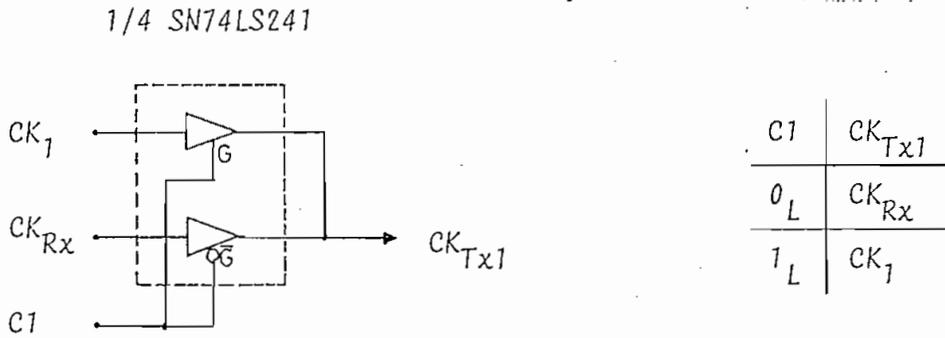


FIGURA III-2.31 CIRCUITO DE SALIDA PARA CK_{Tx1}

Se utiliza al C.I. SN74265 que contiene a cuatro compuertas lógicas con salidas complementarias ($Q - \bar{Q}$) y a la entrada de habilitación (\bar{G}) del C.I. SN74S124 (Ver Figura III-2.22) para escoger la señal de Reloj Maestro Interno ó a la señal del Reloj Externo (CK_{ext}) como señal de reloj CK₁, mediante el comando de C2. Dicha disposición se presenta en la Figura III-2.32

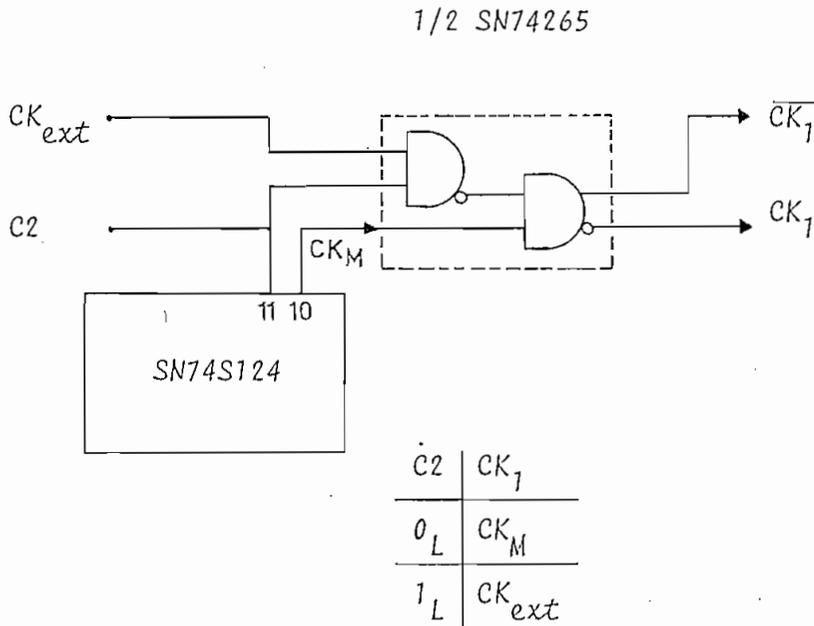


FIGURA III-2.32 CIRCUITO DE SALIDA PARA CK₁

Las señales de comando C1 y C2 se implementan con el switch SW1 según se muestra en la Figura III-2.33. Dado que SW1 tiene tres posiciones, existirán solamente tres posibles combinaciones; realizándose el diseño de acuerdo a las dos tablas de verdad presentadas en las Figuras III-2.31 y III-2.32

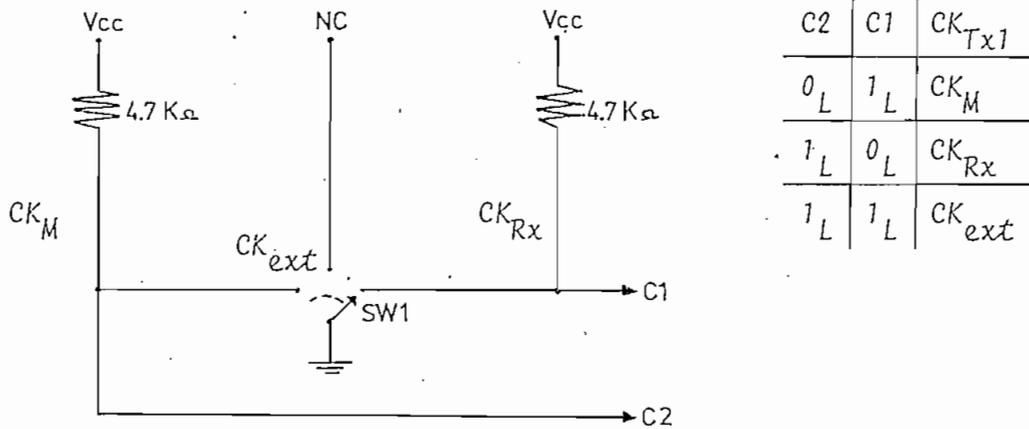


FIGURA III-2.33 CIRCUITO DE CONTROL - SW1

- Adicionalmente se incluyen en el circuito total, la salida $\overline{CK_{Tx}}$ utilizando las salidas negadas $\overline{CK_T}$ y $\overline{CK_{Rx}}$ del circuito integrado SN74265.

- Para el buffer de la señal de Reloj Recuperado (CK_{Rx}) se escoge el C.I. SN74LS367, que se compone de seis drivers.

Para el diseño y el uso de los distintos C.I. se tomó principalmente en cuenta la función de cada uno de ellos, y que el rango de uso referente a la frecuencia de las señales, temperatura, esten dentro de los parámetros especificados por el fabricante. Para mayor información de los C.I., puede referirse al manual respectivo citado en la Bibliografía.

La señal de Reloj Recuperado (CK_{Rx}) se incluye directamente, proveniente del Circuito de Interfase de Línea Rx.

III-2.4 Circuito Implementado

El circuito de Reloj Maestro Tx/Rx se muestra en la Figura III-2.4, de acuerdo a los diseños presentados en los puntos anteriores.

Cabe mencionar la colocación de un disipador en el C.I. SN74S124 debido a su elevación de temperatura (que alteraba su f_0 de oscilación) dado el funcionamiento continuo al que es expuesto.

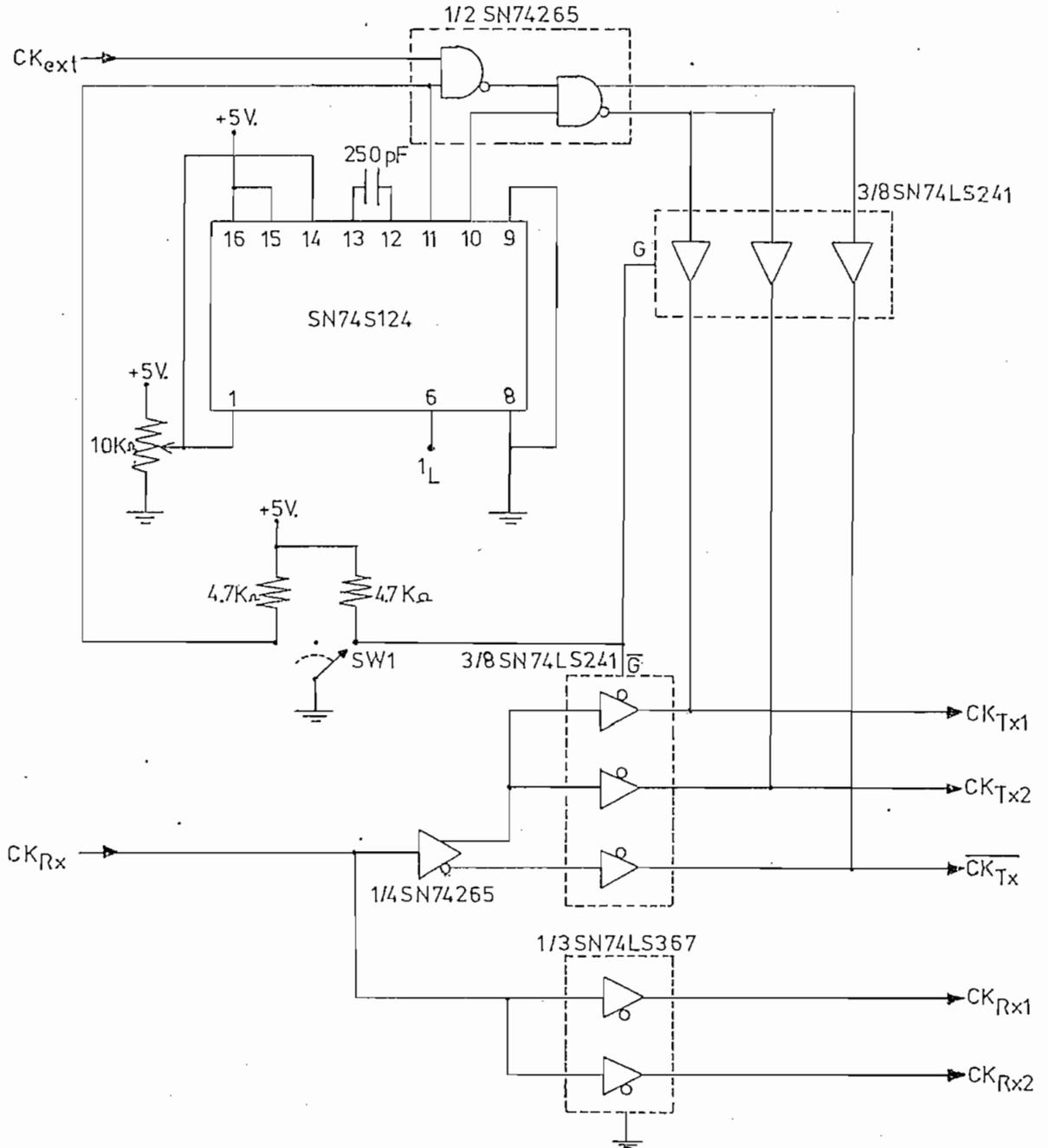


FIGURA III-2.4 CIRCUITO DE RELOJ MAESTRO TX/RX

III-3 CODEC Y FILTROS TX/RX

III-3.1 Consideraciones teóricas

Se realiza el diseño en conjunto del Codec y Filtros Tx/Rx debido a la estrecha relación que guardan entre sí, tomando en cuenta que inclusive en C.I. de reciente aparición contienen a los Filtros de Entrada (Tx), de Salida (Rx) y al Coder y Decoder (Codec).

La integración práctica del Codec y Filtros Tx/Rx para uso en sistemas multiplex PCM, es naturalmente muy dependiente del proceso tecnológico disponible por cada fabricante; lo cual influirá directamente en su costo.

Las principales características deseables para estos C.I. son:

- Pequeña area del Chip
- Bajo consumo de potencia
- Menor número de fuentes de alimentación y tolerancia apropiada
- Mínimo número de componentes externos.
- Mínimo número de interfases entre el Codec, Filtros, SLIC y Circuito Multiplex.
- Alta rentabilidad

En cuanto a las características propias del Codec que se debe tomar en consideración, tenemos:

- Proveer la conversión análogo-digital y digital análogo de acuerdo a las normas establecidas por el CCITT para sistemas Multiplex PCM. Esto es encodificar la señal análoga entrante a una palabra PCM de 8 bits y traer la palabra PCM del bus de datos del receptor para decodificarla en su valor análogo correspondiente.
- Mínima frecuencia de muestreo = 8 KHz.
- Desactivación del Chip (Stand-By), para disminuir el consumo de potencia mientras el canal respectivo no este activo.
- Tiempo de conversión bajo, para proveer futuras aplicaciones como adquisición de datos, telemetría, etc.
- Factibilidad de usarlo con 6 canales análogos, objetivo inicial de la presente tesis; y con la posibilidad de ampliar el sistema hasta 30 canales telefónicos sin cambios radicales en su configuración.
- Operaciones de transmisión y recepción de manera sincrónica ó asíncrona

crónica; lo cual permite mayores aplicaciones como Transmisión en Concentradores, Conmutación en Centrales Telefónicas.

Las especificaciones básicas que debería tener el C.I. que contenga al Filtro Tx/Rx son:

- Filtro pasabajo restringiendo el ancho de banda del mensaje análogo, en concordancia con el Teorema de Muestreo de Nyquist.
- Característica de Filtro pasabanda (opcional)
- Atenuación de 30 a 40 dB en las frecuencias principales como: frecuencia de línea (60 Hz), frecuencia de muestreo (8 KHz) y armónicos. La atenuación que se da a la frecuencia de línea se denomina Rejection.
- Atenuación en las bajas frecuencias utilizadas por los tonos de señalización.
- Respuesta nominal plana en el ancho de banda pasante de la señal.
- Mínima distorsión por retardo de propagación.

III-3.2 Diseño:

En la actualidad existen varios fabricantes que producen Codecs y Filtros con las características necesarias para su uso en sistemas Multiplex PCM. Se escogen los circuitos integrados de la Intel: 2911 (Codec) y 2912 (Filtro Tx/Rx) por su disponibilidad.

Los dos C.I. cumplen todos los requisitos técnicos descritos en el punto anterior; analizando a continuación a cada uno de ellos, y describiendo finalmente al circuito práctico implementado.

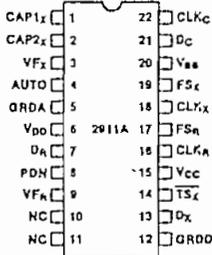
III-3.3 Descripción del C.I. 2911

El C.I. 2911 de la Intel, es un Codec PCM que contiene al Coder-Decoder, fabricado con tecnología MOS canal N.

Sus aplicaciones primarias son en sistemas telefónicos, como transmisión, conmutación, concentradores; no obstante la factibilidad de usarlo en Sistemas de Procesamiento de Señal, Telemetría, etc.

La Figura III-3.31 muestra el diagrama de bloques interno del C.I. 2911

PIN CONFIGURATION



PIN NAMES

CAP 1x, CAP 2x	Holding Capacitor
VF _x	Analog Input
VF _R	Analog Output
D _A , D _R	Digital Input
D _x , TS _x	Digital Output
CLK _C , CLK _R , CLK _X	Clock Input
FS _x , FSR	Frame Sync Input
AUTO	Auto Zero Output
V _{BB}	Power (-5V)
V _{CC}	Power (+3V)
V _{DD}	Power (+12V)
PDN	Power Down
GRDA	Analog Ground
GRDD	Digital Ground
NC	No Connect

BLOCK DIAGRAM

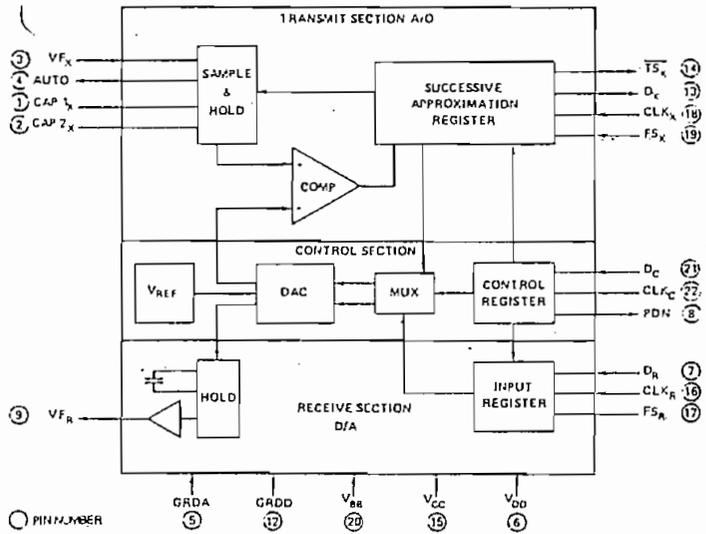


FIGURA III-3.31 DIAGRAMA DE BLOQUES DEL C.I. 2911

El Codec codifica la señal análoga de entrada en una Palabra PCM de 8 bits, la cual se transmite; similarmente, del enlace de recepción trae la Palabra PCM de 8 bits decodificandola a su valor análogo respectivo, que permanece constante en la salida hasta recibir la siguiente palabra.

Las tramas de transmisión y recepción son independientes, y pueden ser sincrónicas o asincrónicas entre sí. Una circuitería interna en el Codec define los intervalos de tiempo de transmisión y recepción.

El C.I. puede permanecer en Stand-by mediante el comando de señal externa, y a su vez comandar el activado o nó del Filtro Tx/Rx (C.I. 2912).

A continuación se da una rápida revisión de las operaciones de control codificación, decodificación, modo Stand-by, ley de conversión, y aplicaciones del C.I. 2911.

Para mayor información referirse al ANEXO B.

→ - Control del Codec: La operación del C.I. 2911 está definida por la carga serial de una palabra de 8 bits a través de las entradas D_C y CK_C . La carga es asincrónica con las otras operaciones del Codec. La asignación completa de un intervalo de tiempo se produce con 8 transiciones negativas en CK_C . El Codec retendrá la palabra (ó palabras) de control hasta que una nueva palabra se cargue ó exista una pérdida de alimentación.

La palabra de control contiene dos campos:

Los dos primeros bits (bit 1 y bit 2) definen el modo de operación del Codec, según el Cuadro III-3.32. Al llevar el Codec al modo Stand-by, los 6 bits siguientes son irrelevantes.

Bit 1	Bit 2	MODO
0	0	Transmisión y Recepción
0	1	Solo Transmisión
1	0	Solo Recepción
1	1	Stand-by

CUADRO III-3.32 MODOS DE OPERACION DEL CODEC

Los 6 bits menos significativos definen el intervalo de tiempo asignado al Codec, según la aplicación definida por el primer campo. Se pueden definir 64 intervalos de tiempo, siendo el bit 3 el más significativo y el bit 8 el menos significativo (el último en ingresar al Codec).

El Cuadro III-3.33 presenta la asignación de intervalo de tiempo:

# de Bit						Intervalo de Tiempo
3	4	5	6	7	8	
0	0	0	0	0	0	1
0	0	0	0	0	1	2
.
.
1	1	1	1	1	1	64

CUADRO III-3.33 ASIGNACION DEL INTERVALO DE TIEMPO

La Figura III-3.34 muestra un ejemplo particular de asignación de la palabra de control. Se indica además los dos campos que contiene esta.



FIGURA III-3.34 DEFINICION DE OPERACION DEL CODEC - PALABRA DE CONTROL

- Modo de Control Microprogramado [2911A-1]: En este modo cada Codec presenta su propio intervalo de tiempo, independientemente para los canales de transmisión y recepción, que se establecen por el conteo interno de pulsos en las señales de reloj CLK_X y CLK_R . Pueden existir buses separados para la transmisión y recepción, o transmitir y recibir sobre el mismo bus para todos los Codecs de manera sincrónica ($CLK_X=CLK_R$). No existen otras restricciones en la asignación del intervalo de tiempo.

Existen ciertas condiciones que se deben cumplir en la asignación del modo de operación del Codec:

1. Una asignación completa de un intervalo de tiempo debe realizarse en menos de un período de trama. CLK_C debe ir al nivel bajo TTL (0_L) cuando no se realicen asignaciones.
 2. Un período muerto de 2 tramas debe observarse entre sucesivas asignaciones de intervalos de tiempo, tomado a partir del primer flanco positivo de la asignación precedente.
 3. Cuando el Codec está deshabilitado, una sola palabra de control será necesaria para habilitar al Codec y realizar la asignación.
 4. El circuito contiene la función de Clear en el encendido, que inicializa al aparato sin asignación de intervalo de tiempo tanto en transmisión como en recepción.
- Modo de Control Directo: Se selecciona cuando la entrada CLK_C es llevada a un nivel de voltaje +5 Voltios (V_{CC}). En este caso el pin D_C actúa como selección de Chip. Cuando $D_C = 0_L$ el Codec transmite y recibe en los intervalos de tiempo que sigue a los respectivos pulsos de trama ($FS_X - FS_R$).

Cuando D_C esta en 1_L el Codec permanece en estado Stand-by.

- Encodificación: La señal análoga a ser encodificada se aplica a la entrada VF_X . Un interruptor interno muestrea la señal y la función de retención es realizada por un capacitor externo. El muestreo y conversión son sincronizados con el intervalo de tiempo de transmisión. La palabra PCM sale por el pin D_X a la ocurrencia del propio intervalo de tiempo en la siguiente trama. El convertidor A/D se satura a aproximadamente $\pm 2.2 V_{rms}$.
- Decodificación: La palabra PCM ingresa a la guía D_R desde el bus PCM en el intervalo de tiempo establecido. El valor decodificado es mantenido en un capacitor muestreador-retenedor interno. La señal de salida (sin retorno a cero) en el pin VF_R tiene un rango dinámico de $\pm 2.2 V_{rms}$.
- Modo Standby: Para minimizar el consumo de potencia y la disipación de calor, al ir el Coder hacia Power down todas las funciones de este son desahilitadas, excepto las guías D_C y CLK_C . Esto permite al Codec ser reactivado ya sea en el modo de microprogramación o en el modo directo. Mientras está desahilitado el chip, la salida D_X se mantiene en estado de alta impedancia.

El consumo de potencia en el modo Standby es típicamente 33 mW.

- Ley de Conversión: Utiliza la Ley A (ver II-4)

El Codec provee una aproximación lineal por partes, de la ley logarítmica a través de 13 segmentos. Cada segmento esta formado por 16 pasos, a excepción del primero que contiene 32 pasos. En segmentos adyacentes el tamaño de los pasos están en relación de dos a uno; y dentro de cada segmento el tamaño del paso es constante.

Las características de transferencia del coder (Conversión A/D), decoder (Conversión D/A) y del codec se presenta en la Figura III-3.35.

El voltaje de referencia de precisión para el convertidor D/A es generado en el chip, siendo calibrado en el proceso de fabricación.

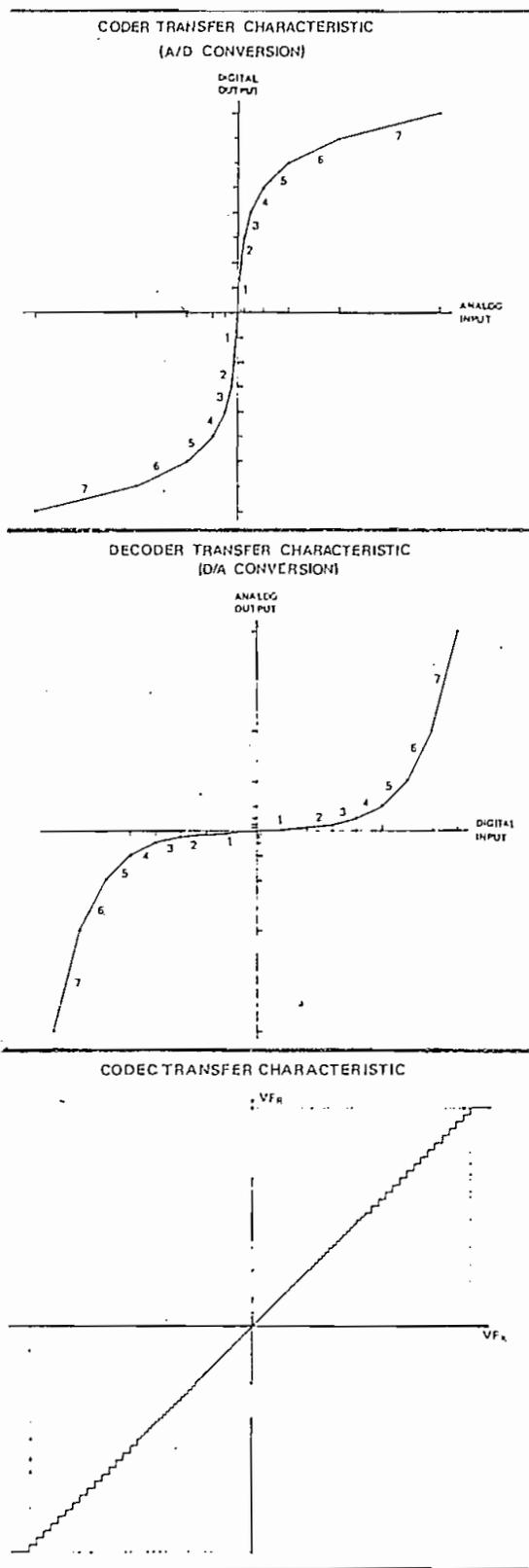


FIGURA III-3.35 CARACTERÍSTICAS DE TRANSFERENCIA DEL C.I. 2911

La precisión del voltaje de referencia determina la ganancia inicial y las características de transferencia en el rango dinámico.

- Aplicaciones: En las hojas de especificaciones dadas por el fabricante, se indican las aplicaciones del codec para usarlo en sistemas Multiplex PCM con señales provenientes de canales telefónicos.

1. Holding Capacitor: Para sistemas con frecuencia de muestreo = 8 KHz, el capacitor de retención en la transmisión (CAP_X), debería ser de 2000 pF \pm 20%.
2. Interfase con los Filtros de Línea: Los filtros pueden interconectarse como se muestra en la Figura III-3.36.

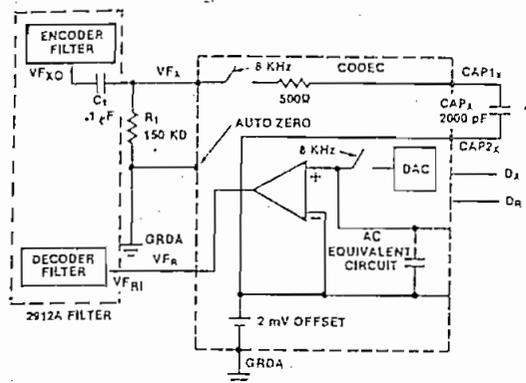


FIGURA III-3.36 CIRCUITO DE INTERFASE - SIN AUTO CERO EXTERNO

Los elementos con valores en el circuito de la Figura III-3.36 son los especificados por el fabricante.

El nivel de offset que se obtiene con dicho circuito, es perfectamente aceptable en la mayoría de las aplicaciones telefónicas; no siendo necesario la utilización de elementos adicionales para disminuir dicho valor (típicamente de 3 mV.) con otra aplicación dada por el fabricante.

III-3.4 Descripción del C.I. 2912

El C.I. 2912 de la Intel, es un circuito monolítico que contiene a los dos filtros de línea PCM (Transmisión/Recepción); y presenta las siguientes características:

- Tiene la respuesta de frecuencia de acuerdo a la recomendación respectiva del CCITT. (G712).
- Presenta las especificaciones referentes a sistemas de centrales de conmutación de oficina Clase 5.
- Es directamente compatible con los Codec 2911A y 2910A.
- Simplificar los interfases a los transformadores o híbridos electrónicos (SLIC).
- Aplicación primaria del 2912 en sistemas telefónicos para transmisión, conmutación, ó concentración remota.

El filtro se implementa con tecnología NMOS, y utiliza la técnica de conmutación de capacitores para implementar las secciones del filtro pasabanda en transmisión y recepción.

El diagrama de bloques interno del C.I. 2912 se presenta en la Figura III-3.41

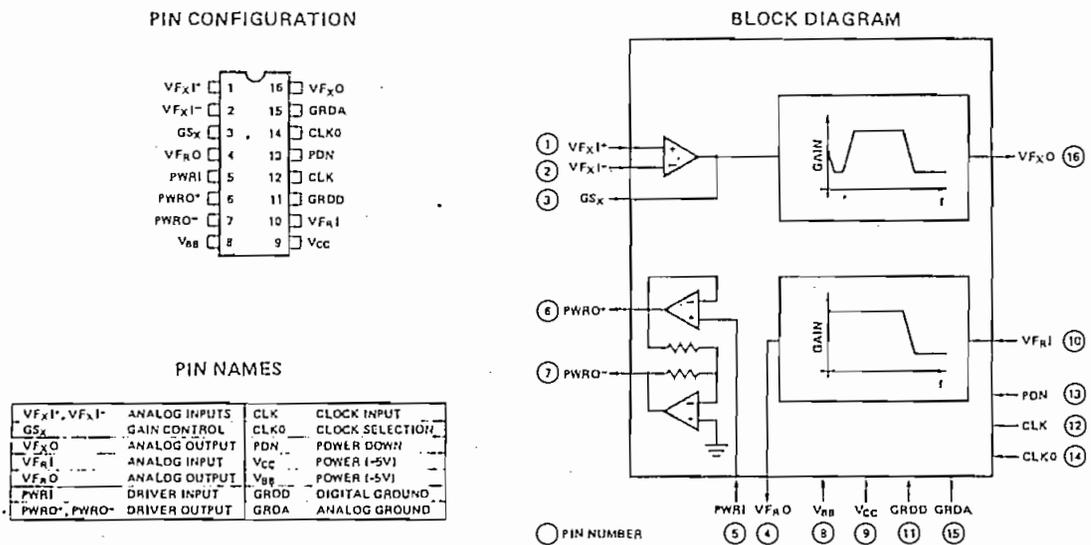


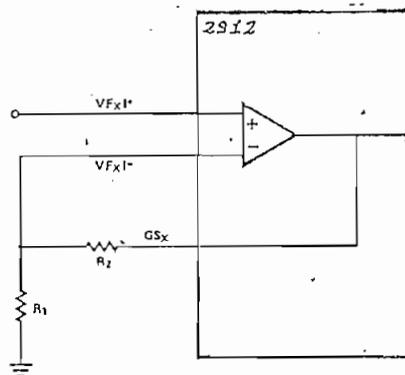
FIGURA III-3.41 DIAGRAMA DE BLOQUES DEL C.I. 2912

El C.T. 2912 provee los filtros de transmisión-recepción para las terminaciones análogas de una línea PCM. El filtro de transmisión presenta la función anti-aliasing (atenuación a la frecuencia del interruptor del capacitor interno de muestreo) y la atenuación alta a la frecuencia de la línea de alimentación denominada rejection ($f_{\text{línea}} = 60 \text{ Hz}$). El filtro de recepción tiene una característica de filtro pasabajo, y provee la corrección $\text{sen } x / x$ necesaria para la obtención de la señal análoga a partir de la salida del Codec (2911), que provee la conversión D/A sin retorno a cero.

Se provee un ajuste independiente de ganancia en las direcciones de transmisión y recepción.

A continuación se da una mayor explicación sobre la operación del filtro en las direcciones de Tx/Rx.

- Filtro Transmisor: La entrada del amplificador operacional tiene un rango en modo común de $\pm 2.2 \text{ V}$., un offset DC menor a 25 mV ., y puede proveer una ganancia de 20 dB sin degradar las características del filtro, según se muestra en la Figura III-3.42.



$$\text{GANANCIA} = 1 + \frac{R_2}{R_1}$$

FIGURA III-3.42 AJUSTE DE LA GANANCIA DEL FILTRO TX

La señal de entrada en la guía VFxI^+ puede acoplarse con AC o DC. La impedancia de carga conectada a la salida del amplificador debe ser mayor que $10 \text{ k}\Omega$. La porción remanente del filtro transmisor provee una ganancia de $+3 \text{ dB}$ en la banda de paso. El rango de voltaje de la señal de salida VFxO es $\pm 3.2 \text{ V}$. El offset DC es menor que 250 mV .

La característica de transferencia del Filtro Transmisor se presenta en la Figura III-3.43.

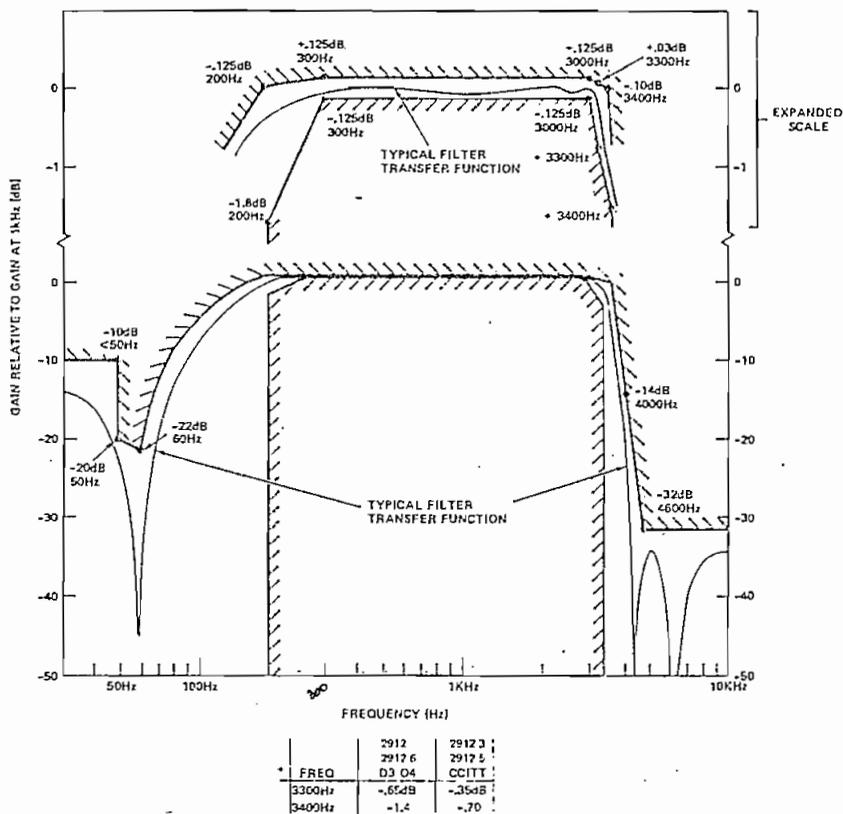
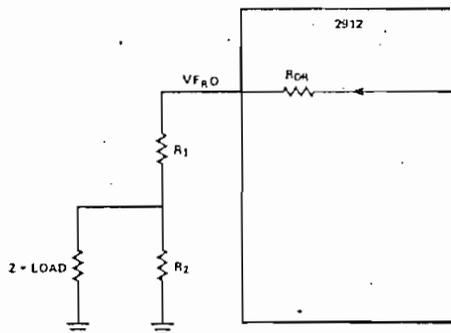


FIGURA III-3.43 CARACTERISTICA DE TRANSFERENCIA DEL FILTRO TX

- Filtro Receptor: La sección del filtro receptor provee una banda pasa ba jos; con la compensación $\text{sen } x / x$ en su respuesta. La ganancia del filtro puede ajustarse a un menor valor mediante un divisor de voltaje resistivo, según se muestra en la Figura III-3.44. La resistencia equivalente R_T que debe ver la salida tiene que ser mayor a $10 \text{ K}\Omega$.



$$R_T = R_1 + \frac{R_2 \cdot Z_L}{R_2 + Z_L} \geq 10 \text{ K}\Omega$$

FIGURA III-3.44 AJUSTE DE LA GANANCIA DEL FILTRO RX

La ganancia del filtro Rx conjuntamente con la respuesta del Codec (sin ajuste externo) da como resultado 0 dB en la banda de paso. La salida VF_{R0} es capaz de manejar híbridos electrónicos, así como transformadores híbridos.

La Figura III-3.45 presenta la característica de transferencia del Filtro Receptor.

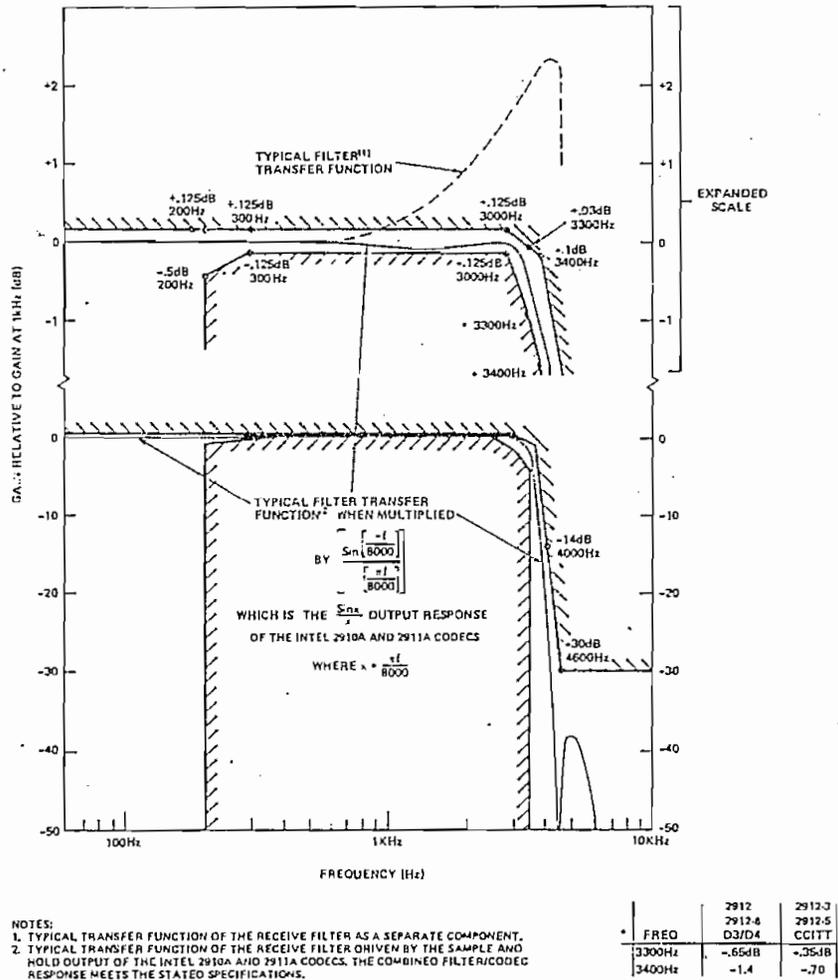


FIGURA III-3.45 CARACTERÍSTICA DE TRANSFERENCIA DEL FILTRO RX

- Modo Standby: El C.I. 2912 provee de una entrada de habilitación de Chip, la cual es directamente compatible con la salida PDN (Power Down) del C.I. 2911 (Codec). Al tener en la entrada PDN un 1_L , el C.I. va a modo Standby, colocando todas las salidas en alta impedancia.

El cálculo de los circuitos de interfases de línea del Filtro Tx/Rx, se realiza en la sección correspondiente al SLIC (ver III-7).

III-3.5 Circuito Implementado

De acuerdo a la descripción realizada en los puntos anteriores, y tomando en consideración todas las recomendaciones y especificaciones dadas por el fabricante; se implementó el circuito que se indica en el diagrama de la Figura III-3.5; correspondiente al Codec y Filtro Tx/Rx por canal análogo.

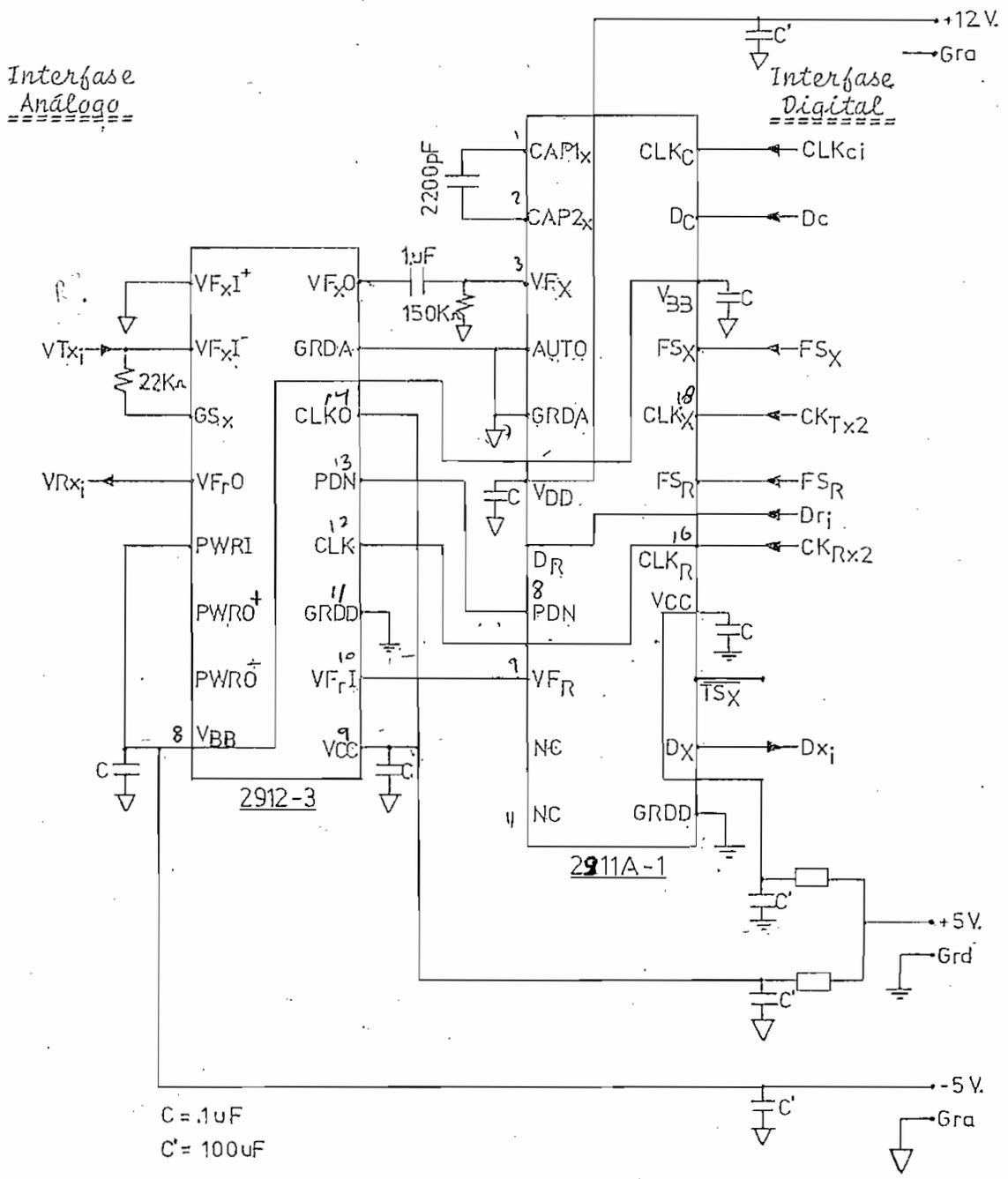


FIGURA III-3.5 CIRCUITO DEL CODEC Y FILTROS TX/RX

III-4 MULTIPLEX

III-4.1 Consideraciones Teóricas

El circuito Multiplex realiza el multiplexado de 8 canales digitales hacia una salida, y el demultiplexado de un canal digital entrante hacia 8 canales digitales salientes.

→ El control del multiplexer y demultiplexer se realiza mediante señales externas, de tal manera de asignar un intervalo de tiempo fijo para cada canal; y en forma sincrónica con la señal de reloj maestro transmisor y reloj maestro receptor respectivamente.

Dada la posible aplicación del sistema para un mayor número de canales (hasta 32), se deberá proveer al sistema de las suficientes señales de comando que permitan ampliarlo hasta dicha capacidad; lo cual se puede ir incrementando mediante bloques Multiplex de 8 canales cada vez.

→ La principal consideración que debe tenerse en cuenta, se refiere al tiempo de propagación (tiempo de retardo) para el cambio de una entrada por otra en la salida en el multiplexer; o desde la salida hacia las entradas en el demultiplexer. Dicho tiempo de retardo debe ser mucho menor al tiempo de duración de un bitio (ritmo digital generado por el sistema), para recuperar fielmente a la información transmitida; ya que caso contrario se pueden perder datos que afecten el procesamiento de las distintas palabras PCM en los respectivos Codec.

En el presente proyecto, dado que se tomo como referencia al Sistema MIC 30+2; la duración de un bitio es igual a 0.488 useg.

III-4.2 Diseño

El multiplexador y demultiplexador se realizan con C.I. TTL, los mismos que se escogieron tomando en consideración varios aspectos:

- Presentar las características de tiempo de retardo descritas.
- Ser compatible con las entradas/salidas de los Codec.
- Tener entradas de habilitación de Chip.

III-4.3 Multiplexer

La Figura III-4.31 presenta al bloque multiplexer con las señales de datos, controles, salida; y su respectivo diagrama de tiempos.

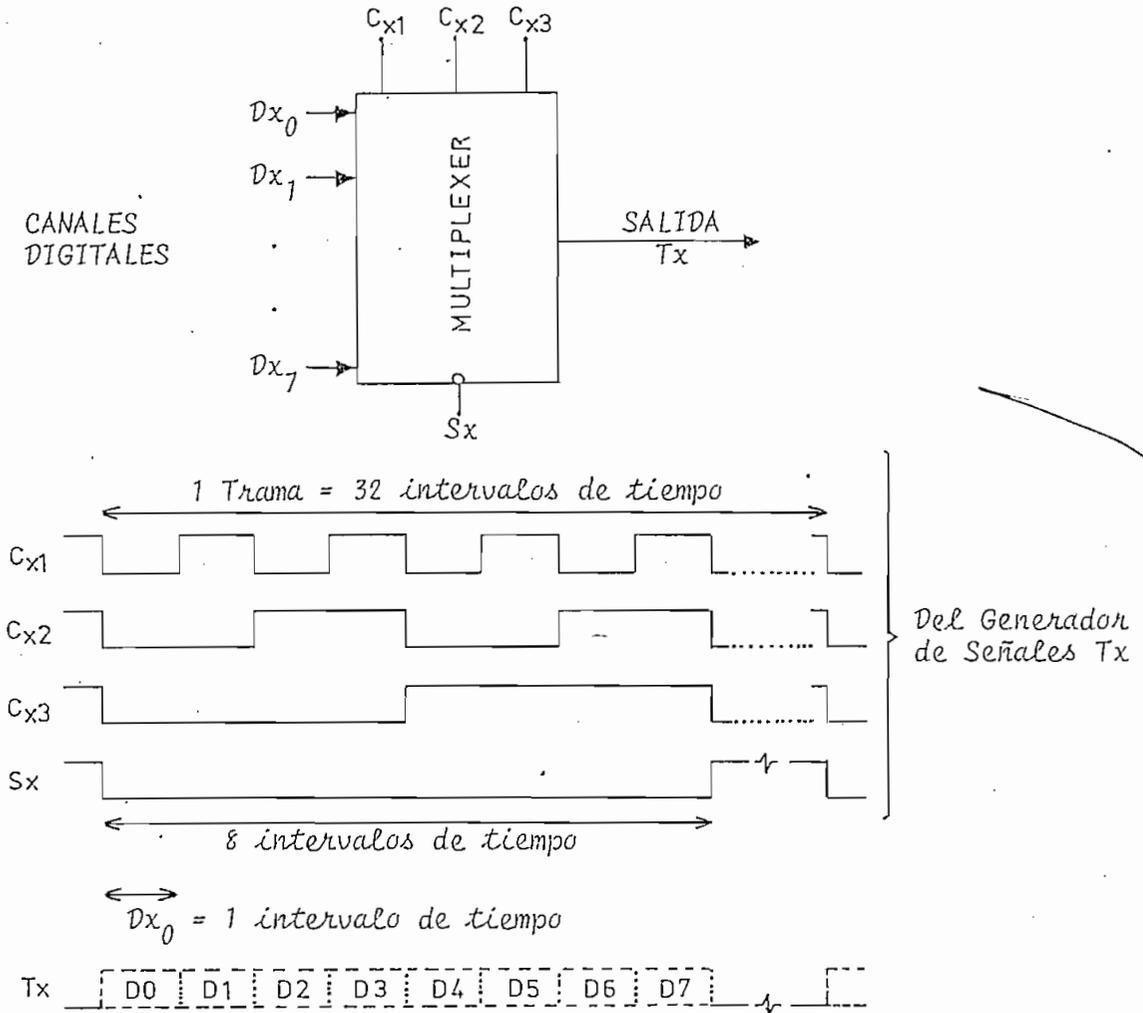


FIGURA III-4.31 DIAGRAMA DE BLOQUES DEL MULTIPLEXER

El C.I. SN74LS151 cumple con las especificaciones necesarias. Es un multilexador 8/1 con entrada de habilitación, y salidas complementadas. La Figura III-4.32 muestra la disposición del mismo y su tabla de verdad.

De las especificaciones dadas por el fabricante se tienen los siguientes datos, referentes al tiempo de retardo de las entradas a la salida (V):

$$t_{pHL} = 18 \text{ nseg.}$$

$$t_{pLH} = 13 \text{ nseg.}$$

ENTRADAS			SALIDAS		
SELECT			STROBE	Y	W
C _{x1}	C _{x2}	C _{x3}	S	Y	W
X	X	X	H	L	H
L	L	L	L	D ₀	$\overline{D_0}$
L	L	H	L	D ₁	$\overline{D_1}$
L	H	L	L	D ₂	$\overline{D_2}$
L	H	H	L	D ₃	$\overline{D_3}$
H	L	L	L	D ₄	$\overline{D_4}$
H	L	H	L	D ₅	$\overline{D_5}$
H	H	L	L	D ₆	$\overline{D_6}$
H	H	H	L	D ₇	$\overline{D_7}$

* H = nivel alto = 1_L
 L = nivel bajo = 0_L
 X = irrelevante

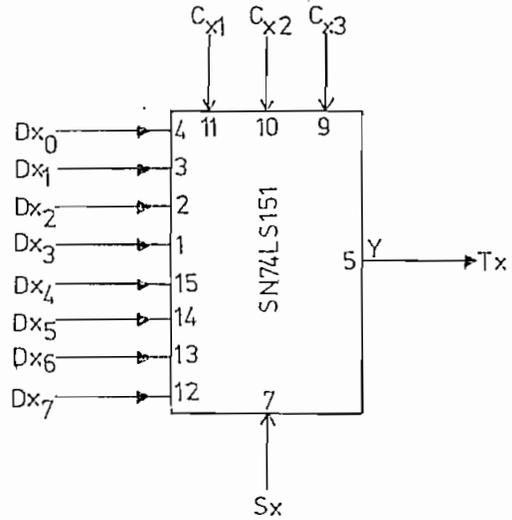


FIGURA III-4.32 CIRCUITO MULTIPLEXER

III-4.4 Demultiplexer

La Figura III-4.41 presenta el bloque correspondiente al demultiplexer. No se indica un diagrama de tiempos por su similaridad al del multiplexer (Figura III-4.31); con la diferencia que las señales de comando corresponden a las obtenidas en el generador de tiempos del receptor.

Se escoge el C.I. SN74LS138, que es un decoder 3/8; usando una de las entradas de habilitación como entrada de datos para su aplicación como demultiplexer.

En la Figura III-4.42 se muestra la configuración del C.I. conjuntamente con su tabla de verdad. Los tiempos de retardo son similares a los del C.I. SN74151. Para mayor información referirse al ANEXO 1.

Es necesario mencionar el hecho que se consideran los 8 primeros intervalos de tiempo para los canales de transmisión y recepción, en referencia a los 32 canales del Sistema MIC 30+2; que se ha tomado como base. Esta consideración se la realiza en el generador de tiempos para obtener Sx y Sr.

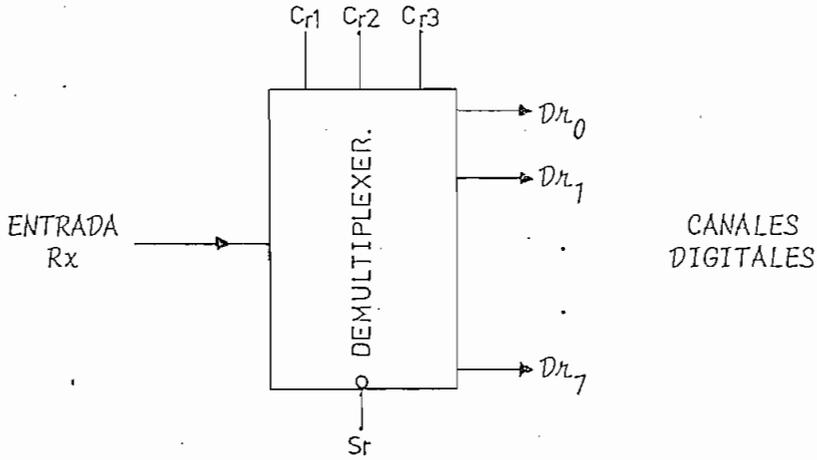
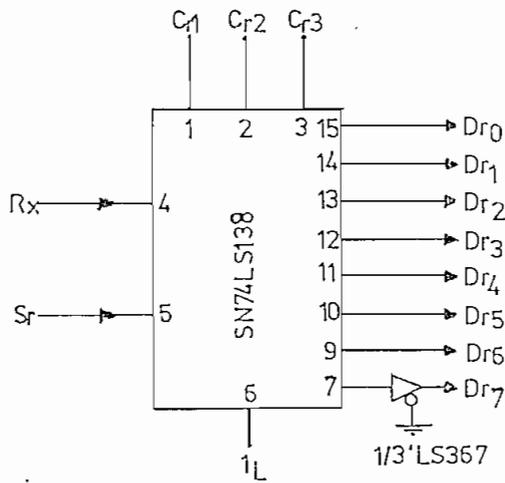
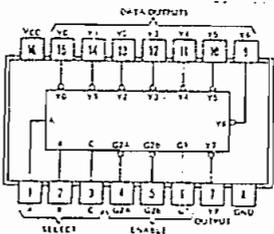


FIGURA III-4.41 DIAGRAMA DE BLOQUES DEL DEMULTIPLEXER



'LS138, 'S138
FUNCTION TABLE



INPUTS		OUTPUTS										
ENABLE	SELECT											
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

*G2 = G2A + G2B
H = high level, L = low level, X = irrelevant

FIGURA III-4.42 CIRCUITO DEMULTIPLEXER

En el circuito de la Figura III-4.42 correspondiente al Demultiplexer, se incluye un Buffer (C.I. SN74LS367) para la salida del canal # 7 (D_{r7} = canal para información de señalización), debido a su posterior uso en el Adaptador de Señalización (Punto III-9) comandando varios circuitos lógicos.

III-4.5 Incremento del Número de Canales

Si se desea incrementar el número de canales activos PCM al sistema; se puede realizar el multiplex de hasta cuatro bloques de ocho canales cada uno, implementando lógicamente los canales PCM adicionales que se deseen (Codec-Filtro Tx/Rx-SLIC-etc.)

El multiplex puede realizarse añadiendo bloques de ocho canales Multiplex PCM sucesivamente, hasta un número de 32 canales; esto es, multiplexar hasta cuatro salidas de Multiplexer 8/1 (Utilizando un Multiplexer 4/1), y demultiplexar la señal recibida en cuatro canales (Utilizando un Demultiplexer 1/4).

Las señales de comando para el Multiplexer 4/1 y Demultiplexer 1/4 están previstas en el Circuito Generador de Tiempos Tx/Rx.

La Figura III-4.6 presenta el diagrama de bloques para un multiplexer de 32 canales digitales, en bloques de 8 canales digitales.

La Figura III-4.6 muestra el diagrama de bloques para un demultiplexer de 32 canales digitales, en cuatro bloques de 8 canales cada uno.

Cabe indicar que el Sistema actual prevee su posterior aplicación para un mayor número de canales, pero dichos circuitos de ampliación no se encuentran implementados. Además se debe mencionar que la solución propuesta para el multiplex de un mayor número de canales no es la única, no obstante permite incrementar el número de canales de una manera progresiva y de acuerdo a las necesidades que se tengan en determinado momento.

Para el caso en que se necesite determinado canal para información digital de datos, se deberá proveer un interfase Tx/Rx sincronizado con el equipo multiplex; que permitan ingresar a los datos al sistema con el ritmo y patrón propio de este, y recuperarlos fielmente. La configuración del interfase deberá ser muy similar al Adaptador de Señalización.

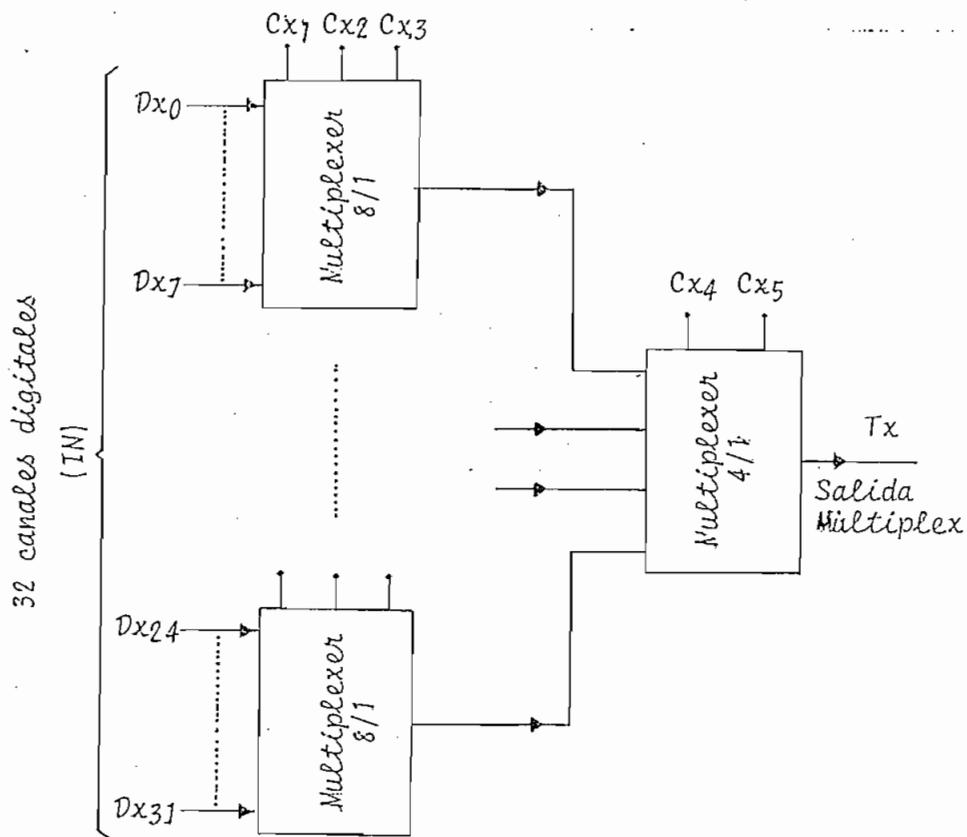


FIGURA III-4.5 DIAGRAMA DE BLOQUES DE MULTIPLEXER DE 32 CANALES

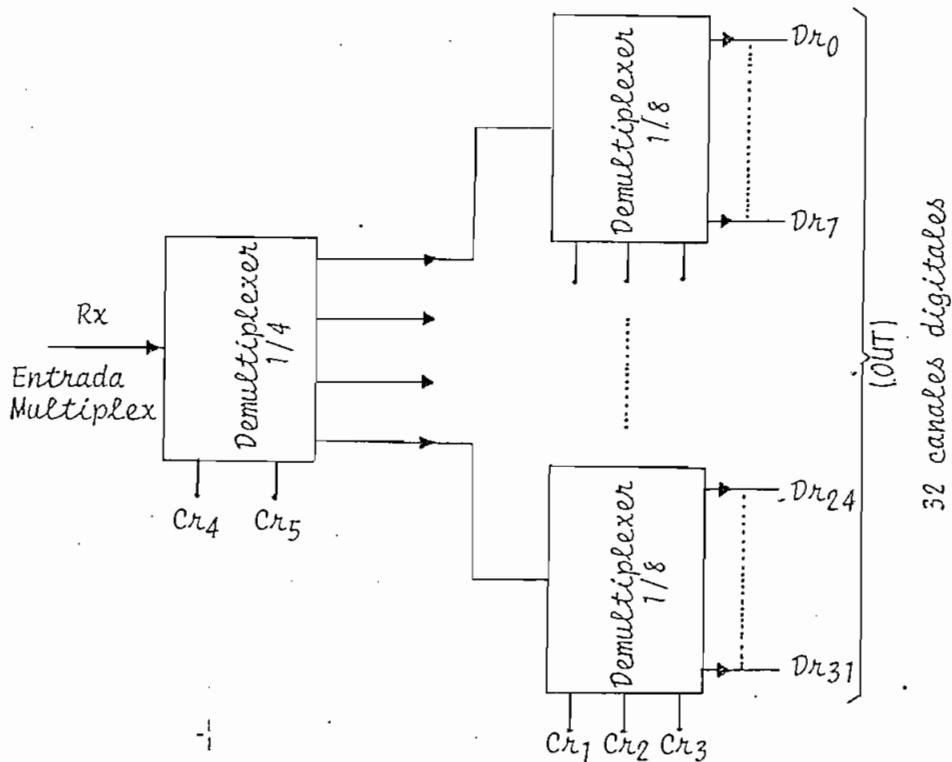


FIGURA III-4.6 DIAGRAMA DE BLOQUES DE DEMULTIPLEXER DE 32 CANALES

III-5 GENERADOR DE FAW

III-5.1 Consideraciones Teóricas

Dado que se ha tomado al Sistema MIC30+2 como base, la Palabra de Alineación de Trama (Frame Alignment Word = FAW) deberá estar de acuerdo a la respectiva recomendación del CCITT.

El código para la alineación de trama se transmite una vez cada dos tramas (tramas pares), utilizando los dígitos 2 al 8 en el intervalo de tiempo cero. Su configuración se presenta en la Figura III-5.1.

Nº de Bit	1	2	3	4	5	6	7	8	Intervalo de Tiempo 0
F.A.W.	X	0	0	1	1	0	1	1	Tramas Pares : 0, 2, ..
	X	1	W	0	Z	Z	Z	Z	Tramas Impares : 1, 3, ..

Donde: $X = 1$ Uso Internacional
 $Z = 1$ Uso Nacional
 $W = \begin{cases} 0 \\ 1 \end{cases}$ Alarma Pérdida de Sincronismo de Trama (Local)

FIGURA III-5.1 PALABRA DE ALINEACION DE TRAMA EN EL SISTEMA MIC 6+2

El circuito generador de FAW deberá transmitir las dos secuencias de 8 bits alternadamente, de manera repetitiva y sincrónica. Las señales X, W, Z serán externas a este; no obstante en la actualidad dado que no se las usa a las señales X y Z, se les ha asignado un nivel lógico alto (1_L).

III-5.2 Diseño

Para la implementación del circuito generador de FAW se utiliza a un Multiplexer 8/1 como generador de funciones, mediante el cual obtenemos las dos secuencias de 8 bits a generarse.

Primero se determina una de las dos secuencias con el comando de la señal Fx_1 , cuyo nivel establece si la trama es impar (1_L) o par (0_L). Esta señal se la obtiene del generador de tiempos del transmisor; siendo las señales Fx_1, Fx_2, Fx_3, Fx_4 las que determinan la Secuencia de Trama dentro de la Multitrama.

Se asegura que la FAW sea generada solamente en los instantes correctos, mediante la señal de habilitación: Gx. La secuencia se sincroniza con el comando de las señales Bx₁, Bx₂, Bx₃; las cuales determinan la Secuencia de Bits dentro de cada Intervalo de Tiempo.

En la Figura III-5.21 se da el diagrama de tiempos de las señales que intervienen en el circuito de generación de FAW.

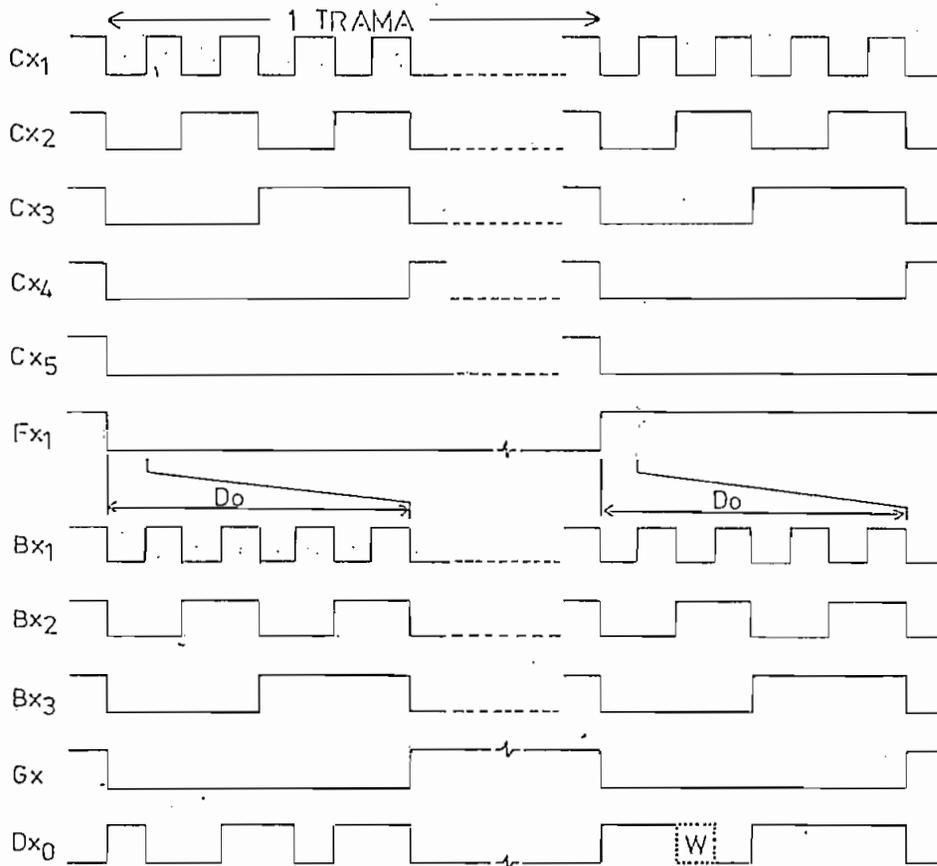
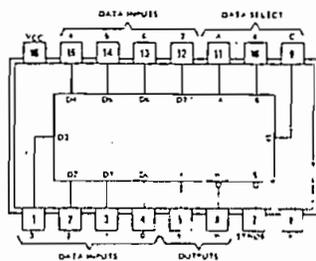


FIGURA III-5.21 DIAGRAMA DE TIEMPOS DE FAW

Se escoge el C.I. SN74LS151 que es un Multiplexer 8/1, comandado por 3 líneas de selección y una entrada de habilitación. Su configuración se presenta a continuación.



FUNCTION TABLE					
INPUTS				OUTPUTS	
SELECT			STROBE	Y	W
C	B	A	S		
X	X	X	H	L	H
L	L	L	L	D0	$\overline{D0}$
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

H - high level, L - low level, X = selection
 E₀, E₁, E₂ - the enable pins of the device of the respective E input
 D₀, D₁, D₂ - the level of the D₀ respective input

FIGURA III-5.22 C.I. SN74LS151

Las entradas de selección son justamente las señales de comando:

$$C = Fx_1, B = Bx_3, A = Bx_2, S = Gx$$

Las condiciones que deben cumplir las entradas de datos se establecen según la tabla de verdad que se indica en la Figura III-5.23.

S=Gx	C=Fx ₁	B=Bx ₃	A=Bx ₂	Bx ₁	Y=Dx ₀	Condición Ci
H	X	X	X	X	0	X
L	0	0	0	0	1	
L	0	0	0	1	0	C0= $\overline{Bx_1}$
L	0	0	1	0	0	
L	0	0	1	1	1	C1=Bx ₁
L	0	1	0	0	1	
L	0	1	0	1	0	C2= $\overline{Bx_1}$
L	0	1	1	0	1	
L	0	1	1	1	1	C3=1
L	1	0	0	0	1	
L	1	0	0	1	1	C4=1
L	1	0	1	0	0	
L	1	0	1	1	0	C5= $W \cdot \overline{Bx_1}$
L	1	1	0	0	1	
L	1	1	0	1	1	C6=1
L	1	1	1	0	1	
L	1	1	1	1	1	C7=1

FIGURA III-5.23 TABLA DE VERDAD DE SECUENCIA DE BITS (DX₀)

De acuerdo a la tabla de verdad anterior, la salida del multiplexor correspondiente al canal Dx₀, se presenta en la Figura III-5.24.

Intervalo de Tiempo	Trama	Salida Y = Dx ₀
0	Par	10011011
0	Impar	11W01111
1 al 31	X	00000000

FIGURA III-5.24 ENTRADA DE DATOS DEL CANAL CERO - DX₀

III-5.3 Círculo Implementado

De acuerdo a lo expuesto en la tabla de verdad de la Figura III-5.23, el circuito Generador de FAW, cuya salida corresponde a la señal de entrada del canal cero (Ver Figura III-4.32); se presenta en la Figura III-5.3.

El condensador ($C=100$. pF) entre la salida y tierra elimina sobrepulsos no deseados que se producen, debido a los tiempos de retardo de las diferentes entradas (Ci) a la salida.

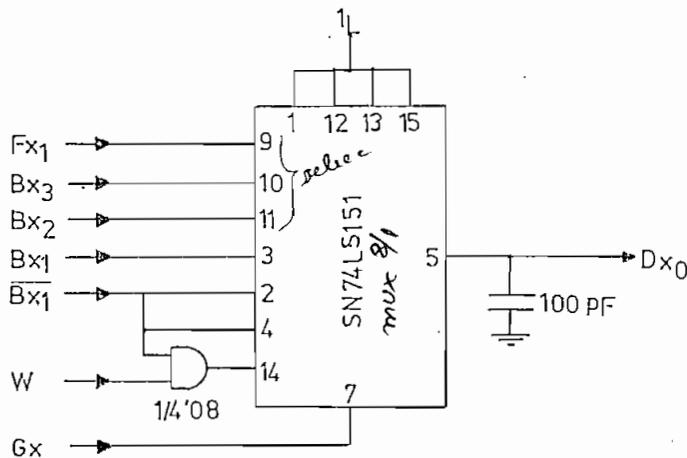


FIGURA III-5.3 CIRCUITO GENERADOR DE FAW

III-6 RECONOCIMIENTO DE FAW Y ALINEACIÓN DE TRAMA

Este bloque se compone de dos circuitos (Círculo de Reconocimiento de la Palabra de Alineación de Trama y Círculo de Alineación de Trama) que permiten que el orden de los canales emitidos sea correctamente interpretado en el terminal de recepción.

III-6.1 Consideraciones Teóricas

El diseño de los dos circuitos se realiza de manera independiente, tomando en cuenta que el circuito de Reconocimiento de FAW comandará al de Alineación de Trama.

El circuito de Reconocimiento de FAW genera una señal de comando (pulso) al identificar la secuencia correcta de bits (FAW) sin importar los dígitos que le preceden o siguen. La señal que ingresa al circuito de reconocimiento, proviene directamente de la señal multiplex recibida; siendo el circuito de Alineación de Trama el que verifica que la secuencia sea recibida en las tramas impares del intervalo de tiempo cero, a partir de la primera identificación de FAW en la señal multiplex; tomándose entonces la referencia para los canales digitales de recepción.

Después de tres ausencias consecutivas de la palabra código esperada y la información entrante, se considera que se ha perdido la alineación de trama y se inicia la búsqueda del código de sincronismo. Con la primera coincidencia de FAW que se recibe, se toma la nueva referencia para el intervalo de tiempo cero; colocando al sistema en la condición de funcionamiento normal la próxima recepción del código de sincronismo de trama (FAW).

III-6.2 Circuito de Reconocimiento de FAW

El Circuito de Reconocimiento de FAW genera un pulso (\square) una vez que la palabra de código esperada sea recibida.

La FAW compuesta de 7 bits transmitida en forma serial, es descompuesta en el receptor mediante un registro de desplazamiento serie-paralelo a 7 bits paralelos, cuya secuencia lógica ingresa a un circuito combinacional que genere un nivel bajo solamente cuando se tenga el código esperado. El registro de desplazamiento es sincronizado con la señal de reloj recuperada (\overline{CK}_{Rx}). La Figura III-6.21 presenta el diagrama de bloques de este circuito, y la Función Lógica del circuito combinacional.

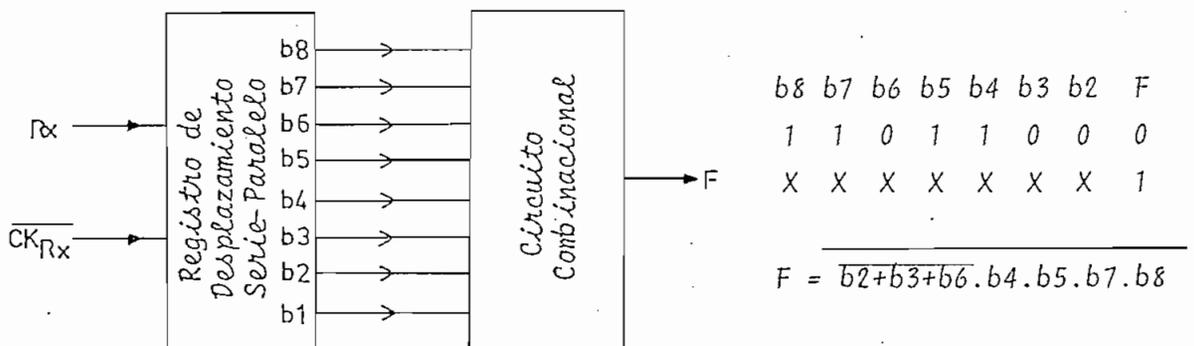


FIGURA III-6.21 DIAGRAMA DE BLOQUES CIRCUITO DE RECONOCIMIENTO DE FAW

En la Figura III-6.22 se presenta el diagrama de tiempos de las señales internas del circuito de reconocimiento de FAW.

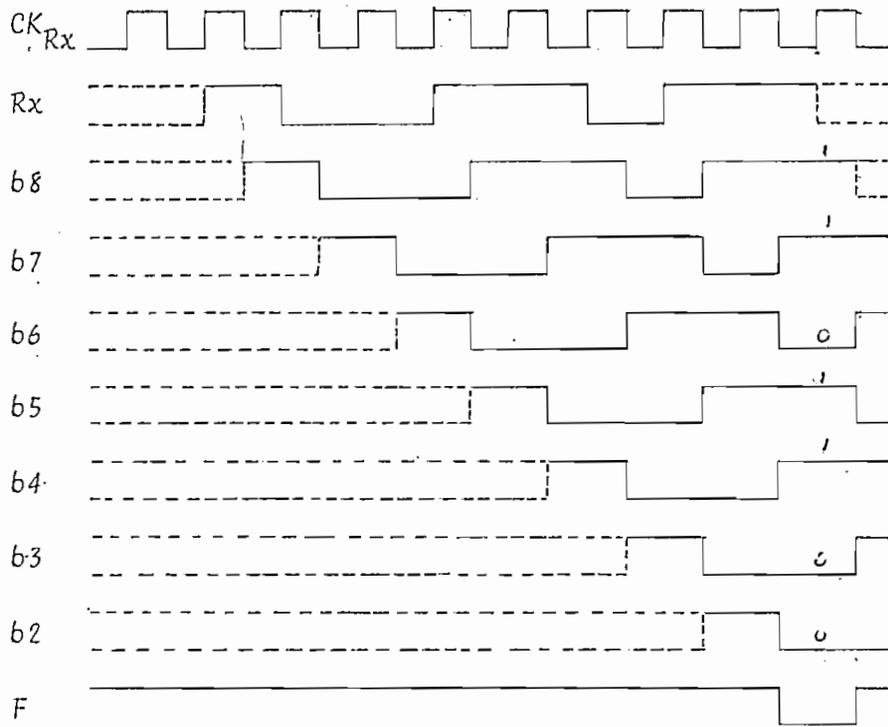


FIGURA III-6.22 DIAGRAMA DE TIEMPOS DEL CIRCUITO RECONOCIMINETO FAW

El circuito combinacional (C.C.) se lo implementa con los C.I. SN74LS27 (3 compuertas NOR de 3 entradas) y SN74LS30 (1 NAND de 8 entradas). Se utiliza al C.I. SN74LS164 como Registro de Desplazamiento Serie-Paralelo de 8 bits, y cuya configuración se presenta en la Figura III-6.23.

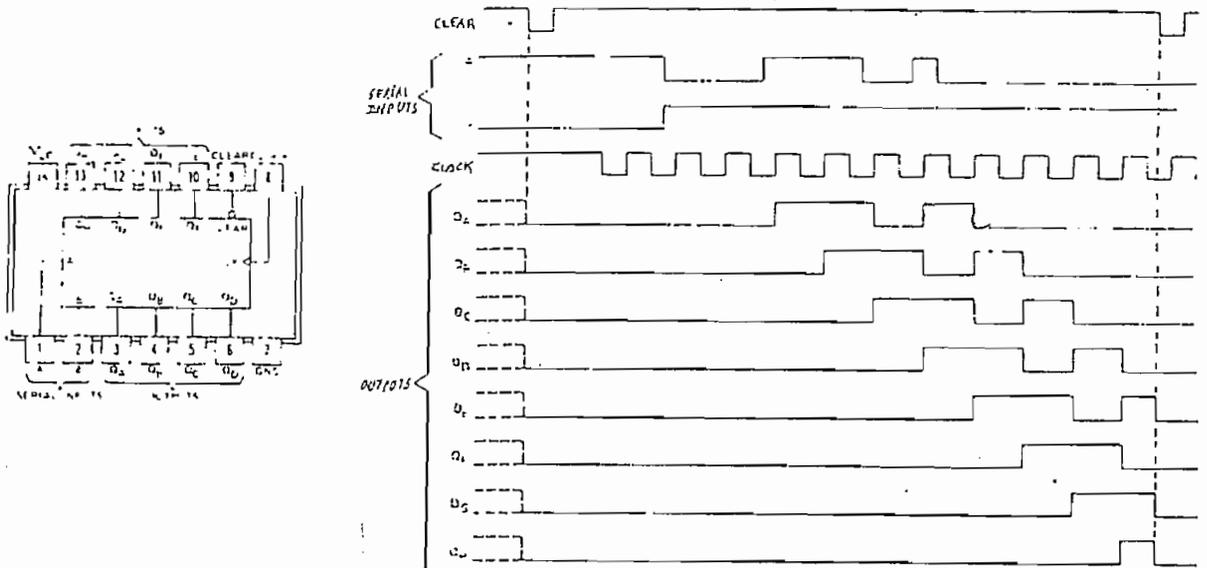


FIGURA III-6.23 C.I. SN74LS164

Adicionalmente se utiliza la salida b3 del registro de desplazamiento (C.I. SN74LS164) para verificar la condición del bit #3 transmitido en las tramas impares que presenta la condición del terminal remoto. Dicha condición se mantiene mediante un retenedor (Flip-Flop tipo D) durante dos tramas, hasta verificar el nuevo nivel lógico de dicho bit en la siguiente trama impar. La salida F1 va hacia el bloque de alarmas, condición que se presenta de forma visual. El F.F. tipo D se comanda mediante las señales T0 y Fr₁ que representan la recepción de los 8 bits del intervalo de tiempo cero y el número de trama según se indica en el diagrama de tiempos de la Figura III-6.24.

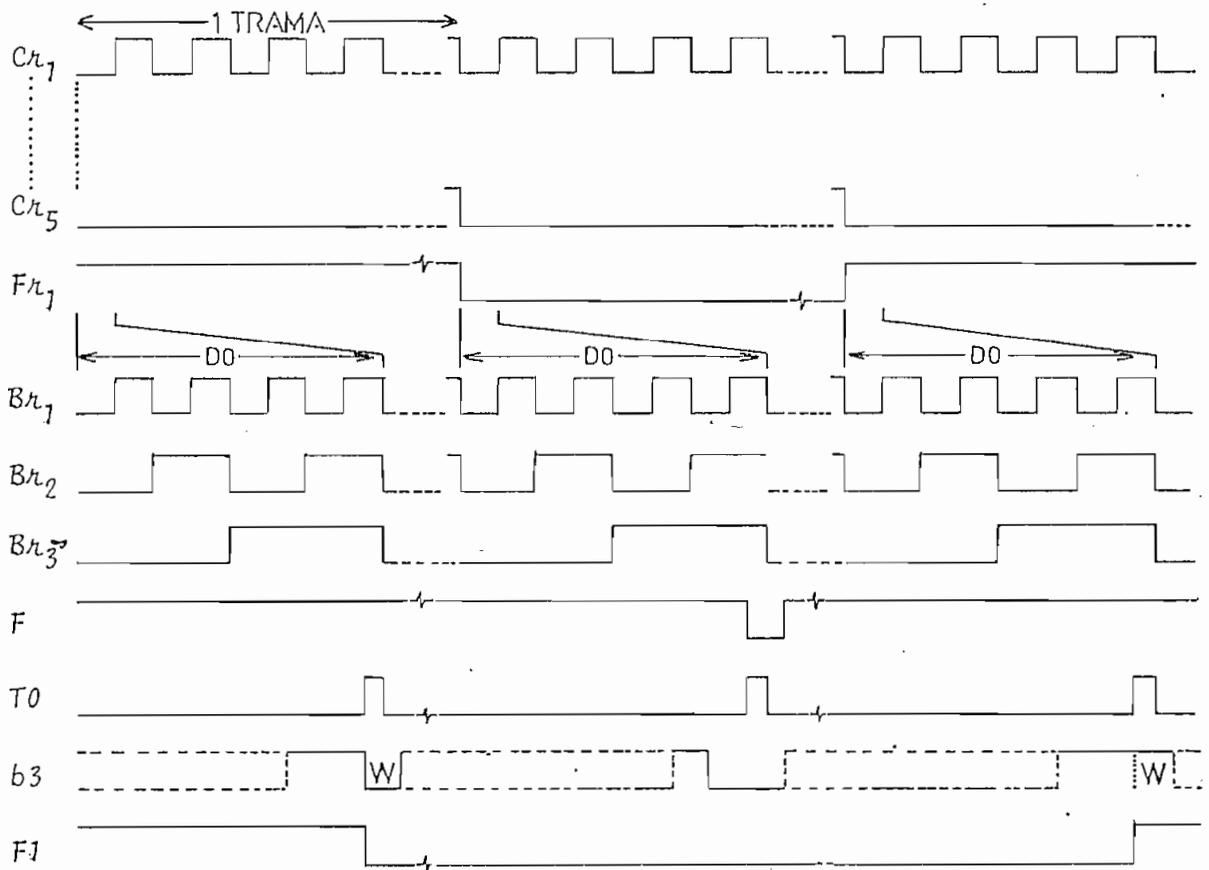


FIGURA III-6.24 DIAGRAMA DE TIEMPOS DE SEÑALES BASE DEL RECEPTOR

Para este circuito se utilizan los C.I. SN7474 (Dual F.F tipo D) y SN7408. El reloj del retenedor $CK = Fr_1 \cdot T_0$ asegura que se retenga el valor del bit #3 que presenta la condición de W (ver III-5).

- $W = 0_L$ Condición de Alarma Pérdida de Sincronismo Terminal Remoto
- $W = 1_L$ Condición Normal

El Circuito de Reconocimiento de FAW se presenta en la Figura III-6.25

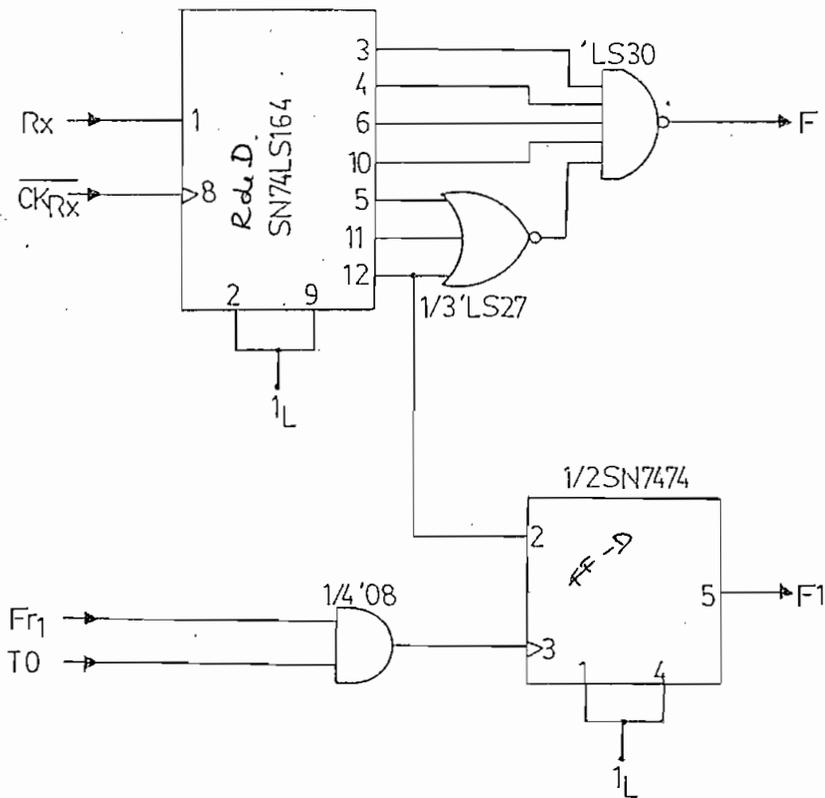


FIGURA III-6.25 CIRCUITO DE RECONOCIMIENTO DE FAW

III-6.3 Círculo de Alineación de Trama

Este circuito verifica continuamente que la señal de reconocimiento de FAW (F) sea generada en el intervalo de tiempo cero de las tramas pares. En su funcionamiento consta de dos fases: inicialización/recuperación de alineación de trama y detección de pérdida de sincronismo; que se presentan en los diagramas de flujo de las Figuras III-6.31 - III-6.32 respectivamente.

En los diagramas de flujo, el Chequeo de la Fase 1 corresponde justamente a la verificación de la recepción del código de sincronismo en los instantes de tiempo determinados. Se establece la condición de funcionamiento normal luego de la segunda coincidencia de la FAW. Y se da una condición de pérdida de sincronismo luego de tres ausencias consecutivas de FAW; la detección de FAW determinará el reset del circuito de pérdida de sincronismo.

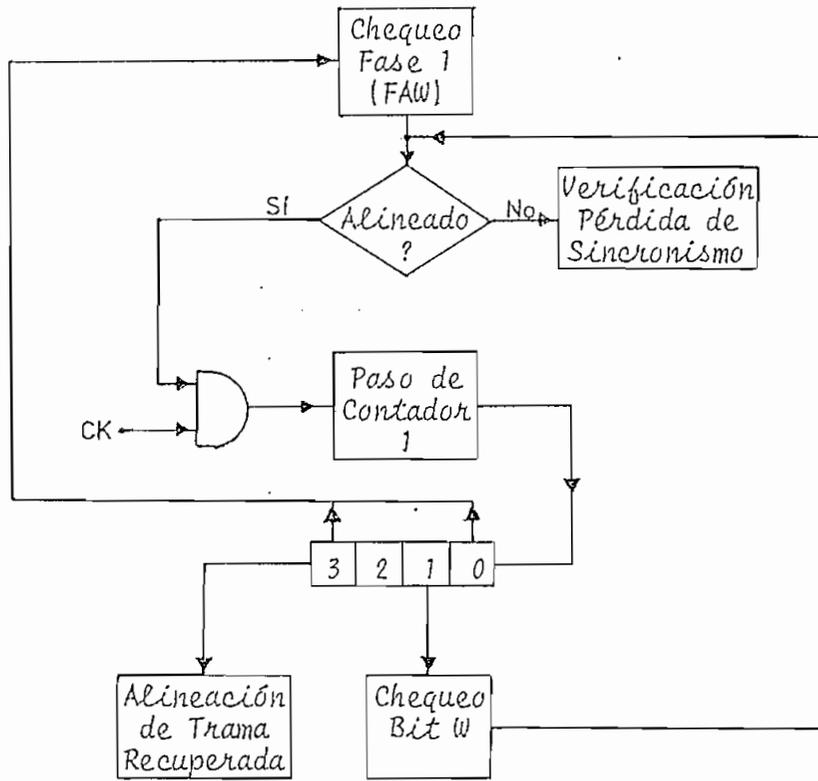


FIGURA III-6.31 INICIALIZACION-RECUPERACION DE TRAMA

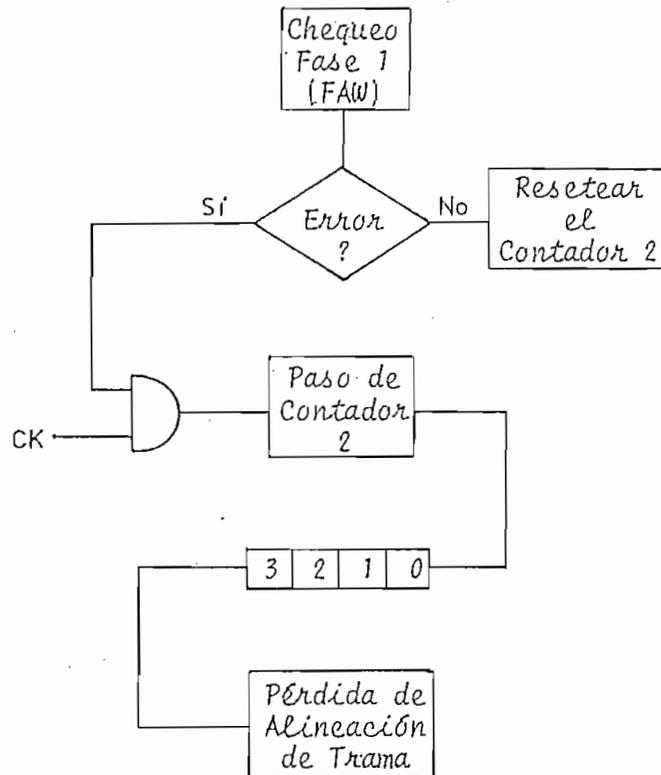


FIGURA III-6.32 DETECCION DE PERDIDA DE SINCRONISMO

El Circuito de Alineación de Trama y Detección Pérdida de Sincronismo se implementa de acuerdo a los diagramas de flujo de las Figura III-6.31 y Figura III-6.32; el cual se presenta en el diagrama de bloques de la siguiente figura; en el que se tiene:

- F = $\bar{1}$ Detección de FAW
- T01 = $\bar{1}$ Fin del Intervalo de Tiempo cero - Tramas Impares
- CK1 = $\bar{1}$ Recepción de FAW en Intervalo Correcto
- CK2 = $\bar{1}$ Detección de un error en FAW esperada
- F2 = $\bar{1}$ Receptor Sincronizado con Transmisor (W)
- FW = $\bar{1}$ Señal de Referencia para Sincronizar el Receptor
- F3 = $\bar{1}$ Receptor fuera de Sincronismo

F	T01	CK1	CK2
0	0	0	0
0	1	1	0
1	0	0	0
1	1	0	1

$$CK1 = F + \overline{T01}$$

$$CK2 = F \cdot T01$$

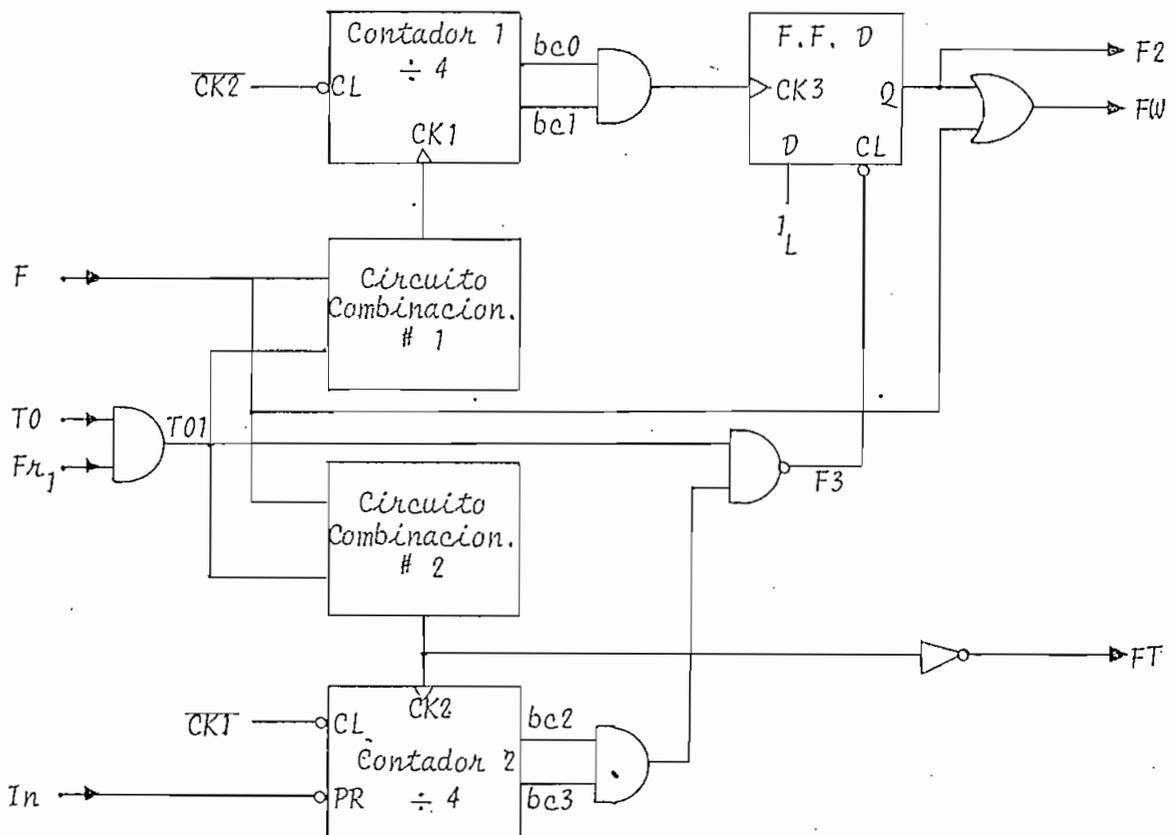


FIGURA III-6.33 DIAGRAMA DE BLOQUES CIRCUITO ALINEACION DE TRAMA

Los contadores se los implementa con el C.I. SN74109 (Dual F.F. tipo J-K), y los circuitos combinacionales con compuertas lógicas.

La Figura III-6.34 presenta el diagrama de tiempos de las principales señales del Circuito de Alineación de Trama.

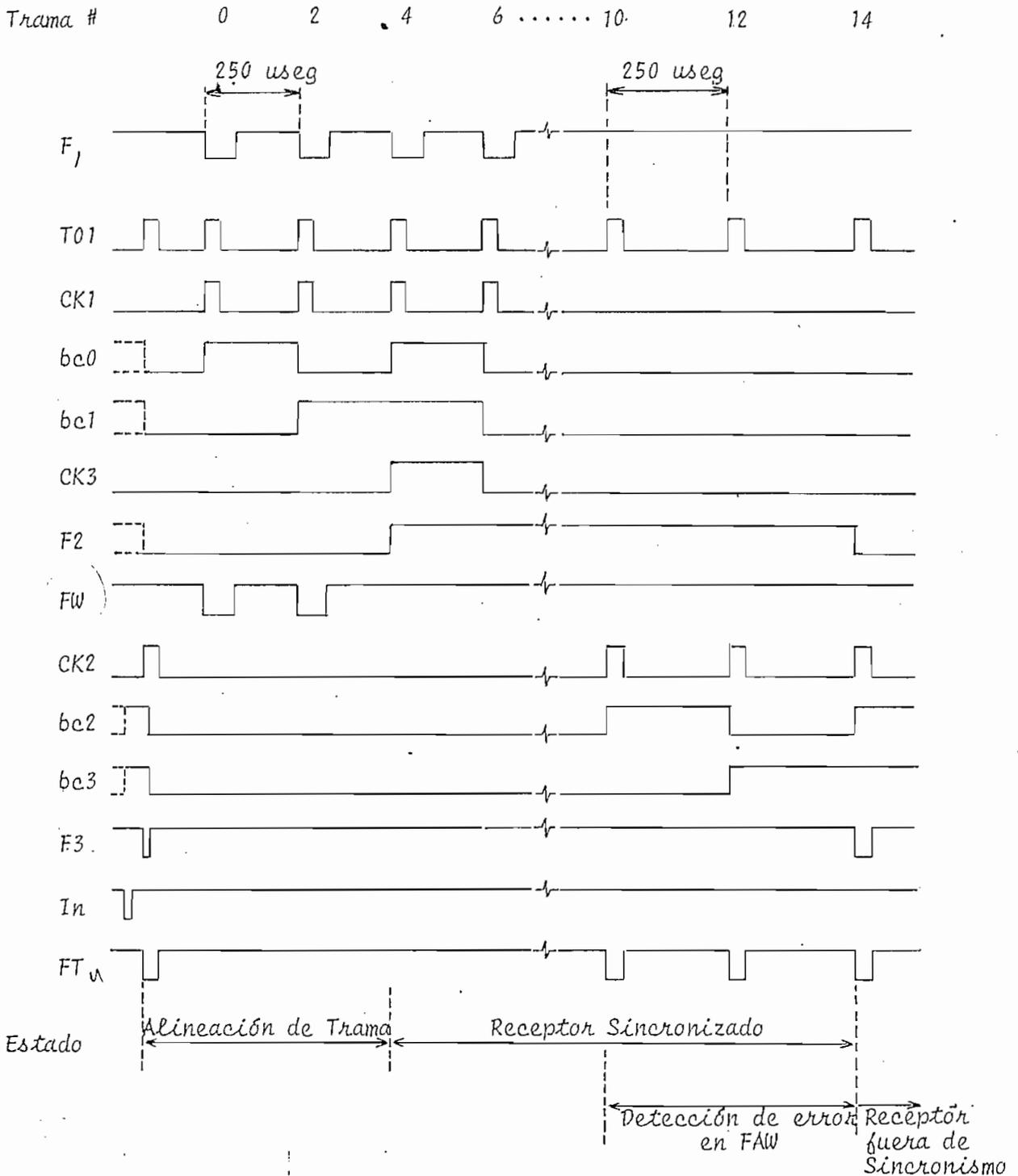


FIGURA III-6.34 DIAGRAMA DE TIEMPOS CIRCUITO ALINEACION DE TRAMA

El Circuito de Alineación de Trama y Detección de Pérdida de Sincronismo se presenta en la Figura III-6.35.

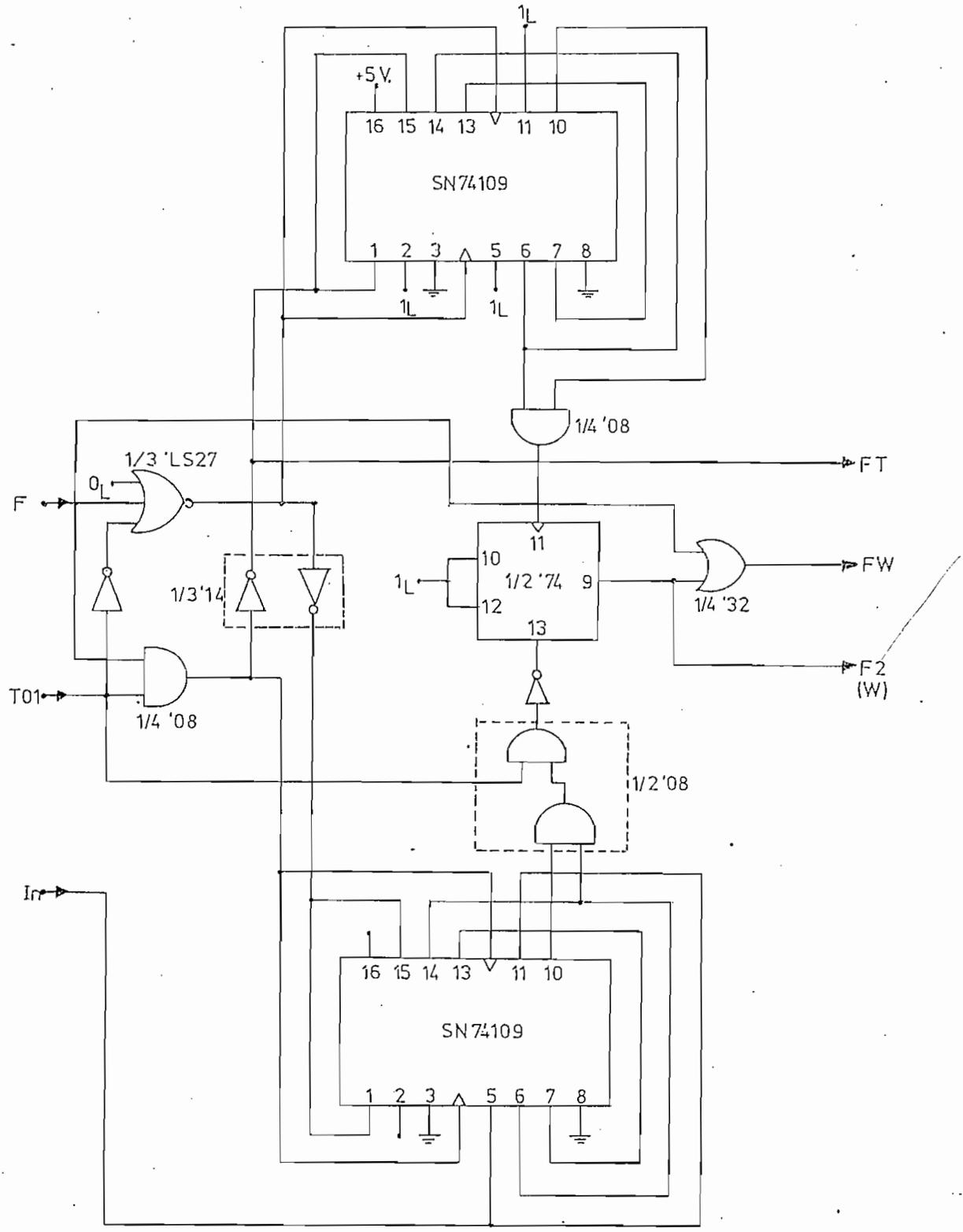


FIGURA III-6.35 CIRCUITO ALINEACION DE TRAMA

III-7 INTERFASE DE LÍNEA DE ABONADO

III-7.1 Consideraciones Teóricas

El módulo de Interfase de Línea de Abonado (SLIC) es propio de sistemas multiplex PCM telefónicos, y cuyas características dependen justamente de las necesidades de dichos sistemas; siendo sus principales funciones:

- Suministro de alimentación de línea al abonado
- Protección contra sobretensión
- Suministro de corriente de repique
- Supervisión de línea
- Conversión de 2 hilos a 4 hilos (Híbrido)
- Detección del estado del abonado; colgado-descolgado

En el diseño se toma en cuenta que las señales análogas provienen de canales telefónicos, y cuyas salidas van hacia el Filtro Tx/Rx del Circuito Integrado 2912.

III-7.2 Diseño

Para el SLIC se escoge el C.I. MC3419 (Motorola), cuyas especificaciones permiten utilizarlo en la presente aplicación. Todo el circuito de interfase de abonado incluye a elementos adicionales como: Circuito MDA220 (Puente rectificador para protección contra sobretensión); Transistores Darlington MJE270 y MJE271 (Amplificación del nivel de señal); resistencias, potenciómetros, condensadores; de acuerdo a las especificaciones dadas por el fabricante.

A continuación se da una descripción del C.I. MC3419 conjuntamente con el diseño del SLIC.

III-7.3 Descripción del C.I. MC3419

EL C.I. MC3419 está diseñado para reemplazar el circuito transformador híbrido en equipos telefónicos digitales, al proveer la conversión de 2 hilos a 4 hilos.

El diagrama funcional de bloques se presenta en la Figura III-7.31.

FUNCTIONAL BLOCK DIAGRAM

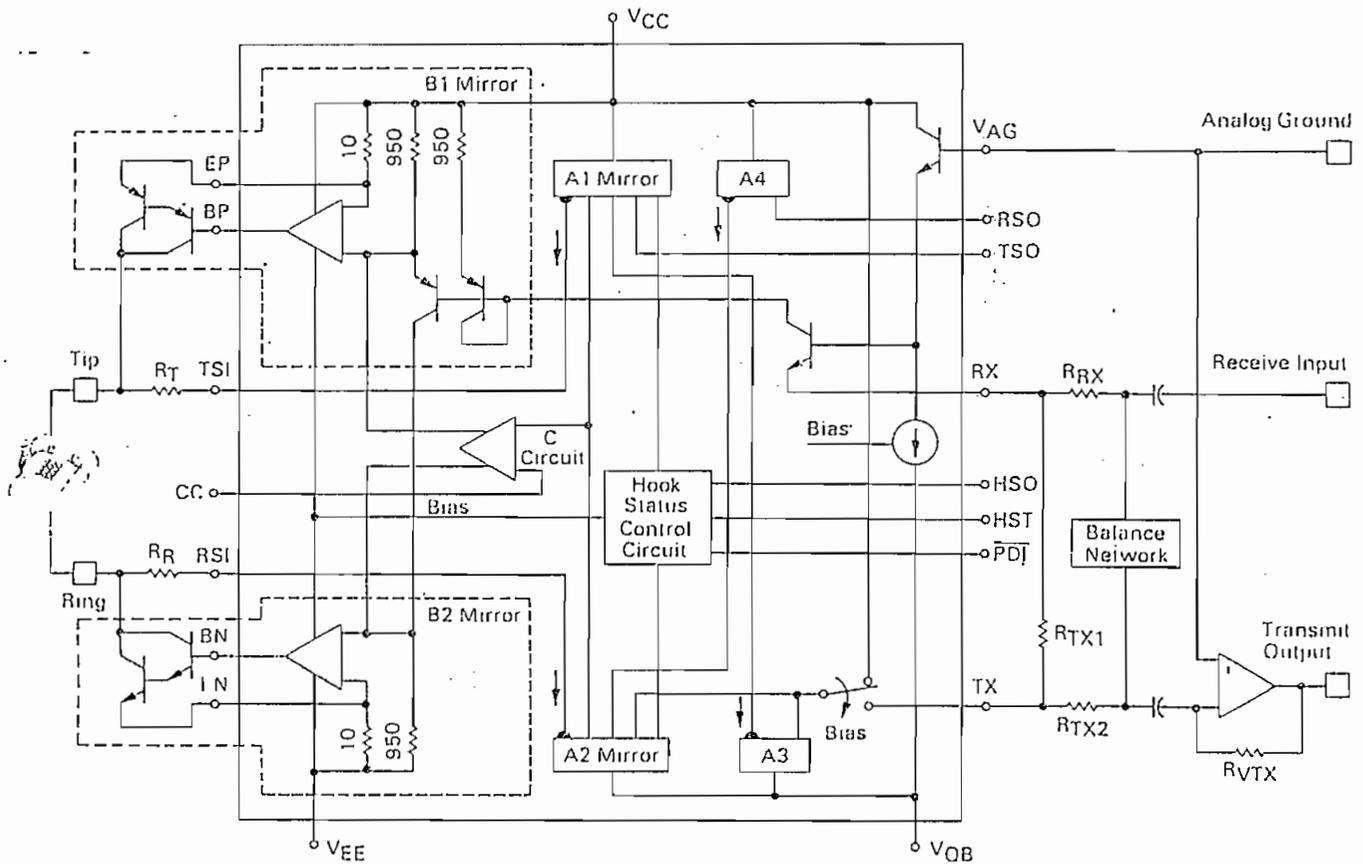


FIGURA III-7.31 DIAGRAMA FUNCIONAL DE BLOQUES DEL C.I. MC419

Se usa una red de balanceo pasivo para presentar la transformación de 2 a 4 hilos. Las corrientes a.c. debidas a las señales de modo común son canceladas antes de que alcancen la salida. El circuito de interfase de línea presenta una impedancia de terminación a.c. mayor que la impedancia de alimentación d.c.

Un circuito de control del estado del abonado (colgado-descolgado) permite monitorear las condiciones de la Línea mediante las salidas TSO y RSO. Estas salidas operan independientemente del estado de Standby que presenta el C.I. mediante el control de la entrada PDI, que activa o desactiva al SLIC.

La Figura III-7.32 presenta el circuito de aplicación del MC419 como SLIC.

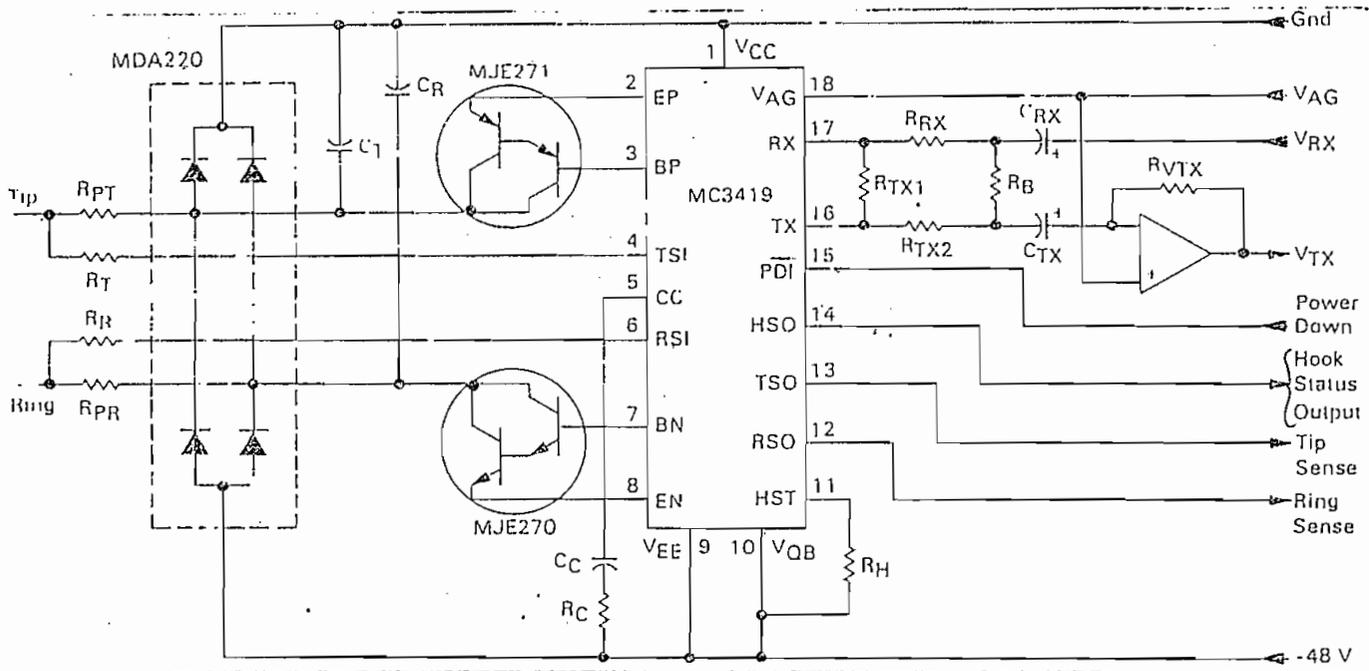


FIGURA III-7.32 CIRCUITO DEL SLIC CON EL C.I. MC3419

Las señales análogas del híbrido de 4 hilos (V_{TX} - V_{RX}) van hacia el C.I. 2912 (Ver Figura III-3.5). EL cálculo de los elementos indicados en la Figura III-7.32 se realiza de acuerdo a las recomendaciones y parámetros del fabricante.

Primero se fija los valores de la fuente de alimentación que polariza al SLIC. Dado que en nuestro medio se utiliza una fuente de -48 (V.) para la alimentación del abonado, se tiene:

- $V_{EE} = V_{QB} = -48$ (V.)
- $V_{CC} = V_{AG} = 0$ (V.) - (Tierra Análoga - Gra)

Para el diseño se dan los parámetros característicos de la línea de abonado:

- R_F = Resistencia de alimentación d.c. = 400Ω
- R_o = Resistencia de terminación a.c. = 900Ω
- R_{Loop} = Máxima Resistencia de Lazo = 2000Ω
- R_L = Resistencia de Línea = 600Ω

Se fija un límite a la corriente que va a suministrar el SLIC para a limentar al abonado, así como los valores de ganancia para la transmisión y recepción.

- I_L = Máxima corriente de Línea = 40 mA
- G_{Tx} = Ganancia de Transmisión = 0 dB
- G_{Rx} = Ganancia de Recepción = 0 dB

Con los datos anteriores se calculan los valores de los elementos res
tantes, con las fórmulas dadas en las hojas de especificaciones.

Las resistencias R_R y R_T se calculan con la ecuación III.5

$$R_R = R_T = \frac{49(V_{QB} - 4)R_F}{V_{QB}} - 600 \quad (III.5)$$

$$R_R = R_T = \frac{49(48-4)400}{48} - 600 = 17.4 \text{ K}\Omega$$

Los valores de R_R y R_T son críticos para la performance de los paráme
tros a. c. del SLIC, por lo cual se usa una resistencia fija y una variable:

$$\underline{R_R = R_T = 12 \text{ K}\Omega}$$

$$\underline{P_R = P_T = 10 \text{ K}\Omega}$$

R_C se determina según la ecuación III-6

$$R_C = R_T + 600 \quad (C_T = C_C) \quad (III.6)$$

$$R_C = 17400 + 600$$

$$\underline{R_C = 18 \text{ K}\Omega}$$

El valor de R_H determina la resistencia de lazo R_{Loop} con la cual el +
SLIC reconoce el estado de "colgado" o "descolgado", según las ecuaciones
III.7 y III.8

$$R_{Loop} (\text{colgado}) \geq 0.17R_H - (R_R + R_T) \quad (III.7)$$

$$R_{Loop} (\text{descolgado}) \leq 0.011R_H - 0.01(R_R + R_T) \quad (III.8)$$

Reemplazando los valores correspondientes tenemos:

$$R_H \geq \frac{2000 + 0.01(34.8)}{0.011} \quad R_H \geq 213.6 \text{ K}\Omega$$

$$\underline{R_H = 220 \text{ K}\Omega}$$

El SLIC reconocerá el estado de colgado cuando la línea presente una +
 $R_{Loop} (\text{colgado}) \geq 2.6 \text{ K}\Omega$; según la ecuación III.7

Los valores de las resistencias R_{Tx1} y R_{Tx2} determinan la resistencia +
 R_o con las ecuaciones III.9, III.10. y III.11

$$K5 = 1/97 \left(\frac{R_R + R_T + 1200}{R_0} - 1 \right) \quad (\text{III.9})$$

$$R_{Tx1} = \frac{(R_R + R_T + 1200) \cdot (V_{QB} - V_{AG} - 6.5)}{V_{QB} - 5.4} \quad (\text{III.10})$$

$$R_{Tx2} = \frac{K5 \cdot R_{Tx1}}{1 - K5} \quad (\text{III.11})$$

De donde: $K5 = 1/97((17400+17400+1200)/900-1) = 0.4$

$$R_{Tx1} = (17.4+17.4+1.2) \cdot (48-6.5)/(48-5.4) = 35 \text{ K}\Omega$$

$$R_{Tx1} = 33 \text{ K}\Omega$$

$$R_{Tx2} = (0.4 \times 36.5)/(1-0.4) = 24 \text{ K}\Omega$$

$$R_{Tx2} = 22 \text{ K}\Omega$$

El valor de R_{Rx} determina el valor de la ganancia de voltaje de recepción ($G_{Rx}=1$), según la ecuación III.12 ($R_L = 900\Omega$)

$$R_{Rx} = \frac{95 \cdot R_L \cdot R_0}{(R_L + R_0) G_{Rx}} \quad (\text{III.12})$$

$$R_{Rx} = 95 \cdot 900 \cdot 900 / (900+900) \cdot 1 = 42.7 \text{ K}\Omega$$

$$R_{Rx} = 39 \text{ K}\Omega$$

La ganancia de transmisión ($G_{Tx}=1$) se determina con la resistencia R_{VTx} , que se encuentra entre el amplificador operacional externo y el SLIC. El amplificador operacional corresponde al C.I. 2912 (ver Figura III-3.42), y su valor se calcula con la ecuación III.13

$$R_{VTx} = (R_R + R_T + 1200) \cdot G_{Tx} / (1.02 \times (1 - K5)) \quad (\text{III.13})$$

$$R_{VTx} = (17.4+17.4+1.2) \cdot 1 / (1.02(1-0.4)) = 58 \text{ K}\Omega$$

$$R_{VTx} = 56 \text{ K}\Omega$$

La resistencia de balance R_B se selecciona para maximizar la separación de los canales de transmisión y recepción (híbrido) para una R_L determinada, cuyo valor se calcula con la ecuación III.14

$$R_B = \frac{R_{Rx} (1+97 \cdot K5) \cdot (R_0 + R_L)}{97 \cdot (1-K5) \cdot R_L} \quad (\text{III.14})$$

$$R_B = 39(1+97 \times 0.4)(900+600)/(97 \cdot (1-0.4) \cdot 600) = 66 \text{ K}\Omega$$

Se toma a R_B como una resistencia fija y una variable para el balance:

$$R_B = 56 \text{ K}\Omega$$

$$P_B = 10 \text{ K}\Omega$$

Adicionalmente el fabricante recomienda los valores de los siguientes elementos:

$$C_C = 2200 \text{ pF}$$

$$C_{TX} = C_{RX} = 1 \text{ uF}$$

$$C_T = C_R = 2200 \text{ pF}$$

$$R_{PT} = R_{PR} = 33 \Omega$$

La Figura III-7.33 presenta el circuito correspondiente al SLIC por a bonado.

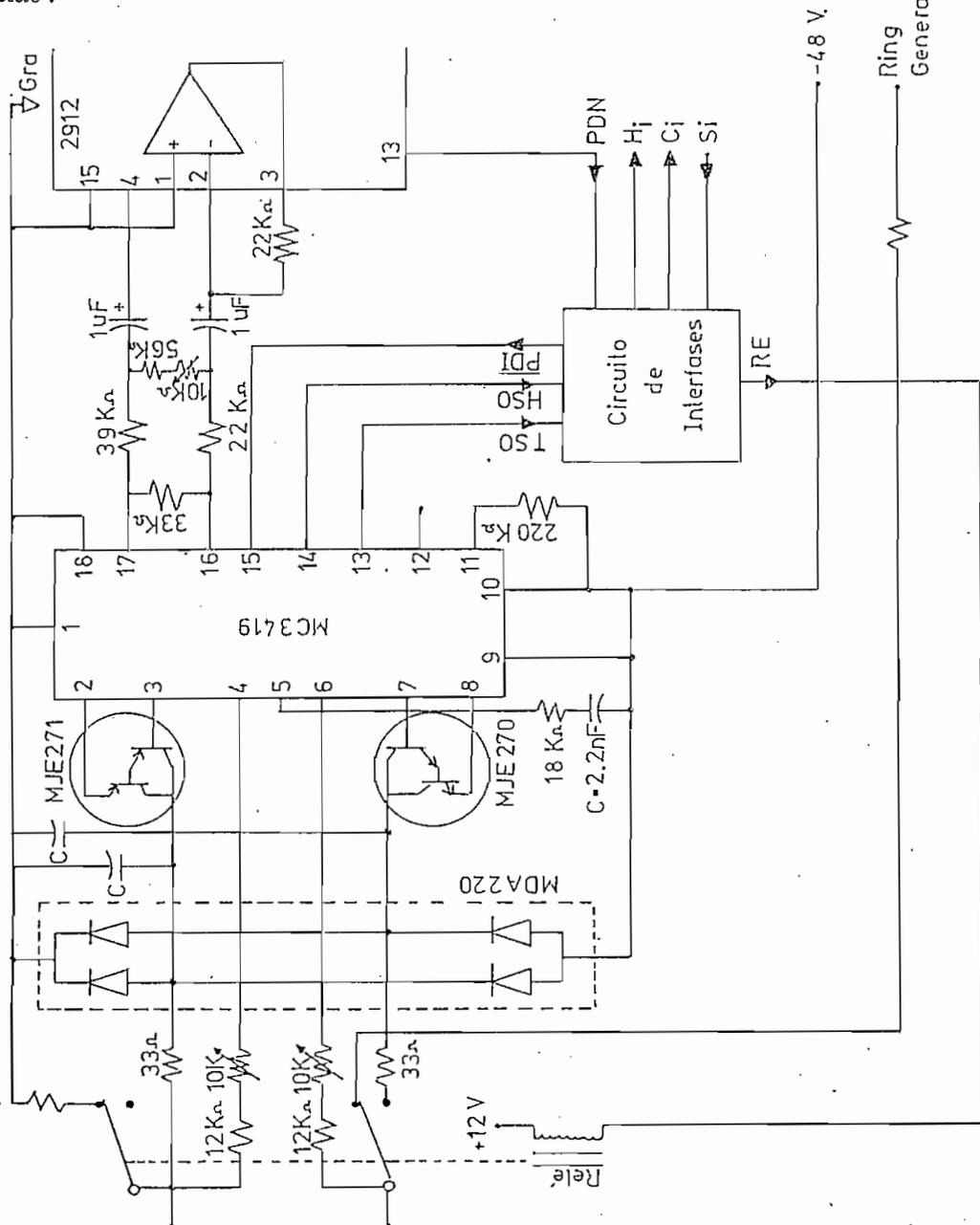


FIGURA III-7.33 CIRCUITO DE INTERFASE DE ABONADO

En el circuito de la Figura III-7.33 se incluye la inserción de la señal de timbrado mediante el control de un relé. Adicionalmente se tiene un bloque de interfases de las señales de control del SLIC, como son: $\overline{\text{PDI}}$, HSO, TSO; y cuyos circuitos de interfase se describen a continuación.

- ✓ Control de Standby: El C.I. MC3419 tiene el control de activado-desactivado del SLIC, mediante la señal de entrada $\overline{\text{PDI}}$. Este comando proviene de la señal de salida PDN del C.I. 2911 (Codec); y para el diseño del interfase se dan las características especificadas por el fabricante para los circuitos del SLIC, Codec, Filtros Tx/Rx.

C.I. 2911

Pin PDN (Out drenaje abierto)

$$V_{OLm\acute{a}x} = 0.4 \text{ V.}$$

$$V_{OHmin} = 2.4 \text{ V.}$$

$$I_{OLt\acute{i}p} = 1.6 \text{ mA.}$$

C.I. 2912

Pin PDN (In)

$$V_{ILm\acute{a}x} = 0.8 \text{ V.}$$

$$V_{IHmin} = 2.2 \text{ V.}$$

C.I. MC3419

Pin $\overline{\text{PDI}}$ (In)

$$V_{ILm\acute{a}x} = -4.0 \text{ V.}$$

$$V_{IHmin} = -1.2 \text{ V.}$$

$$I_{INt\acute{i}p} = -1.0 \text{ }\mu\text{A.}$$

De acuerdo a las características anteriores se diseña un circuito que hace compatible a los tres Pins, consistente en un cambiador de nivel de voltaje inversor; debido a que al C.I. 2912 va a Standby cuando tiene un nivel alto en su entrada (I_L), y el C.I. MC3419 cuando tiene un O_L .

Este circuito se lo implementa con un comparador cuyo nivel de referencia esta dado por el nivel medio de la señal de entrada PDN del C.I. 2912, esto es: $V_{ref1} = (V_{ILm\acute{a}x} + V_{IHmin})/2 = 1.5 \text{ V.}$

El circuito de Interfase $\overline{\text{PDI}}$ se presenta en la Figura III-7.34. Para el comparador se utiliza el C.I. LM311 (National), el cual permite realizar el cambio de niveles de voltaje con facilidad.

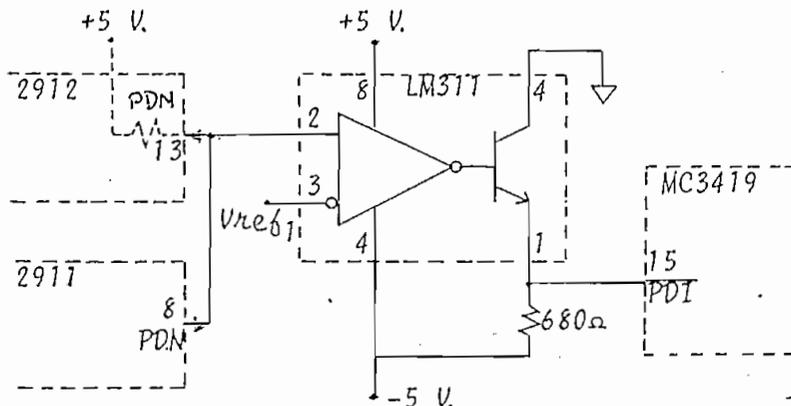


FIGURA III-7.34 CIRCUITO DE INTERFASE $\overline{\text{PDI}}$

- Control Colgado-Descolgado: El C.I. MC3419 provee una salida (TSO) que constantemente esta sensando el nivel de corriente que existe en la entrada TSI. Cuando el teléfono esta colgado casi no circula corriente por la salida TSO, y cuando existe señal se tiene una corriente proporcional a la existente en la entrada. El nivel de corriente es llevado a nivel de voltaje mediante una resistencia, y este último se lo hace compatible a niveles TTL mediante un comparador. Adicionalmente se utiliza otro comparador para manejar al relé de repique. Los elementos utilizados son los recomendados por el fabricante para las respectivas aplicaciones.

El Circuito de Control de Colgado- Descolgado se presenta en la Figura III-7.35. Para los comparadores se utiliza el C.I. LM311.

En este mismo circuito se presenta el interfase de salida de la señal HSO que indica el estado del SLIC, y que puede utilizarse para monitorear los pulsos de marcado. La señal HSO da niveles de corriente según el estado del SLIC; y se la lleva a niveles de voltaje TTL mediante el Circuito Integrado SN7463, que sensa niveles de corriente.

C.I. MC3419

Pin HSO (Out)

$I_{OHmin} = 200 \mu A$ ($\overline{PDI}=1_L$)

$I_{OLmax} = 2.0 \mu A$ ($\overline{PDI}=0_L$)

C.I. SN74LS63

$I_{ILmax} = .50 \mu A$

$I_{IHmin} = 200 \mu A$

$V_{OLmax} = 0.4 V.$

$V_{OHmin} = 2.4 V.$

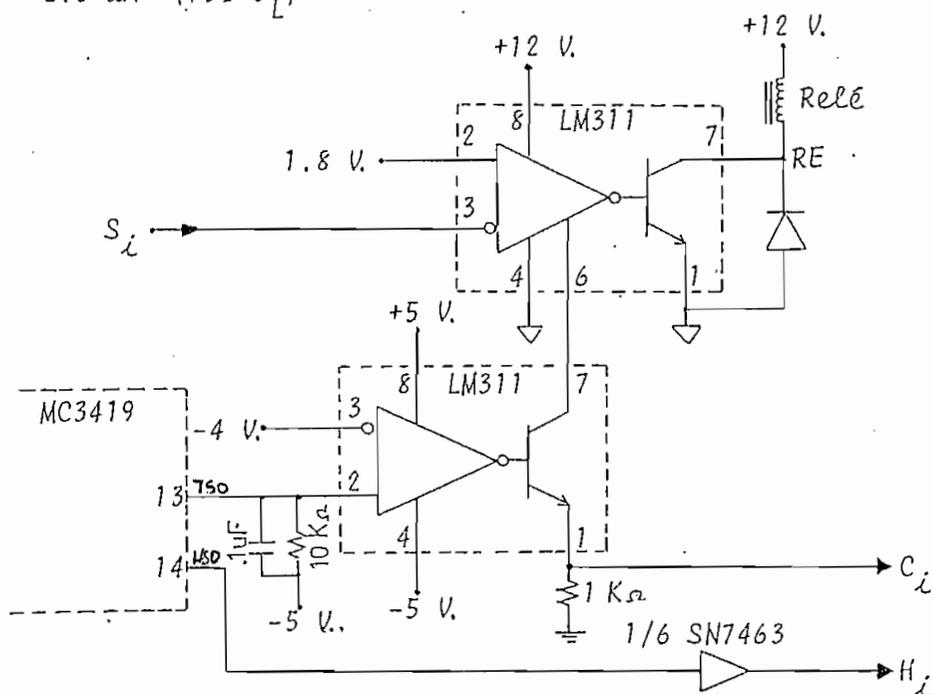


FIGURA III-7.35 CIRCUITO DE INTERFASE COLGADO-DESCOLGADO

Los voltajes de referencia de los Circuitos de Interfase de las Figuras III-7.34 y III-7.35 se los obtiene de divisores de voltaje según se indica en la Figura III-7.36.

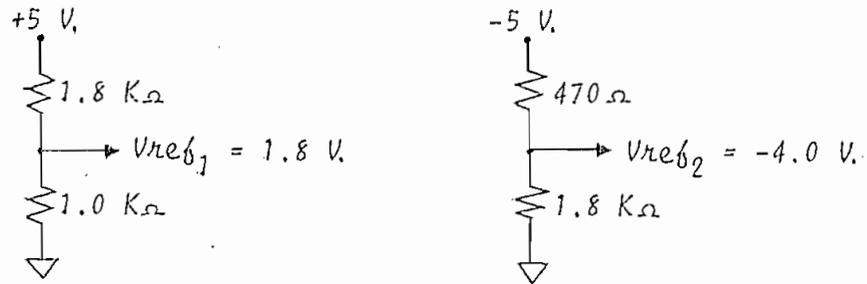


FIGURA III-7.36 VOLTAJES DE REFERENCIA PARA LOS INTERFASES

De acuerdo al circuito de la Figura III-7.35 se tienen las siguientes condiciones para las señales de comando:

S_i = Señal de control de llamada externa (Circuito de Señalización)
 $S_i = 1_L$ Llamada externa al canal i
 $S_i = 0_L$ Canal en condición normal

C_i = Señal de Control del estado del canal i (Circuito de Control)
 $C_i = 0_L$ Canal i deshabilitado (Colgado).
 $C_i = 1_L$ Canal i habilitado (Descolgado).

H_i = Señal de Control de marcado (Circuito de Señalización)
 $H_i = 1_L$ Canal i abierto (Espacio)
 $H_i = 0_L$ Canal i cerrado (Marca)

Adicionalmente el C.I. MC3419 prevee una salida adicional para el control de fallas en la línea mediante la señal de salida RSO (Ring Sense Out) * que permite detectar el nivel de corriente en la entrada RSI. Sin embargo por el alcance del presente proyecto, no se incluye el interfase para esta salida; siendo éste similar al presentado para la señal TSO.

Dado que todo este bloque es propio de los sistemas telefónicos (SLIC) se dejan las bases suficientes para la aplicación práctica en dichos sistemas, sin realizar un estudio profundo. Igualmente solamente se incluye el relé de timbrado para uno solo de los canales, comprobándose su habilitación o deshabilitación; a partir de lo cual se puede utilizar en el futuro para aplicaciones prácticas con canales telefónicos.

Antes de terminar con el análisis del presente bloque (SLIC), se debe mencionar dos inconvenientes que se presentaron en la implementación práctica del mismo.

Al realizar las pruebas con señales provenientes de canales telefónicos, se encontró que la amplificación de señal en la transmisión era elevada, lo que producía oscilaciones e inestabilidad en el circuito.

Como se anotó al realizar el diseño, la ganancia en el lado de transmisión G_{Tx} está determinada por la resistencia R_{VTx} y cuyo valor calculado es de 56 K Ω . El problema suscitado se debe a que se utiliza el C.I. de la Intel para el Filtro Tx/Rx (2912-3) y el C.I. de la Motorola para el SLIC (MC3419), y por tanto las especificaciones dadas por cada fabricante toman en cuenta parámetros propios de cada uno.

Se trabajó con los dos C.I. por su disponibilidad y dado que no presentan mayores dificultades el acoplamiento de los dos circuitos integrados se efectuó en forma práctica debido a no disponer de información suficiente para el diseño del Interfase entre el SLIC y el Filtro Tx/Rx, sobre todo del C.I. 2912.

El problema de la elevada ganancia se resolvió bajando el valor de la resistencia R_{VTx} (valor que ya se incluye al presentar el circuito implementado en la Figura III-7.33). Experimentalmente se encontró que valores de resistencias entre 15 K Ω y 27 K Ω dan resultados aceptables, teniendo mayor ganancia a mayor valor de R_{VTx} , pero que a su vez produce un mayor ruido de fondo al tener conectado un aparato telefónico. Para tener un bajo nivel de ruido y con una ganancia aceptable, se escoge un valor intermedio:

$$\underline{R_{VTx} = 22 \text{ K}\Omega}$$

El otro inconveniente tiene que ver con los pulsos de marcado que se tiene en la señal HSO, los mismos que no se observan luego del detector de corriente (C.I. SN74LS63). Sin embargo no se efectúan modificaciones debido a que dichos pulsos se presentan de igual manera en la salida TSO, y por tanto en la señal Ci; con la única observación que en ésta señal los pulsos de marcado son pulsos negativos (\neg).

III-8 INTERFASE DE LINEA TX/RX

III-8.1 Consideraciones Teóricas

La señal multiplex PCM para su transmisión debe adaptarse a las características del canal de transmisión, y para lo cual se deben tener en consideración dos puntos:

- La señal transmitida debe tener una forma de tal manera que su espectro no contenga una componente continua. Por tanto la señal de salida del multiplexer deberá transformarse a un código simétrico.
- La señal a transmitirse debe contener la información necesaria para poder derivar de esta el Reloj Maestro del Receptor en el respectivo terminal de recepción; efectuandose así la Sincronización de Bit entre el Transmisor y el Receptor.

III-8.2 Diseño

En los dos siguientes puntos se realiza de manera independiente el diseño del Interfase de Línea del Transmisor y del Interfase de Línea del Receptor.

Se escoge de manera particular como código la Modulación en Frecuencia de la señal multiplex; utilizando para la modulación de los datos, la señal de Reloj Maestro del Transmisor (CK_{TX}), con lo cual se obtiene en el receptor la señal de Reloj Maestro del Receptor (CK_{RX}) y la señal multiplex de datos de manera independiente. Adicionalmente cabe mencionar el hecho que la señal FM unipolar es convertida en bipolar antes de la transmisión (para eliminar la componente continua), y transformada a señal unipolar nuevamente en el receptor antes de efectuar la demodulación.

Como se vió en el Capítulo II en el punto correspondiente al Interfase de Línea Tx/Rx (Punto II-9), existe varios códigos utilizados para la transmisión de la señal multiplex; escogiendose el anteriormente anotado tanto por su fácil implementación, como por tener las características necesarias para utilizarlo en el presente proyecto.

El proceso de modulación digital en frecuencia es tratado en el siguiente punto.

El ancho de los pulsos de agujas t_d queda determinado exclusivamente por el tiempo de retardo de los inversores, cuyo valor típico es de 15 nseg según las especificaciones del fabricante. El ancho del pulso está dado en la ecuación III-15.

$$t_d = 3 \cdot t_r \quad (\text{III-15})$$

$$t_d = 3 \times 15 \text{ (nseg)} = 45 \text{ (nseg)}$$

Dicho tiempo es suficiente para que otros circuitos lógicos reconozcan el estado 1_L en sus entradas.

El circuito que realiza la Modulación Digital FM se presenta en la Figura III-8.32, en la cual se incluye el diagrama de tiempos respectivos. Para el modulador se utilizan los C.I. SN74LS08, SN74LS32 (4 compuertas OR) y SN7474 (Dual F.F. tipo D).

DATOS 0 1 1 0 0

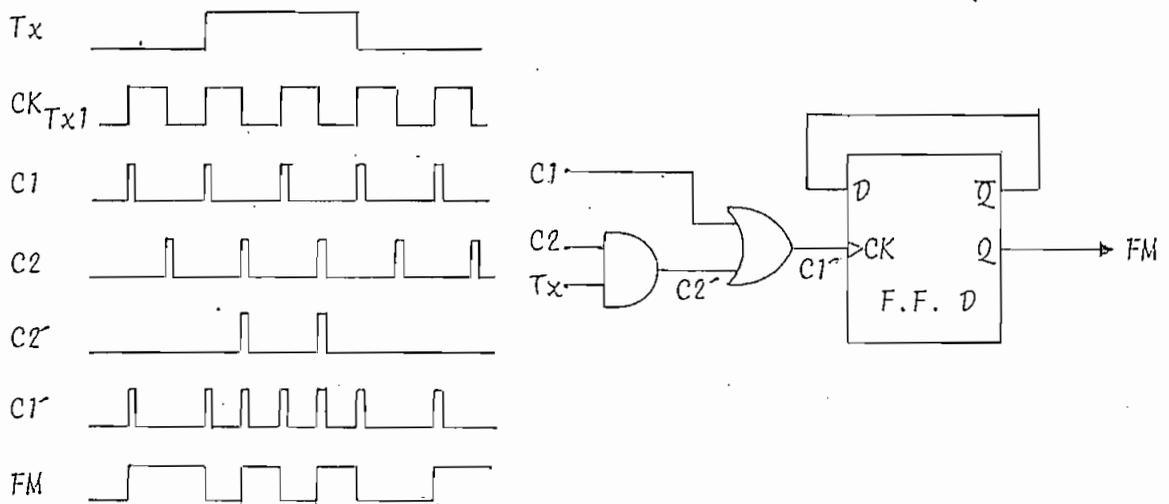
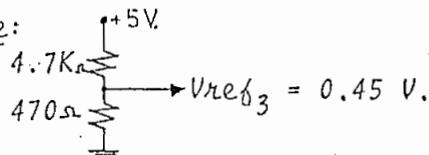


FIGURA III-8.32 MODULACION DIGITAL FM

La señal unipolar es convertida a bipolar mediante un comparador (C.I. LM311); que cambie el nivel de 0_L a un nivel de voltaje de $-5V$, y el nivel 1_L al nivel $+5V$. Se toma como nivel de referencia del comparador el nivel de voltaje de 0_L ($V_{0Lm\acute{a}x}$). Dicho voltaje de referencia se lo obtiene con un divisor de voltaje resistivo.

$$V_{0Lm\acute{a}x} = 0.4 \text{ (V)}$$

Divisor de Voltaje:



El circuito que convierte la señal unipolar a bipolar se presenta en la siguiente Figura:

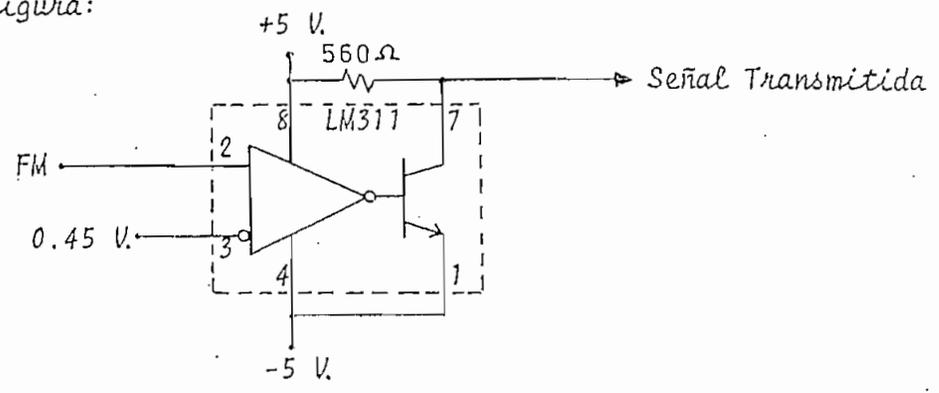


FIGURA III-8.33 CONVERSION DE SENAL UNIPOLAR A BIPOLAR

El circuito total del Interfase de Línea del Transmisor se indica en la Figura III-8.34. En este se incluyen los tres bloques tratados en los puntos anteriores. Se indica también la señal modulada que va hacia el bloque de Señalización y Alarmas, para determinar la ausencia de señal saliente en el caso que se produzca alguna falla en este bloque.

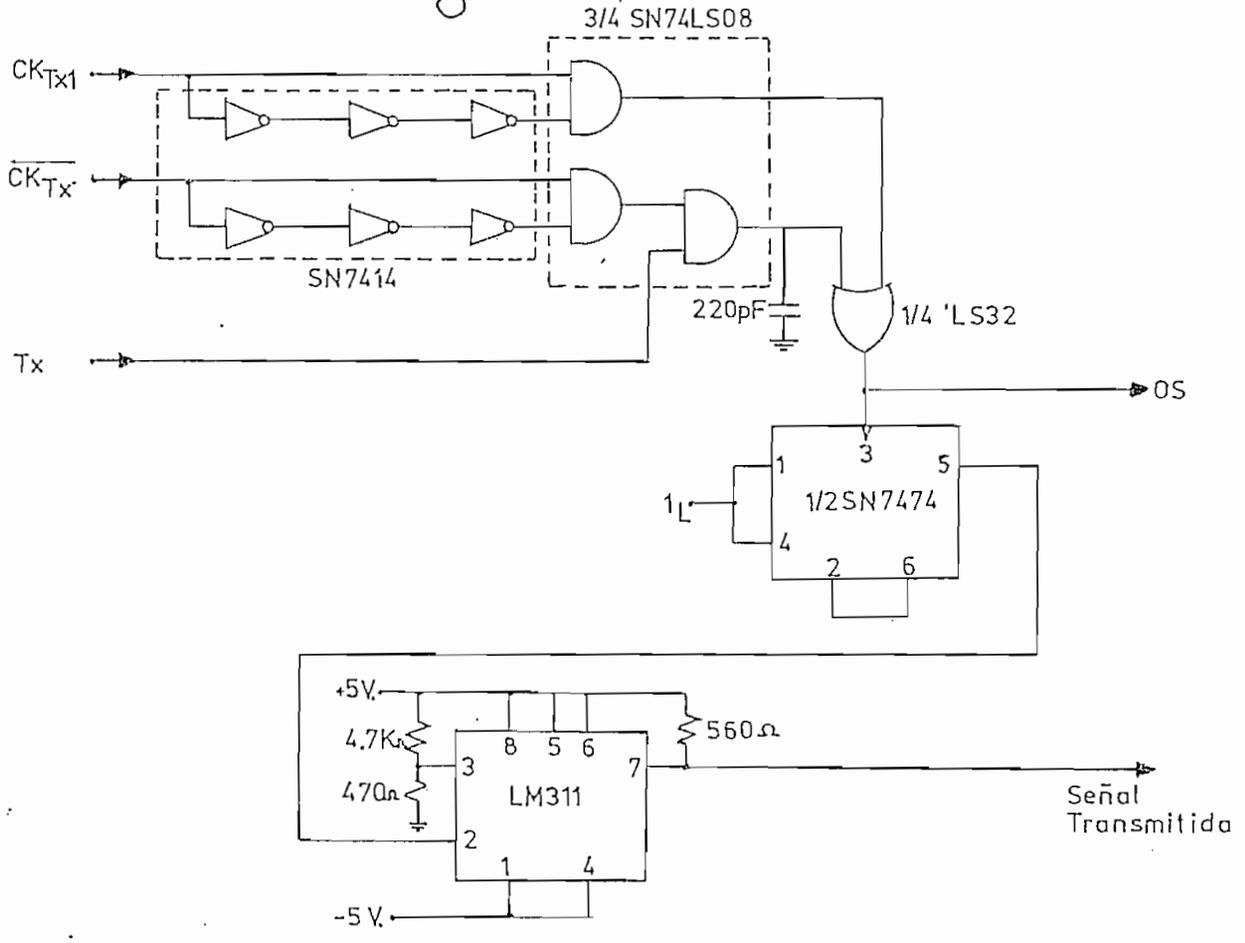


FIGURA III-8.34 CIRCUITO INTERFASE DE LINEA TX

III-8.4 Interfase de Línea Rx

Este bloque obtiene en primer lugar la señal unipolar a partir de la señal bipolar que recibe, para posteriormente proceder a la demodulación.

La conversión de bipolar a unipolar se realiza utilizando un comparador (C.I. LM311) como detector de cruce de nivel. La salida ingresa a un inversor Schmitt Trigger (C.I. SN74LS14) que regenera la señal degradada por la distorsión introducida por el canal y por el uso de los dos comparadores; obteniendo a la salida la señal unipolar cuadrada y simétrica. El circuito conversor se presenta en la Figura III-8.41

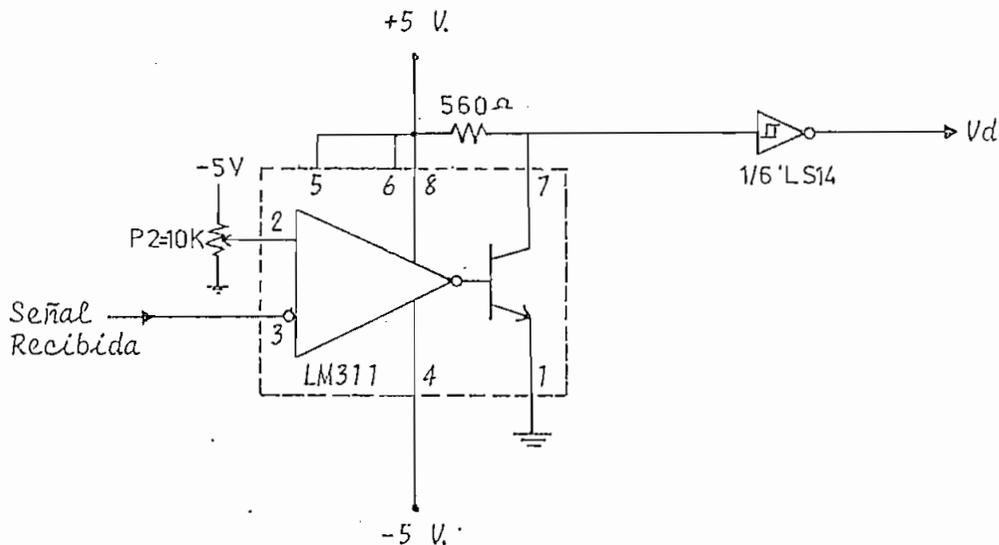


FIGURA III-8.41 CONVERSION DE SENAL BIPOLAR A SENAL UNIPOLAR

El demodulador recupera la señal de reloj y la señal de datos de mane independiente. El circuito que cumple con dicha función se presenta en la Figura III-8.42, conjuntamente con su diagrama de tiempos.

El proceso de demodulación es el siguiente: Generamos pulsos de agujas tanto para las transiciones positivas como para las transiciones negativas que contenga la señal recuperada. Luego mediante un multivibrador mono estable se obtienen pulsos de duración mayor que la de un semiperíodo de la señal CK_{Tx} para eliminar los pulsos de agujas de las transiciones que se encuentren entre transiciones positivas que nos da la señal de datos; y al mismo tiempo obtener la señal de reloj eliminando los pulsos de agujas de transiciones negativas que se encuentren entre dos transiciones positivas seguidas.

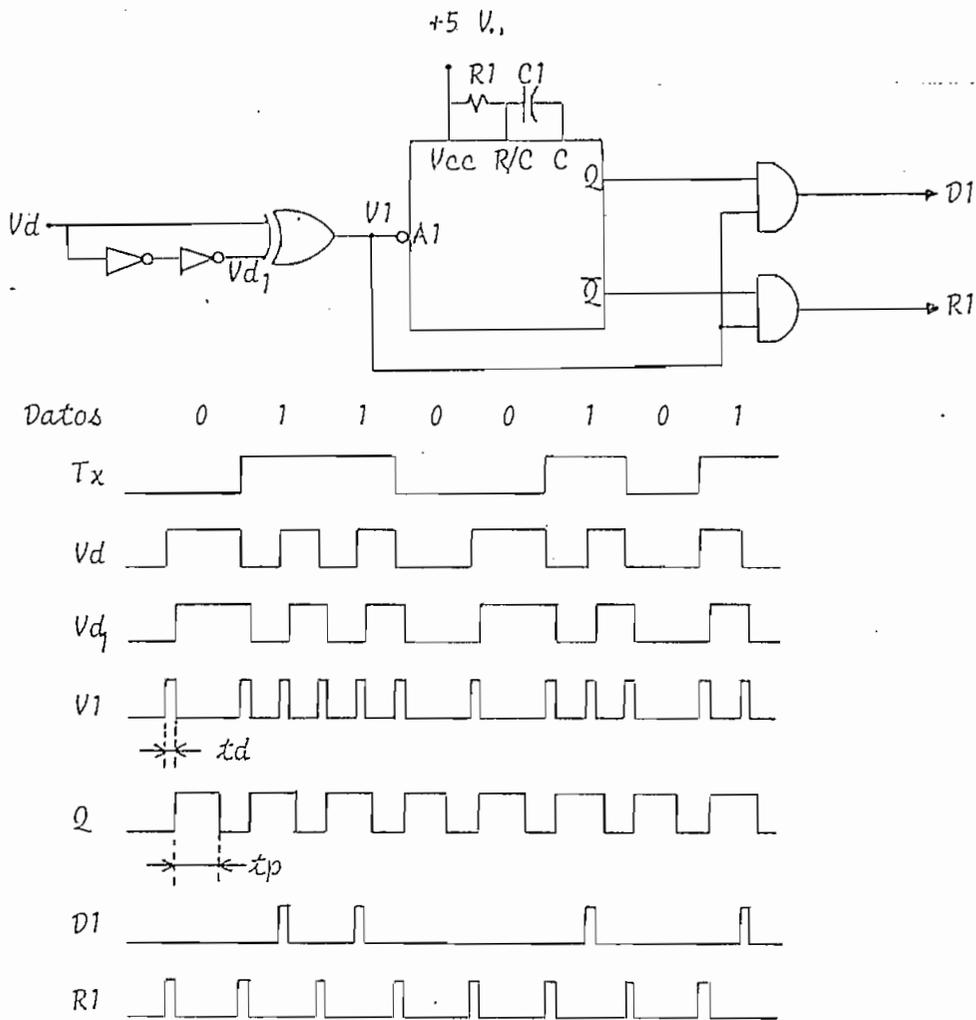


FIGURA III-8.42 DEMODULACION DIGITAL FM

El ancho del pulso producido por el monoestable (C.I. SN74221) está determinado por los elementos externos $R1$, $C1$; según la ecuación III-16 dada en las especificaciones del fabricante.

$$t_p = C1 \cdot R1 \cdot \ln 2$$

(III-16)

De acuerdo a lo descrito anteriormente: $t_p > 50\% \cdot T_{CK}$

Se toma por seguridad: $t_p \approx 75\% \cdot T_{CK}$; $t_p \approx 0.366 \text{ useg.}$

Escogiendo $C1 = 220 \text{ pF}$

Reemplazando en III-16: $R1 \approx 0.366 \times 10^{-6} / (220 \times 10^{-12} \times 0.7)$

$$R1 = 2.2 \text{ K}\Omega$$

Por tanto: $t_p = 0.339 \text{ useg.}$

El proceso de demodulación se completa transformando los pulsos de corta duración (tanto de la señal de reloj como de la señal de datos) a señales simétricas y cuadradas. En este punto se considera que existen pulsos de agujas solo en las transiciones positivas de la señal de datos, y que la señal de pulsos de agujas del reloj contiene solamente a las transiciones positivas de la señal de reloj transmitida. El proceso se indica en la Figura III-8.43, con el diagrama de tiempos de las principales señales que se tienen en dicho circuito.

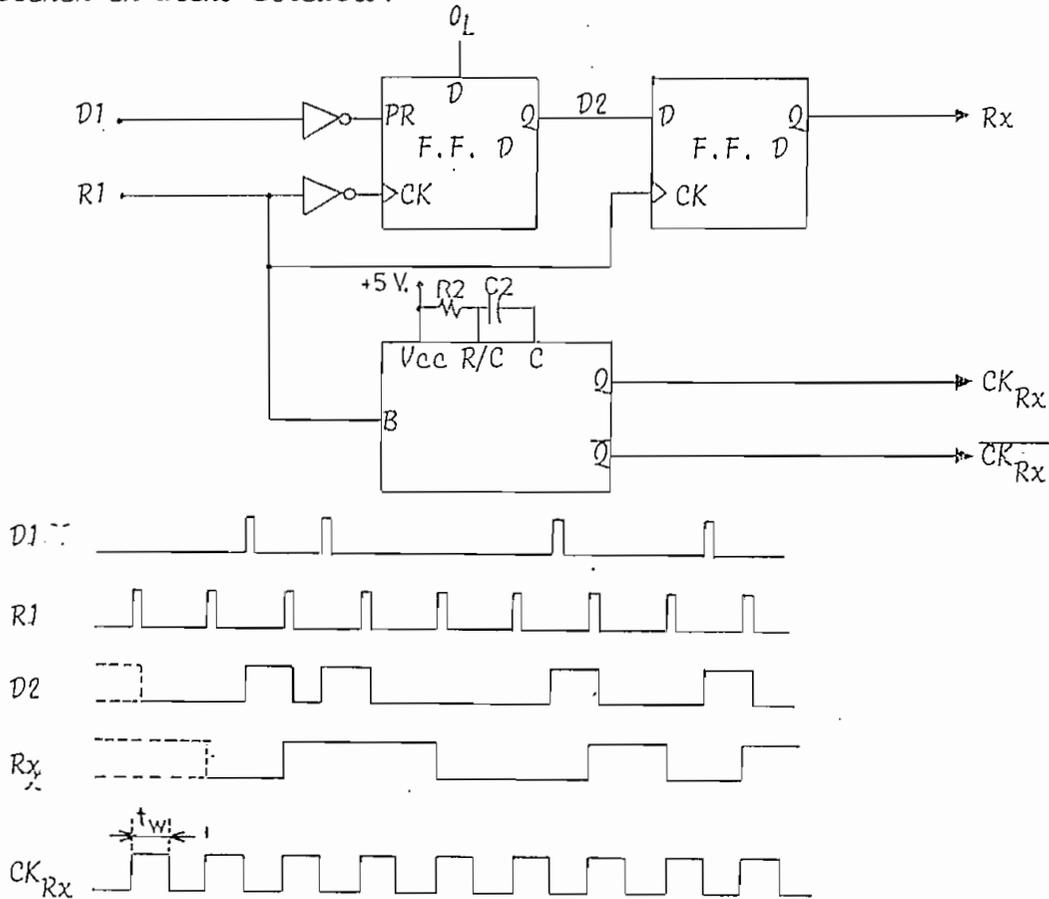


FIGURA III-8.43 OBTENCIÓN DE LA SEÑAL DE DATOS Y SEÑAL DE RELOJ RX

El ciclo efectivo de la señal de reloj recuperado (CK_{Rx}) está determinada por el ancho del pulso producido por el monoestable (C.I. SN74221: Dual Multivibrador Monoestable), y que se determina por los elementos externos: $R2$, $C2$; similarmente a la expresión de la ecuación III-16.

$$t_w = 50\% \cdot T_{CK} = R2 \cdot C2 \cdot \ln 2 \quad (\text{III-17})$$

$$t_w = 0.5 \times 0.488 \text{ useg} = 0.244 \text{ useg}$$

Tomando a $C2 = 100 \text{ pF}$

$$\text{Reemplazando en la ec. III-17: } R2 = 0.244 \times 10^{-6} / (100 \times 10^{-12} \times 0.7)$$

$$\underline{R2 = 3.5 \text{ K}\Omega}$$

El circuito completo del Interfase de Línea del Receptor (Rx) se indica en la Figura III-8.44. Se presentan en este las cuatro señales de salida que se tienen: Rx , CK_{Rx} , \overline{CK}_{Rx} e IS; esta última va hacia el bloque de Señalización y Alarmas para detectar pérdida de señal entrante y dar la alarma respectiva.

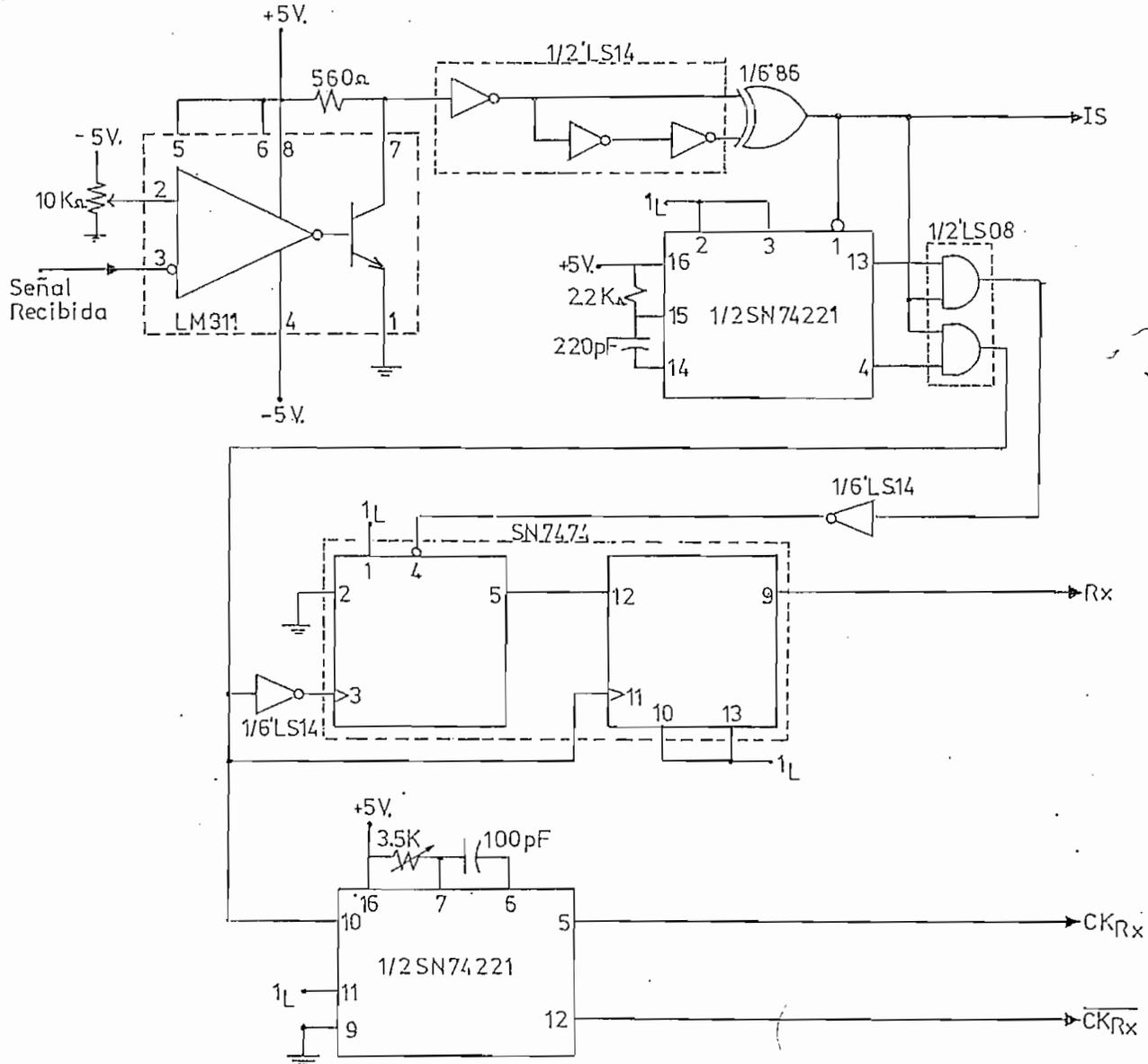


FIGURA III-8.44 CIRCUITO INTERFASE DE LINEA RX

Las características y especificaciones de los CI. LM311, SN74221, y SN7474 se dan en el anexo respectivo. No se incluyen de los otros circuitos integrados dado su uso generalizado.

III-9 ADAPTADOR DE SEÑALIZACION

III-9.1 Consideraciones Teóricas

La información de señalización que se transmite y recibe, será coman-
dada por las respectivas señales de control del transmisor y receptor. En
el actual Sistema Multiplex PCM de 6 Canales Análogos, se utiliza como Ca-
nal de Señalización el canal (intervalo de tiempo) número siete (Referir-
se al Punto III-4).

La información de señalización corresponderá a los 6 canales, trans-
mitiéndose 4 bits de información por canal; esto es se transmite y recibe
la información de dos canales en cada intervalo de tiempo de señalización,
lo cual implica que se deberá transmitir la información de los seis canales
de manera alternada en tres tramas, más una trama adicional utilizada para
la transmisión-recepción del código de alineación de multitrama. La composi-
ción de la multitrama de señalización se aprecia en Cuadro III-9.1

Trama #	Dígitos del Intervalo de Tiempo 7 (D7)							
	1	2	3	4	5	6	7	8
0	0	0	0	0	1	X	0	1
1	a1	b1	c1	d1	a4	b4	c4	d4
2	a2	b2	c2	d2	a5	b5	c5	d5
3	a3	b3	c3	d3	a6	b6	c6	d6

CUADRO III-9.1 COMPOSICIÓN DE LA MULTITRAMA EN EL SISTEMA MIC 6+2

En el Cuadro anterior se tiene:

- Los cuatro primeros bitios de la trama # 0 dan el código de alineación de multitrama; siendo único, es decir que no aparece en ningun-
o de los otros intervalos asignados para señalización. (MFAW)
- El bit # 6 (X) de la misma trama se utiliza para indicar la pérdida
de sincronismo de multitrama local, al terminal distante.
- En las siguientes tramas se han atribuido 4 bits de señalización
por canal (a, b, c, d).

El adaptador de señalización consta en sí de dos bloques; el corres-
pondiente al transmisor que deberá generar el código de sincronismo de la

..1

multitrama, y el referente al receptor que deberá reconocer dicho código para proceder a la alineación de multitrama. Los dos circuitos tendrán la función de transmitir/recibir la información de señalización para cada canal de manera sincrónica con el generador de señales respectivo.

El diseño del adaptador de señalización se realiza de manera independiente para el lado de transmisión y recepción como consta en los siguientes dos puntos; en los que a pesar de efectuarse para los seis canales del Sistema MIC, fácilmente puede ampliarse para un mayor número de canales, incrementando de manera similar los bloques de señalización que comprende el diseño particular para los seis canales mencionados.

III-9.2 Adaptador de Señalización para Transmisión

El diseño es específicamente secuencial, permitiendo tomar la información de cada uno de los canales (4 bits por canal) hacia la entrada del canal número siete del multiplexer. Paralelamente en cada intervalo de tiempo siete se asignan los cuatro primeros bits para un canal, y los cuatro restantes para el otro canal; según el Cuadro III-9.1.

El circuito se lo realiza específicamente en base a selectores de datos (8/1), necesitando tres selectores para los seis canales y uno adicional para enviar el código de alineación de multitrama. Finalmente se selecciona una de las salidas de los selectores de manera repetitiva cada cuatro tramas que conforman la multitrama.

Todos los selectores de datos se comandan con las señales provenientes del generador de señales de transmisión. Los selectores de datos de señalización se comandan con las señales de Secuencia de Bits (Bx_1, Bx_2, Bx_3), y el selector que escoge la salida de uno de los cuatro selectores se comanda con las señales de Secuencia de Trama (Fx_1, Fx_2).

La Figura III-9.21 presenta el diagrama de bloques del adaptador de señalización para el lado de transmisión.

A los bits de señalización que no se utilizan se les asigna el nivel 1_L , según la recomendación respectiva dada por el CCITT.

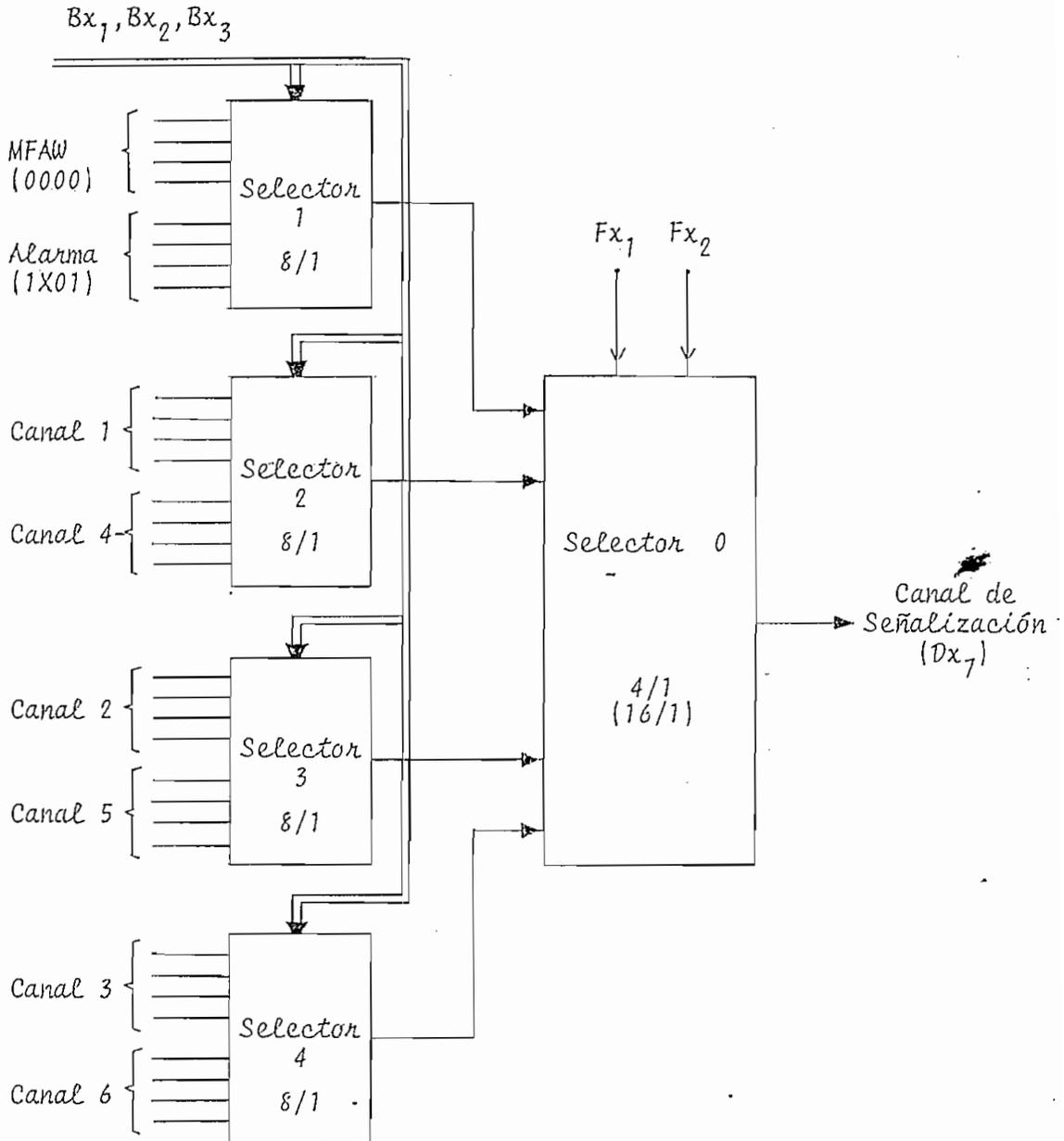


FIGURA III-9.21 DIAGRAMA DE BLOQUES DEL ADAPTADOR DE SEÑALIZACIÓN TX

El circuito se implementa utilizando para los selectores de datos 8/1 al C.I. SN74LS151; y un selector de datos 16/1 (C.I. SN74LS150) que permite incrementar de manera directa la señalización para un máximo de 16 canales, si se incrementan los selectores de datos 8/1 por cada par de canales.

En la Figura III-9.22 se presenta el circuito correspondiente al Adaptador de Señalización para el Transmisor.

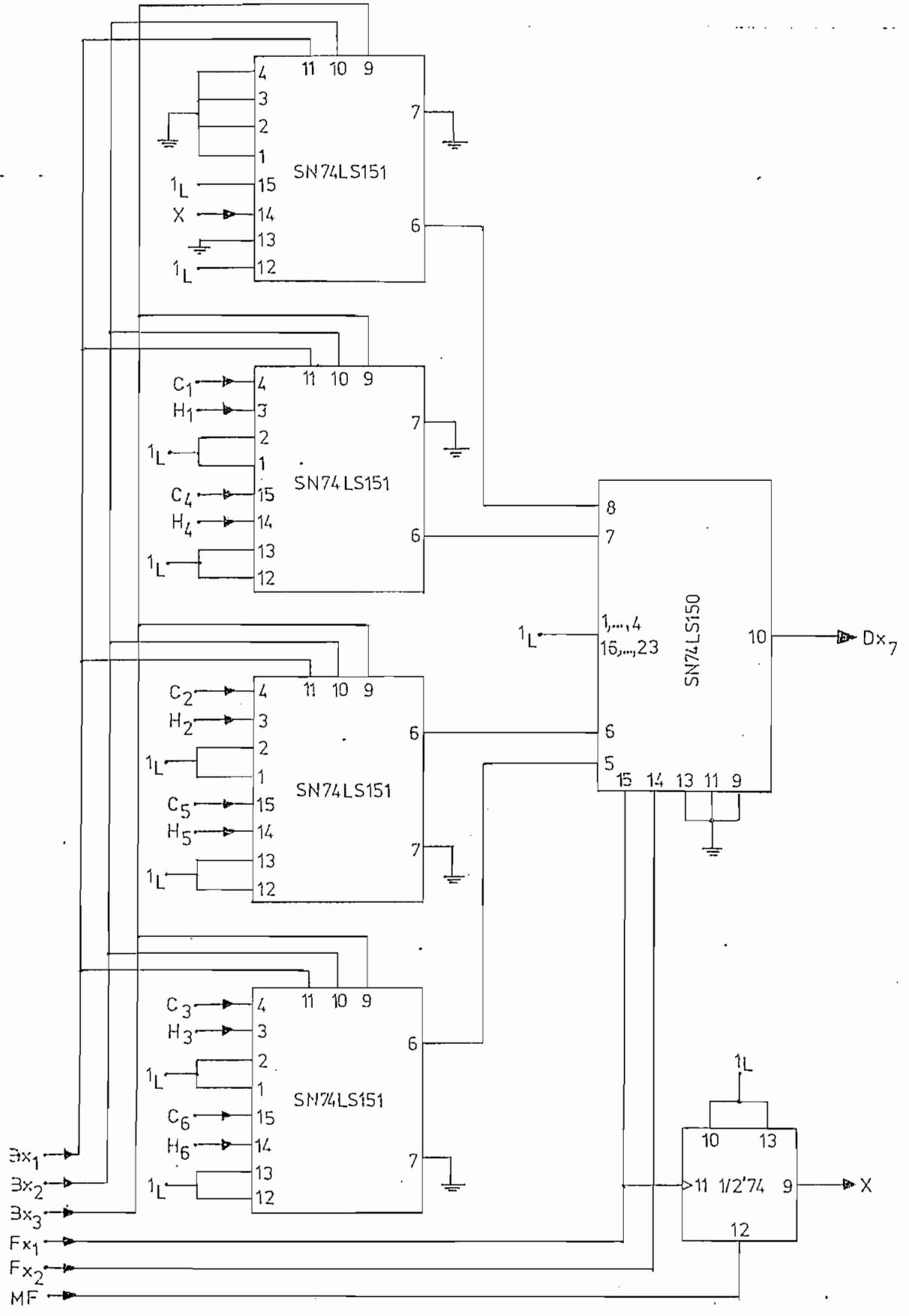


FIGURA III-9.22 CIRCUITO DEL ADAPTADOR DE SENALIZACION TX

III-9.3 Adaptador de Señalización para Recepción

Básicamente se sigue un proceso inverso al de la transmisión, con la inclusión de un circuito de reconocimiento del código de sincronismo de multitrama, que permita la alineación de la secuencia de la multitrama del receptor con la del transmisor.

Dado que el código de sincronismo no se presenta en ningún otro instante en el canal de señalización, el circuito de reconocimiento y sincronización de multitrama es bastante simple; y por lo mismo no se incluye un análisis detallado de su diseño.

Para recuperar de manera independiente los bits de información de señalización de la señal serial de datos del canal respectivo, se utiliza Registros de Desplazamiento Serie a Paralelo de 8 bits (uno por cada par de canales). Dichos registros son comandados por 4 fases de reloj que actúan una a la vez cada 4 tramas, y durante el intervalo de tiempo siete; esto permite tener en las salidas de los registros de desplazamientos los datos de señalización que se transmitieron de manera permanente hasta que llegue un nuevo dato. Las fases de reloj se las obtiene mediante un decodificador de datos (1/16) que opera sincronicamente con el generador de señales del receptor, y permite ir tomando a cada una de sus salidas la señal de reloj maestro recuperado (\overline{OK}_{Rx}). Esto permite ir habilitando un Registro de Desplazamiento a la vez.

La Figura III-9.31 presenta el diagrama de bloques del adaptador de señalización del receptor, según la descripción antes realizada.

La alineación de la multitrama se produce con el reconocimiento del primer código de sincronismo detectado, y se realiza con un pulso de borrado que va a comandar las señales de Secuencia de Trama del generador de señales Rx. El circuito que detecta la palabra de alineación de multitrama se incluye directamente, dado que su función es directa y tomando en cuenta que las salidas de los registros de desplazamiento no cambian hasta que llegue la nueva información.

Adicionalmente como se indicó, el decodificador 16/1 es habilitado solamente durante los intervalos de tiempo 7, mediante el Circuito Combinacional #1.

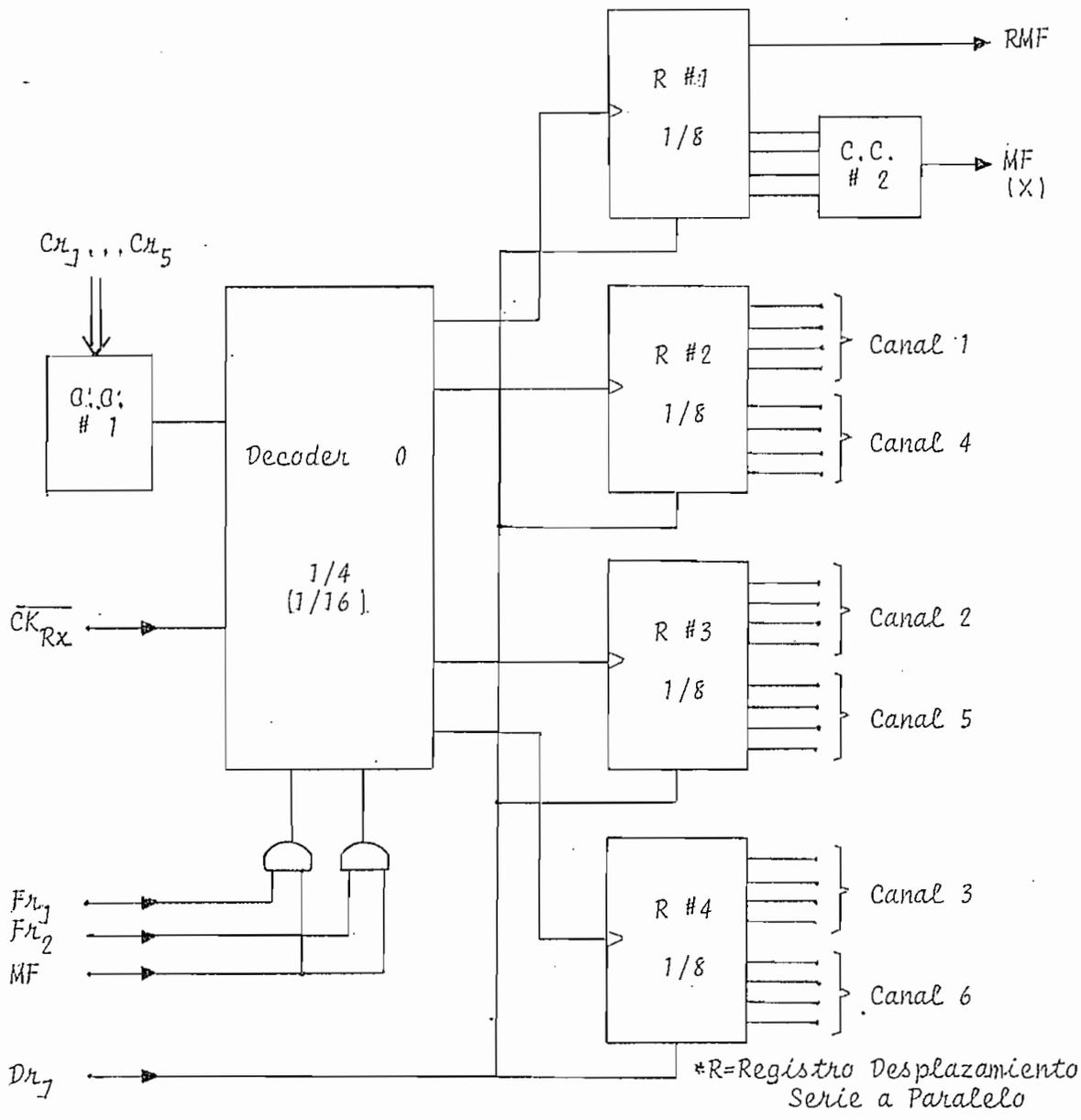


FIGURA III-9.31 DIAGRAMA DE BLOQUES DEL ADAPTADOR DE SENALIZACION RX

El circuito se implementa con los C.I. SN74LS164 (Registro de despla
zamiento serie a paralelo 1/8), SN74LS154 (Decodificador 1/16), SN7425 (NOR
de 4 entradas), SN74LS00 (4 NAND de 2 entradas), SN7404 (6 NOT)..Se utiliza
el Decodificador 1/16 para su posible uso, si se amplian el número de canales..

La Figura III-9.32 presenta el circuito correspondiente al Adaptador
de Señalización para el Receptor.

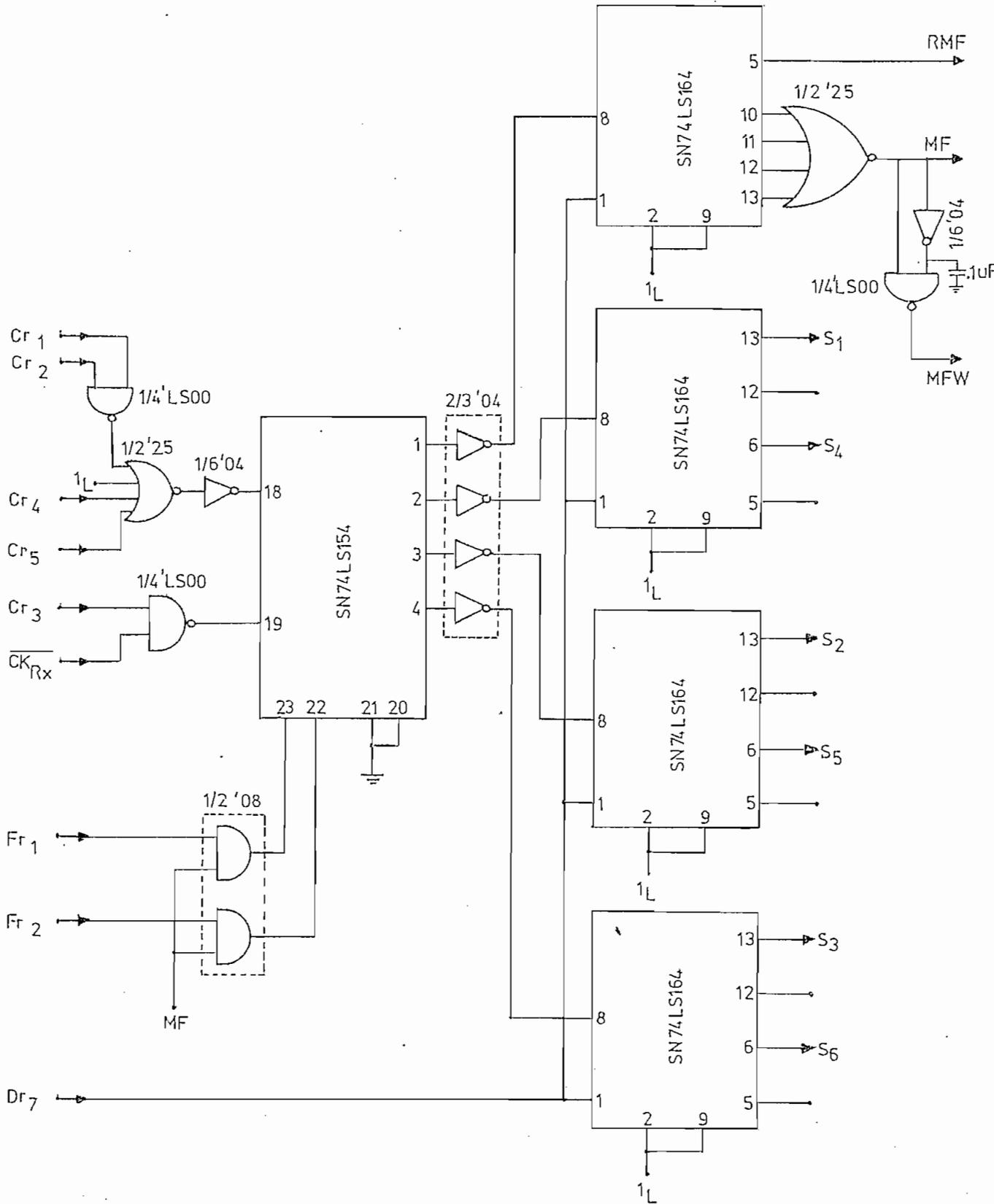


FIGURA III-9.32 CIRCUITO DEL ADAPTADOR DE SENALIZACION RX

III-10 SISTEMA DE ALARMAS

III-10.1 Consideraciones Teóricas

Todo equipo Multiplex PCM debe proveer una unidad de alarmas que facilite la localización rápida de posibles fallas en el sistema. De acuerdo a los descrito en el Punto II-14, en el presente proyecto se implementan las siguientes condiciones de alarma:

- Pérdida de la señal saliente (OGSL)
- Pérdida de la señal entrante (ICSL)
- Pérdida de la alineación de trama local (FAL)
- Pérdida de la alineación de trama en el terminal remoto (RFAL)
- Pérdida de la alineación de multitrama local (MFAL)
- Pérdida de la alineación de multitrama remoto (RMFAL)
- Alarma de alta tasa de error en la transmisión (HER)
- Alarma por falla en la alimentación

III-10.2 Diseño

Todas las señales indicadoras de alarmas que contiene el equipo van a ser de tipo luminoso utilizando LED (Light Emissor Diode), que se manejan fácilmente con lógica TTL. Dichos indicadores estarán presentes en el bloque de señalización y alarmas.

El diseño se realiza de manera conjunta entre condiciones de alarmas similares.

III-10.21 Pérdida de Señal Saliente -Pérdida de Señal Entrante

Estas alarmas pueden obtenerse de las salidas lógicas de monoestables redispersables, cuyas entradas son monitoreadas por las señales entrante y saliente del Interfase de Línea Tx/Rx (Ver Figuras III-8.34 - III-8.44).

El ancho del pulso que deberán tener los multivibradores monoestables redispersables, deberá ser mayor que dos períodos de reloj.

Lo anterior se deduce del hecho que la señal modulada representa el nivel 0_L con medio ciclo de la mitad de frecuencia de la señal de reloj, teniendo por tanto como máximo período el equivalente al doble del período de CK.

Se escoge el C.I. SN74123 que contiene a dos multivibradores monoestables redisparrables; cuyas entradas de disparo serán precisamente las señales provenientes del Interfase de Línea Tx/Rx: OS para la señal saliente e IS para la señal entrante.

El ancho del pulso producido por el monoestable esta definido por la ecuación III-17.

$$t_w = 0.28R_T C_T (1 + 0.7/R_T) \quad (\text{III-18})$$

donde: C_T en pF

R_T en K

t_w en nseg

Se tendrá por tanto: $t_w \geq 2 \cdot T_{CK}$ (III-19)

$$t_w \geq 2 \times 0.488 \text{ useg} = 0.976 \text{ useg}$$

De las hojas de especificaciones del C.I. SN74123 se escoge un valor adecuado para R_T :

$$\underline{R_T = 10 \text{ K}\Omega}$$

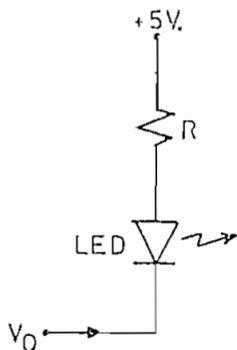
De la ecuación III-18 despejamos C_T , y reemplazando la ecuación III-19

$$C_T \geq 976 / (0.28 \times 10 \times (1 + 0.7/10)) = 329 \text{ (pF)}$$

$$\underline{C_T = 330 \text{ pF}}$$

Dado que las señales entrante y saliente son similares, los dos multivibradores monoestables tendrán el mismo ancho de pulso t_w . Si existe señal OS; el multivibrador monoestable correspondiente se estará redisparrando; y su salida Q tendrá un nivel alto (1_L); pero si la señal se pierde la salida Q irá hacia 0_L mientras no llegue información nuevamente.

La salidas Q de los multivibradores (para OS e IS), comandan LEDs que se encenderán si existe un nivel 0_L en Q; según se aprecia en la Figura III-10.21 (a).



Si $Q = 0_L$ se tienen las siguientes condiciones para el cálculo del valor de R:

$$V_Q = V_{OLm\grave{e}n} = 0.2 \text{ V}$$

$$I_{OLm\grave{a}x} = 16 \text{ mA}$$

$$I_{LED} < I_{OLm\grave{a}x} \quad (\text{III-20})$$

$$R = (V_{cc} - V_{LED} - V_{OLm\grave{e}n}) / I_{LED} \quad (\text{III-21})$$

Tomando a $I_{LED} = 10 \text{ mA}$ para una buena luminosidad:

$$R = (5.0 - 1.50 - 0.2) / 10 = 330 \Omega$$

$$\underline{R = 330 \Omega}$$

FIGURA III-10.21 (a) INDICACION LUMINOSA MEDIANTE LED

En la Figura III-10.21 (b) se presenta el circuito correspondiente a las condiciones de alarma OGSL e IGSL.

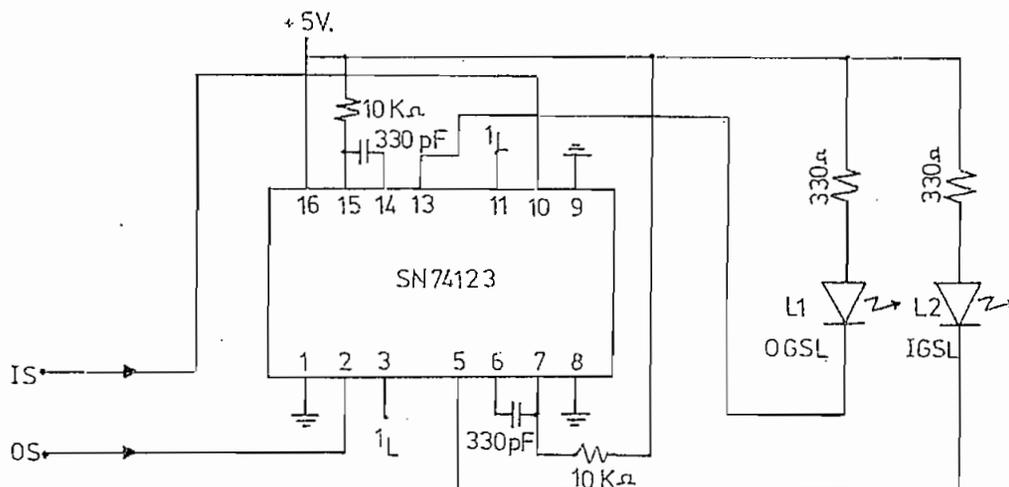


FIGURA III-10.21 (b) CIRCUITO DE ALARMA PARA OGSL - IGSL

III-10.22 Condiciones de Alarma FAL - RFAL

En el bloque de Reconocimiento de FAW y Alineación de Trama (Ver punto III-6) se tienen las señales F1 y F2 que indican el estado del terminal remoto y local respectivamente, respecto a la alineación de trama. En los dos casos un nivel 0_L indicará la pérdida de alineación de trama, según se aprecia en la Figuras III-6.24 y III-6.34. Las condiciones de alarma se implementan similarmente con LEDs, de manera análoga a la Figura III-10.21 (a), tal como se indica en la Figura III-10.22.

Si aceptamos como tasa de error la ocurrencia de un bit errado en 10^5 bits continuos, y que la palabra de alineación de trama contiene 7 bits; la misma que se transmite cada dos tramas (1 trama = 256 bits). Se tiene que se puede aceptar una falla de reconocimiento de FAW cada $10^5/3,5$ tramas.

Esto equivale a decir que se tendrá un pulso en FT cada $2,7 \times 10^4$ tramas, o cada 3.5 seg (1 trama tiene una duración de 125 useg). Este análisis simplificado de suponer los errores aleatorios e independientes uno de otro, no implica que se va a perder la alineación de la trama cada dicho tiempo; pues es necesario que ocurran tres errores consecutivos en el código de sincronismo, para que suceda tal condición.

La señal de alarma se implementa mediante un temporizador que detecta el número de errores producidos en un tiempo de 7 segundos. Si el número de errores (dado por los pulsos que se produzcan en FT) es mayor de dos se coloca una salida en condición de 0_L; la cual quedará indicada de manera permanente hasta que se verifique el enlace y se restablezca manualmente la condición normal en dicha indicación. El número de errores se monitorea por medio de un contador módulo cuatro.

El temporizador se los implementa con el C.I. SN74121 (Multivibrador Monoestable), el contador módulo cuatro con el C.I. SN7476 (Dual FF J-K) y cuyas conexiones no se explican por ser muy utilizados en dicha configuración. Adicionalmente se emplean compuertas lógicas para clavar la condición de alarma, y un pulsante (SW2) para desactivarla.

La salida del temporizador proporciona un pulso de borrado para el contador cada 6 segundos aproximadamente, y cuyo tiempo viene determinado por la ecuación III-22; de acuerdo a lo especificado en el manual.

$$T = C3.R3.ln2 = 6 \text{ seg.} \quad \text{[III-22]}$$

Donde C3, R3 son los valores de los componentes externos. De las curvas de especificaciones dadas en el manual se escoge adecuadamente los valores de C3 y R3; de donde:

$$\underline{C3 = 220 \text{ uF}}$$

$$\underline{R3 = 39 \text{ K}}$$

El circuito correspondiente a la indicación de alarma para Alta Taza de Error (HER), se presenta en la Figura III-10.24

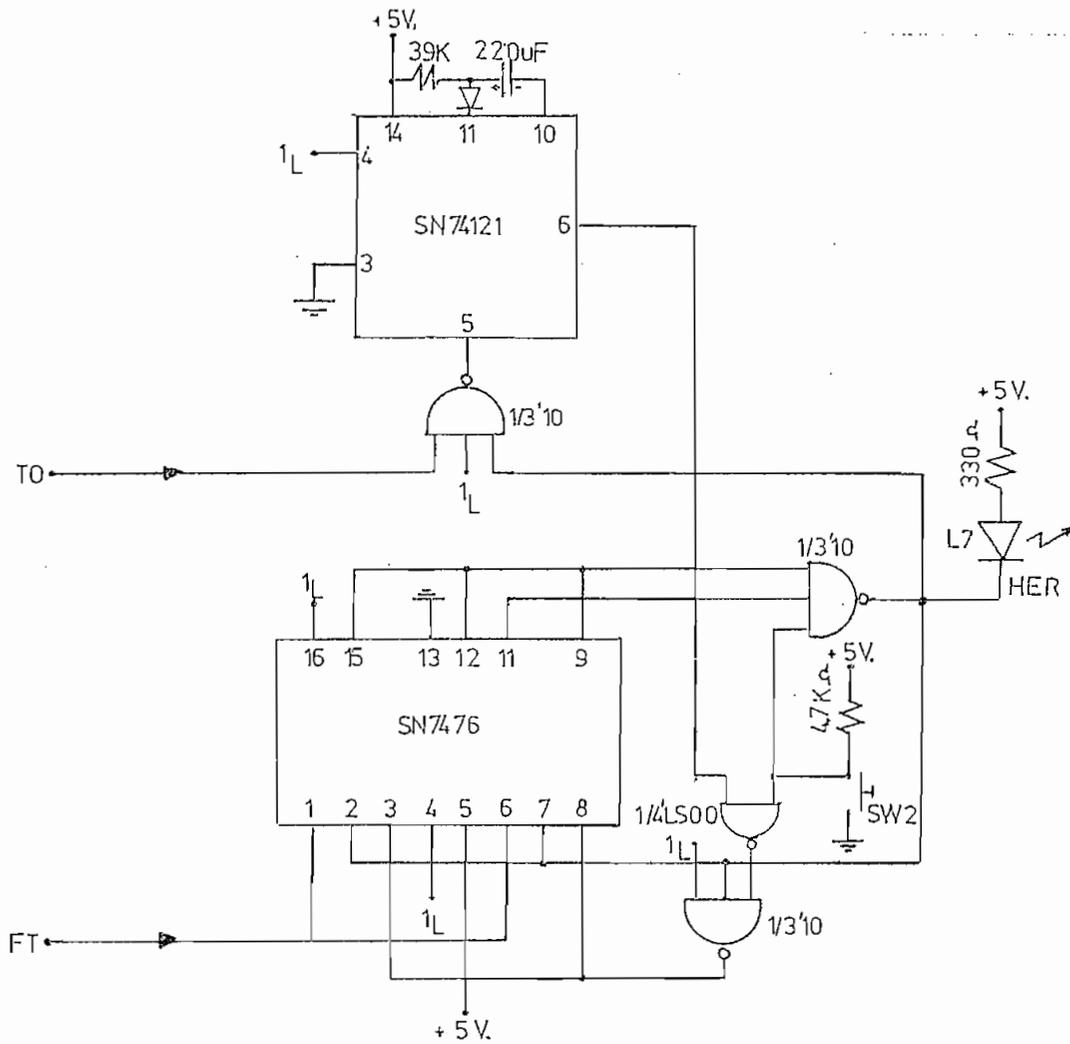


FIGURA III-10.24 CIRCUITO DE ALARMA PARA HER

III-10.25 Condición de Alarma por Fallo en la Alimentación

Esta alarma es indispensable en todo equipo que presta un servicio continuo, y la cual debería verificarse para todas las Fuentes de Alimentación. No obstante debido al método que se utiliza para la indicación, la cual monitorea la alimentación general del sistema; no se prevén indicadores para cada una de las fuentes de alimentación continua: +5 V., -5 V., y + 12 V.; los cuales podrían incluirse posteriormente. La alarma indicadora por falla en la alimentación se indica en la siguiente Figura.

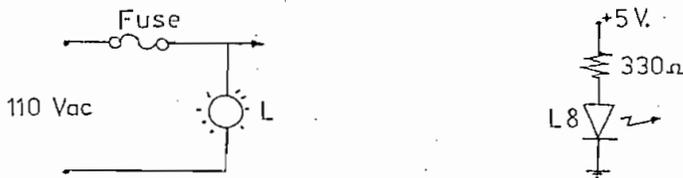


FIGURA III-10.25 INDICACION DE ALARMA POR FALLO EN ALIMENTACION

III-11 GENERADOR DE SEÑALES Y CONTROL

III-11.1 Consideraciones Teóricas

Este bloque tiene como funciones específicas el generar todas las señales de comando para inicialización, multiplex y demultiplex, generación de FAW, reconocimiento de FAW y alineación de trama; lo cual se realiza generando señales que indiquen secuencia de bits, secuencia de intervalos de tiempo, secuencia de trama; tanto en el lado de transmisión como en el lado de recepción. El diseño se realiza de manera independiente para el receptor y transmisor.

Adicionalmente se tiene el bloque de control cuya función es el comandar a los Codecs, para grabar las palabras de control y establecer así el trabajo secuencial de los mismos en los respectivos intervalos de tiempo. Es importante señalar que los Codecs están trabajando en el modo de Control Microprogramado (Referirse al Punto III-3.3)

III-11.2 Generador de Señales Tx

Todas las señales a generarse en el Transmisor se derivan a partir del Reloj Maestro Transmisor CK_{Tx} .

Las señales que se van a generar cumplen una función específica en alguno o algunos de los bloques anteriormente descritos y diseñados, teniendo por tanto las características de cada una de ellas y su función: tal como se describe en el Cuadro III-11.21

FUNCIÓN	REPRESENTACION	BLOQUE
Secuencia de Bits	Bx_1, Bx_2, Bx_3	Gener. FAW
Secuencia de Intervalo de Tiempo	$Cx_1, Cx_2, Cx_3, Cx_4, Cx_5$	Multiplexer
Secuencia de Trama	Fx_1, Fx_2, Fx_3, Fx_4	Señalización
Intervalo de Tiempo cero	Gx	Gener. FAW
Habilitación de los ocho canales	Sx	Multiplexer
Pulso de Sincronización de Trama	FS_x	Codecs

FIGURA III-11.21 SEÑALES BASE DEL GENERADOR TX

La Figura III-11.21 (a) presenta el diagrama de tiempos de las señales base a generarse en el lado de transmisión.

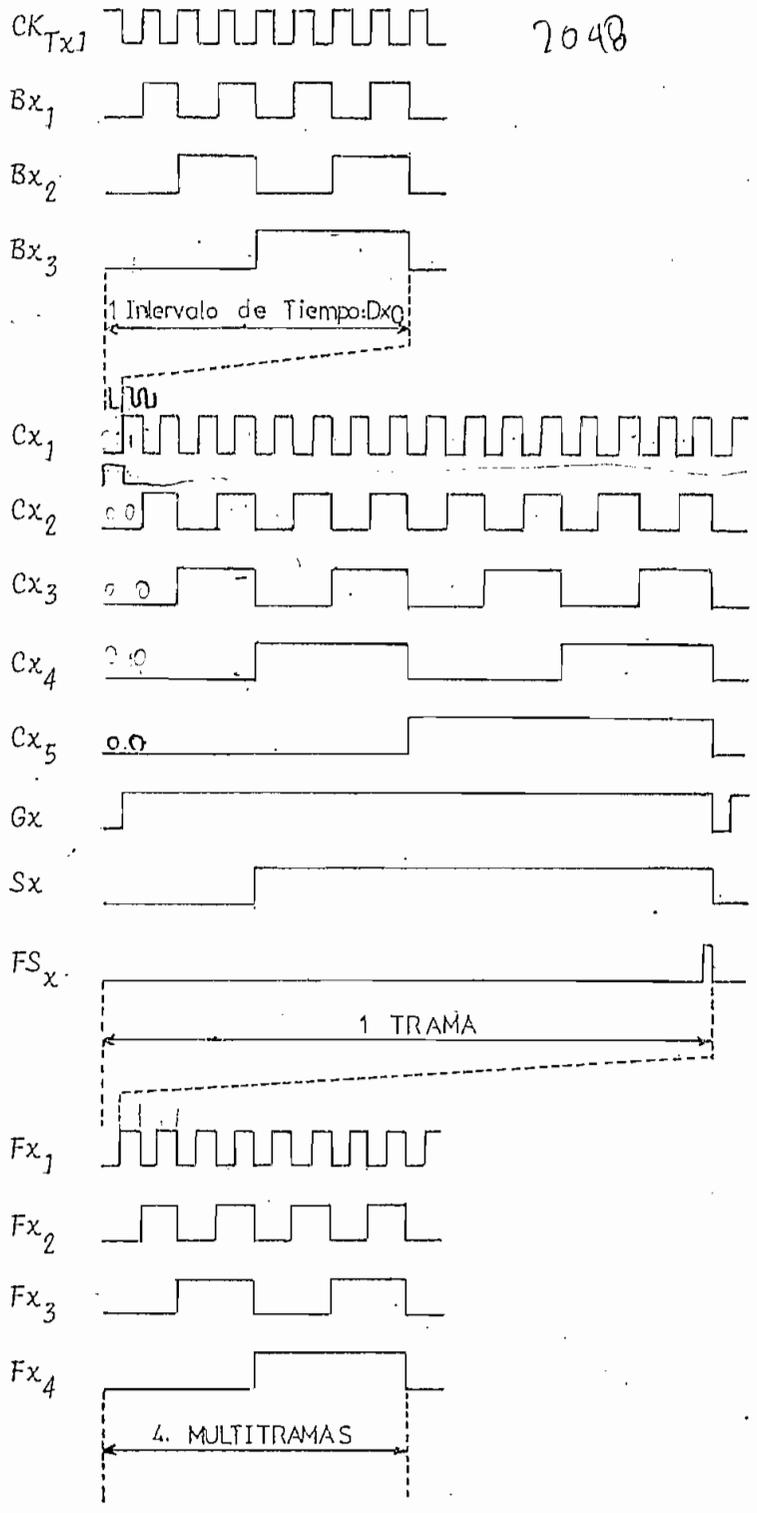


FIGURA III-11.21 (a) DIAGRAMA DE TIEMPOS DE LAS SEÑALES BASE TX

De acuerdo al Diagrama de Tiempos de la Figura III-11.21 (a), se realiza el diseño correspondiente. En este punto cabe destacar el hecho que todas las señales tanto de comando como de control se van a generar mediante circuitos secuenciales usando lógica TTL.

El diseño con lógica secuencial es factible dada la pequeña capacidad del Sistema Multiplex PCM actual, y debido principalmente a la condición que dicho multiplexaje por división de tiempo es estático; esto es, la correspondencia única y permanente entre canal receptor y canal transmisor para cada uno de los seis enlaces. En otros casos sería más beneficioso; tanto por el aspecto de diseño como por el de costo, controlar todo el proceso mediante técnicas de microprocesador, en el cual el costo del Software puede sobrepasar al de Hardware contrariamente al caso utilizado en el presente proyecto.

De las señales a generarse en el transmisor, las correspondientes a las secuencias de bits, intervalos de tiempo y trama, se las obtiene de divisores de frecuencia sincrónicos con el reloj CK_{Tx} . Las señales restantes se las obtiene a partir de circuitos combinatoriales, comandados por las señales de secuencias; y cuya lógica se la obtiene directamente del diagrama de tiempos de la Figura III-11.21 (a).

La Figura III-11.22 presenta el diagrama de bloques del Generador de Señales del Transmisor.

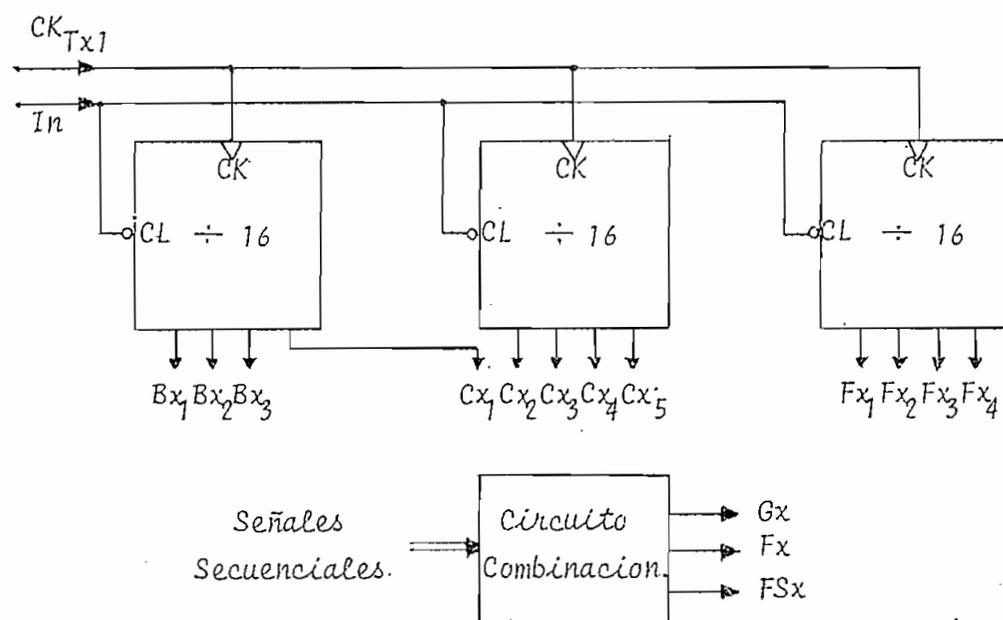


FIGURA III-11.22 DIAGRAMA DE BLOQUES DEL GENERADOR DE SEÑALES TX

Los divisores de frecuencia son implementados con el C.I. SN74LS163 que contiene a un contador módulo 16 de 4 bits (sincrónico). Se utilizan tres contadores (C.I. SN74LS163) para obtener todas las señales correspondientes a las diferentes secuencias. Similarmente se procede en el Generador de Señales del Receptor.

Las otras señales se generan con compuertas lógicas de los circuitos: SN74LS32, SN74LS25, SN74LS21, SN74LS14, SN74LS08.

Todo el sistema es inicializado por un circuito de encendido que produce un pulso de borrado para los contadores, y para el circuito de control.

En la Figura III-11.23 se da la configuración del C.I. SN74LS163, su tabla de verdad y diagrama de tiempos según lo especificado por el fabricante.

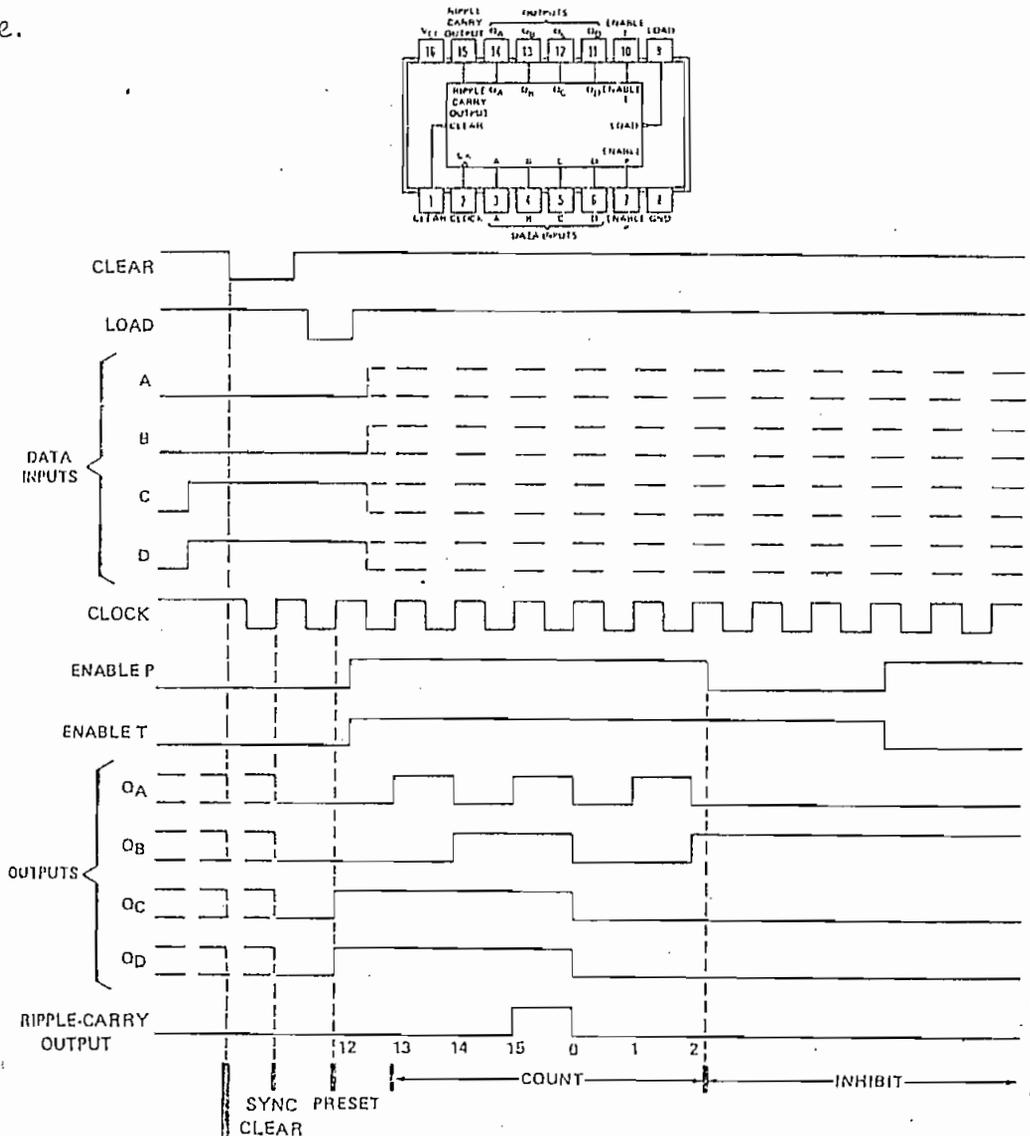


FIGURA III-11.23 C.I. SN74LS163

La Figura III-11.24 indica el circuito correspondiente al Generador de Señales del Transmisor.

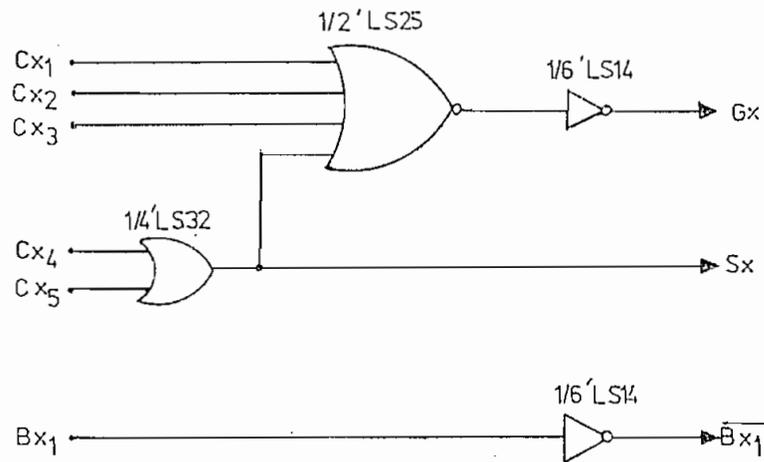
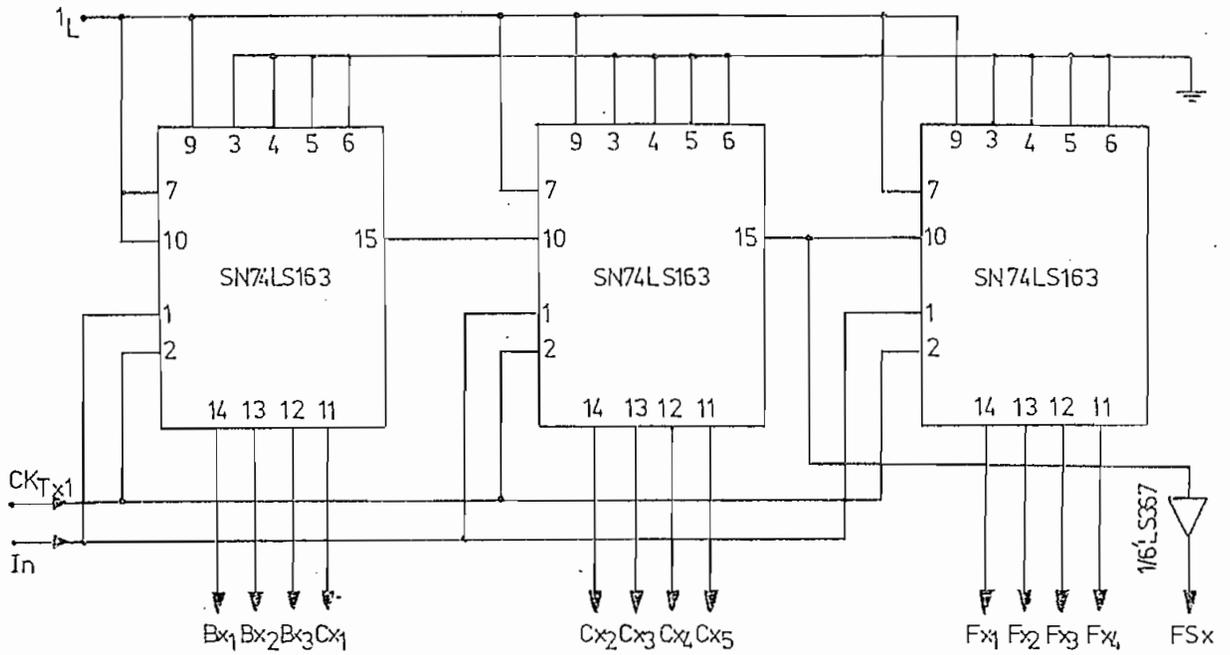


FIGURA III-11.24 CIRCUITO GENERADOR DE SEÑALES TX

III-11.3 Generador de Señales Rx

Similarmente al Generador de Señales Tx, en el Receptor todas las señales se derivan a partir del Reloj Maestro Receptor CK_{Rx} .

Las señales que se generan en este bloque se enumeran en el cuadro que se da a continuación.

FUNCIÓN	REPRESENTACION	BLOQUE
Secuencia de Bits	B_{R1}, B_{R2}, B_{R3}	Control
Secuencia de Intervalo de Tiempo	$Cr_1, Cr_2, Cr_3, Cr_4, Cr_5$	Demultiplex.
Secuencia de Trama	Fr_1, Fr_2, Fr_3, Fr_4	Señalización
Pulso Fin de Intervalo de Tiempo 0	T0	Alineac.
Pulso Indicación Trama Impar	T01	Alineac.
Habilitación de los ocho Canales	S_R	Demultiplex.
Pulso de Sincronización de Trama	FS_{Rn}	Codecs

CUADRO III-11.31 SEÑALES BASE DEL GENERADOR RX

La Figura III-11.31 (a) presenta el diagrama de tiempos de las diferentes señales de comando a ser generadas en este bloque.

No se incluye un diagrama de bloques del generador de señales Rx, ya que es similar al del transmisor presentado en la Figura III-11.22.

Adicionalmente el generador de señales del receptor va a estar comandado por señales provenientes de los bloques del Circuito de Reconocimiento y Alineación de Trama (Ver Figura III-6.35) y del Circuito de Señalización; para permitir la sincronización del receptor con el transmisor tanto de Trama como de Multitrama. Dichas señales van a proceder a cargar los contadores del generador Rx, con la secuencia respectiva (La señal de alineación de trama corresponde a FW, y la señal de alineación de multitrama a MFW). Se incluye la señal de inicialización presentada en el Generador Tx en el circuito de la Figura III-11.32; que corresponde al Circuito Generador de Señales Rx.

Los circuitos combinacionales del Circuito de la Figura III-11.32 se los incluye directamente mediante el análisis del diagrama de tiempos de la Figura III-11.31(a).

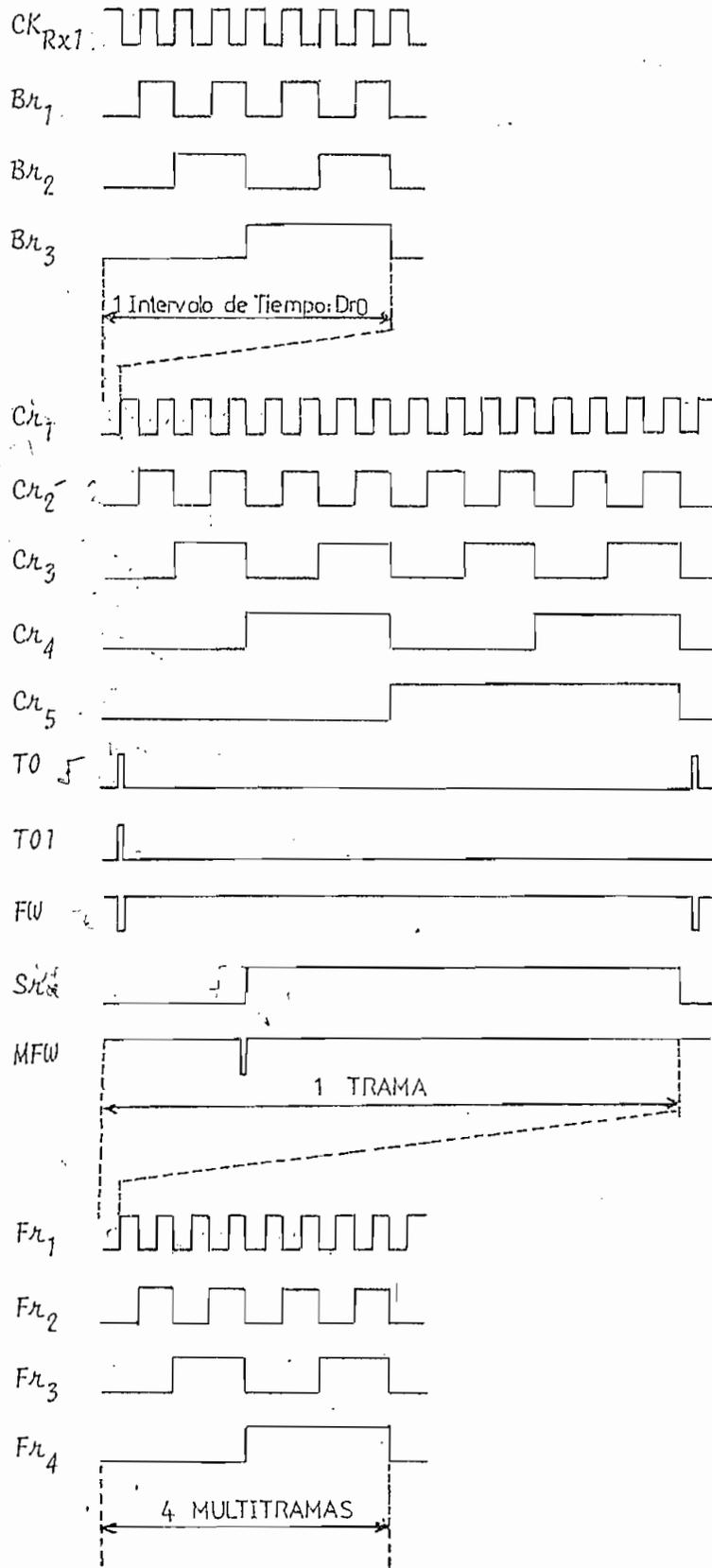


FIGURA III-11.31 (a) DIAGRAMA DE TIEMPOS DE LAS SEÑALES BASE RX

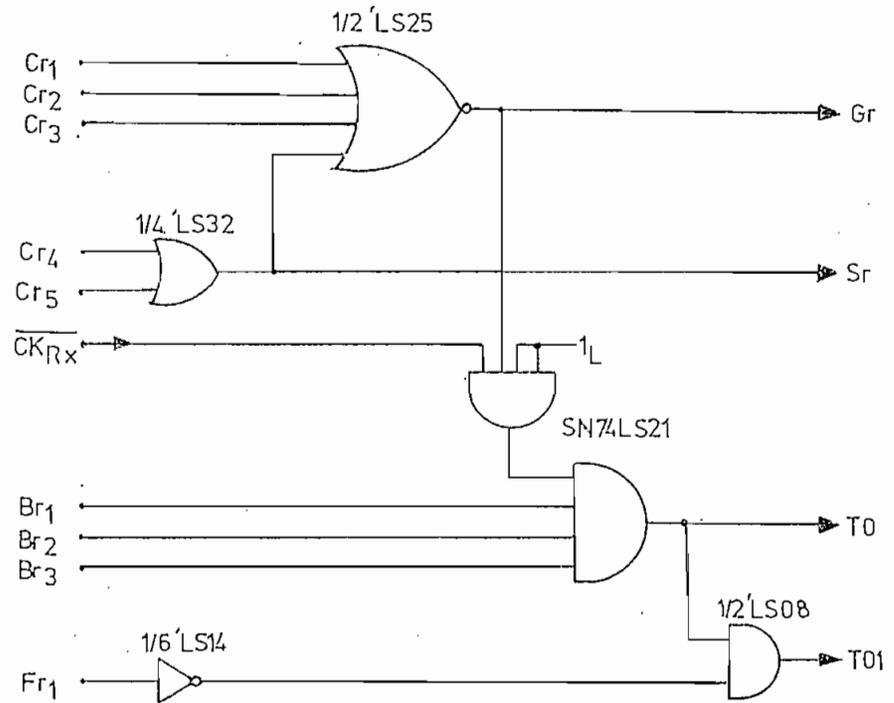
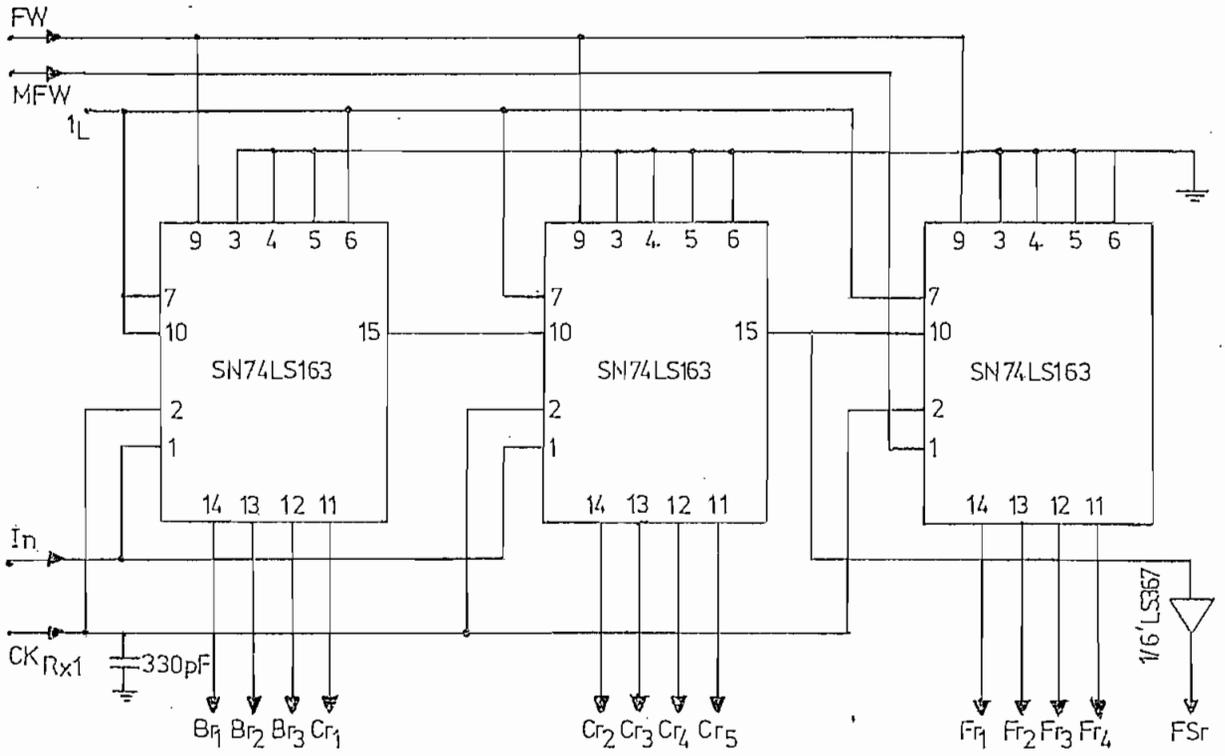


FIGURA III-11.32 CIRCUITO GENERADOR DE SENALES RX

III-11.4 Circuito de Control

Este bloque se encarga específicamente de establecer el comando interno de los Códex mediante las señales que ingresan a estos: CLK_C y D_C . Mediante el control interno cada Codec enviará y tomará del enlace multiplex la palabra PCM correspondiente a cada canal. La sincronización se realiza con los pulsos de sincronización FS_x y FS_n que van hacia todos los Codecs.

Por tanto la señal de datos D_C deberá grabar en cada Codec la información correspondiente al intervalo respectivo de tiempo. La grabación se realiza con el reloj CLK_C . Mayor información se da al describir el C.I. 2911 correspondiente al Codec en el Punto III-3.3.

El circuito de control debe permitir llevar al canal al Modo Standby, mediante el comando de la señal C_i proveniente del Interfase de Línea de Abonado (Referirse al Punto III-7.3); que verifica el estado de dicho canal, esto es colgado o descolgado.

El diseño se realiza específicamente para el actual Sistema Multiplex PCM de 6 canales Análogos.

El circuito de control genera 6 señales de reloj CLK_{C_i} para cada uno de los canales, y una señal común D_C . Si bien esto permite grabar un solo Códex a la vez, en cambio facilita el diseño y disminuye el número de señales a intercambiar entre los Codecs y Control. La señal de reloj CLK_{C_i} se tendrá presente en una sola de las líneas de comando: cuando se inicializa el sistema y al pasar el canal i de estado activo a modo Standby, o viceversa.

La señal CLK_{C_i} es tomada del reloj CK_{Tx} , lo cual produce una grabación sincrónica, aún cuando esto no es indispensable.

La señal de datos D_{C_i} deberá contener la información del canal, así como la correspondencia al modo Tx/Rx de operación del Codec en el mismo intervalo de tiempo. (Referirse a los Cuadros III-3.32 - III-3.33 y a la Figura III-3.34).

En la Figura III-11.41 se tiene el diagrama de tiempos de las señales de comando que va a generar el Circuito de Control ($CLK_{C_i} - D_C$).

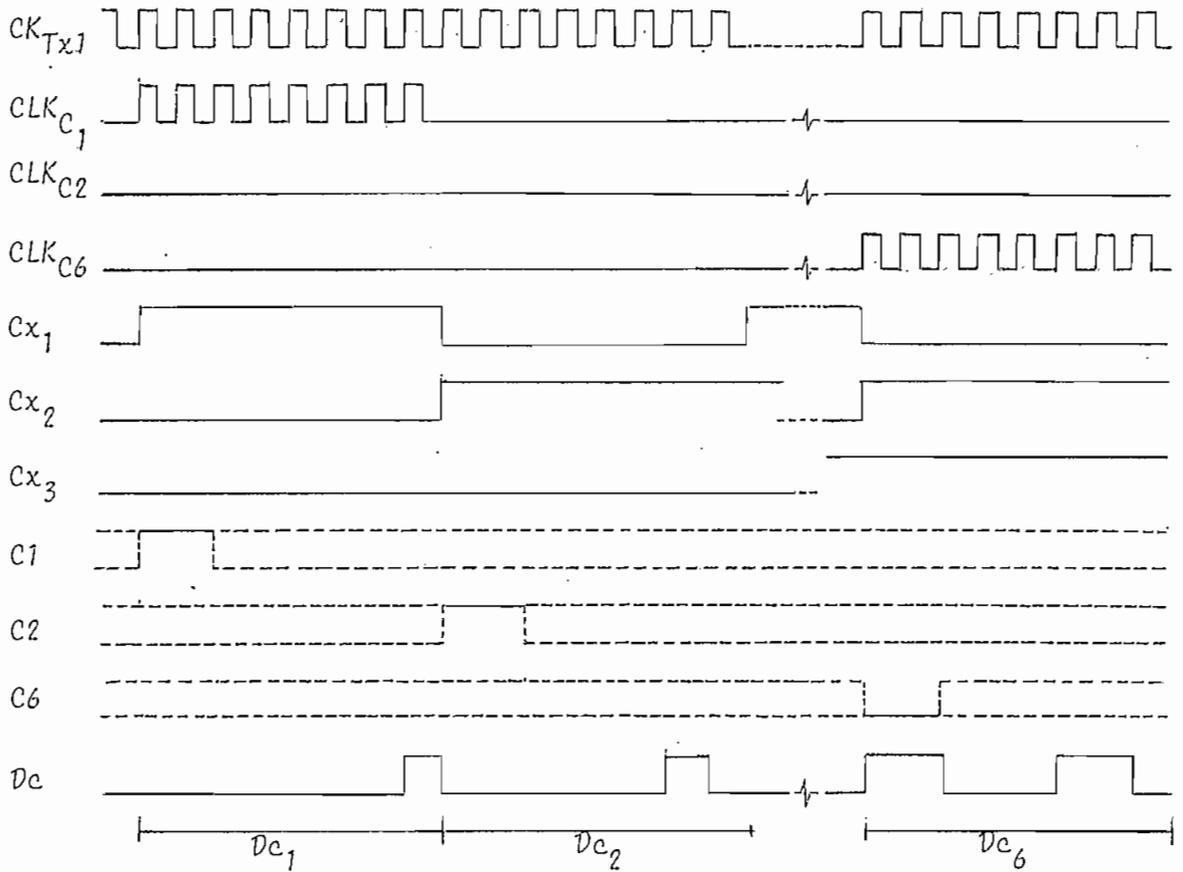


FIGURA III-11.41 DIAGRAMA DE TIEMPOS DE LAS SEÑALES DE CONTROL

La señal D_c contiene de manera multiplexada a las seis señales de datos D_{C_i} ; y que en el presente caso los ocho bits correspondientes a cada canal contienen:

- Bit 1, 2 = $\begin{cases} 00 & \text{Codec actua en modo Tx/Rx} \\ 11 & \text{Codec en modo Standby} \end{cases}$
- Bit 3, 4, 5 = 000 Indica el # de Intervalo de Tiempo
- Bit 6, 7, 8 = xxx Combinación Binaria de 8 Intervalos

Las señales de reloj CLK_{C_i} se presentan en una sola línea para:

- Inicialización del sistema asignando a cada Codec el respectivo Intervalo de Tiempo, según las entradas/salidas de datos del enlace Multiplex.
- Mediante el comando de señalización C_i para el activado ($C_i=1_L$) ó desactivado ($C_i=0_L$).

Si el canal permanece en un estado estable y no se pierde la alimentación, el reloj CLK_{C_i} permanecerá en nivel bajo (0_L).

En base a los requerimientos anteriores se presenta en la Figura III-11.42 el diagrama de bloques del Circuito de Control.

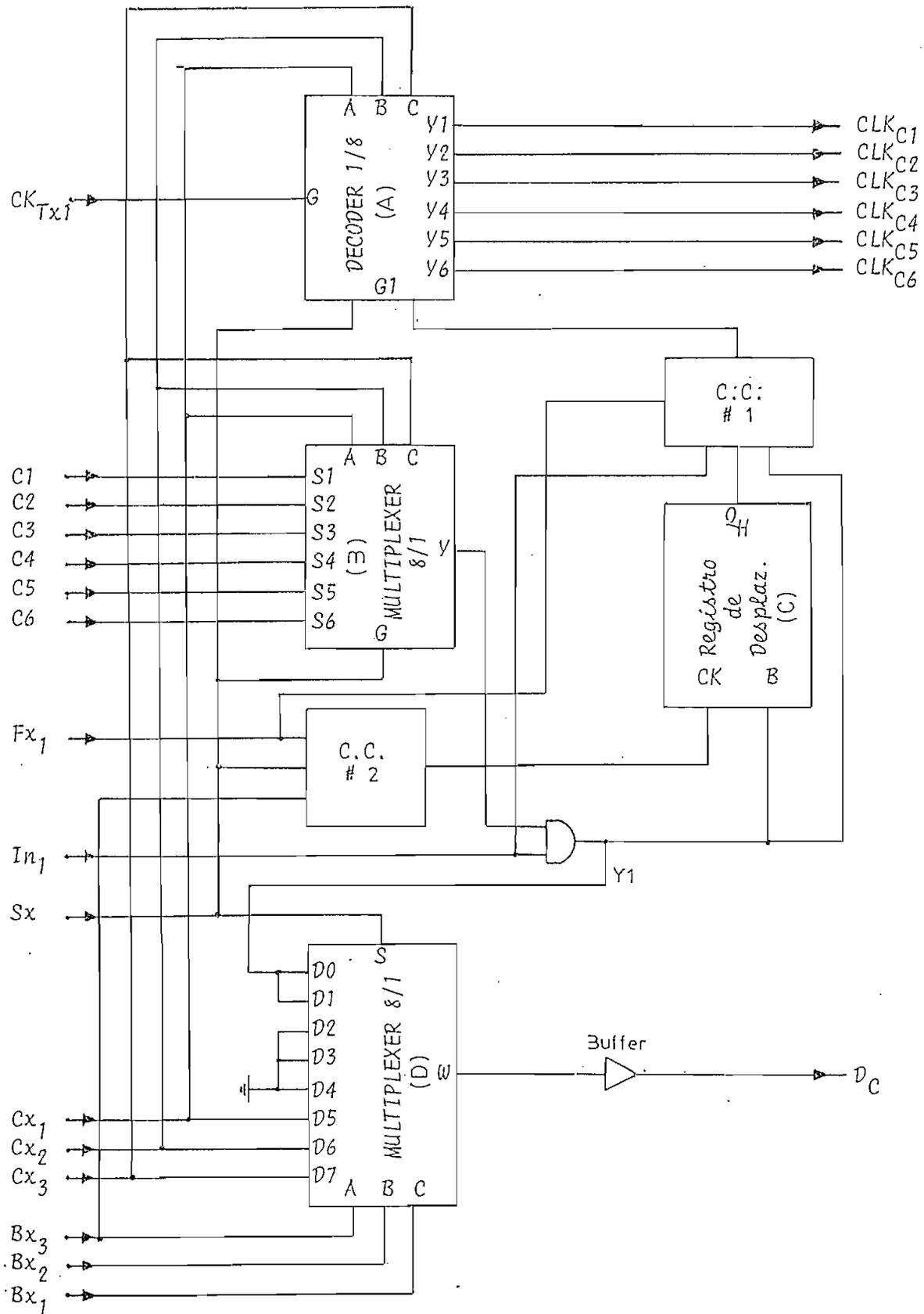


FIGURA III-11.42 DIAGRAMA DE BLOQUES DEL CIRCUITO DE CONTROL

En el diagrama de bloques de la Figura III-11.42 los distintos bloques que lo conforman cumplen las funciones que a continuación se describen:

- El demultiplexer 1/8 (Bloque A) permite ir tomando a la señal de reloj CK_{Tx} una de las ocho salidas que contendrán los ocho períodos de reloj en cada reloj CLK_{Ci} . El demultiplexer es comandado por las señales Cx_i que dan la secuencia de los ocho intervalos de tiempo, y habilitado por la señal Sx y $G1$ según las condiciones antes establecidas. Las señales CLK_{Ci} permanecerán en 0_L fuera del intervalo de tiempo respectivo cuando el control $G1$ este en 1_L .

El control $G1$ verificará para cada Codec si este ha variado su estado de acuerdo a la señalización C_i ; y solo permitirá actuar al control de grabación cada dos tramas según la recomendación dada por el fabricante para dos grabaciones de la palabra de control consecutivas.

- El multiplexer 8/1 (B) sirve para pasar a su salida de manera secuencial la información correspondiente al estado de cada canal (C_i), actúa sincrónicamente con el demultiplexer 1/8 (A).
- El registro de desplazamiento serie-serie (C) permite diferenciar un cambio de estado de cualquier canal, mediante el monitoreo de su estado anterior y el actual que ingresa. Dicha condición de cambio en el canal i se establece mediante el circuito combinacional #1, cuya salida comanda al demultiplexer 8/1. (Control $G1$)
- El Circuito Combinacional (CC) #1 permite comandar $G1$ para la inicialización y para realizar la grabación siempre que exista un cambio en el estado del canal i , dejando un espacio muerto de dos tramas entre grabaciones consecutivas. Esto último se consigue con el comando de la señal Fx_1 , que da la referencia de trama par-impar.
- El CC #2 comanda al registro de desplazamiento (C) para hacerlo actuar solo en los instantes en que se está habilitando a las señales de reloj CLK_{Ci} y así guardar el estado C_i de cada canal que se grabó por última vez.

La señal de inicialización permite activar a todos los canales.

- El segundo multiplexer 8/1 (D), permite obtener de manera multiplexada a las señales de datos D_{Ci} , en su salida D_C . Los ocho bits se comanda mediante las señales Bx_1, Bx_2, Bx_3 . La señal $V1$ presenta el estado del codec para la grabación de los primeros bits en cada canal. El intervalo de tiempo que se tendrá en la palabra de datos D_C viene dada por la secuencia Cx_1, Cx_2, Cx_3 .

Durante todo el proceso de diseño se ha considerado el "Multiplex por división de tiempo estático", y por lo mismo los Codecs son grabados con la misma información correspondiente al intervalo de tiempo en que transmite y recibe.

Para permitir que el control de inicialización active a todos los canales al encender el equipo, deberá existir un tiempo de retardo para colocarlo en 1_L durante la duración de una Trama (125 μ seg.). Luego de inicializado y si no se pierde la alimentación; dicho control permanecerá en nivel bajo (0_L).

El Circuito de Control se implementa con los C.I. SN74LS151 (2) que contiene al Multiplexer 8/1, SN74LS164 como registro de desplazamiento serie-serie, SN74LS138 que es un Demultiplexer 1/8. Adicionalmente se utilizan compuertas lógicas para los circuitos combinacionales. Se necesita además colocar inversores en las salidas de datos CLK_{Ci} y D_C para cumplir las condiciones antes descritas.

El Circuito de Control se presenta en la Figura III-11.43; en donde se incluye los valores y condiciones de las señales de comando que se tienen en los distintos casos.

Se hizo necesario el colocar los condensadores de 0.1 nF para eliminar sobrepulsos no deseados, producidos por los retardos de las compuertas y circuitos lógicos.

Finalmente en el siguiente punto se describe el diseño del Circuito de Inicialización que comanda al Generador de Señales y Control.

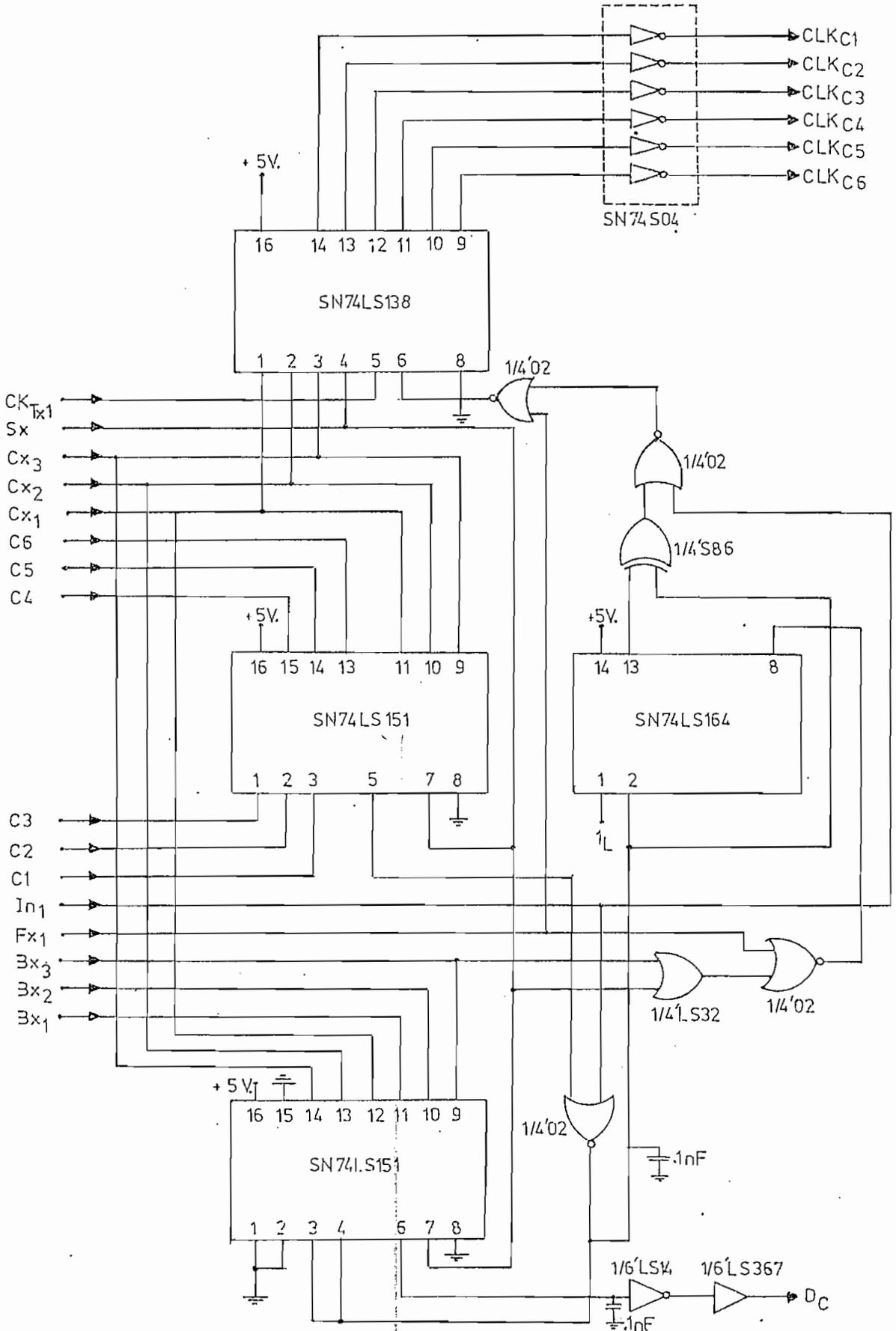


FIGURA III-11.43 CIRCUITO DE CONTROL

III-11.5 Circuito de Inicialización

El presente circuito es realizado básicamente por medio de una red de retardo RC, compuertas Schmitt-Trigger, y Flip-Flop tipo D para mantener la señal de inicialización durante 125 useg.

En la Figura III-11.5 se da el diagrama de tiempos del Circuito de Inicialización implementado conjuntamente con este.

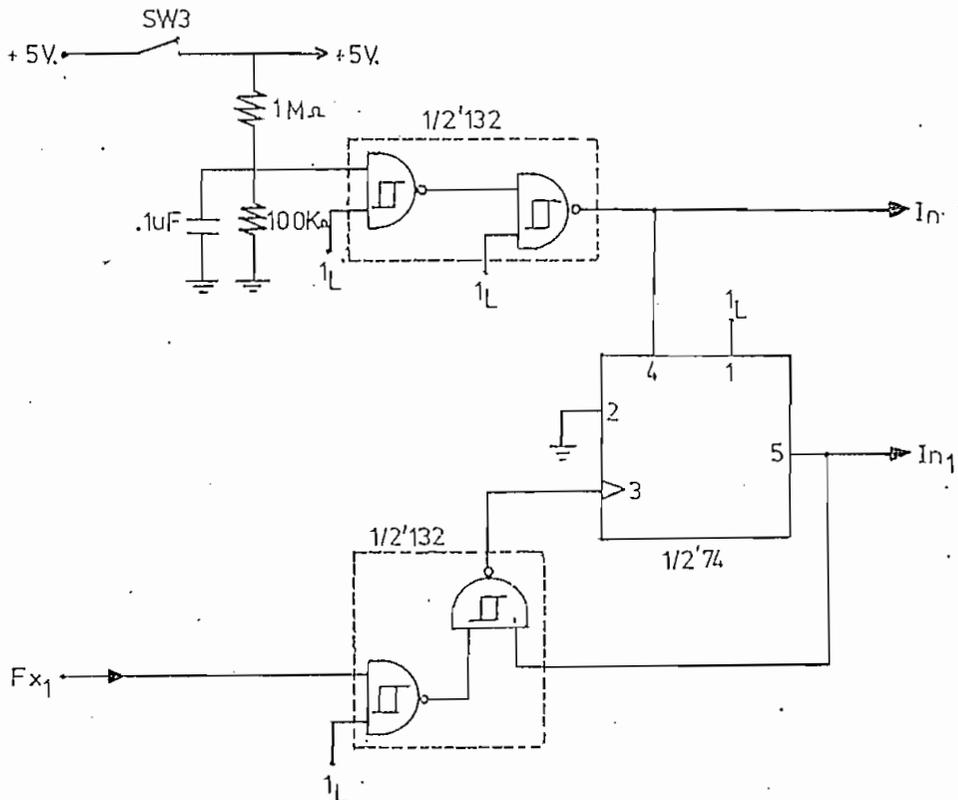
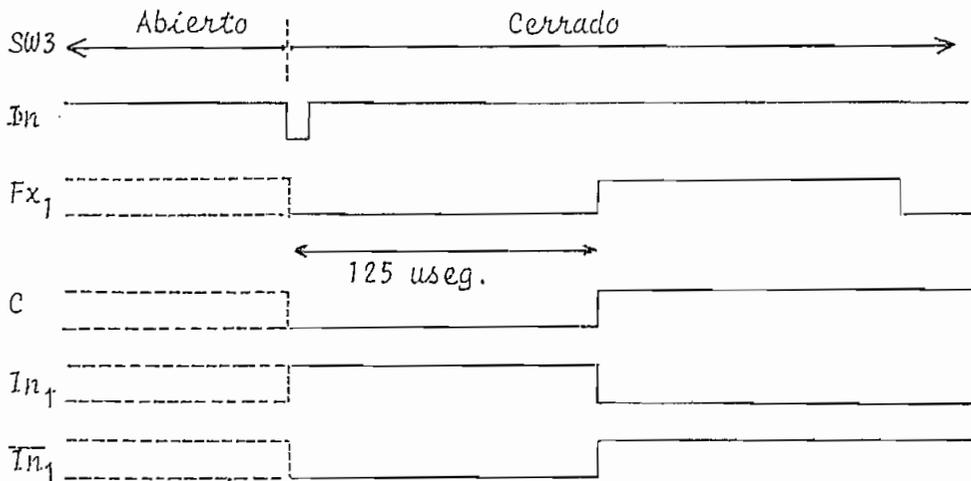


FIGURA III-11.5 CIRCUITO DE INICIALIZACION

III-12 IMPLEMENTACION

Realizado el diseño de cada uno de los bloques del Sistema Multiplex PCM de 6 Canales Análogos, que se presenta en el diagrama de bloques de la Figura III-1; se procedió a agrupar a los diferentes circuitos de acuerdo a sus funciones y características, para disminuir el número de interconexiones entre los circuitos totales.

El Sistema se le implementa en cuatro tarjetas de circuitos integrados, utilizando la técnica de "wire-wrap" para el cableado. Las partes constitutivas de cada una de las tarjetas, su distribución, interconexiones y disposición se describen a continuación.

- Tarjeta # 1: Tarjeta de Control (TR # 1)

BLOQUE	REFERENCIA (Figuras III-)	DENOMINACION
Circuito de Reloj Maestro Tx/Rx	2.4	B1-1
Circuito Multiplex	4.32 - 4.42	B1-2
Generador de FAW	5.3	B1-3
Circuito de Reconocimiento de FAW	6.25	B1-4
Circuito de Alineación de Trama	6.35	B1-5
Generador de Señales Tx	11.24	B1-6
Generador de Señales Rx	11.32	B1-7
Circuito de Control	11.43	B1-8
Circuito de Inicialización	11.5	B1-9

- Tarjeta # 2: Tarjeta de Señalización y Alarmas (TR # 2)

BLOQUE	REFERENCIA (Figuras III-)	DENOMINACION
Interfase de Línea Tx	8.34	B2-1
Interfase de Línea Rx	8.44	B2-2
Adaptador de Señalización Tx	9.22	B2-3
Adaptador de Señalización Rx	9.32	B2-4
Sistema de Alarmas	10.21 ... 10.25	B2-5

- Tarjeta # 3 - Tarjeta # 4: Tarjetas de Circuitos PCM (TR # 3 - TR # 4).

BLOQUE	REFERENCIA (Figuras III-)	DENOMINACION
Codec y Filtros Tx/Rx	3.5	B3-1 - B4-1
SLIC	7.33	B3-2 - B4-2
Circuito de Interfases	7.34 - 7.35	B3-3 - B4-3

* Cada Tarjeta contiene 3 Circuitos PCM:

TR # 3: Canales 1 - 2 - 3

TR # 4: Canales 4 - 5 - 6

En las Figuras III-12.11 a III-12.23 se presenta la Disposición de los Bloques y la Distribución de los Circuitos Integrados y Elementos Discretos, para cada una de las tarjetas: TR # 1 - TR # 2 - TR # 3 - TR # 4.

Para las tarjetas TR # 3 y TR # 4 se indica la disposición de uno solo de los circuitos PCM, con la referencia correspondiente a cada uno de los canales análogos.

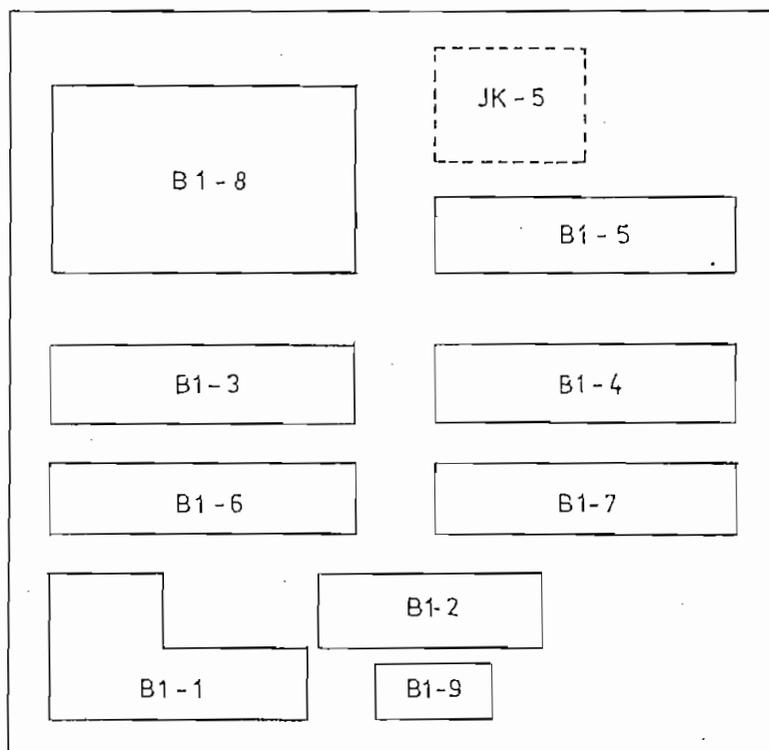


FIGURA III-12.11 DISPOSICION DE BLOQUES EN TR # 1

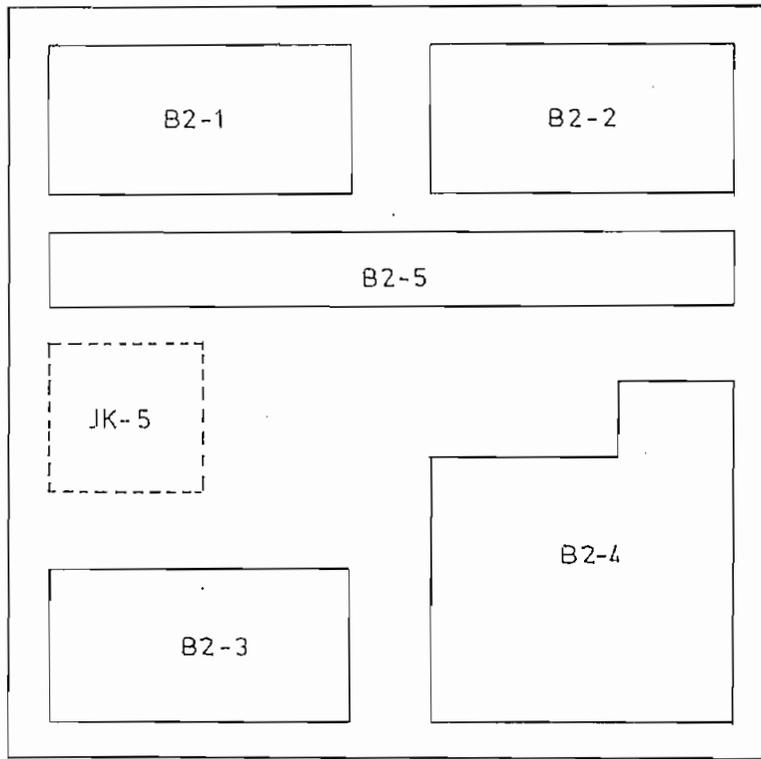


FIGURA III-12.12 DISPOSICION DE BLOQUES EN TR # 2

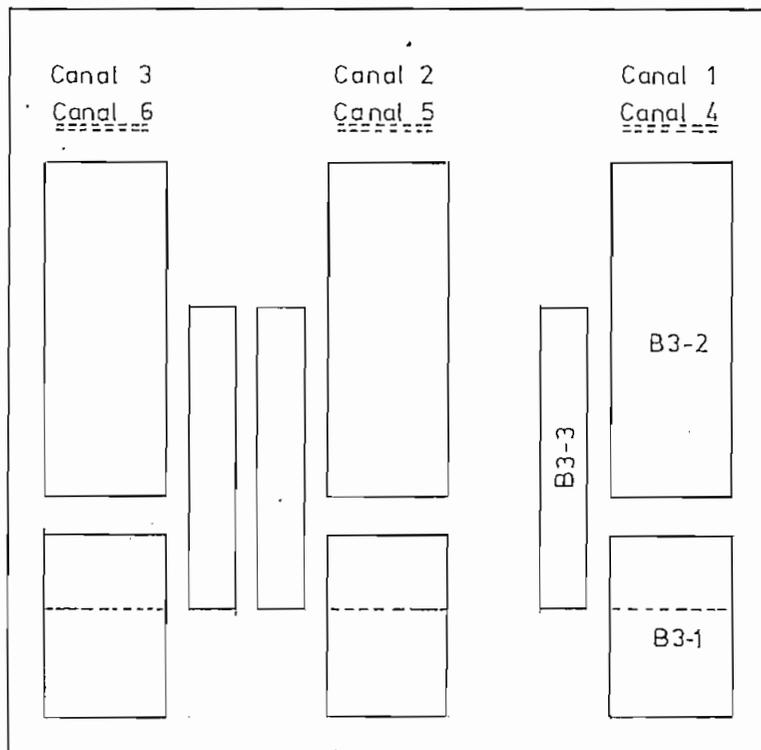


FIGURA III-12.13 DISPOSICION DE BLOQUES EN TR # 3 (TR # 4)

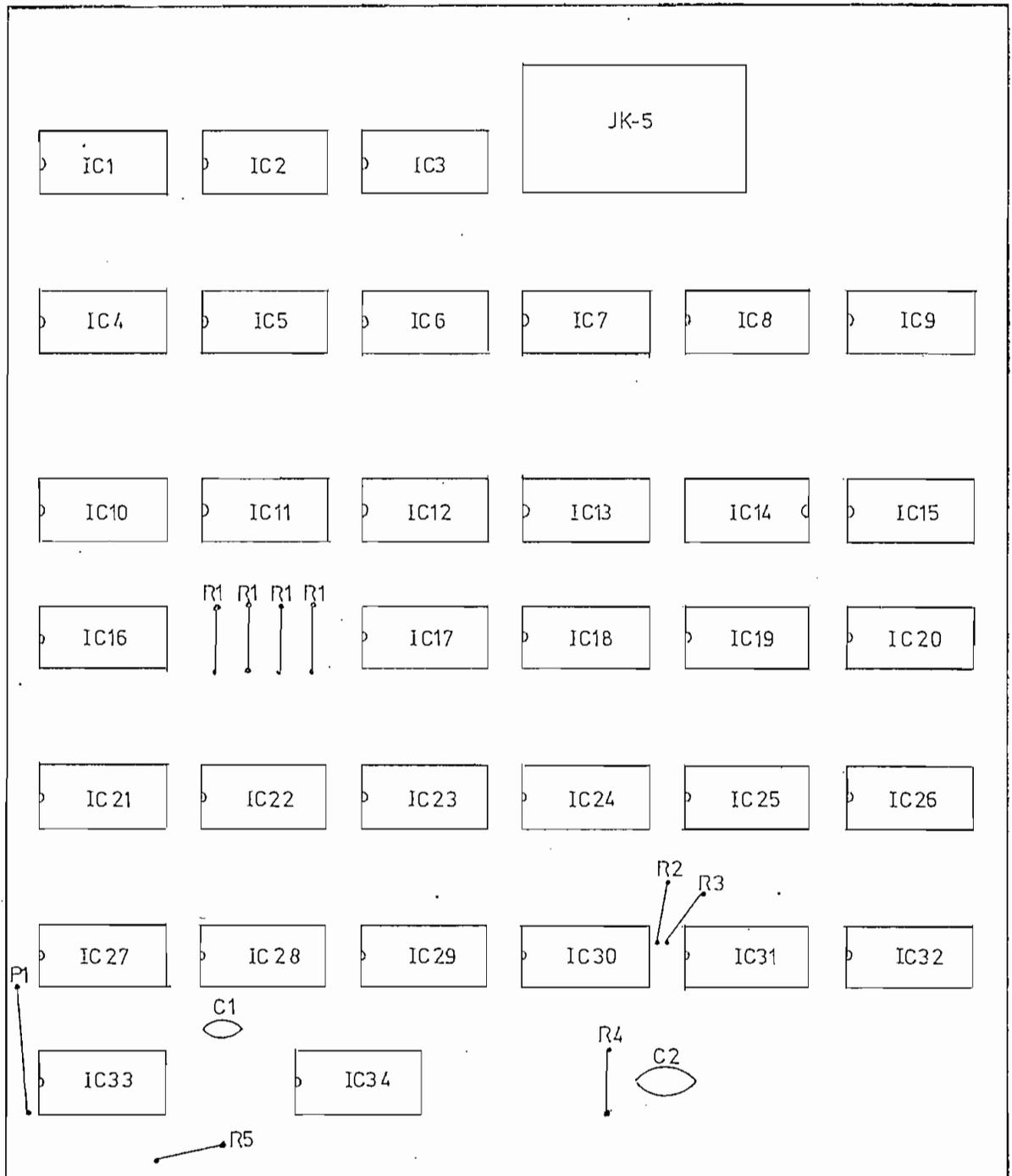


FIGURA III-12.21 DISTRIBUCION DE COMPONENTES EN TR # 1

CIRCUITOS INTEGRADOS

IC #	Descripción (SN74...)	IC #	Descripción (SN74...)
1	'S04	2	'02
3	'LS164	4	'LS138
5	'LS151	6	'86
7	'74	8	'109
9	'109	10	'LS151
11	'08	12	'14
13	'LS21	14	'LS164
15	'08	16	'LS151
17	'25	18	'32
19	'LS30	20	'LS27
21...26	'LS163	27	'265
28	'LS151	29	'74
30	'LS132	31	'LS138
32	'LS367	33	'S124
34	'LS241		

* SN..... Prefijo TTL

ELEMENTOS DISCRETOS

Resistencias		Capacitores	
R#	Valor (K Ω)	C#	Valor (nF)
1	5.6	1	.25
2	4.7	2	100
3	1000		
4	100		
5	4.7		

P1 = Potenciómetro de 10 K JK-5 = Conector de zócalo (24)

CUADRO III-12.21(a) DESCRIPCIÓN DE COMPONENTES DE TR # 1

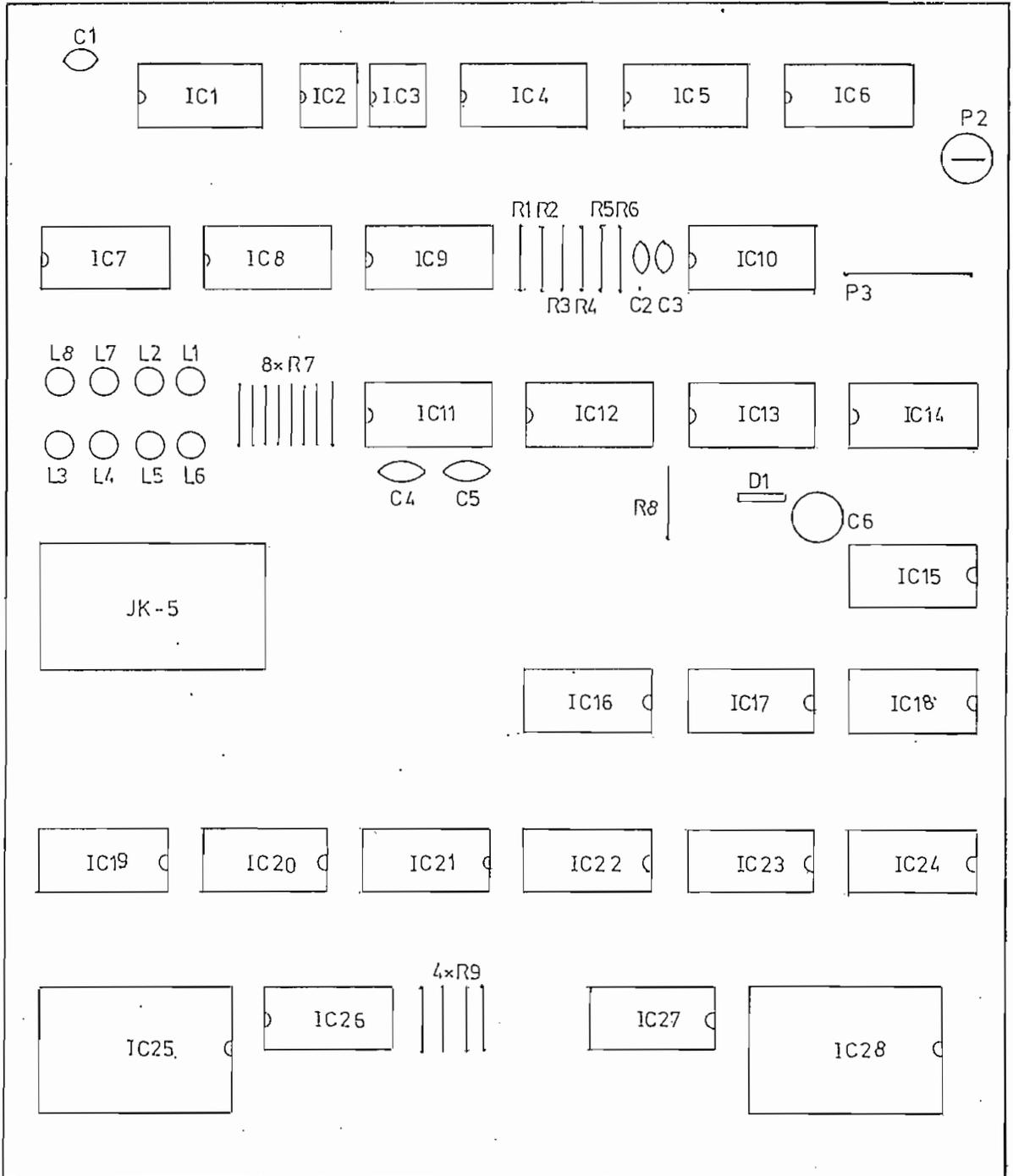


FIGURA III-12.22 DISTRIBUCION DE COMPONENTES EN TR # 2 .

CIRCUITOS INTEGRADOS

IC #	Descripción (SN74...)	IC #	Descripción (SN74...)
1	'74	4	'LS14
5	'S86	6	'74
7	'14	8	'LS08
9	'LS32	10	'221
11	'123	12	'LS76
13	'121	14	'LS10
15...18	'LS164	19..21	'LS151
22	'LS00	23	'25
24	'S04	25	'150
26	'LS151	27	'LS08
28	'LS154		

IC: #	Descripción
2 - 3	LM311 (National)

ELEMENTOS DISCRETOS

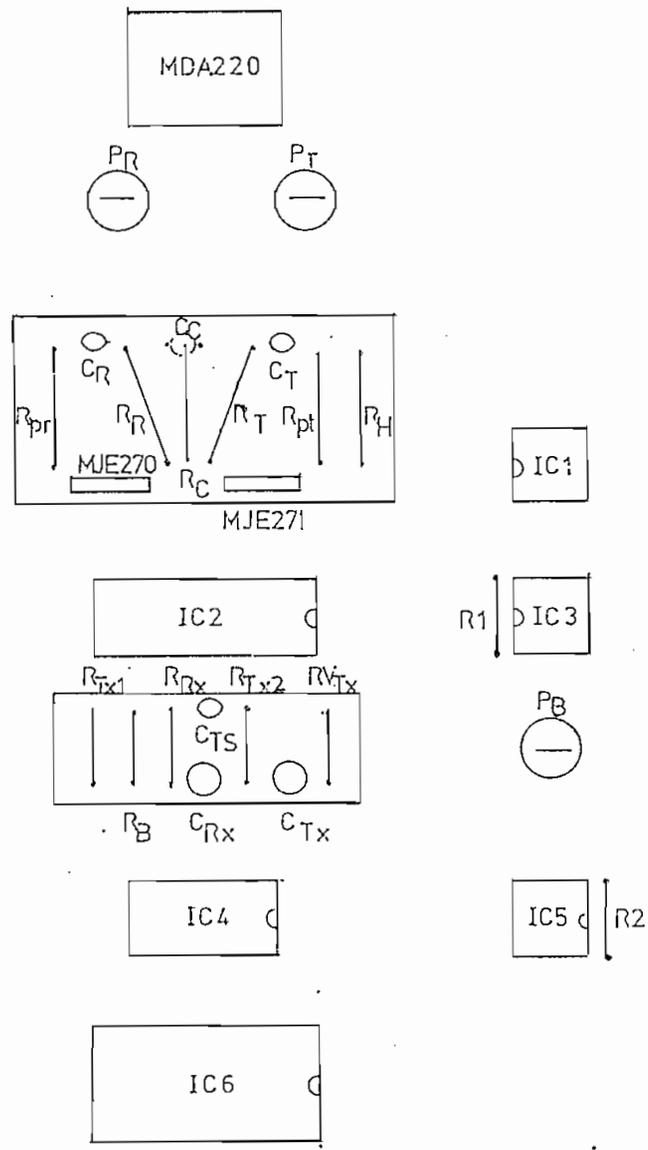
Resistencias		Capacitores	
R#	Valor (K Ω)	C#	Valor (nF)
1	.47	1	.22
2	4.7	2	.22
3	.56	3	.10
4	.56	4	.33
5	4.7	5	.33
6	2.2		(μ F)
7	.33	6	220
8	4.7		
9	5.6		

P2 - P3 = Potenciómetros de 10 K

L1 - L8 = LED's

D1 = Diodo de Si

JK-5 = Conector de zócalo (24).



IC #	Descripción	Elementos Discretos
1, 3, 5	LM311	$P_R = P_T = P_B = \text{Pot. de } 10 \text{ K}\Omega$
2	MC3419	$R_{PR} = R_{PT} = 33 \Omega$
4	Intel 2912-3	$R_R = R_T = 12 \text{ K}\Omega$
6	Intel 2911A-1	$R_H = 220 \text{ K}\Omega$ $R_C = .18 \text{ K}\Omega$
		$R_{Tx1} = 33 \text{ K}\Omega$ $R_{Tx2} = 22 \text{ K}\Omega$
		$R_B = .56 \text{ K}\Omega$ $R_{Rx} = 39 \text{ K}\Omega$
		$R_{VTx} = 22 \text{ K}\Omega$ $R_1 = 10 \text{ K}\Omega$
		$C_R = C_T = C_C = 2.2 \text{ nF}$
		$C_{Rx} = C_{Tx} = 1 \mu\text{F}$

FIGURA III-12.23 DISTRIBUCION DE COMPONENTES EN UN CIRCUITO PCM

Para las fuentes de alimentación se emplean los siguientes elementos:

- Dos Transformadores T1 y T2, lo cual permite tener aisladas la tierra análoga (Gnd) de la tierra digital (Grd); siendo comunes en un solo punto.

T1 : 115 V / 12.6 V - 2 A

T2 : 115 V / 30.0 V - 1 A

- Dos puentes de Diodos Rectificadores

D1 : MDA942-2/200PRV - 3 A

D2 : PF20 /400PRV - 1.5 A

- Tres capacitores para filtrado.

C1 : 10000 MFD / 40 V

(Fuente +5 V)

C2 : 2600 MFD / 50 V

(Fuente -5 V)

C3 : 2600 MFD / 50 V

(Fuente +12V)

- Tres reguladores de Voltaje

LM323 : + 5 V / 3 A

LM7812: +12 V / 1 A

LM3420: - 5 V / 1 A

La alimentación de -48 V. se proveerá exteriormente, dado que dicha fuente es exclusiva para la polarización del Circuito de Interfase de Línea de abonado, propio de sistemas telefónicos.

Adicionalmente se colocaron capacitores de desacoplamiento para cada una de las fuentes en las distintas tarjetas: 100 MFD/16 V
.1 MFD/40 V

El nivel 1_L se obtiene a partir de resistencias $R = 5.6 K$, agrupando un promedio de 10 entradas TTL.

En la Figura III-12.3 se presenta descriptivamente la distribución de la tarjetas y de los elementos, en el equipo implementado. Se incluye en dicha figura la indicación de los conectores inferiores que intercambian las diferentes señales entre las tarjetas, y cuya disposición se aparece en la Figura III-12.4. Cabe mencionar el hecho que JK-5 es un conector externo de 24 pines.

La implementación del equipo se le ha realizado con el carácter experimental de manera que permita realizar pruebas en el mismo, así como que pueda utilizarse posteriormente con carácter didáctico.

Igualmente se debe mencionar el hecho que al realizar las pruebas se hizo necesario el introducir elementos adicionales (principalmente capacitores de desacoplamiento o para eliminar el ringing en las señales digitales) y que están incluidos en los respectivos circuitos implementados de cada uno de los bloques.

Las características y especificaciones de los principales Circuitos Integrados utilizados en el Sistema Múltiplex PCM se presenta en el ANEXO B

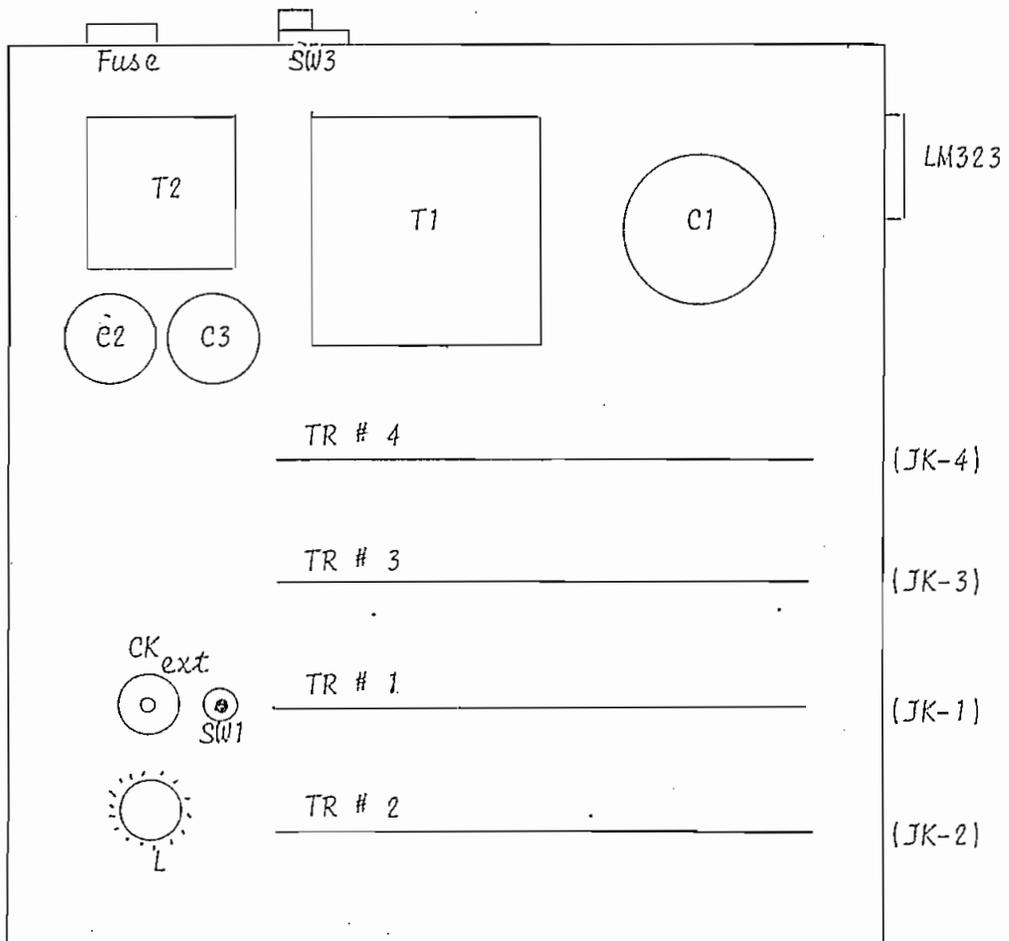
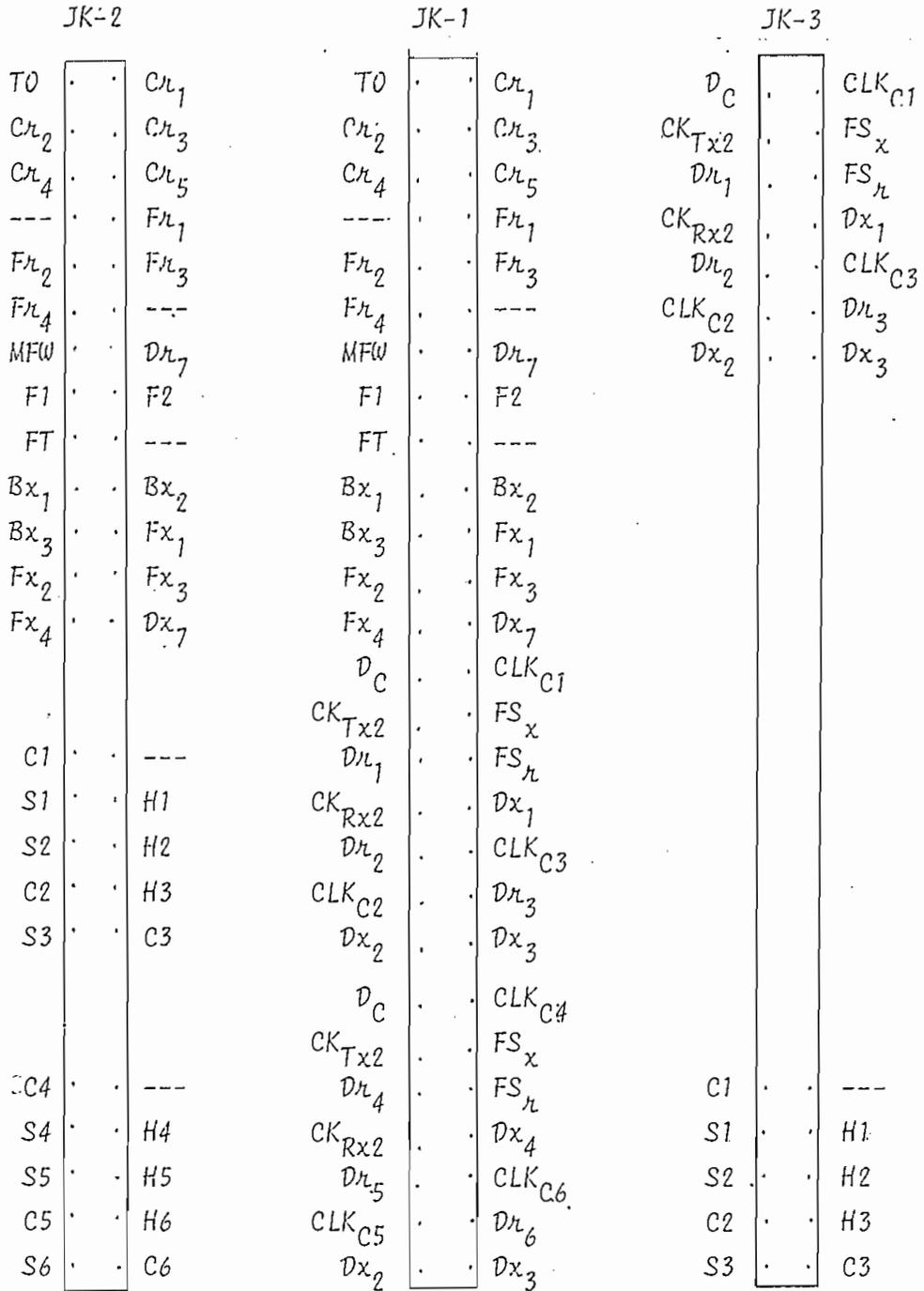


FIGURA III-12.3 DISPOSICION DE LAS TARJETAS EN EL EQUIPO MULTIPLEX



* JK-4 : Disposición similar al JK-3 - Canal 4 - Canal 5 - Canal 6
 * JK-1 : Conector de 40 pines (I= 1, ..., 4)

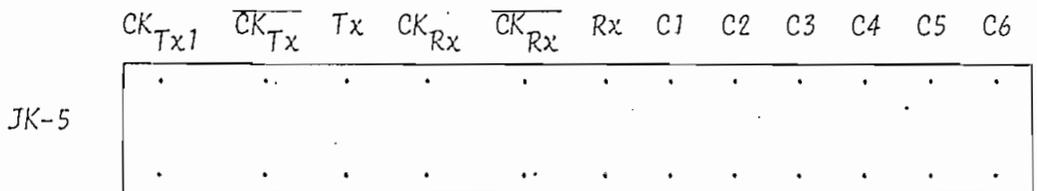


FIGURA III-12.4 DISPOSICIÓN DE LOS CONECTORES JK

Las Figuras III-12.51 a III-12.56 presentan fotos del equipo Multiplex PCM de 6 Canales Análogos implementado.

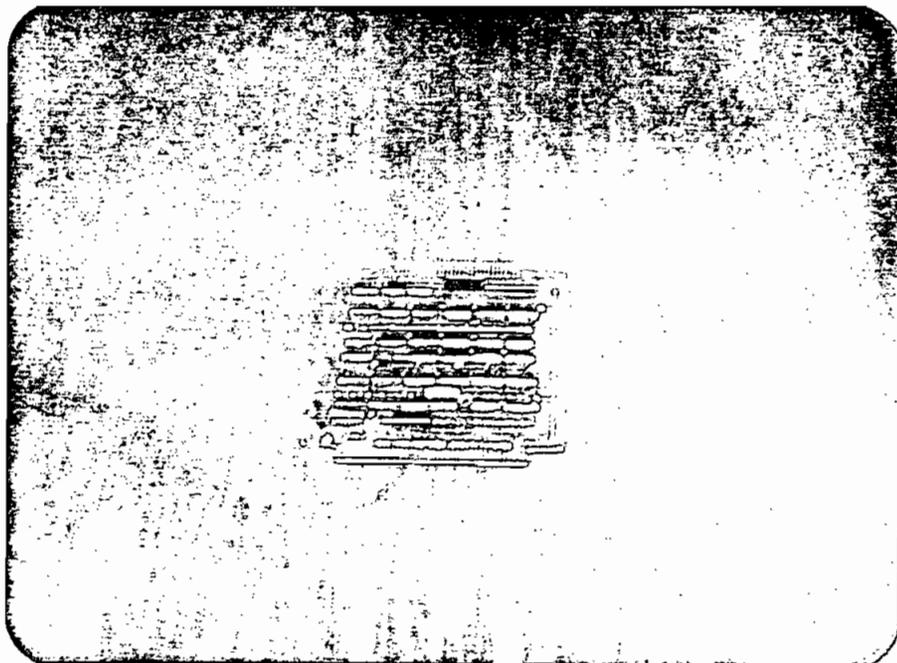


FIGURA III-12.51 TARJETA DE CONTROL

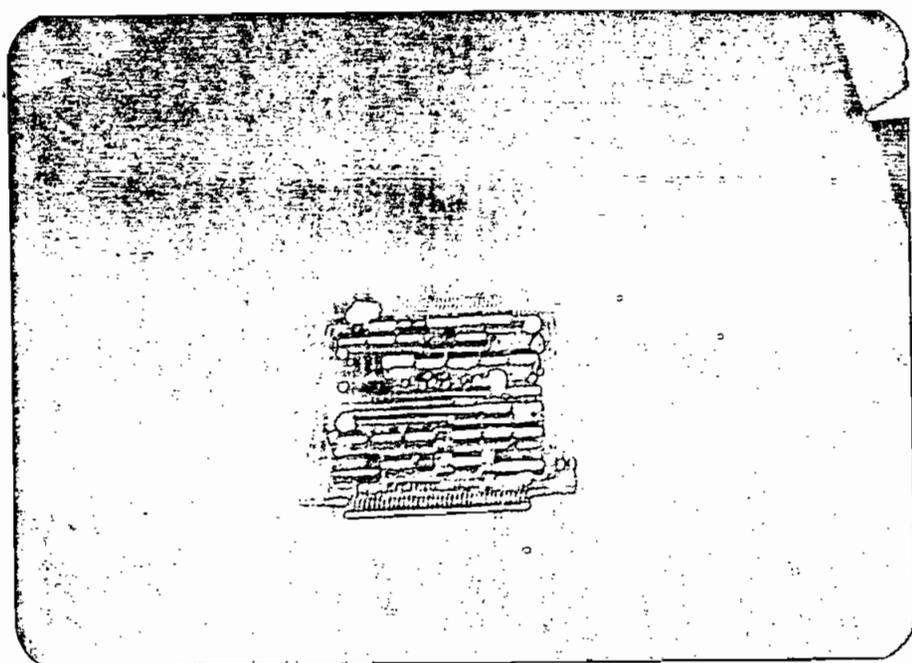


FIGURA III-12.52 TARJETA DE SENALIZACION

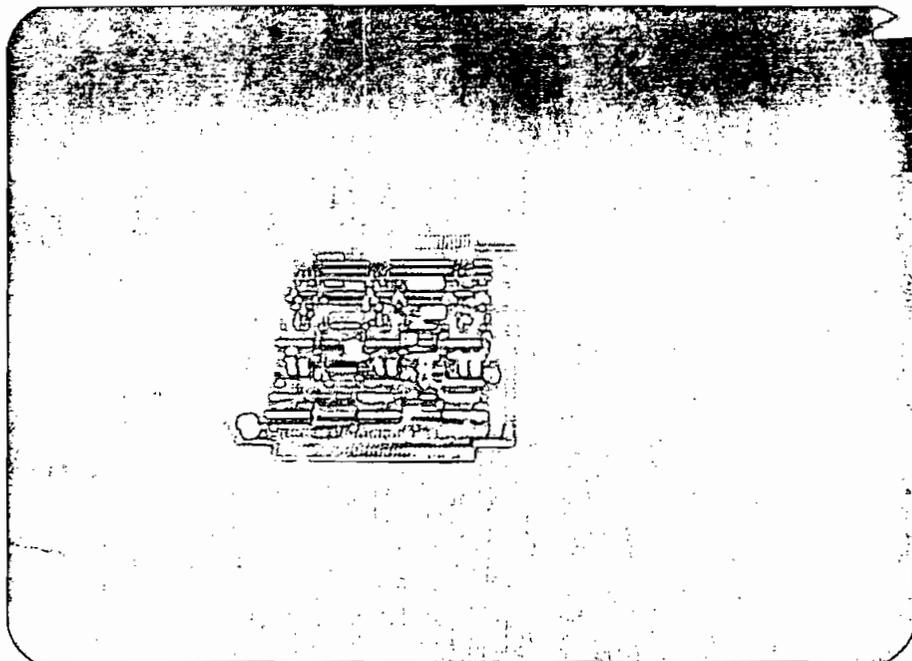


FIGURA III-12.53 TARJETA DE 3 CIRCUITOS PCM

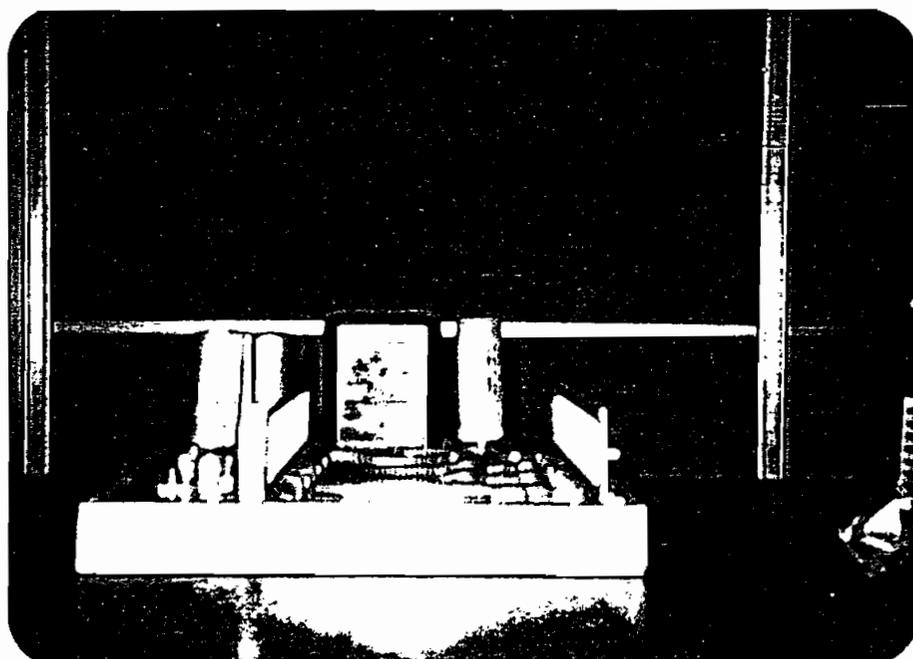


FIGURA III-12.54 DISPOSICION DE ELEMENTOS EN EL EQUIPO

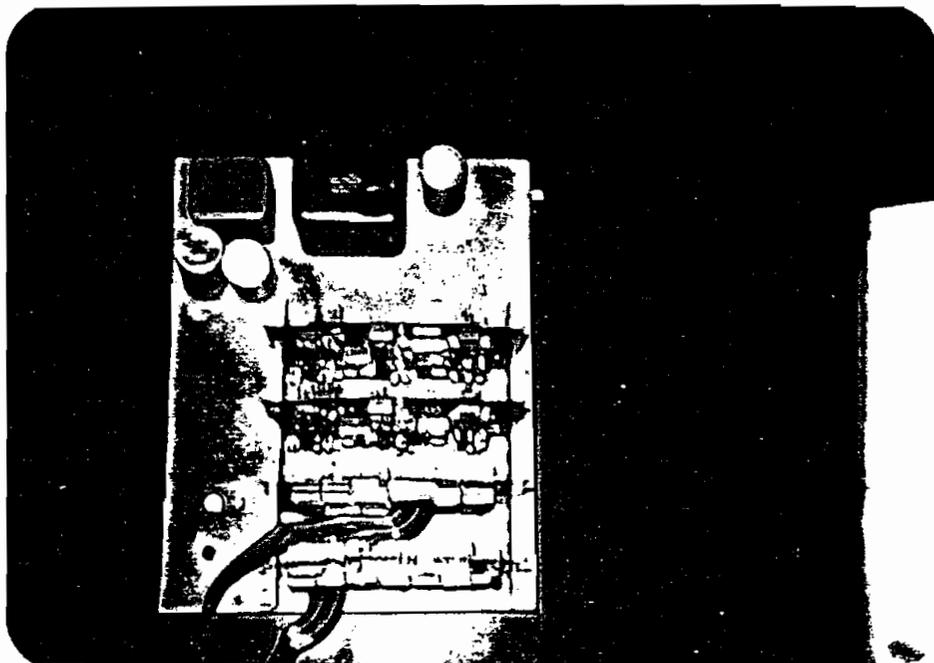


FIGURA III-12.55 EQUIPO MULTIPLEX PCM - VISTA SUPERIOR

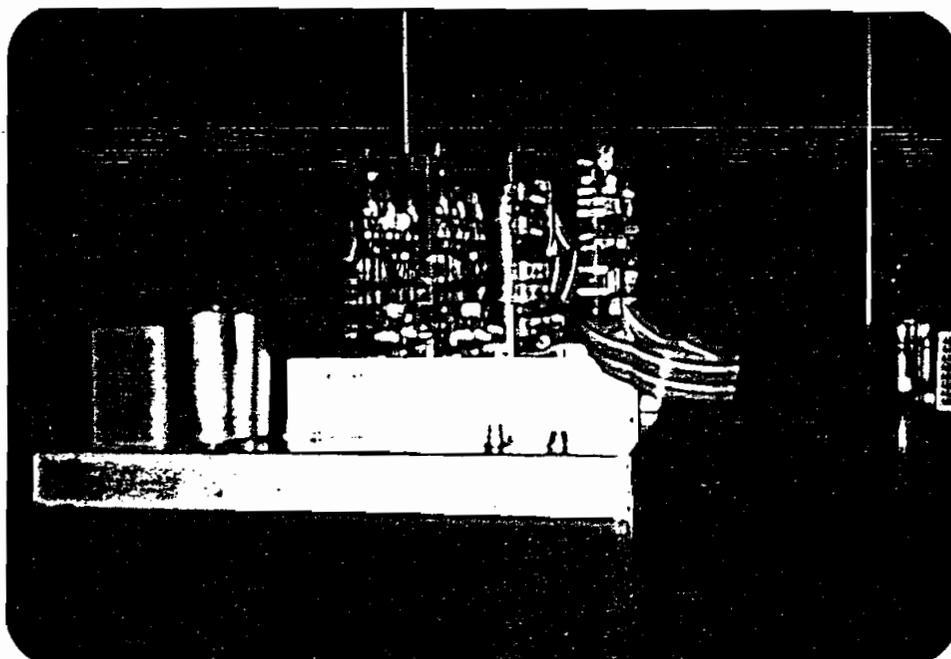


FIGURA III-12.56 EQUIPO MULTIPLEX PCM - VISTA LATERAL

C A P I T U L O I V

RESULTADOS EXPERIMENTALES

IV-1 PRUEBAS Y ANALISIS DE LOS RESULTADOS

IV-2 CONCLUSIONES

IV-3 RECOMENDACIONES .

CAPITULO IV

RESULTADOS EXPERIMENTALES

IV-1 PRUEBAS Y ANALISIS DE LOS RESULTADOS.

Una vez implementado el equipo se procedieron a realizar las pruebas necesarias, tanto en el control digital como en la parte análoga; tendientes a verificar el correcto funcionamiento y la eficacia del Sistema Mul-tiplex PCM de 6 canales análogos.

Las pruebas realizadas se las agrupa en tres puntos correspondientes a:

- Control Digital
- Transmisión de Señales Análogas
- Aplicación Práctica

IV-1.1 Control Digital

Como primer paso se realizó el ajuste en la frecuencia del reloj maestro transmisor, y se verificó que cumpla con los requerimientos de estabilidad; según se indica en el Cuadro IV-1.11

Δn (seg)	f_0 (KHz)	
0	2047.96	Δn = tiempo en la muestra de f_0
30	2047.88	
60	2047.90	f_0 = frecuencia del oscilador maestro
90	2048.12	
120	2047.93	En el Cuadro IV-1.11 se puede apre <u>ci</u> ar claramente que la estabilidad del oscilador maestro se encuentra en el rango permitido por el CCITT. (50 ppm.)
150	2048.11	
180	2048.05	
210	2047.90	
240	2048.07	
270	2047.92	
300	2048.04	

CUADRO IV-1.11 ESTABILIDAD DEL RELOJ MAESTRO TRANSMISOR

En forma similar se procedió a calibrar la señal de reloj maestro receptor, de manera que tenga un ciclo efectivo equivalente al 50%. (Ver Punto III-8.4). Al mismo tiempo se verificó que la señal transmitida (modulada) en el transmisor TX sea correctamente recibida en el receptor RX.

En este punto se debe mencionar que para todas las pruebas experimentales realizadas, se efectuó la interconexión directa entre el Interfase de Línea Tx y el Interfase de Línea Rx. Cabe resaltar el hecho que esto se realiza únicamente con fines experimentales, y con lo cual los canales (intervalos de tiempo) que se reciben corresponden de manera directa a cada una de las señales transmitidas en el Multiplexer PCM.

Adicionalmente se debe indicar que las pruebas correspondientes al Control Digital se realizaron en el Analizador Lógico Tetronix 7D01, y del cual se obtuvieron las fotografías que se presentan en las siguientes figuras de este punto. (Los niveles lógicos utilizados son niveles TTL)

La Figura IV-1.12 muestra las señales presentes en el Interfase de Línea Tx: CK_{Tx1} = Reloj Maestro Transmisor

Tx = Señal Multiplex - Intervalos de Tiempo 0 al 7 - Trama 0

FM = Señal modulada - Señal a Transmitirse

Sx = Intervalos de Tiempo 0 al 7 - Señal de referencia

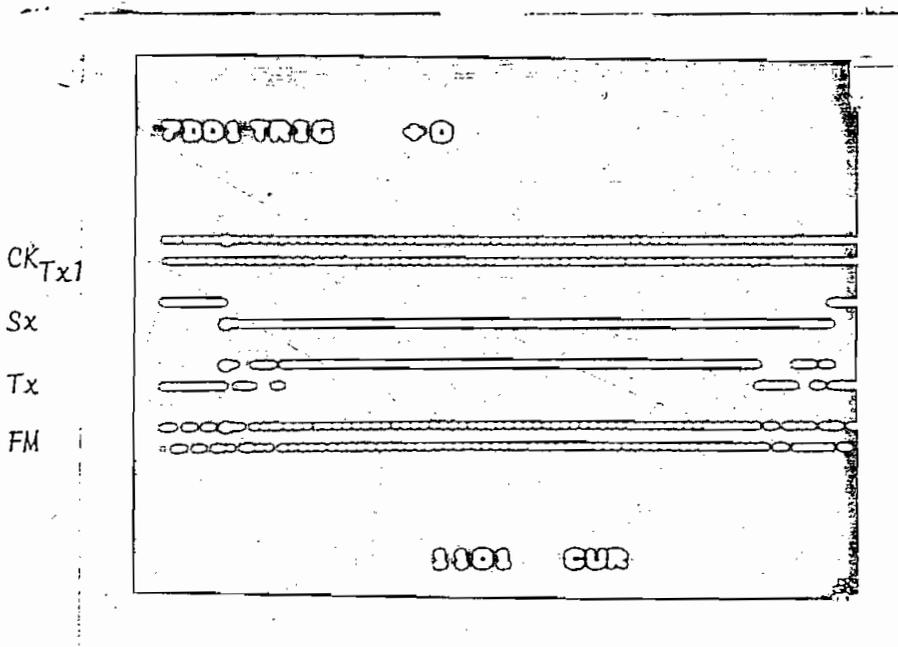


FIGURA IV-1.12. SEÑALES PRESENTES EN EL INTERFASE DE LINEA TX

En la Figura IV-1.13 se tienen las señales de reloj y datos recuperadas a partir de la señal modulada recibida:

CK_{Rx} = Reloj Maestro Receptor - Señal de Reloj Recuperada

" " " " = Señal Modulada Recibida

Rx = Señal Multiplex - Intervalos de Tiempo 0 al 7 - Trama 0

Sr = Intervalos de Tiempo 0 al 7 - Señal de referencia

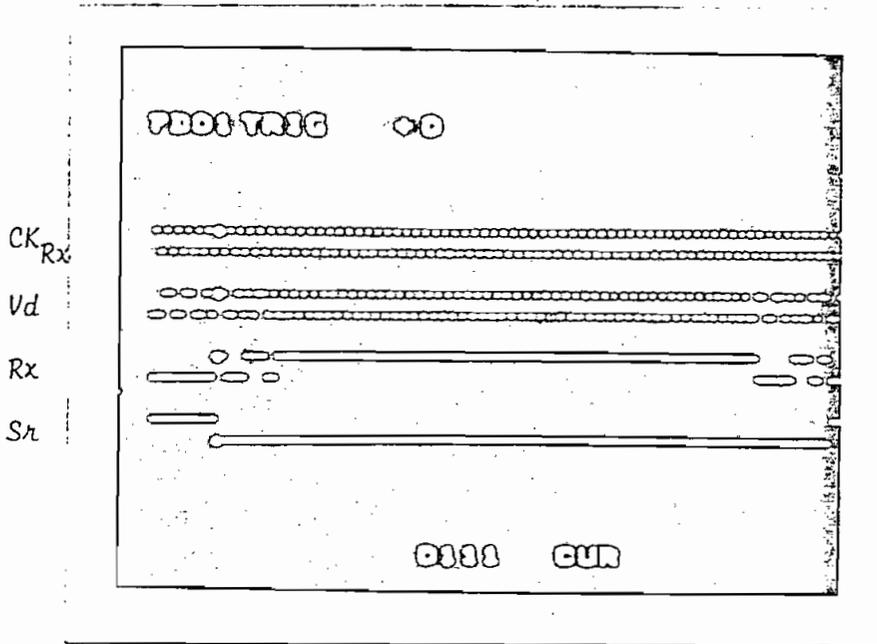


FIGURA IV-1.13 SEÑALES PRESENTES EN EL INTERFASE DE LINEA RX

Posteriormente se procedió a comprobar el control digital de las señales de comando que intervienen en el Sistema Multiplex PCM, como son: Generador de Señales Tx/Rx, Generador de FAW, Reconocimiento de FAW y Alineación de Trama; presentándose las principales señales que intervienen en los diferentes circuitos en las Figuras IV-1.14 a IV-1.18

No se incluyen diagrama de tiempos correspondientes al Control de los Codec, sin embargo se realizaron las pruebas correspondientes al comando de los mismos de activado o desactivado con el control de la señal C_i . Estas pruebas se realizaron tanto con un control externo C_i , como con las señales provenientes del Interfase de Línea de Abonado (Ver Punto III-7), que monitorean el Status del Teléfono (Colgado-Descolgado); verificando la habilitación de los circuitos PCM solo al estar ocupando la línea análoga respectiva.

En las Figuras IV-1.14 y IV-1.15 se indican las principales señales del Circuito Generador de Señales Tx, y cuyo diagrama de tiempos se presenta en la Figura III-11.21 (a).

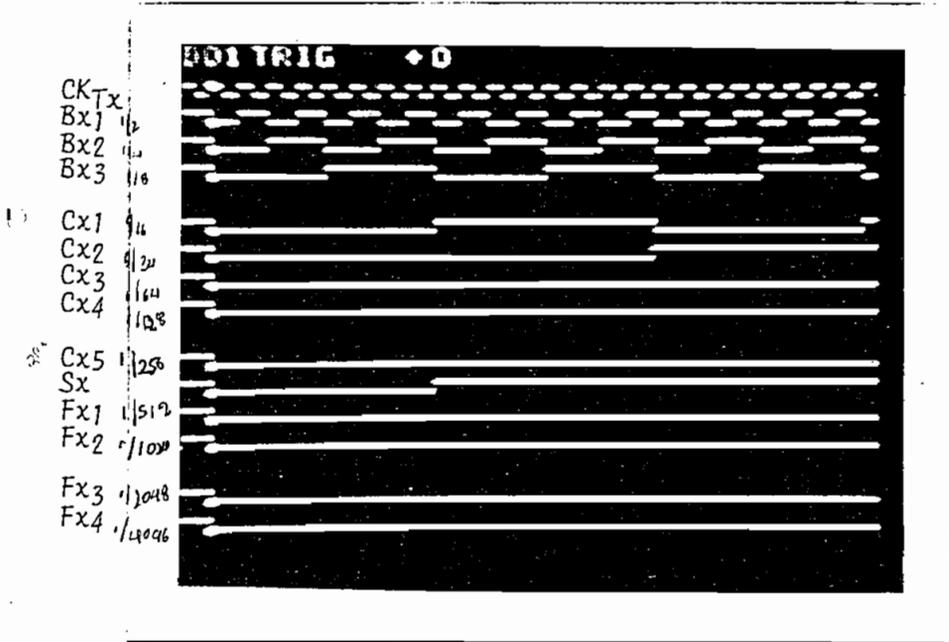


FIGURA IV-1.14 SEÑALES BASE DEL CIRCUITO GENERADOR TX (a)

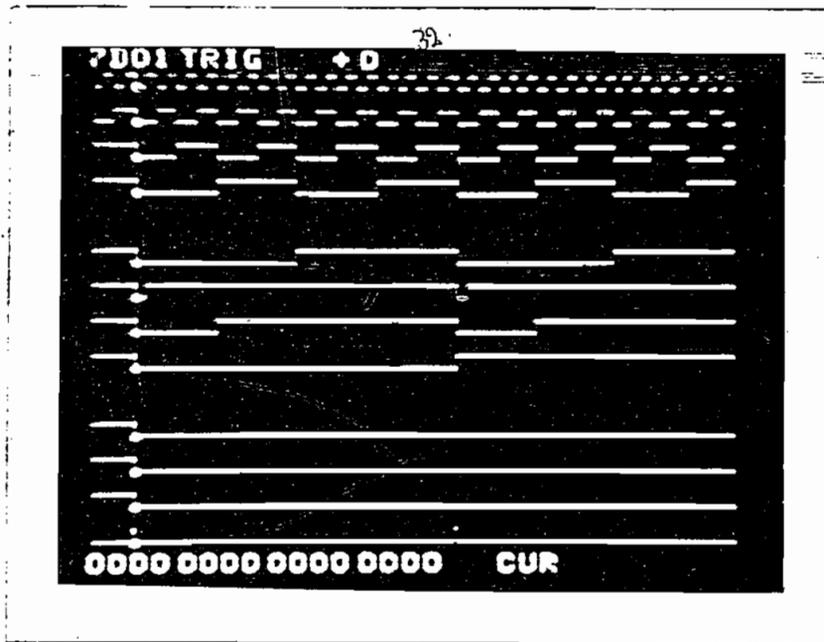


FIGURA IV-1.15 SEÑALES BASE DEL CIRCUITO GENERADOR TX (b)

Las señales correspondientes al Generador de Señales Rx se indican en la Figura IV-1.16. No se presenta un diagrama de tiempos completo de dichas señales, debido a su similitud con las presentadas en las Figuras IV-1.14 y IV-1.15. El análisis correspondiente a las señales del Circuito Generador Rx se indica en la Figura III-11.31 (a)

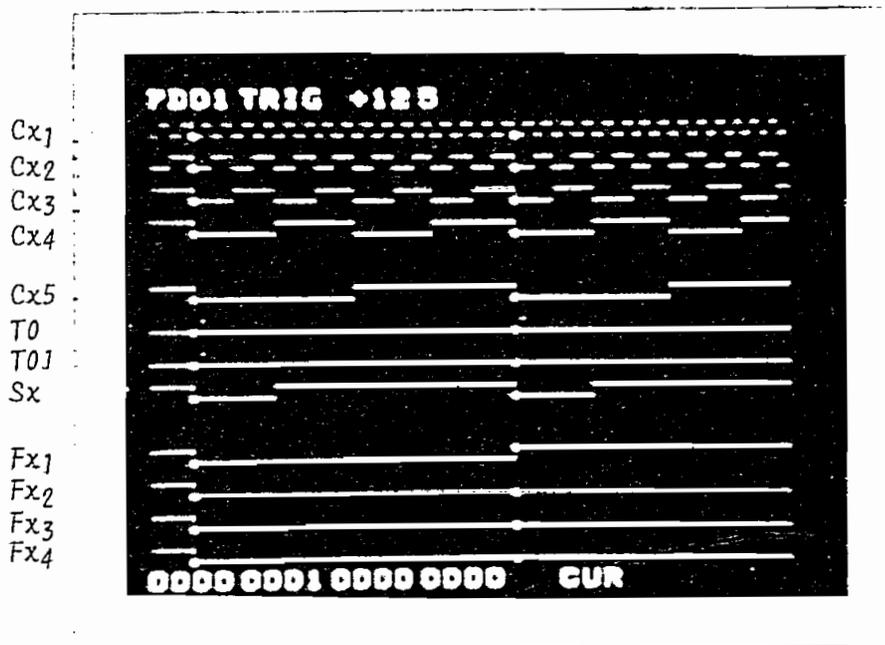


FIGURA IV-1.16 SEÑALES BASE DEL CIRCUITO GENERADOR RX

No se incluye un diagrama de tiempos de las salida del Circuito Generador de FAW, dado que su función, el generar la secuencia correspondiente a la Palabra de Código (Referirse al Punto III-5); se puede apreciar tanto en las Figuras IV-1.12 y IV-1.13, como en las Figura IV-1.17.

La Figura IV-1.17 presenta precisamente las señales que intervienen en el Circuito de Reconocimiento de FAW. La señal Rx corresponde a la señal demodulada en el Receptor. El diagrama de tiempos del Circuito de Reconocimiento de FAW se indica en la Figura III-6.22 y Figura III-6.24.

La Figura IV-1.18 presenta las señales que indican la sincronización del Receptor con el Transmisor, realizada en el circuito de Alineación de Trama; y cuyo diagrama de tiempos se incluye en la Figura III-6.34.

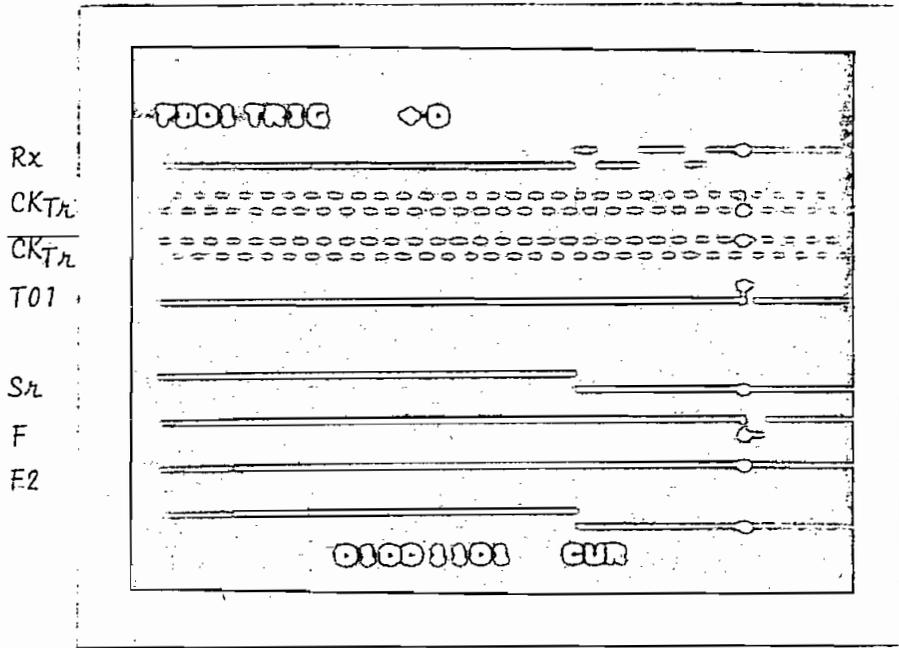


FIGURA IV-1.17 SEÑALES PRESENTES EN EL CIRCUITO DE RECONOCIMIENTO DE FAW

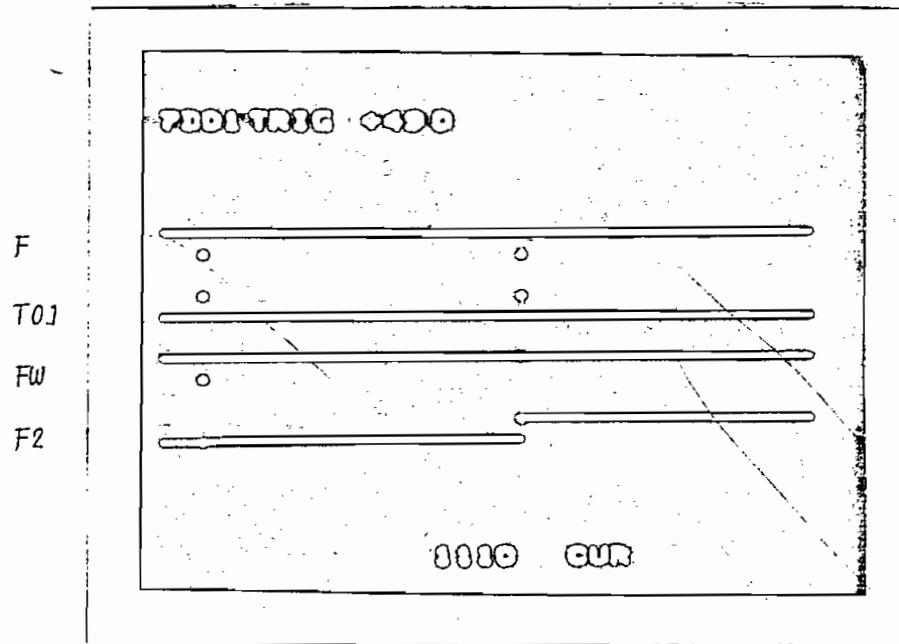


FIGURA IV-1.18 SEÑALES PRESENTES EN EL CIRCUITO DE ALINEACION DE TRAMA

Adicionalmente se efectuaron pruebas complementarias como son:

- Verificación del Adaptador de Señalización
- Comprobación del Circuito de Alineación de Multitrama
- Funcionamiento adecuado del Sistema de Alarmas
- Establecimiento del enlace Multiplex, esto es, la correcta correspondencia entre intervalos de tiempo recibidos e intervalos de tiempo transmitidos.

Realizadas las pruebas descritas en el desarrollo de este punto se verificó que todo el Circuito de Control Digital del Sistema Multiplex de 6 Canales Análogos, cumpla correctamente con las funciones asignadas a dicho control.

IV-1.2 Transmisión Señales Análogas

En la parte análoga del sistema se realizaron las siguientes pruebas:

- Respuesta de Frecuencia del Filtro Tx/Rx
- Operación del Codec (Coder-Decoder)
- Verificación del Sistema Multiplex Análogo

Todas las pruebas efectuadas en este punto se las realizó utilizando el Oxiloscopio Tetronix 751A y el Oxiloscopio Tetronix 4113

- Respuesta de Frecuencia del Filtro Tx/Rx

La respuesta de frecuencia del Filtro Tx/Rx se obtuvo de manera conjunta en los dos filtros, siendo la señal transmitida la señal entrante al Decoder (Interconexión del Interfase de Línea Tx con el Interfase de Línea Rx). En la realización de estas pruebas no está presente el SLIC.

La respuesta de frecuencia se presenta en el Cuadro IV-1.21 y en la Figura IV-1.22; siendo las señales que se indican en dicho cuadro las correspondientes a la Figura III-3.5. Igualmente se puede apreciar a las señales de entrada y de salida de los Filtros Tx/Rx en las fotos que se presentan en el punto relacionado a Operación del Codec.

f (KHz)	V_{TX} G_{Sx} (Vp)	V_{Fx0} (Vp)	G_{Tx} (dB)	V_{FRI} (Vp)	V_{Rx} (Vp)	G_{Rx} (dB)
.060	1	.07	-40	----	---	---
.150	1	0.8	-1.9	0.75	0.7	-.6
*.300 - 3.0	1	1	0	1	1	0
3.4	1	0.95	-.45	0.90	0.85	-.5
4.0	1	0.2	-14	0.20	0.05	-12

* Los valores tomados en este rango tienen un margen de variación, que comprende entre $\pm 0.5 V_p$ (± 0.4 dB)

CUADRO IV-1.21 RESPUESTA DE FRECUENCIA DEL FILTRO TX/RX

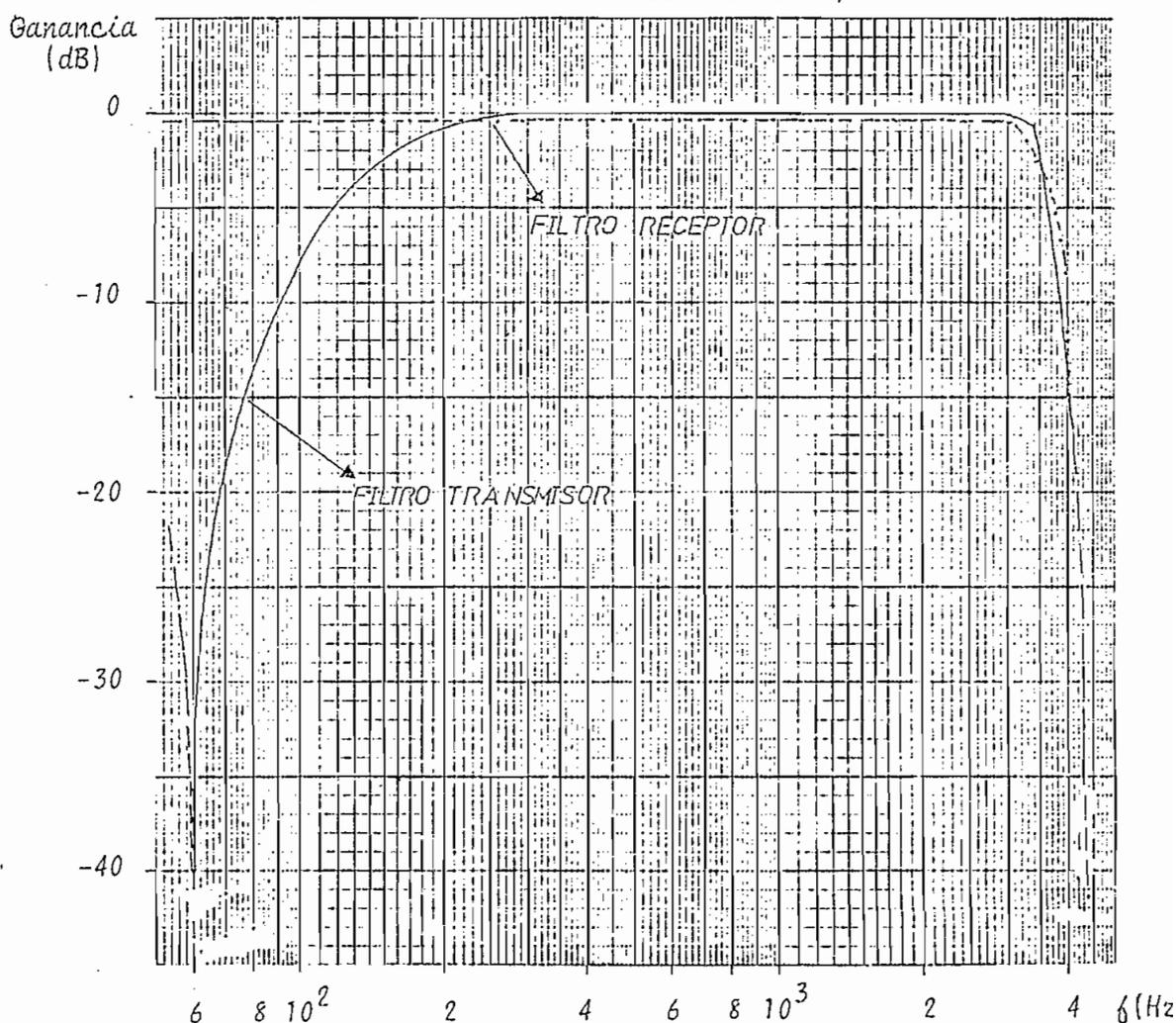


FIGURA IV-1.22 GRAFICO DE LA RESPUESTA DE FRECUENCIA DEL FILTRO TX/RX

Del Cuadro IV-1.21 y de la Figura IV-1.22 se puede concluir que la Respuesta de Frecuencia tanto del Filtro Transmisor como del Filtro Receptor cumple con bastante aproximación a las características especificadas por el Fabricante; y por tanto, están de acuerdo a los requerimientos teóricos citados en el numeral respectivo (Recomendación G712 CCITT).

Un aspecto importante de señalar constituye la alta atenuación efectiva que se tiene a la frecuencia de línea (60 Hz), siendo este aspecto determinante en aplicaciones prácticas de Sistemas Multiplex PCM.

Igualmente se observó que la respuesta de frecuencia para componentes altas del espectro (Mayores a 4 KHz), cumple con los requerimientos necesarios en los sistemas PCM, tomando en cuenta que la frecuencia de muestreo f_s es igual a 8 KHz. Aún cuando no se incluyen valores en dicho rango de frecuencias, los filtros tanto de transmisión como de recepción proveen una ganancia máxima de - 30 dB.

Otro punto que se debe tomar en cuenta, tiene que ver con la respuesta de frecuencia del Filtro Receptor, la cual es obtenida a partir de la señal recibida por el Codec (salida del Codec hacia el Filtro Rx); con lo cual al mismo tiempo de determinar la respuesta de frecuencia del mismo, se verifica que cumpla con la característica de transferencia que contiene la corrección $\text{sen } x / x$.

Como se anotó anteriormente, se trabajó con un canal en particular, verificandose cualitativamente que los canales restantes presente características similares a las del canal tomado como referencia.

Es necesario señalar en lo referente a la obtención de la respuesta de frecuencia, que no se realizaron muchas medidas por dos razones: Primero, debido a que se pretende comprobar que el C.I. 2912 cumpla con la especificaciones dadas por el fabricante, no siendo el objetivo el determinar la características presentadas por un Filtro de diseño particular. En segundo lugar, dada la característica misma del filtro no se justifica la obtención de numerosos puntos de referencia, para determinar la respuesta de frecuencia de los Filtros de Transmisión y Recepción.

Adicionalmente se pueden apreciar ejemplos particulares de las señales de entrada y salida del Filtro TX/RX, en el siguiente punto,

- Operación del Codec

En este punto se verifica la operación del C.I. 2911 (Codec) que con tiene al Coder-Decoder, realizando la pruebas de manera conjunta en los dos sentidos (Conversión A/D - Conversión D/A); comprobándose así, que la señal transmitida se recupere de: manera correcta en las muestras a nalógicas respectivas.

Las pruebas efectuadas en el Codec se realizaron paralelamente con la operación de los Filtros de Transmisión y Recepción.

Como parte de las pruebas de la operación del Codec; se comprobó el activado-desactivado del Codec, la programación del mismo para transmi tir la palabra digital de 8 bits en el intervalo de tiempo correcto y para recibir la palabra PCM del demultiplexer en el mismo canal de tiem po, y la operación correcta en la Conversión A/D y D/A. No se incluye fotografías de la parte digital, principalmente debido a que todas las funciones antes descritas se resumen en la correcta recepción de infor mación de la señal análoga transmitida, que ingresa al Filtro Rx. Los resultados de dichas pruebas se aprecian en las siguientes Figuras: Figura IV-1.23 a Figura IV-1.26

donde:

V_{Tx} : Voltaje RMS de la señal de entrada al Filtro Tx

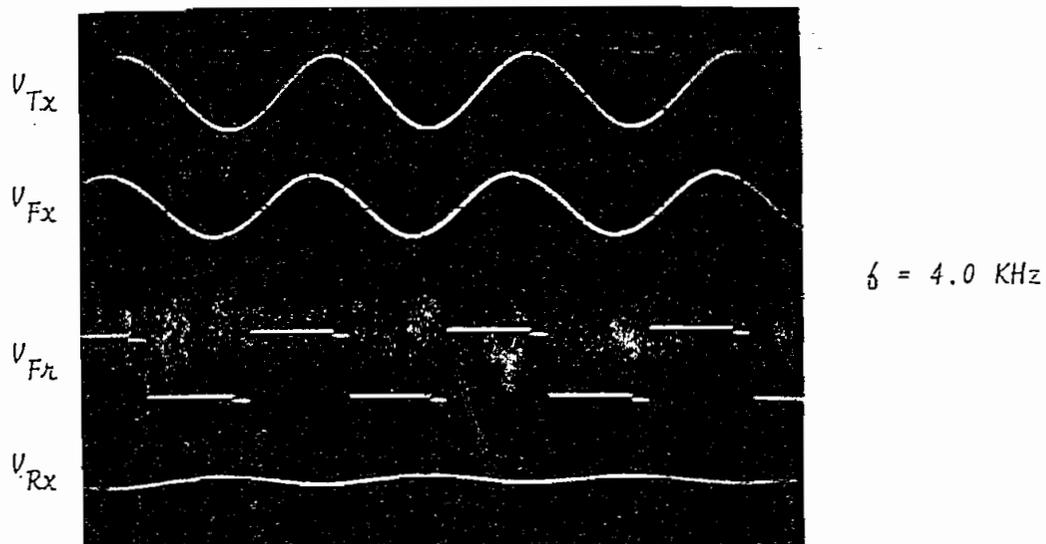
V_{Fx} ; Voltaje RMS de la señal de entrada al Codec

V_{Fh} : Voltaje RMS de la señal de salida del Codec

V_{Rx} : Voltaje RMS de la señal de salida del Filtro

f ; Frecuencia de la señal de entrada

De las Figuras IV-1.23 a IV-1.26 se puede concluir que el Codec ope ra de acuerdo a las especificaciones y a las características teóricas esperadas. Igualmente se realizó dichas pruebas con todos y cada uno de los seis canales PCM.



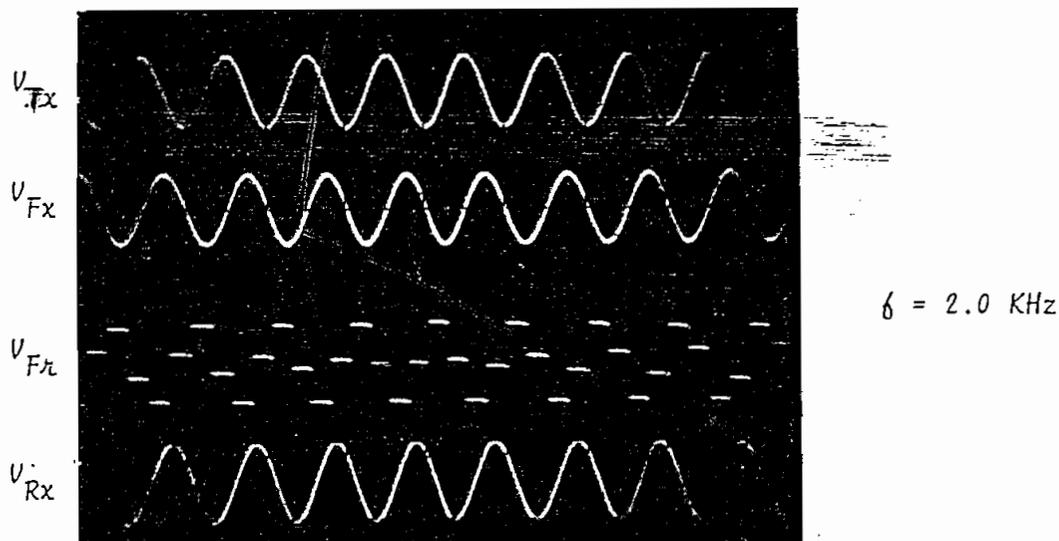
$$V_{Tx} = 0.707 \text{ V}$$

$$V_{Fx} = 0.141 \text{ V}$$

$$V_{Fh} = 0.141 \text{ V}$$

$$V_{Rx} = 0.035 \text{ V}$$

FIGURA IV-1.23 OPERACION DEL CODEC Y FILTROS TX/RX



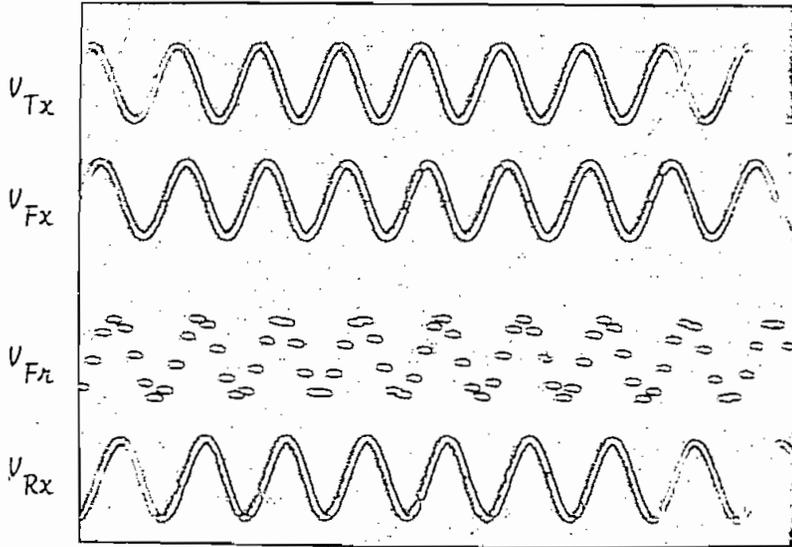
$$V_{Tx} = 0.707 \text{ V}$$

$$V_{Fx} = 0.707 \text{ V}$$

$$V_{Fh} = 0.707 \text{ V}$$

$$V_{Rx} = 0.707 \text{ V}$$

FIGURA IV-1.24 OPERACION DEL CODEC Y FILTRO TX/RX



$$f = 1.0 \text{ KHz}$$

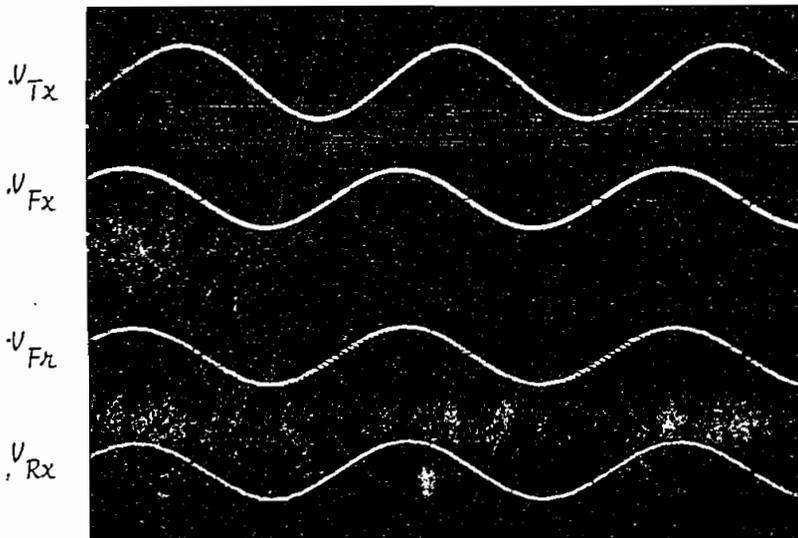
$$V_{Tx} = 0.707 \text{ V}$$

$$V_{Fx} = 0.707 \text{ V}$$

$$V_{Fh} = 0.707 \text{ V}$$

$$V_{Rx} = 0.707 \text{ V}$$

FIGURA IV-1.25 OPERACION DEL CODEC Y FILTRO TX/RX



$$f = 150 \text{ Hz}$$

$$V_{Tx} = 0.707 \text{ V}$$

$$V_{Fx} = 0.566 \text{ V}$$

$$V_{Fh} = 0.530 \text{ V}$$

$$V_{Rx} = 0.495 \text{ V}$$

FIGURA IV-1.26 OPERACION DEL CODEC Y FILTRO TX/RX

- Verificación del Sistema Multiplex Análogo

Las pruebas realizadas en este punto permiten comprobar la eficiencia de los Sistemas Multiplex PCM, con su consiguiente aplicación en Sistemas Telefónicos. (objetivos de la presente tesis)

Cabe destacar que las pruebas presentadas a continuación se efectuaron con cada uno de los seis canales análogos, obteniéndose resultados similares con todos ellos; y por lo cual se dan los resultados sin mención particular a canal alguno.

Para las pruebas se transmiten dos tonos de diferentes frecuencias en dos canales, verificándose la fiel recepción de cada tono en el canal respectivo; así como la ausencia de señal en los canales en reposo. Los resultados obtenidos se detallan a continuación:

$$f_1 = 2 \text{ KHz}$$

$$V_{Tx} = 0.707 \text{ V (rms)}$$

$$V_{Rx} = 0.707 \text{ V (rms)}$$

$$G_{TR} = 0.0 \text{ dB}$$

$$V_{Rx} = 0.011 \text{ V (rms)}$$

$$G_{TR} = -36.5 \text{ dBm}$$

$$f_2 = 1 \text{ KHz}$$

$$V_{Tx} = 0.707 \text{ V (rms)}$$

$$V_{Rx} = 0.800 \text{ V (rms)}$$

$$G_{TR} = 1.06 \text{ dB}$$

Nivel de Voltaje en un canal en
Reposo

$$f_1 = 3 \text{ KHz}$$

$$V_{Tx} = 0.707 \text{ V (rms)}$$

$$V_{Rx} = 0.672 \text{ V (rms)}$$

$$G_{TR} = -0.44 \text{ dB}$$

$$V_{Rx} = 0.008 \text{ V (rms)}$$

$$G_{TR} = -39.3 \text{ dBm}$$

$$f_2 = 500 \text{ Hz}$$

$$V_{Tx} = 0.707 \text{ V (rms)}$$

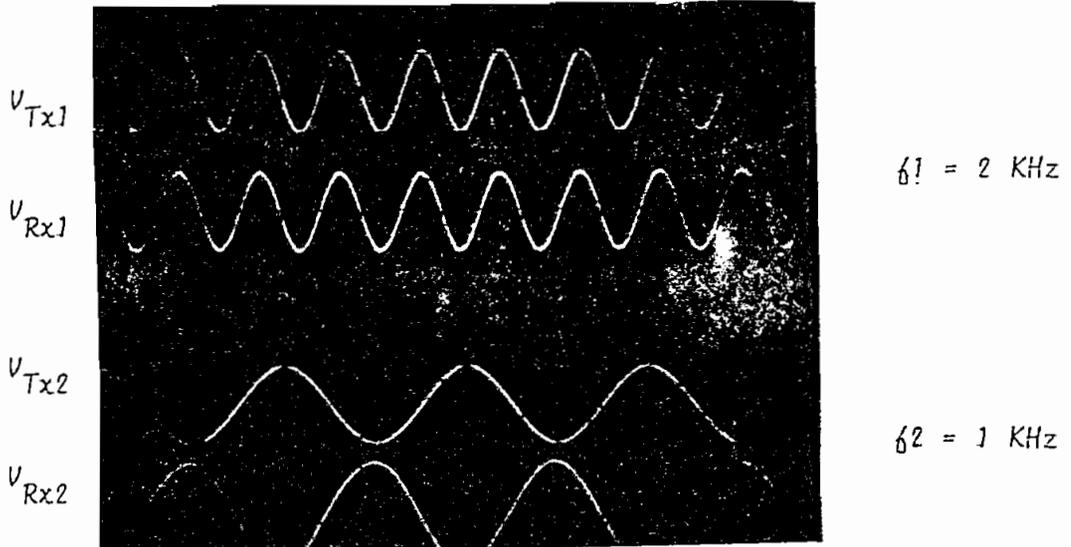
$$V_{Rx} = 0.742 \text{ V (rms)}$$

$$G_{TR} = 0.42 \text{ dB}$$

Nivel de Voltaje en un canal en
Reposo

$$* \text{ Nivel dBm} = 20 \log \frac{V_2}{V_0} \quad (\text{dBm}) \quad V_0 = 775 \text{ mV (rms)}$$

Las pruebas antes anotadas se repitieron para varios valores de frecuencia, recuperandose en todos los casos las señales transmitidas de manera fiel; y obteniéndose siempre un nivel máximo de -35 dBm en los canales en reposo. La Figura IV-1.27 y Figura IV-1.28 presentan los dos ejemplos anotados anteriormente.



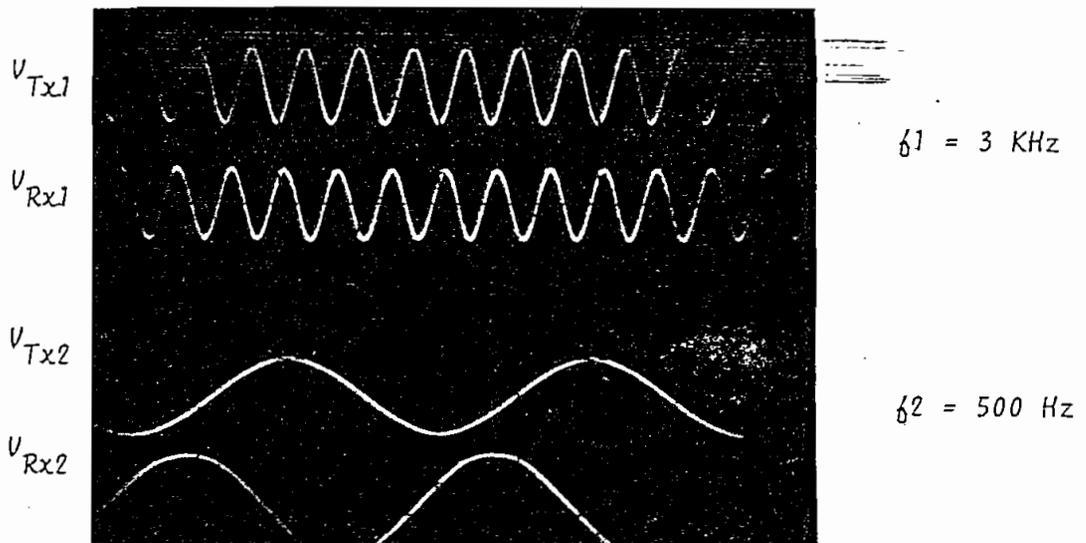
$$V_{Tx1} = 0.707 \text{ V}$$

$$V_{Tx2} = 0.707 \text{ V}$$

$$V_{Rx1} = 0.707 \text{ V}$$

$$V_{Rx2} = 0.800 \text{ V}$$

FIGURA IV-1.27 TRANSMISION DE DOS SEÑALES ANALOGAS



$$V_{Tx1} = 0.707 \text{ V}$$

$$V_{Tx2} = 0.707 \text{ V}$$

$$V_{Rx1} = 0.672 \text{ V}$$

$$V_{Rx2} = 0.742 \text{ V}$$

FIGURA IV-1.28 TRANSMISION DE DOS SEÑALES ANALOGAS

Adicionalmente se utilizaron dos canales más para pruebas prácticas con señales provenientes de canales telefónicos (que se describen en el siguiente punto), al mismo tiempo que se transmitían las dos señales análogas de prueba; comprobando tanto que no se produzcan variaciones significativas en las medidas realizadas, así como, que dichas señales de prueba no intervengan en los canales de audio provenientes de los teléfonos.

Se debe mencionar el hecho de que todas las pruebas de la parte análoga correspondiente a este punto se las efectuó sin el circuito de Interfase de Línea de Abonado (MC3419), debido principalmente a los problemas que se tienen al tratar de acoplar el Oscilador de Pruebas a la entrada del SLIC, el cual, transmite a su vez la señal. Adicionalmente se comprobó que las puntas de prueba del Osciloscopio cargaban al circuito de Interfase, al realizar medidas entre el Interfase de Abonado y los Filtros Tx/Rx; pero el funcionamiento es correcto al estar operando normalmente (Referirse al siguiente punto).

De los resultados obtenidos en las diferentes pruebas de la parte análoga del Sistema Múltiplex PCM, y descritas en este último punto, se pueden anotar las siguientes consideraciones:

- El nivel de ruido en un canal en reposo es significativamente bajo, con un valor típico de -40 dBm.
- La diafonía entre canales es imperceptible. Esto debe considerarse en el equipo Múltiplex PCM exclusivamente.
- El Múltiplex de canales análogos utilizando la técnica PCM presenta notables ventajas en relación a Sistemas Múltiplex por División de Frecuencia convencionales y que se detallan en las Conclusiones. (Ver Punto IV-2)

IV-1.3 Aplicación Práctica

Finalmente como una prueba de la real utilidad del equipo, se procedió a conectar dos teléfonos, con lo cual se puede concluir que se ha alcanzado el objetivo del presente estudio.

En este punto se verificaron que las operaciones de descolgado-colgado comandan la habilitación o no del respectivo canal PCM (todo el canal constituido por el SLIC-Filtro TX/RX-Codec es comandado por este último); la deshabilitación del relé de timbrado al estar el teléfono descolgado, y el envío correcto de los pulsos de marcado.

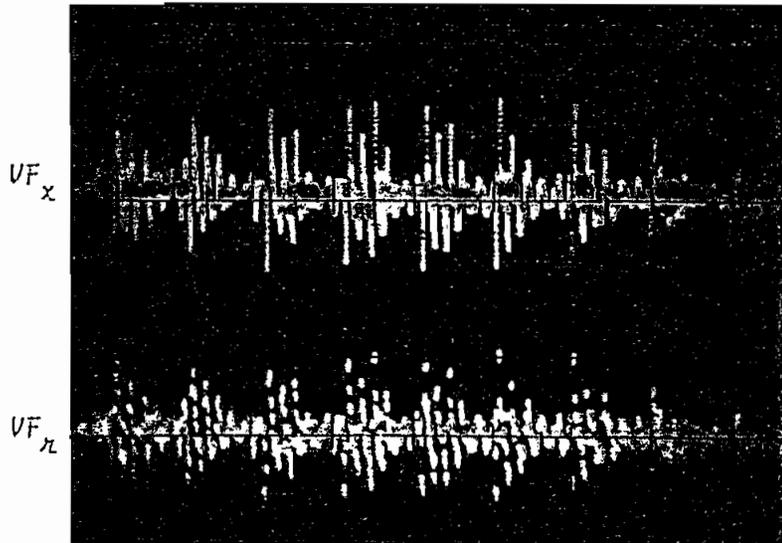
Ahora, para establecer la comunicación entre los dos aparatos telefónicos, dado que el enlace se efectúa en los mismos intervalos de tiempo para la transmisión y recepción (Interconexión de la Señal a transmitirse con la Señal a recibirse en el Interfase de Línea Tx/Rx); se intercambiaron las señales de audio que se reciben en los auriculares de cada uno de los teléfonos. Con dicha configuración, se establece un enlace telefónico fijo de las señales análogas provenientes de los teléfonos, el cual tiene solamente un carácter experimental.

Para las pruebas correspondientes se procedió a calibrar cada uno de los circuitos PCM, en su parte correspondiente al SLIC; con los tres pontenciómetros existentes para tal efecto, según se aprecia en la Figura III-7.33 (Referirse al punto III-7)

Realizada dicha calibración, que tiene que ver con la red de balance pasivo para el ajuste del híbrido y su operación correcta; se efectuaron pruebas paralelas con otros canales que transmitían tonos de prueba, y que permitieron comprobar la eficacia del Sistema Multiplex PCM de 6 canales análogos.

Cabe mencionar que los canales telefónicos presentaban un pequeño ruido de fondo, el cual podría ser eliminado con un mejor ajuste, en dicho equipo, o inclusive con otra aplicación dada por los fabricantes para disminuir el voltaje de offset en el Codec-Filtro y para mejorar la presentación del híbrido; que no se realizaron dado que no tenía como objetivo principal las pruebas la obtención de enlaces telefónicos de calidad elevada.

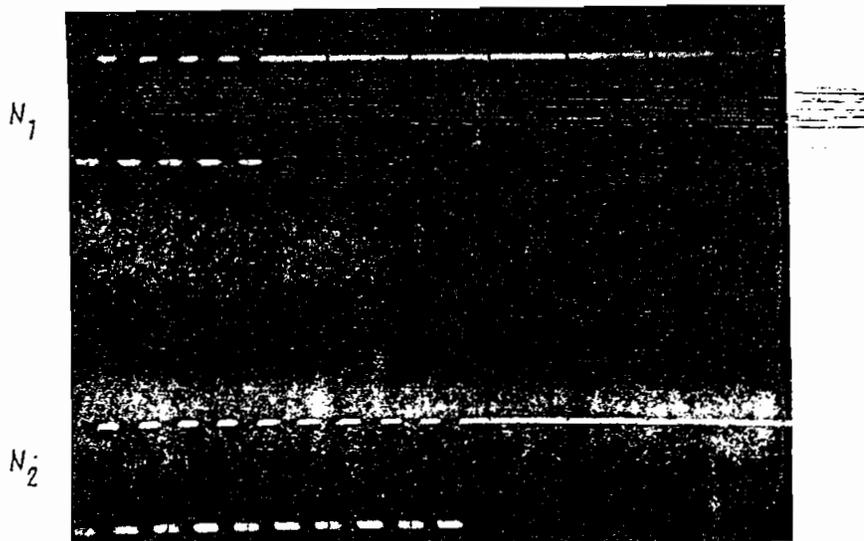
Como parte de las pruebas realizadas se presentan en las Figuras: Figura IV-12.31 y Figura IV-12.32 dos características de la aplicación práctica: La primera con el espectro de la palabra "ALO" (repetitiva) que se tiene a la entrada y salida del Codec; y la segunda que presenta los pulsos de marcado (Tomados de la señal TSO).



VF_x = Señal de entrada al Codec

VF_n = Señal de salida del Codec (Muestras análogas)

FIGURA IV-12.31 ESPECTRO DE LA PALABRA "ALO" (REPETITIVA)



N_1 = número 5

N_2 = número 10

Escala Horizontal: 30 mseg. por marca

Escala Vertical :: 4 Vp.

FIGURA III-12.32 PULSOS DE MARCADO EN LA SENAL TSO

Realizadas todas las pruebas anteriormente descritas se pudo verificar el correcto funcionamiento de cada uno de los bloques que conforman el Sistema Multiplex de 6 Canales Análogos utilizando la técnica PCM.

Cabe anotar el hecho de que las pruebas realizadas constituyen la parte más relevante en el estudio del Sistema Multiplex PCM; y que para el normal funcionamiento de todos y cada uno de los bloques constitutivos se hizo necesario en ciertos casos la inclusión de elementos adicionales o la variación del diseño inicial en los circuitos a implementarse, cambios que se describen y presentan en cada uno de los circuitos implementados indicados en el Capítulo anterior.

Se debe resaltar que principalmente dichas modificaciones se realizaron en la parte digital, con la inclusión de condensadores para eliminar sobrepulsos no deseados producidos ya sea por los tiempos de retardo de las compuertas lógicas o por el efecto de la reflexión (ringing) en los cables. Por la razón anterior, dichos problemas solo se presentaron en ciertas señales de frecuencia elevada, y que al colocar los condensadores entre la salida digital y tierra eliminaron los problemas que ocasionaban los sobrepulsos. Como ya se anotó, dichos condensadores se incluyen en los respectivos circuitos en los que se hizo necesario la eliminación de sobrepulsos.

En la parte análoga, solo se presentó inconvenientes en el Interfase entre el SLIC y los Filtros Tx/Rx, y cuyo análisis se realizó en el respectivo punto (Ver III-7). El problema presentado se debió principalmente a la diferencia de fabricantes de los dos circuitos integrados (MC3419-2912), y cuya utilización se hizo necesaria por su disponibilidad, sin ocasionar de masiados inconvenientes en la implementación práctica.

Otro punto de importancia, constituye la clara división que se observa entre la parte digital y la parte análoga, lo que permite tener ventajas adicionales como son: la transmisión de datos, el uso en telemetría, etc, sin tener que realizar modificaciones sustanciales en el contexto general del Sistema Multiplex PCM.

IV-2 CONCLUSIONES

Del estudio teórico-experimental del Sistema Multiplex PCM se pueden obtener conclusiones generales, tanto del actual sistema particular para 6 canales análogos, como de los Sistemas Multiplex que utilizan la técnica PCM en general.

En primer término se debe resaltar el hecho que si bien el diseño permite ampliar la capacidad del Sistema, el presente se realizó exclusivamente para un número límite de canales. Al mismo tiempo deberá tomarse muy en cuenta que el multiplex es un Multiplex por División de Tiempo Estático.

Otro aspecto de importancia constituyen las pruebas prácticas realizadas con señales provenientes de canales telefónicos, lo cual en sí demuestra que se ha cumplido con los objetivos y alcances que perseguía el presente proyecto.

En cuanto al actual Sistema Multiplex de 6 canales análogos utilizando técnica PCM, se puede concluir de manera general los siguientes resultados:

- El sistema cumple con los requerimientos técnicos para los cuales fue diseñado.
- El control digital de todo el sistema funciona de manera correcta, luego de las modificaciones que se hicieron necesarias para eliminar sobrepulsos no deseados, según se indicó en el punto anterior.

Es importante señalar que el control digital se realiza de manera particular para el actual sistema, y que si bien se puede ampliar la capacidad hasta un número de 32 canales; sería más confiable su utilización para un número máximo de 16 canales; tanto por la implementación física de los elementos adicionales que se tendrían, como por el incremento de costos y consumo.

- En la parte análoga del sistema se deben mencionar dos hechos: El primero tiene que ver con los problemas que se encontraron en la implementación práctica de los circuitos PCM debido a la utilización de C.I. de diferentes fabricantes para el SLIC y FILTROS TX/RX; no obstante, los cuales luego de efectuada la modificación en la ganancia de señal en el lado de transmisión funcionan sin ningún inconveniente, como se aprecia en los resultados experimentales.

El segundo punto en mención, constituye la alta confiabilidad y rapidez que se logra en el tratamiento de las señales análogas durante los procesos de conversión análogo-digital y digital-análogo que utilizan la técnica PCM, mediante el empleo de Circuitos Integrados específicos para Sistemas Multiplex PCM, como son: Codecs, Filtro Tx, Filtro Rx, SLIC; obteniéndose ventajas adicionales importantes en sistemas prácticos tales como la reducción de espacio físico, menor consumo de potencia, y control electrónico en casi todas las funciones del sistema.

No se incluyen resultados particulares del Sistema Multiplex PCM implementado debido a que estos se detallan en el punto anterior (Ver punto IV-1) en el que se analizan los Resultados Experimentales que se obtuvieron.

Como conclusiones generales de los Sistema Multiplex PCM se pueden citar:

- Las principales ventajas de los sistemas de comunicación telefónica que utilizan la técnica PCM tienen que ver con la calidad de la información que se recibe, la misma que es independiente de la distancia y configuración de la red. (Carácter regenerativo de la señal PCM) La posibilidad de unificar a todos los servicios de, comunicación, implementando una red de servicios integrados.
Reducción de espacio físico, de costos y de consumo de potencia.
- Otro de los aspectos que constituye una de las principales ventajas de un sistema PCM con relación a sistema FDM, es la ausencia de ajustes que se tiene en los sistema MIC una vez que el equipo a quedado puesto a punto. En caso de ser necesario reemplazar una unidad defectuosa no se precisa efectuar ninguna clase de ajuste en la nueva unidad, con lo cual se obtiene:
 - 1) Gran rapidez para remediar el fallo
 - 2) Personal de mantenimiento menos numeroso
 - 3) Gracias a los indicadores de alarma no se precisa personal con calificación especial para el mantenimiento. Basta disponer de unidades de reserva para sustituir las defectuosas y estas serán enviadas al laboratorio para su reparación.

Por último se pueden citar las características generales de los Sistemas PCM:

- Calidad de la voz: Idéntica para todos los canales. El margen dinámico depende del código de las características de compresión. El ruido de cuantización depende del nivel de la voz.
- Nivel de ruido: Independiente de la longitud del sistema. En gran medida es insensible a la interferencia. Está definido por el equipo terminal (elección del código y calidad del codificador)
- Transmisión de datos: Acceso digital a bajo costo. Relación ilimitada entre los datos y el tráfico analógico. Utilización eficaz de la capacidad del sistema.
- Flexibilidad: Conmutación del tráfico por medio de simples circuitos binarios. Todas las unidades de canal son idénticas. Diseño del circuito con compuertas lógicas ($1_L - 0_L$).
- Mantenimiento: Las unidades pueden ser sustituidas por personal sin experiencia previa.

Finalmente en cuanto a consideraciones propias sobre la implementación, se pueden acotar las siguientes:

- Debe tenerse como principio la división de la parte digital de la parte analógica, lo cual a más de dar mayor confiabilidad al sistema permite una gran flexibilidad en este para la introducción de nuevos servicios (transmisión de datos, telex, etc)
- El diseño ha de tomar en consideración las diferentes señales que se van a intercambiar, las disponibilidades del mercado local, el costo, y que en lo posible sea modular (Es decir que no se tenga el sistema como un solo bloque)
- Para evitar problemas de ruido que se puedan presentar, es importante el hecho de que la tierra analógica y la tierra digital deben ir separadas en el circuito. Además, el alambre ("wire wrap") entre los componentes debe ser el mínimo, para lo cual el diseño y distribución de los circuitos a implementarse tendrá que ser estudiado en detalle
- Especial consideración deben tener las recomendaciones y especificaciones dadas por los fabricantes para los distintos circuitos integrados utilizados.

IV-3 RECOMENDACIONES

Del estudio realizado en el presente proyecto sobre el Transmisor-Receptor de 6 Canales Análogos utilizando Técnica PCM, se dan las siguientes recomendaciones para continuar con el estudio de dichos sistemas, así como para su utilización con fines prácticos:

- Analizar y estudiar otros tipos de enlaces físicos y códigos tales como: Fibra Óptica, Enlace por Microondas, etc, que permitan al equipo Trans-Receptor ser utilizado con fines prácticos en distancias mayores a 2 Km.
- Incluir nuevos servicios al Sistema Multiplex como son: transmisión de datos, telex, etc.
- Incrementar el número de canales análogos en el Multiplex, lo cual puede ser de gran utilidad en aplicaciones prácticas con canales telefónicos.
- Implementar para todos los canales la inclusión de la señal de timbrado, añadiendo los relés respectivos para cada canal.
- Finalmente realizar un estudio detallado para su utilización práctica como Sistema Multiplex Estático de Canales Telefónicos, de tal manera de incrementar la capacidad de un sector con gran demanda utilizando los soportes físicos existentes. Para esto se necesitan dos condiciones:
 - 1) La central a la cual va a interconectarse el Sistema Multiplex deberá tener las características del presente equipo (Utilización de la técnica PCM, Multiplex por División de Tiempo) y, que se conocen en la actualidad como Centrales Telefónicas Electrónicas.
 - 2) El Interfase de Línea que conecte la Central al equipo Multiplex tendrá necesariamente que poseer las mismas características que el Interfase de Línea Tx/Rx del Trans-Receptor.

ANEXOS

- A. RECOMENDACIONES DEL CCITT PARA SISTEMAS MULTIPLEX PCM
- B. HOJAS DE DATOS DE CIRCUITOS INTEGRADOS

A N E X O A

ANEXO

(a la Recomendación G.703)

Definición del código HDB3

Para convertir una señal binaria en una señal HDB3 se aplican las siguientes reglas de codificación:

1. La señal HDB3 es pseudoternaria: sus tres estados se designan por B_+ , B_- y 0.
2. Los 0 de la señal binaria se codifican como 0 en la señal HDB3, pero en el caso de secuencias de cuatro 0 se aplican reglas particulares (véase el punto 4).
3. Los 1 de la señal binaria se codifican alternadamente como B_- y B_+ en la señal HDB3 (bipolaridad). Cuando se codifican secuencias de cuatro 0, se introducen violaciones de la regla de la bipolaridad (véase el punto 4).
4. Las secuencias de cuatro 0 de la señal binaria se codifican de acuerdo a lo siguiente:
 - a) El primer 0 de la secuencia se codifica como 0 si el 1 precedente de la señal HDB3 tiene una polaridad opuesta a la de la violación precedente y no constituye una violación; se codifica como un 1 que no constituye una violación (es decir, B_+ o B_-) si el 1 precedente de la señal HDB3 tiene la misma polaridad que la violación precedente y constituye una violación. Esta regla asegura que las violaciones consecutivas sean de polaridad alternada, la cual impide la introducción de una componente continua.
 - b) El segundo y tercer 0 de la secuencia se codifican siempre como 0.
 - c) El último 0 de la secuencia de cuatro se codifica siempre como un 1 de polaridad tal que viole la regla de bipolaridad. Estas violaciones se designan V_+ o V_- , según su polaridad.

7.1 Codificación de señales analógicas

Recomendación G.711

MODULACIÓN POR IMPULSOS CODIFICADOS (MIC) DE FRECUENCIAS VOCALES

(Ginebra, 1972; modificada en Ginebra, 1976)

1. *Consideraciones generales*

Se recomienda el empleo de las siguientes características para la codificación de señales de frecuencias vocales.

2. *Velocidad de muestreo*

El valor nominal recomendado es de 8000 muestras por segundo con una tolerancia de $\pm 5 \times 10^{-6}$.

3. Ley de codificación

3.1 Para los circuitos internacionales deben utilizarse ocho dígitos binarios por muestra. ←

3.2 Se recomiendan dos leyes de codificación, designadas ley A y ley μ . Las definiciones de estas leyes se encuentran en los Cuadros 1a/G.711 y 1b/G.711, y en los Cuadros 2a/G.711 y 2b/G.711, respectivamente.

Si se utiliza la ley μ en redes que requieran la supresión de la señal de carácter «todos cero», la señal de carácter correspondiente a valores de entrada negativos, comprendidos entre valores de decisión 127 y 128, será 00000010, y el valor a la salida del decodificador será -7519. Al valor de salida del decodificador corresponde el número 125.

3.3 El número de valores cuantificados viene dado por la ley de codificación.

3.4 Los trayectos numéricos entre países que hayan adoptado leyes de codificación diferentes deberán efectuar la transmisión con señales codificadas según la ley A. Cuando los dos países hayan adoptado la misma ley, deberá utilizarse esa ley en los trayectos numéricos entre los mismos. Incumbirá a los países que utilicen la ley μ efectuar toda conversión necesaria.

3.5 Las reglas para la conversión se dan en los Cuadros 3/G.711 y 4/G.711.

4. Relación entre las leyes de codificación y el nivel a frecuencias vocales

La relación entre las leyes de codificación de los Cuadros 1/G.711 y 2/G.711 y el nivel a frecuencias vocales se define como sigue:

En una salida de audiodfrecuencia cualquiera del multiplexor MIC debe haber una señal sinusoidal de 1 kHz con un nivel nominal de 0 dBm0 al aplicarse a la entrada del decodificador la secuencia periódica de señales de carácter del Cuadro 5/G.711 para la ley A y del Cuadro 6/G.711 para la ley μ .

El nivel de sobrecarga teórica resultante ($T_{\text{máx.}}$) es de +3,14 dBm0 para la ley A y de +3,17 dBm0 para la ley μ .

CUADRO 1a/G.711 - Ley A: valores de entrada positivos

1	2	3	4	5	6	7	8
Número de los segmentos	Número de intervalos X dimensión de los intervalos	Valor en los extremos de los segmentos	Número de los valores de decisión n	Valor de decisión x_n (véase la Observación 1)	Señal de carácter antes de la inversión de los bits pares.	Valor a la salida del decodificador y_n (véase la Observación 3)	Número de los valores a la salida del decodificador
					Número de los bits 1 2 3 4 5 6 7 8		
		4096 / 16 x 128	(128)	(4096)	1 1 1 1 1 1 1 1	4032	128
7	16 x 128		127	3968	(véase la Observación 2)		
			113	2176	1 1 1 1 0 0 0 0	2112	113
6	16 x 64	2048	112	2048	(véase la Observación 2)		
			97	1086	1 1 1 0 0 0 0 0	1056	97
5	16 x 32	1024	96	1024	(véase la Observación 2)		
			81	544	1 1 0 1 0 0 0 0	528	81
4	16 x 16	512	80	512	(véase la Observación 2)		
			65	272	1 1 0 0 0 0 0 0	264	65
3	16 x 8	256	64	256	(véase la Observación 2)		
			49	136	1 0 1 1 0 0 0 0	132	49
2	16 x 4	128	48	128	(véase la Observación 2)		
			33	68	1 0 1 0 0 0 0 0	66	33
1	32 x 2	64	32	64	(véase la Observación 2)		
			1	2	1 0 0 0 0 0 0 0		
			0	0			

Observación 1. - 4096 unidades de valor normalizadas corresponden a $T_{m\acute{a}x} = 3,14$ dBm0.

Observación 2. - Las señales de carácter se obtienen invirtiendo los bits pares de las señales de la columna 6. Antes de esta inversión, la señal de carácter correspondiente a los valores de entrada positivos comprendidos entre dos valores de decisión sucesivos n y $n + 1$ (véase la columna 4) es $(128 + n)$ expresado en números binarios.

Observación 3. - El valor a la salida del decodificador es $y_n = \frac{x_{n-1} + x_n}{2}$ para $n = 1, \dots, 127, 128$.

Observación 4. - x_{128} es un valor virtual de decisión.

CUADRO 1b/G.711 - Ley A: valores de entrada negativos

1	2	3	4	5	6	7	8
Número de los segmentos	Número de intervalos X dimensión de los intervalos	Valor en los extremos de los segmentos	Número de los valores de decisión n	Valor de decisión x _n (véase la Observación 1)	Señal de carácter antes de la inversión de los bits pares	Valor a la salida del decodificador y _n (véase la Observación 3)	Número de los valores a la salida del decodificador
					Número de los bits 1 2 3 4 5 6 7 8		
1	32 x 2	-64	0	0	0 0 0 0 0 0 0 0	-1	1
			1	-2	(véase la Observación 2)		
2	16 x 4	-128	32	-64	0 0 1 0 0 0 0 0	-66	33
			33	-68	(véase la Observación 2)		
3	16 x 8	-256	48	-128	0 0 1 1 0 0 0 0	-132	49
			49	-136	(véase la Observación 2)		
4	16 x 16	-512	64	-256	0 1 0 0 0 0 0 0	-264	65
			65	-272	(véase la Observación 2)		
5	16 x 32	-1024	80	-512	0 1 0 1 0 0 0 0	-528	81
			81	-544	(véase la Observación 2)		
6	16 x 64	-2048	96	-1024	0 1 1 0 0 0 0 0	-1056	97
			97	-1088	(véase la Observación 2)		
7	16 x 128	-4096	112	-2048	0 1 1 1 0 0 0 0	-2112	113
			113	-2176	(véase la Observación 2)		
			127	-3968	0 1 1 1 1 1 1 1	-4032	128
			(128)	(-4096)			

Observación 1. - 4096 unidades de valor normalizadas corresponden a T_{máx.} = 3,14 dBm0.

Observación 2. - Las señales de carácter se obtienen invirtiendo los bits pares de las señales de la columna 6. Antes de esta inversión, la señal de carácter correspondiente a los valores de entrada negativos comprendidos entre dos valores de decisión sucesivos n y n + 1 (véase la columna 4) es n expresado en números binarios.

Observación 3. - El valor a la salida del decodificador es y_n = $\frac{x_{n-1} + x_n}{2}$ para n = 1, ..., 127, 128.

Observación 4. - x₁₂₈ es un valor virtual de decisión.

CUADRO 2a/G.711 - Ley μ : valores de entrada positivos

1	2	3	4	5	6	7	8
Número de los segmentos	Número de intervalos \times dimensión de los intervalos	Valor en los extremos de los segmentos	Número de los valores de decisión n	Valor de decisión x_n (véase la Observación 1)	Señal de carácter	Valor a la salida del decodificador y_n (véase la Observación 3)	Número de los valores n la salida del decodificador
					Número de los bits 1 2 3 4 5 6 7 8		
		8159	(128)	(8159)			
8	16 \times 256	4063	127	7903	1 0 0 0 0 0 0 0	8031	127
			113	4319	(véase la Observación 2)		
7	16 \times 128	2015	112	4063	1 0 0 0 1 1 1 1	4191	112
			97	2143	(véase la Observación 2)		
6	16 \times 64	991	96	2015	1 0 0 1 1 1 1 1	2079	96
			81	1055	(véase la Observación 2)		
5	16 \times 32	479	80	991	1 0 1 0 1 1 1 1	1023	80
			65	511	(véase la Observación 2)		
4	16 \times 16	223	64	479	1 0 1 1 1 1 1 1	495	64
			49	239	(véase la Observación 2)		
3	16 \times 8	95	48	223	1 1 0 0 1 1 1 1	231	48
			33	103	(véase la Observación 2)		
2	16 \times 4	31	32	95	1 1 0 1 1 1 1 1	99	32
			17	35	(véase la Observación 2)		
1	15 \times 2	1	16	31	1 1 1 0 1 1 1 1	33	16
			2	3	(véase la Observación 2)		
	1 \times 1		1	1	1 1 1 1 1 1 1 0	2	1
			0	0	1 1 1 1 1 1 1 1	0	0

Observación 1. - 8159 unidades de valor normalizadas corresponden a $T_{m\acute{a}x} = 3,17$ dBm0.

Observación 2. - La señal de carácter correspondiente a los valores de entrada positivos comprendidos entre dos valores de decisión sucesivos n y $n + 1$ (véase la columna 4) es $(255 - n)$ expresado en números binarios.

Observación 3. - El valor a la salida del decodificador es $y_0 = x_0 = 0$ para $n = 0$ e $y_n = \frac{x_n + x_{n+1}}{2}$ para $n = 1, 2, \dots, 127$.

Observación 4. - x_{128} es un valor virtual de decisión.

CUADRO 2b/G.711 - Ley μ : valores de entrada negativos

1	2	3	4	5	6	7	8
Número de los segmentos	Número de intervalos \times dimensión de los intervalos	Valor en los extremos de los segmentos	Número de los valores de decisión n	Valor de decisión x_n (véase la Observación 1)	Señal de carácter	Valor a la salida del decodificador y_n (véase la Observación 3)	Número de los valores a la salida del decodificador
					Número de los bits 1 2 3 4 5 6 7 8		
1	1 x 1		0	0	0 1 1 1 1 1 1 1	0	0
			1	-1	0 1 1 1 1 1 1 0	-2	1
2	15 x 2		2	-3	(véase la Observación 2)		
			16	-31	0 1 1 0 1 1 1 1		
3	16 x 4		17	-35	(véase la Observación 2)		
			32	-95	0 1 0 1 1 1 1 1		
4	16 x 8		33	-103	(véase la Observación 2)		
			48	-223	0 1 0 0 1 1 1 1		
5	16 x 16		49	-239	(véase la Observación 2)		
			64	-479	0 0 1 1 1 1 1 1		
6	16 x 32		65	-511	(véase la Observación 2)		
			80	-991	0 0 1 0 1 1 1 1		
7	16 x 64		81	-1055	(véase la Observación 2)		
			96	-2015	0 0 0 1 1 1 1 1		
8	16 x 128		97	-2143	(véase la Observación 2)		
			112	-4063	0 0 0 0 1 1 1 1		
8	16 x 256		113	-4319	(véase la Observación 2)		
			126	-7647	0 0 0 0 0 0 0 1		
			127	-7903	0 0 0 0 0 0 0 0	-8031	127
			(128)	(-8159)			

Observación 1. - 8159 unidades de valor normalizadas corresponden a $T_{máx.} = 3,17$ dBm0.

Observación 2. - La señal de carácter correspondiente a los valores de entrada negativos comprendidos entre dos valores de decisión sucesivos n y $n + 1$ (véase la columna 4) es $(127 - n)$ expresado en números binarios, para $n = 0, 1, \dots, 127$.

Observación 3. - El valor a la salida del decodificador es $y_0 = x_0 = 0$ para $n = 0$ e $y_n = \frac{x_n + x_{n+1}}{2}$ para $n = 1, 2, \dots, 127$.

Observación 4. - x_{128} es un valor virtual de decisión.

CUADRO 3/G.711 - Conversión μ -A

<i>Ley μ</i> Valor del nivel a la salida del decodificador	<i>Ley A</i> Valor del nivel a la salida del decodificador	<i>Ley μ</i> Valor del nivel a la salida del decodificador	<i>Ley A</i> Valor del nivel a la salida del decodificador
0	1	44	41
1	1	45	42
2	2	46	43
3	2	47	44
4	3	48	46
5	3	49	48
6	4	50	49
7	4	51	50
8	5	52	51
9	5	53	52
10	6	54	53
11	6	55	54
12	7	56	55
13	7	57	56
14	8	58	57
15	8	59	58
16	9	60	59
17	10	61	60
18	11	62	61
19	12	63	62
20	13	64	64
21	14	65	65
22	15	66	66
23	16	67	67
24	17	68	68
25	18	69	69
26	19	70	70
27	20	71	71
28	21	72	72
29	22	73	73
30	23	74	74
31	24	75	75
32	25	76	76
33	27	77	77
34	29	78	78
35	31	79	79
36	33	80	80
37	34	81	82
38	35	82	83
39	36	83	84
40	37	84	85
41	38	85	86
42	39	86	87
43	40	87	88
		.	.
		.	.
		127	128

CUADRO 4/G.711 - Conversión A-μ

<i>Ley A</i>	<i>Ley μ</i>	<i>Ley A</i>	<i>Ley μ</i>
Valor del nivel a la salida del decodificador	Valor del nivel a la salida del decodificador	Valor del nivel a la salida del decodificador	Valor del nivel a la salida del decodifi. ado:
1	1	51	52
2	3	52	53
3	5	53	54
4	7	54	55
5	9	55	56
6	11	56	57
7	13	57	58
8	15	58	59
9	16	59	60
10	17	60	61
11	18	61	62
12	19	62	63
13	20	63	64
14	21	64	64
15	22	65	65
16	23	66	66
17	24	67	67
18	25	68	68
19	26	69	69
20	27	70	70
21	28	71	71
22	29	72	72
23	30	73	73
24	31	74	74
25	32	75	75
26	32	76	76
27	33	77	77
28	33	78	78
29	34	79	79
30	34	80	80
31	35	81	80
32	35	82	81
33	36	83	82
34	37	84	83
35	38	85	84
36	39	86	85
37	40	87	86
38	41	88	87
39	42	89	88
40	43	90	89
41	44	91	90
42	45	92	91
43	46	93	92
44	47	94	93
45	48	95	94
46	48	96	95
47	49	97	96
48	49	98	97
49	50	.	.
50	51	.	.
		128	127

CUADRO 5/G.711

Ley A							
1	2	3	4	5	6	7	8
0	0	1	1	0	1	0	0
0	0	1	0	0	0	0	1
0	0	1	0	0	0	0	1
0	0	1	1	0	1	0	0
1	0	1	1	0	1	0	0
1	0	1	0	0	0	0	1
1	0	1	0	0	0	0	1
1	0	1	1	0	1	0	0

CUADRO 6/G.711

Ley μ							
1	2	3	4	5	6	7	8
0	0	0	1	1	1	1	0
0	0	0	0	1	0	1	1
0	0	0	0	1	0	1	1
0	0	0	1	1	1	1	0
1	0	0	1	1	1	1	0
1	0	0	0	1	0	1	1
1	0	0	0	1	0	1	1
1	0	0	1	1	1	1	0

Recomendación G.712

CARACTERÍSTICAS DE CALIDAD DE LOS CANALES MIC A FRECUENCIAS VOCALES

(Ginebra, 1972; modificada en Ginebra, 1976)

1. Consideraciones generales

El CCITT

recomienda

que, entre los terminales de audiofrecuencia de los canales MIC, codificados según la Recomendación G.711, se cumplan las características de funcionamiento que se indican a continuación.

Los límites de funcionamiento indicados deben considerarse aplicables en todos los casos, con las tolerancias que exijan las imprecisiones de los métodos de prueba.

Los valores y límites especificados (excepto los indicados en el punto 5.3) deberán obtenerse en mediciones a cuatro hilos efectuadas con dos terminales múltiple MIC adosados y con los terminales de entrada y de salida de los canales conectados a su impedancia nominal.

El método que debe utilizarse para medir, por separado los lados de transmisión y recepción exige estudios adicionales.

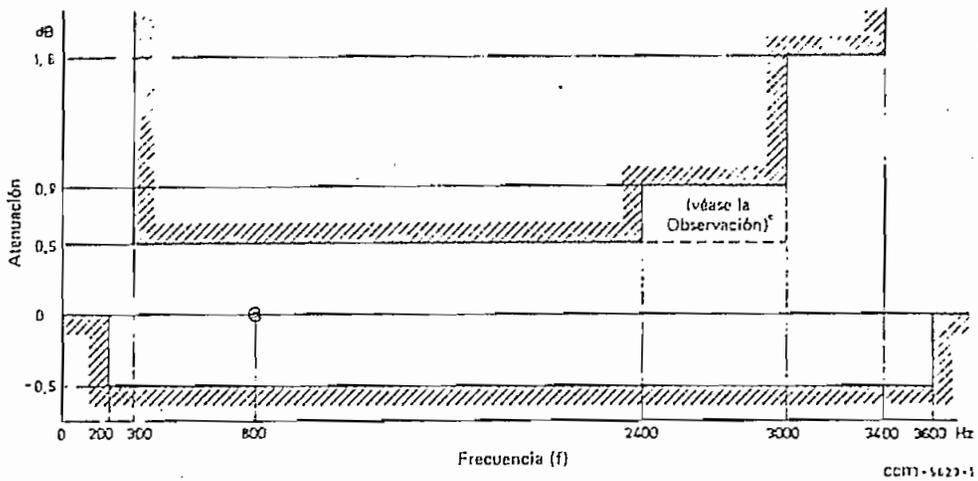
2. Distorsión de atenuación en función de la frecuencia

La variación en función de la frecuencia, de la atenuación de cualquier canal, debe estar comprendida dentro de los límites especificados en la plantilla de la Figura 1/G.712.

La frecuencia de referencia es 800 Hz.

El nivel de la potencia a la entrada será de 0 dBm0.

Los valores nominales de la distorsión debida respectivamente a los lados de transmisión y de recepción del equipo deben ser iguales.



Observación. — En algunas aplicaciones en que puedan conectarse en tándem varios canales MIC, puede ser necesario ampliar el límite de +0,5 dB de 2400 Hz a 3000 Hz.

FIGURA 1/G.712 — Plantilla para la distorsión de atenuación en función de la frecuencia

3. *Distorsión por retardo de envolvente en función de la frecuencia*

La distorsión por retardo de envolvente debe estar dentro de los límites especificados en la plantilla de la Figura 2/G.712.

Se toma como referencia el valor mínimo de retardo de propagación de grupo.

El nivel de potencia a la entrada será de 0 dBm0.

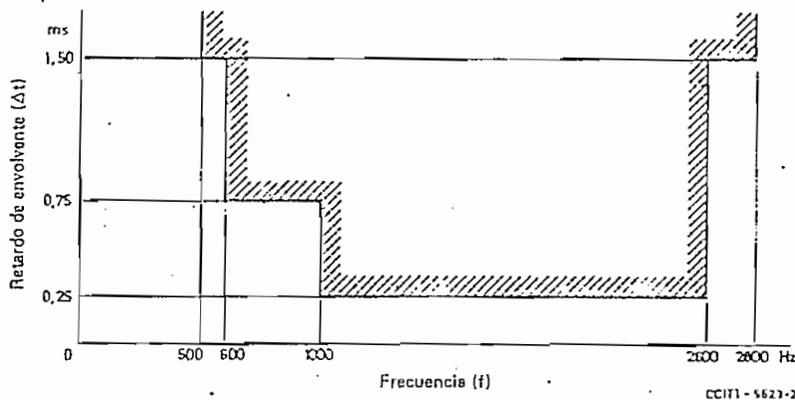


FIGURA 2/G.712 — Plantilla para la distorsión por retardo de envolvente en función de la frecuencia

4. *Impedancia en los terminales para frecuencias vocales*

4.1 *Impedancia nominal*

La impedancia nominal en los terminales de entrada y de salida a cuatro hilos de un canal para frecuencias vocales será de 600 ohmios, simétrica.

4.2 *Atenuación de desadaptación (recomendación provisional)*

La diferencia con respecto al valor nominal, medida como atenuación de desadaptación con relación al valor nominal, no será inferior a 20 dB en la gama de frecuencias de 300 a 3400 Hz.

Observación. — El valor de la atenuación de desadaptación se halla en estudio (véase la Cuestión 9/XVI).

4.3 *Simetría longitudinal*

En estudio.

5. *Ruido en un canal en reposo*

5.1 *Ruido ponderado*

Con los terminales de entrada y de salida del canal terminados en la impedancia nominal, el ruido en el canal en reposo no excederá de -65 dBm_{0p}.

5.2 *Ruido a una sola frecuencia*

El nivel de una frecuencia cualquiera (particularmente la frecuencia de muestreo y sus múltiplos), medido selectivamente, no deberá exceder de -50 dBm₀.

5.3 *Ruido debido al equipo receptor*

El ruido debido al equipo receptor únicamente, deberá ser inferior a -75 dBm_{0p} cuando se aplique a su entrada una señal MIC correspondiente al valor 0 de salida del decodificador (para la ley μ) o al valor 1 (para la ley A).

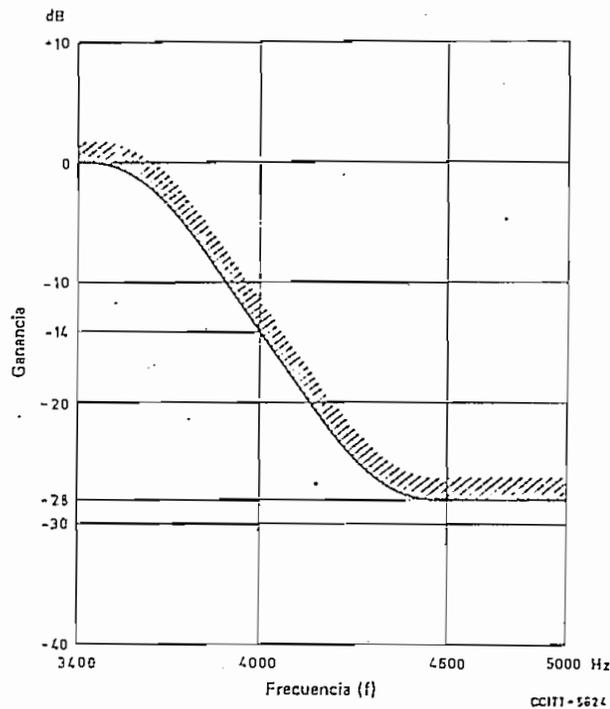
6. *Discriminación contra las señales fuera de banda*

6.1 Con cualquier señal sinusoidal en la gama de 4,6 a 72 kHz de nivel adecuado aplicada en los terminales de entrada del canal, el nivel de cualquier frecuencia imagen producida en los terminales de salida del canal deberá ser por lo menos 25 dB inferior al nivel de la señal de prueba.

6.2 En las condiciones más desfavorables que puedan presentarse en una red nacional, el canal MIC no debe incrementar en más de 100 pW_{0p} el ruido en la banda de 0 a 4 kHz a la salida del canal, como consecuencia de la presencia de señales fuera de banda a la entrada del canal.

Observación 1. — La discriminación necesaria depende de la calidad de funcionamiento de los equipos de canal MDF y de los aparatos telefónicos de las redes nacionales, y las Administraciones debieran examinar detenidamente sus especificaciones teniendo en cuenta lo indicado precedentemente y la condición indicada en el punto 6.2. En todos los casos, será necesario cumplir, por lo menos, la condición indicada en el punto 6.1.

Observación 2. — Se señala la importancia de la característica de atenuación en la banda de 3400 a 4600 Hz. Aunque las condiciones de los puntos 6.1 y 6.2 pueden satisfacerse con otras características de atenuación, una Administración estima que la característica de filtrado en la Figura 3/G.712 (que se refiere a una atenuación de supresión de banda de 28 dB) ofrece una protección adecuada contra las señales fuera de banda en su red nacional.



Observación. — La porción curva del gráfico responde a la ecuación $G = 14 \left[\sin \frac{\pi (4000 - f)}{1200} - 1 \right]$ dB en el intervalo $3400 \leq f \leq 4600$.

FIGURA 3/G.712 — Plantilla para la ganancia relativa con relación a la ganancia a 500 Hz

7. Señales parásitas fuera de banda a la salida de canal

7.1 Con cualquier señal sinusoidal en la banda de 300 a 3400 Hz aplicada con un nivel de 0 dBm0 en los terminales de entrada de un canal, el nivel de las señales imagen parásitas fuera de banda medido selectivamente de salida deberá ser inferior a -25 dBm0.

7.2 Las señales parásitas fuera de banda no deberán causar interferencias inadmisibles en el equipo conectado al canal MIC. Especialmente, la diafonía (inteligible o ininteligible) de un canal MDF conectado al canal MIC no deberá rebasar un nivel de -65 dBm0 como consecuencia de señales parásitas fuera de banda en la salida del canal MIC.

Observación 1. — La discriminación necesaria depende de la calidad de funcionamiento de los equipos de canal MDF y de los aparatos telefónicos de las redes nacionales, y las Administraciones deberán examinar detenidamente sus especificaciones teniendo en cuenta lo indicado precedentemente y la condición indicada en el punto 7.2. En todos los casos, será necesario cumplir, por lo menos, la condición indicada en el punto 7.1.

Observación 2. — Se señala la importancia de la característica de atenuación en la banda de 3400 a 4600 Hz. Aunque las condiciones de los puntos 7.1 y 7.2 pueden satisfacerse con otras características de atenuación, una Administración estima que la característica de filtrado de la Figura 3/G.712 (que se refiere a una atenuación de supresión de banda de 28 dB) ofrece una protección adecuada contra las señales fuera de banda en su red nacional.

8. *Intermodulación*

8.1 Con dos señales sinusoidales de diferentes frecuencias f_1 y f_2 no relacionadas armónicamente entre sí, en la banda de 300 a 3400 Hz del mismo nivel en la gama de -4 a -21 dBm0, aplicadas simultáneamente a los terminales de entrada de un canal, no debe producirse ningún producto de intermodulación del tipo $2f_1 - f_2$ de nivel superior a -35 dB con relación al nivel de una de las dos señales de entrada.

8.2 Una señal de nivel -9 dBm0 en cualquier frecuencia de la banda de 300 a 3400 Hz y una señal de 50 Hz de nivel -23 dBm0, aplicadas simultáneamente en los terminales de entrada, no deben producir ningún producto de intermodulación de nivel superior a -49 dBm0.

9. *Distribución total, incluida la distorsión de cuantificación*

Se recomienda adoptar uno de los métodos siguientes:

Método 1

Con una señal de ruido adecuada aplicada a los terminales de entrada de un canal, la relación potencia de la señal/potencia de distorsión total medida en los terminales de salida debe ser superior a los límites indicados en la Figura 4/G.712.

Observación 1. -- Estos límites están basados en una señal de ruido con distribución de amplitudes gaussianas. El cálculo de los límites se expone en el Anexo 1.

Observación 2. -- Deberán efectuarse las correcciones apropiadas de acuerdo con las características de los aparatos de prueba a fin de que los resultados de las mediciones puedan compararse efectivamente con los límites especificados (véase la Recomendación O.131 relativa a las cláusulas de especificación fundamentales para un aparato de medida de la distorsión de cuantificación que utiliza una señal de ruido pseudoaleatorio).

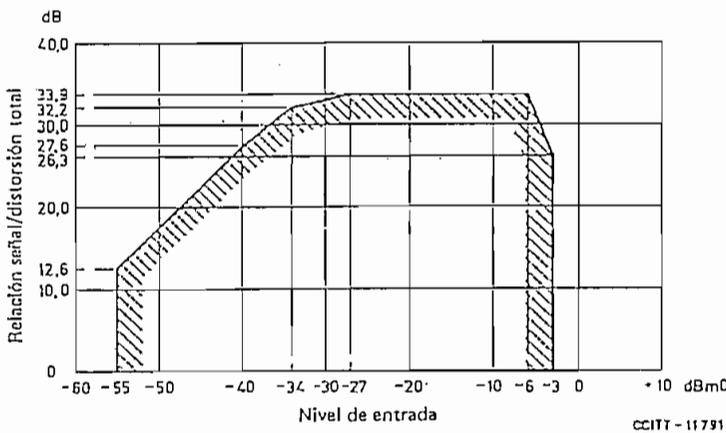


FIGURA 4/G.712 - Relación señal/distorsión total en función del nivel de entrada (método 1)

Método 2

Con una señal sinusoidal en la gama de frecuencias de 700 a 1100 Hz (con exclusión de los submúltiplos de 8 kHz) aplicada a la entrada de un canal, la relación potencia de la señal/distorsión total medida con la ponderación de ruido apropiada (véase la Recomendación G.223) debe ser superior a los límites indicados en la Figura 5/G.712.

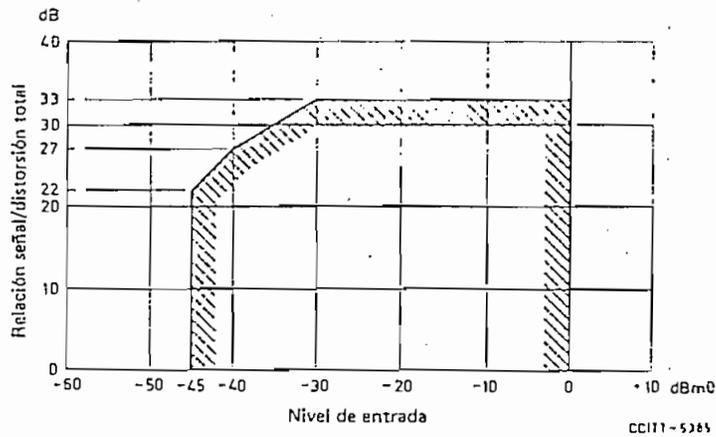


FIGURA 5/G.712 — Relación señal/distorsión total en función del nivel de entrada (método 2)

10. Señales parásitas dentro de la banda, a la salida de canal

Con una señal sinusoidal en la gama de frecuencias de 700 a 1100 Hz (excluidos los submúltiplos de 8 kHz), de un nivel de 0 dBm0, aplicada a los terminales de entrada de un canal, el nivel de salida a cualquier frecuencia que no sea la de la señal aplicada, medido selectivamente en la banda de frecuencias de 300 a 3400 Hz, debe ser inferior a -40 dBm0.

11. Variación de la ganancia en función del nivel de entrada

Se recomienda adoptar uno de los métodos siguientes:

Método 1

Con una señal de ruido adecuada aplicada a los terminales de entrada de cualquier canal, con un nivel comprendido entre -60 dBm0 y -10 dBm0, la variación de la ganancia de ese canal con relación a la ganancia para un nivel de entrada de -10 dBm0 debe estar comprendida dentro de los límites indicados en la Figura 6a/G.712.

Además, con una señal sinusoidal en la gama de frecuencias de 700 a 1100 Hz (con exclusión de los submúltiplos de 8 kHz) aplicada a los terminales de entrada de cualquier canal, con un nivel comprendido entre -10 dBm0 y +3 dBm0, la variación de la ganancia de ese canal con relación a la ganancia para un nivel de entrada de -10 dBm0 debe estar comprendida entre los límites indicados en la Figura 6b/G.712.

Método 2

Con una señal sinusoidal en la gama de frecuencias de 700 a 1100 Hz (con exclusión de los submúltiplos de 8 kHz) aplicada a los terminales de entrada de cualquier canal, con un nivel comprendido entre -55 dBm0 y +3 dBm0, la variación de la ganancia de ese canal con relación a la ganancia para un nivel de entrada de -10 dBm0 debe estar comprendida dentro de los límites indicados en la Figura 6c/G.712.

12. Diafonía entre canales

12.1 La diafonía entre los canales de un multiplex deberá ser tal que una señal sinusoidal en la gama de frecuencias de 700 a 1100 Hz (excluidos los submúltiplos de 8 kHz) con un nivel de 0 dBm0, aplicada a los terminales de entrada de un canal, no produzca, en ningún otro canal, una diafonía de nivel superior a -65 dBm0.

12.2 Si se aplica a los terminales de entrada de uno a cuatro canales una señal de ruido blanco cuya forma corresponda a la especificada en la Recomendación G.227, con un nivel de 0 dBm0, el nivel de la diafonía recibida en cualquier otro canal no deberá rebasar -60 dBm0p. Cuando la señal se aplique a más de un canal, debieran emplearse ruidos no correlacionados.

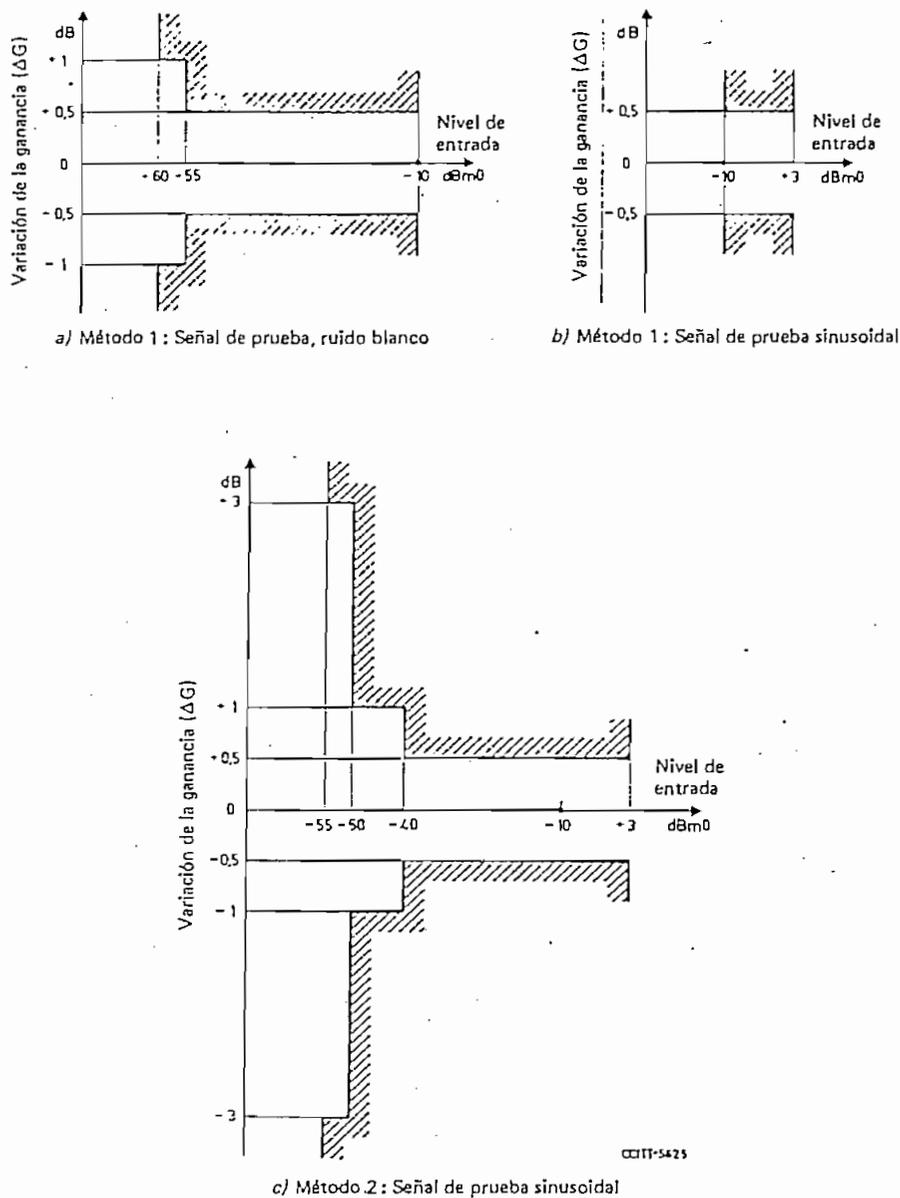


FIGURA 6/G.712 – Variación de la ganancia (ΔG) en función del nivel de entrada

13. *Diafonía entre los dos sentidos de transmisión*

La relación paradiafónica entre un canal y el retorno asociado debe ser superior a 60 dB cuando se aplica una señal sinusoidal de 0 dBm0 y de frecuencia comprendida en la banda de 300 a 3400 Hz.

14. *Interferencia causada por la señalización*

El nivel máximo de cualquier interferencia en un canal no debe exceder -60 dBm0 cuando la señalización se transmite simultáneamente por todos los canales.

15. *Niveles relativos a la entrada y a la salida*

Las especificaciones deben ajustarse a lo dispuesto en la Recomendación G.232, División L.

16. *Estabilidad a corto y a largo plazo*

Cuando se aplica una señal sinusoidal con 0 dBm0 de nivel a cualquier entrada de audiodfrecuencia, el nivel medido a la salida de audiodfrecuencia correspondiente no debe variar más de ± 0.2 dB en cualquier intervalo de 10 minutos de funcionamiento típico, ni más de ± 0.5 dB en cualquier intervalo de 30 días, ni más de ± 1 dB durante un año cualquiera, habida cuenta de las variaciones admisibles de la tensión de alimentación y de la temperatura.

17. *Ajuste de la relación entre la ley de codificación y el nivel a frecuencias vocales*

Debe ajustarse el decodificador con arreglo a lo indicado en el punto 4 de la Recomendación G.711, con una tolerancia de $\pm 0,3$ dB en la práctica.

Se ajusta el codificador conectando su salida a la entrada de un decodificador adecuadamente ajustado, y aplicando una señal sinusoidal de 1 kHz, con un nivel de 0 dBm0, a la entrada de audiodfrecuencia del codificador. Se ajusta luego el codificador de modo que la señal sinusoidal de 1 kHz a la salida de audiodfrecuencia del decodificador tenga un nivel de 0 dBm0. En la práctica, este ajuste se efectúa con una tolerancia de $\pm 0,3$ dB.

Puede verificarse el nivel de sobrecarga del codificador aplicando una señal sinusoidal a su entrada de audiodfrecuencia. Al principio, el nivel de esta señal es muy inferior a $T_{\text{máx}}$, y se va aumentando gradualmente. Se mide el nivel de entrada para el que se observa por primera vez una señal de carácter correspondiente al intervalo de cuantificación extremo, tanto para los valores positivos como para los negativos. El valor de $T_{\text{máx}}$ es entonces 0,3 dB superior al nivel de entrada medido.

Este método permite verificar $T_{\text{máx}}$, tanto para las amplitudes positivas como para las negativas, y los valores obtenidos deben estar comprendidos entre $\pm 0,3$ dB del nivel de sobrecarga teórico (es decir, $+3,14$ dB para la ley A y $+3,17$ dB para la ley μ).

Otra forma de hallar $T_{\text{máx}}$, consiste en detectar, a la salida del decodificador, el impulso de mayor amplitud.

ANEXO 1

(a la Recomendación G.712)

Método para determinar las relaciones señal/distorsión total, para la ley A

Las relaciones señal/distorsión de cuantificación producidas por sistemas de MIC pueden calcularse analíticamente de varias maneras. El método adoptado en este caso es un caso particular de un análisis más general que permite comparar directamente los resultados calculados con los obtenidos por mediciones prácticas de los sistemas.

Se considera que la característica de compresión del sistema es «ideal», es decir, que corresponde exactamente a la ley teórica por segmentos, con el cero alternativo en coincidencia con el valor de decisión central. Se supone que la señal de entrada es simétrica en torno al cero alternativo, y que las amplitudes instantáneas presentan una distribución gaussiana. Para una entrada dada, de varianza σ_v^2 , puede determinarse la varianza total de salida σ_u^2 y la varianza del contenido de la señal a la salida puede expresarse, por regresión lineal, en la forma $m^2 \sigma_v^2$, siendo m la pendiente de la línea de regresión de la salida sobre la entrada.

La varianza de las componentes de distorsión es entonces $\sigma_e^2 = \sigma_u^2 - m^2 \sigma_v^2$, y la relación señal/distorsión de cuantificación, expresada en dB, es:

$$10 \log_{10} \frac{m^2 \sigma_v^2}{\sigma_e^2}$$

Para las señales de entrada situadas en la gama normal de funcionamiento del sistema, es decir, excluyendo las sobrecargas demasiado importantes y las zonas de dicotomía, puede suponerse que la potencia de distorsión⁸⁾ tiene un espectro uniforme en la banda de 0 a 4000 Hz. Por ello, la potencia de distorsión en la banda filtrada (entre 300 y 3400 Hz) es inferior en:

$$10 \log_{10} \frac{4000}{3100} = 1,1 \text{ dB}$$

a la potencia calculada mediante la expresión anterior.

Las relaciones señal/distorsión total indicadas en la Figura 4/G.712 se han obtenido sustrayendo 4,5 dB de las relaciones señal/distorsión de cuantificación calculadas para la banda de 300 a 3400 Hz. Se ha utilizado en todos los casos una ponderación uniforme, no sofométrica.

7.2 Recomendaciones generales sobre los sistemas y trayectos numéricos

Recomendación G.721

TRAYECTOS NUMÉRICOS FICTICIOS DE REFERENCIA

(Ginebra, 1976)

Definiciones generales

trayecto numérico ficticio de referencia

Trayecto numérico ficticio de longitud definida, con un número determinado de equipos terminales e intermedios, bastante elevado, pero no excesivo.

Constituye un elemento necesario para el estudio de ciertas características de trayectos numéricos de larga distancia (errores y fluctuación de fase, por ejemplo).

Los objetivos de diseño recomendados por el CCITT para equipos de transmisión suelen expresarse en términos de un nivel admisible máximo de degradación que se produce en un trayecto numérico ficticio de referencia.

En la medida de lo posible, en un objetivo de diseño así expresado se tienen en cuenta todas las posibles utilidades del sistema, por ejemplo telefonía, telegrafía, datos, etc.

trayecto numérico ficticio de referencia a 64 kbitios/s

Es un trayecto numérico completo (entre interfaces a 64 kbitios/s), establecido en un sistema numérico ficticio internacional; tiene una longitud definida y un número definido de equipos multiplexores y demultiplexores, razonablemente elevado, aunque sin alcanzar los valores máximos posibles.

Se han definido diversos «trayectos numéricos ficticios de referencia» con objeto de poder coordinar las distintas especificaciones relativas a las partes constitutivas de los sistemas numéricos, de modo que las comunicaciones completas establecidas en esos sistemas se ajusten a las normas del CCITT.

El CCITT ha definido un trayecto numérico ficticio de referencia para cada uno de los sistemas siguientes:

- sistema a 2 Mbitios/s (véase la Figura 1/G.721);
- sistema a 8 Mbitios/s (véase la Figura 2/G.721);
- sistema a 34 Mbitios/s (véase la Figura 3/G.721);
- sistema a 140 Mbitios/s (véase la Figura 4/G.721).

(Se estudian otros trayectos numéricos ficticios de referencia.)

⁸⁾ La potencia de la señal y la potencia de la distorsión son, evidentemente, proporcionales a las varianzas respectivas mencionadas anteriormente; el coeficiente de proporcionalidad sólo tiene en cuenta la impedancia del sistema.

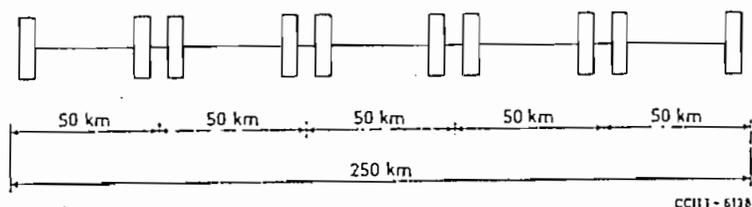


FIGURA 1/G.721 – Trayecto numérico ficticio de referencia para sistemas a 2 Mbitios/s

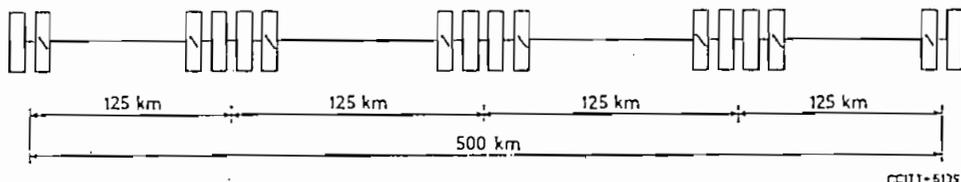


FIGURA 2/G.721 – Trayecto numérico ficticio de referencia para sistema a 8 Mbitios/s

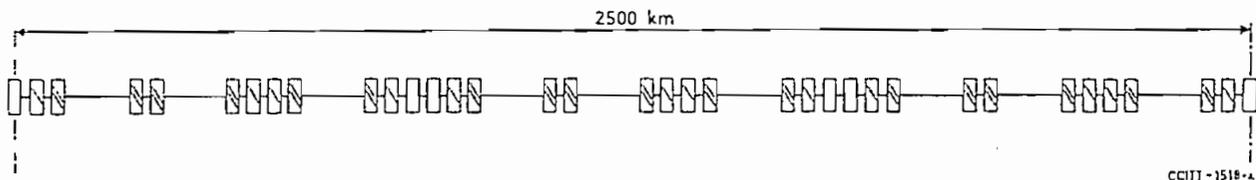


FIGURA 3/G.721 – Trayecto numérico ficticio de referencia para sistemas de 4 MHz, que podría también utilizarse para sistemas a 34 Mbitios/s

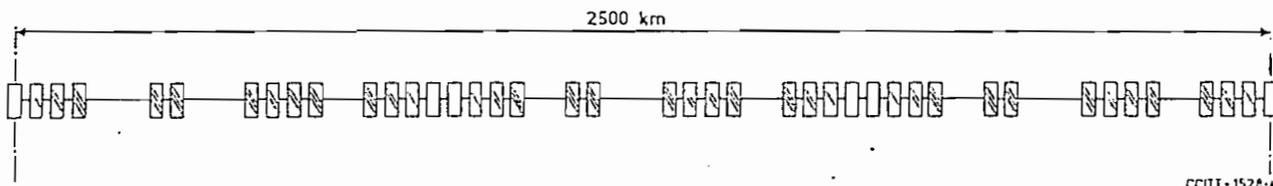


FIGURA 4/G.721 – Trayecto numérico ficticio de referencia para sistemas a 140 Mbitios/s

Todos estos trayectos numéricos ficticios de referencia tienen una longitud especificada y se emplean de la misma manera. Constituyen una base para los diseños de los sistemas de transmisión con los que respectivamente se relacionan, y de otros equipos de transmisión que puedan utilizarse en combinación con ellos.

Además, por su constitución, esos trayectos numéricos ficticios de referencia pueden servir para estudiar, no solamente el caso de un trayecto de la longitud especificada, establecido en uno o varios sistemas numéricos, sino también el de una comunicación internacional de esa longitud total, formada por trayectos numéricos establecidos por sistemas numéricos diferentes.

Una sección homogénea es una sección sin derivación ni multiplaje o demultiplaje de ninguna de las señales numéricas transmitidas por el sistema considerado, con excepción de los equipos de multiplaje definidos en los extremos de la sección.

Se supone que, en el extremo de cada sección homogénea, los trayectos numéricos se interconectan en forma aleatoria, de manera conveniente.

7.3 Características principales de los equipos múltiplex primarios

Recomendación G.731

EQUIPOS MÚLTIPLEX MIC PRIMARIOS PARA FRECUENCIAS VOCALES

(Ginebra, 1972)

El CCITT,

considerando

que los sistemas de modulación por impulsos codificados (MIC) ya se utilizan en distintos países, particularmente para la obtención de un gran número de circuitos telefónicos de corta distancia en algunos pares de los cables existentes, y a fin de reducir al mínimo el número de sistemas MIC diferentes que pueden utilizarse en las conexiones internacionales,

recomienda

que las Administraciones interesadas elijan uno de los dos múltiplex MIC primarios descritos en las Recomendaciones G.732 y G.733 hasta que se completen los estudios emprendidos con miras al establecimiento de una norma única.

Recomendación G.732

CARACTERÍSTICAS DE LOS EQUIPOS MÚLTIPLEX MIC PRIMARIOS
QUE FUNCIONAN A 2048 kbitios/s

(Ginebra, 1972; modificada en Ginebra, en 1976)

1. *Características generales*1.1 *Características fundamentales*

La ley de codificación utilizada es la ley A especificada en la Recomendación G.711. La velocidad de muestreo, el nivel de sobrecarga y el código se especifican también en dicha Recomendación.

El número de valores cuantificados es 256.

Observación. — La inversión de los bits 2, 4, 6 y 8 se rige por la ley de codificación y se aplica sólo a los intervalos de tiempo de los canales telefónicos.

1.2 *Velocidad binaria*

La velocidad binaria nominal es de 2048 kbitios/s. La tolerancia para esta velocidad es de $\pm 50 \times 10^{-6}$.

1.3 *Señal de temporización*

La señal de temporización para la transmisión de un equipo múltiplex MIC debe ser posible derivarla de una fuente interna, de la señal numérica entrante y también de una fuente externa.

Observación. — Es necesario continuar estudiando el efecto de la fluctuación de fase de la señal entrante en la señal de temporización, y las medidas que han de tomarse en caso de pérdida de la señal entrante o de la fuente externa.

2. Estructura de trama

2.1 Número de bits por intervalo de tiempo de canal

Ocho, numerados de 1 a 8.

2.2 Número de intervalos de tiempo de canal por trama

Treinta y dos, numerados de 0 a 31. El número de bits por trama es 256, y la frecuencia de repetición de trama 8000 Hz.

X

2.3 Asignación de los intervalos de tiempo de canal

2.3.1 Los intervalos de tiempo de canal 1 a 15 y 17 a 31 se asignan a 30 canales telefónicos numerados de 1 a 30.

2.3.2 La asignación de los bits del intervalo de tiempo de canal 0 se indica en el Cuadro 1/G.732.

CUADRO 1/G.732 – Asignación de los bits en el intervalo de tiempo de canal 0

	Número de bitio							
	1	2	3	4	5	6	7	8
Intervalo de tiempo 0 que contiene la señal de alineación de trama	Reservado para uso internacional (véase la Observación 1)	0	0	1	1	0	1	1
		Señal de alineación de trama (véase el punto 2.4)						
Intervalo de tiempo 0 que no contiene la señal de alineación de trama.	Reservado para uso internacional (véase la Observación 1)	1 (véase el punto 2.4)	Indicación de alarma destinada al equipo múltiplex MIC distante (véase el punto 3.2)	Reservado para uso nacional (véase la Observación 2)				

Observación 1. – Su utilización se definirá posteriormente. Por el momento, el valor de estos bits se fija a 1.

Observación 2. – Los bits asignados para uso nacional no pueden utilizarse a nivel internacional. En un trayecto numérico que atraviesa una frontera, su valor se fijará a 1.

2.3.3 El intervalo de tiempo de canal 16 está asignado a señalización como se indica en el punto 4. Si el intervalo de tiempo de canal 16 no se necesita para señalización, puede utilizarse para otros fines distintos de un canal telefónico codificado dentro del equipo múltiplex MIC.

2.4 Señal de alineación de trama

Como muestra el Cuadro 1/G.732, la señal de alineación de trama ocupa las posiciones 2 a 8 en el intervalo de tiempo de canal 0 de cada dos tramas.

La señal de alineación de trama es:

0 0 1 1 0 1 1.

Para evitar la simulación de la señal de alineación de trama por los bits 2 a 8 del intervalo de tiempo de canal 0 de las tramas que no contienen la señal de alineación de trama, el bitio 2 de dichos intervalos de tiempo de canal se fija a 1.

2.5 Pérdida y recuperación de la alineación de trama

Deberá considerarse que la alineación de trama se ha perdido cuando se hayan recibido con error tres o cuatro señales consecutivas de alineación de trama.

Se considerará recuperada la alineación de trama cuando se detecte la siguiente secuencia:

- por primera vez, la presencia de la señal de alineación de trama correcta;
- la ausencia de la señal de alineación de trama en la trama siguiente, detectada con objeto de verificar que el bitio 2 del intervalo de tiempo de canal 0 tiene el valor 1;
- por segunda vez, la presencia de la señal de alineación de trama correcta, en la trama siguiente.

Observación. — Para que no sea posible un estado en el cual no pueda lograrse la alineación de trama debido a la presencia de una señal de alineación de trama simulada, puede utilizarse el siguiente procedimiento:

Cuando se detecte una señal de alineación de trama válida en la trama n , deberá efectuarse una verificación para asegurarse de que la trama $n + 1$ no contiene una señal de alineación de trama, pero que la trama $n + 2$ sí la contiene. Si no se cumple una o ninguna de estas condiciones, se iniciará una nueva búsqueda a partir de la trama $n + 2$.

3. Condiciones de avería y operaciones consiguientes

3.1 Condiciones de avería

El equipo múltiplex MIC deberá detectar las condiciones de avería siguientes:

3.1.1 Fallo de la fuente de energía.

3.1.2 Fallo del códec (salvo si se utilizan códecs de un solo canal).

Observación. — Como requisito mínimo, esta condición de avería deberá reconocerse cuando, por lo menos para un nivel de señal de la gama de -21 a -6 dBm₀, el valor de la relación señal/ruido de cuantificación del códec local está 18 dB, o más, por debajo del nivel indicado en la Recomendación G.712. Una Administración ha señalado que este requisito permite supervisar de manera adecuada la aptitud del códec para la transmisión telefónica. Sin embargo, la transmisión de información del sistema de señalización R2 a través del códec impondría a éste condiciones más estrictas que pudieran no ser cubiertas por el requisito mencionado. Es necesario ulterior estudio.

3.1.3 Pérdida de la señal entrante en la entrada a 64 kbitios/s (intervalo de tiempo 16).

Observación. — La detección de esta condición de avería no es obligatoria cuando se emplea la señalización asociada al canal y el equipo múltiplex de señalización está situado a pocos metros del equipo múltiplex MIC.

3.1.4 Pérdida de la señal entrante a 2048 kbitios/s.

Observación 1. — La detección de esta condición de avería sólo es necesaria si, como consecuencia de la misma, no se produce una indicación de pérdida de la alineación de trama.

Observación 2. — Cuando se utilizan circuitos separados para la señal numérica y la señal de temporización, la pérdida de una o ambas señales debiera considerarse como una pérdida de la señal entrante.

3.1.5 Pérdida de la alineación de trama.

3.1.6 Proporción excesiva de errores, detectada en la señal de alineación de trama.

3.1.6.1 Criterios para activar la indicación de condición de avería:

- Proporción de errores $\leq 1 \times 10^{-4}$.

La probabilidad de activar la indicación de condición de avería en unos pocos segundos debe ser inferior a 10^{-6} .

- Proporción de errores $\geq 1 \times 10^{-3}$.

La probabilidad de activar la indicación de condición de avería en unos pocos segundos debe ser superior a 0,95.

3.1.6.2 Criterios para desactivar la indicación de condición de avería:

- Proporción de errores $> 1 \times 10^{-3}$.

La probabilidad de desactivar la indicación de la condición de avería en unos pocos segundos debe ser casi nula.

- Proporción de errores $< 1 \times 10^{-4}$.

La probabilidad de desactivar la indicación de la condición de avería en unos pocos segundos debe ser superior a 0,95.

Observación. — La expresión «unos pocos segundos» referente al periodo especificado de activación y desactivación debe interpretarse como unos 4 ó 5 segundos.

3.1.7 Indicación de alarma recibida del equipo multiplex MIC distante (véase el punto 3.2.3).

3.2 Operaciones consiguientes

Tras la detección de una condición de avería, deberán efectuarse las operaciones adecuadas especificadas en el Cuadro 2/G.732. Estas operaciones son las siguientes:

CUADRO 2/G.732 — Condiciones de avería y operaciones consiguientes en el equipo multiplex MIC

Parte del equipo	Condiciones de avería (véase el punto 3.1)	Operaciones consiguientes (véase el punto 3.2)					
		Transmisión de una indicación de alarma de servicio	Transmisión de una indicación de alarma para mantenimiento inmediato	Transmisión de una indicación de alarma hacia el extremo distante	Supresión de la transmisión en las salidas analógicas	Aplicación de la AIS a la salida a 64 kbitios/s (IT16)	Aplicación de la AIS al IT16 de la señal compuesta a 2048 kbitios/s
Multiplexor y demultiplexor	Fallo de la fuente de energía	Sí	Sí	Sí, de ser posible en la práctica	Sí, de ser posible en la práctica	Sí, de ser posible en la práctica	Sí, de ser posible en la práctica
	Fallo del códec	Sí	Sí	Sí	Sí		
Multiplexor solamente	Pérdida de la señal entrante en la entrada a 64 kbitios/s (IT16)		Sí				Sí
Demultiplexor solamente	Pérdida en la señal entrante a 2048 kbitios/s	Sí	Sí	Sí	Sí	Sí	
	Pérdida de la alineación de trama	Sí	Sí	Sí	Sí	Sí	
	Proporción de errores de 1×10^{-3} en la señal de alineación de trama	Sí	Sí	Sí	Sí	Sí	
	Indicación de alarma recibida del extremo distante	Sí					

Observación. — Un Sí en el cuadro significa que debe efectuarse una operación como consecuencia de la correspondiente condición de avería. Un espacio en blanco en el cuadro significa que la operación correspondiente no debe efectuarse como consecuencia de la condición de avería pertinente, si esta condición es la única presente. Si aparecen simultáneamente más de un condición de avería, la operación correspondiente deberá efectuarse sí, con relación a la misma, aparece por lo menos un Sí.

3.2.1. Transmisión de una indicación de alarma de servicio generada para notificar que el servicio proporcionado por el múltiplex MIC ha dejado de estar disponible. Esta indicación debe transmitirse por lo menos al equipo múltiplex de conmutación y/o señalización, según las disposiciones que se hayan tomado. La indicación deberá darse tan pronto como sea posible, y no después de 2 ms tras la detección de la correspondiente condición de avería.

Esta especificación, en la que se tiene en cuenta lo indicado en el punto 2.5, equivale a recomendar que el tiempo medio para la detección de una pérdida de alineación de trama y la generación de la correspondiente indicación no debe ser superior a 3 ms.

Cuando se utiliza la señalización por canal común, la indicación debe enviarse al equipo de conmutación por medio de un interfaz separado en el equipo múltiplex MIC.

3.2.2. Transmisión de una indicación de alarma para mantenimiento inmediato generada para notificar que la calidad de funcionamiento es inferior a normas aceptables y que es necesario proceder a una operación local de mantenimiento. Cuando se detecta la señal de indicación de alarma (AIS) [véase la Observación 1 del punto 3.2.6], deberá neutralizarse la indicación de alarma para mantenimiento inmediato asociada a la pérdida de alineación de trama (véase el punto 3.1.5) y a una proporción excesiva de errores (véase el punto 3.1.6).

Observación. — Se deja a discreción de las Administraciones la utilización y ubicación de posibles alarmas visuales y/o audibles, activadas por las indicaciones de alarma mencionadas en los puntos 3.2.1 y 3.2.2.

3.2.3. Transmisión de una indicación de alarma hacia el extremo distante, obtenida haciendo pasar del estado 0 al estado 1 el bitio 3 del intervalo de tiempo de canal 0 en las tramas que no contienen la señal de alineación de trama. Esto debe efectuarse lo más pronto posible.

3.2.4. Supresión de la transmisión en las salidas analógicas.

3.2.5. Aplicación de la señal de indicación de alarma (AIS) al intervalo de tiempo 16 de la salida a 64 kbitios/s (véase la Observación 1). Esta operación debe efectuarse tan pronto como sea posible y no después de 2 ms tras la detección de la condición de avería.

3.2.6. Aplicación de la AIS al intervalo de tiempo 16 de la señal compuesta de salida a 2048 kbitios/s.

Observación 1. — El contenido binario equivalente de la señal de indicación de alarma (AIS) es un tren continuo de unos.

Observación 2. — Los mencionados requisitos de temporización son asimismo aplicables al restablecimiento subsiguiente a la desaparición de una condición de avería.

4. Señalización

Se recomienda la utilización del intervalo de tiempo de canal 16, ya sea para la señalización por canal común o para la señalización asociada al canal, según se requiera. Deberán efectuarse las operaciones descritas en el punto 3.2.1, consiguientes a la correspondiente condición de avería, de conformidad con el Cuadro 2/G.732.

El intervalo de tiempo de canal 16 puede utilizarse para proporcionar un interfaz a 64 kbitios/s, que será apropiado para uso tanto con señalización por canal común como con señalización asociada al canal. Deberá efectuarse la operación descrita en el punto 3.2.5, consiguiente a las correspondientes condiciones de avería indicadas en el Cuadro 2/G.732.

Los requisitos específicos para la organización de sistemas de señalización determinados se incluirán en las especificaciones de dichos sistemas.

4.1 Señalización por canal común

El intervalo de tiempo de canal 16 puede utilizarse para la señalización por canal común a velocidades de hasta 64 kbitios/s. En la especificación de los diversos sistemas de señalización por canal común figurará el método para obtener la alineación de las señales. En este caso, el interfaz a 64 kbitios/s que se utilizará para el intervalo de tiempo de canal 16 será conforme al punto 5 y a la Recomendación G.703.

4.2 Señalización asociada al canal

A continuación se indica la disposición recomendada para la utilización del intervalo de tiempo de canal 16 a 64 kbitios/s para la señalización asociada al canal.

4.2.1 Estructura de multitrama

Una multitrama comprende 16 tramas consecutivas (su estructura se indica en el punto 2.2), numeradas de 0 a 15.

La señal de alineación de multitrama es 0000 y ocupa los intervalos de tiempo de dígito 1 a 4 del intervalo de tiempo de canal 16 en la trama 0.

4.2.2 Asignación del intervalo de tiempo de canal 16

Cuando el intervalo de tiempo de canal 16 se utiliza para la señalización asociada al canal, dicho intervalo proporciona un trayecto numérico a 64 kbitios/s, que se subdivide en trayectos de menor velocidad utilizándose como referencia la señal de alineación de multitrama.

Los detalles de la asignación de los bitios figuran en el Cuadro 3/G.732.

CUADRO 3/G.732

Intervalo de tiempo de canal 16 de la trama 0	Intervalo de tiempo de canal 16 de la trama 1		Intervalo de tiempo de canal 16 de la trama 2		Intervalo de tiempo de canal 16 de la trama 15	
0000 xj $abcd$	$abcd$ canal 1	$abcd$ canal 16	$abcd$ canal 2	$abcd$ canal 17	$abcd$ canal 15	$abcd$ canal 3

Observación. — x = bitio de reserva fijado al valor 1 si no se utiliza.

j = bitio utilizado para indicar la pérdida de la alineación de multitrama (véase el punto 4.2.4.2.3)

Si no se utilizan los bitios b , c ó d , se les debe dar los siguientes valores:

$b = 1$

$c = 0$

$d = 1$

Se recomienda no utilizar la combinación 0000 de los bitios a , b , c y d , para señalización para los canales 1 a 15.

En la asignación de los bitios se prevén cuatro canales de señalización a 500 bitios/s designados por a , b , c y d , para cada canal telefónico. Mediante esta disposición, la distorsión de señalización de cada canal de señalización introducida por el sistema de transmisión MIC no será superior ± 2 ms.

4.2.3 Pérdida y recuperación de la alineación de multitrama

Se considerará que se ha perdido la alineación de multitrama, cuando se hayan recibido con error dos señales consecutivas de alineación de multitrama.

Se considerará recuperada la alineación de multitrama inmediatamente después de que se detecte la primera señal de alineación de multitrama correcta.

Observación. — Para evitar una condición de falsa alineación de multitrama, puede utilizarse el siguiente procedimiento, además del mencionado anteriormente:

- Se considerará que la alineación de multitrama se ha perdido cuando, durante un periodo de una o dos multitramas, todos los bitios en el intervalo de tiempo 16 están en el estado 0.
- Se considerará recuperada la alineación de multitrama solamente cuando en el intervalo de tiempo 16 que precede a la primera señal de alineación de multitrama detectada hay por lo menos un bitio en el estado 1.

4.2.4 Condiciones de avería y operaciones consiguientes

4.2.4.1 Condiciones de avería

El equipo múltiplex de señalización deberá detectar las siguientes condiciones de avería:

4.2.4.1.1 Fallo de la fuente de energía.

4.2.4.1.2 Pérdida de la señal entrante a 64 kbitios/s en la entrada del demultiplexor de señalización.

Observación 1. — La detección de esta condición de avería no es necesaria cuando el equipo múltiplex de señalización está a pocos metros del equipo múltiplex MIC, o cuando como consecuencia de esta condición de avería se produce una indicación de pérdida de alineación de multitrama.

Observación 2. — Cuando se utilizan circuitos separados para la señal numérica y la señal de temporización, la pérdida de una o ambas señales debiera considerarse como una pérdida de la señal entrante.

4.2.4.1.3 Pérdida de alineación de multitrama.

4.2.4.1.4 Recepción de una indicación de alarma procedente del equipo múltiplex de señalización distante (véase el punto 4.2.4.2.3).

4.2.4.1.5 Recepción de una indicación de alarma de servicio procedente del equipo múltiplex MIC (véase el punto 3.2.1).

4.2.4.2 Operaciones consiguientes

Tras la detección de una condición de avería deberán efectuarse las operaciones procedentes especificadas en el Cuadro 4/G.732. Estas operaciones son las siguientes:

CUADRO 4/G.732 — Condiciones de avería y operaciones consiguientes en equipos múltiplex con señalización asociada al canal

Parte del equipo	Condiciones de avería (véase el punto 4.2.4.1)	Operaciones consiguientes (véase el punto 4.2.4.2)			
		Transmisión de una indicación de alarma de servicio	Transmisión de una indicación de alarma para mantenimiento inmediato	Transmisión de una indicación de alarma hacia el extremo distante	Aplicación de la condición correspondiente al estado 1. en la línea, a todos los canales de señalización en la recepción
Multiplexor y demultiplexor	Fallo de la fuente de energía	Sí	Sí	Sí, de ser posible en la práctica	Sí, de ser posible en la práctica
Demultiplexor solamente	Pérdida de la señal entrante	Sí	Sí	Sí	Sí
	Pérdida de la alineación de multitrama	Sí	Sí	Sí	Sí
	Recepción de una indicación de alarma procedente del equipo múltiplex de señalización distante	Sí			Sí
	Recepción de una indicación de alarma de servicio procedente del multiplexor MIC	Sí			Sí

Observación. — Un Sí en el cuadro significa que debe efectuarse una operación como consecuencia de la correspondiente condición de avería. Un espacio en blanco en el cuadro significa que la operación correspondiente no debe efectuarse como consecuencia de la condición de avería pertinente, si esta condición es la única presente. Si aparecen simultáneamente más de una condición de avería, la operación correspondiente deberá efectuarse sí, con relación a la misma, aparece por lo menos un Sí.

4.2.4.2.1 Transmisión de una indicación de alarma de servicio al equipo de conmutación, según las disposiciones de conmutación y señalización adoptadas.

4.2.4.2.2 Transmisión de una indicación de alarma para mantenimiento inmediato, generada para notificar que la calidad de funcionamiento es inferior a normas aceptables y que debe procederse a una operación de mantenimiento local. Si se ha previsto la detección de la AIS, al recibirse ésta deberá inhibirse la indicación de alarma para mantenimiento inmediato en el caso de pérdida de la alineación de multitrama (véase el punto 4.2.4.1.3).

Observación. — Se deja a discreción de las Administraciones la utilización y ubicación de eventuales alarmas visuales y/o audibles, activadas por las indicaciones de alarma mencionadas en los puntos 4.2.4.2.1 y 4.2.4.2.2.

4.2.4.2.3 Transmisión de una indicación de alarma hacia el equipo múltiplex de señalización distante, generada mediante la conmutación, del estado 0 al estado 1, del bitio 6 del intervalo de tiempo de canal 16 de la trama 0 de la multitrama (véase el Cuadro 3/G.732); esto se efectuará lo más pronto posible.

4.2.4.2.4 Aplicación de la condición correspondiente al estado 1, en la línea, a todos los canales de señalización en la recepción. Esta condición debe enviarse tan pronto como sea posible y no después de 3 ms tras la detección de la condición de avería.

Observación. — Todos los requisitos de temporización mencionados son asimismo aplicables al restablecimiento, subsiguiente a la desaparición de la condición de avería.

5. Interfaces

Los interfaces analógicos deben satisfacer la Recomendación G.712. Los interfaces numéricos deben cumplir la Recomendación G.703. Además, las características eléctricas del interfaz a 64 kbitios/s de los tipos codidireccional y contradireccional se dan en los puntos 5.1 y 5.2, respectivamente. Estas últimas especificaciones no son obligatorias en señalización asociada al canal.

5.1 Características eléctricas del interfaz codidireccional a 64 kbitios/s

5.1.1 Consideraciones generales

5.1.1.1 Velocidad binaria nominal: 64 kbitios/s.

5.1.1.2 Tolerancia máxima para las señales transmitidas a través del interfaz: $\pm 100 \times 10^{-6}$.

5.1.1.3 Las señales de temporización de 64 kHz y 8 kHz se transmitirán codidireccionalmente con relación a la señal de información.

5.1.1.4 Se recomienda la utilización de un par simétrico para cada sentido de transmisión, así como la utilización de transformadores.

5.1.1.5 Reglas de conversión de código:

Paso 1: Un periodo de un bitio a 64 kbitios/s se divide en cuatro intervalos unitarios.

Paso 2: Un uno binario se codifica como un bloque constituido por los cuatro bitios siguientes:

1 1 0 0

Paso 3: Un cero binario se codifica como un bloque constituido por los cuatro bitios siguientes:

1 0 1 0

Paso 4: La señal binaria se convierte en una señal de tres niveles alternando la polaridad de bloques consecutivos.

Paso 5: La alternación de la polaridad de los bloques se viola cada octavo bloque. El bloque con violación indica el último bitio en un octeto.

Estas reglas de conversión se ilustran en la Figura 1/G.732.

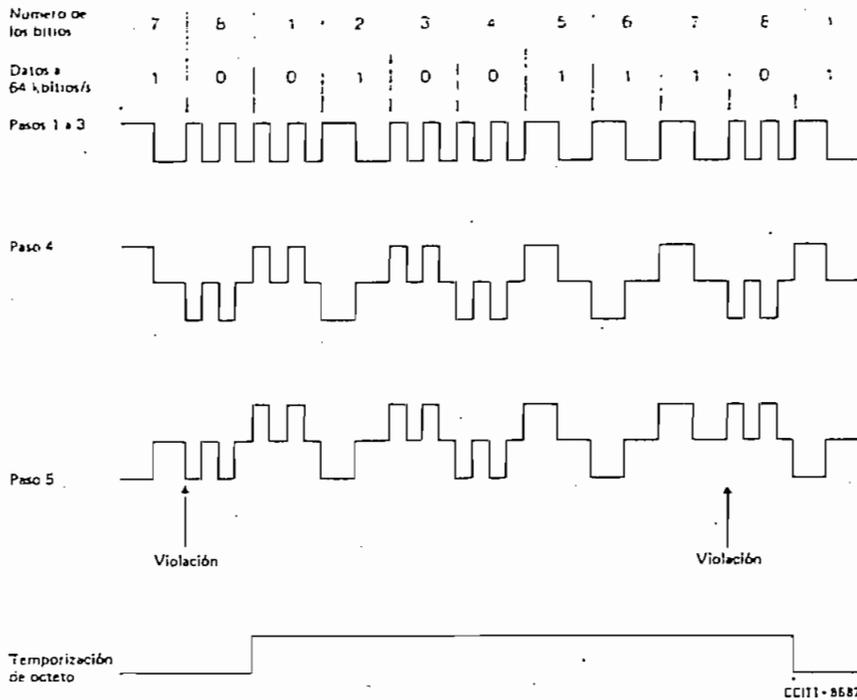
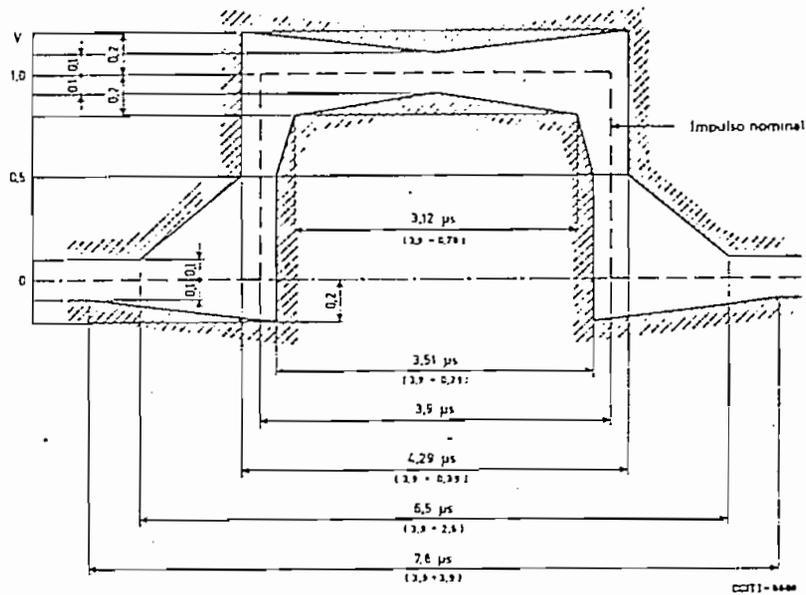


FIGURA 1/G.732 – Pasos para la formación de la trama de una señal codireccional a 64 kbitios/s

5.1.2 Especificaciones en los accesos de salida (indicadas en el Cuadro 5/G.732)

CUADRO 5/G.732

Velocidad de símbolos	256 kbaudios
Forma del impulso (forma nominal, rectangular)	Todos los impulsos de una señal válida deben ajustarse a la plantilla de la Figura 2/G.732, sea cual fuere la polaridad
Pares en cada sentido de transmisión	Un par simétrico
Impedancia de carga de prueba	120 ohmios, resistiva
Tensión de cresta nominal de una "marca" (impulso)	1,0 V
Tensión de cresta de un "espacio" (ausencia de impulso)	0 V \pm 0,10 V
Intervalo unitario nominal	3,9 μ s
Relación entre la amplitud de los impulsos positivos y la de los negativos en el centro del intervalo unitario	de 0,95 a 1,05
Relación entre la anchura de los impulsos positivos y la de los negativos en el punto de semiamplitud nominal	de 0,95 a 1,05



Observación 1. — Los límites se aplican a los impulsos de las dos polaridades.

Observación 2. — Para el impulso de doble anchura, las cifras del eje de tiempos se multiplicarán por 2.

FIGURA 2/G.732 — Plantilla para el impulso en el caso de un interfaz codireccional a 64 kbitios/s

5.1.3 Especificaciones en los accesos de entrada

La señal numérica presentada en los accesos de entrada deberá corresponder a la definición precedente, con las modificaciones que introduzcan las características de los pares de interconexión. La atenuación de estos pares está comprendida entre 0 y 3 dB a la frecuencia de 128 kHz. Esta atenuación tendrá en cuenta posibles pérdidas debidas a la presencia de un repartidor numérico entre los equipos.

Observación. — Si el par simétrico está blindado, el blindaje se conectará a tierra en el acceso de salida, y se preverá, en caso necesario, su conexión a tierra en el acceso de entrada.

5.2 Características eléctricas del interfaz contradireccional a 64 kbitios/s

5.2.1 Consideraciones generales

5.2.1.1 Velocidad binaria: 64 kbitios/s.

5.2.1.2 Tolerancia máxima para las señales que se transmitan por el interfaz: $\pm 100 \times 10^{-6}$.

5.2.1.3 Para cada sentido de transmisión deberá haber dos pares simétricos: uno para la señal de datos y otro para una señal de temporización compuesta (64 kHz y 8 kHz). La configuración del interfaz, incluidos los sentidos de las señales de que se trata, puede verse en la Figura 3/G.732. Se recomienda la utilización de transformadores.

Observación. — Si un país tiene necesidad de proporcionar una indicación de alarma separada por el interfaz, esto puede realizarse interrumpiendo la señal de temporización de 8 Hz en el sentido de que se trate, es decir, inhibiendo las violaciones de código introducidas en la señal de temporización compuesta correspondiente (véase más adelante).

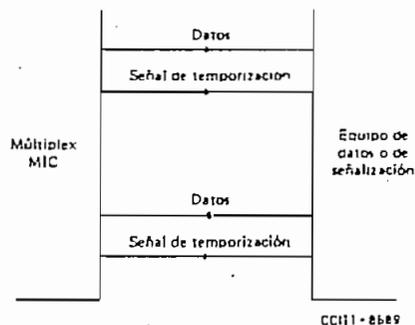


FIGURA 3/G.732 – Interfaz contradireccional a 64 kbitios/s

5.2.1.4 Reglas de conversión de código

Las señales de datos se codifican en código bipolar (AMI) y los impulsos tienen una relación de trabajo del 100%. Las señales compuestas de temporización transportan la información de temporización de bitio a 64 kHz mediante el empleo del código bipolar con una relación de trabajo del 50%, y la información sobre la fase de la señal de temporización de octetos a 8 kHz, introduciendo violaciones a la regla del código. La estructura de las señales y sus relaciones de fase en los accesos de salida de datos se muestran en la Figura 4/G.732.

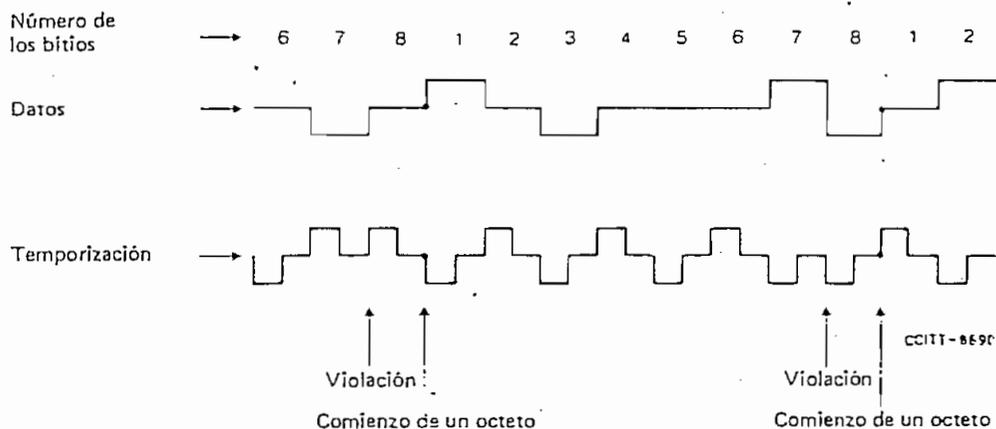


FIGURA 4/G.732 – Estructura de las señales en los accesos de salida de datos para el interfaz contradireccional a 64 kbitios/s

Los impulsos de datos recibidos por el equipo MIC se retardarán algo en relación con los impulsos de temporización correspondientes. El instante de detección de un impulso de datos recibido del lado MIC del interfaz deberá situarse, pues, en el flanco anterior del siguiente impulso de temporización.

5.2.2 Especificaciones en los accesos de salida (indicadas en el Cuadro 6/G.732)

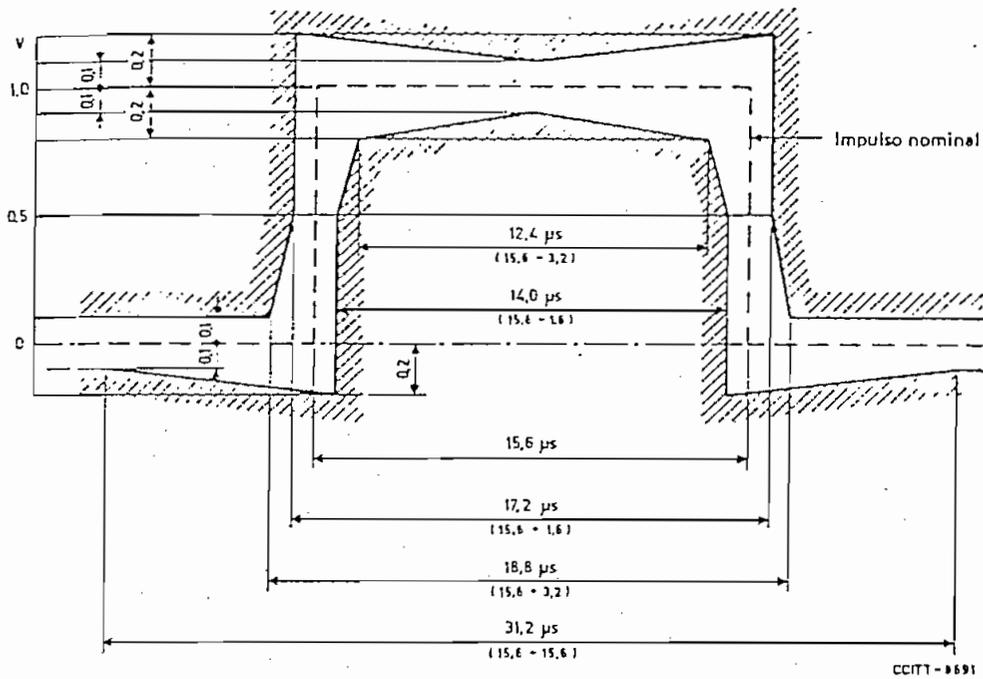
CUADRO 6/G.732

Parámetros	Datos	Temporización
Forma del impulso (forma nominal, rectangular)	Todos los impulsos de una señal válida deben ajustarse a la plantilla de la Figura 5/G.732, sea cual fuere la polaridad	Todos los impulsos de una señal válida deben ajustarse a la plantilla de la Figura 6/G.732, sea cual fuere la polaridad
Pares en cada sentido de transmisión	Un par simétrico	Un par simétrico
Impedancia de carga de prueba	120 ohmios, resistiva	120 ohmios, resistiva
Tensión de cresta nominal de una "marca" (impulso)	1,0 V	1,0 V
Tensión de cresta de un "espacio" (ausencia de impulso)	0 V \pm 0,1 V	0 V \pm 0,1 V
Anchura nominal del impulso	15,6 μ s	7,8 μ s
Relación entre la amplitud de los impulsos positivos y la de los negativos en el centro del intervalo de un impulso	de 0,95 a 1,05	de 0,95 a 1,05
Relación entre la anchura de los impulsos positivos y la de los negativos en el punto de semiamplitud nominal	de 0,95 a 1,05	de 0,95 a 1,05

5.2.3 Especificaciones en los accesos de entrada

Las señales numéricas ofrecidas en los accesos de entrada deberán corresponder a la definición precedente, con las modificaciones que introduzcan las características de los pares de interconexión. La atenuación de estos pares está comprendida 0 y 3 dB, a la frecuencia 32 kHz. Esta atenuación tendrá en cuenta posibles pérdidas debidas a la presencia de un repartidor numérico entre los equipos.

Observación. — Si los pares simétricos están blindados, los blindajes deben conectarse a tierra en el acceso de salida, y se tomarán medidas para, en caso necesario, conectarlos también a tierra en el acceso de entrada.



Observación 1. — Cuando un impulso va inmediatamente seguido de otro de polaridad opuesta, los límites de tiempo para el paso por los puntos de amplitud cero de los impulsos serán $\pm 0,8 \mu s$.

Observación 2. — Los instantes en los que debe producirse la transición de un estado a otro de la señal de datos los determina la señal de temporización. En el lado de datos o de señalización del interfaz es esencial que estas transiciones no sean iniciadas antes de los instantes definidos por la señal de temporización recibida.

FIGURA 5/G.732 — Plantilla para el impulso de datos para el interfaz contradiereccional a 64 kbitios/s

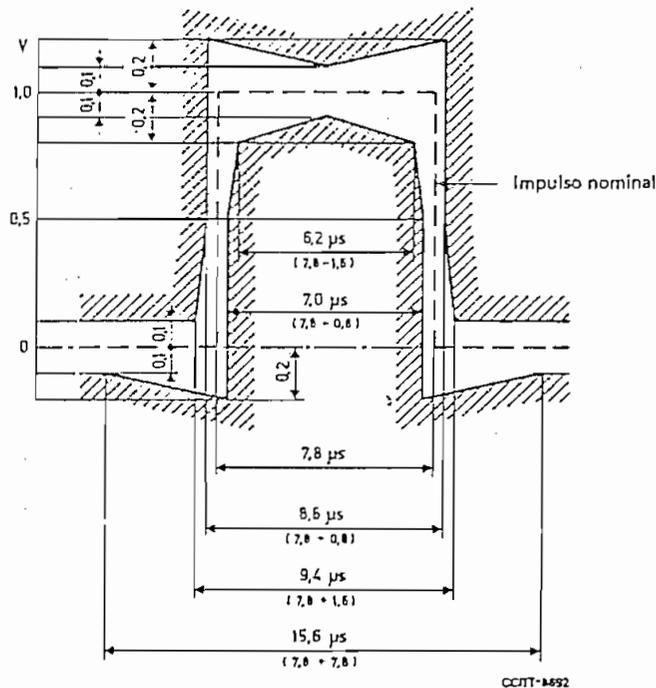


FIGURA 6/G.732 — Plantilla para el impulso de temporización para el interfaz contradiereccional a 64 kbitios/s

Recomendación G.733

CARACTERÍSTICAS DE LOS EQUIPOS MÚLTIPLEX MIC PRIMARIOS
QUE FUNCIONAN A 1544 kbitios/s

(Ginebra, 1972; modificada en Ginebra, 1976)

1. *Características generales*1.1 *Características fundamentales*

La ley de codificación utilizada es la ley μ , especificada en la Recomendación G.711. La velocidad de muestreo, el nivel de sobrecarga y el código se especifican en dicha Recomendación.

El número de valores cuantificados es de 255. Se reservan dos señales de carácter para el valor cero (11111111 y 01111111).

En algunas redes se ha eliminado la señal de carácter «todos cero» (00000000) para evitar una pérdida de información de temporización en la línea numérica, y se tienen entonces 254 valores cuantificados.

1.2 *Velocidad binaria*

La velocidad binaria nominal es de 1544 kbitios/s, con una tolerancia de $\pm 50 \times 10^{-6}$.

1.3 *Señal de temporización*

Debería ser posible obtener la señal de temporización transmitida por un multiplex MIC, a partir de una fuente interna, de la señal numérica entrante o de una fuente externa.

2. *Estructura de trama*

2.1 *Número de bitios por intervalo de tiempo de canal:* 8, numerados de 1 a 8.

2.2 *Número de intervalos de tiempo de canal por trama:* 24, numerados de 1 a 24.

Se agrega un bitio por trama para permitir la constitución de una señal de alineación de trama y una alineación de multitrama o para las necesidades de la señalización.

El número de bitios por trama es de 193, y la frecuencia de recepción de trama es de 8000 Hz.

2.3 *Asignación de los intervalos de tiempo de canal*

2.3.1 Los intervalos de tiempo de canal 1 a 24 se asignan a 24 canales telefónicos numerados de 1 a 24.

2.3.2 En el Cuadro 1/G.733 se indica la asignación de la señal de alineación de trama y del bitio S, (p alineación de multitrama o necesidades de señalización).

CUADRO 1/G.733

Número de la trama	Señal de alineación de trama (véase el punto 2.4)	Señal de alineación de multitrama o señalización
1	1	-
2	-	S
3	0	-
4	-	S

2.3.5 La asignación del bitio *S* se trata en el punto 4.

2.4 Señal de alineación de trama

La señal de alineación de trama ocupa la primera posición de bitio de cada dos tramas.

Esta señal está constituida por la combinación: 101010 ...

2.5 Pérdida y recuperación de la alineación de trama

Conviene que se controle la señal de alineación de trama para poder detectar la pérdida de la alineación de trama. Debe recuperarse la alineación de trama después de haberse recibido una señal correcta de alineación de trama en el equipo terminal receptor.

3. Condiciones de avería y operaciones consiguientes

3.1 El múltiplex MIC debería detectar las siguientes condiciones de avería:

- pérdida de alineación de trama;
- fallo del códec, de ser posible;
- fallo de la fuente principal de energía.

En caso de existir control de códec, debe efectuarse localmente.

3.2 Operaciones consiguientes a la detección de una condición de avería

Al detectarse una condición de avería en el extremo local A, deberían tomarse las siguientes disposiciones:

3.2.1 En el extremo local A

El múltiplex MIC del extremo local A debería dar una alarma después de transcurrido un lapso de tiempo apropiado, necesario para asegurarse de que los canales sólo se desconectarán en caso de verdadera interrupción en la recepción de la señal numérica transmitida en línea.

3.2.2 En el extremo distante B

Cuando se detecte una avería en el extremo local A, deberían tomarse las siguientes disposiciones:

- El múltiplex MIC del extremo local A podría transmitir una señal, en la señal numérica de línea, obligando al bitio 2 de cada intervalo de tiempo de canal a tomar el valor 0 en el sentido de transmisión A-B.
- En determinadas redes que utilizan un sistema de señalización asociada al canal, el extremo local A puede transmitir una señal de alarma al extremo distante modificando los bitios *S*, como se indica en el punto 4.2.1.
- Cuando, en el múltiplex MIC de B, se detecte la señal de alarma de A, debería producirse en B una alarma a fin de indicar la pérdida de alineación de trama en el extremo distante A, salvo en el caso de que el múltiplex MIC de B haya perdido a su vez la alineación de trama.

3.2.3 Utilización de la alarma para desconectar automáticamente los circuitos

En ambos terminales A y B, debería utilizarse la alarma descrita en los puntos 3.2.1 y 3.2.2 para desconectar automáticamente los circuitos asociados, y volverlos a conectar a una vez recuperada la alineación de trama.

3.2.4 Indicación rápida de la pérdida de la alineación de trama

Deberá darse una indicación al equipo del sistema de señalización N.º 6 (versión numérica) cuando el equipo múltiplex MIC (equipo A solamente) detecta una pérdida de alineación de trama. El tiempo medio para detectar y dar una identificación de bitios aleatorios en la señal de alineación de trama no debe ser superior a 3 ms. La función de esta indicación será la misma que la de la alarma por interrupción de la portadora de datos en la versión analógica (véase la Recomendación Q.275).

4. Señalización

4.1 Señalización por canal común

Puede disponerse la configuración de los bitios *S* para la señalización por canal común con una velocidad de 4 kbitios/s o con un submúltiplo de esta velocidad.

4.2 Señalización asociada al canal

Por acuerdo entre las Administraciones interesadas, la señalización asociada al canal se emplea para circuitos intrarregionales, de conformidad con las normas siguientes, según las cuales se dispone de dos canales de señalización independientes, A y B.

4.2.1 Estructura de multitrama

Una multitrama se compone de 12 tramas, como lo muestra el Cuadro 2/G.733. La señal de alineación de multitrama está contenida en el bitio *S*, como se indica en dicho cuadro.

CUADRO 2/G.733 – Estructura de multitrama

Número de la trama	Señal de alineación de trama	Señal de alineación de multitrama (bitio <i>S</i>)	Número de los bitios de cada intervalo de tiempo de canal		Canal de señalización
			Para las señales de carácter	Para la señalización	
1	1	—	1 a 8	—	A
2	—	0	1 a 8	—	
3	0	—	1 a 8	—	
4	—	0	1 a 8	—	
5	1	—	1 a 8	—	
6	—	1	1 a 7	8	
7	0	—	1 a 8	—	
8	—	1	1 a 8	—	
9	1	—	1 a 8	—	
10	—	1	1 a 8	—	
11	0	—	1 a 8	—	
12	—	0	1 a 7	8	

A) modificar el bitio *S* para señalar la pérdida de alineación de trama, como se indica en el punto 3.2.2 el bitio *S* de la trama 12 pasa del valor 0 al valor 1.

4.2.2 Pérdida de la alineación de multitrama

Se considera perdida la alineación de multitrama cuando se produce una pérdida de la alineación de trama.

4.2.3 Asignación de bitios de señalización

Las tramas 6 y 12 se emplean como tramas de señalización. El octavo bitio de cada intervalo de tiempo de canal se emplea en cada trama de señalización para la señalización asociada a dicho canal.

Reducción al mínimo de la distorsión de cuantificación

Sólo se dispone de siete bits en la trama de señalización para la codificación de frecuencias vocales. A fin de reducir al mínimo la distorsión de cuantificación, se desplazan ligeramente los valores de salida del decodificador. Se modifican todos los valores pares a la salida del decodificador, y_n , para igualarlos al valor de decisión de orden inmediatamente superior, x_{n+1} . Todo valor de orden impar del decodificador, y_{n+1} , se iguala al valor de decisión de igual orden, x_{n+1} , como se muestra en la Figura 1/G.733.

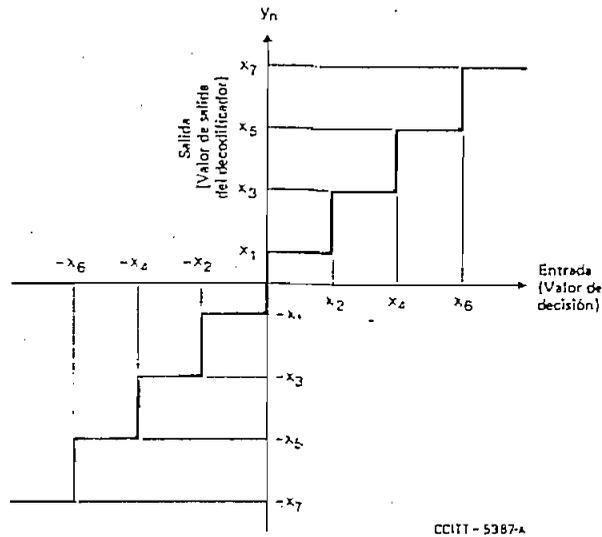


FIGURA 1/G.733 – Característica de transferencia del código de siete bits

Cuando se requiere la supresión de la señal de carácter «todos cero», se impone el valor 1 para el séptimo bitio cuando los demás bitios de la señal de carácter tienen el valor 0.

5. Interfaces

Analógicos: véase la Recomendación G.712.

Númericos: véase la Recomendación G.703.

Recomendación G.734

CARACTERÍSTICAS DE LA ESTRUCTURA DE TRAMA A 2048 kbitios/s PARA USO CON CENTRALES NUMÉRICAS

(Ginebra, 1976)

1. Características generales

La estructura múltiplex descrita en esta Recomendación es apropiada para uso en trayectos numéricos a 2048 kbitios/s que terminan en centrales numéricas. Esta estructura es compatible con la del múltiplex MIC primario descrita en la Recomendación G.732, y es aplicable a trayectos numéricos que conectan estos equipos múltiplex MIC con centrales o con trayectos numéricos que interconectan centrales numéricas.

Algunas de las características de esta estructura múltiplex son idénticas a las indicadas en la Recomendación G.732 y se señalan mediante referencias mutuas a esa Recomendación.

1.1 *Características fundamentales*

La estructura múltiplex contiene 32 intervalos de tiempo, cada uno a 64 kbitios/s, todos los cuales son conmutables. En los intervalos de tiempo asignados a telefonía, la palabra se codifica de conformidad con la Recomendación G.711. Puede ser necesario utilizar los intervalos de tiempo asignados a otros servicios de una manera convenida (véase, por ejemplo, la Recomendación X.50 sobre servicios de datos síncronos).

1.2 *Velocidad binaria*

La velocidad binaria nominal es de 2048 kbitios/s. Esta velocidad estará controlada dentro de un margen de por lo menos $\pm 50 \times 10^{-6}$ en el extremo transmisor para cada sentido de transmisión.

1.3 *Señal de temporización*

La señal de temporización es una señal de 2048 kHz de la que se deriva la velocidad binaria.

1.3.1 *Temporización en una red no síncrona*

Para un equipo múltiplex MIC, la señal de temporización se derivará de una señal de temporización entrante al extremo receptor. Para una central numérica, la señal de temporización en la transmisión se derivará de un reloj situado en la central numérica.

1.3.2 *Temporización en una red síncrona*

En el caso de funcionamiento síncrono de la red, un sistema de sincronización de red mantendrá la señal de temporización o los relojes dentro de límites convenidos.

1.4 *Interfaces*

Se hace referencia al punto 5 de la Recomendación G.732 y a la Recomendación G.703. No se recomendará un interfaz en el interior del conmutador.

1.5 *Calidad de transmisión*

La calidad de transmisión del trayecto numérico será la misma que la de los trayectos numéricos a 2048 kbitios/s entre equipos múltiplex MIC primarios.

2. *Estructura de trama*

La estructura de trama, los procedimientos de alineación de trama y, normalmente, la asignación de los intervalos de tiempo serán los definidos en la Recomendación G.732.

Cuando se requiera mayor capacidad de señalización entre las centrales, pueden utilizarse intervalos de tiempo suplementarios para la señalización por canal común. Éstos se elegirán entre los intervalos de tiempo asignados en los equipos múltiplex a la transmisión de datos. En rutas entre centrales que comprendan más de un trayecto numérico a 2048 kbitios/s, es posible obtener una capacidad de señalización adecuada sin utilizar el intervalo de tiempo 16 de todos los sistemas en la ruta. En estas circunstancias, el intervalo de tiempo 16 de los sistemas que no transporten señalización puede asignarse a telefonía u otros servicios. El intervalo de tiempo 0 está reservado para información de alineación de trama, alarmas y sincronización de red, y no debe utilizarse para la transmisión de señalización o de la palabra.

3. Condiciones de avería y operaciones consiguientes

3.1 Condiciones de avería

El equipo múltiplex MIC deberá detectar las condiciones de avería mencionadas en el punto 3.1 de la Recomendación G.732.

El equipo terminal de la central numérica deberá detectar las siguientes condiciones de avería.

3.1.1 Fallo de la fuente de energía.

3.1.2 Pérdida de la señal entrante a 2048 kbitios/s.

Observación 1. — La detección de esta condición de avería es necesaria cuando, como consecuencia de la misma, no se produce una indicación de pérdida de la alineación de trama.

Observación 2. — Cuando se utilizan circuitos separados para la señal numérica y la señal de temporización, la pérdida de cualquiera de estas señales, o de ambas, deberá considerarse como una pérdida de la señal entrante.

3.1.3 Pérdida de la alineación de trama.

3.1.4 Proporción de errores excesiva detectada en la señal de alineación de trama. Los criterios para activar y desactivar la indicación de ésta condición de avería se dan en el punto 3.1.6 de la Recomendación G.732.

3.1.5 Indicación de alarma recibida del extremo distante (véase el punto 3.2.3).

3.2 Operaciones consiguientes

Tras la detección de una condición de avería se deberán efectuar, en el equipo múltiplex MIC, las operaciones apropiadas que se especifican en el Cuadro 2/G.732 y en el punto 3.2 de la Recomendación G.732.

Las operaciones consiguientes en la central numérica se especifican en el Cuadro 1/G.734; éstas son las siguientes:

3.2.1 Transmisión de una indicación de alarma de servicio generada para notificar que el servicio proporcionado por el equipo terminal de central ha dejado de estar disponible. El equipo terminal de central debe dar esta indicación lo más pronto posible, y no después de 2 ms tras la detección de la correspondiente condición de avería.

Esta especificación, en la que se tiene en cuenta lo indicado en el punto 2.5 de la Recomendación G.732, equivale a recomendar que el tiempo medio para la detección de una pérdida de alineación de trama y la generación de la correspondiente indicación no debe ser superior a 3 ms.

3.2.2 Transmisión de una indicación de alarma para mantenimiento inmediato para notificar que la calidad de funcionamiento es inferior a normas aceptables y que es necesario proceder a una operación local de mantenimiento. Cuando se detecta la señal de indicación de alarma (AIS) [véase la Observación 1], deberá neutralizarse la indicación de alarma para mantenimiento inmediato asociada a la pérdida de la alineación de trama y a una proporción excesiva de errores en la señal de alineación de trama.

3.2.3 Transmisión de una indicación de alarma hacia el extremo distante, obtenida haciendo pasar del estado binario 0 al estado binario 1 el bitio 3 del intervalo de tiempo de canal 0 en las tramas que no contienen la señal de alineación de trama. Esto debe efectuarse lo más pronto posible.

3.2.4 Aplicación de la señal de indicación de alarma (véase la Observación 1) a todos los intervalos de tiempo recibidos, asignados a la telefonía, la transmisión de datos y/o la señalización. Esto debe efectuarse lo más pronto posible, y no después de 2 ms a partir de la detección de las condiciones de avería mencionadas en los puntos 3.1.1, 3.1.2, 3.1.3 y 3.1.4.

Observación 1. — El contenido binario equivalente de la señal de indicación de alarma (AIS) es un tren continuo de unos binarios.

Observación 2. — Las mencionadas condiciones de temporización se aplican igualmente al restablecimiento subsiguiente a la desaparición de una condición de avería.

Observación 3. — La utilización de estas indicaciones dependerá de las disposiciones de conmutación y señalización a nivel nacional. Si es necesario, pueden preverse, a nivel nacional, indicaciones separadas para algunas de las condiciones de avería enumeradas.

La reacción del equipo de proceso ante la recepción de una indicación de avería y los tiempos en que deben darse las alarmas de servicio y de mantenimiento deberán ser objeto de ulterior estudio.

CUADRO I/G.734 – Condiciones de avería consiguientes en la central numérica

Condición de avería (véase el punto 3.1)	Operaciones consiguientes (véase el punto 3.2)			
	Transmisión de una indicación de alarma de servicio	Transmisión de una indicación de alarma para mantenimiento inmediato	Transmisión de una indicación de alarma hacia el extremo distante	Aplicación de AIS en el equipo terminal de central
Fallo de la fuente de energía	Sí	Sí	Sí, de ser posible en la práctica	Sí, de ser posible en la práctica
Pérdida de la señal entrante a 2048 kbitios/s	Sí	Sí	Sí	Sí
Pérdida de la alineación de trama	Sí	Sí	Sí	Sí
Proporción de errores de 1×10^{-3} en la señal de alineación de trama	Sí	Sí	Sí	Sí
Indicación de alarma recibida del extremo distante	Sí			

Observación. – Un *Sí* en el cuadro significa que debe efectuarse una operación como consecuencia de la correspondiente condición de avería. Un *espacio en blanco* en el cuadro significa que la operación correspondiente *no* debe efectuarse como consecuencia de la condición de avería pertinente, si esta condición es la única presente. Si apareciese simultáneamente más de una condición de avería, la operación correspondiente deberá efectuarse sí, con relación a la misma, aparece por lo menos un *Sí*.

7.4 Características principales de los equipos múltiplex de segundo orden

Recomendación G.741

CONSIDERACIONES GENERALES SOBRE LOS EQUIPOS MÚLTIPLEX DE SEGUNDO ORDEN

(Ginebra, 1972; modificada en Ginebra, 1976)

Las características de los equipos múltiplex MIC y numéricos de segundo orden, están actualmente en estudio.

El CCITT,

considerando:

- a) que existen equipos múltiplex de primer y segundo orden distintos, según las características de las diferentes redes y de los diversos tipos de señales que han de transmitirse en dichas redes;
- b) que, a pesar de que se prosiguen estudios para reducir las diferencias entre los distintos sistemas, la situación actual no variará en un futuro próximo,

recomienda lo siguiente:

Si dos países que utilizan equipos múltiplex primarios a 2048 kbitios/s, como el equipo múltiplex MIC descrito en la Recomendación G.732, deben conectarse por un trayecto numérico con velocidad binaria de segundo orden, conviene que esta velocidad binaria sea de 8448 kbitios/s.

Si dos países que utilizan equipos múltiplex primarios a 1544 kbitios/s, como el equipo múltiplex MIC descrito en la Recomendación G.733, deben conectarse por un trayecto numérico con velocidad binaria de segundo orden, conviene que esta velocidad binaria sea de 6312 kbitios/s.

Por el momento, es muy conveniente definir un método preferido para la interconexión de sistemas diferentes (véase la Cuestión 14/XVIII).

En las Recomendaciones G.742 y G.743 se indican las características de los equipos múltiplex numéricos de segundo orden que utilizan justificación positiva, y en la Recomendación G.745 se indican las características de los equipos múltiplex de segundo orden que emplean justificación positiva/negativa. En la Recomendación G.744 se indican las características de los equipos múltiplex MIC a 8448 kbitios/s.

Sin embargo, se reconoce que en las redes numéricas en desarrollo pudieran ser necesarios equipos múltiplex numéricos sincrónicos, especialmente al introducirse la conmutación numérica. El Anexo contiene propuestas sobre estos equipos.

Dado que la estructura de trama para equipos múltiplex numéricos sincrónicos (véase el Anexo) es casi igual a las estructuras de trama descritas en las Recomendaciones G.744 y G.746, el CCITT se ha propuesto estudiar la posibilidad de preparar una sola Recomendación para estos tipos de equipos.

ANEXO

(a la Recomendación G.741)

Características de los equipos múltiplex numéricos sincrónicos que funcionan a 8448 kbitios/s

1. *Velocidad binaria*

La velocidad binaria nominal es de 8448 kbitios/s.

La tolerancia para dicha velocidad es de $\pm 30 \times 10^{-6}$.

2. *Estructura de trama*

El Cuadro 1 indica:

- la velocidad binaria y el número de afluentes;
- el número de intervalos de tiempo por trama;
- el plan de numeración de intervalos de tiempo;
- la asignación de los intervalos de tiempo;
- la señal de alineación de trama de 14 bitios de longitud, distribuida en los intervalos de tiempo 0 y 66.

3. *Pérdida y recuperación de la alineación de trama y operaciones consiguientes*

Se considera que se ha perdido la alineación de trama cuando se han recibido con error en sus posiciones previstas cuatro señales de alineación de trama consecutivas.

Cuando se considera perdida la alineación de trama, el dispositivo de alineación de trama decidirá que se ha recuperado efectivamente la alineación cuando detecte la presencia de tres señales de alineación de trama consecutivas.

Después que el dispositivo de alineación de trama detecte la aparición de una sola señal de alineación de trama correcta, comienza inmediatamente a buscar de nuevo la señal de alineación de trama si detecta la ausencia de ésta en una de las dos tramas siguientes.

Tan pronto como se pierda la alineación de trama, y mientras no haya sido recuperada, se enviará por todos los afluentes, a la salida del demultiplexor, una secuencia definida. El contenido binario equivalente de esta secuencia (señal de indicación de alarma, AIS) a 2048 kbitios/s es un tren continuo de unos.

CUADRO 1 — Estructura de trama para el multiplexaje numérico sincrónico a 8448 kbitios/s

Capacidad binaria de los afluentes (kbitios/s) ^a	2048
Número de afluentes	4
Estructura de trama	Plan de numeración de los intervalos de tiempo
Señal de alineación de trama (los 6 primeros bits de 14 son 11100110)	0
Intervalos de tiempo de alineación de trama de los afluentes	1 a 4
Intervalos de tiempo de los afluentes	5 a 32
Intervalo de tiempo de reserva	33
Intervalos de tiempo de los afluentes	34 a 65
Señal de alineación de trama (los 6 últimos bits de 14 son 100000)	66
Bits de servicio (bits 7 y 8)	66
Intervalos de tiempo de señalización de los afluentes	67 a 70
Intervalos de tiempo de los afluentes	71 a 98
Intervalo de tiempo de reserva	99
Intervalos de tiempo de los afluentes	100 a 131
Longitud de trama	132 intervalos de tiempo
Número de canales telefónicos	120

^a La estructura de trama de los afluentes debiera ser la recomendada para los equipos multiplex MIC a 2048 kbitios/s.

4. Método de multiplexaje

Se recomienda el multiplexaje de las señales por entrelazado cíclico de los intervalos de tiempo, según el orden de numeración de los afluentes. La estructura de trama de los afluentes debe ser la recomendada para los equipos multiplex MIC a 2048 kbitios/s. Los intervalos de tiempo utilizados para las señales de alineación de trama de los afluentes deben identificarse a la entrada del multiplexor y pasar por multiplexaje a las posiciones de intervalo de tiempo asignadas, posiciones 1 a 4 de la trama a 8448 kbitios/s.

5. Fluctuación de fase

Convendría estudiar y especificar la magnitud de la fluctuación de fase admisible a la entrada del multiplexor y a la entrada del demultiplexor, así como a la salida del multiplexor y a la salida del demultiplexor.

6. Interfaces numéricos

Los interfaces numéricos a 2048 kbitios/s y 8448 kbitios/s deberán ser conformes a la Recomendación G.703.

7. Señal de temporización

De ser económicamente factible, sería conveniente disponer de la posibilidad de obtener la señal de temporización del multiplexor tanto de una fuente externa como de una fuente interna.

8. *Digitos de servicio*

Hay dos digitos por trama disponibles para funciones de servicio. El bitio 7 del intervalo de tiempo 66 se utiliza para transmitir una indicación de alarma al equipo múltiplex distante cuando se detecten condiciones de avería específicas en el equipo múltiplex.

9. *Intervalos de tiempo de reserva*

Los intervalos de tiempo 33 y 99 están reservados para uso nacional. En un trayecto numérico que atraviesa una frontera internacional, los bitios de estos intervalos de tiempo se fijan al estado 1.

Recomendación G.742

EQUIPO MÚLTIPLEX NUMÉRICO DE SEGUNDO ORDEN QUE FUNCIONA
A 8448 kbitios/s Y EMPLEA JUSTIFICACIÓN POSITIVA

(Ginebra, 1972; modificada en Ginebra, 1976)

1. *Consideraciones generales*

El equipo múltiplex numérico de segundo orden con justificación positiva que se describe a continuación está destinado a ser utilizado en trayectos numéricos entre países que usan equipos múltiplex primarios a 2048 kbitios/s.

2. *Velocidad binaria*

La velocidad binaria nominal es 8448 kbitios/s.

La tolerancia para esta velocidad es de $\pm 30 \times 10^{-6}$.

3. *Estructura de trama*

En el Cuadro 1/G.742 se indica:

- la velocidad binaria y el número de afluentes;
- el número de bitios por trama;
- el plan de numeración de los bitios;
- la asignación de los bitios, y
- la señal de alineación de trama concentrada.

4. *Pérdida y recuperación de la alineación de trama*

Se considera que se ha perdido la alineación de trama cuando se han recibido con error en sus posiciones previstas cuatro señales de alineación de trama consecutivas.

Cuando se considera perdida la alineación de trama, el dispositivo de alineación de trama decidirá que se ha recuperado efectivamente la alineación cuando detecte la presencia de tres señales de alineación de trama consecutivas.

Después que el dispositivo de alineación de trama detecte la aparición de una sola señal de alineación de trama correcta, comienza inmediatamente a buscar de nuevo la señal de alineación de trama si detecta la ausencia de ésta en una de las dos tramas siguientes.

Observación. — Como no es estrictamente necesario especificar en detalle el método de alineación de trama, puede utilizarse cualquier sistema, siempre que el funcionamiento obtenido sea por lo menos tan eficaz, en todos los aspectos, como el que proporciona el óscrito.

CUADRO 1/G.742 – Estructura de trama para el multiplexaje a 8448 kbitios/s

Velocidad binaria de los afluentes (kbitios/s)	2048
Número de afluentes	4
Estructura de trama	Plan de numeración de los bitios
Señal de alineación de trama (1111010000) Indicación de alarma destinada al equipo múltiplex numérico distante Bitio reservado para uso nacional Bitios de los afluentes Bitios C_{j1} de control de justificación (véase la Observación) Bitios de los afluentes Bitios C_{j2} de control de justificación (véase la Observación) Bitios de los afluentes Bitios C_{j3} de control de justificación (véase la Observación) Bitios justificables, provenientes de los afluentes Bitios de los afluentes	<i>Grupo I</i> 1 a 10 11 12 13 a 212 <i>Grupo II</i> 1 a 4 5 a 212 <i>Grupo III</i> 1 a 4 5 a 212 <i>Grupo IV</i> 1 a 4 5 a 8 9 a 212
Longitud de trama Bitios por afluente Velocidad máxima de justificación por afluente Relación nominal de justificación	848 bitios 206 bitios 10 kbitios/s 0,424

Observación. – C_{ji} designa el bitio número i de control de justificación del afluente número j .

5. Método de multiplexaje

Se recomienda el entrelazado cíclico de los bitios según el orden de numeración de los afluentes, y justificación positiva.

La señal de control de justificación debe estar distribuida y emplear los bitios C_{jn} ($n = 1, 2, 3$; véase el Cuadro 1/G.742).

La justificación positiva debe indicarse por la señal 111, y la ausencia de justificación por la señal 000. Se recomienda la decisión por mayoría.

El Cuadro 1/G.742 indica la velocidad máxima de justificación por afluente y la relación nominal de justificación.

6. Fluctuación de fase

Convendría estudiar y especificar la magnitud de la fluctuación de fase admisible a la entrada del multiplexor y a la entrada del demultiplexor, así como a la salida del multiplexor y a la salida del demultiplexor.

7. Interfaces numéricos

Los interfaces numéricos a 2048 kbitios/s y 8448 kbitios/s deben ser conformes a la Recomendación G.703.

8. *Señal de temporización*

De ser económicamente factible, sería conveniente disponer de la posibilidad de obtener la señal de temporización del multiplexor tanto de una fuente externa como de una fuente interna.

9. *Dígitos de servicio*

Hay dos bits por trama disponibles para funciones de servicio. El bitio 11 del grupo I se utiliza para transmitir una indicación de alarma al equipo múltiplex distante cuando se detectan condiciones de avería especificadas en el equipo múltiplex (véase el punto 10). El bitio 12 del grupo I está reservado para uso nacional. En un trayecto numérico que atravesase una frontera, el valor de este bitio se fijará a 1.

10. *Condiciones de avería y operaciones consiguientes*10.1 *Condiciones de avería*

El equipo múltiplex MIC deberá detectar las siguientes condiciones de avería:

10.1.1 Fallo de la fuente de energía.

10.1.2 Pérdida de la señal entrante a 2048 kbitios/s a la entrada del multiplexor.

Observación. — Si se utilizan circuitos separados para la señal numérica y la señal de temporización, la pérdida de cualquiera de estas señales, o de ambas, se considerará como una pérdida de la señal entrante.

10.1.3 Pérdida de la señal entrante a 8448 kbitios/s a la entrada del demultiplexor.

Observación 1. — La detección de esta condición de avería sólo es necesaria cuando, como consecuencia de la misma, no se produce una indicación de pérdida de la alineación de trama.

Observación 2. — Cuando se utilicen circuitos separados para la señal numérica y la señal de temporización, la pérdida de cualquiera de estas señales, o de ambas, se considerará como una pérdida de la señal entrante.

10.1.4 Pérdida de la alineación de trama.

10.1.5 Indicación de alarma recibida del equipo múltiplex distante en la entrada a 8448 kbitios/s del demultiplexor (véase el punto 10.2.2).

10.2 *Operaciones consiguientes*

Tras la detección de una condición de avería, se efectuarán las operaciones pertinentes especificadas en el Cuadro 2/G.742. Estas operaciones son las siguientes:

10.2.1 Transmisión de una indicación de alarma para mantenimiento inmediato, generada para notificar que la calidad está por debajo de normas aceptables y que es necesario efectuar una operación de mantenimiento local. Cuando se detecta la señal de indicación de alarma (AIS, véase la Observación 2 del punto 10.2.5) a 8448 kbitios/s en la entrada del demultiplexor, deberá inhibirse la indicación de alarma para mantenimiento inmediato asociada a la pérdida de la alineación de trama.

Observación. — Se deja a discreción de las Administraciones la utilización y ubicación de eventuales alarmas visuales y/o audibles activadas por esta indicación de alarma para mantenimiento.

10.2.2 Transmisión de una indicación de alarma hacia el equipo múltiplex distante, pasando del estado 0 al estado 1 el bitio 11 del grupo I en la salida a 8448 kbitios/s del multiplexor.

10.2.3 Aplicación de la señal de indicación de alarma (véase la Observación 2 del punto 10.2.5) a las cuatro salidas de afluente a 2048 kbitios/s del demultiplexor.

10.2.4 Aplicación de la señal de indicación de alarma (véase la Observación 2) en la salida a 8448 kbitios/s del multiplexor.

10.2.5 Aplicación de la señal de indicación de alarma (véase la Observación 2) a los intervalos de tiempo de la señal a 8448 kbitios/s en la salida del multiplexor que corresponde al afluente a 2048 kbitios/s pertinente.

Observación 1. — La velocidad binaria de la señal de indicación de alarma a la salida del demultiplexor correspondiente debe ser la especificada para los afluentes. El método para efectuar esto está en estudio.

Observación 2. — El contenido binario equivalente de la señal de indicación de alarma (AIS) a 2048 kbitios/s y 8448 kbitios/s es un tren continuo de unos.

CUADRO 2/G.742 – Condiciones de avería y operaciones consiguientes

Parte del equipo	Condiciones de avería (véase el punto 10.1)	Operaciones consiguientes (véase el punto 10.2)				
		Transmisión de una indicación de alarma para mantenimiento inmediato	Transmisión de una indicación de alarma hacia el equipo múltiplex distante	Aplicación de la AIS		
				A todos los afluentes	A la señal compuesta	A los intervalos de tiempo pertinentes de la señal compuesta
Multiplexor y demultiplexor	Fallo de la fuente de energía	Sí		Sí, de ser posible en la práctica	Sí, de ser posible en la práctica	
Multiplexor solamente	Pérdida de la señal entrante en un afluente	Sí				Sí
Demultiplexor solamente	Pérdida de la señal entrante a 8448 kbitios/s	Sí	Sí	Sí		
	Pérdida de la alineación de trama	Sí	Sí	Sí		
	Indicación de alarma recibida del equipo múltiplex distante					

Nota. – Un *Sí* en el cuadro significa que debe efectuarse una operación como consecuencia de la correspondiente condición de avería. Un *espacio en blanco* en el cuadro significa que la operación correspondiente *no* debe efectuarse como consecuencia de la condición de avería pertinente, si esta condición es la única presente. Si apareciese simultáneamente más de una condición de avería, la operación correspondiente deberá efectuarse *sí*, con relación a la misma, aparece por lo menos un *Sí*.

Recomendación G.743

EQUIPO MÚLTIPLEX NUMÉRICO DE SEGUNDO ORDEN QUE FUNCIONA A 6312 kbitios/s Y EMPLEA JUSTIFICACIÓN POSITIVA

(Ginebra, 1972; modificada en Ginebra, 1976)

1. Consideraciones generales

El equipo múltiplex numérico de segundo orden con justificación positiva que se describe a continuación está destinado a ser utilizado en trayectos numéricos entre países que usan equipos múltiplex primarios a 1544 kbitios/s.

2. Velocidad binaria

La velocidad binaria nominal es de 6312 kbitios/s.

La tolerancia para esta velocidad de $\pm 30 \times 10^{-6}$.

Estructura de trama

En el Cuadro 1/G.743 se indica:

- la velocidad binaria y el número de afluentes;
- el número de bitios por trama;
- el plan de numeración de los bitios;
- la asignación de bitios, y
- las señales de alineación de trama y de multitrama distribuidas.

CUADRO 1/G.743 — Estructura de trama para el multiplexaje a 6312 kbitios/s

Velocidad binaria de los afluentes (kbitios/s)	1544
Número de afluentes	4
Estructura de trama (véanse las Observaciones 1 y 2)	Plan de numeración de los bitios
Bitio para la señal de alineación de multitrama (M_j) [véase la Observación 1] Bitios de los afluentes	Grupo I 1 2 a 49
Primer bitio para la señal de control de justificación (C_{j1}) Bitios de los afluentes	Grupo II 1 2 a 49
Primer bitio para la señal de alineación de trama (F_0) [véase la Observación 3] Bitios de los afluentes	Grupo III 1 2 a 49
Segundo bitio para la señal de control de justificación (C_{j2}) Bitios de los afluentes	Grupo IV 1 2 a 49
Tercer bitio para la señal de control de justificación (C_{j3}) Bitios de los afluentes	Grupo V 1 2 a 49
Segundo bitio para la señal de alineación de trama (F_1) [véase la Observación 3] Bitios de los afluentes (Véase la Observación 4)	Grupo VI 1 2 a 49
Longitud de trama Longitud de multitrama Bitios por afluente y por multitrama (incluida la justificación) Velocidad máxima de justificación por afluente Relación nominal de justificación	294 bitios 1176 bitios 288 bitios 536 bitios/s 0,334

Observación 1. — Esta trama se repite cuatro veces para formar una multitrama, cuyas tramas se designan por $i = 1, 2, 3, 4$. La señal de alineación de multitrama consiste en un esquema 011x; x puede utilizarse como bitio de servicio para la transmisión de tramas.

Observación 2. — Los bitios del segundo y del cuarto afluente son invertidos lógicamente, antes del multiplexaje, con los bitios del primer y del tercer afluente.

Observación 3. — La señal de alineación de trama es $F_0 = 0$ y $F_1 = 1$.

Observación 4. — El bitio disponible para la justificación del afluente j se encuentra en el primer intervalo de tiempo del afluente j que sigue a F_1 en la trama número j .

4. *Pérdida y recuperación de la alineación de trama y multitrama y operaciones consiguientes*

El tiempo de recuperación de la alineación de trama no debería rebasar 16 ms. Debe estudiarse la señal que hay que aplicar a los afluentes durante el tiempo que dure la pérdida de alineación de trama

Una vez establecida la alineación de trama, la alineación de multitrama debe restablecerse en menos de 420 μ s.

5. *Método de multiplaje*

Se recomienda el entrelazado cíclico de los bits según el orden de numeración de los afluentes, y justificación positiva.

La señal de control de justificación debe estar distribuida y emplear los bits C_n ($n = 1, 2, 3$; véase el Cuadro 1/G.743).

La justificación positiva debe indicarse por la señal 111, y la ausencia de justificación por la señal 000. Se recomienda la decisión por mayoría.

El Cuadro 1/G.743 indica la velocidad máxima de justificación por afluente y la relación nominal de justificación.

6. *Fluctuación de fase*

Convendría estudiar y especificar la magnitud de la fluctuación de fase que debe aceptarse a la entrada del multiplexor y a la entrada del demultiplexor, así como a la salida del multiplexor y a la salida del demultiplexor.

7. *Interfaces numéricos*

Los interfaces numéricos a 1544 kbitios/s y 6312 kbitios/s deberán ser conformes a la Recomendación G.703.

8. *Señal de temporización*

De ser económicamente factible, sería conveniente disponer de la posibilidad de obtener la señal de temporización del multiplexor tanto de una fuente externa como de una fuente interna.

9. *Dígitos de servicio*

Los dígitos de servicio están reservados para uso nacional.

Recomendación G.744

EQUIPO MÚLTIPLEX MIC DE SEGUNDO ORDEN QUE FUNCIONA A 8448 kbitios/s

(Ginebra, 1976)

1. *Características generales*

1.1 *Características fundamentales*

La ley de codificación utilizada es la ley A especificada en la Recomendación G.711. La velocidad de muestreo, el nivel de sobrecarga y el código están también especificados en dicha Recomendación.

El número de valores cuantificados es de 256.

Observación. — La inversión de los bits 2, 4, 6 y 8 es objeto de la ley de codificación, y sólo aplicable a intervalos de tiempo de canal telefónico.

1.2 *Velocidad binaria*

A N E X O B



2911A PCM CODEC — A LAW 8-BIT COMPANDED A/D AND D/A CONVERTER

2911A-1	Microcomputer* Mode or Direct Mode
2911A-2	Direct Mode Only

- Per Channel, Single Chip Codec
- CCITT G711 and G732 Compatible, Even Order Bits Inversion Included
- Microcomputer Interface with On-Chip Time-Slot Computation (2911A-1)
- Simple Direct Mode Interface When Fixed Timeslots Are Used
- 66 dB Dynamic Range, with Resolution Equivalent to 11-Bit Linear Conversion Around Zero
- $\pm 5\%$ Power Supplies: +12V, +5V, -5V
- Precision On-Chip Voltage Reference
- Low Power Consumption 230 mW Typ. Standby Power 33 mW Typ.
- Fabricated with Reliable N-Channel MOS Process

The Intel[®] 2911A is a fully integrated PCM (Pulse Code Modulation) Codec (Coder-Decoder), fabricated with N-channel silicon gate technology. The high density of integration allows the sample and hold circuits, the digital-to-analog converter, the comparator and the successive approximation register to be integrated on the same chip, along with the logic necessary to interface a full duplex PCM link.

The primary applications are in telephone systems:

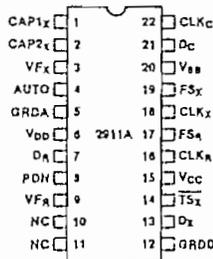
- Transmission — 30/32 Channel Systems at 2,048 Mbps
- Switching — Digital PBX's and Central Office Switching Systems
- Concentration — Subscriber Carrier/Concentrators

The wide dynamic range of the 2911A (66dB) and the minimal conversion time (80 μ sec minimum) make it an ideal product for other applications, like:

- Data Acquisition
- Secure Communications Systems
- Telemetry
- Signal Processing Systems

*Microcomputer mode is explained on page 4.

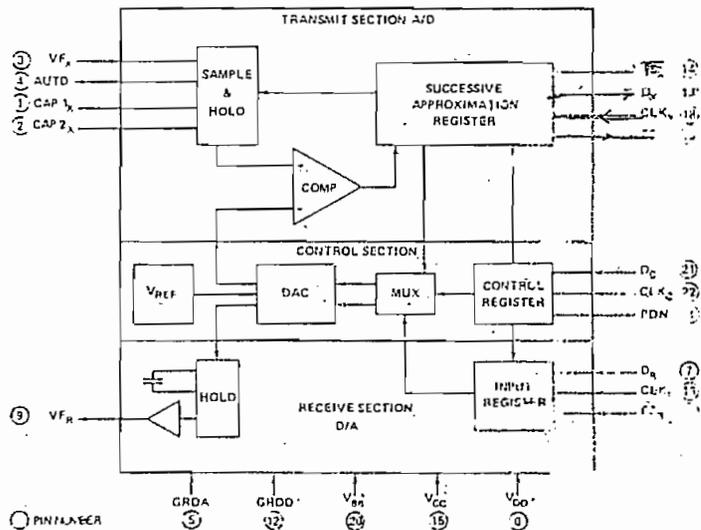
PIN CONFIGURATION



PIN NAMES

CAP1x, CAP2x	Holding Capacitor
VFx	Analog Input
VFx	Analog Output
DA, Dc	Digital Input
Dx, TSx	Digital Output
CLKc, CLKx, CLKs	Clock Input
FSx, FSa	Frame Sync Input
AUTO	Auto Input Output
VBB	Power (+5V)
VCC	Power (+5V)
VDD	Power (+12V)
PDN	Power Down
GRDA	Analog Ground
GRDD	Digital Ground
NC	No Connect

BLOCK DIAGRAM



PIN DESCRIPTION

Pin No.	Symbol	Function	Description
1	CAP1 _X	Hold	Connections for the transmit holding capacitor. Refer to Applications section.
2	CAP2 _X		
3	VF _X	Input	Analog input to be encoded into a PCM word. The signal on this lead is sampled at the same rate as the transmit frame synchronization pulse FS _X , and the sample value is held in the external capacitor connected to the CAP1 _X and CAP2 _X leads until the encoding process is completed.
4	AUTO	Output	Most significant bit of the encoded PCM word (+5V for negative, -5V for positive values). Refer to the Codec Applications section.
5	GRDA	Ground	Analog return common to the transmit and receive analog circuits. Not connected to GRDD internally.
6	V _{DD}	Power	+12V ± 5%; referenced to GRDA.
7	D _R	Input	Receive PCM highway (serial bus) interface. The Codec serially receives a PCM word (8 bits) through this lead at the proper time defined by FS _R , CLK _R , D _C , and CLK _C .
8	PDN	Output	Active high when the Codec is in the power down mode. TTL interface. Open drain output.
9	VF _R	Output	Analog output. The voltage present on VF _R is the decoded value of the PCM word received on lead D _R . This value is held constant between two conversions.
10	NC	No Connects	Recommended practice is to strap these NC's to GRDA.
11	NC		
12	GRDD	Ground	Ground return common to the logic power supply; V _{CC} .
13	D _X	Output	Output of the transmit side onto the send PCM highway (serial bus). The 8-bit PCM word is serially sent out on this pin at the proper time defined by FS _X , CLK _X , D _C , and CLK _C . TTL three-state output.

Pin No.	Symbol	Function	Description
14	TS _X	Output	Normally high, this signal goes low while the Codec is transmitting an 8-bit PCM word on the D _X lead. (Timeslot information used for diagnostic purposes and also to gate the data on the D _X lead.) TTL interface, open drain output.
15	V _{CC}	Power	+5V ± 5%, referenced to GRDD.
16	CLK _R	Input	Master receive clock defining the bit rate on the receive PCM highway. Typically 2.048 Mbps for a carrier system. Maximum rate 2.1 Mbps. 50% duty cycle. TTL compatible.
17	FS _R	Input	Frame synchronization pulse for the receive PCM highway. Resets the on-chip timeslot counter for the receive side. Maximum repetition rate 12 KHz. TTL interface.
18	CLK _X	Input	Master transmit clock defining the bit rate on the transmit PCM highway. Typically 2.048 Mbps for a carrier system. Maximum rate 2.1 Mbps. 50% duty cycle. TTL interface.
19	FS _X	Input	Frame synchronization pulse for the transmit PCM highway. Resets the on-chip timeslot counter for the transmit side. Maximum repetition rate 12 KHz. TTL interface.
20	V _{BB}	Power	-5V ± 5%, referenced to GRDA.
21	D _C	Input	Data input to program the Codec for the chosen mode of operation. Becomes an active low chip select when CLK _C is tied to V _{CC} . TTL interface.
22	CLK _C	Input	Clock input to clock in the data on the D _C lead when the timeslot assignment feature is used; tied to V _{CC} to disable this feature. TTL interface.

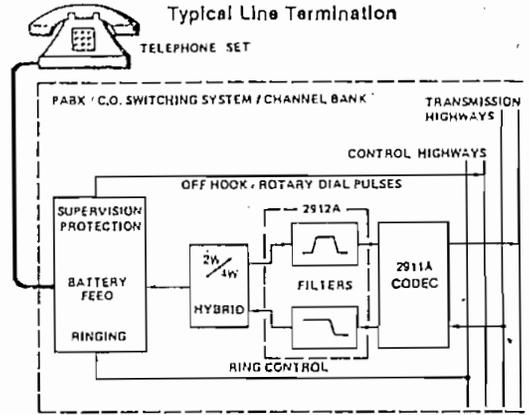
FUNCTIONAL DESCRIPTION

The 2911A PCM Codec provides the analog-to-digital and the digital-to-analog conversions necessary to interface a full duplex (4 wires) voice telephone circuit with the PCM highways of a time division multiplexed (TDM) system. The Codec is intended to be used on line and trunk terminations.

In a typical telephone system the Codec is located between the PCM highways and the channel filters.

The Codec encodes the incoming analog signal at the frame rate (FS_x) into an 8-bit PCM word which is sent out on the D_x lead at the proper time. Similarly, on the receive link, the Codec fetches an 8-bit PCM word from the receive highway (D_R lead) and decodes an analog value which will remain constant on lead VF_R until the next receive frame. Transmit and receive frames are independent. They can be asynchronous (transmission) or synchronous (switching) with each other.

Circuitry is provided within the Codec to internally define the transmit and receive timeslots. In small systems this may eliminate the need for any external timeslot exchange; in large systems it provides one level of concentration. This feature can be bypassed and



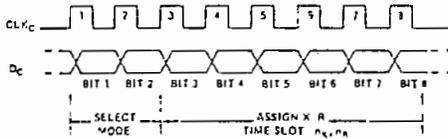
Functional Block Diagram of Line Circuit

discrete timeslots sent to each Codec within a system. In the power-down mode, most functions of the Codec are directly disabled to reduce power dissipation to a minimum.

CODEC OPERATION

Codec Control

The operation of the 2911A is defined by serially loading an 8-bit word through the D_C lead (data) and the CLK_C lead (clock). The loading is asynchronous with the other operations of the Codec, and takes place whenever transitions occur on the CLK_C lead. The D_C input is loaded in during the trailing edge of the CLK_C input.



The control word contains two fields:

Bit 1 and Bit 2 define whether the subsequent 6 bits apply to both the transmit and receive side (00), the transmit side only (01), the receive side only (10), or whether the Codec should go into the standby, power-down mode (11). In the last case (11), the following 6 bits are irrelevant.

The last 6 bits of the control word define the timeslot assignment, from 000000 (timeslot 1) to 111111 (timeslot 64). Bit 3 is the most significant bit and bit 8 the least significant bit and last into the Codec.

Bit 1	Bit 2	Mode
0	0	X & R
0	1	X
1	0	R
1	1	Standby

Bit						Time-Slot
3	4	5	6	7	8	
0	0	0	0	0	0	1
0	0	0	0	0	1	2
.
.
1	1	1	1	1	1	64

The Codec will retain the control word (or words) until a new word is loaded in or until power is lost. This feature permits dynamic allocation of timeslots for switching applications.

Microcomputer Control Mode (2911A-1)

In the microcomputer mode, each Codec performs its own timeslot computation independently for the transmit and receive channels by counting clock pulses (CLK_X and CLK_R). All Codecs tied to the same data bus receive identical framing pulses (FS_X and FS_R). The framing pulses reset the on-chip timeslot counters every frame; hence the timeslot counters of all devices are synchronized. Each Codec is programmed via CLK_C and D_C for the desired transmit and receive timeslots according to the description in the Codec Control Section. All Codecs tied to the same D_R bus will, in general, have different receive timeslots, although that is not a device requirement. There may be separate busses for transmit and receive or all Codecs may transmit and receive over the same bus, in which case the transmit and receive channels must be synchronous (CLK_X = CLK_R). There are no other restrictions on timeslot assignments: a device may have the same transmit and receive timeslot even if a single bus is used.

There are several requirements for using the CLK_C-D_C interface in the microcomputer mode.

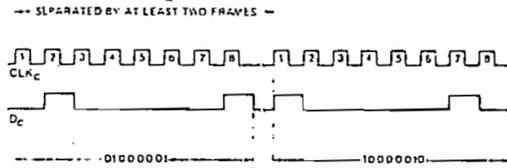
1. A complete timeslot assignment, consisting of eight negative transitions of CLK_C, must be made in less than one frame period. The assignment can overlap a framing pulse so long as all 8 control bits are clocked in within a total span of 125 μsec (for an 8KHz frame rate). CLK_C must be left at a TTL low level when not assigning a timeslot.
2. A dead period of two frames must always be observed between successive timeslot assignments. The two frame delay is measured from the rising edge of the first CLK_C transition of the previous timeslot assigned.
3. When the device is in the power-down state a single control word will suffice to power-up the Codec and make a timeslot assignment. That is, the first assignment brings the device out of power-down and registers the timeslot information in the lower six bits of the control word.

4. Initialization sequence: The device contains an on-chip power-on clear function which guarantees that with proper sequencing of the supplies (V_{CC} or V_{DD} on last), the device will initialize with no timeslot assigned to either the transmit or receive channel. After a supply failure or whenever the supplies are applied, it is recommended that either power down assignment be made first, or the first timeslot assignment be a transmit timeslot or a transmit/receive timeslot. The consequence of making a receive timeslot assignment first, after supply application, is that the transmit channel will assume timeslot 1, potentially producing bus contention.

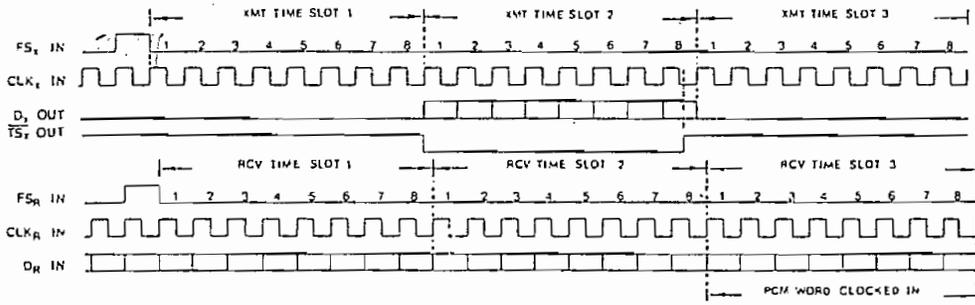
5. Transmit only/receive only operation is permitted provided that a power down assignment is made first. Otherwise, special circuits which use only one channel should be physically disconnected from the unused bus; this allows a timeslot to be made to an unused channel without consequence.

Example of Microcomputer Control Mode:

The two words 01000001 and 10000010 have been loaded into the Codec. The transmit side is now programmed for timeslot 2 and the receive side for timeslot 3. The Codec will output a PCM word on the transmit PCM highway (bus) during the timeslot 2 of the transmit frame, and will fetch a PCM word from the receive PCM highway during timeslot 3.



In this example the Codec interface to the PCM highway then functions as shown below. (FS_X and FS_R may be asynchronous.)



Direct Control Mode

The direct mode of operation will be selected when the CLK_C pin is strapped to the +5 volt supply (V_{CC}). In this mode, the D_C pin is an active low chip select. In other words, when D_C is low, the device transmits and receives in the timeslots which follow the appropriate

framing pulses. With D_C high the device is in the power down state. Even though CLK_C characteristics are simpler for the 2911A it will operate properly when plugged into a 2911 board.

Deactivation of a channel by removal of the appropriate framing pulse (FS_X or FS_R) is generally not permitted.

Specifically, framing pulses must be applied for a minimum of two frames after a change in state of D_C in order for the D_C change to be internally sensed. In particular, when entering standby in the direct mode, framing pulses must be applied as usual for two frames after D_C is brought high. Thereafter, the framing pulses could, if desired, be removed until such time as the device is to

be reactivated by the reapplication of framing pulses with D_C low.

The Codec will enter the direct mode within three frame times (375 μ sec) as measured from the time the device power supplies settle to within the specified limits. This assumes that CLK_C is tied to V_{CC} and that all clocks are available at the time the supplies have settled.

General Control Requirements

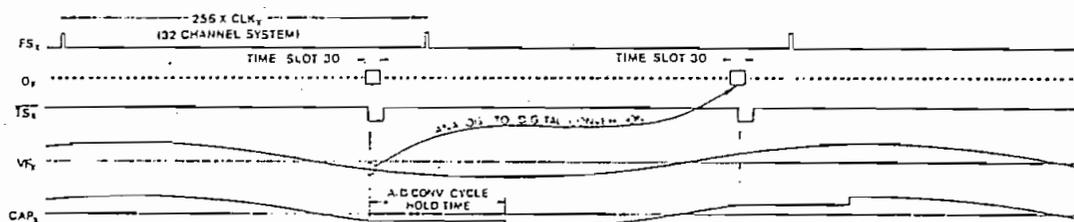
All bit and frame clocks should be applied whenever the device is active. In particular, an unused channel cannot be deactivated by removal of its associated frame or bit clock while the other channel of the same device remains active.

A single channel cannot be deactivated except by physical disconnection of the data lead (D_X or D_R) from the system data bus. A device (both transmit and receive channels) may be deactivated in either control mode by powering down the device. Both channels are always powered down together.

Encoding

The VF signal to be encoded is input on the VF_X lead. An internal switch samples the signal and the hold function is performed by the external capacitor connected to the $CAP1_X$ and $CAP2_X$ leads. The sampling and conversion

is synchronized with the transmit timeslot. The PCM word is then output on the D_X lead at the proper timeslot occurrence of the following frame. The A/D converter saturates at approximately ± 2.2 volts RMS (± 3.1 volts peak).



Decoding

The PCM word is fetched by the D_R lead from the PCM highway at the proper timeslot occurrence. The decoded value is held on an internal sample and hold capacitor.

The buffered non-return to zero output signal on the VF_R lead has a dynamic range of ± 2.2 volts RMS (± 3.1 volts peak).

Standby Mode — Power Down

To minimize power consumption and heat dissipation a standby mode is provided where all Codec functions are disabled except for D_C and CLK_C leads. These allow the Codec to be reactivated. In the microcomputer mode the Codec is placed into standby by loading a control word (D_C) with a "1" in bits 1 and 2 locations. In the direct mode when D_C is brought high, the all "1's" control

word is internally transferred to the control register, invoking the standby condition.

While in the standby mode, the D_X output is actively held in a high impedance state to guarantee that the PCM bus will not be driven.

The power consumption in the standby mode is typically 33mW.

Power-On Clear

Whether the device is used in the direct or microcomputer mode, an internal reset (power-on clear) is generated, forcing the device into the power down state, when power is supplied by any of the following

methods. (1) Device power supplies are turned on, in a system power-up situation where either V_{CC} or V_{DD} is applied last. (2) A large supply transient causes either of the two positive supplies to drop to approximately 2 volts. (3) A board containing Codacs is plugged into a

"hot" system where V_{CC} or V_{DD} is the last contact made. It may be necessary to trim back the edge connector pins or fingers on V_{CC} or V_{DD} relative to the other supply to guarantee that the power-on clear will operate properly when a board is plugged into a "hot" system. Furthermore, the \overline{CS} will inhibit activity on TS_x and

DS_x during the application of power supplies.

The device is also tolerant of transients in the negative supply (V_{BB}) so long as V_{BB} remains more negative than -3.5 volts. V_{BB} transients which exceed this level should be detected and followed by a system reinitialization.

Precision Voltage Reference for the D/A Converter

The voltage reference is generated on the chip and is calibrated during the manufacturing process. The technique uses the difference in sub-surface charge density between two suitably implanted MOS devices to derive a temperature stable and bias stable reference voltage.

A gain setting op amp, programmed during manufacturing, "trims" the reference voltage source to the final precision voltage reference value provided to the D/A converter. The precision voltage reference determines the initial gain and dynamic range characteristics described in the A.C. Transmission Specification section.

CONVERSION LAW

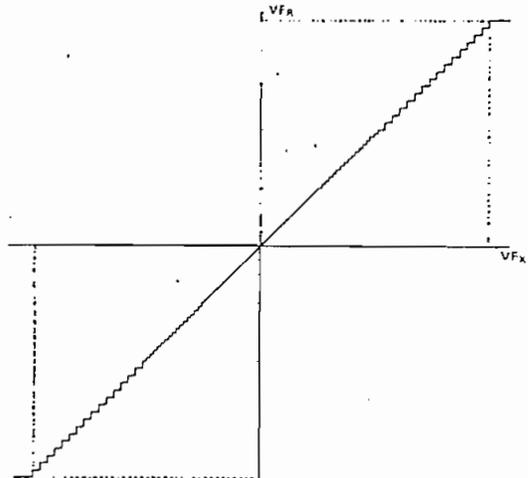
The conversion law is commonly referred to as the A Law.

The Codec provides a piecewise linear approximation of the logarithmic law through 13 segments. Each segment is made of 16 steps with the exception of the first segment, which has 32 steps. In adjacent segments the step sizes are in a ratio of two to one. Within each segment, the step size is constant.

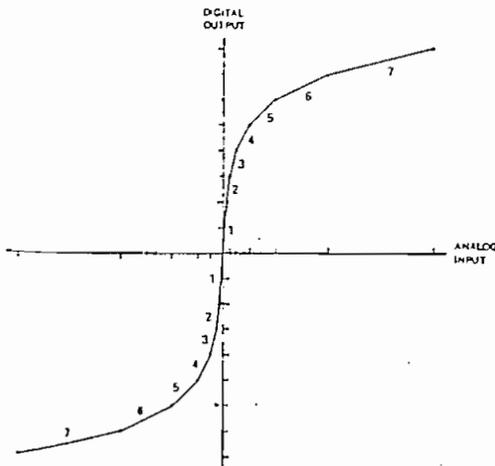
The output levels are midway between the corresponding decision levels. The output levels y_n are related to the input levels x_n by the expression:

$$y_n = \frac{x_{n-1} + x_n}{2}, \quad 0 < n \leq 128$$

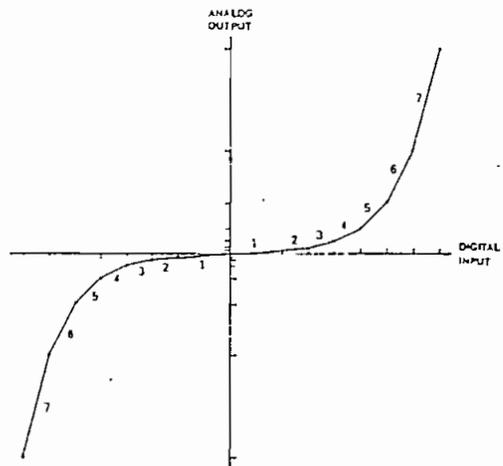
CODEC TRANSFER CHARACTERISTIC



CODER TRANSFER CHARACTERISTIC (A/D CONVERSION)



DECODER TRANSFER CHARACTERISTIC (D/A CONVERSION)



2911A

Theoretical A-Law — Positive Input Values (for Negative Input Values, Invert Bit 1)

1 Segment Number	2 No. of Steps × Step Size	3 Value at Segment End Points	4 Decision Value Number n	5 Decision Value x_n^1	6 PCM Word ⁴	7 Normalized Value at Decoder Output y_n^1	8 Decoder Output Value Number
					8 Bit Number 1 2 3 4 5 6 7 8		
		4096 ³	(128)	(4096)			
7	16 × 128		127	3968	1 1 1 1 1 1 1 1	4032	128
			(see Note 2)				
6	16 × 64	2048	113	2176	1 1 1 1 0 0 0 0	2112	113
			(see Note 2)				
5	16 × 32	1024	97	1088	1 1 1 0 0 0 0 0	1056	97
			(see Note 2)				
4	16 × 16	512	81	544	1 1 0 1 0 0 0 0	528	81
			(see Note 2)				
3	16 × 8	256	65	272	1 1 0 0 0 0 0 0	264	65
			(see Note 2)				
2	16 × 4	128	49	136	1 0 1 1 0 0 0 0	132	49
			(see Note 2)				
1	32 × 2	64	33	68	1 0 1 0 0 0 0 0	66	33
			(see Note 2)				
			1	2			
			0	0	1 0 0 0 0 0 0 0	1	1

Notes:

1. 4096 normalized value units correspond to the value of the on-chip voltage reference.
2. The PCM word corresponding to positive input values between two successive decision values numbered n and n + 1 (see column 4) is (128 + n) expressed as a binary number.
3. X_{128} is a virtual decision value.
4. The PCM word on the highways is the same as the one shown in column 6, with the even order bits inverted. The 2911A provides for the inversion of the even order bits on both the send and receive sections.
5. The voltage output on the V_{FA} lead is equal to the normalized value given in the table, augmented by an offset. The offset value is approximately 15mV.

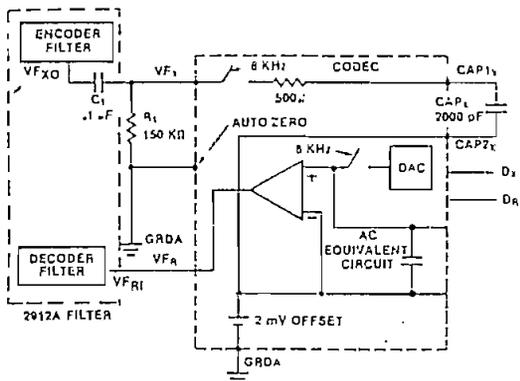
APPLICATIONS

Holding Capacitor

For an 8KHz sampling system the transmit holding capacitor CAP_X should be 2000 pF ± 20%.

Circuit Interface —

Without External Auto Zero



Filters Interface

The filters may be interfaced as shown in the circuit interface diagrams. Note that the output pulse streams of the non-return-to-zero type and hence requires the (sin x)/x correction provided by the 2912A filter.

D_X Buffering

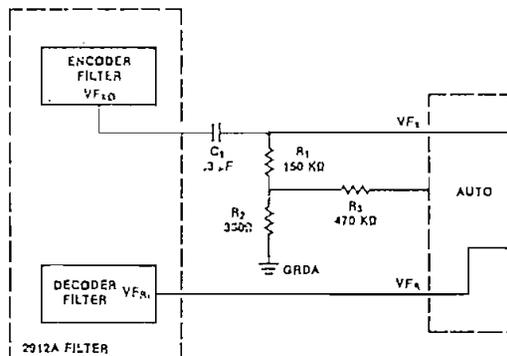
For higher drive capability or increased system reliability it may be desirable that the D_X output of a group of Codecs be buffered from the system PCM bus with an external three-state or open collector buffers. A buffer can be enabled with the appropriate Codec generated TS_X signal or signals. TS_X signal may also be used to activate external zero code suppression logic, since the occurrence of an active state of any TS_X implies the existence of PCM voice bits (as opposed to transparent data bits) on the bus.

Grounding, Decoupling, and Layout Recommendations

The most important steps in designing a low noise line card are to insure that the layout of the circuit components and traces results in a minimum of cross coupling between analog and digital signals, and to provide well bypassed and clean power supplies, solid ground planes, and minimum lead lengths between components.

1. All power source leads should be bypassed to ground on each printed circuit board (PCB), on which codecs are provided. At least one electrolytic bypass capacitor (at least 10 μF) per board is recommended at the point where all power traces from the codecs and filters join prior to interfacing with the edge connector pins assigned to the power leads.
2. When using two-sided PCBs, use both correspond-

**Circuit Interface —
With External Auto Zero**



Auto Zero

The 2911A contains a transparent on-chip auto zero plus a device pin for implementing a sign-bit driven external auto zero feedback loop. The on-chip auto zero reduces the input offset voltage of the encoder (VF_X) to less than 3 mV. For most telephony applications, this input offset is perfectly acceptable, since it insures the encoder is biased in the lower 25% of the first segment.

Where lower input offset is required the external auto zero loop may be used to bias the encoder exactly at the zero crossing point. The consequence of the external auto zero loop, aside from extra components, is the addition of the dithering auto-zero signal to the input signal, resulting in slightly higher idle channel noise (approximately 2 dB) than when the external loop is not used. Consequently, where the application permits, it is recommended that the external auto zero loop not be used.

The circuit interface without external auto zero shows a possible connection between VF_X and AUTO leads with the recommended values of C₁ = 0.1 μF and R₁ = 150 KΩ.

The circuit interface with external auto zero drawing shows a possible connection between VF_X and AUTO leads with the recommended values of C₁ = 0.3 μF, R₁ = 150 KΩ, R₂ = 330 Ω, and R₃ = 470 KΩ.

ing pins on opposite sides of the board for the same power lead. Strap them together both on the PCB and on the back of the edge connector.

3. Lay out the traces on codec- and filter-equipped boards such that analog signal and capacitor leads from the digital clock and data leads are separated as widely as possible.
4. Connect the codec sample and hold capacitor with the shortest leads possible. Mount them as close to the device pins as can be achieved. Shield the capacitor traces with analog ground.
5. Do not lay out any board traces (especially digital) that pass between or near the leads of the sample and hold capacitor(s) since they are in high impedance circuits which are sensitive to noise coupling.
6. Keep analog voice circuit leads paired on their

*loop = loop circuit
2912A filter
brighter - also
will = loop*

- layouts so that no intervening circuit leads are permitted to run parallel to them and/or between them.
7. Arrange the layout for each duplicated line, trunk or channel circuit in identical form.
 8. Line circuits mounted extremely close to adjacent line circuits increase the possibility of interchannel crosstalk.
 9. Avoid assignment of edge connector pins to any analog signal adjacent to any lead carrying digital (periodic) signals or power.
 10. The optimum grounding configuration is to maintain separate digital and analog grounds on the circuit boards, and to carry these grounds back to the power supply with a low impedance connection. This keeps the grounds separate over the entire system except at the power supply.
 11. The voltage difference between ground leads GRDA and GRDD (analog and digital ground) should not exceed two volts. One method of preventing any substantial voltage difference between leads GRDA and GRDD is to connect two diodes back to back in opposite directions across these two ground leads on each board. An additional or alternate method of suppressing ground lead noise is to bridge a RF choke of about 1 to 2 μH or greater, as space allows, between leads GRDA and GRDD on each board.
 12. Codec-filter pairs should be aligned so that pins 9 through 16 of the filter face pins 1 through 12 of the codec. This minimizes the distance for analog connections between devices and with no crossing analog lines.
 13. No digital or high voltage level (such as ringing supply) lines should run under or in parallel with these analog VF connections. If the analog lines are on the top (component side) of the PC board, then GRDD, GRDA, or power supply leads should be directly under them, on the bottom to prevent analog/digital coupling.
 14. Both the codec and filter devices should be shielded from traces on the bottom of the PCB by using ground or power supply leads on the top side directly under the device (like a ground plane).
 15. Two +5 volt power supply leads (V_{CC}) should be used on each PCM, one to the filters, the other to the codecs. These leads should be separately decoupled at the PCB where they then join to a single 5 volt supply at the backplane connector. Decoupling can be accomplished with either a series resistor/parallel capacitor (RC lowpass) or a series RF choke and parallel capacitor for each 5 volt lead. The capacitor should be at least 10 μF in parallel with a 0.1 μF ceramic. This filters both high and low frequencies and accommodates large current spikes due to switching.
 16. Both grounds and power supply leads must have low resistance and inductance. This should be accomplished by using a ground plane whenever possible. When narrower traces must be used, a minimum width of 4 millimeters should be maintained. Either multiple or extra large plated through holes should be used when passing the ground connections through the PCB.
 17. The 2912A PCM filter should have all power supplies bypassed to analog ground (GRDA). The 2911A Codec +5V power supplies should be bypassed to the digital ground (GRDD). This is appropriate when separate +5V power supply leads are used as suggested in item 15. The -5V and +12V supplies should be bypassed to analog ground (GRDA). Bypass capacitors at each device should be high frequency capacitors of approximately 0.1 to 1.0 μF value. Their lead lengths should be minimized by routing the capacitor leads to the appropriate ground plane under the device (either GRDA or GRDD).
 18. Relay operation, ring voltage application, interruptions, and loop current surges can produce enormous transients. Leads carrying such signals must be routed well away from both analog and digital circuits on the line card and in backplanes. Lead pairs carrying current surges should be routed closely together to minimize possible inductive coupling. The microcomputer clock lead is particularly vulnerable, and should be buffered. Care should also be used in the backplane layout to prevent pick-up surges. Any other latching components (relay buffers, etc.) should also be protected from surges.

Absolute Maximum Ratings*

Temperature Under Bias	-10°C to +80°C	V _{CC} , V _{DD} , GRDA, and GRDA with Respect
Storage Temperature	-65°C to +150°C	to V _{BB}
All Input or Output Voltages with Respect to V _{BB}	-0.3V to +20V	-0.3V to +20V
		Power Dissipation.....
		1.35W

*Comment: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. and Operating Characteristics

T_A = 0°C to +70°C, V_{DD} = +12V ± 5%, V_{CC} = +5V ± 5%, V_{BB} = -5V ± 5%, GRDA = 0V, GRDD = 0V, unless otherwise specified.

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ ¹	Max		
DIGITAL INTERFACE						
I _{IL}	Low Level Input Current			10	μA	V _{IN} < V _{IL}
I _{IH}	High Level Input Current			10	μA	V _{IN} > V _{IH}
V _{IL}	Input Low Voltage			0.6	V	
V _{IH}	Input High Voltage	2.2			V	
V _{OL}	Output Low Voltage			0.4	V	D _X , I _{OL} = 4.0 mA T _{SX} , I _{OL} = 3.2 mA, open drain P _{DN} , I _{OL} = 1.6 mA, open drain
V _{OH}	Output High Voltage	2.4			V	D _X , I _{OH} = 15 mA
ANALOG INTERFACE						
Z _{AI}	Input Impedance when Sampling, V _{F_X}	125	300	500	Ω	In series with CAP _X to GRDA, -3.1V < V _{IN} < 3.1V
Z _{AO}	Small Signal Output Impedance, V _{F_R}	100	180	300	Ω	-3.1V < V _{OUT} < 3.1V
V _{OR}	Output Offset Voltage at V _{F_R}	-50		50	mV	Minimum code to D _R
V _{IX}	Input Offset Voltage at V _{F_X}	-5		5	mV	Minimum positive code produced at D _X
V _{OL}	Output Low Voltage, Auto Zero		V _{BB}	(V _{BB} + 2)	V	400 KΩ to GRDA
V _{OH}	Output High Voltage, Auto Zero	(V _{CC} - 2)	V _{CC}		V	400 KΩ to GRDA
POWER DISSIPATION						
I _{DDO}	Standby Current		0.7	1.1	mA	
I _{CCO}	Standby Current		4.0	7.0	mA	
I _{BBO}	Standby Current		1.0	2.5	mA	clock frequency = 2.048 MHz
I _{DDI}	Operating Current		11	16	mA	
I _{CCI}	Operating Current		13	21	mA	
I _{BDI}	Operating Current		4.0	6.0	mA	

Notes:

¹ Typical values are for T_A = 25°C and nominal power supply values.

A.C. Characteristics

$T_A = 0^\circ\text{C}$ to $+70^\circ\text{C}$, $V_{DD} = +12\text{V} \pm 5\%$, $V_{CC} = +5\text{V} \pm 5\%$, $V_{BB} = -5\text{V} \pm 5\%$, $GRDA = 0\text{V}$, $GRDD = 0\text{V}$, unless otherwise specified.

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ ¹	Max		
TRANSMISSION (any two Codecs, end-to-end, unless otherwise specified)						
S/D	Signal to Total Distortion Ratio. CCITT G.712 Method 1	TBD	TBD		dB	signal level -3dBm_0 to -6dBm_0
		TBD	TBD		dB	Signal level to -27dBm_0
		TBD	TBD		dB	Signal level to -34dBm_0
		TBD	TBD		dB	Signal level to -40dBm_0
		TBD	TBD		dB	Signal level to -55dBm_0
S/D	Signal to Total Distortion Ratio. See Figure 2. CCITT G.712 Method 2	35			dB	Signal level 0dBm_0 to -30dBm_0
		29			dB	Signal level to -40dBm_0
		24			dB	Signal level to -45dBm_0
S/D	Signal to Total Distortion Ratio. CCITT G.712 Method 2 (Half Channel)	TBD	TBD		dB	Signal level 0dBm_0 to -30dBm_0
		TBD	TBD		dB	Signal level to -40dBm_0
		TBD	TBD		dB	Signal level to -45dBm_0
ΔG	Gain Tracking Deviation from Gain at 0dBm_0 . CCITT G.712 Method 1	TBD	TBD		dB	Signal level $+3\text{dBm}_0$ to -10dBm_0
		TBD	TBD		dB	Signal level to -55dBm_0
		TBD	TBD		dB	Signal level to -60dBm_0
ΔG	Gain Tracking Deviation from Gain at 0dBm_0 . See Figure 1. CCITT G.712 Method 2	-0.4		0.4	dB	Signal level $+3\text{dBm}_0$ to -40dBm_0
		-0.8		0.8	dB	Signal level to -50dBm_0
		-2.4		2.4	dB	Signal level to -55dBm_0
ΔG	Gain Tracking Deviation from Gain at 0dBm_0 . CCITT G.712 Method 2. (Half Channel)	TBD	TBD		dB	Signal level $+3\text{dBm}_0$ to -40dBm_0
		TBD	TBD		dB	Signal level to -50dBm_0
		TBD	TBD		dB	Signal level to -55dBm_0
N_{IC}	Idle Channel Noise		-85	-78	dBm_0p	See Note 2
HD	Harmonic Distortion (2nd or 3rd)		-48	-44	dB	$V_{F_X} = 1.02\text{KHz}$, 0dBm_0 ; measured at decoder output V_{F_R}
IMD_1	Intermodulation Distortion G.712 (8.1)			-45	dB	See Note 3
IMD_2				-50	dB	

Notes:

1. Typical values are for $T_A = 25^\circ\text{C}$ and nominal power supply values.
2. If the external auto zero is used N_{IC} has a typical value of -76dBm_0 .
3. *According to the two tone method, CCITT G.712 recommendation.

2911A

A.C. Characteristics (continued)

$T_A = 0^\circ\text{C}$ to $+70^\circ\text{C}$, $V_{DD} = +12\text{V} \pm 5\%$, $V_{CC} = +5\text{V} \pm 5\%$, $V_{BB} = -5\text{V} \pm 5\%$, $GPDA = 0\text{V}$, $GRDD = 0\text{V}$, unless otherwise specified.

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ ¹	Max		
GAIN AND DYNAMIC RANGE						
DmW	Digital Milliwatt Response	5.56	5.66	5.76	dBm	23°C, nominal supplies ⁴
DmW _T	DmW _O Variation with Temperature		-0.001	-0.002	dB/°C	Relative to 23°C ⁴
DmW _S	DmW _O Variation with Supplies			± 0.07	dB	Supplies ± 5% ⁴
A _{IR}	Input Dynamic Range	2.17	2.20	2.23	V _{RMS}	Using D.C. and A.C. tests ⁵
A _{IRT}	Input Dynamic Range vs Temperature			-0.5	mV _{RMS} /°C	Relative to 23°C
A _{IRS}	Input Dynamic Range vs Supplies			± 18	mV _{RMS}	Supplies ± 5%
A _{OR}	Output Dynamic Range, V _{FR}	2.13	2.16	2.19	V _{RMS}	23°C, nominal supplies
A _{ORT}	A _{OR} Variation with Temperature			-0.5	mV _{RMS} /°C	Relative to 23°C
A _{ORS}	A _{OR} Variation with Supplies			± 18	mV _{RMS}	Supplies ± 5%

SUPPLY REJECTION AND CROSSTALK

PSRR ₁	V _{DD} Power Supply Rejection Ratio	50			dB	decoder alone ⁶
PSRR ₂	V _{BB} Power Supply Rejection Ratio	35			dB	decoder alone ⁶
PSRR ₃	V _{CC} Power Supply Rejection Ratio	50			dB	decoder alone ⁶
PSRR ₄	V _{DD} Power Supply Rejection Ratio	50			dB	encoder alone ⁷
PSRR ₅	V _{BB} Power Supply Rejection Ratio	45			dB	encoder alone ⁷
PSRR ₆	V _{CC} Power Supply Rejection Ratio	50			dB	encoder alone ⁷
CT _R	Crosstalk Isolation, Receive Side	75	80		dB	See Note 8
CT _T	Crosstalk Isolation, Transmit Side	75	80		dB	See Note 9
CAPX	Input Sample and Hold Capacitor	1600	2000	2400	pF	

Notes:

- 4 D_p of Device Under Test (D.U.T.) driven with repetitive digital word sequence specified in CCITT recommendation G.711. Measurement made at V_{FR} output.
- 5 With the D.C. method the positive and negative clipping levels are measured and A_{IR} is calculated. With the A.C. method a sinusoidal input signal to V_{FX} is used where A_{IR} is measured directly.
- 6 D.U.T. decoder; impose 200 mV_{p,p}, 1.02 KHz on appropriate supply; measurement made at decoder output; decoder in idle channel conditions.
- 7 D.U.T. encoder; impose 200 mV_{p,p}, 1.02 KHz on appropriate supply; measurement made at encoder output; encoder in idle channel conditions.
- 8 V_{FX} of D.U.T. encoder = 1.02 KHz, 0 dBm0. Decoder under quiet channel conditions; measurement made at decoder output.
- 9 V_{FX} = 0 Vrms. Decoder = 1.02 KHz, 0 dBm0. Encoder under quiet channel conditions; measurement made at encoder output.

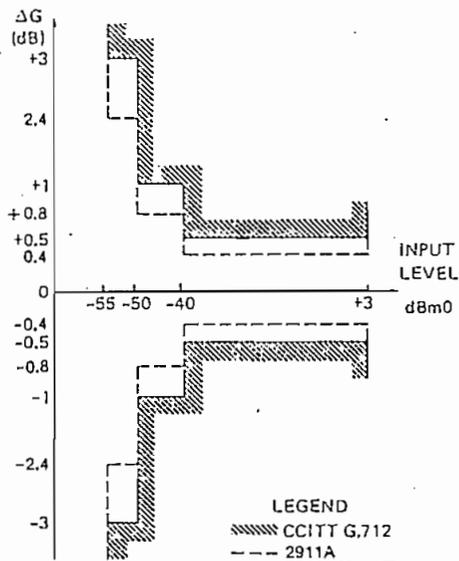


Figure 1. Gain Variation (ΔG) vs. Signal Level Reference Level 0dBm0, End-to-End

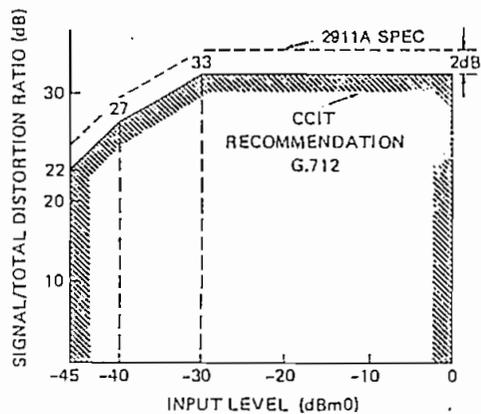


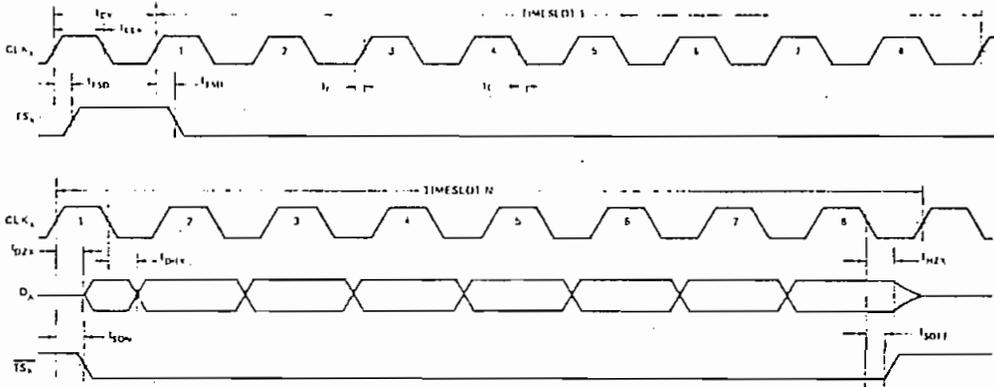
Figure 2. Signal/Total Distortion Ratio, End-to-End

A.C. Characteristics — Timing Specification and Waveforms¹⁾

$T_A = 0^\circ\text{C}$ to $+70^\circ\text{C}$, $V_{DD} = +12\text{V} \pm 5\%$, $V_{CC} = +5\text{V} \pm 5\%$, $V_{BB} = -5\text{V} \pm 5\%$, $GRDA = 0\text{V}$, $GRDD = 0\text{V}$, unless otherwise specified.

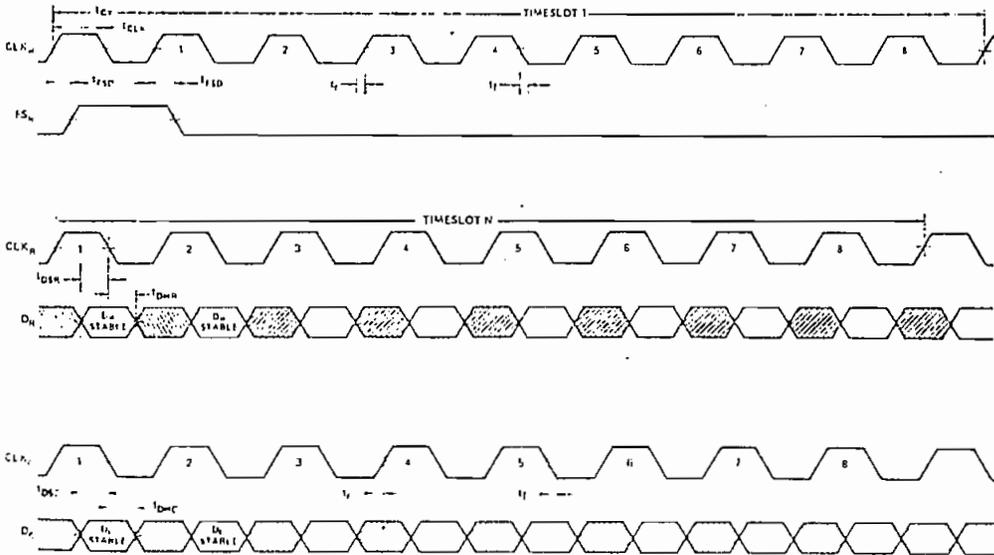
Symbol	Parameter	Limits		Units	Comments
		Min	Max		
CLOCK SECTION					
t_{CY}	Clock Period	485		ns	CLK_X, CLK_R (2.048 MHz systems), CLK_C
t_r, t_f	Clock Rise and Fall Time	0	30	ns	CLK_X, CLK_R, CLK_C
t_{CLK}	Clock Pulse Width	215		ns	CLK_X, CLK_R, CLK_C
t_{COG}	Clock Duty Cycle ($t_{CLK} \div t_{CY}$)	45	55	%	CLK_X, CLK_R
TRANSMIT SECTION					
t_{VFX}	Analog Input Conversion	20		timeslot	from leading edge of transmit timeslot ²
t_{DZX}	Data Enabled on TS Entry	50	180	ns	$0 < C_{LOAD} < 100\text{ pF}$
t_{DHX}	Data Hold Time	80	230	ns	$0 < C_{LOAD} < 100\text{ pF}$
t_{HZX}	Data Float on TS Exit	75	245	ns	$C_{LOAD} = 0$
t_{SON}	Timeslot X to Enable	30	185	ns	$0 < C_{LOAD} < 100\text{ pF}$
t_{SOFF}	Timeslot X to Disable	70	225	ns	$C_{LOAD} = 0$
t_{FSD}	Frame Sync Delay	15	150	ns	
RECEIVE AND CONTROL SECTIONS					
t_{VFR}	Analog Output Update	7 1/16	7 1/16	timeslot	from leading edge of the channel timeslot
t_{DSR}	Receive Data Setup	20		ns	
t_{DHR}	Receive Data Hold	60		ns	
t_{FSD}	Frame Sync Delay	15	150	ns	
t_{DSC}	Control Data Setup	100		ns	Microcomputer mode only
t_{DHC}	Control Data Hold	100		ns	Microcomputer mode only

2911A



Notes:

1. All timing parameters referenced to 1.5V, except t_{HZX} and t_{SOFF} , which reference a high impedance state.
2. The 20 timeslot minimum insures that the complete A/D conversion will take place under any combination of receive interrupt or asynchronous operation of the Codec. Consult an Intel applications specialist or Intel Corporation for applications information which would allow operation with less than 20 timeslots.



NOTES

1. All timing parameters referenced to 1.5V, except t_{HZX} and t_{SOFF} which reference a high impedance state.



2912 FAMILY PCM LINE FILTERS

		Frequency Response	
		CCITT G712	D3/D4
Idle Channel Noise	12	2912-3	2912
(dBncO)	14	2912-5	2912-6

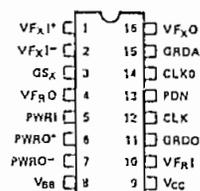
- AT&T[®] D3/D4 Compatible and CCITT G712 Compatible
- Monolithic Device Includes Both Transmit and Receive Filters
- 50Hz/60Hz Rejection Included in the Transmit Filter
- Gain Adjustment in Both Directions
- Direct Interface with Transformer or Electronic Telephone Hybrids
- Direct Interface to the Intel[®] 2910A/2911A PCM Codecs Including Stand-By, Power Down Mode
- ±5% Power Supplies: +5V, -5V
- Low Power Consumption: 210mW Typical without Power Amplifiers
280mW Typical with Power Amplifiers
55 mW Typical Stand-By
- Fabricated with Reliable N-Channel MOS Process

The Intel[®] 2912 is a fully integrated monolithic device containing the two filters of a PCM line or trunk termination. The device is designed to meet the following objectives:

- To meet AT&T D3/D4 frequency response with the 2912 and 2912-6.
To meet CCITT frequency response with the 2912-3 and 2912-5.
- To meet the digital Class 5 central office switching systems stringent specifications.
- To be directly compatible with the 2910A and 2911A codecs.
- To simplify interfaces to transformers and hybrids. The primary application for the 2912 is in telephone systems for transmission, switching, or remote concentration.

A switched capacitor filter technique is used to implement the transmit and receive passband filter sections of the 2912. The device is fabricated using Intel's reliable two layer polysilicon NMOS technology. The combination of the switched capacitor technique and the NMOS technology result in a monolithic 2912 filter which is packaged in a standard 16 pin DIP.

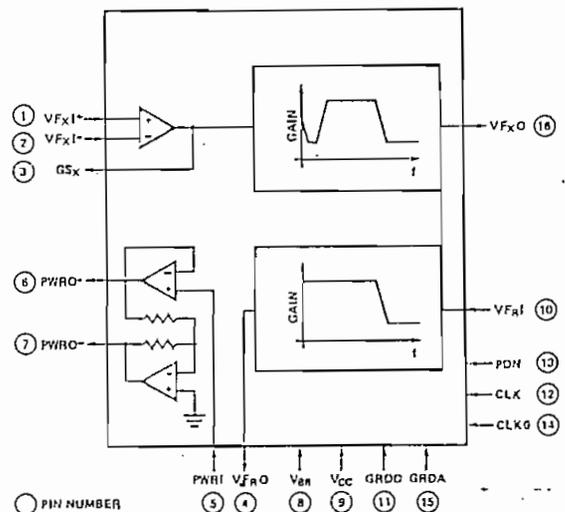
PIN CONFIGURATION



PIN NAMES

VFxI ⁺ , VFxI ⁻	ANALOG INPUTS	CLK	CLOCK INPUT
GSx	GAIN CONTROL	CLK0	CLOCK SELECTION
VFxO	ANALOG OUTPUT	PDN	POWER DOWN
VFRI	ANALOG INPUT	Vcc	POWER (+5V)
VFRO	ANALOG OUTPUT	VBB	POWER (-5V)
PWRI	DRIVER INPUT	GRDO	DIGITAL GROUND
PWRO, PWRO ⁻	DRIVER OUTPUT	GRDA	ANALOG GROUND

BLOCK DIAGRAM



AT&T is a registered trademark of American Telephone and Telegraph Corporation.

2912 FAMILY

PIN DESCRIPTION

Pin No.	Symbol	Function	Description	Pin No.	Symbol	Function	Description
1	VFXI ⁺	Input	Analog input of the transmit filter. The VFXI ⁺ signal comes from the 2 to 4 wire hybrid in the case of a 2 wire line and goes through the 50/60Hz notch and the antialiasing filter before being sent to the Codec for encoding.	10	VFRl	Input	Analog input of the receive filter, <u>interface to the Codec analog output for PCM applications. The receive filter provides the $\frac{\text{Sinx}}{x}$ correction</u> needed for sample and hold type Codec outputs to give unity gain. The input voltage range is directly compatible with the Intel [®] 2910A and 2911A Codecs.
2	VFXI ⁻	Input	Inverting input of the gain adjustment operational amplifier on the transmit filter.	11	GRDD	Ground	Digital ground return for internal clock generator.
3	GSx	Output	Output of the gain adjustment operational amplifier on the transmit filter. Used for gain setting of the transmit filter.	12	CLK ⁽¹⁾	Input	Clock input. Three clock frequencies can be used: 1.536MHz, 1.544MHz or 2.048MHz; pin 14, CLK0, has to be strapped accordingly. High impedance input, TTL voltage levels.
4	VFR0	Output	Analog output of the receive filter. This output provides a direct interface to electronic hybrids. For a transformer hybrid application, VFR0 is tied to PRWl and a dual balanced output is provided on pins PWRO ⁺ and PWRO ⁻ .	13	PDN	Input	Control input for the stand-by power down mode. An internal pull up to +5V is provided for interface to the Intel [®] 2910A and 2911A PDN outputs, TTL voltage levels.
5	PWRI	Input	Input to the power driver amplifiers on the receive side for interface to transformer hybrids. High Impedance input. When tied to V _{BB} , the power amplifiers are powered down.	14	CLK0 ⁽¹⁾	Input	Clock (pin 12, CLK) frequency selection. If tied to V _{BB} , CLK should be 1.536MHz. If tied to Ground, CLK should be 1.544 MHz. If tied to V _{CC} , CLK should be 2.048MHz.
6	PWRO ⁺	Output	Non-inverting side of the power amplifiers. Power driver output capable of directly driving transformer hybrids.	15	GRDA	Ground	Analog return common to the transmit and receive analog circuits. Not connected to GRDD internally.
7	PWRO ⁻	Output	Inverting side of the power amplifiers. Power driver output capable of directly driving transformer hybrids.	16	VFXO	Output	Analog output of the transmit filter. - The output voltage range is directly compatible with the Intel [®] 2910A and 2911A Codecs.
8	V _{BB}	Power	-5V ± 5% referenced to GRDA				
9	V _{CC}	Power	+5V ± 5% referenced to GRDA				

NOTE:

1. The three clock frequencies are directly compatible with the Intel[®] 2910A and 2911A Codecs. The following table should be observed in selecting the clock frequency.

Codec Clock	Clock Bits/Frame	2912 CLK, Pin 12	2912 CLK0, Pin 14
1.536 MHz	192	1.536 MHz	V _{BB} (-5V)
1.544 MHz	193	1.544 MHz	GRDD
2.048 MHz	256	2.048 MHz	V _{CC} (+5V)

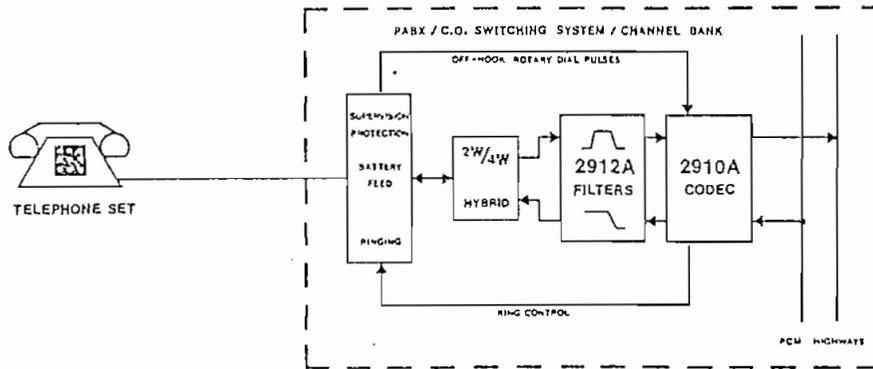
2912 FAMILY

FUNCTIONAL DESCRIPTION

The 2912 provides the transmit and receive filters found on the analog termination of a PCM line or trunk. The transmit filter performs the anti-aliasing function needed for an 8kHz sampling system, and the 50/60Hz rejection. The receive filter has a low pass transfer characteristic and also provides the Sln/x correction necessary to interface the Intel 2910A (μ Law) and 2911A (A Law) Codecs which have a non-return-to-zero output of the digital to analog conversion. Gain adjustment is provided in the receive and transmit directions.

A stand-by, power down mode is included in the 2912 and can be directly controlled by the 2910A/2911A Codecs.

The 2912 can interface directly with a transformer hybrid (2 to 4 wire conversion) or with electronic hybrids; in the latter case the power dissipation is significantly reduced by powering down the output amplifier provided on the 2912.



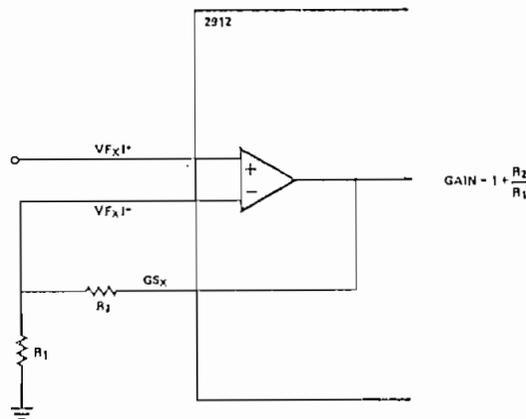
TYPICAL LINE TERMINATION

FILTER OPERATION

Transmit Filter Input Stage

The input stage provides gain adjustment in the passband. The input operational amplifier has a common mode range of ± 2.2 volts, a DC offset of less than 25mV, a voltage gain greater than 1000 and a unity gain bandwidth of 1 MHz. It can be connected to provide a gain of 20dB without degrading the noise performance of the filter. The

load impedance connected to the amplifier output must be greater than $10k\Omega$ in parallel with 20pF. The input signal on lead VFxI+ can be either AC or DC coupled. The input Op Amp can also be used in the inverting mode or differential amplifier mode. The remaining portion of the transmit filter provides a gain of +3dB in the pass band.



TRANSMIT FILTER GAIN ADJUSTMENT

2912 FAMILY

50Hz/60Hz Notch — Transmit Filter

The transmit filter has a notch section to reject 50Hz and 60Hz components of the input signal. A minimum attenuation of 22dB is provided at 60Hz. At 50Hz, the minimum attenuation is 20dB. The gain at 200Hz is between -1.25dB and -1.8dB. (All gain figures are relative to the gain at 1kHz).

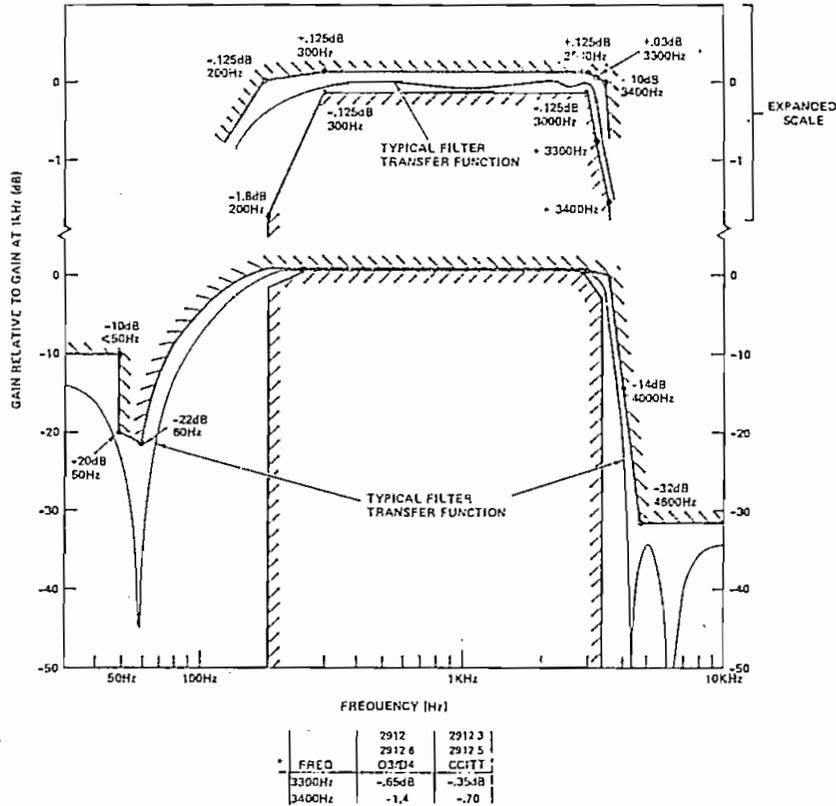
An active RC low pass anti-aliasing filter is included on chip immediately in front of the 50 Hz/60 Hz notch section. This filter provides greater than 35dB attenuation at 256 KHz. As a result no external anti-aliasing components are required to provide the necessary anti-aliasing function for the switched capacitor sections of the transmit filter which operate at an internal sampling rate of 256 KHz.

Transmit Filter Transfer Characteristics

The transmit section of the filter provides a passband flatness and stopband attenuation which exceeds the ATT² D3 and D4 specification (2912 and 2912-6) and the CCITT G712 recommendation (2912-3 and 2912-5). The 2912 specification meets the digital class 5 central office switching systems requirements. The transmit filter transfer characteristics and specifications are shown in the diagram below.

Transmit Filter Output Stage

The voltage range of the output signal on the VF_{XO} lead is ± 3.2 volts. The DC offset is less than 250mV. It is recommended that the VF_{XO} output be capacitively coupled to the VF_X input of the Intel² 2910A and 2911A Codecs.



TRANSMIT FILTER TRANSFER CHARACTERISTICS

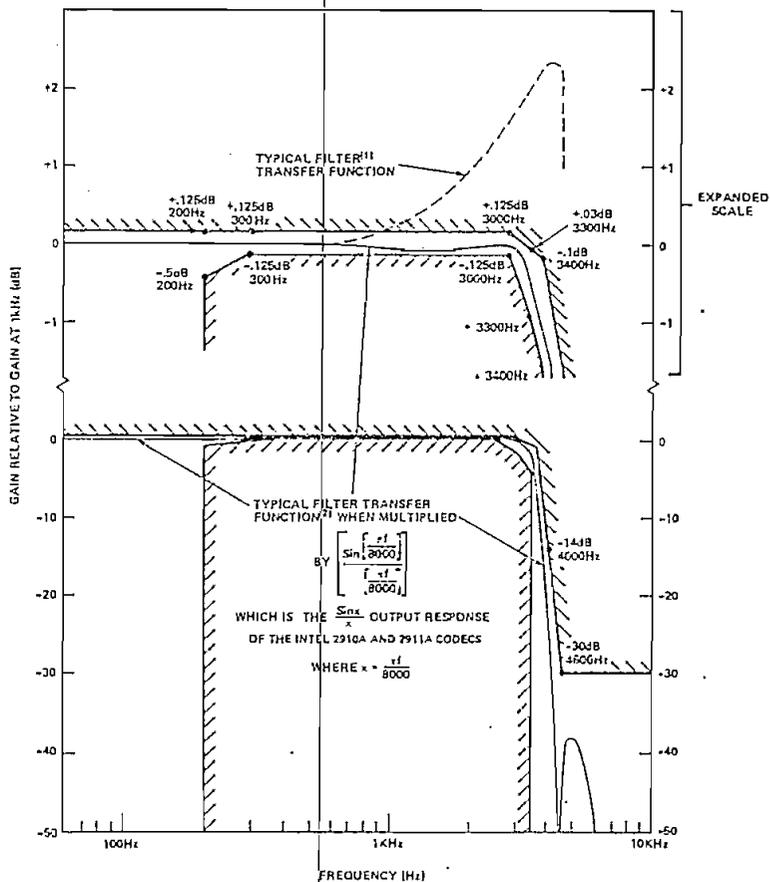
2912 FAMILY

An active RC low pass smoothing filter is included on chip following the transmit filter section. This filter provides reduction of broad band noise and clock noise from the switched capacitor transmit filter section.

As a result, in pieziosynchronous operation where the transmit and receive clocks of the codec are allowed to have a small relative frequency difference, as in transmission applications, low frequency asynchronism between the clock signal in the transmit filter output and the sampling process in the associated codec has negligible effect on the idle channel noise of the codec. This smoothing filter also serves to reduce high frequency broadband noise at the filter output which might be aliased to lower frequencies by the codec sampling process.

Receive Filter Transfer Characteristics

The receive section of the filter provides a passband flatness and stopband rejection which exceeds at ATT D3/D4 specification (2912 and 2912-5) and the CCITT G712 recommendation (2912-3 and 2912-6) when used with a decoder which contains a sample/hold amplifier at its output. The filter contains the required compensation for the $\frac{\text{Sinx}}{x}$ response of such decoders. The receive filter transfer characteristics and specifications, including the $\frac{\text{Sinx}}{x}$ response of the decoder, are shown in the diagram below.



NOTES:

1. TYPICAL TRANSFER FUNCTION OF THE RECEIVE FILTER AS A SEPARATE COMPONENT.
2. TYPICAL TRANSFER FUNCTION OF THE RECEIVE FILTER DRIVEN BY THE SAMPLE AND HOLD OUTPUT OF THE INTEL 2910A AND 2911A CODECS. THE COMBINED FILTER/DECODER RESPONSE MEETS THE STATED SPECIFICATIONS.

FREQ	2912 D3/D4	2912-3 CCITT
3300Hz	-0.6dB	-3.5dB
3400Hz	-1.4	-7.0

RECEIVE FILTER TRANSFER CHARACTERISTICS

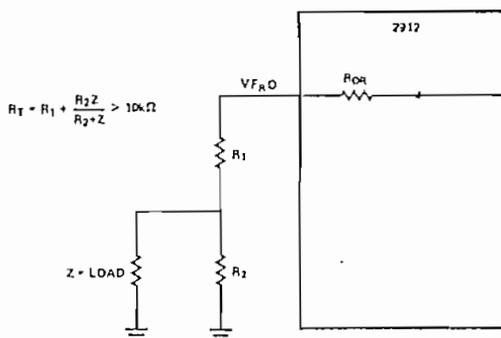
2912 FAMILY

Receive Filter Output

The VFRO lead is capable of driving high impedance electronic hybrids. The gain of the receive section from VFRI to VFRO is:

$$\frac{\left(\frac{\pi f}{8000}\right)}{\sin\left(\frac{\pi f}{8000}\right)}$$

which when multiplied by the output response of the Intel 2910A and 2911A Codecs results in a 0dB gain in the passband. The filter gain can be adjusted downward by a resistor voltage divider connected as shown. The total resistive load R_T on VFRO should not be less than 10k Ω .

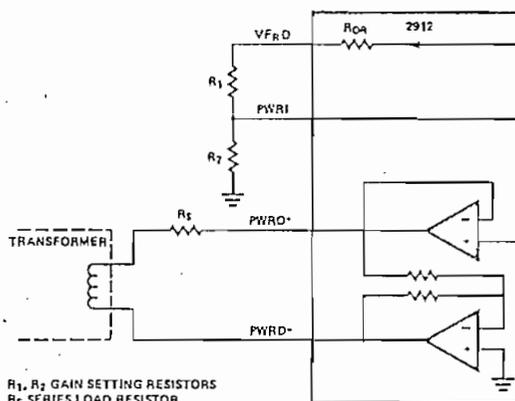


RECEIVE FILTER OUTPUT GAIN ADJUSTMENT

Receive Filter Output Driver Amplifier Stage

A balanced power amplifier is provided in order to drive low-impedance loads in a bridged configuration. The receive filter output VFRO is connected through gain setting resistors R_1 and R_2 to the amplifier input PWRI. The input voltage range on PWRI is ± 3.2 volts and the gain is 6dB for a bridged output. With a 20k Ω load connected between PWRO⁺ and PWRO⁻, the maximum voltage swing across the load is ± 6.4 volts. With a 600 Ω load connected between PWRO⁺ and PWRO⁻, the maximum voltage swing across the load is ± 5.0 volts. The series combination of R_s and the hybrid transformer must present a minimum A.C. load resistance of 600 Ω to the amplifier in the bridged configuration. A typical connection of the output driver amplifiers is shown below. These amplifiers can also be used with loads connected to ground.

When the power amplifier is not needed it should be deactivated to save power. This is accomplished by tying the PWRI pin to V_{BB} before the device is powered up.



R_1, R_2 GAIN SETTING RESISTORS
 R_5 SERIES LOAD RESISTOR

TYPICAL CONNECTION OF OUTPUT DRIVER AMPLIFIER

Power Down Mode

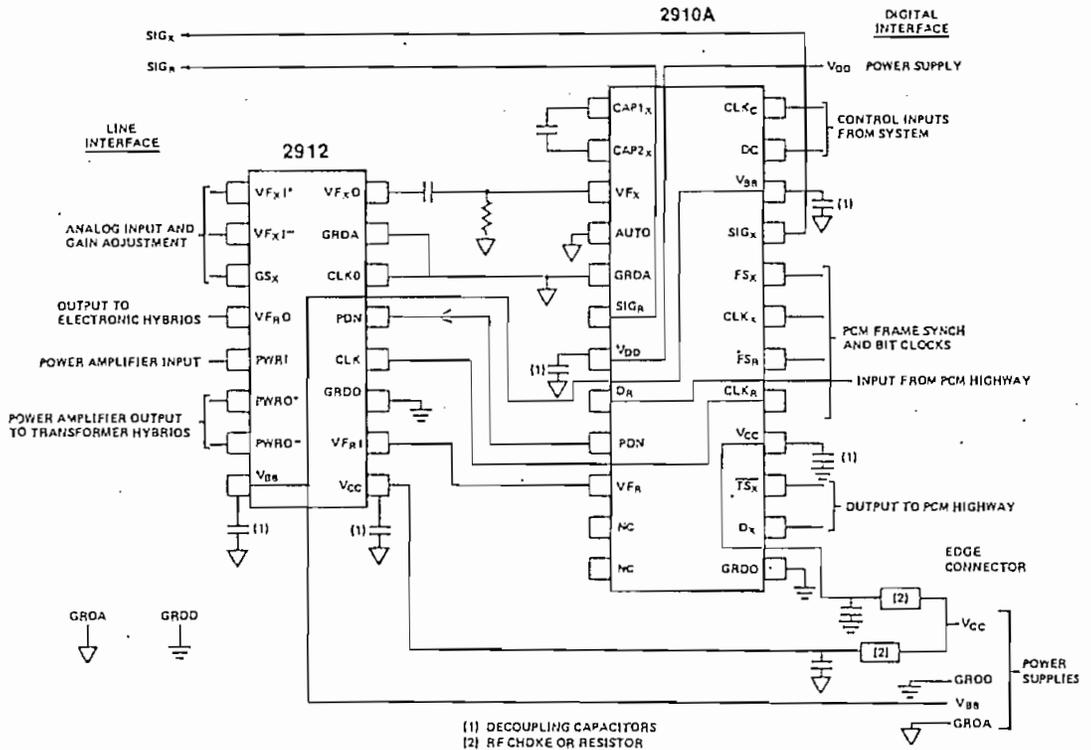
Pin 13, PDN, provides the power down control. When the signal on this lead is brought high, the 2912 goes into a standby, power down mode. Power dissipation is reduced to 55mW. In the stand-by mode, all outputs go into a high impedance state. This feature allows multiple 2912's to drive the same analog bus on a time-shared basis.

When power is restored, the settling time of the 2912 is typically 15ms.

The PDN interface is directly compatible with the Intel 2910A and 2911A PDN outputs. Only one command from the common control is then necessary to power down both the Codec and the Filters of the line or trunk interface.

2912 FAMILY

APPLICATIONS Circuit Interface



A TYPICAL 2910A CODEC AND 2912 FILTER CONFIGURATION

Codec Interface

The 2912 PCM Filter is designed to directly interface to the 2910A and 2911A Codecs as shown above. The transmit path is completed by connecting the VF_xO output of the 2912 to the coupling capacitor associated with the VF_x Input of the 2910A and 2911A codecs. The receive path is completed by directly connecting the codec output VF_R to the receive input of the 2912 VF_RI. The PDN Input of the 2912 should be connected to the PDN output of the codec to allow the filter to be put in the power-down standby mode under control of the codec.

Clock Interface

To assure proper operation, the CLK Input of the 2912 should be connected to the same clock provided to the receive bit clock, CLK_R of 2910A or 2911A Codec as shown above. The CLK₀ Input of the 2912 should be set to the proper voltage depending on the standard clock frequency chosen for the codec and filter. See the clock selection table in the Pin Description section.

Layout Guidelines

The most important steps in designing a low noise line card are to insure that the layout of the circuit components and traces result in a minimum of cross coupling between analog and digital signals, and to provide well bypassed and clean power supplies, solid ground planes, and minimal lead lengths between components. Considering these items in more detail:

- All power source leads should be bypassed to ground on each printed circuit board (PCB), on which codecs are provided. At least one electrolytic bypass capacitor (at least 10 microfarad) per board is recommended at the point where each power trace from the codec and filter joins prior to interfacing with the edge connector pins assigned to the power leads.

2912 FAMILY

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias	-10° C to +80° C
Storage Temperature	-65° C to +150° C
Supply Voltage with Respect to V _{BB} ..	-0.3V to +14.0V
All Input and Output Voltages with	
Respect to V _{BB}	-0.3V to +14.0V
All Output Currents	±50mA
Power Dissipation	1 Watt

*COMMENT:

Stresses above those listed under "Absolute Maximum Rating" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or at any other condition above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. AND OPERATING CHARACTERISTICS

T_A = 0° C to +70° C, V_{CC} = +5V ± 5%, V_{BB} = -5V ± 5%, GRDA = 0V, GRDD = 0V, unless otherwise specified.

DIGITAL INTERFACE

Symbol	Parameter	Limits			Unit	Test Conditions
		Min.	Typ. ¹⁾	Max.		
I _{LIC}	Input Load Current (except PDN)			10	μA	V _{IN} = V _{IL} MIN to V _{IH} MAX
I _{LIO}	Input Load Current, CLK0			10	μA	V _{IN} = V _{BB} to V _{IH} MAX
I _{LIP}	Input Load Current, PDN			-100	μA	V _{IN} = V _{IL} MIN to V _{IH} MAX
V _{IL}	Input Low Voltage (except CLK0)			0.8	V	
V _{IH}	Input High Voltage (except CLK0)	2.2			V	
V _{IL0}	Input Low Voltage, CLK0	V _{BB}		V _{BB} +0.5	V	
V _{IIO}	Input Intermediate Voltage, CLK0	GRDD-0.5		0.8	V	
V _{IHO}	Input High Voltage, CLK0	V _{CC} -0.5		V _{CC}	V	

POWER DISSIPATION

Symbol	Parameter	Limits			Unit	Test Conditions
		Min.	Typ. ¹⁾	Max.		
I _{CC0}	V _{CC} Standby Current		6	9	mA	PDN = V _{IH} MIN
I _{BB0}	V _{BB} Standby Current		5	9	mA	PDN = V _{IH} MIN
I _{CC1}	V _{CC} Operating Current, Power Amplifiers Inactive		21	34	mA	PWRI = V _{BB}
I _{BB1}	V _{BB} Operating Current, Power Amplifiers Inactive		21	34	mA	PWRI = V _{BB}
I _{CC2}	V _{CC} Operating Current		28	44	mA	
I _{BB2}	V _{BB} operating Current		28	44	mA	

NOTE: 1. Typical values are for T_A = 25° C and nominal power supply values.

2912 FAMILY

D.C. AND OPERATING CHARACTERISTICS

$T_A = 0^\circ\text{C}$ to $+70^\circ\text{C}$, $V_{CC} = +5\text{V} \pm 5\%$, $V_{BB} = -5\text{V} \pm 5\%$, $GRDA = 0\text{V}$, $GRDD = 0\text{V}$, unless otherwise specified.
ANALOG INTERFACE, RECEIVE FILTER DRIVER AMPLIFIER STAGE

Symbol	Parameter	Min.	Typ. ¹	Max.	Unit	Test Conditions
I _{BRA}	Input Leakage Current, PWRI			3	μA	-3.2V < V _{IN} < 3.2V
R _{IRA}	Input Resistance, PWRI	10			MΩ	
R _{ORA}	Output Resistance, PWRO ⁺ , PWRO ⁻		1		Ω	I _{OUT} < 10mA -3.0V < V _{OUT} < 3.0V
V _{OSRA}	Output DC Offset, PWRO ⁺ , PWRO ⁻			75	mV	PWRI Connected to GRDA
CLRA	Load Capacitance, PWRO ⁺ , PWRO ⁻			100	pF	
V _{ORA1}	Output Voltage Swing Across R _L , PWRO ⁺ , PWRO ⁻ Single Ended Connection			±3.2	V	R _L = 10kΩ
				±2.9	V	R _L = 600Ω
				±2.5	V	R _L = 300Ω
V _{ORA2}	Differential Output Voltage Swing, PWRO ⁺ , PWRO ⁻ Balanced Output Connection			±6.4	V	R _L = 20kΩ
				±5.8	V	R _L = 1200Ω
				±5.0	V	R _L = 600Ω

A.C. CHARACTERISTICS

$T_A = 0^\circ\text{C}$ to $+70^\circ\text{C}$, $V_{CC} = +5\text{V} \pm 5\%$, $V_{BB} = -5\text{V} \pm 5\%$, $GRDA = 0\text{V}$, $GRDD = 0\text{V}$, unless otherwise specified.
 Clock Input Frequency CLK = 1.536MHz ± 0.1%, CLK0 = V_{IL0} Tied to V_{BB} CLK = 2.048MHz ± 0.1% CLK0 = V_{IL0} Tied to V_{CC}
 CLK = 1.544MHz ± 0.1%, CLK0 = V_{IL0} Tied to GRDD

TRANSMIT FILTER TRANSFER CHARACTERISTICS (See Transmit Filter Transfer Characteristics description section for graph.)

Symbol	Parameter	Min.	Typ. ¹	Max.	Units	Test Conditions
GRX	Gain Relative to Gain at 1kHz					0dBmO Input Signal
	Below 50Hz			-10	dB	Gain Setting Op Amp at Unity Gain
	50Hz			-20	dB	
	60Hz			-22	dB	
	200Hz	-1.8		-0.125	dB	0dBmO Signal ≅ 1.1 V _{RMS} Input at VFxI ⁻
	300Hz to 3000Hz	-0.125		0.125	dB	
	3300Hz	-0.65		0.03	dB	
	3300Hz (2912-3 & 2912-5)	-0.35		0.03	dB	
	3400Hz	-1.4		-0.1	dB	0dBmO Signal ≅ 1.6 V _{RMS} Output at VFxO
	3400Hz (2912-3 & 2912-5)	-0.7		-0.1	dB	
4000Hz			-14	dB		
4600Hz and Above			-32	dB		
G _{AX}	Absolute Passband Gain at 1kHz, VFxO	2.9	3.0	3.1	dB	R _L = ∞, Note 3
G _{AXT}	Gain Variation with Temperature at 1kHz		.0002		dB/°C	0dBmO Signal Level
G _{AXS}	Gain Variation with Supplies at 1kHz		.04		dB/V	0dBmO Signal Level, Supplies ±5%
CTRT	Cross Talk, Receive to Transmit, Measured at VFxO $20 \log \frac{VFxO}{VFxI}$			-60	dB	V _{FRI} = 1.6 V _{RMS} , 1kHz Input VFxI ⁺ , VFxI ⁻ Connected to GSx, GSx Connected through 10kΩ to GRDA
N _{CX1}	Total C Message Noise 2912, 2912-3 at Output, VFxO	2912-6, 2912-5	9	12	dBmC	Gain Setting Op Amp at Unity Gain
			13	14	dB	
N _{CX2}	Total C Message Noise 2912, 2912-3 at Output, VFxO	2912-6, 2912-5	10	13	dBmC	Gain Setting Op Amp at 20dB Gain
			14	15	dB	
D _{CX}	Differential Envelope Delay, VFxO 1kHz to 2.6kHz			80	μs	
D _{AX}	Absolute Delay at 1kHz, VFxO			150	μs	
DPX1	Single Frequency Distortion Products			-48	dB	0dBm Input Signal at 1kHz
DPX2	Single Frequency Distortion Products at Maximum Signal Level of +3dBm0 at VFxO			-45	dB	0.16 V _{RMS} 1kHz Input Signal at VFxI ⁺ ; Gain Setting Op Amp at 20dB Gain. The +3dBm0 signal at VFxO is 2.24 V _{RMS} .

See next page for NOTES.

2912 FAMILY

D.C. AND OPERATING CHARACTERISTICS

$T_A = 0^\circ\text{C}$ to $+70^\circ\text{C}$, $V_{CC} = +5\text{V} \pm 5\%$, $V_{BB} = -5\text{V} \pm 5\%$, $GRDA = 0\text{V}$, $GRDD = 0\text{V}$, unless otherwise specified.

ANALOG INTERFACE, TRANSMIT FILTER INPUT STAGE

Symbol	Parameter	Min.	Typ. ¹	Max.	Unit	Test Conditions
I_{BXI}	Input Leakage Current, V_{FXI}^+ , V_{FXI}^-			100	nA	$-2.2\text{V} < V_{IN} < 2.2\text{V}$
R_{IXI}	Input Resistance, V_{FXI}^+ , V_{FXI}^-	10			M Ω	
V_{OSXI}	Input Offset Voltage, V_{FXI}^+ , V_{FXI}^-			25	mV	$-2.2\text{V} < V_{IN} < 2.2\text{V}$
$CMRR_1$	Common Mode Rejection, V_{FXI}^+ , V_{FXI}^-	45			dB	$-1.6\text{V} < V_{IN} < 1.6\text{V}$, $0\text{dBmO} \equiv 1.1 V_{RMS}$, Input at V_{FXI}^-
$CMRR_2$	Common Mode Rejection, V_{FXI}^+ , V_{FXI}^-	40			dB	$-2.2\text{V} < V_{IN} < 2.2\text{V}$
A_{VOL}	DC Open Loop Voltage Gain, GS_X	1000				
f_c	Open Loop Unity Gain Bandwidth, GS_X		1		MHz	
V_{OXR}	Output Voltage Swing, GS_X			± 2.5	V	$R_L \geq 10\text{k}\Omega$
C_{LXI}	Load Capacitance, GS_X			20	pF	
R_{LXI}	Minimum Load Resistance, GS_X	10			k Ω	Minimum R_L

ANALOG INTERFACE, TRANSMIT FILTER

Symbol	Parameter	Min.	Typ. ¹	Max.	Unit	Test Conditions
R_{OX}	Output Resistance, V_{FXO}			400	Ω	
V_{OSX}	Output DC Offset, V_{FXO}			250	mV	V_{FXI}^- Connected to $GRDA$, Input Op Amp at Unity Gain
$PSRR_1$	Power Supply Rejection of V_{CC} at 1kHz, V_{FXO}	25	35		dB	Note 2
$PSRR_2$	Power Supply Rejection of V_{BB} at 1kHz, V_{FXO}	25	30		dB	Note 2
C_{LX}	Load Capacitance, V_{FXO}			20	pF	
R_{LX}	Minimum Load Resistance, V_{FXO}	10			k Ω	Minimum R_L
V_{OX}	Output Voltage Swing, 1kHz, V_{FXO}			± 3.2	V	$R_L \geq 10\text{k}\Omega$ or with 2910A or 2911A

ANALOG INTERFACE, RECEIVE FILTER

Symbol	Parameter	Min.	Typ. ¹	Max.	Unit	Test Conditions
I_{BR}	Input Leakage Current, V_{FRI}			1	μA	$-3.2\text{V} < V_{IN} < 3.2\text{V}$
R_{IR}	Input Resistance, V_{FRI}	1			M Ω	
R_{OR}	Output Resistance, V_{FRO}			100	Ω	
V_{OSR}	Output DC Offset, V_{FRO}			200	mV	V_{FRI} Connected to $GRDA$
$PSRR_3$	Power Supply Rejection of V_{CC} at 1kHz, V_{FRO}	25	35		dB	
$PSRR_4$	Power Supply Rejection of V_{BB} at 1kHz, V_{FRO}	25	30		dB	
C_{LR}	Load Capacitance, V_{FRO}			20	pF	
R_{LR}	Minimum Load Resistance, V_{FRO}	10			k Ω	Minimum R_L
V_{OR}	Output Voltage Swing, V_{FRO}			± 3.2	V	$R_L = 10\text{k}\Omega$

NOTE:

1. Typical values for $T_A = 25^\circ\text{C}$ and nominal power supply values.

2. $PSRR_{1,2}$ include input op amp in transmit section.

2912 FAMILY

A.C. CHARACTERISTICS

$T_A = 0^\circ\text{C}$ to $+70^\circ\text{C}$, $V_{CC} = +5\text{V} \pm 5\%$, $V_{BB} = -5\text{V} \pm 5\%$, $GRDA = 0\text{V}$, $GRDD = 0\text{V}$, unless otherwise specified.

Clock Input Frequency: $\text{CLK} = 1.536\text{MHz} \pm 0.1\%$, $\text{CLK0} = V_{IL0}$ (Tied to V_{BB})
 $\text{CLK} = 1.544\text{MHz} \pm 0.1\%$, $\text{CLK0} = V_{IH0}$ (Tied to $GRDD$)
 $\text{CLK} = 2.048\text{MHz} \pm 0.1\%$, $\text{CLK0} = V_{IH0}$ (Tied to V_{CC})

RECEIVE FILTER TRANSFER CHARACTERISTICS (See Receive Filter Transfer Characteristics description section for graph)

Symbol	Parameter	Min.	Typ. ⁽¹⁾	Max.	Units	Test Conditions
G _{HR}	Gain Relative to Gain at 1kHz with Slnx/x Correction of 2910A or 2911A					0dBmO Input Signal
	Below 200Hz			0.125	dB	0dBmO Signal $\cong 1.6 V_{RMS} \times \left(\frac{\sin \frac{f}{2\pi \cdot 8000}}{2\pi \cdot 8000} / \frac{f}{2\pi \cdot 8000} \right)$ Input at V _{FR1}
	200Hz	-0.5		0.125	dB	
	300Hz to 3000Hz	-0.125		0.125	dB	
	3300Hz	-0.65		0.03	dB	
	3300Hz (2912-3 & 2912-5)	-0.35		0.03	dB	
	3400Hz	-1.4		-0.1	dB	
	3400Hz (2912-3 & 2912-5)	-0.7		-0.1	dB	
4000Hz			-1.4	dB		
	4600Hz and Above			-3.0	dB	
G _{AR}	Absolute Passband Gain at 1kHz, V _{FR0}	-0.1	0	+0.1	dB	R _L = ∞, Note 3
G _{AT}	Gain Variation with Temperature at 1kHz		.0002		dB/°C	0dBmO Signal Level
G _{AS}	Gain Variation with Supplies at 1kHz		.04		dB/V	0dBmO Signal Level, Supplies $\pm 5\%$
CT _{TR}	Cross Talk, Transmit to Receive, Measured at V _{FR0} ; $20 \log (V_{FR0}/V_{FX0})$			-60	dB	V _{FX1} = 1.1 V _{RMS} , 1kHz Output, V _{FR1} Connected to GRDA.
N _{CR}	Total C Message Noise at Output, V _{FR0}	2912, 2912-3	9	12	dB _{Brnc} ⁽²⁾	V _{FR0} Output or PWRO ⁻ and PWRO ⁻ Connected with Unity Gain
		2912-6, 2912-5	13	14		
D _{DR}	Differential Envelope Delay, V _{FR0} , 1kHz to 2.6kHz			100	μs	
D _{AP}	Absolute Delay at 1kHz, V _{FR0}			110	μs	
DP _{R1}	Single Frequency Distortion Products			-48	dB	0dBm Input Signal at 1kHz
CP _{R2}	Single Frequency Distortion Products at Maximum Signal Level of +3dBmO at V _{FR0}			-45	dB	+3dBmO Signal Level of 2.24 V _{RMS} , 1kHz Input at V _{FR0}

NOTES

1. All values are for $T_A = 25^\circ\text{C}$ and nominal power supply values.
2. Noise measurement of 18dB_{Brnc} into a 600Ω load at the 2912 device is equivalent to 12dB_{Brnc}.
3. Gain under load refer to output resistance specs and perform gain calculation.

MC3419
MC3419A
MC3419C

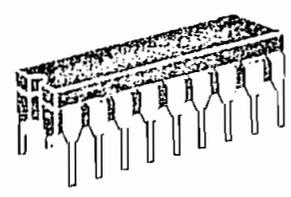
**TELEPHONE LINE FEED AND 2- TO 4-WIRE
 CONVERSION CIRCUIT**

... designed to replace the hybrid transformer circuit in Central Office, PABX and Subscriber carrier equipment, providing signal separation for two-wire differential to four-wire single-ended conversions and suppression of longitudinal signals at the two-wire input. It provides dc line current for powering the telset, operating from up to a 56 V supply

- All Key Parameters Externally Programmable
- Current Sensing Outputs Monitor Status of Both Tip and Ring Leads
- On-Hook Power Below 5.0 mW
- Digital Hook Status Output
- Power Down Input
- Ground Fault Protection
- Size and Weight Reduction Over Conventional Approaches
- The sale of this product is licensed under patent No. 4,004,109. All royalties related to this patent are included in the unit price.

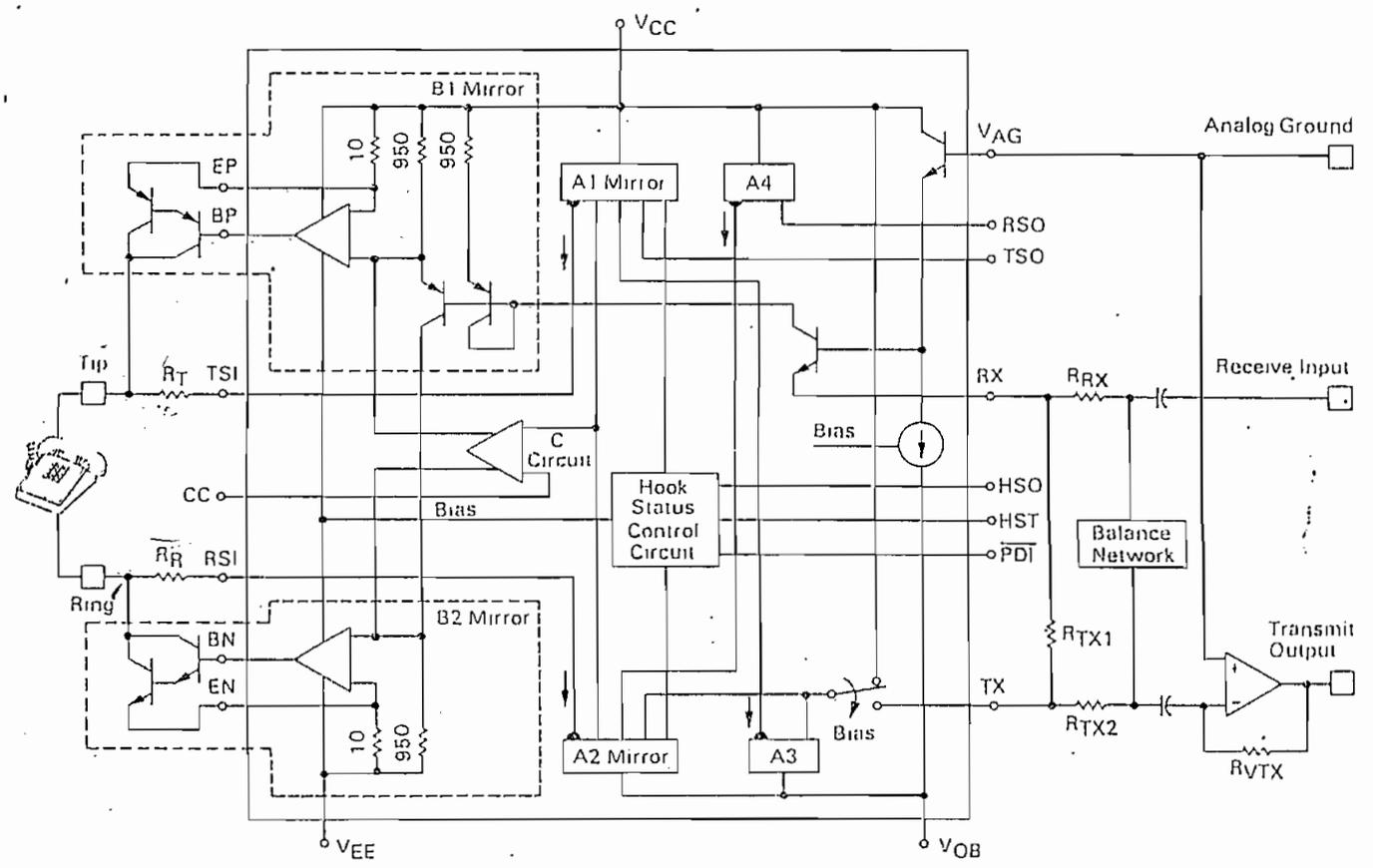
**SUBSCRIBER LOOP
 INTERFACE CIRCUIT
 (SLIC)**

**BIPOLAR LASER-TRIMMED
 INTEGRATED CIRCUIT**



L SUFFIX
 CERAMIC PACKAGE
 CASE 726

FUNCTIONAL BLOCK DIAGRAM



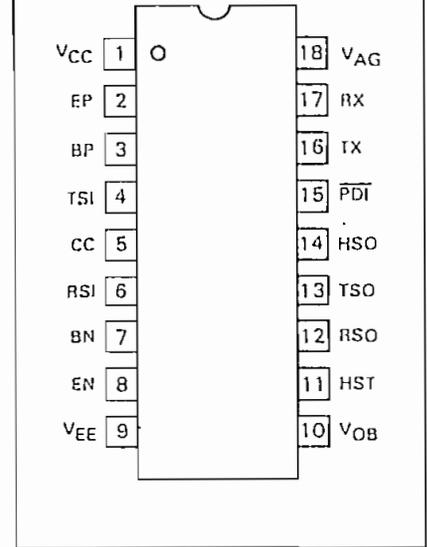
MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Voltage (Referenced to V_{CC})	V_{EE} V_{OB}	.60 $V_{EE} - 1$	Vdc
Sense Current Steady State Pulse - Figure 4	I_{TSI} , I_{RSI}	100 200	mAcd.
Storage Temperature Range	T_{stg}	-65 to +150	$^{\circ}C$
Operating Junction Temperature ($\theta_{JA} = 100^{\circ}C/W$ Typ)	T_J	150	$^{\circ}C$

OPERATING CONDITIONS

Rating	Symbol	Value	Unit
Operating Ambient Temperature Range	T_A	0 to +70	$^{\circ}C$
Loop Current	I_L	20 to 120	mA
Voltage	V_{EE} V_{OB}	-20 to -56 -20 to V_{EE}	Vdc
Analog Ground ($I_L = 0$ to 60 mA) ($I_L = 0$ to 120 mA)	V_{AG}	0 to -12 -2.5 to -12	Vdc
Supervisory Output Voltage	V_{RSO} , V_{TSO} , V_{HSO}	-2.0 to -20	Vdc

PIN CONNECTIONS



PIN DESCRIPTIONS

Name	Function
V_{CC}	The most positive supply voltage. This point is Earth Ground in most typical applications.
BP & BN	Are the base drive outputs for the PNP and NPN Darlington transistors.
EP & EN	Are loop current sensing inputs and are connected to the emitter of the PNP & NPN Darlington transistors.
TSI & RSI	Are the tip and ring current sensing inputs. They are low impedance inputs (approximately 600 Ω each) that translate the voltage on tip and ring to a current through Resistors R_T and R_R .
CC	Compensation capacitor input.
V_{EE}	Is the most negative supply voltage.
V_{OB}	Is the quiet battery connection. The voltage on this pin must not go more negative than V_{EE} .
HST	Hook Status Threshold programming resistor input pin. This pin programs the value of loop resistance which determines on-hook or off-hook status.
RSO	Ring Sense current Output. This output reflects the status of the Ring terminal. The current is sourced from this output and is one-sixth I_{RSI} .
TSO	Tip Sense current Output. This output reflects the status of the Tip terminal. The current is sourced from this output and is one-sixth I_{TSI} .
HSO	Hook Status Output. This is a digital output (open collector PNP) that sources current when the loop resistance is less than the threshold resistance value set by R_H .
PDI	Power-Down Input pin. A logic level "0" powers down the MC3419.
TX	Transmit current output. This output sinks current proportional to $I_{TSI} + I_{RSI}$.
RX	Receive input. This input sums the currents from the TX output and signal input. This pin has a low input impedance.
V_{AG}	Analog ground reference supply voltage input.



ELECTRICAL CHARACTERISTICS ($V_{EE} = -48\text{ V}$, $V_{OB} = -48\text{ V}$, $V_{AG} = -6.0\text{ V}$, $R_L = 900\ \Omega$, $T_A = 25^\circ\text{C}$ unless otherwise noted.)

Characteristic	Figure	Symbol	Min	Typ	Max	Unit
Transhybrid Gain Variation (1.0 kHz @ 0 dBm Input) Transmission/Reception MC3419 MC3419A MC3419C	1	V_{TX}/V_L , V_L/V_{RX}	-0.3 -0.15 0.4	0 0 0	+0.3 +0.15 +0.4	dB
Transhybrid Rejection (1.0 kHz @ 0 dBm Input) Fixed (1%) Resistor Balance Network MC3419, MC3419C MC3419A Trimmed Balance Network All Types	1	V_{TX}/V_{RX}	-23 -33 —	— — -55	— — —	dB
Level Linearity (-4B to +3.0 dBm, referenced to output @ 1.0 kHz @ 0 dBm) Transmission Reception	1	V_{TX}/V_L V_L/V_{RX}	-0.1 -0.1	0 0	+0.1 +0.1	dB
Frequency Response (200-3400 Hz, referenced to output @ 1.0 kHz @ 0 dBm) Transmission Reception	1	V_{TX}/V_L V_L/V_{RX}	0.1 -0.1	0 0	+0.1 +0.1	dB
Total Distortion C-Message Filtered	1	V_L/V_{RX} V_{TX}/V_L	— —	-60 -60	— —	dB
Idle Channel Noise MC3419 MC3419A MC3419C	1	V_{TX}	— — —	— — —	13 10 18	dBm _{c0}
Termination Resistance Tolerance @ 1.0 kHz MC3419A MC3419, MC3419C	1	ΔR_o	— —	— —	± 3.0 ± 5.0	%
Longitudinal Induction — 60 Hz ($I_L = 30$ to 100 mA , $I_{LON} = 35\text{ mA RMS}$)	2	V_{TX}	—	5.0	—	dBm _{c0}
Longitudinal Balance MC3419 (200-3400 Hz) MC3419A (200-1000 Hz) MC3419A (3000 Hz) MC3419C (200-3400 Hz)	2	V_{TX}/V_{LON}	-45 -55 50 -40	— — — —	— — — —	dB
Propagation Delay	1	T_p, V_{RX} to V_L V_{RX} to I_{TX}	— —	750 1.2	— —	ns μs
Power Dissipation ($R_L > 100\text{ M}\Omega$) MC3419, MC3419A MC3419C		P_D	— —	1.0 2.5	— —	mW
Supply Current — On-Hook ($V_{EE} = V_{OB} = -56\text{ V}$, $R_L > 100\text{ M}\Omega$) MC3419, MC3419A MC3419C		I_{CC}	— —	40 100	200 500	μA
Power Supply Noise Rejection (1.0 kHz @ 1.0 V RMS) MC3419, MC3419A	3	V_{TX}/v_{ee}	-40	—	—	dB
Quiet Battery Noise Rejection (1.0 kHz @ 1.0 V RMS)	3	V_{TX}/v_{gb}	—	-6.0	—	dB
Sense Current Tip Ring	4	I_{TSO}/I_{TSI} I_{RSO}/I_{RSI}	0.15 0.15	0.17 0.17	0.19 0.19	mA/mA
Fault Currents — On-Hook Tip to V_{CC} Ring to V_{CC} Tip to Ring Tip & Ring to V_{CC}	1	I_{Tip} I_{Ring} I_{Loop} $I_{Tip} \& I_{Ring}$	— — — —	0 2.5 120 2.5	— — — —	mA
Analog Ground Current		I_{AG}	—	1.0	10	μA
Power Down Logic Levels		I_{PDI} V_{IH} V_{IL}	— -1.2 -20	-1.0 0 —	— — -4.0	μA Vdc Vdc
Hook Status Output Current ($R_L < 2.5\text{ k}\Omega$, $\overline{PDI} = \text{Logic 1}$) ($R_L > 10\text{ k}\Omega$, or $\overline{PDI} = \text{Logic 0}$)	1	I_{HSO}	200 —	400 0	— 2.0	μA



FUNCTIONAL DESCRIPTION

Referring to the functional block diagram, line-sensing resistors at TSI and RSI convert voltages at the Tip and Ring terminals into currents which are fed into current mirrors* A1 and A2. The output of A1 is mirrored by A3 and summed together with an output of A2 at the TX terminal. Thus, a differential to single-ended conversion is performed from the ac line signals to the TX output.

All the dc current at the TX output is fed back through the RX terminal to the B1 mirror input. The inputs to B1 and B2 are made equal by mirroring the B1 input current to the B2 input through a low gain output ($\times 1$) of the B1 mirror. Both B1 and B2 mirrors have high gain outputs ($\times 95$) which drive the subscriber lines with balanced currents that are equal in amplitude and 180° out of phase. The feedback from the TX output, through the B-Circuit mirrors, to the subscriber line produces a dc feed resistance significantly less than the loop sensing resistors:

In most line-interface systems, the ac termination impedance is desired to be greater than the dc feed impedance. A differential ac generator on the subscriber loop would be terminated by the dc feed impedance if the total ac current at the TX output were returned to the B1 input along with the dc current. Instead, the MC3419 system diverts part of the ac current from the B-Circuit mirrors. This decreases the ac feedback current, causing the ac termination impedance at the line interface to be greater than the dc feed impedance.

The ac current that is diverted from the B1 mirror input is coupled to a current-to-voltage converter circuit that has a low input impedance. This circuit consists of an op amp and a feedback resistor external to the MC3419 which produce the transmit output at the 4-wire interface. The transhybrid transmission gain is programmed by the op amp feedback resistor.

Transhybrid reception is realized by converting the ac coupled receive input voltage to a current through an external resistor at the low impedance RX terminal. This current is summed at RX with the dc and ac feedback current from the A-Circuit mirror and drives the B1 mirror input. The B-Circuit mirror outputs drive the line with balanced ac current proportional to the receive input voltage. The transhybrid reception gain is programmed by the resistor at the RX input.

Since receive input signals are transmitted through the MC3419 to the 2-wire port, and the 2-wire port signals are returned to the 4-wire transmit output, a means of cancellation must be provided to maintain 4-wire signal separation (transhybrid rejection). Cancellation is complicated because the gain from the receive port to the transmit port depends on the impedance of the subscriber loop. A passive "balance network" is used to achieve transhybrid rejection by cancelling, at the low impedance input to the transmit op amp, the current reflected by the loop impedance to the 4-wire transmit output. For a resistive loop impedance, a single resistor provides the cancellation. For reactive loops, the balance network should be reactive.

Longitudinal (common-mode) currents that may be present on the subscriber lines are suppressed in the MC3419 by two methods. The first mode of suppression is inherent in the mirror configuration. Positive-going longitudinal currents into Tip and Ring create common-mode voltages that cause a decreasing current through the Tip Sensing resistor and an increasing current through the Ring Sensing resistor. When these equal and opposite signal currents are reflected through the A-Circuit and summed together at TX, the total current at TX remains unchanged. Therefore, the ac currents due to the common-mode signals are cancelled before reaching the transmit output.

The second longitudinal suppression method is dominant, since it limits the amplitude of common mode voltages that appear at the Tip and Ring terminals. Through an error-detecting circuit, the input of which is a difference current between outputs of A1 and A2, the impedance at Tip and Ring to longitudinal currents is kept very low. This is accomplished with a high gain C-Circuit which produces B1 and B2 output currents that are equal and in phase to cancel the longitudinal line currents. Operation of this circuit does not affect the dc line-current or the processing of normal differential line signals.

The hook-status control circuit supplies the bias currents to activate the B-Circuit op amps and other sections of the MC3419. If the PDI pin is a logic "one", the control circuit senses two outputs from the A1 and A2 mirrors. If both of these output currents are greater than the pre-programmed current at the HST terminal, the control circuit supplies currents to power up the SLIC. At the same time it activates a digital status output, HSO.

In addition to the digital hook status output, the condition of Tip and Ring can be monitored at the TSO and RSO outputs of the MC3419. These outputs source currents proportional to the TSI and RSI input currents respectively, and operate independently of the PDI logic input.

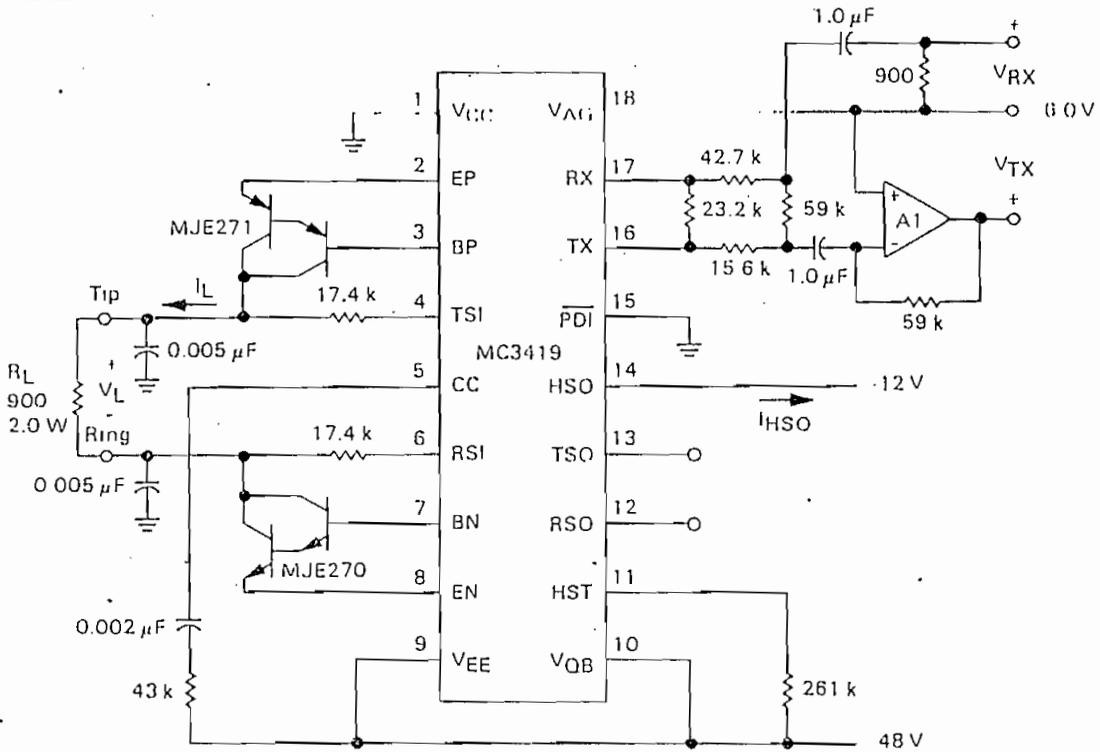
The MC3419 has two negative battery terminals. V_{EE} supplies the high current through the B2 mirror to drive the line. B2 has a high output impedance and battery noise will not be coupled to the line from the V_{EE} terminal. However, V_{OB} is quite sensitive to noise, since the line-sensing resistor is referenced to this pin through the A2 mirror, and should be bypassed with a filter network to guarantee a high rejection of battery noise.

The V_{AG} input also plays a key role in reducing power-supply related noise that can occur when the MC3419 system is coupled to a switching system. The analog ground isolates the 4-wire receive and transmit signal paths from noise on the system power ground by establishing a common ac signal reference.

*A current mirror is a circuit which behaves as a current controlled, current source. It has a single low-impedance input terminal and one or more high impedance outputs.



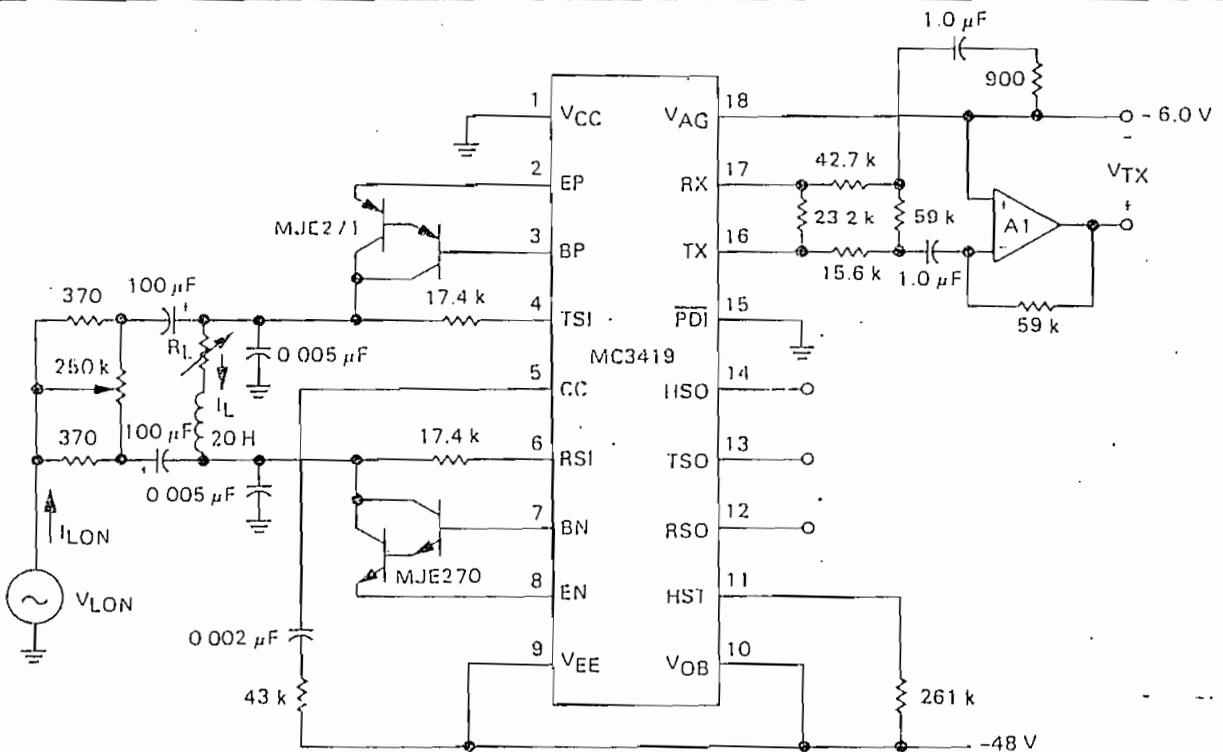
FIGURE 1 - AC TEST CIRCUIT



AC Termination Resistance, $R_0 = 900 \Omega$
 DC Feed Resistance, $R_f = 400 \Omega$

Transmit and Receive Gain = 0 dB
 A1 = Low Noise Type Op-Amp

FIGURE 2 - LONGITUOINAL BALANCE TEST CIRCUIT



AC Termination Resistance, $R_0 = 900 \Omega$
 DC Feed Resistance, $R_f = 400 \Omega$

Transmit and Receive Gain = 0 dB
 A1 = Low Noise Type Op-Amp



FIGURE 3 — SUPPLY NOISE REJECTION TEST CIRCUIT

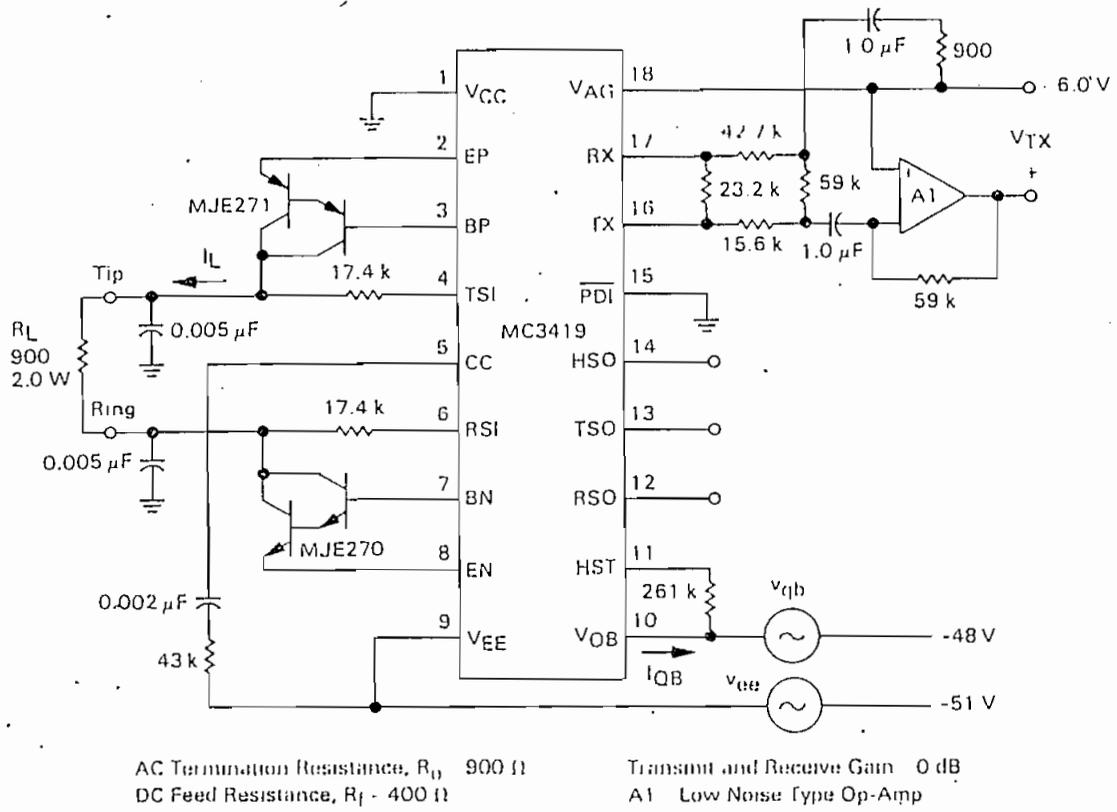


FIGURE 4 — TSO AND RSO SUPERVISORY OUTPUT TEST CIRCUIT

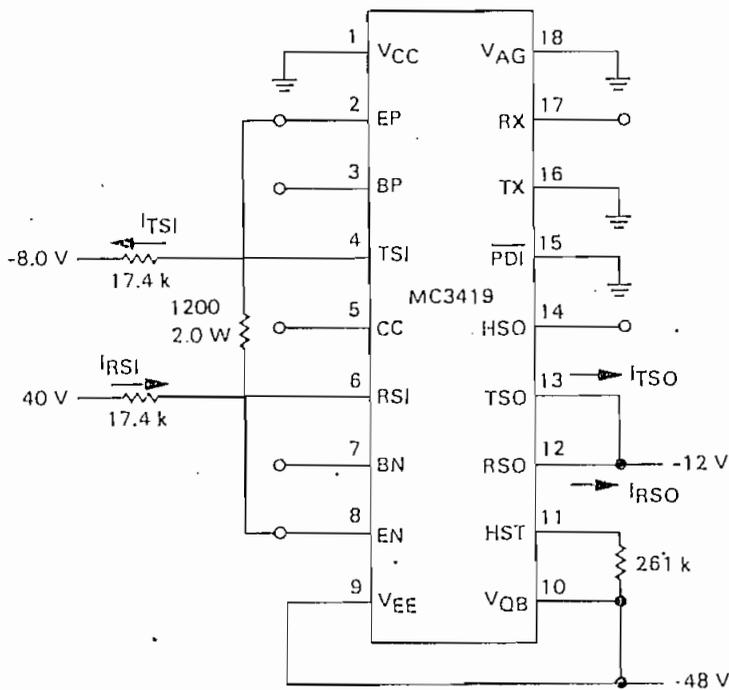


FIGURE 5 QUIET BATTERY
versus LOOP CURRENT

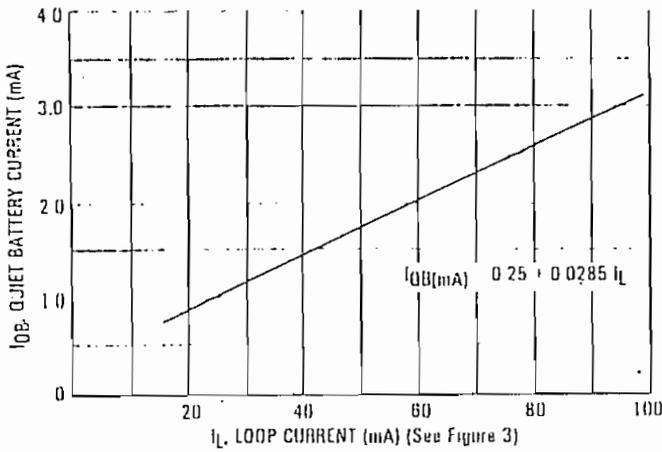
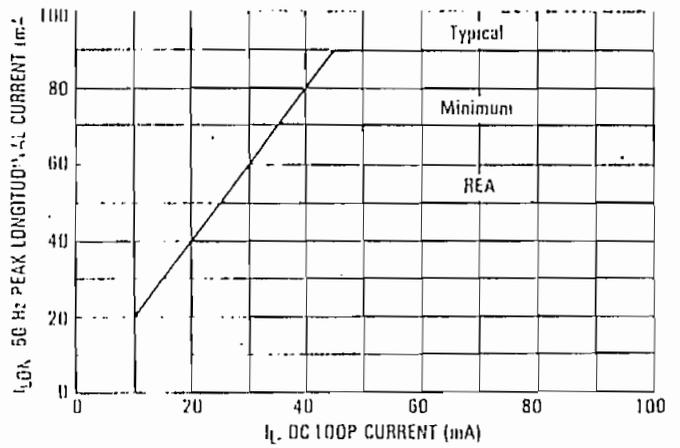
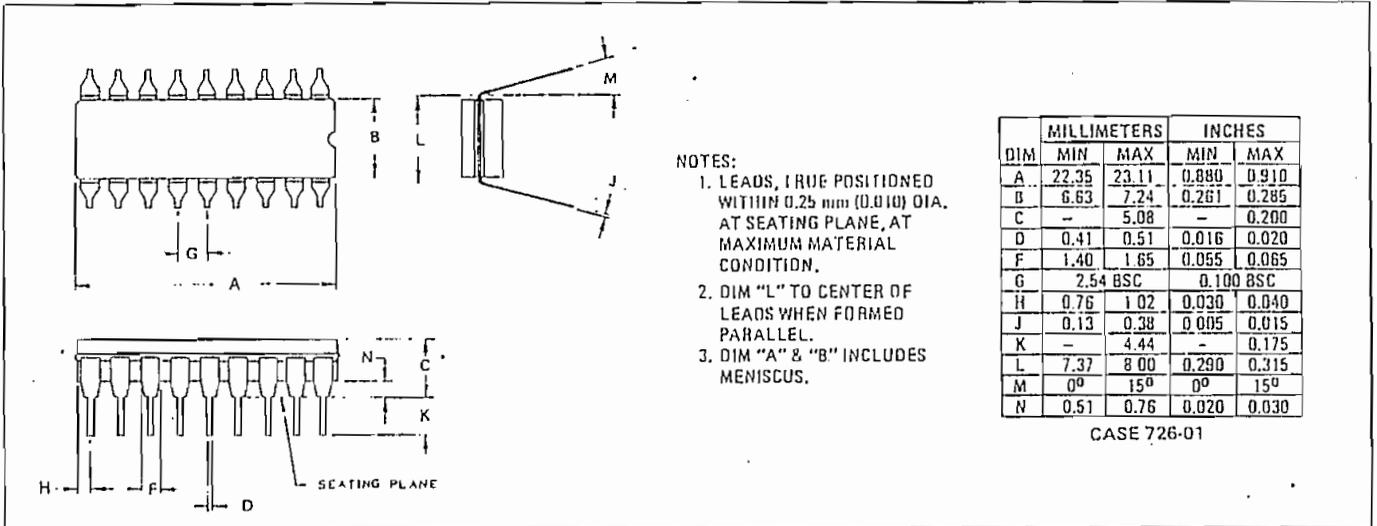


FIGURE 6 - LONGITUDINAL CAPACITY



OUTLINE DIMENSIONS



NOTES:

1. LEADS, 1 RUE POSITIONED WITHIN 0.25 mm (0.010) OIA. AT SEATING PLANE, AT MAXIMUM MATERIAL CONDITION.
2. DIM "L" TO CENTER OF LEADS WHEN FORMED PARALLEL.
3. DIM "A" & "B" INCLUDES MENISCUS.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	22.35	23.11	0.880	0.910
B	6.63	7.24	0.261	0.285
C	-	5.08	-	0.200
D	0.41	0.51	0.016	0.020
F	1.40	1.65	0.055	0.065
G	2.54	BSC	0.100	BSC
H	0.76	1.02	0.030	0.040
J	0.13	0.38	0.005	0.015
K	-	4.44	-	0.175
L	7.37	8.00	0.290	0.315
M	0°	15°	0°	15°
N	0.51	0.76	0.020	0.030

CASE 726-01

Motorola reserves the right to make changes to any product or circuit described herein to improve reliability, function or design. Motorola does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others.



MOTOROLA Semiconductor Products Inc.

APPLICATIONS INFORMATION

The Motorola Subscriber Loop Interface Circuit (SLIC) is comprised of a bipolar laser-trimmed integrated circuit, MC3419, two complimentary Darlington power transistors, MJE270 and 271, a bridge rectifier, MDA220, ten resistors, and five capacitors, as shown in Figure 7. The op amp providing the V_{TX} output may be a separate component or may be one of the two op amps included in the MC14413 or MC14414 PCM filter packages. The circuit of Figure 7 will provide:

- Adjustable resistive dc power feed
- Adjustable maximum loop range
- Adjustable ac termination impedance
- 2-wire balanced to 4-wire single ended conversion
- Adjustable transmit and receive gains
- Independent transhybrid null
- Ring-to-ground, Tip-to-ground, and Ring- and Tip-to-ground fault current limiting (2.5 mA)
- Rejection of longitudinal or common mode interference from dc to greater than 4.0 kHz
- 1500 volt secondary lightning transient protection
- Temporary power-line fault protection
- On-hook power-down (less than 10 mW)
- Floating 4-wire common input for noise rejection
- Hook-status output signal
- Power-down control for subscriber service denial
- Continuous Tip and Ring status monitoring outputs
- Wide battery range (20 V to 56 V)

In addition, the SLIC can provide the following optional features

- Constant current battery feed
- Current limiting battery feed
- Battery noise suppression
- Adjustable frequency response

DC Characteristics

When the telephone is on-hook, the Tip and Ring terminals of the SLIC are essentially open and the MC3419 is in a quiescent state. In this condition, current is being supplied to the line only through R_R and R_T and power dissipation in the MC3419 is limited primarily to leakage currents.

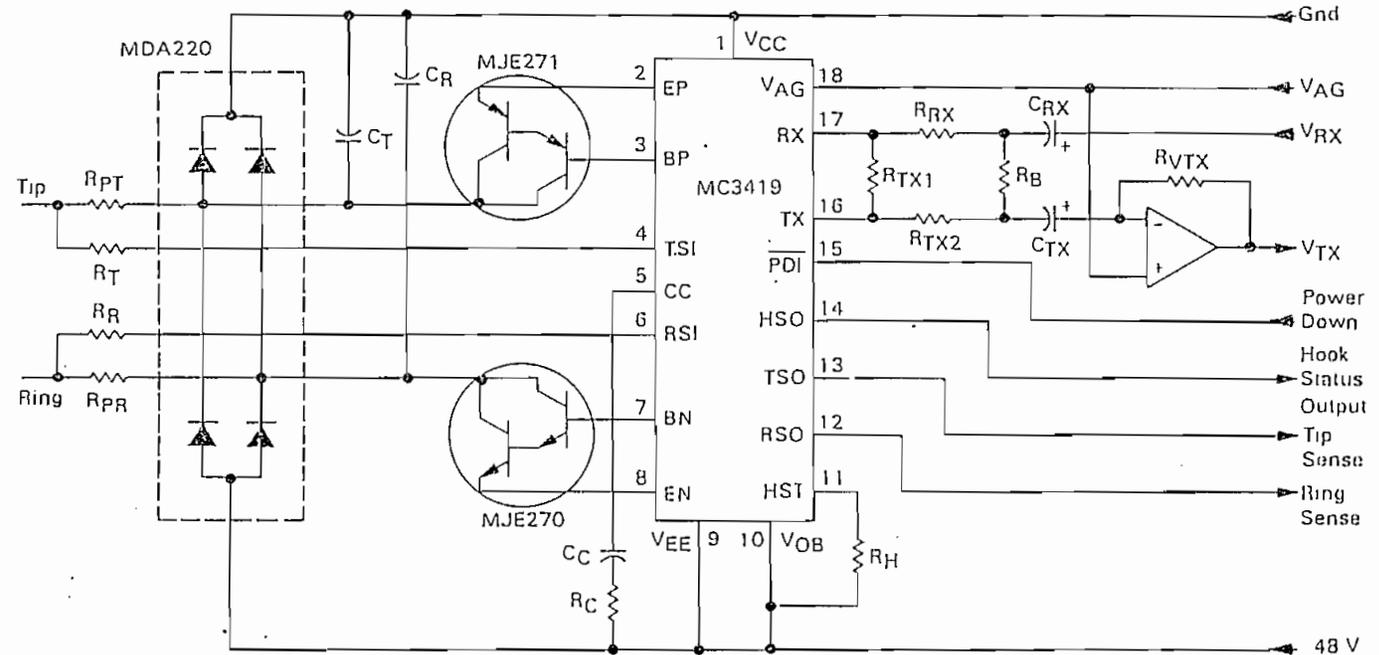
In the off-hook state, the MC3419 powers itself up and provides current to the line. The off-hook dc feed resistance with which the SLIC drives the line is given by

$$R_F = \frac{(R_R + R_T + 1200) |V_{OB}|}{98 (|V_{OB}| - 4)} \quad (1)$$

The values of R_R and R_T can be derived from equation (1) to provide the desired dc feed resistance once V_{OB} is known.

$$R_R - R_T = \frac{49 (|V_{OB}| - 4) R_F}{|V_{OB}|} - 600 \quad (2)$$

FIGURE 7 — SLIC CIRCUIT



The line-feed current flows between ground and V_{EE} ; however, the control electronics is referenced to V_{OB} and ground. Therefore, the dc feed resistance appears to be referenced to V_{OB} and ground.

The matching of R_R and R_T is critical to a number of performance parameters as shown in Figures 8, 9 and 10. One percent tolerance or better is recommended for these resistors. In addition, these resistors must withstand any voltage transients on the line. Resistors able to withstand voltage transients of 1000 V or more are recommended.

FIGURE 8 RETURN LOSS versus TIP/RING RESISTOR MISMATCH

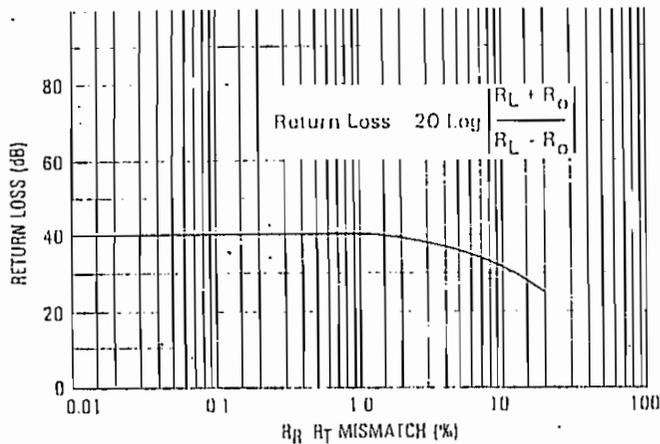
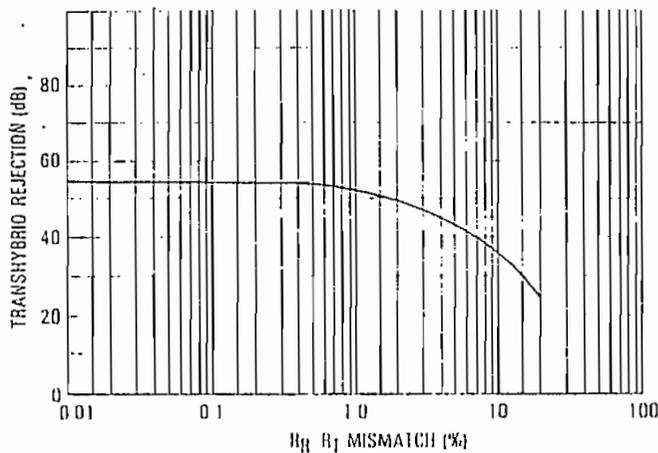


FIGURE 9 TRANSHYBRID REJECTION versus TIP/RING RESISTOR MISMATCH



Power dissipation on short loops can be significantly reduced by either of two methods of current limiting. The dc feed resistance R_F is shown in equation (1) to be a function of V_{OB} as well as R_T and R_R . The current I_{OB} from the V_{OB} pin is proportional to loop current. Therefore, a resistor R_{OB} placed between the V_{OB} pin and V_{EE} supply will reduce the V_{OB} supply voltage as the loop current increases. This slightly increases the value of R_F while at the same time reducing the effective value of the battery voltage, thereby limiting loop current. Figure 11

FIGURE 10 — IMPEDANCE BALANCE versus TIP/RING RESISTOR MISMATCH

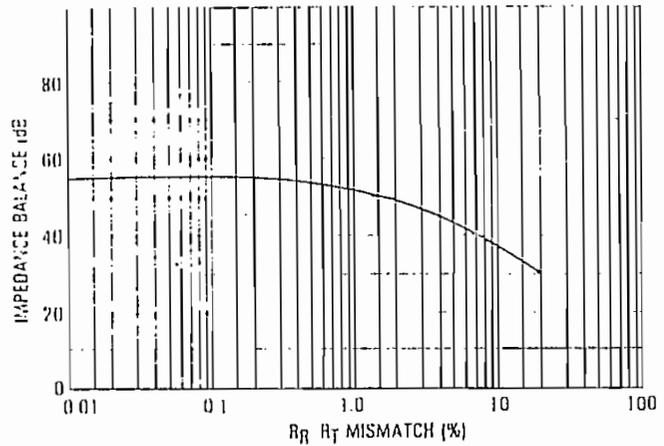
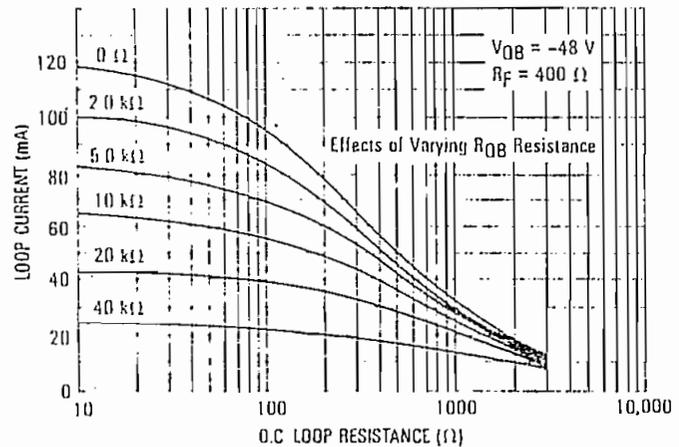


FIGURE 11 — LOOP CURRENT versus LOOP RESISTANCE



can be used to determine the value of R_{OB} that will yield the desired maximum loop current.

Figure 20 shows how a current regulator device can be used in place of R_{OB} to provide a constant current line-feed characteristic up to the loop resistance where the constant current equals the resistive feed current. At that point, the line feed will appear resistive. Typical current regulator values for various loop currents are shown in Figure 12. The Motorola 1N5283 series of current regulator diodes are recommended. The current sourced to the current regulator diode in the off-hook mode is:

$$I_{OB} = 0.0285 I_L + 0.25 + \frac{|V_{OB}| - 4}{R_H} \quad (3a)$$

I_L in mA, R_H in $k\Omega$

In the on-hook mode the current is:

$$I_{OB} = 2.15 I_{RS1} + 0.7 I_{TS1} \quad (3b)$$

Figure 13 is a graph of SLIC power dissipation for both 400 Ω resistive battery feed and constant current battery feed, (or current limiting) showing the power savings of constant current techniques.



FIGURE 12 -- LOOP CURRENT REGULATION

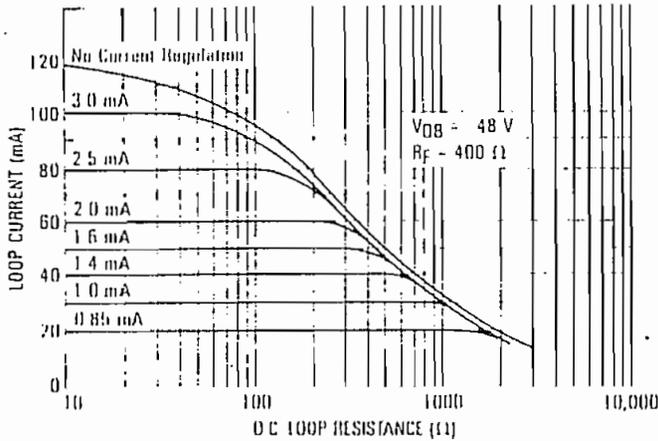
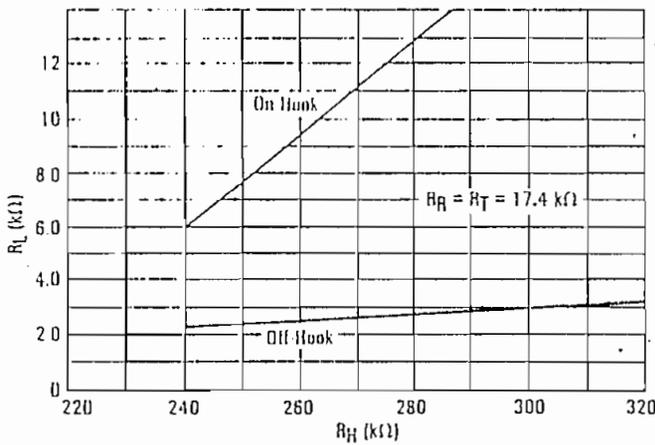


FIGURE 14 -- HOOK STATUS DETECTION



Either R_{OB} or the current regulator diode and a capacitor to V_{CC} provide an effective means of filtering any noise on the V_{EE} line and prevent it from reaching the V_{OB} pin.

The loop resistances which the SLIC recognizes as on-hook and off hook are determined by R_H .

$$R_L (\text{On-Hook}) \geq 0.17 R_H - (R_R + R_T) \quad 4 (a)$$

$$R_L (\text{Off-Hook}) \leq 0.011 R_H - 0.010 (R_R + R_T) \quad 4 (b)$$

The value of R_H can be selected from Figure 14. All loop resistances below the shaded area at the point where R_H was selected are recognized as off-hook. All loop resistances above the shaded area at the value of R_H are recognized as on-hook. The shaded area represented an undefined region where the hook status output may indicate either on-hook or off-hook due to element tolerances and comparator hysteresis.

FIGURE 13 -- TOTAL SLIC POWER DISSIPATION

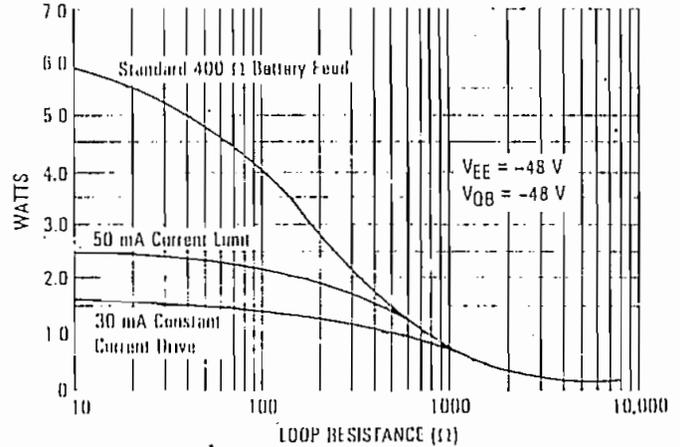
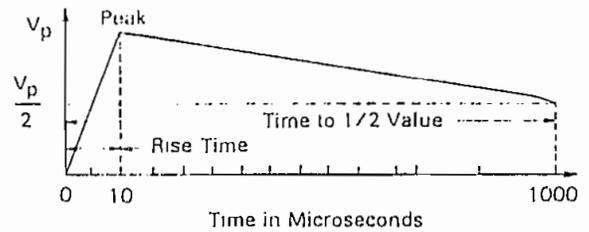


FIGURE 15 -- TRANSIENT VOLTAGE WAVE SHAPE



Transient Protection

The SLIC shown in Figure 7 will withstand positive or negative voltage transients on Tip and Ring up to $1500 V_{peak}$ having the waveshape shown in Figure 15. The resistors R_{PT} , R_{PR} , R_T , and R_R must be chosen to withstand such a voltage transient without arcing across or failing due to the resulting current surge. The values of R_{PT} and R_{PR} should be between 30 and 50 Ω . Tolerance of 20% is adequate. The values of R_T and R_R are determined per equation (2). The peak currents at RSI and TSI should not exceed 200 mA during these transients.

The circuit of Figure 7 will also withstand crosses to ac power lines of up to 700 V_{RMS} for 11 cycles of the 60 Hz line per REA Form 522a. The ability to withstand continuous power-line crosses is determined mainly by the power handling ability of R_{PT} , R_{PR} , R_T , and R_R . The circuit wiring to the MDA 220 diode bridge must be adequate to handle the large voltages and currents caused by transients, as well.

None of the pins on the MC3419 should be operated more positive than V_{CC} or more negative than V_{EE} . How-



ever, under transient conditions, EP and BP may go up to one volt more positive than V_{CC} and BN, EN, and VOB may go up to one volt more negative than V_{EE} without permanent damage to the MC3419. When a capacitor is used on the V_{OB} pin in conjunction with R_{OB}, a 1N4001 or similar diode is recommended between V_{OB} and V_{EE}. The diode cathode should be connected to V_{OB}. For single short transients of less than one millisecond EP and BP may exceed V_{CC} and EN and BN may exceed V_{EE} by up to 30 V.

Transmission Characteristics

The ac termination impedance R_0 of the SLIC is determined by R_T , R_R , and the ratio of R_{TX2} to R_{TX1} .

$$R_0 = \frac{R_T + R_R + 1200}{1 + 97K_5} \quad (5)$$

$$K_5 = \frac{R_{TX2}}{R_{TX2} + R_{TX1}} \quad (6)$$

The required value of K_5 is derived from equation (5) after choosing R_0 .

$$K_5 = \frac{1}{97} \left[\frac{R_T + R_R + 1200}{R_0} - 1 \right] \quad (7)$$

The value of R_{TX1} must be selected first to assure that the internal current mirrors in the MC3419 do not saturate at the minimum voltage provided at V_{OB}. The value of R_{TX1} is determined by:

$$R_{TX1} = \frac{(R_R + R_T + 1200)(|V_{OB}|_{min} - |V_{AG}|_{max} - 6.5)}{|V_{OB}|_{min} - 5.4} \quad (8)$$

If current limiting or constant current-feed is used where the minimum value of V_{OB} may not be known, R_{TX1} is found by:

$$R_{TX1} = \frac{0.01 I_L(max)(R_R + R_T + 600) - |V_{AG}|_{max} - 3.9}{0.01 I_L(max)} \quad (9)$$

The value of R_{TX2} may be derived from equation (6).

$$R_{TX2} = \frac{K_5 R_{TX1}}{1 - K_5} \quad (10)$$

Transhybrid reception gain (G_{RX}) from V_{RX} to Tip and Ring is given by:

$$G_{RX} = \frac{95 R_L R_0}{(R_L + R_0) R_{RX}} \quad (11)$$

The value of R_{RX} may be calculated to provide the desired G_{RX} for a given R_0 and R_L .

$$R_{RX} = \frac{95 R_L R_0}{(R_L + R_0) G_{RX}} \quad (12)$$

Transhybrid transmission gain (G_{TX}) from Tip and Ring to V_{TX} is given by:

$$G_{TX} = \frac{1.02 R_{V_{TX}} (1 - K_5)}{R_R + R_T + 1200} \quad (13)$$

The value of $R_{V_{TX}}$ may be calculated to provide the desired G_{TX} .

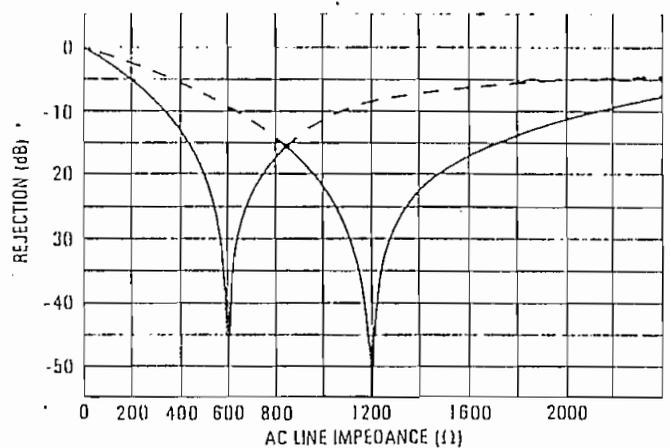
$$R_{V_{TX}} = \frac{(R_R + R_T + 1200) G_{TX}}{1.02 (1 - K_5)} \quad (14)$$

Transhybrid rejection is achieved with the SLIC by taking advantage of the 180° phase reversal of the current at the TX pin with respect to the V_{RX} input. A balance resistor, R_B , is placed between the V_{RX} input and the virtual ground point between C_{TX} and R_{TX2} . The value of this resistor is selected to exactly cancel out the return current from the TX pin and is determined by

$$R_B = \frac{R_{RX}(1 + 97K_5)(R_0 + R_L)}{97(1 - K_5)(R_L)} \quad (15)$$

Maximum rejection will only occur at one value of R_L across Tip and Ring, as shown in Figure 16, for a given value of R_B . Figure 16 shows that more than one value of R_B may be required to provide adequate rejection over wide ranges of loop resistance.

FIGURE 16 - TRANSHYBRID REJECTION



Maximum rejection on a line that is reactive can be obtained with the circuit shown in Figure 17. This will balance any capacitive load on the line, where

$$R_{B1} = \frac{R_{RX}(R_R + R_T + 1200)}{97 R_L (1 - K_5)} \quad (16)$$

$$R_{B2} = \frac{R_{RX}(R_R + R_T + 1200)}{97 R_0 (1 - K_5)} \quad (17)$$

$$C_B = \frac{R_L C_L}{R_{B2}} \quad (18)$$

Signaling and Supervision

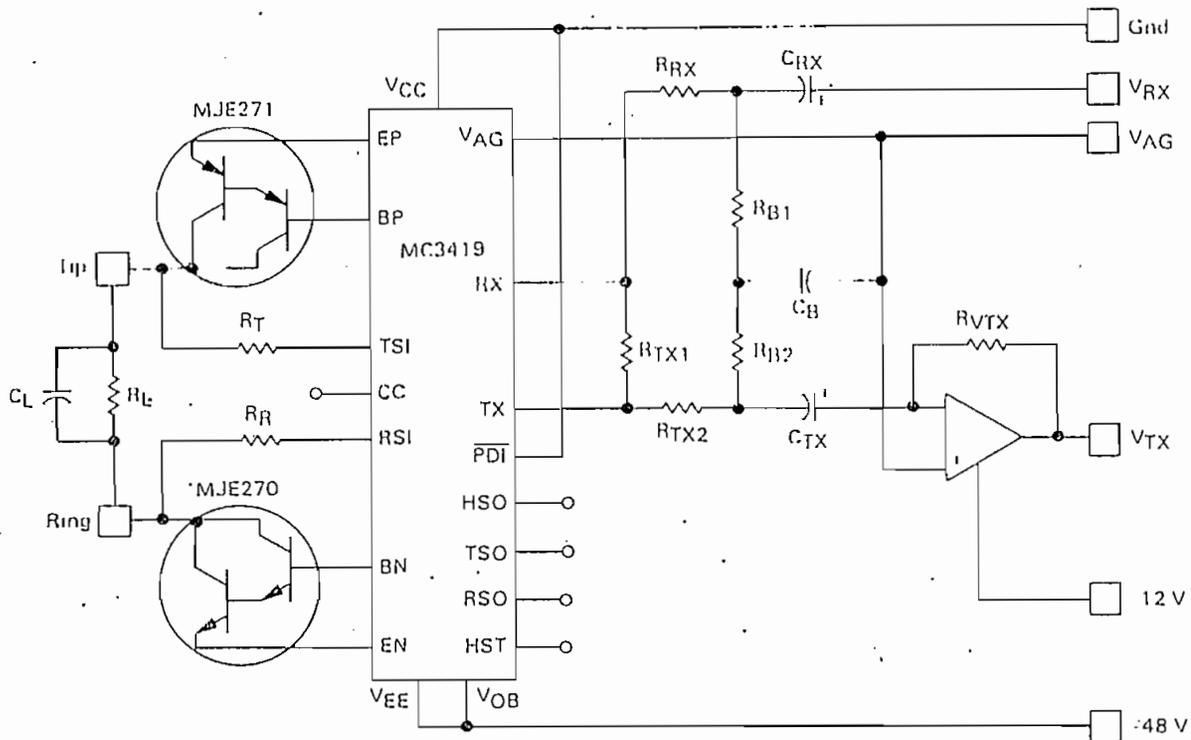
The PDI function shuts off all power to the subscriber with the exception of the small current provided by R_R and R_T . The power-down state occurs when a logic low-level, any voltage more negative than $V_{CC} - 4.0$ V but not exceeding -20 V, is applied to the PDI pin.

The PDI pin is designed to be TTL compatible if the logic power supplies are 0 V and -5.0 V. It is also compatible with CMOS powered from 0 V and -12 V supplies, otherwise a level-shifter is required. If the power-down feature is not desired, this pin can be tied to V_{CC} .

Hook status is indicated by the presence or absence of current at the Hook Status Output (HSO). On-hook status is indicated by no current output at HSO. When an off-hook condition is detected by the MC3419, the HSO pin sources a dc current of at least 200 μ A. A resistor can be used to translate the current into a voltage for further



FIGURE 17 - BALANCE NETWORK FOR REACTIVE LINES



processing by the digital logic. This pin also passes dial pulse information. If the $\overline{\text{PDI}}$ pin is at a logic low level, HSO is inactive.

Figures 18 (a), 18 (b), and 18 (c) show suggestions for interfacing with various digital logic levels.

The Tip Sense Output (TSO) and the Ring Sense Output (RSO) both source current that is proportional to the current that flows into and out of their respective inputs - the Tip Sense Input (TSI) and Ring Sense Input (RSI). The output currents are $1/6$ that of the input currents. These outputs may be used as full time monitors of the line condition since they remain active even if the MC3419 is in the power down state. Figure 19 shows how these outputs can be used for the ring-rip function and ring-fault indicator.

Ringling is the last function to describe on Figure 19. There are several ways of inserting the ringing signals on a line, any one of which the SLIC can be adapted to. Figure 19 shows one method.

When the ringing relay is enabled, the ring side of the SLIC is disconnected. The tip side of the line is connected to a grounded resistor (R_{G1}) to provide a complete signal path for the ring generator signal. While the phone is on-

hook, the ringing signal is capacitively coupled to the tip line through the high impedance of the bell ringer and a capacitor in the phone. The dc currents are low and therefore the dc voltage drop across R_{G1} is low. When the subscriber goes off-hook, the impedance of the phone drops to a few hundred Ω of dc resistance and R_{G1} gets a large dc current along with a large ac current. The sensing resistor (R_T) will sense this change and the TSO output of the MC3419 will also reflect this change by an increased voltage drop on the R_T resistor. The capacitor (C_{TS}) will filter the ac component of the signal. A comparator can now be used to determine the hook status and disable the ring relay.

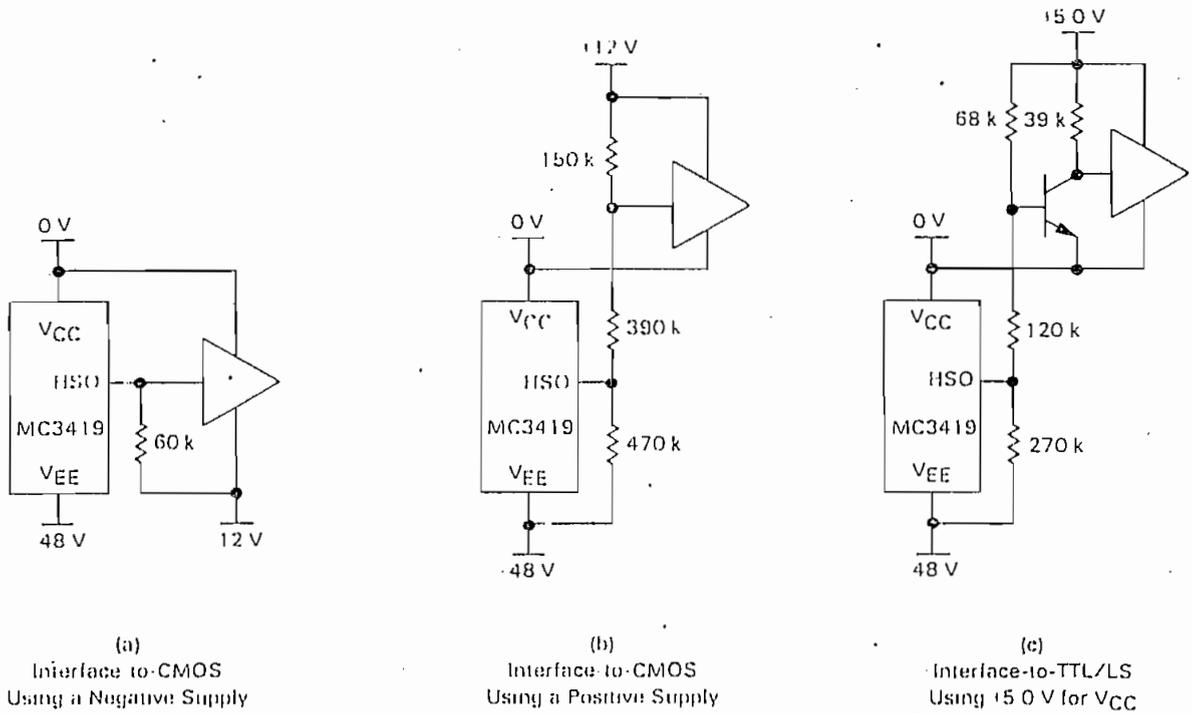
Design Example

This example will illustrate the design procedure for a SLIC to meet the following specifications:

- $V_{EE} = -48 \text{ V} \pm 6.0 \text{ V}$
- $V_{AG} = -6.0 \text{ V} \pm 1.0 \text{ V}$
- 400 Ω resistive dc feed
- Current limiting at 60 mA
- Maximum loop resistance of 2500 Ω
- 900 Ω ac termination resistance



FIGURE 18 · INTERFACE TO DIGITAL LOGIC



Transmit gain of 0 dB
 Receive gain of 0 dB
 Balanced for 600 Ω line resistance

The V_{OB} supply will be derived from the -48 V V_{EE} supply through a 1N5305 current regulator diode to provide loop current limiting at 60 mA. The voltage drop across the 1N5305 is less than 2.0 V until it reaches regulation and may be ignored in the calculation of R_T and R_R . C_{OB} is 10 μF at 60 V. From equation (2),

$$R_T = R_R \frac{49(48.4)400}{48} = 600$$

$$= 17367 \Omega$$

The closest standard value with ±1.0% tolerance is 17.4 kΩ. 17.4 kΩ will be used in all the rest of the equations.

The protection resistors (R_{PR} and R_{PT}) should be 30 Ω to 50 Ω. For this example we will use 40 Ω ±20%. C_T and C_R are stabilization capacitors whose values, including line capacity, should be a minimum of 2000 pF.

R_C and C_C are determined by $(R_T \pm 600) C_T = R_C C_C$. 18 kΩ ±5% and 2000 pF will be used for R_C and C_C .

The value of R_H is determined from Figure 14. To guarantee off-hook detection at the maximum loop resistance of 2500 Ω, R_H can be 261 kΩ ±1%, which is a standard value. A 270 kΩ ±5% resistor can be used if the on-hook resistance of the loop is specified larger than 14 kΩ.

To obtain the desired 900 Ω ac termination resistance (R_0), K_5 is first calculated using equation (7).

$$K_5 = \frac{1}{97} \left[\frac{17400 + 17400 + 1200}{900} - 1 \right]$$

$$= 0.402$$

The value of R_{TX1} is calculated from equation (9) since V_{OB} is supplied from a current regulator diode.

$$R_{TX1} = \frac{(0.01)(0.06)(17400 + 17400 + 600) \cdot 7.39}{(0.01)(0.06)}$$

$$= 17233 \Omega$$

17233 Ω is the largest value of R_{TX1} that can be used. A 16.9 kΩ ±1% resistor is the standard value selected. From equation (10), R_{TX2} is now calculated.

$$R_{TX2} = \frac{(0.402)(16900)}{(1 - 0.402)}$$

$$= 11361 \Omega$$

A 11.3 kΩ ±1% resistor is selected. When selecting R_{TX2} , select the nearest standard value lower than the calculated value. This is because C_{TX} adds a small impedance to the value of R_{TX2} and the virtual ground node (negative input to the current to voltage converter) will also add a slight amount of impedance to R_{TX2} . The impedance of the virtual ground point is

$$Z_{in} = \frac{R_{VTX}}{1 + A}$$



where A is the open loop gain of the op amp. At 1.0 kHz, Z_{in} will probably range from 50 Ω to 100 Ω . The C_{TX} capacitor, 1.0 μ F (50 V) adds a reactance of 160 Ω to the value of R_{TX2} so the total impedance is:

$$\sqrt{(11300 + 75)^2 + (160)^2} = 11376 \Omega$$

With the nominal values selected for R_{TX1} , R_{TX2} , C_{TX} and Z_{in} , K_5 nominal value is 0.4007 and R_o nominal value is 903 Ω .

Transhybrid reception gain (G_{RX}) is set to 0 dB (voltage gain of one) by calculating R_{RX} using equation (12). A nominal line resistance (R_L) of 900 Ω will be assumed.

$$R_{RX} = \frac{(95)(900)(903)}{(900 + 903)(1)}$$

$$= 42821 \Omega$$

A 43.2 k Ω \pm 1% resistor should be used for R_{RX} . Use a 1.0 μ F 20 V capacitor for C_{RX} .

Transhybrid transmission gain (G_{TX}) is set for unity gain by calculating R_{VTX} , using equation (13).

$$R_{VTX} = \frac{(17400 + 17400 + 1200)(1)}{(1 - 0.4007)}$$

$$= 60070 \Omega$$

A 60.4 k Ω \pm 1% resistor should be used for R_{VTX} .

The balance resistor (R_B) is selected to maximize transhybrid rejection with R_L of 600 Ω using equation (15)

$$R_B = \frac{43200 [1 + 97 (0.4007)] (903 + 600)}{97 (1 - 0.4007) (600)}$$

$$= 74216 \Omega$$

A 75 k Ω \pm 1% resistor would be selected.

The digital Hook Status Output resistor (R_{HS}) is determined from a consideration of the type of logic with which the output must interface and the power supply voltages of that logic. Assuming CMOS at $V_{DD} = 0$ V and $V_{SS} = 12$ V, then

$$R_{HS} = \frac{V_{SS}}{I_{HS}}$$

$$= \frac{12 \text{ V}}{200 \mu\text{A}}$$

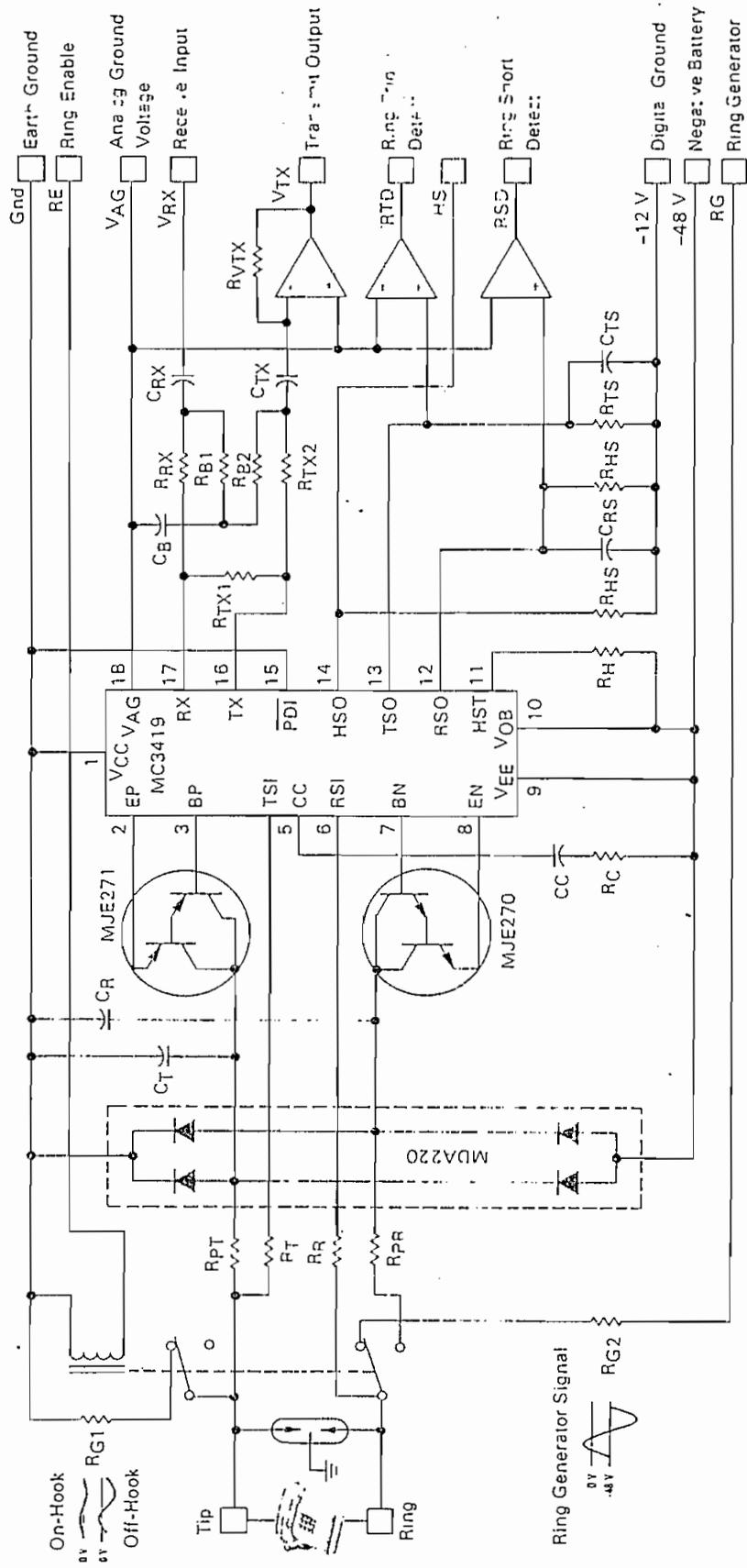
$$= 60 \text{ k}\Omega$$

A 62 k Ω \pm 5% resistor is suitable.

The complete SLIC design is shown in Figure 20, along with the codec, filter, time-slot assigner/channel controller, and reference voltage needed for a complete line circuit.

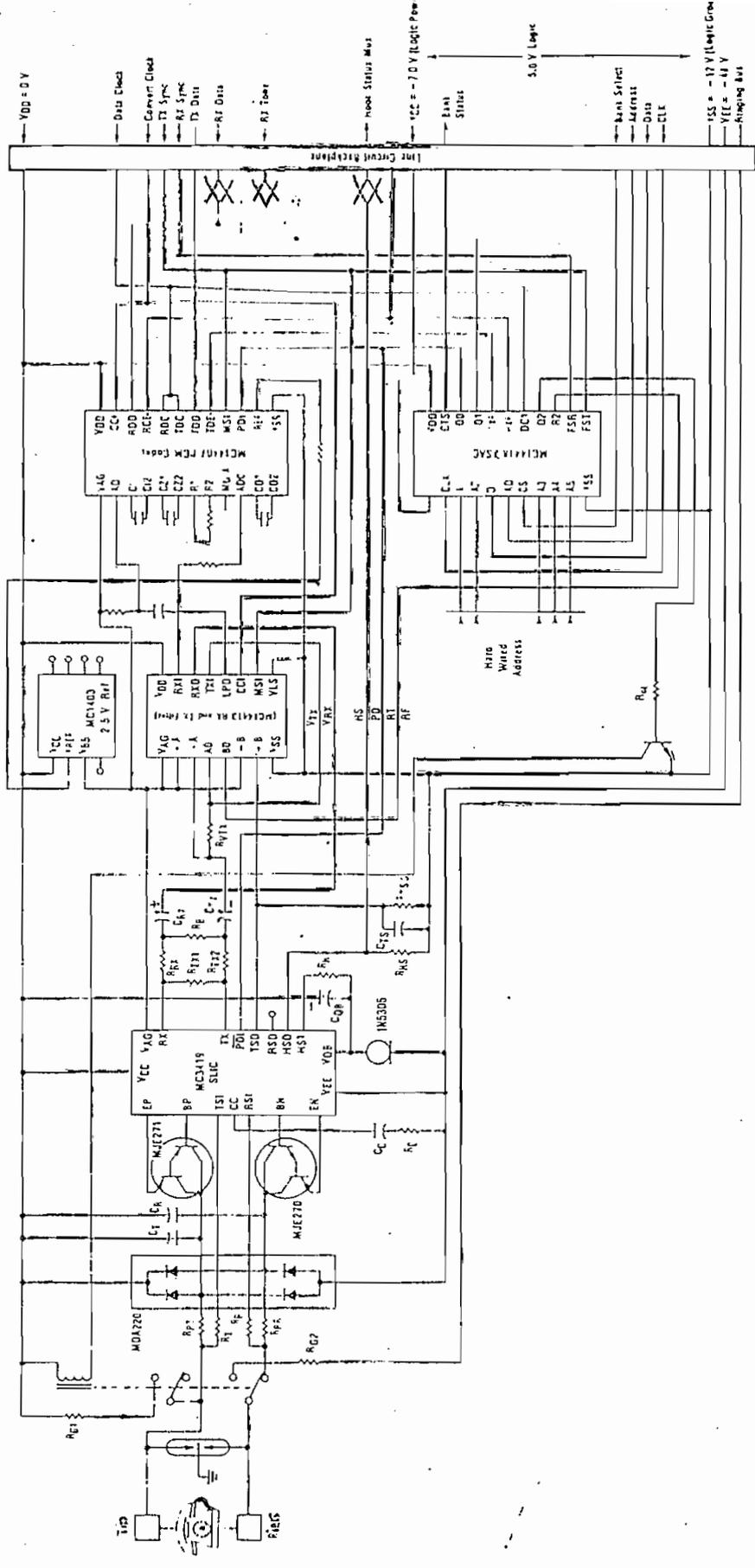


FIGURE 19 — RING INSERTION



Note: Ring Relay is shown in energized position

FIGURE 20 - LINE CIRCUIT USING SLIC, FILTER, CODEC AND TSAC



MOTOROLA Semiconductor Products Inc.

BOX 20912 • PHOENIX, ARIZONA 85036 • A SUBSIDIARY OF MOTOROLA INC

FORM 1681 PRINTED IN U.S.A. (7/78) IMPERIAL 37570 000 000 000

**LM311 voltage comparator
general description**

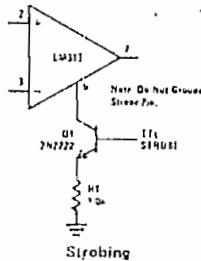
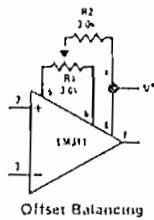
The LM311 is a voltage comparator that has input currents more than a hundred times lower than devices like the LM306 or LM710C. It is also designed to operate over a wider range of supply voltages: from standard +15V op amp supplies down to the single 5V supply used for IC logic. Its output is compatible with RFL, DTL and TTL as well as MOS circuits. Further, it can drive lamps or relays, switching voltages up to 40V at currents as high as 50 mA.

- Differential input voltage range: +30V
- Power consumption: 135 mW at +15V

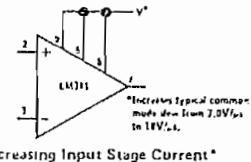
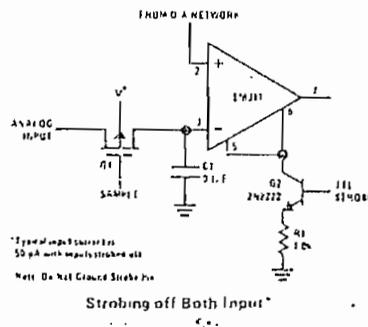
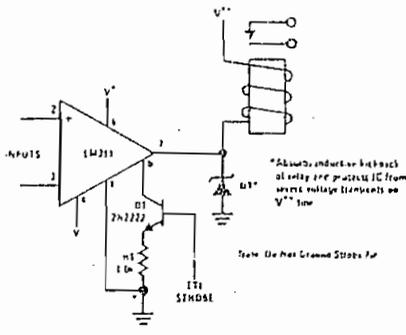
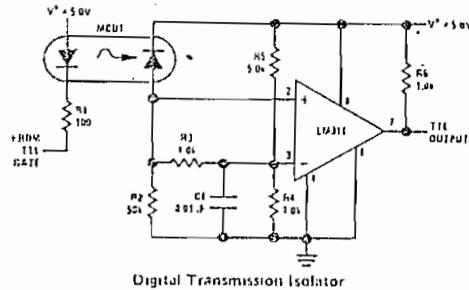
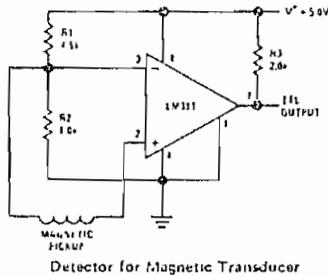
features

- Operates from single 5V supply
- Maximum input current: 250 nA
- Maximum offset current: 50 nA

Both the input and the output of the LM311 can be isolated from system ground, and the output can drive loads referred to ground, the positive supply or the negative supply. Offset balancing and strobe capability are provided and outputs can be wire OR'ed. Although slower than the LM306 and LM710C (200 ns response time vs 40 ns) the device is also much less prone to spurious oscillations. The LM311 has the same pin configuration as the LM306 and LM710C. See the "application hints" of the LM311 for application help.

auxiliary circuits*


*Note: Pin connections shown on schematic diagram and typical applications are for TO-5 package.


typical applications*


absolute maximum ratings

Total Supply Voltage (V_{34})	36V
Output to Negative Supply Voltage (V_{74})	40V
Ground to Negative Supply Voltage (V_{14})	30V
Differential Input Voltage	$\pm 30V$
Input Voltage (Note 1)	$\pm 15V$
Power Dissipation (Note 2)	500 mW
Output Short Circuit Duration	10 sec
Operating Temperature Range	$0^{\circ}C$ to $70^{\circ}C$
Storage Temperature Range	$-65^{\circ}C$ to $150^{\circ}C$
Lead Temperature (soldering, 10 sec)	$300^{\circ}C$
Voltage at Strobe Pin	$V^{+}-5V$

electrical characteristics (Note 3)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Input Offset Voltage (Note 4)	$T_A = 25^{\circ}C, R_S \leq 50k$		2.0	7.5	mV
Input Offset Current (Note 4)	$T_A = 25^{\circ}C$		6.0	50	nA
Input Bias Current	$T_A = 25^{\circ}C$		100	250	nA
Voltage Gain	$T_A = 25^{\circ}C$	40	200		V/mV
Response Time (Note 5)	$T_A = 25^{\circ}C$		200		ns
Saturation Voltage	$V_{IN} \leq -10 mV, I_{OUT} = 50 mA$ $T_A = 25^{\circ}C$		0.75	1.5	V
Strobe ON Current	$T_A = 25^{\circ}C$		3.0		mA
Output Leakage Current	$V_{IN} \geq 10 mV, V_{OUT} = 35V$ $T_A = 25^{\circ}C, I_{STROBE} = 3 mA$		0.2	50	nA
Input Offset Voltage (Note 4)	$R_S \leq 50k$			10	mV
Input Offset Current (Note 4)				70	nA
Input Bias Current				300	nA
Input Voltage Range		-14.5	13.8,-14.7	13.0	V
Saturation Voltage ^a	$V^{+} \geq 4.5V, V^{-} = 0$ $V_{IN} \leq -10 mV, I_{SINK} \leq 8 mA$		0.23	0.4	V
Positive Supply Current	$T_A = 25^{\circ}C$		5.1	7.5	mA
Negative Supply Current	$T_A = 25^{\circ}C$		4.1	5.0	mA

Note 1: This rating applies for $\pm 15V$ supplies. The positive input voltage limit is 30V above the negative supply. The negative input voltage limit is equal to the negative supply voltage or 30V below the positive supply, whichever is less.

Note 2: The maximum junction temperature of the LM311 is $110^{\circ}C$. For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of $150^{\circ}C/W$, junction to ambient, or $45^{\circ}C/W$, junction to case. For the flat package, the derating is based on a thermal resistance of $185^{\circ}C/W$ when mounted on a 1/16-inch-thick epoxy glass board with ten, 0.03-inch-wide, 2-ounce copper conductors. The thermal resistance of the dual-in-line package is $100^{\circ}C/W$, junction to ambient.

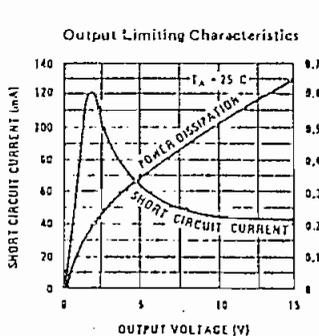
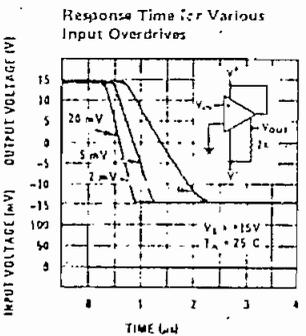
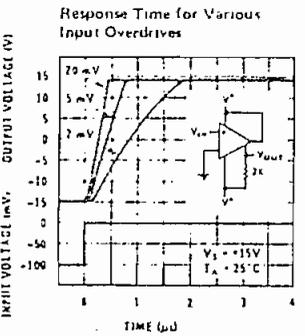
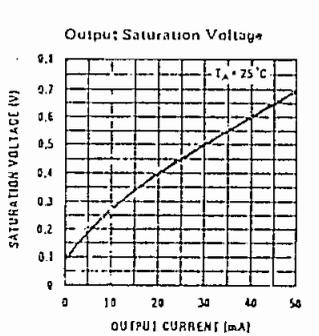
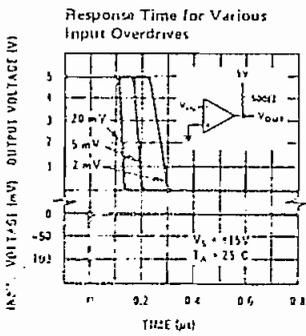
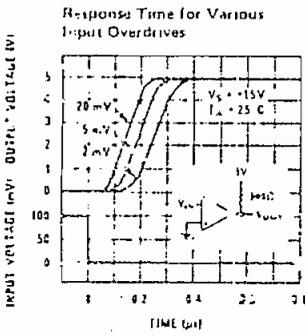
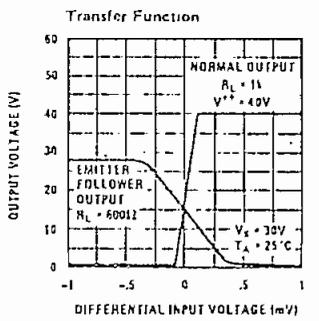
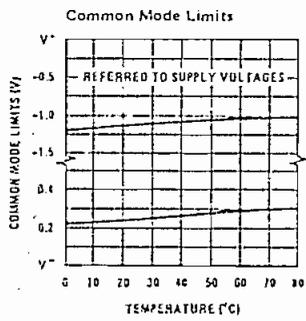
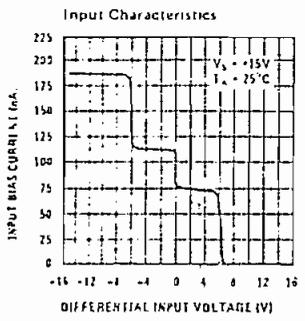
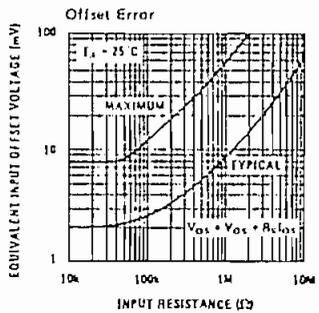
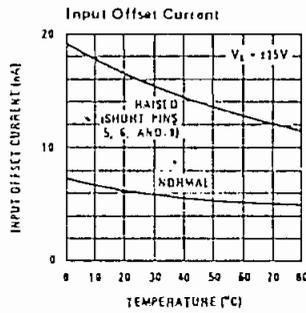
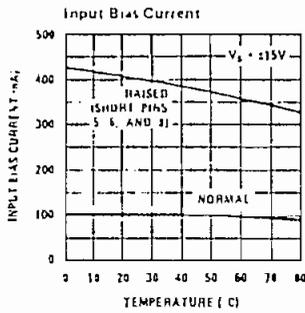
Note 3: These specifications apply for $V_S = \pm 15V$ and the Ground pin at ground, and $0^{\circ}C < T_A < +70^{\circ}C$, unless otherwise specified. The offset voltage, offset current and bias current specifications apply for any supply voltage from a single 5V supply up to $\pm 15V$ supplies.

Note 4: The offset voltages and offset currents given are the maximum values required to drive the output within a volt of either supply with 1 mA load. Thus, these parameters define an error band and take into account the worst-case effects of voltage gain and input impedance.

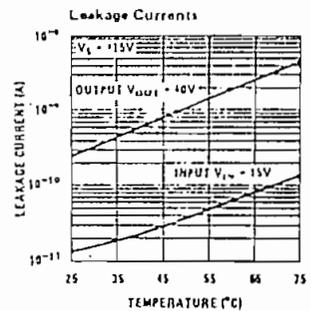
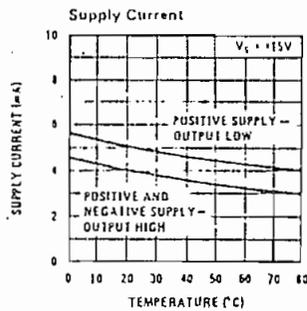
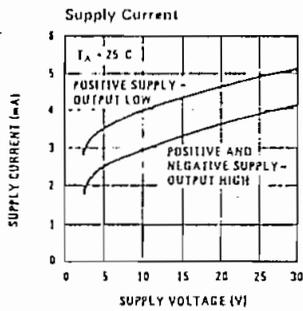
Note 5: The response time specified (see definitions) is for a 100 mV input step with 5 mV overdrive.

Note 6: Do not short the strobe pin to ground; it should be current driven at 3 to 5 mA.

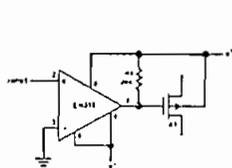
typical performance characteristics.



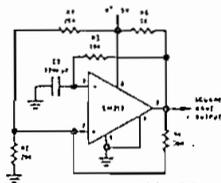
typical performance characteristics (con't)



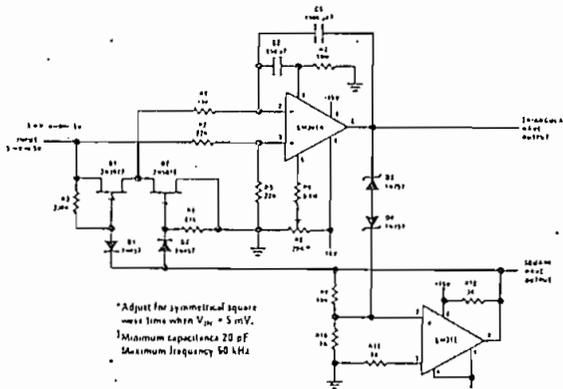
typical applications



Zero Crossing Detector
Driving MOS Switch

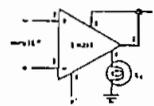


100 kHz Free Running Multivibrator
*TTL or DTL load of 10mA.



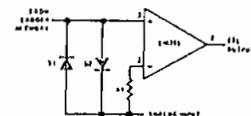
*Adjust for symmetrical square wave
 -10% time when $V_{in} = 5\text{ mV}$.
 †Minimum capacitance 20 pF
 ‡Maximum frequency 50 kHz

10 Hz to 10 kHz Voltage Controlled Oscillator

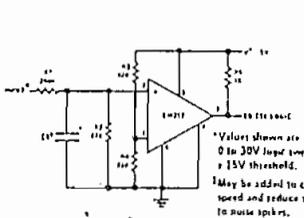


*Input current is limited
 by the input impedance.

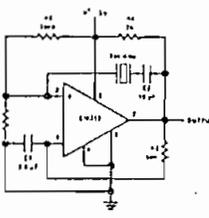
Driving Ground-Referred Load



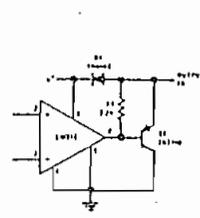
Using Clamp Diodes to Improve Response



TTL Interface with High Level Logic



Crystal Oscillator



Comparator and Solenoid Driver

BIBLIOGRAFIA

- 1) F. OWEN.- "PCM and Digital Transmission Systems", Mc Graw - Hill Book, 1982.
- 2) SUMITOMO CORPORATION.- "NEAX61 - Sistema de Conmutación Digital", Sumitomo Shoji Kaisha Ltd.
- 3) L GONZALEZ.- "Sistema de Modulación con Impulsos Codificados". Bell Telephone MFG. Co.
- 4) TAUB-SCHILLING.- "Digital Integrate Electronics", Mc Graw - Hill, 1977.
- 5) OSWALDO BUITRON.- "Sistemas Digitales II", Escuela Politécnica Nacional, 1981-1982.
- 6) ALFONSO ESPINOSA.- "Sistemas Digitales III", Escuela Politécnica Nacional, 1981-1982.
- 7) NATIONAL SEMICONDUCTOR.- "Linear Data Book", National Semiconductor Corporation, 1980
- 8) TEXAS INSTRUMENTS.- "The TTL Data Book For Design Engineer", Texas Instruments Inc., 1976
- 9) INTEL.- "Componente Data Catalog", Intel Co., 1981.
- 10) POPULAR ELECTRONICS.- "Electronic Experiments", June 1975-Vol 7; N° 6
- 11) GORDON-PEARCE.- "Telecommunication Switching", Series Editor R.W. Lucky Applications of Communication Theory
- 12) DISCON R. DOLF.- "Data Communication", John Willy&Oons, 1978
- 13) BYLANSKI&INGRAM.- "Digital Transmission Systems", IEEE Telecommunications-Series 4