

ESCUELA POLITÉCNICA NACIONAL

ESCUELA DE INGENIERÍA

ESTUDIO E IMPLEMENTACIÓN DE UN MODULO DE DESARROLLO PARA EMPLEAR LA TECNOLOGÍA ISPPAC

**PROYECTO PREVIO A LA OBTENCIÓN DEL TÍTULO DE INGENIERO EN
ELECTRÓNICA Y TELECOMUNICACIONES**

MARCOS GIOVANNY ORELLANA PARRA


DIRECTOR: DR. LUIS CORRALES

QUITO, AGOSTO 2005

DECLARACIÓN

Yo, Marcos Giovanni Orellana Parra, declaro bajo juramento que el trabajo aquí descrito es de mi autoría; que no ha sido previamente presentada para ningún grado o calificación profesional; y, que he consultado las referencias bibliográficas que se incluyen en este documento.

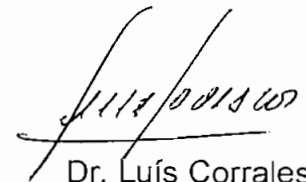
A través de la presente declaración cedo mis derechos de propiedad intelectual correspondientes a este trabajo, a la Escuela Politécnica Nacional, según lo establecido por la Ley de Propiedad Intelectual, por su Reglamento y por la normatividad institucional vigente.

A handwritten signature in black ink, consisting of stylized, overlapping loops and lines, positioned above the printed name.

Marcos Giovanni Orellana Parra

CERTIFICACIÓN

Certifico que el presente trabajo fue desarrollado por Marcos Giovanni Orellana Parra, bajo mi supervisión.



Dr. Luís Corrales
DIRECTOR DE PROYECTO

AGRADECIMIENTO

Dejo constancia de mi mas profundo agradecimiento al Señor Doctor Luís Corrales por su acertada dirección en este proyecto de titulación, a todos los señores profesores de la prestigiosa y gloriosa Escuela Politécnica Nacional, quienes supieron impartir sus conocimientos forjando la profesión que ejerceré con honradez y eficiencia para engrandecer a mi Patria el Ecuador y dejar muy en alto el nombre de la E.P.N y la Carrera de Electrónica y Telecomunicaciones....

DEDICATORIA

A mis padres **Estrellita Parra y Jorge Orellana**, que con su amor, paciencia y sacrificio, han impulsado al término de esta etapa en mis estudios.

Con amor a mi esposa **Anita** y a mis hijos **Jorge Alejandro y Klaudia Alejandra**.

ÍNDICE

CAPÍTULO 1	INTRODUCCIÓN	1
1.1	ARQUITECTURA DE LOS ISPPAC	4
1.2	CARACTERÍSTICAS GENERALES DEL ISPPAC 80/81	8
CAPÍTULO 2	DESCRIPCIÓN DEL MÓDULO DE DESARROLLO ISPPAC	11
2.1	DETALLE DE LOS COMPONENTES DEL MÓDULO DE DESARROLLO	13
2.2	ESPECIFICACIONES TÉCNICAS DEL ISPPAC 80/81	14
2.2.1	Descripción de Pines	15
2.2.2	Límites Absolutos de Utilización	16
2.2.3	Opciones de Presentación	17
2.2.4	Descripción de la Numeración del Dispositivo	19
2.3	CONFIGURACIONES DE REFERENCIA	19
2.3.1	Especificaciones de Configuración del ispPAC 80/81	20
2.3.2	Condición de Encendido SPI	23
2.3.3	Configuración A/B	23
2.3.4	Bits de Usuario JTAG	25
2.3.5	I/O Diferencial	26
2.3.6	Entrada Asimétrica	27
2.3.7	Salida Asimétrica	28
2.3.8	Rango de Voltaje de Entrada en Modo Común	29
2.4	CABLE ISPDOWNLOAD	31
2.4.1	JTAG - Estándar IEEE1149.1	35
2.4.1.1	Programación del Puerto Serial	36
2.4.1.1.1	Controladores Específicos del TAP	38
2.4.1.1.2	Instrucciones de Prueba	40
2.4.1.1.3	Bypass	42
2.4.1.1.4	Programación de Usuario A o B	44
2.4.1.1.5	Verificación de Usuario A o B	44
2.4.1.1.6	Calibración Habilitada	45
2.4.1.1.7	Borrado Completo Usuario A o B	46
CAPÍTULO 3	SOFTWARE PAC-DESIGNER	
3.1	INTRODUCCIÓN	50
3.2	ADMINISTRACIÓN DEL PAC - DESIGNER	52
3.2.1	Procedimiento para el Manejo del PAC-Designer	52
3.2.1.1	Creación de un Nuevo Esquemático	52
3.2.1.2	Edición de un Esquemático para el ispPAC80/81	52
3.2.1.2.1	Fase de IA	53
3.2.1.2.2	Configuración de Arranque	54

	3.2.1.2.3	Bits UES: Firma Electrónica de Usuario	54
	3.2.1.2.4	Configuración del Filtro A y B	56
3.2.1.3		Utilidades de Diseño	55
3.2.1.4		Uso de las Utilidades de los Filtros del ispPAC80/81	55
3.2.1.5		Importación de Datos al Esquemático del PAC-Designer	56
3.2.1.6		Exportación de Datos desde el Esquemático del PAC-Designer	57
3.2.1.7		Exportación de un SPICE NETLIST desde el PAC-Designer	57
3.2.2		Interfaz de Usuario	59
	3.2.2.1	Ventanas	59
	3.2.2.1.1	Ventana Principal	59
	3.2.2.1.2	Ventana de Esquematización del ispPAC80/81	59
	3.2.2.1.3	Ventana de Configuración de Filtros en el ispPAC80/81	60
	3.2.2.1.4	Ventana de Simulación	61
	3.2.2.2	Menús	62
	3.2.2.2.1	Menú de Archivo	62
	3.2.2.2.2	Menú de Edición	65
	3.2.2.2.3	Menú Ver	66
	3.2.2.2.4	Menú Ver - Modo de Simulación	67
	3.2.2.2.5	Menú de Curva - Modo de Simulación	69
	3.2.2.2.6	Menú de Herramientas	70
	3.2.2.2.7	Menú de Opciones	71
	3.2.2.2.8	Menú de Ventanas	72
	3.2.2.2.9	Menú de Ayuda	72
	3.2.2.3	Barras de Herramientas	73
	3.2.2.3.1	Barra de Herramientas	73
	3.2.2.3.2	Barra de Estado	76
	3.2.2.3.3	Barra de Navegación	76
	3.2.2.4	Cuadros de Diálogo	76
	3.2.2.4.1	Cuadro de Diálogo de Valor de Capacitor	76
	3.2.2.4.2	Cuadro de Diálogo para cambiar la interfaz JTAG	77
	3.2.2.4.3	Cuadro de Diálogo para Copiar la Configuración de un Filtro	77

3.2.2.4.4	Cuadro de Diálogo de Diseño de Utilidades	78
3.2.2.4.5	Cuadro de Diálogo de Símbolo de Edición	78
3.2.2.4.6	Cuadro de Diálogo de Exportación	79
3.2.2.4.7	Cuadro de Diálogo de Criterio de Filtro	80
3.2.2.4.8	Cuadro de Diálogo de Importación	80
3.2.2.4.9	Cuadro de Diálogo de Código ID JTAG	81
3.2.2.4.10	Cuadro de Diálogo de Opción de Interfaz JTAG	82
3.2.2.4.11	Cuadro de Diálogo New	83
3.2.2.4.12	Cuadro de Diálogo de Exploración de Librería	83
3.2.2.4.13	Cuadro de Diálogo Configuración de Página	84
3.2.2.4.14	Cuadro de Diálogo de Opciones de Puerto Paralelo	84
3.2.2.4.15	Cuadro de Diálogo de Nivel de Ganancia y Polaridad	86
3.2.2.4.16	Cuadro de Diálogo de Ejecución de Macros	86
3.2.2.4.17	Cuadro de Diálogo de Seguridad	87
3.2.2.4.18	Cuadro de Diálogo de información Sumaria	87
3.2.2.4.19	Cuadro de Diálogo de Edición del UES	88
3.2.2.4.20	Cuadro de Diálogo de Verificación	88
3.2.2.4.21	Cuadro de Diálogo Wakeup	89
3.2.2.4.22	Cuadro de Diálogo de Opción del Simulador	90
	3.2.2.4.22.1 Etiquetas de Curva	90
	3.2.2.4.22.2 Etiqueta General	91
3.2.3	Referencias de Diseño en el PAC-Designer	92
3.2.3.1	Elementos de Diseño del ispPAC80/81	92
3.2.3.1.1	Selección de Configuración A/B	92
3.2.3.1.2	Valores de Condensador	93
3.2.3.1.3	Núcleo Simplificado del Filtro ispPAC80/81	93
3.2.3.1.4	Bits UES	94
3.2.3.1.5	Ganancia de Entrada	95
3.2.3.1.6	Configuración inicial Wakeup	95

	3.2.3.2	Ventana de Referencia de Configuración de filtros en el ispPAC80/81	95
	3.2.3.3	Símbolos del ispPAC80/81	97
3.2.4		Simulación Analógica	98
	3.2.4.1	PAC-Designer Simulador AC	98
	3.2.4.1.1	Simulación	98
	3.2.4.1.2	Ventana Básica de Graficación	99
	3.2.4.1.3	Inspección del Grafico	100
	3.2.4.1.4	Curva Actica	100
	3.2.4.1.5	Cursor Crosshair	101
	3.2.4.1.6	Indicador de Presencia de Curva	102
	3.2.4.2	Opciones del Simulador	103
	3.2.4.3	Simulación de un Diseño	104
CAPÍTULO 4		DISEÑO DE FILTROS EN EL ispPAC	
4.1		CONCEPTO DE FILTROS	105
	4.1.1	Clasificación	106
	4.1.2	Diseño de Filtros Activos	108
	4.1.3	Filtros de Butterworth	112
	4.1.4	Filtros de Chebychev	114
	4.1.5	Circuitos Base de 1er. y 2do. Orden para Filtros Pasa Bajos	116
	4.1.5.1	Filtro Pasa Bajos de 1er. Orden	116
	4.1.5.2	Circuitos de 2do. Orden para Filtros Pasa Bajos	117
	4.1.5.2.1	Circuito de Rauch	117
	4.1.5.2.2	Circuito de Sallen y Key	119
	4.1.6	Recomendaciones para el Diseño de Filtros Activos Pasa Bajos con Circuitos Base	121
	4.1.7	Diseño Practico de Filtros Pasa Bajos Activos de Quinto Orden	121
	4.1.7.1	Filtro Pasa Bajos de Butterworth	121
	4.1.7.1.1	Filtro Pasa Bajos de Butterworth con frecuencia de corte de 50kHz	121
	4.1.7.1.2	Filtro Pasa Bajos de Butterworth con frecuencia de corte de 750kHz	125
	4.1.7.2	Filtro Pasa Bajos de Chebychev	128
	4.1.7.2.1	Filtro Pasa Bajos de Chebychev con frecuencia de corte de 50kHz	128
	4.1.7.2.2	Filtro Pasa Bajos de Chebychev con frecuencia de corte de 750kHz	132
4.2		FILTROS PASA BAJOS PROGRAMABLES USANDO EL ispPAC80/81	135
	4.2.1	Respuestas de los Filtros a Implementar en el	

	ispPAC80/81	137
	4.2.1.1 Filtro Gaussiano	137
	4.2.1.2 Filtro de Bessel	137
	4.2.1.3 Filtro Equiripple de Fase Lineal	138
	4.2.1.4 Filtro de Butterworth	138
	4.2.1.5 Filtro de Chebychev	139
	4.2.1.6 Filtro de Legendre	139
	4.2.1.7 Filtro Elíptico	140
4.3	PROGRAMACIÓN DE FILTROS EN EL PAC-DESIGNER	141
4.3.1	Programación del Filtro de Butterworth en el ispPAC	144
4.3.2	Programación de Filtros Elípticos en el ispPAC	159
CAPÍTULO 5	ANÁLISIS DE PRUEBAS Y RESULTADOS	171
5.1	FILTRO DE BUTTERWORTH	172
5.2	FILTROS ELÍPTICOS	180
5.3	TABULACIÓN DE RESULTADOS	189
5.4	ANÁLISIS DE RESULTADOS	190
CAPÍTULO 6	CONCLUSIONES Y RECOMENDACIONES	
BIBLIOGRAFÍA		194
ANEXOS		195
FIGURAS		
1.1	Esquemático Simplificado de un Filtro Configurado en el ispPAC80/81	5
1.2	Jerarquía del PACELL	6
1.3	Sistema de adquisición de datos usando el pin ENSPI	8
2.1	Módulo de Desarrollo ispPAC80/81	11
2.2	Representación esquemática del módulo de desarrollo ispPAC80/81	12
2.3	Diagrama funcional de bloques del ispPAC80/81	14
2.4	Encapsulados del ispPAC80/81	17
2.5	Diagrama PDIP plástico del ispPAC80/81 de 16 pines	18
2.6	Diagrama SOIC plástico del ispPAC80/81 de 16 pines	18
2.7	Entrada y Salida Diferencial presentes en el ispPAC80/81	26
2.8	Entrada Diferencial acoplada con una fuente DC	28
2.9	Registros TAP del ispPAC80/81	38
2.10	Diagrama de control de estados TEST ACCESS PORT (TAP)	39
2.11	Código de Identificación (IDCODE) de Lattice para el ispPAC80/81	43
3.1	Diagrama de Flujo del PAC-Designer	51
3.2	Esquemático del ispPAC80/81 en el PAC-Designer	53
3.3	Barra de Herramientas del PAC-Designer	73

4.1	Respuesta Ideal de diferentes Filtros	107
4.2	Respuesta Real típica del filtro de Butterworth	113
4.3	Respuesta Real típica del filtro de Chebychev	116
4.4	Filtro de 1er. Orden Pasa Bajos	116
4.5	Filtro de 2do. Orden Pasa Bajos (de Rauch)	117
4.6	Filtro de 2do. Orden Pasa Bajos (de Sallen y Key)	119
4.7	Circuito Básico de Primer Orden para un filtro de Butterworth con fc de 50 KHz	122
4.8	Circuito de Rauch de segundo Orden para un filtro de Butterworth con fc de 50 kHz	123
4.9	Filtro de Butterworth de Quinto Orden con ganancia unitaria y frecuencia de corte de 50kHz	124
4.10	Circuito Básico de Primer Orden para un filtro de Butterworth con fc de 750 KHz	125
4.11	Circuito de Rauch de segundo Orden para un filtro de Butterworth con fc de 750 kHz	126
4.12	Filtro de Butterworth de Quinto Orden con ganancia unitaria y frecuencia de corte de 750kHz	128
4.13	Circuito Básico de Primer Orden para un filtro de Chebychev con fc de 50 KHz	129
4.14	Circuito de Rauch de segundo Orden para un filtro de Chebychev con fc de 50 KHz	130
4.15	Filtro de Chebychev de Quinto Orden con ganancia unitaria y frecuencia de corte de 50kHz	131
4.16	Circuito Básico de Primer Orden para un filtro de Chebychev con fc de 750 KHz	132
4.17	Circuito de Rauch de segundo Orden para un filtro de Chebychev con fc de 750 KHz	133
4.18	Filtro de Chebychev de Quinto Orden con ganancia unitaria y frecuencia de corte de 750kHz	135
4.19	Ventana de selección de dispositivo para nuevo esquemático	145
4.20	Ventana de esquematización	146
4.21	Ventana de configuración del filtro	147
4.22	Ventana de copia de filtro al esquemático	148
4.23	Ventana de esquematización con presencia de filtros	149
4.24	Cuadro de Diálogo para fijación de ganancia	150
4.25	Respuesta de Amplitud para el filtro de Butterworth con ganancia unitaria y fc de 54,03kHz obtenida en el PAC-Designer	151
4.26	Respuesta de Fase para el filtro de Butterworth con ganancia unitaria y fc de 54,03kHz obtenida en el PAC-Designer	152
4.27	Respuesta de Amplitud para el filtro de Butterworth con ganancia unitaria y fc de 350,55kHz obtenida en el PAC-Designer	153
4.28	Respuesta de Fase para el filtro de Butterworth con ganancia	

	unitaria y f_c de 350,55kHz obtenida en el PAC-Designer	154
4.29	Respuesta de Amplitud para el filtro de Butterworth con ganancia unitaria y f_c de 550kHz obtenida en el PAC-Designer	155
4.30	Respuesta de Fase para el filtro de Butterworth con ganancia unitaria y f_c de 550kHz obtenida en el PAC-Designer	156
4.31	Respuesta de Amplitud para el filtro de Butterworth con ganancia unitaria y f_c de 752,01kHz obtenida en el PAC-Designer	157
4.32	Respuesta de Fase para el filtro de Butterworth con ganancia unitaria y f_c de 752,01kHz obtenida en el PAC-Designer	158
4.33	Ventana de verificación de descarga - filtro de Butterworth	159
4.34	Ventana de configuración de filtros Elípticos	160
4.35	Ventana de copia de filtro elíptico al esquemático	161
4.36	Ventana de esquematización con presencia de filtros elípticos	162
4.37	Cuadro de Diálogo para fijación de ganancia en los filtros elípticos	163
4.38	Respuesta de amplitud para el filtro elíptico con ganancia unitaria, f_p de 50kHz y f_c de 56,23kHz obtenida en el PAC-Designer	164
4.39	Respuesta de fase para el filtro elíptico con ganancia unitaria, f_p de 50kHz y f_c de 56,23kHz obtenida en el PAC-Designer	165
4.40	Respuesta de amplitud para el filtro elíptico con ganancia unitaria, f_p de 350,28kHz y f_c de 375,14kHz obtenida en el PAC-Designer	166
4.41	Respuesta de fase para el filtro elíptico con ganancia unitaria, f_p de 350,28kHz y f_c de 375,14kHz obtenida en el PAC-Designer	167
4.42	Respuesta de amplitud para el filtro elíptico con ganancia unitaria, f_p de 500kHz y f_c de 575,19kHz obtenida en el PAC-Designer	168
4.43	Respuesta de fase para el filtro elíptico con ganancia unitaria, f_p de 500kHz y f_c de 575,19kHz obtenida en el PAC-Designer	169
4.44	Ventana de verificación de descarga - filtros elípticos	170
5.1	Pruebas desarrolladas en el Laboratorio de Electrónica Básica de la E.P.N	171
5.2	Representación de los datos obtenidos para el filtro de Butterworth con ganancia unitaria y frecuencia de corte de 50kHz	174
5.3	Representación de los datos obtenidos para el filtro de Butterworth con ganancia unitaria y frecuencia de corte de 350kHz	176
5.4	Representación de los datos obtenidos para el filtro de Butterworth con ganancia unitaria y frecuencia de corte de 550kHz	178
5.5	Representación de los datos obtenidos para el filtro de Butterworth con ganancia unitaria y frecuencia de corte de 750kHz	180
5.6	Representación de los datos obtenidos para el filtro Elíptico con ganancia unitaria y frecuencia de corte de 50kHz	183
5.7	Representación de los datos obtenidos para el filtro Elíptico con ganancia unitaria y frecuencia de corte de 550kHz	186
5.8	Representación de los datos obtenidos para el filtro Elíptico con ganancia unitaria y frecuencia de corte de 350kHz	188

TABLAS

1.1	Características de los circuitos analógicos programables	3
1.2	Principales funciones de los dispositivos ispPAC	3
2.1	Características Eléctricas DC	21
2.2	Características Eléctricas AC	22
2.3	Secuencia de control de los bits SPI	24
2.4	Ajuste de Bits de Ganancia	24
2.5	Bits de Usuario para la configuración JTAG	25
2.6	Limitaciones en el rango de voltaje de la entrada en modo común	30
2.7	Conexiones puerto paralelo de una PC - Cable - Módulo	34
2.8	Instrucciones TAP ispPAC80/81	41
2.9	Especificaciones de tiempo (Modo JTAG)	47
2.10	Especificaciones de tiempo (Modo SPI)	48
4.1	Parámetros a y b para filtros de Butterworth hasta Octavo Orden	111
4.2	Parámetros a y b para filtros de Chebychev hasta Sexto Orden	111
4.3	Intervalos de frecuencia para programación de filtros en el PAC-Designer	142
5.1	Datos obtenidos en el Módulo de Desarrollo (Filtro de Butterworth)	173
5.2	Datos obtenidos en el Módulo de Desarrollo (Filtro de Butterworth)	175
5.3	Datos obtenidos en el Módulo de Desarrollo (Filtro de Butterworth)	177
5.4	Datos obtenidos en el Módulo de Desarrollo (Filtro de Butterworth)	179
5.5	Datos obtenidos en el Módulo de Desarrollo (Filtro Elíptico)	181
5.6	Datos obtenidos en el Módulo de Desarrollo (Filtro Elíptico)	184
5.7	Datos obtenidos en el Módulo de Desarrollo (Filtro Elíptico)	186

RESUMEN

Desarrollar aplicaciones analógicas con menor número de componentes electrónicos se ha convertido en la barrera que la ciencia y la tecnología buscan atravesar; Lattice Semiconductor lo consigue al desarrollar los dispositivos programables en sistema ispPAC.

Estudiar e implementar un módulo de desarrollo que permita el empleo de esta nueva tecnología para configurar filtros analógicos de manera ágil y sencilla como parte de los circuitos capaces de ser programados en los ispPAC es el objetivo de este proyecto.

Para comprobar el óptimo desempeño de esta tecnología se diseñaron filtros pasa bajos de quinto orden de Butterworth y Elípticos, de los que se obtuvo las simulaciones en el software del Módulo de desarrollo (PAC-Designer). Las pruebas realizadas una vez programado el ispPAC80/81, ratificaron el comportamiento y bondades del sistema desarrollado, reafirmando así la gran utilidad del dispositivo ispPAC y las herramientas de desarrollo.

Al comparar los resultados obtenidos con los teóricos se encontraron errores del 5% que no son relevantes, lo que comprueba la ventaja del sistema, considerando el poco tiempo invertido en el desarrollo.

PRESENTACIÓN

En este proyecto de titulación se describen las características y prestaciones más relevantes de la familia de dispositivos analógicos programables de Lattice Semiconductor: ispPAC (in-system programmable Programmable Analog Circuits) y de manera específica los alcances, beneficios y ventajas del diseño de filtros analógicos en el dispositivo ispPAC80/81, dando a conocer esta tecnología se persigue la finalidad de presentar una herramienta para el aprendizaje teórico – práctico, dejando además abierta la posibilidad de que se desarrollen nuevas aplicaciones con estos dispositivos en un futuro cercano.

En el Primer Capítulo se presenta una introducción a la programabilidad en sistema (ISP), adicionalmente se abordan las características y prestaciones más relevantes de los dispositivos ispPAC y en especial del chip ispPAC80/81 elemento con el que se desarrolla el proyecto de titulación.

El Segundo Capítulo, describe el módulo de desarrollo, abordando de manera general cada uno de sus componentes y el comportamiento para un adecuado funcionamiento y operación en conjunto con el integrado ispPAC80/81, así también se analiza el hardware necesario para la comunicación Módulo – PC (Cable ISPDownload), haciendo énfasis en el estándar IEEE1149.1 que obedece este interfaz.

En el Tercer Capítulo, se analiza el software para la programación del dispositivo ispPAC en el módulo de desarrollo, dando a conocer la facilidad que presenta para la manipulación del usuario gracias a la interfaz gráfica de usuario (GUI) que dispone.

Una introducción a los filtros analógicos se desarrolla en el Cuarto Capítulo, con lo que se pretende recordar las características relevantes de los circuitos activos con los que se pueden desarrollar aplicaciones analógicas como es el caso de los

filtros de Butterworth y Chebychev, fundamentación teórica que se emplea para la programación e interpretación de los filtros que se programan en el ispPAC80/81.

Luego de que se programa el dispositivo, en el Quinto Capítulo, se establece el Análisis de las pruebas realizadas del módulo de desarrollo y del ispPAC80/81 en el Laboratorio de Electrónica Básica de la E.P.N, y se interpretan los resultados obtenidos, con la finalidad de comparar los datos experimentales con los teóricos (obtenidos de las simulaciones) y comprobar así el óptimo desempeño de esta tecnología.

El Sexto Capítulo hace referencia a las Conclusiones y Recomendaciones que realiza el autor, observaciones que son la recopilación de los hechos y experiencias suscitadas a lo largo del desarrollo del proyecto de titulación.

CAPÍTULO 1

INTRODUCCIÓN

La aparición de los componentes analógicos programables ispPAC constituye un avance importante en el campo del diseño analógico, similar a la revolución que produjeron, en el diseño digital, los dispositivos lógicos programables.

Los dispositivos analógicos programables son componentes que surgieron de la necesidad de agilizar el proceso de diseño y verificación de circuitos analógicos.

Aunque la complejidad de los ispPAC todavía se encuentra lejos en comparación a sus homólogos digitales; sin embargo, estos componentes presentan beneficios y ventajas gracias al concepto de programabilidad que introducen estos dispositivos. Además, el soporte de software gráfico de programación, así como la programación ISP, facilita enormemente todas las etapas del proceso de diseño.

Estos dispositivos de reciente aparición en la industria, son fáciles de usar y programar mediante el software PAC-Designer a través de un PC; juntos estos productos constituyen una herramienta útil para diseñar, integrar y configurar circuitos analógicos.

Estudiar la tecnología ispPAC y desarrollar e implementar un módulo de desarrollo que permita el empleo de esta nueva tecnología, se convierte en el objetivo trazado en este proyecto de titulación, con la finalidad de brindar nuevas herramientas que agilicen los procesos de aprendizaje y desarrollo de aplicaciones, optimizando recursos y tiempo.

Al realizar aplicaciones, las funciones, características y rasgos de estos dispositivos pueden ser reconfigurados y reprogramados en segundos, lo que implica que se podrían conseguir productos para comercializar más rápidamente, o podría ampliar su versatilidad y tiempo de vida útil.

Por otro lado, el método de programación en sistema ISP (In-System Programmable), desarrollado por la empresa Lattice, simplifica y acelera radicalmente el desarrollo de aplicaciones con estos circuitos analógicos.

La herramienta PAC-Designer opera bajo plataforma Windows, y provee una interfaz grafica de usuario que garantiza un fácil diseño a través de las librerías que dispone para la elaboración de circuitos analógicos. Lo mencionado sumado a las opciones de verificación que dispone el software, hace que la programación sea segura.

Como se verá, a través de la tecnología ISP, Lattice provee programabilidad tridimensional: funcionalidad y características de rendimiento para cada célula, así como la interconexión del dispositivo a nivel físico (en la estructura del módulo de desarrollo).

De esta forma, la programación, el borrado y el reprogramado se logra rápida y fácilmente a través de la interfaz que dispone el módulo de desarrollo y que se explicarán con mayor detalle en capítulos posteriores.

Como resultado, se logra integrar rápidamente y con gran precisión al ispPAC, para reemplazar docenas de componentes normales individuales en un solo dispositivo. Permite a los diseñadores tener un dispositivo conveniente, con componentes internos que pueden satisfacer diferentes requisitos específicos sin las incertidumbres, costos y retrasos de ASICs convencionales.

En la actualidad existen cuatro dispositivos analógicos programables proporcionados por Lattice, el ispPAC10, ispPAC20, ispPAC30, e ispPAC80/81, los cuales presentan una estructura física interna que varía de uno a otro, debido a que sus funciones están orientadas a diferentes aplicaciones; sin embargo el concepto de arquitectura de todos estos dispositivos es el mismo.

Con la finalidad de establecer comparaciones entre los dispositivos ispPAC, a continuación se tabulan las características y funciones que presentan:

Tabla 1.1 Características de los Circuitos Analógicos Programables.

Características	ispPAC10	ispPAC20	ispPAC30	ispPAC80/81
Ancho de Banda máximo	550 kHz	550 kHz	1.5MHz	750kHz / 75kHz
Rango de Filtros de precisión	10-100 kHz	10-100 kHz	49kHz-1.57MHz	50kHz-750kHz 10kHz-75kHz
Rango de Voltaje de entrada	1 - 4 V	1 - 4 V	0 - 2.8 V	1 - 4V
Rango de ganancia programable	0 - 10 V/V Pasos: 1 V/V	0 - 400 V/V Pasos: 1 V/V	0 - 42 V/V Pasos: 0.008 V/V	1, 2, 5, 10 V/V
Tipo de memoria	EEPROM	EEPROM	SRAM EEPROM	EEPROM
Empaquetamiento	28 pines PDIP 28 pines SOIC	44 pines PLCC 44 pines TQFP	28 pines PDIP 24 pines SOIC	16 pines PDIP 16 pines SOIC

Tabla 1.2 Principales Funciones de los dispositivos ispPAC

Funciones	ispPAC10	ispPAC20	ispPAC30	ispPAC80/81
Amplificación	✓	✓	✓	✓
Atenuación			✓	
Filtrado	✓	✓		✓
Monitoreo de Voltaje/Corriente		✓	✓	

Gracias a los datos proporcionados por las tablas anteriormente expuestas, se pueden advertir las prestaciones de cada uno de los ispPACs, y que dejan al descubierto la facilidad de combinar sus funciones para diferentes aplicaciones.

Para el estudio e implementación del módulo de desarrollo objetivo de este proyecto de titulación se empleará el ispPAC80/81, debido a su disponibilidad en el mercado al momento que se lo adquirió, así como también por las funciones que presta, que sin lugar a dudas serán el inicio para la exploración y perfeccionamiento de futuras aplicaciones dentro de esta tecnología.

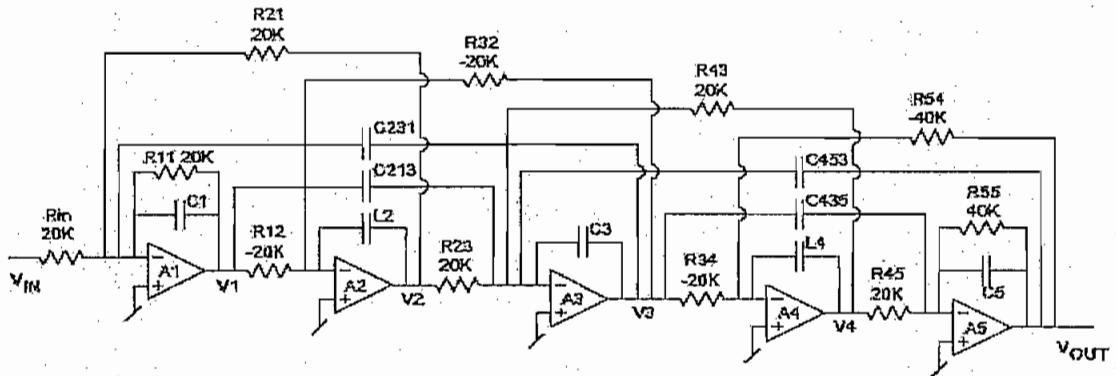
1.1 ARQUITECTURA DE LOS ispPAC

El ispPAC80/81 es parte de los circuitos analógicos programables de la familia Lattice. Se programa digitalmente vía tecnología no volátil E²CMOS. Es decir, emplea una memoria tipo NVRAM (memoria no volátil de acceso aleatorio), que permite retener su contenido cuando se apaga el sistema.

El elemento funcional activo básico de los dispositivos ispPAC es el PACCell que, dependiendo de la arquitectura específica del dispositivo, puede convertirse en un amplificador de instrumentación, un amplificador sumador u otra etapa activa elemental.

Se construyen módulos de función analógicos, llamado PACblocks, con múltiples PACCells, para reemplazar componentes analógicos tradicionales como amplificadores y filtros activos, eliminando la necesidad de resistencias externas y condensadores, lo que proporciona una flexibilidad adicional en los diseños de amplificadores sumadores/restadores, filtros, atenuadores, etc.

Para aclarar el concepto de PACCell y PACblock, se presenta en la Figura 1.1 el núcleo simplificado de un filtro diseñado con el ispPAC80/81, así como su función de transferencia:



$$G = 1/20K; G/2 = 1/40K; C2 = C231 = C213; C4 = C435; C4/2 = C453$$

$$\frac{V_{OUT}}{V_{IN}} = \frac{-2G[(L_2L_4C_4C_2)s^4 + ((L_2G^2C_2) + (G^2L_4C_4))s^2 + G^4]}{\left\{ \begin{aligned} &[-(L_2C_4^2L_4C_1) + 2(L_2C_1C_3L_4C_5) - 2(C_2^2L_2L_4C_5)]s^5 \\ &+ [-(L_2GC_4^2L_4) + (L_2C_1C_3L_4G) - (C_2^2L_2L_4G) + 2(L_2GC_3L_4C_5)]s^4 \\ &+ [(L_2C_1C_3G^2) + (L_2G^2C_3L_4) - (G^2L_4C_4^2) + 2(G^2L_4C_5C_3) - 4(G^2L_4C_5C_2)]s^3 \\ &+ [-2(L_2C_1C_4G^2) + 2(G^2C_1L_4C_5) + 2(L_2C_5G^2C_1) - (C_2^2L_2G^2)]s^2 \\ &+ [2(L_2C_5G^3) - 2(G^3L_4C_2) + (G^3L_4C_3) + (L_2G^3C_1) + 2(G^3L_4C_5) - 2(L_2C_4G^3)]s \\ &+ [(G^3C_1L_4) + (L_2C_3G^3)] \end{aligned} \right\} + [2(G^4C_5) + (G^4C_3) - 2(G^4C_4) + (G^4L_4) + (G^4C_1) + (L_2G^4) - 2(G^4C_2)]s + [2G^5]}$$

Figura 1.1 Esquemático simplificado de un filtro configurado en el ispPAC80/81

El conjunto de OPAMPs interconectados (PACells), constituyen un filtro de quinto orden del cual se obtiene una función de transferencia que presenta fase invertida solo para este bloque; al combinarse con la inversión del PACell de entrada (Amplificador de Instrumentación), la ganancia de salida del ispPAC80/81 es positiva (ninguna inversión).

El número específico de PACblocks y sus funciones varían de acuerdo al dispositivo ispPAC. A mayor número de PACblocks se logra perfeccionar las aplicaciones y ampliar las opciones de diseño.

Otro de los elementos importantes en la arquitectura de los dispositivos ispPAC es el entramado de conexiones analógicas denominado Analog Routing Pool (ARP). El ARP se refiere a un sistema de conexionado programable que tiene como función realizar las conexiones entre los pines del dispositivo y las entradas/salidas de los PACCell y PACblocks.

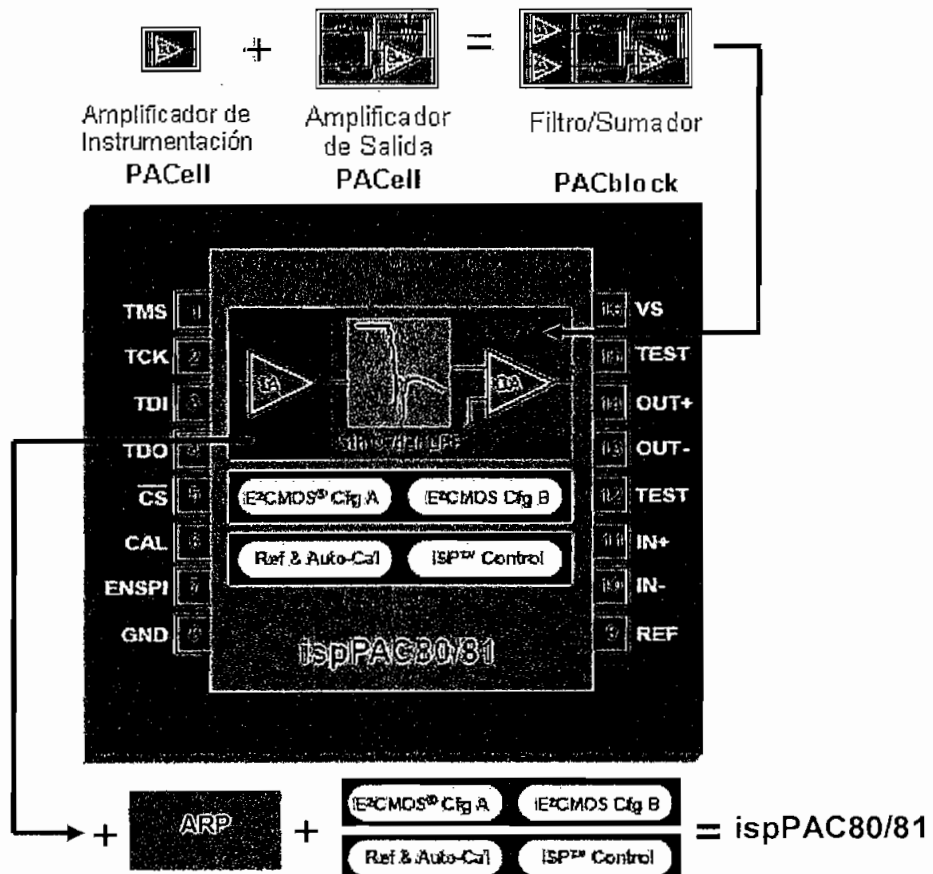


Figura 1.2 Jerarquía del PACCell

Todos los dispositivos ispPAC disponen de una Interfaz Periférica Serial (SPI), que permite ajustar la ganancia, seleccionar configuraciones, e iniciar ciclos de calibración.

La Figura 1.2 representa a un ispPAC80/81, el mismo que posee en la entrada un amplificador de instrumentación (IA) con ganancia ajustable (en pasos semi-logarítmicos de: 1, 2, 5, y 10 para acondicionar una gama amplia de señales de entrada.

Adicionalmente dispone de una memoria no volátil NVRAM, la misma que tiene la función de guardar dos configuraciones de filtros pasa-bajos de quinto orden ('A' y 'B') totalmente diferentes, y que se configuran con el software de desarrollo, para luego ser descargados al dispositivo. De esta forma se proporciona la capacidad de cambiar rápidamente la ganancia al sistema, y acoplar dos tipos de filtros, que proporcionarían dos frecuencias de corte.

El ispPAC80/81 incorpora en su circuitería un interfaz de prueba automático (JTAG) y un interfaz periférico serial (SPI) el primero se encarga del diagnóstico del dispositivo así como también de la programación y borrado de la memoria RAM, a través de cuatro líneas que en el CI se identifican por los pines TMS, TCK, TDO, y TDI, mientras que el segundo posee un registro de cambio que es volátil y debe escribirse después de cada ciclo de encendido o antes de que se use, afectando únicamente a la ganancia del IA, a la selección del filtro pre-programado 'A' o 'B,' y a la calibración del dispositivo.

Internamente, la selección del modo de interfaz JTAG y SPI es realizado por medio de un multiplexor (MUX) 2 a 1 que se controla por el pin ENSPI (Enable SPI). Si a ENSPI se aplica un cero lógico, el dispositivo se mantendrá en el modo de interfaz JTAG (NVRAM) y, si su estado lógico cambia a uno invocará al modo de interfaz SPI. Esto se ilustra en la Figura 1.3.

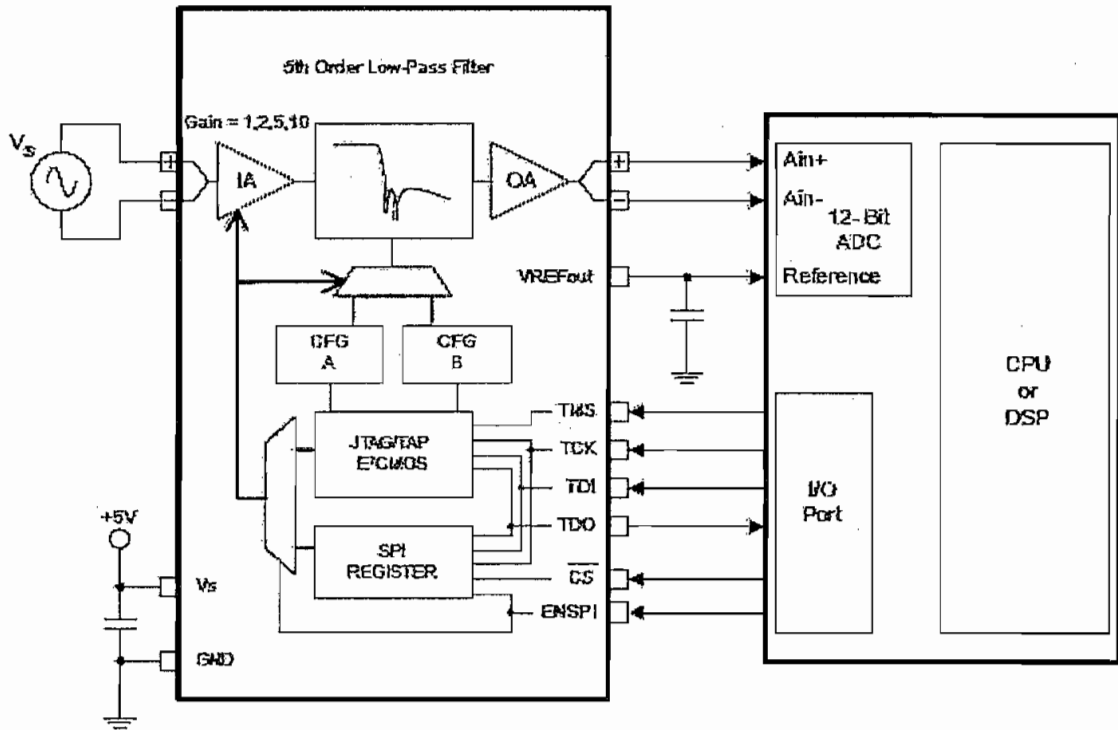


Figura 1.3 Sistema de Adquisición de datos usando el pin ENSPI

A continuación se describe y analiza las características y prestaciones relevantes del dispositivo analógico programable de Lattice, el ispPAC80/81, debido a las características y herramientas de desarrollo que brinda al programador, con objeto de deducir sus posibles aplicaciones.

1.2 CARACTERÍSTICAS GENERALES DEL ispPAC80/81

En cuanto a sus posibilidades de programación ISP, este dispositivo posee:

- Un Amplificación de instrumentación.
- Filtros Activos de Precisión con un rango de frecuencia que varía entre 50KHz a 750 KHz.
- Topología para implementar filtros Pasa Bajo de Quinto Orden para Tiempo-Continuo
- Configuración de memoria A/B, Dual.
- Celdas No Volátiles E-CMOS
- Puerto Programable Serial IEEE 1149.

Puede ser programado para proveer:

- Rango Programable de Ganancia (0dB a 20dB)
- Implementación Múltiple de Filtros: Elíptico, Chevychev, Bessel, Butterworth, de Fase Lineal, Gaussiano y Legendre.
- Baja Distorsión (THD < -74dB máx. a 100kHz)
- Auto Calibración del Voltaje de compensación de entrada.

En modo diferencial posee las características:

- Instrumento Amplificador con una Entrada de alto CMRR (58dB).
- Modo Común de Referencia en el Chip de 2.5V

En cuanto a voltaje y potencia de consumo, este dispositivo puede operar con 5V y 165mW.

Con este dispositivo es posible realizar:

- Acondicionamiento de señales solo con un suministro de 5V.
- Filtros programables con I/O totalmente diferenciales.
- Sección de entrada analógica, Sistema de adquisición de datos de 12 Bits.
- Sistemas DSP.
- Reconstrucción de Filtros con Alto rendimiento.

En base a las características expuestas del ispPAC80/81, se presenta una inquietud con respecto al costo beneficio. Si bien es cierto la característica relevante del ispPAC80/81 es la de generar respuestas a filtros pasa bajos de quinto orden; ¿cuánta inversión conllevaría su implementación dentro del módulo de desarrollo?; alrededor de ciento noventa dólares americanos (190 USD), cantidad que en comparación al monto que se emplearía para el diseño de filtros de quinto orden con componentes tradicionales, es elevado; pero que, analizando

el beneficio que representa el obtener diseños en pocos minutos comparado con el tiempo que tardaría en diseñar el filtro por métodos habituales, obtener una respuesta aceptable y verificar el correcto funcionamiento del circuito, no se escatima el monto invertido sino mas bien la gran ventaja de obtener resultados óptimos y en el menor tiempo posible como se mostrará en los siguientes capítulos.

CAPÍTULO 2

DESCRIPCIÓN DEL MÓDULO DE DESARROLLO ispPAC

El módulo de desarrollo (Figura 2.1) permite configurar rápidamente el ispPAC80/81. Este módulo está diseñado sobre un circuito impreso, que posibilita la conexión de un CI tipo DIP de 16 pines (ispPAC80/81), conectores para señales de entrada y salida, un cable de programación JTAG que obedece al estándar IEEE 1149.1 y una sección que tiene un arreglo para conectar circuitería adicional para realizar prototipos.

Cada entrada y salida es accesible al usuario a través de conectores BNC y Jumpers.

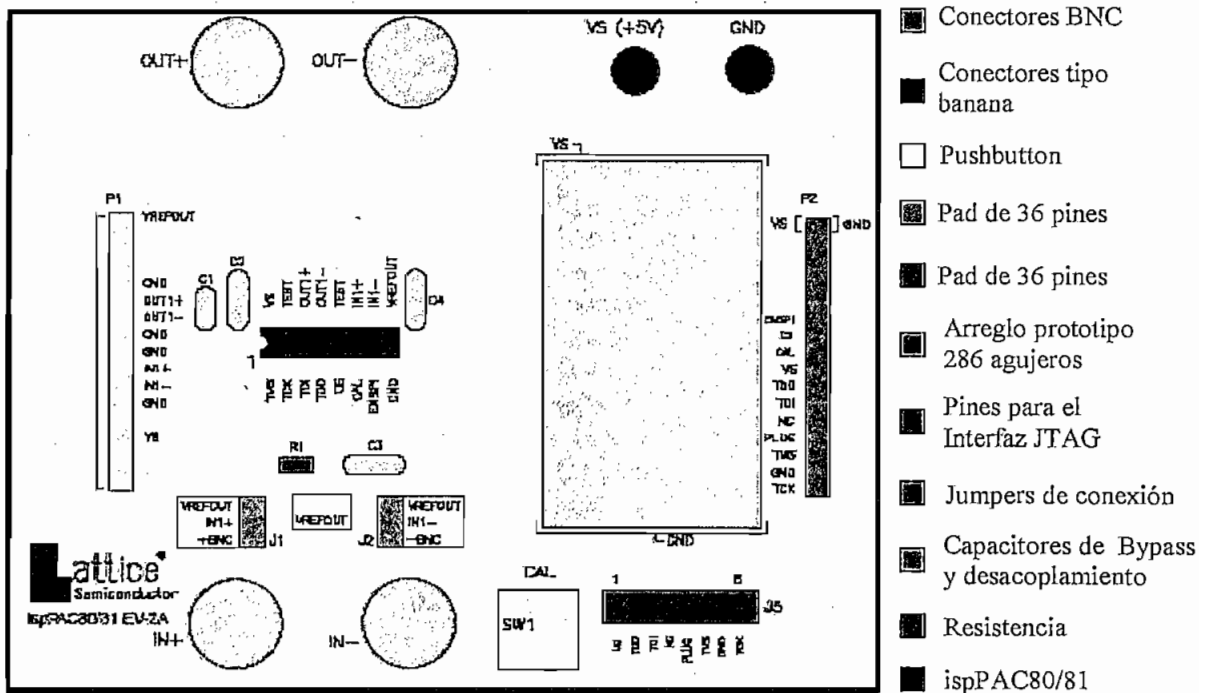


Figura 2.1 Módulo de desarrollo ispPAC80/81

Haciendo un resumen, el circuito impreso contiene un arreglo para prototipos de 286 agujeros que pueden ser usados para implementar proyectos que incluso se conectan a dispositivos externos.

Para dotarle de expansión, las señales de la interfaz de programación, así como las señales analógicas, están conectadas a un dúo de hilas en una cabecera con 34 pads (terminales de conexión).

El circuito impreso contiene un botón para realizar una calibración inicial. Junto al dispositivo ispPAC80/81 existen capacitores de Desacoplamiento y Bypass.

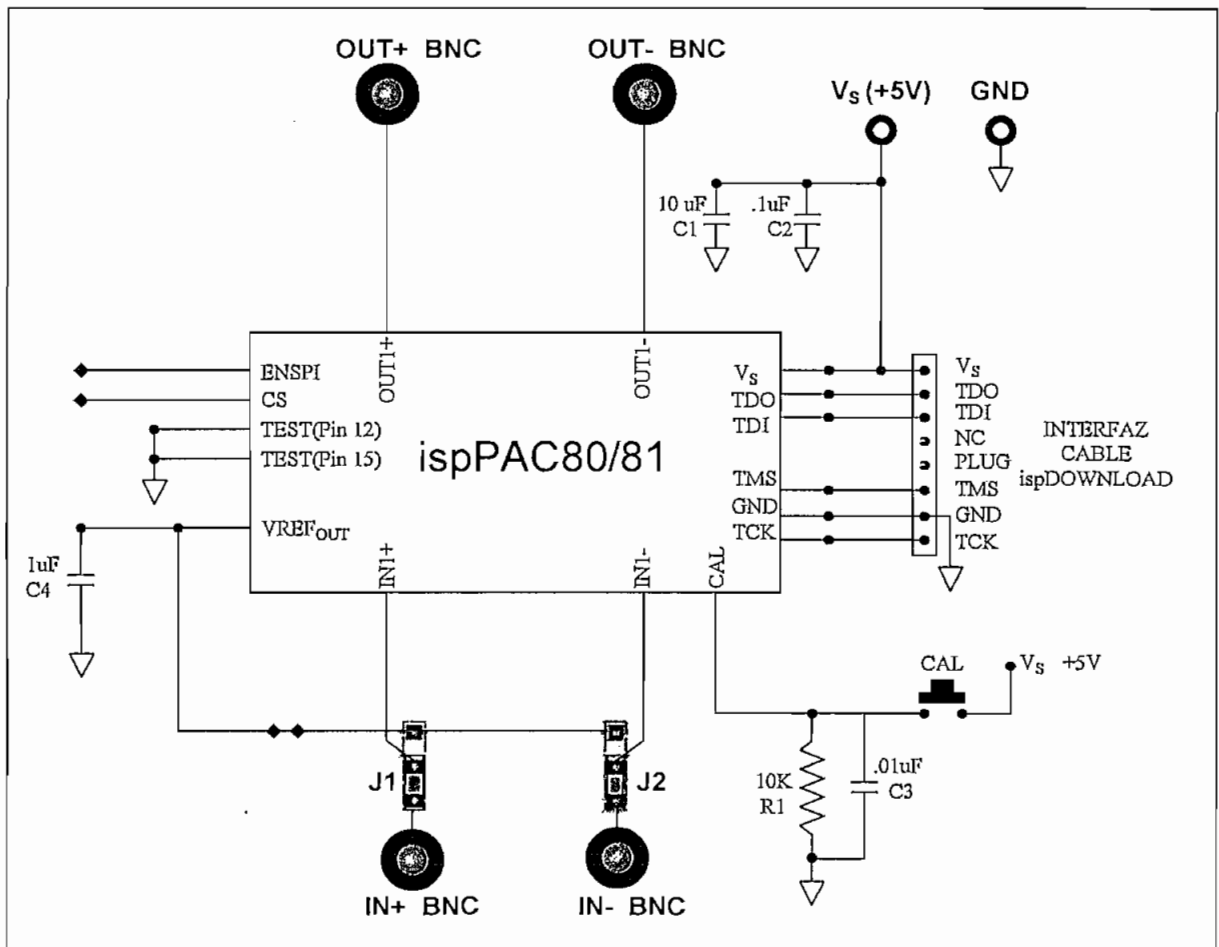


Figura 2.2 Representación esquemática del Módulo de desarrollo ispPAC80/81

Adicionalmente cuenta con dos plugs tipo banana que están disponibles en el Circuito Impreso para conectar la alimentación (V_s) y la conexión de tierra (GND).

2.1 DETALLE DE LOS COMPONENTES DEL MÓDULO DE DESARROLLO

Haciendo referencia a la Figura 2.1, se presenta a continuación un listado de los elementos que componen el módulo de desarrollo.

- (1) Circuito Impreso, (4.0"x 5.0")
- (4) Conectores BNC
- (2) Jumper de Posiciones 3x1
- (1) Terminal de 8-pines para programación JTAG (J5)
- (1) Switch Pushbutton (Normalmente Abierto)
- (2) Plugs tipo Banana para V_s y Gnd
- (1) Capacitor de 10uF (C1)
- 1) Capacitor de .1uF (C2)
- 1) Capacitor de .01uF (C3)
- 1) Capacitor de 1uF (C4)
- 1) Resistencia de 10KOhm (R1)
- 1) Zócalo de 16-pines DIP
- 1) Dispositivo de 16-Pines ispPAC80/81

2.2 ESPECIFICACIONES TÉCNICAS DEL ispPAC80/81

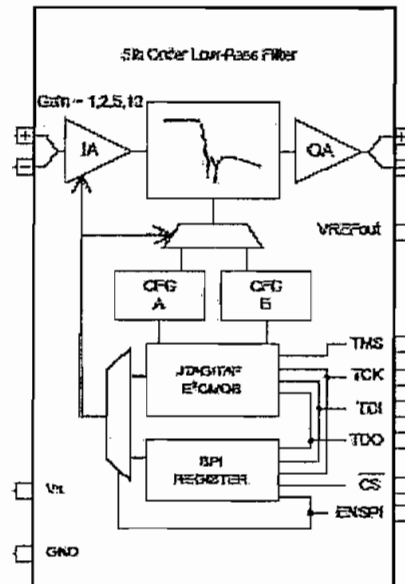


Figura 2.3 Diagrama Funcional de Bloques del ispPAC80/81

Los bloques analógicos, llamados PACell™(s), reemplazan los componentes analógicos tradicionales como los amplificadores operacionales (opamps), eliminando la necesidad de resistencias y capacitores externos. Como no requiere la configuración de elementos externos, el ispPAC80/81 facilita el proceso, simplifica la implementación de circuitos prototipo y admite cambios que promueven mayor funcionalidad y alto rendimiento.

Con todos los componentes en el Chip, la preocupación por la degradación de la respuesta disminuye, debido a que se suprimen los problemas relacionados al acoplamiento de elementos y otros factores externos. El ispPAC80/81 proporciona de esta forma fiabilidad y respuesta iterativa.

Como ya se mencionó anteriormente, el ispPAC80/81 se configura a través de un puerto serial estandarizado IEEE 1149.1. La gran flexibilidad que presenta este dispositivo posibilita la programación, comprobación y reconfiguración; si se desea, en el circuito impreso.

2.2.1 DESCRIPCIÓN DE PINES

El ispPAC80/81 presenta 16 pines, cada uno de los cuales cumple con funciones definidas y que inmediatamente se describen

Pin	Símbolo	Nombre	Descripción
1	TMS	Selección del modo de Prueba	Pin (entrada) de selección del modo lógico del interfaz serial. Únicamente en modo interfaz JTAG
2	TCK	Reloj	Pin (entrada) de reloj del interfaz lógico serial. Únicamente con modo JTAG (ispPAC80); modos JTAG y SPI (ispPAC81).
3	TDI	Entrada para datos de prueba.	Pin (entrada) para ambos modos de operación JTAG y SPI del interfaz lógico serial. Datos de entrada Válidos en el flanco ascendente del TCK (JTAG), o en el flanco ascendente del CS (SPI)
4	TDO	Salida de datos de prueba	Pin (salida) para ambos modos de operación JTAG y SPI del interfaz lógico serial. Datos de entrada Válidos en el flanco descendente del TCK (JTAG), o en el flanco ascendente del CS (SPI)
5	CS	Chip select	Pin de entrada lógica de Chip select. Datos de enclavamiento en SPI
6	CAL	Auto calibración	Pin (entrada) digital. Secuencia de comandos para auto-calibración en un flanco ascendente.
7	ENSPI	Habilitar modo SPI	Pin de entrada lógica SPI habilitada. Cuando esta en alto, el puerto serial corre en modo SPI
8	GND	Tierra	Pin de Tierra. Normalmente debe conectarse al plano de tierra analógica.
9	VREF _{out}	Referencia en Modo Común	Pin de salida de voltaje de referencia en modo común (+2.5V nominales). Debe desviarse a tierra con un capacitor de 1 μ F.
10,11	IN	Entradas (+ o -)	Pines de entrada diferencial, Se usan dos pines (IN+ e IN-) como componentes del V _{IN} , donde el V _{IN} diferencial es $V_{IN} = V_{IN+} - V_{IN-}$.
12,15	TEST	Pines de Prueba	Pines de Prueba. Conectar a tierra para una operación adecuada del circuito.

13,14	OUT	Salidas (+ o -)	Pines de salida diferencial, usando dos pines (OUT+ y OUT-). Complementario con respecto al V_{REFOUT} . V_{OUT} diferencial es $V_{OUT} = V_{OUT+} - V_{OUT-}$.
16	V_s	Voltaje de alimentación	Pin de alimentación de voltaje (5V nominal). Debe desviarse a tierra con capacitores de $1\mu F$ y $0.01\mu F$

Dentro del módulo de desarrollo es importante señalar ciertas notas de conexión que facilitaran la manipulación adecuada del equipo:

1. Se etiquetan todas las entradas y salidas con los signos más(+) y menos(-). La polaridad es determinada por la referencia y puede ser seleccionada externamente invirtiendo la conexión de los pines.
2. Todos los pines de salida son "sujetos" a una salida interna del dispositivo y debería quedar abierto si no se usó. V_{OUT+} y V_{OUT-} no deben conectarse juntos para evitar un incremento en la potencia que después no se pueda disipar.
3. Cuando la señal de entrada es asincrónica, la otra mitad de la entrada diferencial sin usar debe ser conectada a una referencia en modo común DC (generalmente V_{REFOUT} , 2.5V).

2.2.2 LÍMITES ABSOLUTOS DE UTILIZACION

Para el correcto funcionamiento del dispositivo es necesario considerar los límites de utilización que proporciona el fabricante:

Voltaje de Entrada V_s	-0.5 a +7V
Voltaje de Entrada Lógico y Análogo Aplicado.....	0 a V_s
Duración de Corto Circuito de Salida Lógico y Análogo.....	Indefinido
Temperatura de línea (Soldadura, 10seg).....	260°C
Temperatura Ambiente con energía aplicada.....	-55 a 125°C
Temperatura máxima de dispositivo.....	-65 a 150°C

Nota: El exceder los valores listados puede causar daño permanente al dispositivo. Estos son valores límites para su funcionamiento óptimo. Aquellas condiciones ajenas a las indicadas en las secciones de operación de esta especificación no deben tomarse como implícitas.

2.2.3 OPCIONES DE PRESENTACIÓN.

Como se mencionó en el Capítulo 1, el ispPAC80/81, puede ser un chip PDIP o SOIC de 16 pines, razón por la cual su tamaño depende de la presentación del mismo.

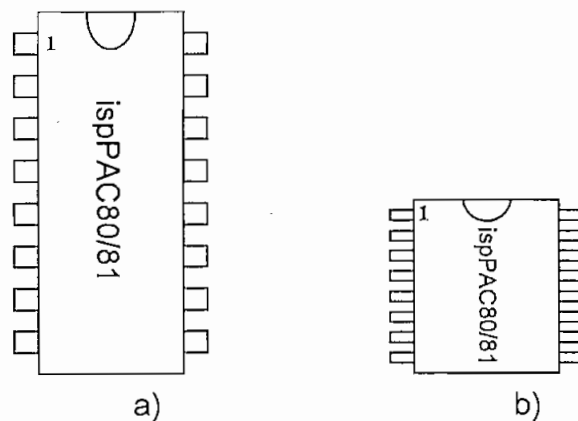


Figura 2.4 Encapsulados del ispPAC80/81: a) 16 Pines PDIP, b) 16 Pines SOIC

Cada uno de los encapsulados tiene dimensiones propias, tal como se muestran en las Figuras 2.5 y 2.6; para facilitar su lectura, se expresa en pulgadas un valor mínimo y otro máximo separados por una barra inclinada (MIN. / MAX); adicionalmente, entre paréntesis se expresan estas magnitudes en milímetros.

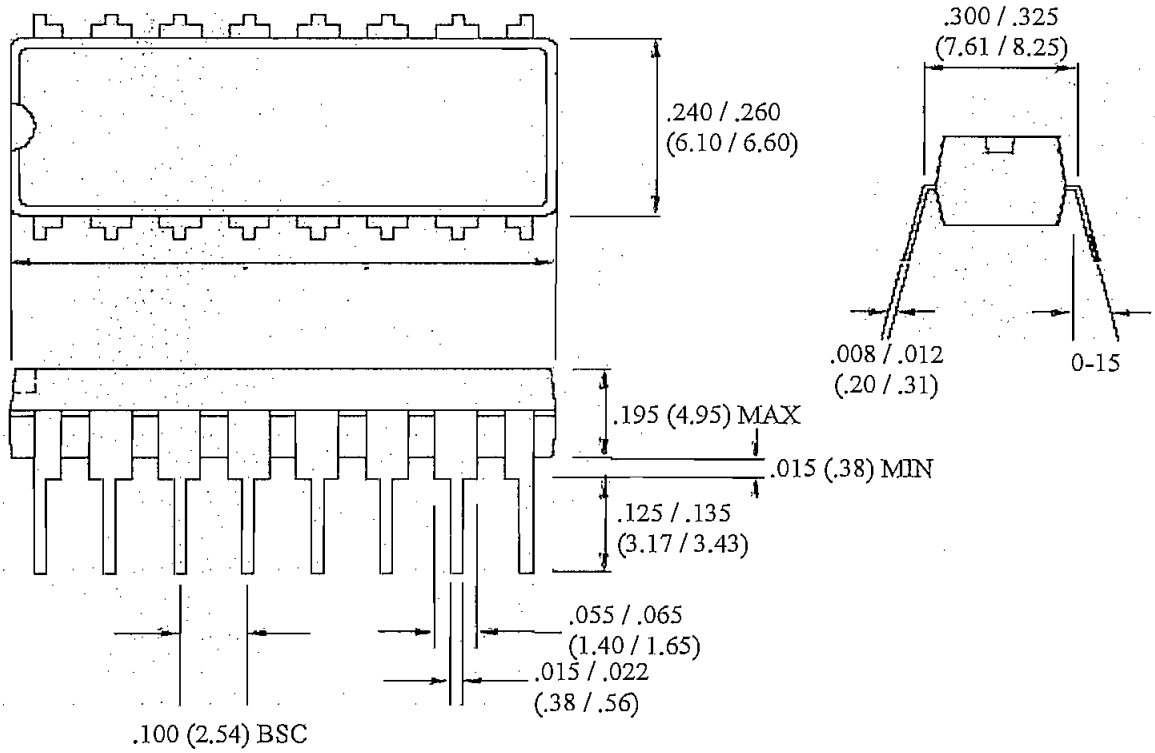


Figura 2.5 Diagrama PDIP Plástico 16-Pines

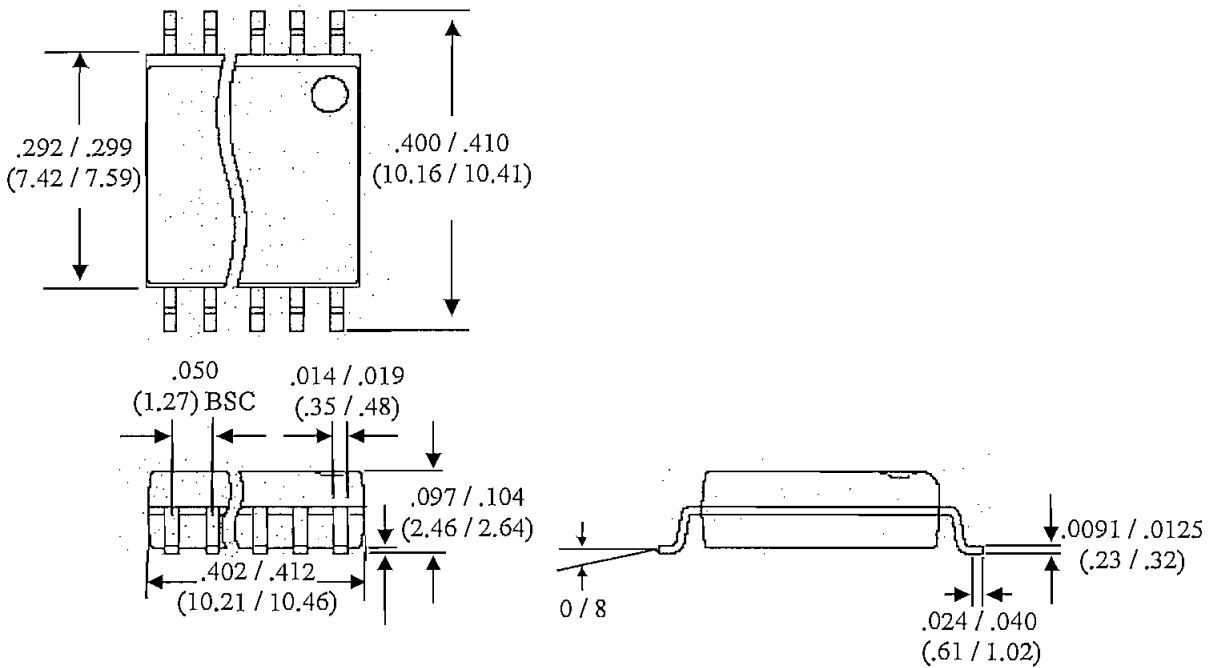
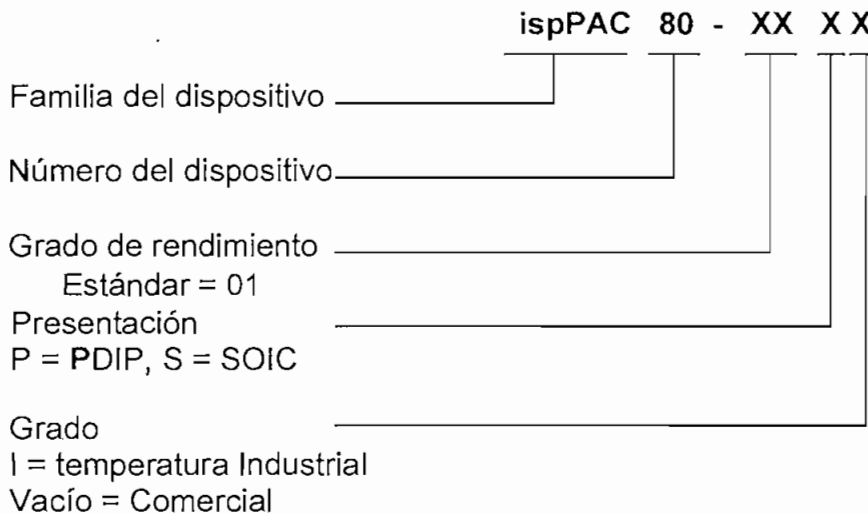


Figura 2.6 Diagrama SOIC Plástico 16-Pines

2.2.4 DESCRIPCIÓN DE LA NUMERACIÓN DEL DISPOSITIVO

La numeración del dispositivo se debe interpretar de acuerdo a la norma siguiente:



2.3 CONFIGURACIONES DE REFERENCIA

En las especificaciones de configuración que se listan a continuación, por facilidad Lattice adopta una notación de ocho caracteres alfanuméricos que hacen referencia a un filtro en particular, del cual se han efectuado mediciones para establecer las características eléctricas tanto AC como DC.

Por ejemplo el filtro CC051042, representa a un filtro de la familia elíptica, en donde las letras CC señalan que es un filtro Chevychev Completo, con una respuesta de frecuencia Chevychev en pasa alto, pasa bajo o banda suprimida del filtro.

Los números siguientes “05” se refieren al orden del filtro. En este caso el ispPAC80/81 será siempre de quinto orden. A continuación los dígitos indican el coeficiente de reflexión (r_f), en este caso 10%, y tiene una relación matemática directa a la magnitud de la respuesta de frecuencia en la banda de paso del filtro, que se expresa en dB = $10 \cdot \text{Log}(1-r_f^2)$. Finalmente, los dos últimos dígitos hacen referencia a la pendiente de atenuación de la banda de paso a banda suprimida y que se expresa como un ángulo, en este caso 42 grados o $1.49 (1/\sin((\pi/180) \cdot 42))$.

Esta configuración corresponde al filtro elíptico con el número de identificación ID #3083 ($F_p=50.00\text{kHz}$; $F_c=56.23\text{kHz}$) de la base de datos del PAC-Designer.

Debido al número casi ilimitado de configuraciones realizables con el ispPAC80/81, se deben seleccionar las configuraciones que en este proyecto se utilizarán de prueba, en este caso se escogieron los filtros de la familia Elíptica fueron preferidos debido a la gran cantidad de parámetros que pueden ser directa y fácilmente probados, con lo que se podría asegurar que todos los circuitos interiores del ispPAC80/81 están operando correctamente.

2.3.1 ESPECIFICACIONES DE CONFIGURACIÓN DEL ispPAC80/81

Como se mencionó anteriormente, el ispPAC80/81 puede ser configurado de acuerdo a las necesidades del usuario, para lo cual es recomendable referirse a las especificaciones que se listan a continuación y que, permitirán el correcto funcionamiento del equipo y su futura manipulación. Como características generales se tiene $T_A = 25^\circ\text{C}$; $V_S = 5.0\text{V}$; $1\text{V} < V_{\text{OUT}} < 4\text{V}$; Ganancia = 1; Carga de salida = 200pF, 1M Ω . Configuración de Filtro = CC051042, $F_p = 50\text{kHz}$; Auto-calibración antes de iniciar. En la Tabla 2.1 se listan las características más relevantes.

Tabla 2.1 Características Eléctricas DC.

Símbolo	Parámetro	Condición	Min.	Típico.	Máx.	Unid.
Entrada Analógica						
V_{INL} (1)	Rango de Voltaje de entrada	Aplicado a V_{IN+} o V_{IN-} .	1		4	V
$V_{IN-DIFF}$	Oscilación de voltaje diferencial de entrada (2)	$2 V_{IN+} - V_{IN-} $	6			V_{P-P}
V_{OS} (2)	Voltaje diferencial contrapuesto (Con referencia a la entrada)	$G = 10$ $G = 1$		30 0.3	200 2	μV mV
$\Delta V_{OS}/\Delta T$	Variación de voltaje diferencial contrapuesto	-40 a +85°C		40		$\mu V/^{\circ}C$
R_{IN}	Resistencia de entrada			10^9		Ω
C_{IN}	Capacitancia de entrada			2		pF
I_B	Corriente de polarización de entrada	En DC		1		pA
e_N	Densidad de Ruido en el Voltaje de entrada	A 10kHz, con referencia a la entrada, $G = 10$		28		nV/\sqrt{Hz}
Salida Analógica						
V_{OUT+}	Rango de Voltaje de salida	Presente a V_{OUT+} o V_{OUT-} .	0.1		4.9	V
$V_{OUT-DIFF}$	Oscilación de voltaje diferencial de salida (2)	$2 V_{OUT+} - V_{OUT-} $	9.6			V_{P-P}
I_{OUT}	Corriente de salida	Generador/Carga	10			mA
V_{CM}	Voltaje de salida en modo común	$(V_{OUT+} + V_{OUT-})/2$	2.495	2.5	2.505	V
Rendimiento Estático						
G	Rango programable de ganancia	Amplificador de ganancia de entrada (1,2,5,10)	0		20	dB
	Error de ganancia	$R_L = 300\Omega$ Diferencial		0.5	2.5	%
$\Delta G/\Delta T$	Ganancia contrapuesta	-40 a +85°C		20		Ppm/ $^{\circ}C$
PSR	Rechazo de Fuente de Alimentación	Diferencial a 1kHz Desbalanceado a 1kHz		80 70		dB dB
Salida de Referencia en modo común(V_{REFOUT})						
V_{REFOUT}	Rango de Voltaje referencial de salida	Nominal 2500V	-0.2		0.2	%
	Voltaje referencial de salida contrapuesto	-40 a +85°C		50		ppm/ $^{\circ}C$
I_{REFOUT}	Corriente de referencia de salida	$(V_{REFOUT} = \pm 1\%)$ Generador $(V_{REFOUT} = \pm 1\%)$ Carga		50 350		μA mA
	Ruido en el Voltaje referencial de salida	Ancho de banda de 10MHz		40		μV_{RMS}
	Referencia de rechazo de fuente de alimentación	1kHz		80		dB
Programación						
	Borrado/Reprogramado de ciclos		10K	1M		Ciclos
I/O Digitales						
V_{IL}	Entrada de bajo voltaje		0		0.8	V
V_{IH}	Entrada de alto voltaje		2		V_S	V
I_{IL}, I_{IH}	Corriente de Fuga de entrada	$0V \leq TCK, ENSPI, CAL$ Input $\leq V_S$ $0V \leq TDI, MTS, \overline{CS}$ Inputs $\leq V_S$			-10/+40 -70/+10	μA μA
V_{OL}	Bajo voltaje de salida (TDO)	$I_{OL} = 4.0mA$			0.5	V
V_{OH}	Alto Voltaje de salida (TDO)	$I_{OH} = -1.0mA$	2.4			V

Tabla 2.2 Características Eléctricas AC.

Símbolo	Parámetros	Condición	Min.	Típico.	Máx.	Unidades
Rendimiento Dinámico(4)						
SNR	Señal a Ruido (G=1 to 10)	0.1Hz to 500kHz, FC = 500kHz		86		dB
THD	Distorsión Total Armónica (Diferencial) desequilibrio	FIN = 10kHz, VIN = 6Vp-p		-90	-74	dB
		FIN = 10kHz, VIN = 6Vp-p		-80		dB
	Diferencial (FP = 500kHz) desequilibrio (FP = 500kHz)	FIN = 100kHz, VIN = 6Vp-p		-90	-74	dB
		FIN = 100kHz, VIN = 6Vp-p		-74		dB
CMRR	Factor de Rechazo en Modo Común (VIN = 1V to 4V) Nota: VIN+ y VIN- conectados ambos	10kHz	50	60		dB
		100kHz, FC = 500kHz		60		dB
Características del Filtro (4)						
FC	Rango de programación de frecuencia de esquina	Filtro de la familia Butterworth	50		750	Khz.
FC	Exactitud en el valor absoluto de frecuencia de esquina	Desviación calculada desde un punto de -3dB FC = 50, 200 o 500kHz		0,6	3	%
ΔFC	Incremento máximo entre frecuencias de esquina (Calculadas)	50kHz a 500kHz		0,6	3,7	%
		500kHz a 750kHz		0,9	5,3	%
$\Delta FC/\Delta T$	Variación de frecuencia de esquina con respecto a la variación de la Temperatura	FC = 50kHz		0,03		%/°C
		FC = 500kHz		0,05		
$\Delta FC/\Delta V$	Variación de la frecuencia de esquina con respecto a la variación del suministro de voltaje.	FC = 50kHz		0,09		%/V
Respuesta del Filtro Elíptico (5)						
	Ondulación de banda de pasante	FC = 50kHz		0,1		dB
		FC = 500kHz		0,5		dB
Fuente de Alimentación						
VS	Suministro de Voltaje en operación		4,75	5	5,25	V
IS	Corriente de alimentación	VS = 5,0V		33	40	mA
PD	Disipación de Potencia	VS = 5,0V			210	mW
Rango de Temperatura						
	Operación		-40		85	°C
	Almacenamiento		-65		150	°C

2.3.2 CONDICIÓN DE ENCENDIDO SPI (INTERFAZ PERIFERICA SERIAL)

Cuando el ispPAC80/81 se enciende, el registro de cambio del interfaz SPI vuelve siempre a cero. Esto significa que si el pin ENSPI está en alto al encender el dispositivo, la configuración inicial presentará una ganancia de 1X (0dB) y se seleccionará la configuración "A" como la configuración "pre-determinada". La única manera de prevenir este comportamiento sería mantener el pin ENSPI en bajo mientras se enciende el dispositivo. Este proceso es normalmente impráctico, por lo que se aconseja que cuando el ispPAC80/81 se use en modo SPI, se recargue primero la configuración deseada (tipo de filtro y ganancia) cada vez que se cumpla el ciclo de encendido del dispositivo en la configuración "A", logrando mantener en memoria la nueva configuración y esta será la "pre-determinada".

2.3.3 CONFIGURACIÓN A/B

Una de las propiedades más relevantes del ispPAC80/81 es poder guardar dos configuraciones completas, gracias a la memoria NVRAM que dispone en su circuitería interna. Por facilidad, Lattice, denomina a las configuraciones como "A" y "B", las mismas que pueden ser seleccionadas, configuradas y descargadas al dispositivo a través del software de desarrollo PAC-Designer.

La elección de la configuración que actuará en tiempo real, se logra con la interfaz del dispositivo en modo SPI (pines del ENSPI = nivel lógico alto). El ispPAC80/81 lee datos a través de un cable de empalme de 8 bits en la forma siguiente: cuatro bits tienen condición "NO IMPORTA", seguidos por un bit de comando CAL; 1 bit para la fijación de configuración A o B y los bits de ganancia PG1 y PG2, cuyo uso se detalla a continuación:

Tabla 2.3 Secuencia de control de los Bits SPI

MSB				LSB			
Bit-7	Bit-6	Bit-5	Bit-4	Bit-3	Bit-2	Bit-1	Bit-0
PG2	PG1	A/B	CAL	X	X	X	X

BIT 7	PG2: Ganancia Programable del IA (Vea la tabla 2 para el setead)
BIT 6	PG1: Ganancia Programable del IA (Vea la tabla 2.4 para el setead)
BIT 5	A/B: Bit de configuración del filtro 0 = Usa la configuración de filtro 'A' 1 = Usa la configuración de filtro 'B'
BIT 4	CAL: Inicia la secuencia de calibración 0 = Ningún efecto 1 = Inicia la secuencia de calibración y elimina el offset
BIT 3	X : Bit sin usar, asignado a cero
BIT 2	X : Bit sin usar, asignado a cero
BIT 1	X : Bit sin usar, asignado a cero
BIT 0	X : Bit sin usar, asignado a cero

Tabla 2.4 Ajuste de Bits de Ganancia

Ganancia	PG2	PG1
1X(0dB)	0	0
2X(6dB)	0	1
5X(14dB)	1	0
10X(20dB)	1	1

2.3.4 BITS DE USUARIO JTAG

Existen varios bits de usuario configurados en la NVRAM del ispPAC80/81 que controlan varios aspectos y que pueden ser accedidos a través de los menús desplegados o directamente en la pantalla de diseño del esquemático por medio de la interfaz del PAC-Designer. La lista de bits de control para la memoria NVRAM se muestra en la Tabla 2.5.

Tabla 2.5 Bits de Usuario para la Configuración del JTAG

Símbolo	Nombre	Descripción
Bit FreqRange	Bit de Rango de Frecuencia Hi/Lo	Depende de la frecuencia de corte, el bit para el rango de frecuencia es automáticamente seteado dentro del Pac-Designer para optimizar la respuesta de la función de transferencia del ispPAC80/81. Existen dos configuraciones A y B que pueden seleccionarse en el Pac-Designer.
Bits UES	User Electronic Signature (Firma electrónica de usuario)	Son bits de uso exclusivo del usuario que se encuentran en la memoria, para guardar información del dispositivo como referencia para configuraciones futuras. Los ispPAC80/81 contiene 21 bits de UES. Estos bits UES son accesibles dentro del Pac-Designer. Únicamente se asignan bits UES en configuración A.
Bits Cap	Bits para selección de capacitores	Son un juego de 70 bits que están disponibles para modificar los valores de capacitancia existentes en los filtros que se configuran en el ispPAC80/81 ('A' o 'B').
Bit A/B	Selección de configuración inicial	Con el bit de configuración inicial A/B puesto en "A" (lógica 0), el dispositivo cargará la configuración guardada por el usuario en modo A. La designación de la configuración A o B con la que se desea iniciar el ispPAC80/81 debe ser establecida previamente en el PAC-Designer.
Bits PG1 & PG	Bits programables de Ganancia	Únicamente con la configuración A. Puede modificarse el control SPI. Refiérase a la Tabla 2.4.

ESF	Fusible de seguridad Electrónica	Activando este bit, la visualización de la configuración del dispositivo y las subsecuentes son desactivadas (JTAG Verify commands). Pueden ser restablecidos por un usuario de JTAG (USRA) borrando órdenes y reprogramando el dispositivo. Esta característica se emplea para prevenir lectura desautorizada de la configuración del dispositivo.
-----	----------------------------------	---

2.3.5 I/O DIFERENCIAL

Dentro de las especificaciones de funcionamiento del ispPAC80/81, se encuentra el voltaje diferencial que se debe suministrar al dispositivo a través de los pines de entrada IN+ e IN- (10 y 11); y obtener una respuesta por los pines de salida OUT+ y OUT- (13 y 14).

Para comprender mejor como trabaja en modo diferencial el ispPAC80/81, a continuación se muestra la configuración de entrada del chip en la Figura 2.7 y a continuación se realiza una breve descripción.

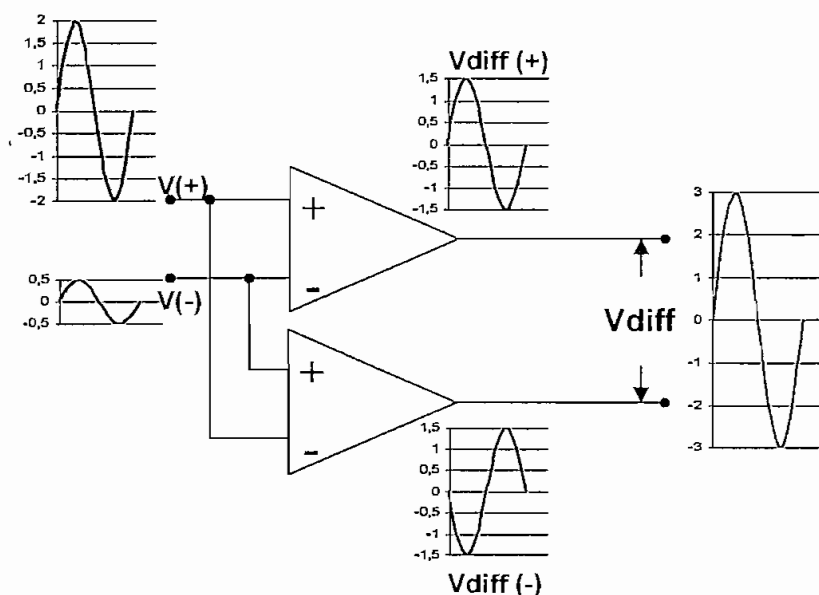


Figura 2.7 Entrada y Salida Diferencial presentes en el ispPAC80/81

El voltaje diferencial se determina tomando en consideración el signo del voltaje en ambos pines de entrada diferencial.

Por ejemplo, si $V(+)$ igual a 4V y $V(-)$ igual a 1V, el voltaje diferencial se define como $V(+)-V(-)=V_{diff}$, o $4V-1V=+3V$.

Puesto que cualquier polaridad puede existir en la entrada diferencial, también es posible el opuesto extremo, por ejemplo cuando $V(+)$ es igual a 1V y $V(-)$ es igual a 4V, entonces el voltaje diferencial es ahora $1V-4V=-3V$.

El voltaje diferencial aplicado a los dos operacionales resulta ser la diferencia absoluta entre los dos V_{diff} extremos, debido a que se conectan en paralelo opuesto. Empleando el ejemplo anterior resultaría entonces:

$$|(+3V)-(-3V)|=6V.$$

Por consiguiente en cada uno de los pines de salida $OUT+$ y $OUT-$ (13 y 14), se tendrá un voltaje referido a tierra de 3V, uno en desfase con respecto al otro. Pero al considerar el voltaje entre los dos pines se obtendrá una salida diferencial equivalente a 6V.

Además de tener entrada y salida puramente diferencial, existe la posibilidad de que la entrada, la salida o ambos sean asimétricos, debido a que pueden conectarse señales asimétricas a la entrada del ispPAC80/81, y una de las dos salidas diferenciales puede usarse para manejar circuitería asimétrica.

2.3.6 ENTRADA ASIMÉTRICA

Para conectar la entrada diferencial del ispPAC80/81 en forma asimétrica, una de las entradas diferenciales necesita ser conectada a una fuente DC, preferentemente $VREF_{OUT}$ (todos los dispositivos ispPAC una vez que se han polarizado, presentan una tensión de referencia interna de 2.5 V, la cual se puede disponer en cualquiera de los pines de salida del dispositivo).

La señal de entrada debe ser acoplada mediante un capacitor o debe tener un nivel de polarización DC igual al nivel de DC de la otra entrada como se muestra en la Figura 2.8. Puesto que el voltaje de la entrada se define como $V_{IN+} - V_{IN-}$, el voltaje en modo común se ignora. De esta forma la señal de información queda conectada solo a una entrada, mientras la otra debe estar conectada a un voltaje de referencia.

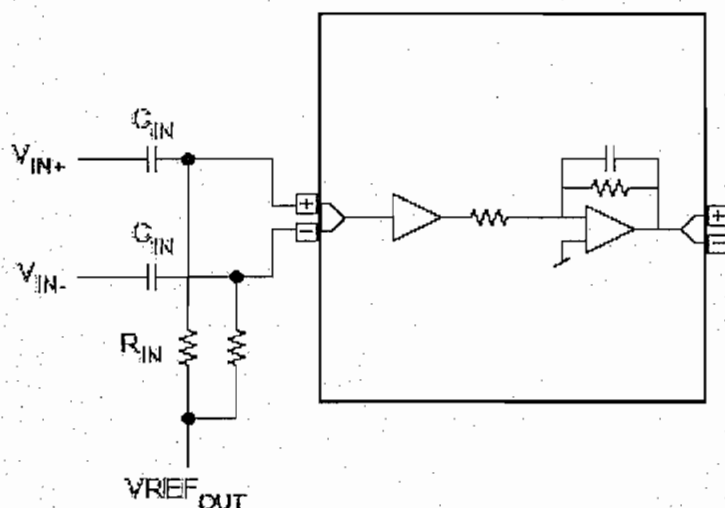


Figura 2.8 Entrada diferencial acoplada con una fuente DC

2.3.7 SALIDA ASIMÉTRICA

Para conectar la salida a un circuito asimétrico se sigue un procedimiento más simple. Basta con conectar una de las salidas diferenciales. Cualquier salida lleva la señal de información, con un valor igual a la mitad de la magnitud de la salida diferencial. El nivel DC referencial de la salida asimétrica será el V_{REF_OUT} . Si a la carga no se le acopla en AC, y por lo mismo se encuentra bajo la acción de un potencial DC distinto de V_{REF_OUT} , en la carga se obtendrá una corriente constante. Usando una de las salidas diferenciales se dispone de la mitad de la amplitud de variación del voltaje de salida (3V_{pp} vs. 6V_{pp}).

2.3.8 RANGO DE VOLTAJE DE ENTRADA EN MODO – COMUN

Para los ispPAC80/81, el máximo rango de entrada de la señal y el rango de voltaje de modo-común se relacionan con la ganancia del PACBlock. El voltaje de entrada máximo multiplicado por la ganancia de un PACBlock individual no puede exceder el rango de salida de ese bloque, debido a que se pueden presentar recortes. El máximo rango en la entrada es de 1V a 4V, con un rango típico extendido de 0.7V a 4.3V para un voltaje de alimentación de 5V.

La entrada de voltaje en modo común es $V_{CM} = (V_{IN+} + V_{IN-})/2$ (Presente en todos los amplificadores operacionales por las imperfecciones que muestran). Cuando el valor de V_{CM} es de 2,5V no hay grandes restricciones en la entrada, V_{IN+} y V_{IN-} pueden adoptar diferentes valores entre 1V y 4V, siempre que no excedan el límite del V_{CM} . Esto se logra fácilmente cuando la señal de entrada al ispPAC80/81 es totalmente diferencial y referida a 2.5V; es decir $V_{IN+} = V_{IN-} = 2.5V \Rightarrow V_{DIF} = V_{IN+} - V_{IN-} = 0V$.

Cuando el V_{CM} no es de 2.5V y la ganancia fijada es mayor que uno, se presentará distorsión cuando se alcanza el límite máximo de entrada para una ganancia en particular.

El V_{IN} más bajo para una ganancia previamente establecida es expresada por la fórmula, $V_{IN-} = 0.675V + 0.584G \cdot V_{IN}$ donde G es la ganancia fijada y V_{IN} es el voltaje de entrada pico, expresado como $|V_{IN+} - V_{IN-}|$ y el V_{IN} mas alto es $V_{IN+} = 5.0V - V_{IN-}$ donde 5V es el voltaje nominal de alimentación. En la Tabla 2.6, se muestra el máximo V_{IN} para un rango dado de V_{CM} (empleando las ecuaciones antes indicadas). Si el máximo V_{IN} es conocido (el equivalente o máximo valor, se ubica bajo la columna de ganancia apropiada); el rango mas amplio para V_{CM} se encuentra horizontalmente en las dos primeras columnas de la izquierda. Solamente un rango V_{CM} igual o menor que, presentará un rendimiento libre de distorsión. Así mismo, si el máximo rango de V_{CM} es conocido, el valor más alto de pico aceptable de V_{IN} puede ser encontrado en la columna de ganancia

correspondiente. Todos los valores de V_{IN} menores darán una salida sin distorsión.

Tabla 2.6. Limitaciones en el rango del voltaje de entrada en modo común

$V_{CM} = \frac{V_{IN+} + V_{IN-}}{2}$		Magnitud del Voltaje de entrada V_{IN} (Voltios-Pico)			
V_{IN-}	V_{IN+}	G=1	G=2	G=5	G=10
1.000	4.000	0.557	0.278	0.111	0.056
1.100	3.900	0.728	0.364	0.146	0.073
1.200	3.800	0.899	0.450	0.180	0.090
1.300	3.700	1.071	0.535	0.214	0.107
1.400	3.600	1.242	0.621	0.248	0.124
1.500	3.500	1.413	0.707	0.283	0.141
1.600	3.400	1.584	0.792	0.317	0.158
1.700	3.300	1.756	0.878	0.351	0.176
1.800	3.200	1.927	0.964	0.385	0.193
1.900	3.100	2.098	1.049	0.420	0.210
2.000	3.000	2.270	1.135	0.454	0.227
2.100	2.900	2.441	1.220	0.488	0.244
2.200	2.800	2.612	1.306	0.522	0.261
2.300	2.700	2.783	1.392	0.557	0.278
2.400	2.600	2.955	1.477	0.591	0.295
2.426	2.574	3.000*	1.500*	0.600*	0.300*
2.500	2.500	3.126	1.563	0.625	0.313

* Voltaje de entrada pico para garantizar rendimiento dado una ganancia.

Como se mencionó anteriormente, el módulo de desarrollo posee un conector de 5 pines (interfaz JTAG), el mismo que está destinado para facilitar la programación del ispPAC80/81 directamente desde el puerto paralelo del PC, a través del cable de descarga ispDOWNLOAD y el software de desarrollo.

2.4 CABLE ispDOWNLOAD

El cable ispDOWNLOAD es empleado para la programación de los dispositivos de Lattice ISP, el cual presenta las siguientes características:

- Es diseñado para todos los productos ispPAC de la familia Lattice
- La programación se realiza empleando niveles de voltaje de 1.8V a 5V.
- Presenta conexión a interfaces USB(v1.0 y 2.0) o Puerto paralelo del PC
- Los conectores AMP, son de fácil uso y programación.
- La presentación de los conectores es de 2 x 5 (10 pines) o 1 x 8 (8 pines).
- La longitud del cable de programación flyware es de 2 metros.

Con el sistema de programación, las funciones del hardware pueden ser modificadas y programadas en tiempo real sobre el módulo de desarrollo para dar características adicionales al producto, acortando el plan de diseño y depurando la programación del dispositivo.

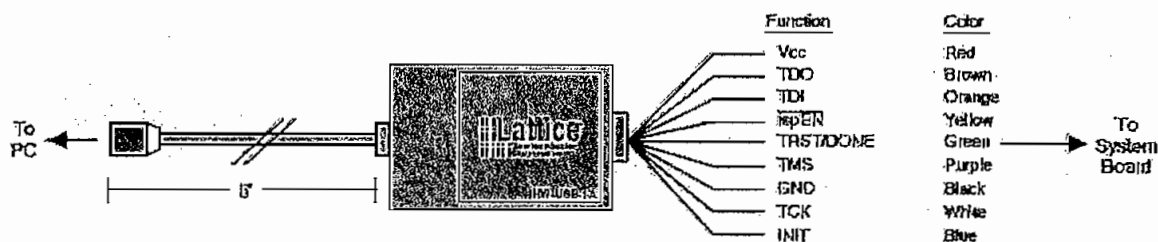
Después de completar el diseño lógico y la creación de un archivo de programación en el sistema de desarrollo de Lattice (PAC-Designer), el software programa los dispositivos que se encuentran en el módulo de desarrollo.

Las señales de programación son generadas desde el puerto USB o puerto paralelo del PC y dirigida a través del cable ispDOWNLOAD hacia el dispositivo.

Con este cable y el conector en el módulo no se requiere de componentes adicionales para la programación. El software automáticamente genera el comando apropiado ISP, programando direcciones y datos desde el archivo de información de la programación.

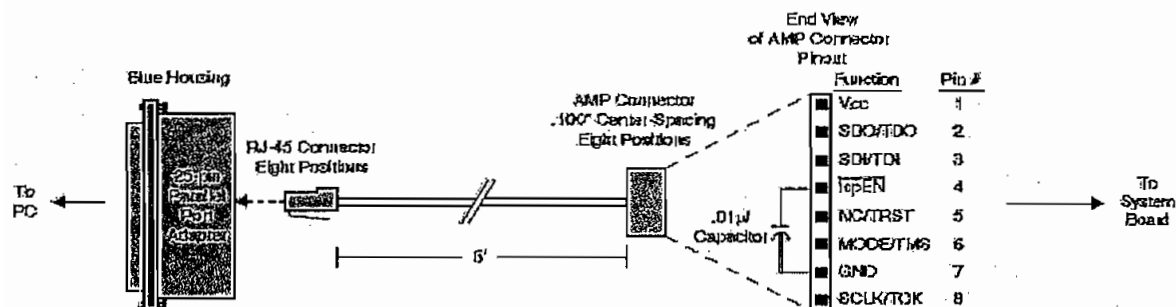
A continuación se ilustran algunos ejemplos de cables ispDOWNLOAD para diferentes interfaces de PC:

- Cable ispDOWNLOAD HW-USB-1A para programación a través del Interfaz de una PC.



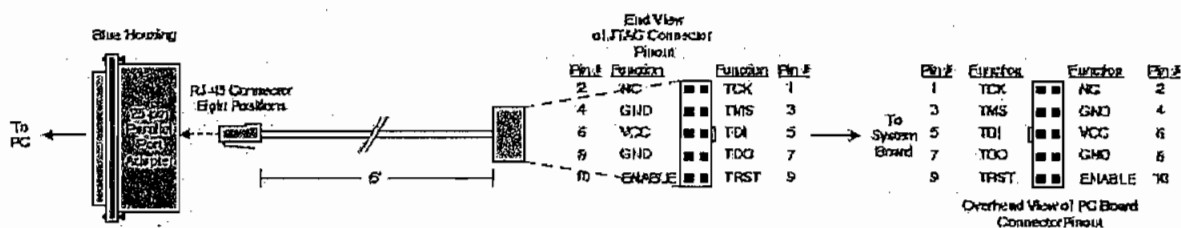
Cable USB ispDOWNLOAD. Contiene 6 cables para el puerto USB, conectores Flywire, un adaptador de conexión AMP de 8 pines (1 x 8) y un adaptador de conexión JTAG de 10 pines (2 x 5). Soporta programación a 1.8V, 2.5V, 3.3V y 5V.

- Cable ispDOWNLOAD pDS4102-DL2 para programación empleando el interfaz de PC



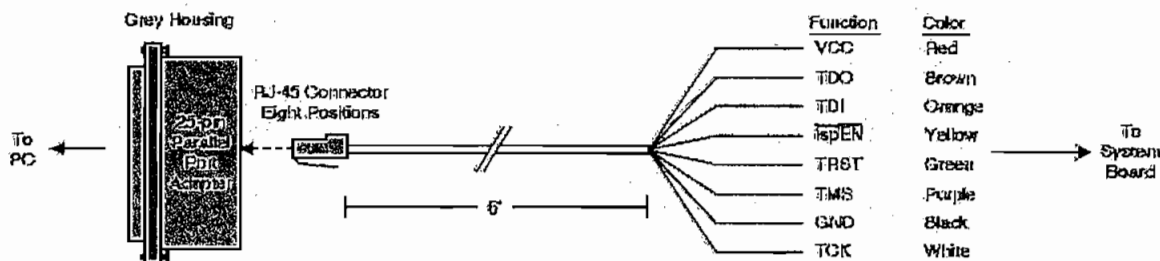
Cable Paralelo ispDOWNLOAD. Contiene cable multipar con un terminal RJ45 y un conector AMP de 8 posiciones además de un adaptador de puerto paralelo. Soporta Programación a 2.5V, 3.3V y 5V.

- Cable ispDOWNLOAD HW7265-DL2 para programación mediante el interfaz de PC.



Cable Paralelo ispDOWNLOAD. Contiene un terminal RJ45, un conector JTAG de 10 posiciones y un adaptador de puerto paralelo. Soporta programación a 2.5V, 3.3V y 5V.

- Cable ispDOWNLOAD HW7265-DL3 para programación a través del interfaz de una PC



Cable Paralelo ispDOWNLOAD. Contiene un adaptador para puerto paralelo, cable multipar con terminal RJ45, conectores Flywire, un adaptador de conexión AMP de 8 posiciones (1 x 8) y un adaptador de conexión JTAG de 10 posiciones (2 x 5). Soporta programación a 1.8V, 2.5V, 3.3V y 5V.

Este cable es uno de los más empleados para el enlace PC / módulo de desarrollo a través del conector AMP 1x8 o 2x5; para este efecto se recomienda emplear la tabla de conexiones que se ilustra a continuación:

Tabla 2.7 Conexiones puerto paralelo de una PC - cable - módulo

Conector de Puerto Paralelo		Cable Flywire		Módulo			
Pines DB 25	Función	Función	Color	#Pin	Conector de 8 posiciones	#Pin	Conector de 10 posiciones
-	-	Vcc	Rojo	1	Vcc	6	Vcc
10	TDO	TDO	Café	2	SDO/TDO	7	TDO
2	TDI	TDI	Anaranjado	3	SDI/TDI	5	TDI
5	\overline{ispEN}	\overline{ispEN}	Amarillo	4	\overline{ispEN}	10	Habilitado
6	TRST	TRST	Verde	5	Sin conexión (TRST)	9	TRST
4	TMS	TMS	Violeta	6	MOD0/TMS	3	TMS
-	-	GND	Negro	7	GND	4	GND
3	TCK	TCK	Blanco	8	SCLK/TCK	1	TCK
7	JTAG	-	-	-	-	2	Sin conexión
12	DL1-ID	-	-	-	-	8	GND(Sin conexión)
8	OUT						
13	DL2-ID						
15	VCC						
20	GND						

El cable ispDOWNLOAD que se va a emplear para la programación en el ispPAC80/81 es el Pds4102-DL2, que dispone de 2 metros de longitud, un conector RJ45, un conector AMP 1x8 y un adaptador para puerto paralelo de PC.

El cable de descarga anteriormente descrito se conecta al interfaz JTAG que dispone el módulo de desarrollo, el mismo que obedece al estándar IEEE1149.1, que se describe a continuación.

2.4.1 JTAG - ESTÁNDAR IEEE 1149.1

El Estándar IEEE 1149.1-1990 fue producto del trabajo realizado por un grupo de compañías interesadas en resolver básicamente el problema del acceso físico a los pines de los circuitos integrados (IC) colocados sobre una tarjeta de circuitos impresos.

Como las tarjetas de circuitos impresos crecen en complejidad y densidad de componentes, debido a las constantes mejoras en las tecnologías de fabricación de circuitos integrados y de las mismas tarjetas, resultan también más difíciles de verificar, volviendo obsoletos los métodos tradicionales de detección de fallas (como las puntas de prueba y los generadores de tramas). Por tales motivos, se necesitan métodos más baratos y confiables para realizar pruebas de conectividad entre los circuitos integrados montados sobre la tarjeta.

En 1980 el grupo JTAG (*Join Test Action Group*) comenzó a trabajar en una especificación para el diagnóstico de circuitos impresos sobre tarjetas de circuitos impresos mediante exploración de contorno (*boundary-scan testing*) la misma que luego se estandarizó en 1990 con el nombre "*IEEE Std. 1149.1-1990 Test Access Port and Boundary-Scan Architecture*" (Norma IEEE 1149.1-1990, Puerto de Acceso para Pruebas y Arquitectura de Exploración por el Contorno). Esta norma se conoce abreviadamente como JTAG, por el nombre del grupo creador.

El estándar IEEE 1149.1-1990 (Standard Test Access Port and Boundary-Scan Architecture) en resumen se define como: Electrónica que puede incorporar un circuito integrado para asistir en el test, mantenimiento y soporte para placas de circuito impreso. Esta circuitería incluye una interfaz estándar a través de la cual se transfieren datos y comandos con los que el componente puede responder a un conjunto mínimo de instrucciones.

Esta lógica de test se usa principalmente para comprobar que:

- Los componentes funcionan correctamente

- Las conexiones entre componentes son correctas
- Diferentes componentes interactúan correctamente en un circuito impreso

En sí, es un interfaz serie compuesto de dos líneas de datos (una de entrada, TDI, y otra de salida, TDO) una línea de reloj (TCK) una de reset (TRST) y otra de modo (TMS).

La piedra angular del JTAG es el Boundary Scan Register o BSR, un registro de desplazamiento que contiene tantas celdas como pines tiene el chip, lo que permite, gracias a un controlador de estados llamado TAP Controller (Test Access Port), acceder y cambiar el estado de cada uno de los pines del componente. Por decirlo de forma sencilla, con las cinco líneas del bus JTAG de un ispPAC se puede poner la combinación que se quiera de unos y ceros en las líneas del dispositivo, forzándolo a comportarse como más convenga.

Tal como ya se ha indicado, el ispPAC80/81 es un dispositivo programable. Esto se lleva a cabo mediante la integración de todos los circuitos en un chip programable. Esta programación se logra a través de las 5-líneas que conforman la interfaz serial del estándar IEEE 1149.1 como se mencionó anteriormente, y que trabajan con los niveles de lógica normal. Una vez que el dispositivo es programado, toda la información de configuración es almacenada en el chip, en celdas de memoria no volátil NVRAM.

2.4.1.1 Programación del Puerto Serial

La comunicación con el ispPAC80/81 se realiza vía el pórtil de acceso JTAG pero configurado para pruebas (TAP). Este es usado por el ispPAC80/81 como una interfaz serial programable.

La opción puerto de acceso para pruebas (TAP) del IEEE 1149.1 provee el control en la interfaz para el acceso digital serial de I/O al ispPAC80/81. El controlador del TAP es un controlador de 16 estados cuyo reloj es TCK y su control TMS.

Bajo el protocolo correcto, las instrucciones son sustituidas en concordancia a un registro de instrucción, el cual determina la entrada de los datos siguientes, salida de datos y operaciones relacionadas.

La programación del dispositivo se realiza a través del registro de usuario, cambiando los datos de entrada, y ejecutando el programa de instrucciones del usuario. Después, el dato es transferido a las celdas no volátiles que determinan la configuración del ispPAC80/81. Debido a que el controlador del TAP es cíclico, los datos pueden ser alterados fuera del registro de usuario para verificar la configuración actual del ispPAC80/81. Existen instrucciones para acceder a todos los registros de datos y para realizar operaciones de control interno.

Para compatibilidad entre dispositivos, las especificaciones del estándar IEEE1149.1 asigna dos registros de datos. Otros se especifican por su funcionalidad, pero su inclusión es estrictamente opcional. Finalmente, existen registros opcionales de datos definidos por el fabricante. Los dos registros requeridos son el de **bypass** y el registro **boundary-scan**. Para el ispPAC80/81, el registro bypass es un registro de desplazamiento (1-bit) que proporciona un camino corto a través del dispositivo cuando se está realizando el boundary testing u otras operaciones.

El ispPAC80/81 no tiene lógica de boundary scan (barrido de borde) y por tal motivo no tiene este registro. Todas las instrucciones relacionadas a las operaciones del boundary scan sitúan al ispPAC80/81 en el modo bypass para mantener flexibilidad con la especificación.

El registro de identificación opcional descrito en IEEE 1149.1 también está incluido en el ispPAC80/81. Un registro de datos adicional incluido en el TAP del ispPAC80/81 es el registro de usuario definido por Lattice.

La Figura 2.9 muestra como la instrucción y varios registros de datos son situados en un ispPAC80/81.

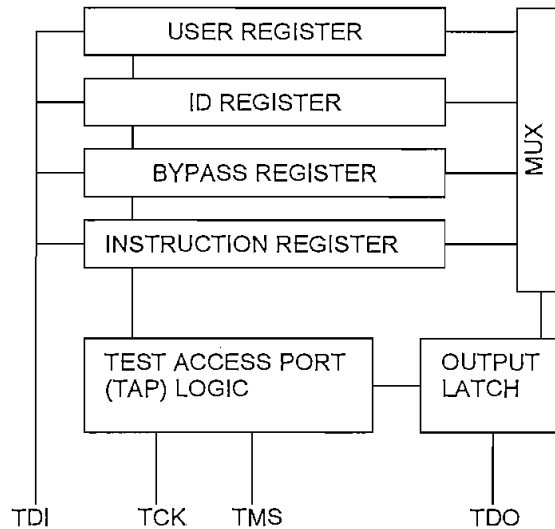


Figura 2.9 Registros TAP del ispPAC80/81

2.4.1.1.1 Controladores específicos del TAP

El TAP consiste de un pequeño controlador de 16 estados que es controlado por el Test Clock (TCK) y las entradas de selección de modo de prueba (TMS). Estas entradas determinan si se realiza una Instrucción de Registro o una operación de Registro de Datos. En un estado dado, el controlador responde de acuerdo al nivel de la entrada TMS como se muestra en la Figura 2.10. El Test Data In (TDI) y TMS están sujetas al flanco ascendente del TCK, con el Test Data Out (TDO) llegan a ser validas en el flanco descendente del TCK. Existen seis estados constantes dentro del controlador: Test-Logic-Reset, Run-Test/Idle, Shift-Data-Register, Pause-Data-Register, Shift-Instruction-Register, y Pause-Instruction-Register. Pero existe únicamente un estado constante para la condición cuando el TMS esta seteado en alto: estado Test-Logic-Reset. Este permite un reseteo para la prueba lógica dentro de los cinco o menos pulsos del TCK para mantener la entrada TMS en alto. El Test-Logic-Reset es el estado por defecto en el encendido.

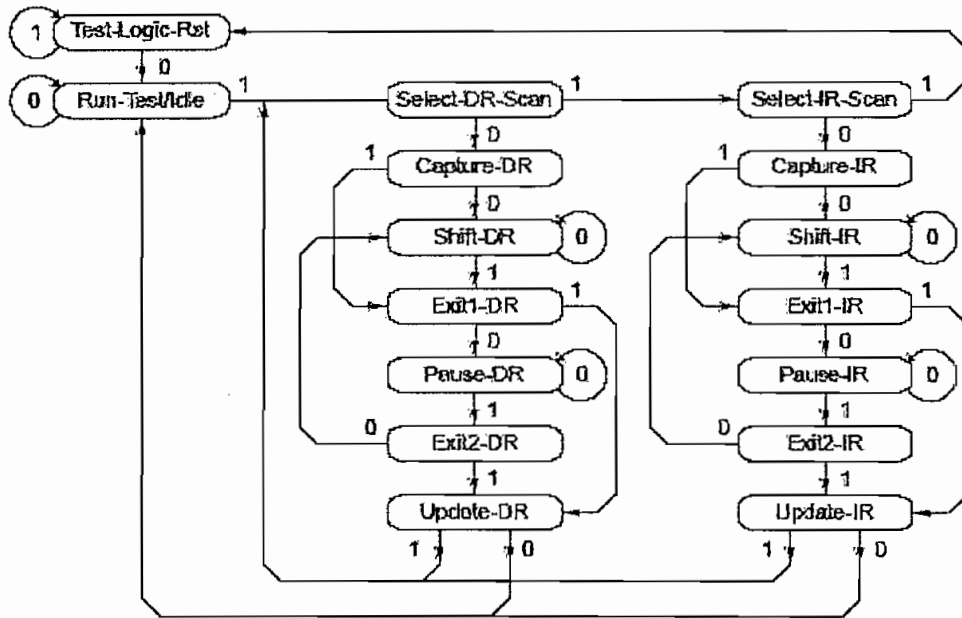


Figura 2.10 Diagrama de control de estados. TEST ACCESS PORT (TAP)

Nota: El valor mostrado adyacente a cada estado de transición en esta figura representa la señal presente en el TMS al tiempo de un flanco ascendente del TCK.

Cuando se aplica la secuencia lógica correcta a las entradas TMS y TCK, el TAP saldrá del estado Test-Logic-Reset y se moverá al estado deseado. El siguiente estado después del Test-Logic-Reset es Run-Test/Idle. No habrá acción en Run-Test/Idle (idle = estado estacionario) hasta que se realice una instrucción de búsqueda. Después del Run-Test/Idle, se realiza: una instrucción de búsqueda. Los estados de los bloques de dato y registro de instrucción son idénticos entre sí difiriendo solamente en sus puntos de entrada. Cuando cualquiera de los dos es ingresado al bloque, la primera acción es una operación de captura. Para los registros de datos, el estado de Captura-DR es muy simple: captura datos (cargas paralelas) sobre el trayecto serial de datos seleccionado (previamente escogidos por la instrucción apropiada). Para la instrucción de registro, el estado de Captura-IR siempre cargará la instrucción IDCODE. Esto permitirá siempre disponer el registro ID para la lectura sin que ninguna otra instrucción sea cargada antes de la operación Shift-DR. Esto, en conjunción con los bits de código asignados, permiten una interrogación "ciega" de cualquier dispositivo en una cadena serial dócil IEEE 1149.1.

Desde el estado de captura, el TAP realiza transiciones a cualquier estado de Exit1 o Shift. Normalmente el estado Shift permite al estado de Captura probar datos, cambiar o renovar la información de status. A continuación, el estado Shift y el TAP retornan al estado Run-Test/Idle vía Exit1 y estados Update o ingresan al estado Pause vía Exit1. El estado Pause es usado para suspender temporalmente el cambio de datos a través del registro de datos o instrucciones mientras se realiza una operación externa. Desde el estado Pause, los cambios pueden reasumirse por el reingreso al estado Shift vía estado Exit2 o ser terminados por el ingreso al estado Run-Test/Idle vía los estados Exit2 y Update. Si la instrucción es apropiadamente cambiada durante una operación Shift-IR, la siguiente entrada en el Run-Test/Idle inicia el modo de prueba (estado estacionario = prueba). Esto ocurre cuando el dispositivo es actualizado, borrado o verificado. Todas las demás instrucciones son ejecutadas en el estado Update.

2.4.1.1.2 Instrucciones de Prueba

Tal como en los registros de datos, el estándar IEEE 1149.1 también decreta la inclusión de ciertas instrucciones; tres requeridas: BYPASS (salto o paso de chip), SAMPLE/PRELOAD (muestreo/precarga), y EXTEST (fijación de un pin a un valor dado, con prioridad sobre el valor lógico de la salida), y seis opcionales que dependen exclusivamente del fabricante.

Cada una de estas instrucciones tienen una longitud de palabra mínima de dos bits, sin embargo, Lattice fija un Word length de 5 bits, siendo claramente identificables las instrucciones de BYPASS cuya combinación presenta cinco unos (11111), y la instrucción EXTEST todos ceros (00000). De aquí que se puede decir que el ispPAC80/81 contiene un número de instrucciones requeridas así como también un número de instrucciones opcionales.

Todas las instrucciones disponibles para usuarios del ispPAC80/81 son mostradas en la Tabla 2.8.

Tabla 2.8 Instrucciones TAP ispPAC80/81

Instrucción	Código	Descripción
EXTEST	00000	External test. Default to BYPASS.
ADDUSR	00001	Registro de datos de dirección de usuario Address user data register (A or B).
ABE	00010	Usuario A bulk erase.
BBE	00011	Usuario B bulk erase.
VERA	00100	Verificación de registro de datos de Usuario A
VERB	00101	Verificación de registro de datos de Usuario A
PRGA	00110	Programa de registro de datos de usuario A
PRGB	00111	Programa de registro de datos de usuario B.
ENCAL	01100	Habilita secuencia de calibración.
IDCODE	01101	Lee registro de datos de identificación.
SAMPLE	11110	SAMPLE/PRELOAD a BYPASS.
BYPASS	11111	Bypass (conecta TDI a TDO).

2.4.1.1.3 *BYPASS*

Es una de las tres instrucciones requeridas. Esta selecciona el Registro de *BYPASS* para ser conectado entre TDI y TDO y permitir que los datos seriales sean transferidos a través del dispositivo sin afectar la operación del ispPAC80/81. El código de bit de esta instrucción se define como todos unos según el estándar IEEE 1149.1.

La instrucción *SAMPLE/PRELOAD* ordena al Registro *Boundary-Scan* a ser conectado entre TDI y TDO. El ispPAC80/81 no posee registro *Boundary-Scan*, así que para la compatibilidad este predefine el modo *BYPASS* siempre que la instrucción sea recibida. El código de bit para esta instrucción es definido por Lattice, como se muestra en la Tabla 2.8.

Cuando la instrucción **EXTEST** (prueba externa) es requerida pondría normalmente al dispositivo dentro de un modo externo de *boundary test*, habilitando mientras tanto al Registro *Boundary-Scan* a ser conectado entre TDI y TDO. Además, desde que el ispPAC80/81 no tiene lógica de *boundary-scan*, el dispositivo es puesto en el modo *BYPASS* para asegurar la especificación de compatibilidad. El código de bit de esta instrucción, todos ceros, se define por el estándar IEEE 1149.1.

La instrucción opcional **IDCODE** (código de identificación) es incorporada en el ispPAC80/81 y deja al dispositivo en su modo funcional cuando se la ejecuta. Esta selecciona el Registro de Identificación del Dispositivo para ser conectado entre el TDI y TDO.

El Registro de Identificación es un registro de desplazamiento de 32 bits que contienen información con respecto a la fabricación del CI, tipo de dispositivo y código de versión (Figura 2.11).

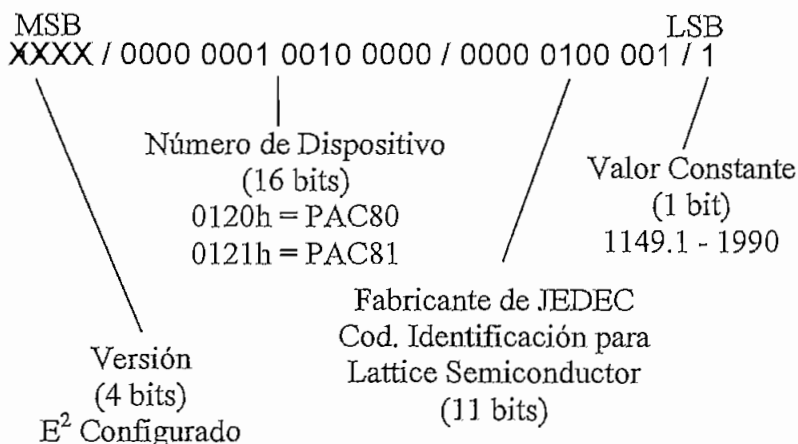


Figura 2.11 Código de Identificación (IDCODE).

32-Bits Palabra binaria para Lattice ispPAC80/81.

El acceso al registro de Identificación se habilita inmediatamente, por medio de una operación de búsqueda del controlador TAP, después de haber encendido el dispositivo, o por la emisión de la instrucción Test-Logic-Reset. El código de bit para esta instrucción se define por Lattice como se muestra en la Tabla 2.8.

La instrucción ADDUSR (registro de dirección de usuario) selecciona el registro de usuario a ser cambiado durante una operación Shift-DR. La operación normal de un dispositivo no es interrumpida por esta instrucción. Este precede una instrucción PRGA o PRGB (programa de usuario A o B) para cambiar en una configuración nueva desde el registro de usuario dentro de cualquier configuración de memoria A o B, y continúa una instrucción VERA o VERB (verificación de usuario A o B) para reemplazar la configuración actual de cualquier configuración de memoria A o B dentro del registro de usuario.

El código de bit para esta instrucción se muestra en la Tabla 2.8.

2.4.1.1.4 Programación de Usuario A o B

PRGA y PRGB son instrucciones que habilitan los cambios de datos dentro del registro de usuario para ser programados dentro de la memoria RAM del ispPAC80/81 y por consiguiente altera cualquiera o ambas de sus dos configuraciones de usuario.

El registro de usuario es un registro de desplazamiento de 96-bits que contiene todos los datos paramétricos controlados por el usuario pertenecientes a la configuración del ispPAC80/81.

Nota: Aunque la longitud del registro de usuario es de 96 bits, solamente la configuración "A" es la extensa.

El dispositivo de ganancia, fija los bits UES, y ESF que son parte de la configuración "A" y no son almacenados en toda la memoria cuando se realiza la configuración "B".

Cuando inicialmente se programa o reprograma el ispPAC80/81 con otro software diferente del PAC-Designer, o un programador tercerista autorizado (Ej. vía microcontrolador), la operación normal del dispositivo se interrumpe durante el tiempo de programación vigente. Una operación de programación no empieza hasta ingresar el estado Run-Test/Idle. El tiempo requerido para asegurar la retención de datos está dado en la tabla de especificaciones de la señal TAP.

El usuario debe asegurarse que el número de veces recomendadas de programación sean registradas. El código de bit para aquellas instrucciones se muestra en la Tabla 2.8.

2.4.1.1.5 Verificación de Usuario A o B

VERA y VERB son las siguientes instrucciones de Lattice y causan que las configuraciones vigentes A o B del ispPAC80/81 sean cargadas dentro del

registro de usuario. Esta operación no interrumpe la operación del dispositivo. La configuración actual de cada configuración de memoria A o B puede ser movida del registro de usuario inmediatamente luego de ejecutar la instrucción ADDUSR.

Nota: La verificación de la configuración de memoria "A" es posible solo cuando el bit A/B se pone en 0 lógico.

Esto debe ser tomado en cuenta, para realizar verificaciones con configuraciones desconocidas (refiérase a la nota de aplicación de Lattice que cubre los algoritmos necesarios requeridos para completar el dispositivo JTAG de control de programación del ispPAC80/81, asignaciones de bit específicos, longitudes de palabra, etc.).

Si el bit A/B se ha puesto en lógica 1, no será posible ejecutar el comando VERA adecuadamente. El código de bit para esta instrucción es mostrado en la Tabla 2.8.

2.4.1.1.6 Calibración Habilitada

ENCAL es una instrucción de Lattice que habilita la salida de una secuencia de auto-calibración.

Esta operación ocasiona que todas las salidas del dispositivo vayan a 2.5V hasta que se complete la secuencia de calibración (ver en especificaciones de tiempo Tabla 2.9 y Tabla 2.10). Al igual que con las instrucciones de programación anteriores, la calibración no empieza hasta que se ingrese el estado Run-Test/Idle. El cumplimiento de la calibración no es dependiente, sin embargo, lo es en cualquier comando de control TAP. Esto significa que el estado TAP puede ser devuelto inmediatamente al estado Test-Logic-Reset.

La única consideración sería el no cronometrar el TAP durante las operaciones analógicas críticas. Los primeros milisegundos de la rutina de calibración son consumidos en la espera por las configuraciones a establecer, aunque, deja

bastante tiempo a cronometrar el TAP al retornar del estado Test-Logic-Reset. El código de bit para esta instrucción se muestra en la Tabla 2.8.

2.4.1.1.7 Borrado Completo Usuario A o B

Las últimas instrucciones de Lattice son ABE y BBE. La operación del dispositivo es interrumpida durante una ABE o BBE, durante la cual todas las entradas son desconectadas y todas las salidas son conducidas a VREFOUT 2.5V. Para economizar la circuitería interna, la programación puede solamente ser hecha selectivamente en una dirección (de ceros a unos).

El ABE y BBE son usados para devolver todos los bits de usuario a estado de cero al mismo tiempo. Un ABE o BBE usualmente procede a una operación PRGA o PRGB, de lo contrario los cambios de uno a cero no podrían ser implementados. También puede usarse para borrar toda la información de configuración de un dispositivo y puede ser la condición predefinida de partes enviadas por la fábrica. Los mismos vínculos de tiempo de programación aplican a ABE y BBE en cuanto a PRGA y PRGB. El código de bit para ésta instrucción se muestra en la Tabla 2.8.

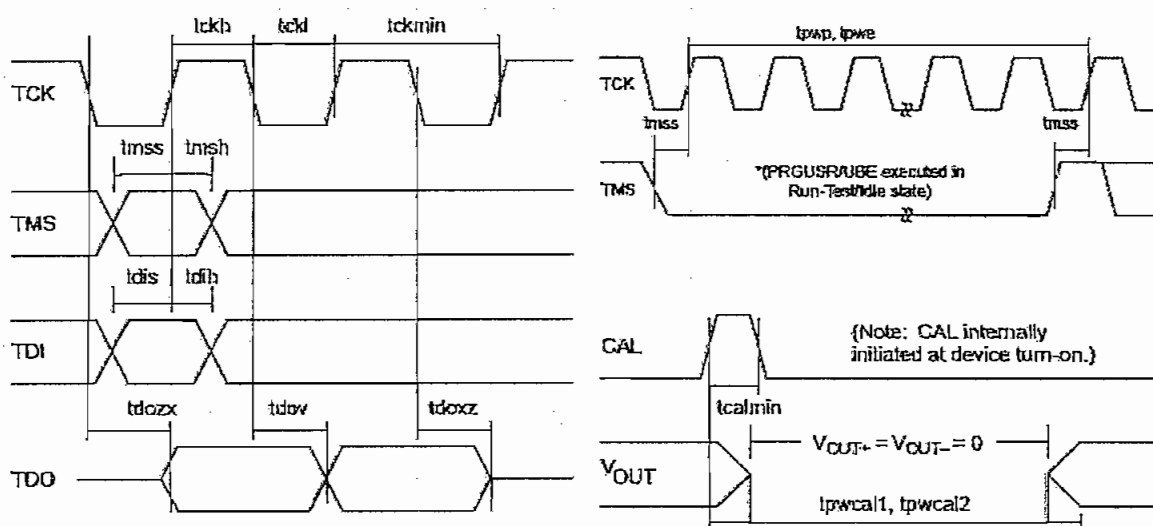
Las instrucciones ADDUSR, BYPASS, EXTEST, IDCODE y SAMPLE/PRELOAD son todas ejecutadas en el estado Update-IR. Otras instrucciones como: PRGUSR, VERUSR y UBE son ejecutadas en la entrada al estado Run-Test/Idle. Es recomendable que cuando todas las operaciones de interfaz serial sean completadas, el controlador TAP se resetee y se deje en estado Test-Logic-Reset (el encendido predefinido) y se desocupen las entradas TCK y TMS.

Esto asegurará el mejor desempeño analógico, minimizando en lo posible los efectos de lógica digital "conexión-interfacial (los dos lados de un circuito impreso)".

Tabla 2.9 Especificaciones de Tiempo (Modo Interfaz JTAG)

TA = 25°C; VS = +5.0V

Símbolo	Parámetro	Condición	Min.	Typ.	Max.	Unid.
Rendimiento Dinámico						
tckmin	Periodo mínimo de Reloj		200			ns
tckh	Tiempo alto TCK		50			ns
tckl	Tiempo bajo TCK		50			ns
tmss	Tiempo de establecimiento TMS		15			ns
tmsh	Tiempo de retención TMS		10			ns
tdis	Tiempo de establecimiento TDI		15			ns
tdih	Tiempo de retención TDI		10			ns
tdozx	Retardo Válido a TDO Float				60	ns
tdov	Retardo Válido TDO				60	ns
tdozz	Retardo Flotante a TDO Valid				60	ns
tpwp	Tiempo para una operación de programación	Ejecutado en Run-Test/Idle	80		100	ms
tpwe	Tiempo para una operación de borrado	Ejecutado en Run-Test/Idle	80		100	ms
tpwcal1	Tiempo para una operación de auto-cal en el encendido	Ejecutado automáticamente en el encendido			250	ms
tcalmin	Duración de pulso mínimo en auto-cal		40			ns
tpwcal2	Tiempo para una operación de auto-cal iniciada por el usuario	Ejecutado en el flanco ascendente del CAL			100	ms



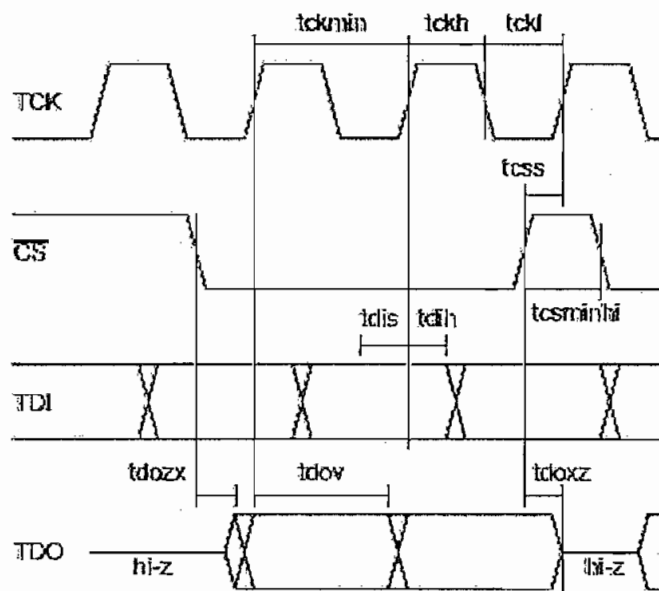
Nota: Durante la programación del dispositivo en modo JTAG, la respuesta de la salida analógica se desviará de la conducta esperada. Esto es porque toda

la información de la configuración se borra y se re-escibe como parte de un ciclo de programación normal, momentáneamente el dispositivo cambia los parámetros del filtro y por ende de ganancia. Durante el borrado, se puede esperar un descenso en la frecuencia de esquina y un cambio automático a una ganancia de 10X (por la especificación, mínimo 80ms) y continuará hasta que los bits vayan a su estado final después de que se emitan los comandos de escritura al JTAG (menos de 2ms, aunque el ciclo de escritura debe mantenerse por alrededor de 80ms para lograr la retención de los datos).

Tabla 2.10 Especificaciones de Tiempo (Modo Interfaz SPI)

TA = 25°C; VS = +5.0V

Símbolo	Parámetro	Condición	Min.	Typ.	Max.	Unid.
Rendimiento Dinámico						
tckmin	Período mínimo de Reloj		200			ns
tckh	Tiempo alto TCK		100			ns
tckl	Tiempo bajo TCK		100			ns
tcss	Tiempo de establecimiento CS		20			ns
tcsminhi	Duración de pulso mínimo CS		40			ns
tdis	Tiempo de establecimiento TDI		15			ns
tdih	Tiempo de retención TDI		10			ns
tdoxz	Retardo Válido a TDO Flota				60	ns
tdov	Retardo Válido TDO				60	ns
tdoxz	Retardo flotante a TDO Valid				60	ns



Luego de haber descrito el módulo de desarrollo y analizar el funcionamiento de los componentes que posee, haciendo hincapié en las características técnicas del ispPAC80/81, se ha logrado mostrar las facilidades que brinda su manipulación y tratamiento, así como también, el modo de operación del CI.

El siguiente capítulo, hace referencia al software de desarrollo que se empleará para la programación del dispositivo, con la finalidad de brindar al usuario las facilidades para la administración de esta herramienta.

CAPÍTULO 3

SOFTWARE PAC-DESIGNER

3.1 INTRODUCCIÓN

Para configurar los diseños en el ispPAC80/81 y comprobar la respuesta ha lograrse, se emplea un programa compatible con Microsoft Windows denominado PAC-Designer.

El PAC-Designer cuenta con una base de datos para la configuración de filtros; con la que se pueden realizar disposiciones diferentes. El software lista las posibles opciones de arreglo para los diseños, las mismas que pueden cargarse directamente en los modos (A/B). Estas opciones se pueden encontrar con gran facilidad en las barras de tareas que se describe posteriormente.

Este software es un sistema de desarrollo autónomo para el diseño analógico. La programación, ingreso y simulación son todos completados desde el PAC-Designer.

El control del diseño, como la selección de los pines de conexión, ganancia y selección de valores son fácilmente llevados a cabo a través del Mouse, o a través de cuadros de diálogo.

Para ayudar en la implementación del diseño, Lattice suministra con el PAC-Designer un cable ispDOWNLOAD que le permite al usuario programar el dispositivo ispPAC.

En la Figura 3.1, se muestra el flujo de desarrollo de PAC-Designer, el cual representa la interacción entre el software (PAC-Designer), y cada uno de sus funciones.

Las líneas de entrada al software representan los mecanismos que emplea para el desarrollo de los diseños, tal es el caso del archivo de librería que se utiliza para obtener las configuraciones por desarrollar; la implementación de macros para cumplir funciones nuevas o propias del sistema; y, la información que envía el módulo de desarrollo al PAC-Designer para recuperar el contenido de la memoria.

Las líneas de salida en cambio, sintetizan la interacción entre el programa y los diferentes servicios que presta, así por ejemplo, la comunicación que existe entre el computador y el módulo; la simulación para la interpretación de los datos programados; y finalmente, los archivos de reportes y programación que son documentos con contenido de esquemáticos (*.TXT / *.CSV); y, archivos para exportar el modelo de ispPAC a un software diferente al PAC-Designer (*.SVF/*.JED).

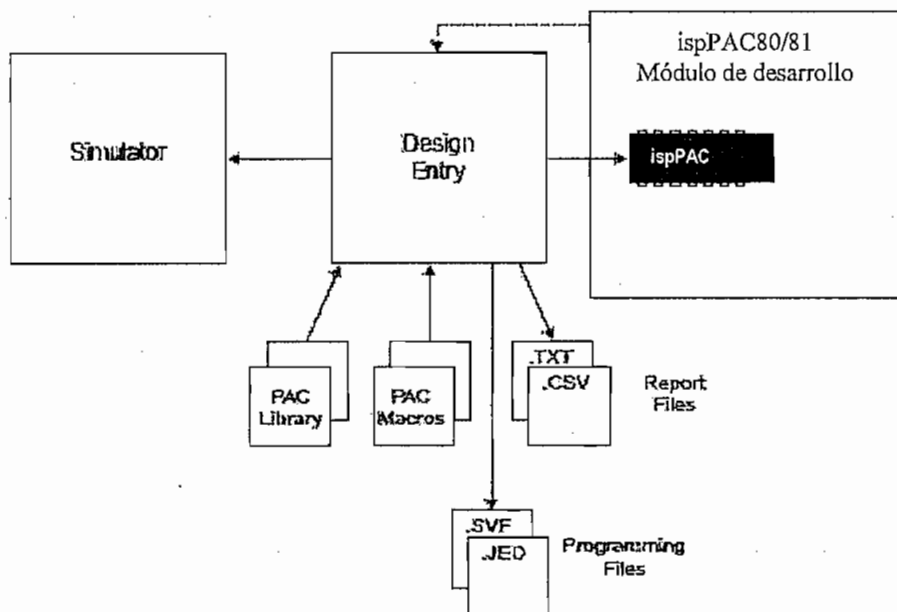


Figura 3.1 Diagrama de Flujo del PAC-Designer

3.2 ADMINISTRACIÓN DEL PAC-DESIGNER

3.2.1 PROCEDIMIENTOS PARA EL MANEJO DEL PAC-DESIGNER

3.2.1.1 Creación de un nuevo esquemático

Se puede crear un nuevo esquemático, siguiendo el procedimiento que se indica:

1. Del menú Archivo (**File**) se escoge la opción Nuevo (**New**), un cuadro de diálogo de Esquemático Nuevo (**New Schematic**) se abre.
2. Se selecciona en el cuadro del esquemático del dispositivo ispPAC que se disponga.
3. Con la opción OK, la ventana de esquematización es creada para el dispositivo correspondiente.

3.2.1.2 Edición de un esquemático para el ispPAC80/81

El esquemático del ispPAC80/81 (Figura 3.2) permite simplemente con un clic y a través de cuadros de diálogo poner los parámetros necesarios para la configuración como: ganancia, Bits UES, valores de capacitancia, etc.

Al hacer doble clic sobre cada símbolo de la Ventana de Esquematización se invoca el cuadro de diálogo correspondiente para revisar o modificar su contenido.

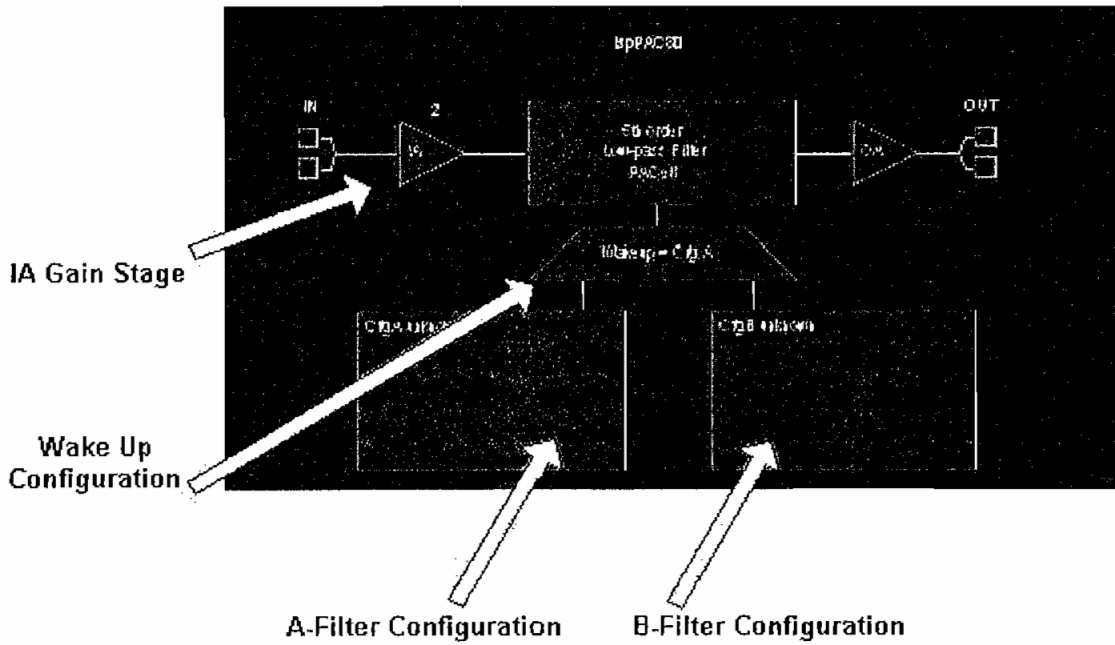
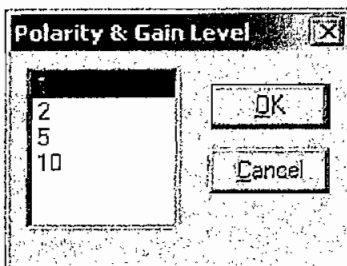


Figura 3.2 Esquemático del ispPAC80/81 en el PAC-Designer

Las áreas que incluye el PAC-Designer y que pueden revisarse dentro del esquemático son:

3.2.1.2.1 Fase de IA:

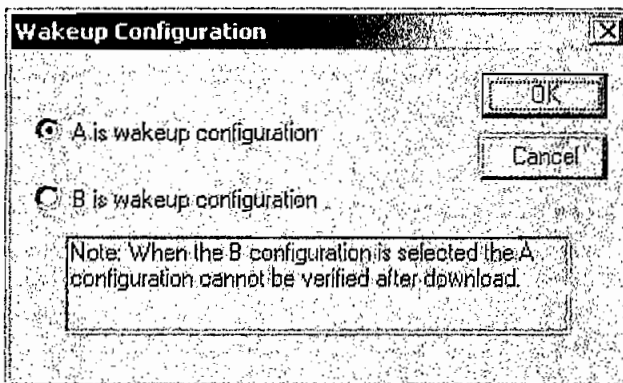
Incluye el Bloque de Ganancia con valores de: 1, 2, 5, 10.



3.2.1.2.2 Configuración de Arranque (Wake Up):

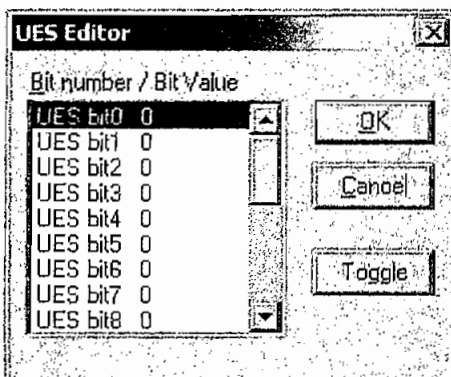
La configuración del wake up determina que filtro es activo después de encender el dispositivo.

El ispPAC80/81 tiene 2 configuraciones posibles de filtros que pueden ser cargadas en la memoria E²CMOS que posee el dispositivo.



3.2.1.2.3 Bits UES: Firma Electrónica de Usuario

Los bits UES se programan por el usuario para el control del ID u otro tipo de información del dispositivo.



3.2.1.2.4 Configuración del Filtro A y B:

CfgA y CfgB representan las configuraciones de los filtros guardadas dentro del dispositivo.

Al hacer doble clic en CfgA o CfgB se invoca al cuadro de diálogo para la configuración del filtro, que posteriormente se muestra.

3.2.1.3 Utilidades de Diseño

Se puede usar las Utilidades de Diseño (**Design Utility**) para modificar el esquemático de un ispPAC80/81.

Procedimiento para empezar a operar con el Design Utility:

1. En la ventana principal del esquemático del ispPAC80/81 se debe abrir la opción **Design Utilitied** del menú Herramientas (**Tools**) para visualizar el cuadro de diálogo.
2. De la lista que aparece en el cuadro de diálogo, se puede seleccionar la Configuración para el filtro que se está implementando.
3. Se debe Presionar el botón OK para terminar el proceso.

3.2.1.4 Uso de las utilidades de los filtros del ispPAC80/81

La base de datos que dispone el PAC-Designer para diseño de filtros en el ispPAC80/81 tiene más de 8000 configuraciones.

Se pueden usar las utilidades de los filtros del ispPAC80/81 mediante los pasos que siguen:

1. En una ventana de esquematización abierta, se deben iniciar las utilidades de diseño, tal como se explicó anteriormente.
2. Se invoca el cuadro de diálogo de Criterio de Filtro (**Filter Criteria**), mediante un clic en la opción tipo de filtro (**Filter Type**) de la lista desplegable de las utilidades de diseño, o, se debe escoger el criterio de filtro (**Filter on filter type...**) del menú **View**.
3. La configuración se selecciona a través de un clic en una de las líneas de la lista que aparece en la ventana de configuración.
4. Con la secuencia **Edit->Copy Filter Configuration to the Schematic**, o mediante un doble clic en el ID del filtro deseado, aparecerá el cuadro de diálogo de Copia de Configuración de filtro (**Copy Filter Configuration**).
5. Seguidamente se debe escoger el slot de memoria **A** o **B** al cual se trasladará la configuración, entonces al pulsar el botón **OK**, el esquemático estará listo con el Filtro designado.

3.2.1.5 Importación de Datos al Esquemático del PAC-Designer

Se puede importar varios tipos de datos, en varios formatos, al esquemático del PAC-Designer para lo cual, se debe regir a los lineamientos:

1. Abrir el cuadro de diálogo de importación empleando el comando **Import** del menú **File**.
2. Seleccionar una de las opciones **Schematic** o **Plot Data** del menú desplegable **Import What**
3. En el recuadro **In This Format**, escoger el formato del archivo a ser importado.
4. En el recuadro **Import From**, buscar el archivo que va a importar.
5. Presionar el botón **OK**.

3.2.1.6 Exportación de datos desde el Esquemático del PAC-Designer

Se puede exportar varios tipos de datos, en varios formatos, del esquemático del PAC-Designer. Para exportar los datos del esquemático del PAC-Designer se recomienda:

1. Escoger el comando **Export** del menú **File** para abrir el cuadro de diálogo de Exportación.
2. Seleccionar una de las opciones **Schematic** o **Plot Data** del menú desplegable **Export What**.
3. En el recuadro **In This Format**, escoger el formato del archivo a ser exportado.
4. Si se desea exportar los datos a un archivo, escoger la opción **File** del área **Export to**, y busque el archivo de datos que desea exportar con el botón **Browse**.
5. Se puede exportar los datos al portapapeles del PC, para esto se debe escoger la opción **Clipboard** del área **Export to**.
6. Presionar el botón **OK**.

3.2.1.7 Exportación de un Spice Netlist desde el PAC-Designer

El PAC-Designer tiene la capacidad para exportar un netlist al PSpice. El netlist representa el esquemático activo y contiene todos los parámetros del circuito necesarios para simular el diseño en el PSpice.

Los netlist deben tener el mismo nombre como el archivo del design y deben usar la extensión **.lib**.

Un modelo de la parte gráfica del dispositivo se localiza en el subdirectorio **Spice** del PAC-designer y usa la extensión **.olb**. Incluyendo el netlist y el archivo **OLB**

en el diseño del PSpice, puede usarse para construir circuitos para la simulación gráfica.

Pasos para exportar un Spice Netlist desde el PAC-Designer:

1. Escoger el comando **Export** del menú **File** para desplegar el cuadro de diálogo de Exportación.
2. Seleccionar el formato **Spice Netlist**, y teclear el nombre del archivo del netlist que se requiere.
3. Pulsar '**OK**' para exportar el netlist.

El nombre del subcircuito generado será igual que el nombre del archivo, con excepción de la extensión que es suprimida. Cuando el PAC-Designer exporta un netlist en el Spice, ajusta los parámetros de los componentes usados en el netlist para reflejar el diseño activo.

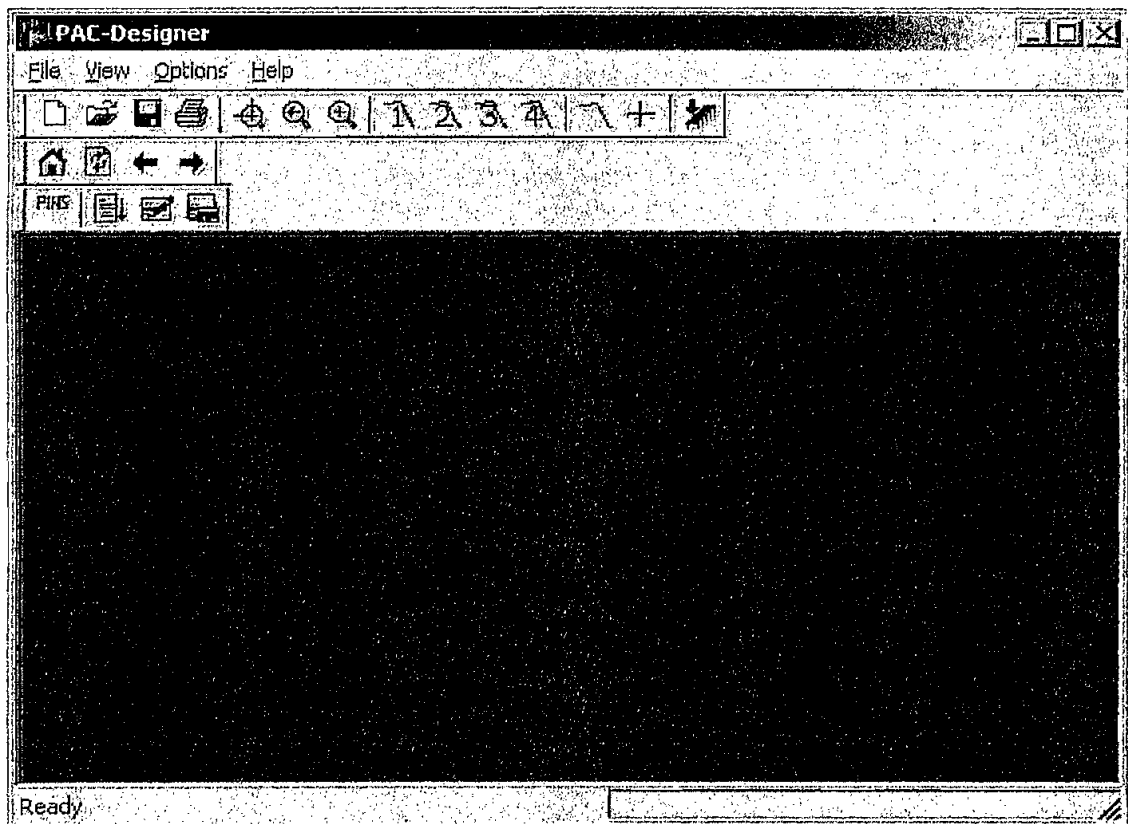
Por ejemplo, si se diseña un filtro biquad de 50kHz con un ispPAC10, y se exporta el diseño al Spice, el subcircuito generado se simulará como un filtro de biquad de 50kHz. Debido a que el PAC-Designer genera un subcircuito de Spice para emparejar el diseño en la pantalla, es innecesario entrar en el netlist y el 'tweak' de los parámetros para conseguir que el modelo generado se comporte adecuadamente. Otra consecuencia de esto es que el netlist generado es único para cada diseño. Si se hace cualquier cambio a un diseño en el PAC-Designer, es necesario reexportar un nuevo netlist para ese diseño y recargar en el Spice para que los cambios sean efectivos.

3.2.2 INTERFAZ DE USUARIO

3.2.2.1 Ventanas

3.2.2.1.1 Ventana Principal

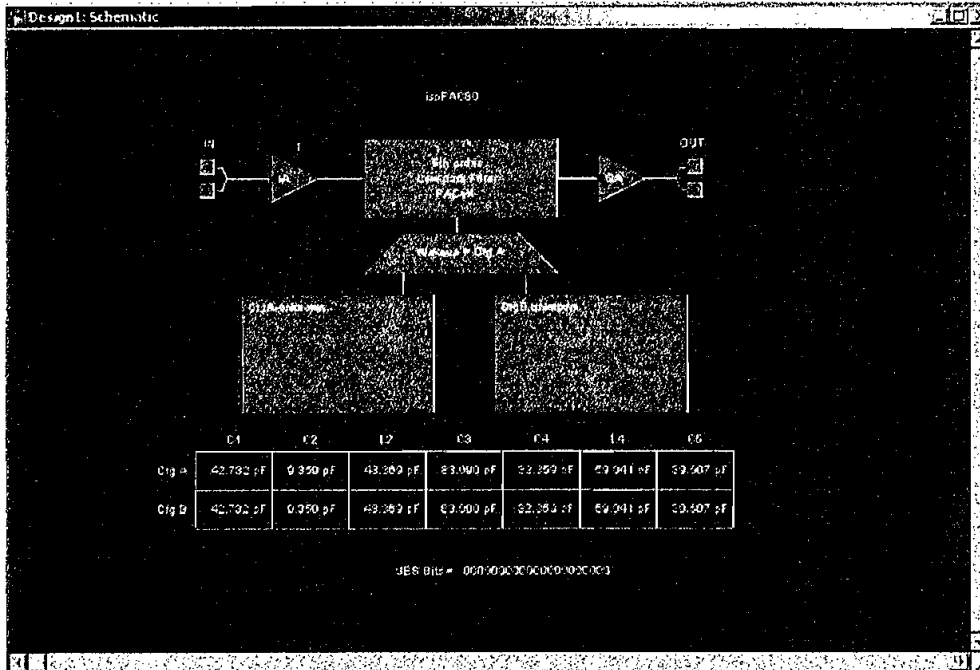
Cuando se inicia el PAC-designer, la ventana principal se despliega. De este cuadro de diálogo, se pueden crear nuevos archivos, o abrir diseños existentes.



3.2.2.1.2 Ventana de Esquemmatización del ispPAC80/81

La ventana de esquematización del ispPAC80/81 permite revisar los valores de ganancia y las configuraciones seleccionadas de filtro en las Utilidades del Filtro

(Filter Utility). Los Diseños pueden ser grabados, simulados o transmitidos a un dispositivo ispPAC80/81.



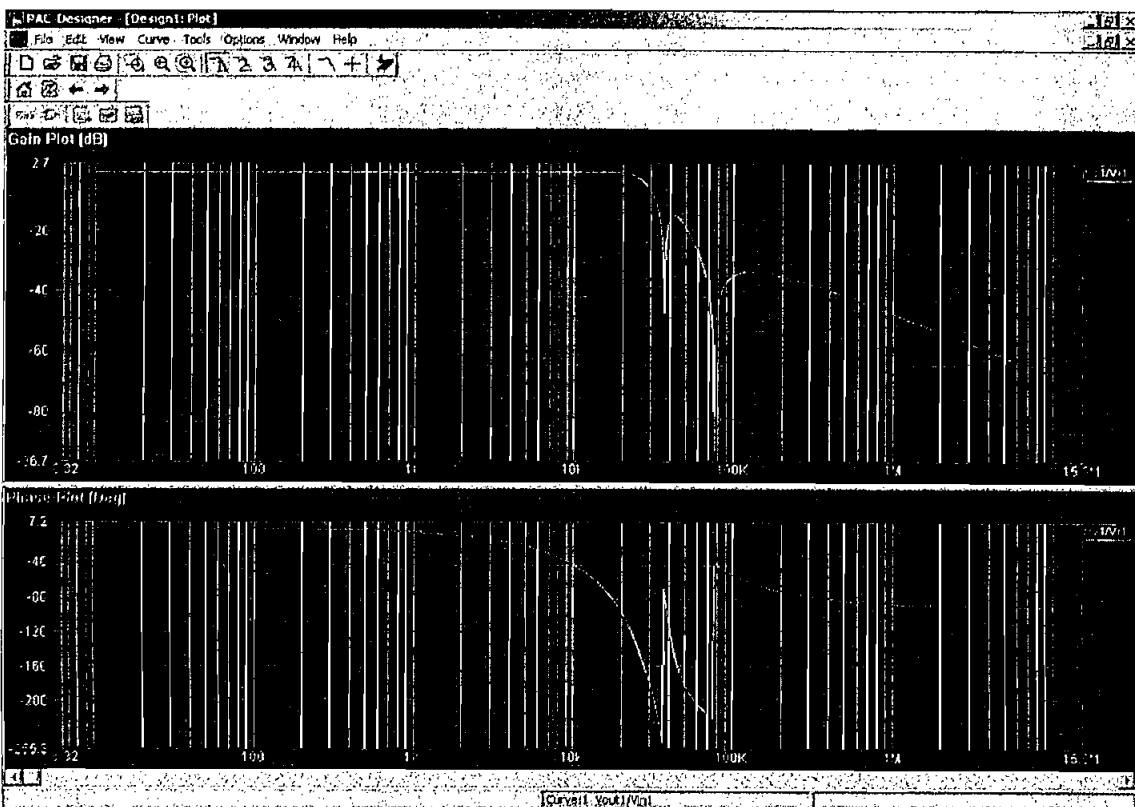
3.2.2.1.3 Ventana de Configuración de Filtros en el ispPAC80/81:

ID	FilterType	Cut Off:Fc = -3dB	Gain @ 2 X Fc	Gain @ 10 X Fc	Pass Band Freq., (Fp)
0	Bessel	49.871kHz	-14.05dB	-79.07dB	
1	Bessel	50.34kHz	-14.00dB	-79.00dB	
2	Bessel	51.10kHz	-14.07dB	-79.16dB	
3	Bessel	51.46kHz	-14.07dB	-79.09dB	
4	Bessel	52.02kHz	-14.04dB	-79.15dB	
5	Bessel	52.47kHz	-14.00dB	-79.07dB	
6	Bessel	53.01kHz	-14.04dB	-79.15dB	
7	Bessel	53.54kHz	-14.09dB	-79.14dB	
8	Bessel	53.90kHz	-14.04dB	-79.08dB	
9	Bessel	54.54kHz	-14.10dB	-79.18dB	
10	Bessel	55.02kHz	-14.06dB	-79.10dB	
11	Bessel	55.51kHz	-14.04dB	-79.09dB	
12	Bessel	55.92kHz	-14.01dB	-79.03dB	
13	Bessel	56.56kHz	-14.06dB	-79.13dB	
14	Bessel	56.97kHz	-14.01dB	-79.03dB	
15	Bessel	57.46kHz	-14.11dB	-79.10dB	
16	Bessel	57.82kHz	-13.94dB	-78.96dB	
17	Bessel	58.39kHz	-14.02dB	-79.04dB	
18	Bessel	59.16kHz	-14.09dB	-79.17dB	
19	Bessel	59.83kHz	-14.26dB	-79.35dB	

El área gris de títulos presenta las columnas de Criterio de Filtro. Solo haciendo un clic en un título de la columna (o escogiendo el criterio del filtro deseado del menú View) se despliega la ventana de diálogo de Criterio de Filtro (**Filter Criteria**). El cuadro de diálogo puede usarse para escoger entre diferente tipos de filtros disponibles. Arrastrando el puntero del Mouse entre las columnas (cuando se muestra doble-flecha) se modifica el ancho de cada columna. Las cabeceras de las columnas también se muestran en el menú desplegable **View** de la ventana de Configuración de Filtro. El área en blanco sostiene los datos de configuración para diversos filtros. La primera fila se resalta cuando no existe configuración cargada en el esquemático, caso contrario aparece sombreada la fila a la que corresponda la configuración que posee el dispositivo.

3.2.2.1.4 Ventana de Simulación - ispPAC80/81

La ventana que se ilustra a continuación es una ventana de simulación para el ispPAC80/81.



La ganancia y fase están en dos planos, separados por una barra movable. La Ganancia está en el plano superior al de la fase. Para agrandar una de las áreas de graficación, se selecciona la barra movable y se arrastra hasta el sitio deseado, o hasta que la respuesta de fase o la de ganancia adquieran el tamaño deseado.



El eje vertical (Y) del plano de ganancia y fase pueden aumentar de tamaño individualmente. El plano activo de la ventana de graficación se distingue por presentar el título Ganancia o Fase resaltado (**Gain/Phase**). Un total de cuatro (4) curvas pueden ser graficadas simultáneamente dentro de cada documento esquemático. Éstos se despliegan en la Ventana de Simulación.



La Curva Activa se indica al "presionar" el botón "numerado" en la barra de herramientas.

3.2.2.2 Menús


3.2.2.2.1 Menú de Archivo (File)

El menú de Archivo (**File**), presenta los siguientes comandos:

Comando	Descripción	Atajos
New Nuevo	Crea un Nuevo archivo de Diseño o archivo JTAG, con la extensión *.pjc.	Barra de herramientas :  Teclado: Ctrl+N
Open Abrir	Abre archivos de diseño o archivos JTAG, con la extensión	Barra de herramientas: 

	*. pjc.	Teclado: Ctrl+O
Close Cerrar	Cierra los archivos asociados a la ventana activa.	
Save Guardar	Muestra el cuadro de diálogo Save As , y permite guardar en disco, el archivo esquemático existente con la extensión *. pjc.	Barra de herramientas:  Teclado: Ctrl+S
Save As Guardar como	Muestra el cuadro de diálogo Save As , y permite guardar en disco, el archivo esquemático existente con la extensión *. pjc.	
Save ABEL File Guarda el archivo ABEL	(Disponible solo cuando la ventana ABEL Source esta abierta.) Muestra el cuadro de diálogo Save As , y permite guardar en disco, el archivo ABEL existente con la extensión *. abl.	Barra de herramientas:  Teclado: Ctrl+S
Save ABEL File As Guardar el archivo ABEL como	(Disponible solo cuando la ventana ABEL Source esta abierta.) Muestra el cuadro de diálogo Save As , y permite guardar en disco, el archivo ABEL existente con la extensión *. abl.	
Import Importar	Importa un diseño desde el archivo JEDEC.	

<p>Export Exportar</p>	<p>Exporta un esquemático o información sumaria desde el diseño actual. Soporta los siguientes tipos de archivo:</p> <ul style="list-style-type: none"> • Archivo JEDEC • Archivo Serial Vector(.svf) • Estructura de Texto 	
<p>Browse Library Explorar librería</p>	<p>Abre el cuadro de diálogo PAC Library Browser, que permite buscar archivos en los subdirectorios de la Librería.</p>	
<p>Summary Info Resumen de Información</p>	<p>Permite desplegar y revisar la un resumen de la información del diseño.</p>	
<p>Page Setup Configuración de página</p>	<p>Configura el formato de la página para imprimir, incluyendo títulos, comentarios, etc.</p>	
<p>Print Preview Vista Preliminar</p>	<p>Permite ver en pantalla lo que se va a imprimir.</p>	
<p>Print Setup Configuración de impresora</p>	<p>Muestra el cuadro de diálogo para configuración de impresora, permite seleccionar impresora, tamaño de papel, y</p>	

	orientación de página.	
Print Impresión	Imprime la ventana activa de acuerdo a las condiciones seleccionadas en Page Setup .	Barra de herramientas:  Teclado: Ctrl+P
Exit Salir	Cierra el software PAC-Designer.	

3.2.2.2.2 Menú de Edición




El menú de Edición (**Edit**) contiene los siguientes comandos:

Comando	Descripción
Clear Schematic Borrar esquemático	Reestablece el contenido inicial al esquemático, como un nuevo archivo (solo en la ventana de esquematización). No altera los archivos ni cambia el nombre de la ventana de esquematización.
Security Seguridad	Permite revisar el estado del bit de seguridad. Poniendo esta opción se desactiva la habilidad de cargar o verificar datos válidos de un dispositivo una vez que se realiza la descarga. La única manera de abrir un dispositivo es transmitir la configuración sin tener seleccionada la seguridad.
Symbol Símbolo	Permite editar los símbolos del esquemático, usando el cuadro de diálogo Edit Symbol .

Cuando se realiza la simulación de un diseño, el menú de edición en este modo omite el comando Clear Schematic.

3.2.2.2.3 Menú Ver




El menú View contiene los siguientes comandos:






Comando	Descripción	Atajos
Redraw Redibujar	Redibuja la ventana actual.	
Zoom In Select	Habilita el "Acercamineto". El cursor cambia a modo "zoom"	Barra de Herramientas: 
Zoom Previous	Muestra el área última, del stack de áreas previamente aumentadas de tamaño o reducidas de tamaño.	Barra de herramientas: 
Zoom All	Muestra el esquemático completo.	Barra de herramientas: 
Zoom Out	Retrocede para alcanzar una vista más amplia.	
Toolbar Barra	Permite activar o desactivar la visualización de la barra de herramientas.	

de herramientas		
PLD Toolbar Barra de herramientas PLD	Permite habilitar o desactivar la visualización de la barra de herramientas de PLD.	
Browser Bar Barra de exploración	Permite habilitar o deshabilitar la visualización de la barra de exploración.	
Status Bar Barra de Estado	Permite habilitar o deshabilitar la visualización de la barra de estado.	

3.2.2.2.4 Menú Ver – Modo de Simulación

El menú View en el modo de simulación contiene los siguientes comandos:

Comando	Descripción	Atajos
Redraw	Redibuja la ventana actual	
Zoom In Select	Habilita el "Acercamineto". El cursor cambia a modo "zoom"	Barra de Herramientas 
Zoom Previous	Muestra el área última, del stack de áreas previamente aumentadas de tamaño o reducidas de tamaño.	Barra de Herramientas 
Zoom All	Muestra el esquemático completo.	Barra de Herramientas 

Zoom In > X25%	Acercamiento del 25% solo en el eje X.	
Zoom In > Y25%	Acercamiento del 25% solo en el eje y.	
Zoom In > XY25%	Acercamiento del 25% en X y Y.	
Zoom Out > X25%	Alejamiento en 25% solo en el eje X.	
Zoom Out > Y25%	Alejamiento en 25% solo en el eje Y.	
Zoom Out > XY25%	Alejamiento en 25% en X y Y.	
Go To Active Curve	Regresa a la curva activa	
Curve > 1	Muestra la simulación. Curva1.	Barra de herramientas: 
Curve > 2	Muestra la simulación. Curva2.	Barra de herramientas: 
Curve > 3	Muestra la simulación. Curva3.	Barra de herramientas: 
Curve > 4	Muestra la simulación. Curva4.	Barra de herramientas: 
Crosshair	Muestra el cursor crosshair.	Barra de herramientas: 
Datapoints	Resalta los datos graficados	

	(ensancha la curva activa)	
Snap to Point	Habilita/deshabilita los pasos del cursor en los puntos de datos.	
Toolbar	Permite activar o desactivar la visualización de la barra de herramientas.	
Browser Bar	Permite habilitar o deshabilitar la visualización de la barra de exploración.	
Status Bar	Permite habilitar o deshabilitar la visualización de la barra de estado.	

3.2.2.2.5 Menú de Curva – Modo de Simulación


El menú de curva contiene los siguientes comandos:


Comando	Descripción
Curve > Activate 1	Activa la curva 1 en la ventana de graficación. Esta curva usa las condiciones puestas bajo el cuadro de diálogo de Opciones del Simulador. Las tres curvas permanecerán inalteradas a menos que igualmente sean activadas.
Curve > Activate 2	Activa la curva 2 en la ventana de graficación. Esta curva usa las condiciones puestas bajo el cuadro de diálogo de Opciones del Simulador. Las tres curvas permanecerán inalteradas a menos que igualmente sean activadas

Curve > Activate 3	Activa la curva 3 en la ventana de graficación. Esta curva usa las condiciones puestas bajo el cuadro de diálogo de Opciones del Simulador. Las tres curvas permanecerán inalteradas a menos que igualmente sean activadas
Curve > Activate 4	Activa la curva 4 en la ventana de graficación. Esta curva usa las condiciones puestas bajo el cuadro de diálogo de Opciones del Simulador. Las tres curvas permanecerán inalteradas a menos que igualmente sean activadas
Curve > Delete 1	Suprime la curva 1 de la ventana actual de graficación.
Curve > Delete 2	Suprime la curva 2 de la ventana actual de graficación.
Curve > Delete 3	Suprime la curva 3 de la ventana actual de graficación.
Curve > Delete 4	Suprime la curva 4 de la ventana actual de graficación.

3.2.2.2.6 Menú de Herramientas (Tools)

El menú Tools contiene los siguientes comandos:

Comando	Descripción	Atajos
Run Simulator Ejecutar el Simulador	Ejecuta el Simulador. Con el cuadro de diálogo Simulator Options .	Barra de Herramientas: 
Design Utilities Diseño de utilidades	Lanzamiento del cuadro de diálogo Design Utilities .	
User-Defined Macros Macros Definida por usuario	Ejecuta macros especificadas por usuario.	

Download Descargar	Escribe los datos del esquemático en el dispositivo. Se realiza una previa verificación antes de la descarga.	Barra de herramientas: 
Upload Cargar	Lee los datos desde el dispositivo al esquemático. Los datos que estuvieren en el esquemático se pierden.	
Verify Verificación	Compara el dispositivo con el esquemático.	
Read IDCODE Leer IDCODE	Muestra el IDCODE del JTAG del dispositivo ubicado en el módulo.	
Auto-Calibrate Auto Calibración	Realiza un ciclo de auto calibración	

3.2.2.2.7 Menú de Opciones

El menú de Opciones (Options) contiene los siguientes comandos:

Comando	Descripción
Simulator Simulador	Abre el cuadro de diálogo Simulator Options .
JTAG Interface Interfaz JTAG	Abre el cuadro de diálogo JTAG Interface Options .

3.2.2.2.8 Menú Ventana (Window)

El menú ventana (Window) contiene los siguientes comandos:

Comando	Descripción
Cascade Cascada	Arregla las ventanas una sobre otra de manera solapada.
Tile Mosaico	Arregla las ventanas en mosaico.
Arrange Icons	Presenta el número de versión y otra información sobre el software.









El menú Windows es desplegable y aumenta su tamaño en sentido vertical debido a que lista las ventanas activas consecutivamente en la parte inferior.







3.2.2.2.9 Menú de Ayuda

El menú de Ayuda (Help) contiene los siguientes comandos:

Comando	Descripción
Help Topics Temas de Ayuda	Muestra la página principal de ayuda del PAC-Designer.
Licensing Information Información de licencia	Un archivo de Ayuda que proporciona los detalles de cómo obtener e instalar un archivo de la licencia para habilitar el funcionamiento del PAC-Designer.

A continuación se listan los botones equivalentes a los comandos de los menús:

	Abre un Nuevo diseño o una cadena JTAG a través de un cuadro de diálogo. Un diseño consiste de la ventana de esquematización con todas sus propiedades, mientras que una cadena JTAG puede contener múltiples dispositivos y conectarse a un archivo de diseño ispPAC; también acomoda partes compatibles JTAG de longitud en cadena serial, de conocidas instrucciones de registro (IR). Es equivalente al empleo del comando File > New
	Abre un archivo existente. Tal como se hace con el comando File > Open .
	Guarda el diseño actual, el esquemático relacionado y la ventana de gráficas de respuesta. También se emplea el comando File > Save .
	Imprime el esquemático activo o la ventana de gráficos de respuesta del diseño. De igual manera que el comando File > Print .
	Acercamiento del área establecida entre dos puntos. Acción también realizable mediante el comando View > Zoom In Select .
	Regresar Zoom, zoom de retroceso sobre el área escogida para el zoom in en una ventana activa. El mismo efecto que emplear el comando View > Zoom Previous .
	Acercamiento que se realiza sobre todos los elementos del esquemático o ventana de curva de respuesta activa. Similar al empleo del comando View > Zoom All .
	Activa la curva 1 de la ventana de gráficos del simulador. La curva1 puede ser actualizada a través del cuadro de diálogo Simulator Option en la ventana de esquematización. Las otras tres curvas permanecerán inalteradas a menos que igualmente sean seleccionadas y actualizadas. De igual forma se puede activar una de las curvas mediante el comando

	Curve > Activate 1; en la ventana de respuestas del simulador.
	Activa la curva 2 de la ventana de gráficos del simulador. La curva 2 puede ser actualizada a través del cuadro de diálogo Simulator Option en la ventana de esquematización. Las otras tres curvas permanecerán inalteradas a menos que igualmente sean seleccionadas y actualizadas. De igual forma se puede activar una de las curvas mediante el comando Curve > Activate 2; en la ventana de respuestas del simulador.
	Activa la curva 3 de la ventana de gráficos del simulador. La curva 3 puede ser actualizada a través del cuadro de diálogo Simulator Option en la ventana de esquematización. Las otras tres curvas permanecerán inalteradas a menos que igualmente sean seleccionadas y actualizadas. De igual forma se puede activar una de las curvas mediante el comando Curve > Activate 3; en la ventana de respuestas del simulador.
	Activa la curva 4 de la ventana de gráficos del simulador. La curva 4 puede ser actualizada a través del cuadro de diálogo Simulator Option en la ventana de esquematización. Las otras tres curvas permanecerán inalteradas a menos que igualmente sean seleccionadas y actualizadas. De igual forma se puede activar una de las curvas mediante el comando Curve > Activate 4; en la ventana de respuestas del simulador.
	Ejecuta el simulador solamente para la curva activa (determinada por uno de los cuatro botones de la barra de herramientas al dar un clic). Las condiciones son determinadas por las condiciones puestas en el cuadro de diálogo del Simulator Options . Así mismo se puede emplear el comando Tools > Run Simulator .
	Crosshair, permite realizar lecturas de un gráfico ganancia/fase en una simulación.
	Carga el diseño actual en el dispositivo ispPAC conectado en el módulo mediante el cuadro de diálogo JTAG Interface Options . Se realiza la misma acción mediante el comando Tools > Download .

3.2.2.3.2 Barra de Estado



La barra de estado indica la función que realizan los menús, íconos, fuentes, y procesos, cuando son seleccionados.

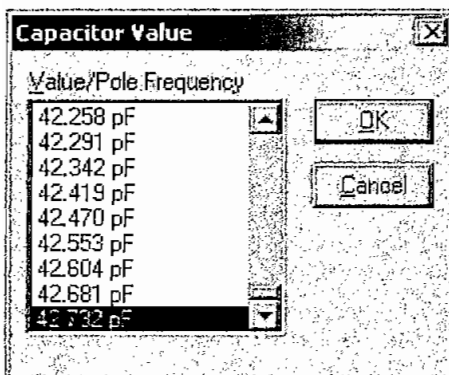
3.2.2.3.3 Barra de Navegación

La Barra del Navegador permite al usuario ir Adelante o Atrás entre las páginas y opera como un Navegador Web.



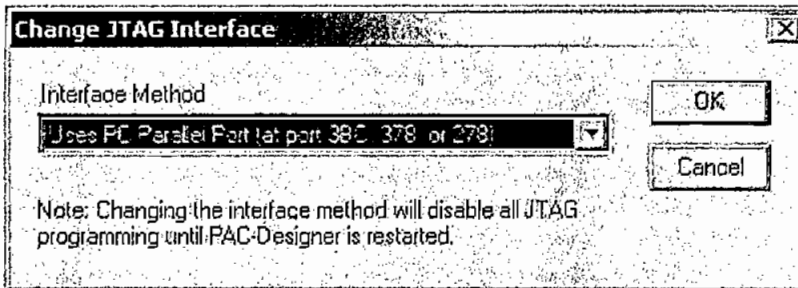
3.2.2.4 Cuadros de Diálogo

3.2.2.4.1 Cuadro de Diálogo de Valor de Capacitor



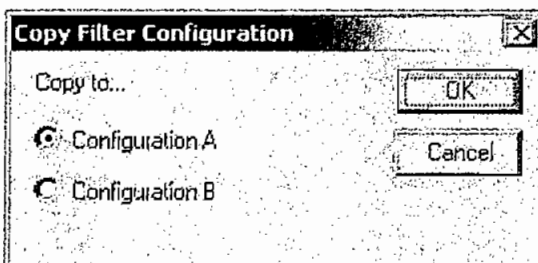
Este cuadro de diálogo se accede con doble clic sobre el valor de cada condensador, que se ubican en la tabla inferior de un esquemático. Este cuadro de diálogo permite cambiar el valor del condensador.

3.2.2.4.2 Cuadro de Diálogo para Cambiar la Interfaz JTAG



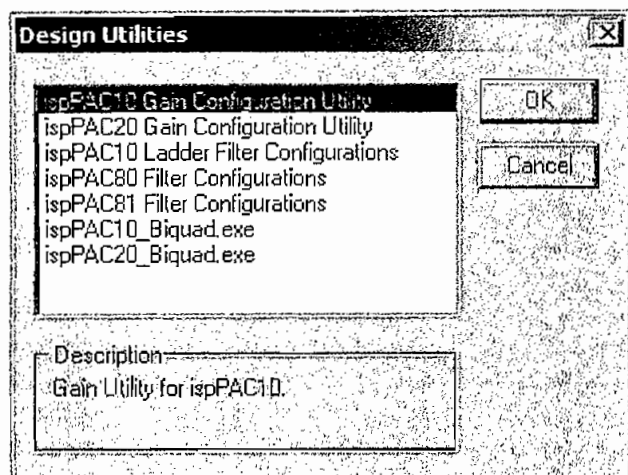
El menú desplegable de Método de Interfaz incluye opciones para el Puerto Paralelo, el Puerto Serial (todavía sin soporte) y el puerto USB (todavía sin soporte)

3.2.2.4.3 Cuadro de Diálogo para Copiar la configuración de un Filtro



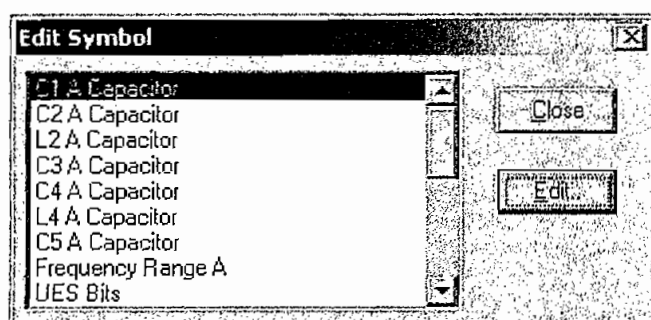
Invocado por el comando **Edit > Copy Filter Configuration to Schematic** (Este comando es solo activo cuando esta abierta la ventana de configuración del Filtro). Permite seleccionar una configuración de filtro entre A y B antes de importarlo a un esquemático.

3.2.2.4.4 Cuadro de Diálogo de Diseño de Utilidades



El cuadro de diálogo de diseño de utilidades es usado para abrir las utilidades de diseño (ventana de configuración para el dispositivo en cuestión). Esto se accede desde el comando **Tools >Design Utilities**.

3.2.2.4.5 Cuadro de Diálogo de Símbolo de Edición



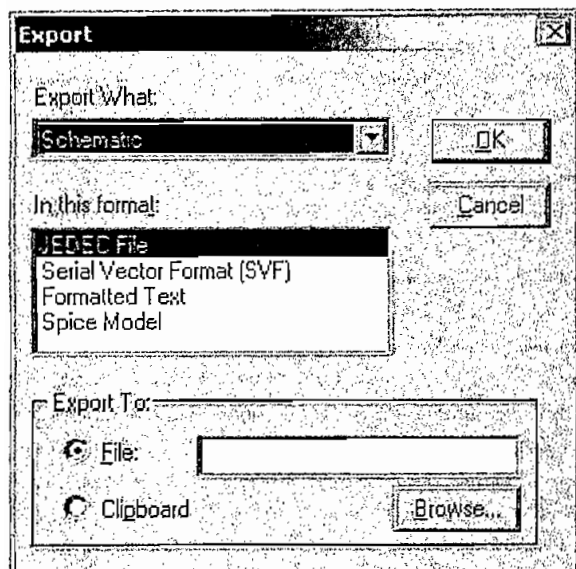
Definiciones del cuadro de diálogo de símbolo de edición:

Listado: nombres de los símbolos

Close: cierra el cuadro de diálogo.

Edít: Abre un cuadro de diálogo subalterno para editar el símbolo seleccionado.

3.2.2.4.6 Cuadro de Diálogo de exportación



Definiciones del cuadro de diálogo de exportación:

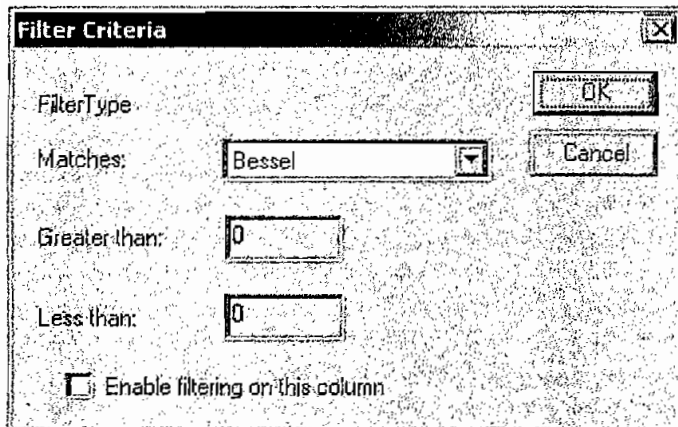
Export What: Selecciona el esquemático (**Schematic**), datos a graficar (**Plot Data**) o resumen de información.

In this Format: Selecciona el tipo de archivo: JEDEC File, Serial Vector Format (SVF), Formatted Text, o SPICE Model.

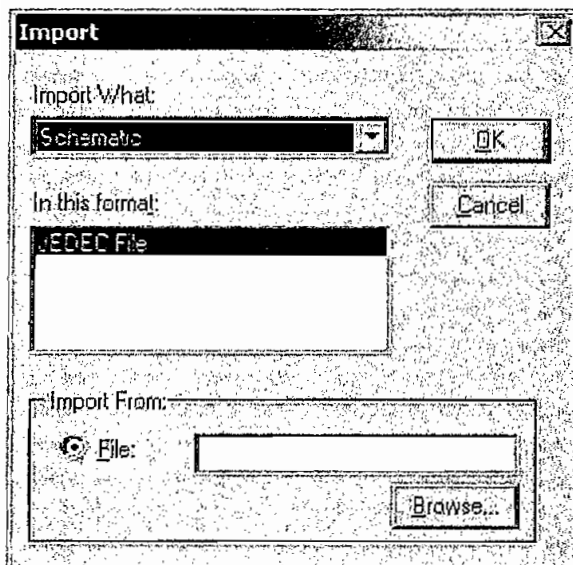
Export To: Exporta a un archivo o al Portapapeles de Windows (**Clipboard**). El botón de exploración (**Browse**) es usado para buscar un archivo y seleccionarlo.

3.2.2.4.7 Cuadro de Diálogo de Criterio de Filtro

Invocado desde la ventana de configuración de filtros. Permite poner el criterio del filtro para desplegar en la ventana de Configuraciones de Filtro.



3.2.2.4.8 Cuadro de Diálogo de Importación



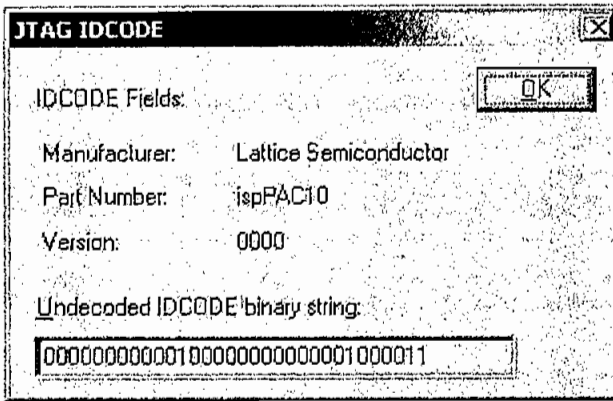
Definiciones del cuadro de diálogo de importación:

- Import What: Selecciona el Esquemático (**Schematic**), datos a graficar (**Plot Data**).
- In this Format: Selecciona el tipo de archivo: **JEDEC File** para esquemático o **Gain/Phase Data** para datos del gráfico.
- Import From: Importa desde archivo. El botón de exploración (**Browse**) es usado para buscar un archivo y seleccionarlo.

3.2.2.4.9 Cuadro de Diálogo de código ID JTAG

El cuadro de diálogo de ID JTAG mostrada debajo es un ejemplo de un dispositivo ispPAC10. El código ID JTAG para los dispositivos ispPAC es como se muestra a continuación:

Dispositivo	Cadena de Bits
ispPAC10	0000 0000 0001 0000 0000 0000 0100 0011
ispPAC20	0000 0000 0001 0001 0001 0000 0100 0011
ispPAC30	0000 0000 0001 0011 0000 0000 0100 0011
ispPAC80	0000 0000 0001 0010 0000 0000 0100 0011
ispPAC81	0000 0000 0001 0010 0001 0000 0100 0011
ispPAC-POWR604	0000 0000 0001 0100 0001 0000 0100 0011
ispPAC-POWR1208	0000 0000 0001 0100 0000 0000 0100 0011



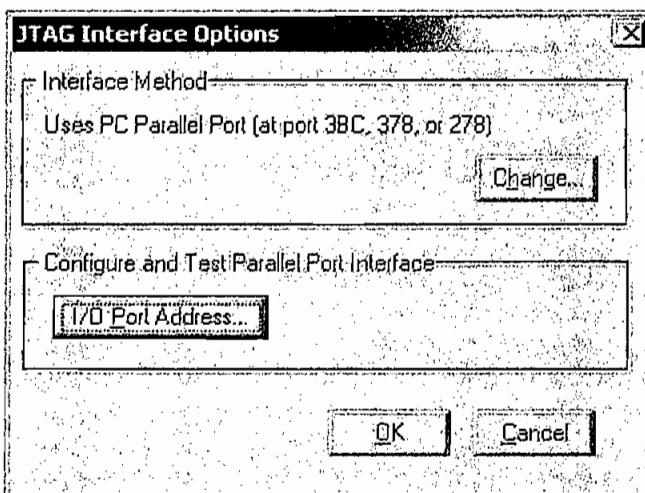
Fabricante – Lattice Semiconductor o "Desconocido"

Número de dispositivo - PAC10, o "Desconocido"

Versión (cadena binaria) - 31 Bits de IDCODE hacia la izquierda, 28 Bits de IDCODE hacia la derecha.

Cadena binaria codificada IDCODE - 31 Bits hacia la izquierda, 0 Bits a la derecha.

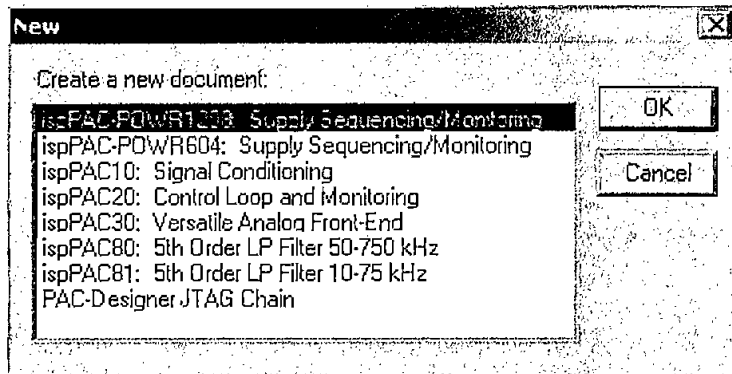
3.2.2.4.10 Cuadro de Diálogo de Opción de interfaz JTAG



Interface Method: Muestra el cuadro de diálogo para cambiar la interfaz JTAG (Change JTAG Interface).

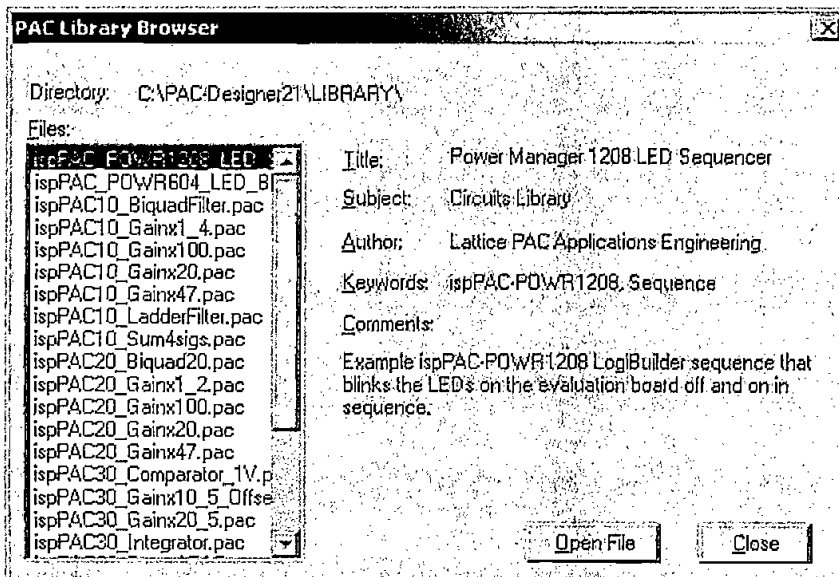
I/O Port Address Button: Muestra el cuadro de diálogo de las opciones de Puerto Paralelo (**Parallel Port Options**).

3.2.2.4.11 Cuadro de Diálogo New



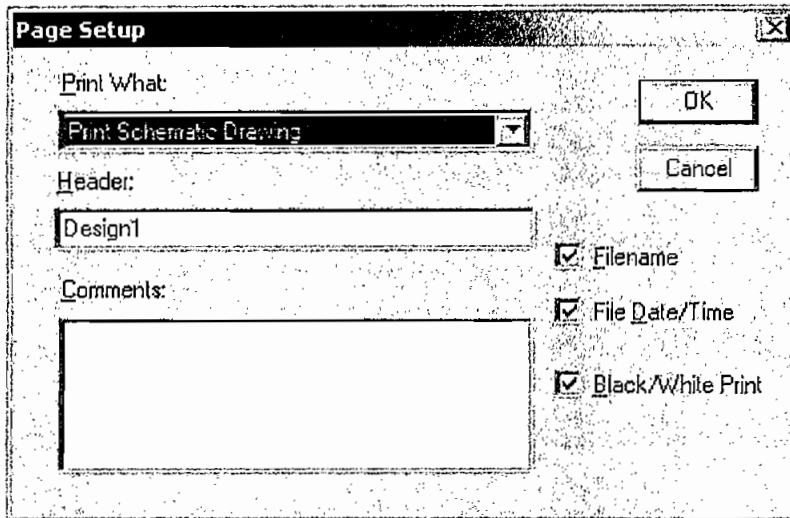
Permite abrir un Nuevo esquemático o Una cadena de archivos JTAG (**PAC-Designer JTAG Chain**).

3.2.2.4.12 Cuadro de Diálogo de Exploración de Librería



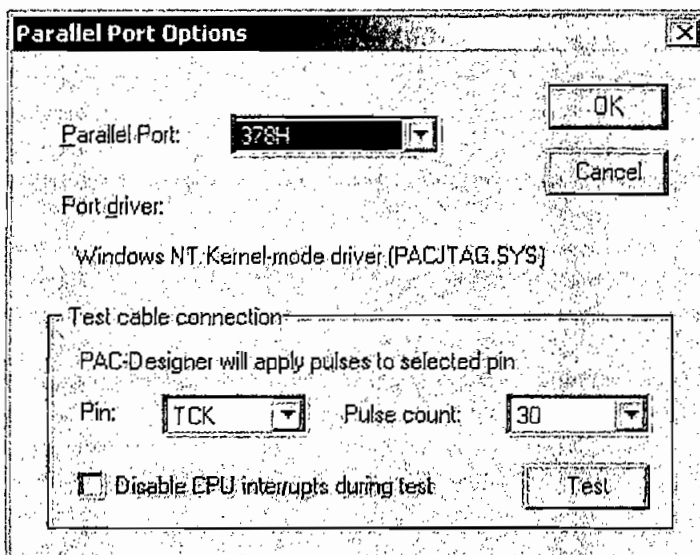
Permite identificar la base de datos de acuerdo al dispositivo que se planea emplear para determinado diseño.

3.2.2.4.13 Cuadro de Diálogo de Configuración de Página



Permite seleccionar las opciones de impresión.

3.2.2.4.14 Cuadro de Diálogo de Opciones de Puerto paralelo



Definiciones del cuadro de diálogo de opciones de Puerto Paralelo:

Puerto Paralelo (**Parallel Port**): Despliega: Direcciones que incluyen 3BCh, 378h (predeterminada), y 278h. El PAC-Designer se comunica con el dispositivo PAC por intermedio del puerto paralelo o de impresora del PC. El puerto 378 es el valor predeterminado, y por ser el puerto más común, se encuentra asignado.

Se debe emplear un cable de descarga de información para realizar la conexión.

Controlador de Puerto (**Port Driver**): lista el controlador del puerto instalado.

Prueba de conexión de cable (**Test Cable Connection**): esta sección permite probar el cable por la integridad de la señal o simplemente escribe pulsos para verificar si se dispone del puerto adecuado.

Menú desplegable Pin: las selecciones incluyen TCK, TMS o TDI

Menú desplegable Contador de Pulsos (**Pulse Count**): selecciona el rango desde 30 a 30,000,000

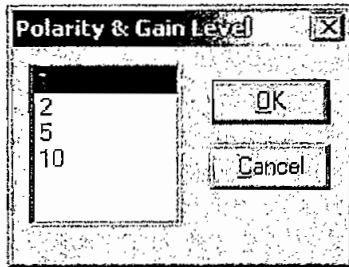
Casilla de verificación para deshabilitar el CPU durante interrupciones de prueba (**Disable CPU interrupts during test**): provee una mayor estabilidad que se refleja en el campo de acción.

Botón de Test: realiza un Test, esto puede tomar desde microsegundos a minutos, dependiendo de la cuenta y la velocidad del procesador.

OK: completa la acción.

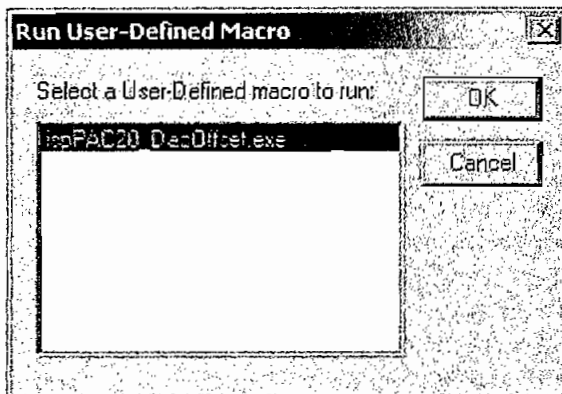
Cancel: cancela la acción.

3.2.2.4.15 Cuadro de diálogo de nivel de Ganancia y Polaridad



Permite seleccionar la polaridad y el nivel de ganancia entre los valores definidos 1, 2, 5, 10.

3.2.2.4.16 Cuadro de Diálogo de Ejecución de Macros definidas por Usuario



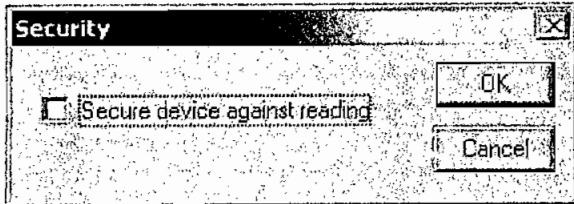
Definiciones del cuadro de diálogo de ejecución de Macros definidas por Usuario

Select a User-Defined Macro to Run: Nombres de las Macros apropiadas para ejecutar. Las macros son archivos ejecutables que se ubican en el directorio PAC-Designer\UserDefinedMacro. El cuadro del listado permanece vacío si ningún directorio posee una macro de extensión EXE.

OK: Inicia el programa

Cancel: Cancela el programa.

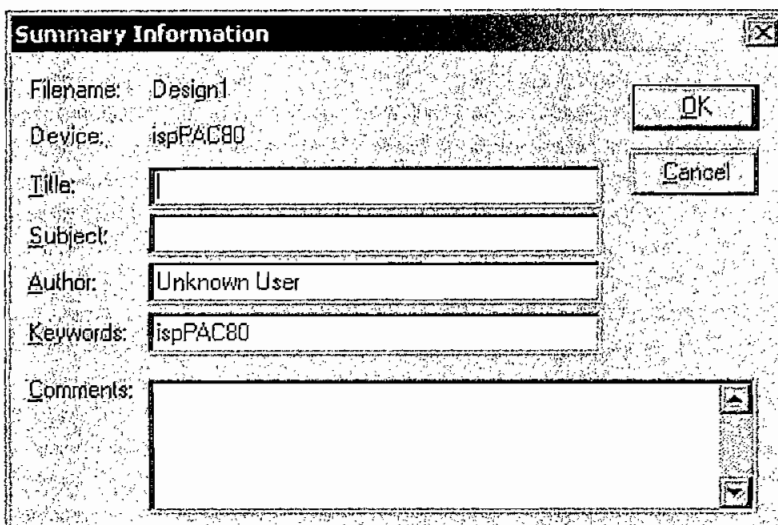
3.2.2.4.17 Cuadro de Diálogo de seguridad



Seguridad contra lectura del dispositivo (**Secure Device Against Reading**):
Pone un bit de seguridad para evitar desconfiguración o manejo inapropiado del dispositivo PAC.

La función de seguridad permite resguardar el diseño evitando lecturas al archivo JEDEC o el empleo del comando UPLOAD.

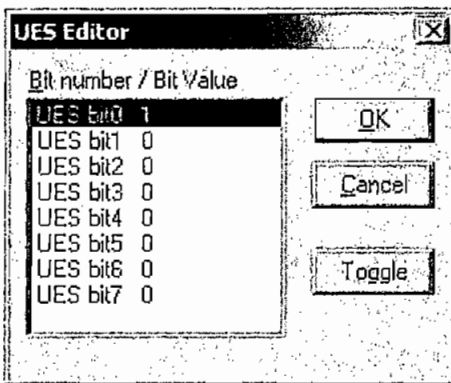
3.2.2.4.18 Cuadro de Diálogo de Información Sumaria



Este cuadro de diálogo se usa para revisar la Información Sumaria contenida dentro de los archivos del PAC mediante los campos: Título, Asunto, Autor, Palabras claves, Comentarios.

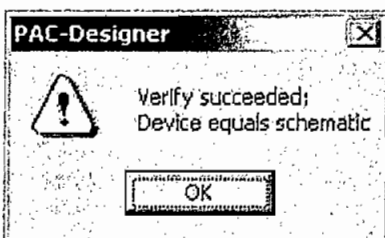
Presionando **OK** se guardaran los cambios realizados, para un determinado diseño.

3.2.2.4.19 Cuadro de Diálogo de Edición del UES



Permite cambiar el valor bits de UES en el dispositivo ispPAC.

3.2.2.4.20 Cuadro de Diálogo de Verificación



Se encarga de verificar que los datos del dispositivo sean iguales a los de la ventana de esquematización del PAC-Designer.

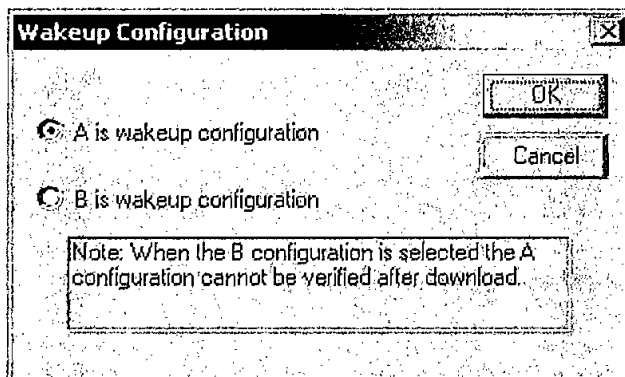
Para realizar la verificación:

Con el dispositivo específico en la ventana de esquematización, escoja **Tools > Verify**. La verificación se realiza, y el cuadro de diálogo de Verificación aparece para certificar que el dispositivo es igual al esquemático. Si el dispositivo no es igual al esquemático, el cuadro de diálogo de Verificación indicará que la comprobación ha fallado.

3.2.2.4.21 Cuadro de Diálogo Wakeup

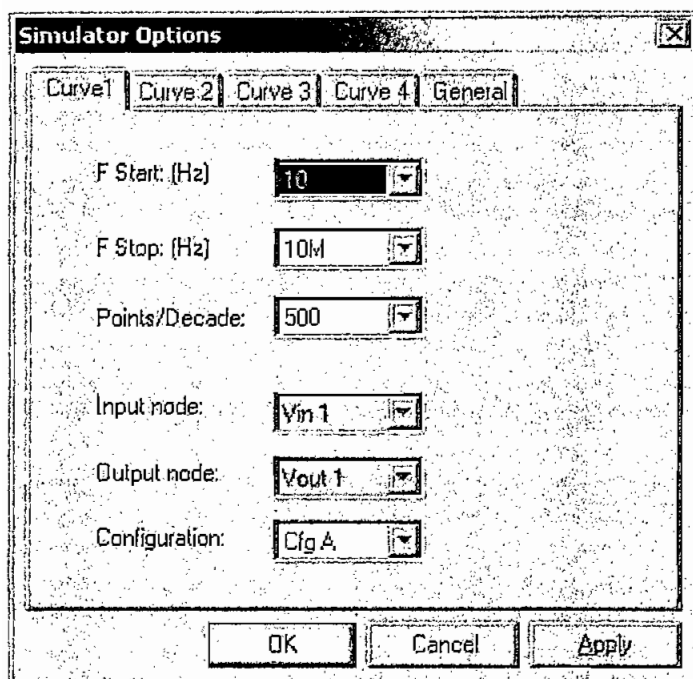
El wakeup determina que configuración de filtro es activa después de encender el dispositivo.

El ispPAC80/81 tiene 2 configuraciones de filtro que se guardan en la memoria E²CMOS del dispositivo, dependiendo de la que se escoja "A" o "B", se inicia el dispositivo.



3.2.2.4.22 Cuadro de Diálogo de Opción del Simulador

3.2.2.4.22.1 Etiquetas de Curva



Las opciones del simulador se controlan a través de este cuadro de diálogo. Las etiquetas superiores definen cuatro opciones, una para cada curva. Al ingresar al cuadro de diálogo, la Curva Activa, es la etiqueta seleccionada; al salir del cuadro de diálogo, la curva seleccionada se volverá la Curva Activa.

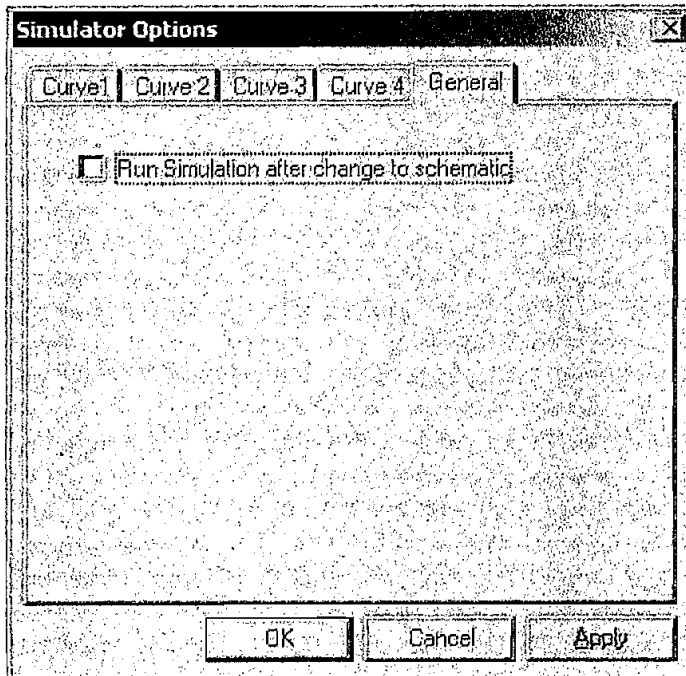
Etiquetas de la curva (**Curve Tabs**) – Selecciona una de cuatro juegos de opciones. Moviéndose de curva en curva no se graban los cambios hechos en una de ellas, sólo al pulsar OK se guardaran los cambios.

Frecuencia de Inicio y Frecuencia de Fin (**Frequency Start and Frequency End**) – Valor en Hertzios. Escoja un valor del menú desplegable.

Número de Puntos por Década (**Number of Points per Decade**) - Escoje un valor del menú desplegable.

Nodo de entrada y Nodo de Salida (**Input Node and Output Node**) - Entradas y salidas del PAC (IN1, OUT2, etc). Escoja de las selecciones proporcionadas en el menú desplegable.

3.2.2.4.23.2 *Etiqueta General.*

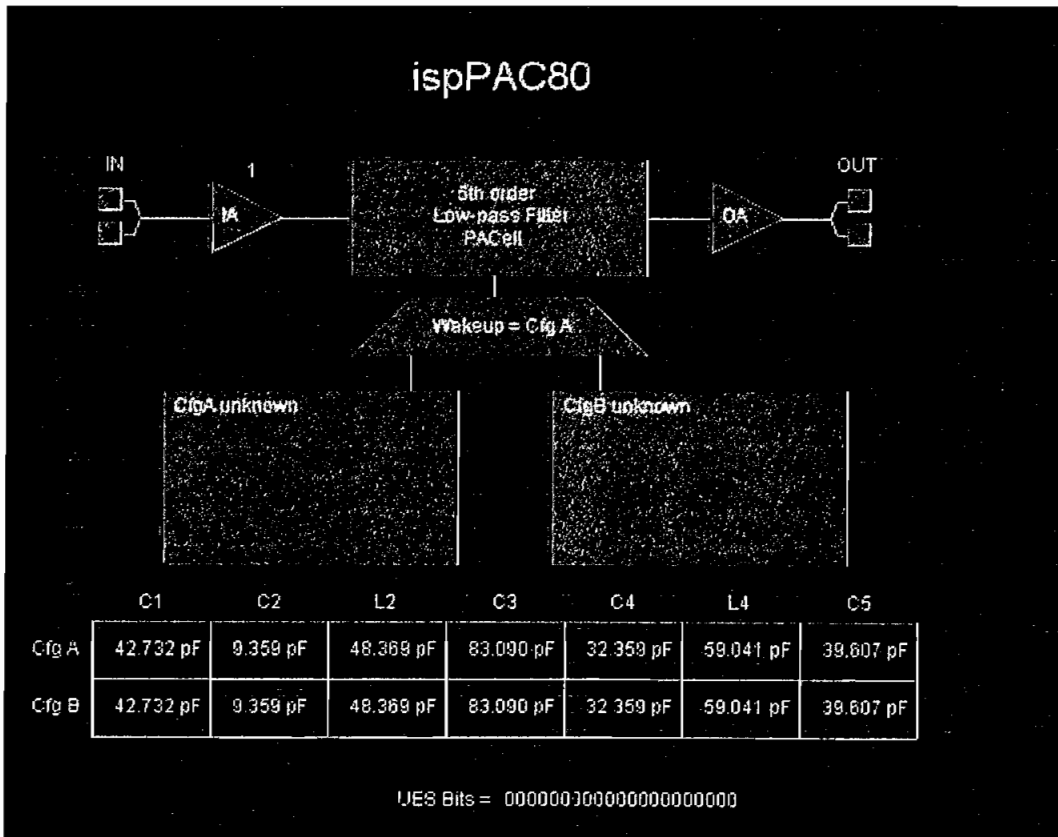


Ejecute el Simulador después de cambiar las variables (Run Simulator after a variable changes) - Cuando activa la casilla de verificación, la simulación correrá automáticamente después de que usted cambie un símbolo editable en cualquier parte del PAC-Designer: las ganancias, las interconexiones, los valores de capacitancia, etc. Esto es útil si usted está cambiando el esquemático frecuentemente. Finalmente pulse el botón OK.

3.2.3 REFERENCIAS DE DISEÑO EN EL PAC-DESIGNER

3.2.3.1 Elementos de Diseño del ispPAC80/81

El cuadro inferior representa la pantalla principal de diseño del ispPAC80/81. Los elementos de la pantalla del diseño son: Selección de configuración A/B, valor de Condensador, Bit UES, Ganancia de Entrada, y Configuración inicial "Wakeup".



3.2.3.1.1 Selección de configuración A/B

Haciendo doble clic en el cuadro de configuración A o B (CfgA o CfgB), la Ventana de configuración del filtro se abre y es disponible para la elección del filtro deseado. Si la configuración se cambia, esta se vera reflejada por el ID del

filtro. El número de parámetros desplegados corresponderán al tipo de filtro escogido y si ellos son aplicables a ese tipo o no.

3.2.3.1.2 Valores de condensador

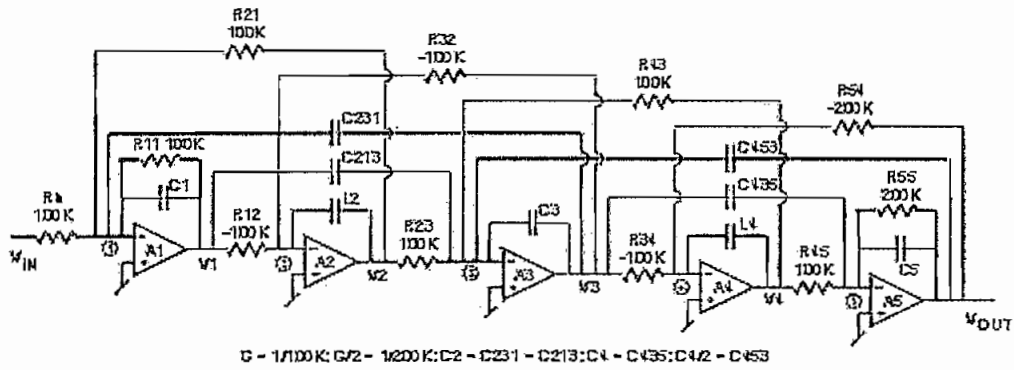
Pueden alterarse los valores del condensador que constituyen la configuración de un filtro a cualquier valor deseado. Esto permite la entrada manual de configuraciones adicionales no incluidas en la base de datos, por ejemplo.

Nota: Una vez que un cambio a un valor de la base de datos ocurre, la configuración se marca como "modificada" y el usuario debe asegurarse después de que esto no comprometa la estabilidad del circuito en el nuevo diseño. Los valores del condensador también pueden modificarse vía el menú Symbol del comando Edit. Para una vista más completa de cómo los condensadores son empleados en el ispPAC80/81, refiérase al esquemático simplificado del núcleo del filtro.

3.2.3.1.3 Núcleo Simplificado del filtro

La Ecuación de Transferencia Ideal para este circuito se muestra en la parte inferior del gráfico. Los símbolos L2 y L4 realmente son condensadores y se etiquetan de esta manera para facilidad de traducción del clásico (pasivo) diseño de redes de filtros ladder. Las resistencias de -100K o -200K denotan la inversión activa de la señal. La existencia de resistencia negativa simplifica el dibujo y todavía conserva el sentido algebraico requerido para analizar el circuito matemáticamente.

Nota: Ningún inductor es usado en el ispPAC8/81



$$\frac{V_{OUT}}{V_{IN}} = \frac{-2G \left[(L2 \ L4 \ C4 \ C2) s^4 + (L2 \ G^2 \ C2) + (G^2 \ L4 \ C4) s^2 + G^4 \right]}{\left[-(L2 \ C4^2 \ L4 \ C1) + 2(L2 \ C1 \ C3 \ L4 \ C5) - 2(C2^2 \ L2 \ L4 \ C5) \right] s^5 + \left[-(L2 \ G \ C4^2 \ L4) + (L2 \ C1 \ C3 \ L4 \ C5) - (C2^2 \ L2 \ L4 \ C5) + 2(L2 \ G \ C3 \ L4 \ C5) \right] s^4 + \left[(L2 \ C1 \ C3 \ G^2) + (L2 \ G^2 \ C3 \ L4) - (G^2 \ L4 \ C4^2) + 2(G^2 \ L4 \ C5 \ C3) - 4(G^2 \ L4 \ C5 \ C2) - 2(L2 \ C1 \ C4 \ G^2) + 2(G^2 \ C1 \ L4 \ C5) + 2(L2 \ C5 \ C1) (C2^2 \ L2 \ G^2) \right] s^3 + \left[2(L2 \ C5 \ G^3) - 2(G^3 \ L4 \ C2) + (G^3 \ L4 \ C3) + (L2 \ G^3 \ C1) + 2(G^3 \ L4 \ C5) - 2(L2 \ G4 \ G^3) + (G^3 \ C1 \ L4) + (L2 \ C3 \ G^3) \right] s^2 + \left[2(G^4 \ C5) + (G^4 \ C3) - 2(G^4 \ C4) + (G^4 \ L4) + (G^4 \ C1) + (L2 \ G^4) - 2(G^4 \ C2) \right] s + \left[2 \ G^5 \right]}$$

Ecuación de transferencia: Ésta es la ecuación de transferencia ideal para el núcleo del filtro ispPAC80/81.

Nota: La fase es invertida solo para este bloque. En combinación con la inversión del amplificador de entrada, la ganancia de salida (DC) del ispPAC80/81 es positiva (ninguna inversión).

3.2.3.1.4 Bits UES

Los bits UES (firma electrónica de usuario) le permiten al usuario guardar un único ID dentro de la memoria de la configuración del dispositivo para el uso catalogado u otros propósitos. El valor de UES también puede modificarse vía el menú Symbol, comando Edit.

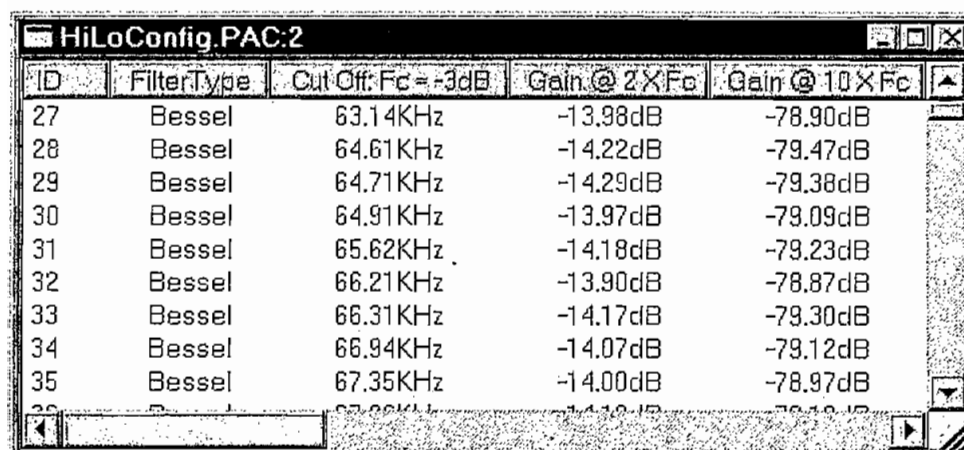
3.2.3.1.5 Ganancia de Entrada

Se pueden seleccionar ganancias de 1, 2, 5 y 10 haciendo doble clic en el número sobre el amplificador de entrada. Los valores de ganancia también pueden modificarse vía el menú Symbol del comando Edit.

3.2.3.1.6 Configuración Inicial "Wakeup"

La configuración que el ispPAC80/81 asume cuando se enciende es fijado haciendo doble clic en la configuración del símbolo de MUX en el esquemático. Es muy recomendable que la condición wakeup se ponga en "A" si la comprobación de la programación del dispositivo se prevee como una necesidad futura (en otros términos, la habilidad al cargar la configuración completa de un dispositivo previamente programado). Si "B" se selecciona como la configuración inicial, la comprobación JTAG de bits de CfgA no puede realizarse después de que el dispositivo se programe.

3.2.3.2 Ventana de Referencia de Configuración de Filtros en el ispPAC80/81



ID	FilterType	Cut Off: Fc = -3dB	Gain @ 2XFc	Gain @ 10XFc
27	Bessel	63.14KHz	-13.98dB	-78.90dB
28	Bessel	64.61KHz	-14.22dB	-79.47dB
29	Bessel	64.71KHz	-14.29dB	-79.38dB
30	Bessel	64.91KHz	-13.97dB	-79.09dB
31	Bessel	65.62KHz	-14.18dB	-79.23dB
32	Bessel	66.21KHz	-13.90dB	-78.87dB
33	Bessel	66.31KHz	-14.17dB	-79.30dB
34	Bessel	66.94KHz	-14.07dB	-79.12dB
35	Bessel	67.35KHz	-14.00dB	-78.97dB

Esta ventana se usa para que el usuario pueda seleccionar el filtro, basado en varios parámetros. Después de la selección del filtro, la configuración puede transferirse a la ventana de Entrada de Diseño (Esquemático). Haciendo doble clic en cualquier parte del listado, se abrirá el cuadro de diálogo para copiar la configuración del filtro, la misma que pueden ser cargada en la configuración A o B. Las opciones de configuración mejoran si se presiona sobre la cabecera de cada columna de esta ventana, lo cual permitirá, mediante la ventana de criterio del filtro ajustar los parámetros de diseño.

El criterio de selección incluye el tipo del filtro (Bessel, Chebyshev, etc), la frecuencia de corte (a -3dB), ganancia a $2x$ y $10x$, la frecuencia de esquina, y así en adelante. Algunos tipos de filtro no tienen entradas en todas las columnas, porque esas características técnicas no se aplican. Por ejemplo, los filtros de Bessel tienen un declive monótono en la atenuación, considerando que los filtros Elípticos tienen "Choques" en la banda de atenuación. Como resultado, los filtros Elípticos tienen una especificación de rechazo en la banda de atenuación, que los filtros de Bessel no poseen.

Cada tipo de filtro tiene un máximo de señal interna específica que se presenta a diferentes niveles y nodos dentro del filtro. Por consiguiente, la columna de MaxVin despliega el nivel señalado máximo aceptable a la entrada del filtro (es decir, después del amplificador de instrumentación con su ganancia programable). El usuario es advertido para vigilar que la máxima amplitud de la señal que entra en el bloque del filtro sea un valor menor que el máximo especificado en esta columna.

Nota: Éste no es un proceso ordenando, sino una consulta y una muestra de líneas de datos calificativos. Debido a esto, el orden para el criterio de selección no tiene efecto en la salida que se muestra en la tabla. El criterio en efecto en cualquier momento dado puede ser verificado usando los comandos del menú **View** mientras se este en esta ventana. Todas los ítems que se seleccionan en

el menú **View** quedarán marcados con un check junto a ellos. También, la base de datos puede revertir todas las posibles modificaciones hechas en el menú desplegable **View**, escogiendo la opción mostrar todas las configuraciones en lista (**Show All Configurations in list**).

3.2.3.3 Símbolos del ispPAC80/81

La tabla de símbolos que se ilustra a continuación es una lista de los “distintivos esquemáticos” del ispPAC80/81. Cada símbolo es un grupo combinado de células E² que juntos configuran un PACCell o PACBlock.

La primera columna es el nombre del símbolo cuando aparecen en el cuadro de diálogo **Edit-Symbol**.

El Tipo de Librería (**Type Library**) para estos símbolos se encuentra en el directorio: PAC-Designer's\PDSDK\PacConstants en donde se halla el archivo *.BAS de estos símbolos, y que representan un objeto OLE para diseñar macros en aplicaciones externas como el Visual Basic.

Nombre en el PAC-Designer	OLE Automation VB Constant	index
C1 Capacitor A	PAC80_C1A	0
C2 Capacitor A	PAC80_C2A	1
L2 Capacitor A	PAC80_L2A	2
C3 Capacitor A	PAC80_C3A	3
C4 Capacitor A	PAC80_C4A	4
L4 Capacitor A	PAC80_L4A	5
C5 Capacitor A	PAC80_C5A	6

Frequency Range A	PAC80_PM1A	7
UES Bits	PAC80_UES	8
	PAC80_ESF	9
Wakeup Configuration	PAC80_AB	10
Gain	PAC80_PG	11
C1 Capacitor B	PAC80_C1B	12
C2 Capacitor B	PAC80_C2B	13
L2 Capacitor B	PAC80_L2B	14
C3 Capacitor B	PAC80_C3B	15
C4 Capacitor B	PAC80_C4B	16
L4 Capacitor B	PAC80_L4B	17
C5 Capacitor B	PAC80_C5B	18
Frequency Range B	PAC80_PM1B	19

3.2.4 SIMULACIÓN ANALÓGICA.

3.2.4.1 PAC –Designer Simulador AC

3.2.4.1.1 Simulación

Después de que un diseño se ha configurado, puede simularse para verificar el comportamiento y comparar con los resultados esperados. El simulador también puede usarse durante el diseño de entrada para probar varias opciones o comparar configuraciones alternadamente. El simulador es capaz de computar y desplegar la respuesta AC de cuatro combinaciones entrada/salida. Las

simulaciones pueden realizarse en cualquier momento a lo largo del camino entre un pin de entrada y uno de salida.

Una vez que la ventana de simulación se abre, los gráficos de la señal de respuesta de amplitud y fase versus frecuencia se despliegan.

3.2.4.1.2 Ventana Básica de graficación

El simulador presenta un gráfico de fase/ganancia de la configuración del diseño actual. El gráfico se muestra en una ventana de graficación, que puede desplegar cuatro gráficos de configuraciones diferentes si se desea. Así, pueden compararse los resultados de los cambios en los valores de los parámetros.

La simulación se controla por opciones puestas en el cuadro de diálogo de opciones de simulación (**Simulator Options Dialog Box**). Esto controla el inicio y fin de la frecuencia, los nodos de Entrada y Salida, y la curva de resultados de la simulación. La simulación se graba en el archivo de diseño del PAC.

La ganancia y fase están en dos planos, separados por una barra movable. La ganancia está en el plano superior al de la fase. Para agrandar una de las áreas de graficación, seleccione la barra movable localizada en el centro de los dos gráficos, cuando el cursor cambia a una doble flecha, la barra puede arrastrarse para ampliar cualquiera de los esquemas de manera indistinta o hasta que adquieran el tamaño deseado.

El eje vertical (Y) del plano de ganancia y fase pueden aumentar de tamaño individualmente. El plano activo de la ventana de graficación se distingue porque el título de Ganancia o Fase se resalta.

Un total de cuatro (4) curvas pueden graficarse simultáneamente dentro de la ventana de simulación. La Curva Activa se puede definir al "presionar" el botón "numerado" en el barra de herramientas.

3.2.4.1.3 Inspección del Gráfico

La ventana de inspección del gráfico es un mecanismo que opera solo sobre la Curva Activa.

Una vez que active una curva, habilite el **crosshair** con **View > Crosshair**. El PAC-Designer puede leer la frecuencia de salida, la ganancia y la fase localizando el crosshair sobre el gráfico de respuesta en los paneles de graficación y presenta las lecturas en el sector derecho de la barra de estado de la ventana de simulación.

Manteniendo presionado el botón izquierdo del Mouse a lo largo de la curva, los datos fluyen hasta el sitio en el que el usuario desee obtener lectura, empleando el teclado la exploración de datos es mucho más delicada.

Los datos del gráfico pueden exportarse a un software tercerista como un procesador de texto o una hoja de cálculo para usar en la documentación del diseño.

3.2.4.1.4 Curva Activa

La curva activa controla:

- Donde se guardan los resultados de la simulación ejecutada.
- Los mecanismos de inspección de la Ventana de Graficación.

- Qué curva del gráfico se va a exportar

Solo una curva es activa a la vez, la misma que es indicada por:

- Una curva "sólida", a diferencia de una curva entrecortada/punteada, en el área de graficación.
- Un botón numerado (1, 2, 3, o 4) de la barra de herramientas
- Presenta un indicador de presencia de Curva (Curve Presence Indicator) en la ventana de graficación

Se puede cambiar de Curva Activa mediante:

- Los botones "numerados" en la barra de herramientas de la Ventana de Esquematzación y la ventana del simulador.
- Haciendo un clic en el Indicador de Presencia de Curva.
- Flecha arriba: activa la curva [N-1] (solo de la ventana de graficación).
- Flecha abajo: activa la curva [N+1] (solo de la ventana de graficación).
- Cuadro de diálogo Simulator Options.
- Comando View->Curve->1,2,3 o 4.

3.2.4.1.5 Cursor Crosshair

El PAC-Designer leerá los datos de Frecuencia, Ganancia y Fase a través del cursor crosshair y mostrará los resultados en el sector derecho de la barra de estado.

Para Habilitar el cursor emplee el comando **View->Crosshair**, o con el botón crosshair de la barra de herramientas.

Operación con el Mouse:

Primer Click: El cursor se mueve a la posición hecha por el clic.

Segundo Click: Habilita el panel de Ganancia o Fase.

Operación con Teclado:

Flecha Izquierda: Presenta datos de uno en uno hacia la izquierda

Flecha Derecha: Presenta datos de uno en uno hacia la derecha.

Flecha Arriba: Activa la curva [N-1]

Flecha Abajo: Activa la curva [N+1]

3.2.4.1.6 Indicador de Presencia de Curva

La ventana de simulación indica la presencia de curva de datos vía el Indicador de Presencia de Curva sobre el lado derecho de la ventana de graficación. Los indicadores muestran:

- La curva activa a través de un rectángulo de selección sólido sobre el nombre VoN/ViM.
- Las curvas que están presentes, tienen un nombre de VoN/ViM. Si es que no existen datos no hay ningún texto en el nombre. Sin embargo, la curva todavía puede seleccionarse; en este caso sólo el rectángulo de la selección será visible.

Operación del Mouse:

Un clic: Activa la Curva

Doble clic: Invoca el diálogo de opción de simulador para esta curva, y hace esta Curva Activa.

En el ejemplo que se ilustra a continuación, la curva 2 es la activa y las curvas 3 y 4 no están disponibles.



3.2.4.2 Opciones del Simulador

La simulación es controlada por un conjunto de opciones con el cuadro de diálogo Simulator Options. Estos controlan la frecuencia de inicio y Fin, los nodos de entrada y salida, y la curva de resultados de la simulación. Los cambios del simulador son guardados en el archivo de diseño *.pac.

Para poner las opciones del Simulador:

1. Escoja **Options > Simulator**.
2. Una vez que aparezca la ventana de Opciones de Simulador (**Simulator Options**), modifique las opciones para las cuatro curvas de acuerdo a sus necesidades. A continuación pulse **OK** para efectivizar los cambios.
3. Se puede escoger las Opciones Generales del Simulador (Simulator Options General Tab) y activar el casillero de verificación de *Ejecutar el simulador después de cambiar las variables* (**Run Simulator after a variable changes**). Cuando se activa esta casilla de verificación, la simulación correrá automáticamente después de que usted cambie un símbolo editable en cualquier parte del PAC-Designer: las ganancias, las interconexiones, los valores de capacitancia, etc. Esto es útil si

usted está cambiando el esquemático frecuentemente. Finalmente pulse el botón OK.

3.2.4.3 Simulación de un diseño

El simulador genera un gráfico de ganancia y fase de la configuración del diseño actual. El gráfico se muestra en una ventana de graficación que puede desplegar cuatro gráficos cada uno de una configuración diferente si se quiere. Así, pueden compararse resultados de los cambios en los valores de los parámetros.

Se deben poner las opciones del simulador antes de ejecutar una simulación.

Para simular un diseño:

- Escoja **Tools >Run Simulator** para desplegar la ventana de graficación.

CAPÍTULO 4

DISEÑO DE FILTROS EN EL ispPAC

Como se ha abordado en capítulos anteriores, el ispPAC80/81 es un dispositivo que integra filtros analógicos pasa bajos de quinto orden, permitiendo al usuario la implementación de miles de filtros en siete topologías diferentes en un rango de 50 a 750 kHz sin la necesidad de componentes externos ni temporizadores (reloj).

Usando el software PAC-Designer, descrito en el Capítulo 3, el usuario selecciona el filtro y lo puede configurar de acuerdo a sus necesidades en el módulo de desarrollo. Las configuraciones pueden ser guardadas en la memoria no volátil E²CMOS del dispositivo o revisadas en el software para adaptarlo a diferentes aplicaciones.

Para diseñar los filtros pasa bajos de quinto orden en el ispPAC80/81, es necesario empezar discutiendo de manera general los conceptos básicos de los filtros analógicos, sus principales características y la respuesta que se espera obtener para cada configuración.

4.1 CONCEPTOS DE FILTROS

Un filtro eléctrico es un cuadripolo capaz de atenuar determinadas frecuencias del espectro de la señal de entrada y permitir el paso de las demás. Se denomina espectro a la representación de las amplitudes de los armónicos de una señal en función de la frecuencia. Experimentalmente se puede visualizar mediante un analizador de espectros; obsérvese que mientras un osciloscopio es un instrumento que analiza la señal en relación al tiempo, el analizador lo hace con relación a la frecuencia.

Entonces, se denominan filtros a los circuitos que se encargan de separar o rechazar diferentes tipos de señales, distinguiendo entre estos a los filtros analógicos y filtros digitales.

Los filtros analógicos son los que se encargan de trabajar con señales de tipo analógicas (continuas), y los digitales los que se encargan de trabajar con señales de tipo discretas, cuya implementación generalmente se realiza vía software.

4.1.1 Clasificación.

Los filtros se pueden clasificar de acuerdo a los siguientes aspectos:

- Frecuencias Atenuadas
- Tecnología Empleada
- Función Matemática o aproximación utilizada para proyectar el filtro.

Según las Frecuencias Atenuadas, se pueden tener:

- **FILTROS PASA BAJOS:** Permite el paso de las frecuencias inferiores hasta una determinada frecuencia de corte (f_c). Las frecuencias superiores resultan atenuadas.
- **FILTRO PASA ALTOS:** Deja pasar las frecuencias superiores desde una determinada frecuencia de corte (f_c), atenuando las inferiores.
- **FILTRO PASA-BANDA:** Permite el paso de las frecuencias situadas dentro de una banda delimitada por una frecuencia de corte inferior y otra superior. Las frecuencias que están fuera de esta banda son atenuadas.
- **FILTRO RECHAZA BANDA:** Permite el paso de las frecuencias que se encuentren fuera de la banda delimitada por dos frecuencias de corte, atenuando las que se encuentren dentro de la banda.

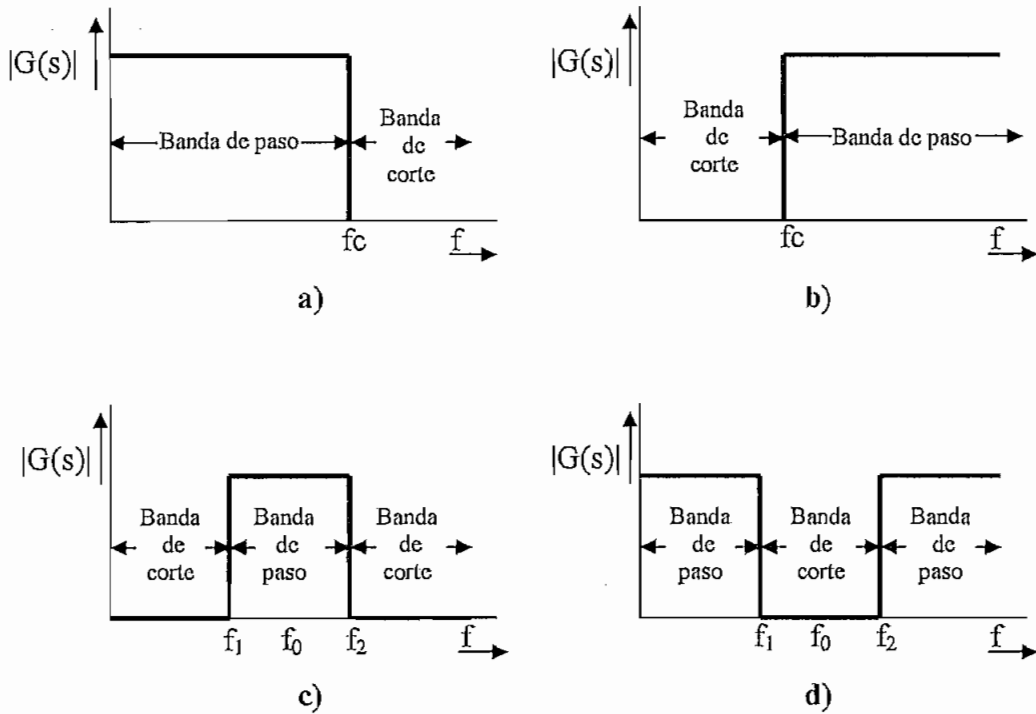


Figura 4.1 Respuesta ideal de diferentes filtros:

a) pasa bajos, b) pasa altos, c) pasa banda, d) rechazo de banda.

Considerando la tecnología empleada, se tienen:

- **FILTROS PASIVOS:** están contruidos exclusivamente con elementos pasivos como resistencias, condensadores y bobinas. Estos filtros en bajas frecuencias no son muy empleados debido a que exigen inductancias muy grandes.
- **FILTROS ACTIVOS:** Constan de elementos pasivos asociados a otros activos (Amplificadores Operacionales - OPAMPs).
- **FILTROS DIGITALES:** Estos filtros son en realidad programas de computación que manipulan datos digitales. La señal analógica es convertida en digital mediante un sistema de conversión A/D. La señal binaria resultante se trata en el filtro digital y a continuación se convierte en analógica en un conversor D/A. Estos filtros son útiles para procesar simultáneamente muchos canales de transmisión y por su gran versatilidad

y poder de procesamiento son los filtros empleados en aplicaciones de gran complejidad.

De acuerdo a la función matemática utilizada, los tipos más comunes son: **Butterworth y Chebychev**. En este capítulo no es intención hacer un análisis matemático exhaustivo; simplemente extraer las ventajas y desventajas que ofrecen los mismos, con el fin de establecer referencias con las que se pueda comparar los circuitos que aquí se diseñarán.

Para la comprensión del módulo de desarrollo, se analizan en este capítulo el diseño de los filtros analógicos activos y preferentemente de los filtros pasa-bajos.

4.1.2 Diseño de Filtros Activos

Se decidió referir brevemente la teoría requerida para diseñar los filtros, con la intención de destacar todo el trabajo que se puede obviar, gracias a la existencia de los dispositivos que son tema de este proyecto de titulación.

El diseño de filtros activos consiste en calcular los valores de los componentes que, asociados a un Amplificador Operacional, permitirán realizar un filtrado a partir de una frecuencia de corte predeterminada.

Las operaciones para calcular dichos componentes dependen de los siguientes factores:

- Utilización de circuitos base de primer o segundo orden como: de Rauch o de Sallen y Key;
- Características de respuesta del filtro.

Como el objetivo de este proyecto de titulación es el de dar a conocer la versatilidad y funcionalidad de los filtros diseñados con el dispositivo ispPAC80/81 con respecto a los filtros activos comunes, se centrará la atención sobre filtros activos pasa bajos de Butterwoth, y CHEBYCHEV, que son los de mayor empleo por su gran respuesta de amplitud y fase que presentan en su implementación

con circuiteria y OPAMPs. Se deja además para la implementación en el módulo de desarrollo los filtros de tipo Gaussiano, Bessel, Legendre, de Fase Lineal y Elípticos o de Cauer.

El circuito base de 2do. orden de un filtro paso bajo posee la siguiente expresión:

$$H(s) = \frac{H(0)}{\frac{s^2}{\omega_0^2} + 2\xi \frac{s}{\omega_0} + 1} \quad (\text{Ec. 4.1})$$

Donde:

$H(0)$ = Ganancia en DC

$\xi = \frac{1}{2Q}$ = Factor de amortiguamiento

ω_0 = Frecuencia natural (resonancia)

Al considerar la relación $\omega_0^2 = b \cdot \omega_c^2$ (siendo ω_c la frecuencia de corte deseada) la ecuación anterior toma la forma:

$$H(s) = \frac{H(0)}{\frac{s^2}{b\omega_c^2} + 2\xi \frac{s}{\omega_c \cdot \sqrt{b}} + 1} \quad (\text{Ec. 4.2})$$

El parámetro "b" determinará que el filtro sea de Butterworth o de CHEBYCHEV si $b=1$ o $b \neq 1$, respectivamente.

En la anterior ecuación el polinomio en "s" del denominador es el que caracteriza a los filtros y define su comportamiento. Operando sobre la ecuación (4.2), esta se reduce a:

$$H(s) = \frac{H(0)b\omega_c^2}{s^2 + 2\xi\sqrt{b}\omega_c s + b\omega_c^2} \quad (\text{Ec. 4.3})$$

Para el punto en que $\omega_c = 1 \text{ rad/s}$ el polinomio del denominador queda:

$$s^2 + 2\xi\sqrt{b}s + b \equiv s^2 + as + b \quad (\text{Ec. 4.4})$$

Este polinomio recibe el nombre de **polinomio normalizado**.

Los parámetros a y b del polinomio normalizado, se listan en tablas para cada orden del filtro.

Si se desea construir un filtro de 3er orden se utilizaran uno de 1er y otro de 2do en serie; para construir uno de 4to orden se conectarán dos de 2do orden en serie.

Esto implica que, para el diseño de un filtro de cualquier orden, basta conocer dos circuitos básicos, uno de 1er y otro de 2do orden.

Para el cálculo de cada una de estas circuitos se debe conocer los polinomios normalizados de su denominador, para esto se emplearán las Tablas 4.1 y 4.2.

Para un filtro Butterworth de 3er orden su denominador sería: $[(s+1)(s^2+1s+1)]$.

Si se desea construir un filtro CHEBYCHEV de 4to orden y amplitud de rizado de 0.1dB, su denominador sería:

$$[(s^2+0.528313s+1.330031)(s^2+1.275460s+0.622925)].$$

Con estos coeficientes se pueden calcular los componentes de cada una de los circuitos base.

Tabla 4.1 Parámetros a y b para filtros Butterworth hasta Octavo Orden.

n	a	b	n	a	b
2	1.414214	1	6	0.517638	1
				1.414214	1
				1.931852	1
3	1 $1/w_0$	1	7	0.445042	1
				1.246980	1
				1.801938	1
				$1/w_0$	1
4	0.765367 1.847759	1	8	0.390181	1
				1.111140	1
				1.662939	1
				1.961571	1
5	0.618034 1.618034 $1/w_0$	1			

Tabla 4.2 Parámetros a y b para filtros CHEBYCHEV hasta el sexto orden con rizado de 0.1dB, 0.5dB, 1dB, 2dB y 3dB de amplitud.

n	γ	a	b	n	γ	a	b
2	0.1	2.372356	3.314037	5	0.1	0.333067	1.194937
	0.5	1.425625	1.516203		0.871982	0.635920	
	1.0	1.097734	1.102510		$1/w_0$	0.538914	
	2.0	0.803816	0.823060		0.5	0.223926	1.035784
	3.0	0.644900	0.707948		0.586245	0.476767	
					$1/w_0$	0.362320	
3	0.1	0.969406	1.689747	5	1.0	0.178917	0.988315
		$1/w_0$	0.969406		0.468410	0.429298	
	0.5	0.626456	1.142448		$1/w_0$	0.289493	
		$1/w_0$	0.626456		2.0	0.134922	0.952167
	1.0	0.494171	0.994205		0.353230	0.393150	

		1/w ₀	0.494171			1/w ₀	0.218308
	2.0	0.368911	0.886095		3.0	0.109720	0.936025
		1/w ₀	0.368911			0.287250	0.377009
	3.0	0.298620	0.839174			1/w ₀	0.177530
		1/w ₀	0.298620				
				6	0.1	0.229387	1.129387
4	0.1	0.528313	1.330031			0.626696	0.696374
		1.275460	0.622925			0.856083	0.263361
	0.5	0.350706	1.063519		0.5	0.155300	1.023023
		0.846680	0.356412			0.424288	0.590010
	1.0	0.279072	0.986505			0.579588	0.156997
		0.673739	0.279398		1.0	0.124362	0.990732
	2.0	0.209775	0.928675			0.339763	0.557720
		0.506440	0.221568			0.464125	0.124707
	3.0	0.170341	0.903087		2.0	0.093946	0.965952
		0.411239	0.195980			0.256666	0.532939
						0.350613	0.099926
					3.0	0.076459	0.954830
						0.208890	0.521818
						0.285349	0.088805

4.1.3 Filtros de Butterworth

En general se cumple que el módulo de la función de transferencia de un filtro paso bajo Butterworth viene dado por:

$$\left\{ \begin{aligned} |G(j\omega)| &= \frac{G_0}{\sqrt{1 + \left(\frac{\omega}{\omega_c}\right)^{2n}}} \\ n &= 1, 2, 3, \dots \end{aligned} \right.$$

(Ec. 4.5)

Dicho módulo sirve para conocer su representación de Bode, consta de un factor constante G_0 , que indica la ganancia ante una señal de entrada continua ($\omega=0$), el valor ω_c es la frecuencia de corte y n el orden del filtro (cuanto mayor sea el orden del filtro, más se aproximará a la curva ideal: (a) de la Figura 4.1).

Si en la ecuación (4.12) $\omega \gg \omega_c$, se tiene:

$$\left\{ \begin{array}{l} |G(j\omega)| \approx G_0 \left(\frac{\omega_c}{\omega} \right)^n \\ 20 \log |G(j\omega)| \approx 20 \log G_0 - 20n \log \left(\frac{\omega}{\omega_c} \right) \end{array} \right. \quad (\text{Ec. 4.6})$$

El segundo término permite saber el grado de atenuación en la banda de corte $[\omega_c, +\infty]$. Así un filtro Butterworth pasa bajo y de primer orden ($n=1$) tendría una pendiente de atenuación de 20dB/década en dicho intervalo; uno de segundo orden de 40db/década, etc.

Otra característica de los filtros es la forma plana de su banda pasante debido a que al ser $b=1$ todas los circuitos base colocados en serie poseen la misma frecuencia.

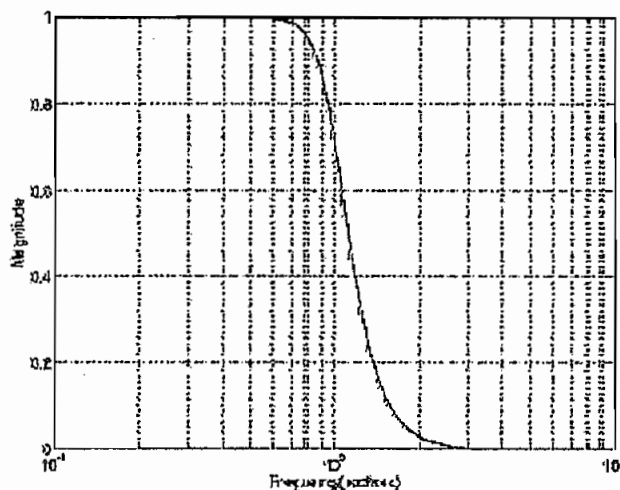


Figura 4.2 Respuesta real típica del filtro de Butterworth

4.1.4 Filtros de CHEBYCHEV.

Un filtro de Butterworth para frecuencias próximas a la de corte comienza a atenuar, pero de modo progresivo; si se desea una respuesta que se acerque más a la ideal se puede recurrir a los filtros de CHEBYCHEV. Este filtro siendo de igual orden que el de Butterworth, posee una respuesta mejor, debido a que su pendiente es más vertical. Sin embargo, presenta un rizado en la banda pasante. El módulo de la función de transferencia de un filtro pasa bajo Chebychev es:

$$|G(j\omega)| = \frac{G_0}{\sqrt{1 + \varepsilon^2 C_n^2\left(\frac{\omega}{\omega_c}\right)}} \quad \left\{ \begin{array}{l} n = 1, 2, 3, \dots \\ (0 < \varepsilon \leq 1) \end{array} \right. \quad (\text{Ec. 4.7})$$

Donde:

G_0 = ganancia del filtro paso bajo para señal de entrada continua ($\omega=0$).

ω_c = frecuencia de corte.

ε = constante que determina la amplitud del rizado en la banda pasante.

N = orden del filtro; y

$C_n(\omega/\omega_c)$ = polinomio de Chebychev definido de la siguiente forma:

$$C_n\left(\frac{\omega}{\omega_c}\right) = \begin{cases} \cos\left(n \cdot \arccos\left(\frac{\omega}{\omega_c}\right)\right) & \text{para } 0 \leq \frac{\omega}{\omega_c} \leq 1 \\ \cosh\left(n \cdot \operatorname{arccosh}\left(\frac{\omega}{\omega_c}\right)\right) & \text{para } \frac{\omega}{\omega_c} > 1 \end{cases} \quad (\text{Ec. 4.8})$$

Se puede comprobar fácilmente en la ecuación (4.8) que para una entrada continua ($\omega=0$), la función $|G(j\omega)|$ tomará el valor G_0 si el orden es impar y en el caso de ser par el valor alcanzado será $\frac{G_0}{\sqrt{1+\varepsilon^2}}$.

De la ecuación (4.15) se desprende que en la banda de paso existe un rizado a diferencia de la banda de paso en los filtros Butterworth que es plano. Dicho rizado posee los valores máximos y mínimos indicados en el párrafo anterior, de donde se puede deducir su amplitud en decibelios:

$$\gamma(dB) = 20 \log G_0 - 20 \log \left(\frac{G_0}{\sqrt{1+\varepsilon^2}} \right) = 20 \log(\sqrt{1+\varepsilon^2}) \Rightarrow \varepsilon = 10^{\frac{\gamma}{10}} - 1 \quad (\text{Ec. 4.9})$$

De estas expresiones se puede concluir que la amplitud del rizado sólo depende del parámetro ε ; que el rizado en la banda de paso depende del orden del filtro, y que dicho número de orden indicará el número de máximos y mínimos que se alcanzan en la banda de paso.

El valor de γ caracteriza al filtro, su valor máximo permitido es de 3dB y se da para un valor de $\varepsilon \approx 0.99763$. El diseño de un filtro Chebychev tiene la particularidad de que a mayor amplitud del rizado, mayor atenuación en la banda de corte. Por lo que el diseñador se ve en la necesidad de elegir lo que mejor se adapte a sus necesidades, dependiendo de la repercusión en el circuito de tal amplitud de rizado en la banda de paso.

La razón de dicho rizado se encuentra en que al tener dos o más valores distintos de "b" en un filtro, ocasiona que existan dos o más pulsaciones distintas.

El porcentaje de atenuación del filtro Chebychev en decibelios es, en la mayoría de los casos, superior a n20dB/década. Su valor aproximado viene dado por la expresión:

$$20 \log |G(j\omega)| \approx 20 \log G_0 - 20 \log(\varepsilon) - 6(n-1) - n20 \log \left(\frac{\omega}{\omega_c} \right) \quad (\text{Ec 4.10})$$

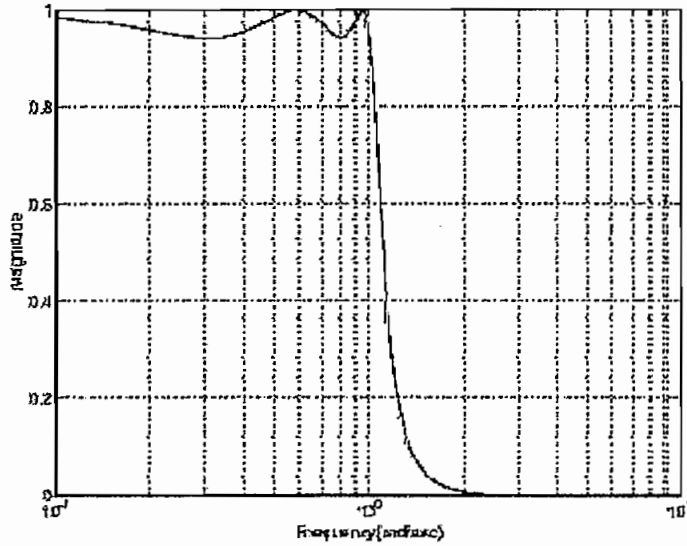


Figura 4.3 Respuesta real típica del filtro de Chebyshev

4.1.5 Circuitos Base de 1^{er} y 2^{do} Orden Para Filtros Paso Bajos

4.1.5.1 Filtro Paso bajos de 1^{er} Orden

La estructura del circuito base, se representa en la Figura 4.2 siguiente:

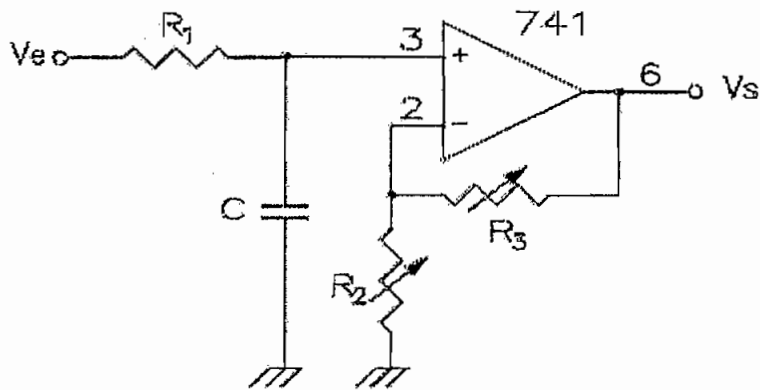


Figura 4.4 Filtro de 1er orden, pasa-bajos.

Su función de transferencia es:

$$H(s) = \frac{1 + \frac{R_3}{R_2}}{R_1 C s + 1} \quad (\text{Ec. 4.11})$$

De esta expresión se desprende:

- Ganancia del circuito: $H(0) = 1 + \frac{R_3}{R_2}$
- Frecuencia de corte: $\omega_c = 2\pi f_c$; $\omega_0 = \frac{1}{R_1 C} = b\omega_c$. El valor de C debe ser fijado por el diseñador.
- Para anular los efectos de la tensión de offset es necesario que R_1 sea igual al paralelo de R_2 y R_3 : $R_1 = \frac{R_2 R_3}{R_2 + R_3}$.
- Deduciendo R_2 y R_3 se tiene: $R_2 = \frac{H(0)R_1}{H(0)-1}$; $R_3 = H(0)R_1$.

En el caso de $H(0) = 1$ las ecuaciones serían otras: la frecuencia de corte sería la misma pero R_2 sería un circuito abierto y R_3 sería un cortocircuito.

4.1.5.2 Circuitos de 2^{do} orden para filtros pasa bajos.

Existen dos tipos de circuitos que se pueden emplear, ambas con buena estabilidad, baja impedancia de salida, facilidad de ajuste de la ganancia y frecuencia, necesidad de pocos componentes externos, etc.

4.1.5.2.1 Circuito de Rauch o de Realimentación Múltiple

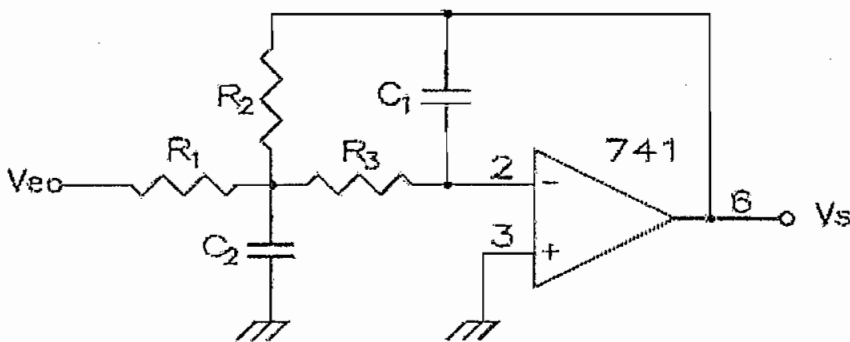


Figura 4.5 Filtro de 2^{do} orden pasa-bajos (de Rauch).

Función de transferencia:

$$H(s) = -\frac{\frac{R_2}{R_1}}{s^2 R_2 R_3 C_1 C_2 + s R_2 R_3 C_1 \left(\frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3} \right) + 1} \quad (\text{Ec. 4.12})$$

Equivalente a:

$$H(s) = -\frac{H(0)}{\left(\frac{s}{\omega_0} \right)^2 + \left[\omega_0 R_2 R_3 C_1 \left(\frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3} \right) \right] \left(\frac{s}{\omega_0} \right) + 1} \quad (\text{Ec. 4.13})$$

El signo negativo de esta ecuación indica que la salida está invertida respecto de la entrada

- Ganancia del circuito: $H(0) = \frac{R_2}{R_1}$
- Del término independiente de la ecuación (4.13) se deduce que la frecuencia de corte es: $\omega_0^2 = \frac{1}{R_2 R_3 C_1 C_2} = b \omega_c^2 \Rightarrow \omega_c = 2\pi f_c$
- $R_3 = \frac{1}{b \omega_c^2 C_1 C_2 R_2}$

- R_2 se calcula a partir de la relación:

$$2\xi\sqrt{b} = a = \sqrt{b} \omega_c R_2 R_3 C_1 \left(\frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3} \right)$$

$$\Rightarrow R_2 = \frac{\frac{a}{b C_1} \pm \sqrt{\left(\frac{a}{b C_1} \right)^2 - 4 \frac{(H(0)+1)}{b C_1 C_2}}}{2 \omega_c}$$

- El radicando de R_2 debe ser mayor o igual que cero, caso contrario deben variarse los valores que no necesariamente son fijos.

4.1.5.2.2 Circuito de Sallen y Key

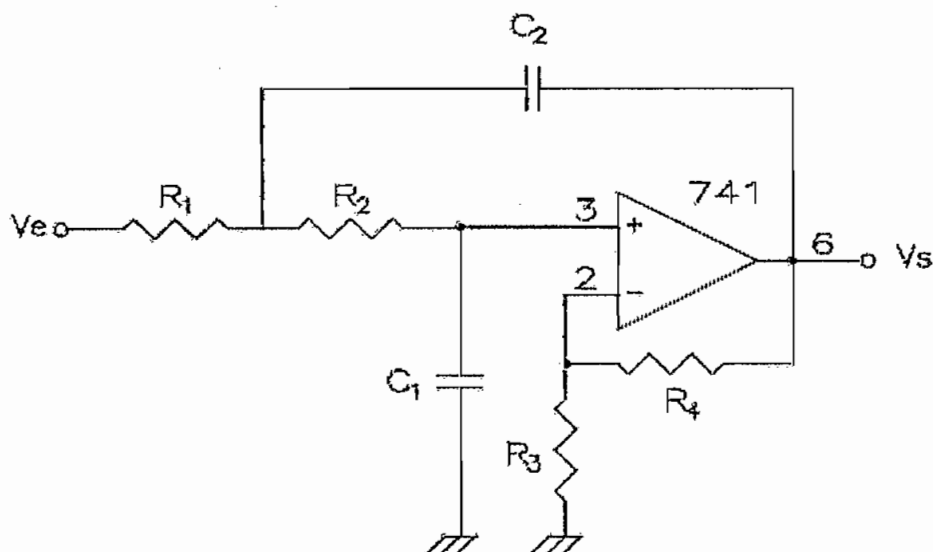


Figura 4.6 Filtro de 2^{do} orden paso-bajo (de Sallen y Key).

Función de transferencia:

$$H(s) = \frac{1 + \frac{R_4}{R_3}}{R_1 R_2 C_1 C_2 s^2 + R_1 C_2 \left[1 + \frac{C_1}{C_2} + \frac{R_2 C_1}{R_1 C_2} - \left(1 + \frac{R_4}{R_3} \right) \right] s + 1} \quad (\text{Ec. 4.14})$$

Equivalente a:

$$H(s) = \frac{H(0)}{\left(\frac{s}{\omega_0} \right)^2 + \omega_0 R_1 C_2 \left[1 + \frac{C_1}{C_2} + \frac{R_2 C_1}{R_1 C_2} - H(0) \right] \left(\frac{s}{\omega_0} \right) + 1} \quad (\text{Ec. 4.15})$$

De esta expresión se advierte que la entrada y salida tienen igual signo.

- Ganancia del circuito: $H(0) = 1 + \frac{R_4}{R_3}$
- La pulsación de corte es: $\omega_0^2 = \frac{1}{R_1 R_2 C_1 C_2} = b \omega_c^2 \Rightarrow \omega_c = 2\pi f_c$

$$- R_2 = \frac{1}{b\omega_c^2 C_1 C_2 R_1}$$

- Para calcular R_1 se parte de la relación:

$$2\xi\sqrt{b} = a = \sqrt{b}\omega_c R_1 C_2 \left(1 + \frac{C_1}{C_2} + \frac{R_2 C_1}{R_1 C_2} - H(0) \right)$$

$$\Rightarrow R_1 = \frac{2}{\left[a \pm \sqrt{a^2 - 4b \left(\frac{C_1}{C_2} + 1 - H(0) \right)} \right] \omega_c C_2}$$

- Para anular los efectos de la tensión de offset es necesario que R_1 más R_2 sea igual al paralelo de R_3 y R_4 :

$$R_3 = \frac{H(0)[R_1 + R_2]}{H(0) - 1} \quad (H(0) > 1)$$

$$R_4 = H(0)[R_1 + R_2]$$

- El radicando de R_1 debe ser mayor o igual que cero, caso contrario debe variarse los valores que no necesariamente son fijos.

Con la combinación de los tres circuitos vistos, se pueden construir filtros pasa bajos de cualquier orden, lo que demuestra la gran complejidad del diseño e implementación, puesto que para el análisis de filtros de quinto orden se requerirá de un número de circuitos que depende exclusivamente del diseñador, lo cual implica un gran volumen en la construcción, mayor empleo de tiempo, mayor costo y, sobre todo, la presencia de inconvenientes por el acoplamiento de los dispositivos como es el caso de la presencia de retraso y distorsión en las respuestas de amplitud y fase, fenómenos que son muy limitados en el ispPAC80/81.

4.1.6 Recomendaciones para el Diseño de Filtros Activos Pasa Bajos con Circuitos Base

- En cada uno de los circuitos descritos, el valor de uno de los condensadores debe ser fijado por el diseñador, se aconseja que el valor elegido sea próximo a $10/f_c(\text{Hz})$ [μF].
- En filtros de orden superior a dos, cada circuito se debe diseñar individualmente atendiendo a los valores de a y b de acuerdo al orden.
- Los circuitos no pueden mezclarse entre sí, deben ser circuitos básicos de configuración (1er o 2do orden) o de Sallen y Key
- En un filtro de m etapas, la ganancia es el resultado de multiplicar las ganancias parciales de cada una de las circuitos que lo componen.

4.1.7 Diseño Práctico de filtros Pasa Bajos Activos de quinto orden

Para completar el conocimiento de filtros activos pasa bajos, se plantea el diseño de dos filtros de quinto orden, con dos frecuencias de corte distintas 50 KHz y 750KHz, frecuencias que más adelante se emplean en los proyectos con el ispPAC80/81.

4.1.7.1 Filtro Pasa Bajos de Butterworth

4.1.7.1.1 Filtro Pasa Bajos de Butterworth con $f_c = 50\text{kHz}$

Para el diseño del filtro de Butterworth pasa bajos, se deben establecer las características para el circuito.

- a) Orden = 5
- b) Ganancia = 1
- c) Frecuencia de corte = 50 kHz
- d) Resistencias = 120 k Ω

Debido al orden que presentará el filtro (5to Orden), es necesario emplear tres etapas para el diseño del circuito.

Para el diseño de la Primera Etapa, se emplea un circuito básico de Primer Orden.

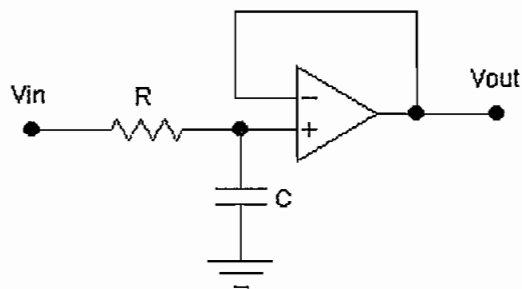


Figura 4.7 Circuito Básico de Primer Orden

Definición de parámetros:

Ganancia = 1

Frecuencia de corte = 50 kHz

Resistencia = 120 k Ω

$$b\omega_c = \frac{1}{RC}$$

$$\omega_c = 2\pi f_c = 2\pi(50000) \Rightarrow \omega_c = 100000\pi$$

Para los filtros de Butterworth se conoce que: $b = 1$

$$\Rightarrow C = \frac{1}{bR\omega_c}$$

$$C = \frac{1}{(1)(120K\Omega)(100000\pi)} = 2,653 \times 10^{-11} F$$

$$C = 26,5\text{pF} \Rightarrow C = 27\text{pF (valor normalizado)}$$

En la segunda y tercera etapa del filtro se emplea un circuito de Rauch de Segundo Orden.

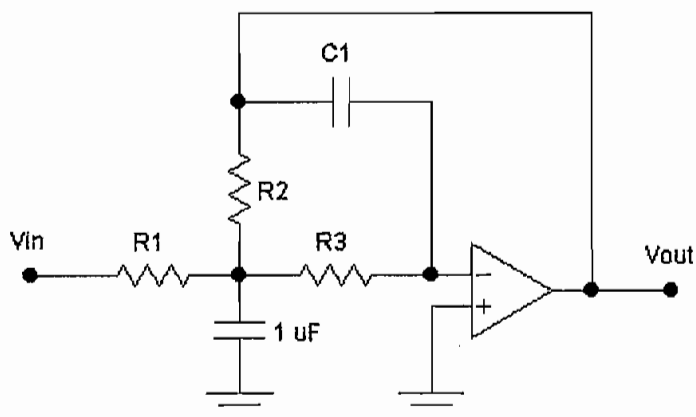


Figura 4.8 Circuito de Rauch de Segundo Orden

Definición de parámetros:

Ganancia = 1

Frecuencia de corte = 50 kHz

Resistencias:

$R_1 = R_2 = R_3 = 120 \text{ k}\Omega$

$\omega_c = 2\pi f_c = 100000\pi$

$$R_3 b \omega_c^2 C_1 R_2 = \frac{1}{C_2}$$

$$\Rightarrow C_2 = \frac{1}{R_3 b \omega_c^2 C_1 R_2} = \frac{1}{(120 \text{ k}\Omega)(1)(100000\pi)^2 C_1 (120 \text{ k}\Omega)}$$

$$C_2 = \frac{7,0362 \times 10^{-22}}{C_1}$$

A partir de la expresión: $R_2 = \frac{\frac{a}{bC_1} \pm \sqrt{\left(\frac{a}{bC_1}\right)^2 - 4\left(\frac{H_0 + 1}{bC_1 C_2}\right)}}{2\omega_c}$, se despeja el valor de

C_2 , para igualar esta ecuación con la anteriormente encontrada en función de C_1 .

$$\Rightarrow C_2 = \frac{-4(H_0 + 1)}{bC_1 \left[\left(2R_2\omega_c - \frac{a}{bC_1} \right)^2 - \left(\frac{a}{bC_1} \right)^2 \right]}$$

$$\Rightarrow \frac{-4(H_0 + 1)}{bC_1 \left[\left(2R_2\omega_c - \frac{a}{bC_1} \right)^2 - \left(\frac{a}{bC_1} \right)^2 \right]} = \frac{7,0362 \times 10^{-22}}{C_1}$$

A partir de las tablas para el diseño de filtros de Butterworth se conocen los valores de a y b que son: 1.4142 y 1 respectivamente, entonces, de la igualdad antes indicada se obtienen el valor para C_1 :

$$C_1 = 1,25 \times 10^{-11} \text{ F}$$

$$C_1 = 12,5 \text{ pF} \Rightarrow C_1 = 12 \text{ pF (valor normalizado)}$$

Conocido el valor de C_1 , se encuentra el equivalente para C_2 :

$$C_2 = \frac{7,0362 \times 10^{-22}}{C_1} = \frac{7,0362 \times 10^{-22}}{12,5 \times 10^{-12}} = 56,6 \text{ pF}$$

$$\Rightarrow C_2 = 56 \text{ pF (valor normalizado)}$$

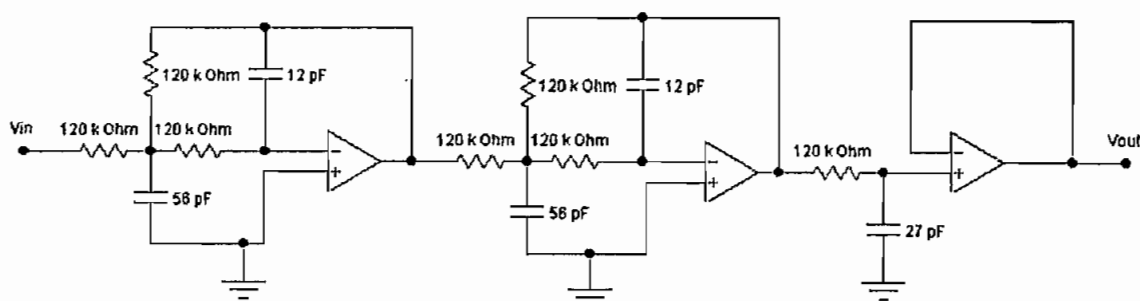


Figura 4.9 Filtro de Butterworth de quinto orden con ganancia unitaria

4.1.7.1.2 Filtro Pasa Bajos de Butterworth con $f_c = 750\text{kHz}$

Características para el circuito.

- a) Orden = 5
- b) Ganancia = 1
- c) Frecuencia de corte = 750 kHz
- d) Resistencias = 120 k Ω

Debido al orden que presentará el filtro (5to Orden), es necesario emplear tres etapas para el diseño del circuito.

Para el diseño de la Primera Etapa, se emplea un circuito básico de Primer Orden.

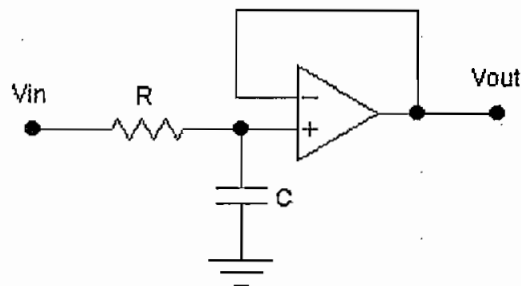


Figura 4.10 Circuito básico de Primer Orden

Definición de parámetros:

Ganancia = 1

Frecuencia de corte = 750 kHz

Resistencia = 120 k Ω

$$b\omega_c = \frac{1}{RC}$$

$$\omega_c = 2\pi f_c = 2\pi(750000) \Rightarrow \omega_c = 1500000\pi$$

Para los filtros de Butterworth se tiene que: $b = 1$

$$\Rightarrow C = \frac{1}{bR\omega_c}$$

$$C = \frac{1}{(1)(120K\Omega)(1500000\pi)} = 1,76 \times 10^{-12} F$$

$$C = 1,76pF \Rightarrow C = 1,8pF \text{ (valor normalizado)}$$

En la segunda y tercera etapa del filtro se emplea un circuito de Rauch de Segundo Orden.

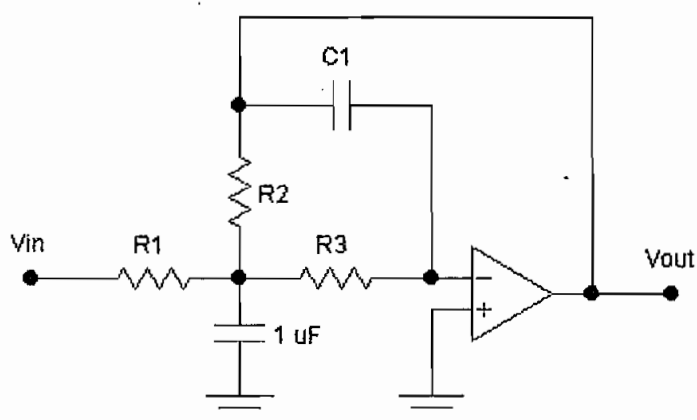


Figura 4.11 Circuito de Rauch de Segundo Orden

Definición de parámetros:

Ganancia = 1

Frecuencia de corte = 750 kHz

Resistencias:

$$R_1 = R_2 = R_3 = 120 k\Omega$$

$$\omega_c = 2\pi f_c = 1500000\pi$$

$$R_3 b \omega_c^2 C_1 R_2 = \frac{1}{C_2}$$

$$\Rightarrow C_2 = \frac{1}{R_3 b \omega_c^2 C_1 R_2} = \frac{1}{(120k\Omega)(1)(1500000\pi)^2 C_1 (120k\Omega)}$$

$$C_2 = \frac{3,12 \times 10^{-24}}{C_1}$$

A partir de la expresión: $R_2 = \frac{\frac{a}{bC_1} \pm \sqrt{\left(\frac{a}{bC_1}\right)^2 - 4\left(\frac{H_0+1}{bC_1C_2}\right)}}{2\omega_c}$, se despeja el valor de

C_2 , para igualar esta ecuación con la anteriormente encontrada en función de C_1 .

$$\Rightarrow C_2 = \frac{-4(H_0+1)}{bC_1 \left[\left(2R_2\omega_c - \frac{a}{bC_1} \right)^2 - \left(\frac{a}{bC_1} \right)^2 \right]}$$

$$\Rightarrow \frac{-4(H_0+1)}{bC_1 \left[\left(2R_2\omega_c - \frac{a}{bC_1} \right)^2 - \left(\frac{a}{bC_1} \right)^2 \right]} = \frac{3,12 \times 10^{-24}}{C_1}$$

A partir de las tablas para el diseño de filtros de Butterworth se conocen los valores de a y b que son: 1.4142 y 1 respectivamente, entonces, de la igualdad antes indicada se obtienen el valor para C_1 :

$$C_1 = 0,516 \times 10^{-12} \text{ F}$$

$$C_1 = 0,516 \text{ pF} \Rightarrow C_1 = 1 \text{ pF (valor normalizado)}$$

Conocido el valor de C_1 , se encuentra el equivalente para C_2 :

$$C_2 = \frac{3,12 \times 10^{-24}}{C_1} = \frac{3,12 \times 10^{-24}}{1 \times 10^{-12}} = 3,12 \text{ pF}$$

$$\Rightarrow C_2 = 3,3 \text{ pF (valor normalizado)}$$

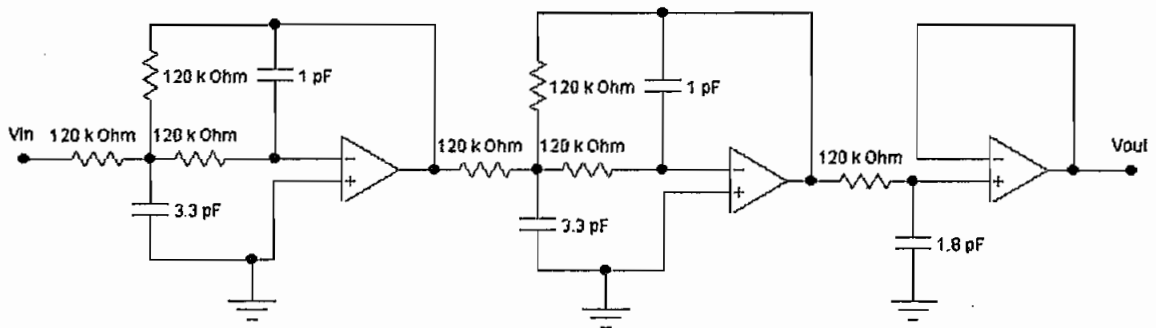


Figura 4.12 Filtro de Butterworth de quinto orden con ganancia unitaria y frecuencia de corte de 750kHz

4.1.7.2 Filtro Pasa Bajos de Chebychev

4.1.7.2.1 Filtro Pasa Bajos de Chebychev con frecuencia de corte de 50kHz

Para el diseño del filtro de Chebychev pasa bajos se deben establecer las características para el circuito.

- a) Orden = 5
- b) Ganancia = 1
- c) Frecuencia de corte = 50 kHz
- d) Resistencias = 120 k Ω
- e) Rizado = 0.1dB

Debido al orden que presentará el filtro (5to Orden), es necesario emplear tres etapas para el diseño del circuito.

Para el diseño de la Primera Etapa se emplea un circuito básico de Primer Orden.

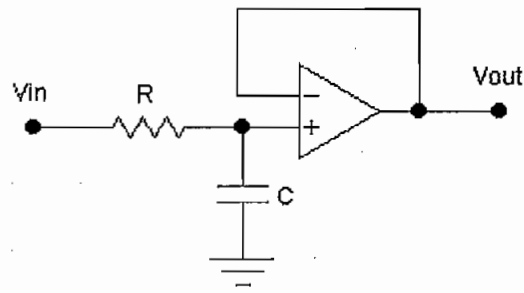


Figura 4.13 Circuito Básico de Primer Orden

Definición de parámetros:

Ganancia = 1

Frecuencia de corte = 50 kHz

Resistencia = 120 kΩ

Rizado = 0,1dB

$$b\omega_c = \frac{1}{RC}$$

$$\omega_c = 2\pi f_c = 2\pi(50000) \Rightarrow \omega_c = 100000\pi$$

Para los filtros de Chebychev con rizado de 0.1dB:

$$a = 2,372356$$

$$b = 3,314037$$

$$\Rightarrow C = \frac{1}{bR\omega_c}$$

$$C = \frac{1}{(3,314037)(120K\Omega)(100000\pi)} = 8,00 \times 10^{-12} F$$

$$C = 8,00pF \Rightarrow C = 8,2pF \text{ (valor normalizado)}$$

En la segunda y tercera etapa del filtro se emplea un circuito de Rauch de Segundo Orden.

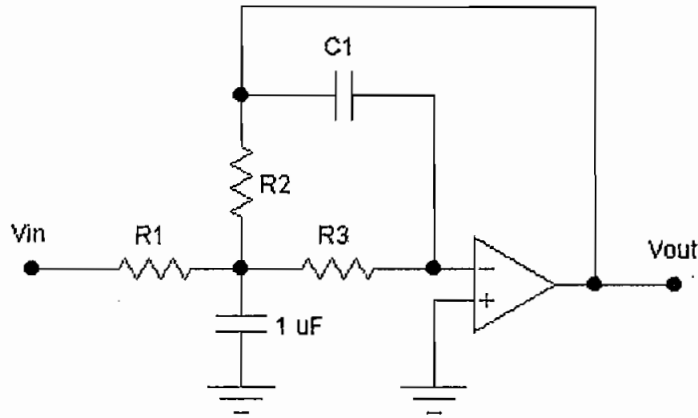


Figura 4.14 Circuito de Rauch de Segundo Orden

Definición de parámetros:

Ganancia = 1

Frecuencia de corte = 50 kHz

Resistencias:

$R_1 = R_2 = R_3 = 120 \text{ k}\Omega$

Rizado = 0.1dB

$$\omega_c = 2\pi f_c = 100000\pi$$

$$R_3 b \omega_c^2 C_1 R_2 = \frac{1}{C_2}$$

$$\Rightarrow C_2 = \frac{1}{R_3 b \omega_c^2 C_1 R_2} = \frac{1}{(120 \text{ k}\Omega)(3,314037)(100000\pi)^2 C_1 (120 \text{ k}\Omega)}$$

$$C_2 = \frac{2,12 \times 10^{-22}}{C_1}$$

A partir de la expresión: $R_2 = \frac{\frac{a}{bC_1} \pm \sqrt{\left(\frac{a}{bC_1}\right)^2 - 4\left(\frac{H_0 + 1}{bC_1 C_2}\right)}}{2\omega_c}$, se despeja el valor de

C_2 , para igualar esta ecuación con la anteriormente encontrada en función de C_1 .

$$\Rightarrow C_2 = \frac{-4(H_0 + 1)}{bC_1 \left[\left(2R_2\omega_c - \frac{a}{bC_1} \right)^2 - \left(\frac{a}{bC_1} \right)^2 \right]}$$

$$\Rightarrow \frac{-4(H_0 + 1)}{bC_1 \left[\left(2R_2\omega_c - \frac{a}{bC_1} \right)^2 - \left(\frac{a}{bC_1} \right)^2 \right]} = \frac{2,12 \times 10^{-22}}{C_1}$$

A partir de las tablas para el diseño de filtros de Chebychev se conocen los valores de a y b que son: 2,372356 y 3,314037 respectivamente, entonces, de la igualdad antes indicada se obtienen el valor para C_1 :

$$C_1 = 6,31 \times 10^{-12} \text{ F}$$

$$C_1 = 6,31 \text{ pF} \Rightarrow C_1 = 6,8 \text{ pF (valor normalizado)}$$

Conocido el valor de C_1 , se encuentra el equivalente para C_2 :

$$C_2 = \frac{2,12 \times 10^{-22}}{C_1} = \frac{2,12 \times 10^{-22}}{6,8 \times 10^{-12}} = 31,1 \text{ pF}$$

$$\Rightarrow C_2 = 33 \text{ pF (valor normalizado)}$$

Se muestra en la Figura 4.15 el circuito para el filtro de Chebychev de quinto orden con ganancia unitaria y frecuencia de corte de 50kHz:

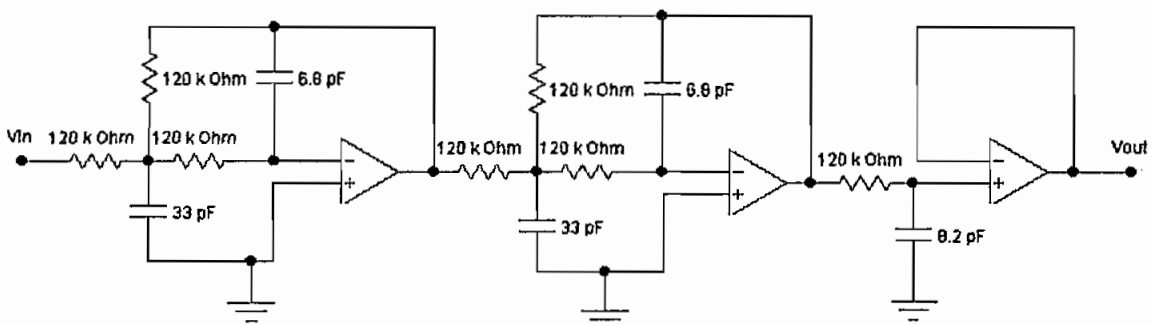


Figura 4.15 Filtro de Chebychev de quinto orden con ganancia unitaria y frecuencia de corte de 50kHz

4.1.7.2.2 Filtro Pasa Bajos de Chebychev con frecuencia de corte de 750kHz

Para el diseño del filtro de Chebychev pasa bajos, se deben establecer las características para el circuito.

- f) Orden = 5
- g) Ganancia = 1
- h) Frecuencia de corte = 750 kHz
- i) Resistencias = 120 k Ω
- j) Rizado = 0.1dB

Debido al orden que presentará el filtro (5to Orden), es necesario emplear tres etapas para el diseño del circuito.

Para el diseño de la Primera Etapa, se emplea un circuito básico de Primer Orden (Figura 4.16).

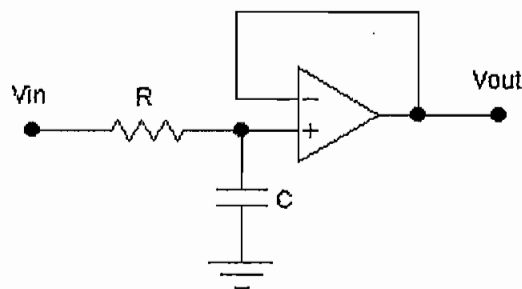


Figura 4.16 Circuito básico de Primer Orden

Definición de parámetros:

Ganancia = 1

Frecuencia de corte = 750 kHz

Resistencia = 120 k Ω

Rizado = 0,1dB

$$b\omega_c = \frac{1}{RC}$$

$$\omega_c = 2\pi f_c = 2\pi(750000) \Rightarrow \omega_c = 1500000\pi$$

Para los filtros de Chebychev con rizado de 0.1dB:

$$a = 2,372356$$

$$b = 3,314037$$

$$\Rightarrow C = \frac{1}{bR\omega_c}$$

$$C = \frac{1}{(3,314037)(120K\Omega)(1500000\pi)} = 5,33 \times 10^{-13} F$$

$$C = 0,533pF \Rightarrow C = 1,0pF \text{ (valor normalizado)}$$

En la segunda y tercera etapa del filtro se emplea un circuito de Rauch de Segundo Orden.

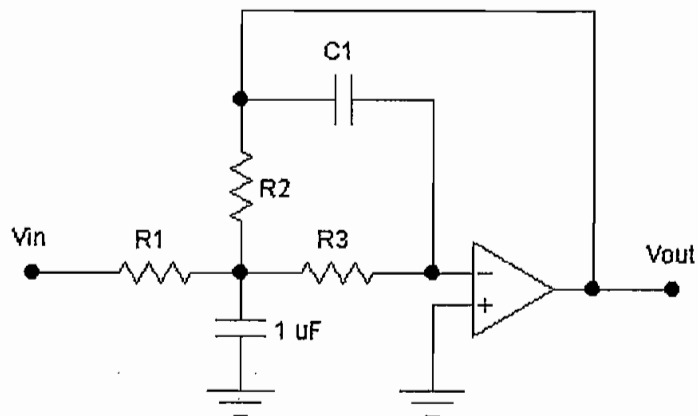


Figura 4.17 Circuito de Rauch de Segundo Orden

Definición de parámetros:

Ganancia = 1

Frecuencia de corte = 750 kHz

Resistencias:

$$R_1 = R_2 = R_3 = 120 \text{ k}\Omega$$

Rizado = 0.1dB

$$\omega_c = 2\pi f_c = 1500000\pi$$

$$R_3 b \omega_c^2 C_1 R_2 = \frac{1}{C_2}$$

$$\Rightarrow C_2 = \frac{1}{R_3 b \omega_c^2 C_1 R_2} = \frac{1}{(120k\Omega)(3,314037)(1500000\pi)^2 C_1 (120k\Omega)}$$

$$C_2 = \frac{9,43 \times 10^{-25}}{C_1}$$

A partir de la expresión: $R_2 = \frac{\frac{a}{bC_1} \pm \sqrt{\left(\frac{a}{bC_1}\right)^2 - 4\left(\frac{H_0+1}{bC_1C_2}\right)}}{2\omega_c}$, se despeja el valor de

C_2 , para igualar esta ecuación con la anteriormente encontrada en función de C_1 .

$$\Rightarrow C_2 = \frac{-4(H_0+1)}{bC_1 \left[\left(2R_2\omega_c - \frac{a}{bC_1} \right)^2 - \left(\frac{a}{bC_1} \right)^2 \right]}$$

$$\Rightarrow \frac{-4(H_0+1)}{bC_1 \left[\left(2R_2\omega_c - \frac{a}{bC_1} \right)^2 - \left(\frac{a}{bC_1} \right)^2 \right]} = \frac{9,43 \times 10^{-25}}{C_1}$$

A partir de las tablas para el diseño de filtros de Chebychev se conocen los valores de a y b que son: 2,372356 y 3,314037 respectivamente, entonces, de la igualdad antes indicada se obtienen el valor para C_1 :

$$C_1 = 1,91 \times 10^{-13} \text{ F}$$

$$C_1 = 0,19 \text{ pF} \Rightarrow C_1 = 1 \text{ pF (valor normalizado)}$$

Conocido el valor de C_1 , se encuentra el equivalente para C_2 :

$$C_2 = \frac{9,43 \times 10^{-25}}{C_1} = \frac{9,43 \times 10^{-25}}{1 \times 10^{-12}} = 4,91 \text{ pF}$$

$$\Rightarrow C_2 = 5,6 \text{ pF (valor normalizado)}$$

En las Figura 4.18 se muestra el circuito para el Filtro de Chebychev de quinto orden con ganancia unitaria y frecuencia de corte de 750kHz:

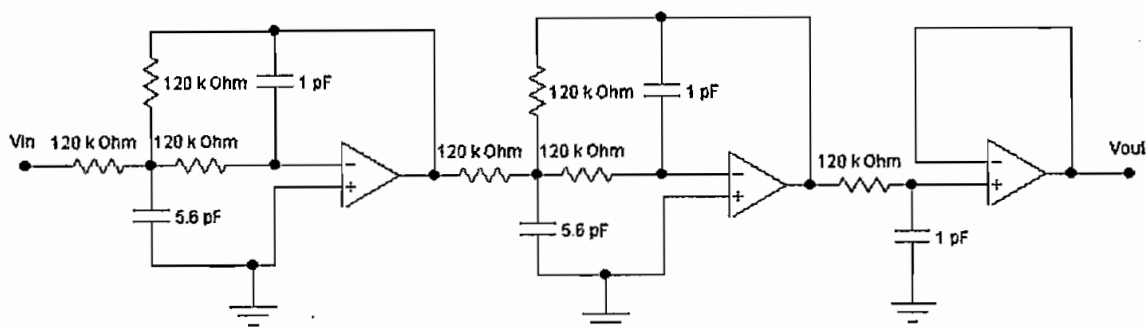


Figura 4.18 Filtro de Chebychev de quinto orden con ganancia unitaria y frecuencia de corte de 750kHz.

4.2 Filtros Pasa Bajos Programables Usando el ispPAC80/81

A continuación se describen los filtros que pueden ser desarrollados empleando el ispPAC80/81.

Tal como ya se indicó, el ispPAC80/81 es un dispositivo que integra filtros analógicos pasa bajos de quinto orden y en tiempo continuo. El usuario puede implementar miles de filtros analógicos sobre siete topologías diferentes en un rango de 50 a 750 kHz sin la necesidad de componentes externos ni temporizadores (reloj).

Usando el software PAC-Designer, el usuario selecciona el filtro y lo configura de acuerdo a sus necesidades. Las configuraciones pueden ser guardadas en la memoria no volátil E²CMOS del dispositivo o simuladas en el software para su análisis o el de nuevas aplicaciones.

La frecuencia de corte en tiempo-continuo del filtro puede ser seleccionada entre aproximadamente 50 kHz y 750 kHz, a una resolución de 0.6% o mejor.

El PAC-Designer soporta la simulación y programación del ispPAC80/81 con cualquier filtro pasa bajos de quinto orden, y la base de datos de filtros integrada proporciona miles de filtros de tipo: Gaussiano, Bessel, Butterworth y Legendre, así como dos filtros de Fase Lineal, tres CHEBYCHEV y 12 filtros Elípticos con varios factores de amortiguamiento. Otros tipos de filtros son realizables con el ispPAC80/81 y pueden ser ingresados programando los componentes individualmente.

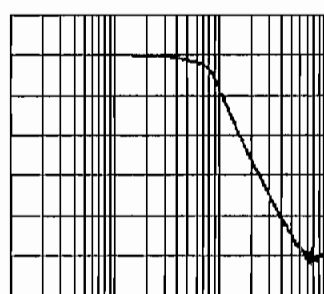
Para simplificar la elección apropiada del tipo de filtro, estos se organizan según el coeficiente de amortiguamiento, desde los valores bajos hasta los más altos. Los valores más bajos son buenos por su respuesta de fase y sus características de retraso de grupo, mientras que para valores elevados del coeficiente de amortiguamiento mejora la amplitud de la respuesta.

El grupo final de filtros utilizan una respuesta mixta (polos y ceros) que favorece una amplitud de respuesta con una pendiente pronunciada con cuatro valores diferentes fuera del margen de rizado, sobre las combinaciones $3f_0/f_s$.

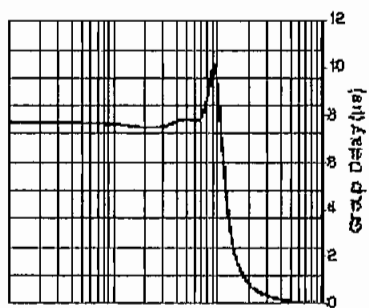
A continuación se muestran las respuestas con un comentario breve sobre las ventajas de cada filtro, seguido por secciones que discuten cada tipo de filtro con más detalle. Estas serían las respuestas de frecuencia teóricas que se deberían obtener con los filtros diseñados dentro del ispPAC.

4.2.1 Respuestas de los filtros a implementar en el ispPAC80/81

4.2.1.1 Filtro Gaussiano:



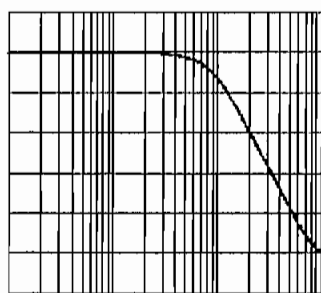
Amplitud



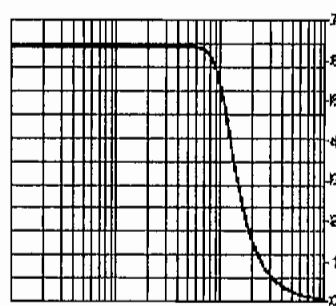
Retraso de Grupo

- Respuesta de fase, muy lineal (pero no perfecta).
- Banda de transición lenta.

4.2.1.2 Filtro de Bessel:



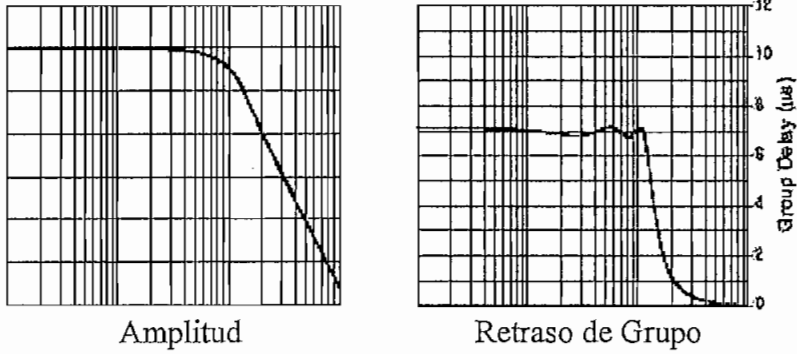
Amplitud



Retraso de Grupo

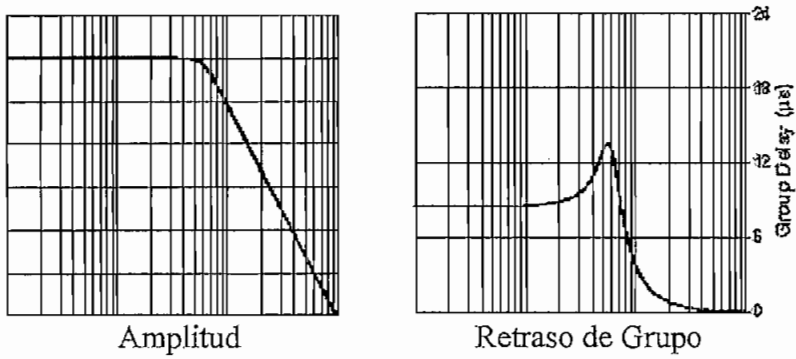
- Perfecta respuesta de fase

4.2.1.3 Filtro Equiripple de Fase Lineal



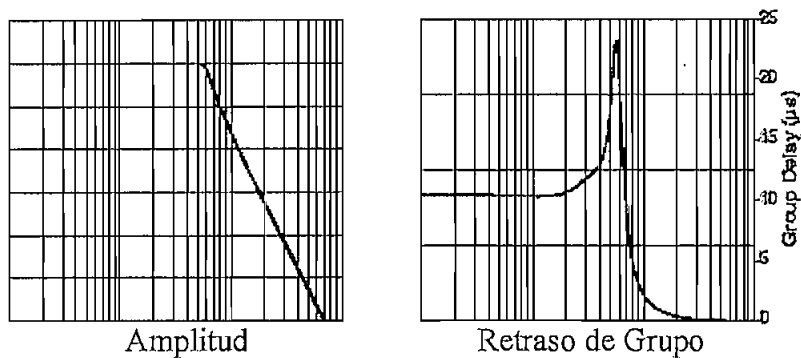
- La banda de fase lineal más ancha que en Bessel

4.2.1.4 Filtro de Butterworth



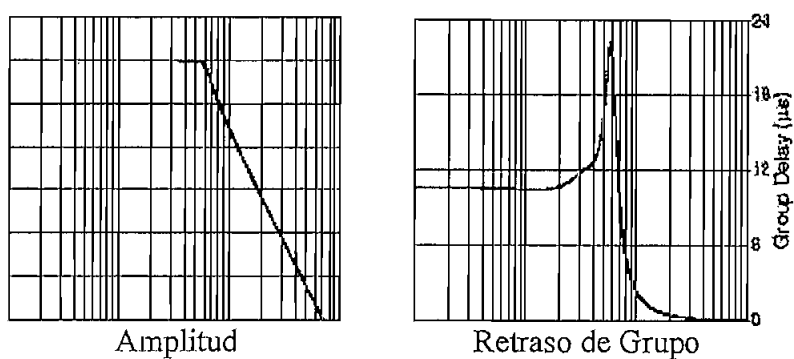
- Máxima amplitud llana (Maximally flat amplitude)

4.2.1.5 Filtro de Chebychev



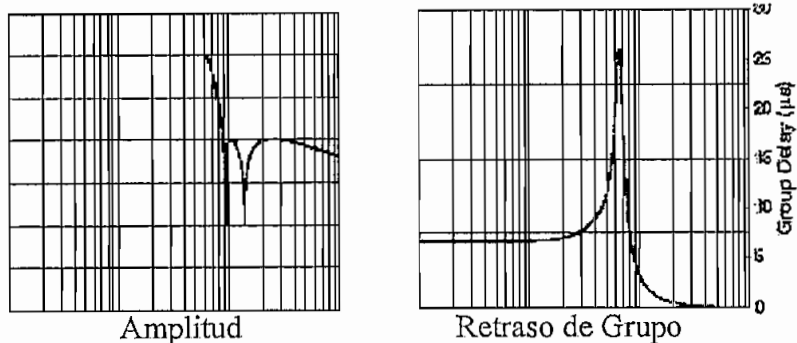
- Rizado igual que en la banda de paso

4.2.1.6 Filtro de Legendre

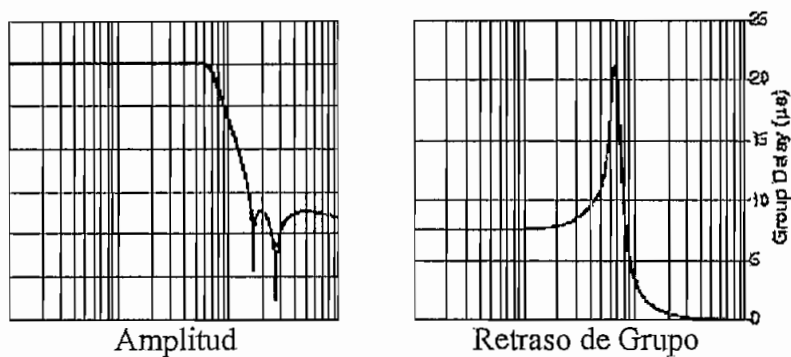


- Mezcla de la banda de paso de Butterworth y la banda de transición de Chebychev.

4.2.1.7 Filtro Elíptico



- Banda de paso Equiripple y banda suprimida, relación entre 0.1dB y 1.3



- Banda de paso Equiripple y banda suprimida, relación entre 0.1dB y 2.7

La lista de filtros en este capítulo intenta servir al usuario como punto de partida.

El PAC-Designer permite simular la respuesta de dos filtros diferentes, el usuario puede comparar los varios diseños para ver qué combinación presenta los mejores beneficios para un proyecto dado.

La base de datos de filtros del ispPAC80/81 ofrece cuatro opciones para la respuesta de fase, más varias opciones para la respuesta de amplitud, incluyendo 12 opciones para respuesta de amplitud elevada (Elíptico).

También tiene la habilidad para modelar y simular más de estas opciones si se requiere una respuesta diferente. De entre éstos, debe haber un filtro de respuesta excelente para casi todas las combinaciones de parámetros del filtro.

4.3 PROGRAMACION DE FILTROS EN EL PAC-DESIGNER

Una vez analizadas de manera general todas las características que presentan los filtros de quinto orden que pueden ser programados en el ispPAC80/81, enseguida se abordan las especificaciones a ser empleadas en los filtros que se programarán en el chip, y de los cuales se examinará la respuesta de fase y amplitud, con el objeto de comprobar que las respuestas señaladas en la sección anterior, son las que se obtienen del ispPAC80/81 por intermedio del módulo de desarrollo.

El rango de frecuencia para el diseño de los filtros pasa bajos de quinto orden en el ispPAC80/81 es amplio (50 – 750KHz); sin embargo este intervalo no es único, debido a que se especifican límites para cada uno de los filtros que se pueden descargar, de ahí que se han escogido varias frecuencias que permitirán analizar las respuestas que brindan cada tipo de filtro de acuerdo a una frecuencia y ganancia específica.

Para la programación de los filtros, se deben ajustar los parámetros definidos en el software para una adecuada configuración, esto es, la frecuencia de corte y la ganancia que se espera a la salida. Una vez establecidas estas condiciones se procede a la simulación y descarga de la configuración al dispositivo, para efectuar las pruebas y obtener los resultados.

Para la configuración, de los diferentes filtros se han escogido cuatro frecuencias de corte:

- 50 KHz
- 350 KHz
- 550 KHz
- 750 KHz

Para cada una de las ganancias 1, 2, 5, 10, y de acuerdo a los límites de frecuencia de cada filtro que establece el PAC-Designer y que se indican en la Tabla 4.3.

Tabla 4.3 Intervalos de frecuencia para programación de filtros en el PAC-Designer

FILTROS	FRECUENCIA DE CORTE	
	Frecuencia Mínima [KHz]	Frecuencia Máxima [KHz]
Bessel	49.87	297.08
Fase Lineal 1	50.00	298.42
Fase Lineal 2	50.00	304.59
Gauss	49.97	301.47
Butterworth	54.03	752.01
Legendre	50.01	488.38
Chebyshev	50.00	500.00
Elíptico	55.65	575.19

La programación que se desarrollará en el PAC-Designer, es para dos filtros de prueba, el Filtro de Butterworth, debido a la gran característica de respuesta que presenta así como también el amplio rango de frecuencia de corte con el que cuenta; y, los filtros elípticos que, como se indicó en uno de los capítulos anteriores, dispone de una gran cantidad de parámetros fácilmente medibles.

Una vez que se han definido los filtros a ser diseñados, se inicia la programación de acuerdo a los lineamientos que se detallan a continuación, luego que se estima que hasta este punto ya se conocen las características y funcionalidades del software sin embargo, más adelante se explican con mayor detalle:

1. Del menú File, opción New, se selecciona el dispositivo; para este caso en particular:
ispPAC80 5th Order LP Filter 50-750 KHz
2. Escogido el dispositivo, se inicia la ventana de esquematización, para cargar los filtros.
3. Haciendo uso del mouse o de la barra de menús, se abre la ventana de configuración de filtros.
4. De la ventana de configuración de filtros se selecciona el tipo de filtro y la frecuencia de corte que previamente se ha establecido.
5. Una vez que se identifica el filtro, con doble clic sobre este o mediante la barra de menú, se invoca la ventana de copia de filtro, en donde se seleccionará el slot de memoria A o B para posteriormente la descarga del filtro.
6. Se regresa a la ventana de esquematización (ventana principal), cerrando la ventana de configuración de filtros; con el objetivo de verificar que el filtro elegido está ya ubicado en el slot de memoria seleccionado.
7. Se configuran los bits UES, para resguardar la información una vez que se descargue al dispositivo.
8. A continuación se realiza la simulación, para verificar que la respuesta de amplitud y de fase sean las correctas.

9. Se guarda la configuración en un archivo definido de extensión *.pac, para futuros cambios en el diseño o nuevas aplicaciones.
10. Tanto la respuesta de fase como la de amplitud y los datos de la simulación, se imprimen para realizar comparaciones con las lecturas de los instrumentos de medida que se emplearán para la verificación del funcionamiento del filtro en el chip mediante los elementos de comprobación que contiene el Módulo de Desarrollo.
11. Se procede a descargar la configuración del filtro al módulo de desarrollo, empleando las opciones presentes en la barra de menú.
12. Se realiza un UPLOAD del módulo de desarrollo al PAC-Designer para garantizar que la descarga a sido efectiva y que la configuración es la estipulada por el usuario.
13. Inmediatamente se obtienen lecturas con los instrumentos de medida pertinentes, osciloscopio y espectrómetro.
14. Se comprueban los datos reales con los simulados; y se certifica la aplicabilidad y funcionamiento del ispPAC80/81, mediante el módulo de desarrollo.

Una vez que se han listado los pasos a seguir para la programación del dispositivo, enseguida se detallan las configuraciones de prueba seleccionadas para la implementación en el módulo de desarrollo.

4.3.1 Programación del Filtro de Butterworth en el ispPAC

Para la programación del filtro de Butterworth se emplearán las frecuencias de corte que se listaron anteriormente y que son parte del rango de operación que proporciona el PAC-Designer.

Por facilidad de interpretación, se definirán las frecuencias de corte como f_{c_n} , siendo n el número de frecuencia de prueba, tal como se muestra a continuación:

- $f_{c1} = 50$ KHz
- $f_{c2} = 350$ KHz
- $f_{c3} = 550$ KHz
- $f_{c4} = 750$ KHz

Para iniciar la implementación del filtro de Butterworth dentro del PAC-Designer se selecciona la opción NEW del menú File de la barra de menús, lo cual conlleva a la aparición de la ventana de selección del dispositivo para un nuevo esquemático, tal como se muestra en la Figura 4.19. Esta ventana permite seleccionar el dispositivo a emplear, en este caso el ispPAC80.

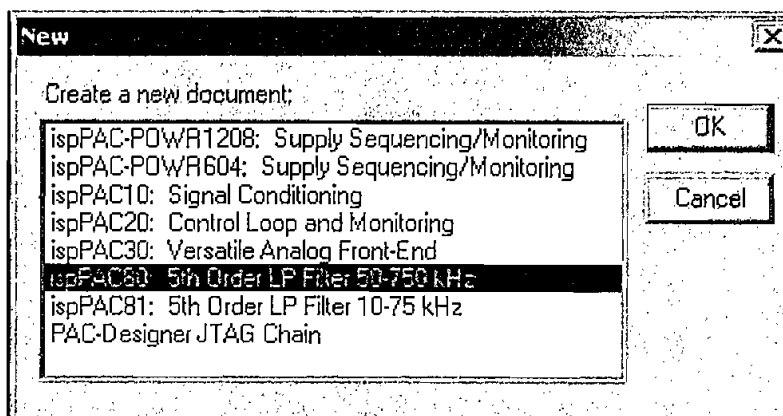


Figura 4.19 Ventana de selección de dispositivo para un nuevo esquemático

Una vez seleccionado el dispositivo a emplearse para el diseño, se despliega la ventana de esquematización que se ilustra en la Figura 4.20

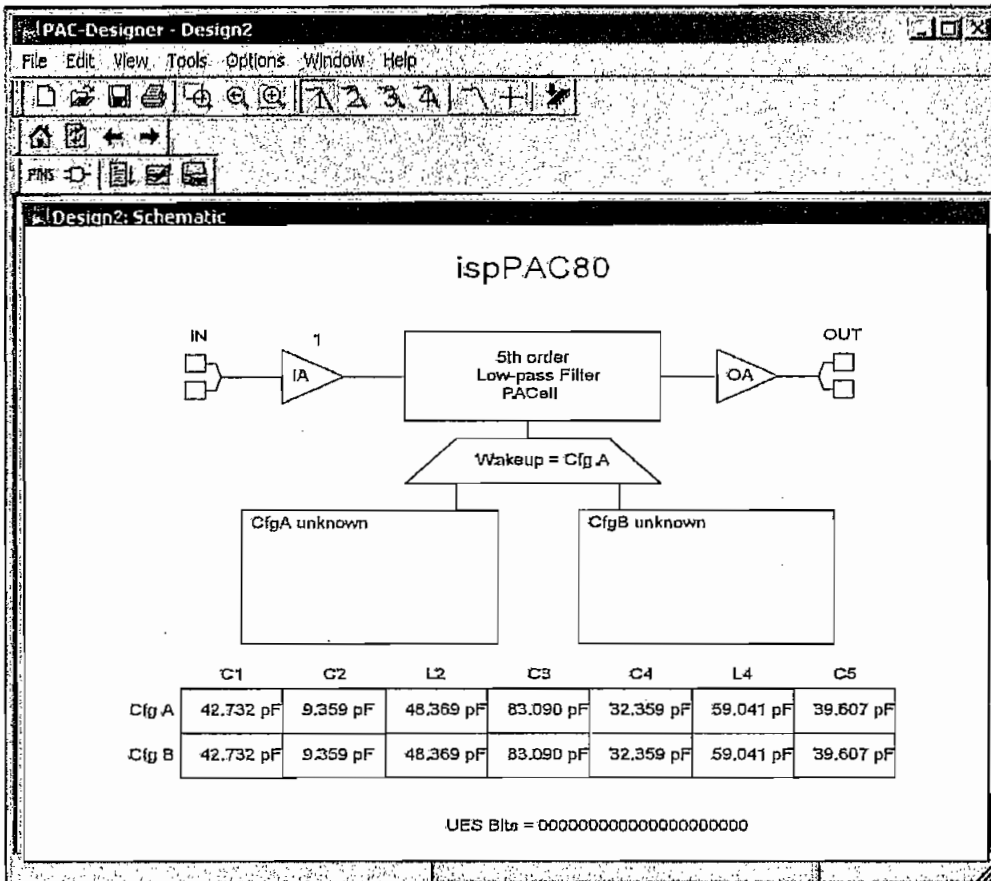


Figura 4.20 Ventana de esquematización

La ventana de esquematización inicial presenta en su contenido:

La entrada al filtro (IN), el elemento amplificador (IA) que al iniciarse adopta una ganancia unitaria, el bloque de filtrado, el elemento de salida (OA); y la salida del filtro (OUT); a continuación, se aprecia el mux que permite adoptar una configuración como predeterminada; seguidamente aparecen vacíos los bloques de configuración, y finalmente se presentan los valores de capacitancia y los bits UES que serán configurados por el usuario.

A continuación se inicia el proceso de elección del filtro, para este caso en particular se seleccionará el filtro de Butterworth, cuya frecuencia de corte es de 50KHz. Para este efecto se invoca a la ventana de configuración de filtro, empleando el mouse (doble clic en el esquemático sobre CnfgA o CnfgB) o la barra de menú (Tools> Design Utilities > ispPAC80 Filter Configurations). De inmediato aparecerá la ventana de configuración de filtros, de donde se selecciona el filtro requerido, en este caso el filtro de Butterworth, con ID # 1058 y frecuencia de corte de 54.03KHz, que es la que más se aproxima a la que se planteó para las pruebas.

Este procedimiento se repite las veces que sean necesarias para las diferentes configuraciones de prueba.

The screenshot shows the 'Filter Configurations' window in the ispPAC Designer software. The window title is 'ispPAC Designer [Design]: Filter Configurations'. The menu bar includes 'File', 'Edit', 'View', 'Tools', 'Options', 'Window', and 'Help'. Below the menu bar is a toolbar with various icons for file operations and design utilities. The main area contains a table with the following columns: ID, FilterType, Cut Off Fc = -3dB, Gain @ 2X Fc, Gain @ 10X Fc, MaxVn, C1, C2, C3, C4, C5. The table lists 20 filter configurations, with ID 1058 highlighted in bold. The filter types are primarily Butterworth, with the first three being Gaussian.

ID	FilterType	Cut Off Fc = -3dB	Gain @ 2X Fc	Gain @ 10X Fc	MaxVn	C1	C2	C3	C4	C5
1055	Gaussian	294.45kHz	-18.96dB	-94.42dB	6.00	2.428pF	0.000pF	4.485pF	5.910pF	0.000pF
1056	Gaussian	298.66kHz	-19.56dB	-94.90dB	6.00	2.428pF	0.000pF	4.485pF	5.910pF	0.000pF
1057	Gaussian	301.47kHz	-18.57dB	-94.43dB	6.00	2.428pF	0.000pF	4.485pF	5.734pF	0.000pF
1058	Butterworth	54.50kHz	-30.08dB	-99.96dB	6.00	18.047pF	0.000pF	47.283pF	58.384pF	0.000pF
1059	Butterworth	55.03kHz	-30.15dB	-100.06dB	6.00	17.886pF	0.000pF	46.835pF	57.866pF	0.000pF
1060	Butterworth	55.50kHz	-30.11dB	-100.00dB	6.00	17.721pF	0.000pF	46.404pF	57.311pF	0.000pF
1061	Butterworth	55.88kHz	-30.06dB	-99.93dB	6.00	17.565pF	0.000pF	46.004pF	56.912pF	0.000pF
1062	Butterworth	56.26kHz	-30.16dB	-100.07dB	6.00	17.409pF	0.000pF	45.577pF	56.338pF	0.000pF
1063	Butterworth	56.64kHz	-30.10dB	-99.99dB	6.00	17.260pF	0.000pF	45.234pF	55.883pF	0.000pF
1064	Butterworth	57.02kHz	-30.09dB	-99.97dB	6.00	17.107pF	0.000pF	44.763pF	55.265pF	0.000pF
1065	Butterworth	57.44kHz	-30.07dB	-99.94dB	6.00	16.959pF	0.000pF	44.409pF	55.052pF	0.000pF
1066	Butterworth	57.84kHz	-30.08dB	-99.97dB	6.00	16.815pF	0.000pF	44.066pF	54.534pF	0.000pF
1067	Butterworth	58.24kHz	-30.06dB	-99.93dB	6.00	16.673pF	0.000pF	43.666pF	53.979pF	0.000pF
1068	Butterworth	58.64kHz	-30.10dB	-100.00dB	6.00	16.534pF	0.000pF	43.323pF	53.557pF	0.000pF
1069	Butterworth	59.04kHz	-30.08dB	-99.96dB	6.00	16.394pF	0.000pF	42.875pF	53.039pF	0.000pF
1070	Butterworth	59.44kHz	-30.17dB	-100.09dB	6.00	16.250pF	0.000pF	42.532pF	52.484pF	0.000pF
1071	Butterworth	60.04kHz	-30.07dB	-99.95dB	6.00	16.122pF	0.000pF	42.132pF	52.208pF	0.000pF
1072	Butterworth	61.04kHz	-30.15dB	-100.05dB	6.00	16.004pF	0.000pF	41.916pF	51.753pF	0.000pF
1073	Butterworth	61.51kHz	-30.10dB	-99.99dB	6.00	15.876pF	0.000pF	41.573pF	51.352pF	0.000pF
1074	Butterworth	61.95kHz	-30.17dB	-100.08dB	6.00	15.742pF	0.000pF	41.173pF	50.922pF	0.000pF
1075	Butterworth	62.51kHz	-30.09dB	-99.99dB	6.00	15.614pF	0.000pF	40.830pF	50.580pF	0.000pF
1076	Butterworth	63.01kHz	-30.06dB	-99.93dB	6.00	15.492pF	0.000pF	40.564pF	50.105pF	0.000pF
1077	Butterworth	63.44kHz	-30.10dB	-100.00dB	6.00	15.367pF	0.000pF	40.221pF	49.849pF	0.000pF
1078	Butterworth	63.99kHz	-30.08dB	-99.96dB	6.00	15.252pF	0.000pF	39.915pF	49.275pF	0.000pF
1079	Butterworth	64.52kHz	-30.13dB	-100.03dB	6.00	15.131pF	0.000pF	39.578pF	48.933pF	0.000pF
1080	Butterworth	65.03kHz	-30.09dB	-99.96dB	6.00	15.016pF	0.000pF	39.306pF	48.601pF	0.000pF
1081	Butterworth	65.48kHz	-30.14dB	-100.05dB	6.00	14.910pF	0.000pF	39.053pF	48.202pF	0.000pF
1082	Butterworth	66.01kHz	-30.14dB	-100.05dB	6.00	14.791pF	0.000pF	38.781pF	47.870pF	0.000pF
1083	Butterworth	66.57kHz	-30.12dB	-100.01dB	6.00	14.682pF	0.000pF	38.381pF	47.528pF	0.000pF
1084	Butterworth	67.39kHz	-30.11dB	-100.00dB	6.00	14.572pF	0.000pF	38.138pF	47.252pF	0.000pF
1085	Butterworth	68.01kHz	-30.13dB	-100.03dB	6.00	14.464pF	0.000pF	37.883pF	46.797pF	0.000pF
1086	Butterworth	68.46kHz	-30.11dB	-100.01dB	6.00	14.367pF	0.000pF	37.613pF	46.521pF	0.000pF
1087	Butterworth	69.02kHz	-30.09dB	-99.96dB	6.00	14.259pF	0.000pF	37.301pF	46.176pF	0.000pF
1088	Butterworth	69.50kHz	-30.10dB	-100.00dB	6.00	14.151pF	0.000pF	37.052pF	45.881pF	0.000pF
1089	Butterworth	69.91kHz	-30.09dB	-99.96dB	6.00	14.050pF	0.000pF	36.786pF	45.448pF	0.000pF
1090	Butterworth	70.47kHz	-30.06dB	-99.95dB	6.00	13.951pF	0.000pF	36.604pF	45.150pF	0.000pF
1091	Butterworth	71.08kHz	-30.14dB	-100.05dB	6.00	13.862pF	0.000pF	36.261pF	44.827pF	0.000pF
1092	Butterworth	71.40kHz	-30.10dB	-99.99dB	6.00	13.750pF	0.000pF	35.997pF	44.529pF	0.000pF
1093	Butterworth	71.94kHz	-30.10dB	-100.00dB	6.00	13.657pF	0.000pF	35.727pF	44.272pF	0.000pF
1094	Butterworth	72.42kHz	-30.08dB	-99.97dB	6.00	13.569pF	0.000pF	35.510pF	43.974pF	0.000pF
1095	Butterworth	73.13kHz	-30.11dB	-100.00dB	6.00	13.461pF	0.000pF	35.254pF	43.541pF	0.000pF
1096	Butterworth									

Figura 4.21 Ventana de Configuración del Filtro

Una vez marcada la línea de la lista que contiene el filtro requerido dentro de la base de datos que dispone el PAC-Designer, es necesario direccionar a un slot de memoria. Para ello es necesaria la ventana de copia de filtro que se ilustra en la Figura 4.22, la cual puede ser convocada mediante el ratón (doble clic sobre la línea del filtro deseada) o a través de la barra de menú (Edit > Copy Filter Configuration to schematic...)

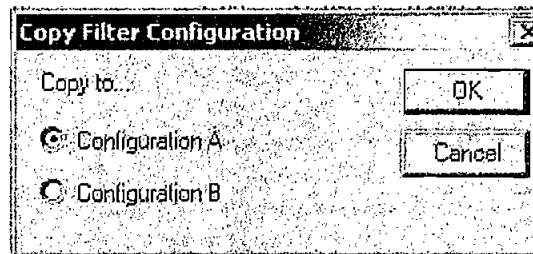


Figura 4.22 Ventana de Copia de Filtro a Esquemático

Una vez que aparece la ventana de copia de filtro, el usuario es libre de seleccionar el slot de memoria que crea conveniente; para este caso en particular se selecciona el slot de configuración A.

Debido a que se pueden configurar dos filtros diferentes dentro del ispPAC80/81, en la configuración B, repitiendo este proceso, se selecciona otra frecuencia de prueba, para realizar las simulaciones.

Se recomienda revisar el esquemático con la finalidad de comprobar que las configuraciones seleccionadas son parte del diseño. Para ello, se cierra la ventana de configuración de filtro y de inmediato se visualizará la ventana de esquemización con los cambios realizados tal como se muestra en la Figura 4.23.

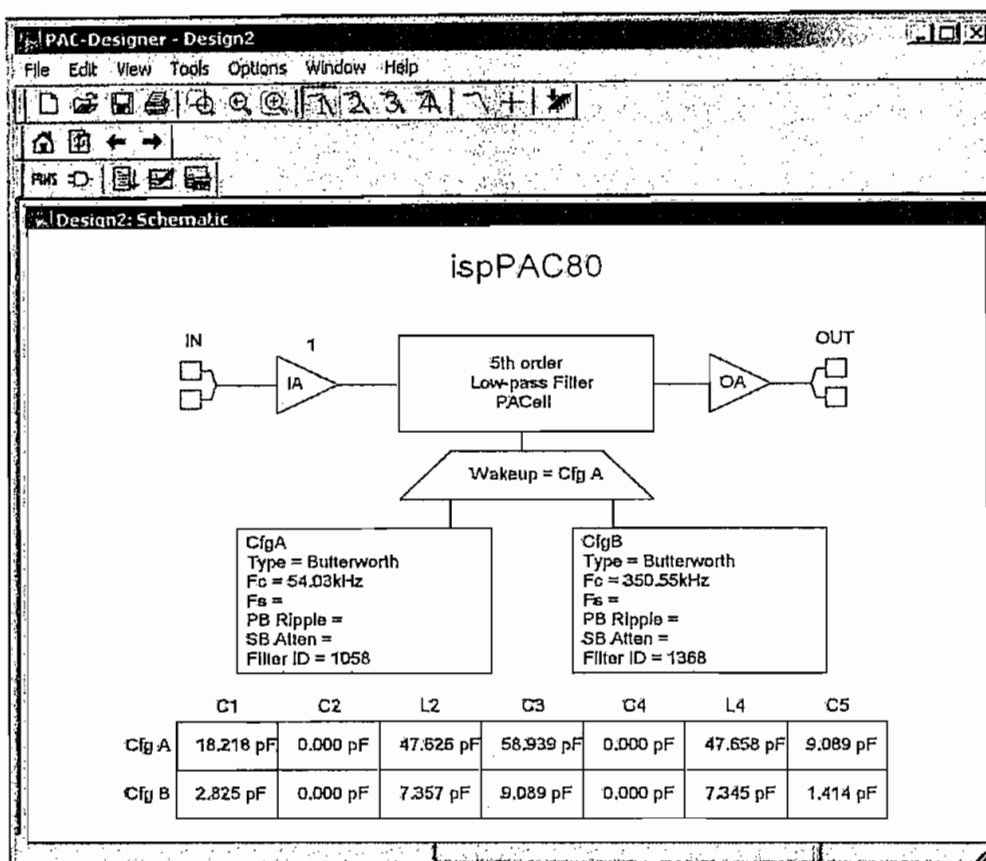


Figura 4.23 Ventana de esquematización con presencia de filtros.

Del esquemático mostrado en la Figura 4.9, se puede advertir:

- Ganancia seleccionada en el IA de 1.
- Bloque de Filtrado de quinto orden.
- La configuración predeterminada (Wakeup), es la confA.
- El slot de confA contiene:
 - Filtro de Butterworth
 - Frecuencia de corte igual a 54.03KHz.
 - Identificador del filtro en la base de datos 1058.
- El slot de Conf.B contiene:
 - Filtro de Butterworth
 - Frecuencia de corte igual a 350.55KHz
 - Identificador del filtro en la base de datos 1368

- Los valores de capacitancia son automáticamente seteados por el software, sin embargo pueden ser modificados por el usuario,
- Los bits UES se mantienen todos en cero, a la espera de la modificación por parte del usuario.

Una vez establecida la implementación del filtro, se puede modificar la ganancia previa a la simulación del mismo a través del cuadro de diálogo de polaridad y ganancia que aparece haciendo doble clic con el ratón sobre la etapa amplificadora (IA) o mediante la barra de menú (Edit > Symbol > Gain > Edit..).

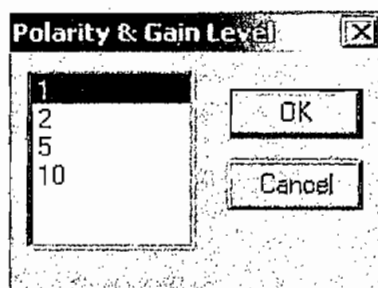



Figura 4.24 Cuadro de diálogo para fijación Ganancia

Modificada o no la ganancia del filtro se procede a realizar las simulaciones de amplitud y fase. Para este efecto basta con invocar a la ventana de simulación a través de la barra de menú (Tools > Run Simulator) o mediante la barra de herramientas (un clic sobre el icono ). Enseguida aparecerán las simulaciones de amplitud y fase para el filtro que se encuentra en el slot de memoria A; sin embargo, como se explicó en el capítulo anterior se puede presentar simultáneamente las curvas activas de los dos filtros, eliminar uno de las dos, etcétera.

Luego de que el filtro de Butterworth ha sido programado, se realiza la simulación, para obtener las respuestas de amplitud y fase.

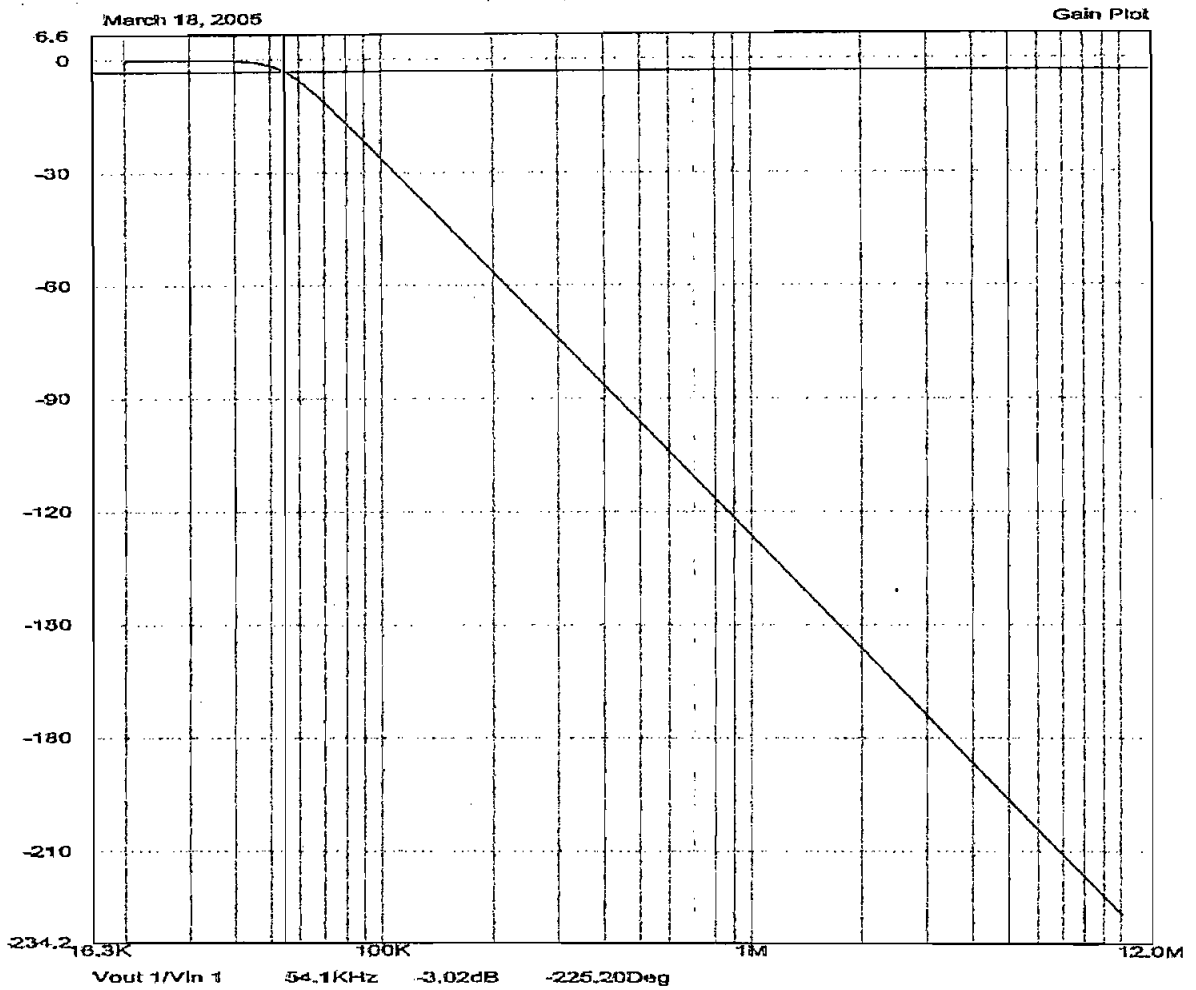


Figura 4.25 Respuesta de amplitud para el filtro de Butterworth con ganancia unitaria y frecuencia de corte de 54.03KHz obtenida en el simulador del PAC-Designer:

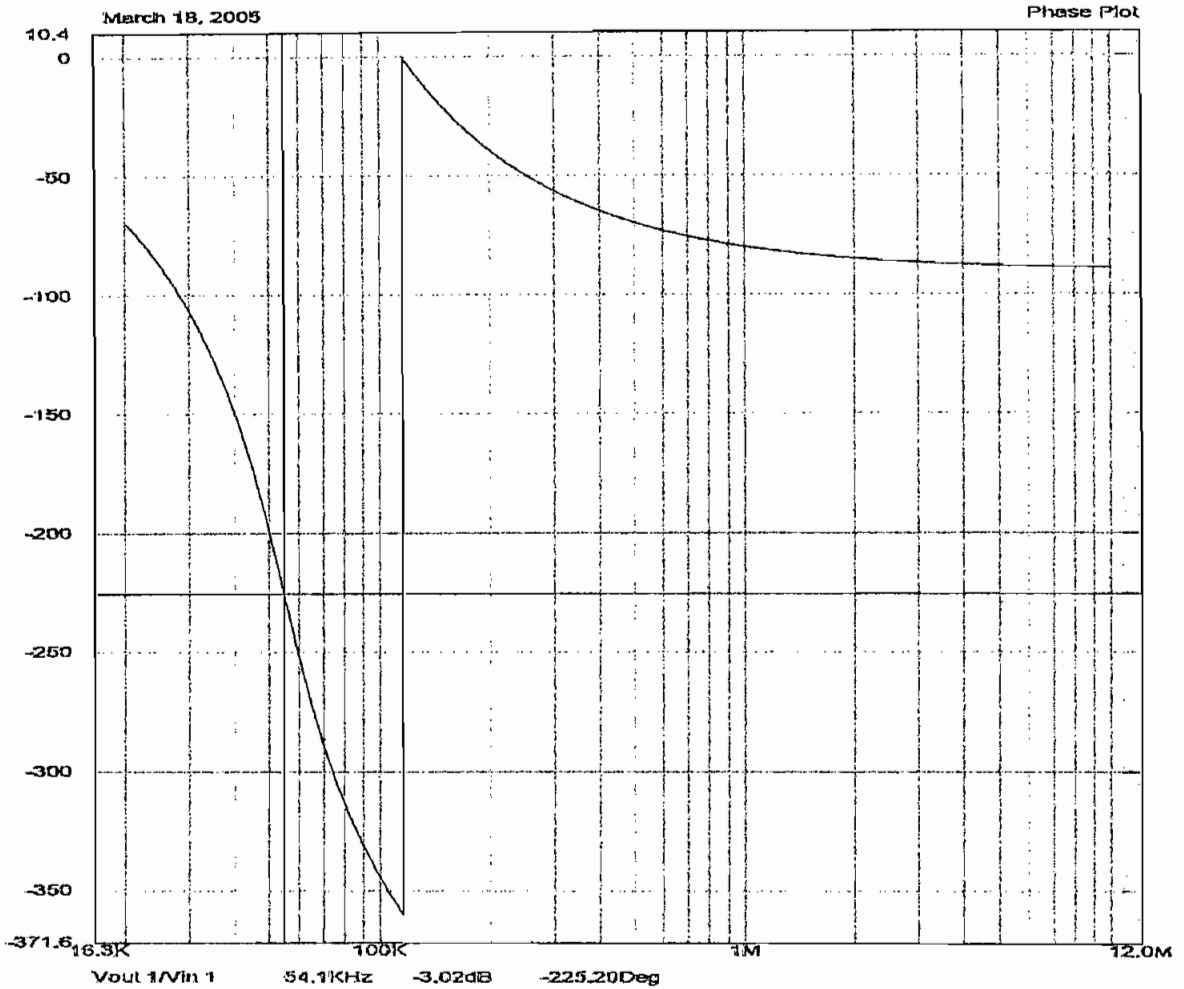


Figura 4.26 Respuesta de fase para el filtro de Butterworth con ganancia unitaria y frecuencia de corte de 54.03KHz obtenida en el simulador del PAC-Designer:

Empleando las frecuencias de corte listadas, y alterando el parámetro de ganancia, la respuesta que presente el filtro será similar a la que se mostró anteriormente, con la única diferencia en que existirá un desplazamiento en la amplitud y en la fase. Sin embargo, se presentan las simulaciones para cada una de las frecuencias, manteniendo ganancia unitaria.

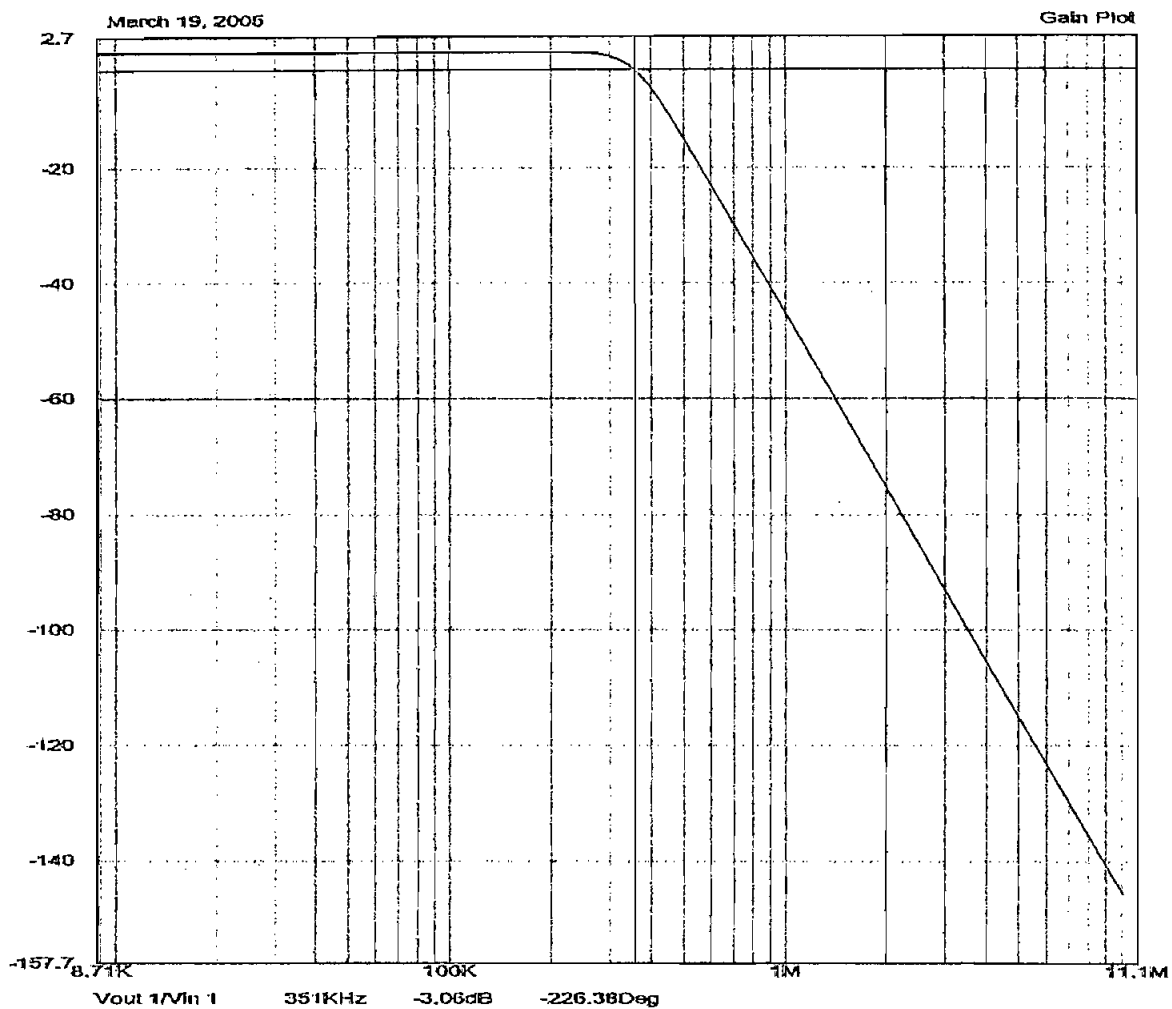


Figura 4.27 Respuesta de amplitud para el filtro de Butterworth con ganancia unitaria y frecuencia de corte de 350.55KHz obtenida en el simulador del PAC-Designer

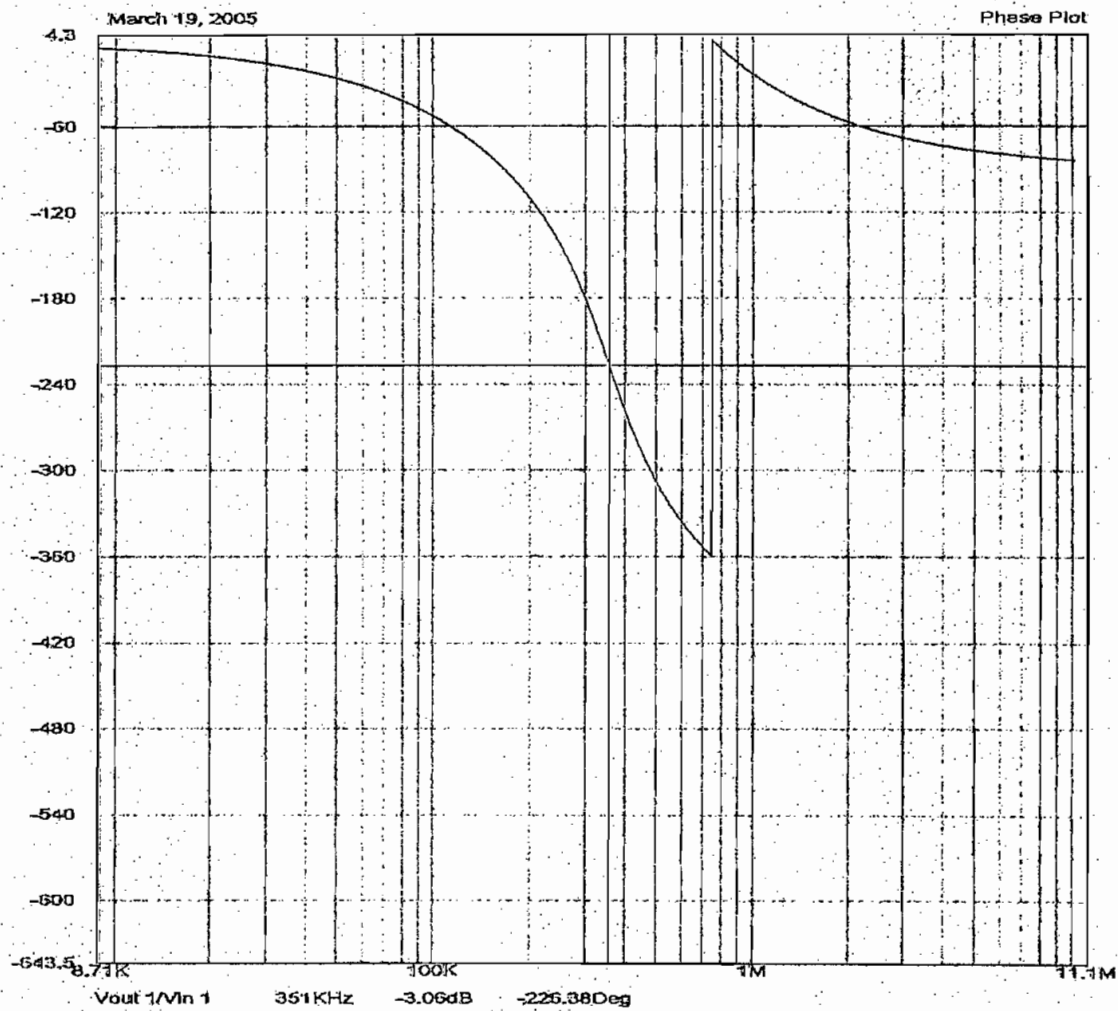


Figura 4.28 Respuesta de fase para el filtro de Butterworth con ganancia unitaria y frecuencia de corte de 350KHz obtenida en el simulador del PAC-Designer:

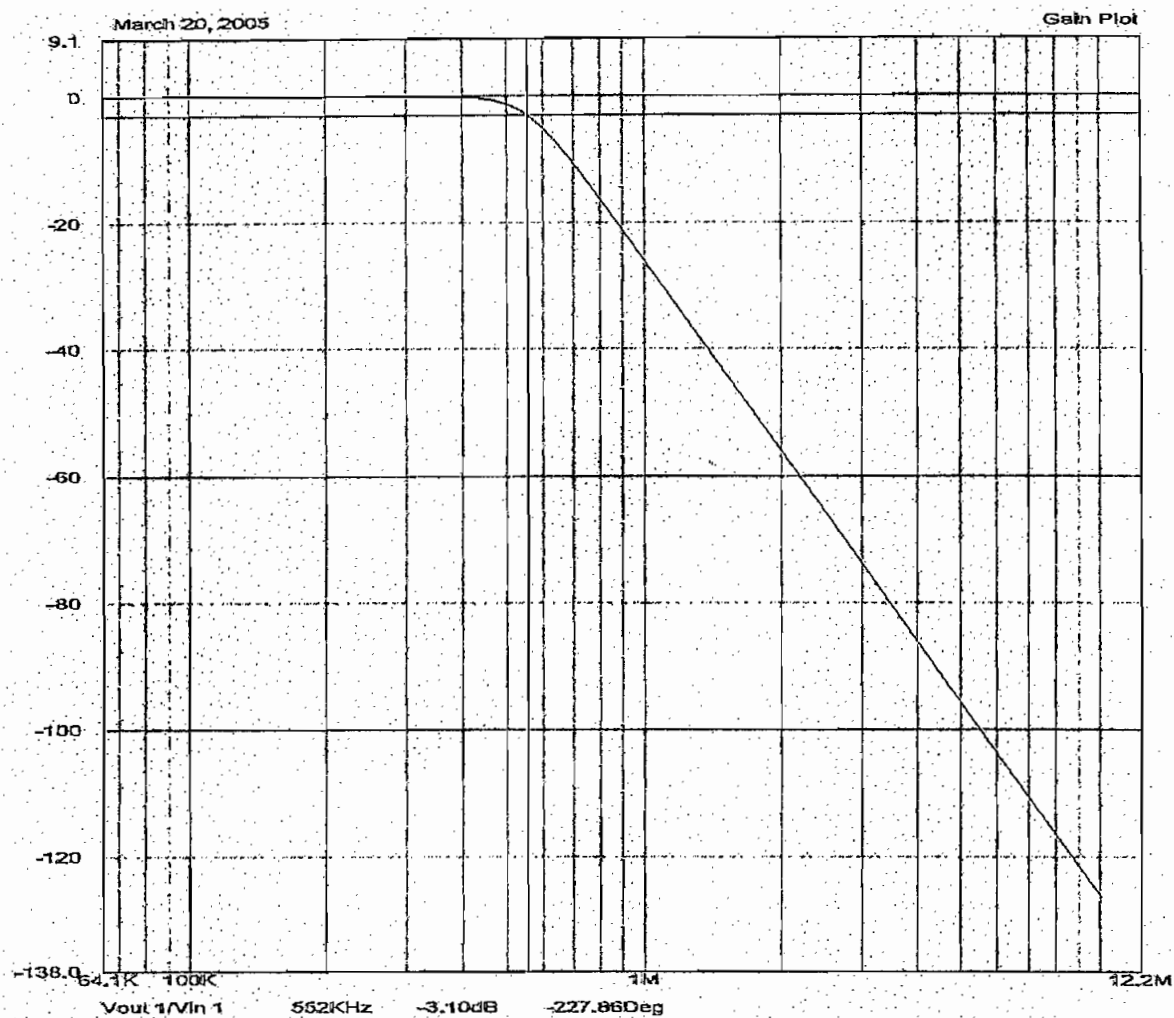


Figura 4.29 Respuesta de amplitud para el filtro de Butterworth con ganancia unitaria y frecuencia de corte de 550KHz obtenida en el simulador del PAC-Designer

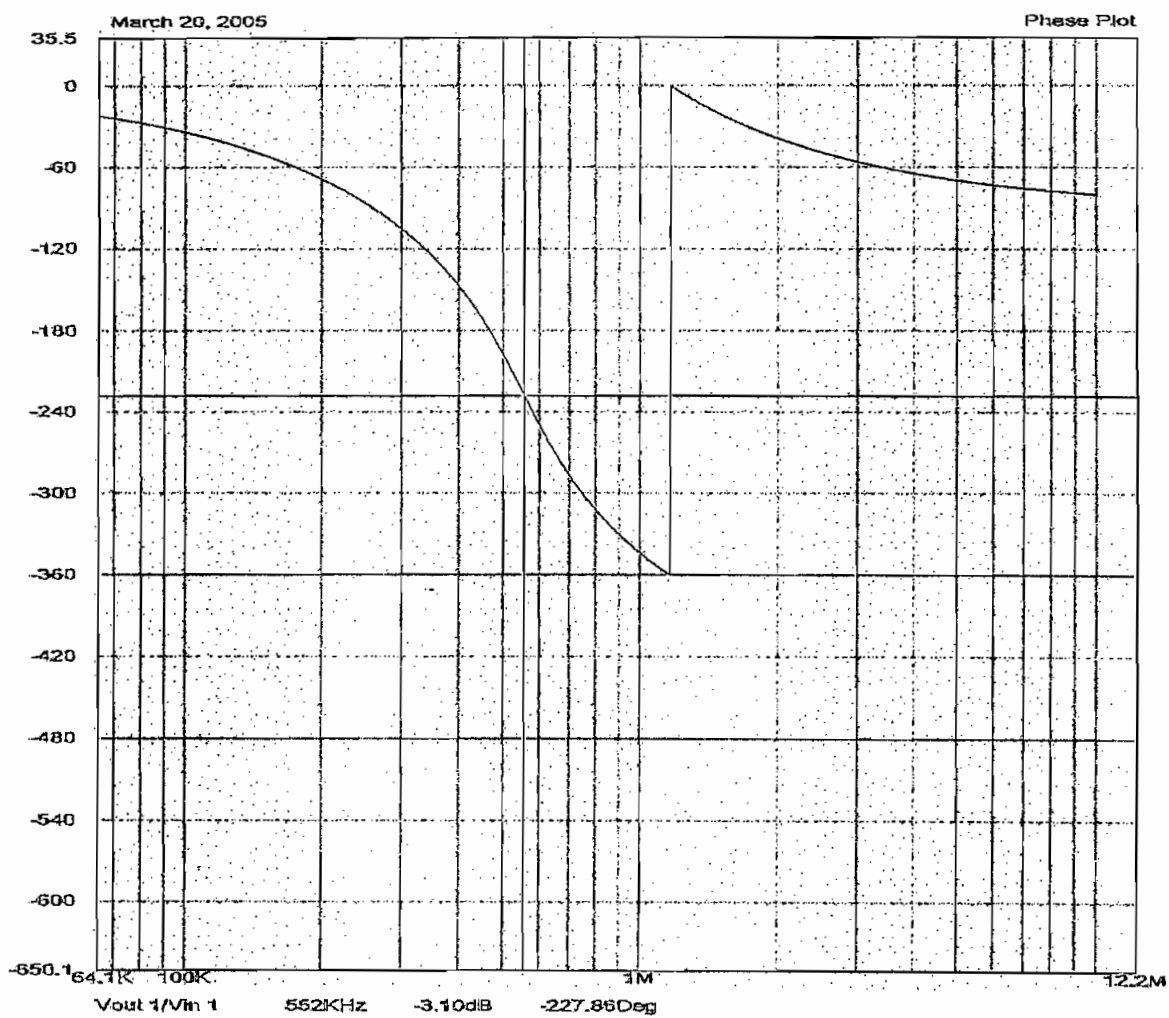


Figura 4.30 Respuesta de frecuencia para el filtro de Butterworth con ganancia unitaria y frecuencia de corte de 550KHz obtenida en el simulador del PAC-Designer

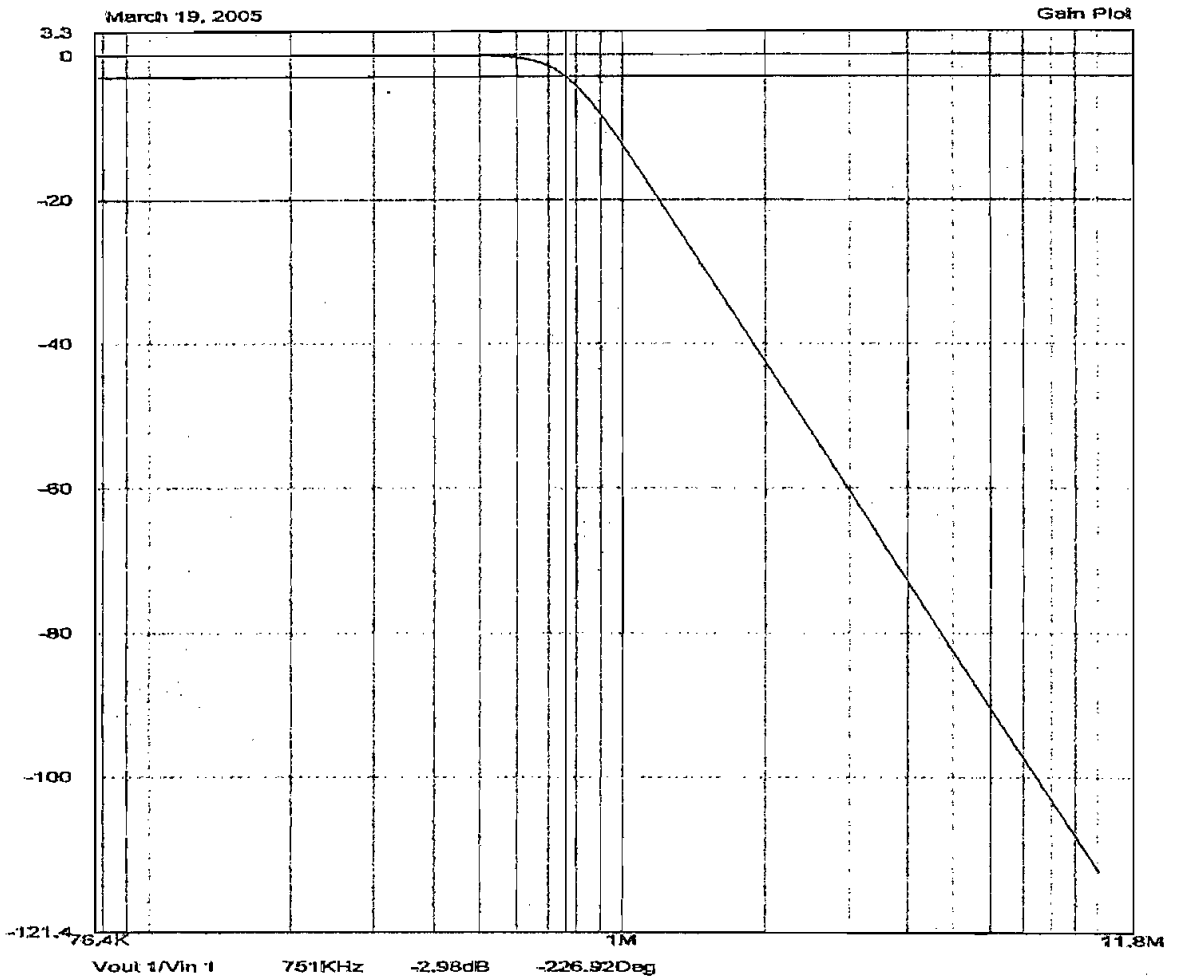


Figura 4.31 Respuesta de amplitud para el filtro de Butterworth con ganancia unitaria y frecuencia de corte de 752.01KHz obtenida en el simulador del PAC-Designer:

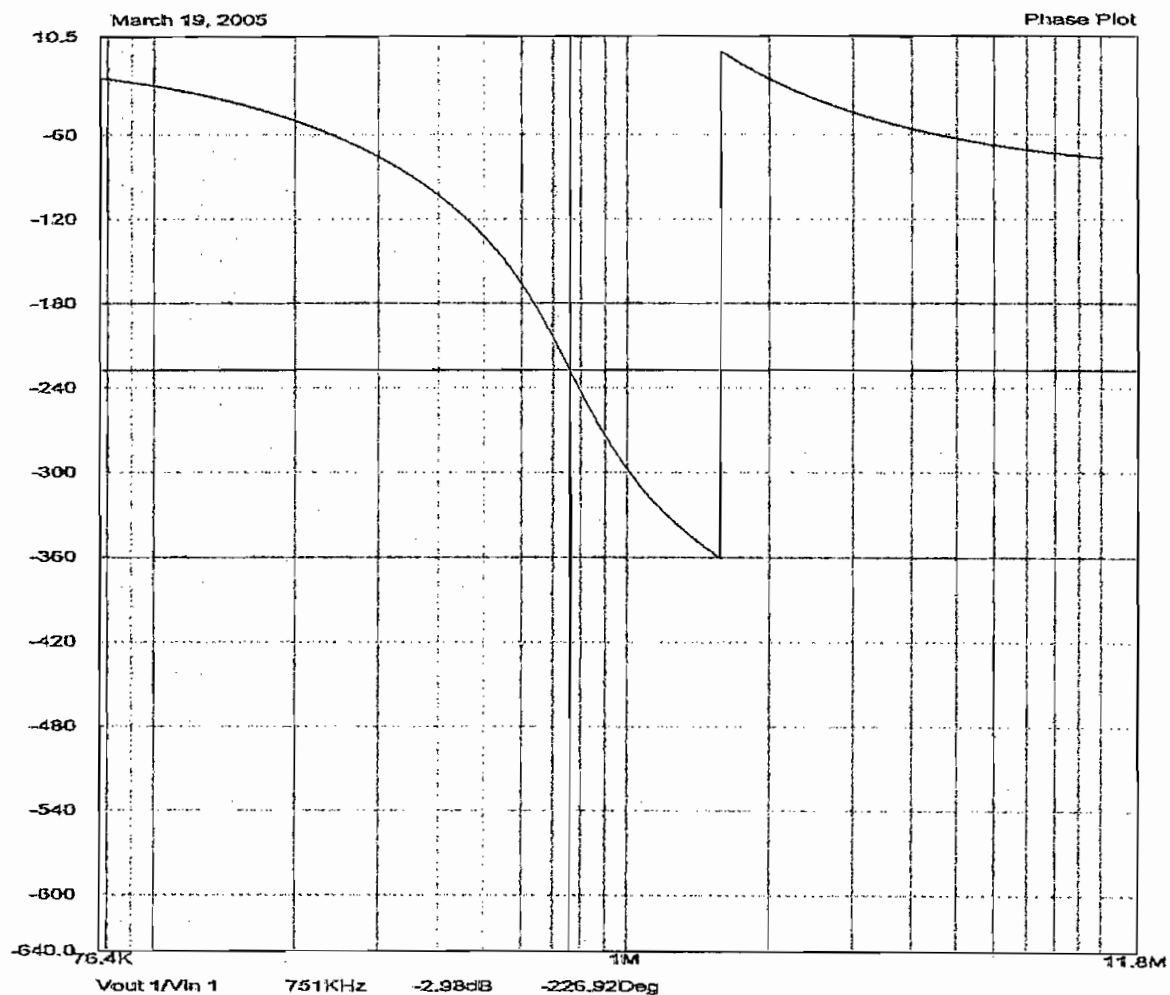



Figura 4.32 Respuesta de fase para el filtro de Butterworth con ganancia unitaria y frecuencia de corte de 752.01KHz obtenida en el simulador del PAC-Designer:

Una vez que los filtros han sido programados, se procede a descargar la información al dispositivo por intermedio del cable de descarga y el módulo de desarrollo.

Finalizada la programación, es necesario conectar el módulo de desarrollo al PC, esto se logra a través del cable de descarga ispDOWNLOAD (puerto paralelo del PC – pórtico de interfaz JTAG) como se mencionó en el primer capítulo.

Realizada la conexión PC/Módulo, desde el PAC-Designer se invoca a la opción de descarga, empleando la barra de menú (Tools > Download) o, mediante la barra de herramientas (icono ).

Alrededor de 5 segundos transcurren mientras se realiza la programación del dispositivo en el módulo. Terminado este proceso, aparece la ventana de verificación (Figura 4.33), que garantiza la descarga.

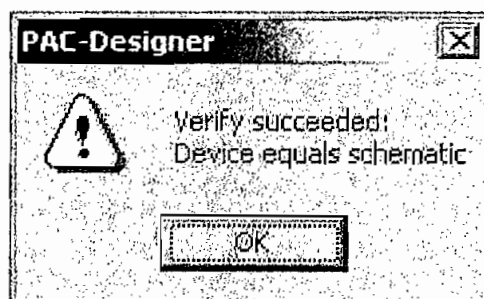


Figura 4.33 Ventana de Verificación de Descarga – Filtro de Butterworth

Realizada la descarga, el proceso de programación concluye.

4.3.2 Programación de Filtros Elípticos en el ispPAC

Para la programación de este tipo de filtros se emplearán las frecuencias de corte, para lo cual se vuelve a usar la notación f_{cn} siendo n el número de frecuencia de prueba, a más de la frecuencia de banda de paso, que dentro de la base de datos presenta una mejor distribución para el escogitamiento de los filtros de prueba.

- $f_{c1} = 50$ KHz
- $f_{c2} = 350$ KHz
- $f_{c3} = 550$ KHz

Luego de la selección del dispositivo a emplear y tener el esquemático listo para iniciar la programación (siguiendo el procedimiento descrito en el filtro de Butterworth), se inicia el proceso de elección del filtro, para este caso en particular se seleccionará el filtro Elíptico, cuya frecuencia de banda de paso es de 50 KHz, y presenta una frecuencia de corte equivalente a 56.23KHz, para este efecto se invoca a la ventana de configuración de filtro, empleando el ratón (doble clic en el esquemático sobre CnfgA o CnfgB) o la barra de menú (Tools> Design Utilities > ispPAC80 Filter Configurations), de inmediato aparecerá la ventana de configuración de filtros, de donde se selecciona el filtro requerido, en este caso el filtro Elíptico, con ID # 3083.

Este proceso se repite las veces que sean necesarias para las diferentes configuraciones de prueba.

ID	Filter Type	Cut Off: Fc = -3db	Gain @ 2 X Fc	Gain @ 10 X Fc	Pass Band Freq. (Fp)	Pass Band Ripple	Stop Band Freq. (Fs)	Stop Band Atten.	Ps/Fp Ratio	MaxVth	CI
3000	Chebyshev	496.53kHz	-46.87dB	-119.46dB	479.89kHz	-0.96dB				6.00	7.01...
3001	Chebyshev	496.14kHz	-46.93dB	-119.51dB	479.93kHz	-1.00dB				6.00	7.08...
3082	Elliptical	55.65kHz	-59.14dB	-60.69dB	49.99kHz	-0.10dB	99.83kHz	-58.74dB	2.00	6.00	36.6...
3004	Elliptical	56.17kHz	-42.12dB	-73.13dB	50.01kHz	-0.10dB	133.54kHz	-72.81dB	2.67	6.00	36.6...
3005	Elliptical	54.69kHz	-46.95dB	-47.51dB	50.02kHz	-0.10dB	74.75kHz	-43.16dB	1.49	6.00	37.4...
3006	Elliptical	58.32kHz	-38.63dB	-69.53dB	50.02kHz	-0.04dB	133.29kHz	-69.17dB	2.66	6.00	31.2...
3007	Elliptical	57.66kHz	-55.39dB	-57.14dB	50.03kHz	-0.04dB	100.05kHz	-55.27dB	2.00	6.00	31.4...
3008	Elliptical	55.14kHz	-46.75dB	-47.49dB	50.10kHz	-0.10dB	75.36kHz	-43.09dB	1.50	6.00	37.1...
3009	Elliptical	56.15kHz	-59.05dB	-60.69dB	50.11kHz	-0.10dB	100.69kHz	-58.70dB	2.00	6.00	36.5...
3090	Elliptical	58.17kHz	-55.25dB	-57.14dB	50.16kHz	-0.04dB	100.89kHz	-55.19dB	2.00	6.00	31.1...
3091	Elliptical	58.91kHz	-38.52dB	-69.52dB	50.17kHz	-0.04dB	134.63kHz	-69.13dB	2.67	6.00	30.9...
3092	Elliptical	56.74kHz	-42.14dB	-73.11dB	50.51kHz	-0.10dB	131.67kHz	-72.73dB	2.67	6.00	36.2...
3093	Elliptical	56.90kHz	-43.54dB	-43.94dB	50.66kHz	-0.04dB	75.65kHz	-39.57dB	1.49	6.00	31.6...
3094	Elliptical	57.28kHz	-43.16dB	-43.88dB	50.92kHz	-0.04dB	76.08kHz	-39.15dB	1.49	6.00	31.4...
3095	Elliptical	58.74kHz	-55.22dB	-57.11dB	50.95kHz	-0.04dB	101.89kHz	-55.21dB	2.00	6.00	30.0...
3096	Elliptical	57.27kHz	-42.11dB	-73.11dB	50.97kHz	-0.10dB	136.11kHz	-72.80dB	2.67	6.00	35.9...
3097	Elliptical	55.73kHz	-46.81dB	-47.48dB	50.99kHz	-0.10dB	76.09kHz	-43.04dB	1.49	6.00	36.7...
3098	Elliptical	56.80kHz	-58.00dB	-60.71dB	51.01kHz	-0.10dB	102.12kHz	-58.85dB	2.00	6.00	30.6...
3099	Elliptical	59.51kHz	-38.63dB	-69.51dB	51.04kHz	-0.04dB	136.01kHz	-69.19dB	2.66	6.00	30.6...
3100	Elliptical	57.81kHz	-42.12dB	-73.10dB	51.46kHz	-0.10dB	137.34kHz	-72.78dB	2.67	6.00	35.5...
3101	Elliptical	56.29kHz	-46.91dB	-47.50dB	51.48kHz	-0.10dB	76.94kHz	-43.15dB	1.49	6.00	36.3...
3102	Elliptical	59.32kHz	-55.49dB	-57.12dB	51.50kHz	-0.04dB	102.90kHz	-55.24dB	2.00	6.00	30.5...
3103	Elliptical	60.11kHz	-38.61dB	-69.51dB	51.54kHz	-0.04dB	137.24kHz	-69.10dB	2.66	6.00	30.3...
3104	Elliptical	57.88kHz	-43.31dB	-43.92dB	51.55kHz	-0.05dB	76.85kHz	-39.17dB	1.49	6.00	31.1...
3105	Elliptical	57.47kHz	-59.21dB	-60.71dB	51.68kHz	-0.10dB	103.20kHz	-58.84dB	2.00	6.00	35.7...
3106	Elliptical	58.33kHz	-42.08dB	-73.04dB	51.89kHz	-0.10dB	138.25kHz	-72.67dB	2.67	6.00	35.2...
3107	Elliptical	59.92kHz	-55.59dB	-57.09dB	52.00kHz	-0.04dB	103.81kHz	-55.14dB	2.00	6.00	30.2...
3108	Elliptical	56.87kHz	-46.81dB	-47.51dB	52.00kHz	-0.10dB	77.69kHz	-43.09dB	1.49	6.00	35.9...
3109	Elliptical	60.69kHz	-38.61dB	-69.54dB	52.04kHz	-0.04dB	138.81kHz	-69.22dB	2.67	6.00	30.0...
3110	Elliptical	58.49kHz	-43.32dB	-43.88dB	52.05kHz	-0.04dB	77.71kHz	-39.53dB	1.49	6.00	30.8...
3111	Elliptical	58.01kHz	-59.35dB	-60.69dB	52.16kHz	-0.10dB	104.10kHz	-58.81dB	2.00	6.00	35.4...
3112	Elliptical	61.22kHz	-38.46dB	-69.52dB	52.13kHz	-0.04dB	140.03kHz	-69.17dB	2.67	6.00	29.7...
3113	Elliptical	58.94kHz	-42.09dB	-73.09dB	52.14kHz	-0.10dB	139.86kHz	-72.69dB	2.67	6.00	34.9...
3114	Elliptical	60.52kHz	-55.09dB	-57.12dB	52.19kHz	-0.04dB	105.05kHz	-55.25dB	2.00	6.00	29.9...
3115	Elliptical	59.66kHz	-43.33dB	-43.90dB	52.54kHz	-0.04dB	78.49kHz	-39.55dB	1.49	6.00	30.5...
3116	Elliptical	57.49kHz	-46.97dB	-47.52dB	52.58kHz	-0.10dB	78.61kHz	-43.17dB	1.49	6.00	35.6...
3117	Elliptical	58.55kHz	-59.07dB	-60.70dB	52.64kHz	-0.10dB	105.17kHz	-58.82dB	2.00	6.00	35.1...
3118	Elliptical	59.49kHz	-42.29dB	-73.00dB	52.99kHz	-0.10dB	140.35kHz	-72.33dB	2.65	6.00	34.5...
3119	Elliptical	61.09kHz	-55.10dB	-57.14dB	53.00kHz	-0.04dB	106.08kHz	-55.28dB	2.00	6.00	29.6...
3120	Elliptical	61.82kHz	-38.61dB	-69.49dB	53.01kHz	-0.04dB	141.04kHz	-69.03dB	2.66	6.00	29.4...

Figura 4.34 Ventana de Configuración de Filtros Elípticos

Una vez marcada la línea de la lista que contiene el filtro requerido dentro de la base de datos que dispone el PAC-Designer, es necesario direccionar a un slot de memoria, para ello es necesaria la ventana de copia de filtro que se ilustra en la Figura 4.35, la cual puede ser convocada mediante el ratón (doble clic sobre la línea del filtro deseada) o a través de la barra de menú (Edit > Copy Filter Configuration to schematic...)

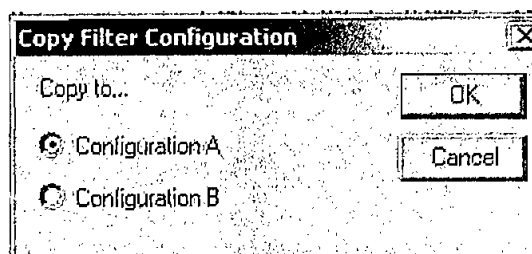


Figura 4.35 Ventana de Copia de Filtro Elíptico a Esquemático

Una vez que aparece la ventana de copia de filtro, el usuario es libre de seleccionar el slot de memoria que crea conveniente; para este caso en particular se selecciona el slot de configuración A.

Debido a que se pueden configurar dos filtros diferentes dentro del ispPAC80/81, en la configuración B, repitiendo este proceso, se selecciona otra frecuencia de prueba, para realizar las simulaciones.

Se recomienda revisar el esquemático con la finalidad de comprobar que las configuraciones seleccionadas son parte del diseño, para ello, se cierra la ventana de configuración de filtro y de inmediato se visualizará la ventana de esquematización con los cambios realizados tal como se muestra en la Figura 4.36.

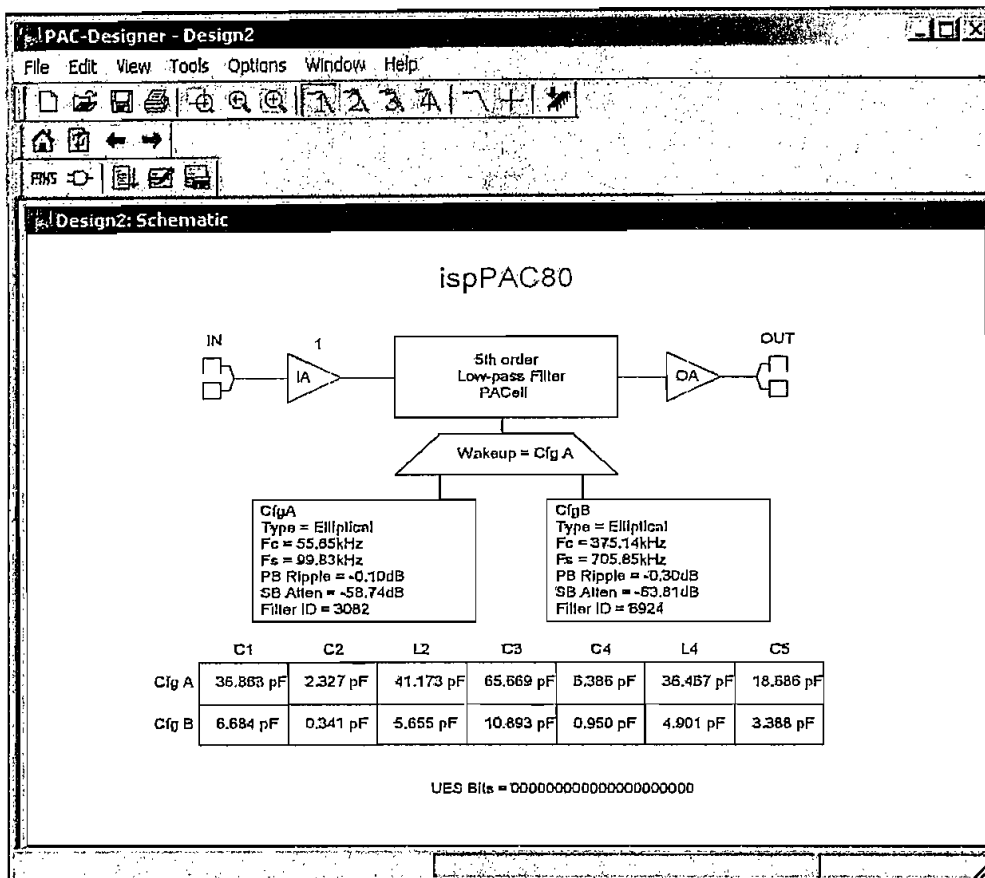


Figura 4.36 Ventana de esquematización con presencia de filtros elípticos.

Del esquemático mostrado en la Figura 4.36, se puede advertir:

- Ganancia seleccionada en el IA de 1.
- Bloque de Filtrado de quinto orden.
- La configuración predeterminada (Wakeup), es la confA.
- El slot de confA contiene:
 - Filtro Elíptico
 - Frecuencia de corte (Fc) igual a 55.65KHz.
 - Frecuencia en la banda de parada (Fs) igual a 99.83KHz
 - Rizado en la Banda de Paso igual a -0.10dB
 - Atenuación en la Banda de parada igual a -58.74dB
 - Identificador en la base de datos 3082.
- El slot de Conf.B contiene:
 - Filtro Elíptico
 - Frecuencia de corte (Fc) igual a 375.14KHz.

- Frecuencia en la banda de parada (F_s) igual a 705.85KHz
- Rizado en la Banda de Paso igual a -0.30dB
- Atenuación en la Banda de parada igual a -63.81dB
- Identificador en la base de datos 6924.
- Los valores de capacitancia son automáticamente seteados por el software, sin embargo pueden ser modificados por el usuario.
- Los bits UES se mantienen todos en cero, a la espera de la modificación por parte del usuario.

Una vez establecida la implementación del filtro, se puede modificar la ganancia previa a la simulación del mismo a través del cuadro de diálogo de polaridad y ganancia que aparece, haciendo doble clic con el ratón sobre la etapa amplificadora (IA) o mediante la barra de menú (Edit > Symbol > Gain > Edit..).

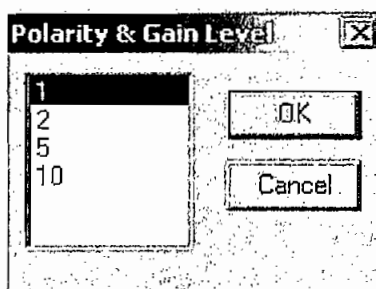



Figura 4.37 Cuadro de diálogo para fijación de Ganancia en los filtros elípticos.

Modificada o no la ganancia del filtro se procede a realizar las simulaciones de amplitud y fase, para este efecto basta con invocar a la ventana de simulación a través de la barra de menú (Tools > Run Simulator) o mediante la barra de herramientas (un clic sobre el icono ).

Luego de que el filtro Elíptico ha sido programado, se realiza la simulación, para obtener las respuestas de amplitud y fase. Igualmente que en la simulación de los filtros de Butterworth, se presenta las respuestas de amplitud y fase para las diferentes frecuencias de prueba manteniendo ganancia unitaria.

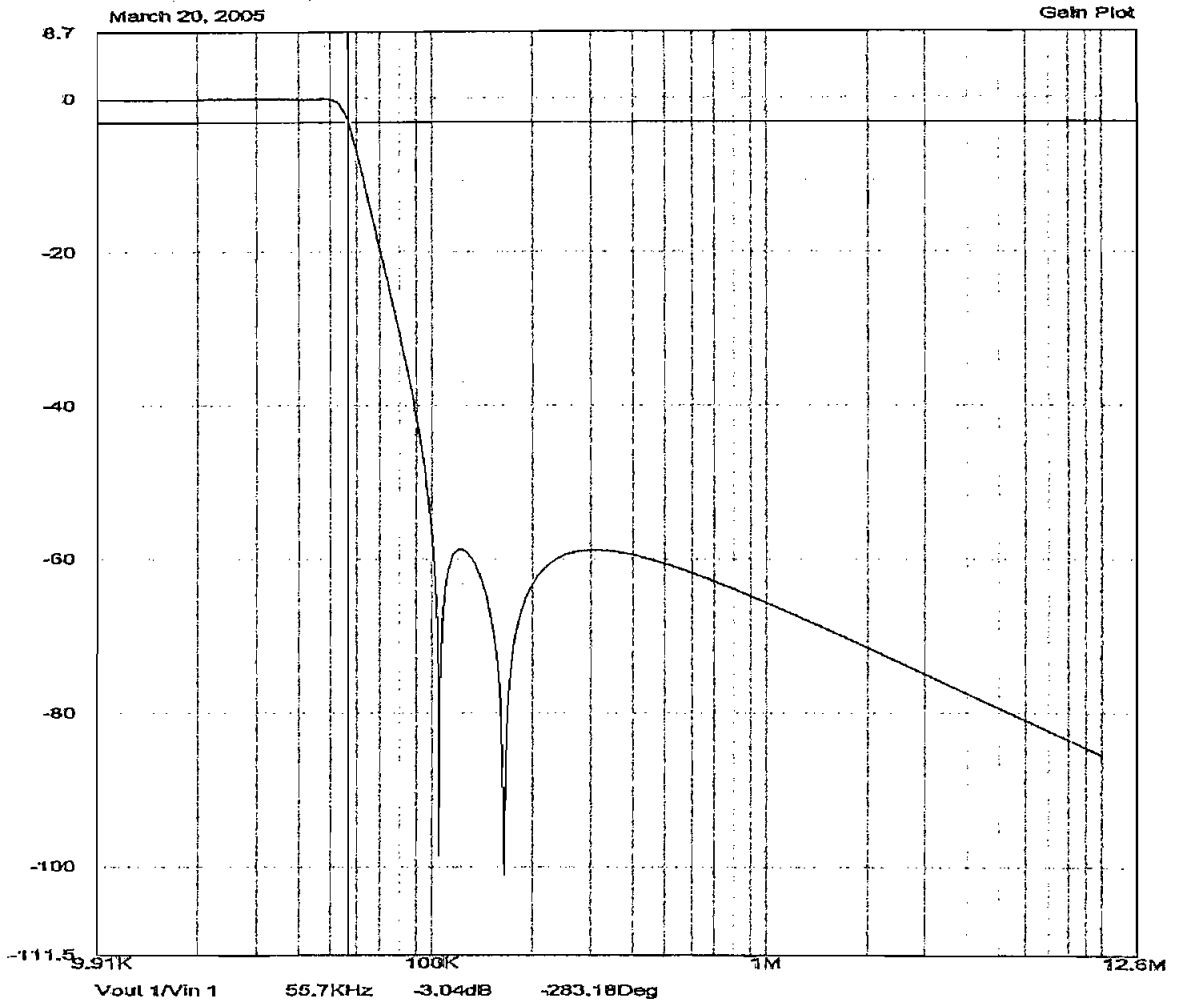


Figura 4.38 Respuesta de amplitud para el filtro Elíptico con ganancia unitaria, frecuencia de banda de paso de 50.00KHz y frecuencia de corte equivalente a 56.23KHz obtenida en el simulador del PAC-Designer

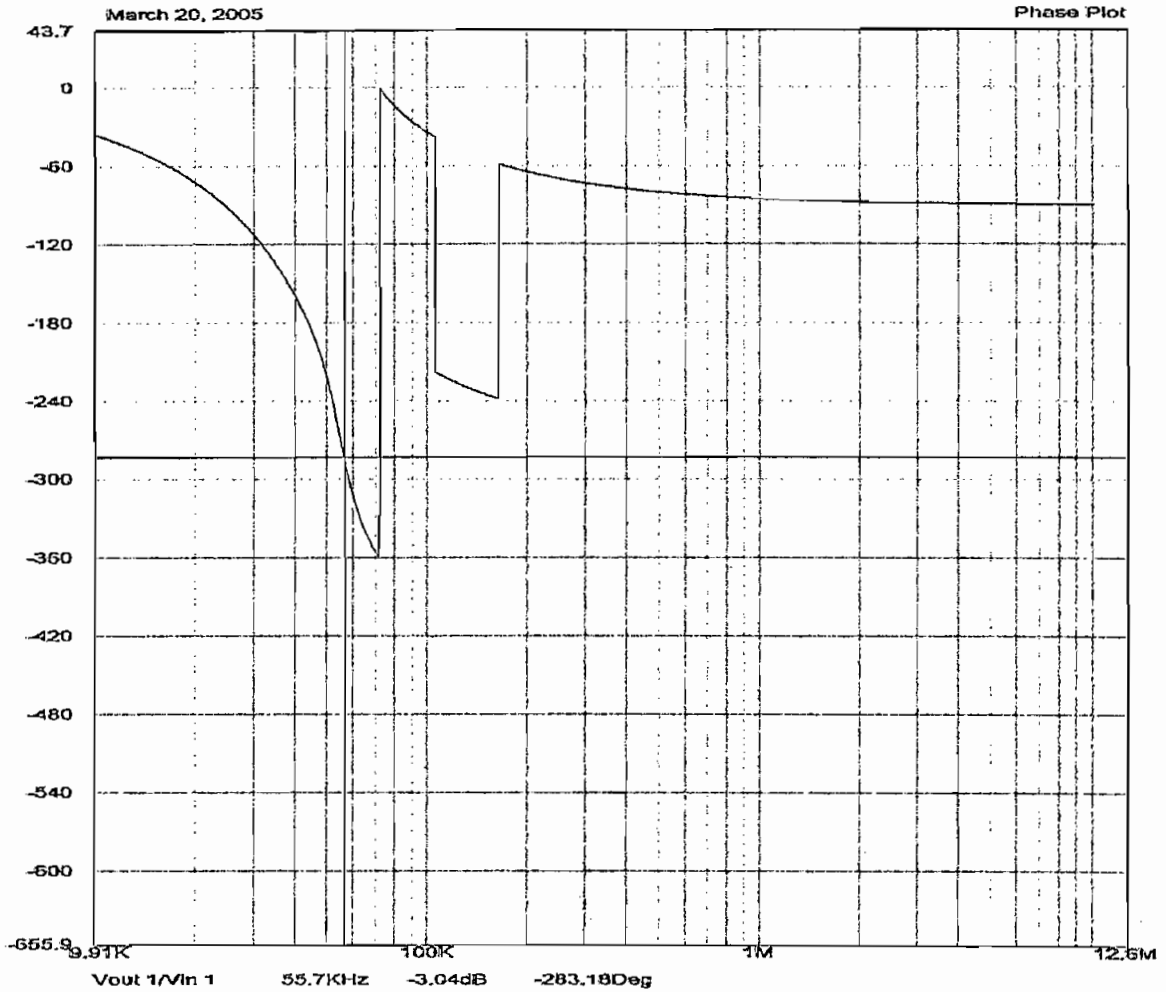


Figura 4.39 Respuesta de fase para el filtro Elíptico con ganancia unitaria, frecuencia de banda de paso de 50.00KHz y frecuencia de corte equivalente a 56.23KHz obtenida en el simulador del PAC-Designer.

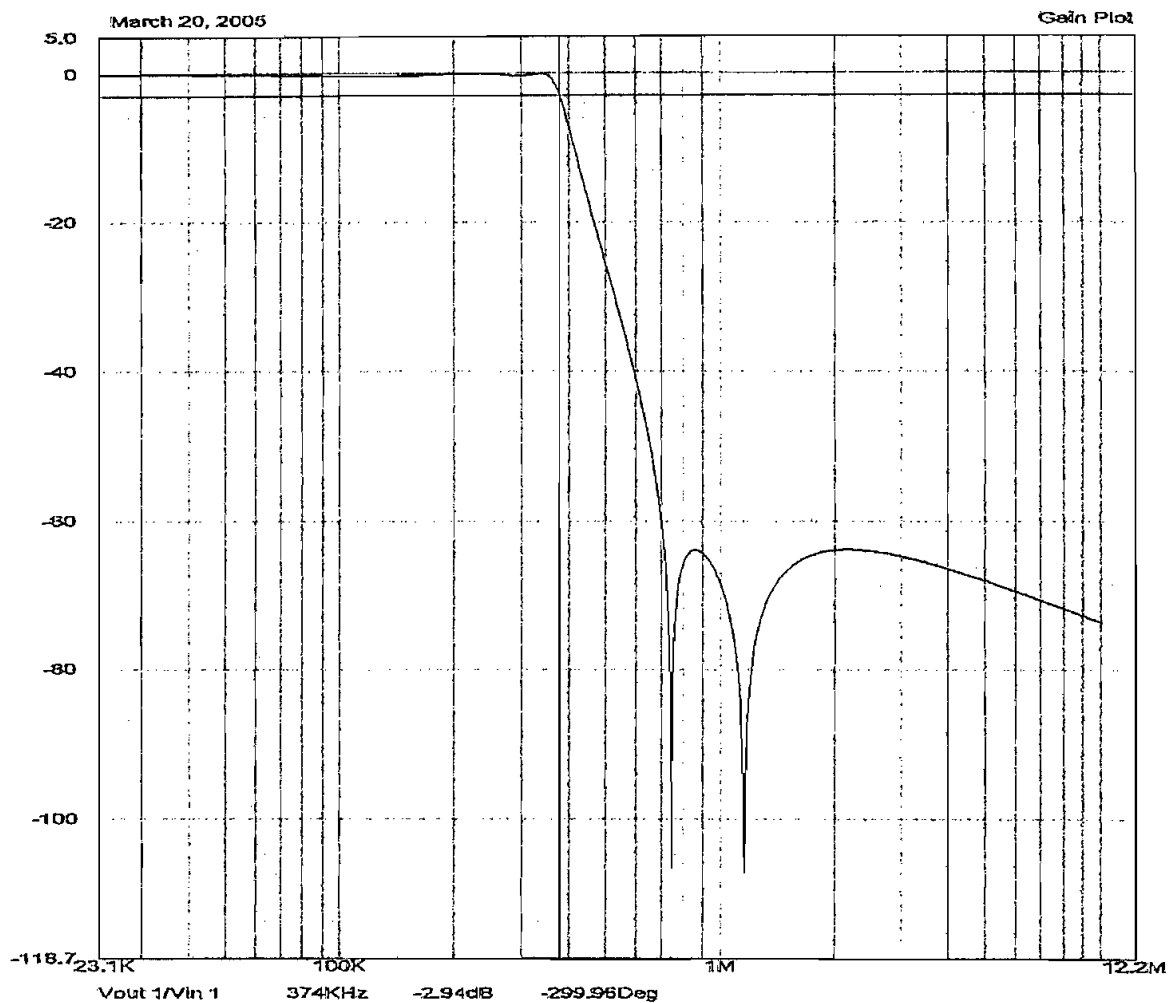


Figura 4.40 Respuesta de amplitud para el filtro Elíptico con ganancia unitaria, frecuencia de banda de paso de 350.28KHz y frecuencia de corte equivalente a 375.14KHz obtenida en el simulador del PAC-Designer.

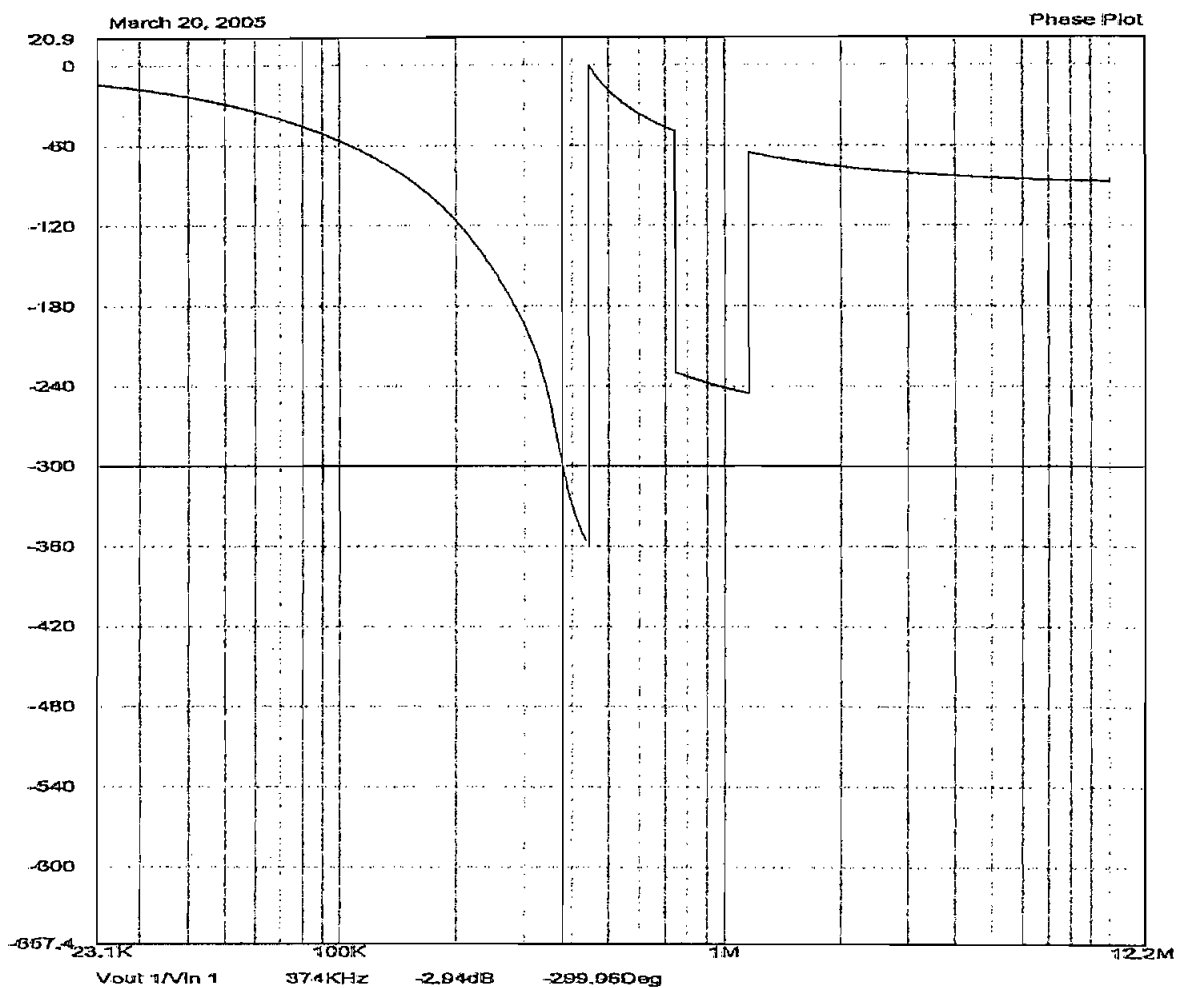


Figura 4.41 Respuesta de fase para el filtro Elíptico con ganancia unitaria, frecuencia de banda de paso de 350.28KHz y frecuencia de corte equivalente a 375.14KHz obtenida en el simulador del PAC-Designer.

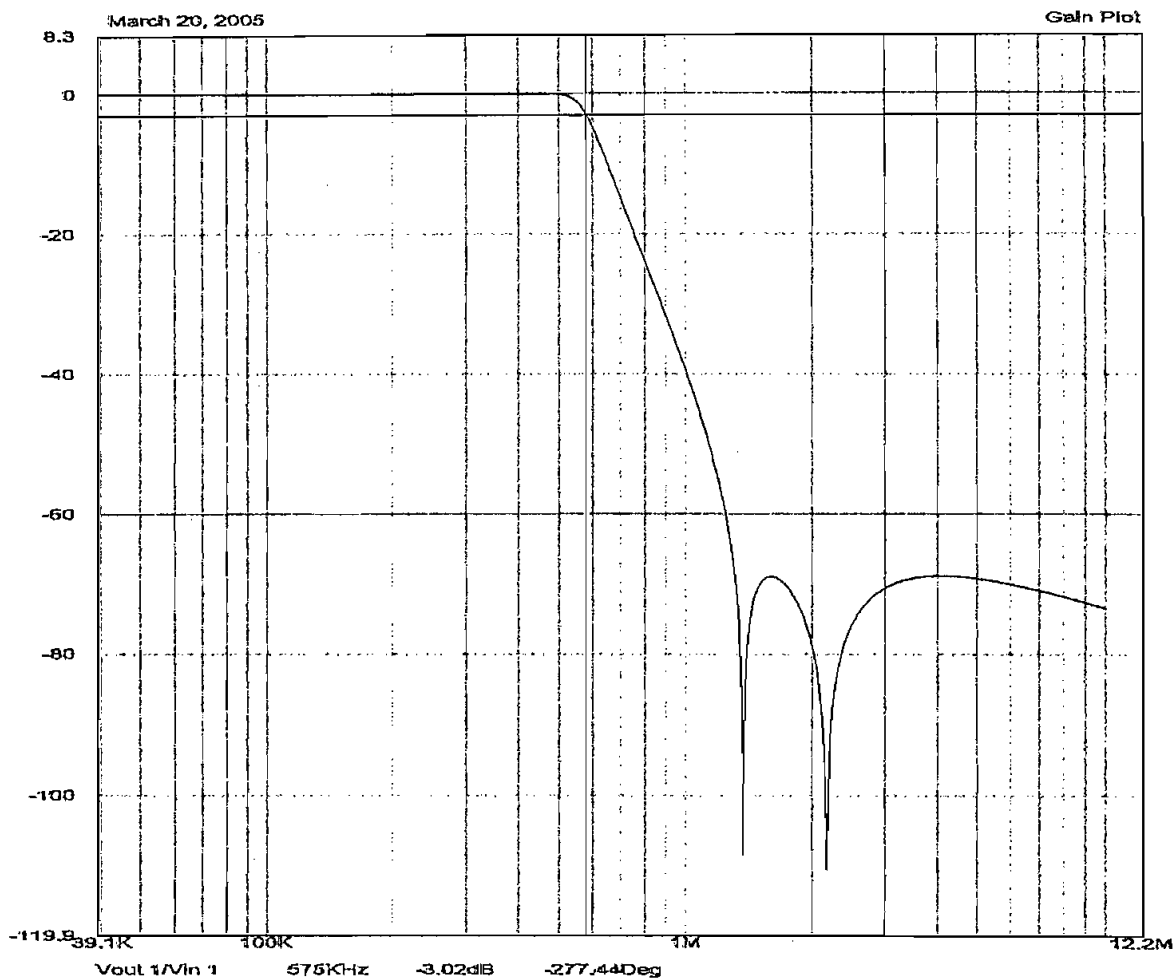


Figura 4.42 Respuesta de amplitud para el filtro Elíptico con ganancia unitaria, frecuencia de banda de paso de 500 KHz y frecuencia de corte equivalente a 575.19KHz obtenida en el simulador del PAC-Designer.

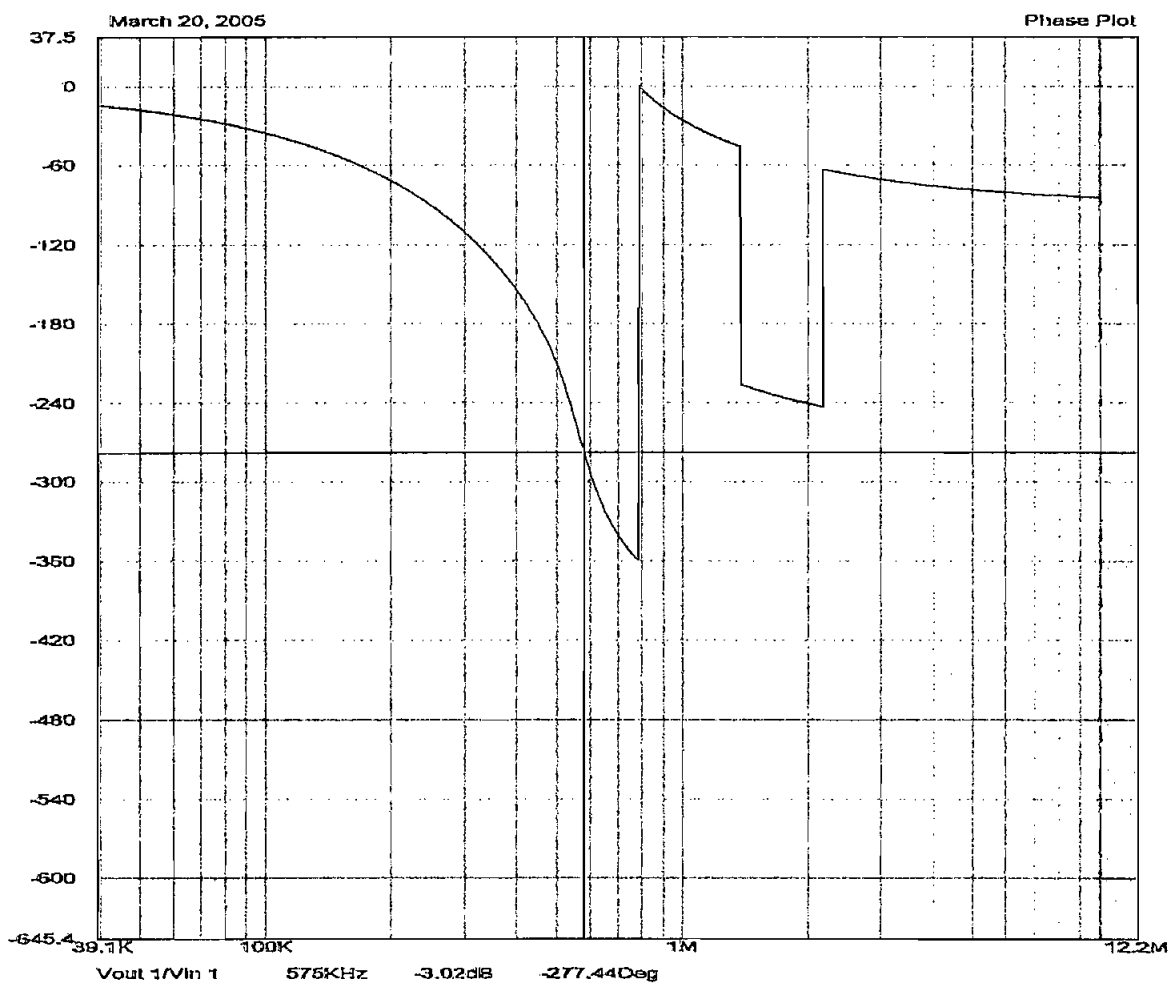



Figura 4.43 Respuesta de fase para el filtro Elíptico con ganancia unitaria y frecuencia de banda de paso de 500.00KHz obtenida en el simulador del PAC-Designer.

Finalizada la programación de los filtros elípticos, es necesario conectar el módulo de desarrollo al PC con el objeto de descargar el filtro programado al dispositivo.

Realizada la conexión PC/Módulo, desde el PAC-Designer se invoca a la opción de descarga, empleando la barra de menú (Tools > Download) o, mediante la barra de herramientas (ícono ).

Cinco segundos transcurren mientras se realiza la programación del dispositivo en el módulo, terminado este proceso, aparece la ventana de verificación (Figura 4.44), que garantiza la descarga.

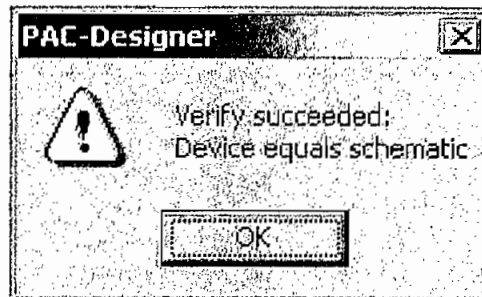


Figura 4.44 Ventana de Verificación de Descarga de Filtros Elípticos.

Realizada la descarga, el proceso de programación concluye.

Las simulaciones de los filtros diseñados presentan una respuesta de amplitud y fase que en comparación con los filtros teóricos, satisfacen los conceptos y ratifican la versatilidad que disponen los chips ispPAC para el desarrollo de aplicaciones analógicas.

En el siguiente capítulo se detallan los datos reales obtenidos de los filtros programados mediante lecturas de voltaje y frecuencia en el osciloscopio, y se establece el análisis de resultados, con las simulaciones presentadas para los filtros de Butterworth y Elípticos de este capítulo.

CAPÍTULO 5

ANÁLISIS DE PRUEBAS Y RESULTADOS

Luego de que los filtros han sido programados y descargados en el módulo de desarrollo, se inicia el proceso de obtención de datos, y presentación de resultados; una vez que se han obtenido las simulaciones, y se han efectuado las mediciones con los instrumentos adecuados.

Las pruebas se desarrollaron en el Laboratorio de Electrónica Básica de la E.P.N (Figura 5.1), haciendo empleo de los materiales e instrumentos disponibles, facilitando y garantizando un óptimo desempeño; además, se presentan fotografías del módulo de desarrollo en los anexos de este proyecto de titulación.

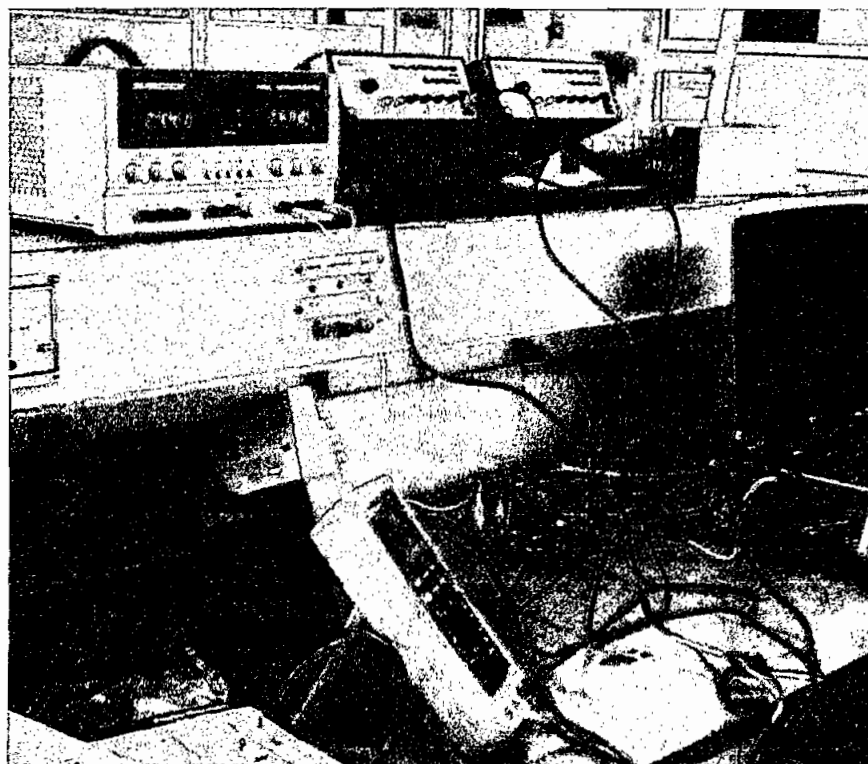


Figura 5.1 Pruebas desarrolladas en el Laboratorio de Electrónica Básica de la E.P.N

El proceso realizado para la obtención de los valores de las frecuencias de corte para cada uno de los filtros de prueba, se describe a continuación:

Posterior a la programación del filtro, se polariza el módulo de desarrollo ($V_s = 5V$) y se descargan las configuraciones a través del cable ispDOWNLOAD.

Una de las entradas diferenciales (V_{IN+}) es sometida a la acción del nivel de voltaje adecuado (según las especificaciones del filtro descargado) mediante un generador de señales con frecuencia variable para realizar el muestreo de la señal; V_{IN-} se mantiene bajo la acción del V_{REFOUT} ($2,5V_{DC}$) a través del Jumper (J2); la señal a ser monitoreada es el V_{IN} sometido a una de las entradas diferenciales y el voltaje de salida diferencial presente en las pines 13 y 14 (OUT_+ y OUT_-).

De esta manera se obtienen las lecturas pertinentes para el posterior cálculo de ganancia, y desarrollar la curva ganancia vs frecuencia para realizar las comparaciones y análisis de resultados.

5.1 FILTRO DE BUTTERWORTH

La frecuencia de corte planteada es de 50KHz, dentro de la base de datos del PAC-Designer se cuenta con un filtro cuyo valor más cercano al planeado es de 54.03KHz, valor que es sometido para comparación con las pruebas realizadas en el módulo de desarrollo.

La señal de entrada sinusoidal (V_{IN}) empleada para efectuar las mediciones es de 6V, máximo permitido para este filtro, la frecuencia se varía en pasos aleatorios, con el objeto de obtener mayor cantidad de muestras y precisión en los resultados, tal como se muestra en la Tabla 5.1.

Tabla 5.1 Datos obtenidos en el Módulo de Desarrollo (Filtro de Butterworth)

Frecuencia [Hz]	V _{IN} [Vpp]	V _{OUT} [Vpp]	Ganancia $20 \times \log\left(\frac{V_{OUT}}{V_{IN}}\right)$ [dB]
10000	6	5,4	-0,91514981
11000	6	5,4	-0,91514981
12000	6	5,4	-0,91514981
13000	6	5,4	-0,91514981
14000	6	5,4	-0,91514981
15000	6	5,4	-0,91514981
16000	6	5,4	-0,91514981
17000	6	5,4	-0,91514981
18000	6	5,4	-0,91514981
19000	6	5,4	-0,91514981
20000	6	5,4	-0,91514981
24000	6	5,4	-0,91514981
28000	6	5,4	-0,91514981
32000	6	5,4	-0,91514981
36000	6	5,4	-0,91514981
40000	6	5,4	-0,91514981
44000	6	5,4	-0,91514981
48000	6	5,4	-0,91514981
52000	6	5,6	-0,59926447
56000	6	4,16	-3,1811584
60000	6	3,93	-3,675174
70000	6	1,28	-13,4188256
80000	6	1,12	-14,5786646
90000	6	0,72	-18,4163751
100000	6	0,64	-19,4394255
200000	6	0,32	-25,4600254

300000	6	0,18	-30,4575749
400000	6	0,12	-33,9794001
500000	6	0,1	-35,563025

A continuación se realiza la representación gráfica (Bode) de la Ganancia vs. Frecuencia de los datos obtenidos:

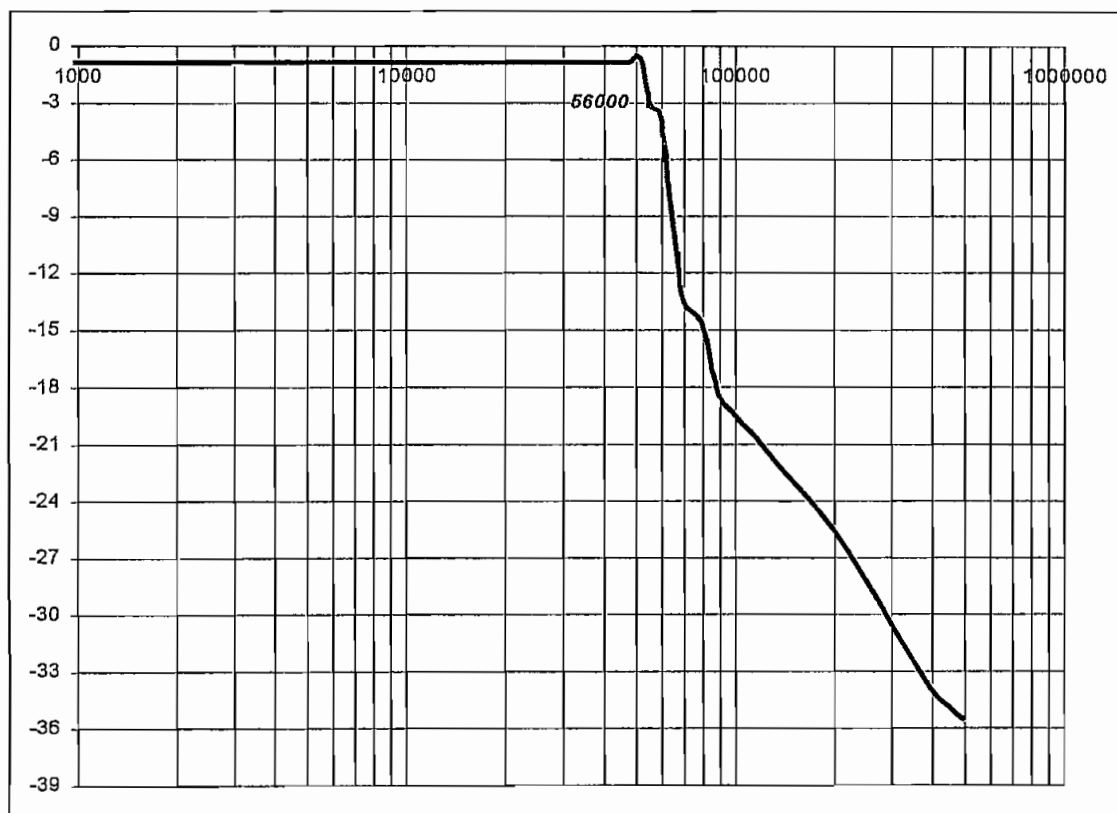


Figura 5.2 Representación de los datos obtenidos para el filtro de Butterworth con ganancia unitaria y frecuencia de corte de 50 kHz.

De los datos medidos y del gráfico se puede apreciar que a -3dB, la frecuencia de corte es equivalente a 56KHz que comparada con la frecuencia de corte de la simulación 54,03KHz, presenta un error, el mismo que se calcula como se describe a continuación:

$$\varepsilon_r = \left| \frac{V_{\text{teorico}} - V_{\text{real}}}{V_{\text{real}}} \right| \times 100$$

$$\varepsilon_r = \left| \frac{54,03\text{kHz} - 56\text{kHz}}{56\text{kHz}} \right| \times 100 = 3,51\%$$

Siguiendo el procedimiento antes indicado, se establecen las comparaciones con las tres frecuencias de corte de prueba restantes $f_{c2} = 350\text{KHz}$, $f_{c3} = 550\text{KHz}$ y $f_{c4} = 750\text{KHz}$, resultados que se muestran en las Tablas 5.2, 5.3 y 5.4 respectivamente.

Tabla 5.2. Datos obtenidos en el Módulo de Desarrollo (Filtro de Butterworth)

Frecuencia [Hz]	V_{IN} [Vpp]	V_{OUT} [Vpp]	Ganancia $20 \times \log\left(\frac{V_{OUT}}{V_{IN}}\right)$ [dB]
15000	6	5,4	-0,915149811
16000	6	5,4	-0,915149811
17000	6	5,4	-0,915149811
18000	6	5,4	-0,915149811
19000	6	5,4	-0,915149811
20000	6	5,4	-0,915149811
24000	6	5,4	-0,915149811
28000	6	5,4	-0,915149811
32000	6	5,4	-0,915149811
36000	6	5,4	-0,915149811
40000	6	5,4	-0,915149811
44000	6	5,4	-0,915149811
48000	6	5,4	-0,915149811
52000	6	5,4	-0,915149811
56000	6	5,4	-0,915149811
60000	6	5,4	-0,915149811
100000	6	5,4	-0,915149811
150000	6	5,4	-0,915149811
200000	6	5,4	-0,915149811
250000	6	5,4	-0,915149811
300000	6	5,4	-0,915149811
350000	6	4,16	-3,181158395
400000	6	3,93	-3,675174

450000	6	1,28	-13,41882561
500000	6	1,12	-14,57866455
550000	6	0,72	-18,41637508
600000	6	0,64	-19,43942553
650000	6	0,32	-25,46002544
700000	6	0,18	-30,45757491
750000	6	0,12	-33,97940009
800000	6	0,1	-35,56302501
850000	6	0,05	-41,58362492
900000	6	0,02	-49,54242509
950000	6	0,01	-55,56302501
1000000	6	0,0092	-56,28726846

Representación gráfica de los datos obtenidos (Diagrama de Bode):

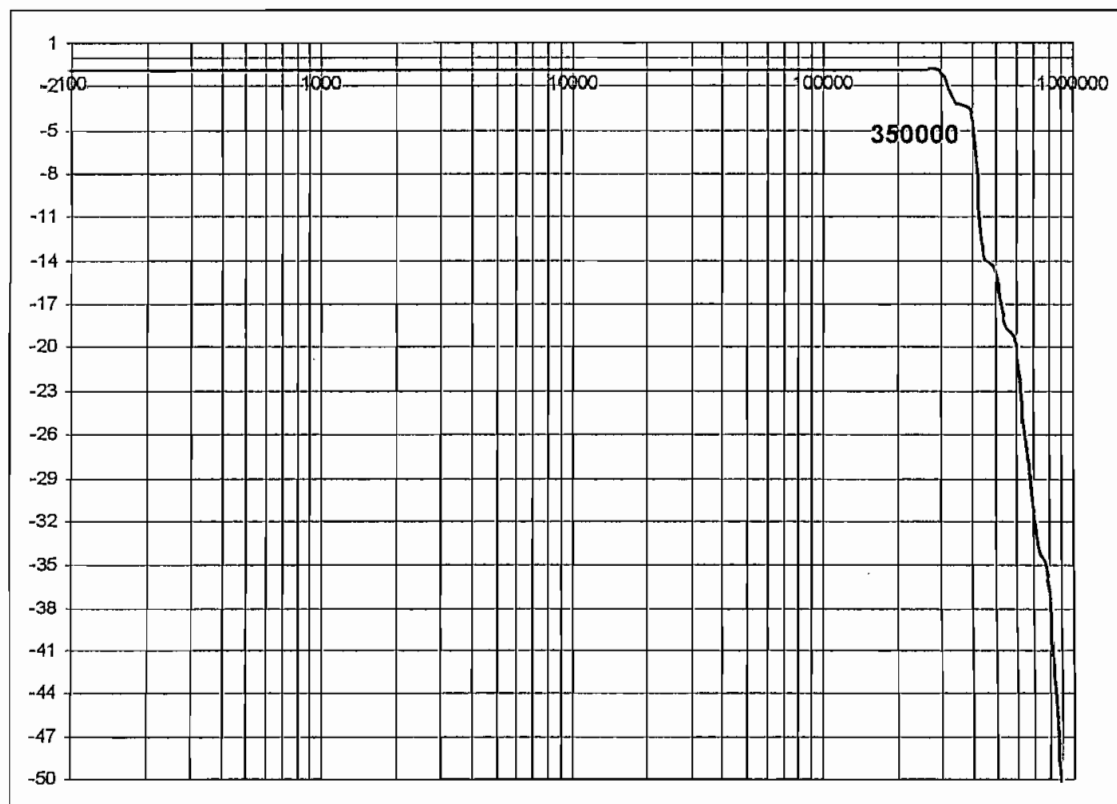


Figura 5.3 Representación de los datos obtenidos para el filtro de Butterworth con ganancia unitaria y frecuencia de corte de 350 kHz.

Tabla 5.3. Datos obtenidos en el Módulo de Desarrollo (Filtro de Butterworth)

Frecuencia [Hz]	V _{IN} [Vpp]	V _{OUT} [Vpp]	Ganancia $20 \times \log\left(\frac{V_{OUT}}{V_{IN}}\right)$ [dB]
10000	2	2	0
11000	2	2	0
12000	2	2	0
13000	2	2	0
14000	2	2	0
15000	2	2	0
16000	2	2	0
17000	2	2	0
18000	2	2	0
19000	2	2	0
20000	2	2	0
24000	2	2	0
28000	2	2	0
32000	2	2	0
36000	2	2	0
40000	2	2	0
44000	2	2	0
48000	2	2	0
52000	2	2	0
56000	2	2	0
60000	2	2	0
100000	2	2	0
150000	2	2	0
200000	2	2	0
250000	2	2	0
300000	2	2	0
350000	2	2	0

400000	2	2	0
450000	2	1,9	-0,445527894
500000	2	1,8	-0,915149811
550000	2	1,39	-3,160303908
600000	2	1,2	-4,436974992
650000	2	0,8	-7,958800173
700000	2	0,5	-12,04119983
750000	2	0,4	-13,97940009
800000	2	0,38	-14,42492798
850000	2	0,3	-16,47817482
900000	2	0,16	-21,93820026
950000	2	0,12	-24,43697499
1000000	2	0,1	-26,02059991

Diagrama de Bode correspondiente a los datos tabulados anteriormente:

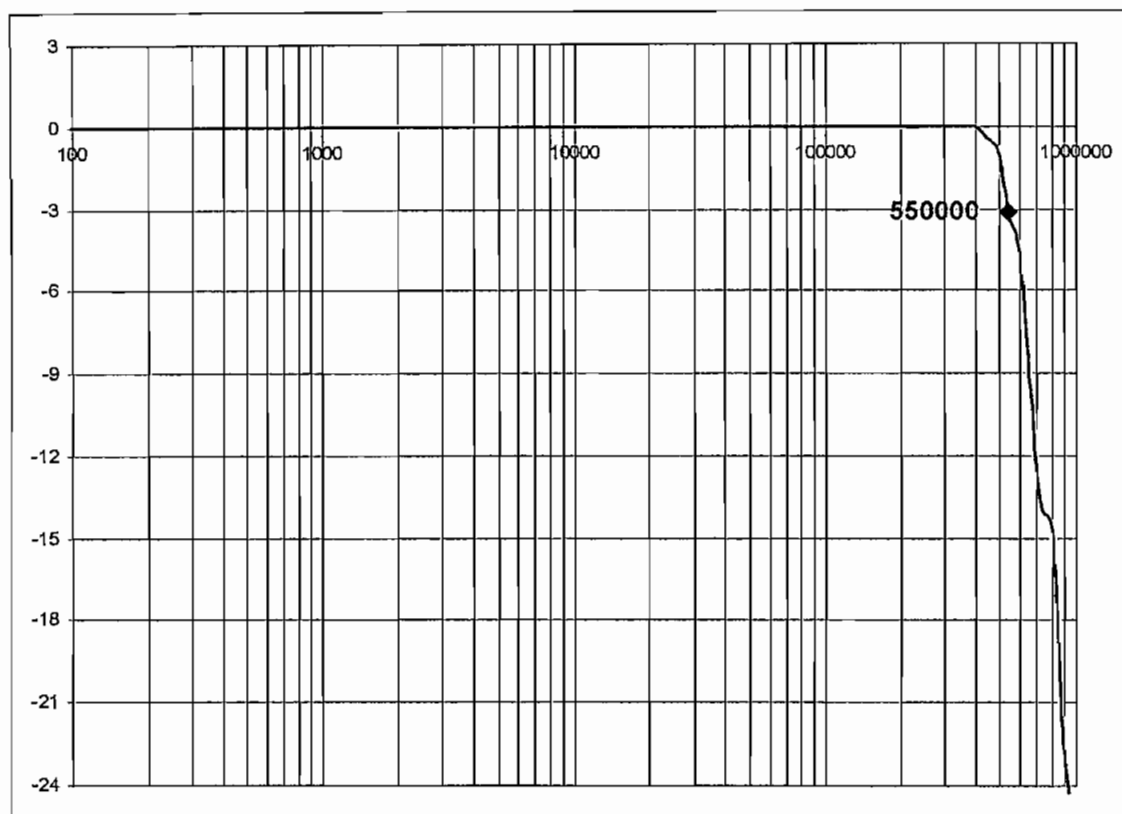


Figura 5.4 Representación de los datos obtenidos para el filtro de Butterworth con ganancia unitaria y frecuencia de corte de 550 kHz.

Tabla 5.4. Datos obtenidos en el Módulo de Desarrollo (Filtro de Butterworth)

Frecuencia [Hz]	V_{IN} [Vpp]	V_{OUT} [Vpp]	Ganancia $20 \times \log\left(\frac{V_{OUT}}{V_{IN}}\right)$ [dB]
100000	2	2	0
150000	2	2	0
200000	2	2	0
250000	2	2	0
300000	2	2	0
350000	2	2	0
400000	2	2	0
450000	2	2	0
500000	2	2	0

550000	2	1,96	-0,175478486
600000	2	1,91	-0,399932568
650000	2	1,75	-1,15983894
700000	2	1,6	-1,93820026
750000	2	1,43	-2,913879164
800000	2	1,2	-4,436974992
850000	2	0,81	-7,850899536
900000	2	0,7	-9,118639113
950000	2	0,6	-10,45757491
1000000	2	0,4	-13,97940009
2000000	2	0,02	-40

Diagrama de Bode correspondiente a los datos tabulados anteriormente:

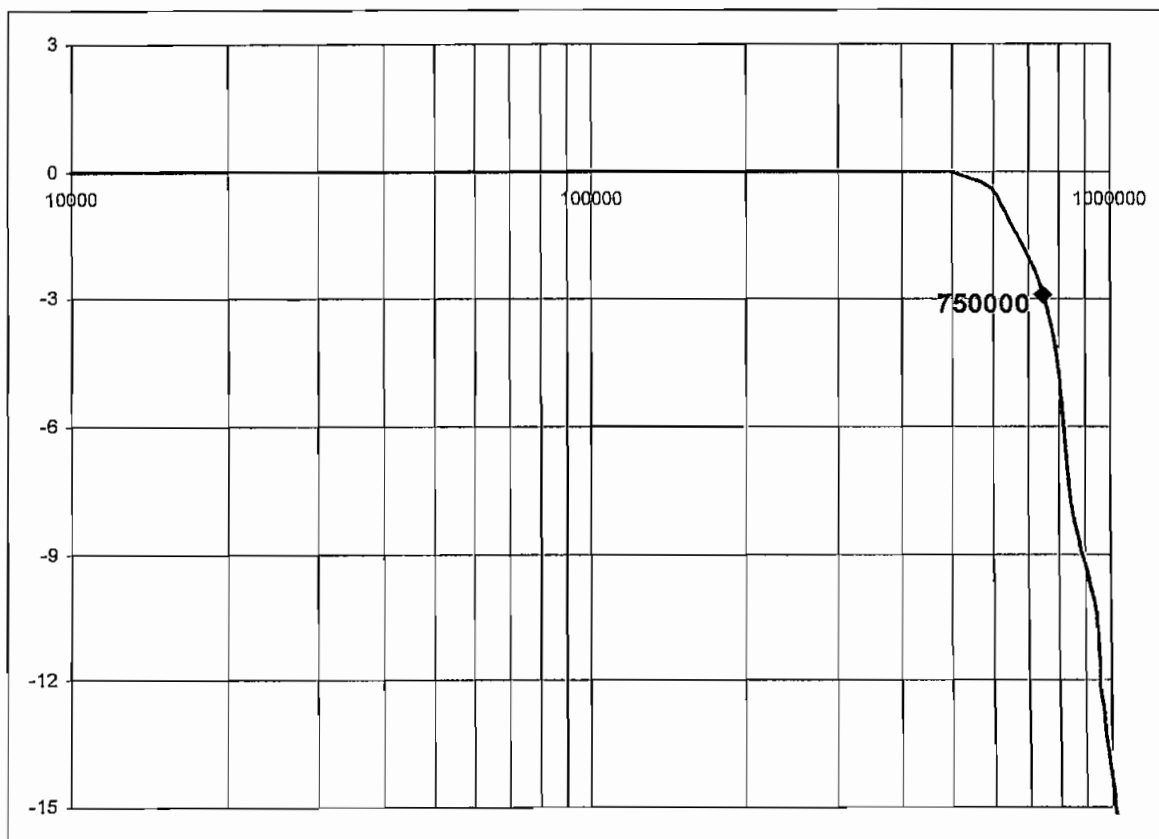


Figura 5.5 Representación de los datos obtenidos para el filtro de Butterworth con ganancia unitaria y frecuencia de corte de 750 kHz.

5.2 FILTROS ELÍPTICOS

La frecuencia de corte planteada es de 50KHz, la base de datos del PAC-Designer cuenta con varios filtros elípticos; de los cuales para este caso en particular se selecciona el que presenta una frecuencia de corte de 55.65KHz con una frecuencia de banda de paso de 50KHz, valores cercanos al planeado, los mismos que son sometidos para comparación con las pruebas realizadas en el módulo de desarrollo.

La señal de entrada sinusoidal (V_{IN}) empleada para efectuar las mediciones es de 6V, máximo permitido para este filtro, la frecuencia se varía en pasos aleatorios, con el objeto de obtener mayor cantidad de muestras y precisión en los resultados, tal como se muestra en la Tabla 5.5.

Tabla 5.5 Datos obtenidos en el Módulo de Desarrollo (Filtro Elíptico $f_c = 55,65\text{KHz}$)

Frecuencia [Hz]	V_{IN} [Vpp]	V_{OUT} [Vpp]	Ganancia $20 \times \log \left(\frac{V_{OUT}}{V_{IN}} \right)$ [dB]
100	6	5,94	-0,08729611
500	6	5,94	-0,08729611
1000	6	5,94	-0,08729611
1500	6	5,94	-0,08729611
2000	6	5,94	-0,08729611
2500	6	5,94	-0,08729611
5000	6	5,94	-0,08729611
10000	6	5,94	-0,08729611
15000	6	5,94	-0,08729611
20000	6	5,94	-0,08729611
25000	6	5,96	-0,05809981
30000	6	5,94	-0,08729611
35000	6	5,94	-0,08729611

40000	6	5,9	-0,14598477
45000	6	5,94	-0,08729611
50000	6	5,84	-0,23476807
55000	6	4,4	-2,69397148
60000	6	2,16	-8,87394998
65000	6	1,12	-14,5786646
70000	6	0,48	-21,9382003
75000	6	0,31	-25,7357911
80000	6	0,18	-30,4575749
85000	6	0,09	-36,4781748
90000	6	0,029	-46,315065
95000	6	0,028	-46,6198644
100000	6	0,0075	-58,0617997
105000	6	0,001	-75,563025
110000	6	0,0054	-60,9151498
120000	6	0,0075	-58,0617997
150000	6	0,0019	-69,987953
160000	6	0,0001	-95,563025
170000	6	0,001	-75,563025
200000	6	0,0048	-61,9382003
230000	6	0,0055	-60,7557712
250000	6	0,0062	-59,7151912
300000	6	0,0055	-60,7557712
350000	6	0,0059	-60,1459848
500000	6	0,0054	-60,9151498
750000	6	0,004	-63,5218252
1000000	6	0,0038	-64,036198
2000000	6	0,0018	-70,4575749
3000000	6	0,001	-75,563025

Graficando los datos tabulados anteriormente, se obtiene el diagrama de Bode de la variación de la Ganancia en función de la frecuencia, que se muestra a continuación, para el filtro Elíptico ID 3083 del PAC-Designer.

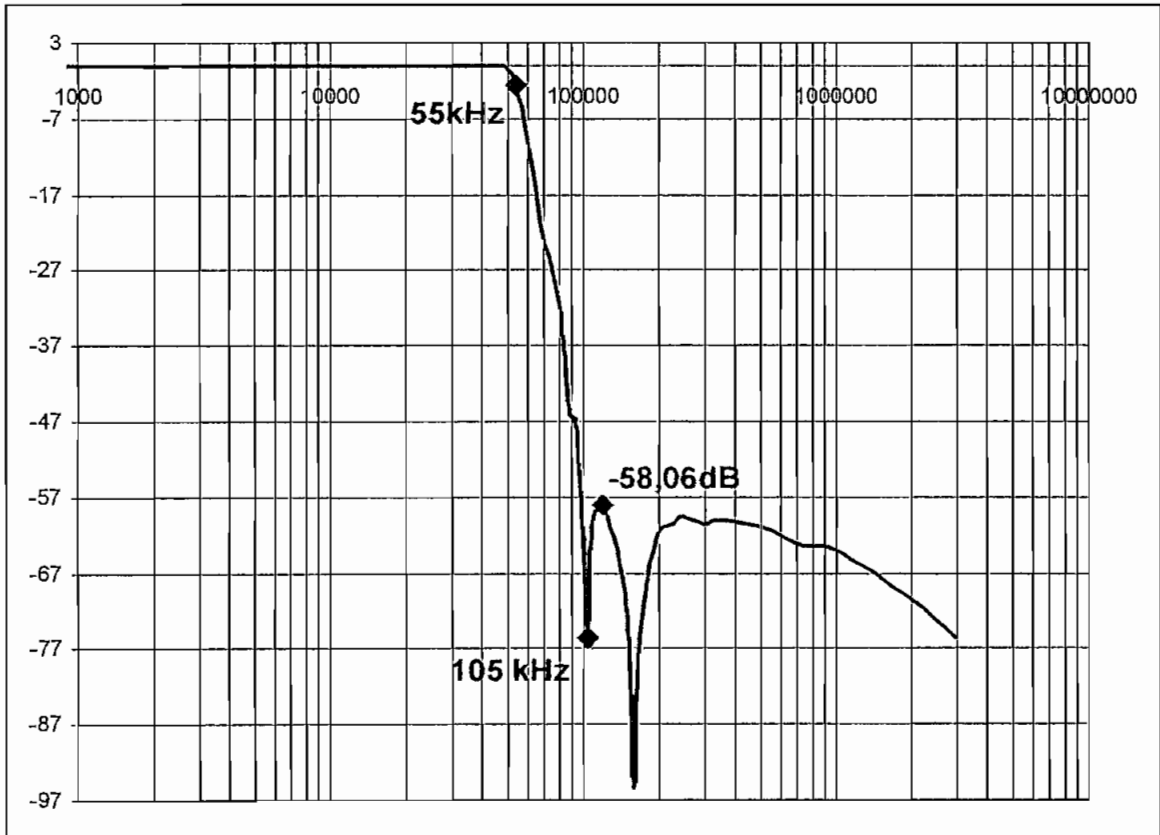


Figura 5.6 Representación de los datos obtenidos para el filtro elíptico con ganancia unitaria y frecuencia de corte de 50 kHz.

De los datos medidos y del gráfico se procede a calcular los errores presentes dentro de los parámetros: frecuencia de corte, frecuencia de parada y la atenuación de la banda de parada, valores fácilmente identificables dentro de las simulaciones así como también en los datos tabulados y graficados.

Ejemplo de cálculo:

- Error presente en la frecuencia de corte:

$V_{teórico} = 55,65\text{kHz}$

$V_{real} = 55\text{ kHz}$

$$\varepsilon_r = \left| \frac{V_{teorico} - V_{real}}{V_{real}} \right| \times 100$$

$$\varepsilon_r = \left| \frac{55,65\text{kHz} - 55\text{kHz}}{55\text{kHz}} \right| \times 100 = 1,18\%$$

- Error presente en la frecuencia de parada:

$$V_{teórico} = 99,83\text{kHz}$$

$$V_{real} = 105\text{kHz}$$

$$\varepsilon_r = \left| \frac{V_{teorico} - V_{real}}{V_{real}} \right| \times 100$$

$$\varepsilon_r = \left| \frac{99,83\text{kHz} - 105\text{kHz}}{105\text{kHz}} \right| \times 100 = 4,92\%$$

- Error presente en la atenuación de la banda de parada:

$$V_{teórico} = -58,74\text{dB}$$

$$V_{real} = -58,06\text{dB}$$

$$\varepsilon_r = \left| \frac{V_{teorico} - V_{real}}{V_{real}} \right| \times 100$$

$$\varepsilon_r = \left| \frac{-58,74\text{dB} - (-58,06\text{dB})}{(-58,06\text{dB})} \right| \times 100 = 1,15\%$$

Una vez desarrollados los ejemplos de cálculo empleados en los filtros elípticos, se procede a mostrar los resultados para las dos frecuencias de corte de prueba restantes en las Tablas 5.6 y 5.7.

Tabla 5.6 Datos obtenidos en el Módulo de Desarrollo (Filtro Elíptico $f_{c2} = 526 \text{ KHz}$)

Frecuencia [Hz]	V_{IN} [Vpp]	V_{OUT} [Vpp]	Ganancia $20 \times \log\left(\frac{V_{OUT}}{V_{IN}}\right)$ [dB]
10000	4	3,9600	-0,087296108
50000	4	3,9600	-0,087296108

100000	4	3,9600	-0,087296108
150000	4	3,9600	-0,087296108
180000	4	3,9600	-0,087296108
225800	4	3,9600	-0,087296108
260000	4	3,9600	-0,087296108
295000	4	3,9600	-0,087296108
310000	4	3,9600	-0,087296108
350000	4	3,9600	-0,087296108
375000	4	3,9600	-0,087296108
400000	4	3,9600	-0,087296108
425000	4	3,9600	-0,087296108
450000	4	3,9600	-0,087296108
483000	4	3,9500	-0,109257914
500000	4	3,9900	-0,021741913
510000	4	3,8500	-0,331985236
528000	4	3,6000	-0,915149811
547000	4	3,4500	-1,284817925
560000	4	3,2000	-1,93820026
575000	4	2,7500	-3,25454595
600000	4	2,0000	-6,020599913
1000000	4	0,1000	-32,04119983
1500000	4	0,0002	-88,51937465
2000000	4	0,0004	-80
2500000	4	0,0010	-72,04119983
3000000	4	0,0008	-73,97940009

Diagrama de Bode obtenido de los datos tabulados para el filtro elíptico con $f_c = 526\text{kHz}$:

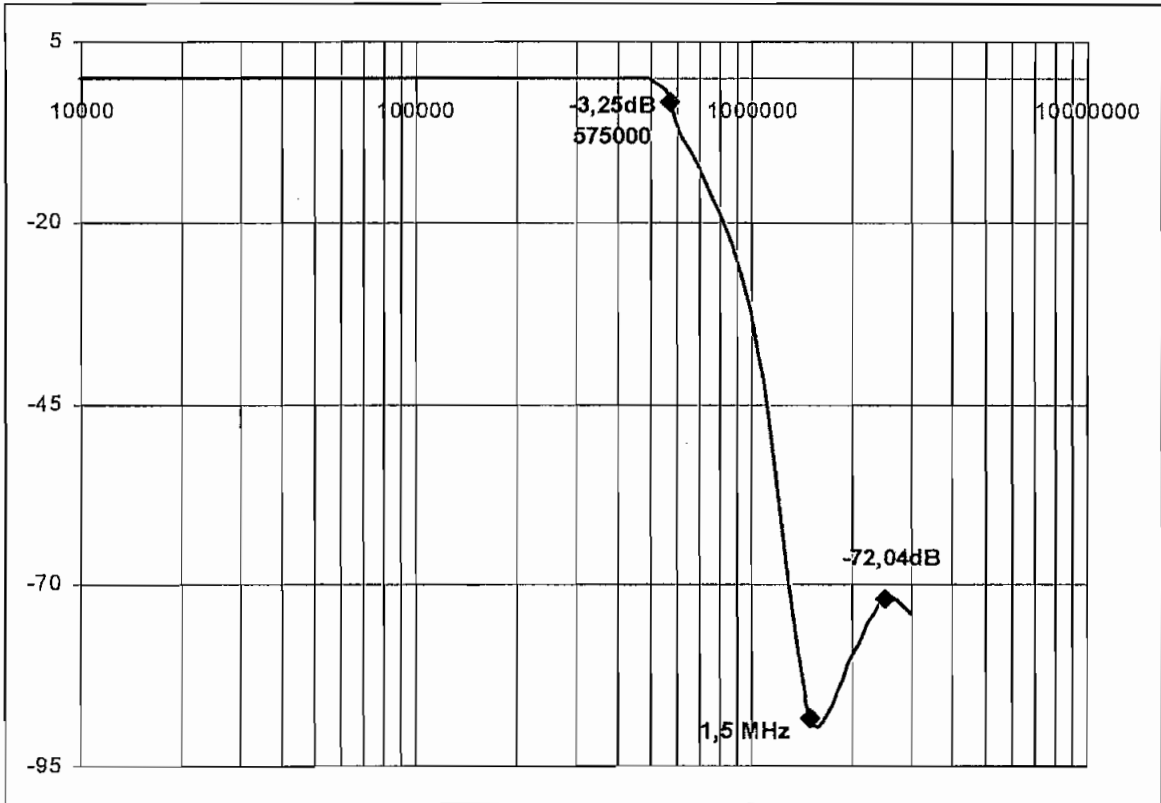


Figura 5.7 Representación de los datos obtenidos para el filtro elíptico con ganancia unitaria y frecuencia de corte de 550 kHz.

Tabla 5.7 Datos obtenidos en el Módulo de Desarrollo (Filtro Elíptico $f_{c3} = 375,14$ KHz)

Frecuencia [Hz]	V_{IN} [Vpp]	V_{OUT} [Vpp]	Ganancia $20 \times \log\left(\frac{V_{OUT}}{V_{IN}}\right)$ [dB]
100	6	6	0
500	6	6	0
1000	6	6	0
1500	6	6	0
2000	6	6	0
2500	6	6	0
5000	6	6	0
10000	6	6	0

15000	6	6	0
20000	6	5,98	-0,02900133
25000	6	5,98	-0,02900133
30000	6	5,97	-0,04353839
35000	6	5,96	-0,05809981
40000	6	5,96	-0,05809981
45000	6	5,94	-0,08729611
50000	6	5,92	-0,11659087
55000	6	5,92	-0,11659087
60000	6	5,9	-0,14598477
65000	6	5,88	-0,17547849
70000	6	5,87	-0,19026298
75000	6	5,85	-0,21990769
80000	6	5,84	-0,23476807
85000	6	5,83	-0,24965391
90000	6	5,8	-0,29446514
95000	6	5,8	-0,29446514
100000	6	5,75	-0,36966811
105000	6	5,75	-0,36966811
110000	6	5,75	-0,36966811
120000	6	5,75	-0,36966811
150000	6	5,75	-0,36966811
160000	6	5,88	-0,17547849
170000	6	5,9	-0,14598477
200000	6	5,98	-0,02900133
230000	6	5,98	-0,02900133
250000	6	5,92	-0,11659087
300000	6	5,8	-0,29446514
350000	6	5,7	-0,44552789
375000	6	4,2	-3,0980392
400000	6	2,3	-8,32846829
450000	6	0,75	-18,0617997

500000	6	0,28	-26,6198644
550000	6	0,12	-33,9794001
600000	6	0,04	-43,5218252
700000	6	0,0046	-62,3078684
750000	6	0,001	-75,563025
800000	6	0,004	-63,5218252
850000	6	0,0038	-63,9673531
1000000	6	0,002	-69,5424251
1100000	6	0,0004	-83,5218252
1500000	6	0,003	-66,0205999
2000000	6	0,004	-63,5218252

Representación gráfica de los datos tabulados para el filtro elíptico con $f_c = 375,14$ kHz:

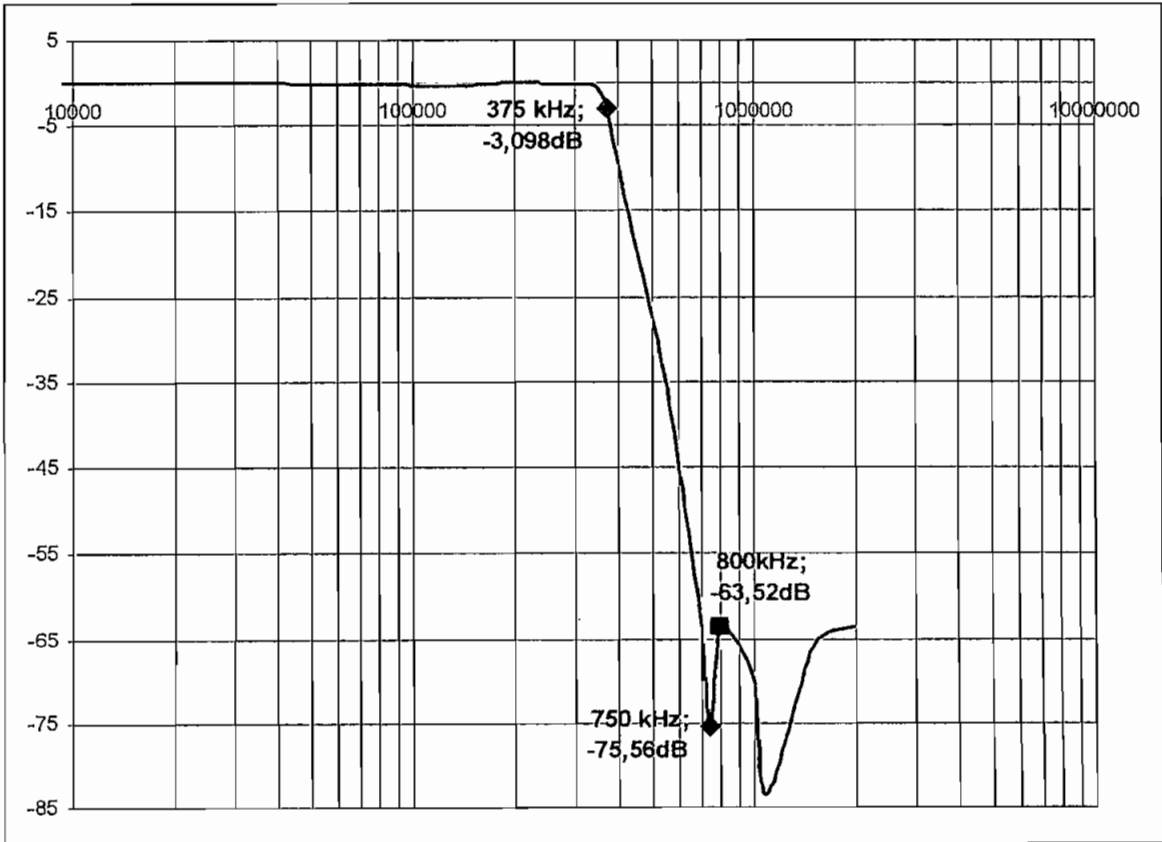


Figura 5.8 Representación de los datos obtenidos para el filtro elíptico con ganancia unitaria y frecuencia de corte de 370 kHz.

5.3 TABULACIÓN DE RESULTADOS

Luego de obtener los resultados de las mediciones en el módulo de desarrollo, se tabulan los resultados para el análisis comparativo con los datos de las simulaciones.

Resultados de los filtros de Butterworth programados:

MUESTRA (m)	VALORES TEÓRICOS f_{c_m} [kHz]	VALORES REALES f_{c_m} [kHz]	ERROR [%]
1	54,03	56	3,5%
2	351,00	350	0,3%
3	552,00	550	0,4%
4	752,01	750	0,3%

Resultados de las frecuencias de corte en los filtros Elípticos programados:

MUESTRA (m)	VALORES TEÓRICOS f_{c_m} [kHz]	VALORES REALES f_{c_m} [kHz]	ERROR [%]
1	55,65	55	1,80%
2	375,14	375	0,04%
3	526,00	575	8,52%

Resultados de las frecuencias de parada en los filtros elípticos programados:

MUESTRA (m)	VALORES TEÓRICOS f_{s_m} [kHz]	VALORES REALES f_{s_m} [kHz]	ERROR [%]
1	99,83	105	4,92%
2	705,85	750	5,89%
3	1300,00	1500	13,33%

Resultados de la atenuación en la banda de parada en los filtros elípticos programados:

MUESTRA (m)	VALORES TEÓRICOS Atenuación _m [dB]	VALORES REALES Atenuación _m [dB]	ERROR [%]
1	-58,74	-58,06	1,17%
2	-63,81	-63,52	0,46%
3	-68,79	-72,04	4,51%

5.4 ANÁLISIS DE RESULTADOS

De los datos de error obtenidos, producto de las comparaciones efectuadas entre las simulaciones utilizando la base de datos del PAC-Designer y las pruebas prácticas realizadas en el laboratorio, se hace evidente la dificultad que se presentó al momento de calibrar las frecuencias en el generador de señales con la finalidad de tener la frecuencia tanto de corte como de parada lo más cercana al valor de las simulaciones, lo que se ve reflejado en el alto porcentaje de error en algunos casos, sobre todo con frecuencias extremas.

Como se puede apreciar en los casos en que las frecuencias de corte y parada son muy cercanas a las que se tiene en el software, los errores obtenidos son mínimos dentro de los rangos aceptables y comprueban el óptimo funcionamiento del ispPAC80/81 y del módulo de desarrollo.

CAPÍTULO 6

CONCLUSIONES Y RECOMENDACIONES

6.1 CONCLUSIONES

La arquitectura que presentan estos dispositivos abre un sin número de posibilidades para cambiar de un momento a otro la configuración inicial del chip, y que, en conjunto con las herramientas de desarrollo, potencialmente se constituye en un verdadero laboratorio teórico práctico que permite verificar de una manera fácil y dinámica diseños analógicos tradicionales.

El acceso a las cinco líneas del estándar IEEE 1149.1 en todos los dispositivos ispPAC, así como también la disponibilidad de la interfaz adecuada con el PC permiten controlar la revisión, configuración, reprogramación y borrado del chip, todo ello sin necesidad de tocar el circuito impreso (Módulo de Desarrollo). Gracias a esta técnica, el fabricante del equipo (OEM) distribuye actualizaciones del *firmware* y garantiza un mayor tiempo de vida de los dispositivos.

Una de las grandes ventajas que presenta el programa PAC-Designer es la opción que le permite al usuario de este paquete trabajar con todos los dispositivos de la familia ispPAC, a pesar de que entre ellos difieren en el número de pines y en el orden de disposición. La amplia base de datos que posee este software contiene la información que posibilita la programación de todos los dispositivos a ser empleados sin necesidad de recurrir a otro programa.

Del análisis de pruebas y resultados se advierte claramente la facilidad con la que se obtienen resultados eficaces de los diseños propuestos, a pesar de que no para todas las frecuencias empleadas en las pruebas se tiene una respuesta con un

error mínimo, sabiendo que el máximo tolerable es del 5%, se atribuyen las tasas superiores a la dificultad en el momento de efectuar las lecturas en el osciloscopio, por el reducido intervalo de amplitud que se presenta en la práctica al llegar a la frecuencia de corte lo que hace que la lectura sea poco exacta, También, los pasos que se adoptaron para la variación de las frecuencias en el generador de señales los mismos que son heterogéneos debido a la dificultad presente en la manipulación de las perillas al igual que el no poder exceder el valor máximo graduado en este dispositivo que es de 3 MHz perjudicando la obtención de mayor número de pruebas para la representación gráfica que ayudan a certificar el óptimo comportamiento del dispositivo y del módulo de desarrollo.

La programación del ispPAC80/81 es sumamente fácil, basta con seguir los lineamientos descritos en el cuarto capítulo y familiarizarse con el GUI del PAC-Designer.

La seguridad que presentan los ispPACs una vez realizada la programación es única, permitiendo mantener la exclusividad y autonomía sobre los diseños realizados.

Los circuitos integrados de la familia ispPAC, han incrementado el número de dispositivos analógicos programables que se comercializan en la actualidad, aumentando con ello el campo de aplicación de este tipo de dispositivos con una mayor visión hacia el desarrollo tecnológico futuro.

6.2 RECOMENDACION

Finalmente, se recomienda el empleo del módulo de desarrollo para la tecnología ispPAC como parte del laboratorio de Electrónica Básica de la Escuela Politécnica Nacional para brindar a los estudiantes la facilidad de manipular diseños analógicos y de manera específica los filtros analógicos que son el contenido de este proyecto de titulación, con la finalidad de manipular los circuitos directamente

desde el software evitando complicaciones y mejorando el tiempo de respuesta de las prácticas, obteniendo además resultados óptimos y de gran utilidad para el proceso de enseñanza aprendizaje.

BIBLIOGRAFÍA

- [Http://www.latticesemi.com](http://www.latticesemi.com), Página WEB de Lattice Semiconductor.
- IspPAC Overview, Lattice Semiconductor Datasheets.
- IspPAC80/81 In-System Programmable Analog Circuit, Lattice Semiconductor Datasheets.
- IspPAC80/81 Evaluation Board, Lattice Semiconductor Datasheets.
- IspPAC20 In-System Programmable Analog Circuit, Lattice Semiconductor Datasheets.
- PAC – Designer Software. Getting Started Manual, Lattice Semiconductor Datasheets.
- Application Notes. IspPAC Products, Lattice Semiconductor Datasheets.

ANEXO A

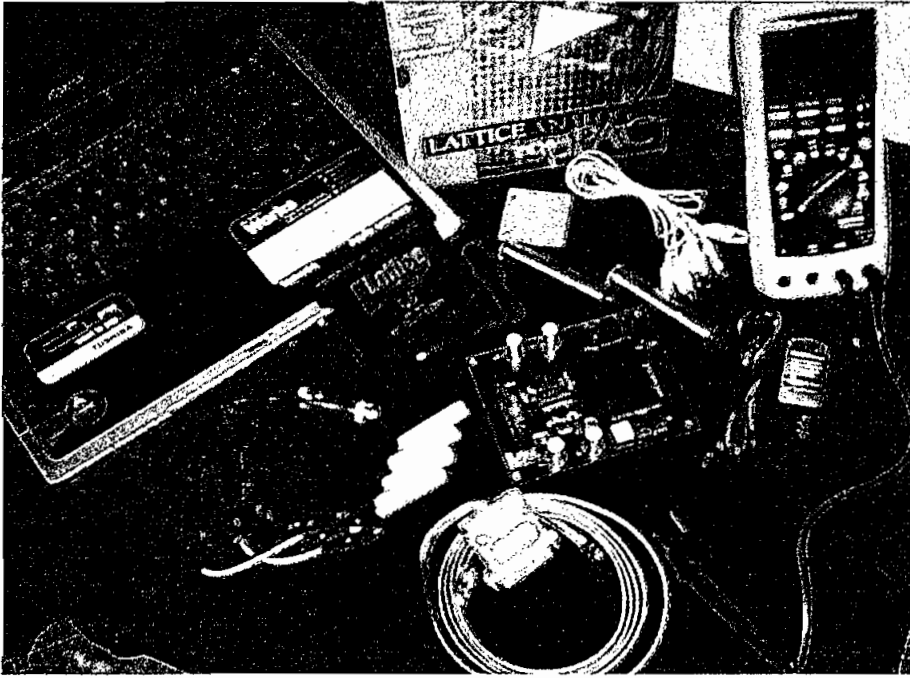


Figura A.1 Módulo de Desarrollo y materiales empleados para su programación

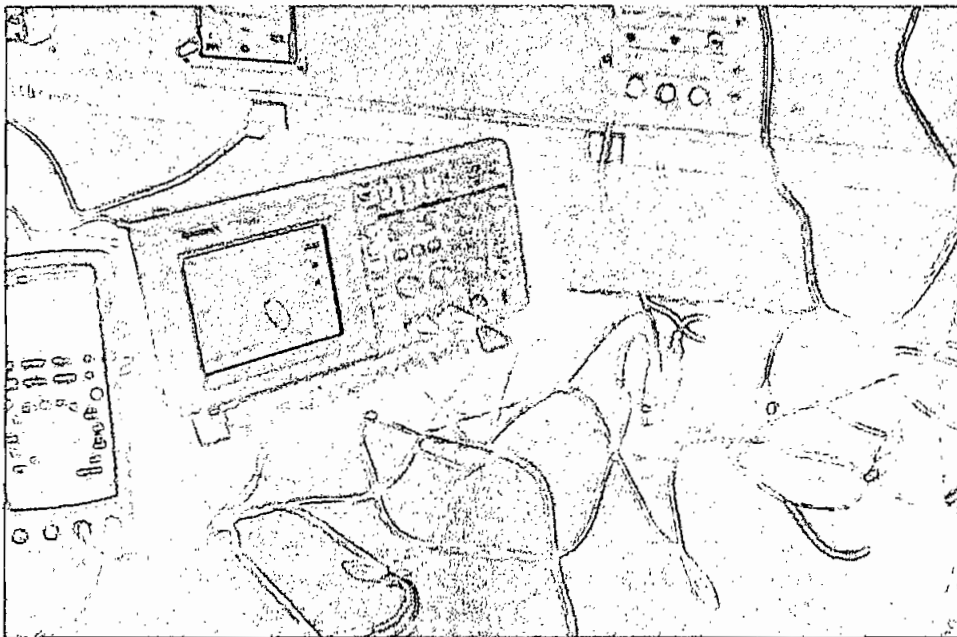


Figura A.2 Conexión del Módulo de Desarrollo con los dispositivos empleados para realización de pruebas

ANEXO B

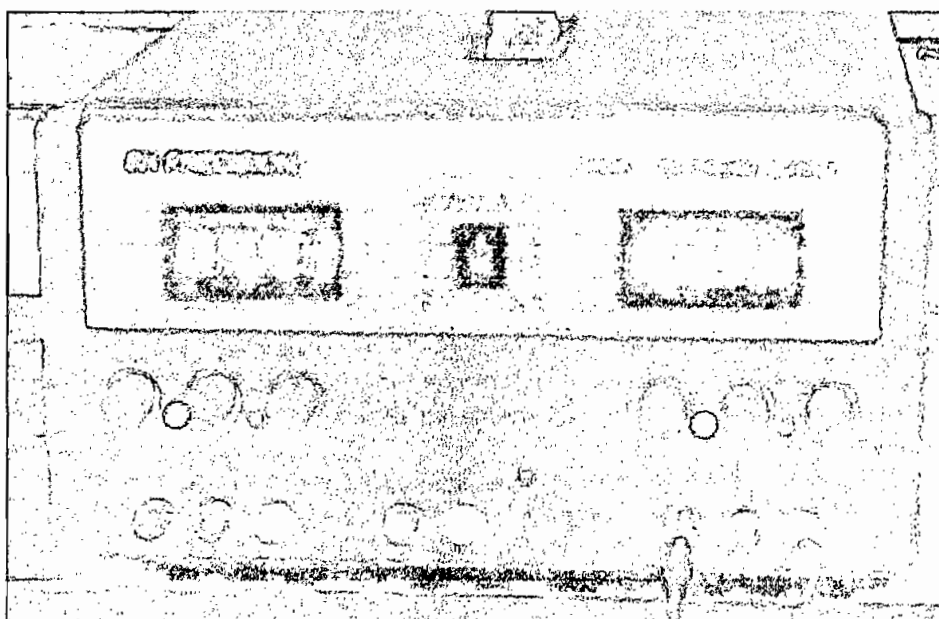


Figura B.1 Fuente de Alimentación empleada para la polarización del ispPAC80/81 a través del módulo de desarrollo

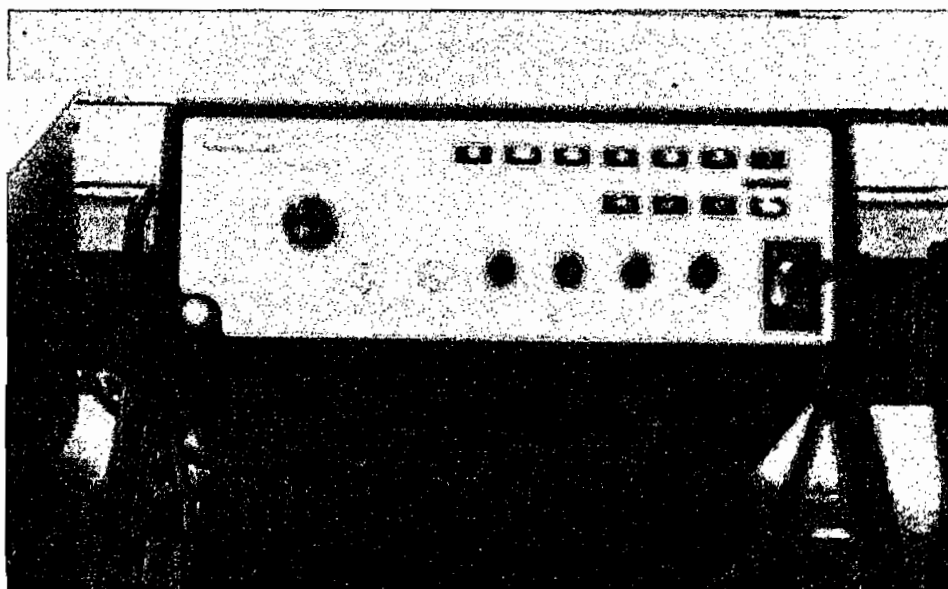


Figura B.2 Generador de señales empleado como VIN para efectuar las pruebas en el módulo de desarrollo

ANEXO C



Figura C.1 Pruebas Preliminares