

**ESCUELA POLITÉCNICA NACIONAL**

**FACULTAD DE INGENIERÍA ELÉCTRICA**

DISPOSITIVO DE CONTROL PARA LA  
ADMINISTRACIÓN DE CARGAS ELÉCTRICAS

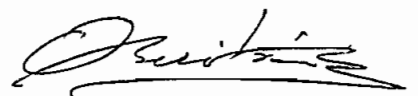
*TESIS PREVIA PARA LA OBTENCIÓN DEL TÍTULO EN*  
*INGENIERÍA ELÉCTRICA EN LA ESPECIALIZACIÓN*  
*DE ELECTRÓNICA Y TELECOMUNICACIONES*

**GUSTAVO ADOLFO LOZA ALMEIDA**

QUITO ABRIL, 1997

**CERTIFICACIÓN**

Certifico que, la presente Tesis de Grado ha sido desarrollada en su totalidad por el Autor.



Ing. Oswaldo Buitrón B.  
**DIRECTOR**

## **AGRADECIMIENTO**

A la Escuela Politécnica Nacional y sus profesores por la formación recibida a lo largo de mi carrera universitaria.

Un especial reconocimiento al Ing. Oswaldo Biutrón por la acertada dirección técnica y por todo el apoyo brindado, los cuales constituyeron la base fundamental para la elaboración del presente trabajo.

A todas las personas que de una u otra manera apoyaron a la culminación de la presente Tesis y de la carrera en general.

## DEDICATORIA

A mis padres, Adolfo Loza Argüello y Teresa Almeida de Loza, que con amor y sabiduría han sabido guiarme por la vida, brindándome su total apoyo y confianza, sin los cuales hubiera sido imposible cumplir uno a uno mis objetivos. A mi hermano Francisco Loza Almeida, por su comprensión, solidaridad y amor fraterno.

## CONTENIDO

	Dedicatoria .....	i
	Agradecimiento .....	ii
	Contenido .....	iii
<b>1.</b>	<b><i>ESTUDIO TÉCNICO</i></b>	
1.	1.1. Conceptos básicos de control de cargas .....	2
	1.2. Necesidades y posibilidades de manejo de la demanda ..	5
	1.3. Modificaciones en los calentadores de agua .....	8
	1.3.1. Calibración de los termostatos .....	9
	1.3.2. Mejoras en el aislamiento .....	10
	1.4. Conclusiones .....	11
<b>2.</b>	<b><i>DISEÑO DEL DISPOSITIVO DE CONTROL</i></b>	
2.	2.1. Características circuitales .....	17
	2.2. Diagrama de bloques .....	19
	2.3. Diseño por etapas .....	20
	2.3.1. Microcontrolador 8748 .....	20
	2.3.2. Reloj - calendario en tiempo real DS1202 .....	21
	2.3.3. Circuito de oscilación local .....	23
	2.3.4. Circuito de señalización y muestra de datos .....	23

2.3.5.	Circuito de acoplamiento óptico .....	27
2.3.6.	Circuito de ON / OFF del tanque .....	27
2.3.7.	Circuito de teclado .....	28
2.3.8.	Fuente de energía de +5 voltios DC .....	29
2.3.9.	Versión reducida del dispositivo de control .....	32
2.4.	Desarrollo del software .....	34
2.4.1.	Programación del microcontrolador 8748 .....	34
2.4.2.	Descripción general del programa.....	35
2.4.2.1.	Programa principal	37
2.4.2.2.	Subrutinas del programa principal .....	41
2.5.	Desarrollo de las subrutinas .....	42
2.5.1.	Subrutinas de trabajo del DS1202 .....	42
2.5.1.1.	Subrutina CLK_INIT .....	42
2.5.1.2.	Subrutina INICIO_1 .....	44
2.5.1.3.	Subrutina CLK_CONT .....	44
2.5.1.4.	Subrutina SACAR_DAT1 .....	45
2.5.1.5.	Subrutina CLK_LEE .....	46
2.5.1.6.	Subrutina LEER_DAT1 .....	47
2.5.1.7.	Subrutina CLK_HORON1 .....	48
2.5.1.8.	Subrutina CLK_MINON1 .....	49
2.5.1.9.	Subrutina CLK_HOROFF1 .....	50
2.5.1.10.	Subrutina CLK_MINOFF1 .....	51
2.5.1.11.	Subrutina SACA_SEG .....	52
2.5.1.12.	Subrutina SACA_MIN .....	53

2.5.1.13.	Subrutina SACA_HOR .....	54
2.5.1.14.	Subrutina SACA_HORON1 .....	55
2.5.1.15.	Subrutina SACA_MINON1 .....	56
2.5.1.16.	Subrutina SACA_HOROFF1 .....	57
2.5.1.17.	Subrutina SACA_MINOFF1 .....	58
2.5.1.18.	Subrutina QUITA_RST .....	60
2.5.1.19.	Subrutina RST_CLK .....	60
2.5.2.	Subrutinas de control .....	60
2.5.2.1.	Subrutina COMPARAR .....	60
2.5.2.2.	Subrutina CEROCARRY .....	62
2.5.2.3.	Subrutina APAGAR .....	63
2.5.3.	Subrutinas de manejo del display .....	63
2.5.3.1.	Subrutina DISPLAY .....	63
2.5.3.2.	Subrutina TIMER .....	65
2.5.3.3.	Subrutina NUMERO .....	65
2.5.3.4.	Subrutina RETARDO .....	65
<b>3.</b>	<b><i>PRUEBAS EXPERIMENTALES</i></b>	
<b>3.</b>	<b>3.1. Equipos de registro .....</b>	<b>73</b>
	<b>3.2. Determinación de usuarios y prueba .....</b>	<b>74</b>
	<b>3.2.1. El muestreo como método para investigación de la carga .</b>	<b>75</b>
	<b>3.2.2. Instalación del equipo y toma de datos .....</b>	<b>77</b>
	<b>3.2.3. Pruebas de instalación del dispositivo de control .....</b>	<b>79</b>

3.3.	Resultados de uso sin el equipo de control .....	81
3.4.	Resultados de uso con el equipo de control	97
<b>4.</b>	<b>CONCLUSIONES Y RECOMENDACIONES</b>	
4.	4.1. Breve estudio económico .....	114
	4.2. Conclusiones .....	116
	4.3. Recomendaciones .....	118
	<b>BIBLIOGRAFÍA .....</b>	<b>121</b>
	<b>ANEXOS</b>	
A.	Gráficos de las curvas de demanda.	123
	A.1. Gráficos de las curvas de demanda sin control de carga	125
	A.2. Gráficos de las curvas de demanda con control de carga	195
B.	Diagramas circuitales.	240
C.	Manual del usuario.	244
D.	Referencias técnicas.	252
E.	Programas desarrollados.	
	E.1. Tanque1a.asm	3
	E2. Tanque1b.asm	22



## **CAPÍTULO 1.**

### ***ESTUDIO TÉCNICO.***

- 1.1. Conceptos básicos de control de cargas.
- 1.2. Necesidades y posibilidades de manejo de la demanda.
- 1.3. Modificaciones en los calentadores de agua.
- 1.4. Conclusiones.

---

## CAPÍTULO 1.

### 1. ESTUDIO TÉCNICO

---

#### 1.1. CONCEPTOS BÁSICOS DE CONTROL DE CARGAS

Considerando que la energía eléctrica en nuestro país es escasa, la misma que en un 90% es generada por centrales hidráulicas cuyos sectores geográficos donde se encuentran instaladas están sujetos a la presencia de variaciones hidrológicas estacionales que traen como consecuencia largos períodos de estiaje durante el año, se hace necesario implantar medidas para el uso racional y ahorro de la energía eléctrica.

Cabe indicar que el INECEL realizó estudios en Quito y Guayaquil entre noviembre de 1993 y abril de 1994 con el fin de establecer la conveniencia de implantar en el País un programa de Administración de la Demanda y Uso Racional de la Energía Eléctrica (AD&UREE) en el Ecuador. Como resultado de dicho estudio se propuso iniciar la implantación de medidas AD&UREE en áreas piloto, fundamentalmente aquellas que tienen que ver con la caracterización de la carga y el comportamiento de la composición de la curva de demanda a nivel nacional.

Considerando esta sugerencia, se plantea en este trabajo como objetivo fundamental el conocer el comportamiento de la curva de demanda de usuarios residenciales, mediante una serie de muestras para un determinado nivel económico poblacional de la ciudad de Quito y luego contrastar estos resultados con la determinación de una nueva curva de demanda pero utilizando un aparato de control de carga que permita disminuir el uso de la energía eléctrica en las horas picos y aportar de manera efectiva a la implantación futura de un programa de (AD&UREE) en nuestro País.

En el estudio realizado se recomienda la implantación de diferentes medidas en el sector residencial, en particular en lo que se refiere al calentamiento de agua propone las siguientes acciones:

- 1. Mejoras en la operación de los tanques de acumulación (empleo de cobijas aisladoras y "timers") y tanques eficientes.*
- 2. Sustitución de calentamiento de agua por calentadores solares.*
- 3. Desarrollar normas de construcción más adecuadas que incluyan aspectos referentes a calentamiento de agua<sup>1</sup>.*

El alcance del presente trabajo será el desarrollar el punto 1 antes mencionado. en el sentido de implantar un circuito de control en tiempo real para la operación de tanques de agua en residencias donde dispongan de este artefacto eléctrico. Se diseñara y construirá el circuito de control y se realizará el estudio de la curva de demanda de usuarios residenciales sin el control de carga y luego con control de carga, para al final hacer una contrastación de

---

<sup>1</sup> Programa de administración de la demanda y uso racional de la energía eléctrica en el Ecuador. Informe final. Quito, mayo de 1994.

resultados y determinar la utilidad de esta medida dentro de los proyectos y programas AD&UREE.

Si logramos disminuir la carga y racionalizar el uso de la energía eléctrica en los momentos de los picos de carga de la curva de demanda empezando por el sector residencial, habríamos logrado aportar positivamente a reducir el esfuerzo de la generación de energía en los momentos de mayor consumo.

En el capítulo 1 de esta Tesis se describen brevemente los aspectos que determinan la importancia de medidas AD&UREE.

En el capítulo 2, se realiza el diseño circuital del dispositivo de control, describiendo sus características circuitales, microcontrolador, periféricos, etc. y la descripción del software desarrollado en lenguaje de bajo nivel o ensamblador, explicado en diagrama de flujo sus rutinas y subrutinas.

El capítulo tercero se refiere a las características del equipo de registro para la toma de mediciones de demanda, las características de su software tanto en bajo nivel como en alto nivel, las características de su instalación en casas residenciales y la descripción de la técnica en la toma de datos. Se realizan también las correspondientes contrastaciones y análisis de las medidas tomadas sin el equipo de control y utilizando el equipo de control.

En el capítulo 4, se realiza un breve estudio económico del costo del equipo de control de carga, así como de costos de instalación y posibilidad de difusión en el mercado para

utilización general de usuarios residenciales que dispongan de tanque de calentamiento de agua.

## **1.2. NECESIDADES Y POSIBILIDADES DE MANEJO DE LA DEMANDA**

La administración de la demanda y el uso racional de la energía aparece en los países en desarrollo como una respuesta a la necesidad de aprovechar en forma óptima los sistemas eléctricos actuales, puesto que en estos países la expansión del sector eléctrico requiere de grandes capitales, acciones conjuntas del Estado, empresas eléctricas y sus clientes y el sector privado en general, acciones que a su vez deben ser respaldadas por códigos y leyes que normen dichas acciones.

Por otro lado es importante señalar que en países como el nuestro el precio de la electricidad para el usuario es subsidiado por el Estado, lo que trae como consecuencia que el usuario catalogue al servicio como barato y por lo tanto haga un uso ineficiente de la energía eléctrica, lo que redundará en serios problemas financieros a las empresas eléctricas.

Cabe mencionar también que la producción, conversión y distribución de energía ya no es un factor solamente de progreso, sino que por los tipos de generación existentes es un problema desde el punto de vista del cuidado del medio ambiente. La responsabilidad del sistema energético en el efecto invernadero va a crecer sustancialmente en el futuro

cercano, tal es así que, <sup>2</sup>actualmente los países industrializados emiten más del 70 % de las emisiones de dióxido de carbono, principal causa del calentamiento global de la atmósfera, y más del 90% de las emisiones de cloro\_floruro\_carbonos destructores de la capa de ozono. América Latina es responsable del 4 % de las emisiones de dióxido de carbono, porcentaje que se incrementará a medida que crezca la demanda de energía y por lo tanto aumentará su responsabilidad en la emisión de contaminantes. Por ello la necesidad de que los programas de expansión energética en nuestros países cuenten con medidas AD&UREE y en particular aquellas que tienen que ver con el manejo de la curva de demanda.

Partiendo del marco general en que se desarrolla el sector eléctrico ecuatoriano y las nuevas restricciones ambientales, la opción de implantación de proyectos AD&UREE se muestra como el medio más eficaz, desde el punto de vista técnico, social y económico para contribuir en gran medida a las soluciones del sector eléctrico a corto y mediano plazo, en perspectiva de mejorar o al menos mantener la calidad del servicio eléctrico y la vida de la población.

El manejo de la curva de demanda tiene que ver con la establecimiento de medidas tendientes a achatar el pico de la curva de demanda, entre las que se pueden mencionar para el sector residencial, motivo del presente estudio, las siguientes:

1. Medidas de uso racional de energía eléctrica; y
2. Medidas tarifarias por el uso de la electricidad.

---

<sup>2</sup> Organización Latinoamericana de Energía - OLADE. Sistema de Información Económica-Energética - SIEE. Quito, Ecuador, Diciembre 1993

De entre las primeras podemos mencionar a las siguientes:

- Mejoras en la operación de refrigeradoras (ubicación de los equipos, calidad de aislamientos, ajuste de termostatos, etc.).
- Sustitución de refrigeradoras deterioradas y que hayan cumplido su vida útil por otras más eficientes y en buenas condiciones.
- Mejoras en la operación de sistemas de iluminación existentes (ubicaciones apropiadas, independización de los circuitos, etc.).
- Sustitución de lámparas incandescentes por luminarias o bombillos de menor potencia.
- Desarrollar normas de construcción más adecuadas que incluyan aspectos referentes a iluminación.
- Mejoras en la operación de los tanques de calentamiento de agua (utilización de equipos de programación de encendido y apagado).
- Apoyar el uso de cobijas aislantes.
- Sustitución de los tanques eléctricos calentadores de agua por calentadores de agua a gas licuado de petróleo.
- Sustitución de los tanques eléctricos por calentadores solares.
- Mejoras en la operación de los equipos de aire acondicionado (ubicación de los equipos, limpieza interna y externa, etc.).
- Sistemas de acumulación de calor y frío.
- Mejoras en la operación de cocinas y hornos eléctricos.

En cuanto a las medidas que implican un cambio en el sistema de tarificación de la energía eléctrica se puede mencionar la necesidad de incorporar cambios en nuestro País.

Los cambio de la estructura tarifaria pueden estar orientados a establecer tarifas diferenciadas de acuerdo a costos marginales, incremento del precio de la energía en horas pico, incentivar la utilización de la energía en horas valle mediante la rebaja del precio con respecto a las horas pico, tarifas de acuerdo al tiempo de uso, etc..

### **1.3. MODIFICACIONES EN LOS CALENTADORES DE AGUA**

Como se mencionó anteriormente, todo el presente trabajo estará orientado a la implantación práctica de una medida AD&UREE que básicamente tiene que ver con las mejoras que se pueden realizar en la operación de los tanques calentadores de agua, que usan como fuente de energía la electricidad.

En lo referente a los calentadores de agua se puede mencionar, que en el Ecuador, la mayoría de los calentadores de agua usan como fuente de energía la electricidad o gas y en el caso industrial el diesel. Este tipo de calentadores de agua ejecutan dos funciones para proporcionar agua caliente:

1. Calientan el agua que está total o parcialmente fría; y
2. Almacenan el agua caliente hasta que es consumida.



Existen varias investigaciones cuyo propósito ha sido analizar el flujo del calentamiento de agua en sistemas de uso residencial (forma de manejo del calentador de agua). Los resultados obtenidos muestran que las pérdidas térmicas en el consumo de la energía son aproximadamente del 30% y 50% tanto para calentadores eléctricos y a gas respectivamente. De hecho, éstas pérdidas pueden ser reducidas substancialmente mediante el rediseño y modificación de las condiciones de operación, obteniéndose como resultado una mejora en la eficiencia de trabajo y reducciones netas en el consumo energético total para el calentamiento de agua.

A continuación, se evaluarán las diferentes modificaciones que se pueden hacer a los calentadores de agua para reducir las pérdidas de energía eléctrica en el calentamiento y en el uso de la energía. Entre las opciones de ahorro de energía se mencionan las siguientes:

- Calibración de termostatos;
- Mejorar aislamientos térmicos;

### **1.3.1. CALIBRACIÓN DE LOS TERMOSTATOS**

La mayoría de los tanques termostatos son equipados con termostatos ajustables, sin ningún costo extra o modificación del calentador de agua, se puede obtener ahorros de energía

calibrando los termostatos para operación normal y apagando a los calentadores de agua durante períodos de demanda largos.

### **1.3.2. MEJORAS EN EL AISLAMIENTO**

Pérdidas térmicas en el agua caliente ocurren en todos los tipos de calentadores de agua. Dichas pérdidas ocurren continuamente y constituyen la mayor fuente de ineficiencia del uso de la energía. Realizando mejoras en el aislamiento de los calentadores de agua vía aumento en el grosor del aislante, o mejorando la calidad del aislante, éstas pérdidas pueden ser reducidas substancialmente.

El grosor del aislante puede ser incrementado, ya sea diseñando aislante después de la instalación del calentador de agua, o usando un aislante más grueso en la manufactura del calentador de agua. Esta modificación puede ser fácilmente realizada por el dueño, usando los aislantes disponibles en el comercio o por el fabricante en el momento de la construcción. Esta sustitución del aislante no requiere cambios de dimensión o diseño del calentador de agua, es simple y a un bajo costo. Varios fabricantes de calentadores de agua ofrecen ahora modelos eficientes con aislamiento mejorado para conservar la energía. El uso de aislantes de baja conductividad o un gran grosor ofrecen grandes ahorros de energía.

Sin embargo de las modificaciones anteriores que tienen que ver con la conservación de la energía, su aporte en la disminución de la curva de demanda es inferior a aquella opción de incluir en los tanques calentadores de agua temporizadores que manejen los horarios de

operación del tanque e impidan el trabajo eléctrico del mismo en las horas pico, objetivo del presente estudio.

#### 1.4. CONCLUSIONES

De hecho que una investigación sobre la estructura del consumo para usos finales permite determinar la responsabilidad de cada uso final de la electricidad (refrigeración de alimentos, iluminación, aire acondicionado, calentamiento de agua, fuerza motriz, etc.) en la composición del consumo de energía eléctrica y de acuerdo a esa referencia seleccionar una serie de medidas AD&UREE en cada sector y estrato de consumo del mercado atendido por las empresas eléctricas.

Según el INECEL el consumo de energía eléctrica del sector residencial representa el 39% de la energía eléctrica final, siendo el principal uso final en este sector la refrigeración de alimentos, cuyo estimado es el 47 y 32% del consumo residencial en la Costa y Sierra respectivamente, en 1993.

El segundo uso final de la energía eléctrica en orden de importancia en el sector residencial es la iluminación, con un consumo estimado de 17 y 20% del consumo residencial en la Costa y Sierra respectivamente, en 1993.

El uso final ubicado en el tercer lugar en el sector residencial es el calentamiento de agua en la Sierra y el aire acondicionado en la Costa. Se ha estimado que en 1993 fueron consumidos 28% del consumo residencial en la Sierra en tanques de acumulación y duchas

eléctricas combinados. Ello corresponde a un consumo promedio mensual por abonado de aproximadamente 27 Kwh (329 Kwh/año - cliente). Entre otras de las principales medidas para reducir el consumo en calentamiento de agua, el Estudio sugiere las siguientes:

- Mejoras en la operación de los tanques de acumulación (utilización de “timers”)
- Conservar los empaques de los tanques, llaves y grifos en buenas condiciones.
- Evitar utilizar el agua caliente para fines innecesarios.
- Ajuste de los termostatos, por ejemplo, a un máximo de 45 grados centígrados, donde sea posible.

Los resultados del Estudio, referentes a la caracterización de la carga indican que también un número reducido de usos finales contribuyen de manera prioritaria a las demandas pico del sistema. En términos de la responsabilidad de los usos finales que se le da a la electricidad en el Ecuador en el período de carga pico también se destaca la iluminación con el 34% y el 46% de la demanda máxima coincidente en la Costa y Sierra respectivamente; le sigue la fuerza motriz con el 35% y el 29% de la demanda máxima coincidente en la Costa y Sierra respectivamente.

Del análisis de la demanda de potencia residencial por usos finales se concluye que la mayor responsabilidad en la punta le corresponde el sector residencial (43%). En éste sector se destaca la iluminación tanto en la Costa (con el 43% de la demanda coincidente del sector), como en la Sierra (con el 55% de la contribución del sector).

El segundo uso más importante en términos de incidencia en la punta residencial es la refrigeración de alimentos, tanto en la Costa (23% de la demanda coincidente) como en la Sierra (14%). El tercero más importante en la Costa en lo que se refiere a la demanda de potencia en la punta del sistema nacional es el aire acondicionado (13%), mientras que en la Sierra esta ubicación se debe al uso de radio/TV (11%) y el calentamiento de agua (7%).

Entre las posibles medidas tendientes a reducir el uso de la energía en el pico de demanda se ha considerado como la más conveniente el implantar equipos de control temporizados a aquellos artefactos eléctricos que no es imprescindible su utilización en las horas pico, impidiéndoles energizarse en dichas horas.

Al respecto, se estima que es la mejor alternativa desde el punto de vista práctico y económico, ya que el poder instalar otro tipo de medidores en los usuarios residenciales, que permitan el registro del consumo y posterior tarificación de acuerdo a la hora, va a ser muy difícil de tenerla en funcionamiento en el corto plazo.

La presente Tesis versará sobre la implantación de un circuito electrónico de control para analizar el efecto de la curva de demanda de usuarios residenciales que dispongan de tanques eléctricos calentadores de agua en situaciones en que se evita energizar el tanque en la “horas pico” nocturna de la curva de demanda cuyo horario está comprendido entre las 18h30 y 21h00.

La curva de demanda de cada usuario se obtendrá captando el consumo de potencia media cada 15 minutos durante las 24 horas del día y en un período de 7 días. Las siete curvas de

demanda obtenidas sin el control de carga serán contrastadas con aquellas que se obtengan con el circuito de control implantado por el mismo período de tiempo y así hacer la comparación día por día y obtener las conclusiones respectivas.

## CAPÍTULO 2.

### *DISEÑO DEL DISPOSITIVO DE CONTROL.*

- 2.1. Características circuitales.
- 2.2. Diagrama de bloques.
- 2.3. Diseño de cada una de las etapas.
- 2.4. Diagramas de flujo.
- 2.5. Desarrollo del programa principal y subrutinas.

---

## CAPÍTULO 2

### 2. DISEÑO DEL DISPOSITIVO DE CONTROL

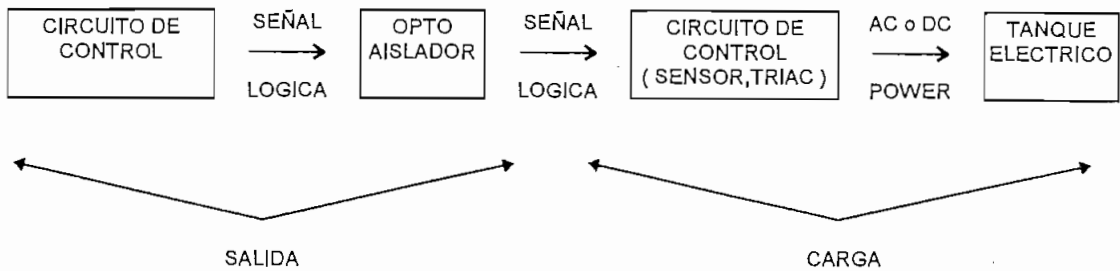
---

El circuito a ser diseñado va a permitir implantar un pequeño sistema de gestión de cargas eléctricas, con el fin de administrar el consumo de la energía eléctrica residencial. Este dispositivo es un controlador de encendido y apagado de tanques eléctricos calentadores de agua, cuyas características generales se detallan a continuación.

El sistema electrónico es de tecnología analógica y digital, lo que nos facilita la incorporación de muchas funciones ciertamente útiles a la hora de controlar el consumo de energía, tal es así que se ha propuesto que el equipo permita controlar el encendido y apagado de un tanque de calentamiento de agua de uso residencial; mismo que por su alto consumo de energía eléctrica, normalmente requiere que se le dedique un cableado aparte por las altas corrientes que por él circulan.

En la figura -2.1-. se muestra el diagrama en bloques general de cada una de las etapas de todo el proceso del sistema de gestión de carga que se pretende diseñar, en el mismo se especifican en forma física y lógica la relación que existe entre cada una de las partes que lo conforman.





*Figura -2.1.- Diagrama del equipo a diseñarse para gestión de carga.*

## 2.1. CARACTERÍSTICAS CIRCUITALES

Para el diseño del dispositivo de control de tanques de calentamiento de agua, se trata a todo el conjunto de partes como lo que efectivamente es, un sistema electrónico y así se podrá realizar una explicación mucho más entendible del diseño de cada una de las etapas; nótese que la única parte no electrónica, es la carga.

El sistema electrónico tiene como elemento fundamental un microcontrolador, que facilita la realización de todas las funciones y opciones del sistema en forma automática y temporizada. Para realizar el control en tiempo de cada una de las tareas que debe realizar el equipo se ha previsto la presencia de un reloj-calendario en tiempo real, mismo que es totalmente compatible con cada una de las funciones del microcontrolador.

Con el fin de indicar la función que en un momento determinado se encuentra realizando el equipo se ha dispuesto una serie de mostradores luminosos de tal forma que el usuario conozca en cualquier momento, qué proceso exactamente se encuentra realizando el equipo y en que condición de operación se encuentra.

Para indicar las horas y minutos nos valdremos de un juego de dos displays luminosos de 7 segmentos, cuyo manejo y configuración serán descritas más adelante. El equipo consta además de dos teclas, que permiten escoger la tarea a realizar, las funciones de cada una de las teclas se definen en los siguientes subcapítulos.

Para activar el encendido/apagado del tanque, por seguridad el sistema electrónico dispone de una etapa de acoplamiento óptico con el fin de aislar la sección de control y la de fuerza, utilizando para ello un opto-triac, el mismo que habilita o deshabilita la energización del circuito de fuerza, de acuerdo con su tiempo programado para el encendido y apagado.

Resumiendo, las características más relevantes del dispositivo de control de encendido y apagado de tanques de calentamiento de agua eléctricos, serán las siguientes:

- Control por programa almacenado;
- Funcionamiento en base a un microcontrolador;
- Indicación por medio de un juego de displays;
- Reloj - calendario en tiempo real;
- Botones para la programación de eventos de ON/OFF;
- Juego de LEDS para indicación de estado;

- Control obligatorio a ciertas horas del día;
- Entrada de 110/220 Vac, 60 Hz;
- Salida hacia el tanque de 110/220 Vac.

## 2.2. DIAGRAMA DE BLOQUES

El diagrama de bloques que se ha concebido para el equipo de control de encendido y apagado de tanques de calentamiento de agua, se muestra en la figura -2.2.- y consta de las siguientes partes principales:

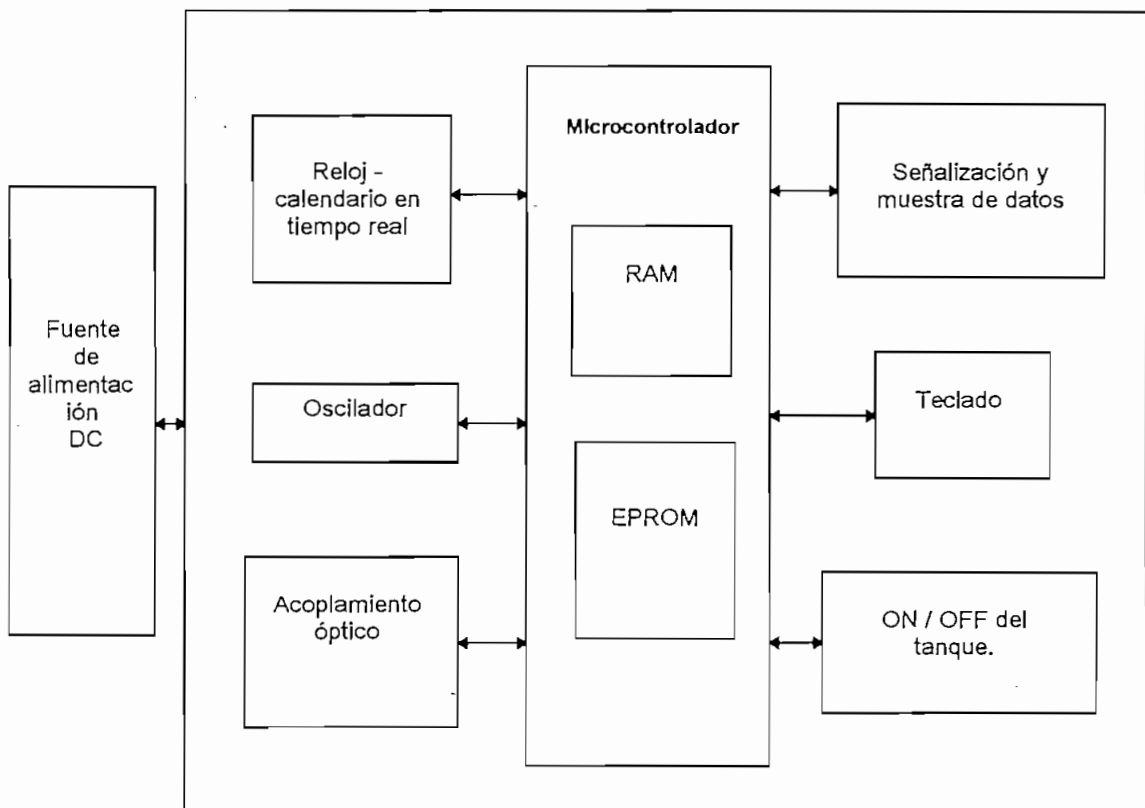


Figura - 2.2.- Diagrama de bloques del dispositivo de control de tanques.

1. Microcontrolador de la familia Intel MCS-48, como elemento fundamental y es el que contiene el programa de control.
2. Reloj - calendario en tiempo real, para determinar las horas en las que debe realizarse el encendido o apagado del tanque de calentamiento de agua.
3. Circuito de oscilación local, mismo que constituye la referencia de funcionamiento del microcontrolador.
4. Circuito de señalización y muestra de datos, dispositivos cuyo propósito será permitir la visualización del estado del equipo de control.
5. Circuito de acoplamiento óptico, interfaz necesaria para desacoplar la carga del circuito electrónico.
6. Circuito de ON /OFF del tanque, dispositivo que permite el manejo de la carga, al trabajar como un actuador.
7. Circuito de teclado, para conseguir el ingreso de los datos; y
8. Fuente de energía de +5 voltios DC.

## **2.3. DISEÑO POR ETAPAS**

### **2.3.1. MICROCONTROLADOR 8748**

El corazón del equipo y por tanto el circuito principal de control del sistema electrónico es un microcontrolador, se ha definido utilizar el circuito Intel i8748, el mismo que garantiza las suficientes facilidades y flexibilidad para la corrida del programa y manejo de los

dispositivos externos al microcontrolador; a continuación se describen las características más importantes de este circuito.

1. CPU de 8 bits;
2. Aritmética binaria;
3. Circuito de oscilación de reloj interno y externo;
4. 27 líneas de entrada/salida;
5. Capacidad de 1 Kbyte de memoria de programa (EPROM) incluido en el chip y 64 bytes de memoria RAM que pueden ser utilizados de acuerdo a las preferencias del usuario.  
Además mediante la selección adecuada de los pórtilos y un bus de direcciones se puede ampliar tanto la memoria de programa como la memoria de datos.
6. Temporizador / contador de 8 bits;
7. Interrupción externa;
8. Voltaje de polarización de +5 V.

Estas características del microcontrolador 8748 son suficientes para poder desarrollar el control de encendido y apagado de tanques de la forma más simple posible, de ahí la razón de haber escogido este circuito.

### **2.3.2. RELOJ - CALENDARIO EN TIEMPO REAL DS1202**

El elemento que va a servir de referencia para que se cumplan en las horas previstas los eventos de encendido y apagado es el DS1202, que es un reloj-calendario en tiempo real que trabaja con un cristal (Y2) de 32 kHz de frecuencia de resonancia y una batería (BT1) de 3 voltios DC, para efectos de preservar la información y de esta forma garantizar el normal funcionamiento del equipo de control. El DS1202 es un elemento del fabricante Dallas Semiconductors que presenta las facilidades necesarias para la presente aplicación

El circuito ha sido diseñado para su trabajo en conjunto con un microprocesador; y es así como las señales de control del reloj: reset (RST), habilitación (SCLK) y entrada/salida de datos (I/O) provienen del microcontrolador, las mismas que se activan o desactivan de acuerdo a la secuencia del programa residente en la EPROM.

El DS1202 se alimenta con un voltaje de +5 Vdc cuando el fluido eléctrico de la fuente es normal; por lo tanto el diodo D1 conduce mientras que el diodo D2 se polariza inversamente y desconecta la batería. En el caso de suspensión de energía al circuito, los datos del reloj - calendario y RAM son preservados con una batería de 3 voltios, en este caso conduce el diodo D2 y se polariza inversamente el diodo D1. El condensador C7 sirve para fijar el voltaje proveniente de la fuente o batería en cualquiera de los dos casos anteriores y sostiene por pequeños instantes de tiempo el voltaje de alimentación al DS1202 el momento de cambio de alimentación entre una y otra opción.

El diagrama de esta sección del controlador de tanques se muestra en la fig -2.3.-.

### 2.3.3. CIRCUITO DE OSCILACIÓN LOCAL

Para la operación adecuada del microcontrolador se le acopla un circuito de reloj local, el cual determina la frecuencia de ejecución de los ciclos de máquina. Este circuito consta de un cristal (Y1) de 3,579545 Mhz y dos condensadores cerámicos (C4 y C5) de 22 pF cada uno, tal como lo sugiere el fabricante.

De donde podemos concluir que el tiempo de duración de un ciclo de máquina  $t_{CM}$  en función de la frecuencia del oscilador ( $fr$ ) es:

$$t_{CM} = \frac{15}{fr}$$

Donde el dato del numerador 15, corresponde a los ciclos de reloj que conforman un ciclo de máquina (CM), para este microcontrolador. Si  $fr = 3,579545$  Mhz, el tiempo de duración del ciclo de máquina será :

$$t_{CM} = \frac{15}{3,579545 \times 10^6 \text{ Hz}} = 4,2 \mu\text{s}$$

### 2.3.4. CIRCUITO DE SEÑALIZACIÓN Y MUESTRA DE DATOS

El circuito de señalización consta de 6 diodos leds (D3, D4, D5, D6, D7 y D8), los cuatro primeros indican la función que se encuentra realizando el dispositivo de control, tal como se muestra en la tabla -2.1.-.

D3	Igualación del reloj
D4	Determina hora y minutos de desconexión del tanque.
D5	Determina hora y minutos de reconexión del tanque
D6	Activación / desactivación del tanque

*Tabla -2.1.- Señalización de las funciones que realiza el dispositivo de control.*

Mientras que los 2 diodos leds restantes indican si la operación respectiva se realiza sobre las horas (D7) o minutos (D8).

Para la operación de cada diodo LED, los cátodos son colocados a las salidas de los amplificadores de corriente tipo inversores (darlington ULN2003), cuyas salidas (O1, O2,..O7) se activan en bajo, permitiendo así el encendido de el diodo correspondiente.

De acuerdo a su forma de activación, los diodos se configuran en ánodo común, con una resistencia de limitación de corriente para conseguir una luminosidad aceptable, la misma que se la intercala entre los ánodos y la fuente Vcc, el valor de dicha resistencia se calcula de la siguiente manera:

$$R = V_{LED} / I_{LED}$$

$$R = (5 \text{ V} - 1,4 \text{ V}) / 12 \text{ mA} = 300 \Omega$$



Cabe destacar, que una vez realizadas las pruebas experimentales para conseguir efectivamente una intensidad luminosa que permita ver con claridad el encendido del LED, fue necesario modificar el valor de la resistencia a  $220 \Omega$ .

Con el fin visualizar los valores de igualación del reloj y programación del tiempo en horas y minutos de encendido y apagado del tanque se consideró necesario que el equipo disponga de un juego de displays de 2 caracteres (para las decenas y unidades) los mismos que tienen las siguientes características generales de funcionamiento:

1. Displays de 7 segmentos ECG 3078
2. Ánodo común; y
3. Luminosidad de color rojo.

Cada uno de los display son habilitados desde el microcontrolador a través de un transistor PNP de señal, el mismo que actúa entre saturación (habilitación del display) y corte (deshabilitación del display).

Las señales correspondientes a cada uno de los segmentos de los indicadores salen del microcontrolador, luego son amplificadas sus corrientes a través de dispositivos inversores ULN2003, que son un juego de 7 transistores darlington y finalmente se conectan a cada línea de los displays a través de resistencias de limitación de  $100 \Omega$ . Una misma resistencia sirve para limitar la corriente de un solo segmento en los dos indicadores, razón por la que se utiliza sólo 7 resistencias de limitación en total para los dos indicadores.

La corriente que soporta cada uno de los segmentos es 12 mA típico, por lo que el valor de la resistencia de limitación se obtiene de la siguiente manera:

$$V(\text{cátodo}) = V_{CC} - V_{ce(\text{sat})} - V_{\text{LED}} = (5 - 0,2 - 1,4) \text{ V} = 3,4 \text{ Voltios.}$$

Si se tiene dos segmentos encendidos a la vez, tenemos:

$$R = V(\text{cátodo}) / 2 I_{(\text{LED})}$$

$$R = 3,4 \text{ V} / 2 (12) \text{ mA}$$

$$R = 141 \Omega.$$

De acuerdo con las pruebas efectuadas y con el propósito de conseguir una luminosidad aceptable, se utiliza una resistencia de 100  $\Omega$ .

Por ejemplo si sólo se enciende el segmento a de un sólo display, la corriente que soportaría este LED sería de 48 mA, valor que se encuentra dentro del límite de corriente máxima que soportan los LEDs de los displays utilizados.

Esta corriente de 24 mA o 48 mA es proveída gracias a la presencia de los elementos ULN2003 que tienen una corriente de salida máxima de 500 mA.

El diagrama del circuito de oscilación y el de señalización y muestra de datos se presenta en la figura 2.4.-, donde se puede observar cada una de éstas etapas.

### 2.3.5. CIRCUITO DE ACOPLAMIENTO ÓPTICO

Esta etapa del sistema electrónico, consta de un opto-aislador (opto-triac MOC3031) cuyo cátodo del diodo de entrada es activado desde el microcontrolador a través del ULN2003.

En la figura -2.5.- se muestra la configuración de cada opto-triac, con sus señales de entrada y salida de habilitación.

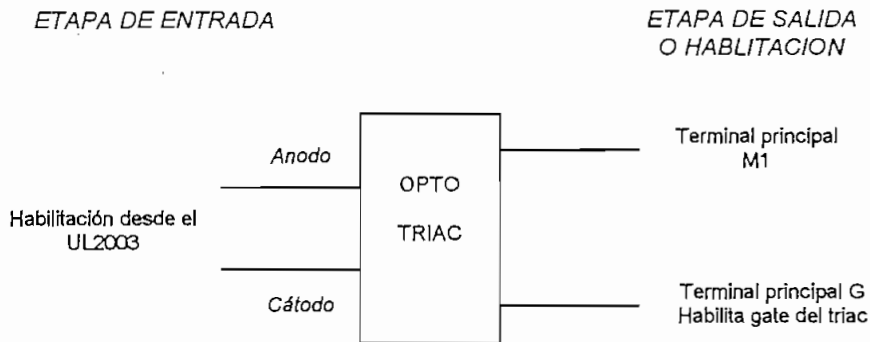


Figura -2.5.- Conexiones del opto-triac para habilitación del triac de encendido de la carga.

### 2.3.6. CIRCUITO DE ON/OFF DEL TANQUE

Constituye la etapa para el manejo de potencia del sistema electrónico, está formada por un triac que actúa de switch para activar el encendido y apagado del tanque de calentamiento de agua.

El triac escogido es el ECG 5679 cuyas características son 40 A / 600 V<sub>RMS</sub>, el triac pasa del estado de bloqueo al de conducción mediante una corriente de compuerta mínima de 50 mA según el fabricante, la misma que proviene de la salida G del opto-triac. Entre el terminal principal (1) del triac y la compuerta (3) del mismo se coloca una resistencia de 1 K $\Omega$  (sugerencia del fabricante) con el fin de garantizar el voltaje de trabajo necesario para la activación del triac y por lo tanto permitir que el elemento de calentamiento del tanque se energize.

El diagrama circuital del circuito ON/OFF se muestra en la figura 2.6.-

### 2.3.7. CIRCUITO DE TECLADO

Para escoger la función que se desea realizar (tabla -2.2.-) se ha diseñado un circuito de teclado formado por dos teclas S1 y S2, las mismas que al ser presionadas ponen en bajo los pines T0 y T1 del microcontrolador respectivamente y realizan la función correspondiente; su conexión se realiza entre el pin respectivo y la tierra del circuito, tal como se muestra en el diagrama circuital del ANEXO A.

TECLA	FUNCION
S1	Escoge entre horas y minutos
S2	Escoge una de las cuatro funciones de la tabla -2.1.

*Tabla -2.2.- Operación que realiza cada tecla.*

### 2.3.8. FUENTE DE ENERGÍA DE +5 VOLTIOS DC.

Con el fin de calcular la carga que soportará esta fuente se hace un pequeño análisis de sumas de cargas (véase tabla -2.3.-) de los componentes de todo el sistema electrónico, se toman en cuenta las más importantes:

ELEMENTO	CARGA EMPLEADA (mA)	
	UNITARIA	TOTAL
MICROCONTROLADOR 8748	65	65
ULN2003	150	300
DS1202	20	40
MOC3031	330	330
DISPLAY 7 SEGMENTOS	80	160
OTROS ELEMENTOS	50	50
PÉRDIDAS	30	30
<b>TOTAL</b>		<b>975</b>

*Tabla -2.3.- Consumo de corriente de los componentes del controlador.*

Considerando la carga total a la que estará sujeta la fuente, se necesita una fuente de alimentación con las siguientes características:

- Voltaje nominal = +5 voltios.
- Corriente Nominal = 1 amperio
- Potencia = 5 vatios.

La fuente de alimentación del sistema electrónico, es una fuente regulada que consta básicamente de un regulador de voltaje, con el fin de mantener fijo el voltaje de alimentación a todos los elementos que conforman el circuito de control.

En la fuente de corriente continua, se realizan los procesos de rectificación, filtrado y regulación de la señal AC que se recibe de la fase. El diseño de la fuente se realiza desde la carga y se lo detalla a continuación:

### **Etapa de regulación.**

El proceso de regulación de la fuente se lleva a cabo utilizando un regulador de voltaje LM7805 o su equivalente el ECG 960, que con un rango de voltaje de entrada entre 7 y 35 voltios ofrece una salida de +5 voltios y 1 amperio. A la salida del regulador se coloca un capacitor C3 (1000  $\mu$ F/16 V) en paralelo, cuya función es ayudar a mantener el voltaje Vcc en su valor nominal y adicionalmente filtra las variaciones de voltaje a altas frecuencias.

**Etapas de filtrado.**

El proceso de filtrado se realiza gracias a la ayuda de un capacitor C2, los datos para calcular el valor de este condensador son los siguientes:

- Voltaje a la entrada del regulador = Voltaje a la salida del filtro  $C = V_{dc} = 9V$ .
- Rizado =  $\Gamma = 30\%$
- Frecuencia =  $f = 60 \text{ Hz}$ .
- $R_L = V_{dc} / I_{dc} = 9V / 1A = 9 \Omega$

La fórmula para hallar el valor de C2 es la siguiente:

$$C \geq \frac{I}{4\sqrt{3}fR\Gamma}$$
$$C \geq 891 \mu F$$

Se escoge un valor de  $C2 = 1000 \mu F / 25 \text{ V}$ , que es un capacitor electrolítico. Con estos datos ya se puede calcular el voltaje pico a la entrada del filtro ( $V_s$ ) valiéndonos de la siguiente fórmula:

$$V_s = V_{dc} \left( 1 + \frac{I}{4fCR} \right)$$
$$V_s = 9V \left( 1 + \frac{I}{(4)(60)(1000 \times 10^{-6})(9)} \right)$$
$$V_s = 13,17V.$$

### **Etapa de rectificación.**

El proceso de rectificación se realiza con un puente de diodos, obteniéndose un rectificador de onda completa, cada uno de los diodos tiene la característica de soportar una corriente de 1A y 600 V<sub>PT</sub>, el diodo que cumple estas características es el IN4005. Ahora bien, si al valor de V<sub>s</sub> le sumamos los 1,2 voltios de caída en los diodos obtenemos el voltaje pico (V<sub>r\_pico</sub>) a la salida del transformador T1, siendo este valor igual a 14,4 voltios pico o su equivalente  $v_r=10,2$  Vrms.

### **Etapa de reducción.**

La etapa de reducción de la fuente AC consta de un transformador reductor T1, cuyo fin es reducir el voltaje de entrada de la fase a la fuente continua, se utiliza en este proceso un transformador de 115 / 7 Vrms y 60 Hz.

El diagrama circuital de la fuente se muestra en la figura -2.7.-.

### **2.3.9. VERSIÓN REDUCIDA DEL DISPOSITIVO DE CONTROL**

El equipo de control diseñado en los subcapítulos anteriores, básicamente es un equipo de pruebas de laboratorio, y de acuerdo a esa condición se le ha dotado de funciones adicionales a aquellas que se necesitan para impedir el encendido del tanque a la “hora pico” como es el objetivo de la función a cumplir por el dispositivo de control.



Con fines de instalación del dispositivo de control en residencias que utilicen calentadores de agua y probable comercialización futura, se ha diseñado y construido una versión que cumple las funciones básicas del control de carga y por lo tanto de costo inferior al equipo de laboratorio.

La versión reducida del dispositivo de control de tanques de calentamiento de agua tiene las siguientes características:

1. Microcontrolador de la familia Intel MCS-48, como elemento fundamental y es el que contiene el programa de control;
2. Reloj - calendario en tiempo real, para determinar las horas en las que debe realizarse el encendido o apagado del tanque de calentamiento de agua;
3. Circuito de oscilación local, mismo que constituye la referencia de funcionamiento del microcontrolador;
4. Circuito de señalización, cuyo propósito será permitir la visualización del estado del equipo de control;
5. Circuito de acoplamiento óptico, interfaz necesaria para desacoplar la carga del circuito electrónico;
6. Circuito de ON /OFF del tanque, dispositivo que permite el manejo de la carga, al trabajar como un actuador;
7. Fusible de protección;
8. Juego de 2 borneras para conexión de fase y neutro de salida al tanque;

9. Dos leds externos para indicación de operación normal y conexión/desconexión del tanque; y
10. Fuente de energía de +5 voltios DC.

En consecuencia, la versión reducida no presenta el juego de displays, el juego de diodos LED, los darlingtons (ULN2003) y el circuito de teclado. Esta disminución de elementos equivale a reducir el costo en aproximadamente el 20%.

El diagrama circuital de la versión reducida o simplificada del dispositivo de control se muestra en la figura -2.8.-

## **2.4. DESARROLLO DEL SOFTWARE**

El programa que sirve para determinar el funcionamiento u operación del circuito de control del tanque, determina el trabajo del microcontrolador 8748 y está desarrollado en lenguaje de bajo nivel; es decir, con sus instrucciones escritas en lenguaje ensamblador. Este programa estará residente en la memoria EPROM del micro.

### **2.4.1. PROGRAMACIÓN DEL MICROCONTROLADOR 8748**

El programa residente en el microcontrolador fue escrito con ayuda del edit del DOS y compilado con el ensamblador del programa Cross Assembler C16, está concebido en forma

modular, ya que facilita el control y ejecución de las diferentes funciones previstas para el equipo, las mismas que son un conjunto de rutinas a cumplirse y de acuerdo a prioridades determinadas para el óptimo trabajo del controlador de tanques de calentamiento de agua.

El software desarrollado posibilita la realización de las siguientes operaciones que intervienen en la operación de control del tanque de calentamiento de agua:

#### **A.- INGRESO DE TIEMPOS PARA EL CONTROL**

- Ingreso en el programa de los siguientes parámetros:
  - HH:MM<sup>1</sup> para ajustar el tiempo de desconexión o apagado del tanque; y
  - HH:MM para ajustar el tiempo de reconexión o prenda del tanque.

#### **B.- OPERACIONES DEL DISPOSITIVO DE CONTROL**

- Iguala la hora, minutos y segundos del reloj en tiempo real;
- Comunicación entre el microcontrolador y el reloj - calendario; y
- Activar y desactivar el opto-triac.

#### **C.- VISUALIZACIÓN DE INFORMACIÓN**

- Muestra en el display la hora, minutos y segundos del reloj en tiempo real;
- ON de leds en activado del tanque y OFF de leds en desactivado.

### **2.4.2. DESCRIPCIÓN GENERAL DEL PROGRAMA**

---

<sup>1</sup> HH:MM significa horas y minutos

La operación del controlador de tanques consiste básicamente en desactivar el tanque de calentamiento de agua dentro de los límites de tiempo preestablecidos y que corresponden a la denominada “hora pico” de la curva de demanda de energía eléctrica.

Los límites de tiempo de la “hora pico” están determinados por el rango de tiempo comprendido entre la hora y minutos de apagado y la hora y minutos de encendido del tanque.

Por ejemplo: si el pico de carga de la curva de demanda se encuentra entre las 18h30 y 21h00, se puede trabajar en calentamiento de agua fuera de este horario, según el ejemplo el tiempo donde se puede realizar el encendido y/o apagado del tanque será después de las 21h00 y antes de las 18h30, en consecuencia el tanque pasará apagado durante las 2 horas y 30 minutos que dura el pico de carga de la curva de demanda, sin que se pueda alterar esta forma de trabajo.

Cabe indicar que también se podría programar otros lapsos para que el calentador de agua permanezca apagado, pero desde el punto de vista que interesa en la aplicación, sólo se va a controlar el pico de carga por un espacio de tiempo cada 24 horas.

El programa que permite realizar las funciones de activación / desactivación y que reside en la memoria EPROM del microcontrolador se llama *tanque1a.asm*<sup>2</sup> y consta de las siguientes partes fundamentales:

1. Ingreso de los datos de tiempos: igualación de reloj, tiempo de apagado y tiempo de encendido del tanque.
2. Operación normal: realiza constantemente un chequeo del tiempo para activar o desactivar el opto-triac en los tiempos previamente programados.

Los tiempo programados para el apagado y encendido tienen que ver con el inicio y fin de la hora pico vespertina y nocturna, este lapso será determinado de acuerdo al análisis de la curva de demanda previamente determinada.

3. Desactivación del tanque de agua al corresponder las horas y minutos actuales con el tiempo de apagado programado.
4. Activación del tanque de agua al existir coincidencia de las horas y minutos actuales con el tiempo de encendido programado.

#### **2.4.2.1. PROGRAMA PRINCIPAL**

El programa principal se lo ha desarrollado, para que fundamentalmente realice un proceso de comparación entre el tiempo actual (HH:MM) y el tiempo de apagado y encendido. Si el tiempo actual coincide con el tiempo de apagado se procede a manejar un dispositivo de

---

<sup>2</sup> *Tanque1a.asm* es el programa que se ejecuta en la versión completa del dispositivo, mientras que *Tanque1b.asm* es el programa que se ejecuta en la versión simplificada del dispositivo.

control, el opto-acoplador, desactivándose inmediatamente el triac y por lo tanto desenergiza el tanque de calentamiento de agua. Si el tiempo actual coincide con el tiempo de encendido se realiza el proceso contrario, lo que trae como resultado la energización del tanque de calentamiento de agua.

Cuando se inicia el trabajo del equipo de control hay que efectuar la igualación del reloj - calendario, proceso que se realiza con la ayuda del teclado, los datos de horas y minutos guardados no se alterarán cuando se desenergize el equipo, ya que posee una pila de respaldo que le hace a la memoria del DS1202 una NVRAM.

Ya en el trabajo normal, el microcontrolador constantemente lee el tiempo actual del reloj - calendario DS1202, dato que le sirve de referencia para la comparación con los tiempos de encendido y apagado.

El equipo de control está permanentemente mostrando en el display la hora, minutos y segundos actuales para control visual del tiempo por parte del usuario.

Las entradas de T0 y T1 son habilitadas con las teclas S1 y S2 respectivamente, las mismas que son leídas su estado constantemente para determinar si se quiere realizar alguna función de las que se detallan en el proceso FUNCIÓN del diagrama de flujo de la fig - 2.10.-

El diagrama de flujo del programa principal, mismo que define el funcionamiento del dispositivo de control de los tanques de calentamiento de agua, se muestra en la figura - 2.9.-.

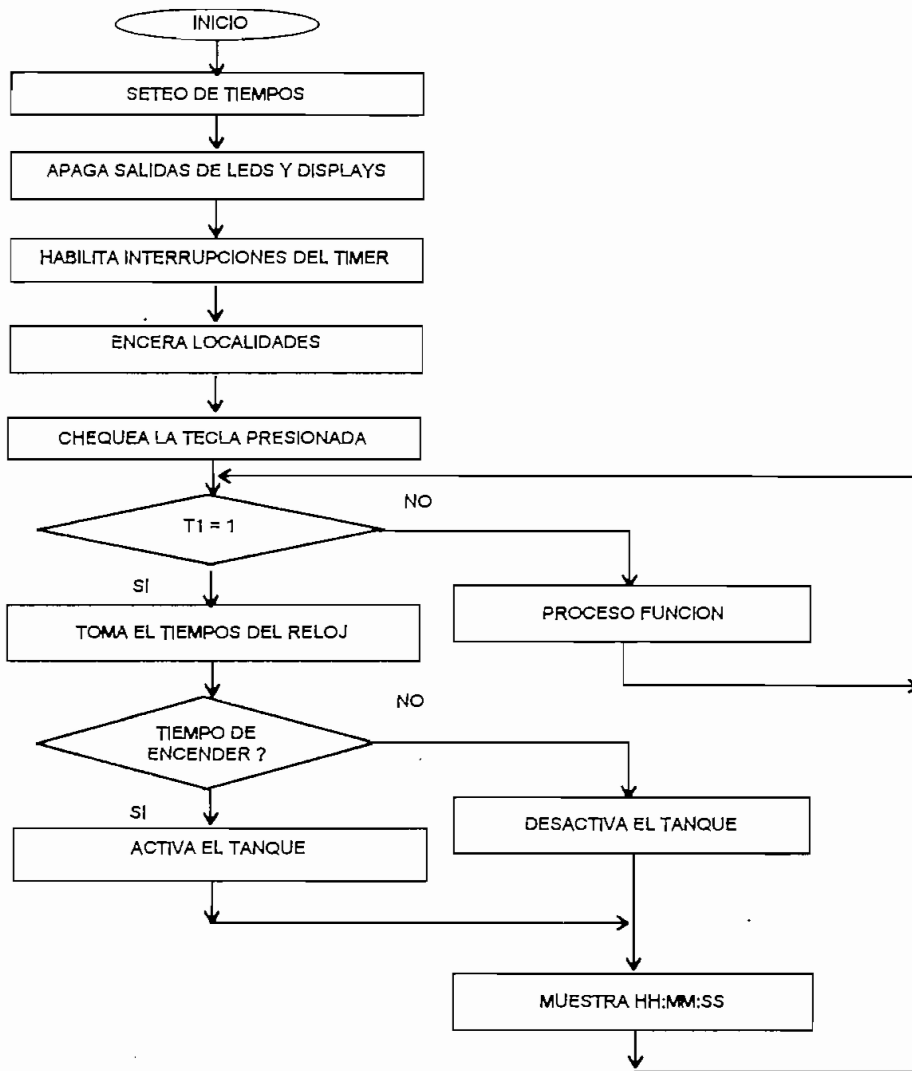


Figura -2.9.- Diagrama de flujo del programa principal

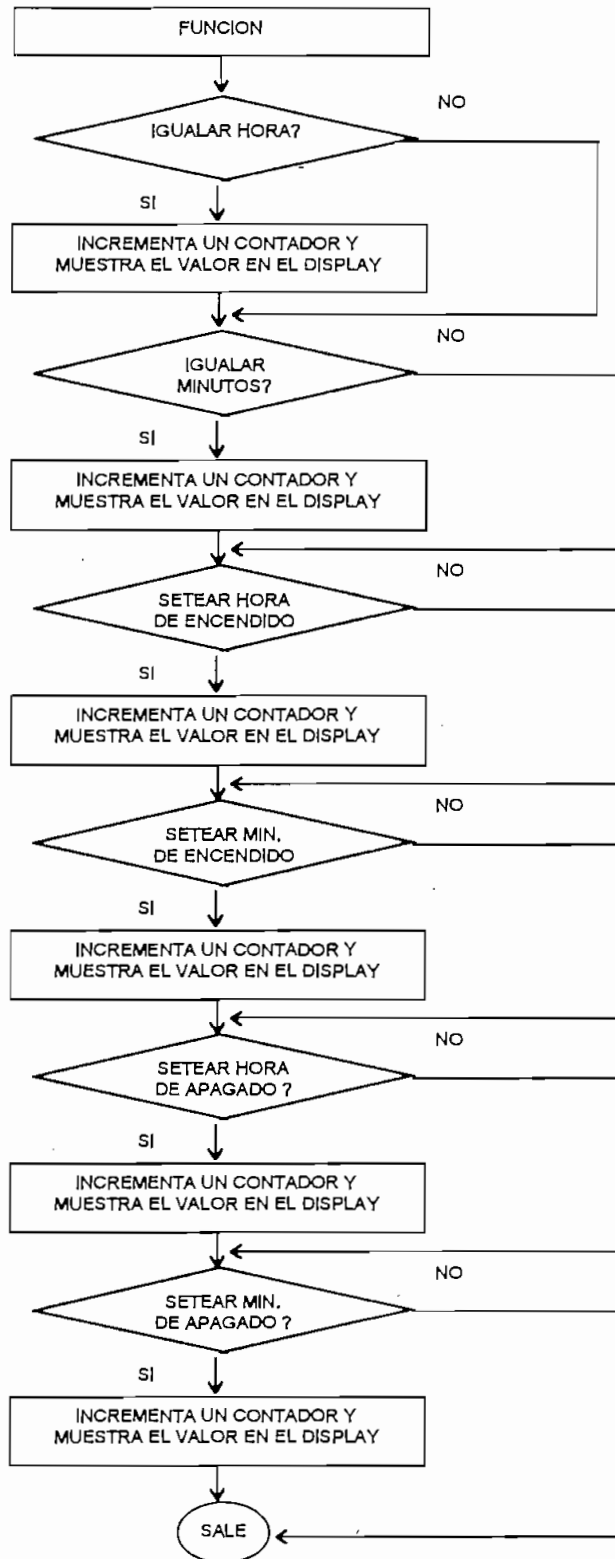


Figura -2.10.- Diagrama de flujo del proceso *FUNCIÓN*.



### 2.4.2.2. SUBROUTINAS DEL PROGRAMA PRINCIPAL

En el siguiente subcapítulo se detallan las subrutinas del Programa Principal (PP), las mismas que se encuentran organizadas en la Tabla -2.4.- que se muestra a continuación.

PROGRAMA PARA LA OBTENCIÓN DE LA CURVA DEMANDA EN TIEMPO REAL.	
APAGAR	Apaga LEDs y displays.
CEROCARRY	Encera tanto el carry como el carry auxiliar.
COMPARAR	Compara dos números de dos bytes (hh:mm actuales con hh:mm de encendido o apagado).
CLK_INIT	Iguala el reloj calendario DS1202.
CLK_HORON1	Guarda el dato de hora de encendido en la NVRAM del DS1202
CLK_MINON1	Guarda el dato de los minutos de encendido en la NVRAM del DS1202
CLK_HOROFF1	Guarda el dato de hora de apagado en la NVRAM del DS1202
CLK_MINOFF1	Guarda el dato de los minutos de apagado en la NVRAM del DS1202
CLK_CONT	Envía los datos desde el acumulador hacia el reloj - calendario DS1202
CLK_LEE	Lee bit a bit los datos del reloj - calendario DS1202.
DISPLAY	Muestra datos en forma decimal en el display.
INICIO_1	Inicializa parámetros de comunicación entre el $\mu$ C y el DS1202.
INCREMENTO	Incrementa el contador de horas y minutos
LEER_DAT1	Acomoda los datos para ser leídos desde el reloj al $\mu$ C.
NUMERO	Convierte un número BCD a su equivalente en 7 segmentos para mostrarlo en el display.
QUITA_RST	Deshabilita el RESET del reloj - calendario DS1202.
RETARDO	Genera un retardo de 30 segundos.
RST_CLK	Activa el reset del reloj - calendario DS1202.
SACA_SEG	Realiza la lectura de los segundos de la memoria del DS1202.
SACA_MIN	Realiza la lectura de los minutos de la memoria del DS1202.
SACA_HOR	Realiza la lectura de la hora de la memoria del DS1202.
SACAR_DAT1	Envía los bits uno a uno al reloj - calendario DS1202.
SACA_HORON1	Realiza la lectura de la hora de inicio de la "hora pico" de la memoria del DS1202.
SACA_MINON1	Realiza la lectura de los minutos de inicio de la "hora pico" de la memoria del DS1202.
SACA_HOROFF1	Realiza la lectura de la hora de finalización de la "hora pico" de la memoria del DS1202.
SACA_MINOFF1	Realiza la lectura de los minutos de finalización de la "hora pico" de la memoria del DS1202.
TIMER	Rutina de interrupción del timer.

Tabla -2.4.- Subrutinas utilizadas en el programa Tanque1.asm

## **2.5. DESARROLLO DE LAS SUBRUTINAS**

El programa principal se lo ha desarrollado en forma modular, para la mejor comprensión de las funciones que ejecuta el dispositivo de control, dichas subrutinas se las ha clasificado de la siguiente manera, tal como se explica en los siguientes subcapítulos:

### **2.5.1. SUBRUTINAS DE TRABAJO DEL DS1202**

Las subrutinas del DS1202 son aquellas que permiten la escritura de bytes en el reloj - calendario ya sea para igualar el tiempo y fecha o para guardar información en la NVRAM de este chip. Tienen que ver también con éste grupo de instrucciones aquellas que permiten realizar la lectura de información almacenada en el DS1202. Tanto el proceso de lectura como el de escritura en el DS1202 se realiza bit a bit, por lo que las rutinas con las que trabaja el reloj - calendario son cortos procesos de transmisión y recepción serial entre el microcontrolador y el DS1202. Estas rutinas se detallan en los siguientes numerales.

#### **2.5.1.1. SUBRUTINA CLK\_INIT**

Esta rutina empieza inicializando el reloj - calendario para escribir en el modo CLOCK/CALENDAR BURST MODE, mediante la rutina INICIO\_1 que permite el acceso de

manera secuencial a todas las localidades del reloj - calendario ya sea para lectura o escritura de estas localidades.

A continuación se inicializa el reloj - calendario DS1202 con los datos de hora y minutos actuales, otros datos como segundos, día, fecha, mes y año se fijan con datos determinados en el programa, es decir, para efectos del presente trabajo sólo importa que se iguale la hora y minutos del reloj, ya que van a ser los únicos parámetros de tiempo para la comparación de tiempo de encendido y tiempo de apagado.

Luego de inicializar los datos de tiempo y fecha, se utiliza la rutina CLK\_CONT para acomodar los datos y transferirlos al reloj bit a bit en forma serial. El diagrama de flujo de esta rutina se muestra en la figura -2.11-.

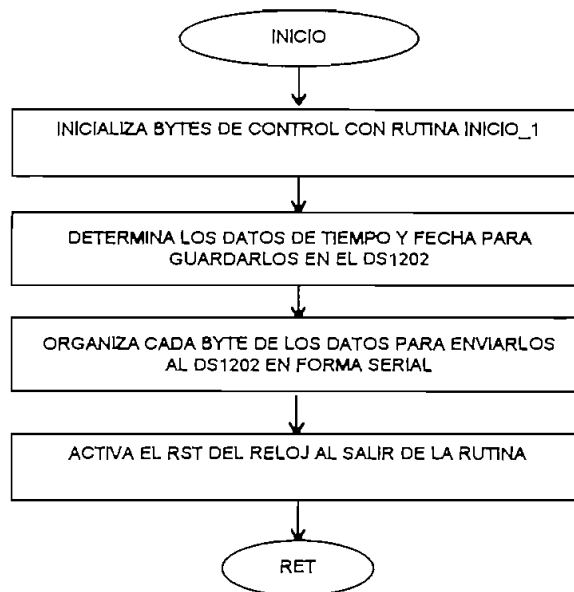


Figura -2.11.- Diagrama de flujo de la subrutina CLK\_INIT.

### 2.5.1.2. SUBROUTINA INICIO\_1

Esta rutina realiza la inicialización de los bytes de control y reset para escritura en los bytes de la RAM del DS1202 correspondientes al reloj - calendario. El diagrama de flujo se muestra en la fig -2.12.-.

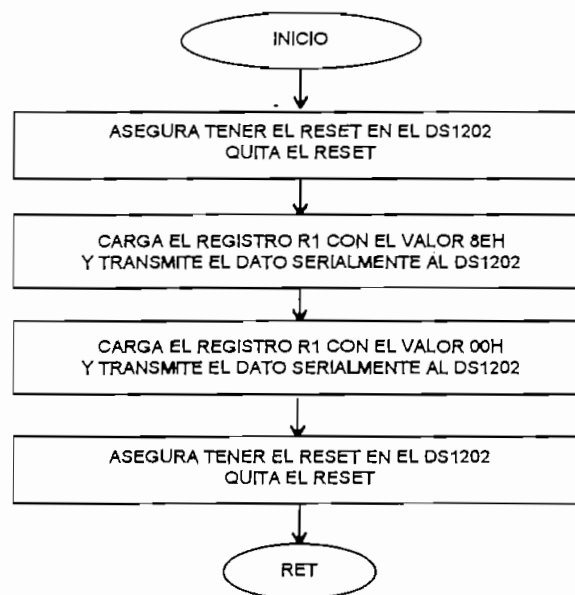


Figura -2.12.- Diagrama de flujo de la subrutina INICIO\_1.

### 2.5.1.3. SUBROUTINA CLK\_CONT

El trabajo de esta subrutina es enviar un dato desde el acumulador hacia el reloj - calendario DS1202 en forma serial bit a bit, para lo que toma el dato a enviarse desde el registro R1, lo coloca en el acumulador y luego va recorriendo a la derecha este registro y envía uno a uno

los bits desde el bit menos significativo hasta el bit más significativo con el apoyo de la rutina SACAR\_DAT1. El diagrama de flujo de esta subrutina se muestra en la fig -2.13.-.



Figura -2.13.- Diagrama de flujo de la subrutina CLK\_CONT.

#### 2.5.1.4. SUBROUTINA SACAR\_DAT1

Es la rutina encargada de tomar el bit menos significativo del acumulador y enviarlo al reloj - calendario desde el pin P1.7 del pòrtico P1 hacia el pin I/O del DS1202. Tal como se muestra en la fig -2.14.-.

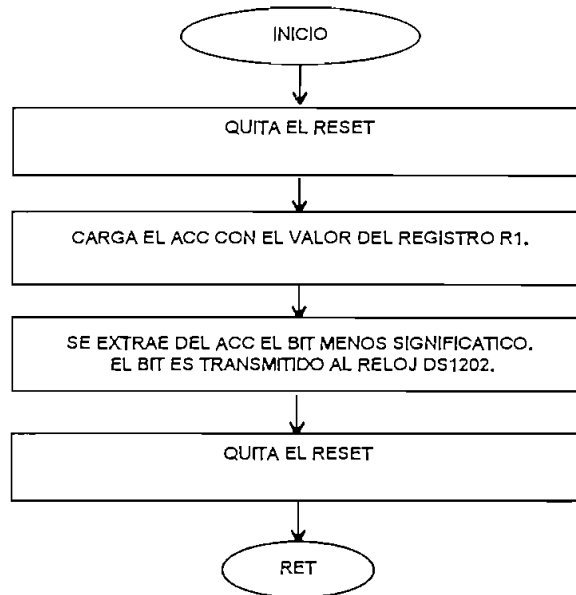


Figura -2.14.- Diagrama de flujo de la subrutina SACAR\_DAT1.

#### 2.5.1.5. SUBROUTINA CLK\_LEE

El trabajo de esta rutina es leer datos del reloj -calendario DS1202 y ponerlos en el registro R1. Para ello, luego de determinar el dato a leerse, esta rutina se vale de una rutina auxiliar denominada LEER\_DAT1 para leer bit a bit el dato del reloj y ubicarlo en R1. El diagrama de esta subrutina se ilustra en la figura -2.15.-.

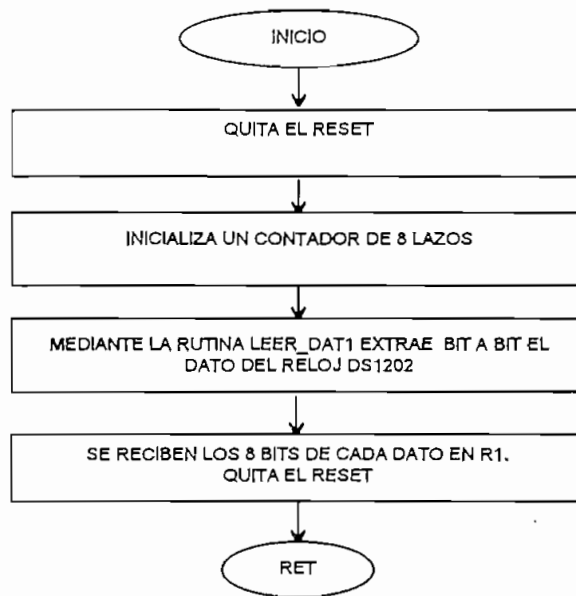


Figura -2.15.- Diagrama de flujo de la subrutina CLK\_LEE.

#### 2.5.1.6. SUBROUTINA LEER\_DAT1

Es la rutina encargada de tomar el bit menos significativo de un determinado dato del reloj - calendario desde el pin I/O del DS1202 hacia el pin P1.7 del pòrtico P1. Tal como se muestra en la fig -2.16.-.



Figura -2.16.- Diagrama de flujo de la subrutina LEER\_DAT1.

#### 2.5.1.7. SUBROUTINA CLK\_HORON1

Esta subrutina guarda en la localidad 0 de la NVRAM del reloj - calendario el dato de la hora de apagado del tanque<sup>3</sup>; para ello al igual que la subrutina CLK\_INIT se vale de la subrutina CLK\_CONT para escribir el dato en el DS1202 bit a bit. Tal como se muestra en la fig -2.17.-.

<sup>3</sup> La hora de apagado del tanque coincide con el inicio de la "hora pico".



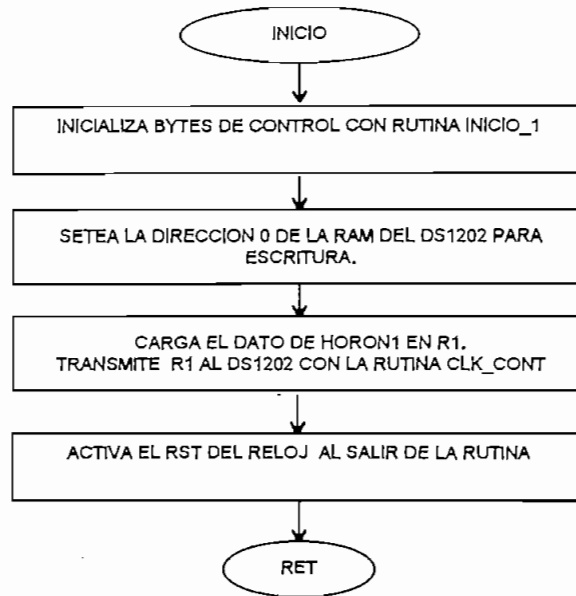


Figura -2.17.- Diagrama de flujo de la subrutina CLK\_HORON1.

#### 2.5.1.8. SUBRUTINA CLK\_MINON1

Esta subrutina es la encargada de guardar en la localidad 1 de la NVRAM del reloj - calendario el dato de los minutos de apagado del tanque; para ello al igual que la subrutina CLK\_INIT se vale de la subrutina CLK\_CONT para escribir el dato en el DS1202 bit a bit. Tal como se muestra en la figura -2.18.-.

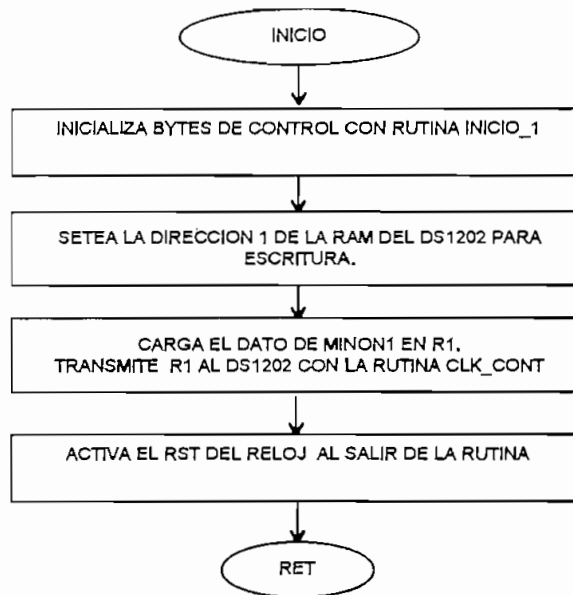


Figura -2.18.- Diagrama de flujo de la subrutina CLK\_MINON1.

#### 2.5.1.9. SUBROUTINA CLK\_HOROFF1

Esta subrutina guarda en la localidad 2 de la NVRAM del reloj - calendario, el dato de la hora de encendido del tanque<sup>4</sup>; para ello al igual que la subrutina CLK\_INIT se vale de la subrutina CLK\_CONT para escribir el dato en el DS1202 bit a bit. Tal como se muestra en la figura -2.19.-.

<sup>4</sup> La hora de encendido o reconexión del tanque coincide con la finalización de la “hora pico”.

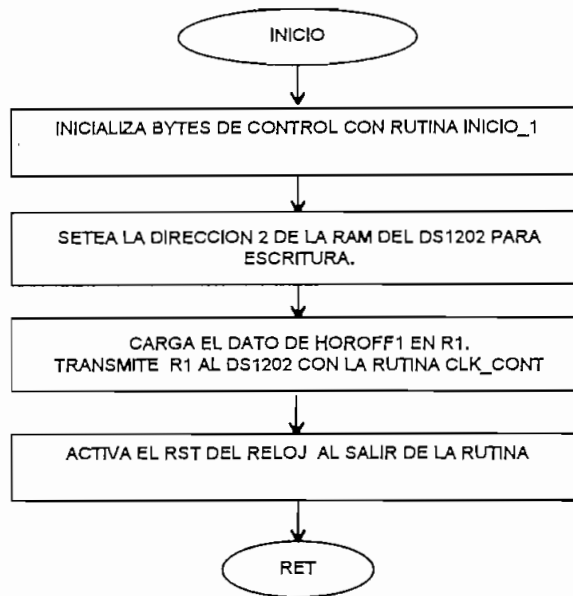


Figura -2.19.- Diagrama de flujo de la subrutina CLK\_HOROFF1.

#### 2.5.1.10. SUBRUTINA CLK\_MINOFF1

Esta subrutina guarda en la localidad 3 de la NVRAM del reloj - calendario el dato de los minutos en que se efectuará el encendido del tanque; para ello al igual que la subrutina CLK\_INIT aprovecha la subrutina CLK\_CONT para escribir el dato en el DS1202 bit a bit. Tal como se muestra en la fig -2.20.-.

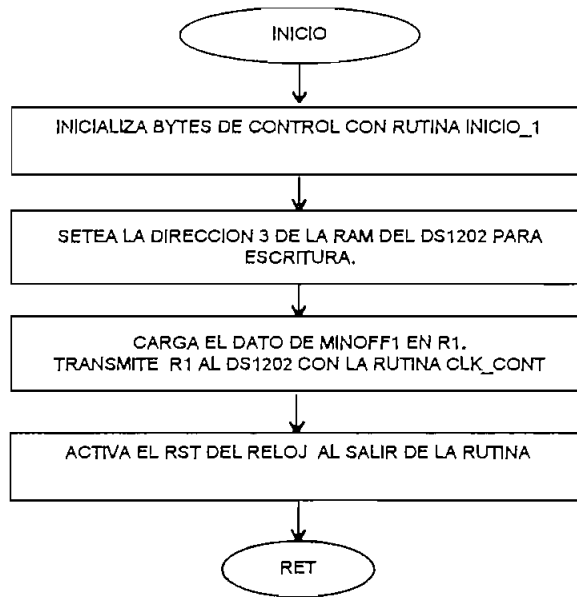


Figura -2.20.- Diagrama de flujo de la subrutina CLK\_MINOFF1.

#### 2.5.1.11. SUBRUTINA SACA\_SEG

Esta subrutina recupera el dato de los segundos de la localidad correspondiente de la NVRAM del reloj - calendario, para almacenarlo temporalmente en la localidad SEGUNDO de la RAM del microcontrolador.

Esta rutina empieza accediendo al reloj a través del byte de control que es transmitido mediante la rutina CLK\_CONT, luego procede a la lectura de la localidad donde se guardan los segundos del DS1202 a través de la rutina CLK\_LEE y finalmente el dato recuperado se

carga en el registro R1 para luego guardarlo en la localidad de memoria RAM del microcontrolador correspondiente a los segundos (SEGUNDO). Tal como se muestra en la fig. -2.21.-.

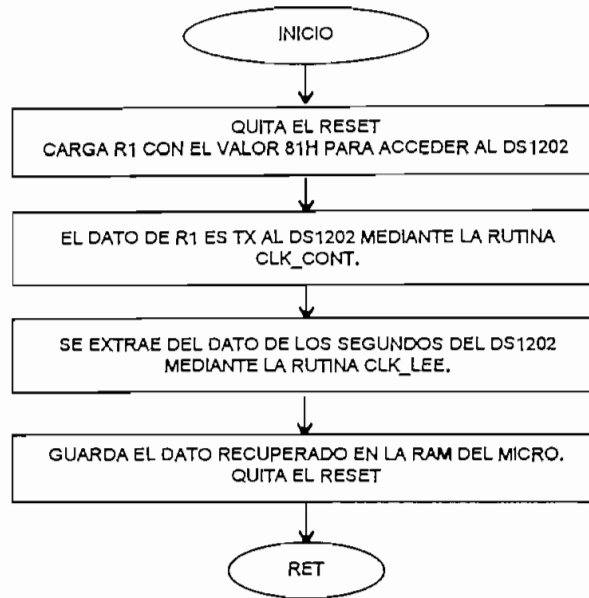


Figura -2.21.- Diagrama de flujo de la subrutina SACA\_SEG.

#### 2.5.1.12. SUBRUTINA SACA\_MIN

Su tarea consiste en recuperar el dato de los minutos de la localidad correspondiente de la NVRAM del reloj - calendario, para almacenarlo temporalmente en la localidad MINUTO de la RAM del microcontrolador.

La subrutina empieza accediendo al reloj - calendario a través del byte de control correspondiente que es transmitido mediante la rutina CLK\_CONT, luego procede a la

lectura de la localidad donde se guardan los minutos del DS1202 con la ayuda de la rutina CLK\_LEE y finalmente el dato recuperado se carga en el registro R1 para luego guardarlo en la localidad de memoria RAM del microcontrolador correspondiente a los minutos (MINUTO). Tal como lo muestra el diagrama de flujo de la figura. -2.22.-.

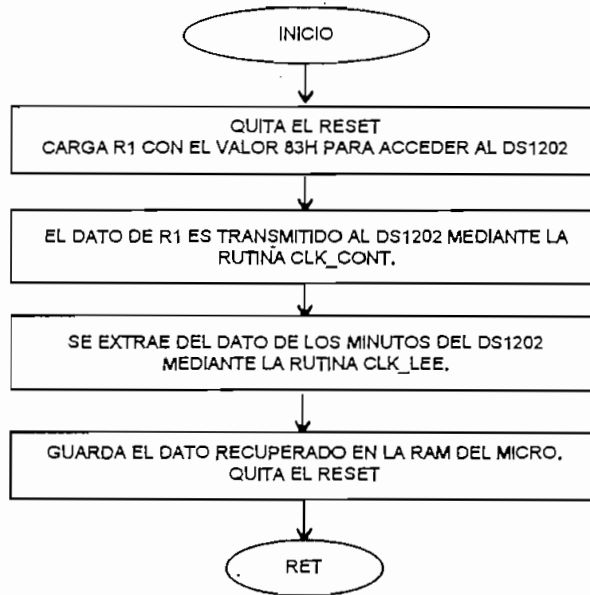


Figura -2.22.- Diagrama de flujo de la subrutina SACA\_MIN.

### 2.5.1.13. SUBRUTINA SACA\_HOR

Esta subrutina recupera el dato de la hora de la localidad correspondiente de la NVRAM del reloj - calendario, para almacenarlo temporalmente en la localidad HORA de la RAM del microcontrolador.

Esta rutina comienza accediendo al reloj - calendario a través del byte de control y dirección que es transmitido mediante la rutina CLK\_CONT, luego procede a la lectura de la localidad donde se guarda la hora del DS1202 a través de la rutina CLK\_LEE y finalmente el dato recuperado se carga en el registro R1 para luego guardarlo en la localidad de memoria RAM del microcontrolador correspondiente a la hora (HORA). Tal como se muestra en la fig. -2.23.-.

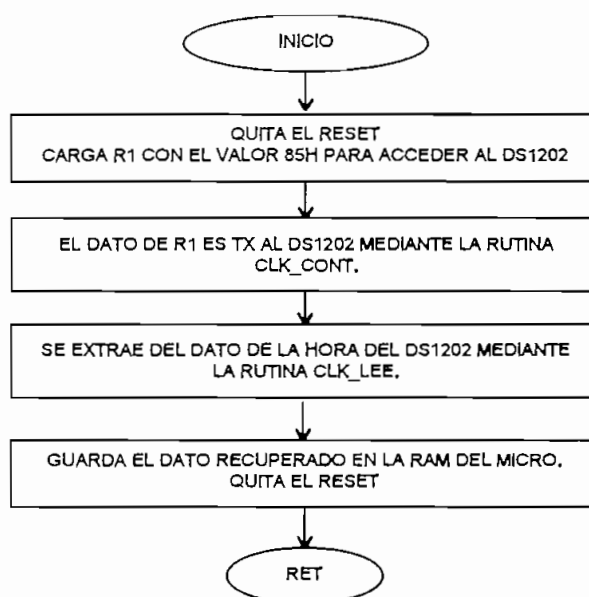


Figura -2.23.- Diagrama de flujo de la subrutina SACA\_HOR.

#### 2.5.1.14. SUBRUTINA SACA\_HORON1

Esta subrutina recupera el dato de la hora de inicio de la “hora pico” de la localidad 0 de la NVRAM del reloj - calendario, para almacenarlo temporalmente en la localidad HORON1 de la RAM del microcontrolador.

Esta subrutina comienza accediendo al reloj - calendario a través del byte de control y dirección ( C1H) que es transmitido mediante la subrutina CLK\_CONT, luego procede a la lectura de la localidad donde se guarda la HORON1 del DS1202 a través de la subrutina CLK\_LEE y finalmente el dato recuperado se carga en el registro R1 para luego guardarlo en la localidad de memoria RAM del microcontrolador correspondiente a la hora de inicio de la denominada “hora pico” (HORON1). Tal como se muestra en la fig. -2.24.-.

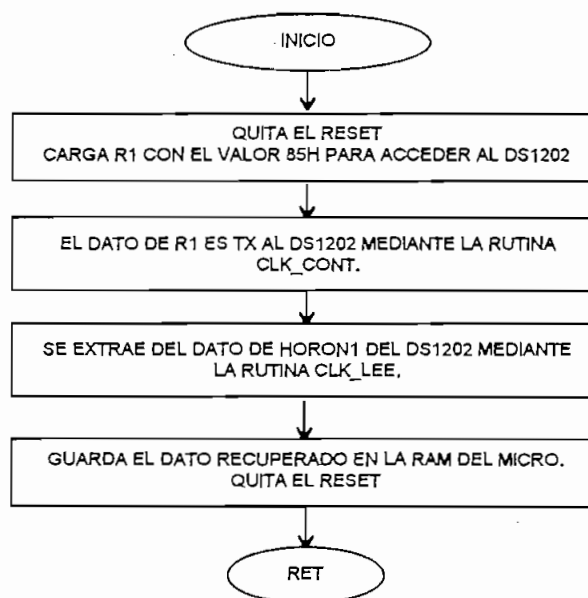


Figura -2.24.- Diagrama de flujo de la subrutina SACA\_HORON1.

#### 2.5.1.15. SUBROUTINA SACA\_MINON1

Esta subrutina recupera el dato de los minutos de inicio de la “hora pico” de la localidad 1 de la NVRAM del reloj - calendario, para almacenarlo temporalmente en la localidad MINON1 de la RAM del microcontrolador.



Esta subrutina comienza accediendo al reloj - calendario a través del byte de control y dirección ( C3H) que es transmitido mediante la subrutina CLK\_CONT, luego procede a la lectura de la localidad donde se guarda la MINON1 del DS1202 a través de la subrutina CLK\_LEE y finalmente el dato recuperado se carga en el registro R1 para luego guardarlo en la localidad de memoria RAM del microcontrolador correspondiente a los minutos de inicio de la denominada “hora pico” (MINON1). Tal como se muestra en la fig. -2.25.-.

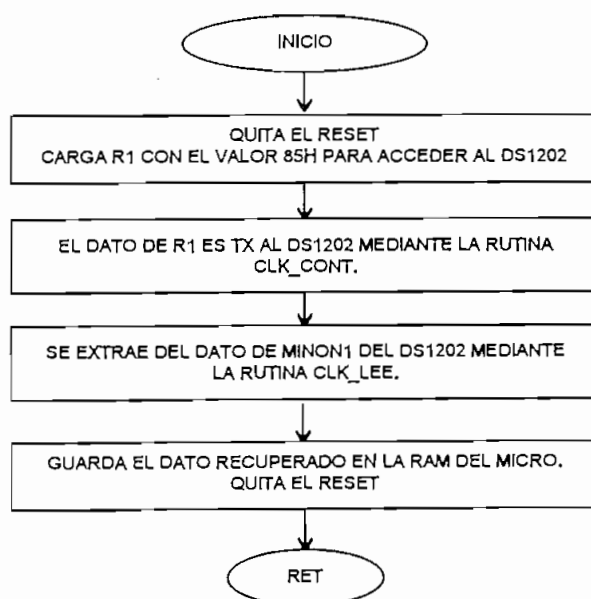


Figura -2.25.- Diagrama de flujo de la subrutina SACA\_MINON1.

#### 2.5.1.16. SUBROUTINA SACA\_HOROFF1

Esta subrutina recupera el dato de la hora de finalización de la “hora pico” de la localidad 2 de la NVRAM del reloj - calendario, para almacenarlo temporalmente en la localidad HOROFF1 de la RAM del microcontrolador.

Esta subrutina comienza accediendo al reloj - calendario a través del byte de control y dirección ( C5H) que es transmitido mediante la subrutina CLK\_CONT, luego procede a la lectura de la localidad donde se guarda la HOROFF1 del DS1202 a través de la subrutina CLK\_LEE y finalmente el dato recuperado se carga en el registro R1 para luego guardarlo en la localidad de memoria RAM del microcontrolador correspondiente a la hora de finalización de la denominada “hora pico” (HOROFF1). Tal como se muestra en la figura . - 2.26.-.

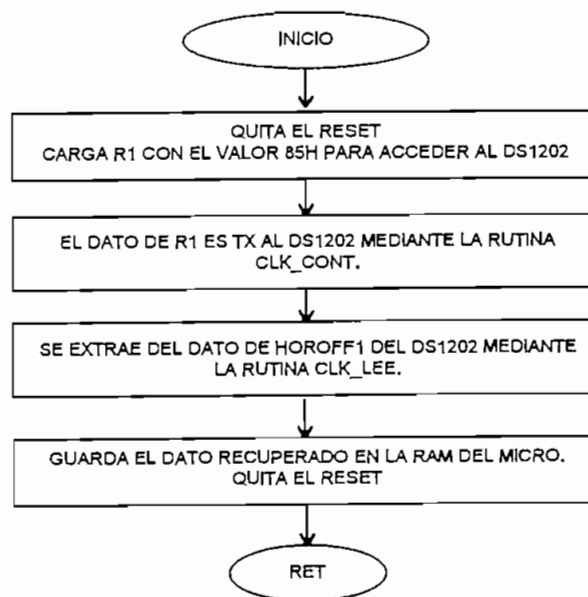


Figura -2.26.- Diagrama de flujo de la subrutina SACA\_HOROFF1.

#### 2.5.1.17. SUBRUTINA SACA\_MINOFF1

Esta subrutina recupera el dato de los minutos de finalización de la “hora pico” de la localidad 3 de la NVRAM del reloj - calendario, para almacenarlo temporalmente en la localidad MINOFF1 de la RAM del microcontrolador.

Esta subrutina comienza accediendo al reloj - calendario a través del byte de control y dirección ( C7H) que es transmitido mediante la subrutina CLK\_CONT, luego procede a la lectura de la localidad donde se guarda la MINOFF1 del DS1202 a través de la subrutina CLK\_LEE y finalmente el dato recuperado se carga en el registro R1 para luego guardarlo en la localidad de memoria RAM del microcontrolador correspondiente a los minutos de finalización de la denominada “hora pico” (MINOFF1). Tal como se muestra en la fig. - 2.27.-.

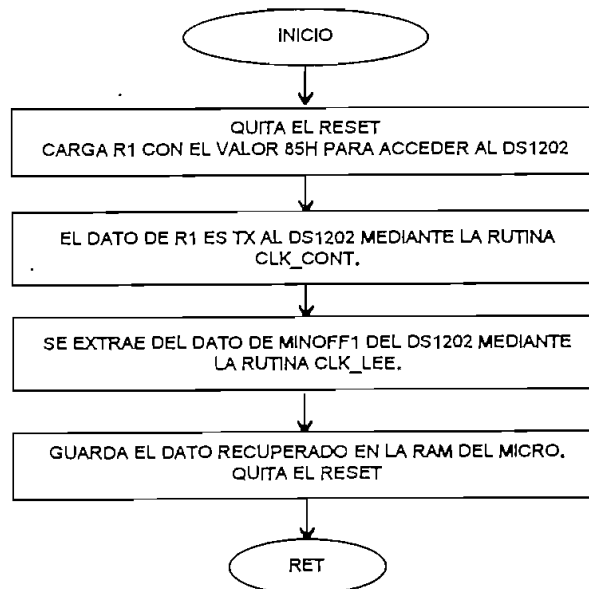


Figura -2.27.- Diagrama de flujo de la subrutina SACA\_MINOFF1.

#### **2.5.1.18. SUBROUTINA QUITA\_RST**

Esta subrutina pone 1 lógico en el pin RST ( reset del reloj - calendario DS1202), para lo cual pone en el BUS del microcontrolador el dato 20H. Esta subrutina se utiliza para acceder al chip y realizar cualquier operación combinada con el microcontrolador, tanto de lectura de datos como de escritura de datos en la NVRAM del chip.

#### **2.5.1.19. SUBROUTINA RST\_CLK**

Su trabajo consiste en poner un 0 lógico en el reset del reloj - calendario (pin RST), para lo cual se escribe en el BUS del microcontrolador el dato 00H. Es una subrutina necesaria y se la coloca al iniciar un determinado proceso con el reloj y también al final de dicho proceso para cerrar el acceso al reloj.

### **2.5.2. SUBROUTINAS DE CONTROL**

Son aquellos subprogramas que permiten realizar el control de las distintas funciones que se encuentra realizando el sistema electrónico y que se describen en los siguientes subcapítulos.

#### **2.5.2.1. SUBROUTINA COMPARAR**

Es la subrutina encargada de comparar si los datos de HH:MM actuales se encuentran dentro o fuera del rango del período de tiempo denominado como “hora pico”, en cada uno de los dos casos la subrutina envía un dato de bandera diferente para que el programa principal active o desactive el triac que controla el encendido/apagado del tanque.

Esta subrutina tiene como datos de entrada las siguientes posibilidades:

- 2 bytes correspondientes a las HH:MM actuales (HORA y MINUTO) y 2 bytes correspondientes a las HH:MM de inicio de la hora pico (HORON1 y MINON1), luego hace una comparación bit a bit y detecta que grupo de bytes es mayor, igual o menor y de acuerdo al resultado de la comparación envía un dato diferente como salida de la subrutina al programa principal.
- 2 bytes correspondientes a las HH:MM actuales (HORA y MINUTO) y 2 bytes correspondientes a las HH:MM de finalización de la hora pico (HOROOF1 y MINOOF1), luego hace el mismo proceso de comparación que en el caso anterior.

El diagrama de flujo de esta subrutina se muestra en al figura -2.28.-

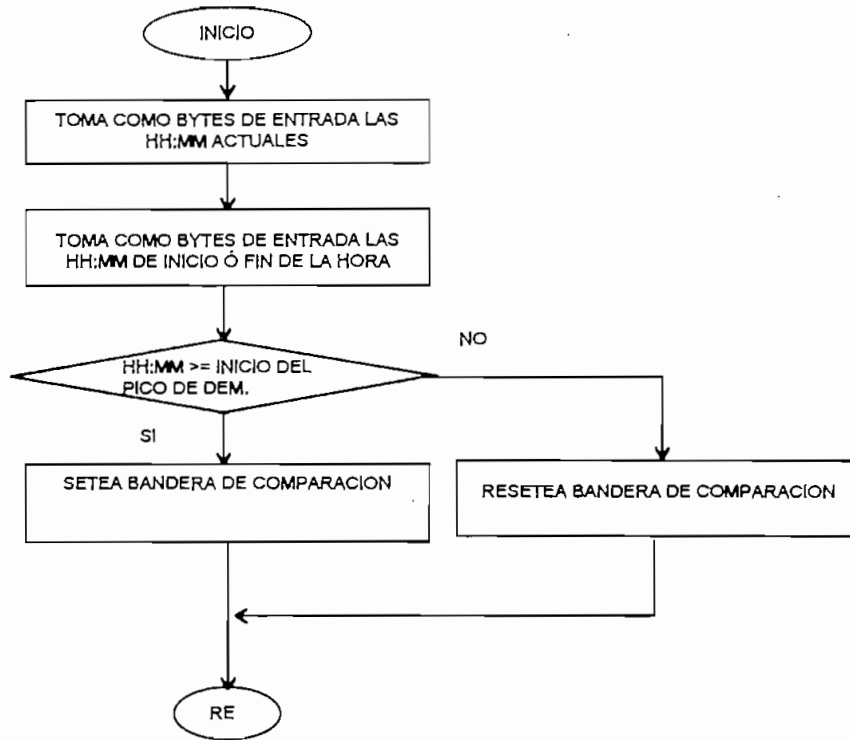


Figura -2.28.- Diagrama de flujo de la subrutina COMPARAR..

### 2.5.2.2. SUBROUTINA CEROCARRY

Esta subrutina se encarga de acceder al registro que contiene la palabra de estado del programa PSW y encerrar tanto el carry como el carry auxiliar, para lo cual se realiza un AND lógico entre éste registro y el dato 3FH.

### **2.5.2.3. SUBROUTINA APAGAR**

Su tarea consiste en apagar tanto los diodos leds como el display de 2 caracteres, se la utiliza cuando se requiere modificar los datos de inicialización de HH:MM actuales y los datos de HH:MM para el período de tiempo de la “hora pico”.

### **2.5.3. SUBROUTINAS DE MANEJO DEL DISPLAY**

Corresponde a los subprogramas que se utilizan para obtener el funcionamiento adecuado del display, los mismos que se explican en las siguientes subrutinas.

#### **2.5.3.1. SUBROUTINA DISPLAY**

Su tarea consiste en mostrar los datos de HH:MM:SS en el display, la HH:MM de inicio y la HH:MM de finalización de la “hora pico”. La muestra de estos tres tipos de datos es importante al momento de programar las versiones simplificadas del sistema electrónico, ya que éstos dispositivos no dispondrán de display.

La subrutina inicia arrancando el TIMER que determina el tiempo de muestra de cada dato en el display, seguidamente recupera el dato de R0 (formato BCD) que es el que se va a mostrar, mismo que se lo separa en decenas y unidades para luego formatearle con la subrutina NUMERO para su visualización en el display.

Cada dato de hora, minutos y segundos tienen un tiempo de muestra de 2 segundos cada uno y se muestran secuencialmente, primero la hora, luego los minutos y finalmente los segundos, es decir. mostrar la HH:MM:SS tiene aproximadamente un tiempo de duración de 6 segundos. El tiempo de muestra de HH:MM de inicio / fin de la hora pico tiene una duración de 4 segundos, repartidos equitativamente tanto para las horas como para los minutos.

Un esquema que muestre el funcionamiento de esta subrutina se muestra en el diagrama de flujo de la figura -2.29.-.

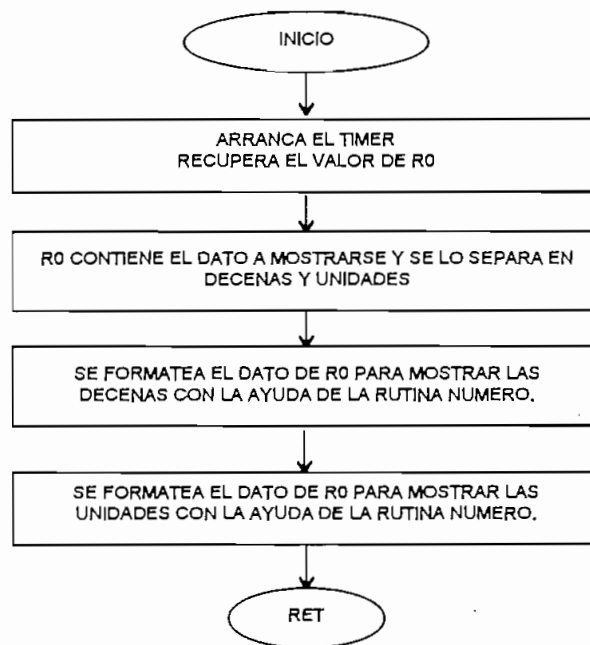


Figura -2.29.- Diagrama de flujo de la subrutina DISPLAY.



### 2.5.3.2. SUBROUTINA TIMER

Es una subrutina de interrupción que se activa por sobrepasamiento del contador cuyo valor de recarga asignado es F8H, valor que se carga en el registro T y proporciona un retardo de aproximadamente 2 milisegundos.

### 2.5.3.3. SUBROUTINA NUMERO

Es la encargada de tomar el dato tanto de las decenas como de las unidades que se encuentran en formato BCD y codificarlos en 7 segmentos para mostrarlos en el display a través del pórtico 1. La codificación para cada segmento se muestra al final del programa *tanque1.asm*.

### 2.5.3.4. SUBROUTINA RETARDO

Esta subrutina genera un retardo de tiempo equivalente a medio segundo utilizando una secuencia de 131072 ciclos de máquina, obteniéndose el tiempo de retardo de la siguiente manera:

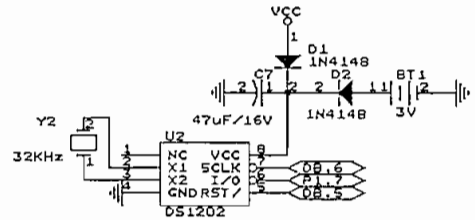
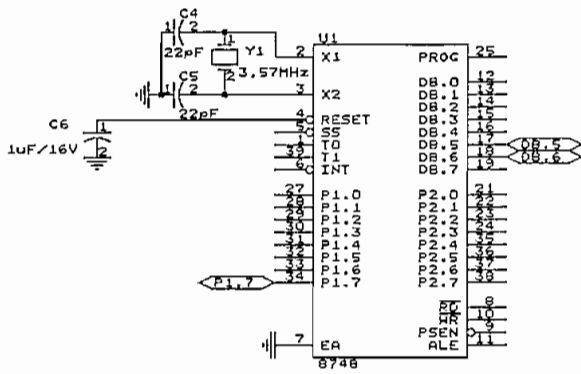
$$\begin{aligned}t_{\text{RETARDO}} &= \#CM \times t_{\text{CM}} \\t_{\text{RETARDO}} &= (131072)(4,2\mu\text{Seg}) \\t_{\text{RETARDO}} &= 0,54\text{Seg}\end{aligned}$$

Al finalizar el capítulo cabe indicar que el programa que se ha explicado en los subcapítulos anteriores corresponde a la versión completa y su nombre es *Tanque1a.asm*.

El programa que corre en la versión simplificada del dispositivo de control, es el mismo que se acaba de detallar con excepciones mínimas<sup>5</sup>, puesto que dicha versión tiene una configuración de hardware distinta para acceso al reloj - calendario, tal como lo muestra la figura -2.8.-. Además que el programa que corre en la versión simplificada no necesita de subrutinas como la DISPLAY, NUMERO, y el proceso FUNCIÓN del programa principal.

---

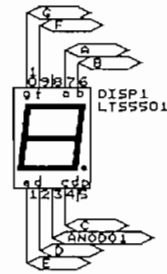
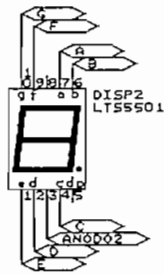
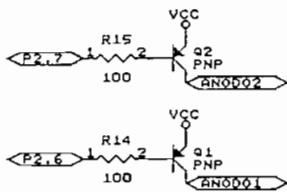
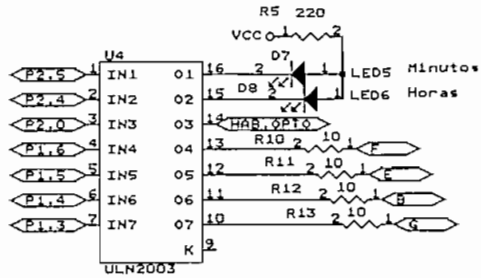
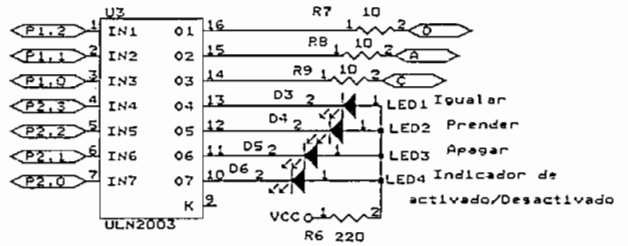
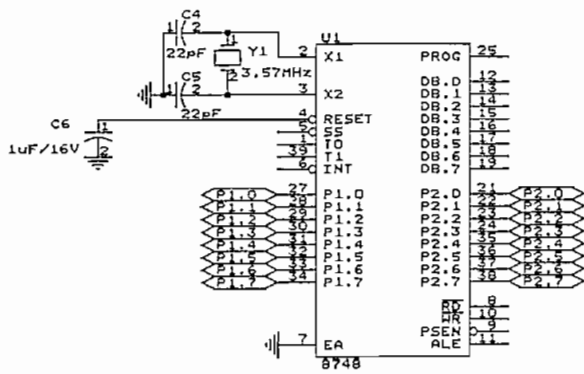
<sup>5</sup> El programa que corre en la versión simplificada es el *Tanque1b.asm*



RELOJ - CALENDARIO EN TIEMPO REAL

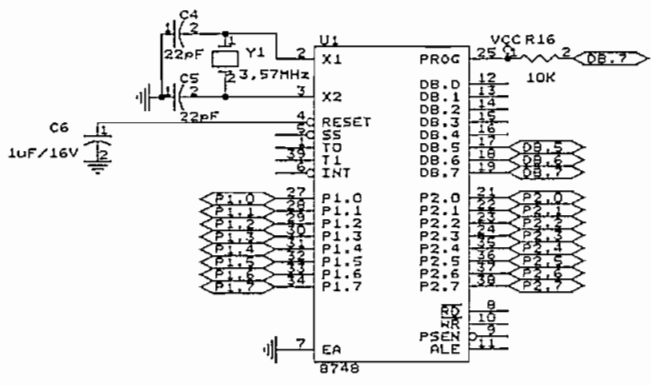
MICROCONTROLADOR

ESCUOLA POLITECNICA NACIONAL FACULTAD DE INGENIERIA ELECTRICA	
Title	CONTROL DE ENCENDIDO Y APAGADO DE TANQUES
Size	Document Number
A	FIG -2.3.- CONEXION DEL uc - DS1202
Date:	April 6, 1997 Sheet 1 of 1

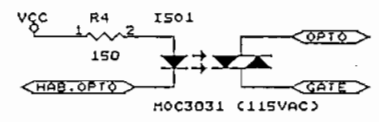


SENALIZACION Y MUESTRA DE DATOS

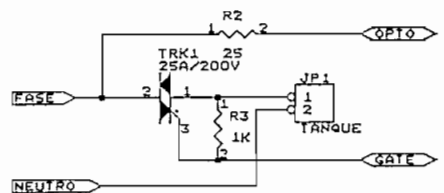
ESCUELA POLITECNICA NACIONAL	
FACULTAD DE INGENIERIA ELECTRICA	
Title	CONTROL DE ENCENDIDO Y APAGADO DE TANQUES
Size	Document Number
A	FIG. -2.4.- SENALIZACION Y MUESTRA D
Date:	December 10, 1996 Sheet 1 of 1



MICROCONTROLADOR

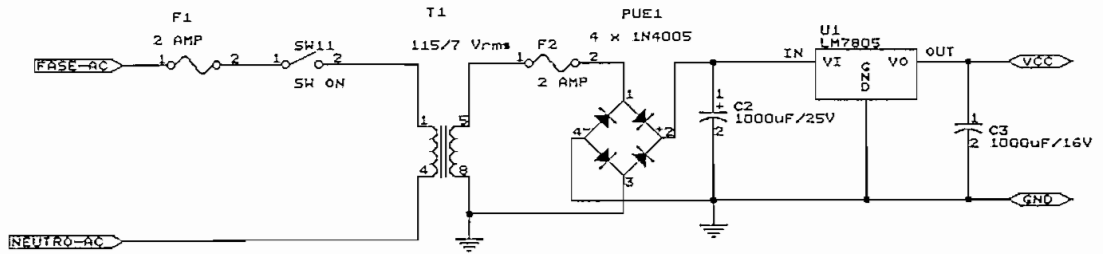


ACOPLAMIENTO OPTICO



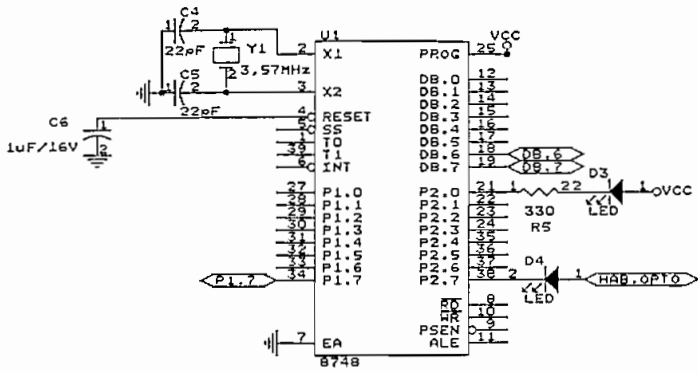
ON/OFF DEL TANQUE

ESCUOLA POLITECNICA NACIONAL	
FACULTAD DE INGENIERIA ELECTRICA	
Title	CONTROL DE ENCENDIDO Y APAGADO DE TANQUES
Size	Document Number
A	FIG -2.6.- CIRCUITO DE ACTIVACION
Date:	April 6, 1997 Sheet 1 of 1

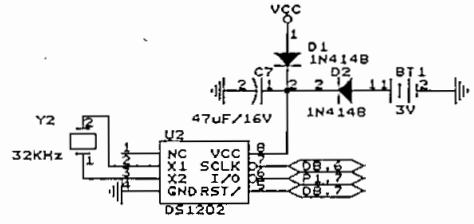


FUENTE DE PODER: VOLTAJE=5V, CORRIENTE=1A

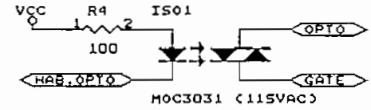
ESCUOLA POLITECNICA NACIONAL FACULTAD DE INGENIERIA ELECTRICA	
Title	CONTROLADOR DE ENCENDIDO Y APAGADO DE TANQUE
Size	Document Number
A	FIG -2.7- FUENTE DE PODER
Date:	November 11, 1996 Sheet of



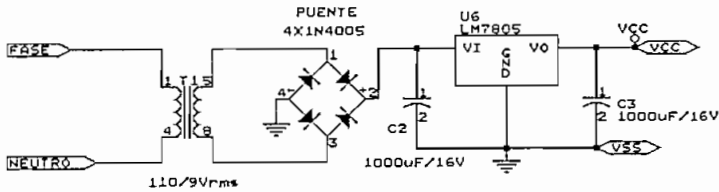
MICROCONTROLADOR



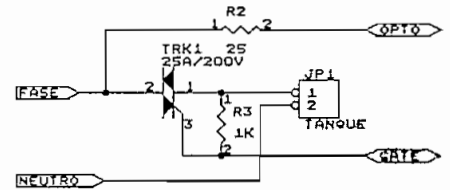
RELOJ EN TIEMPO REAL



ACOPLAMIENTO OPTICO



FUENTE DE + 5 V DC



ON/OFF DEL TANQUE

ESCUELA POLITECNICA NACIONAL	
FACULTAD DE INGENIERIA ELECTRICA	
Title	CONTROL DE ENCENDIDO Y APAGADO DE TANQUES
Size	Document Number
A	FIG -2.B- VERSION SIMPLIFICADA
Date:	April 6, 1997 Sheet 1 of 1

## CAPÍTULO 3.

### *PRUEBAS EXPERIMENTALES.*

- 3.1. Equipos de registro.
- 3.2. Determinación de usuarios y prueba.
- 3.3. Resultados de uso sin el equipo de control.
- 3.4. Resultados de uso con el equipo de control.



---

## CAPÍTULO 3.

### 3. PRUEBAS EXPERIMENTALES

---

#### 3.1. EQUIPOS DE REGISTRO

Para la obtención de los datos de demanda media registrados cada 15 minutos en usuarios residenciales se ha utilizado los equipos registradores del proyecto EPN - E.E.Q.S.A., los mismos que han sido facilitados para el desarrollo del presente trabajo y que dentro de sus opciones registran en tiempo real y cada 15 minutos datos de voltaje de la red, consumo en Kwh/15 min., determinan hora de corte y regreso de la energía eléctrica. Estos equipos ya han sido probados y han trabajado normalmente en distintas tareas, por lo que dan una buena garantía y veracidad de la información que necesitamos para obtener la curva de demanda diaria de cada usuario.

Los registradores utilizados son equipos híbridos constituidos por dos etapas tecnológicas distintas, por una parte se componen de un contador electromecánico de energía trifásico y por otra de un módulo electrónico-digital.

En cuanto a su primer componente, el contador electromecánico trifásico de energía activa, es el encargado de contar el consumo total de energía eléctrica, éste equipo es muy similar a

los contadores de energía comunes y corrientes que se instalan a nivel residencial o industrial por parte de la empresa eléctrica; en el mismo se ha incorporado un optoacoplador para que el contador actúe como el transductor, enviando pulsos a la parte electrónica digital para su conteo y procesamiento.

El segundo componente del equipo de registro es de tecnología electrónica digital y es el encargado de tomar los datos en tiempo real de voltaje, Kwh, hora de corte, etc., y almacenarlos en una memoria no volátil. Los datos almacenados son transferidos mediante una interfaz serial de norma RS-232C hacia un computador personal, en forma de archivo tipo texto.

### **3.2 DETERMINACIÓN DE USUARIOS Y PRUEBA**

Al iniciar la presente investigación, se definió el universo o población que va a ser objeto del análisis. Se ha considerado como sector de estudio para la realización del muestreo una zona urbana residencial de la ciudad de Quito.

Para la determinación de la población y su conformación precisa, se tomaron en cuenta las siguientes consideraciones básicas, que definen el marco muestral del estudio propuesto:

1. El estudio se efectuará sólo en el sector residencial, tal como se ha planteado en el alcance de este trabajo y en vista a la inconveniencia de realizar un control en los sectores industrial y comercial.

2. Dentro del sector residencial como es obvio se escogerán residencias que dispongan de tanque eléctrico para el calentamiento de agua y que su uso corresponda a una costumbre normal de la unidad familiar.
3. El tanque de calentamiento de agua no necesariamente debe estar funcionando las 24 horas del día, sino en el horario que el usuario esté acostumbrado a utilizarlo.
4. El escogitamiento de los usuarios a ser estudiados se lo ha realizado en forma aleatoria, usuarios que desde luego, son parte del marco muestral previamente definido.

De las consultas realizadas los estratos socioeconómicos que disponen de tanques de calentamiento de agua corresponden a los estratos o nivel socioeconómico medio alto y alto; es decir, aquellos sectores poblacionales residenciales que su consumo de energía mensual es mayor a los 300 Kwh.

### **3.21. EL MUESTREO COMO MÉTODO PARA INVESTIGACIÓN DE LA CARGA**

Para efectos del presente estudio, se ha adoptado el muestreo como el método científico más apropiado, ya que permite obtener resultados concretos del estudio, con bastante

precisión en tiempos reducidos y sobre todo bajos costos, ésta última cualidad es de fundamental importancia que se tome en cuenta en todo proceso investigativo.

Entre las ventajas de realizar el presente estudio a través del muestreo se mencionan las siguientes:

1. Simplifica enormemente el estudio, ya que permite maniobrar con un reducido número de usuarios.
2. Se puede llegar a resultados concretos en un reducido período de tiempo, dando un buen nivel de confiabilidad de sus resultados en comparación a un estudio de toda la población.
3. Como consecuencia de la dos ventajas anteriores, con el muestreo se obtiene una reducción en los costos del estudio, ya que demandará para la investigación un reducido número de recursos humanos y técnicos comparados con la realización de una investigación que considere a todo el universo.
4. Puesto que nuestro estudio contempla el trabajo con un pequeño número de usuarios, se facilita la realización de verificaciones y controles continuos en todas las etapas de la investigación.
5. El muestreo aquí realizado facilita el desarrollo de la investigación, considerando los pocos equipos disponibles para la toma de datos y los recursos económicos

limitados programados que tiene el investigador para la realización de una Tesis de Grado de éstas características.

De entre las limitaciones encontradas en la realización del muestreo, se mencionan las siguientes:

1. La investigación por unidad de muestra es bastante costosa, ya que se necesita disponer de un equipo de registro y un dispositivo de control de carga y los correspondientes recursos para almacenar información y presentación de resultados. Pues, con los reducidos equipos disponibles para el estudio sería necesario un largo tiempo para realizar un muestreo más amplio del aquí desarrollado; de ahí la principal razón para tomar un reducido espacio muestral en el presente estudio. Por lo que para estudios más amplios, se requerirá un amplio presupuesto y numerosos recursos humanos y técnicos.
2. Una situación muy importante que se debe tomar en cuenta, es la falta de cooperación de los usuarios a ser investigados, este se convierte en un inconveniente para el tipo de muestreo realizado, ya sea por ignorancia de los objetivos a cumplirse o por la incomodidad que le causarían los equipos instalados, lo cual redundaría en un estudio muy complejo en cuanto a su toma de datos.

### **3.22. INSTALACIÓN DEL EQUIPO Y TOMA DE DATOS**

Una vez definido el marco muestral y en base a las facilidades que se encontraron por parte de los usuarios que sí aceptaron la instalación de los equipos; se definió el siguiente procedimiento como el más adecuado para la toma de muestras del consumo de energía:

1. Instalación del equipo de registro para la toma de datos, misma que se la debe realizar como se muestra en la figura -3.1.- en forma de diagrama de bloques; sin embargo, cabe indicar que en los lugares donde se hicieron las pruebas se encontraban instalados contadores electromecánicos de dos fases, por lo tanto no se utilizó la Fase T de los registradores.

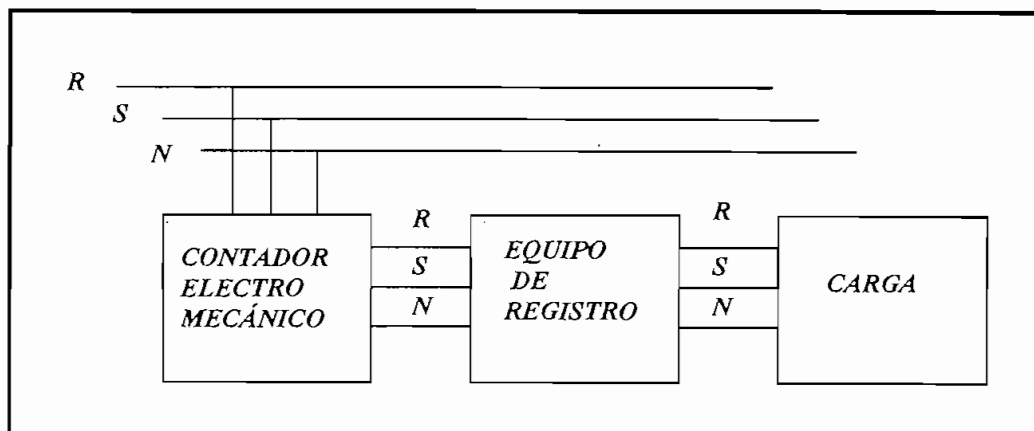


Figura -3.1.- Forma de instalación del equipo de registro

2. Programación del equipo de registro con la fecha y hora actualizadas.
3. Lectura de datos en forma regular para comprobar el funcionamiento normal del equipo de registro.

Los pasos 2 y 3 indicados se los puede realizar con ayuda del programa de comunicaciones desarrollado para los propósitos del proyecto EPN-E.E.Q.S.A antes señalado.

Se instalaron seis equipos de control en otros tantos usuarios residenciales, para la toma de datos y se obtuvieron las lecturas de las demandas correspondientes a 10 - 15 días sin el dispositivo de control de carga instalado. Seguidamente por el mismo lapso se tomaron lecturas de las demandas pero con los dispositivos de control de carga ya instalados y funcionando perfectamente. Los resultados obtenidos en cada uno de los procesos fueron los que se describen en los siguientes subcapítulos y cuyas curvas son las que se presentan en el anexo A.

### **3.23. PRUEBAS DE INSTALACIÓN DEL DISPOSITIVO DE CONTROL**

Antes de proceder a la instalación del dispositivo de control de carga, se hizo necesario realizar el siguiente protocolo de pruebas al equipo, con el fin de asegurar un trabajo normal del mismo antes de ser sometido al control durante largos períodos de tiempo fijados para el estudio.

Los distintas pruebas que se realizarán al equipo de control son las que se detallan a continuación.

- Instalarle junto a un tanque termostato en la forma como se describe en el *Manual del usuario* y determinar las problemas y facilidades de su instalación, de tal manera que no altere mayormente el espacio físico y las actividades normales de los usuarios.
- Programar el dispositivo de tal manera que encienda y apague el tanque de agua caliente en forma alternada y en períodos de cinco minutos de duración tanto para el encendido como para el apagado.
- Proceder aleatoriamente a cortar y reconectar el servicio eléctrico en la residencia en que se realice esta prueba, con el fin de observar el comportamiento del dispositivo frente a cambios bruscos de la energía eléctrica; es decir, observar si dichos cambios afectan a la fuente regulada del dispositivo, si se afecta o no los datos almacenados en el reloj-calendario, el comportamiento del triac y demás componentes que integran el dispositivo.
- Esta prueba de instalación sirve además para determinar toda la logística requerida, como puede ser la longitud de los cables eléctricos que se necesitaran y aspectos concernientes a la conexión del dispositivo de control al tanque de agua caliente.
- Se procederá también a reprogramar el encendido del tanque de calentamiento de agua en prueba, durante un período continuo de 24 horas y de esta forma determinar el grado de recalentamiento del dispositivo de control.



Luego de haber analizado detenidamente las pruebas efectuadas al dispositivo se realizaron pequeños cambios tanto en el hardware como en el software del dispositivo de control de carga.

Entre los cambios más importantes se destacan los siguientes:

1. Colocar en la parte externa del dispositivo un par de leds que indiquen dos datos importantes para el investigador: el primer dato consiste en mostrar mediante un led si el reloj-calendario y el microcontrolador estan acoplados perfectamente, para lo cual el led se encenderá y apagará en lapsos de un segundo en forma permanente mientras se mantenga energizado el dispositivo. El otro led servira para saber si el tanque de agua caliente se encuentra energizado (ON) o desconetado (OFF).
2. Modificar el programa *Tanque1b.asm* para que el dispositivo cumpla con las funciones descritas en el numeral anterior.
3. Extender la longitud de los cables para alcanzar las tomas de energía bordeando el espacio fisico para no causar molestias al usuario.

### **3.3. RESULTADOS DE USO SIN EL EQUIPO DE CONTROL**

La obtención de los resultados y la interpretación de los mismos, corresponde a la siguiente fase del presente estudio luego de la toma de datos de cada usuario investigado. Es este tramo del estudio se analizan los resultados obtenidos del comportamiento de la curva de demanda, resultados que obedecen a la forma y tiempo de consumo de la energía eléctrica sin utilizar el dispositivo de control de carga.

Los datos del comportamiento de la curva de demanda corresponden a un archivo tipo texto que se obtiene en el computador al transferir la información almacenada en el equipo de registro. El archivo en referencia que contiene la información registrada, como ejemplo, se presenta en la Tabla -3.1.-, sus datos se explican en detalle a continuación.

El archivo que se ha tomado como referencia es al que se lo denominó *dato020.prn* el cual contiene las lecturas realizadas en la instalación de un usuario residencial al mismo que por facilidad se le ha denominado *DEPARTAMENTO 1*. La información de la que se compone este archivo es la que se explica a continuación, y que corresponde a los siguientes datos:

Encabezado:

Corresponden a los datos de identificación de la etapa de registro, y que tienen el siguiente significado:

Estrato, se tiene este parámetro puesto que se utilizó el programa de comunicaciones del proyecto EPN-E.E.Q.S.A en el mismo que para su estudio se definen varios estratos de consumo. En este archivo se define el estrato en que se

está realizando la medición; para el presente trabajo se definió un sólo estrato de medición.

Número de código, corresponde a un valor que permite distinguir los diferentes archivos que se van creando en el computador al ir transfiriendo la información desde el equipo de registro.

Número de serie, representa el número de identificación del equipo de registro usado.

Fecha y hora de programación, corresponde a la fecha y hora en que se realiza la programación del equipo de registro, es a partir de ese momento en que se inicia el trabajo general del equipo.

Fecha y hora de inicio de la toma de datos, corresponde a un instante después en que se ha programado el medidor y que coincide con uno los cuatro tiempos de toma de datos que existen (0,15,30 y 45 minutos) dentro de cada hora durante el día.

Fecha y hora de la primera lectura, representa la fecha y hora en que se realiza la primera transferencia de datos del registro al computador y permite observar las lecturas iniciales captadas por el medidor. Generalmente la primera lectura se la realiza instantes después de programado el registrador con el fin de observar su normal comportamiento de trabajo.

Fecha y hora de la última lectura, representa la fecha y hora de la última transferencia de datos del equipo de registro al computador personal.

Primera columna:

Constituye un caracter indicativo que depende del estado de la toma de datos; y a su vez ayuda a conocer el estado de registro; donde N representa lectura normal, C corte de energía y finalmente R que significa regreso del fluido eléctrico.

Segunda columna:

Muestra la fecha y hora en la que se guardan los distintos valores medidos por el equipo de registro.

Tercera columna ( @ Act ):

Contiene la información del consumo de energía activa en Kwh, correspondiente a los últimos 15 minutos.

Cuarta columna ( @ Reac ):

Muestra el valor de la energía reactiva, que en nuestro caso es un dato sin importancia, ya que no es relevante para el presente estudio.

Quinta columna ( Volt ):

Muestra el valor de voltaje entre una de las fases y el neutro, este dato no reviste importancia para efectos del cálculo de la curva de demanda y el objetivo de establecer si se consigue un ahorro de energía, que es el propósito de este trabajo.

La sexta y séptima columna no son importantes ya que muestran información de la fecha y hora de inicio y terminación de un corte de energía.

En resumen, los datos registrados que sirven para determinar la curva de demanda del usuario en estudio, son los correspondientes a las columnas 2 (fecha y hora) y 3 (consumo en Kwh o energía activa).

El archivo *dato020.prn* que se muestra en la Tabla -3.1- está resumido hasta el último dato tomado del día jueves 19 de diciembre de 1996, ya que como ejemplo para realizar el gráfico de la curva de demanda, se utilizará la información de un día completo.

### ARCHIVO DATO020.PRN

ESTRATO: 1  
#CODIGO: 020  
#SERIE: ODEP  
#nc: 5  
Programación: 16/12/96 11:54  
Inicialización: 16/12/96 12:00  
Primera Lectura: 16/12/96 12:16  
Ultima Lectura: 28/12/96 08:15

"Cod	Fecha_Hora	@.Act	@.Reac	Volt	Cod	Fecha_Hora
N	18/12/96 23:30	0.56	—	121.09		
N	18/12/96 23:45	1.10	—	121.72		
N	19/12/96 00:00	1.14	—	120.15		

N	19/12/96 00:15	1.13	—	118.89
N	19/12/96 00:30	0.95	—	121.40
N	19/12/96 00:45	1.14	—	119.68
N	19/12/96 01:00	1.04	—	120.62
N	19/12/96 01:15	0.80	—	122.34
N	19/12/96 01:30	0.30	—	122.34
N	19/12/96 01:45	0.18	—	122.03
N	19/12/96 02:00	0.19	—	121.72
N	19/12/96 02:15	0.16	—	122.19
N	19/12/96 02:30	0.21	—	122.97
N	19/12/96 02:45	0.32	—	122.50
N	19/12/96 03:00	0.20	—	122.81
N	19/12/96 03:15	0.27	—	120.77
N	19/12/96 03:30	0.28	—	121.40
N	19/12/96 03:45	0.09	—	122.81
N	19/12/96 04:00	0.26	—	122.66
N	19/12/96 04:15	0.21	—	121.72
N	19/12/96 04:30	0.23	—	122.34
N	19/12/96 04:45	0.21	—	121.25
N	19/12/96 05:00	0.21	—	120.46
N	19/12/96 05:15	0.15	—	121.72
N	19/12/96 05:30	0.26	—	123.13
N	19/12/96 05:45	0.15	—	119.83
N	19/12/96 06:00	0.33	—	119.83
N	19/12/96 06:15	0.23	—	120.62
N	19/12/96 06:30	0.35	—	119.21
N	19/12/96 06:45	0.52	—	119.52
N	19/12/96 07:00	0.41	—	122.34
N	19/12/96 07:15	0.17	—	118.26
N	19/12/96 07:30	0.45	—	117.32
N	19/12/96 07:45	0.25	—	122.34
N	19/12/96 08:00	0.39	—	119.99
N	19/12/96 08:15	0.37	—	119.99
N	19/12/96 08:30	0.43	—	121.56
N	19/12/96 08:45	0.29	—	121.72
N	19/12/96 09:00	0.34	—	118.74
N	19/12/96 09:15	0.14	—	120.77
N	19/12/96 09:30	0.39	—	119.83
N	19/12/96 09:45	0.50	—	119.36
N	19/12/96 10:00	0.48	—	119.99
N	19/12/96 10:15	0.49	—	118.42
N	19/12/96 10:30	0.46	—	119.83
N	19/12/96 10:45	0.42	—	118.11
N	19/12/96 11:00	0.13	—	117.79
N	19/12/96 11:15	0.32	—	120.46
N	19/12/96 11:30	0.09	—	120.15
N	19/12/96 11:45	0.34	—	121.40
N	19/12/96 12:00	0.76	—	120.30

---

N	19/12/96 12:15	1.09	—	120.46
N	19/12/96 12:30	1.00	—	119.83
N	19/12/96 12:45	1.04	—	121.40
N	19/12/96 13:00	1.19	—	121.72
N	19/12/96 13:15	1.23	—	120.30
N	19/12/96 13:30	1.36	—	118.26
N	19/12/96 13:45	1.46	—	119.36
N	19/12/96 14:00	1.39	—	121.72
N	19/12/96 14:15	1.22	—	121.40
N	19/12/96 14:30	0.59	—	121.40
N	19/12/96 14:45	0.54	—	119.21
N	19/12/96 15:00	0.52	—	119.68
N	19/12/96 15:15	0.53	—	118.74
N	19/12/96 15:30	0.53	—	119.99
N	19/12/96 15:45	0.54	—	120.77
N	19/12/96 16:00	0.55	—	119.52
N	19/12/96 16:15	0.56	—	119.52
N	19/12/96 16:30	0.39	—	118.42
N	19/12/96 16:45	0.58	—	120.46
N	19/12/96 17:00	0.55	—	119.99
N	19/12/96 17:15	0.42	—	120.46
N	19/12/96 17:30	0.22	—	119.05
N	19/12/96 17:45	0.40	—	119.99
N	19/12/96 18:00	0.17	—	121.25
N	19/12/96 18:15	0.37	—	119.83
N	19/12/96 18:30	0.24	—	118.26
N	19/12/96 18:45	0.22	—	119.21
N	19/12/96 19:00	0.56	—	119.99
N	19/12/96 19:15	0.96	—	120.15
N	19/12/96 19:30	1.16	—	120.30
N	19/12/96 19:45	0.74	—	120.30
N	19/12/96 20:00	0.54	—	120.46
N	19/12/96 20:15	0.42	—	117.95
N	19/12/96 20:30	0.24	—	119.52
N	19/12/96 20:45	0.33	—	117.17
N	19/12/96 21:00	0.26	—	121.40
N	19/12/96 21:15	0.31	—	117.64
N	19/12/96 21:30	0.30	—	120.46
N	19/12/96 21:45	0.41	—	120.15
N	19/12/96 22:00	0.25	—	118.42
N	19/12/96 22:15	0.22	—	119.83
N	19/12/96 22:30	0.26	—	119.83
N	19/12/96 22:45	0.30	—	121.72
N	19/12/96 23:00	0.38	—	122.97
N	19/12/96 23:15	0.27	—	124.07
N	19/12/96 23:30	0.27	—	122.03
N	19/12/96 23:45	1.08	—	122.19
N	20/12/96 00:00	1.15	—	120.77

---

N	20/12/96 00:15	1.24	—	119.68
N	20/12/96 00:30	1.15	—	119.68
N	20/12/96 00:45	0.55	—	121.25

.....  
 .....

*Tabla -3.1.- Información del Archivo dato020.prn*

Los resultados de energía activa registrados se convierten en demanda multiplicando a los datos de energía que están en Kwh por el factor 4<sup>1</sup>, para así obtener el valor de la demanda por cada 15 minutos. Con éstos nuevos datos de demanda se realiza un gráfico como el que se muestra a continuación en la figura - 3.2.-, mismo que es mucho más fácil de ser analizado e interpretado que el listado de una tabla.

Se ha considerado oportuno incluir en los gráficos como el de la figura -3.2.- al final de este capítulo el comportamiento de la tendencia de la demanda media durante las 24 horas del día, este nuevo dato nos servirá para observar el comportamiento de la demanda cuando no se utilice el control de carga y cuando se utilice al dispositivo para este control en la instalación del usuario residencial, objeto de la investigación.

La demanda media o demanda promedio se obtiene del gráfico, observando el dato de la tendencia de la demanda media a las 12h00, ya que la línea recta que representa el comportamiento de la tendencia de la demanda media se extiende desde un valor mínimo (máximo) en un extremo del gráfico, hasta un valor máximo (mínimo) en el otro extremo,

---

<sup>1</sup> Demanda = Energía (Kwh) / tiempo (15 minutos) = 4 \* Energía (Kw).



de ahí que, la demanda media o promedio se expresa matemáticamente mediante la siguiente ecuación:

$$Demanda_{media} = \frac{Demanda_{maxima} + Demanda_{minima}}{2} \quad (\text{ecuación 3.1})$$

Para el ejemplo, del caso que nos ocupa, tal como se muestra en la figura -3.2.- la demanda media tiene una tendencia al crecimiento a medida que avanzan las horas del día, registrándose su valor mínimo de 1,9 Kw a las 00h00 y su valor máximo de 2,1 Kw a las 24h00. Donde la demanda media o promedio aplicando la fórmula de la ecuación 3.1. será:

$$Demanda_{media} = \frac{2,1Kw + 1,9Kw}{2}$$
$$Demanda_{media} = 2,0Kw$$

Si se observa en el gráfico el valor de la tendencia de la demanda a las 12h00 es exactamente igual al que se ha obtenido de la fórmula matemática.

A continuación se realizará un análisis de la curva de demanda de cada uno de los usuarios residenciales que se definieron y a los que en este trabajo se los denomina departamentos, tomando como referencia las curvas de demanda obtenidas durante los días en que se realizó el registro de datos con los equipos antes mencionados.

Para una mejor comprensión del análisis, referirse a los gráficos obtenidos en las diferentes pruebas realizadas para 6 usuarios residenciales objeto del presente estudio, gráficos que muestran en el anexo A.

## DEPARTAMENTO 1

- Los picos máximos de demanda diaria se encuentran entre 4,6 y 6,3 Kw los cuales se producen con más regularidad alrededor de las 12h00 y dentro de la hora pico entre las 16h30 y las 21h00.
- Se puede establecer que durante todos los días de los registros realizados existe una tendencia al crecimiento de la demanda media, a medida que avanza el día. El incremento de la tendencia de la demanda media diaria entre un extremo y otro fluctúa entre 0,25 y 3 Kw. Es decir, hay días en que existe una marcada tendencia a utilizar la energía eléctrica a medida que avanza el día, llegando a tal punto que dicho incremento es de 3 Kw, mientras que en otros días el incremento del consumo de energía eléctrica es relativamente pequeño; pero que en todo caso siempre es creciente y que se ajusta al comportamiento de cualquier usuario normal.
- Se puede establecer, de las curvas en referencia, que no existe una marcada diferencia entre el valor de los picos máximos generados en días normales y los de los fines de semana.

- Se puede observar además, que el consumo de energía es más sostenido en la tarde y noche, ya que existe una mayor área bajo la curva, que se manifiesta desde la primeras horas de la tarde hasta avanzadas horas de la noche; situación esperada para todos los usuarios.
- La demanda promedio se encuentra alrededor del valor 1,5 Kw.

De acuerdo con los resultados obtenidos, el control de la curva de demanda para este caso, sería recomendable que se lo realice sólo para el consumo durante la hora pico, que es cuando efectivamente se estaría dando una solución al sistema eléctrico y con una adecuada campaña de educación e incentivos, puede ser aceptada en forma permanente por los usuarios.

## DEPARTAMENTO 2

- Para este caso y de acuerdo a los gráficos del anexo, los picos máximos de demanda diaria se encuentran entre 1,8 y 8,1 Kw los cuales se producen con más regularidad entre las 10h00 y 12h00 y dentro de la hora pico entre las 16h30 y las 21h00. Los picos tienen una duración de entre 30 y 45 minutos.
- En base a las curvas en mención, se puede observar que en todos los días de prueba existe una tendencia al crecimiento de la demanda media a medida que

avanza el día. Este incremento de la tendencia de la demanda media diaria entre un extremo y otro fluctúa entre 0,1 y 2,5 Kw. Por tanto, hay días en que existe una marcada tendencia a utilizar la energía eléctrica a medida que avanza el día, mientras que en otros días el incremento del consumo de energía eléctrica es relativamente pequeño y casi se mantiene permanente.

- De acuerdo con los datos obtenidos, no existe una clara diferencia entre el valor de los picos máximos generados en días normales y fines de semana.
- Las curvas señaladas, denotan que el consumo de energía es más sostenido en la tarde y noche, pues existe una mayor área bajo la curva, que se manifiesta desde la primeras horas de la tarde hasta avanzadas horas de la noche. En la mañana los picos de demanda tiene duraciones cortas.
- La demanda promedio para este segundo usuario se encuentra aproximadamente en 1 Kw.

### DEPARTAMENTO 3

- Tomando como referencia la curvas correspondientes a este usuario en estudio, se puede establecer que los picos máximos de demanda diaria se encuentran entre 2,7 y 7,0 Kw los cuales se producen con más regularidad entre las 06h00 y 10h00

y dentro de la hora pico entre las 18h30 y las 21h00 en días normales. Los picos tienen una duración de entre 30 y 45 minutos.

- Los datos obtenidos muestran que en todos los días de prueba existe una tendencia al crecimiento de la demanda media a medida que avanza el día. El incremento de la tendencia de la demanda media diaria entre un extremo y otro fluctúa entre 0,2 y 2,6 Kw. Es decir, hay días en que existe una mayor tendencia a utilizar la energía eléctrica a medida que avanza el día, mientras que en otros días el incremento del consumo de energía eléctrica es relativamente pequeño manteniéndose casi permanente.
- Las curvas correspondientes a este usuario, muestran la existencia de una clara diferencia entre la hora de ocurrencia de los picos en los fines de semana, los que se manifiestan entre las 12h00 y 15h00, sus valores son parecidos a los picos generados en días normales, excepto cuando ha habido un regreso del corte del fluido eléctrico, situación en la que los picos son mucho mayores que el resto.
- El consumo de energía eléctrica es más sostenido a medida que avanza la tarde y noche, lo que se manifiesta en una mayor área bajo la curva de demanda. En la mañana los picos de demanda tiene duraciones cortas, sobresaliendo el que ocurre casi todos los días normales a las 7h00.
- La demanda promedio fluctúa alrededor del valor 1,2 Kw.

## DEPARTAMENTO 4

- Los picos máximos de demanda diaria se encuentran entre 0,8 y 5,0 Kw mismos que se producen con más regularidad entre las 07h00 y 12h00 y dentro de la hora pico entre las 18h30 y las 21h00 en días normales. Los picos tienen una duración entre 30 y 45 minutos.
- Los resultados obtenidos en este caso, muestran que en algunos días existe una tendencia al crecimiento de la tendencia de la demanda media a medida que avanza el día, mientras que en otros sucede lo contrario. El incremento o decremento de la tendencia de la demanda media diaria entre un extremo y otro fluctúa entre 0,2 y 0,8 Kw; resultados que permiten afirmar que hay una tendencia a utilizar la energía eléctrica en cantidades constantes a medida que avanza el día.
- La demanda promedio diaria para este usuario en estudio, se encuentra alrededor de 0,5 Kw, por lo que se puede concluir que el consumo de energía de este departamento es relativamente bajo.

## DEPARTAMENTO 5

- Los picos máximos de demanda diaria se encuentran entre 0,6 y 4,2 Kw los cuales se producen con regularidad entre las 11h00 y 13h00 y dentro de la hora pico del sistema entre las 16h30 y las 21h00.
- De las curvas correspondientes se puede observar que, en todos los días de prueba existe una tendencia al crecimiento de la demanda media a medida que avanza el día, con una excepción. El incremento de la tendencia de la demanda media diaria entre un extremo y otro fluctúa entre -0,1 y 2,5 Kw. Por tanto, hay días en que existe una tendencia a utilizar en cantidades constantes la energía eléctrica a medida que avanza el día.
- Además se puede concluir que, no existe una amplia diferencia entre el valor de los picos máximos generados en días normales y fines de semana.
- Las curvas reflejan también que el consumo de energía es más sostenido en la tarde y noche, lo que se demuestra al existir una mayor área bajo la curva en ese horario. En la mañana los picos de demanda tiene duraciones cortas.
- La demanda media se encuentra aproximadamente en 0,6 Kw, lo que demuestra que el promedio de uso de la energía eléctrica es relativamente bajo en comparación con los otros usuarios tomados como muestra para este estudio.

- De las curvas correspondiente a este usuario, se puede concluir que los picos máximos de demanda diaria se encuentran entre 6,4 y 3,4 Kw, los cuales se producen con regularidad entre las 8 y 10h00, 13h00 y 15h00 y dentro de la hora pico entre las 16h30 y las 21h00. Los picos tienen una duración de entre 30 y 45 minutos. Cabe indicar que en ciertas horas del día no se utiliza la energía, de ahí que la curva de demanda tenga una forma de picos, en un número de 3 a 4 en todo el día.
- Se muestra que en todos los días de prueba existe una tendencia al crecimiento de la demanda media a medida que avanza el día. El incremento de la tendencia de la demanda media diaria entre un extremo y otro fluctúa entre 0,1 y 0,5 Kw. Es decir, con excepción de algunos días, existe la tendencia a utilizar la energía eléctrica en valores constantes durante todo el día. Repentinamente se manifiesta un decrecimiento de la tendencia de la demanda.
- Se nota además, que no existe una marcada diferencia entre el valor de los picos máximos generados en días normales y fines de semana.
- Se concluye también que los picos generados en la mañana tarde y noche tienen una corta duración y la demanda promedio se encuentra alrededor del valor 0.5 Kw.



Una característica general de las curvas de demanda obtenidas es la notoria manifestación de un crecimiento importante en el uso de la energía eléctrica después de un corte de algunas horas realizado por la empresa eléctrica, en determinados casos los picos máximos se generan en los primeros 30 y 45 minutos después de recuperarse el fluido normal de energía y superan fácilmente a los picos que se producen en las denominadas “horas pico”.

### **3.4. RESULTADOS DE USO CON EL EQUIPO DE CONTROL**

Corresponde a una de las últimas etapas del estudio realizado, aquí se analizarán los comportamientos de la curva de demanda de cada usuario, pero con el dispositivo de control de carga instalado y funcionando de acuerdo a los parámetros de tiempo previamente fijados y explicados anteriormente.

Similarmente al proceso anterior, para graficar las curvas de demanda con control de carga, el primer paso es la obtención de los datos almacenados en los equipos de registro mediante la transferencia de dicha información de cada registro a un computador personal, cabe indicar que al igual que en el caso en que se realizan las mediciones sin control de carga, la información registrada corresponden a datos de las mismas magnitudes eléctricas definidas al inicio del subcapítulo anterior organizadas en archivos tipo texto.

Con el fin de mostrar una curva de demanda de un usuario en el que se ha instalado el dispositivo de control de carga, se ha seleccionado un conjunto de mediciones

correspondientes al jueves 13 de marzo de 1997 registradas por un el mismo usuario en estudio escogido en el subcapítulo anterior denominado DEPARTAMENTO 1.

El archivo de datos tiene el mismo nombre anterior, es decir, *dato020.prn* y se muestra en forma resumida en la Tabla -3.3- los datos corresponden a las mediciones tomadas el día jueves 13 de marzo de 1997, mismos que servirán como ejemplo para realizar el gráfico de la curva de demanda.

**ARCHIVO DATO020.PRN**

ESTRATO: 1  
 #CODIGO: 020  
 #SERIE: ODEP1  
 #nc: 5  
 Programación: 17/02/97 17:26  
 Inicialización: 17/02/97 17:25  
 Primera Lectura: 17/02/97 17:26  
 Ultima Lectura: 20/03/97 16:30

"Cod	Fecha_Hora	@.Act	@.Reac	Volt	Cod	Fecha_Hora
.....	.....	.....	.....	.....	.....	.....
.....	.....	.....	.....	.....	.....	.....
N	12/03/97 23:15	0.29	—	119.99		
N	12/03/97 23:30	0.42	—	119.05		
N	12/03/97 23:45	0.28	—	120.62		
N	13/03/97 00:00	0.29	—	122.03		
N	13/03/97 00:15	0.32	—	119.05		
N	13/03/97 00:30	0.46	—	121.56		
N	13/03/97 00:45	0.33	—	120.93		
N	13/03/97 01:00	0.68	—	120.77		
N	13/03/97 01:15	0.85	—	120.46		
N	13/03/97 01:30	0.35	—	119.21		
N	13/03/97 01:45	0.29	—	120.93		
N	13/03/97 02:00	0.14	—	122.66		
N	13/03/97 02:15	0.22	—	121.72		
N	13/03/97 02:30	0.14	—	121.40		
N	13/03/97 02:45	0.20	—	121.25		
N	13/03/97 03:00	0.41	—	120.93		

N	13/03/97 03:15	1.10	—	121.72
N	13/03/97 03:30	1.32	—	121.25
N	13/03/97 03:45	0.71	—	121.40
N	13/03/97 04:00	0.42	—	121.56
N	13/03/97 04:15	0.29	—	120.15
N	13/03/97 04:30	0.33	—	120.46
N	13/03/97 04:45	0.16	—	120.30
N	13/03/97 05:00	0.19	—	119.36
N	13/03/97 05:15	0.20	—	119.36
N	13/03/97 05:30	0.14	—	118.89
N	13/03/97 05:45	0.17	—	119.83
N	13/03/97 06:00	0.31	—	120.15
N	13/03/97 06:15	0.25	—	119.05
N	13/03/97 06:30	0.29	—	117.17
N	13/03/97 06:45	0.46	—	118.89
N	13/03/97 07:00	0.28	—	118.26
N	13/03/97 07:15	0.15	—	120.62
N	13/03/97 07:30	0.32	—	118.26
N	13/03/97 07:45	0.25	—	117.17
N	13/03/97 08:00	0.40	—	118.26
N	13/03/97 08:15	0.25	—	117.95
N	13/03/97 08:30	0.25	—	118.26
N	13/03/97 08:45	0.35	—	116.70
N	13/03/97 09:00	0.18	—	118.89
N	13/03/97 09:15	0.20	—	116.70
N	13/03/97 09:30	0.39	—	119.36
N	13/03/97 09:45	0.18	—	119.21
N	13/03/97 10:00	0.14	—	118.42
N	13/03/97 10:15	0.12	—	118.74
N	13/03/97 10:30	0.25	—	117.01
N	13/03/97 10:45	0.34	—	116.70
N	13/03/97 11:00	0.50	—	117.79
N	13/03/97 11:15	0.50	—	118.26
N	13/03/97 11:30	0.44	—	117.79
N	13/03/97 11:45	0.47	—	117.79
N	13/03/97 12:00	0.49	—	119.99
N	13/03/97 12:15	0.53	—	120.30
N	13/03/97 12:30	0.51	—	119.05
N	13/03/97 12:45	0.66	—	118.89
N	13/03/97 13:00	0.74	—	120.77
N	13/03/97 13:15	0.59	—	121.72
N	13/03/97 13:30	0.51	—	119.68
N	13/03/97 13:45	0.63	—	121.09
N	13/03/97 14:00	0.65	—	120.30
N	13/03/97 14:15	0.58	—	118.58
N	13/03/97 14:30	0.49	—	117.01
N	13/03/97 14:45	0.81	—	119.05
N	13/03/97 15:00	1.11	—	116.70

N	13/03/97 15:15	1.01	—	116.54
N	13/03/97 15:30	1.37	—	116.38
N	13/03/97 15:45	1.42	—	117.79
N	13/03/97 16:00	1.40	—	119.36
N	13/03/97 16:15	1.28	—	118.42
N	13/03/97 16:30	1.27	—	118.42
N	13/03/97 16:45	1.32	—	117.95
N	13/03/97 17:00	1.20	—	118.26
N	13/03/97 17:15	0.67	—	119.68
N	13/03/97 17:30	0.52	—	121.25
N	13/03/97 17:45	0.48	—	120.30
N	13/03/97 18:00	0.49	—	119.52
N	13/03/97 18:15	0.63	—	118.26
N	13/03/97 18:30	0.33	—	115.13
N	13/03/97 18:45	0.36	—	117.01
N	13/03/97 19:00	0.45	—	118.89
N	13/03/97 19:15	0.35	—	117.17
N	13/03/97 19:30	0.29	—	117.17
N	13/03/97 19:45	0.23	—	117.17
N	13/03/97 20:00	0.28	—	117.17
N	13/03/97 20:15	0.32	—	117.95
N	13/03/97 20:30	0.29	—	119.21
N	13/03/97 20:45	0.29	—	118.11
N	13/03/97 21:00	0.59	—	118.42
N	13/03/97 21:15	0.59	—	118.11
N	13/03/97 21:30	0.58	—	120.46
N	13/03/97 21:45	0.63	—	119.05
N	13/03/97 22:00	0.34	—	118.89
N	13/03/97 22:15	0.44	—	120.62
N	13/03/97 22:30	0.32	—	121.40
N	13/03/97 22:45	0.39	—	120.15
N	13/03/97 23:00	0.28	—	115.91
N	13/03/97 23:15	0.36	—	119.52
N	13/03/97 23:30	0.26	—	120.15
N	13/03/97 23:45	0.22	—	119.21
N	14/03/97 00:00	0.40	—	121.40
N	14/03/97 00:15	0.28	—	122.03

.....  
 .....  
 Tabla -3.3.- Información del Archivo dato020.prn

Los resultados de energía activa registrados se convierten en demanda multiplicando a los datos de energía que están en Kwh por el factor 4, para así obtener el valor de la demanda por cada 15 minutos. Con éstos nuevos datos de demanda se realiza un gráfico como el que se muestra a continuación en la figura - 3.3.-, mismo que es mucho más fácil de ser analizado e interpretado que el listado como el que se presenta en la Tabla -3.3.-.

Se ha incluido también en los gráficos como el de la figura -3.3.- que se presenta al final del capítulo el comportamiento de la tendencia de la demanda media durante las 24 horas del día, este nuevo dato nos servirá para observar el comportamiento de la demanda y compararlo con el caso tratado en el subcapítulo anterior.

Para el ejemplo, del caso que nos ocupa, tal como se muestra en la figura -3.3.- la demanda media tiene una tendencia al crecimiento a medida que avanzan las horas del día, registrándose su valor mínimo de 1,5 Kw a las 00h00 y su valor máximo de 2,0 Kw a las 23h45. Donde la demanda media o promedio aplicando la fórmula de la ecuación 3.1. será:

$$Demanda_{media} = \frac{2,0Kw + 1,5Kw}{2}$$
$$Demanda_{media} = 1,75Kw$$

Si se observa en el gráfico el valor de la tendencia de la demanda a las 12h00 es exactamente igual al que se ha obtenido de la fórmula matemática.

Como siguiente paso del análisis de las curvas de demanda, se realizará un análisis de dichas curvas para algunos de los usuarios residenciales que se definieron anteriormente y a los que

en este trabajo se los denomina departamentos. Para realizar el análisis se toma como referencia los gráficos de las curvas de demanda obtenidas durante los días en que se realizó el registro de datos con los equipos antes mencionados, los gráficos se muestran en el anexo A del presente trabajo.

## DEPARTAMENTO 1

- Los picos máximos de demanda diaria se encuentran entre 5,5 y 7,3 Kw los cuales se producen con más regularidad entre las 14h00 y 18h00. Cabe indicar que los picos máximos ya no se encuentran dentro de la hora pico en que se realiza el control , esto es entre las 16h30 y las 21h00.
- Se mantiene la tendencia al crecimiento de la demanda media, a medida que avanza el día. El incremento de la tendencia de la demanda media diaria entre un extremo y otro fluctúa entre 1,0 y 3,4 Kw. Es decir, hay días en que existe una marcada tendencia a utilizar la energía eléctrica a medida que avanza el día, llegando a tal punto que dicho incremento es de 1,5 Kw, que resulta ser la mitad del registrado sin el control de carga. Existe otros días en que el incremento del consumo de energía eléctrica es relativamente pequeño.
- Se puede establecer, de las curvas de demanda, que no existe mucha diferencia entre el valor de los picos máximos generados en días normales y los de los fines de semana.

- Se puede observar además, que el consumo de energía es más sostenido entre las 12h00 y 18h00 por la tarde y sobre las 21h00 por la noche, demostrándose así la efectividad de utilizar el dispositivo de control para evitar altos consumos de energía en la hora pico nocturna.
- La demanda promedio se encuentra alrededor del valor 2,0 Kw, que si bien es un valor superior al primer caso<sup>2</sup>, la pendiente de la línea de la tendencia de la demanda media se ha reducido en este segundo caso<sup>3</sup>.

De acuerdo con los resultados obtenidos, se demuestra claramente la efectividad del dispositivo de control de carga en éste usuario en estudio, ya que los valores máximos de demanda no se encuentran dentro de la hora pico; por lo tanto para este caso individual el uso del dispositivo de control aporta sustancialmente a disminuir el pico de la curva de demanda del sistema eléctrico.

## DEPARTAMENTO 2

- Para este caso y de acuerdo a los gráficos del anexo A, los picos máximos de demanda diaria se encuentran entre 3,3 y 9,5 Kw los cuales se producen con más regularidad entre las 08h00 y 16h00 y fuera de la hora pico a partir de las 21h00

---

<sup>2</sup> Curvas de demanda sin control de carga.

<sup>3</sup> Curvas de demanda con control de carga.

en adelante, aunque también existen picos de menor valor en el rango de la hora pico. En general se puede afirmar que se han desplazado los picos máximos de demanda fuera de la hora pico, tal como era lo esperado.

- En base a las curvas en mención, se puede observar que en todos los días de prueba existe una tendencia al crecimiento de la demanda media a medida que avanza el día pero de menor valor que en el primer caso (sin el control de carga). Este incremento de la tendencia de la demanda media diaria entre un extremo y otro fluctúa entre 0,4 y 2,0 Kw, valores que resultan menores que el primer caso. Resumiendo se puede afirmar que la tendencia a utilizar la energía eléctrica a medida que avanza el día tiene un pequeño incremento en unos casos, mientras que en otros días el consumo de energía eléctrica se mantiene casi permanente.
- De acuerdo con las curvas de demanda obtenidas del estudio realizado a este usuario, no existe una clara diferencia entre el valor de los picos máximos generados en días normales y fines de semana.
- Las curvas señaladas, denotan que el consumo de energía es más sostenido en la mañana y tarde, existiendo una disminución en la utilización de la energía durante la noche, debido básicamente al efecto del dispositivo de control de carga, que no permite el encendido del tanque en el rango de tiempo de la hora pico.



- La demanda promedio para este segundo usuario se encuentra aproximadamente en 1 Kw, dato que se mantiene respecto al caso en que no se utiliza el dispositivo de control de carga.

### DEPARTAMENTO 3

- De acuerdo a las curvas de demanda correspondientes a este usuario en estudio, se puede establecer que los picos máximos de demanda diaria se encuentran entre 3,5 y 5,3 Kw los cuales se producen con más regularidad entre las 06h00 y 11h00 y ninguno dentro de la hora pico entre las 18h30 y las 21h00. Al comparar estos resultados con el primer caso, se nota claramente que se ha desplazado los consumos picos máximos y medios de la hora pico, demostrando así la efectividad de la utilización del dispositivo de control para este usuario.
- Los datos obtenidos muestran que en todos los días de prueba existe una pequeña tendencia al crecimiento de la demanda media a medida que avanza el día. El incremento de la tendencia de la demanda media diaria entre un extremo y otro fluctúa entre 0,6 y 1,1 Kw, valores que resultan ser menores a los obtenidos sin la utilización del dispositivo de control, ya que en la noche se controla el uso de la energía eléctrica.

- Las curvas correspondientes a este usuario, muestran que no existe una clara diferencia entre la hora de ocurrencia del mayor consumo en los fines de semana y días normales, pues la mayoría de ellos ocurren en la mañana.
- El consumo de energía eléctrica es un poco más sostenido a medida que avanza la tarde y noche, lo que se manifiesta en una mayor área bajo la curva de demanda. En la mañana los picos de demanda tiene duraciones cortas, sobresaliendo el que ocurre casi todos los días normales a las 9h00.
- En este segundo caso, la demanda promedio fluctúa alrededor del valor 1,0 Kw, notándose una disminución respecto al primer caso.

#### DEPARTAMENTO 4

- Los picos máximos de demanda diaria se encuentran entre 3,68 y 4,2 Kw mismos que se producen con más regularidad entre las 06h00 y 09h00. Con la ayuda del dispositivo de control se ha logrado desplazar totalmente los consumos máximos fuera de la hora pico. Existen picos de demanda medianos entre las 15h00 y 18h00 y otros se producen pasadas las 21h00.
- Los resultados obtenidos en este caso, muestran que en la mayoría de días existe una tendencia a permanecer constante la demanda media a medida que avanza el día; es decir, el consumo de la energía eléctrica tiende a ser el mismo a lo largo

del día. Esta reducción de la pendiente de la tendencia de la demanda media obedece básicamente a la acción del dispositivo de control durante la hora pico, ya que en la tarde y noche restringe la utilización de la energía.

- El leve incremento de la tendencia de la demanda media diaria entre un extremo y otro fluctúa entre 0,5 y 0,6 Kw; resultados que permiten afirmar que hay una tendencia a utilizar la energía eléctrica en cantidades constantes durante las 24 horas del día.

La demanda promedio diaria para este usuario en estudio, se encuentra alrededor de 0,5 Kw, por lo que se puede concluir que el consumo de energía de este departamento es relativamente bajo y se mantiene sin variación respecto al caso en que no se utiliza el dispositivo de control de carga.

## DEPARTAMENTO 5

- Los picos máximos de demanda diaria se encuentran entre los valores 1,7 y 3.8 Kw los cuales se producen con regularidad entre las 11h00 y 15h00 , además uno que otro ocurre dentro de la hora pico del sistema entre las 16h30 y las 21h00. Es importante indicar que en este usuario se presenta la particularidad de encontrar con frecuencia picos de corta duración.

- Las curvas de demanda de este usuario muestran que, en todos los días de prueba existe una tendencia al crecimiento de la demanda media a medida que avanza el día. El incremento de la tendencia de la demanda media diaria entre un extremo y otro fluctúa entre 0,0 y 1,5 Kw, notándose claramente una disminución de la pendiente de la línea de tendencia y por lo tanto la acción del dispositivo de control.
- Además se puede concluir respecto a este usuario, que no existe una amplia diferencia entre el valor de los picos máximos generados en días normales y fines de semana.
- Las curvas reflejan también que el consumo de energía de este usuario es bajo y que en ciertas horas específicas aumenta el consumo en pequeños períodos de tiempo.
- La demanda media se encuentra aproximadamente en 0,5 Kw, lo que demuestra que el promedio de uso de la energía eléctrica es relativamente bajo en comparación con los otros usuarios tomados como muestra para este estudio y además existe una disminución de este parámetro respecto al caso anterior.

## DEPARTAMENTO 6

- De las curvas correspondiente a este usuario, se puede concluir que los picos máximos de demanda diaria se encuentran entre 3,4 y 5,9 Kw, los cuales se producen con regularidad entre las 09h00 y 12h00, produciéndose uno que otro en la hora pico pero de pequeña magnitud. Lo importante es que se ha logrado desplazar casi la totalidad de los picos de demanda máxima fuera de la hora pico.
- Los picos de demanda tienen una duración de entre 30 y 45 minutos y se producen entre 3 y 5 durante las 24 horas, además en ciertas horas del día este usuario no utiliza la energía eléctrica.
- Del análisis de las curvas se ve que durante el día existe tanto la tendencia al crecimiento como al decrecimiento de la demanda media. El incremento y decremento de la demanda media es casi imperceptible, por lo que se podría afirmar que el usuario en estudio tiene un consumo constante de energía durante las 24 horas. Comparando estos resultados con los del primer caso (sin control de carga) se nota claramente que existe una disminución del consumo en la hora pico por efecto del dispositivo de control.
- Se nota además, que no existe una marcada diferencia entre el valor de los picos máximos generados en días normales y fines de semana.
- Se concluye también que los picos generados en la mañana tarde y noche tienen una corta duración y la demanda promedio se encuentra alrededor del valor 0.4 Kw, valor que resulta ser menor con respecto al primer caso.

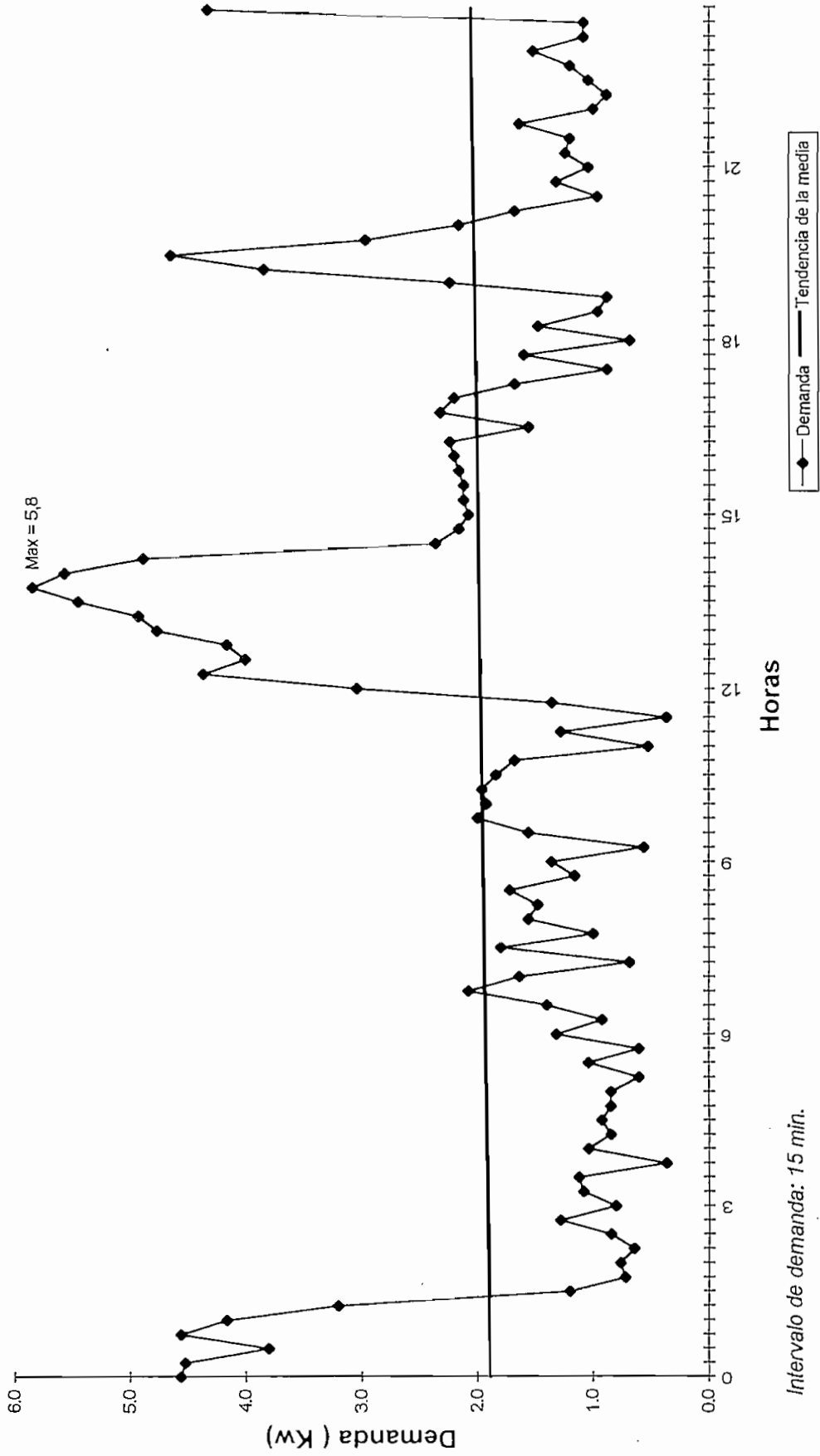
Al concluir el análisis de los resultados que muestran el conjunto de curvas de demanda, se puede afirmar con mucha certeza, que la acción del dispositivo de control de carga ha cumplido plenamente el objetivo de desplazar los consumos máximos de energía fuera de la hora pico<sup>4</sup> de la curva de demanda.

---

<sup>4</sup> Hora pico : 18h30 a 21h00.

# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 1

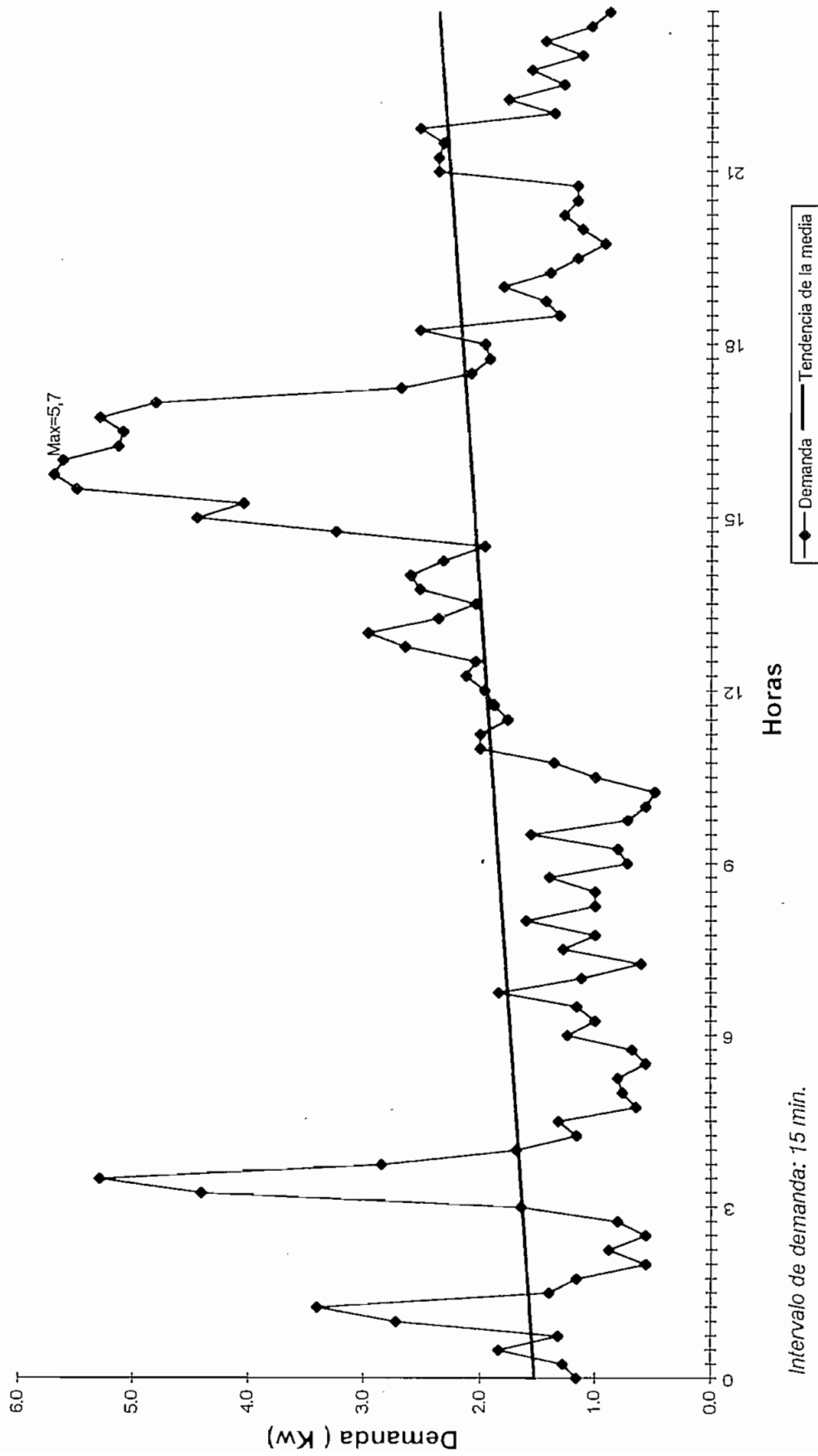


Intervalo de demanda: 15 min.

Figura -3.2.-

# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO I



Intervalo de demanda: 15 min.

Figura -3.3.-



## CAPÍTULO 4.

### *CONCLUSIONES Y RECOMENDACIONES.*

- 4.1. Breve estudio económico.
- 4.2. Conclusiones.
- 4.3. Recomendaciones.

---

## CAPÍTULO 4.

### 4. CONCLUSIONES Y RECOMENDACIONES

---

#### 4.1. BREVE ESTUDIO ECONÓMICO

En esta parte del trabajo se presenta un muy breve análisis del costo que representa la instalación del dispositivo de control de carga en cada uno de los usuario residenciales en la ciudad de Quito. Estos costos se componen de los siguientes ítems:

DESCRIPCIÓN	COSTO (Sucres)
Dispositivo de control	180.000
Instalación del equipo	20.000
Mantenimiento (Reprogramación)	50.000
<b>TOTAL</b>	<b>250.000</b>

*Tabla -4.1.- Descripción de costos del dispositivo de control.*

Equipos similares en el mercado como timers tienen menor costo pero tienen las siguientes desventajas respecto al dispositivo aquí desarrollado:

- No proporcionan la flexibilidad en la programación de los intervalos de tiempos de encendido y apagado del tanque de calentamiento de agua como el dispositivo aquí desarrollado, ya que sus períodos de tiempo son fijos y no existe una constatación en tiempo real de su funcionamiento.
- No funcionan indistintamente con 110 voltios y 220 voltios, además son muy frágiles cuando son sometidos a sobrecorrientes y cortocircuitos.

Existen también en el mercado otros dispositivos electrónicos de temporización para encendido y apagado de equipos eléctricos, pero tienen las siguientes desventajas:

- Su circuitería interna es totalmente integrada en un ASIC, su costo si bien es un poco menor que el dispositivo de control construido tiene la desventaja de que en caso de daño es prácticamente imposible su reparación por la característica especial de su tecnología, lo que significaría deshacerse totalmente del aparato.
- Estos temporizadores electrónicos trabajan ya sea con 110 V. ó con 220 V., mientras que el dispositivo de control de carga desarrollado en el presente trabajo de Tesis puede trabajar indistintamente con cualquiera de los dos voltajes.

En los casos señalados y que constituye su principal desventaja, es que el usuario programa las horas de encendido y apagado a su voluntad; mientras que en el equipo de control diseñado y construido en esta Tesis, eso sólo puede hacer el usuario fuera de la hora pico y por tanto los dispositivos disponibles comercialmente, no se pueden aplicar para los propósitos planteados en esta Tesis.

Luego, es importante mencionar que el dispositivo diseñado y construido es un prototipo que presta amplias ventajas y facilidades para realizar estudios de control de carga y si se decide realizar una instalación del dispositivo de control, en grandes cantidades su costo tendría una disminución muy significativa y por supuesto se eliminaría el rubro de mantenimiento planteado en la Tabla -4.1.-.

## 4.2. CONCLUSIONES

1. El dispositivo de control de carga es un equipo de tecnología electrónica y digital, consta básicamente de dos partes: la primera realiza las funciones de control, mientras que la segunda ejecuta funciones de habilitación o deshabilitación de circuitos de potencia (110 o 220 voltios).
2. La etapa de control opera fundamentalmente con la ayuda de un microcontrolador 8748 y un reloj-calendario en tiempo real. Por otro lado la etapa de potencia tiene como

elemento básico un triac de potencia. Ambas etapas se encuentran aisladas eléctricamente por medio de un optoacoplador.

3. El dispositivo de control de carga tiene la flexibilidad de realizar la activación y desactivación en tiempo real de cargas eléctricas de potencia de acuerdo a una programación de tiempos que son determinados a criterio del usuario. En el presente estudio el dispositivo de control tiene períodos de tiempo de activación y desactivación de carga fijos, ya que el fin ha sido estudiar el comportamiento de la curva de demanda.

4. El equipo de control de carga resulta ser un efectivo sistema de control de cargas resistivas, con el que se podrían realizar diferentes estudios de carga no sólo a nivel residencial, pues las facilidades y versatilidad que presenta lo hacen un instrumento de innumerables aplicaciones.

5. Con el presente estudio se ha llegado a determinar claramente que si se utiliza un dispositivo de control de carga para eliminar los consumos máximos en la hora pico, se puede lograr una disminución en el pico máximo de la curva de demanda global del sistema eléctrico ecuatoriano, con todas las ventajas que en ahorro de inversión en generación, esto significa.

6. La utilización del equipo de control de carga constituye una medida bastante efectiva y útil para ser tomada en cuenta dentro de las medidas AD&UREE que debería implementar el Estado ecuatoriano con el fin de administrar y ahorrar la utilización de la energía eléctrica en épocas normales y con mayor razón en los períodos de estiajes.

7. El presente estudio ha pretendido constituirse en una base de un estudio mayor que debería realizar el INECEL o las empresas eléctricas regionales; sin embargo los resultados obtenidos en la presente Tesis de Grado dan la pauta de la importancia de emprender en un proyecto de mucho más alcance.
  
8. Con los resultados alcanzados se ha demostrado que con el control del consumo en la hora pico, efectivamente los usuarios cambian el consumo llevándolo a los valles de la curva de carga general; situación que permite concluir que los objetivos del presente trabajo se ha cumplido y que en alguna medida se está contribuyendo a la solución de los problemas nacionales.

### **4.3. RECOMENDACIONES**

1. El INECEL o las empresas eléctricas debería incentivar en sus clientes la utilización de dispositivos de control de carga para administrar de mejor manera el uso de la energía eléctrica, ya que no existen pliegos tarifarios que tarifen la energía de acuerdo a la hora de utilización de la misma.
  
2. Los grandes consumidores residenciales deberían utilizar dispositivos de control de carga en aparatos eléctricos de gran consumo. Durante la realización del presente estudio se detectó que aparatos como el tanque termostato de agua caliente se mantienen encendidos las 24 horas del día, situación que determina un gasto innecesario de energía,

en cambio si se utiliza un equipo de control de encendido y apagado a determinadas horas de acuerdo a las costumbres del usuario, se podría ahorrar ampliamente la energía eléctrica en nuestro País, misma que comúnmente es escasa.

3. Para proyectos futuros de éstas características en las que se requiere una amplia colaboración de los usuarios en estudio, se debería lograr la participación de la empresa eléctrica, ya que existe una indisposición a colaborar con el investigador ya sea por temor a causar daños a la residencia en cuestión o por que se piensa que con ello se va a incrementar los pagos por consumo de energía.

Por último, si bien con este trabajo no se ha conseguido un equipo de control de tanques de calentamiento de agua, de características amplias y sofisticadas, ya que este no era en último término el objetivo central de la Tesis, si se ha logrado demostrar que se pueden encontrar soluciones netamente nacionales a nuestros propios problemas; construyendo dispositivos con las características justas y necesarias, sin tener que pagar por opciones que no se usan, en la tecnología que nos llega desde afuera; en este sentido es mi criterio que la Facultad de Ingeniería Eléctrica de la Escuela Politécnica Nacional tiene que seguir adelante y aportar cada vez más al País.

## BIBLIOGRAFÍA



## BIBLIOGRAFÍA

1. BADRY-HUTMACHER, 1981, *Conceptos básicos de la administración de cargas*, USA.
2. DALLAS SEMICONDUCTORS, 1990, *Manual de Referencia*, USA.
3. INECEL, 1994, *Programa para la administración de la demanda y uso racional de energía eléctrica en el Ecuador*, Quito - Ecuador.
4. MURRAY & SPIEGEL, 1984, *Estadística*, USA, McGraw Hill Inc. (1ra edición).
5. NATIONAL SEMICONDUCTOR, 1980, *48 Series Microprocessors Handbook*, USA, 1ra edición.
6. ORGANIZACIÓN LATINOAMERICANA DE ENERGÍA, 1990, *Necesidad y posibilidades para el manejo de demanda y uso racional de energía en los sistemas eléctricos de América Latina y el Caribe*, Quito-Ecuador.
7. ORGANIZACIÓN LATINOAMERICANA DE ENERGÍA, 1993, *Plan de Acción e Identificación de Medidas de Manejo de la Demanda y Uso Racional de Energía Eléctrica*, Quito-Ecuador.

8. PALLA ROBERT, 1979, *Evaluation of energy - conserving. Modifications for water heaters*, Washington D. C., USA.
  
9. PHILIPS ECG, 1994, *Semiconductors Master Replacement Guide*, USA, 16ava edición.
  
10. Primer Simposio Internacional, *Minisistemas de control y manejo de cargas eléctricas en distribución para países en desarrollo*, 1990, Quito-Ecuador.

## ANEXOS

## ANEXO A

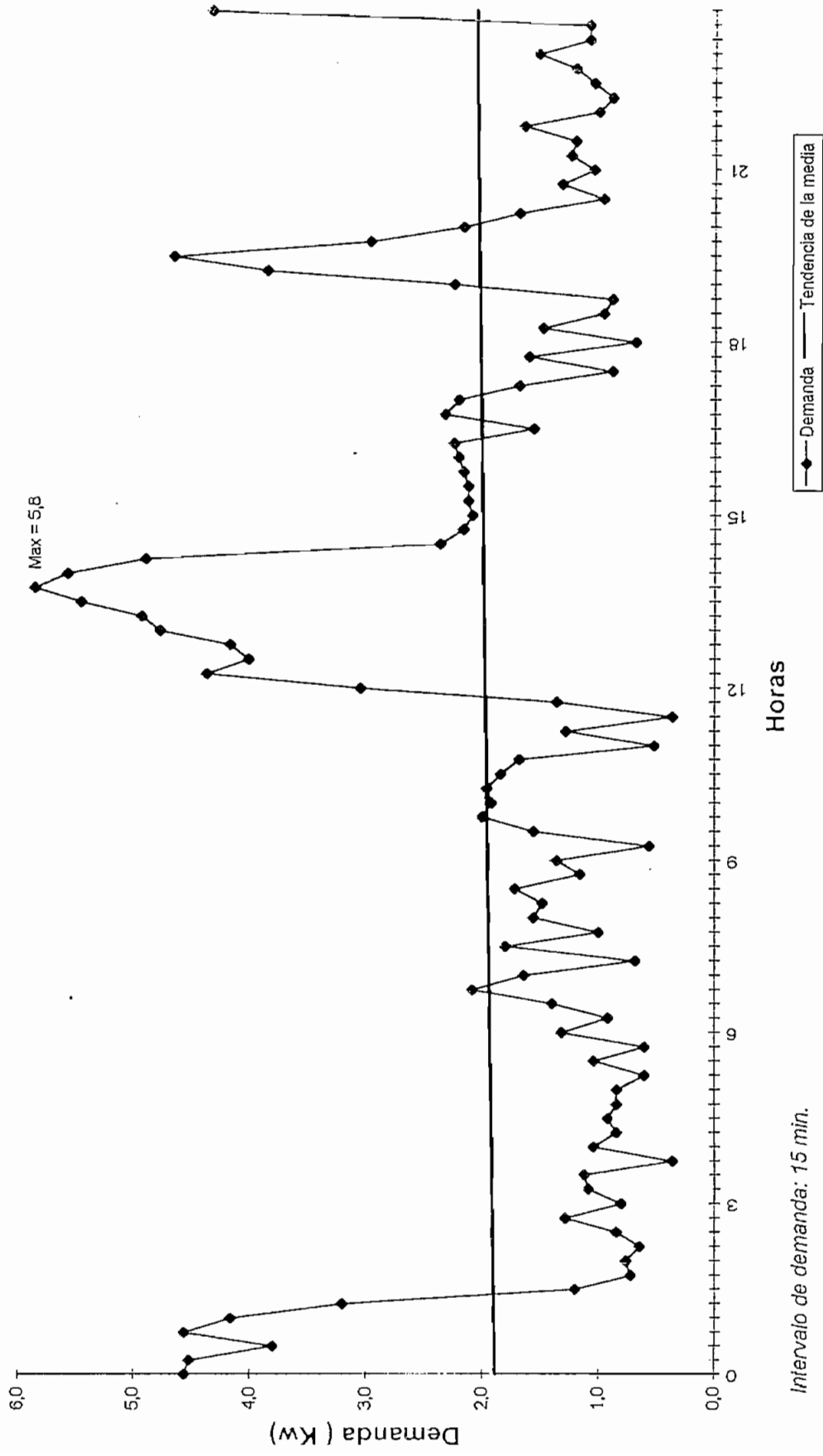
### *Gráficos de las curvas de demanda*

## ANEXO A.1

*Gráficos de las curvas de demanda sin control de carga.*

# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

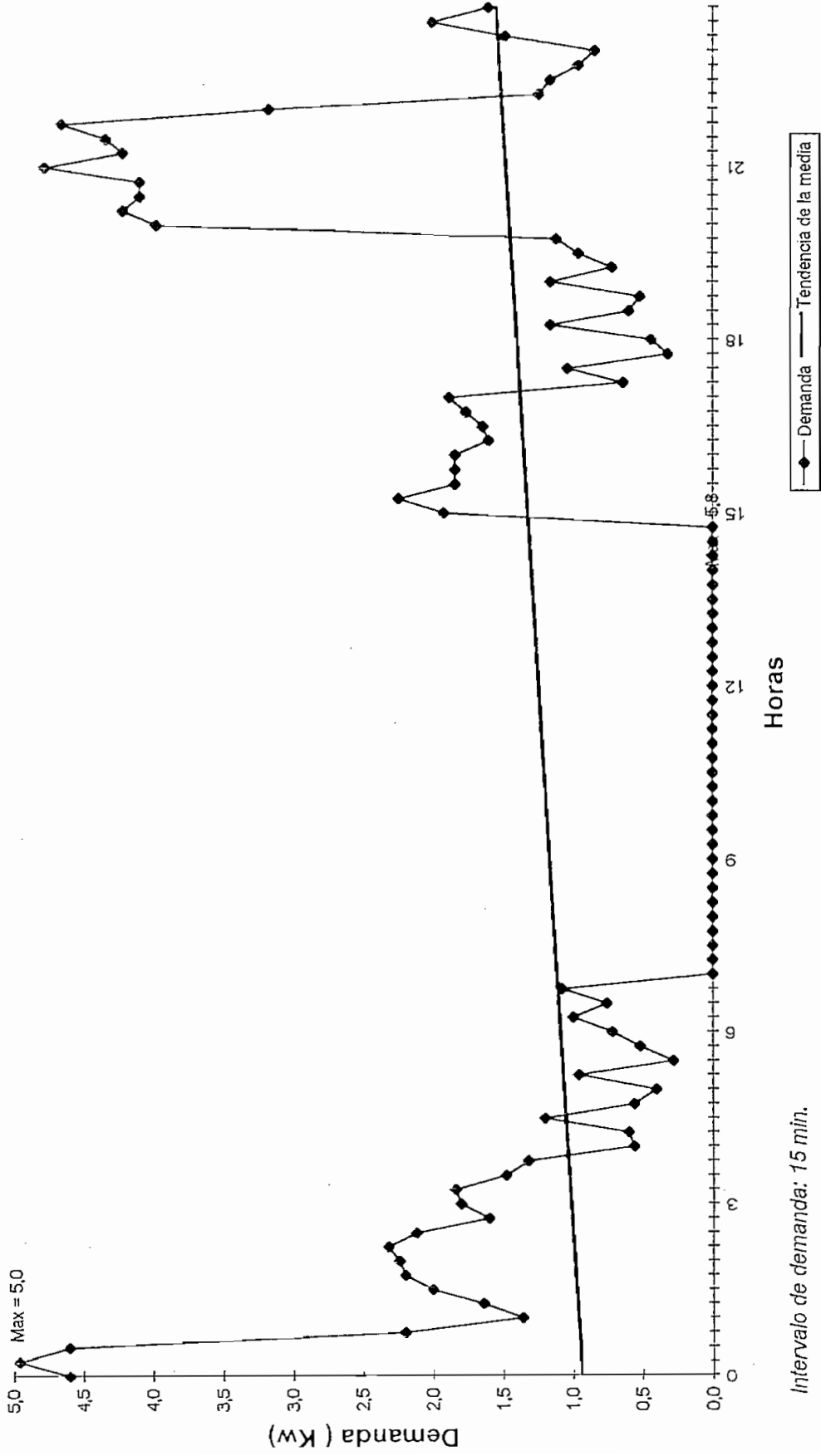
## DEPARTAMENTO 1



Intervalo de demanda: 15 min.

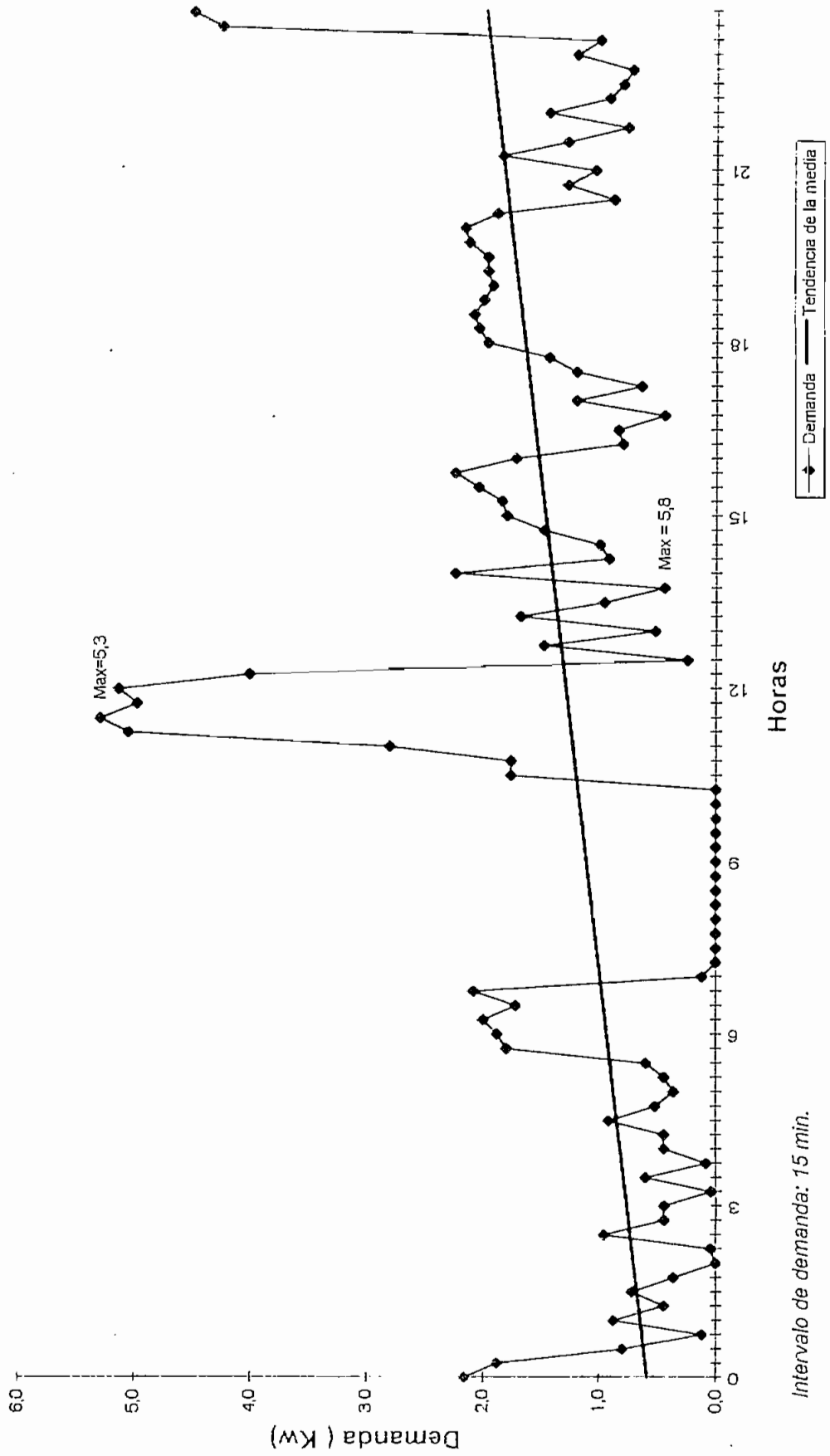
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 1



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 1

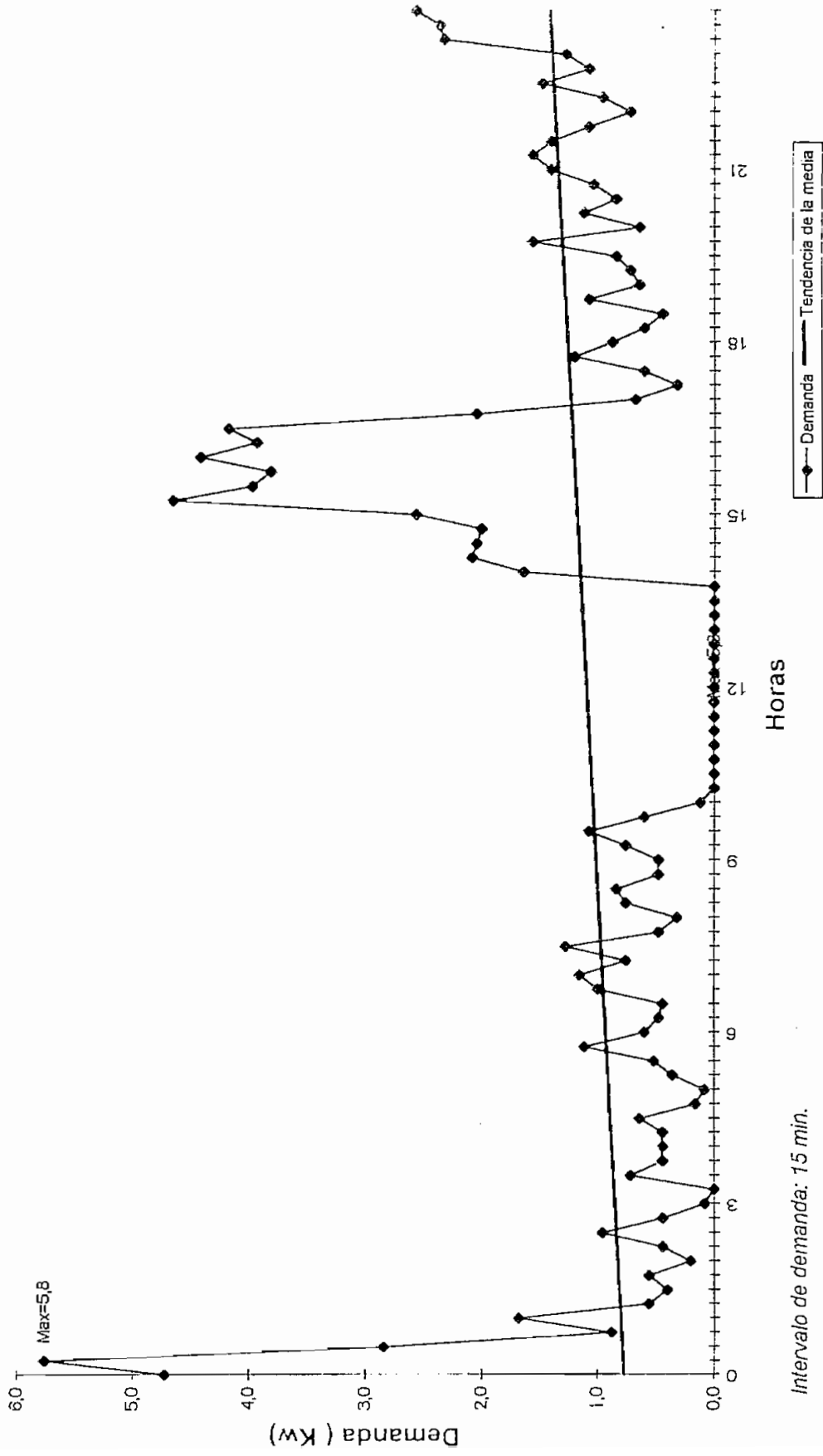


Intervalo de demanda: 15 min.



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

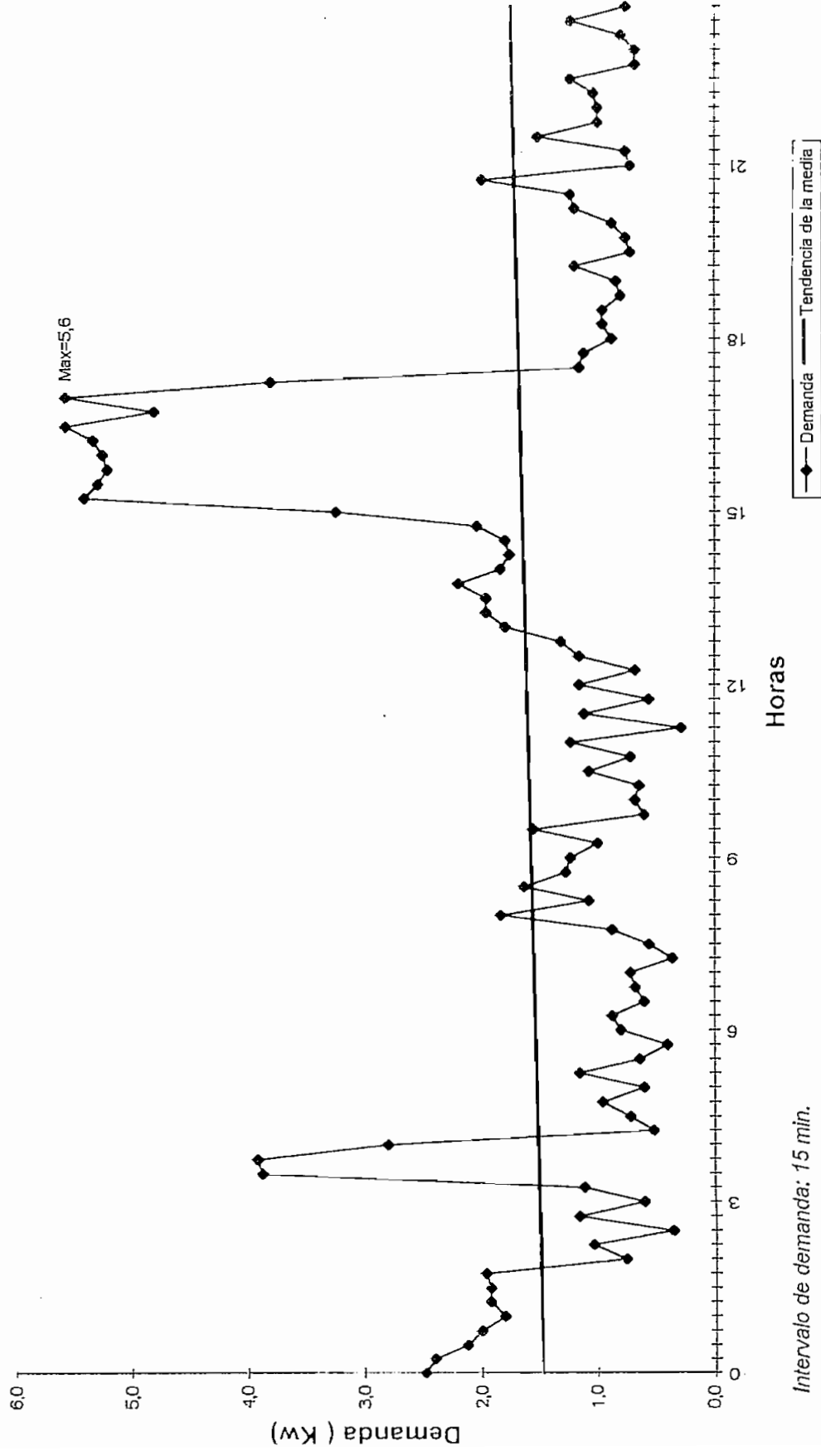
## DEPARTAMENTO 1



Intervalo de demanda: 15 min.

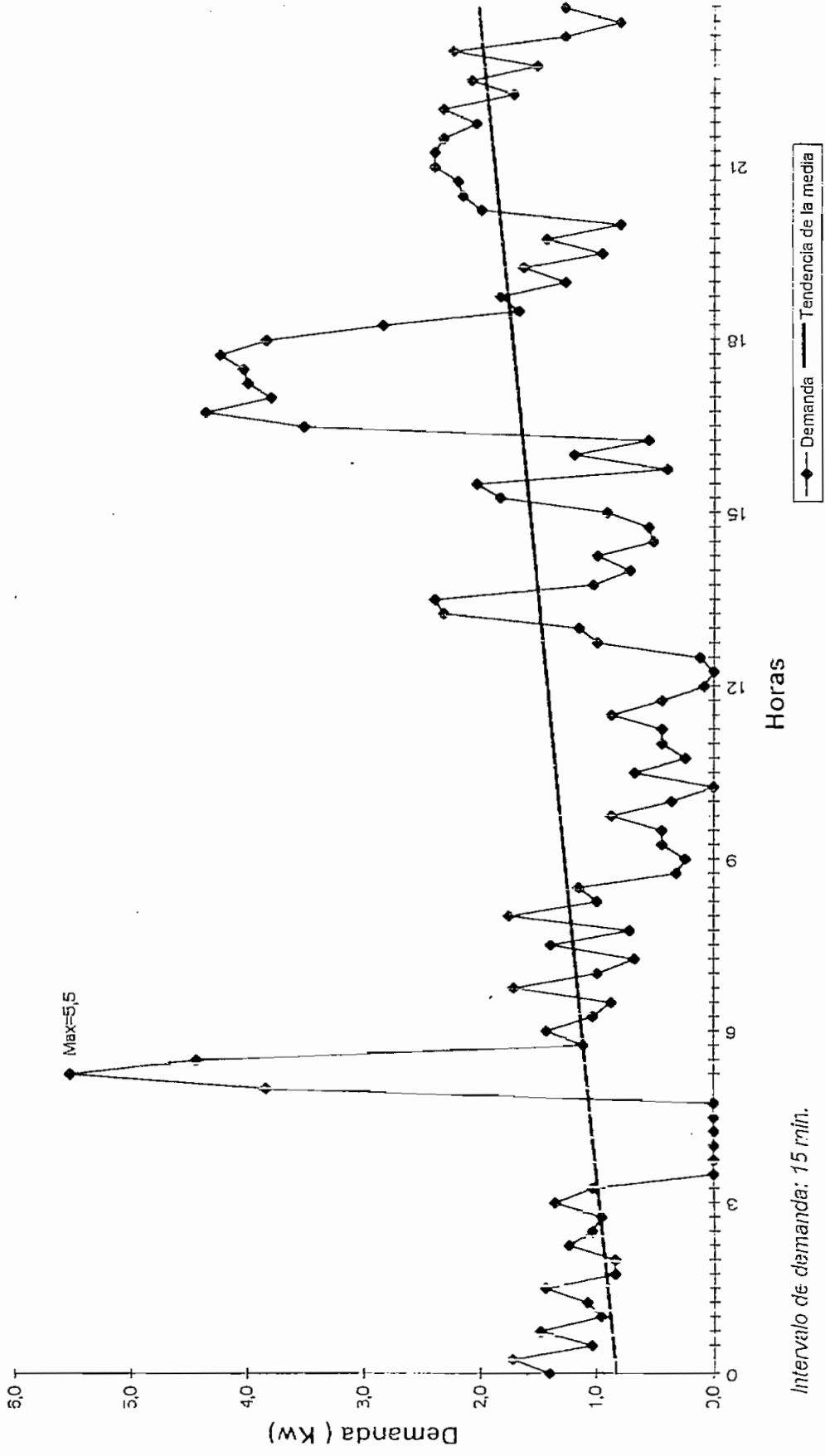
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO I



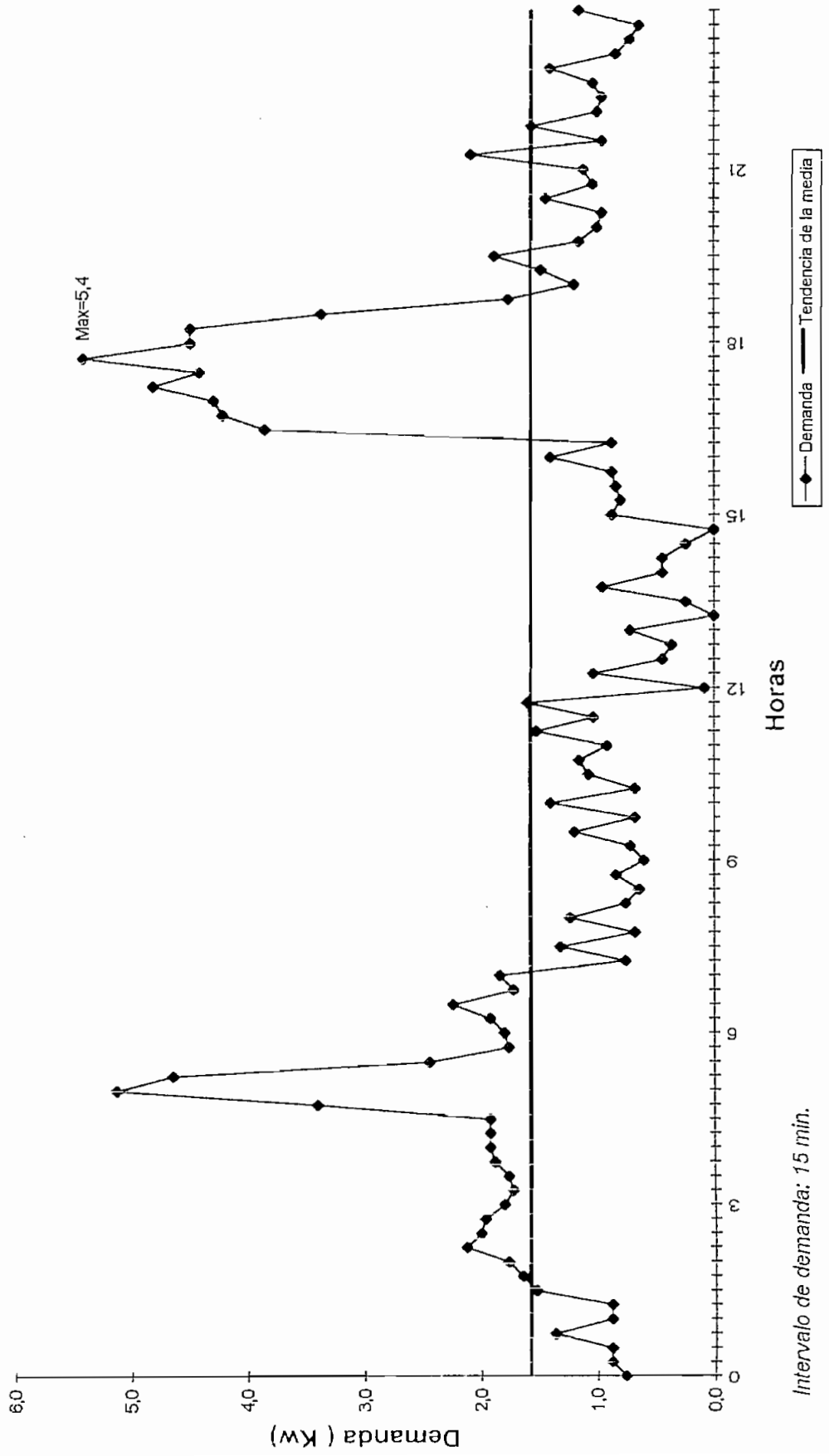
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 1



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

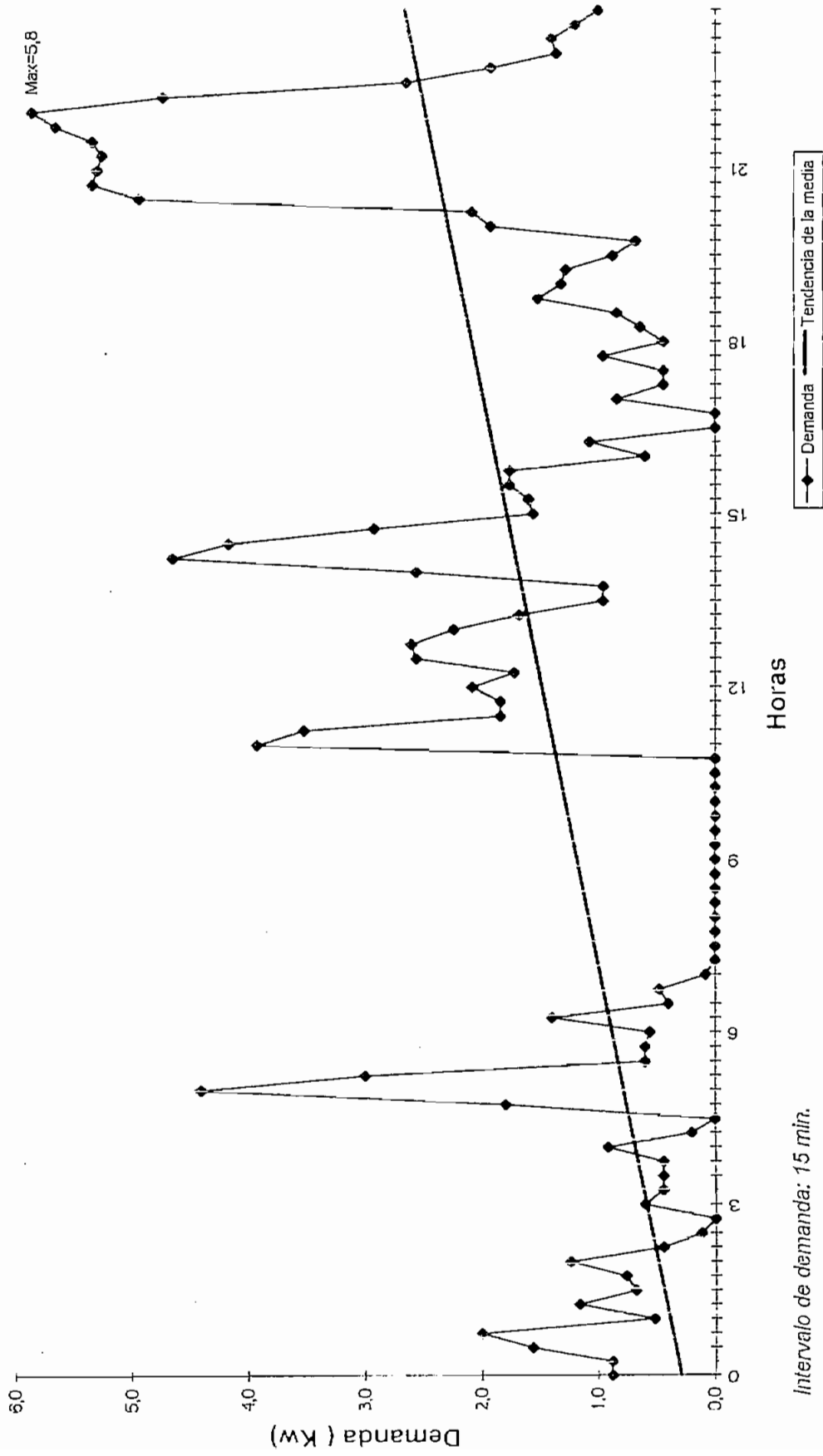
## DEPARTAMENTO 1



Intervalo de demanda: 15 min.

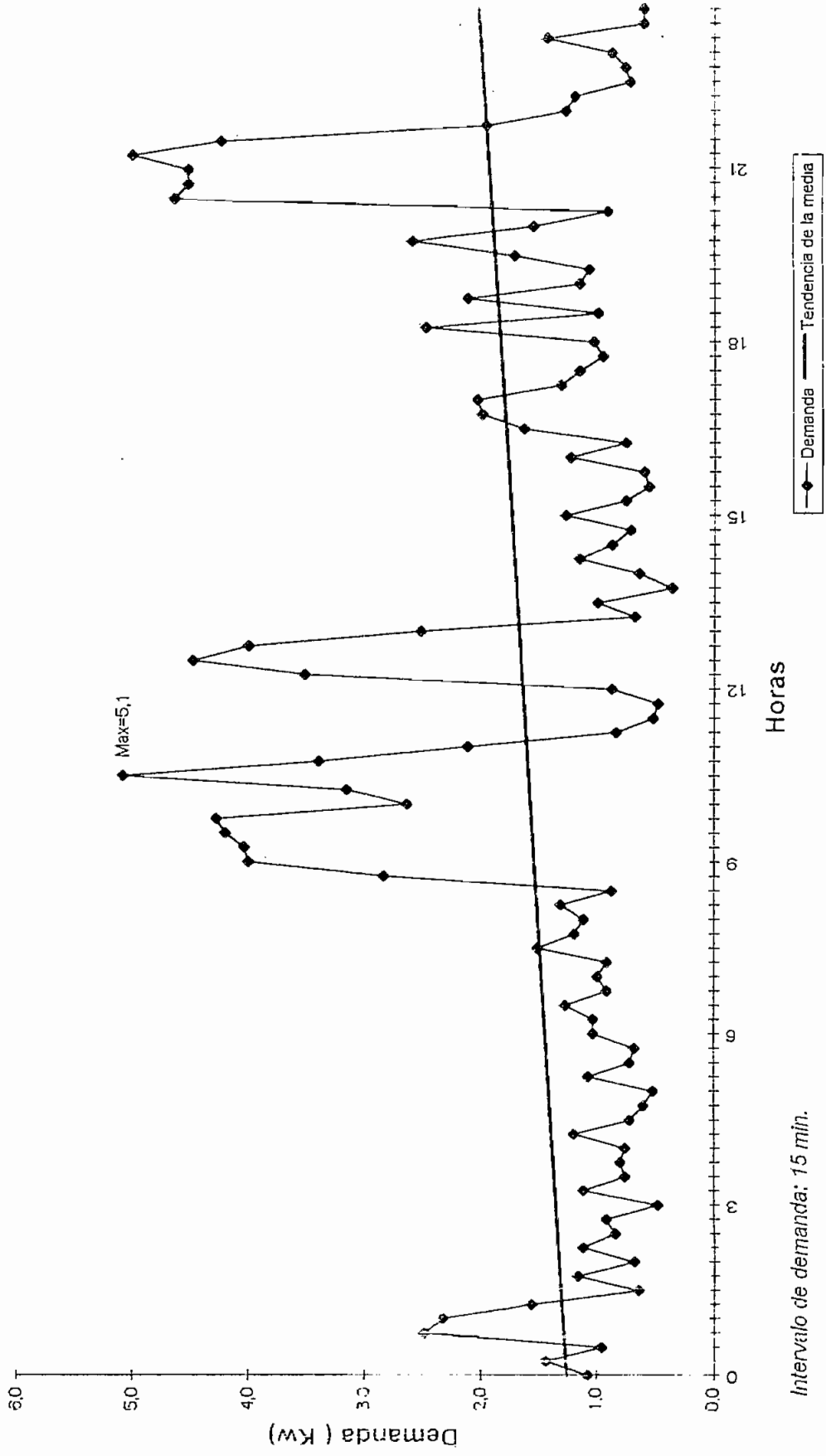
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 1



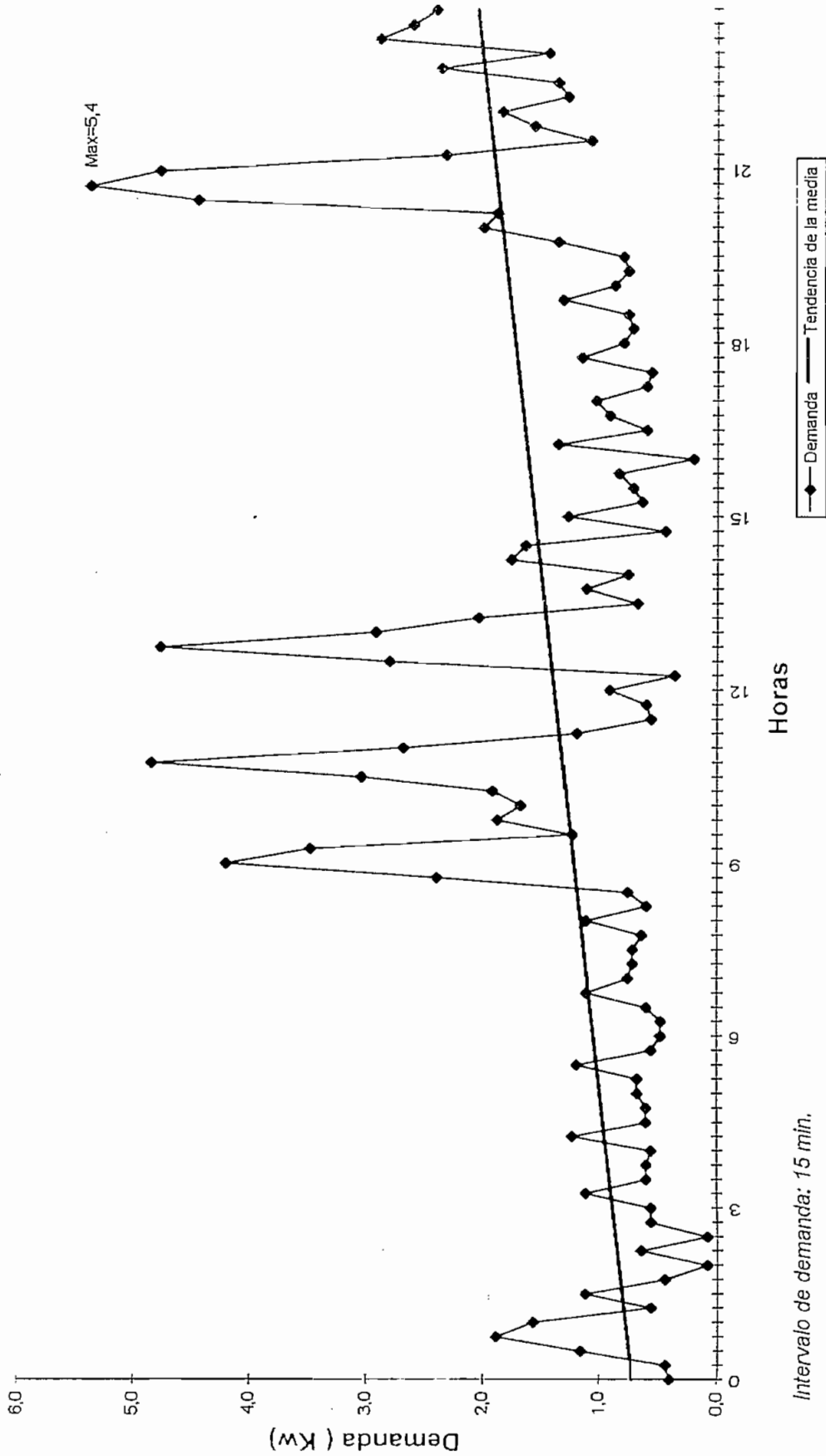
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 1



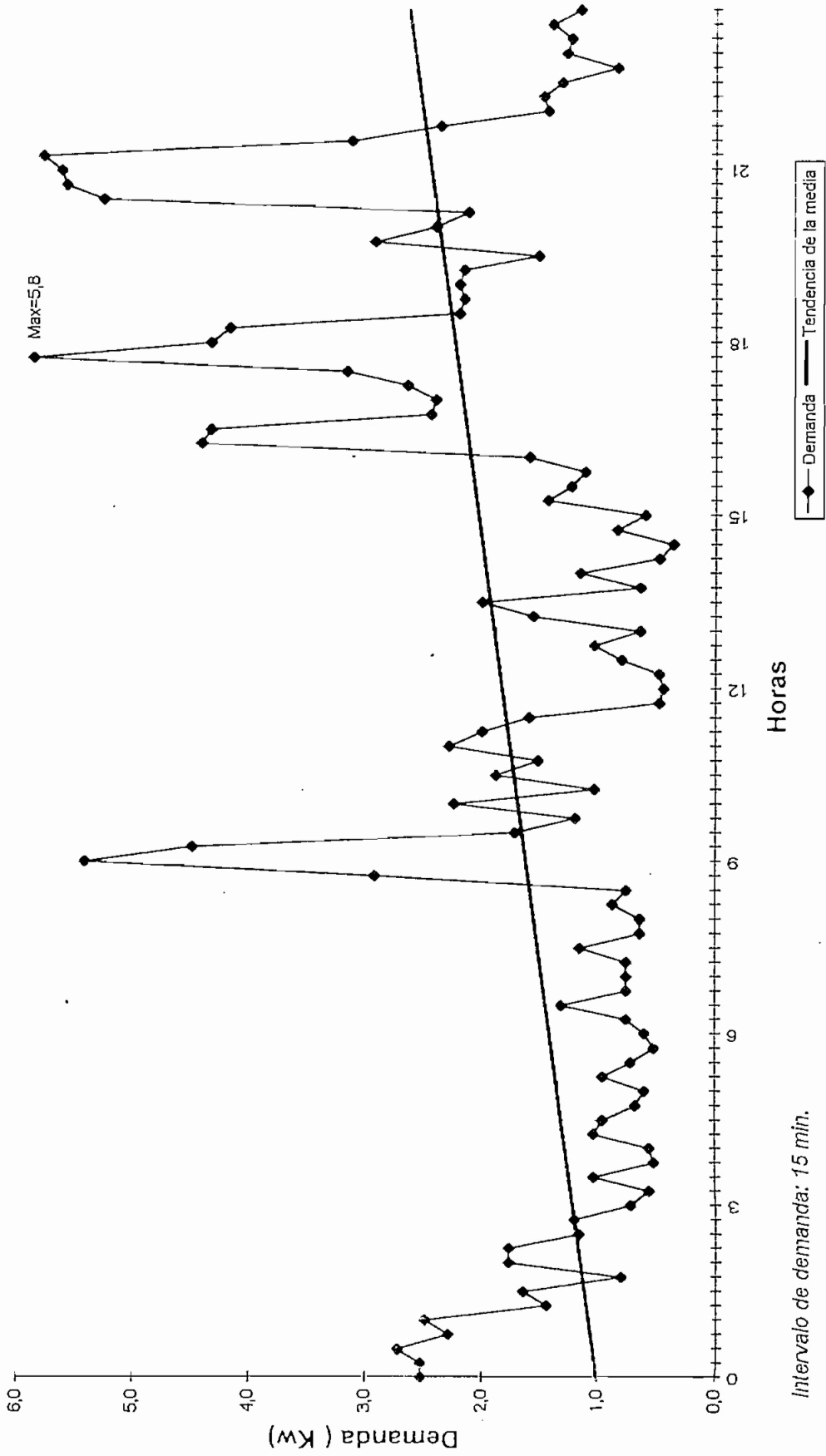
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO I



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

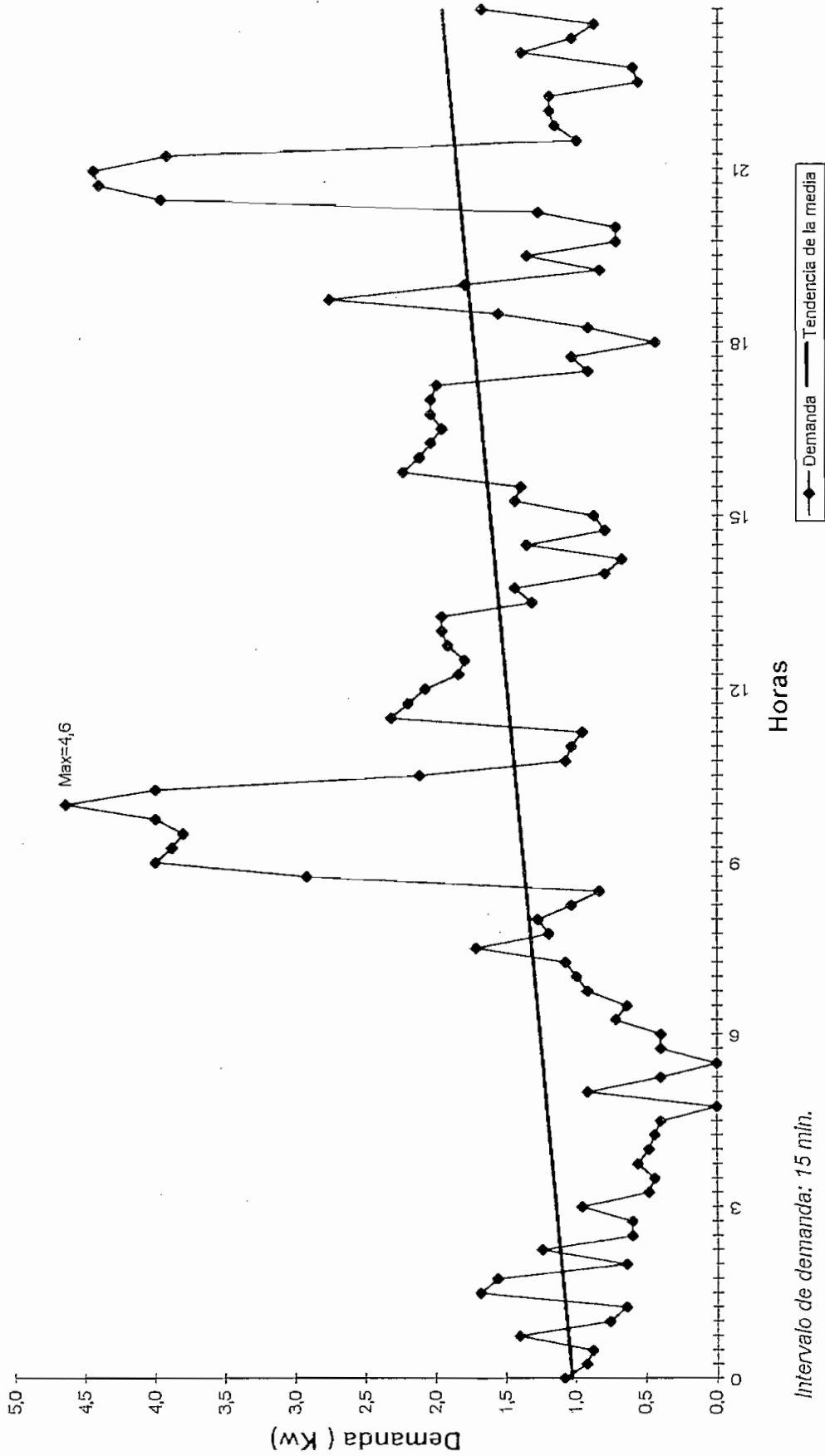
## DEPARTAMENTO I





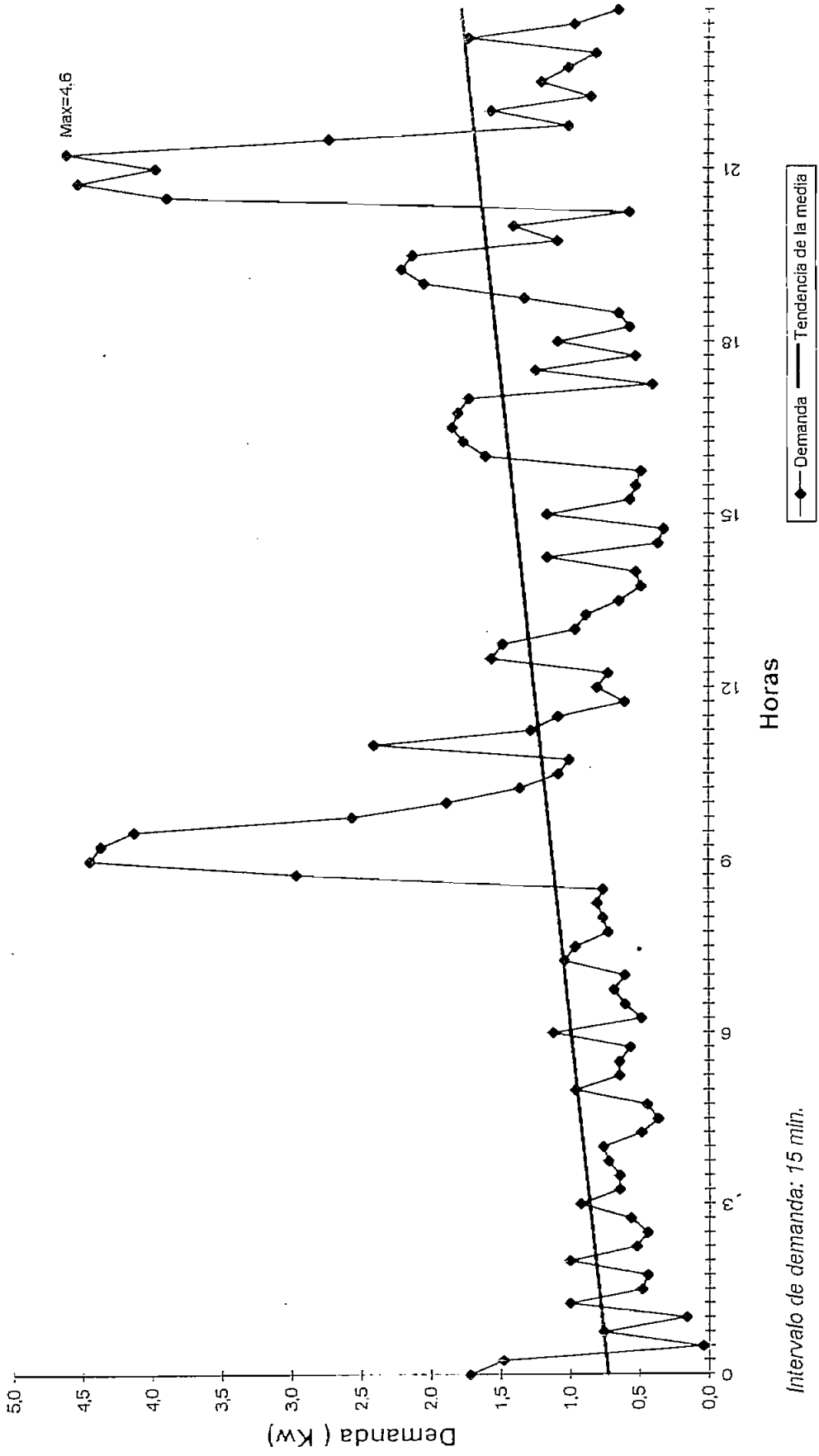
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO I



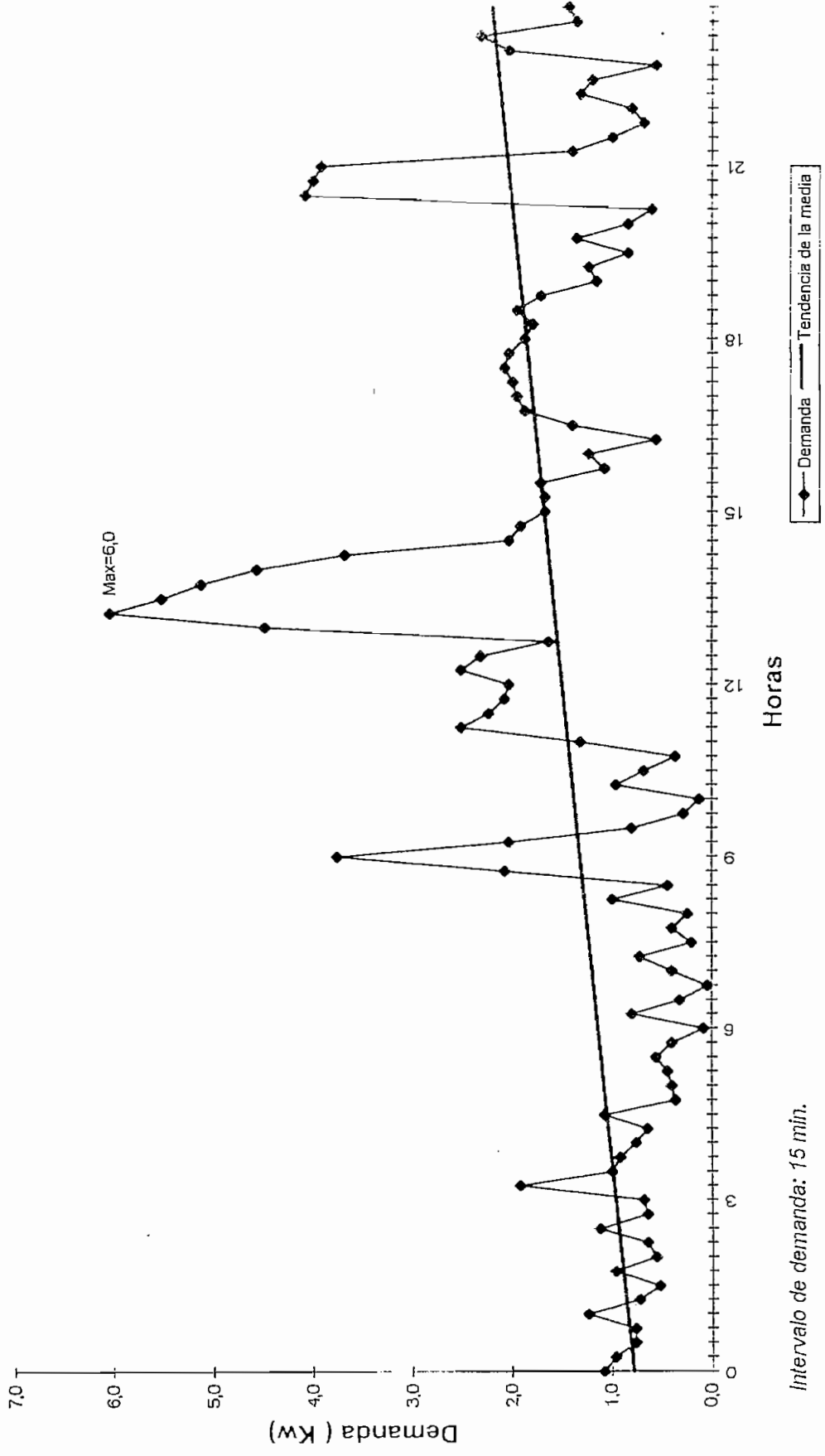
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO I



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

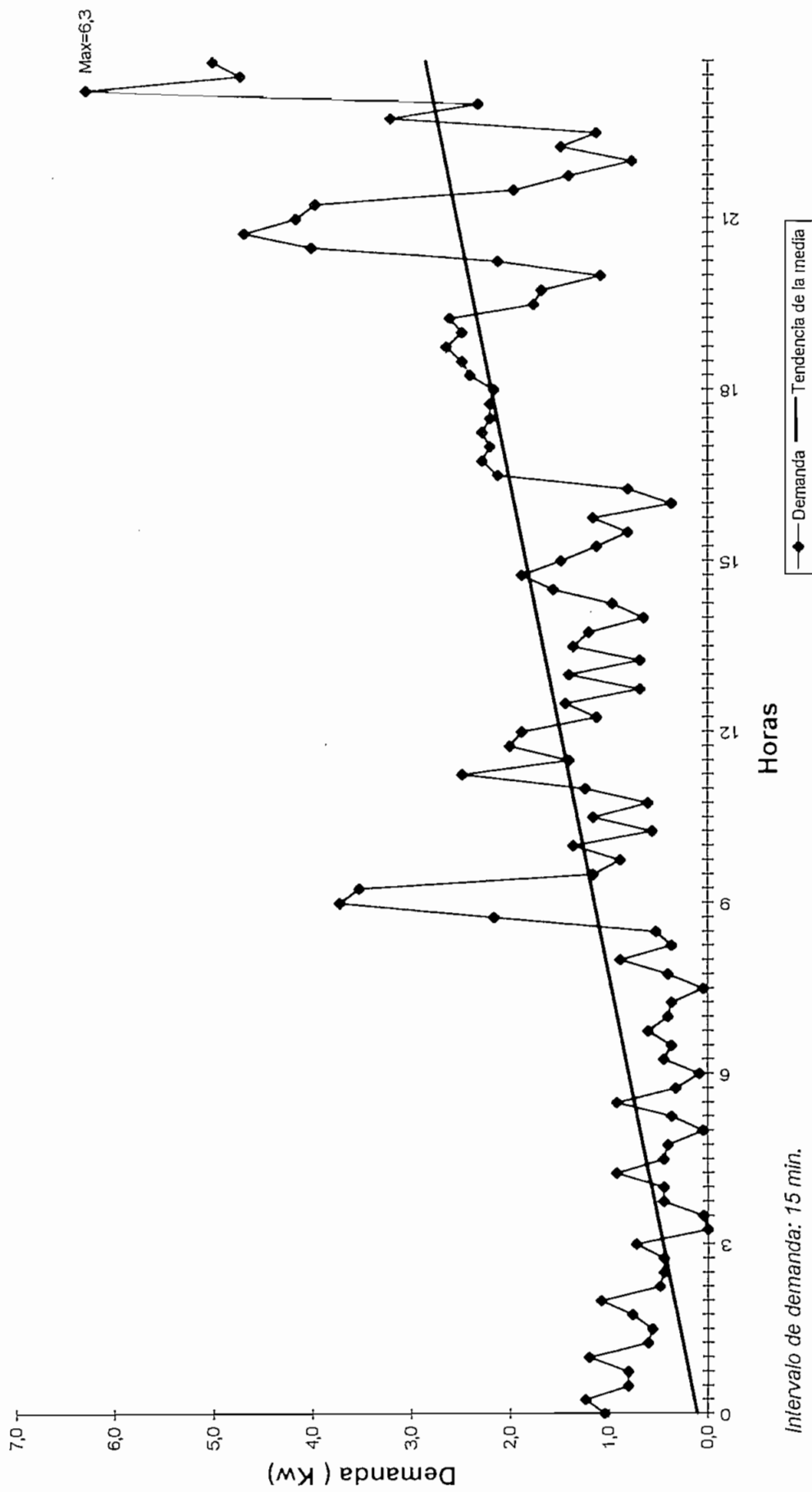
## DEPARTAMENTO I



Intervalo de demanda: 15 min.

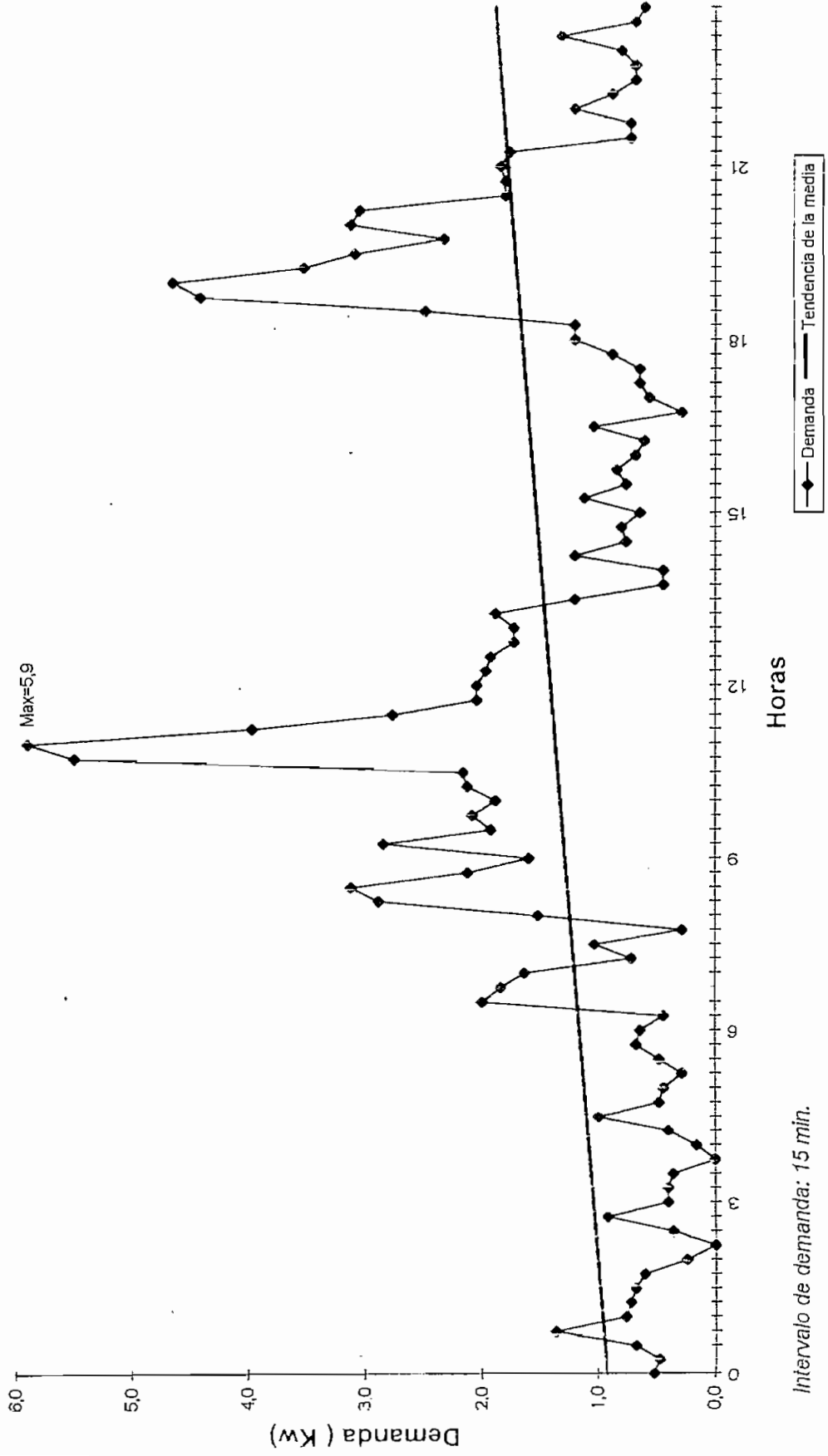
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 1



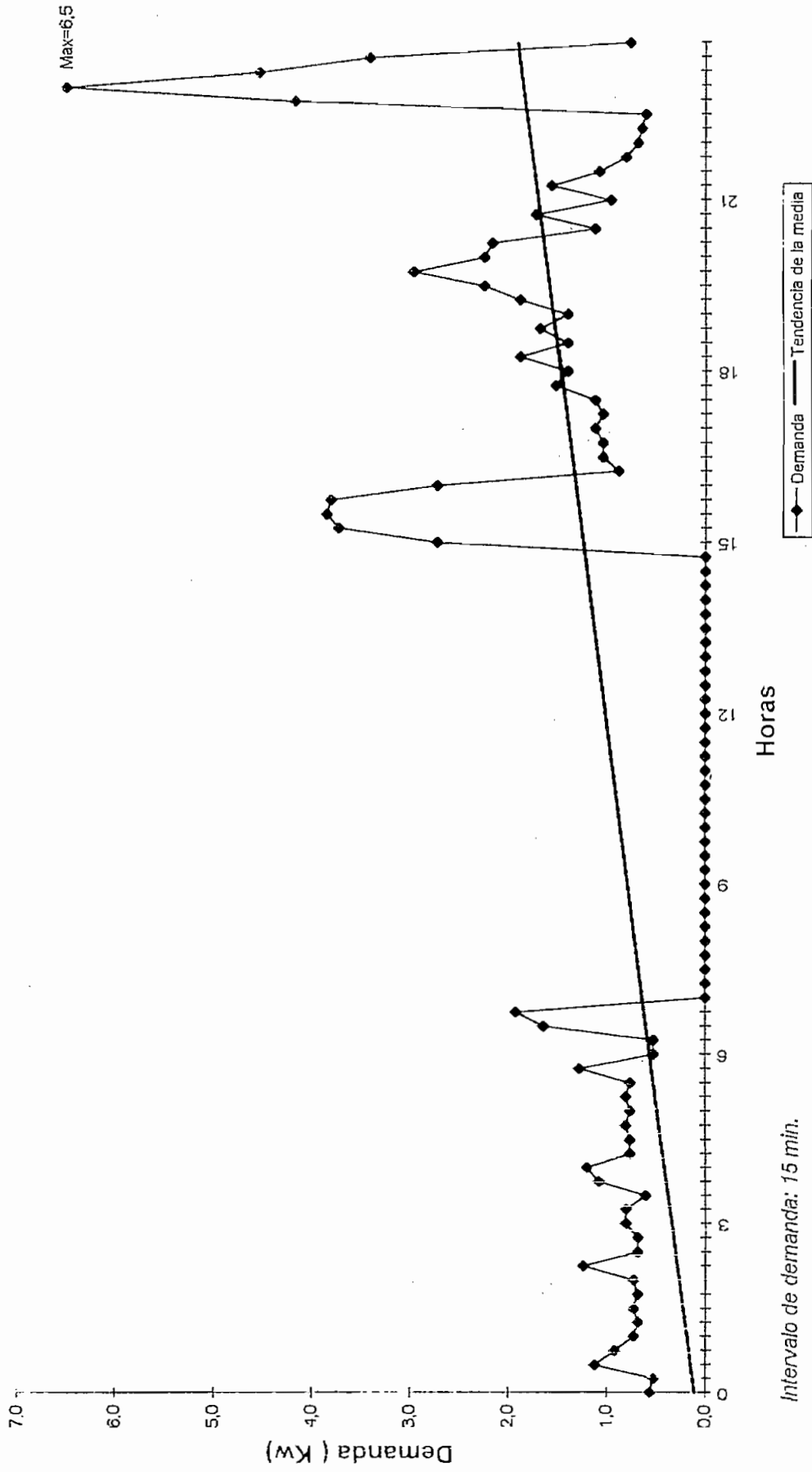
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 2



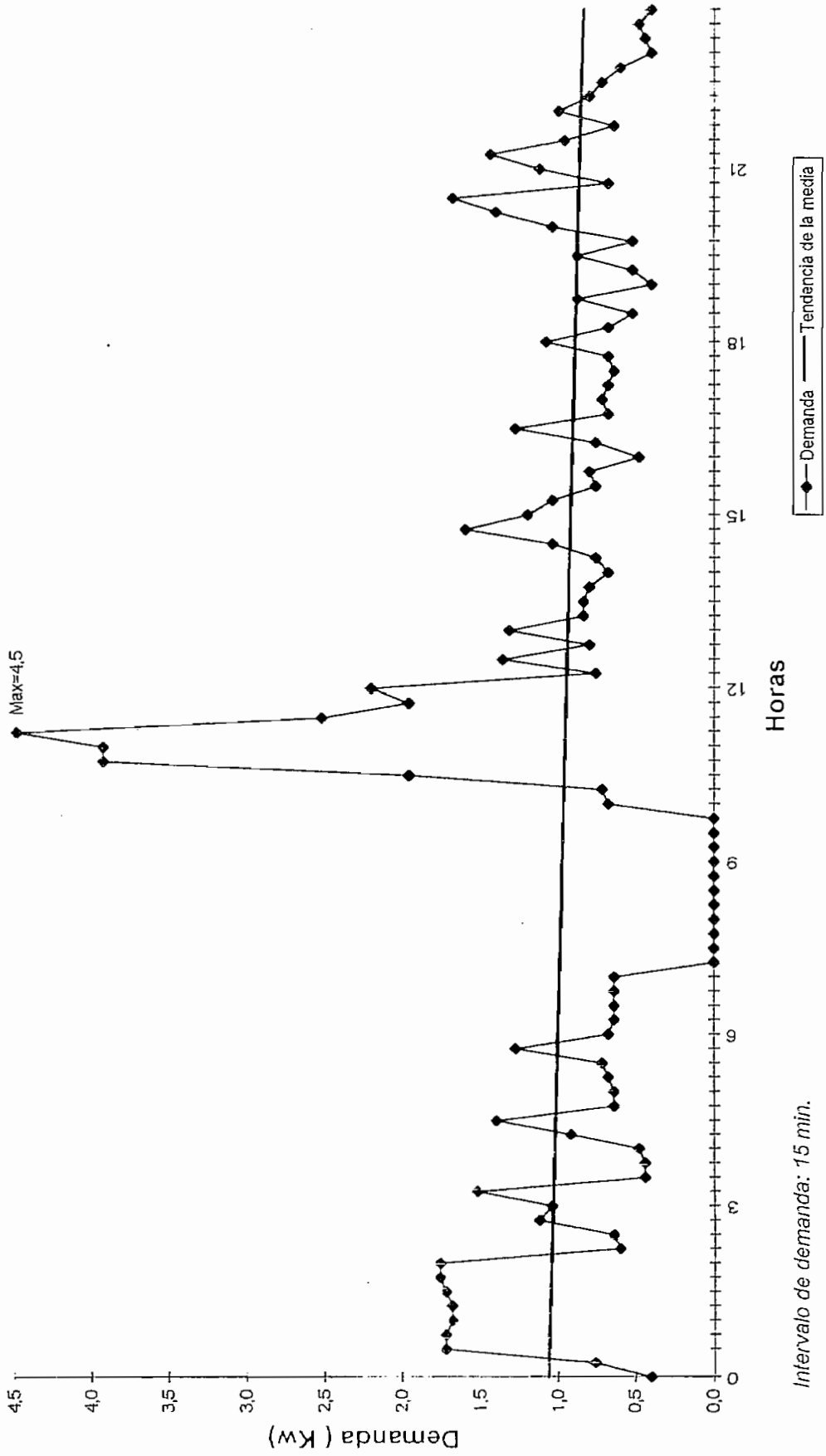
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 2



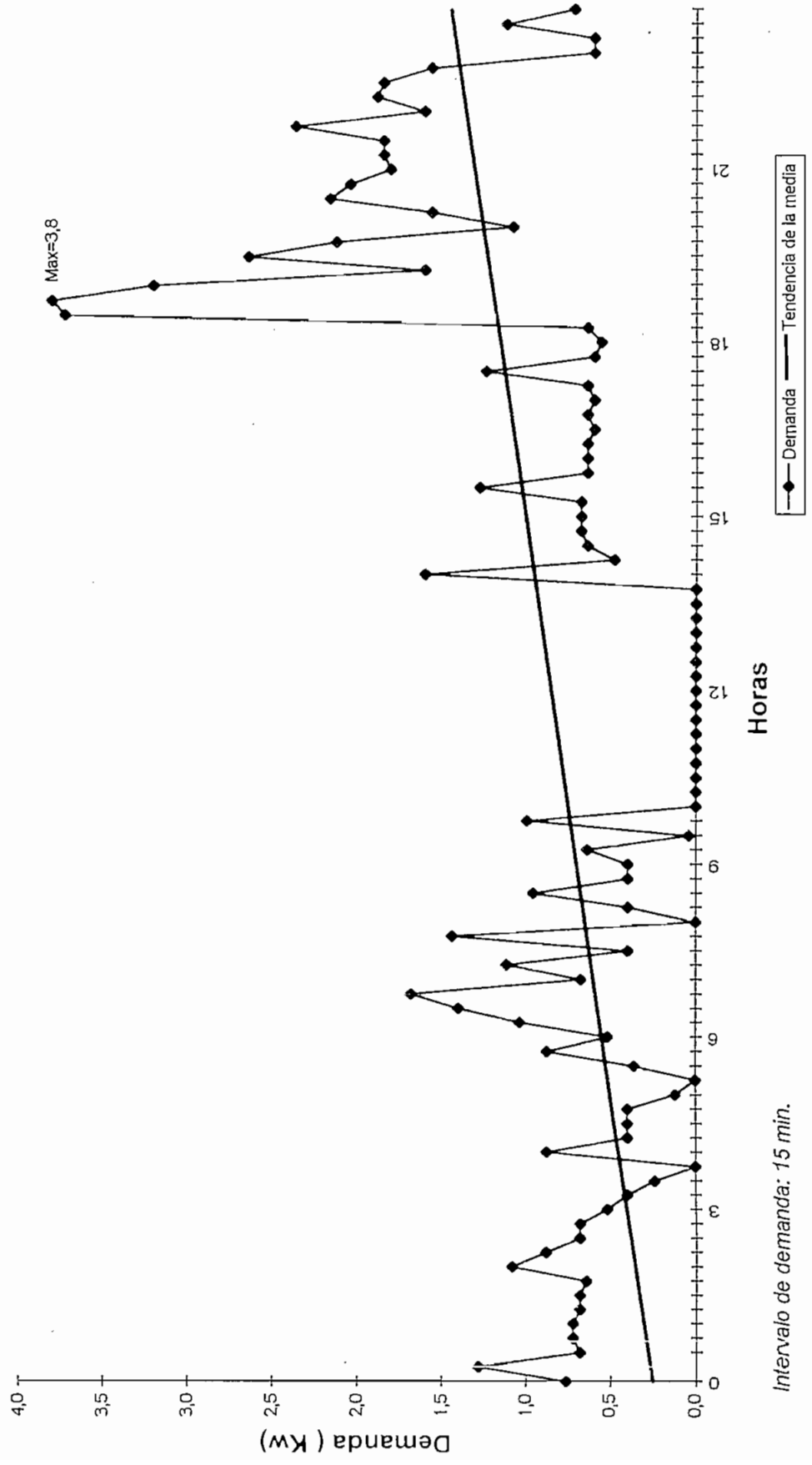
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 2



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

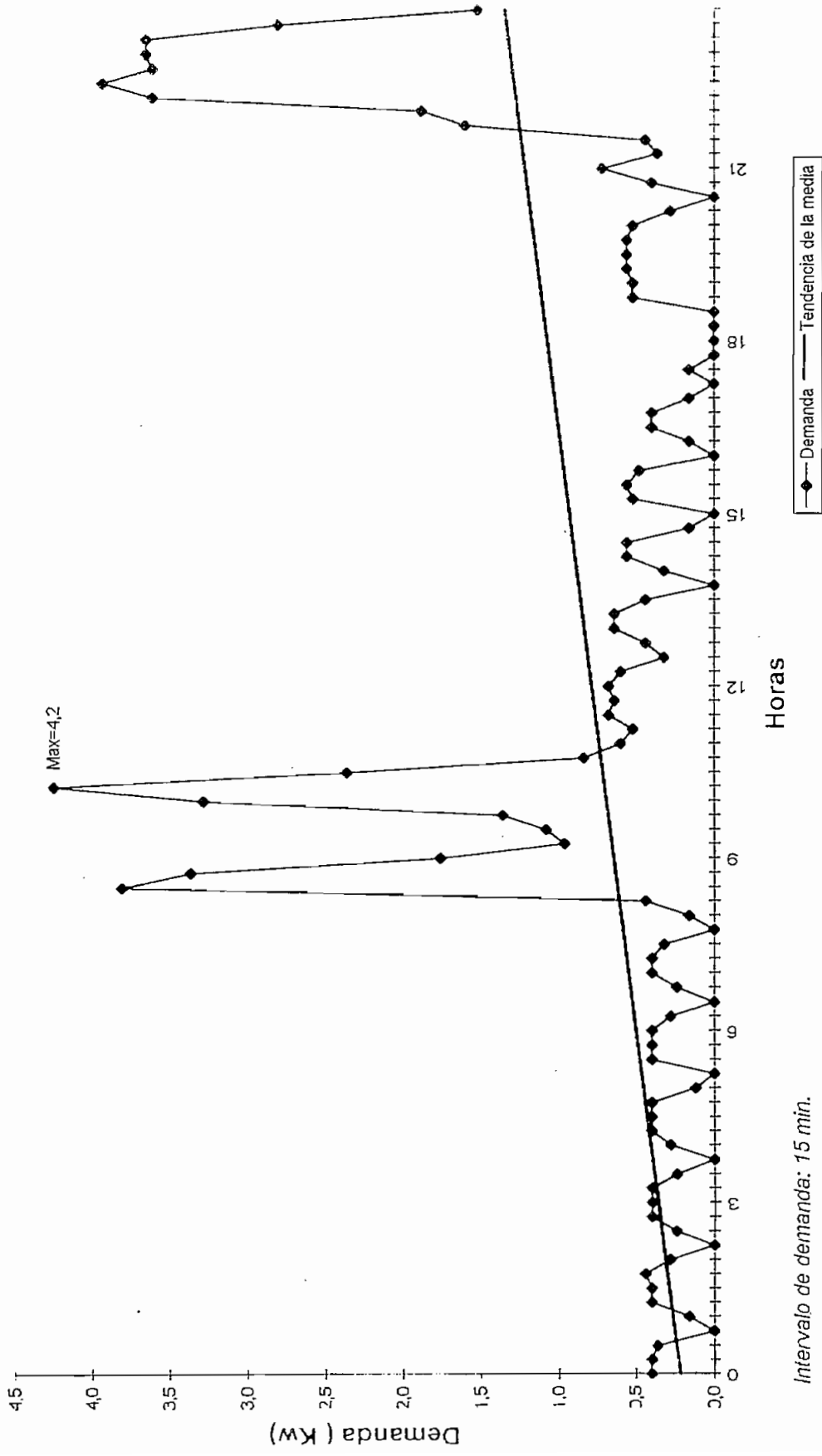
## DEPARTAMENTO 2





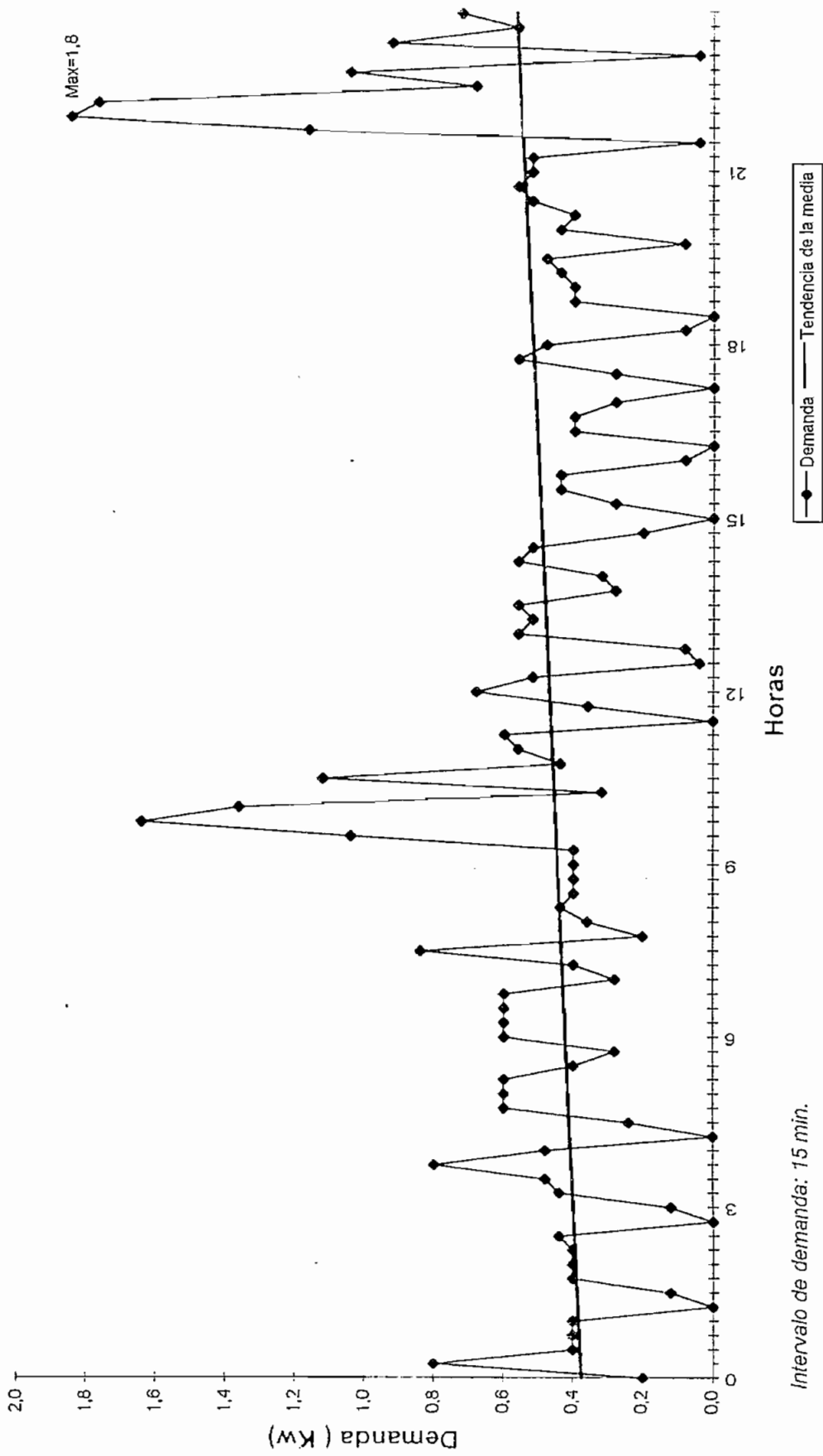
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 2



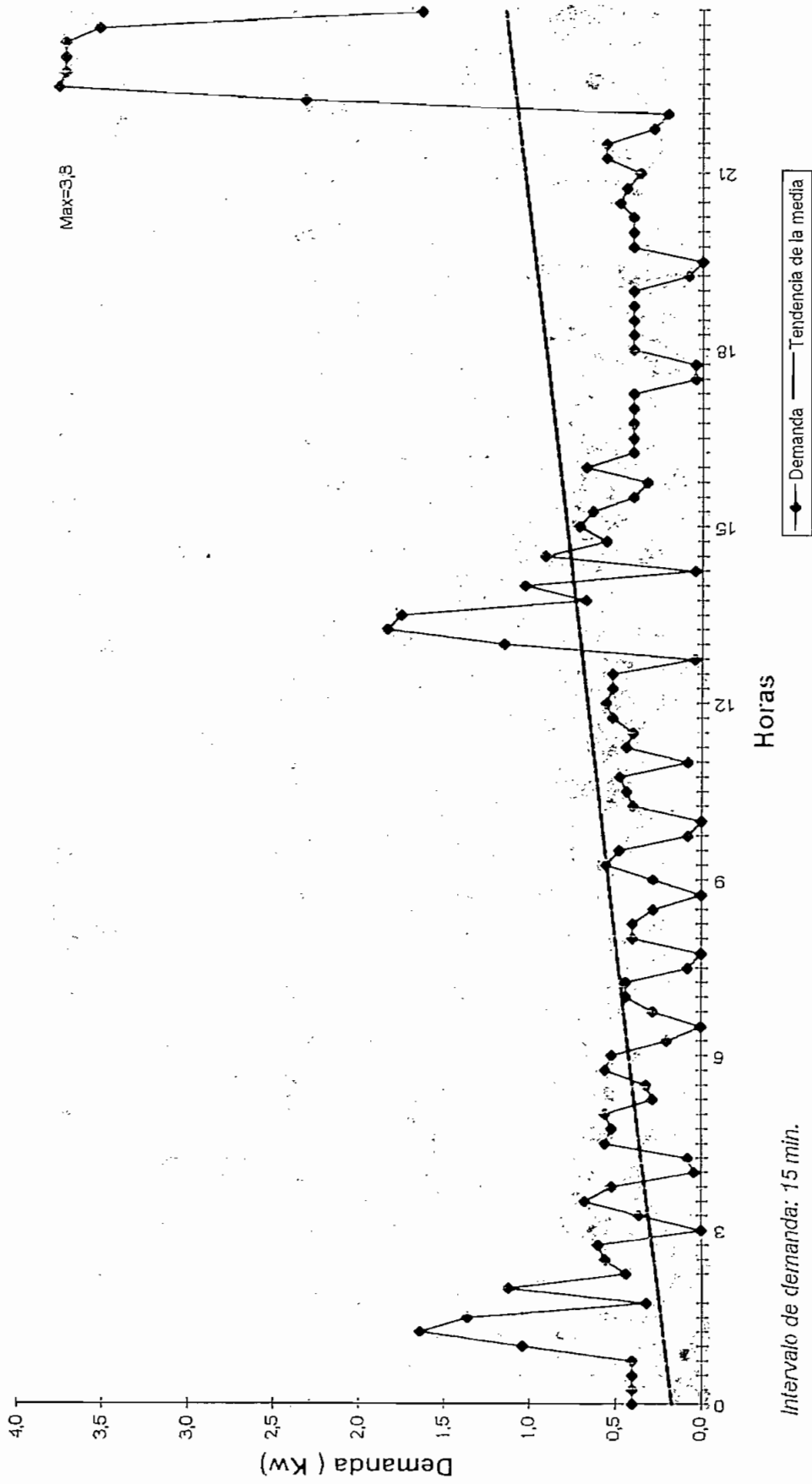
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 2



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

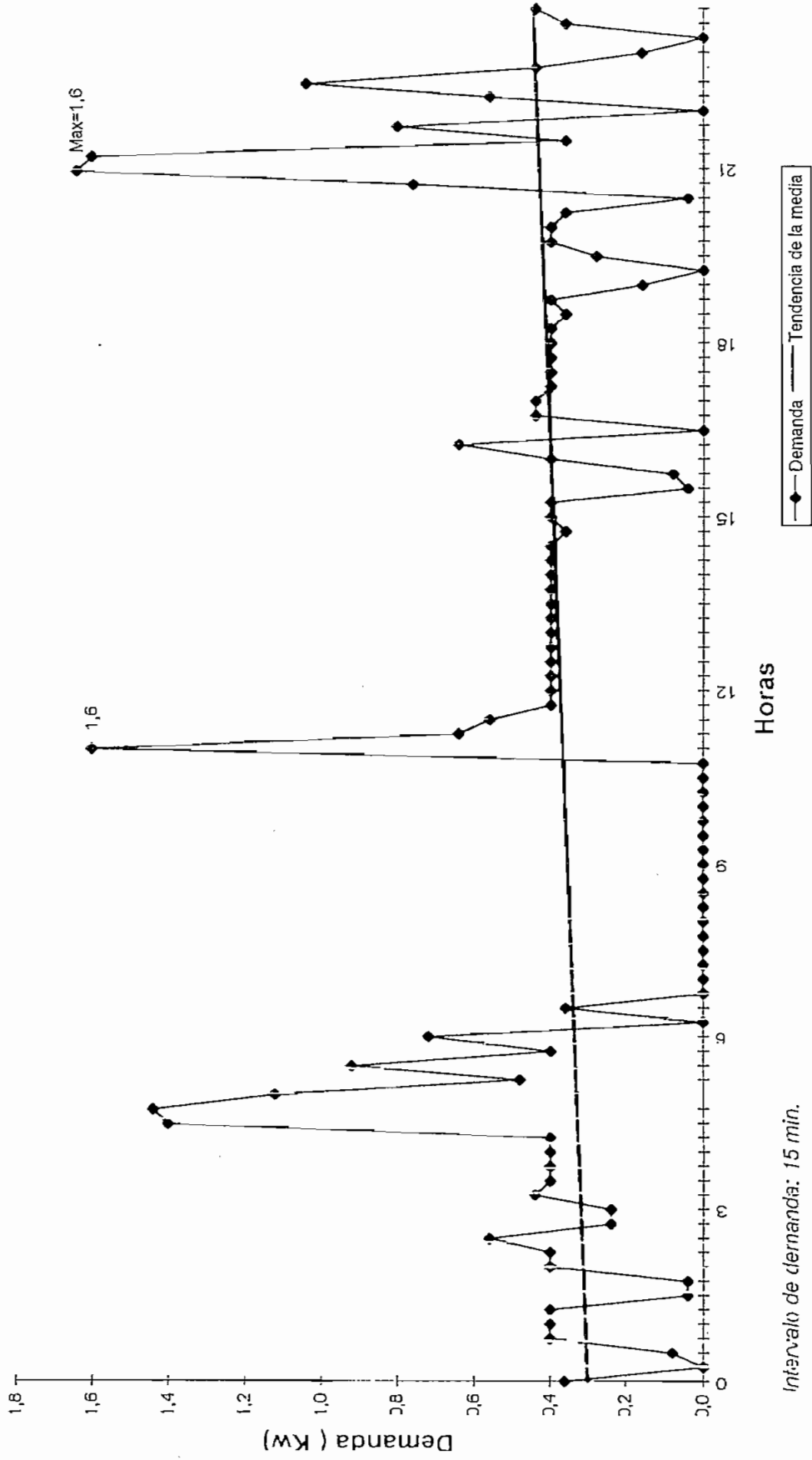
## DEPARTAMENTO 2



Intervalo de demanda: 15 min.

# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

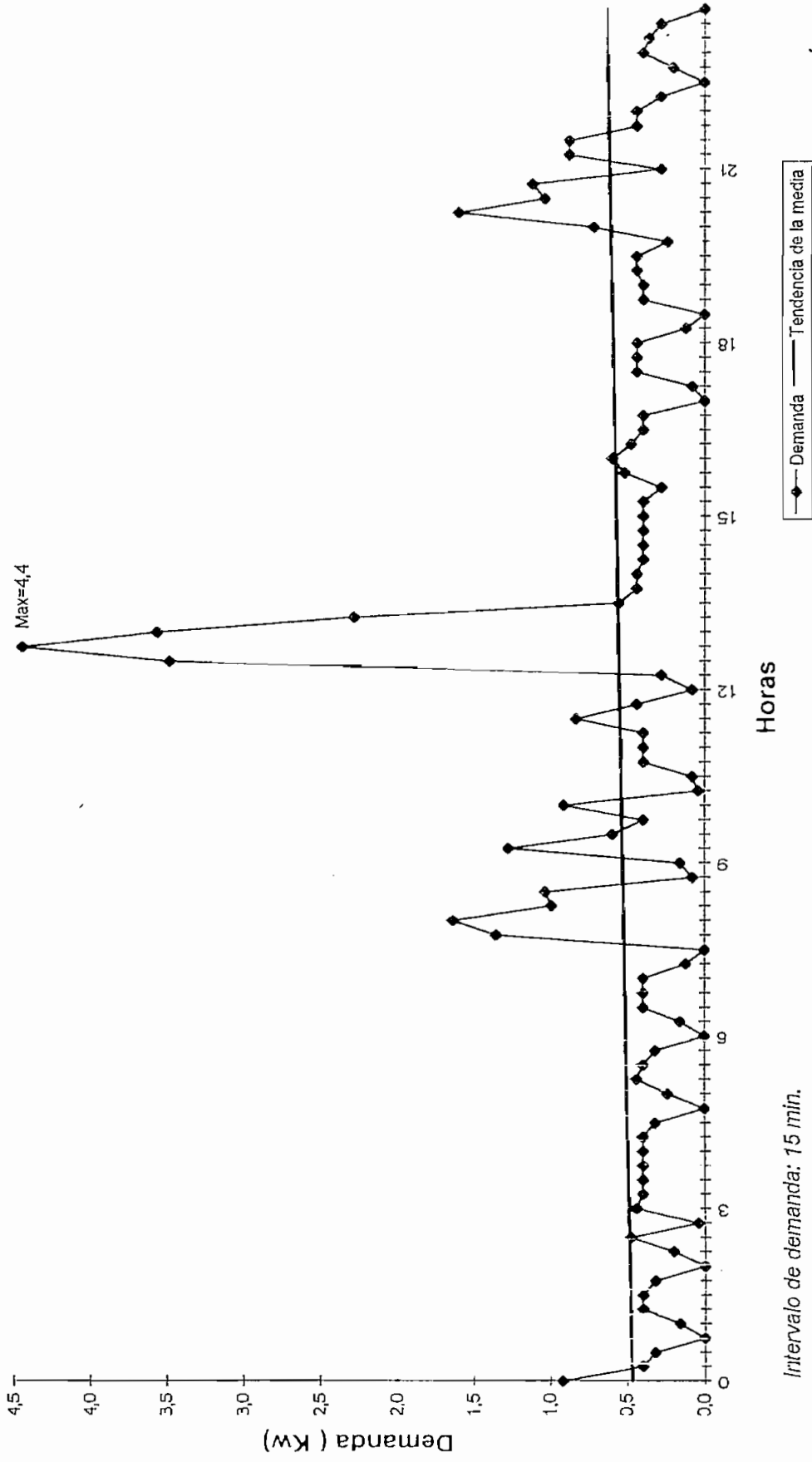
## DEPARTAMENTO 2



Intervalo de demanda: 15 min.

# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

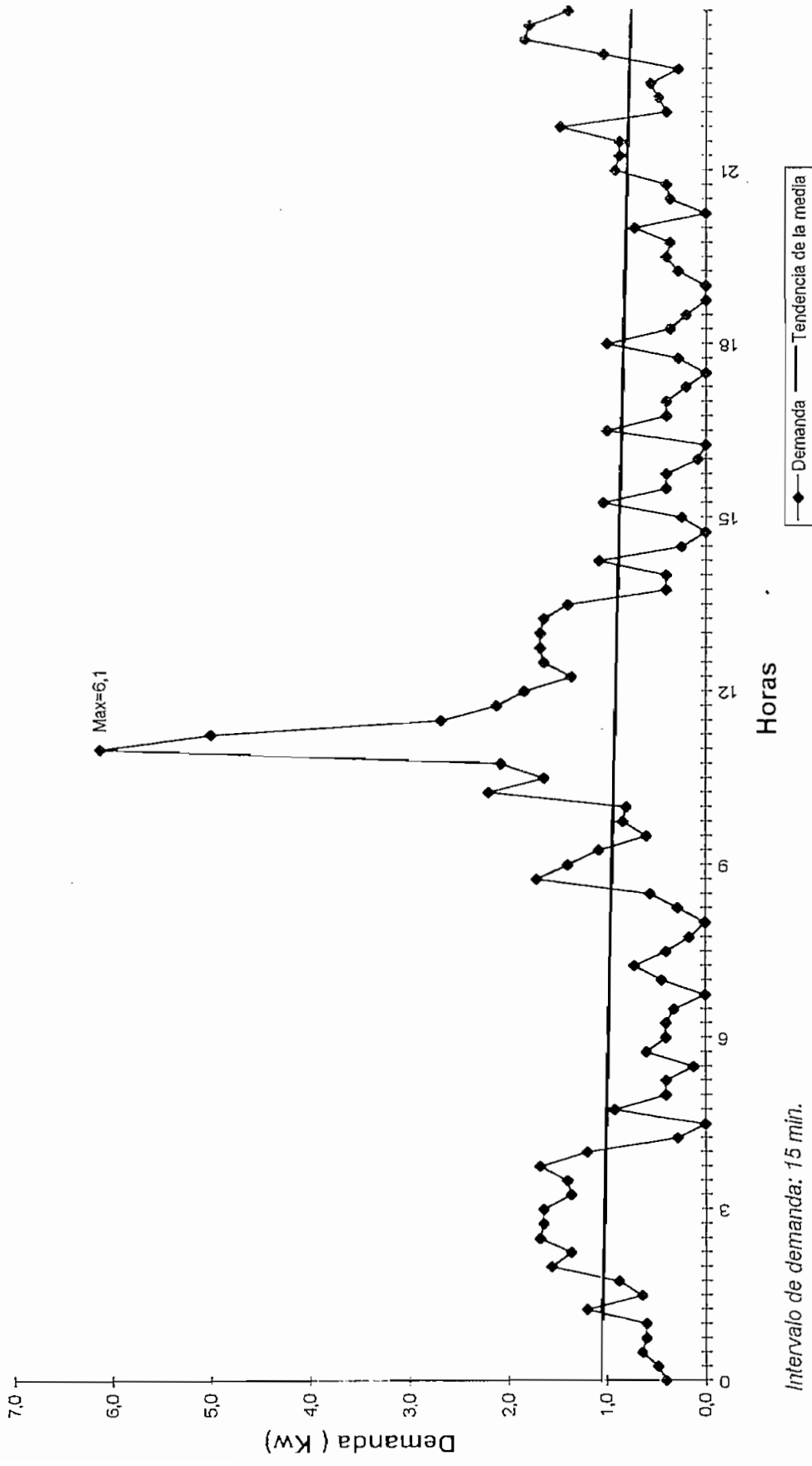
## DEPARTAMENTO 2



Intervalo de demanda: 15 min.

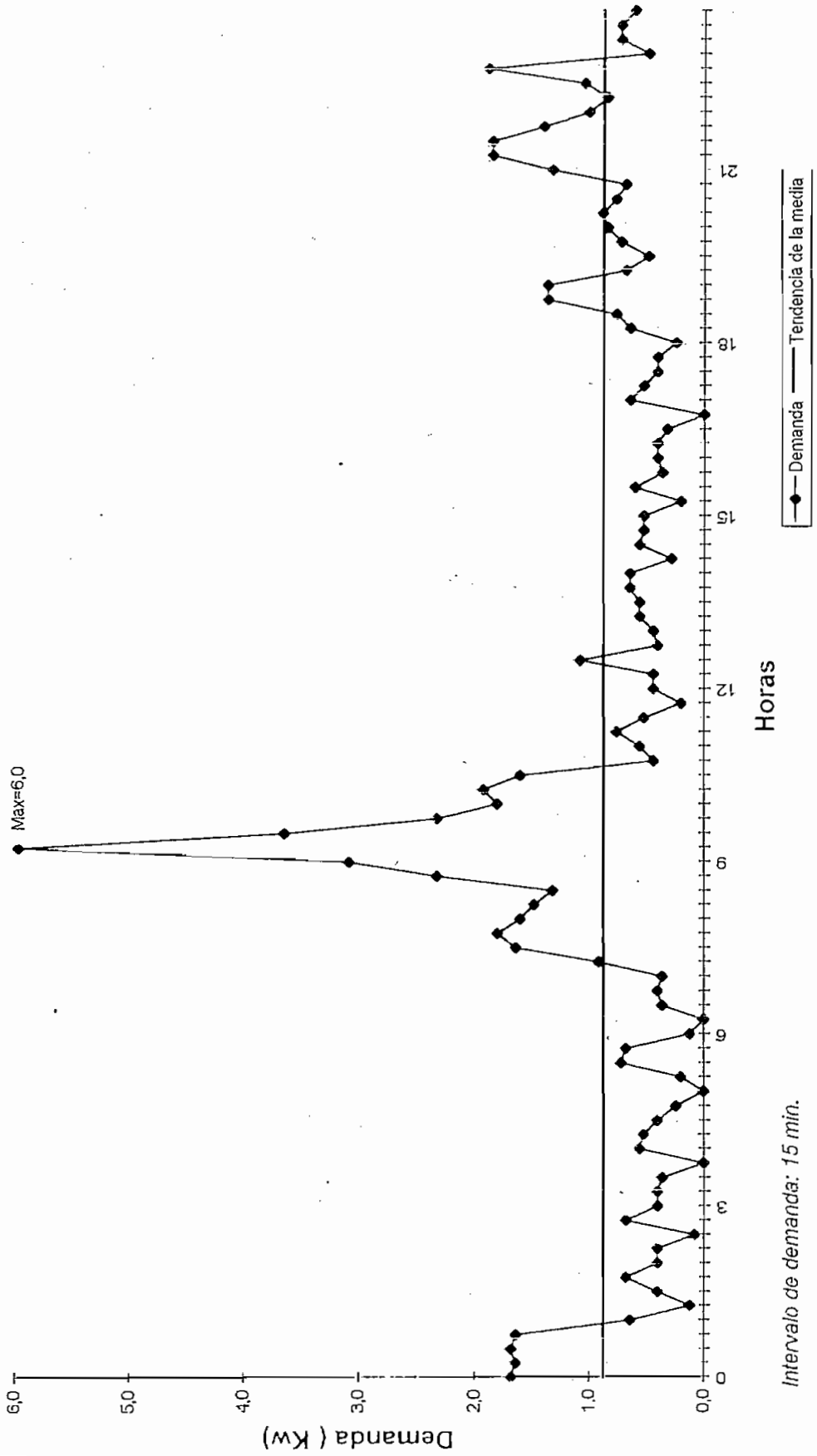
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 2



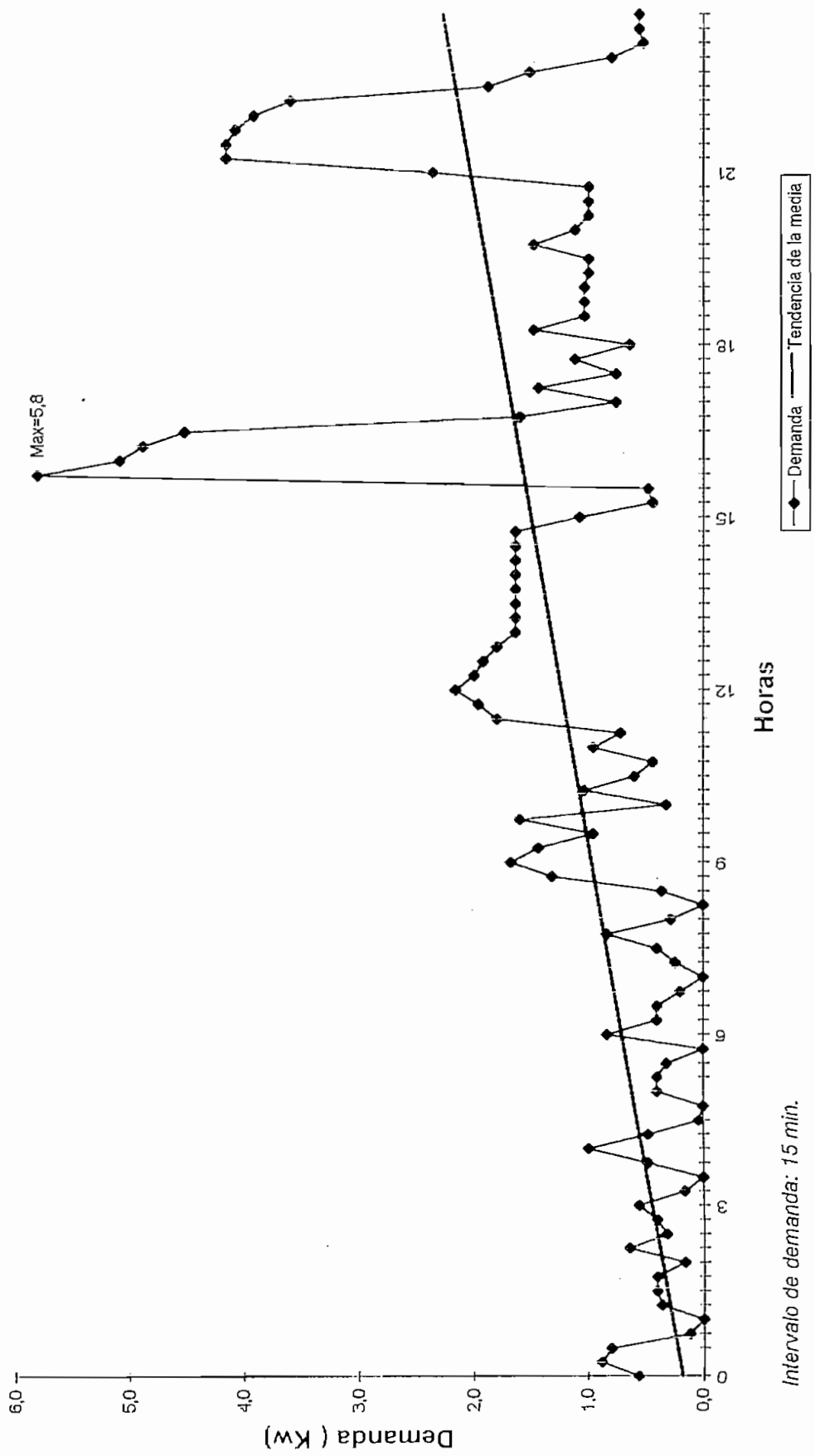
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 2



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 2

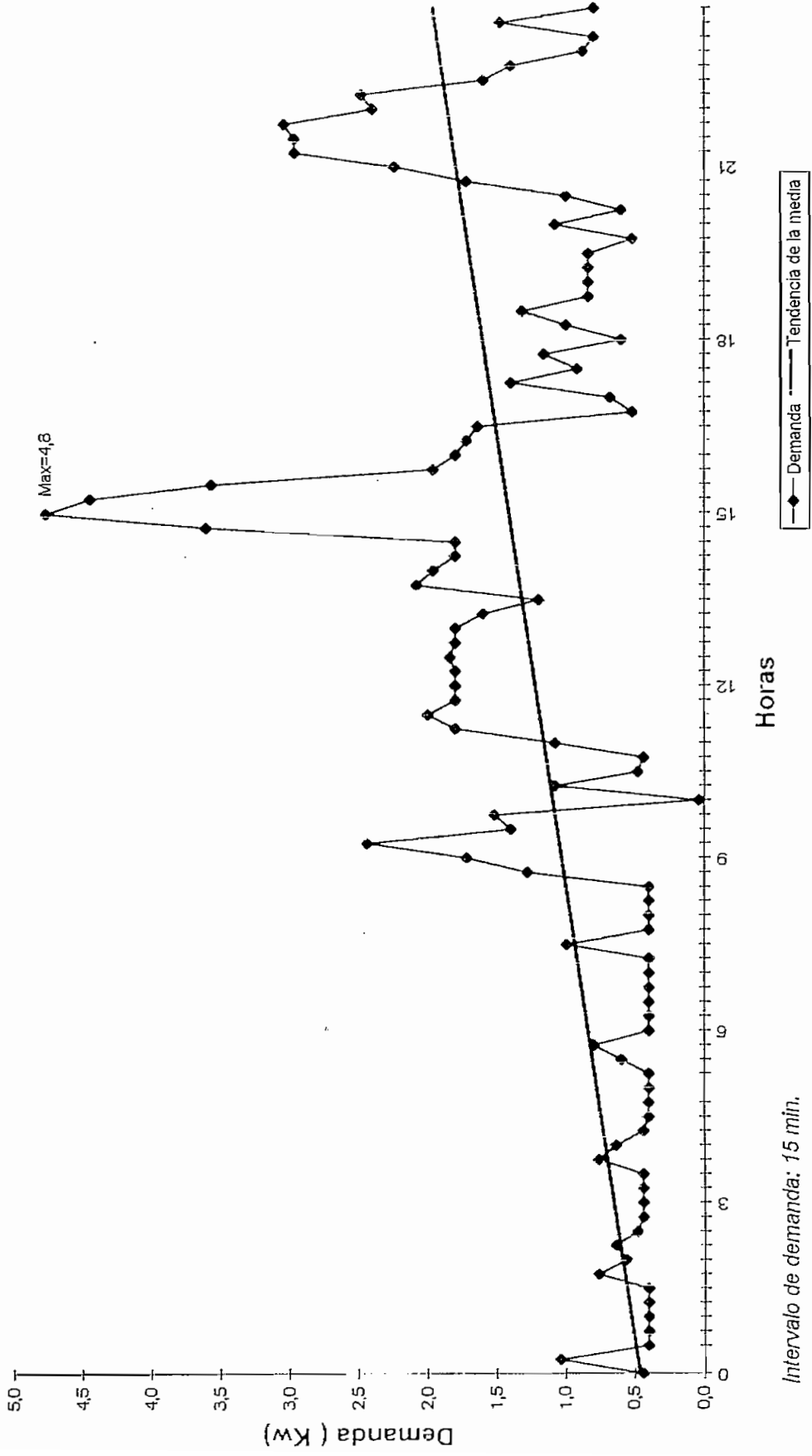


Intervalo de demanda: 15 min.



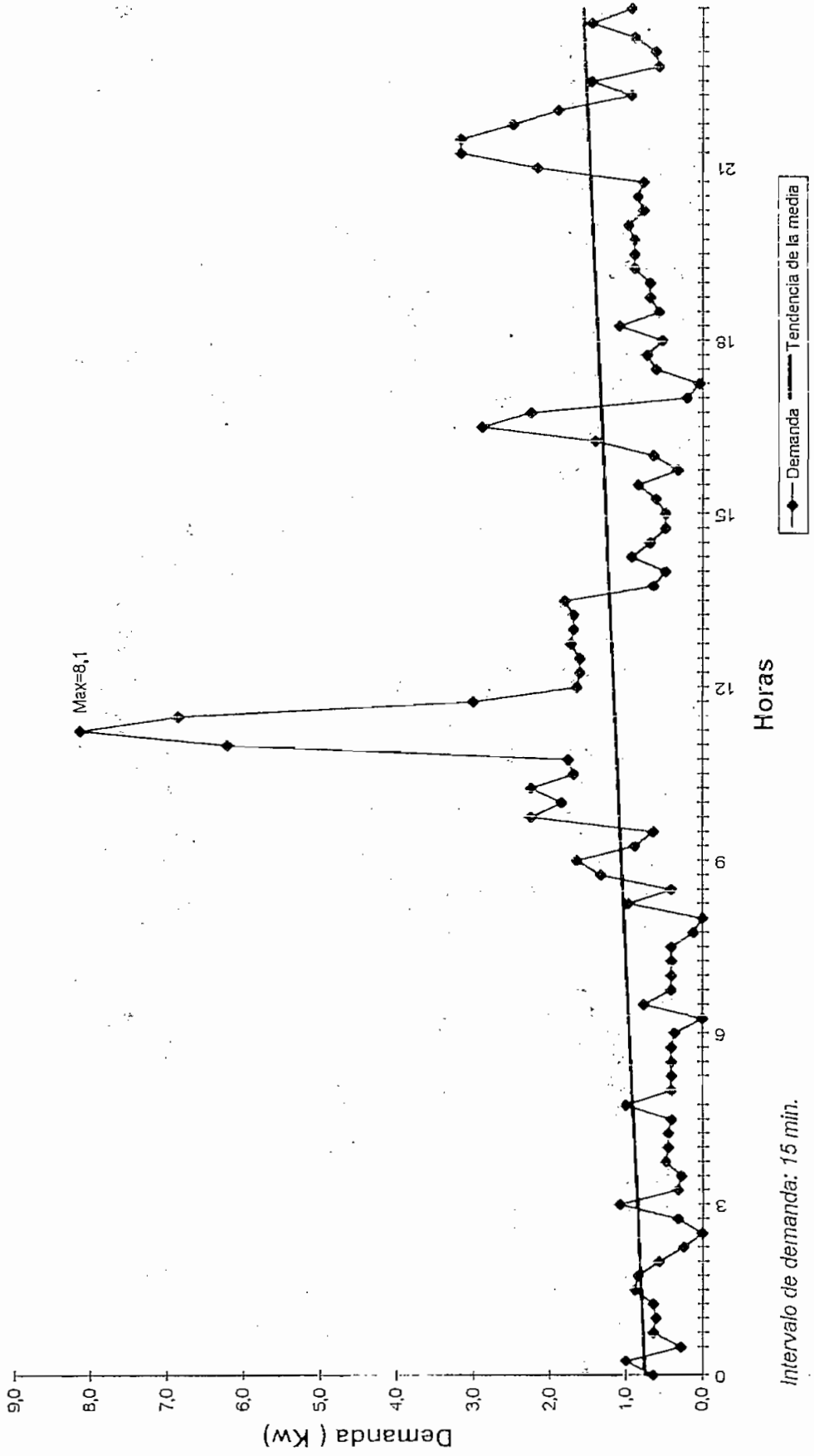
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 2



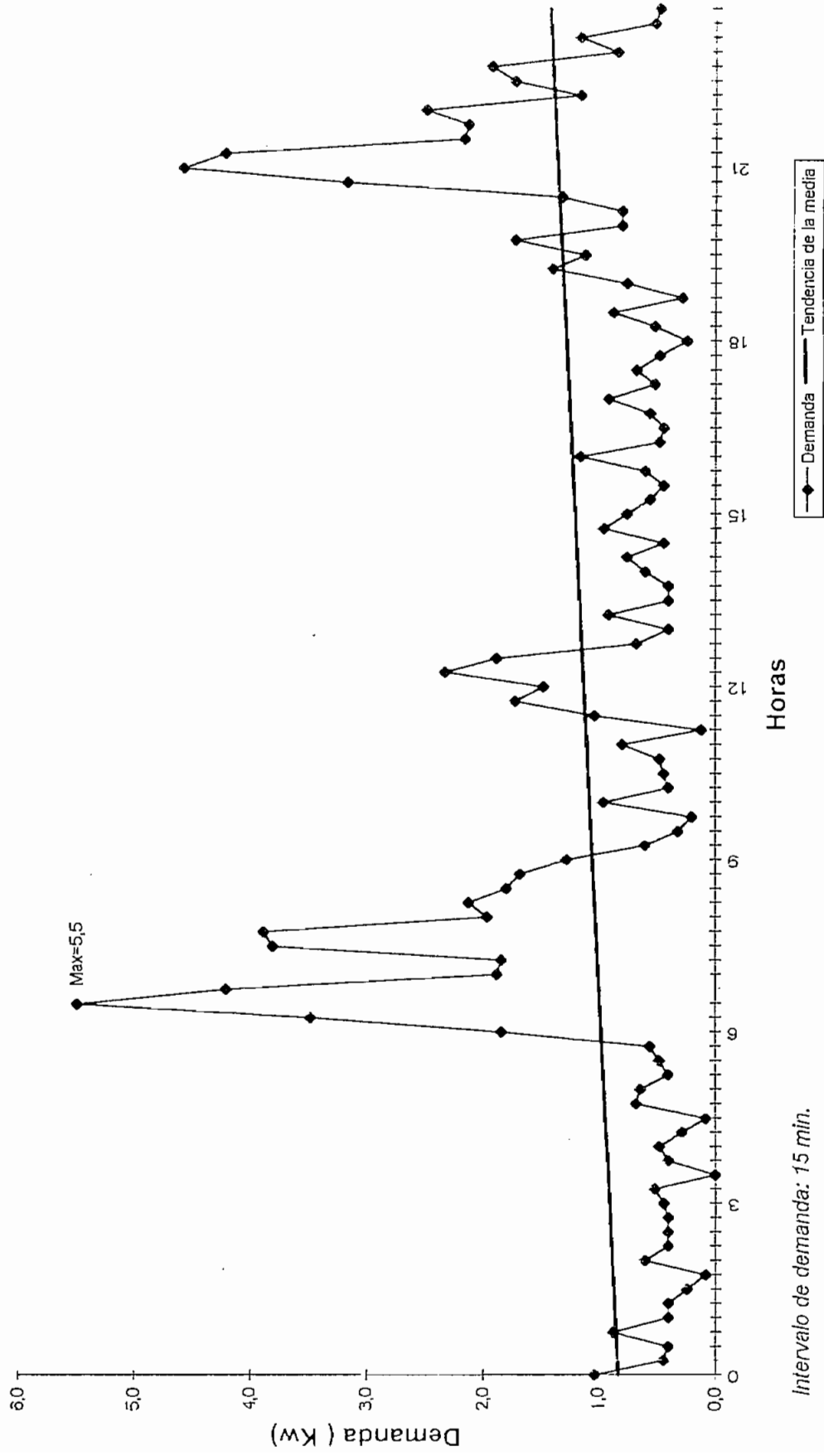
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 2



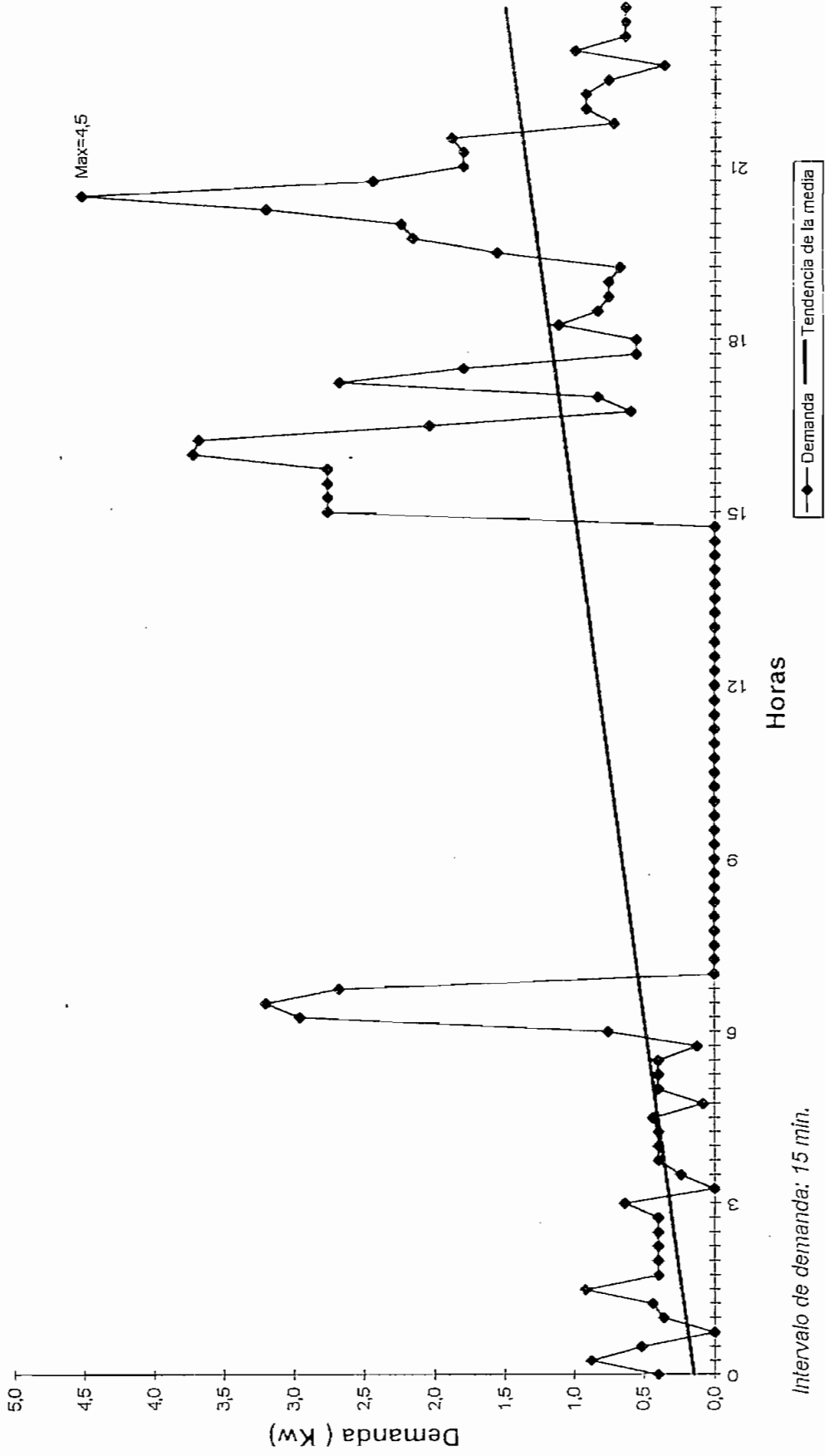
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 3



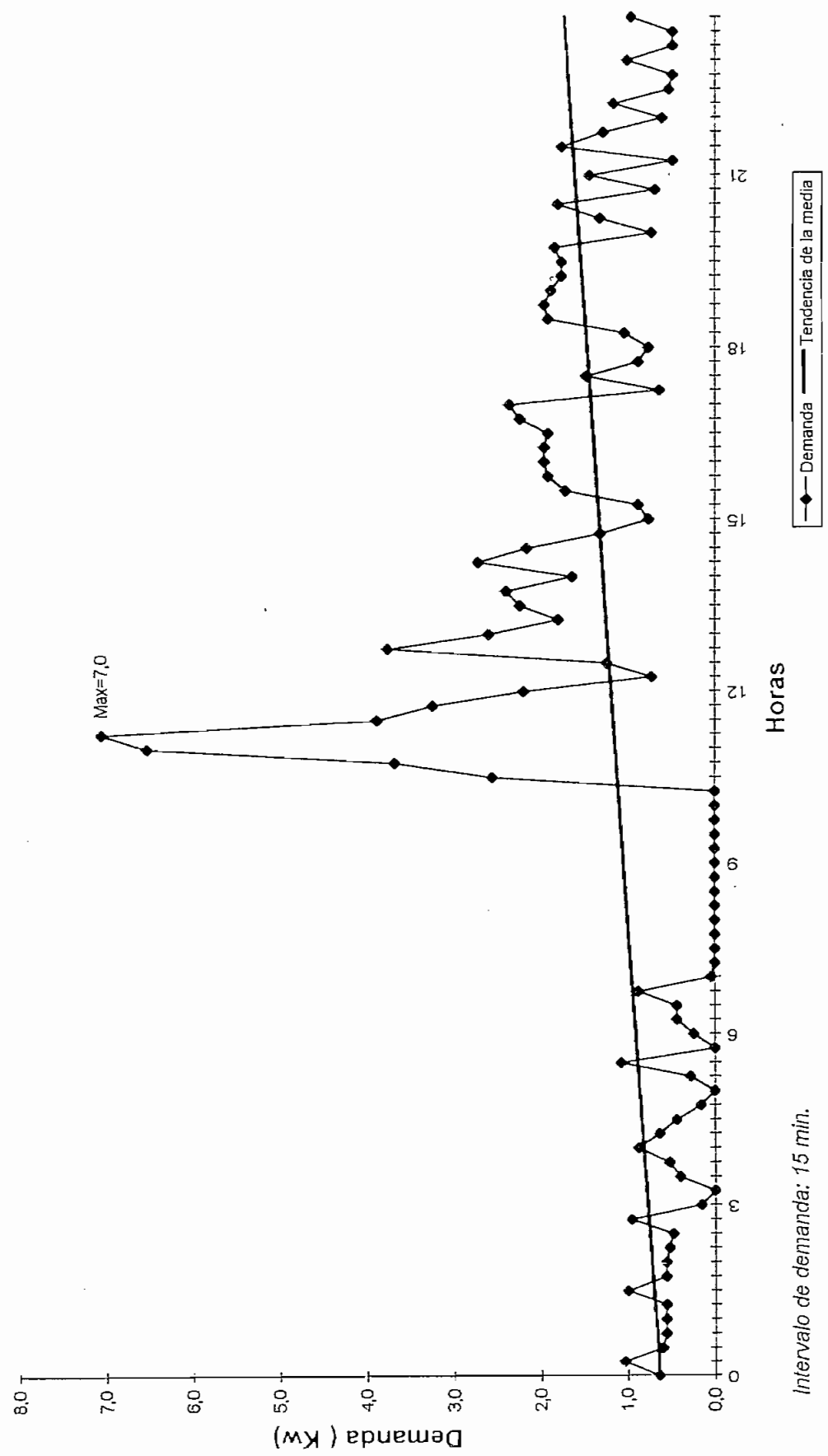
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 3



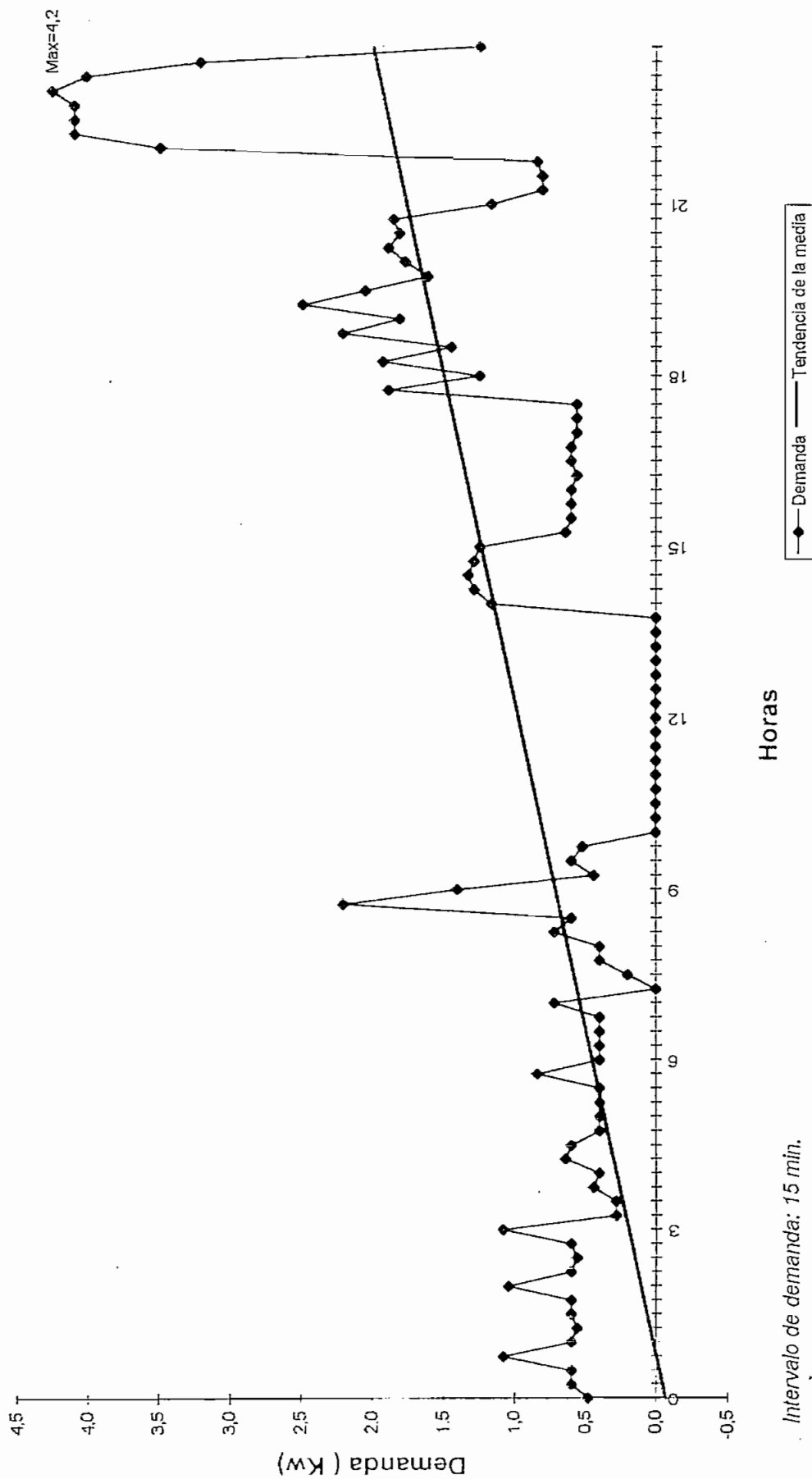
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 3



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

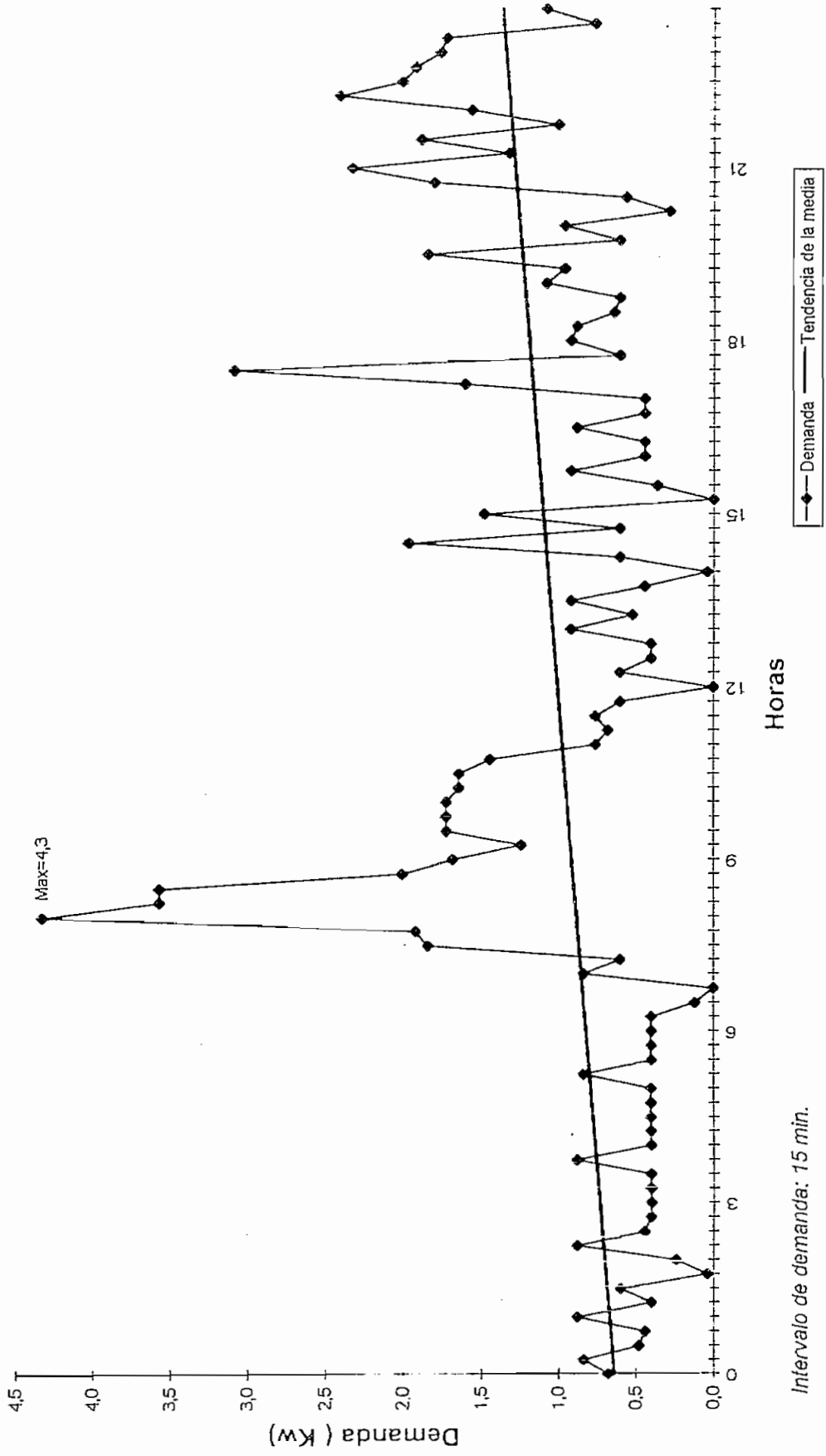
## DEPARTAMENTO 3



Intervalo de demanda: 15 min.

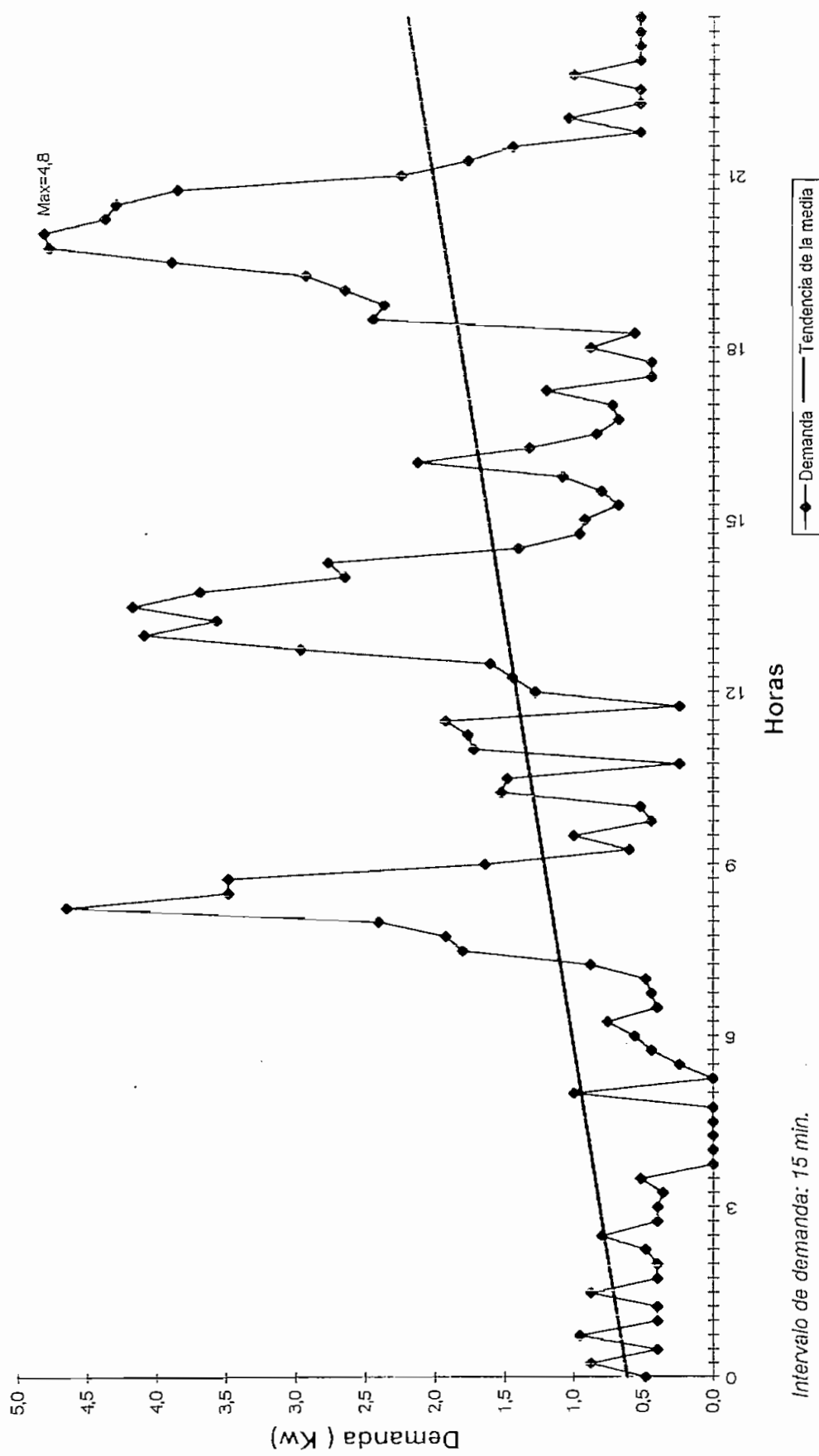
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 3



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 3

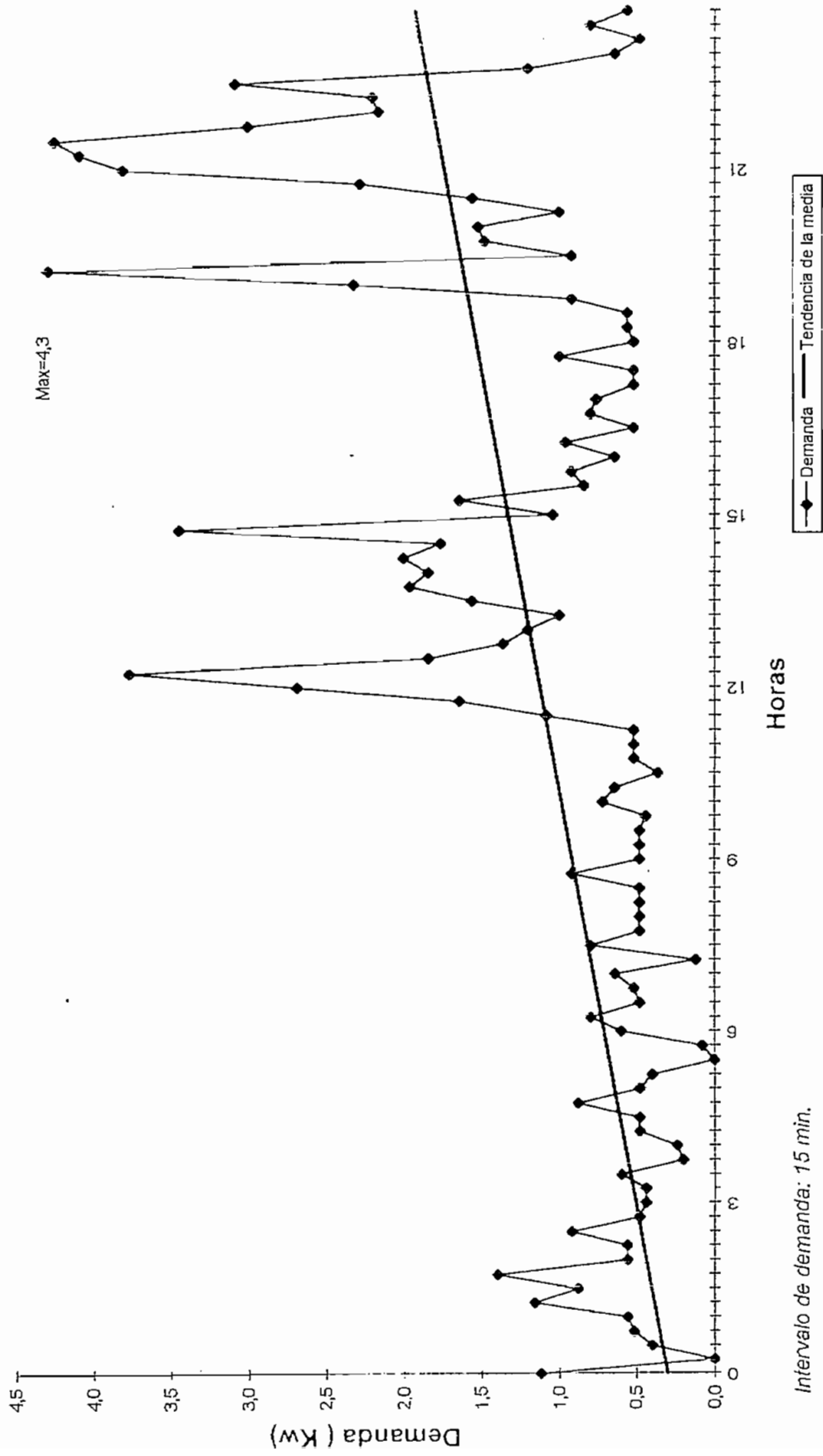


Intervalo de demanda: 15 min.



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

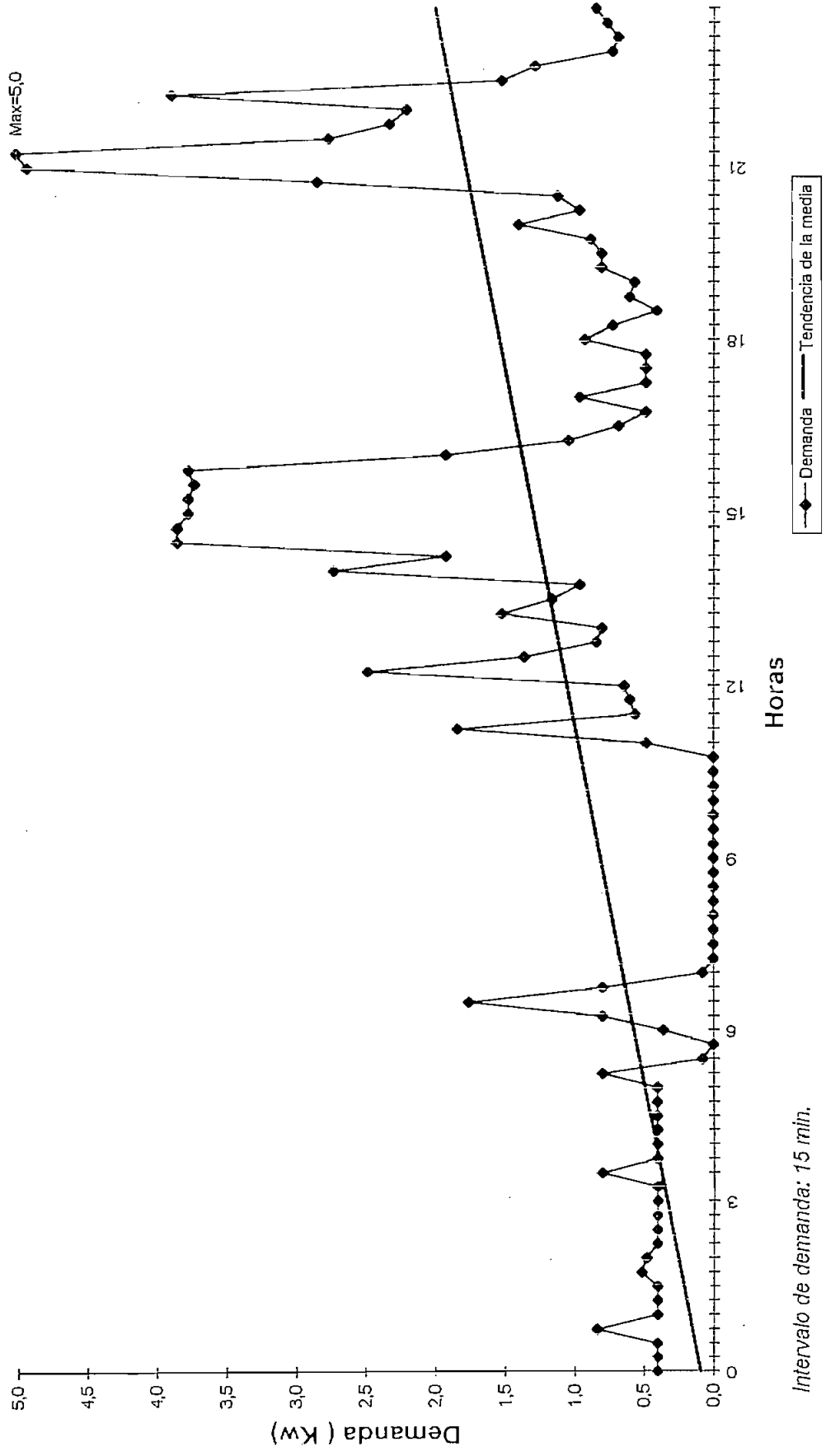
## DEPARTAMENTO 3



Intervalo de demanda: 15 min.

# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

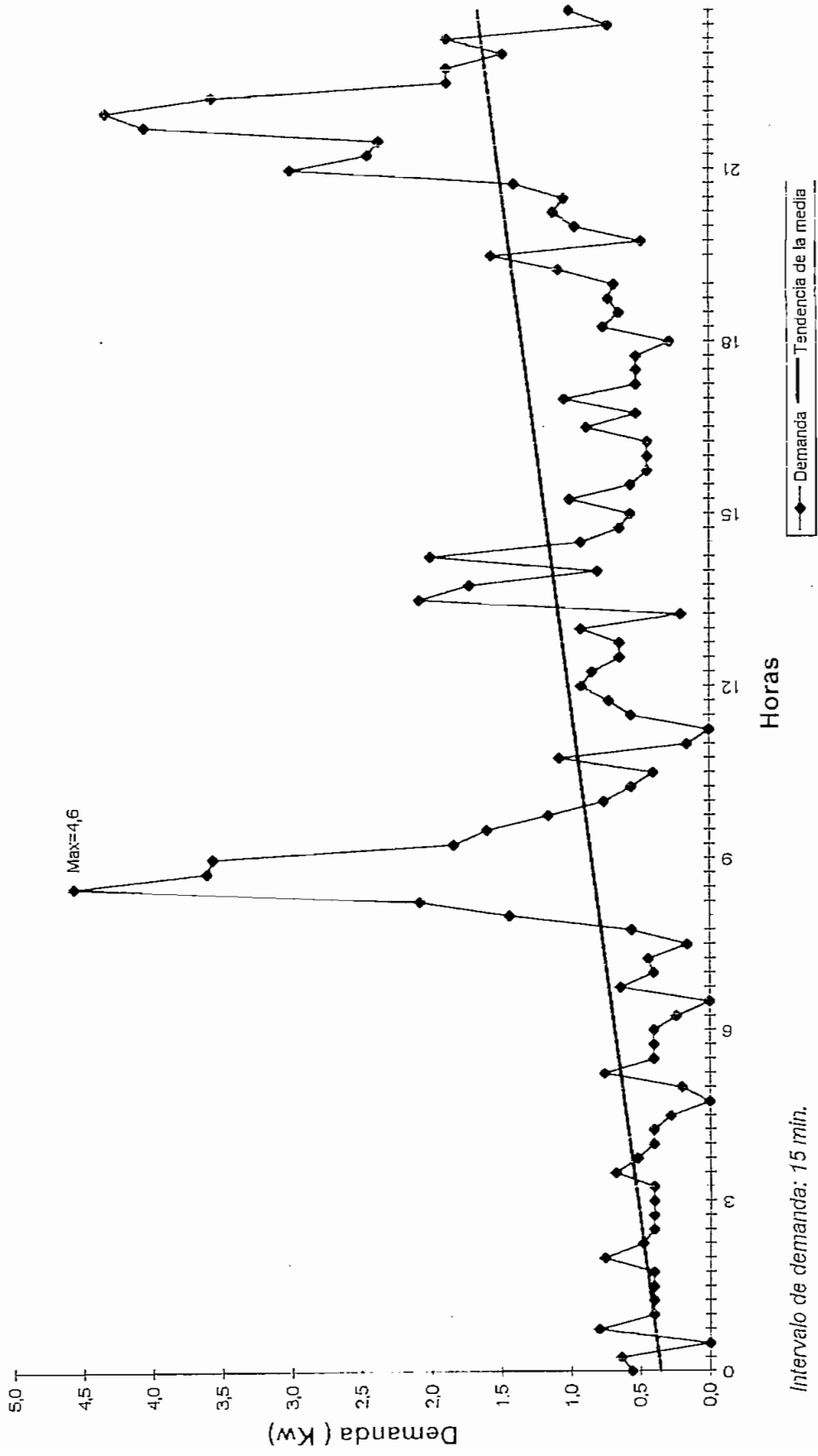
## DEPARTAMENTO 3



Intervalo de demanda: 15 min.

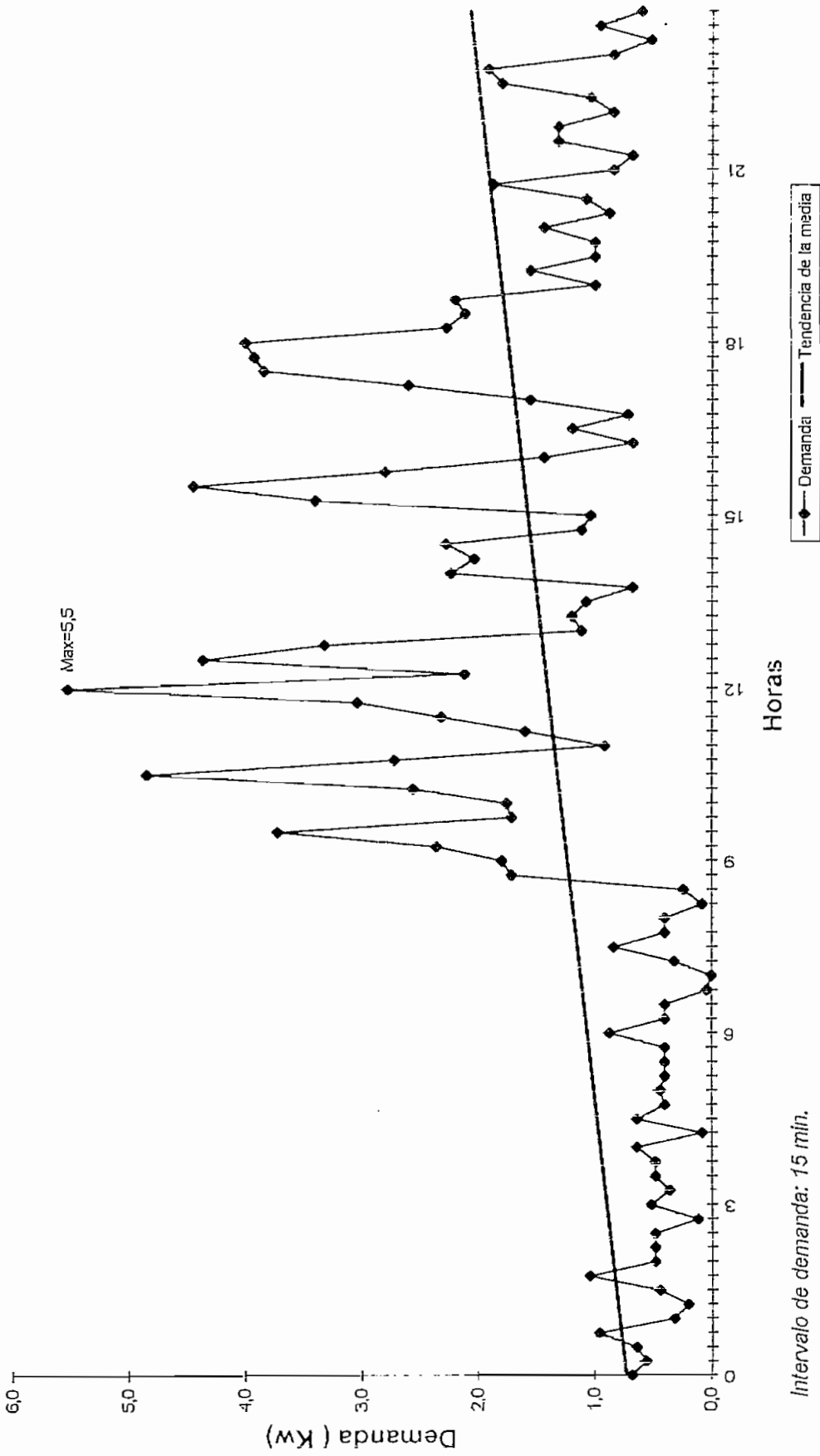
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 3



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

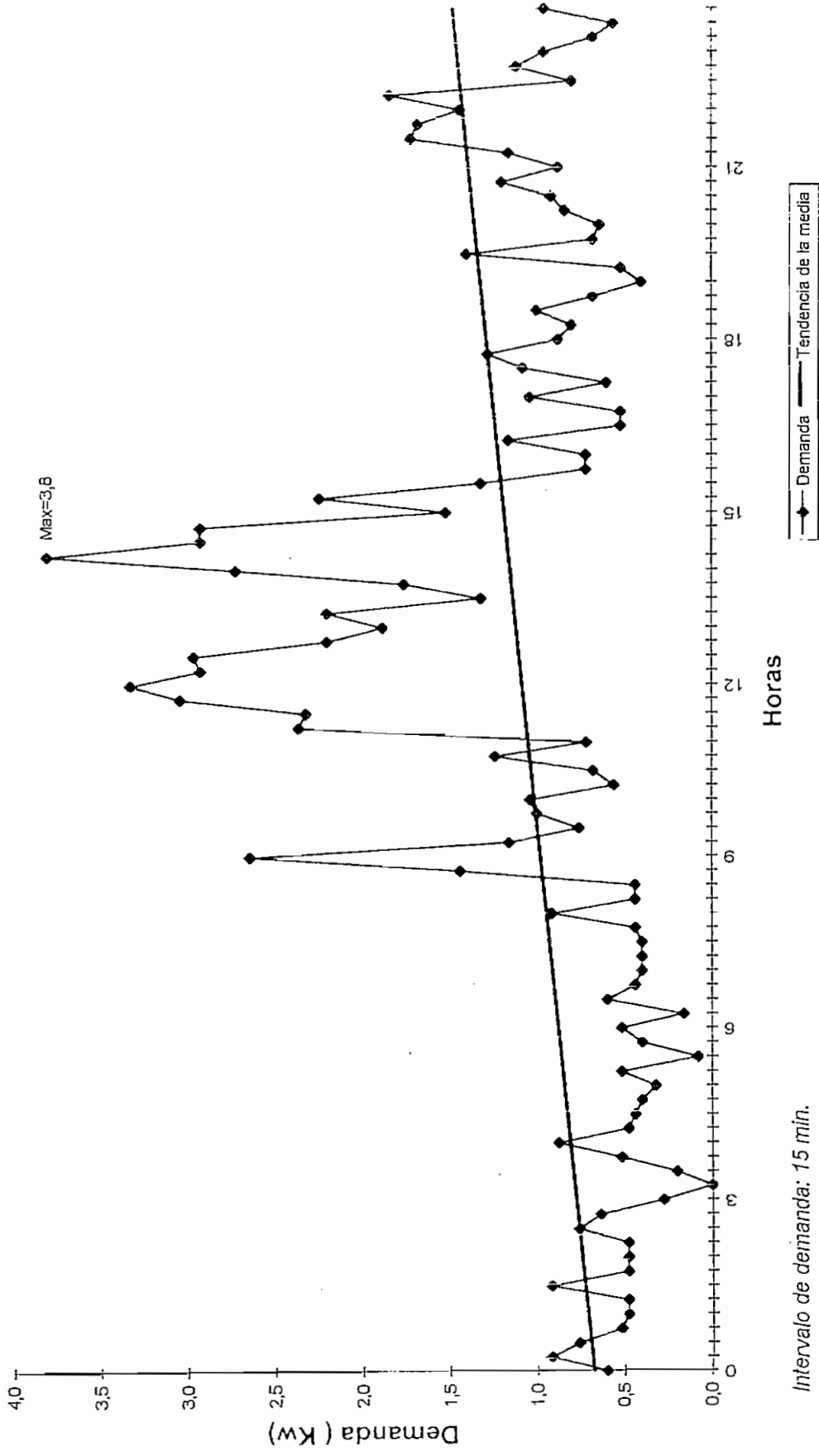
## DEPARTAMENTO 3



Intervalo de demanda: 15 min.

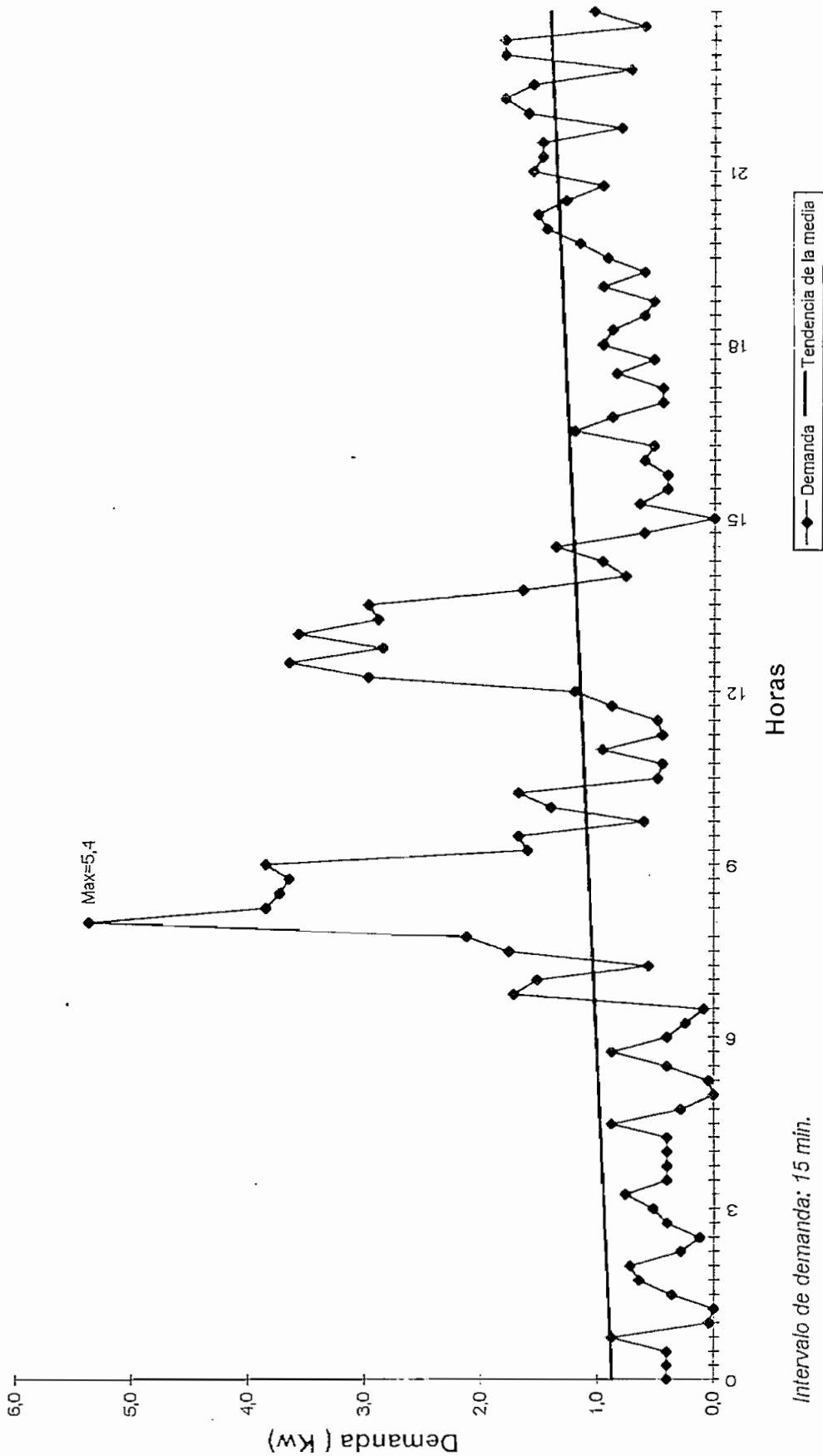
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 3



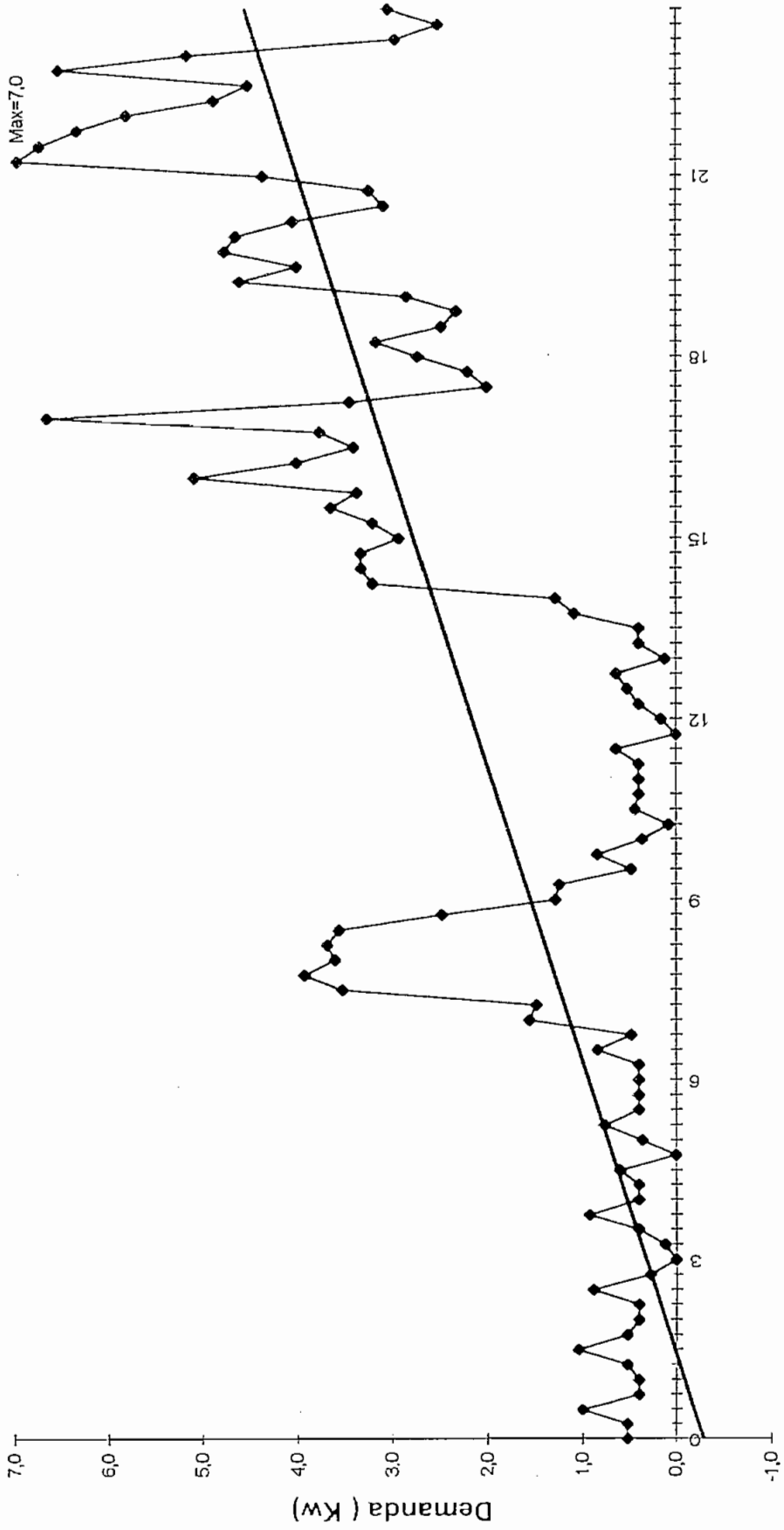
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 3



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 3



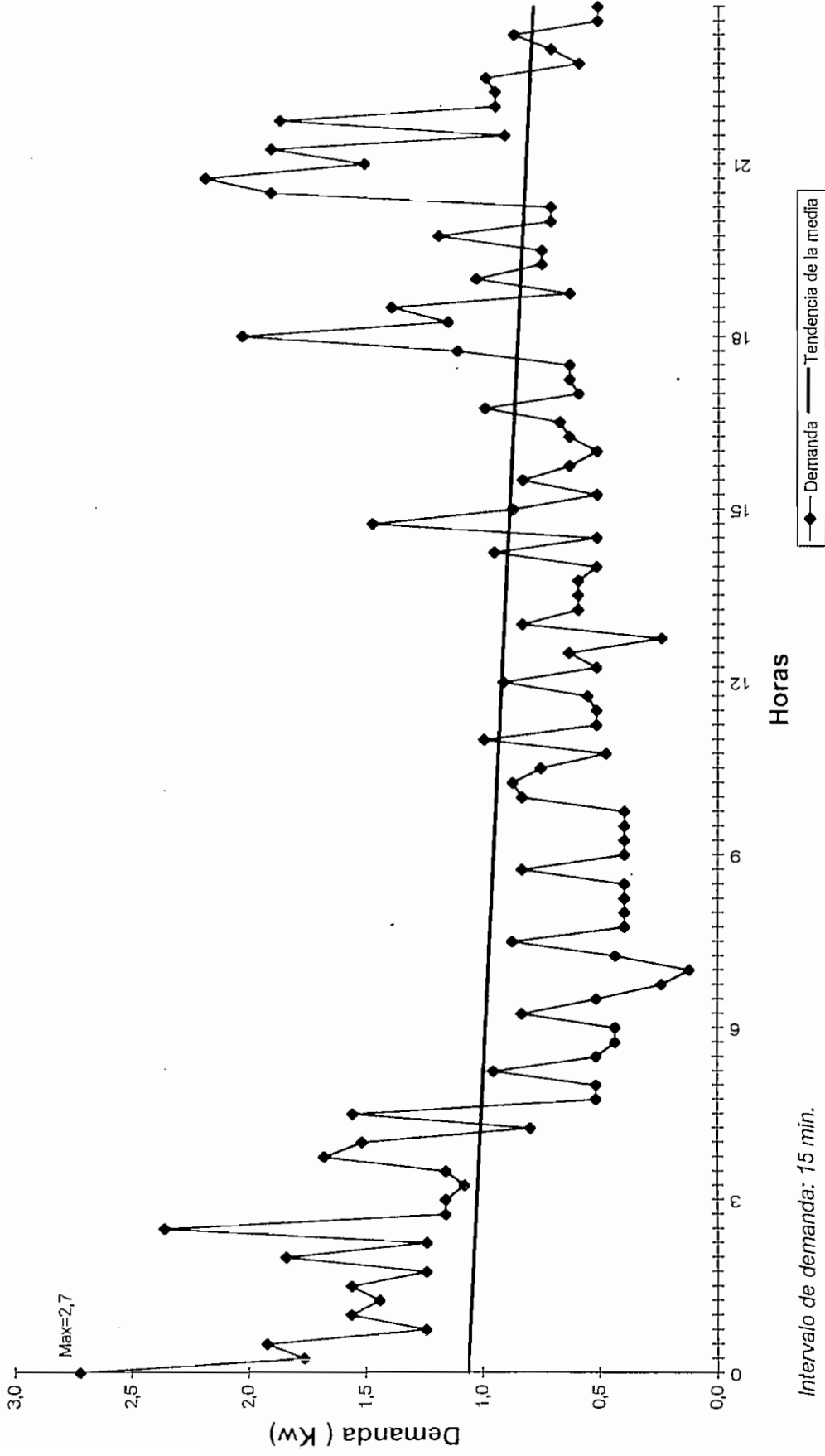
Horas

◆ Demanda — Tendencia de la media

Intervalo de demanda: 15 min.

# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

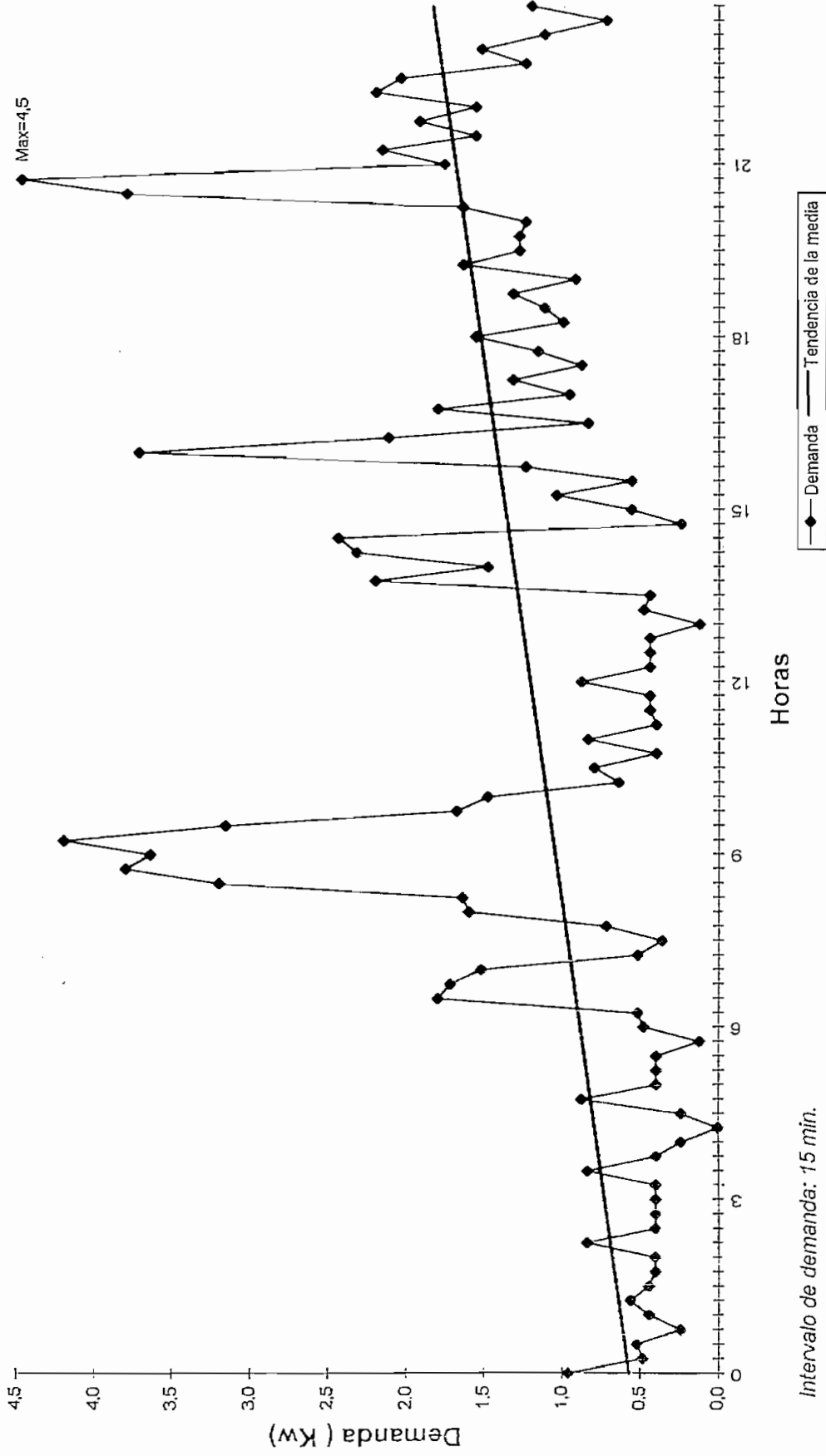
## DEPARTAMENTO 3





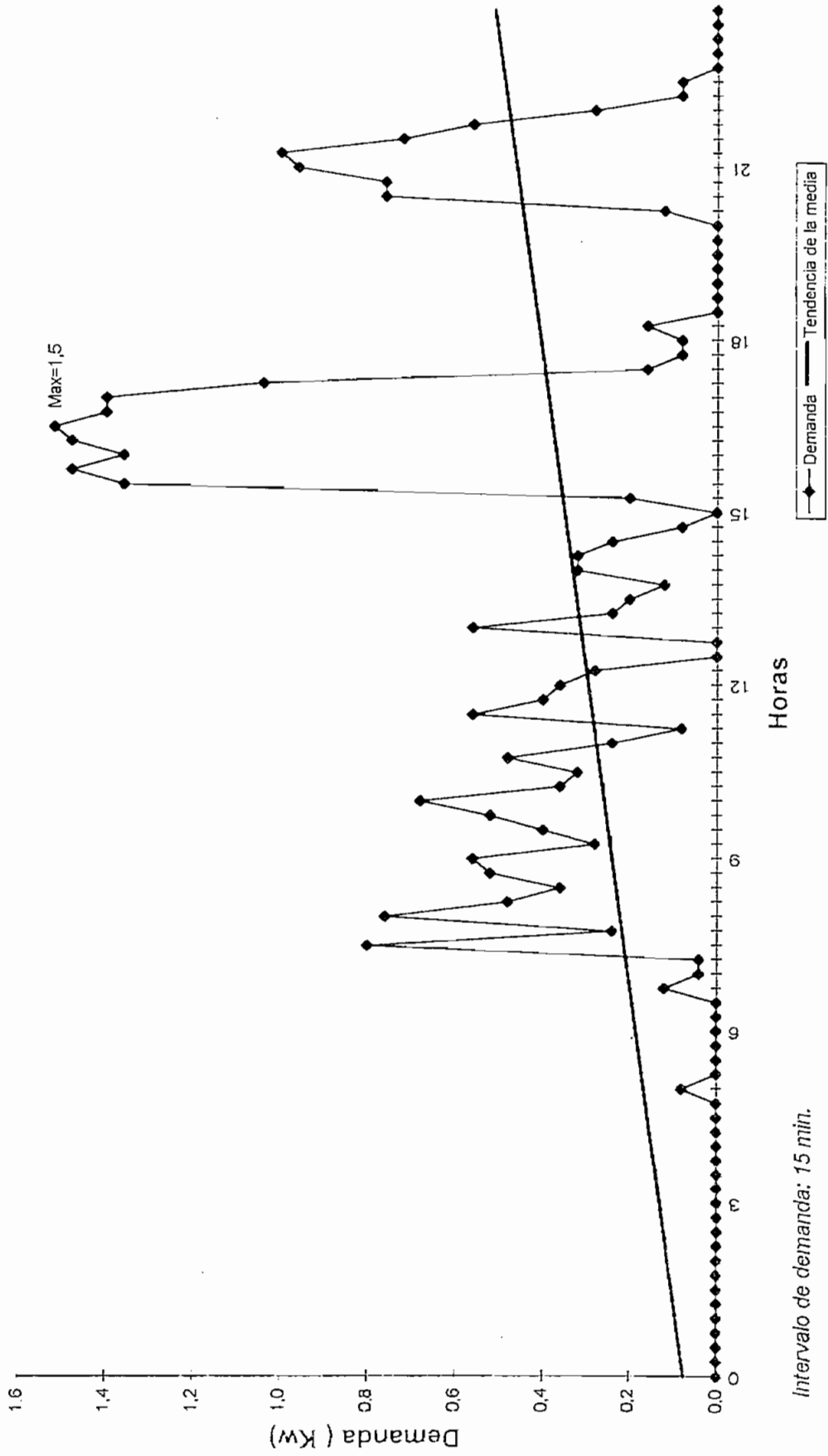
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 3



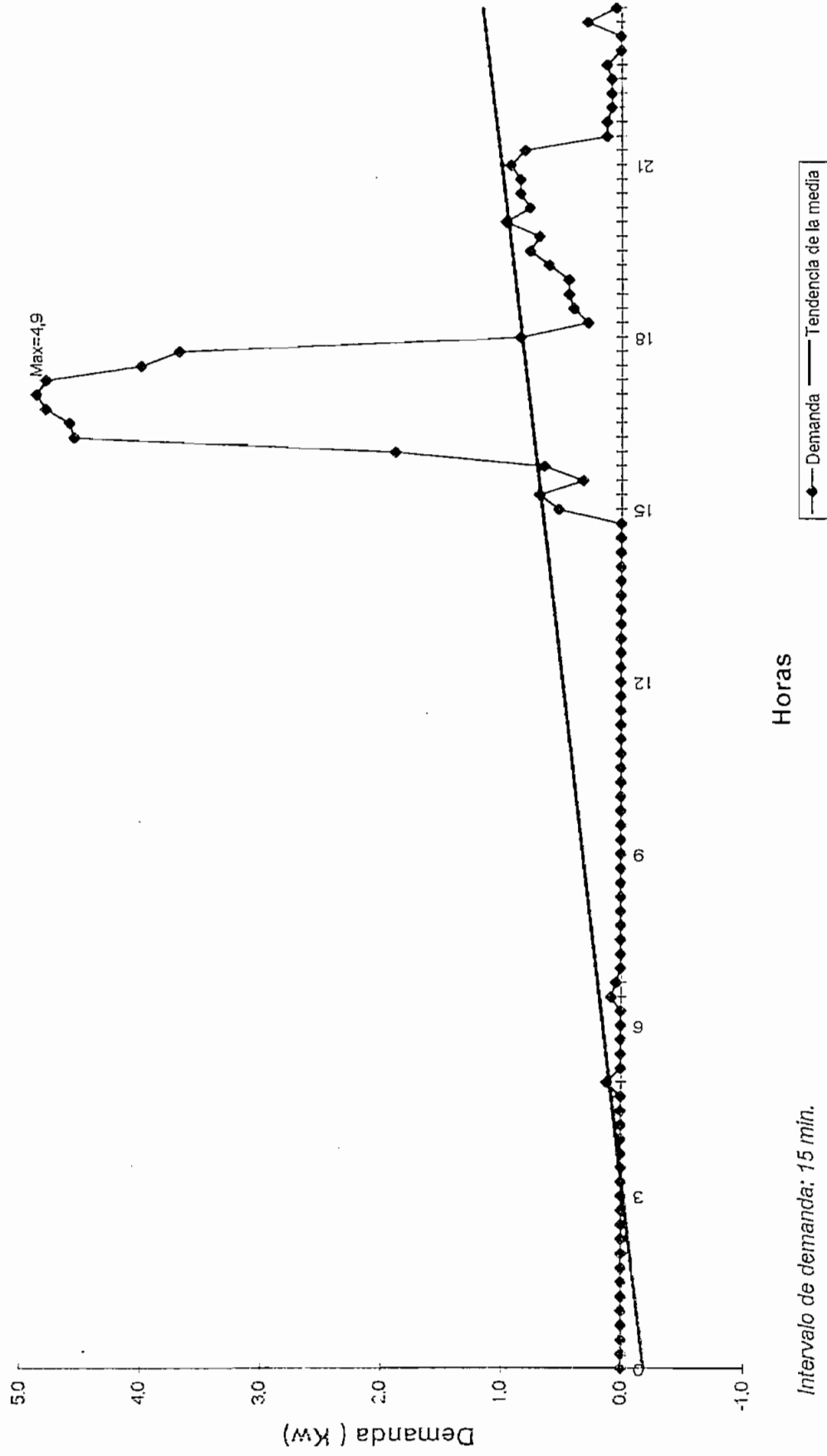
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 4



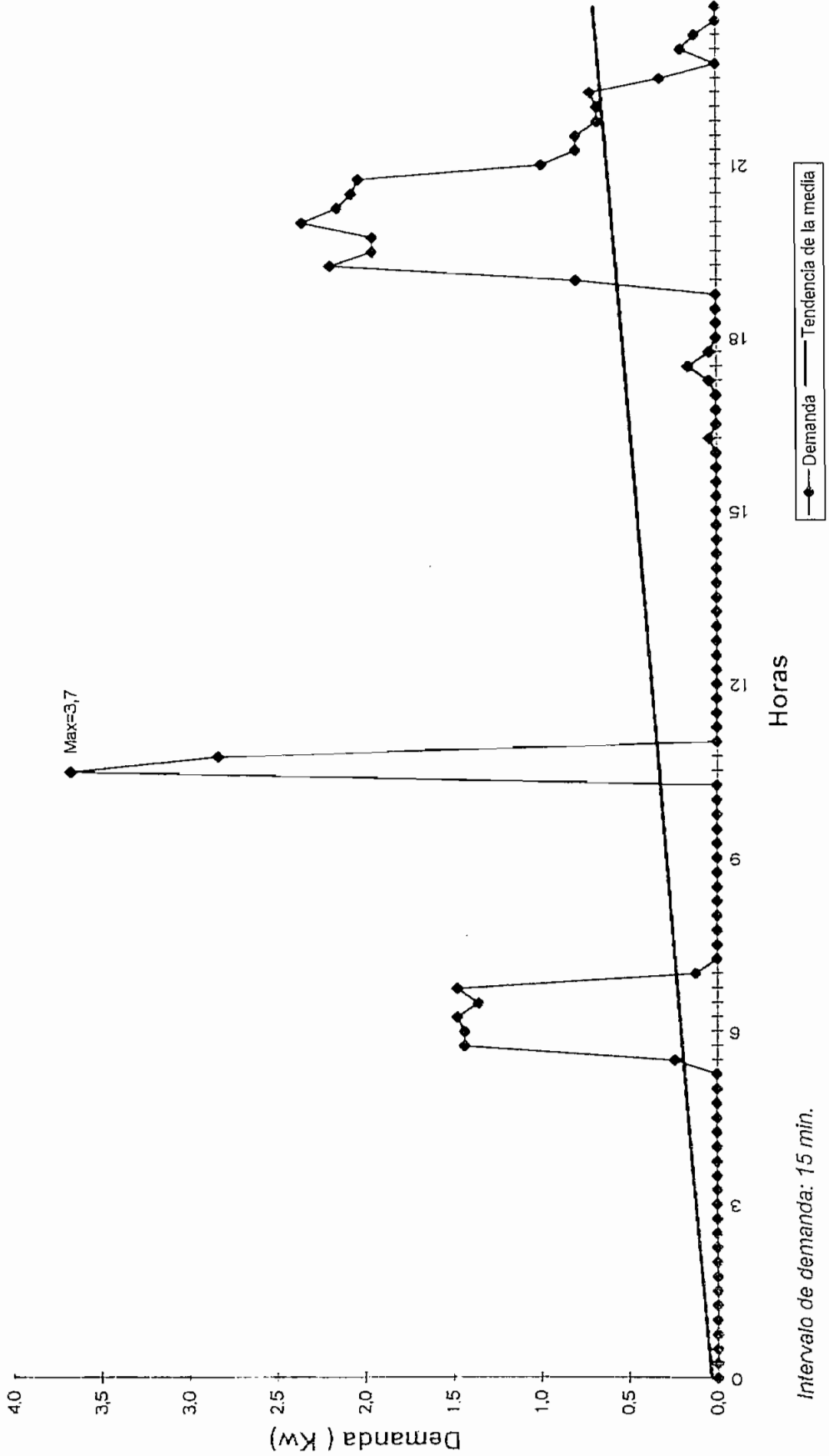
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 4



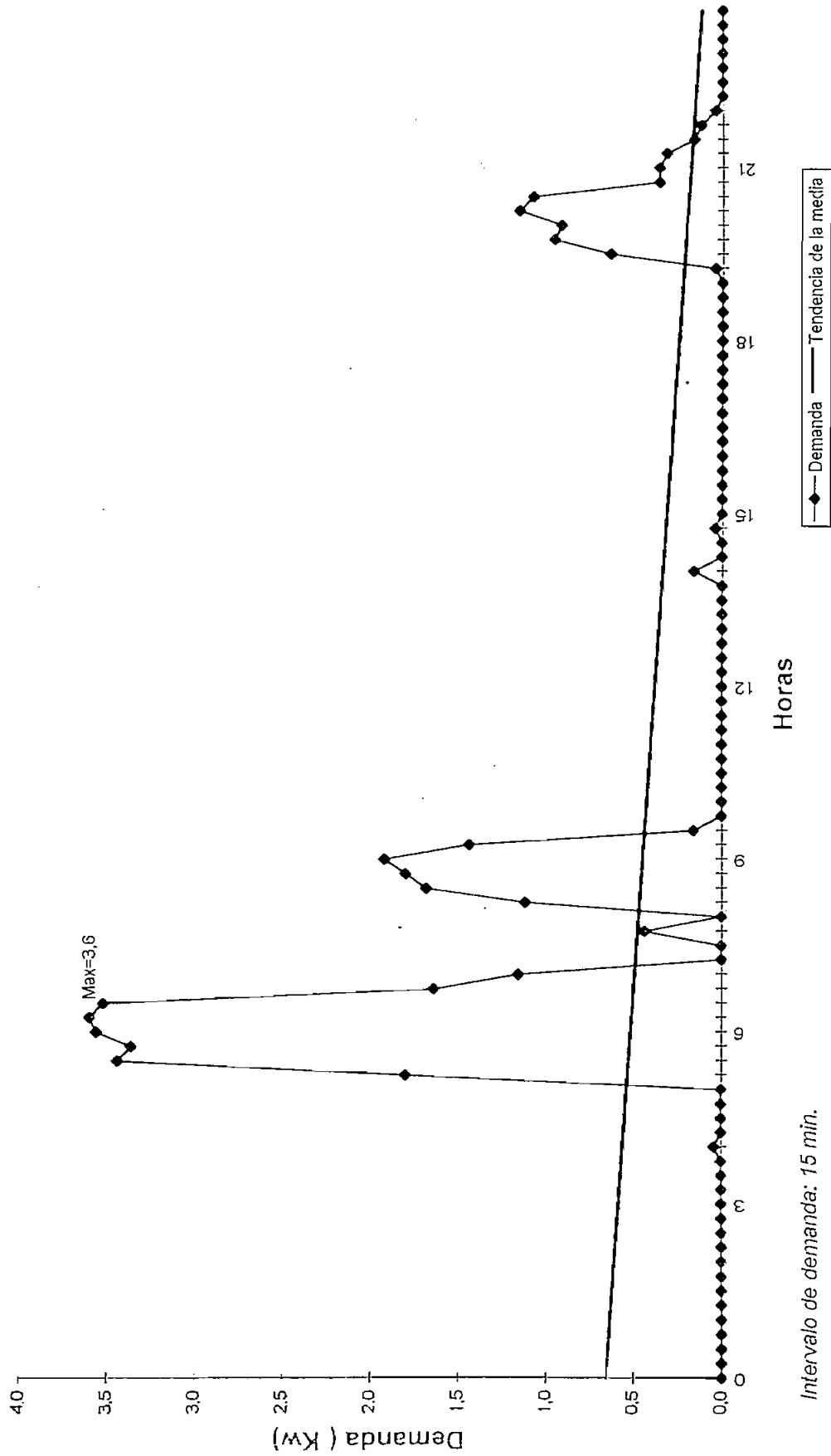
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 4



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

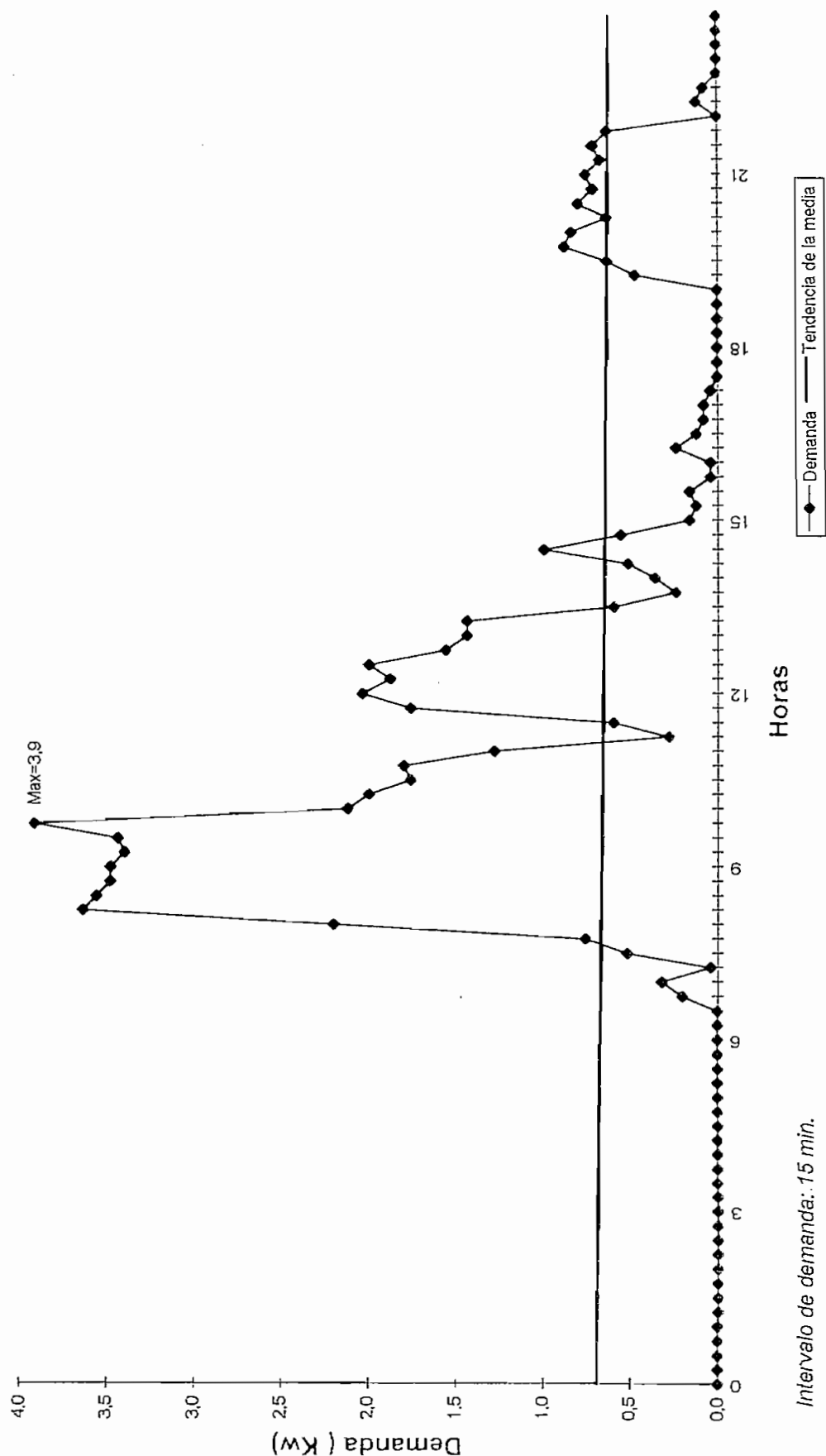
## DEPARTAMENTO 4



Intervalo de demanda: 15 min.

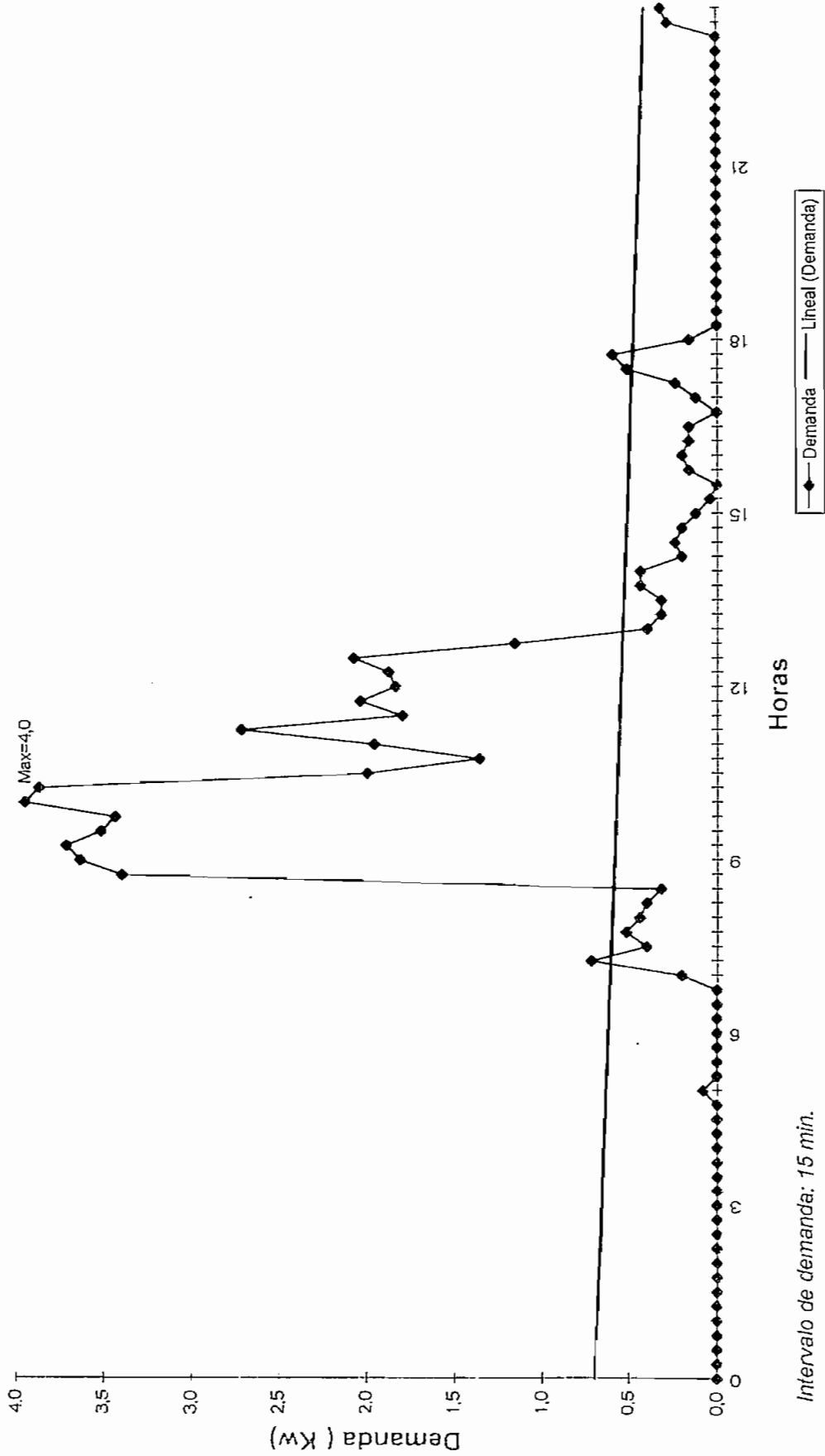
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 4



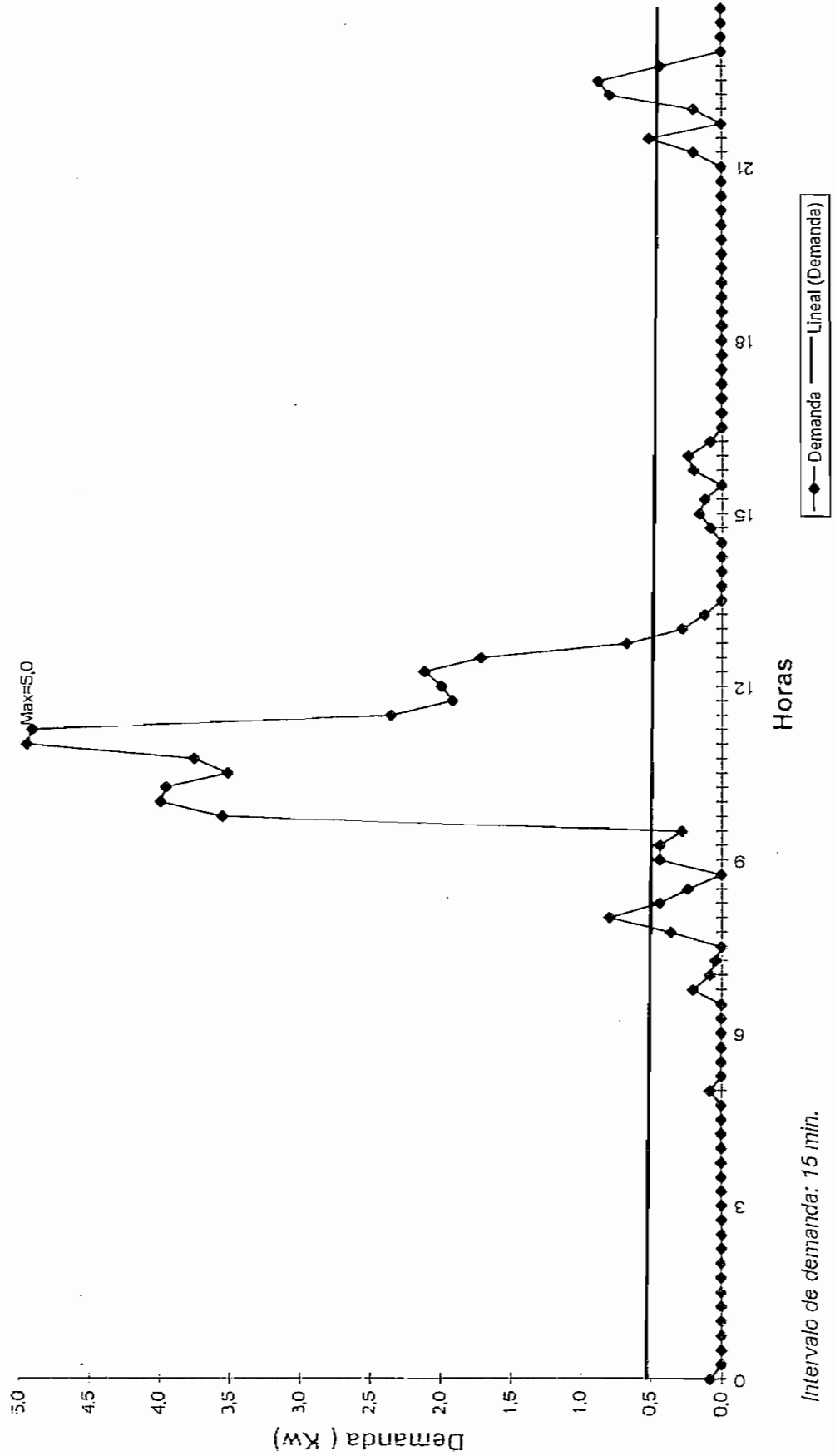
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 4



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

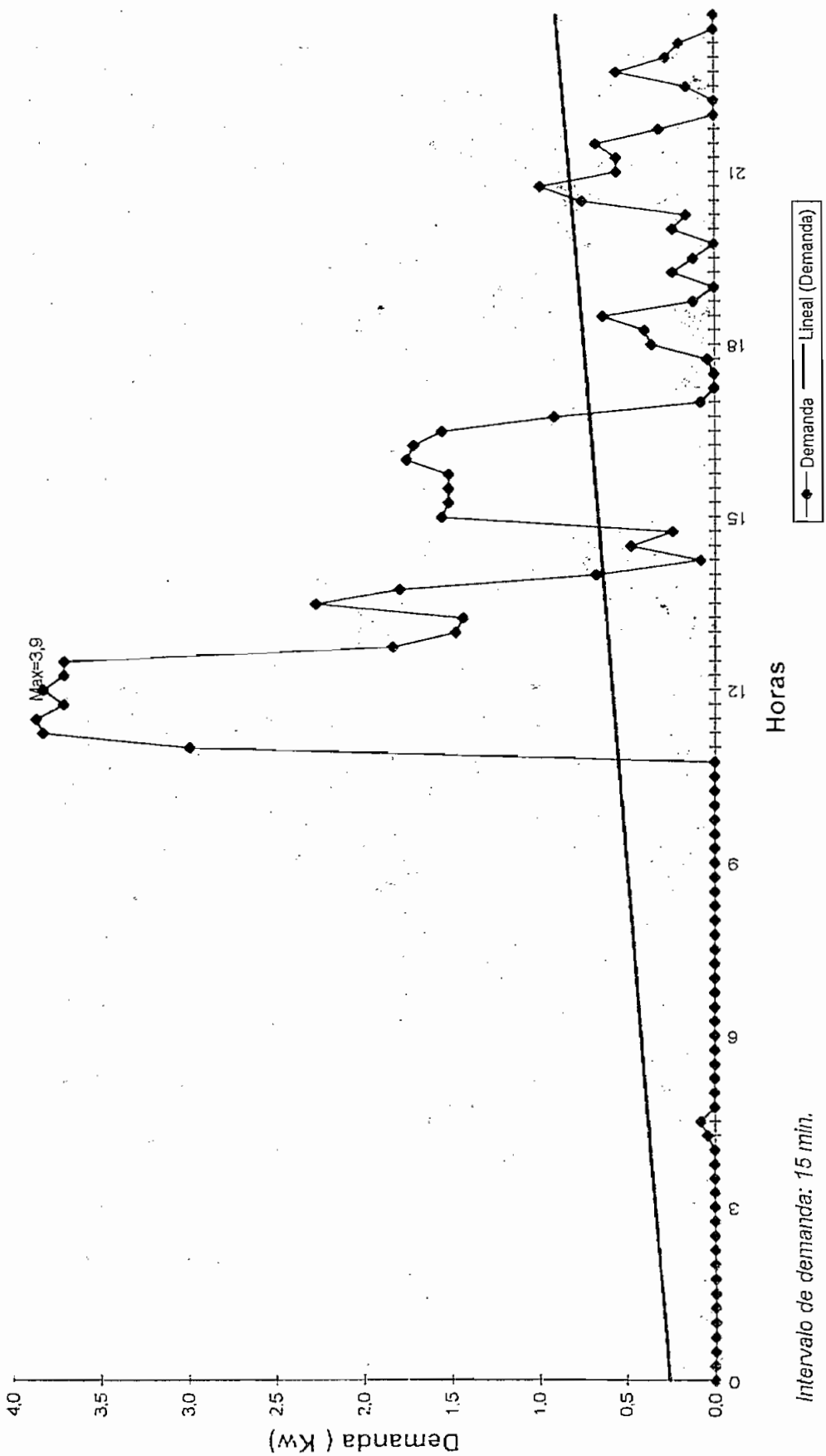
## DEPARTAMENTO 4





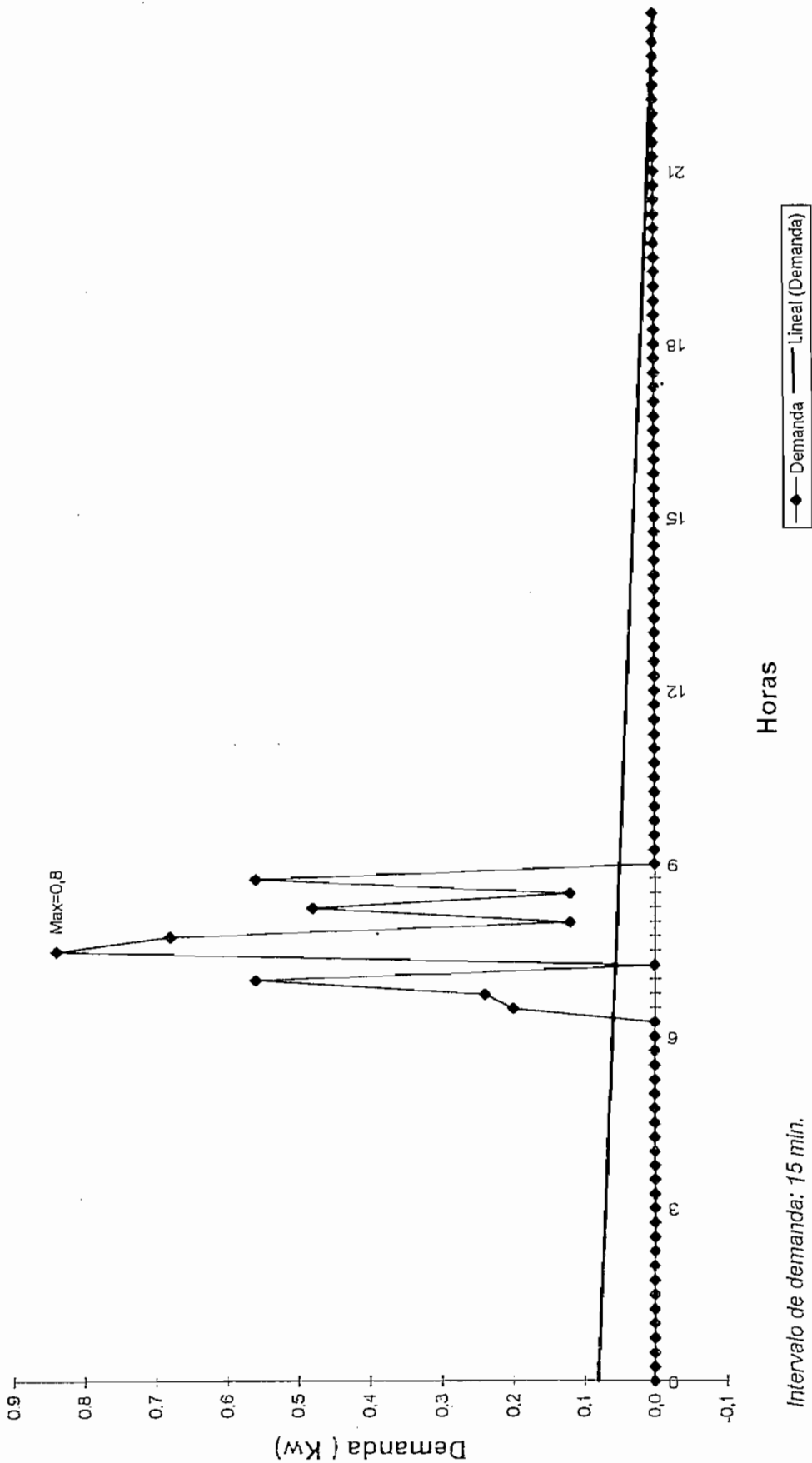
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 4



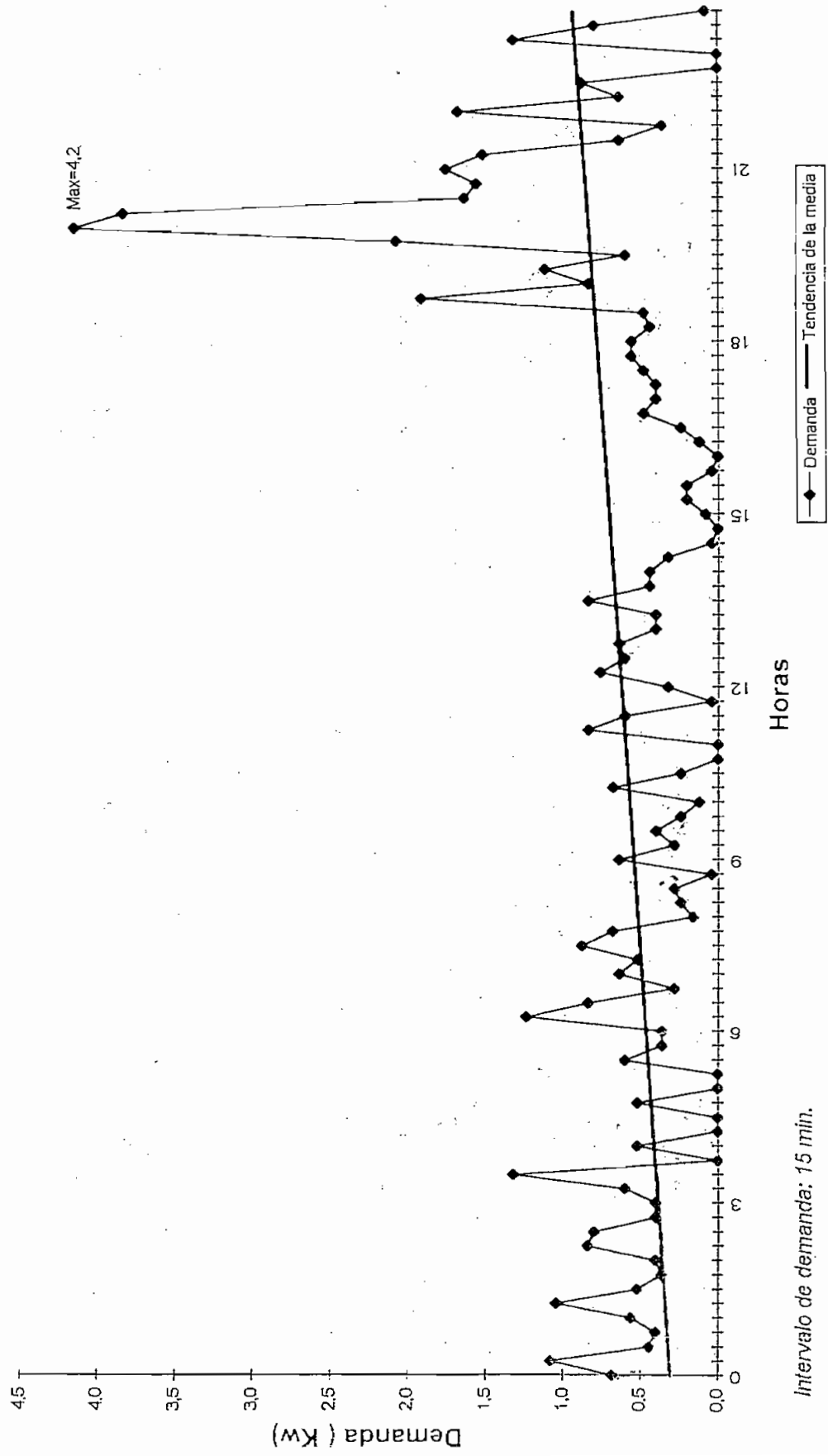
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 4



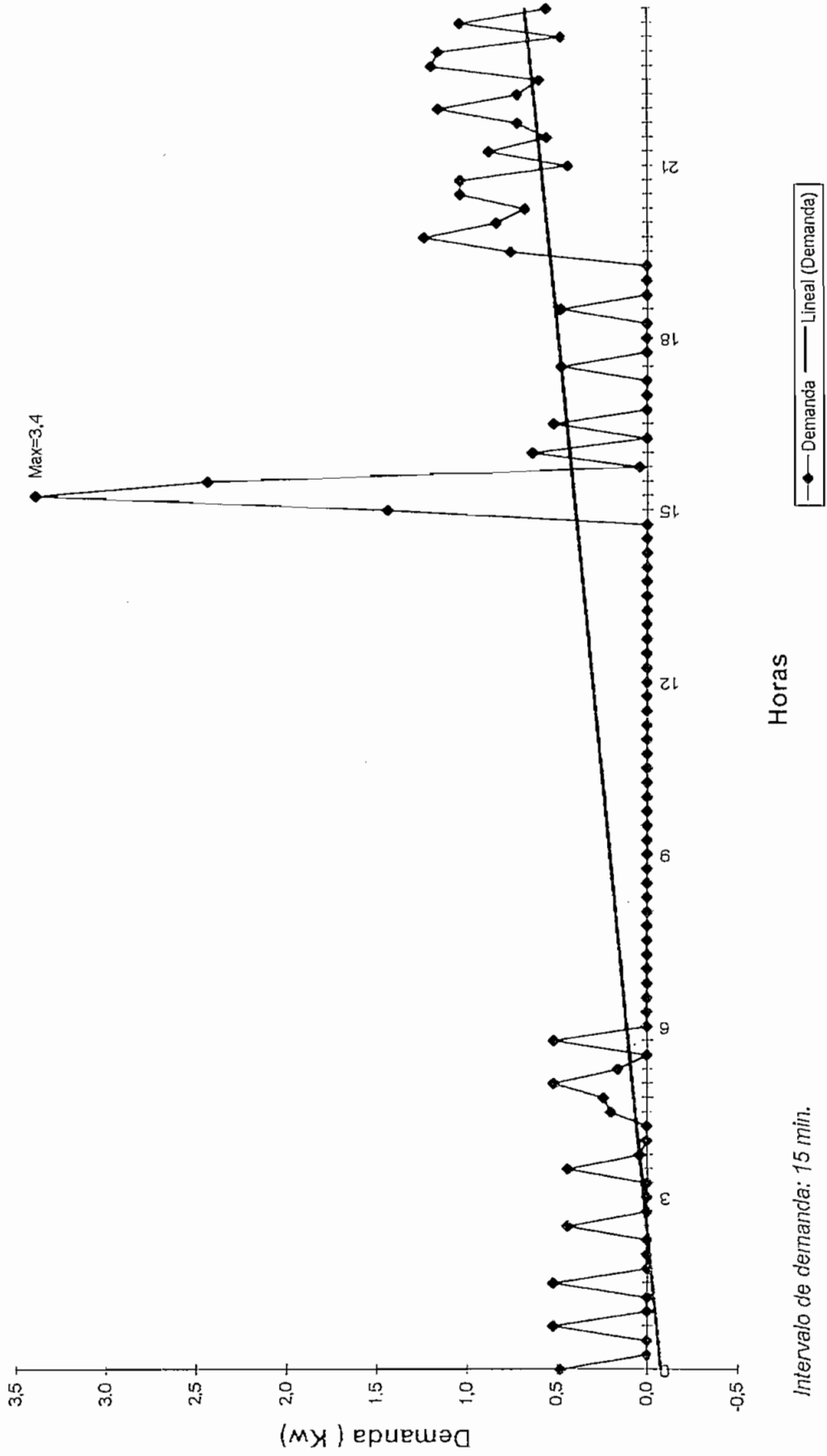
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 5



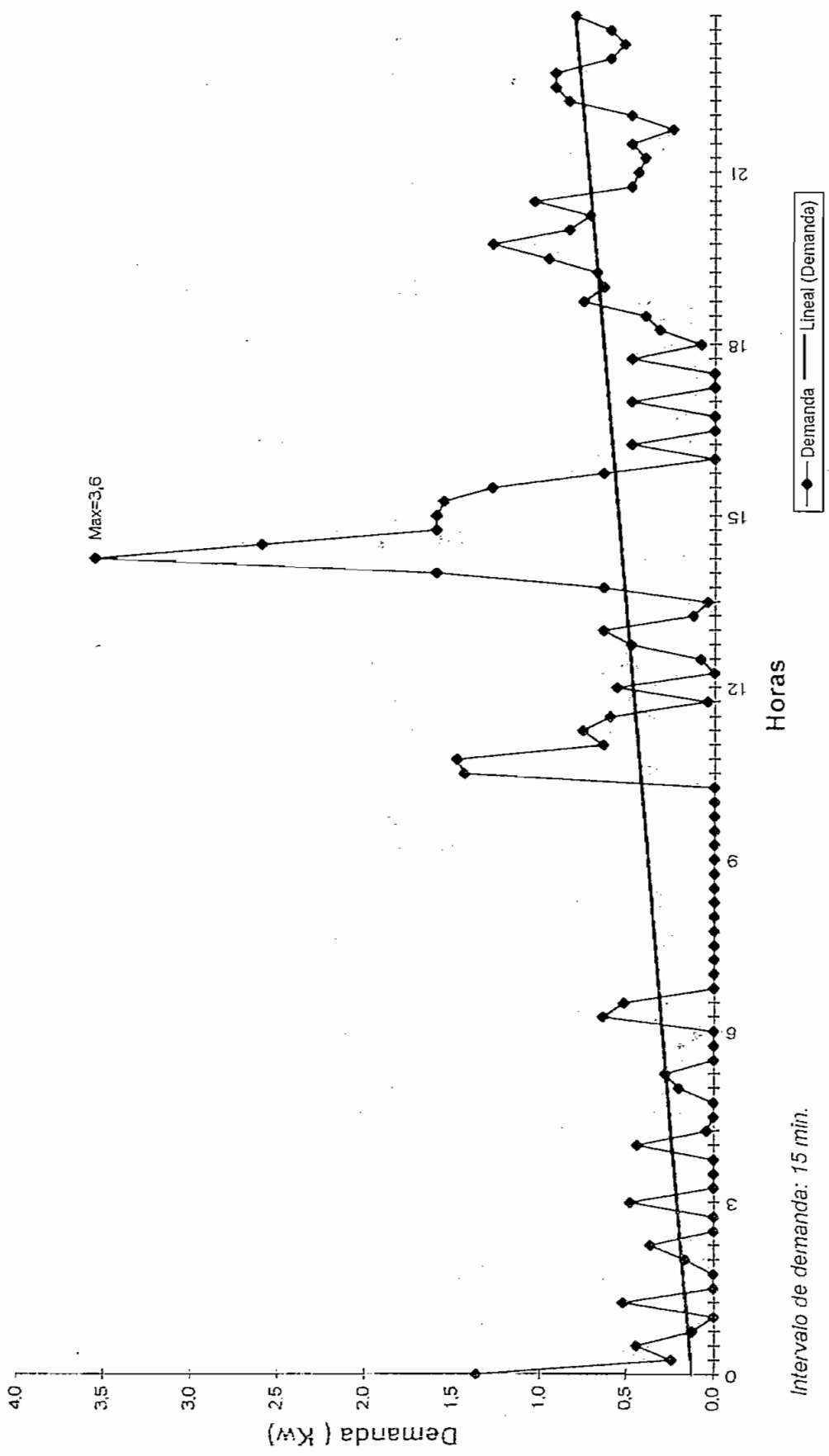
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 5



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

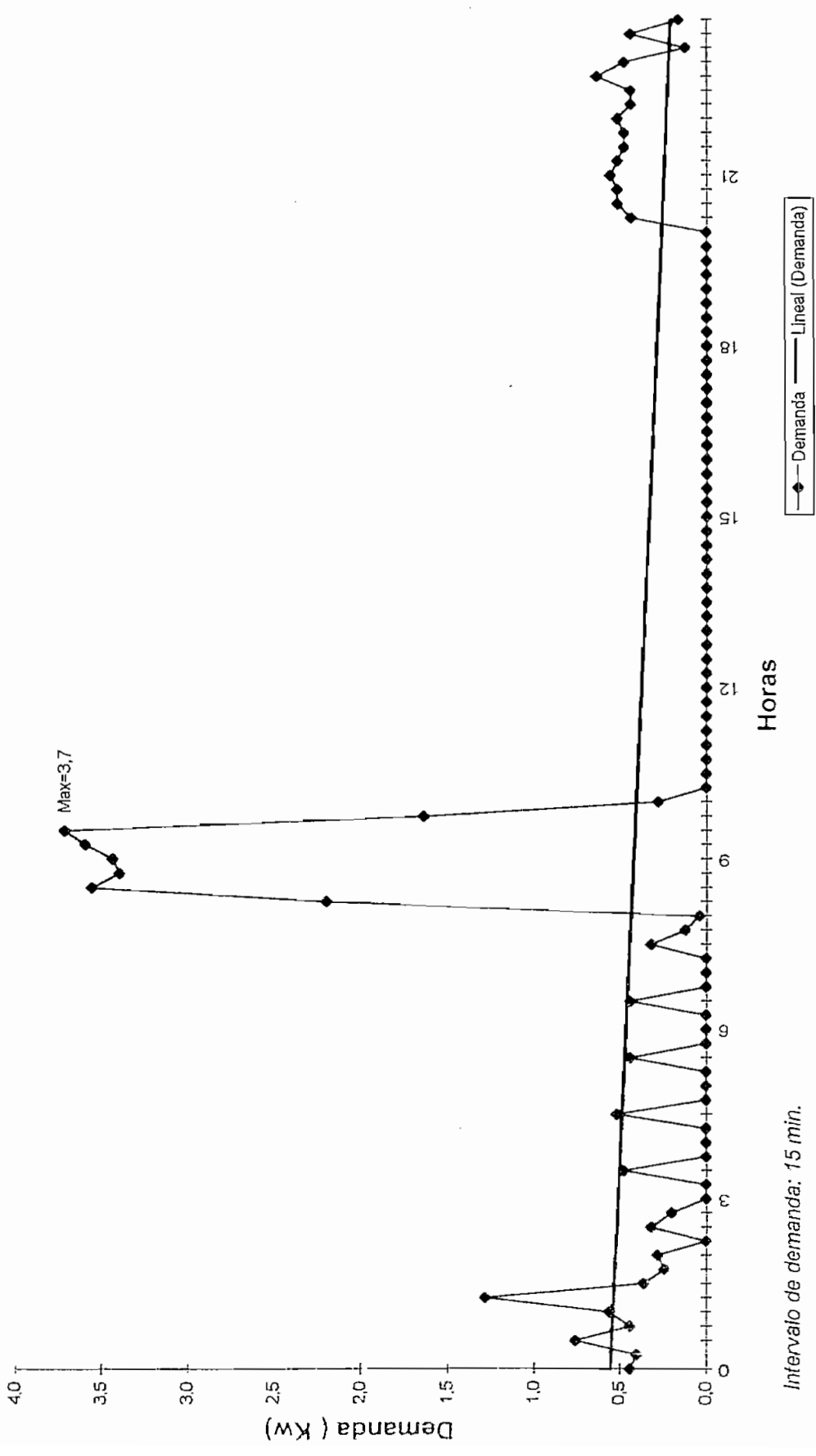
## DEPARTAMENTO 5



Intervalo de demanda: 15 min.

# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

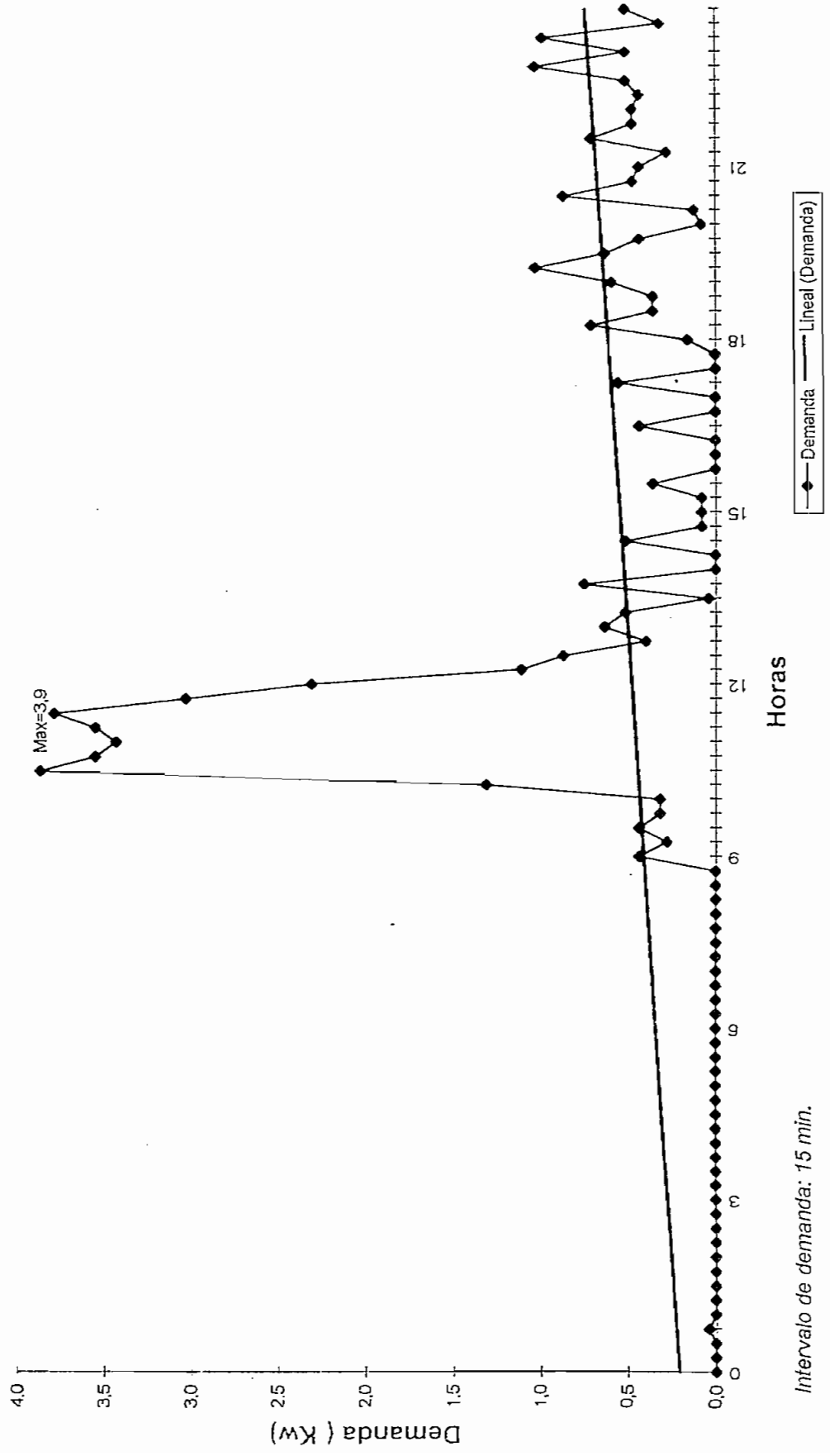
## DEPARTAMENTO 5



Intervalo de demanda: 15 min.

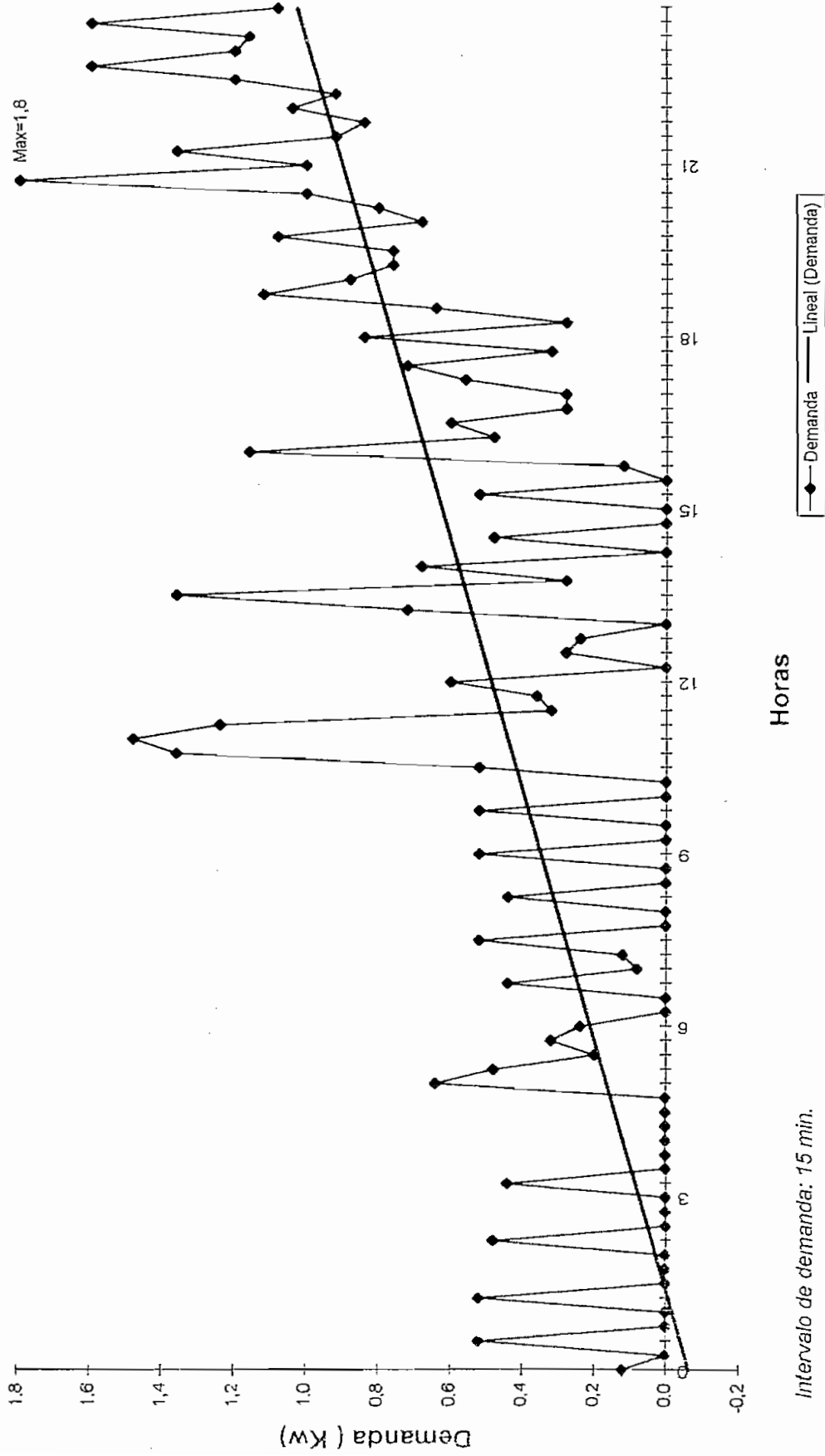
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 5



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 5

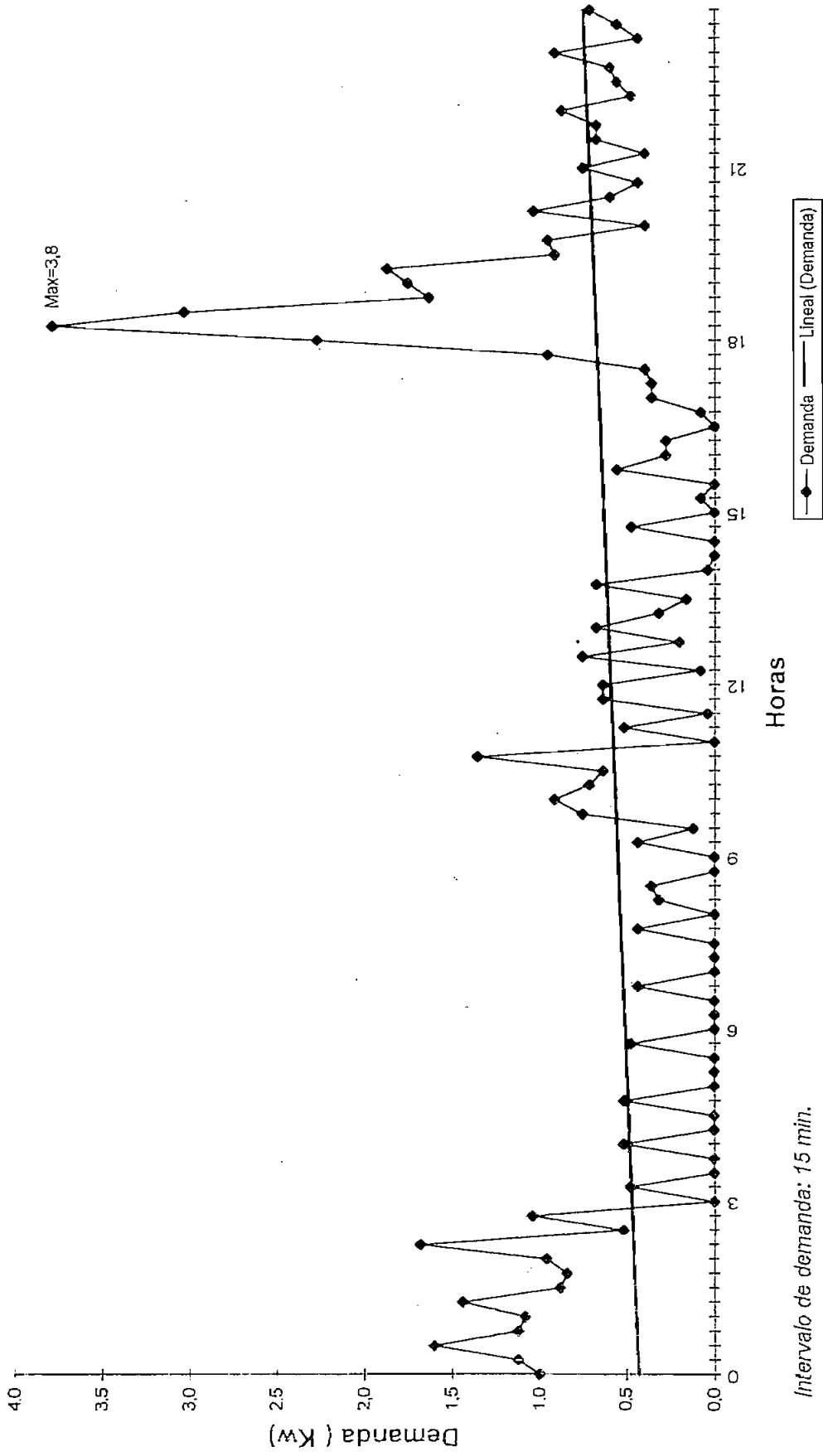


Intervalo de demanda: 15 min.



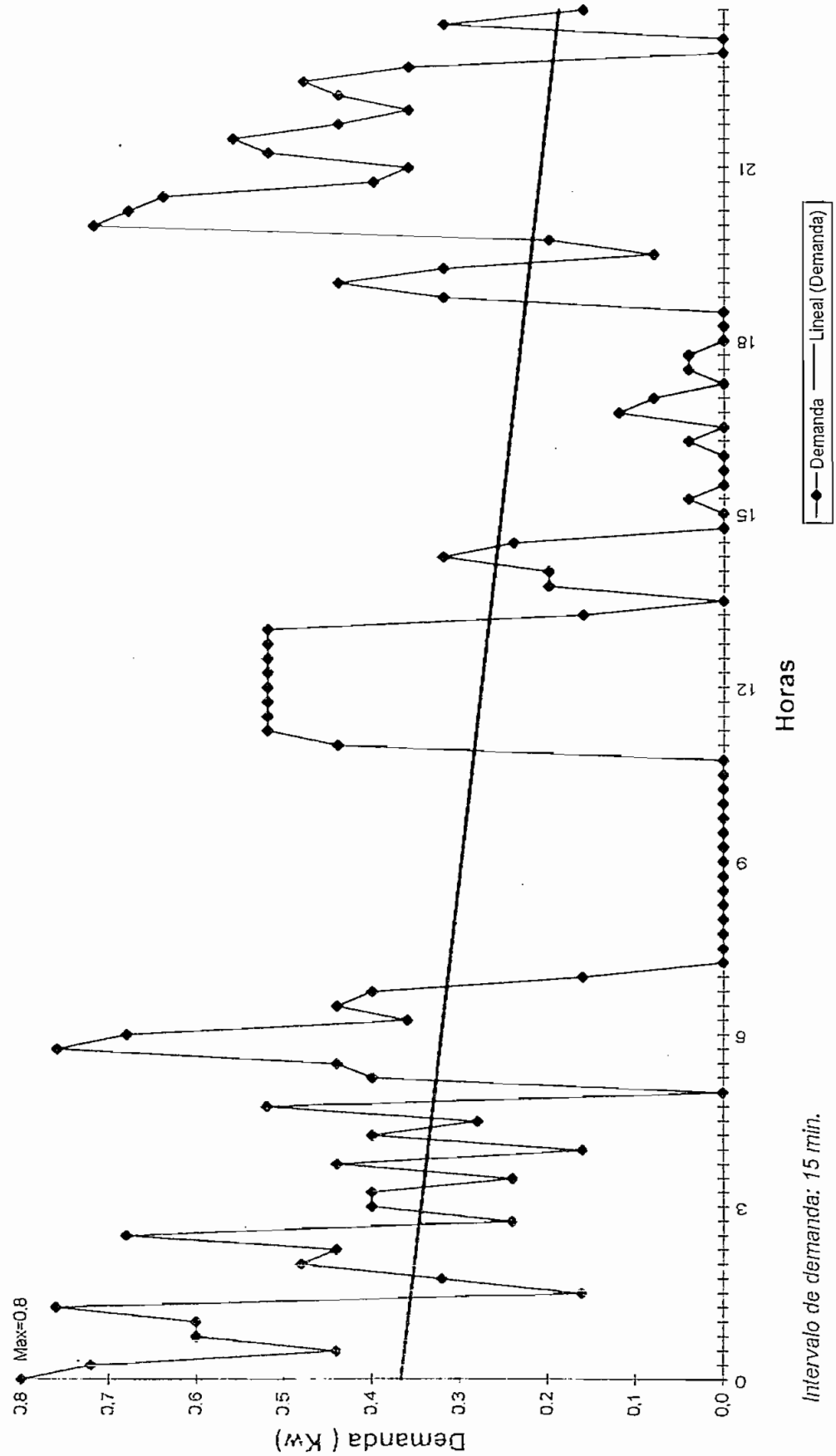
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 5



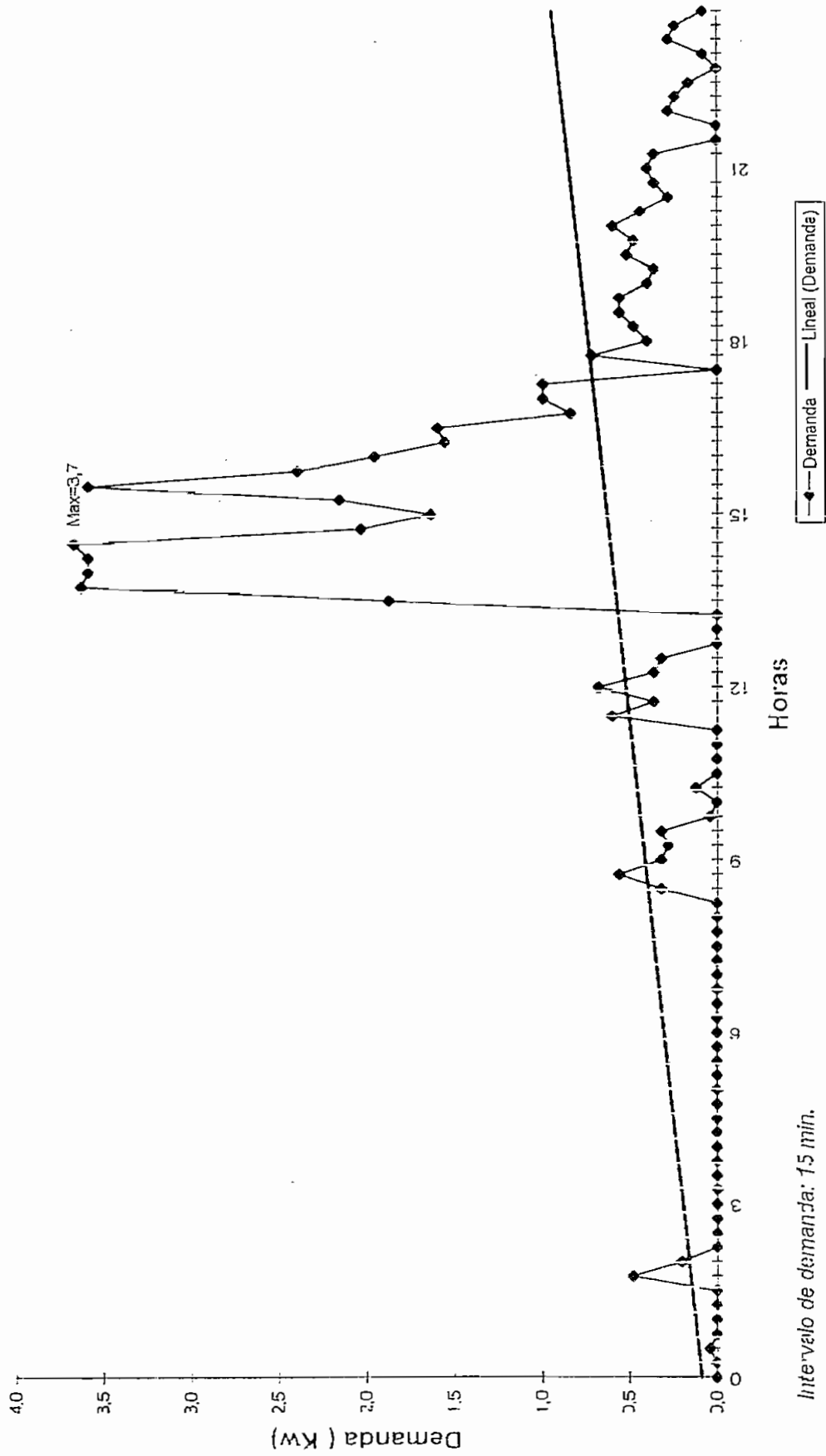
CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

DEPARTAMENTO 5



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

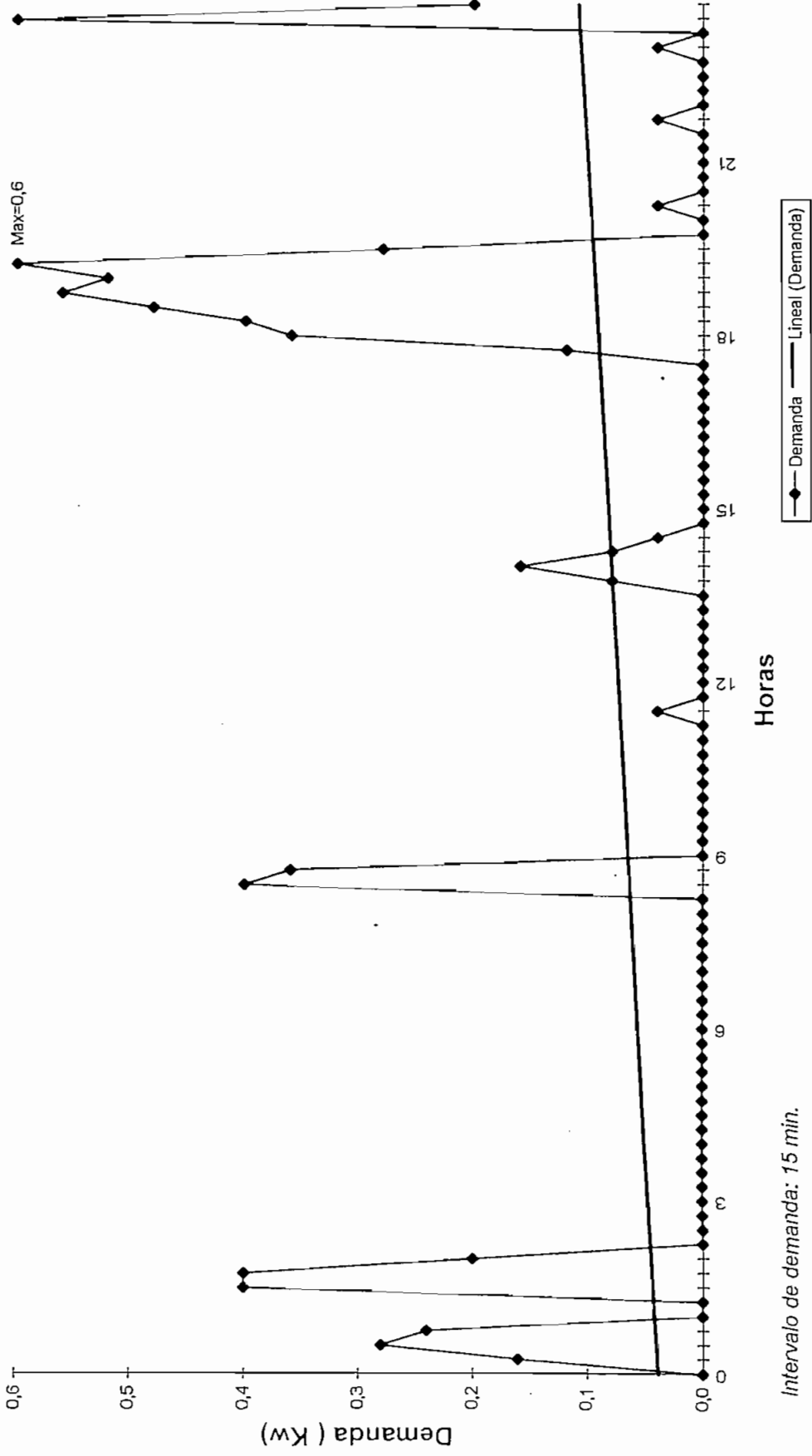
## DEPARTAMENTO 5



Intervalo de demanda: 15 min.

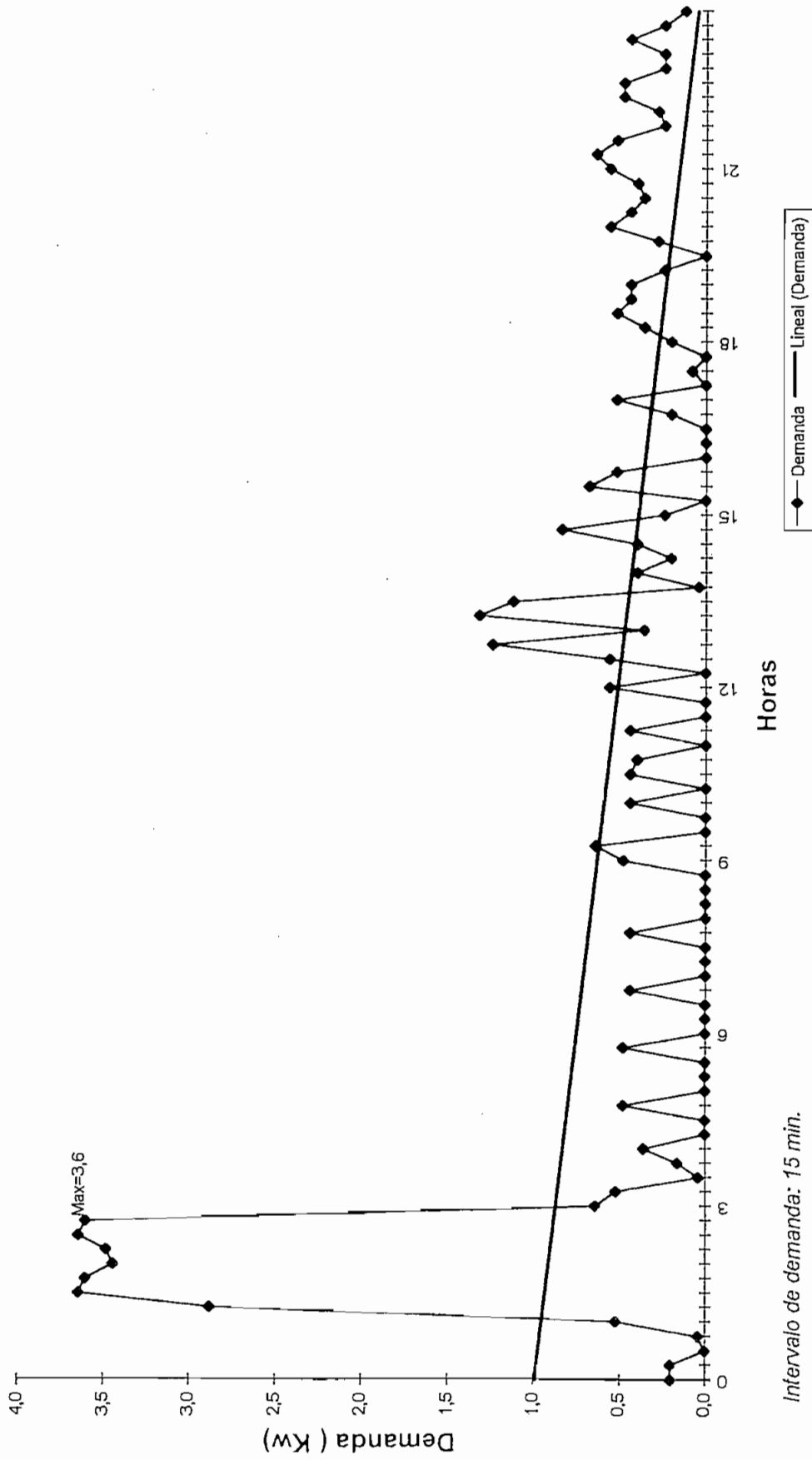
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 5



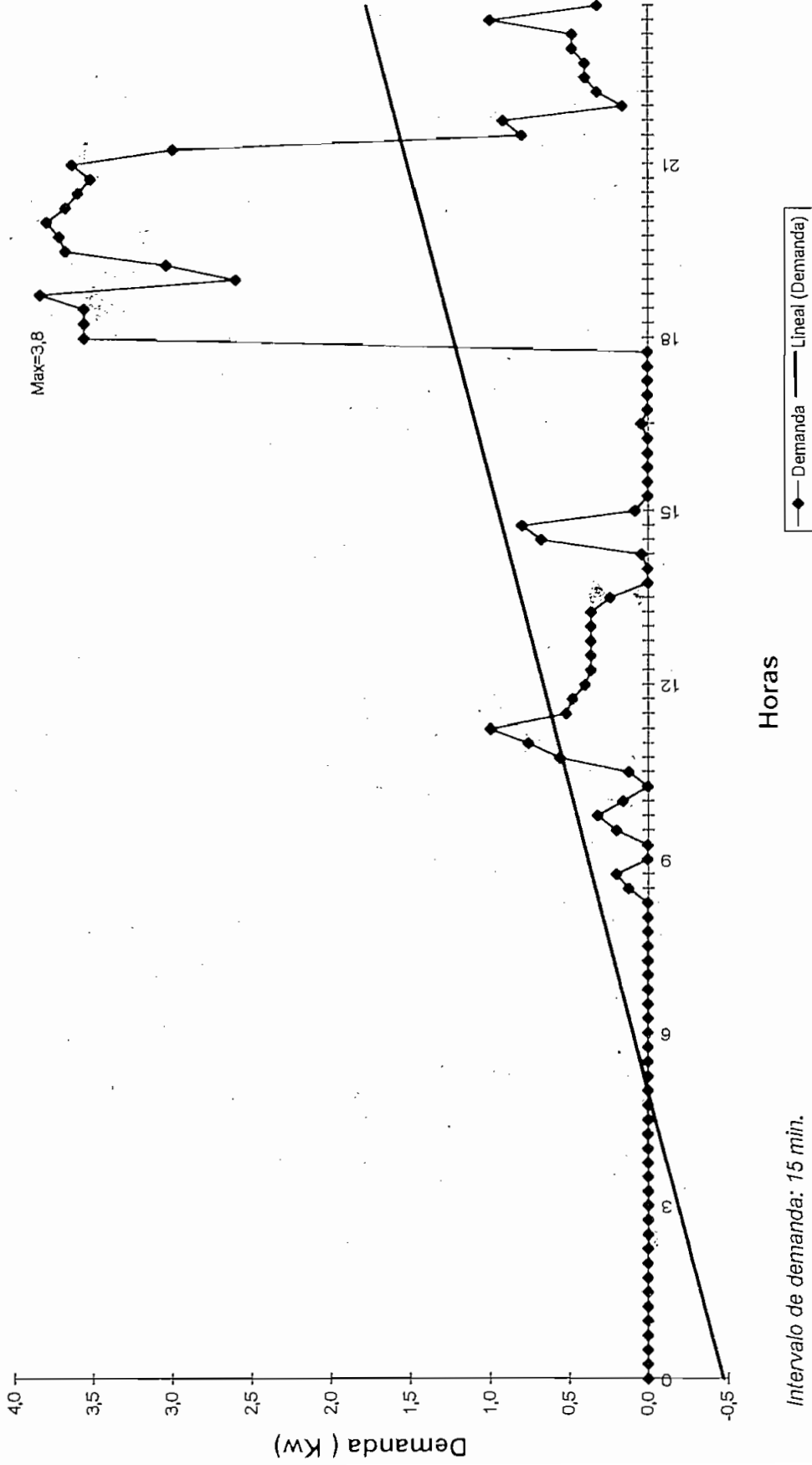
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 5



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

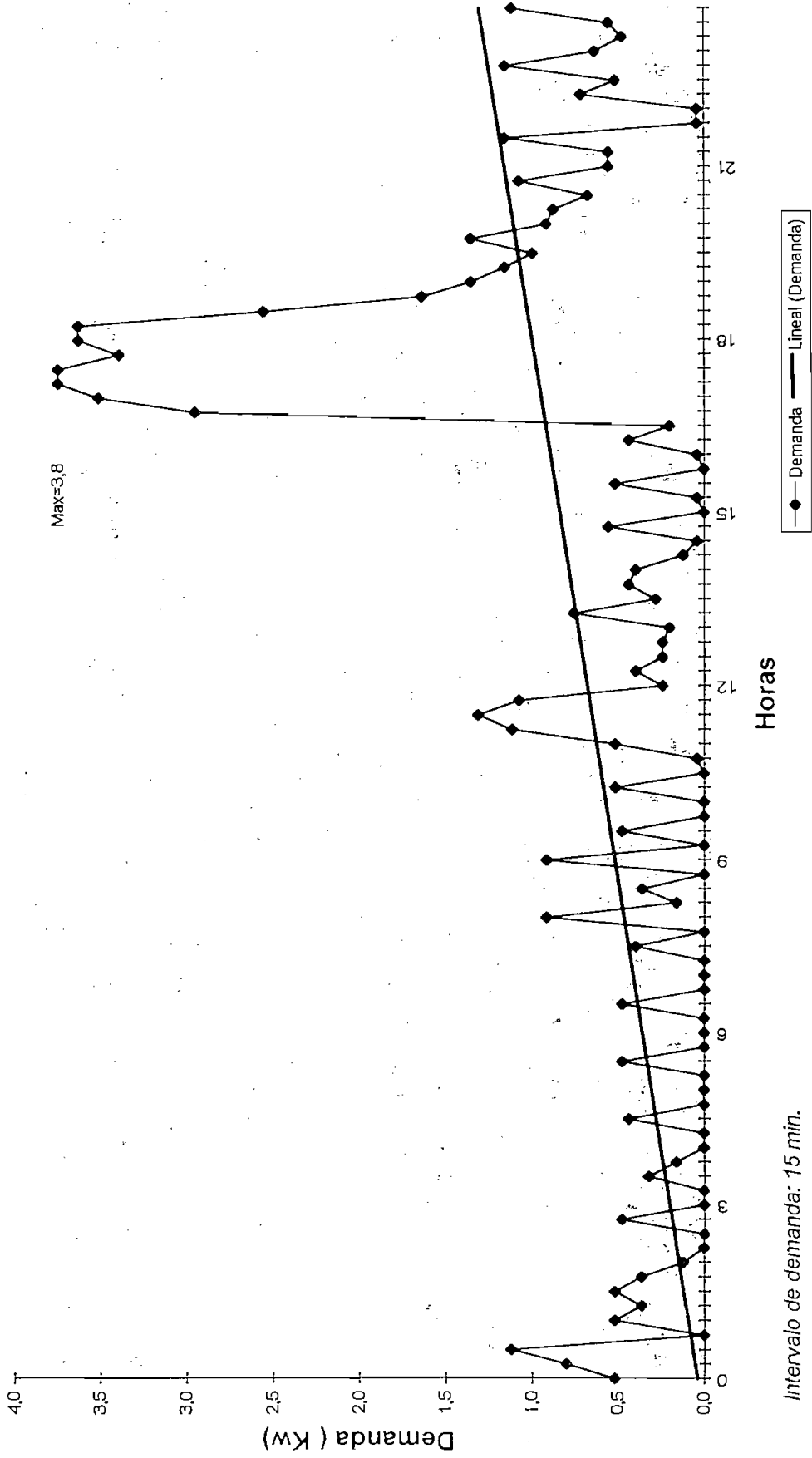
## DEPARTAMENTO 5



Intervalo de demanda: 15 min.

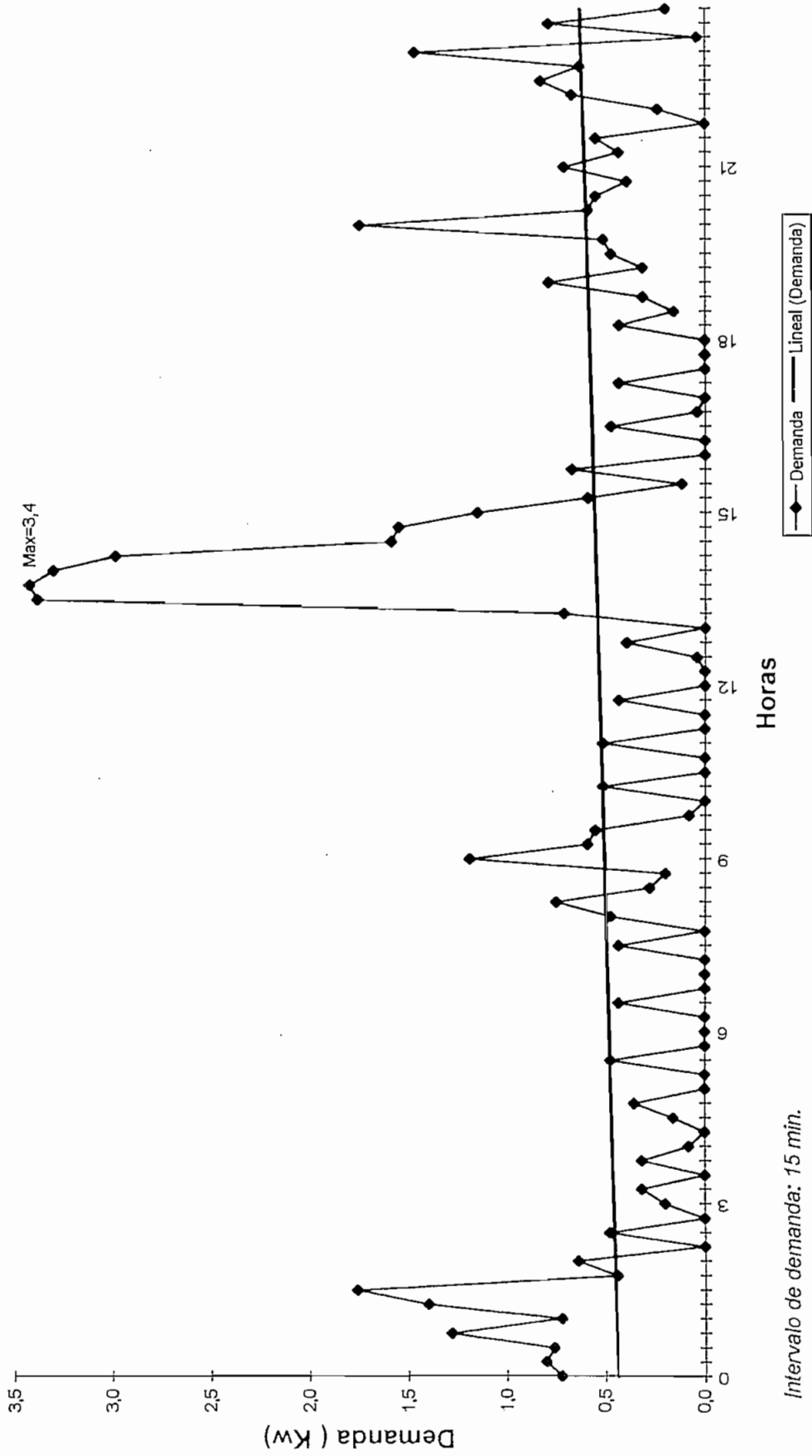
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 5



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

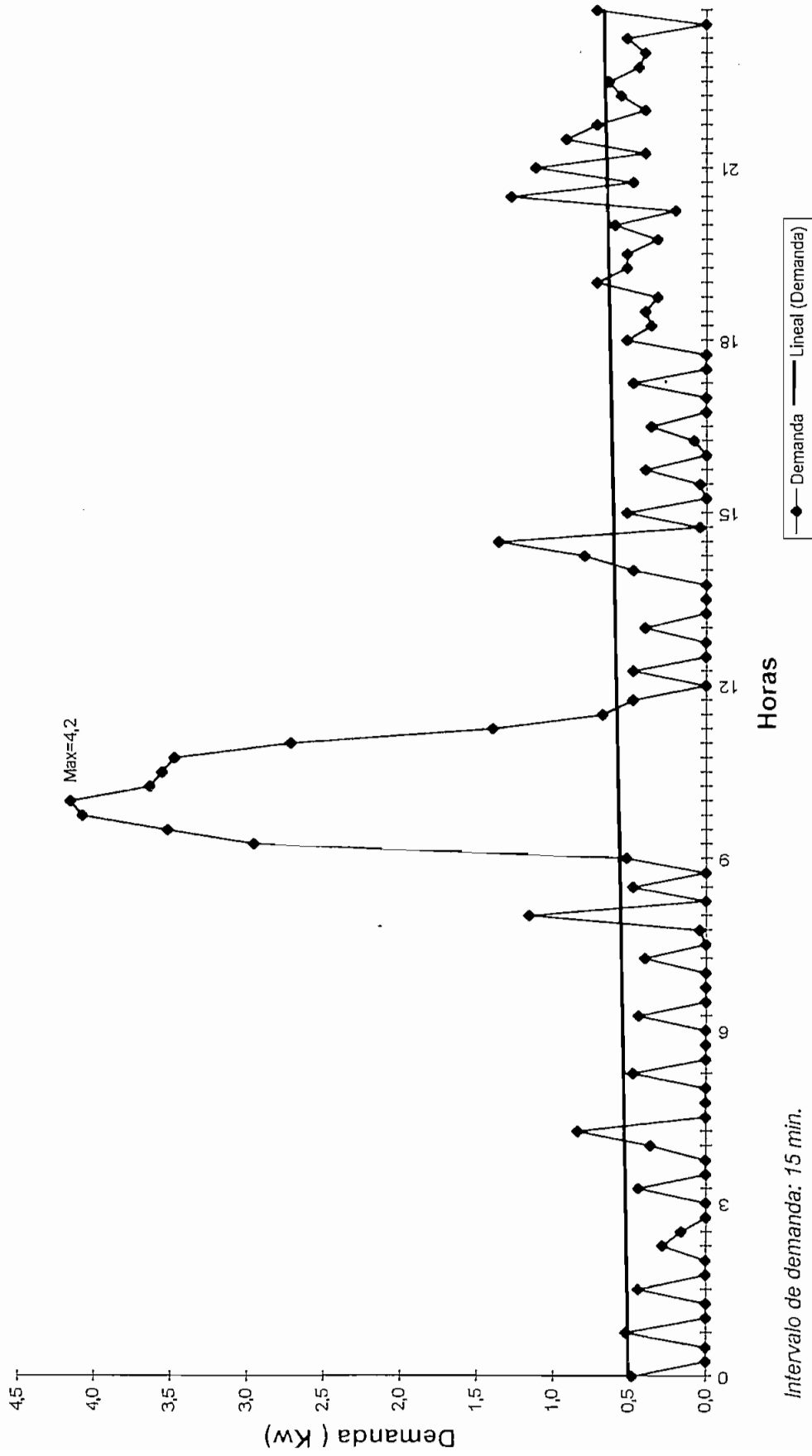
## DEPARTAMENTO 5





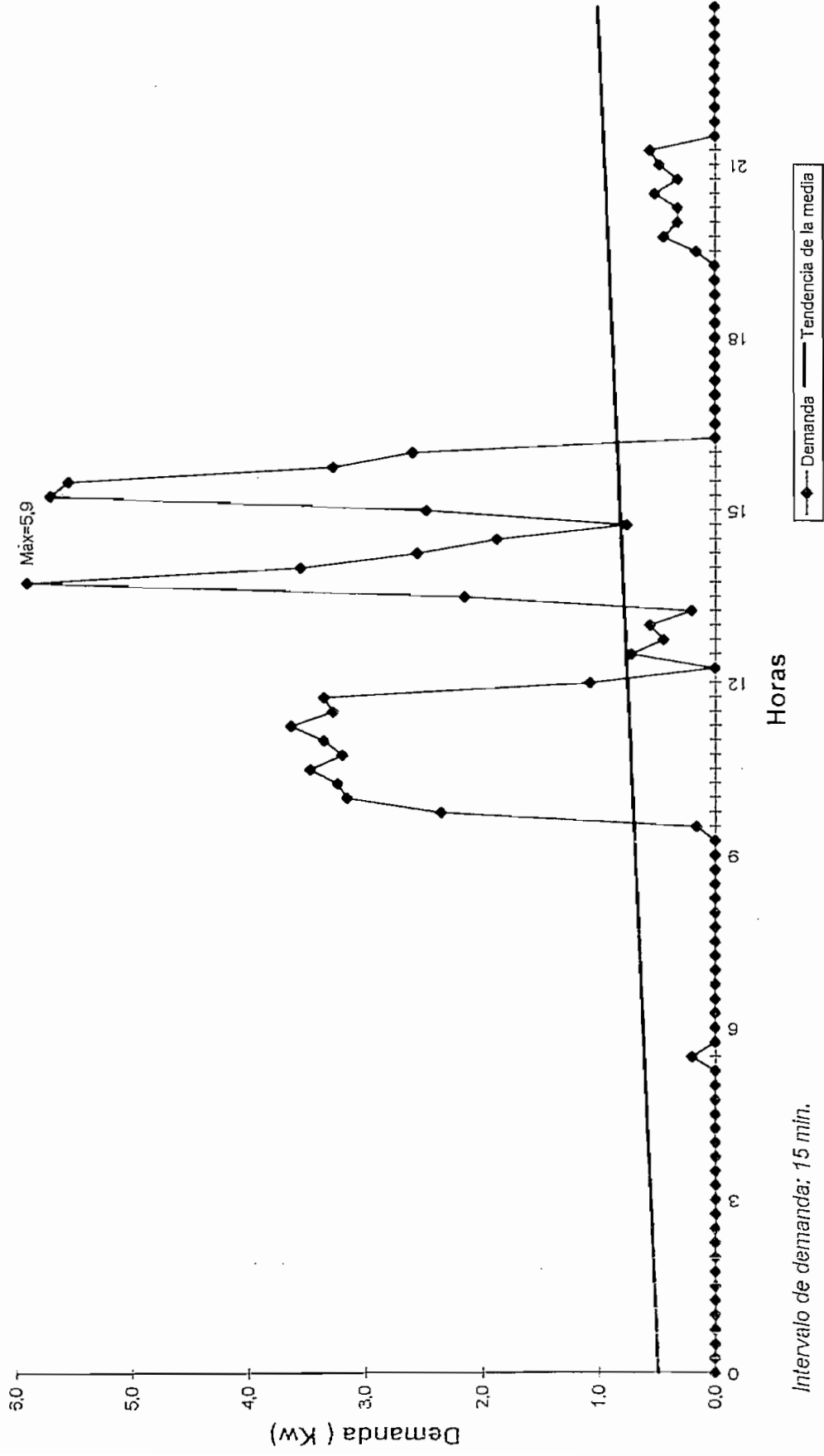
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 5



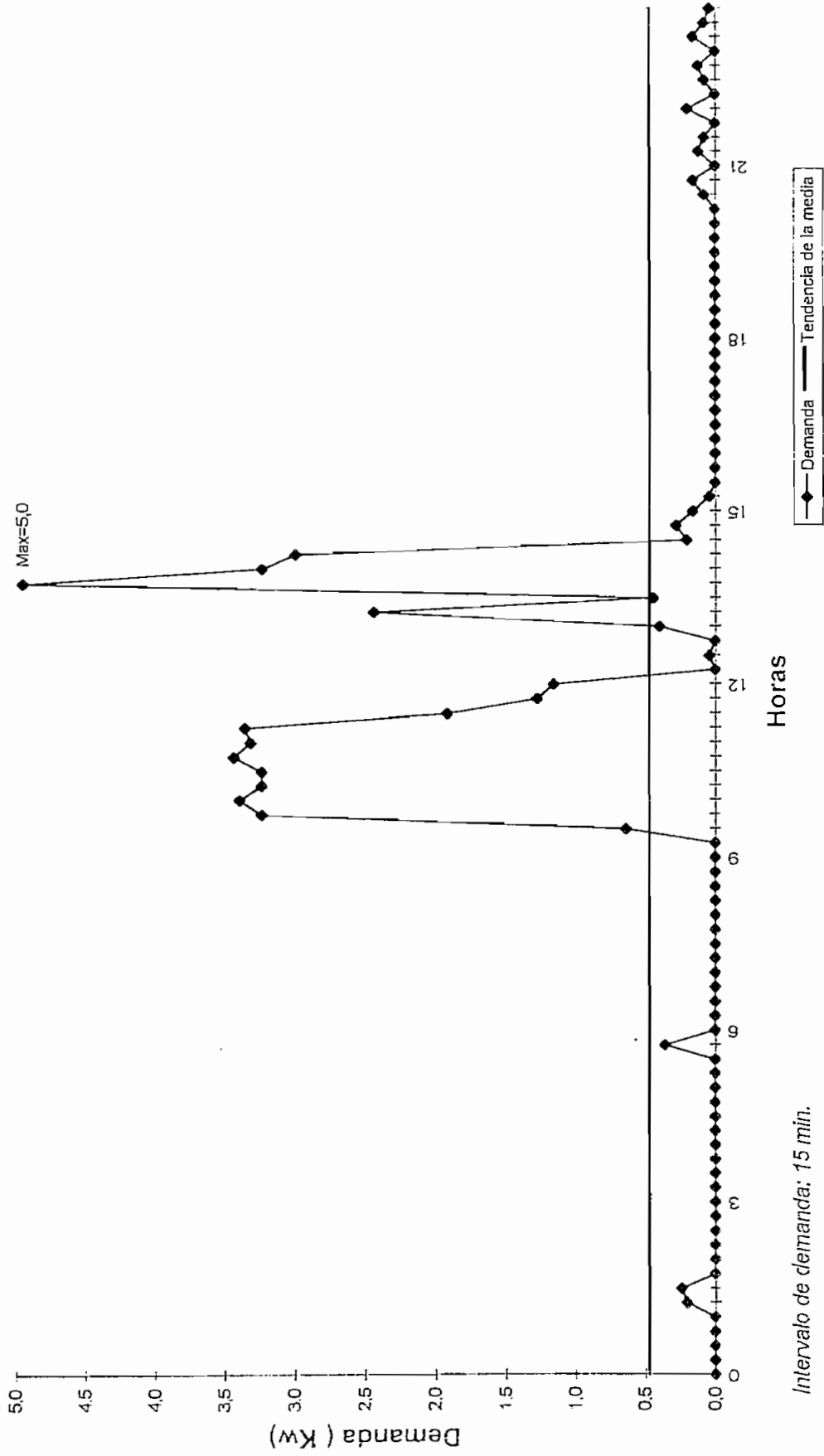
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 6



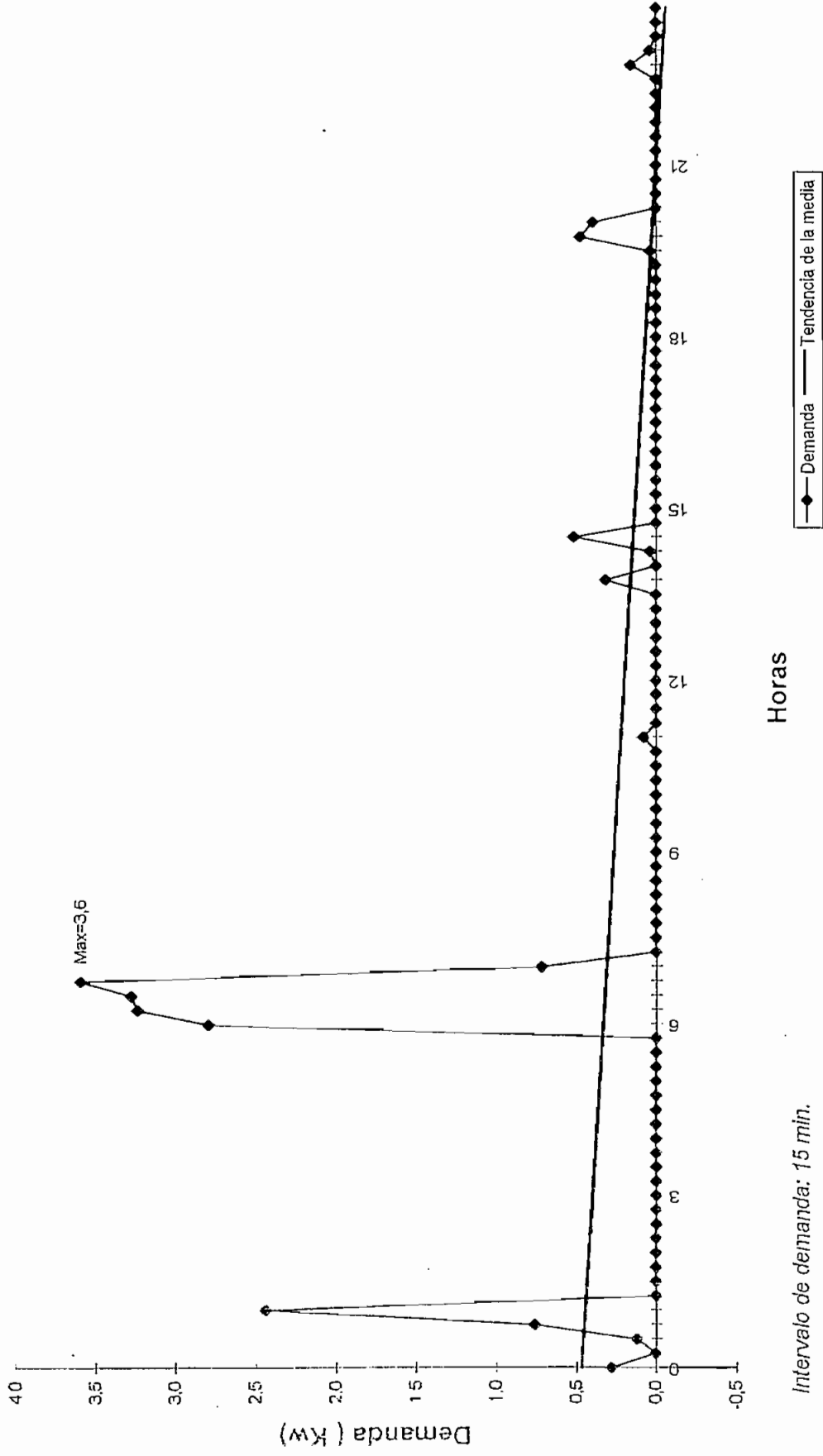
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 6



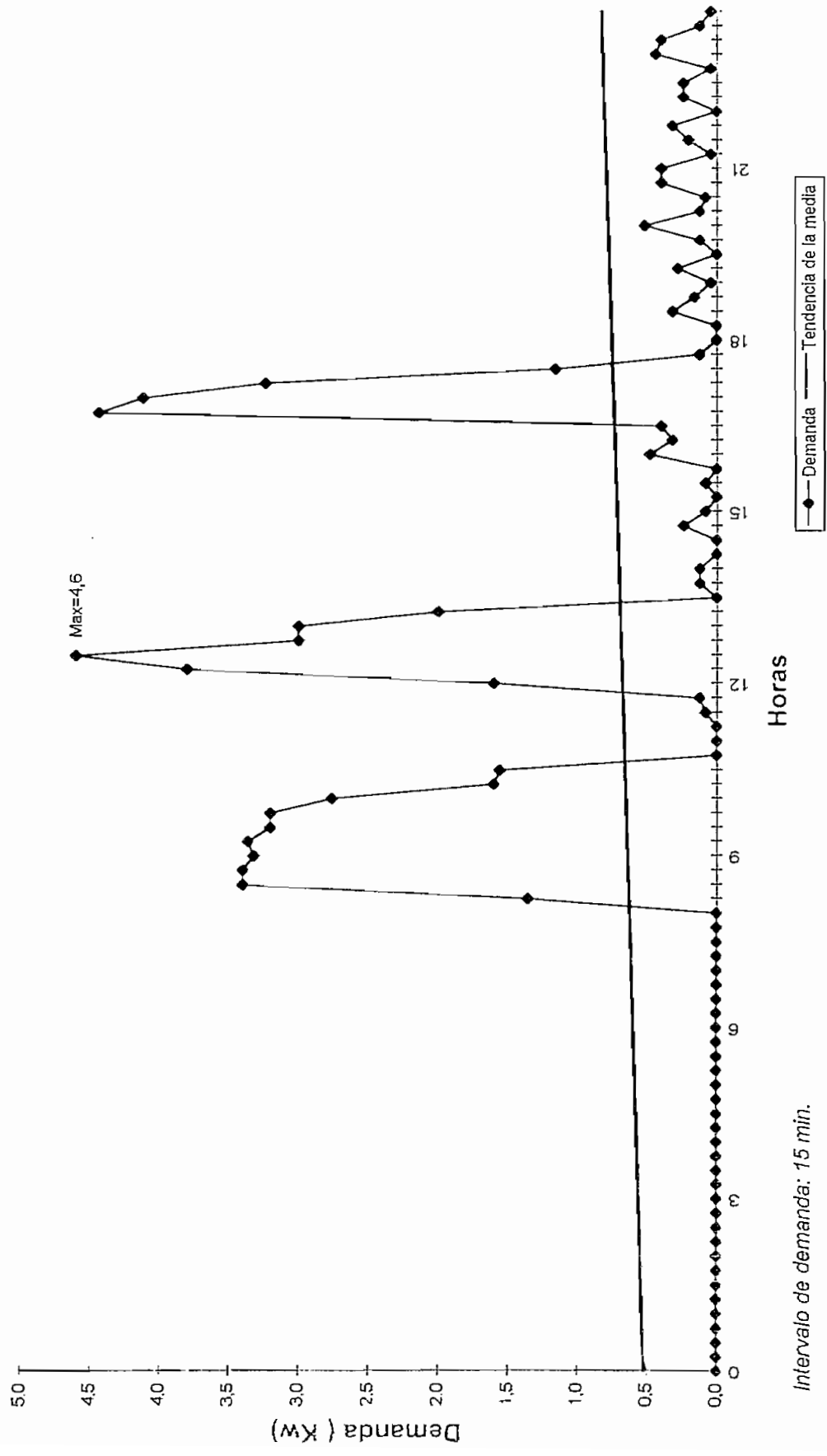
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 6



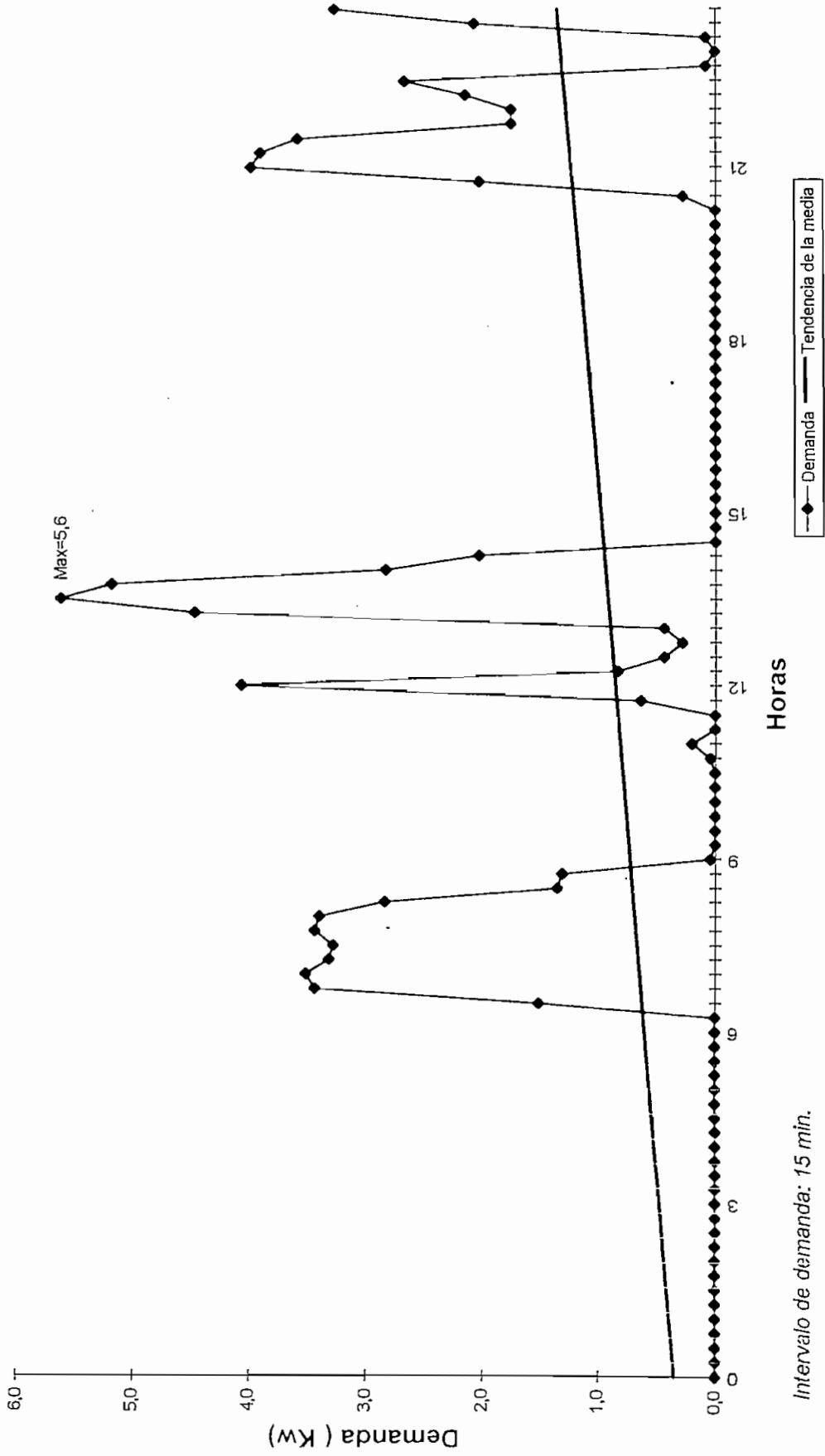
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 6



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

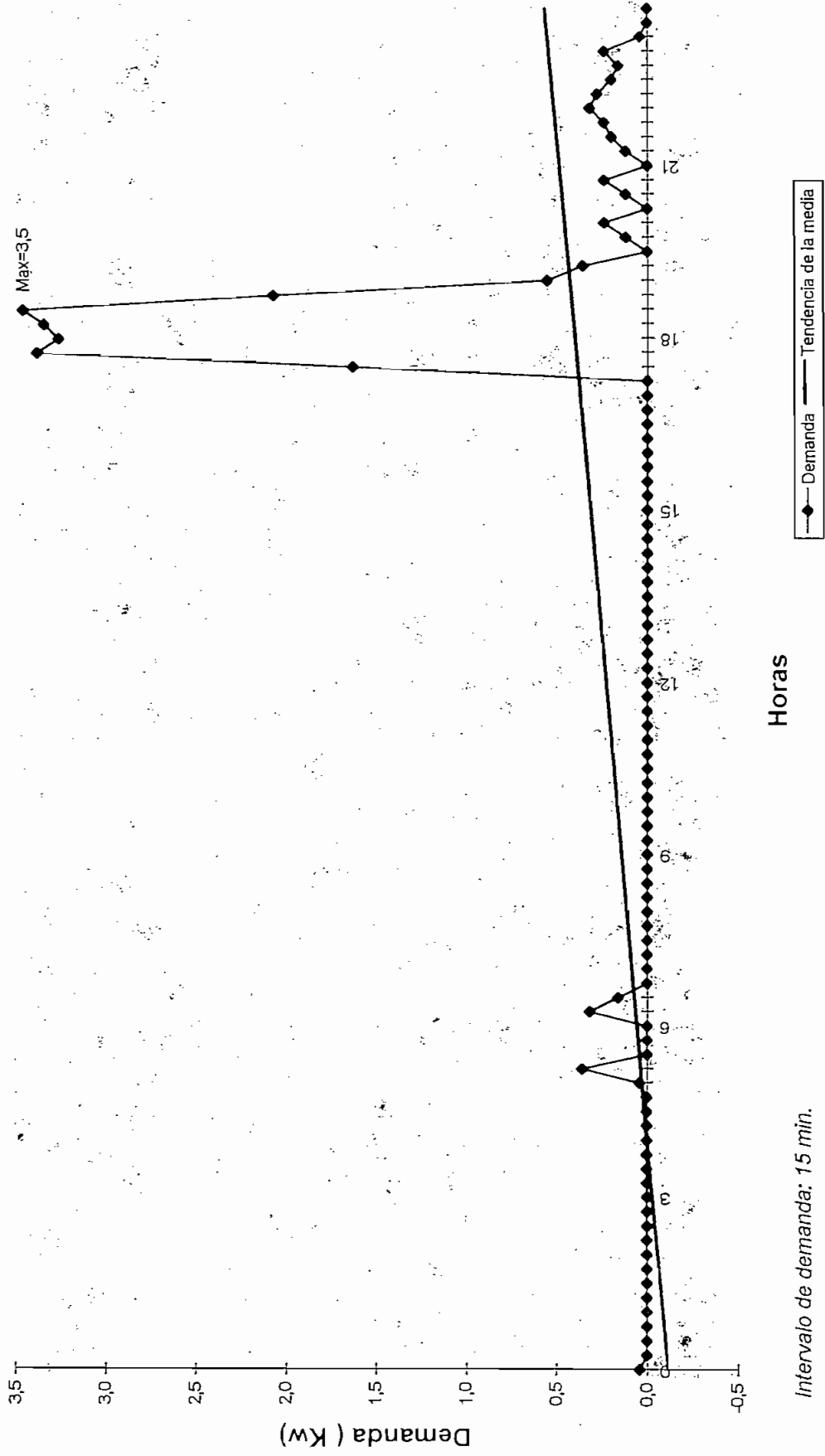
## DEPARTAMENTO 6



Intervalo de demanda: 15 min.

# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

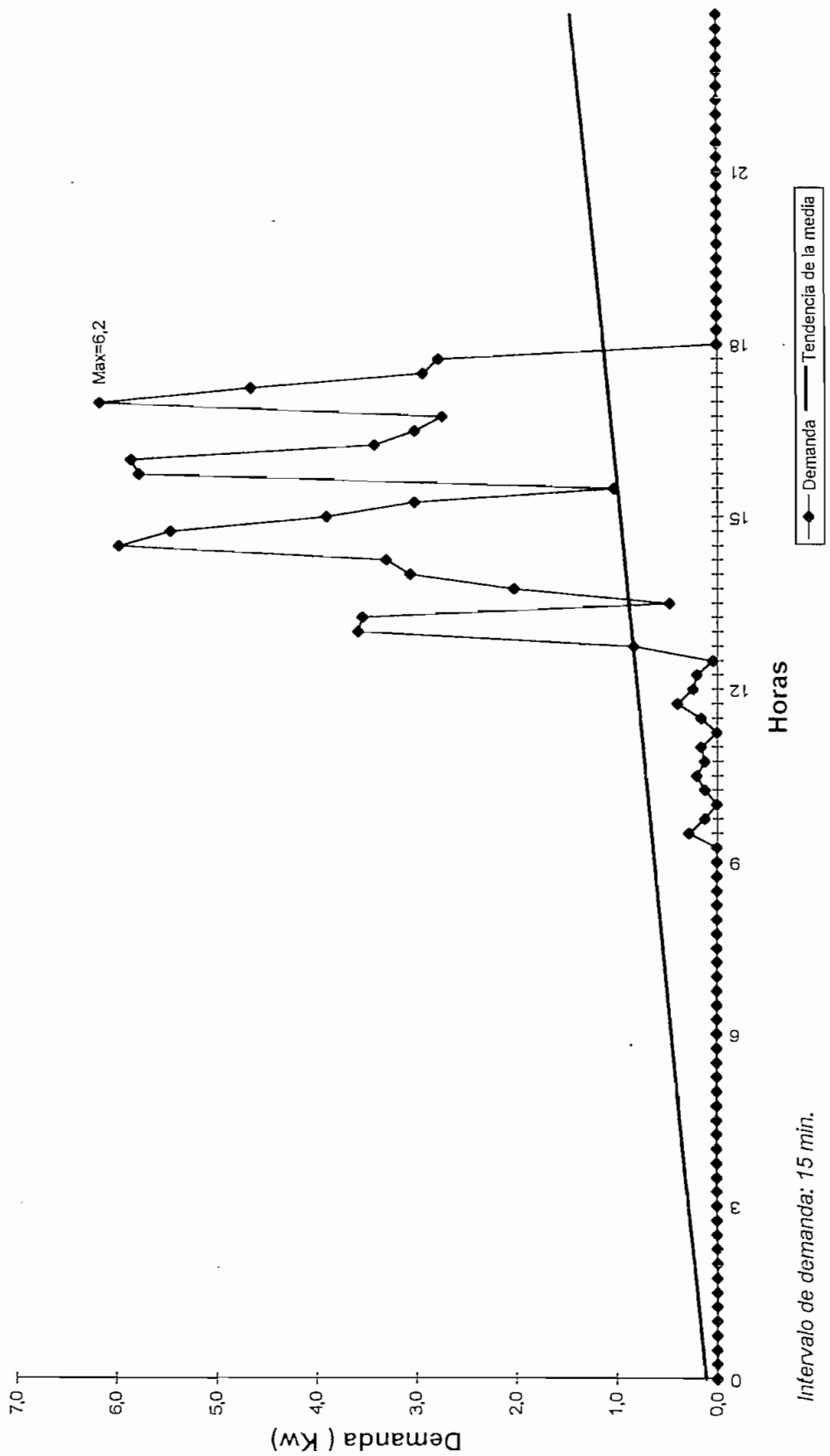
## DEPARTAMENTO 6



Intervalo de demanda: 15 min.

# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

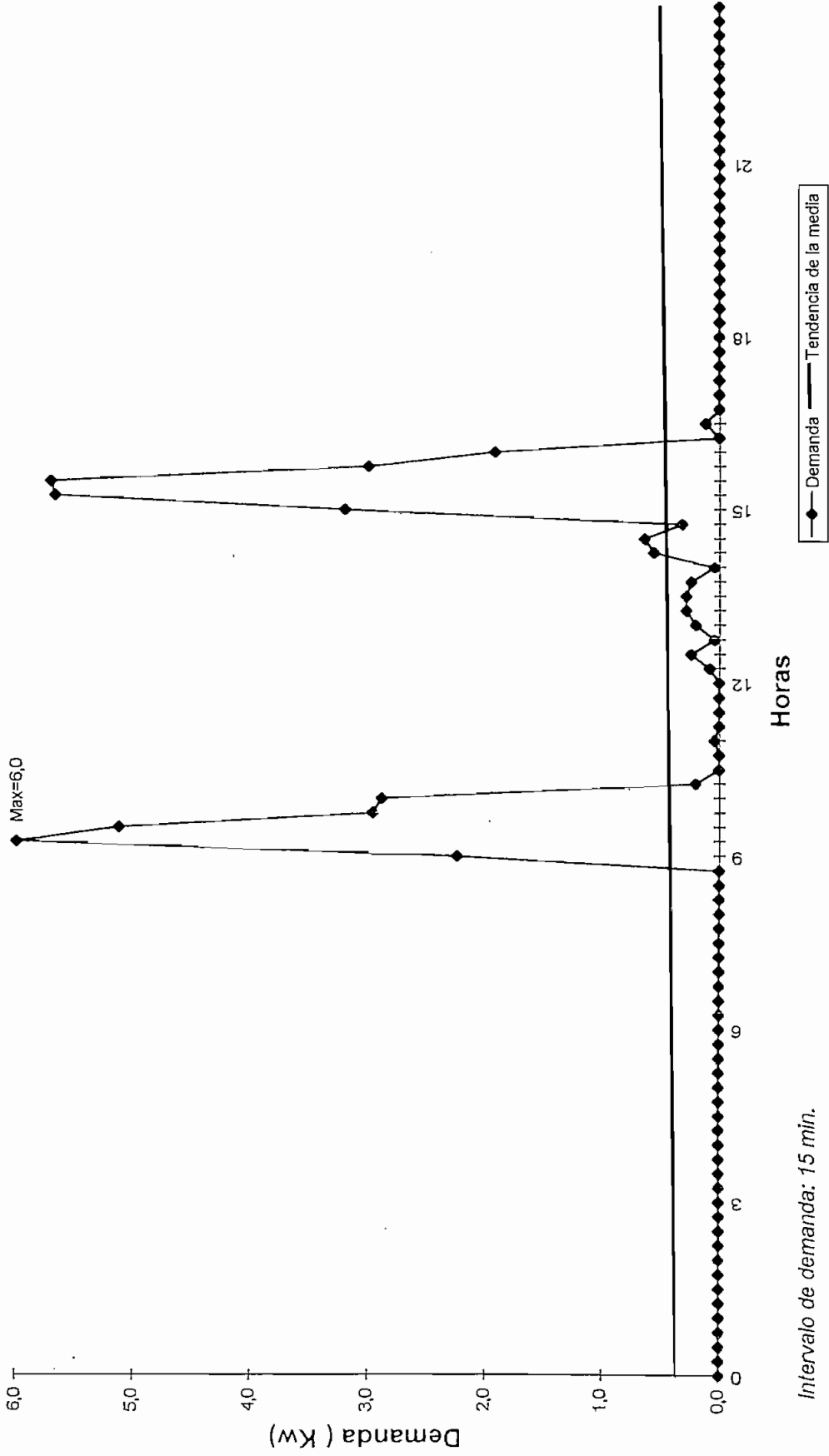
## DEPARTAMENTO 6





# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

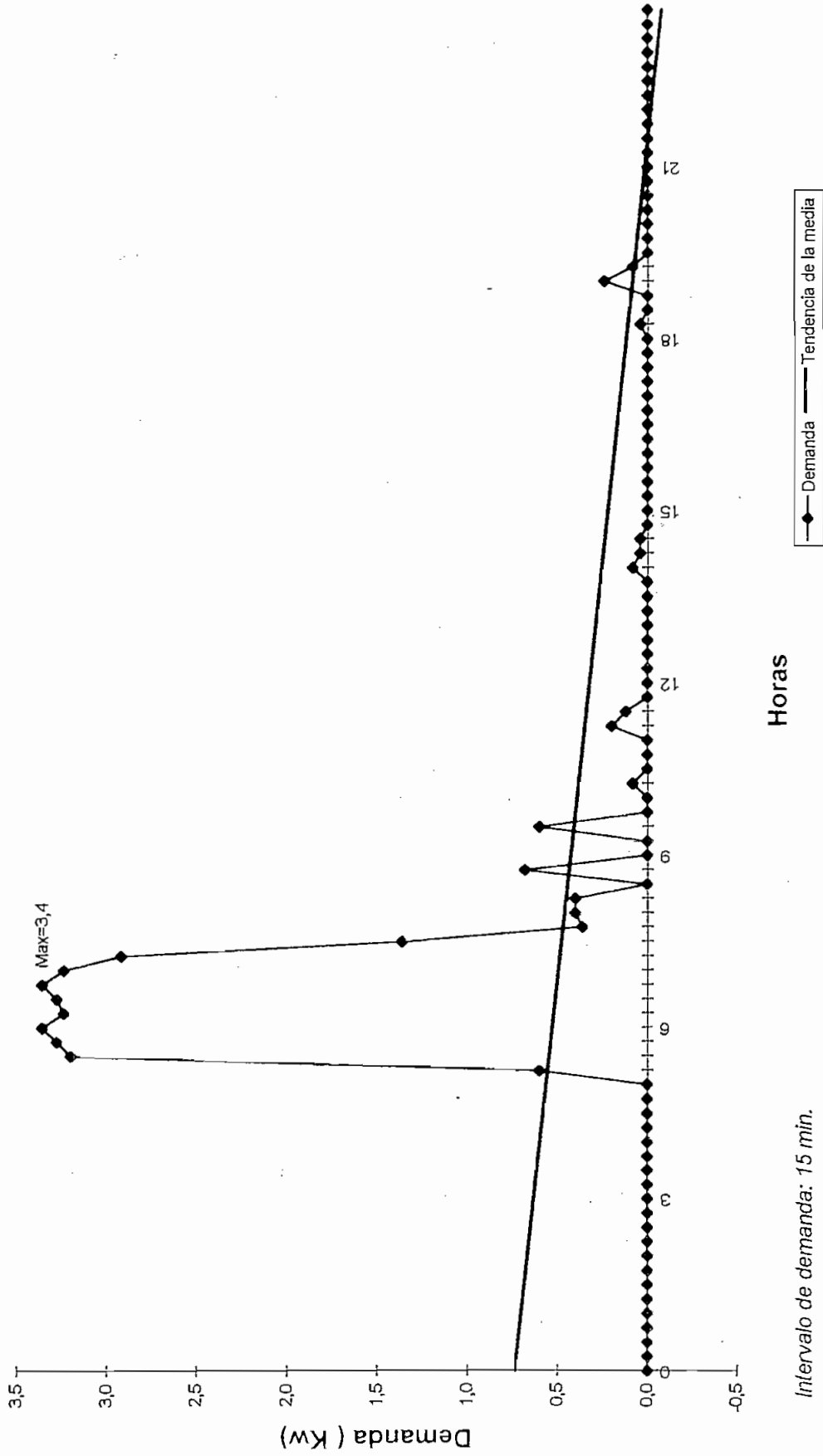
## DEPARTAMENTO 6



Intervalo de demanda: 15 min.

# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

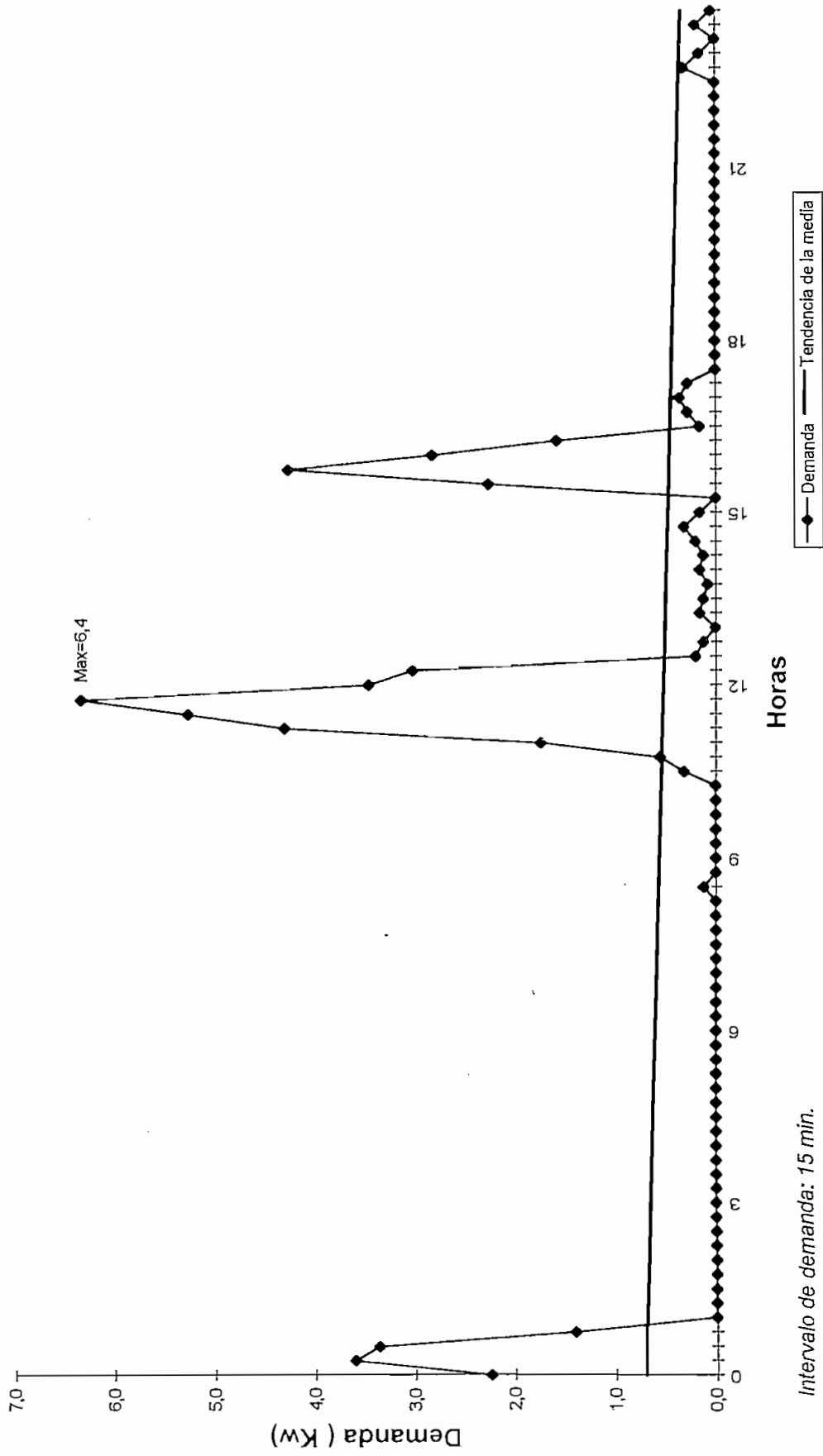
## DEPARTAMENTO 6



Intervalo de demanda: 15 min.

# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL SIN CONTROL DE CARGA

## DEPARTAMENTO 6



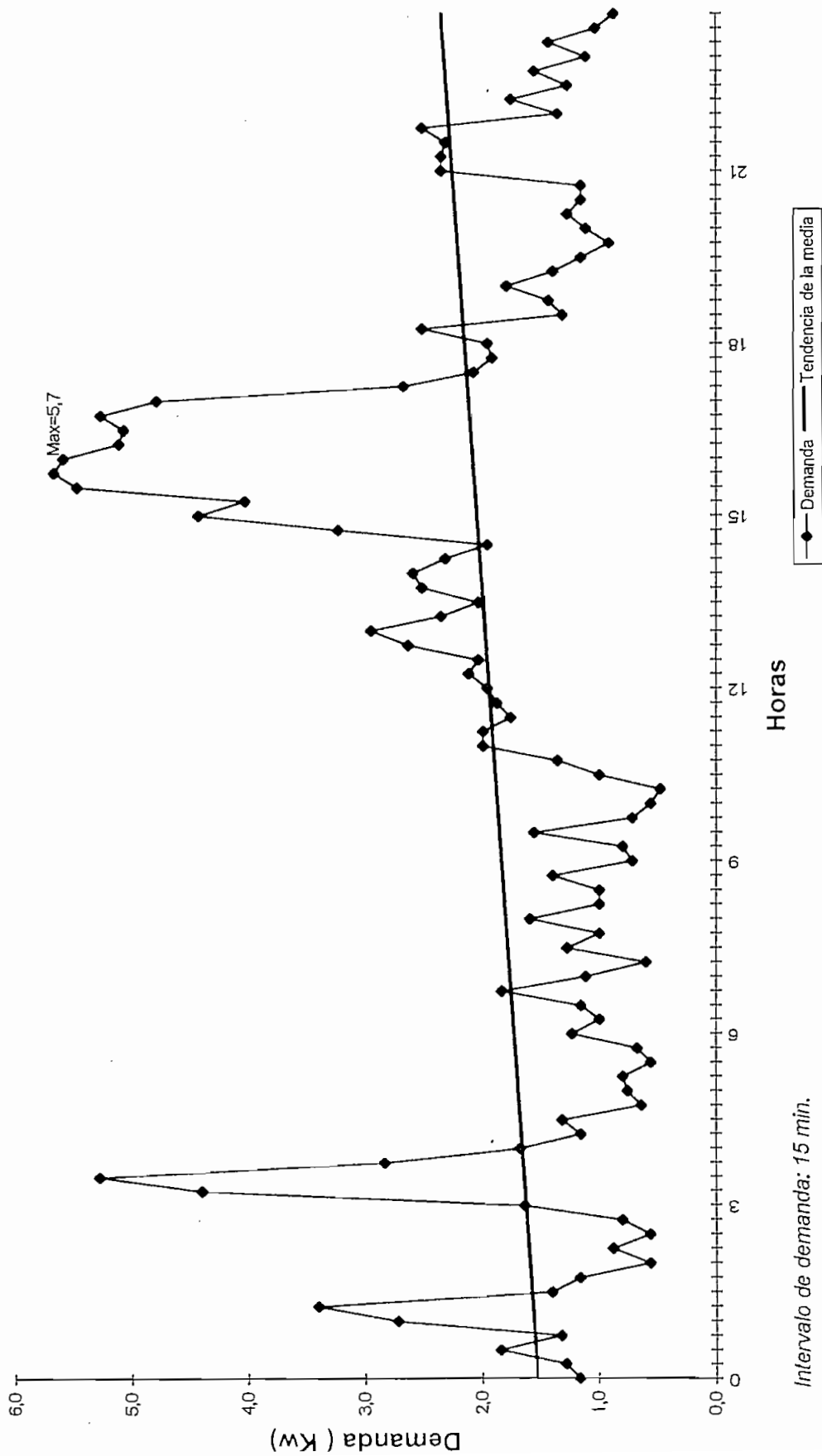
Intervalo de demanda: 15 min.

## ANEXO A.2

*Gráficos de las curvas de demanda con control de carga.*

# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

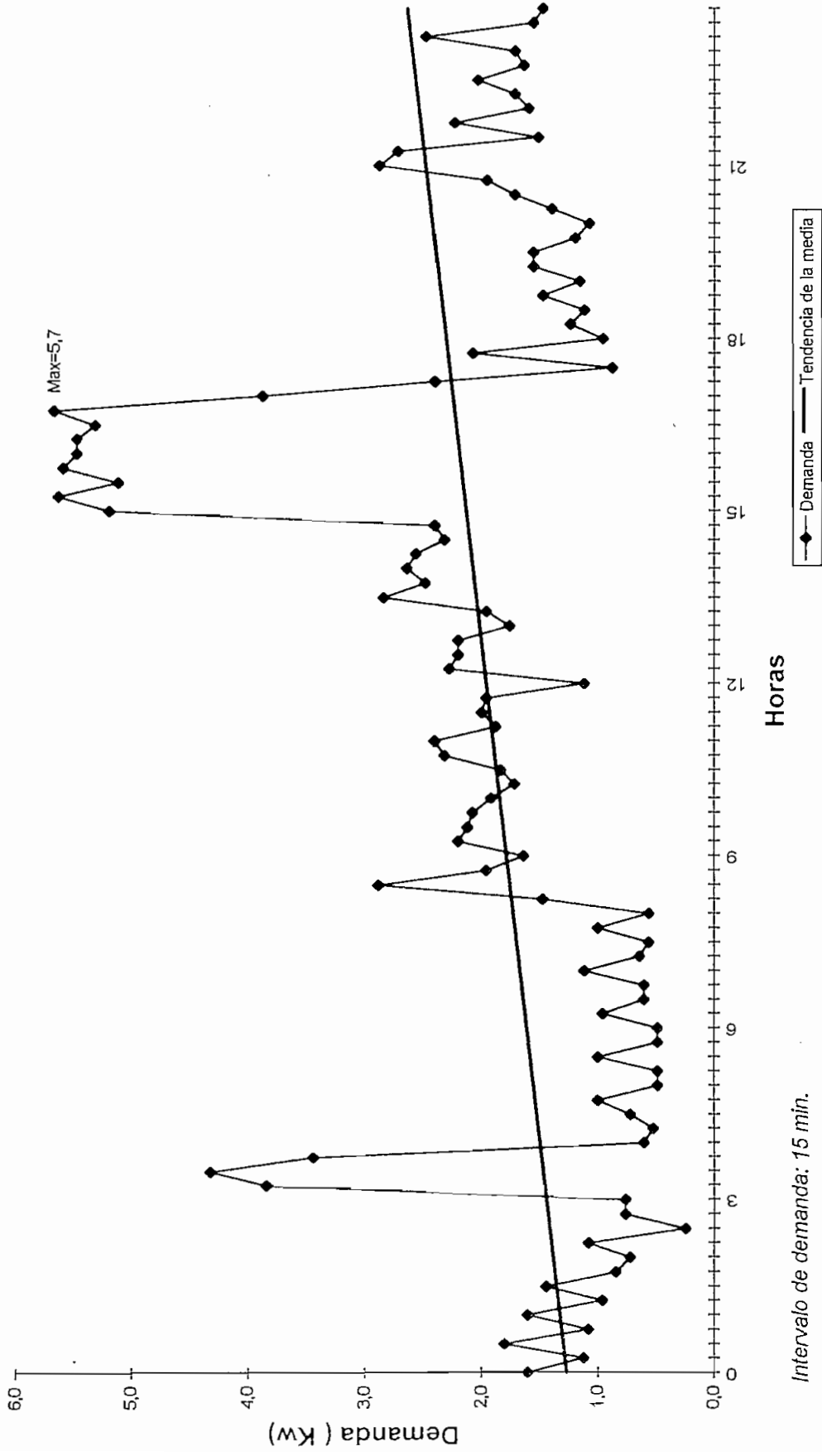
## DEPARTAMENTO 1



Intervalo de demanda: 15 min.

# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

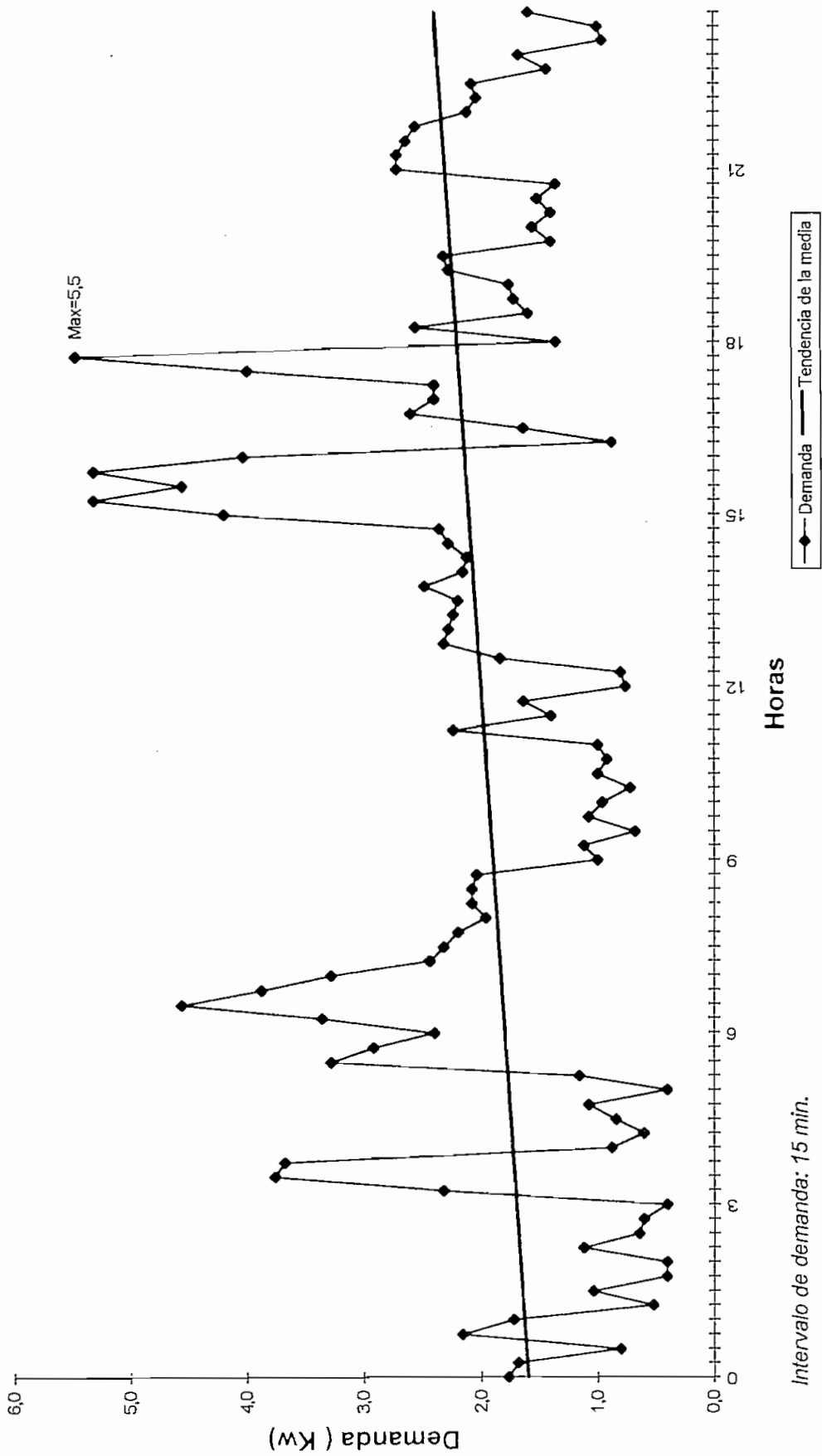
## DEPARTAMENTO I



Intervalo de demanda: 15 min.

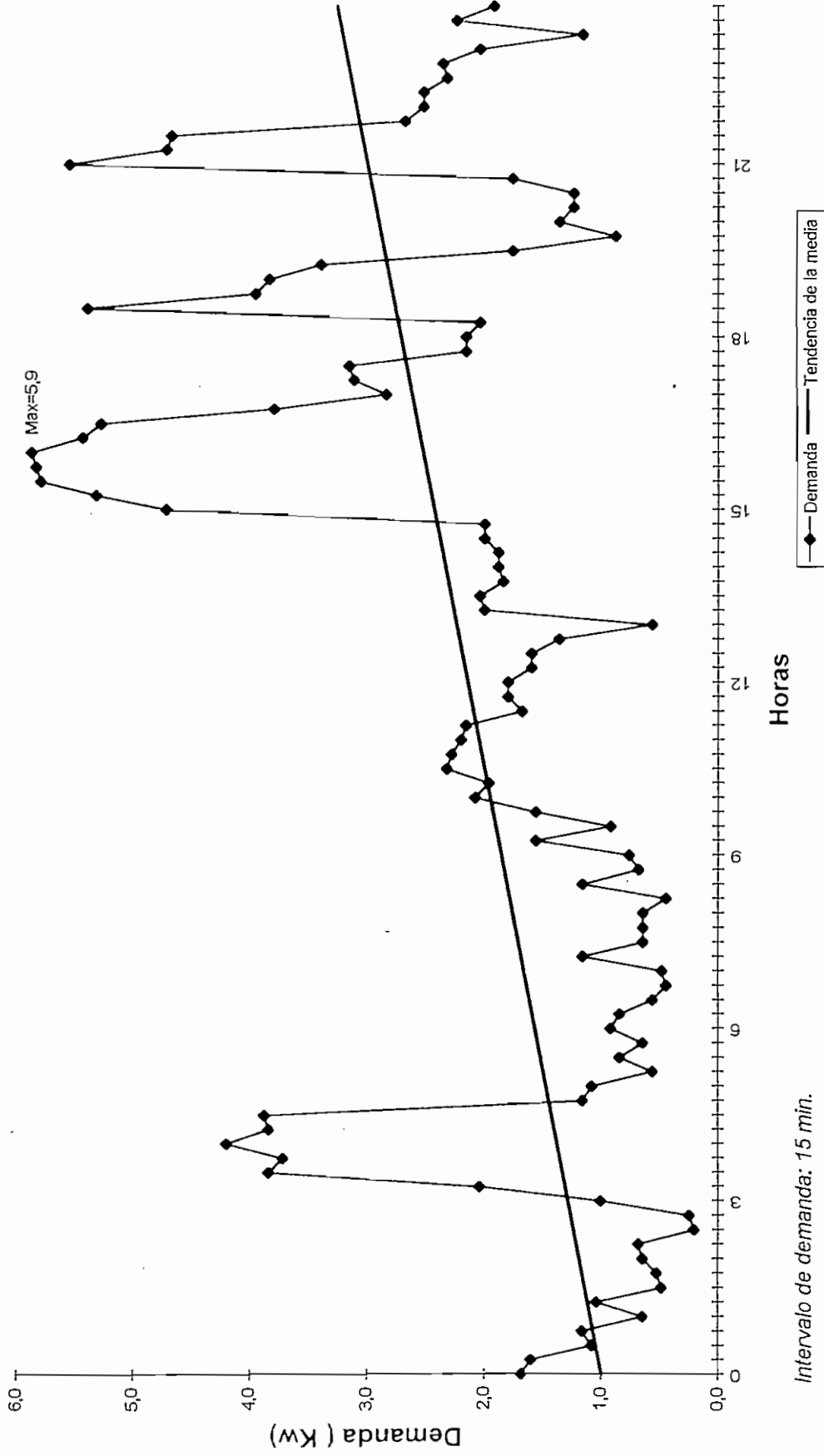
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 1



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 1

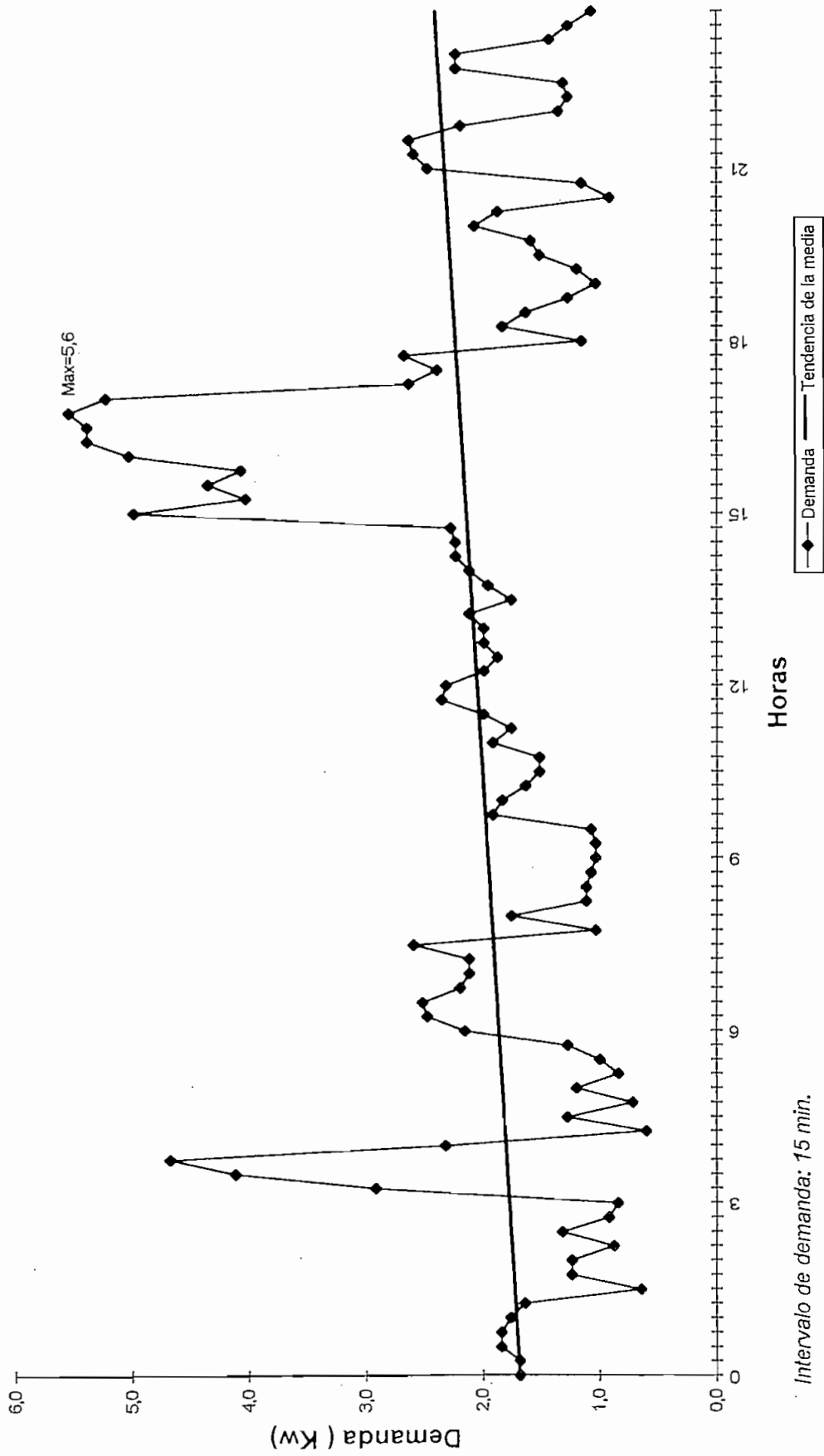


Intervalo de demanda: 15 min.



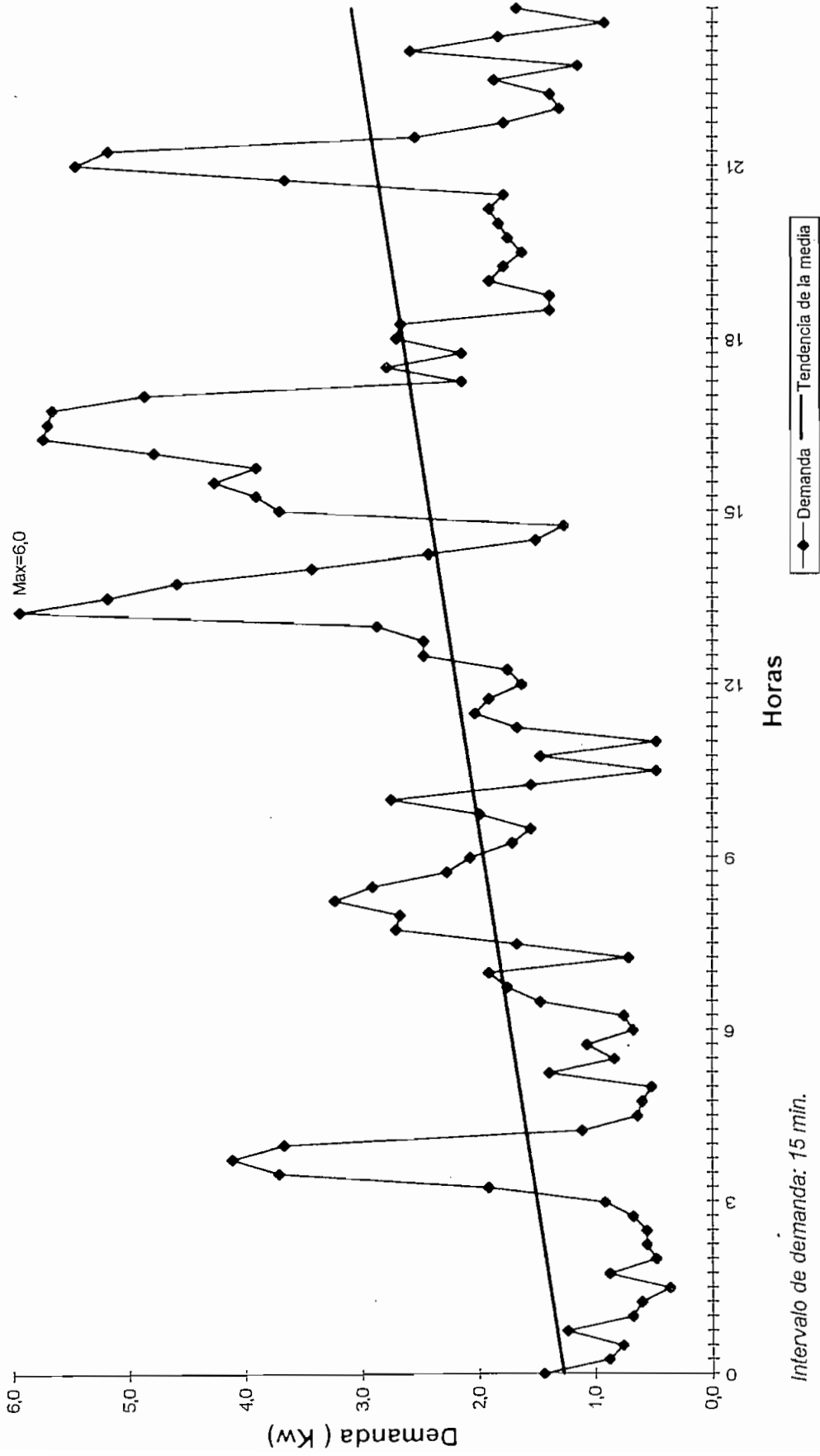
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO I



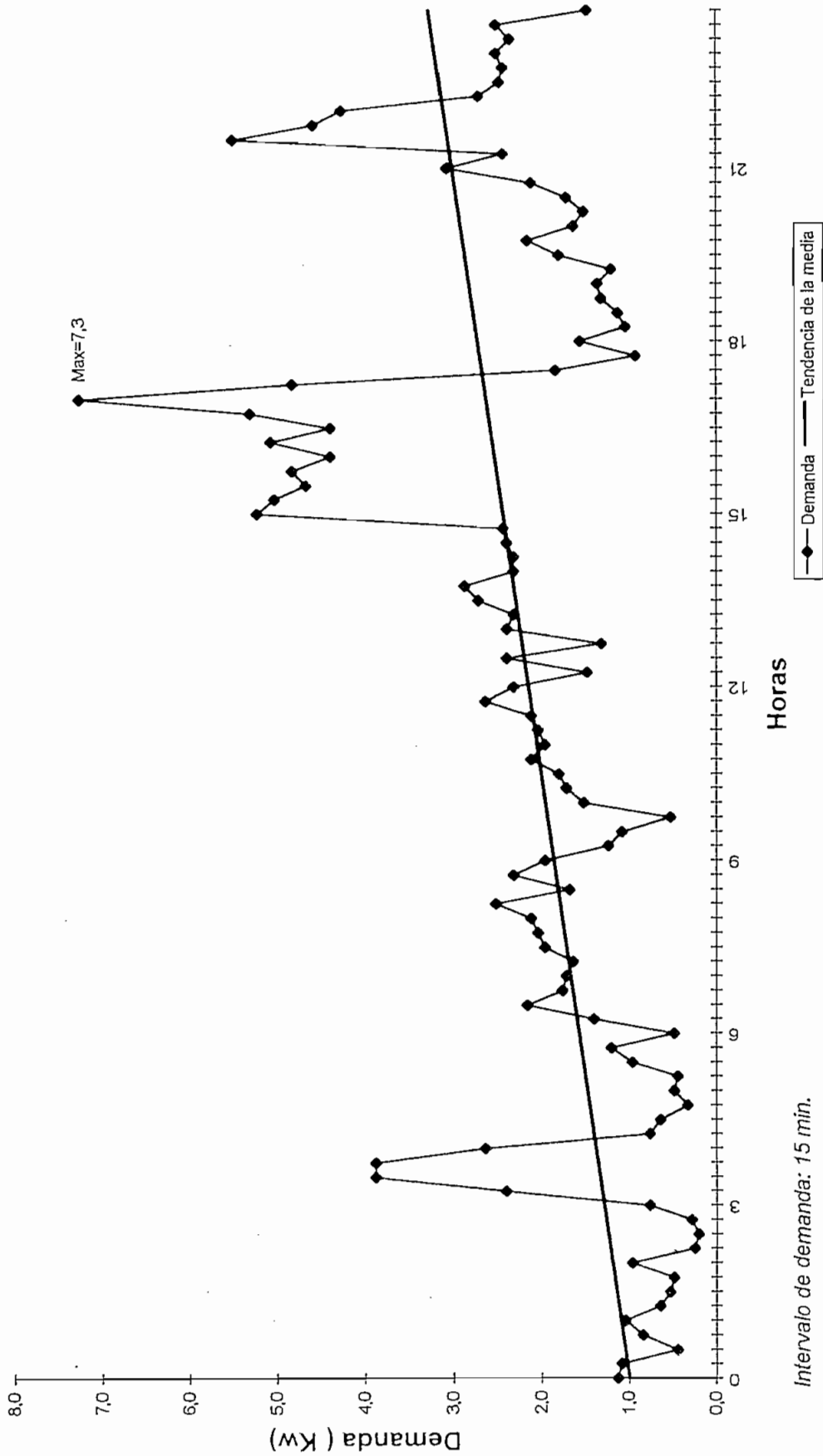
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO I



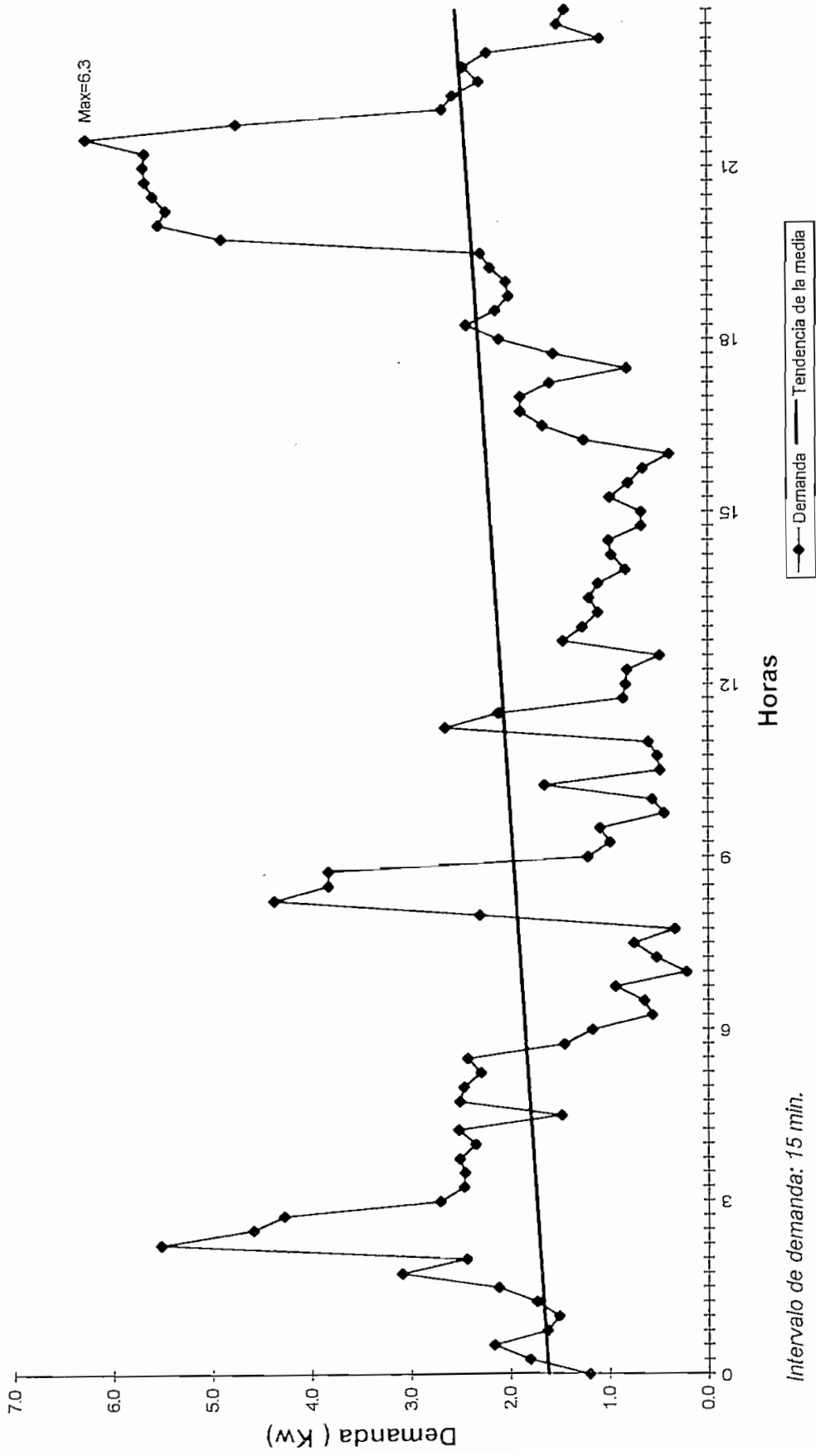
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 1



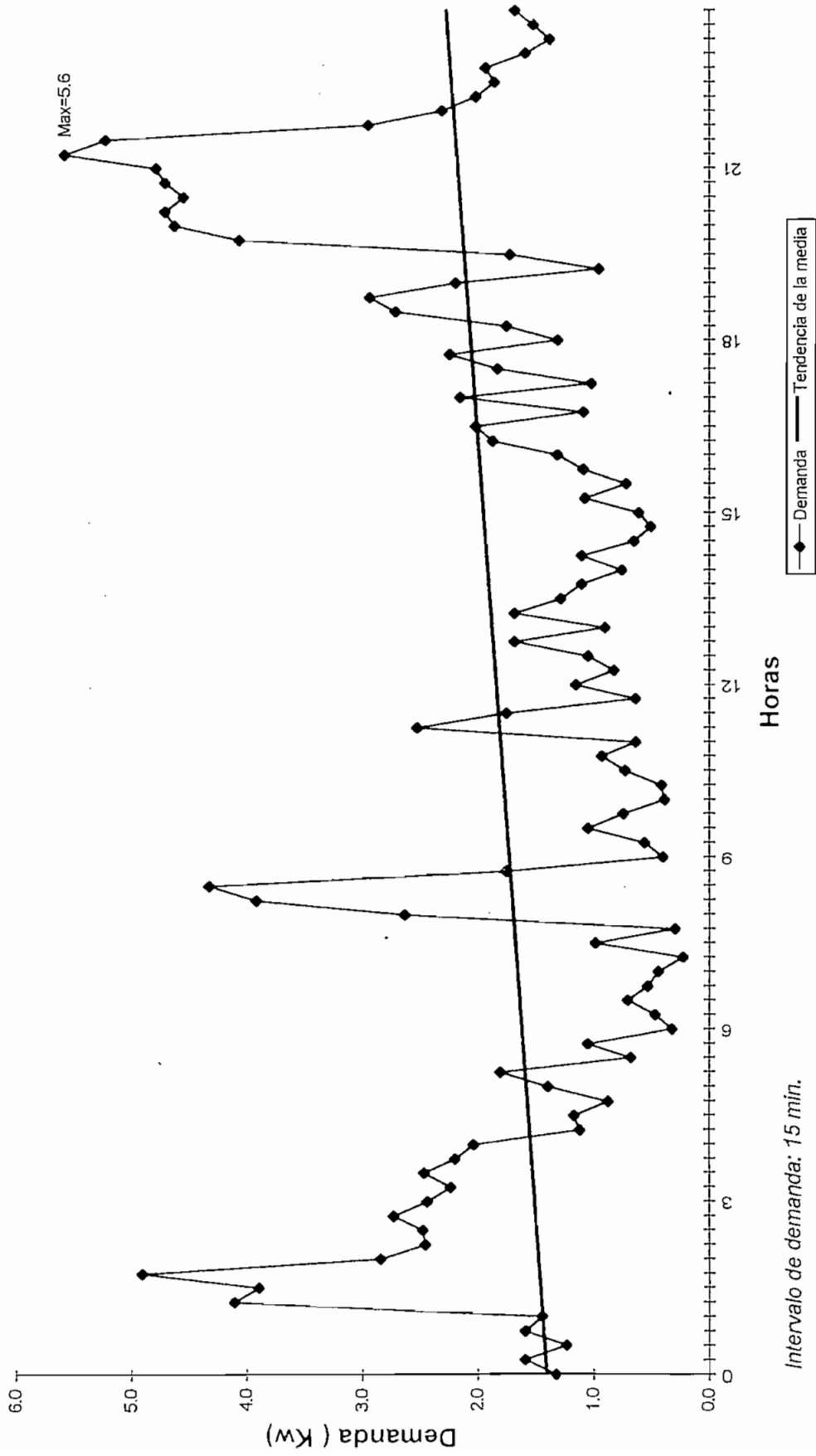
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 1



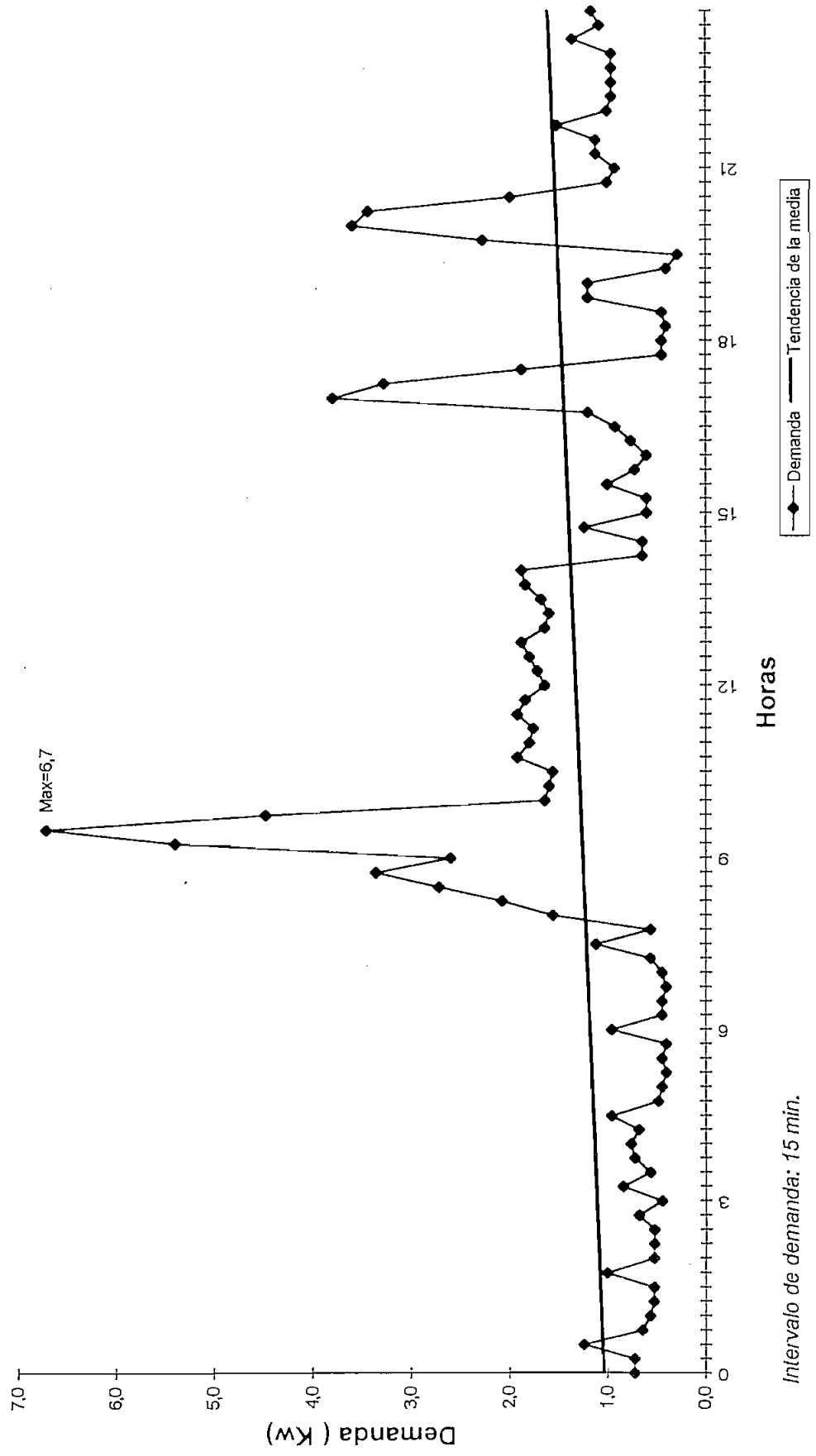
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO I



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

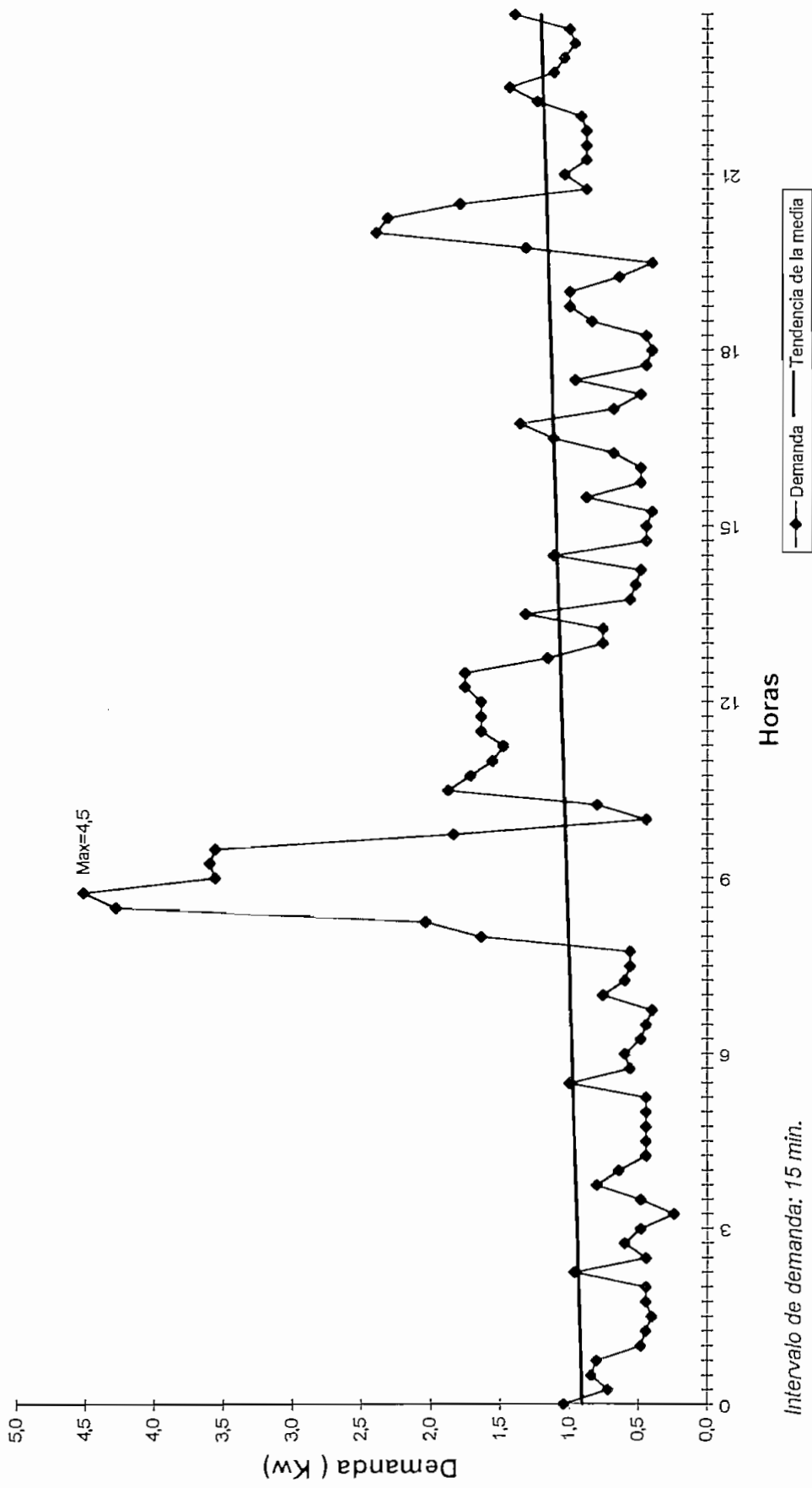
## DEPARTAMENTO 2



Intervalo de demanda: 15 min.

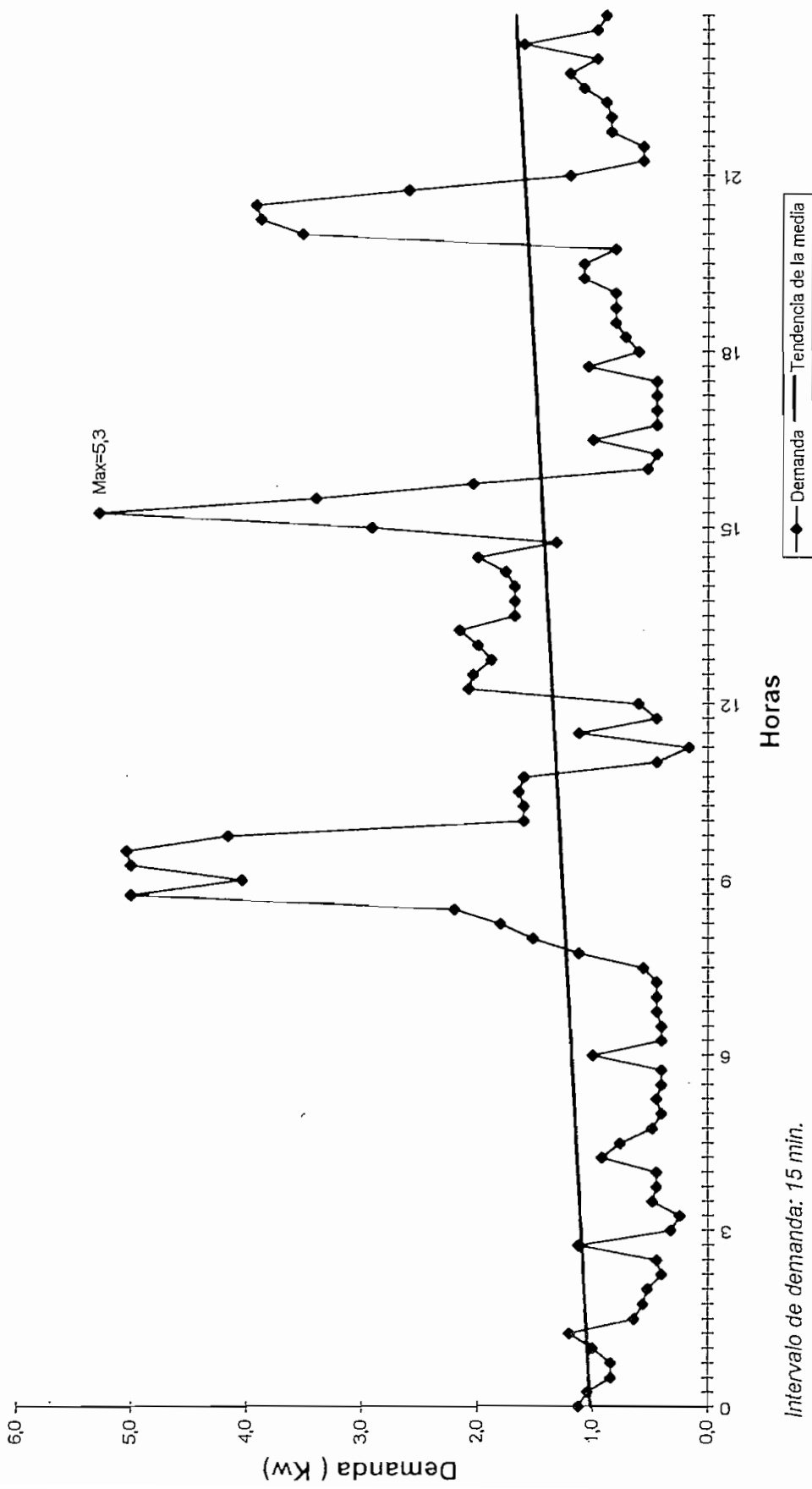
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 2



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 2

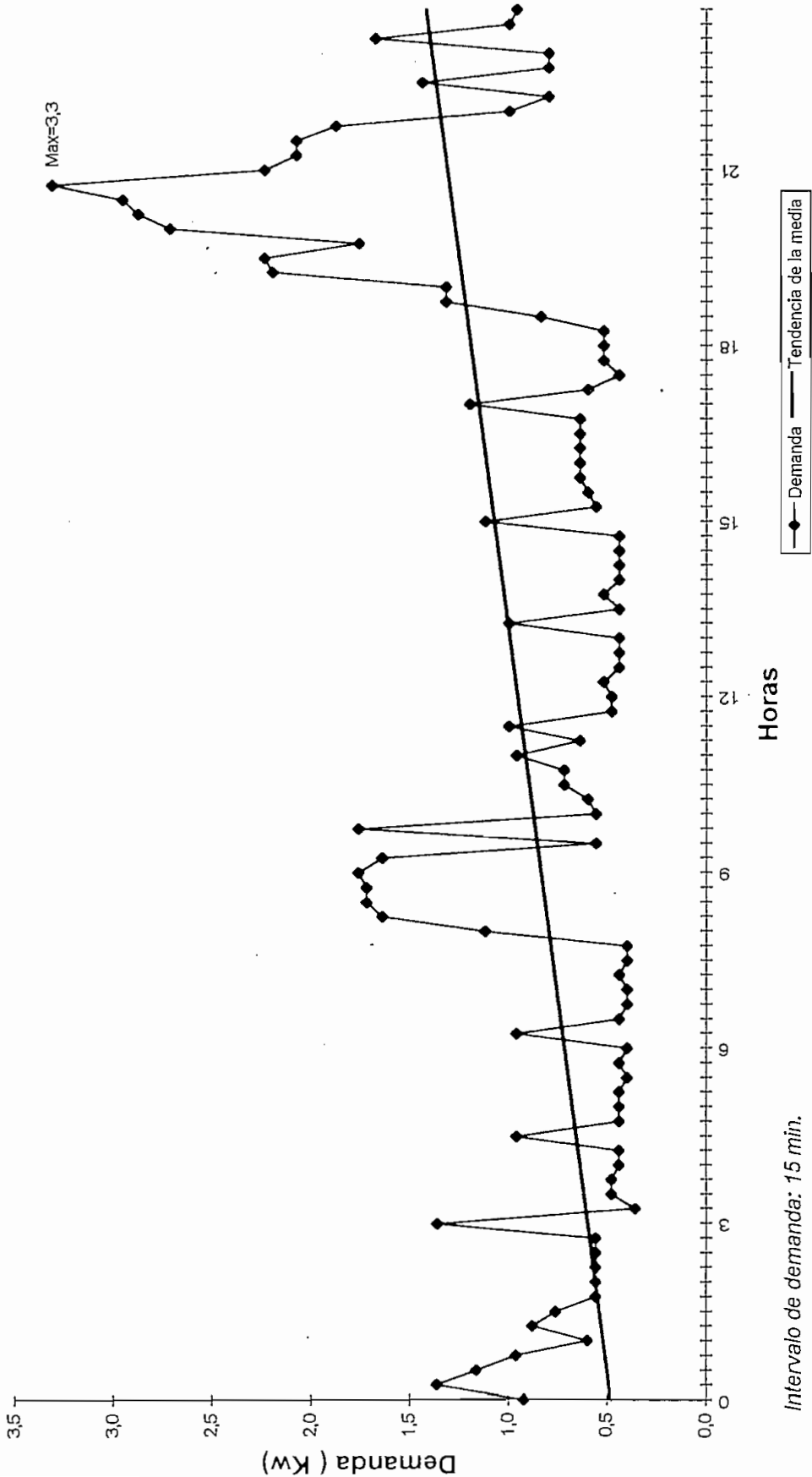


Intervalo de demanda: 15 min.



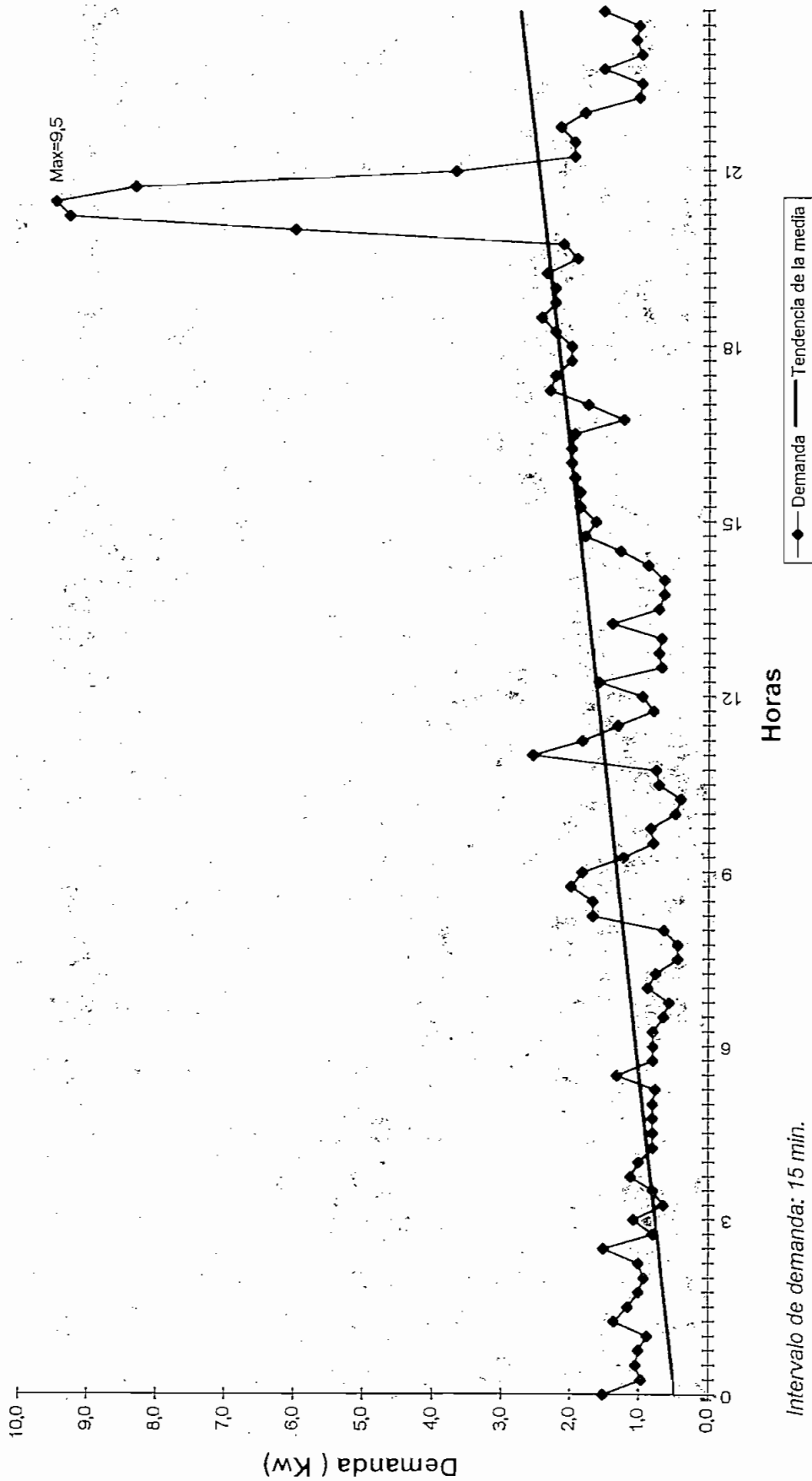
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 2



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

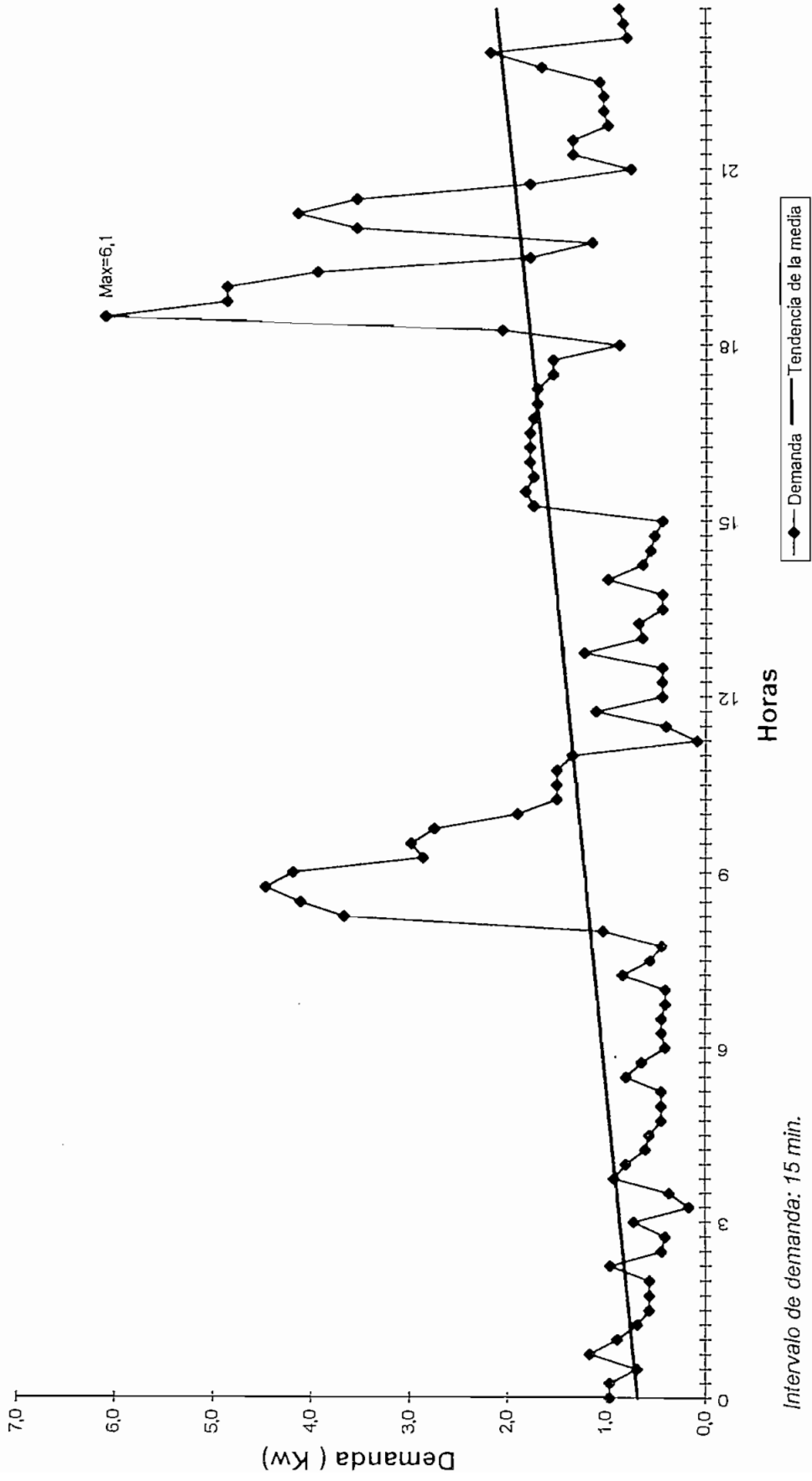
## DEPARTAMENTO 2



Intervalo de demanda: 15 min.

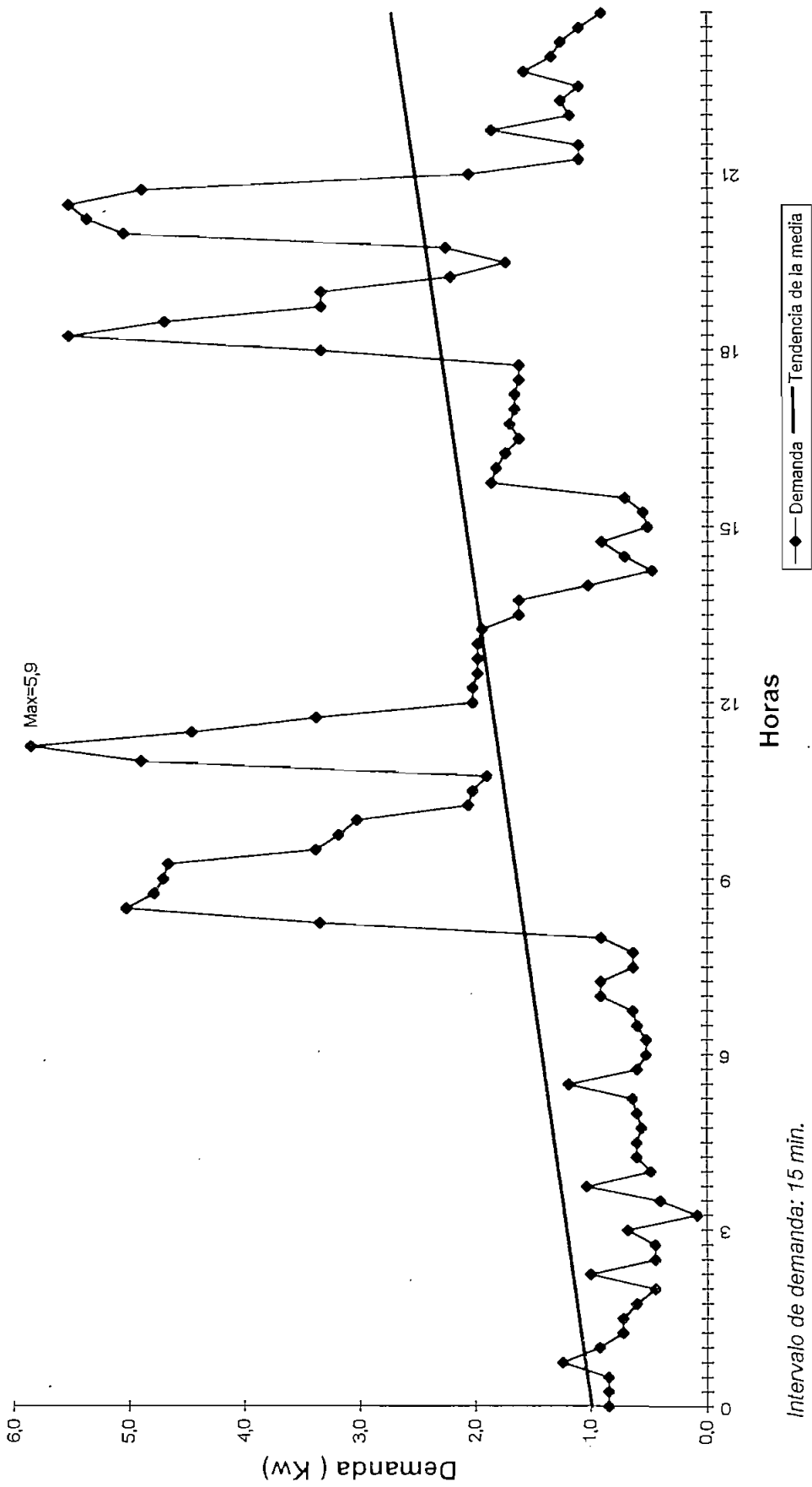
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 2



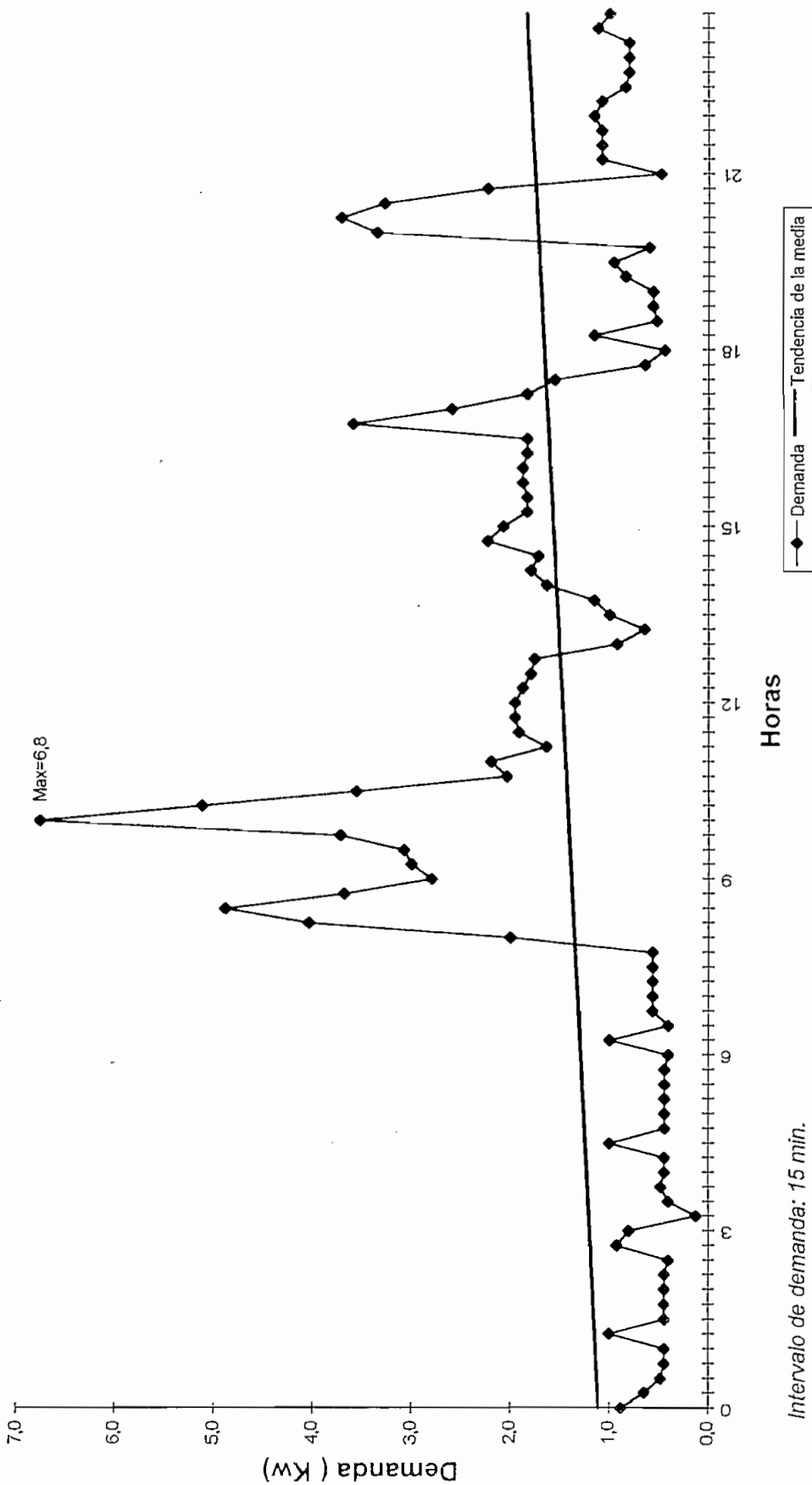
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 2



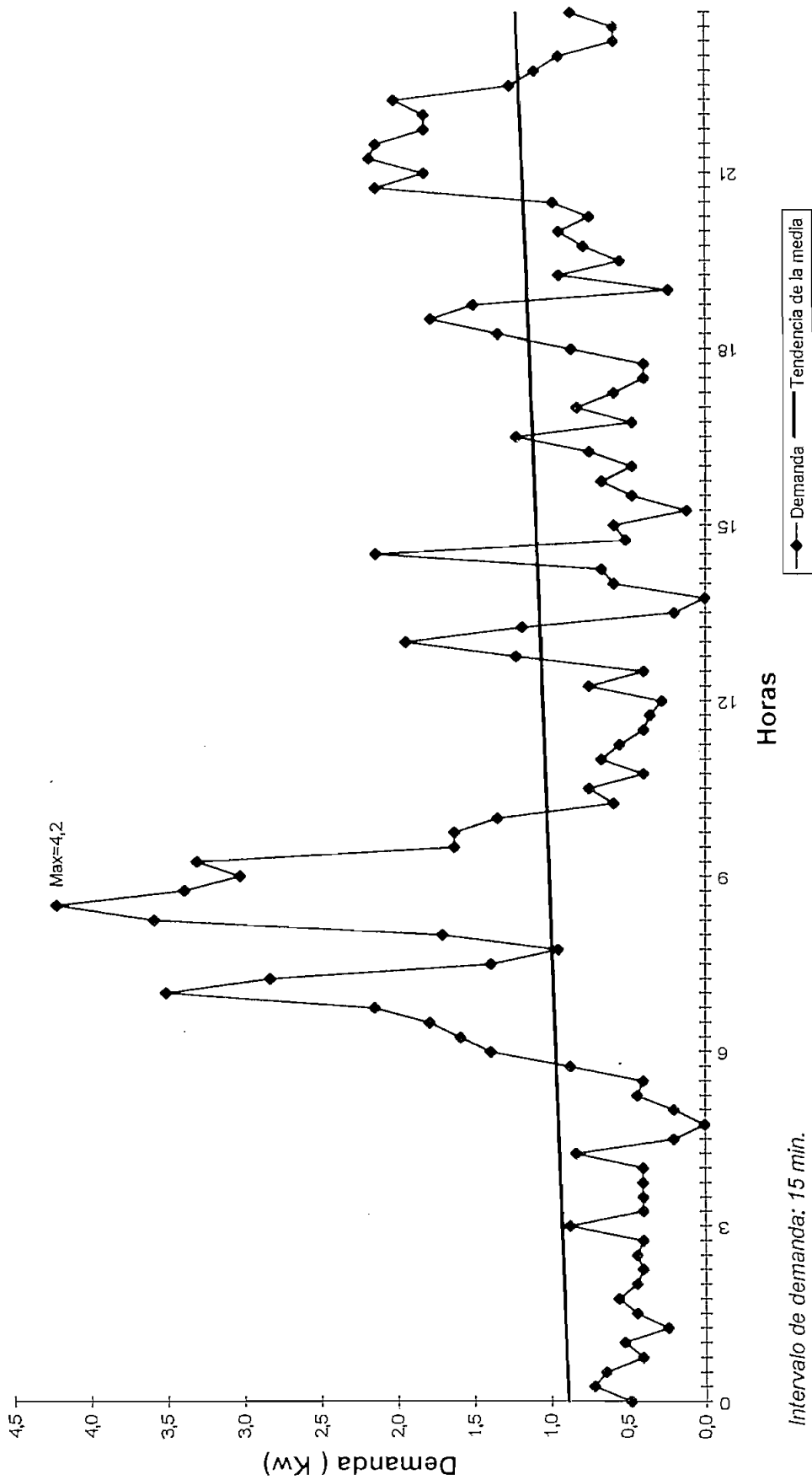
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 2



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

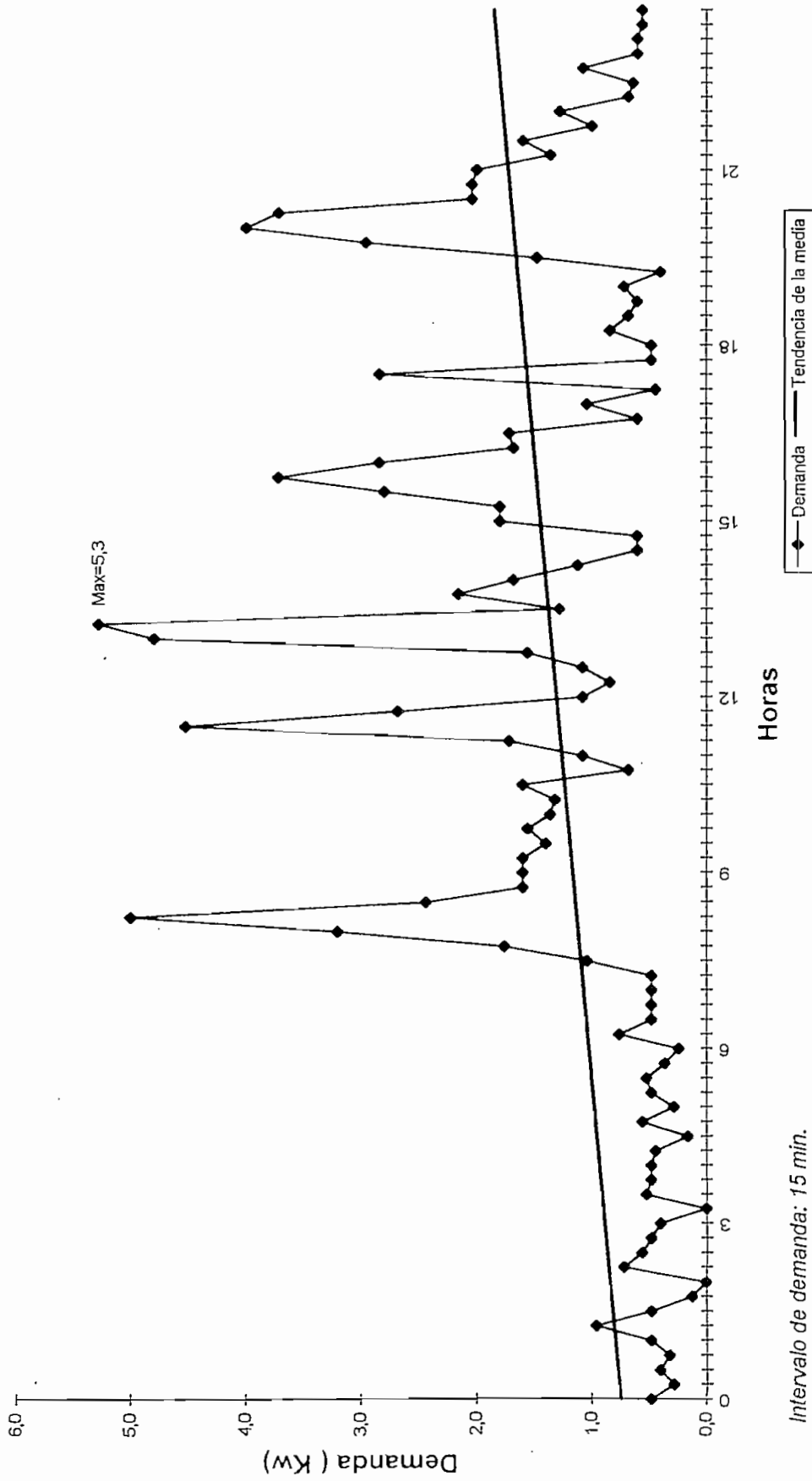
## DEPARTAMENTO 3



Intervalo de demanda: 15 min.

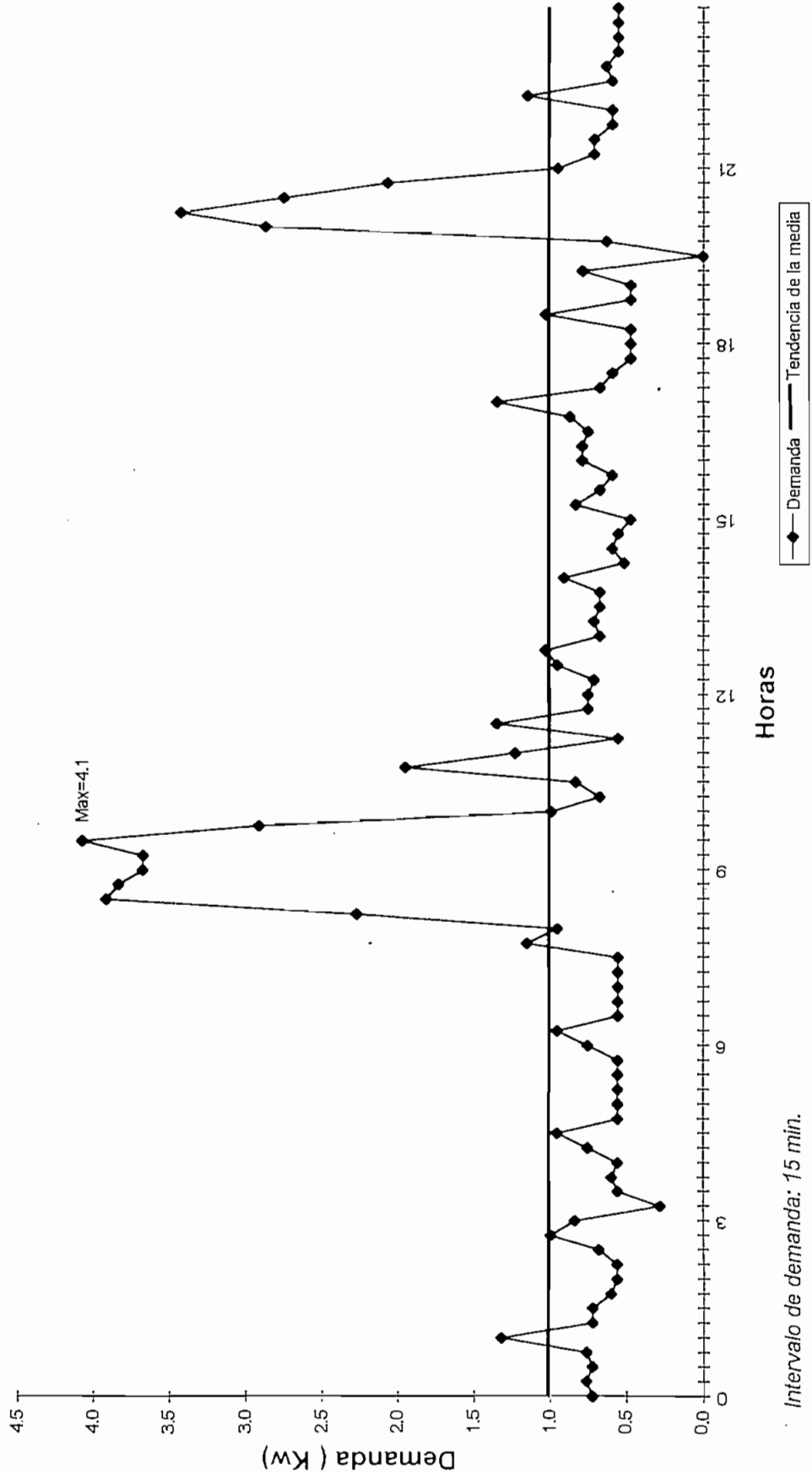
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 3



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

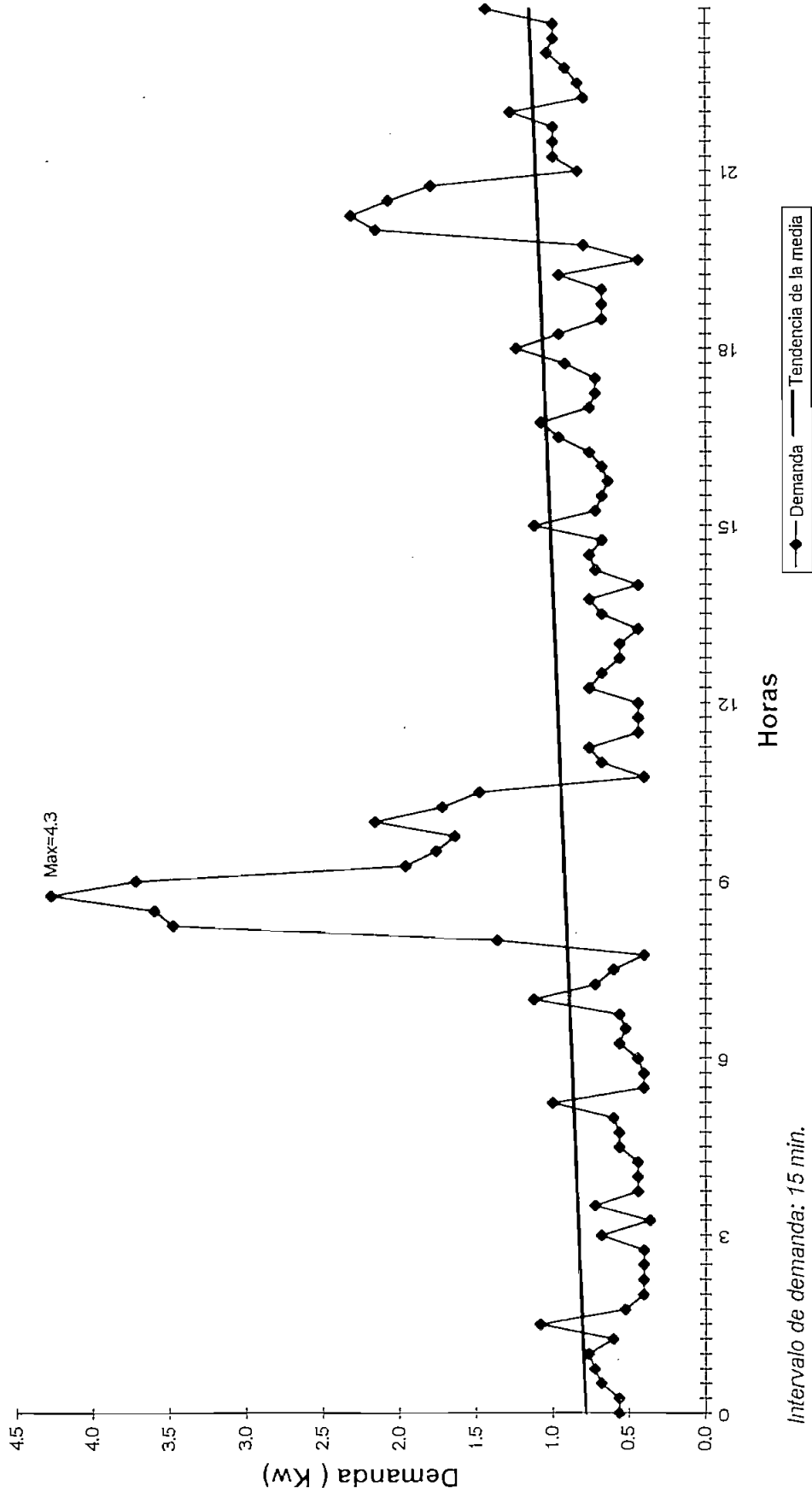
## DEPARTAMENTO 2





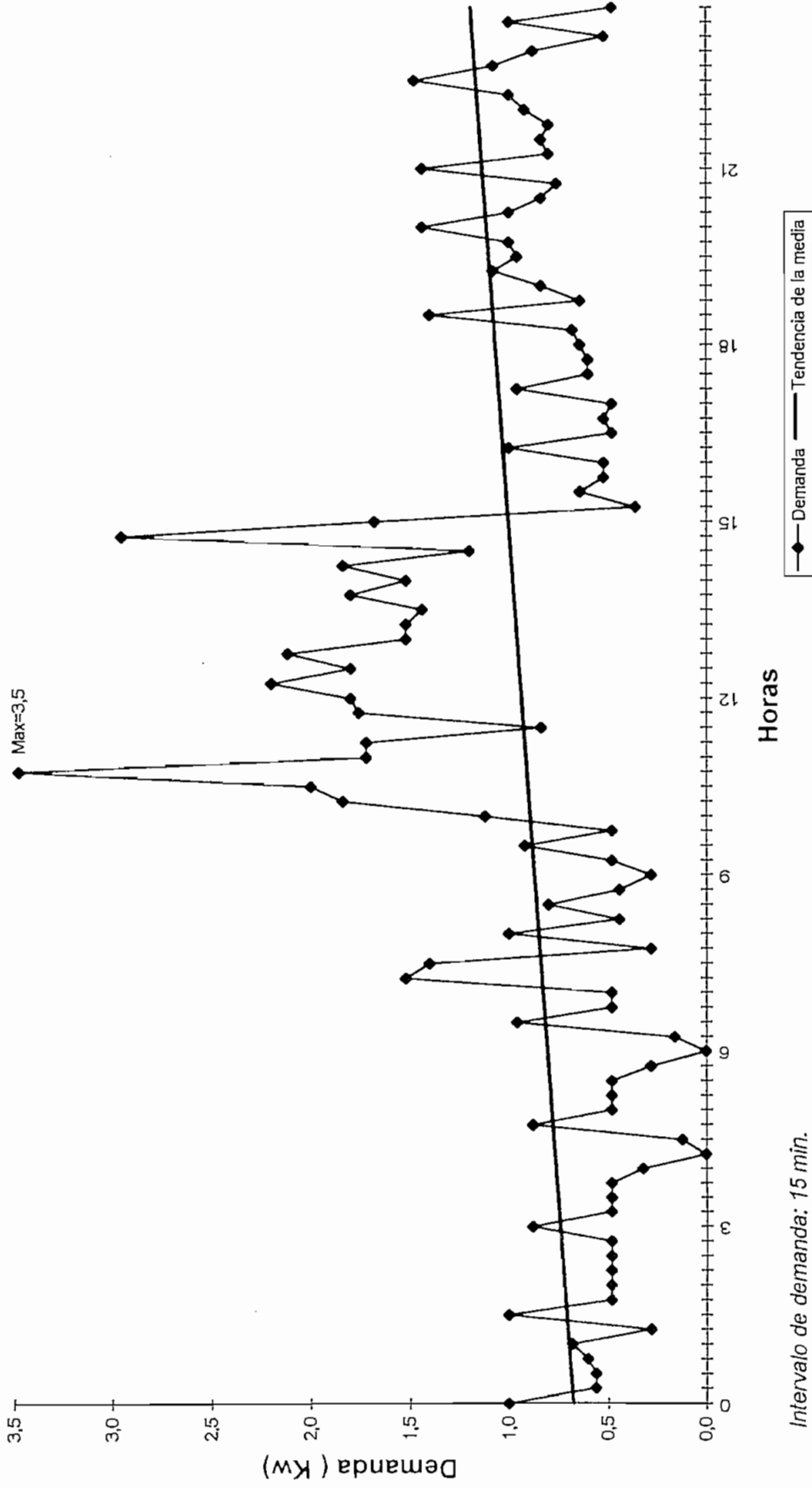
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 2



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

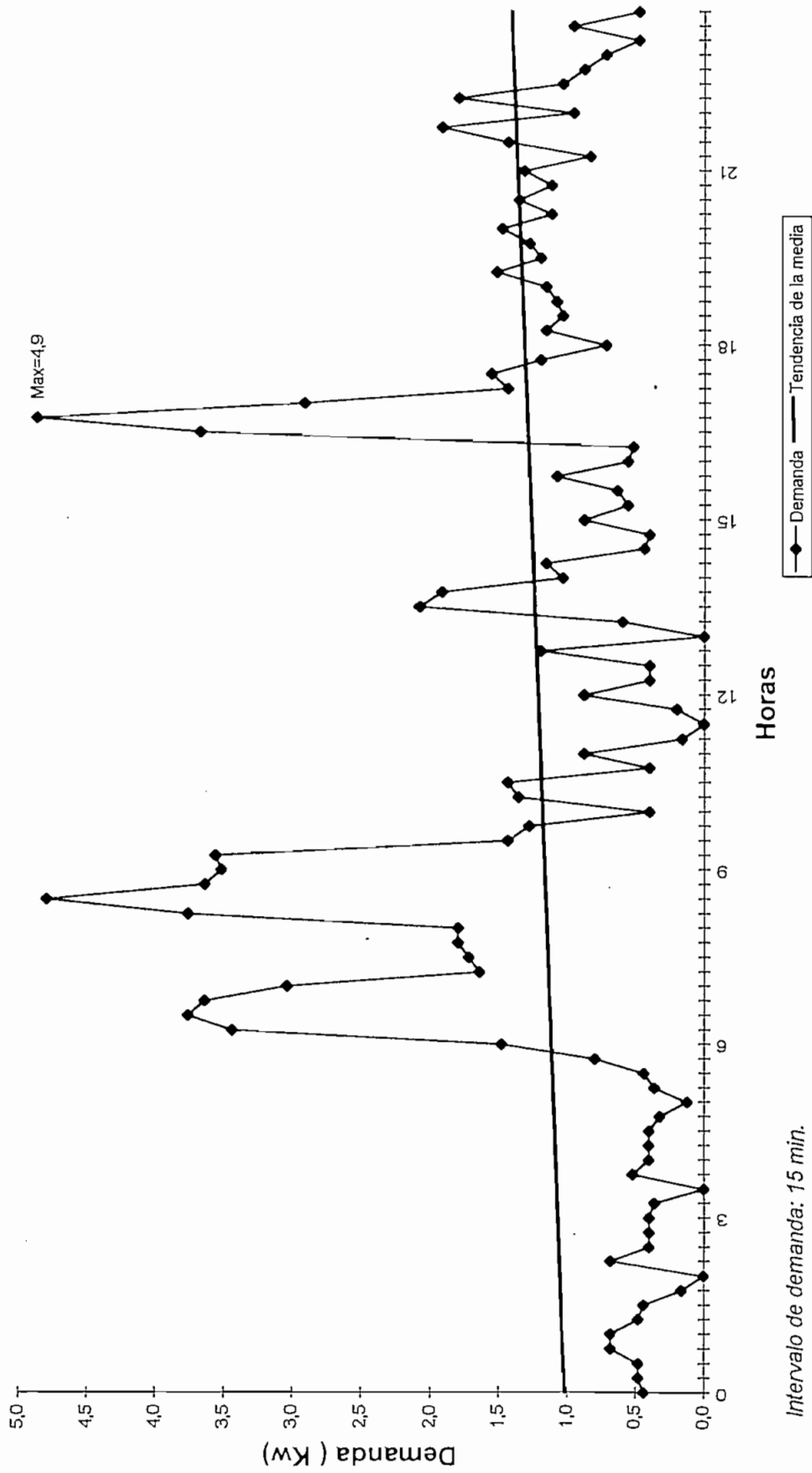
## DEPARTAMENTO 3



Intervalo de demanda: 15 min.

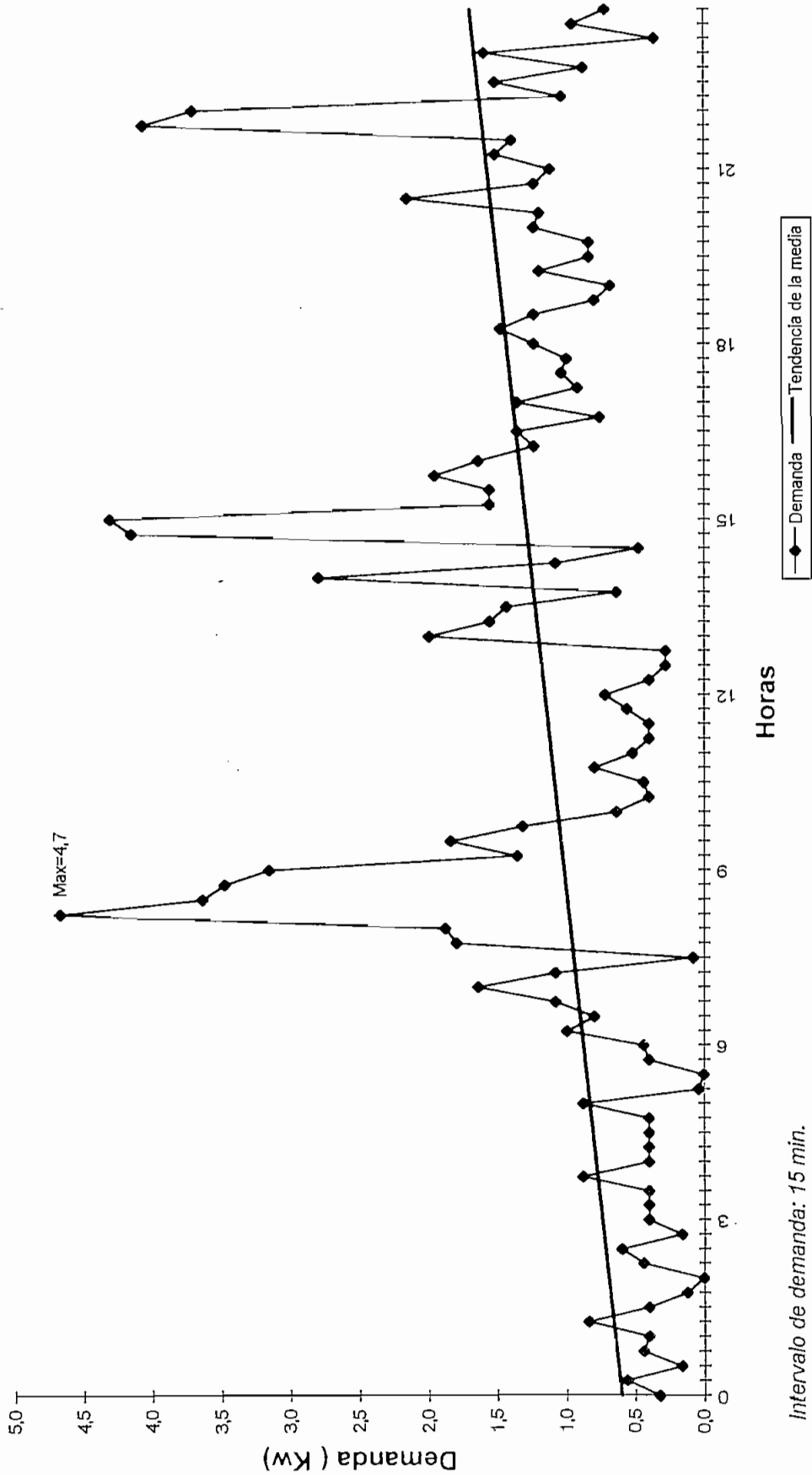
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 3



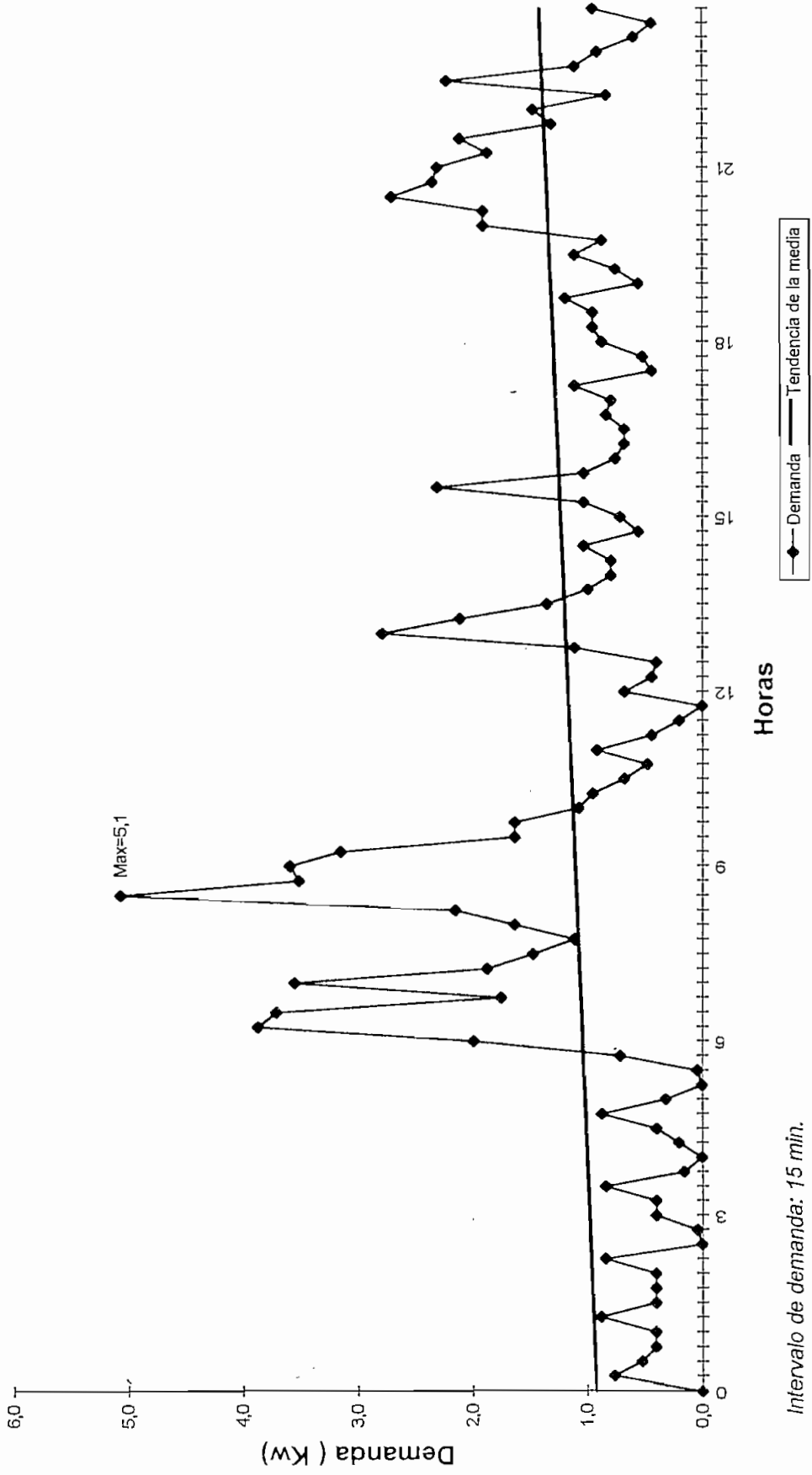
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 3



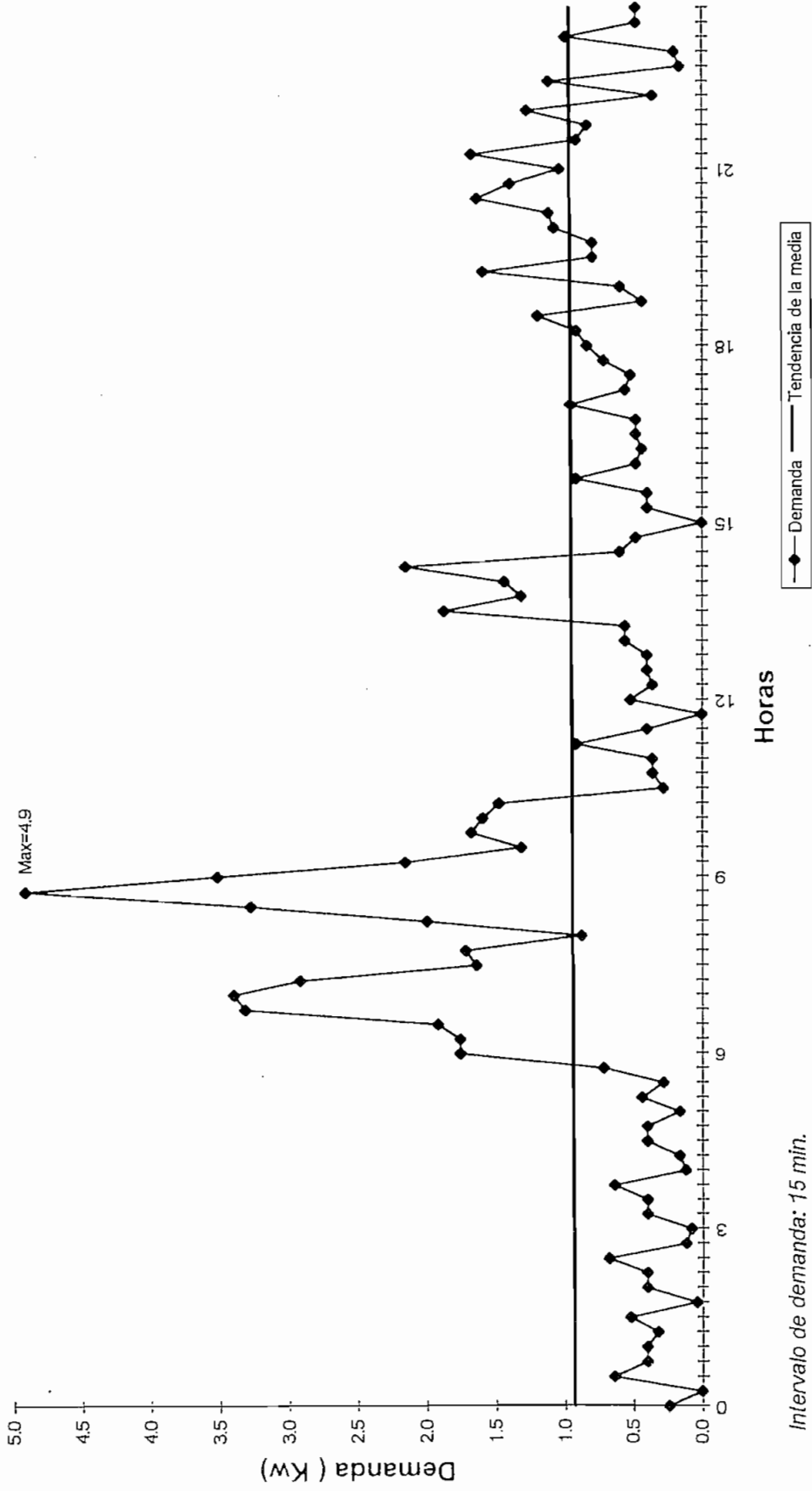
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 3



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

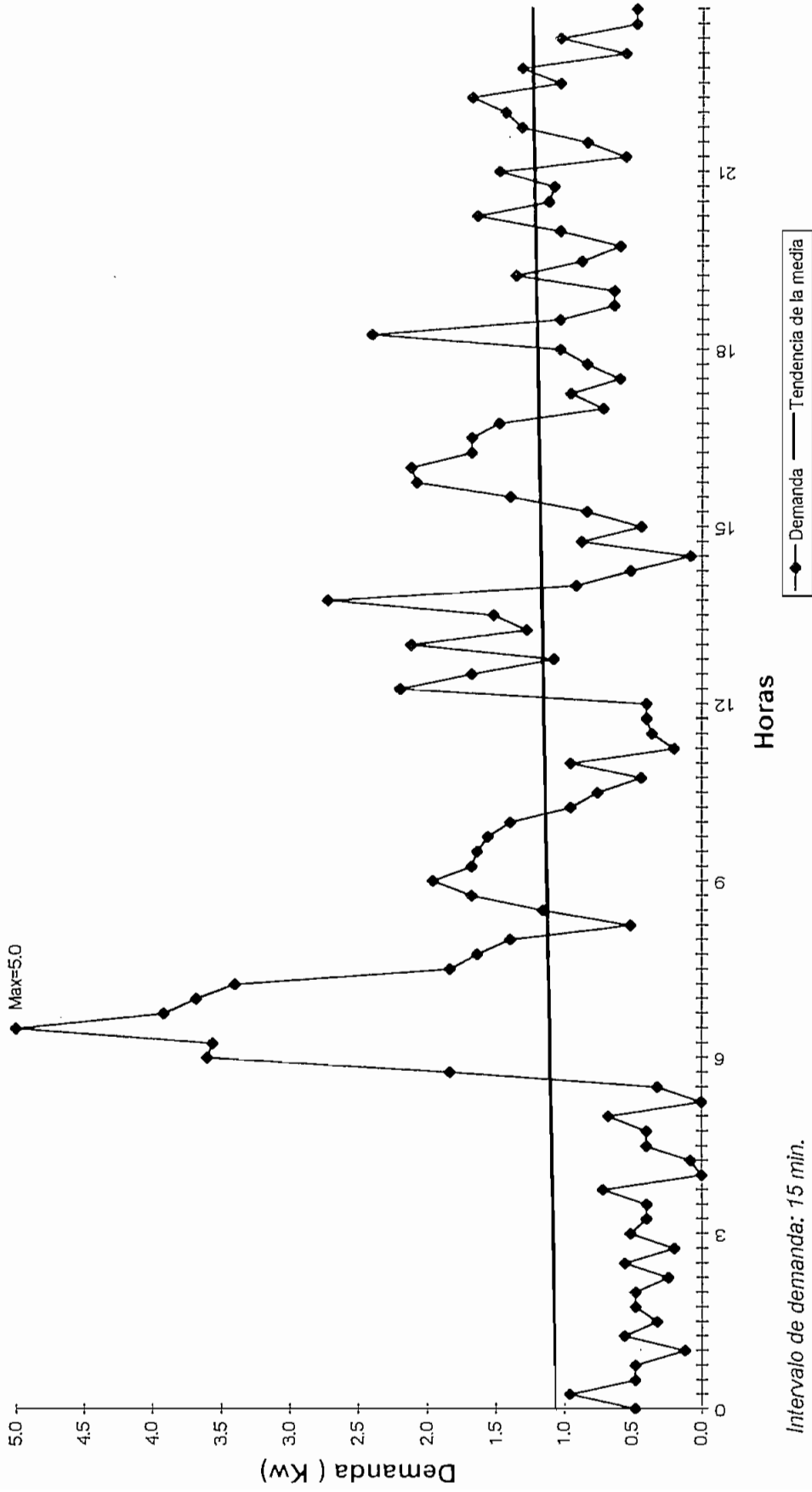
## DEPARTAMENTO 3



Intervalo de demanda: 15 min.

# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

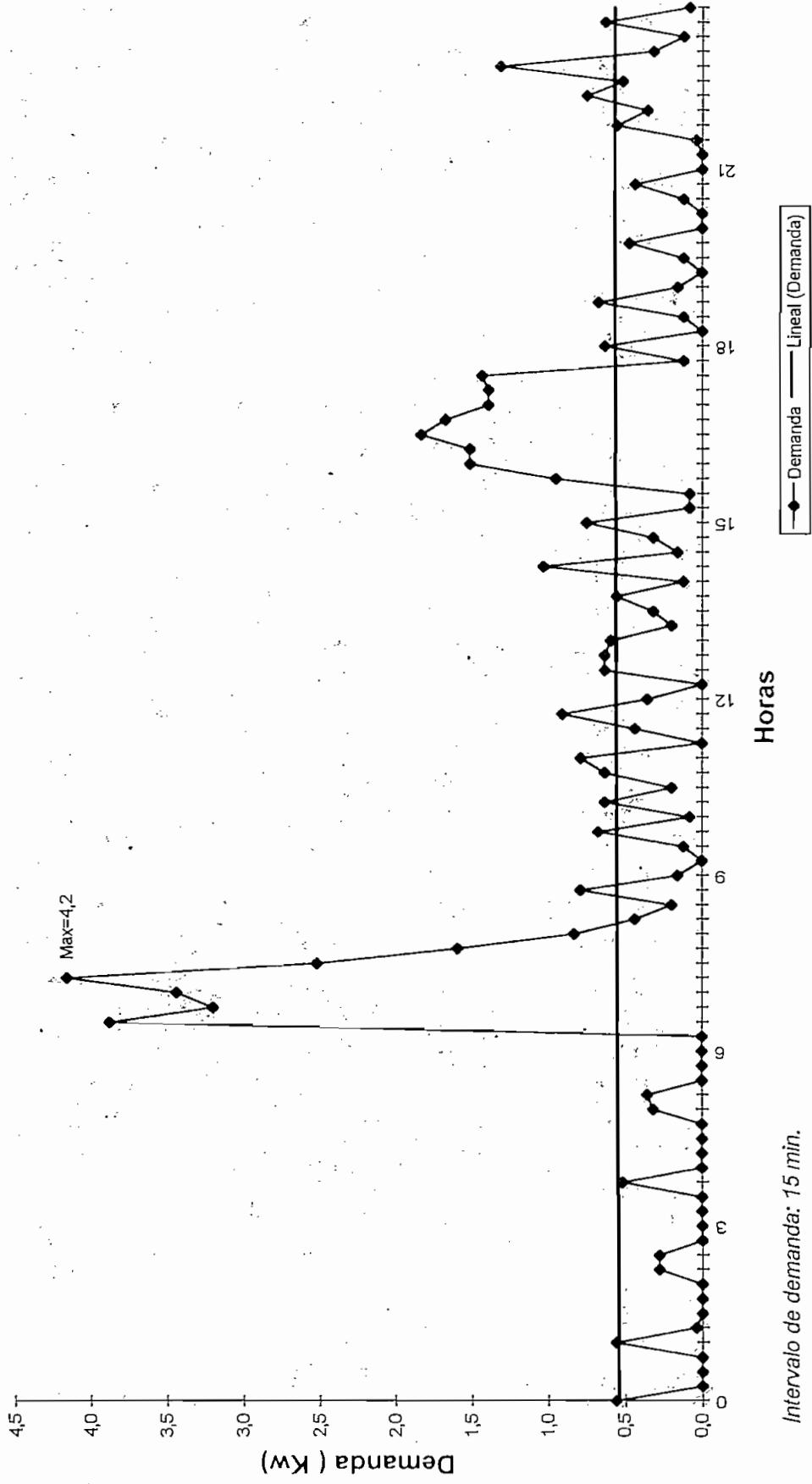
## DEPARTAMENTO 3



Intervalo de demanda: 15 min.

# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

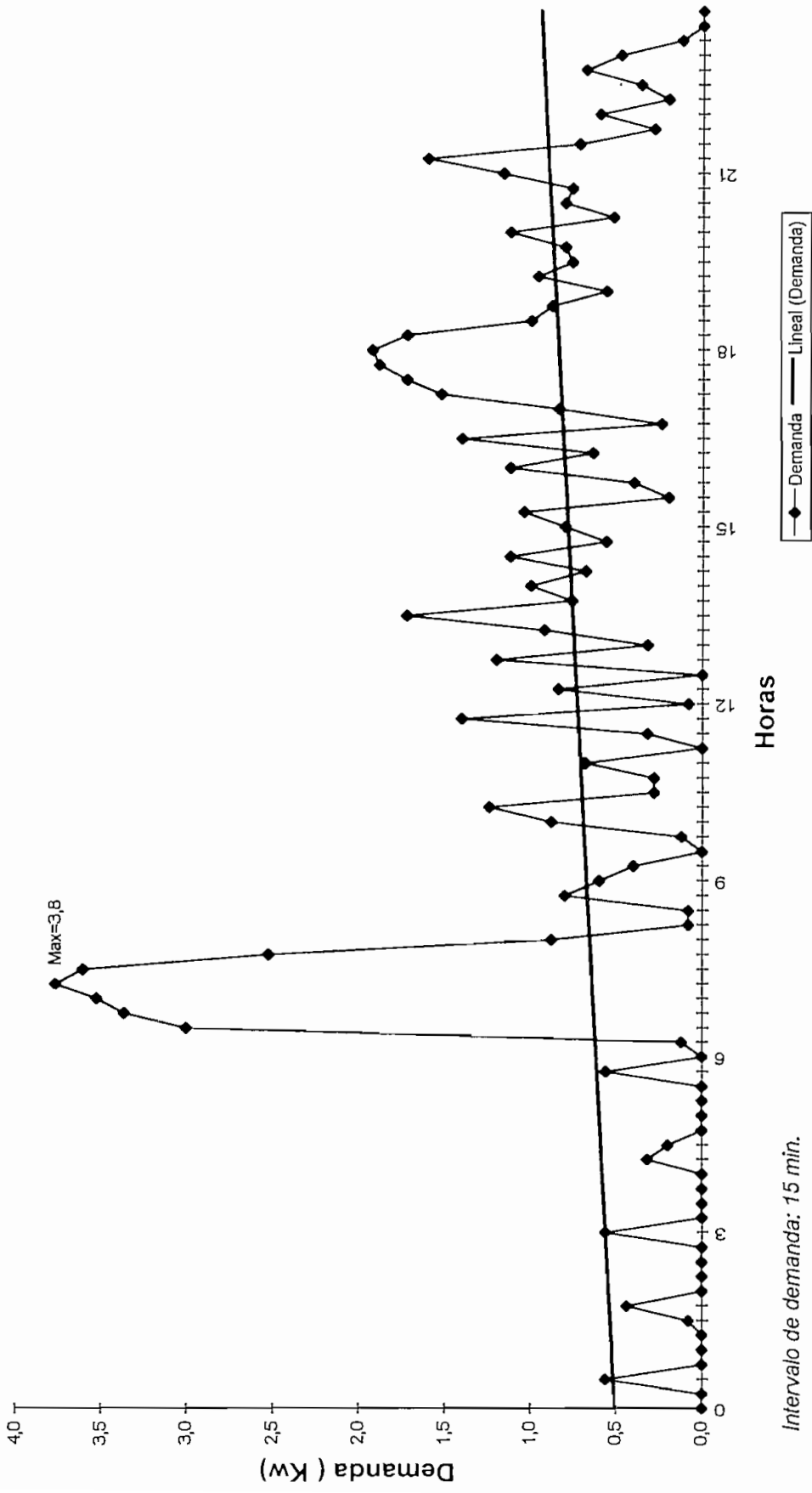
## DEPARTAMENTO 4





# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

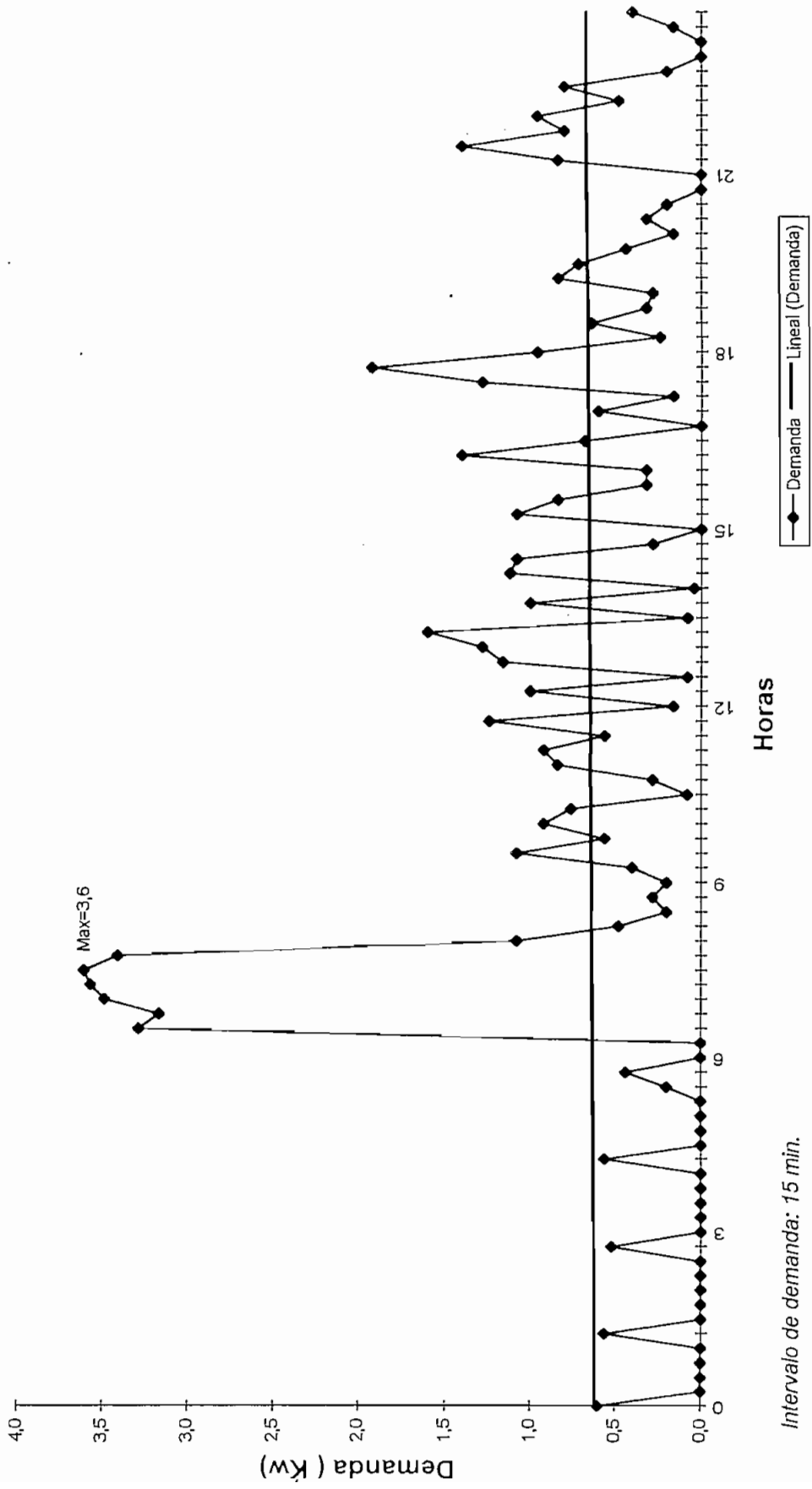
## DEPARTAMENTO 4



Intervalo de demanda: 15 min.

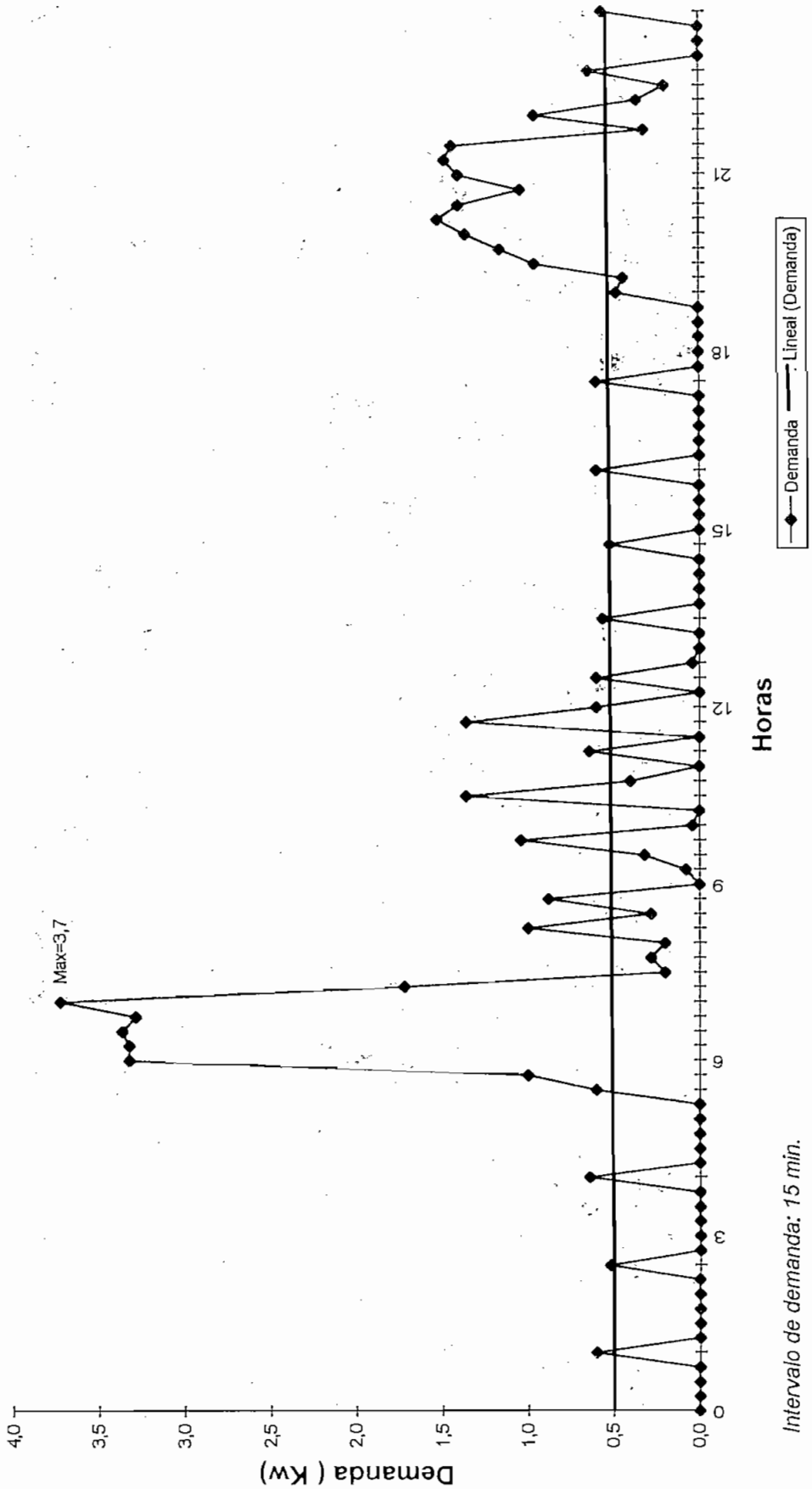
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 4



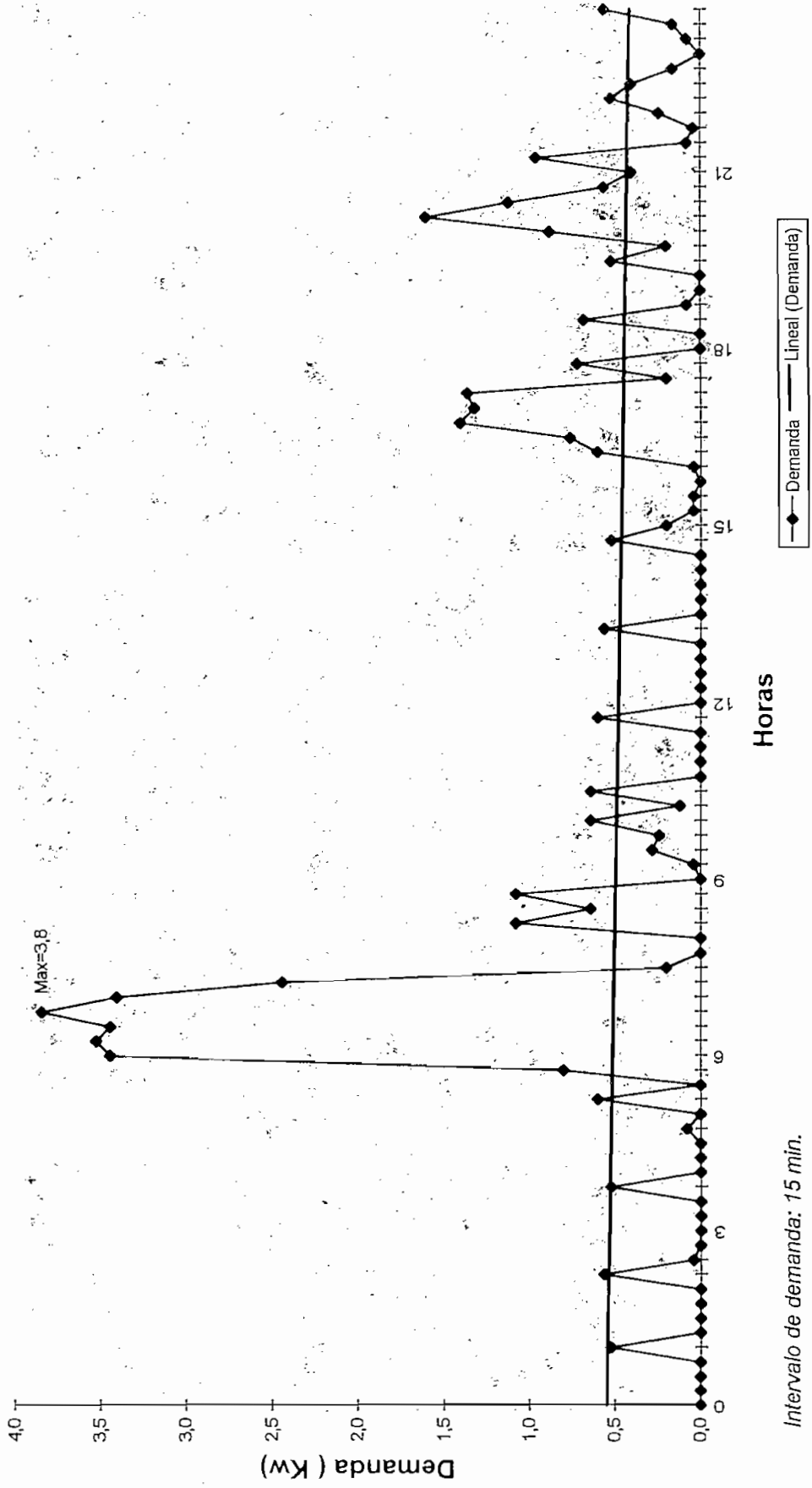
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 4



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

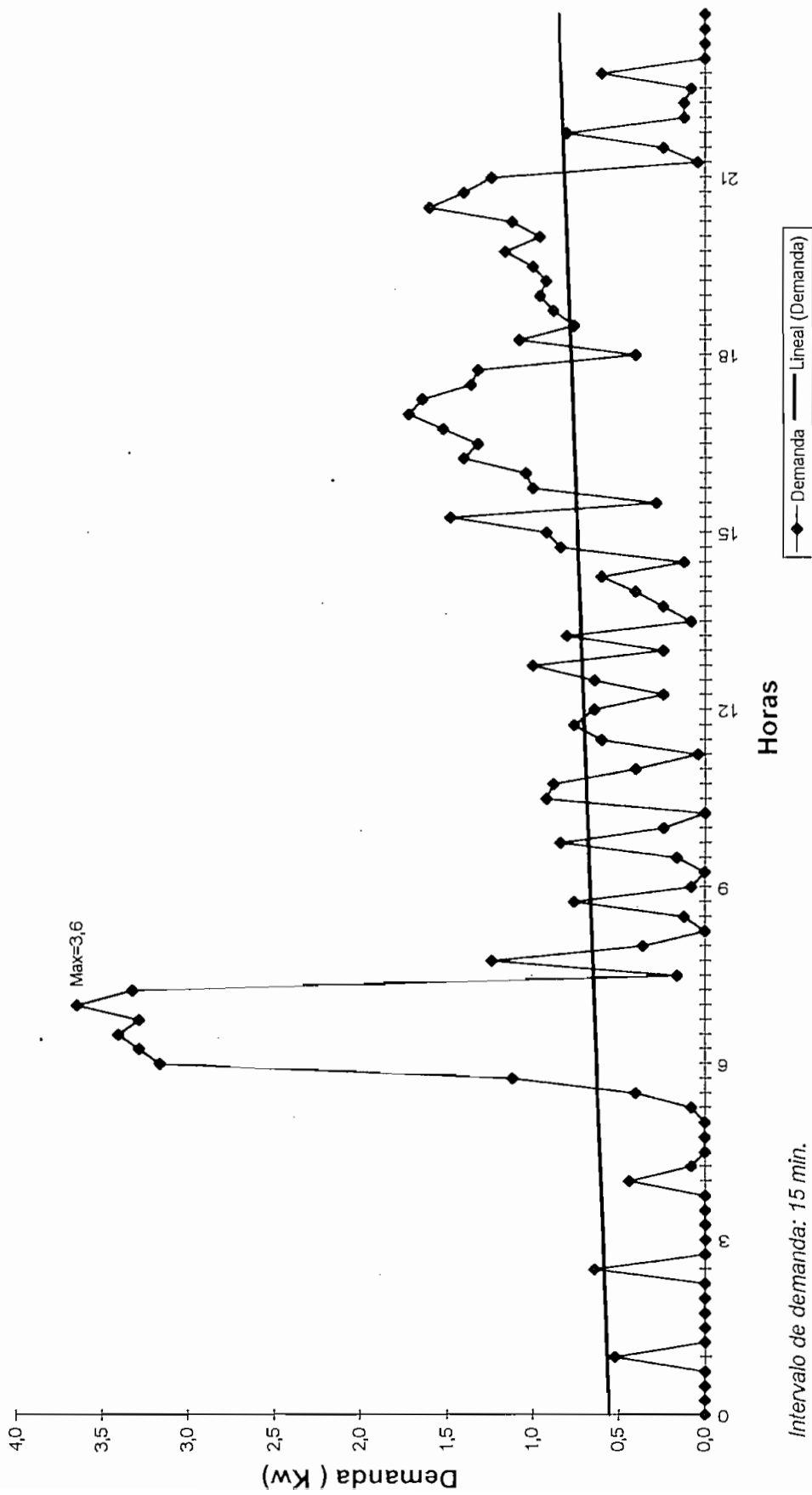
## DEPARTAMENTO 4



Intervalo de demanda: 15 min.

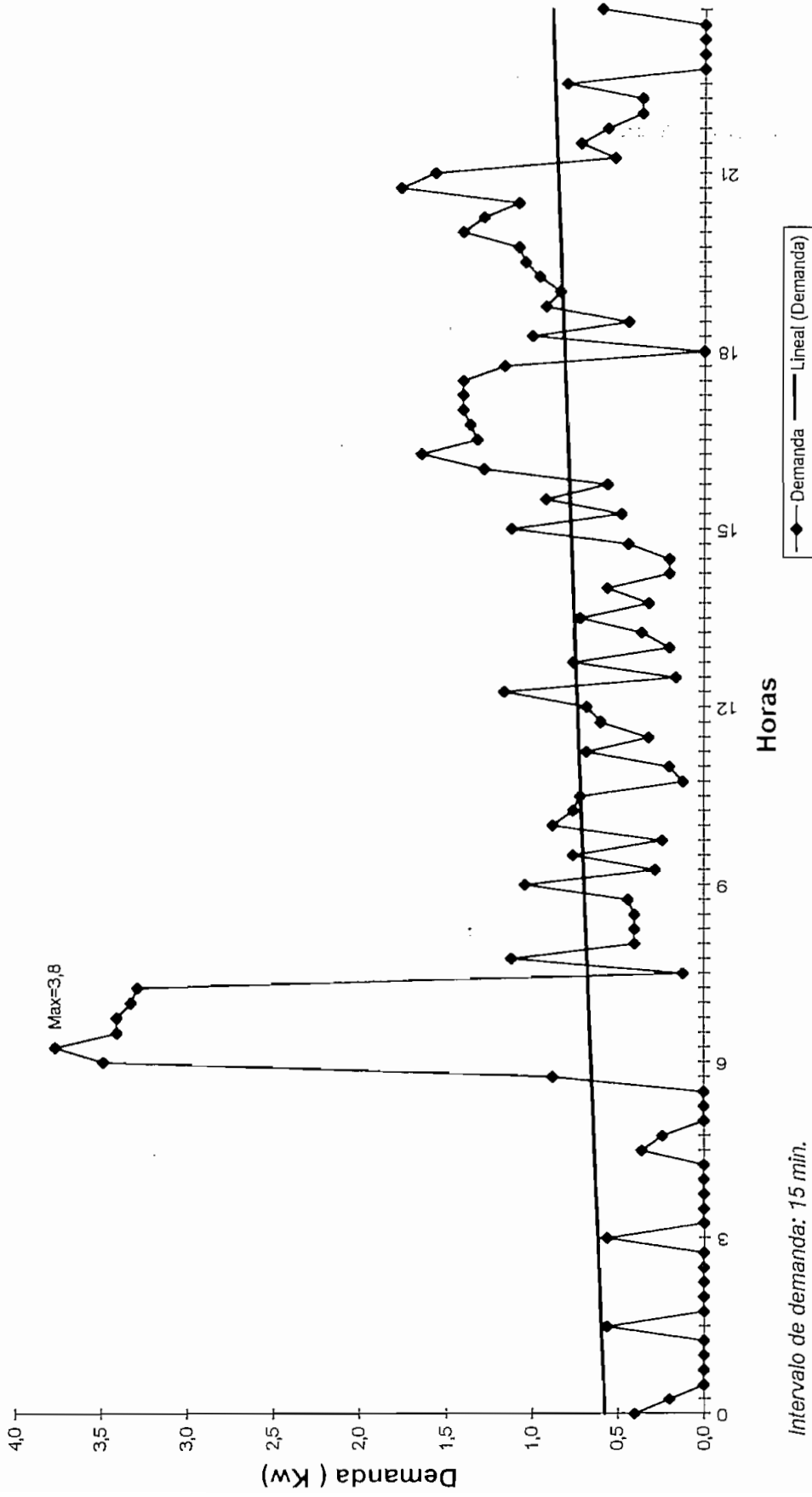
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 4



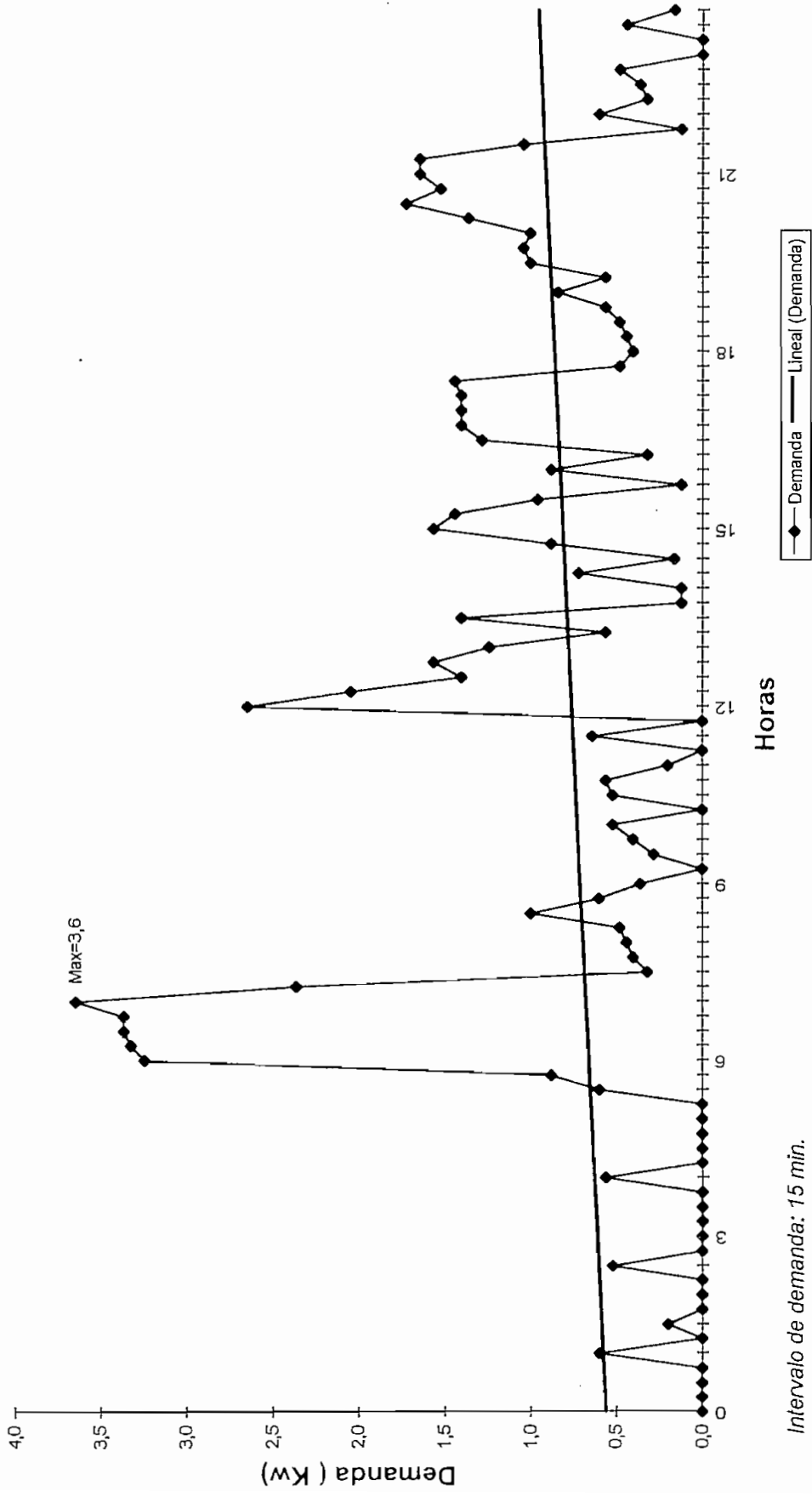
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 4



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

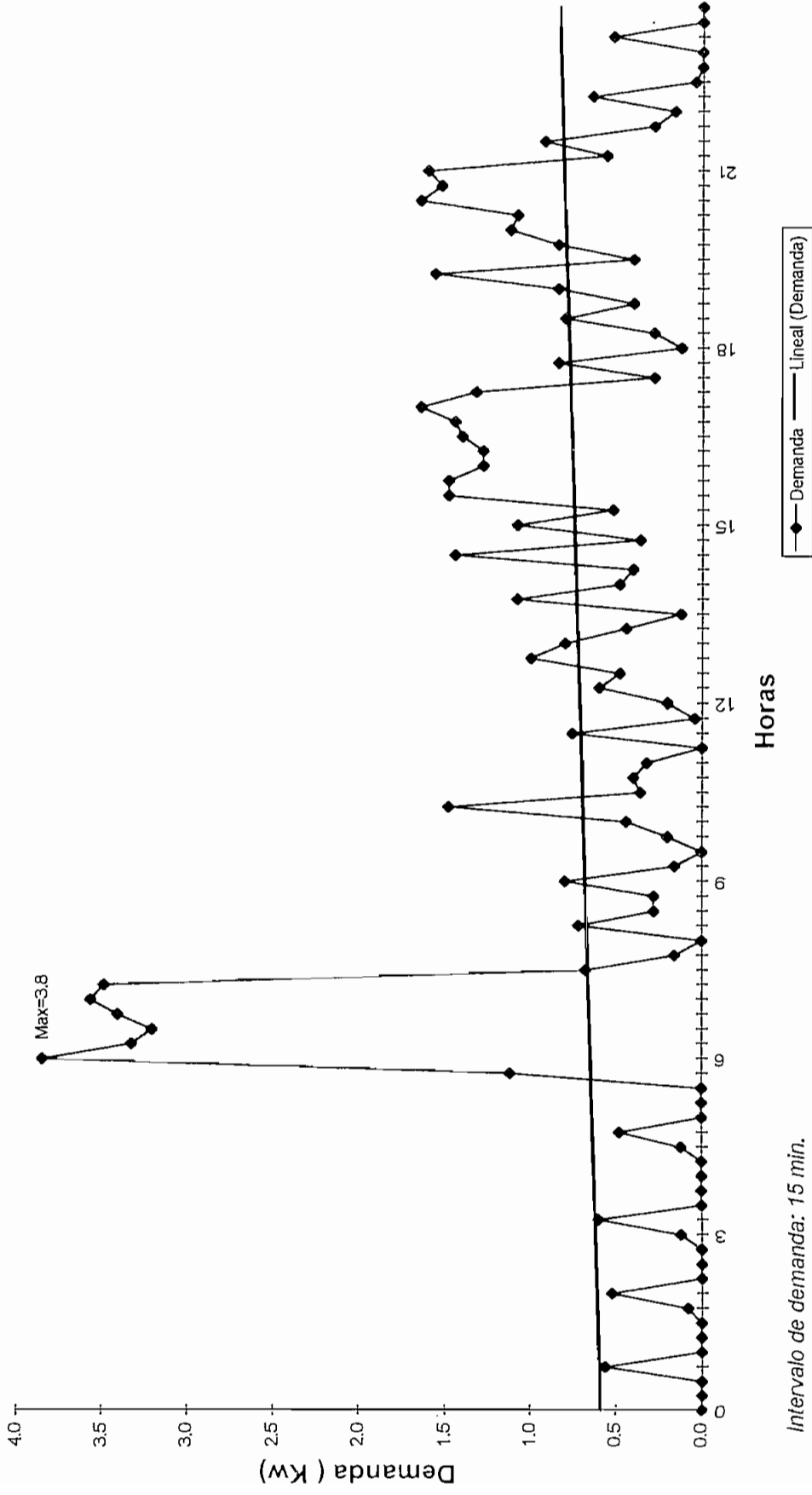
## DEPARTAMENTO 4



Intervalo de demanda: 15 min.

# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

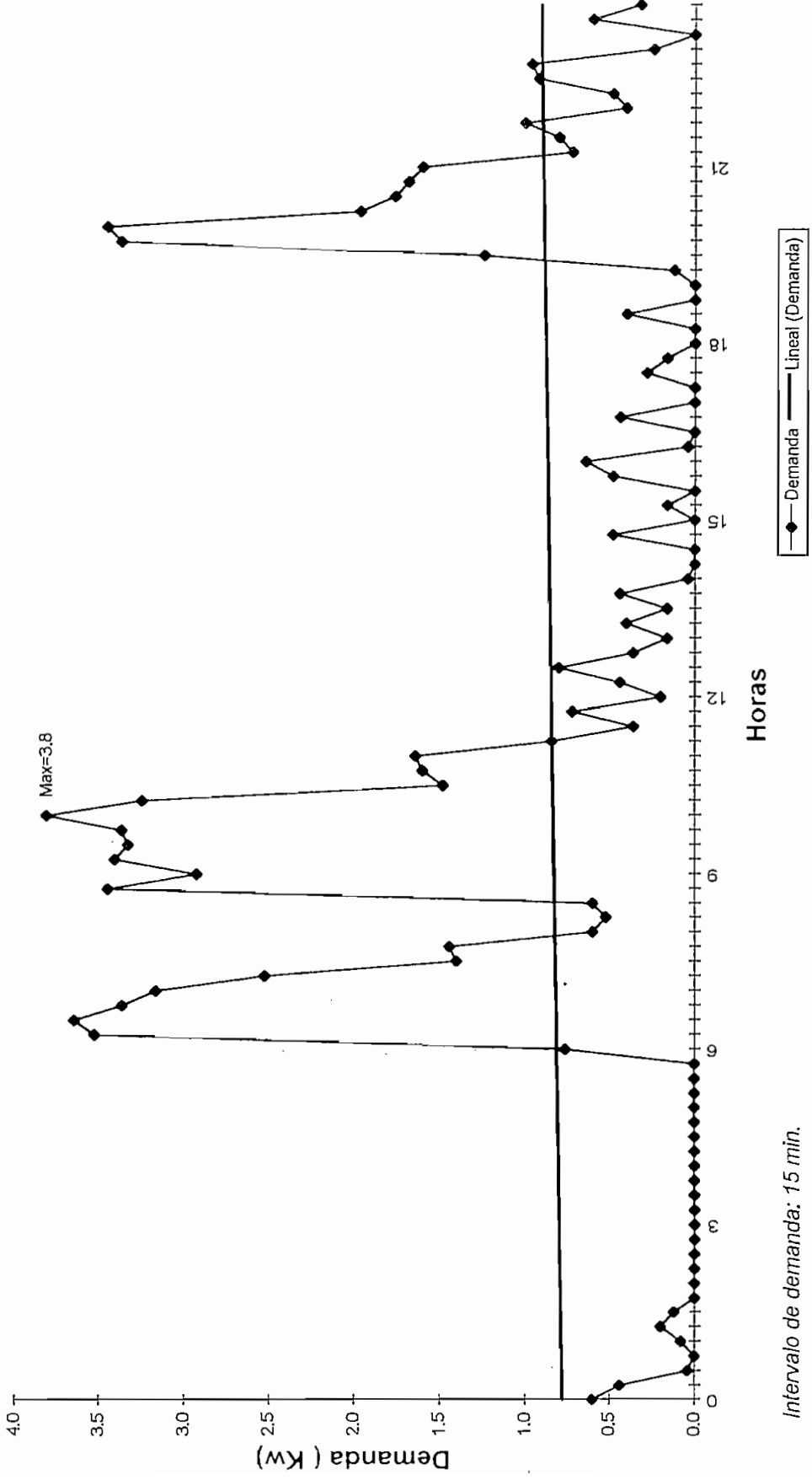
## DEPARTAMENTO 4





# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

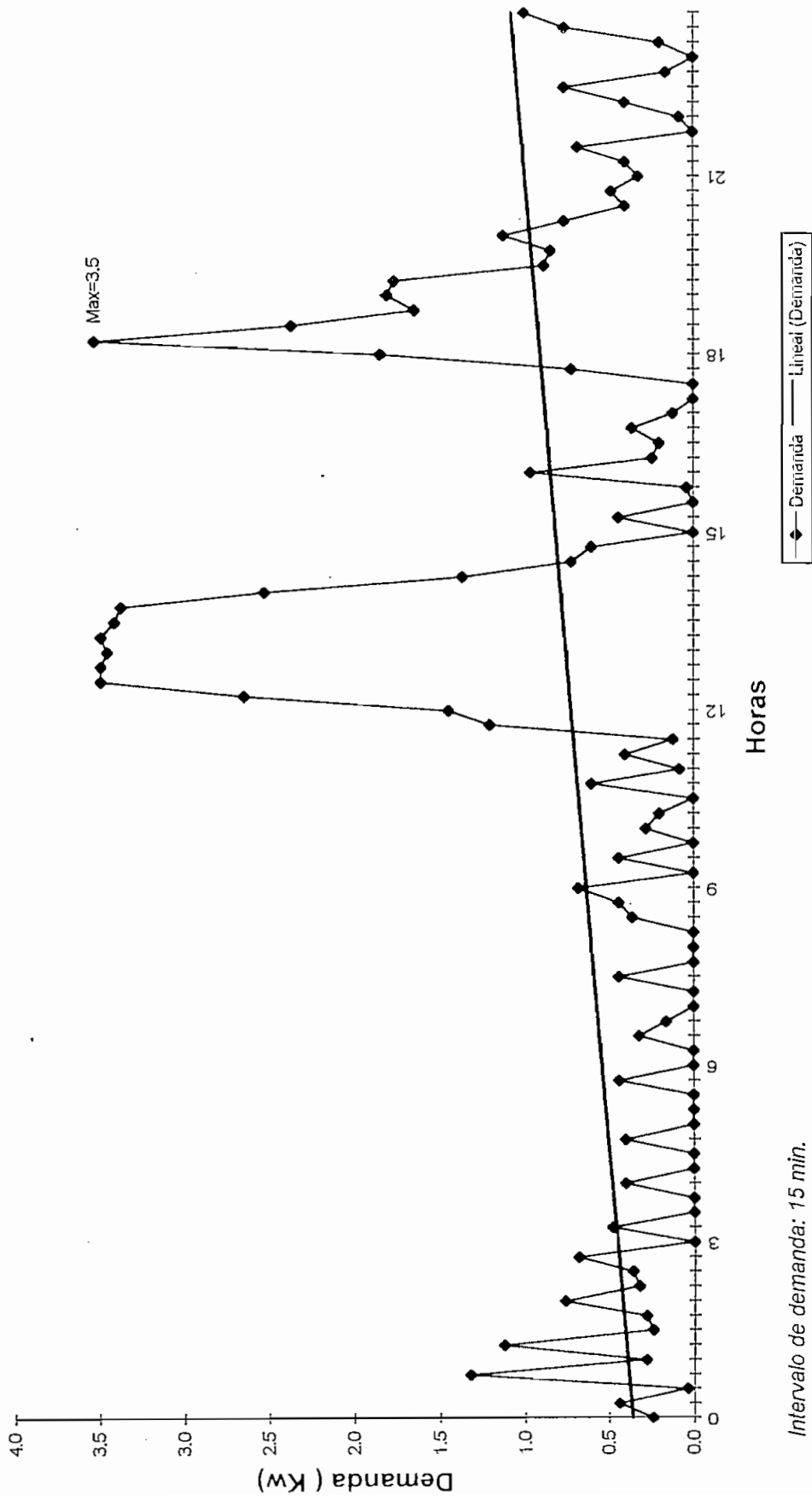
## DEPARTAMENTO 5



Intervalo de demanda: 15 min.

# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

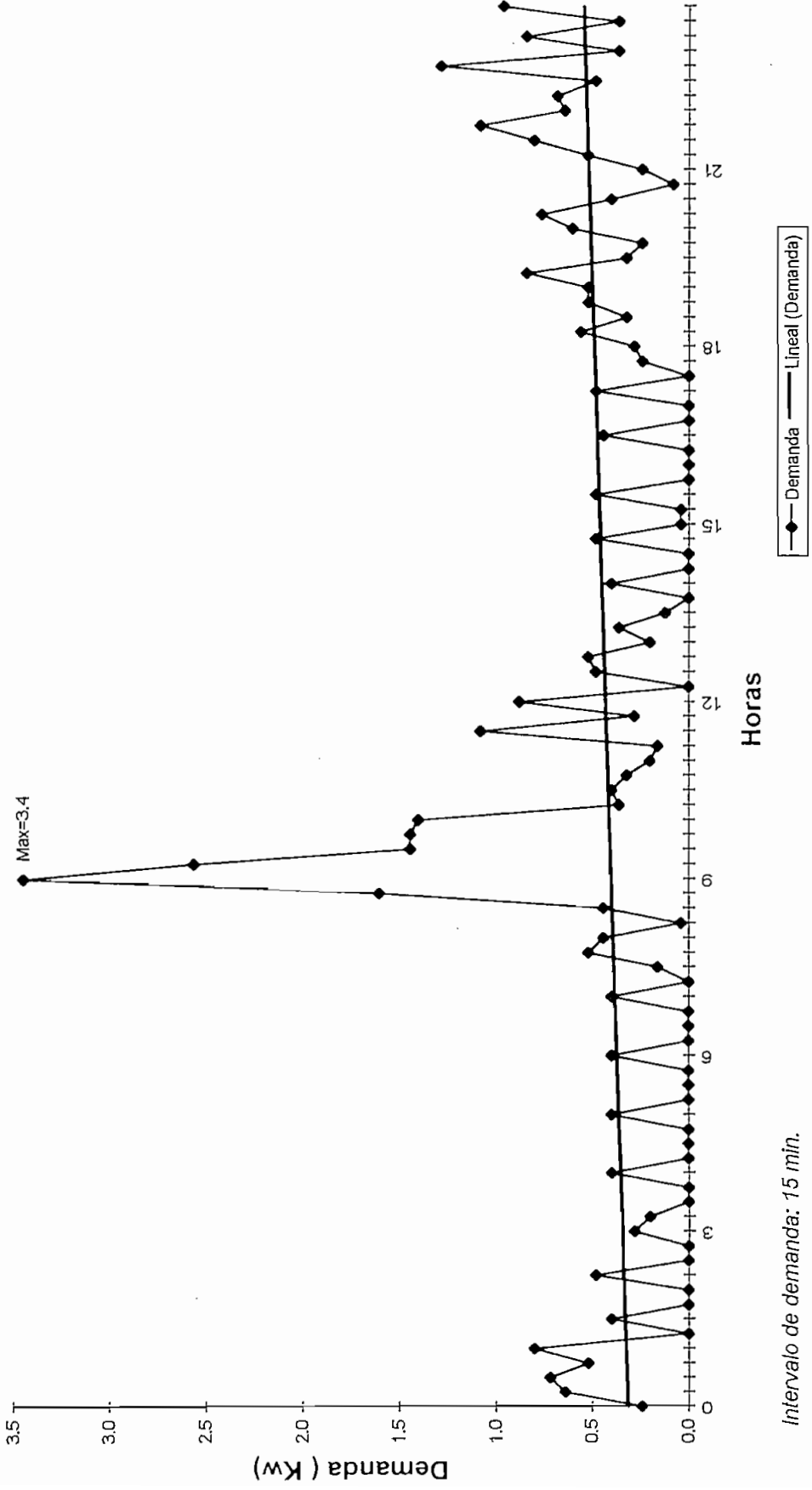
## DEPARTAMENTO 5



Intervalo de demanda: 15 min.

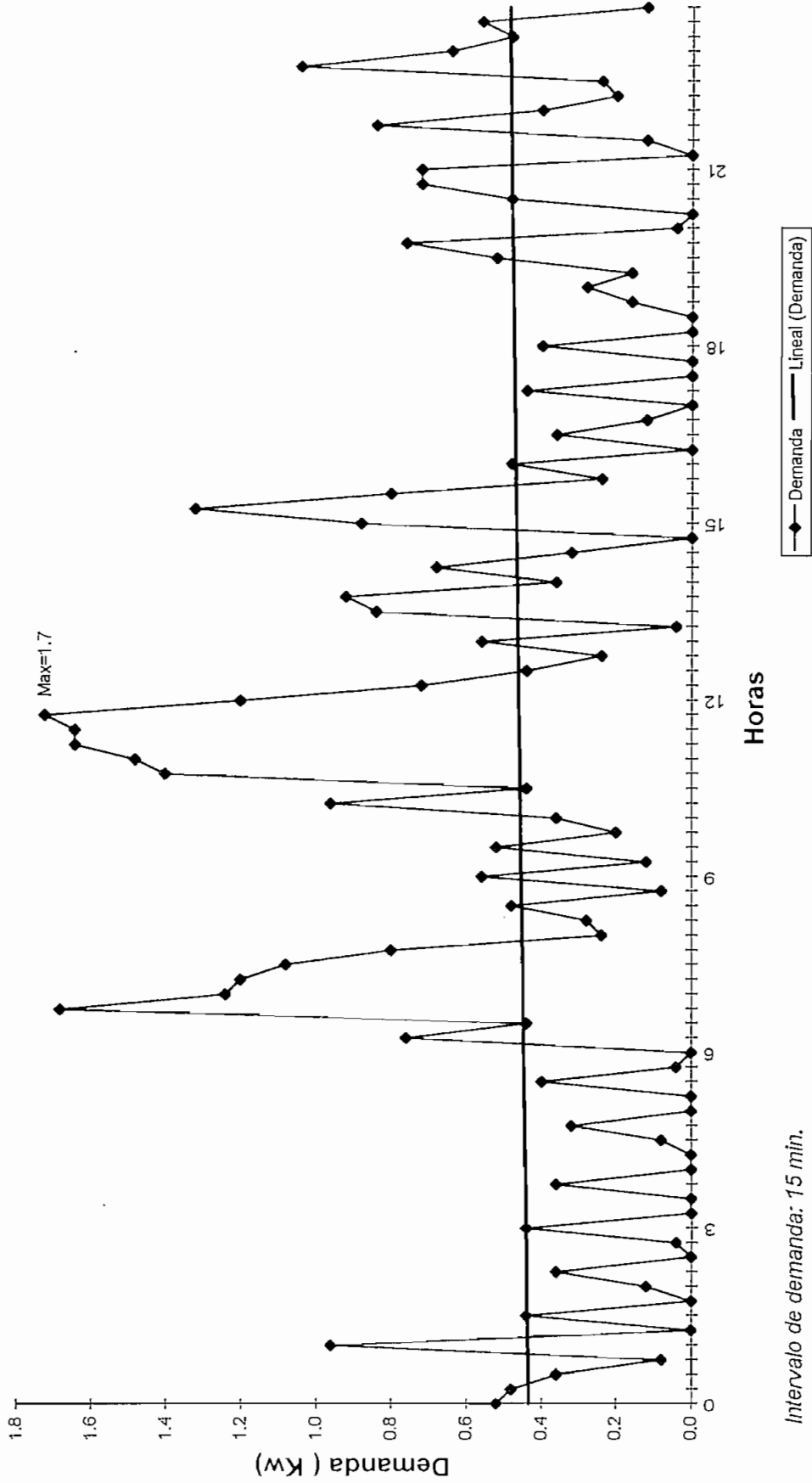
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 5



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

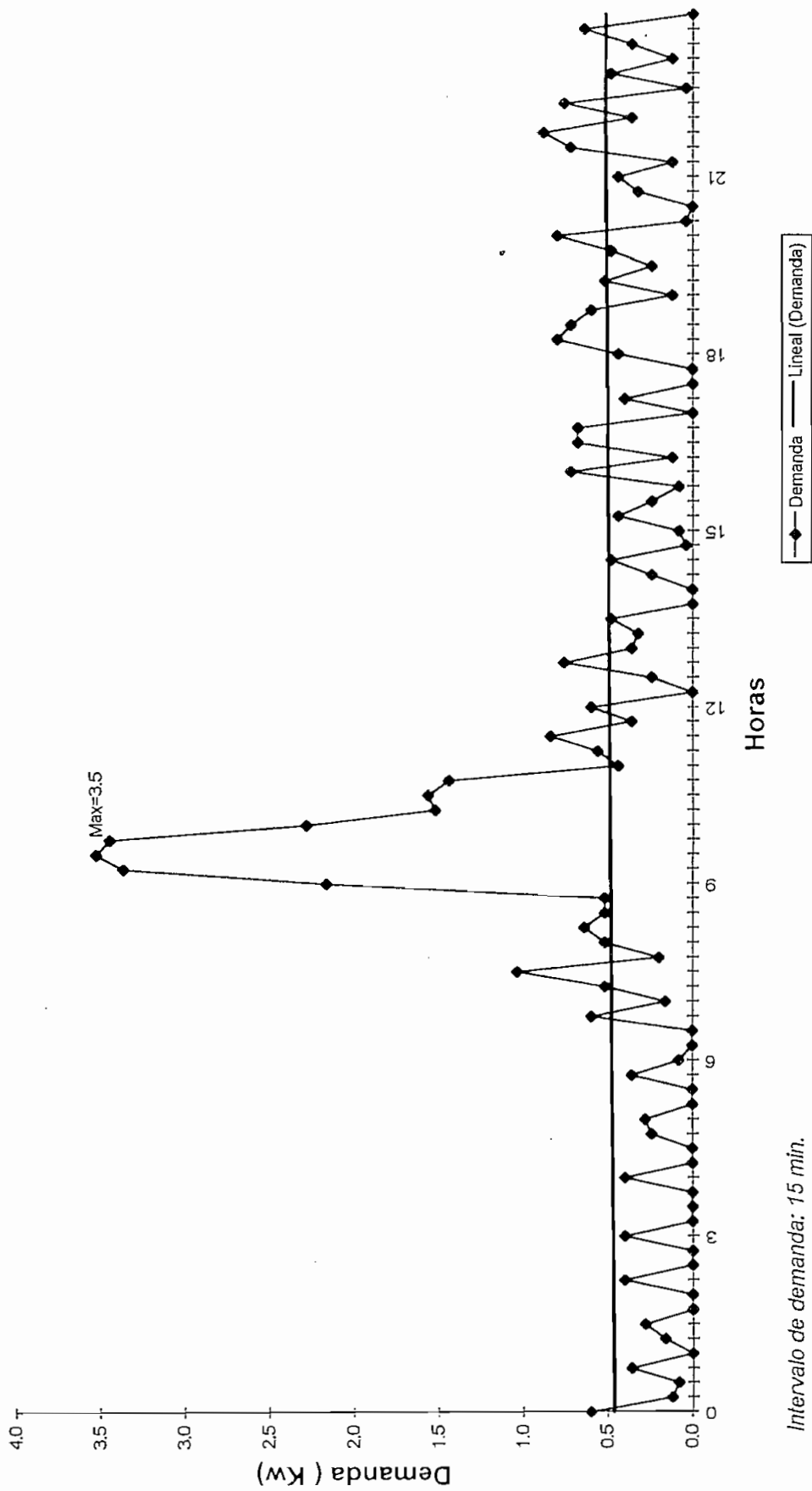
## DEPARTAMENTO 5



Intervalo de demanda: 15 min.

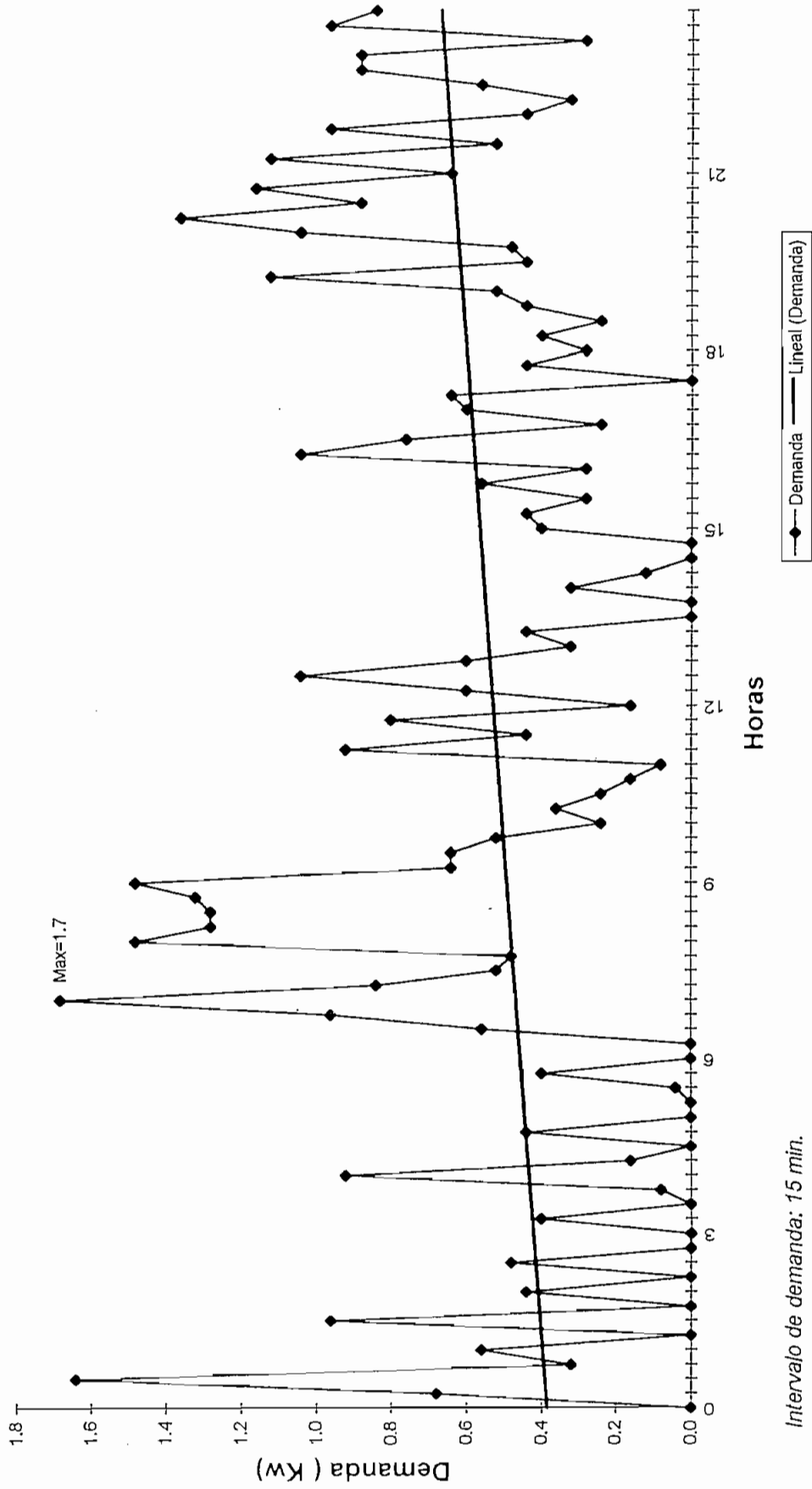
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 5



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

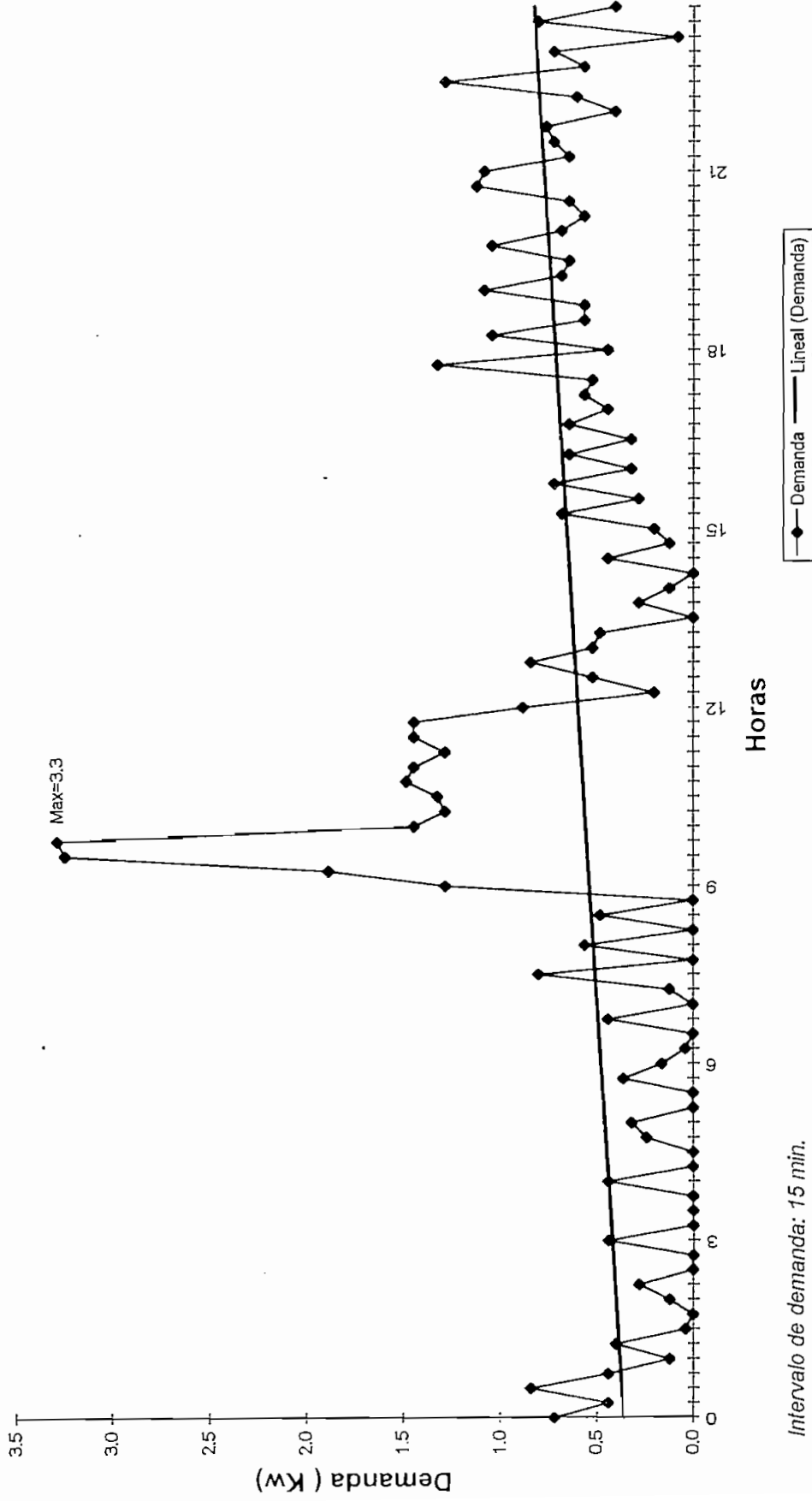
## DEPARTAMENTO 5



Intervalo de demanda: 15 min.

# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

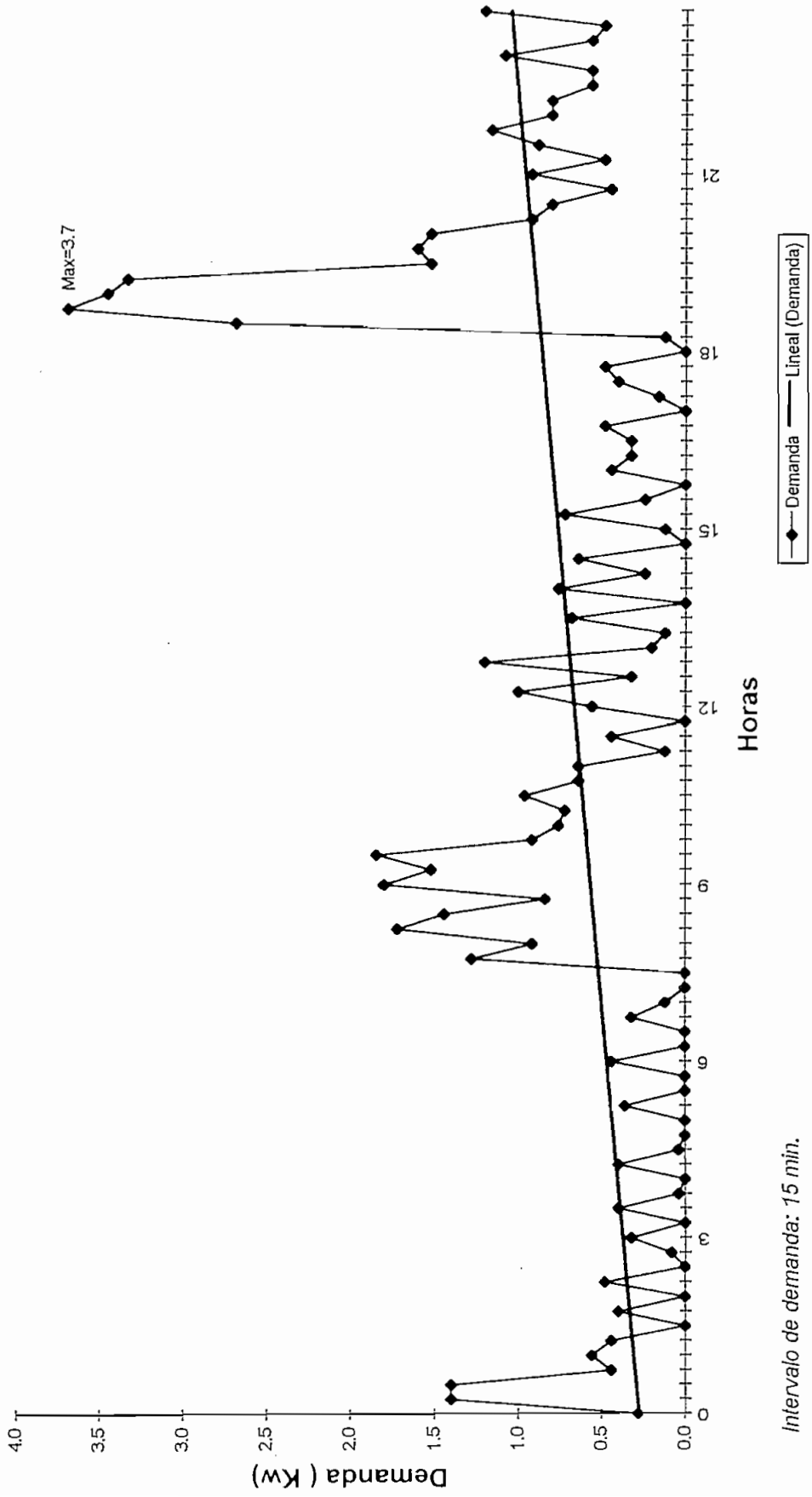
## DEPARTAMENTO 5



Intervalo de demanda: 15 min.

# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

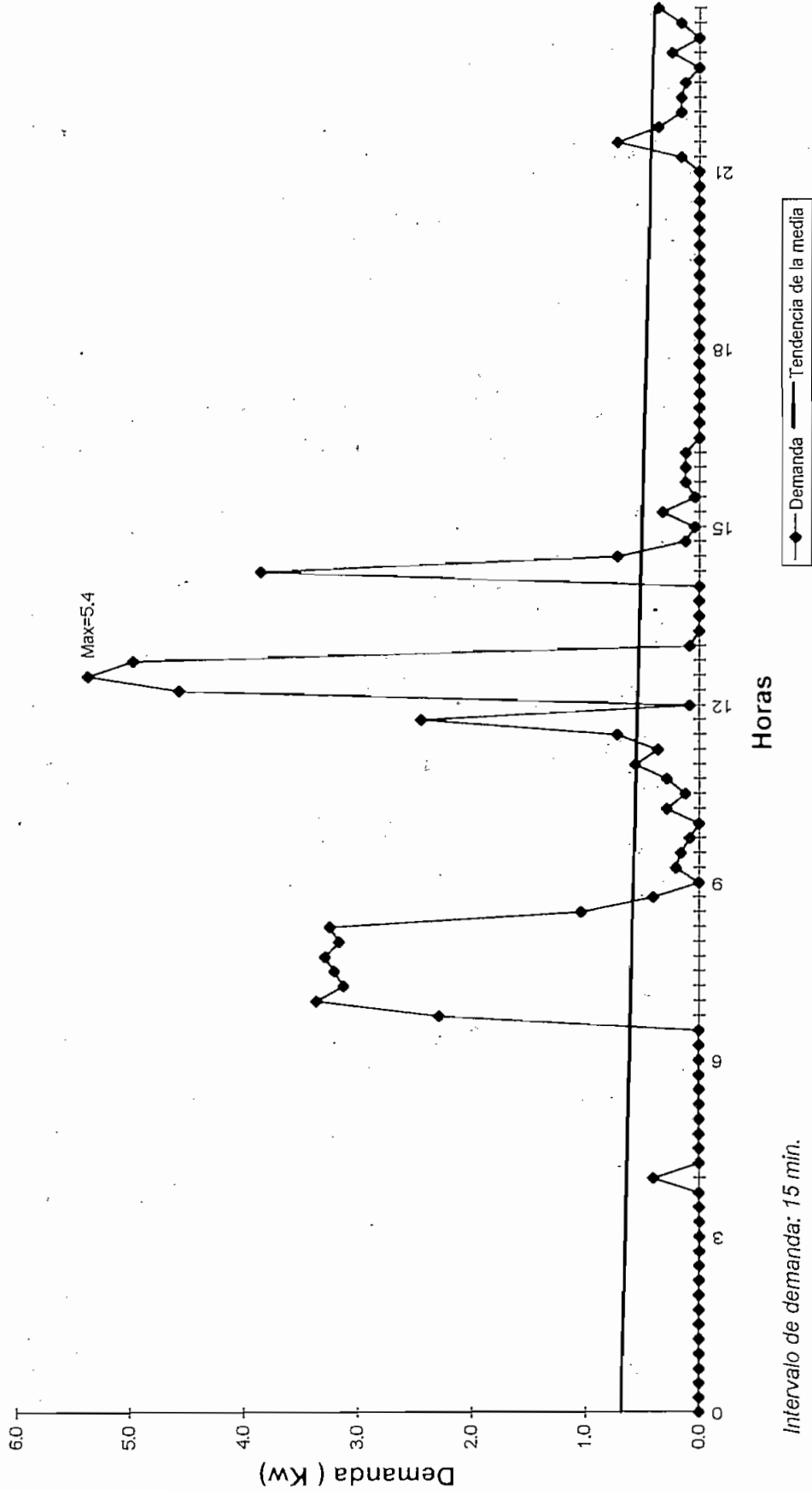
## DEPARTAMENTO 5





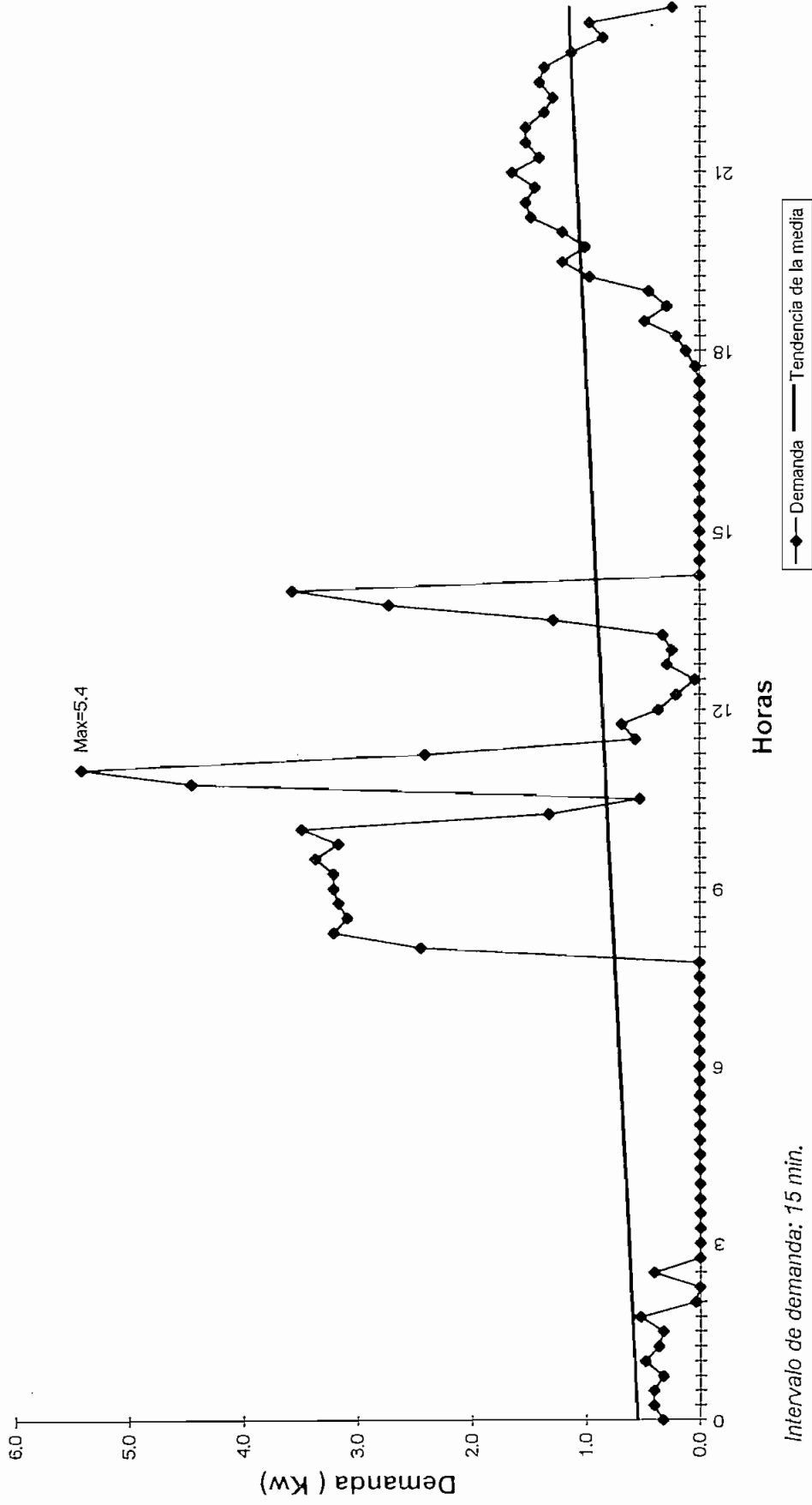
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 6



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

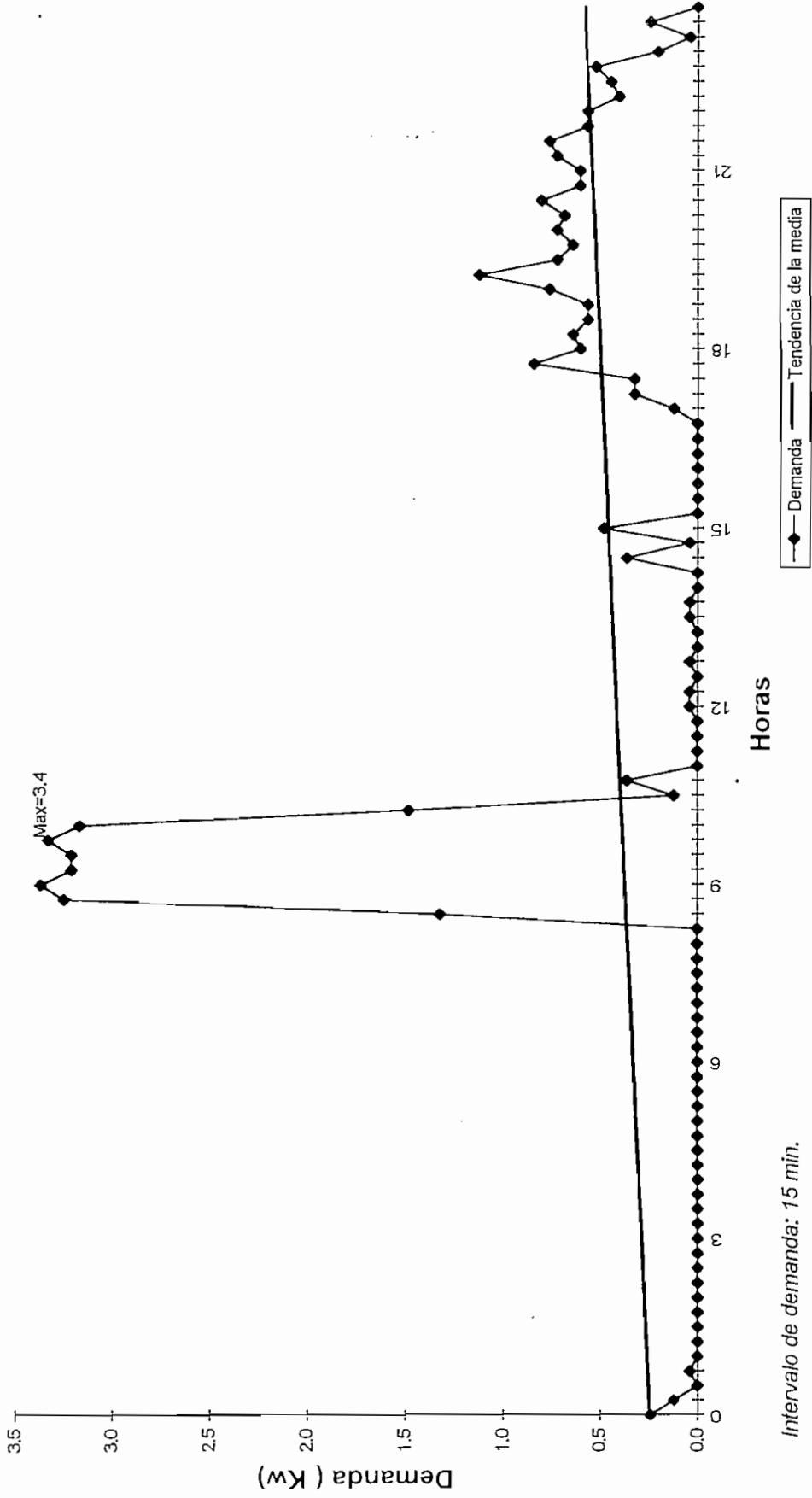
## DEPARTAMENTO 6



Intervalo de demanda: 15 min.

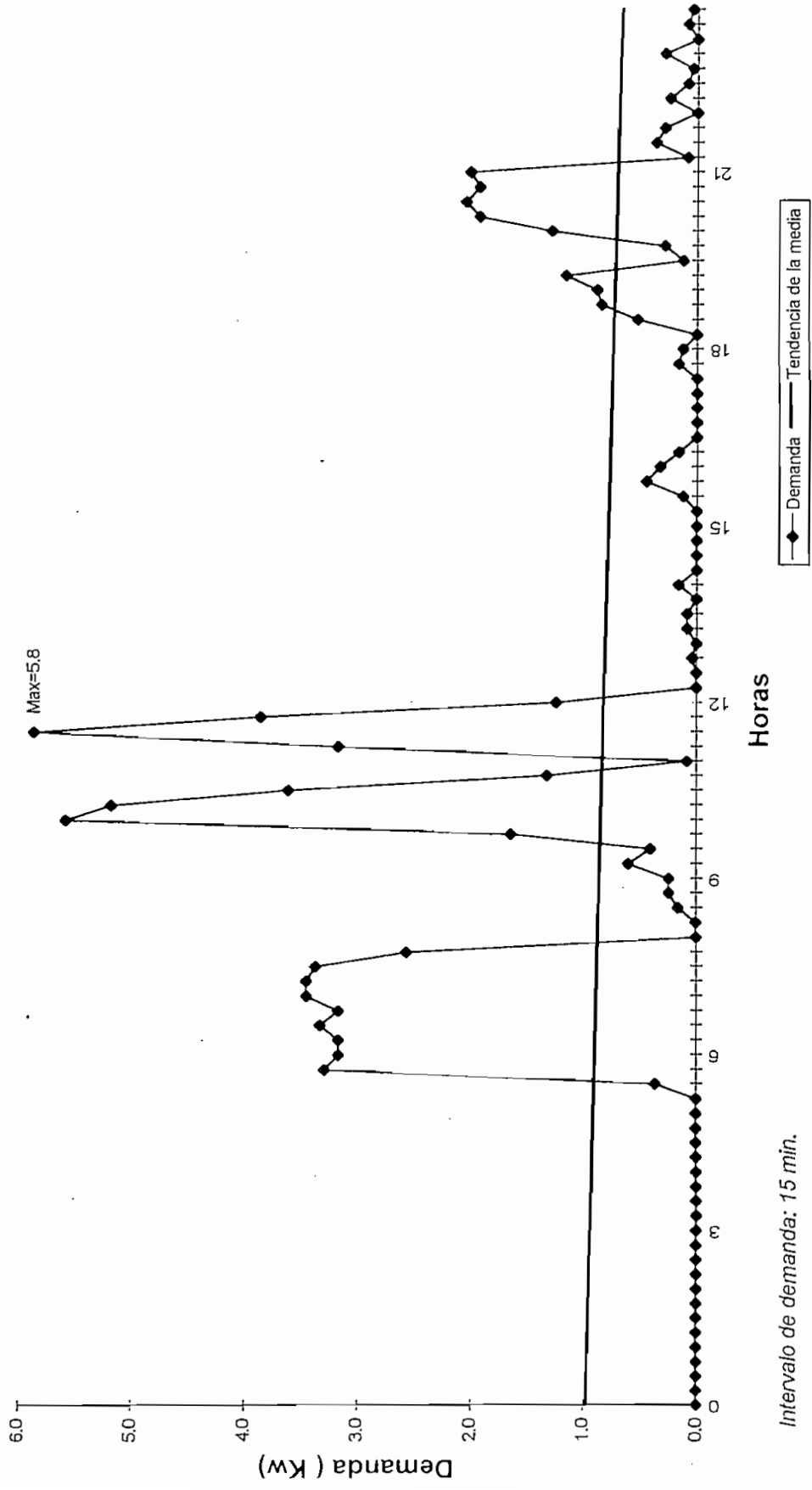
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 6



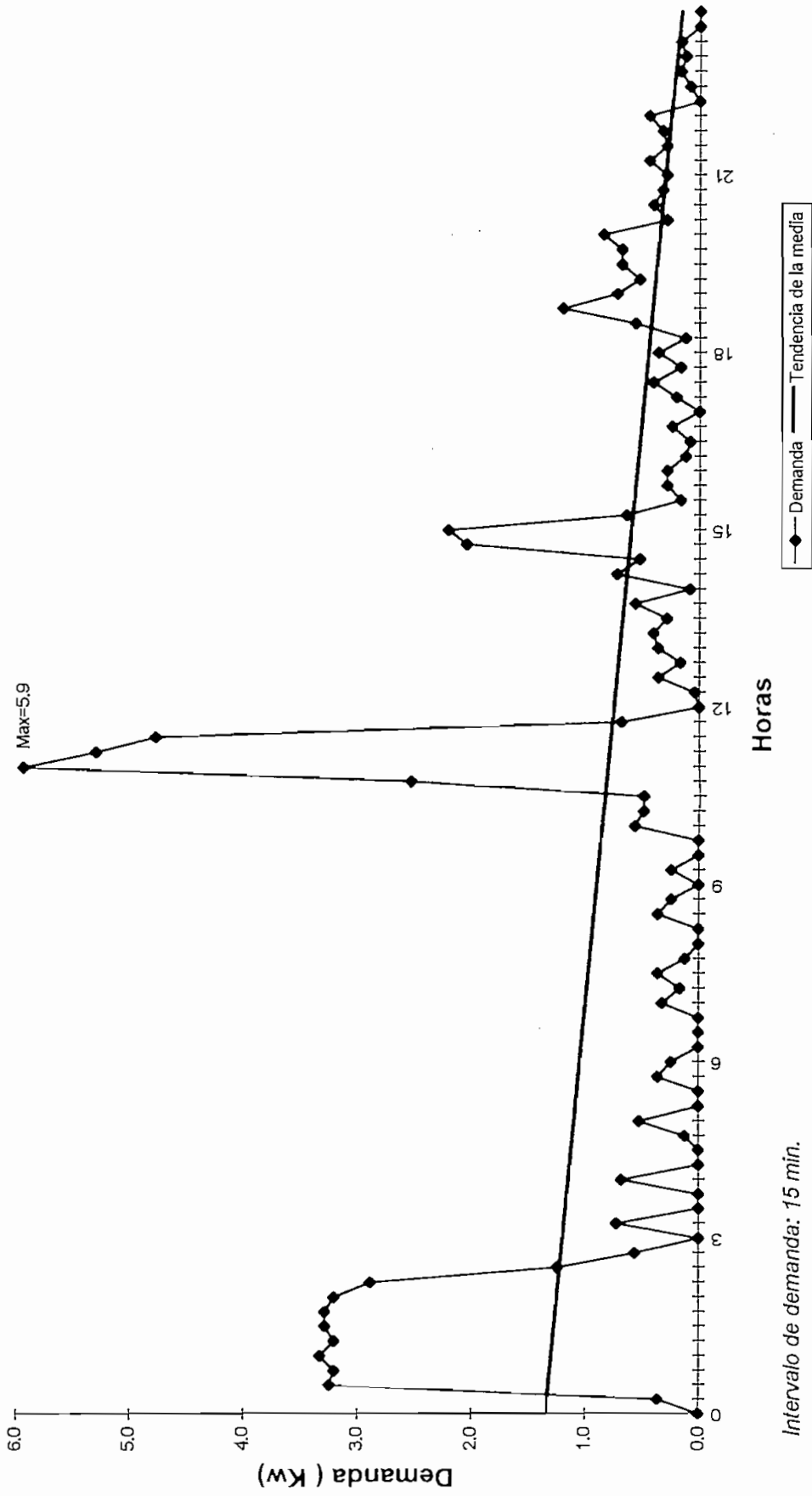
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 6



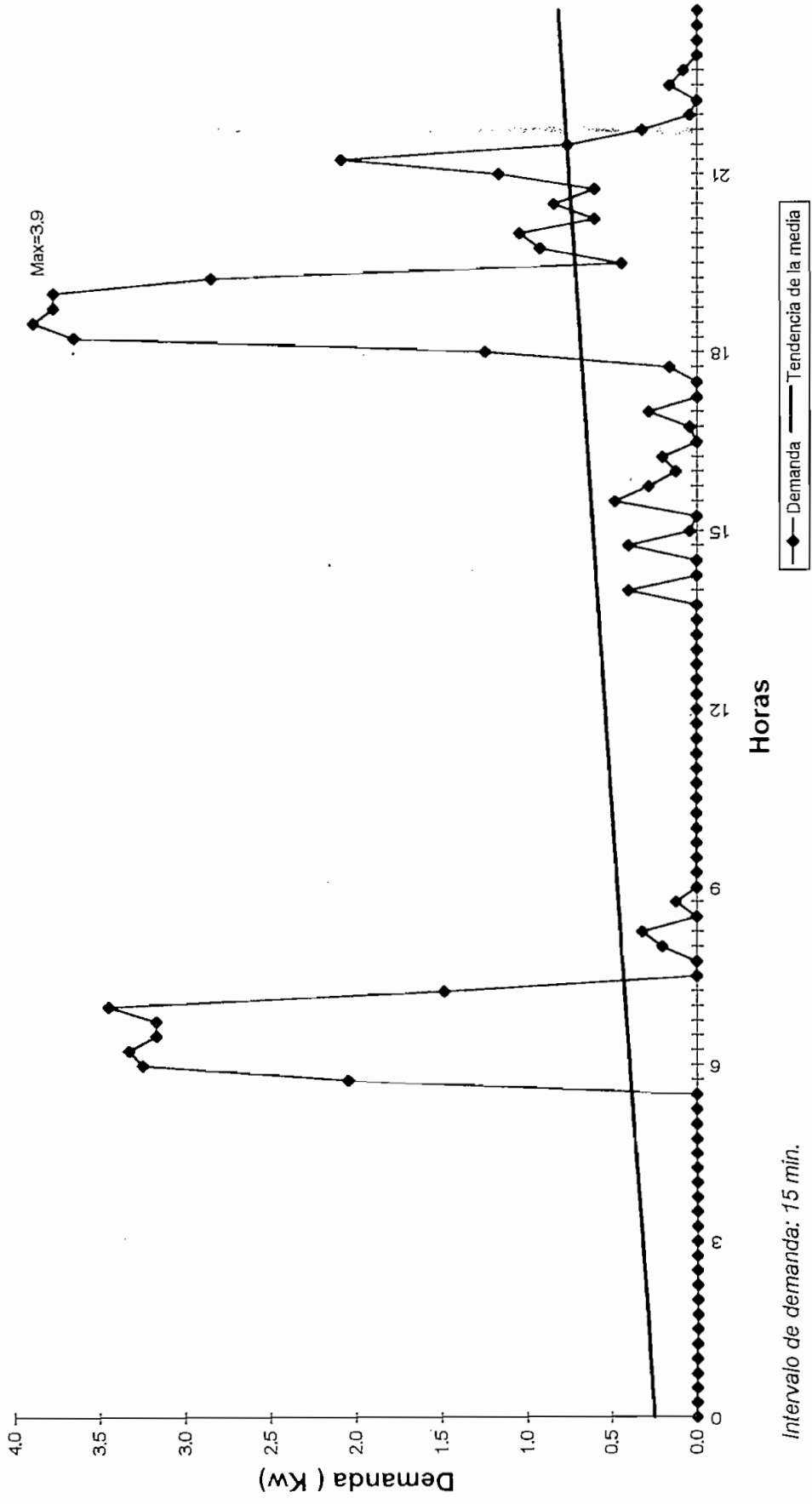
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 6



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

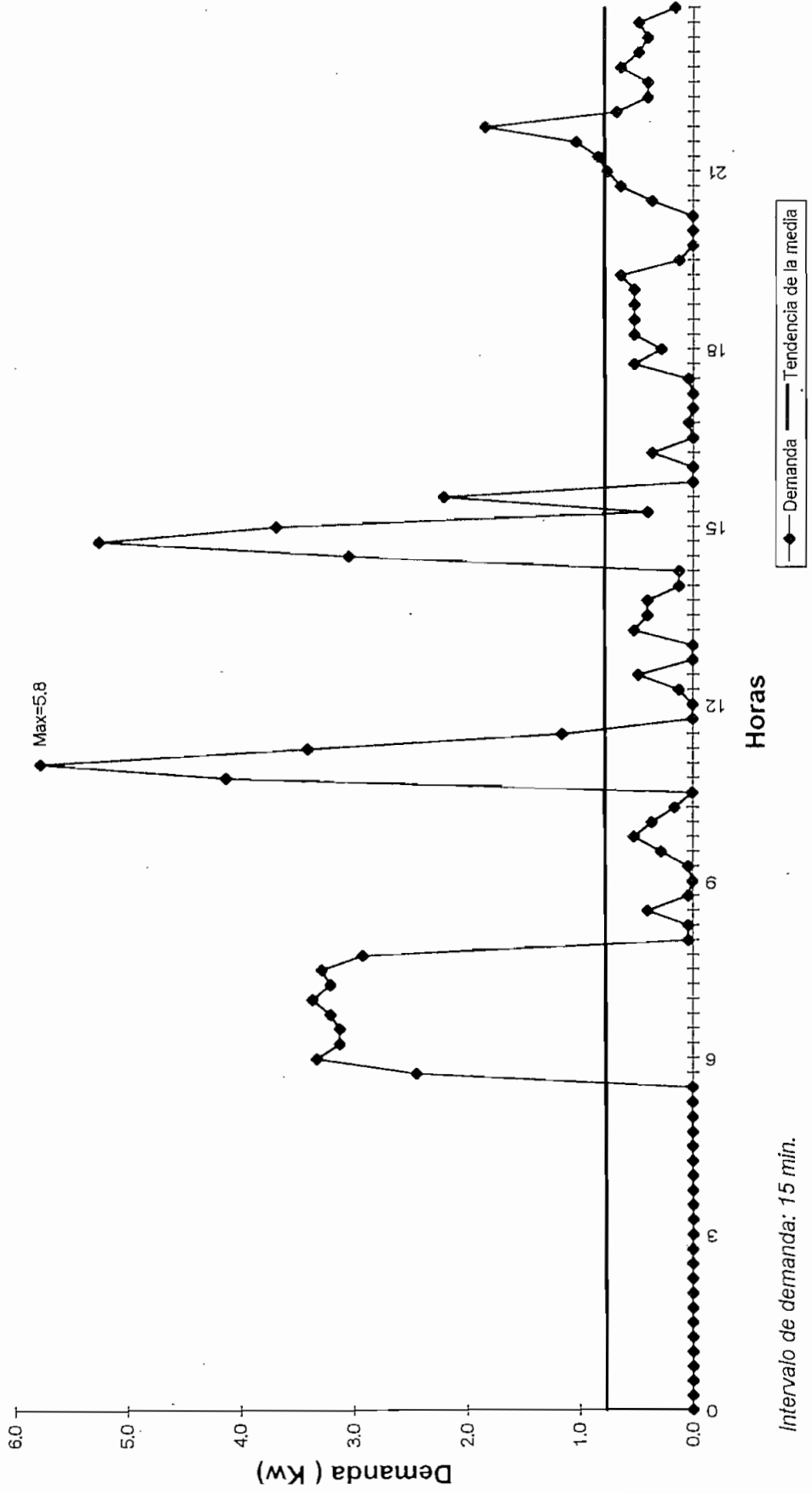
## DEPARTAMENTO 6



Intervalo de demanda: 15 min.

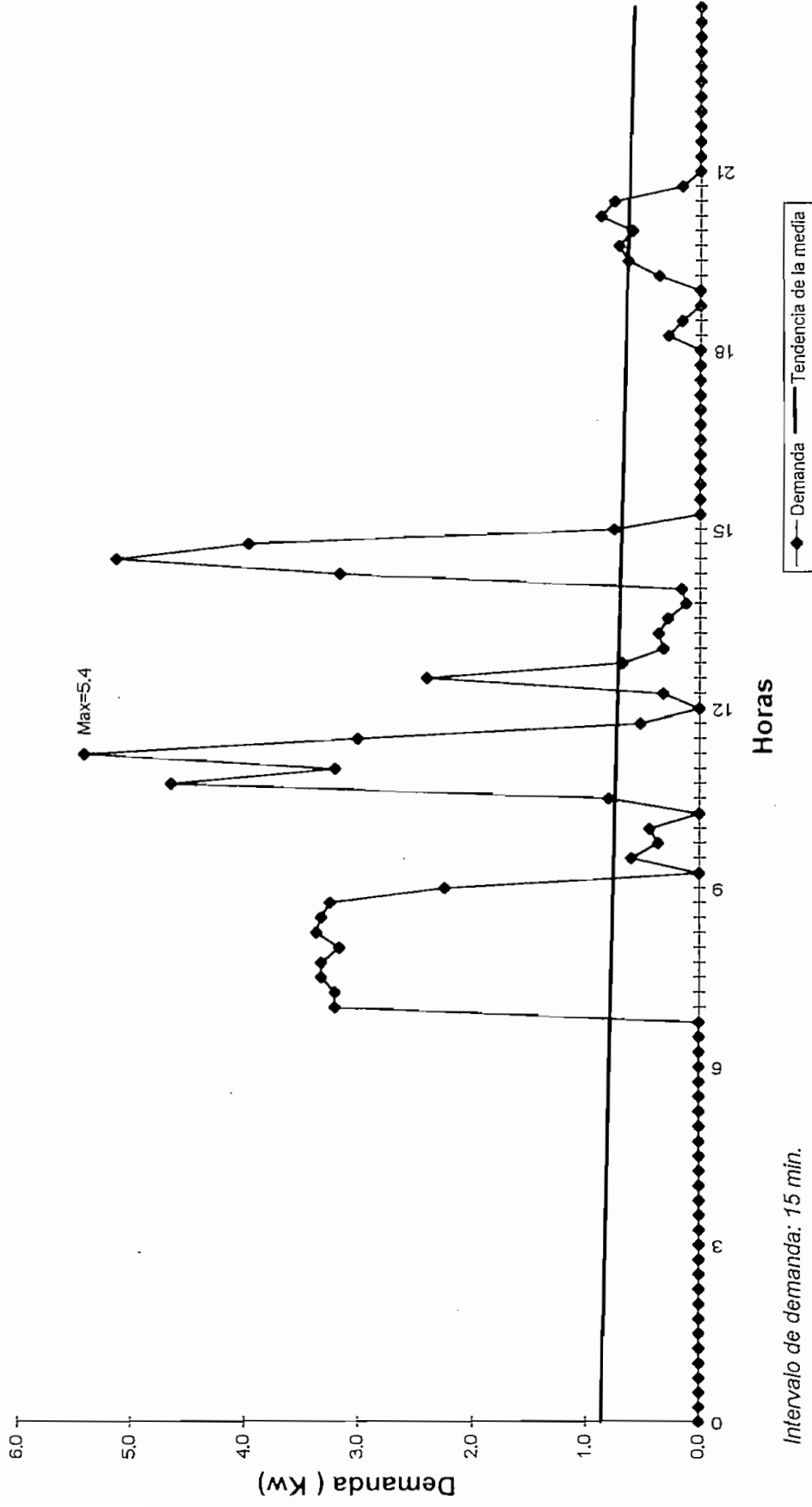
# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 6



# CURVA DE DEMANDA PARA UN USUARIO RESIDENCIAL CON CONTROL DE CARGA

## DEPARTAMENTO 6



Intervalo de demanda: 15 min.



## **ANEXO B**

### *Diagramas Circuitalos.*

## ANEXO C

*Manual del usuario.*

## ANEXO

## MANUAL DEL USUARIO

---

### 1. GENERALIDADES DEL DISPOSITIVO DE CONTROL

El dispositivo de control diseñado y construido para efectuar un control de la carga consta de las siguientes facilidades externas, que deben tomarse en cuenta a la hora de la instalación del mismo, por la utilidad que prestan:

- Cable con enchufe, para la alimentación al dispositivo; voltaje = 110V AC.
- Cables de entrada y salida para alimentación de la carga (tanque de agua); voltaje = 220 V. AC.
- Fusible de protección de 1 amperio.
- Señal luminosa para detección del estado del tanque (ON = encendido y OFF = apagado).
- Señal luminosa para detección de trabajo normal del dispositivo (ON -OFF intermitente cada segundo).

A continuación, en la figura -A1:(a).- se muestra la forma externa del dispositivo de control, donde se puede apreciar las distintas facilidades externas que se ha previsto para los dispositivos de control instalados en cada una de las residencias donde se realizó el estudio y corresponde a una versión simplificada, con las funciones básicas para las operaciones de control de carga.

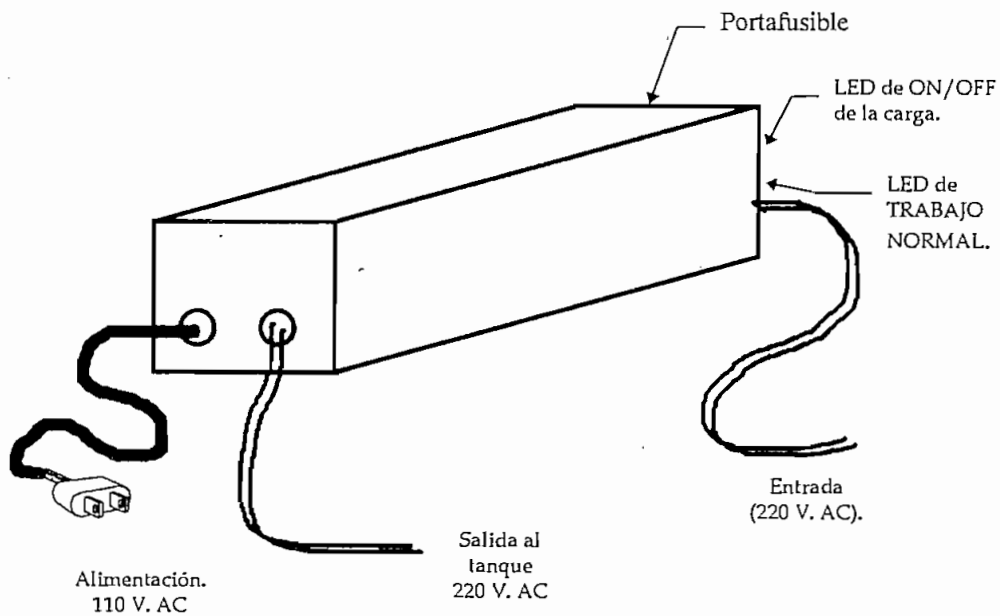


Figura -A1: (a) .- Dispositivo de control de carga. Vista general

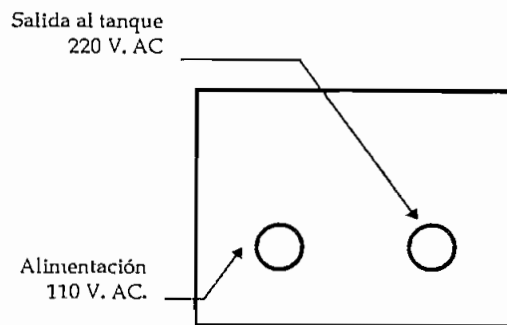
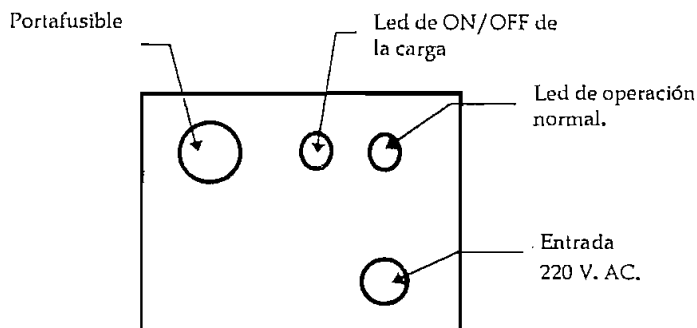


Figura -A1: (b) .- Dispositivo de control de carga. Vista lateral izquierda.



*Figura -A1: (c) .- Dispositivo de control de carga. Vista lateral derecha.*

Para poder efectuar adecuadamente la instalación, se dispone además de otro dispositivo algo similar pero con funciones adicionales para poder realizar la inicialización de los parámetros de control que necesitan los dispositivos de control de carga instalados; desde luego que éste dispositivo más completo no fue instalado, ya que se ha definido que sus funciones sean básicamente de calibración o programación del resto de equipos.

A continuación se indican los parámetros de tiempo que deben ser considerados para el control de la carga, los cuales son inicializados en cada equipo de control:

- Igualación de las horas y minutos del reloj en tiempo real disponible en cada equipo.
- Inicialización de los datos de la hora y minutos en que se realizará la desconexión del tanque de agua y la hora y minutos de la reconexión.

## 2. - FORMA DE INICIALIZACIÓN DE LOS TIEMPOS DE CONTROL

Un paso previo a la instalación del dispositivo en el tanque de calentamiento de agua, es la inicialización de los tiempos indicados anteriormente, para lo cual se vale del equipo de calibración.

Para cumplir con este objetivo, se deben observar los siguientes pasos:

1. Disponer de un conector de 4 hilos, el mismo que uno de sus extremos está acoplado a un zócalo de 40 pines, mientras que en el otro extremo a un zócalo de 8 pines.
2. Interconectar el equipo de calibración con el dispositivo de control, mediante el conector descrito en el numeral anterior; en el equipo de calibración se coloca el zócalo de 8 pines sobre el zócalo correspondiente al reloj-calendario DS1202 y en el dispositivo de control se coloca el zócalo de 40 pines sobre el zócalo correspondiente al microcontrolador 8748; en cada caso la conexión es descrita sobre el zócalo libre del circuito integrado.
3. Energizar el equipo de calibración y utilizando la tecla de función (F), escoger la igualación de horas, la cual queda determinada una vez que se encienda el led (L1);

- luego mediante la pulsación de la tecla de conteo (C) se incrementa desde 0 hasta el número que corresponde a la hora requerida.
4. Pulsar nuevamente la tecla (F) hasta que se encienda el led (L2), en esta posición se puede proceder a la igualación de los minutos, nuevamente con la ayuda de la tecla de conteo (C).
  5. Una nueva pulsación de la tecla (F) va a determinar que se encienda el led (L3), en esta posición se puede inicializar con la tecla (C) la hora de inicio de la desactivación del tanque (desconexión).
  6. Pulsando nuevamente la tecla (F) hasta que se encienda el led (L4), se puede proceder a inicializar con la tecla (C) los minutos de inicio de la desactivación del tanque (desconexión).
  7. A continuación, repitiendo los pasos 6 y 7 anteriormente descritos, se inicializan la hora y minutos de activación del tanque (reconexión).

Como queda indicado, la identificación de cada uno de los pasos de inicialización de los tiempos de control, se establece mediante un juego de LEDS, los mismos que indican al operador que variable es la que se encuentra inicializando; para éste efecto en la figura -A2-, se indica la posición e identificación de los leds en el equipo respectivo.

Después de haber cumplido el procedimiento de inicialización, se retira el conector y se coloca el microcontrolador 8748 en el dispositivo de control a ser instalado, con lo cual dicho dispositivo ya se encuentra listo para su instalación.

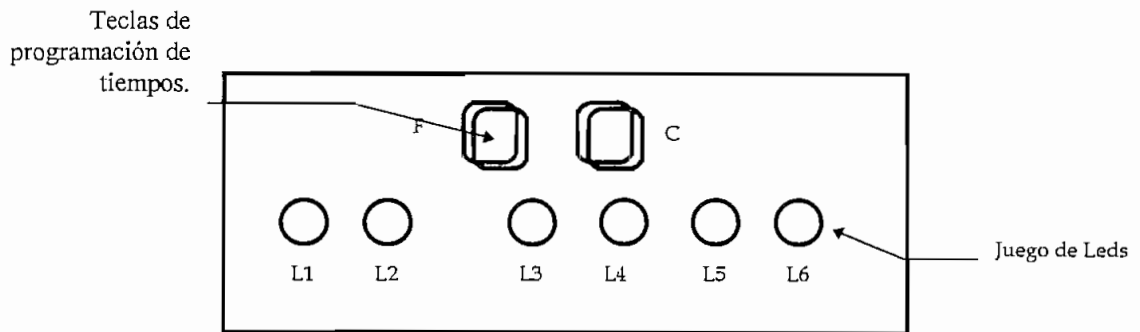


Figura -A2.- Configuración de leds y teclado del equipo de programación.

### 3. - INSTALACIÓN DEL DISPOSITIVO DE CONTROL DE CARGA.

Luego se traslada el equipo ya programado los datos al lugar físico donde será instalado. Generalmente un tanque de agua caliente dispone para su alimentación de voltaje de un interruptor de cuchillas con sus respectivos fusibles.

Para la instalación del dispositivo de control directamente en el tanque de calentamiento de agua, se recomienda observar el procedimiento que se detalla a continuación.



1. Desactivar el interruptor de cuchillas que permite el encendido y apagado del tanque que se encuentra alimentado a 220 voltios.
2. Desconectar los terminales que van al tanque de agua desde el interruptor de cuchillas.
3. Conectar el dispositivo de control al interruptor de cuchillas, cables identificados en el equipo como entrada de 220 V AC.
4. Unir los cables de alimentación del tanque de agua con los cables de salida a la carga del dispositivo de control; para este efecto se recomienda el uso de borneras.
5. Luego, se conecta el dispositivo de control a un toma corriente de 110 Voltios, para iniciar su trabajo normal. En ese momento se activarán los LEDS de control.
6. Finalmente, se activa el interruptor de cuchillas; con esto dependiendo de los tiempos programados para conexión o desconexión, el tanque de calentamiento de agua pasará a operar o no.

Una buena instalación permitirá observar el parpadeo del LED de operación normal y la circulación de corriente en el tanque si éste estuviese activado, situación que se puede detectar con la ayuda de un multímetro y la respectiva pinza amperimétrica.

## ANEXO D

### *Referencias técnicas.*

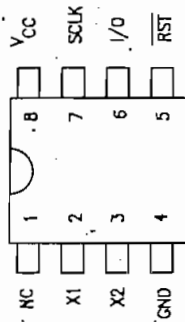
## **ANEXO D**

*Reloj-Calendarario DS1202.*

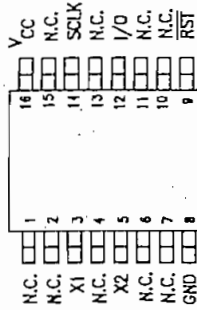
**FEATURES**

- Real Time clock counts seconds, minutes, hours, date of the month, day of the week and year with Leap Year compensation
- 24 x 8 RAM for scratch pad data storage
- Serial I/O for minimum pin count
- 3 volt clock operation
- Uses less than 1 uA at 3 volts
- Single byte or multiple byte (burst mode) data transfer for read or write of clock or RAM data

**PIN CONNECTIONS**



8-Pin DIP



16-Pin SOIC

**PIN NAMES**

- N.C. -No Connection
- X1, X2 -32.768 KHz Crystal Input
- GND -Ground
- RST -Reset
- I/O -Data Input/Output
- SCLK -Serial Clock
- V<sub>cc</sub> -Power Supply Pin

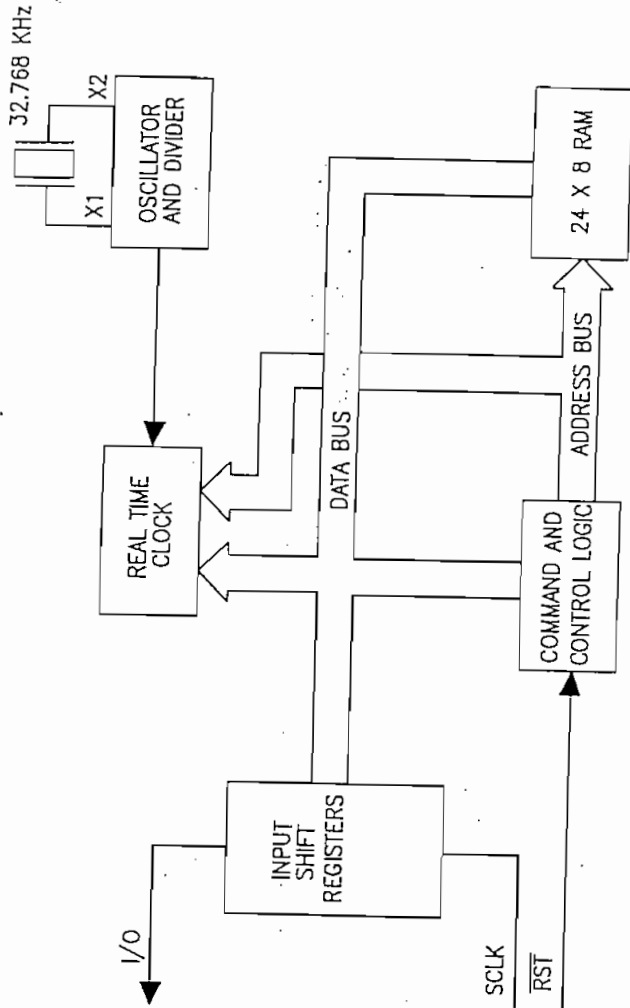
- 8-pin DIP or optional 16-pin SOIC for surface mount.

- Simple 3-wire interface
- TTL compatible (V<sub>cc</sub> = 5V)

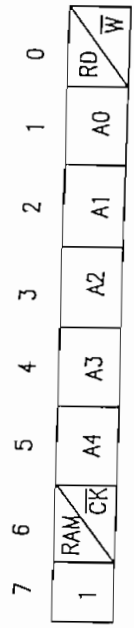
**DESCRIPTION**

The DS1202 contains a RealTime Clock/Calendar, 24 bytes of static RAM, and communicates with a microprocessor via a simple serial interface. The RealTime Clock/Calendar provides seconds, minutes, hours, day, date, month, and year information. The end of the month date is automatically adjusted for months with less than 31 days, including corrections for Leap Year. The clock operates in either the 24-hour or 12-hour format with an AM/PM indicator. Interfacing

the DS1202 with a microprocessor is simplified using synchronous serial communication. Only three wires are required to communicate with the Clock/RAM: (1)  $\overline{RST}$  (Reset), (2) I/O (Data line), and (3) SCLK (Serial Clock). Data can be transferred to and from the Clock/RAM one byte at a time or in a burst of up to 24 bytes. The DS1202 is designed to operate on very low power and retain data and clock information on less than 1 uA with voltage input, (V<sub>cc</sub>) as low as three volts.



ADDRESS/COMMAND BYTE Figure 2



All data transfers are initiated by driving the RST input high. The RST input serves two functions. First, RST turns on the control logic which allows access to the shift register for the address/command sequence. Second, the RST signal provides a method of terminating either single byte or multiple byte data transfer. A clock cycle is a sequence of a falling edge followed by a rising edge. For data inputs, data must be valid during the rising edge of the clock and data bits are output on the falling edge of clock. All data transfer terminates if the RST input is low and the I/O pin goes to a high impedance state. When data transfer is terminated to the Real Time Clock or to RAM using RST, the transition of RST must occur while the clock is at high level to avoid disturbing the last bit of data and write cycle transfer must occur in 8-bit groups. Data transfer is illustrated in Figure 3

**DATA INPUT**

Following the eight SCLK cycles that input the write mode address/command byte (Bit 0 = Logical 0), a data byte is input on the rising edge of the next eight SCLK cycles (per byte, if burst mode is specified). Additional SCLK cycles are ignored should they inadvertently occur.

**DATA OUTPUT**

Following the eight SCLK cycles that input the read mode address/command byte (Bit 0 = Logical 1), a data byte is output on the falling edge of the next eight SCLK cycles (per byte, if burst mode is specified). Note that the first data bit to be transmitted from the clock/RAM occurs on the first falling edge after the last bit of the command byte is written. Additional SCLK cycles retransmit the data bytes should they inadvertently occur so long as RST remains high. This operation permits continuous burst read mode capability.

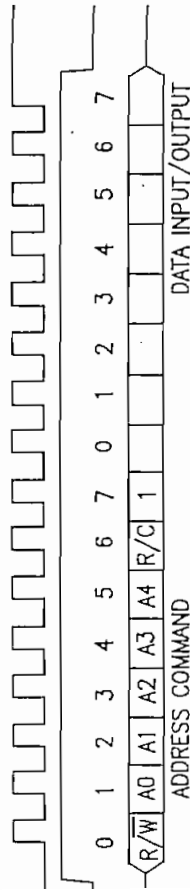
serial Timekeeper are controlled by the shift register, control clock and RAM. To initialize the shift register and command information on the rising edge of the clock, the first eight bits specify the address to be accessed, whether a read or write operation is to occur. After the address is valid, data transfer occurs which load the shift register, add data for a read, or input data for a write. The number of clock pulses for a read or write is specified by the RST input for byte mode or eight SCLK cycles for burst mode.

**ADDRESS/COMMAND BYTE**

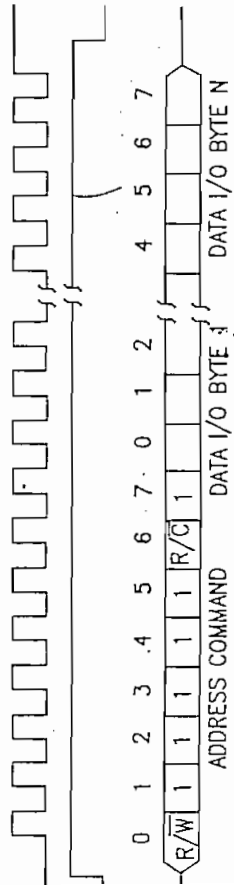
The address/command byte is shown in Figure 2. It is initiated by a one byte address/command byte. As the address is input, it must be a logical one. If the address is terminated, bit 6 of the address register if logic zero (per byte, if burst mode is specified). Bits one through seven of the address register are designated registers to be accessed. Bit 0 specifies the mode of operation (1) if logical zero or read mode if logical one.

The address/command bits are specified for either the clock/RAM or the shift register by addressing the address/command bits one through seven (per byte, if burst mode is specified). Bit six and bit 0 specifies read or write mode. Bit 1 specifies storage capacity at location. Bit 2 specifies Clock/Calendar Register. Bit 3 through 31 in the RAM

**TRANSFER**



**TRANSFER**



BYTE N	SCLK n
8	72
24	200

**CLOCK/CALENDAR**

The Clock/Calendar is contained in eight writeable/readable registers as shown in Figure 4. Data contained in the clock/calendar registers is in binary coded decimal format (BCD) except the control byte which is binary.

**CLOCK HALT FLAG**

Bit 7 of the seconds register is defined as the clock halt flag. When this bit is set to logic one, the clock oscillator is stopped and the DS1202 is placed into a low power standby mode with a current drain of less than .1 microamp. When this bit is written to logical zero, the clocks oscillator will run and keep time count from the entered value.

**AM-PM/12-24 MODE**

Bit 7 of the hours register is defined as the 12- or 24-hour mode select bit. When high, the 12-hour mode is selected. In the 12-hour mode, bit 5 is the AM/PM bit with logic high being PM. In the 24-hour mode, bit 5 is the second 10 hour bit (20-23 hours).

**TEST MODE BITS**

Bit 7 of the date register and bit 7 of the day register are test mode bits. These bits are forced to zero under normal operation and will always read logical zero when read.

**CONTROL BYTE AND WRITE PROTECT BIT**

Byte 7 of the clock/calendar registers is the write protect byte. The first seven bits (bits 0-6) are forced to zero and will always read a zero when read. Bit 7 of the user byte is the write protect flag. Bit seven is set to logical one on power up and may be set high or low by writing the byte. When high, the write protect flag prevents a write operation to any internal register including both clock and RAM. Further, logic is included such that the write protect bit may be reset to a logical zero by a write operation.

**CLOCK/CALENDAR BURST MODE**

Address 31 decimal of the clock/calendar address space specifies burst mode operation. In this mode the eight clock/calendar registers may be consecutively read or written. Addresses above seven (user byte) are non-existent; addresses 0-7 are accessible.

**RAM**

The static RAM is contained in 24 writeable/readable registers, addressed consecutively in the RAM address space beginning at location zero.

**RAM BURST MODE**

Addresses 31 decimal of the RAM address space specifies burst mode operation. In this mode, the 24 RAM registers may be consecutively read or written. Addresses above 1 maximum RAM address location are non-existent and are not accessible.

**REGISTER SUMMARY**

A register data format summary is shown in Figure 4.

**CRYSTAL SELECTION**

A 32.768 KHZ crystal, Daiwa Part No. DT266 Seiko Part No. DS-VT-200 or equivalent, can be directly connected to the DS1202 via pins and 3 (x1, x2). The crystal selected for use should have a specified load capacitance ( $C_L$ ) of 6 pF.

REGISTER DEFINITION

SEC	7	6	5	4	3	2	1	0	Ch	10 SEC	SEC							
	1	0	0	0	0	0	0	0	00	59								
MIN	1	0	0	0	0	0	1	0	0	10 MIN	MIN							
	1	0	0	0	0	1	0	0	01-12	00-23	HR							
HR	1	0	0	0	0	1	0	0	12/24	10/APR	HR							
DATE	1	0	0	0	0	1	1	0	0	0	10 DATE	DATE						
MONTH	1	0	0	0	1	0	0	0	01-12	0	10 MONTH	MONTH						
DAY	1	0	0	0	1	0	1	0	01-07	0	0	0	0	0	0	0	0	DAY
YEAR	1	0	0	0	1	1	0	0	0-99	10 YEAR	YEAR							
CONTROL	1	0	0	0	1	1	1	0	WP	FORCED TO ZERO								
BURST	1	0	1	1	1	1	1	0	<i>BE execution delay SF lcc1 n: b: j</i>									
RAW 0	1	1	0	0	0	0	0	0	RAW DATA 0									
RAW 23	1	1	1	0	1	1	1	0	RAW DATA 23									
BURST	1	1	1	1	1	1	1	0	<i>data ramenable de RAM</i>									

**ABSOLUTE MAXIMUM RATINGS**  
 VOLTAGE ON ANY PIN RELATIVE TO GROUND -0.5V TO +7.0V  
 OPERATING TEMPERATURE 0°C TO +70°C  
 STORAGE TEMPERATURE -55°C TO +125°C  
 SOLDERING TEMPERATURE -260°C FOR 10 SEC

RECOMMENDED D.C. OPERATING CONDITIONS (0° to +70°C)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Supply voltage	V <sub>cc</sub>	4.5	5.0	5.5	VOLTS	1
Standby Supply Voltage	V <sub>cc1</sub>	3.0		5.5	VOLTS	1
Logic 1 Input	V <sub>IH</sub>	2.0		V <sub>cc</sub>	VOLTS	1
Logic 0 Input	V <sub>IL</sub>	-0.5		0.8	VOLTS	1

D.C. ELECTRICAL CHARACTERISTICS (0° to +70°C, V<sub>cc</sub> = 5V ±10%)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Input Leakage	I <sub>IU</sub>			+500	uA	6
I/O Leakage	I <sub>LO</sub>			+500	uA	6
Logic 1 Output	V <sub>OH</sub>	2.4			VOLTS	2
Logic 0 Output	V <sub>OL</sub>			0.4	VOLTS	3
Active Supply Current	I <sub>CC</sub>			4	mA	4
Standby Supply Current	I <sub>CC1</sub>			1	uA	5
Standby Supply Current	I <sub>CC2</sub>			100	nA	10

(TA = 25°C)

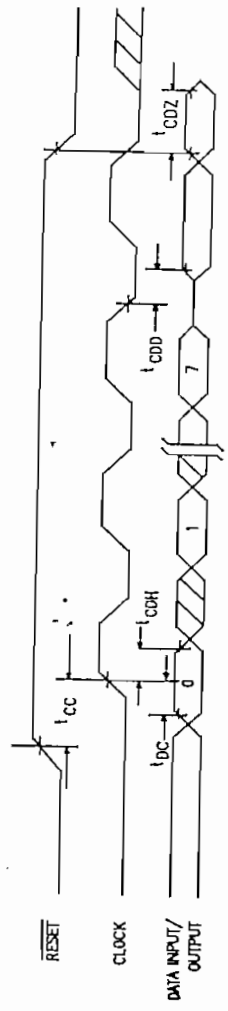
PARAMETER	SYMBOL	CONDITION	TYP	MAX	UNITS	NOTES
Capacitance	$C_1$		5		pF	
Capacitance	$C_{io}$		10		pF	
Capacitance	$C_x$		6		pF	

**ELECTRICAL CHARACTERISTICS** ( $V_{cc} = +5V \pm 10\%$ ,  $0^\circ C$  TO  $70^\circ C$ )

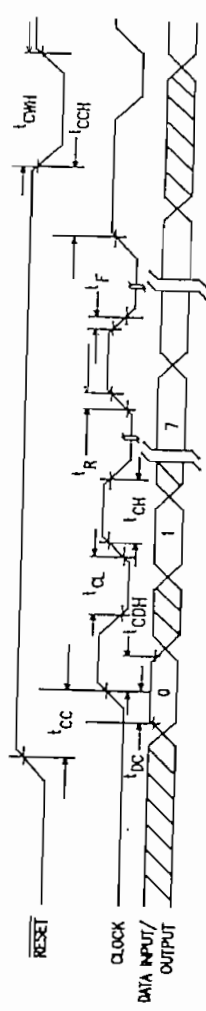
PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
CLK Setup	$t_{bc}$	50			ns	7
Data Hold	$t_{cdH}$	70			ns	7
Data Delay	$t_{cdO}$		200		ns	7,8,9
Setup Time	$t_{cc}$	250			ns	7
Hold Time	$t_{cH}$	250			ns	7
Frequency	$f_{CLK}$	D.C.	2.0		MHZ	7
Rise & Fall	$t_f$		500		ns	
CLK Setup	$t_{cc}$	1			us	7
RST Hold	$t_{cCH}$	60			ns	7
Settling Time	$t_{cWH}$	1			us	7
I/O High Z	$t_{cdZ}$		70		us	7

**TIMING DIAGRAM - READ/WRITE DATA TRANSFER** Figure 5

**WRITE DATA TRANSFER**



**READ DATA TRANSFER**

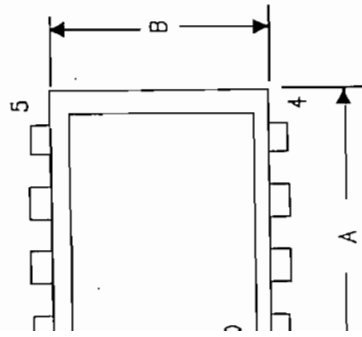


**NOTES**

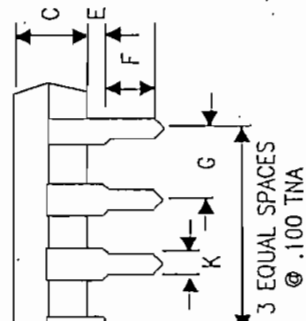
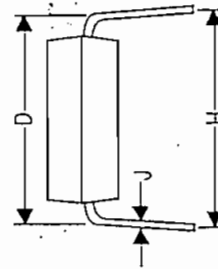
1. All voltages are referenced to ground.
2. Logic one voltages are specified at a source current of 1 MA.
3. Logic zero voltages are specified at a sink current of 4 MA.
4.  $t_{cc}$  is specified with the I/O pin open.
5.  $t_{cdO}$  is specified with  $V_{cc}$  at 3.0 volts and  $\overline{RST}$ ,  $I/O$ , and  $SCLK$  are open.
6.  $\overline{RST}$ ,  $SCLK$  and  $I/O$  all have 40 K ohm pull down resistors to ground.
7. Measured at  $V_{IH} = 2.0V$  or  $V_{IL} = 0.8V$  and 10 ms maximum rise and fall time.
8. Measured at  $V_{OH} = 2.4V$  or  $V_{OL} = 0.4V$ .
9. Load capacitance = 50 pF.
10.  $t_{cdZ}$  is specified with  $V_{cc}$  at 3.0 volts and  $\overline{RST}$ ,  $I/O$ , and  $SCLK$  are open. The clock halt flag must also be set to logic one.



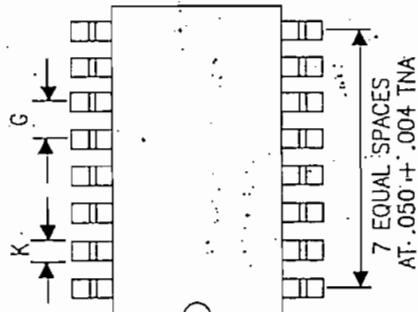
DS1202S  
SERIAL TIMEKEEPER  
DIP



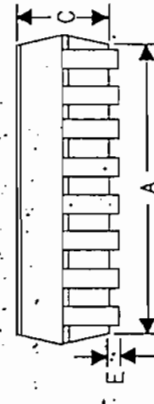
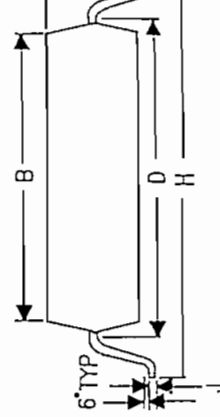
DIM.	INCHES	
	MIN.	MAX.
A	.345	.400
B	.240	.260
C	.120	.140
D	.290	.310
E	.020	.030
F	.110	.130
G	.090	.110
H	.320	.370
J	.008	.012
K	.015	.021



DS1202S  
SERIAL TIMEKEEPER  
16-PIN SOIC



DIM.	INCHES	
	MIN.	MAX.
A	.403	
B	.290	
C	.089	
D	.325	
E	.008	
F	.097	
G	.046	
H	.402	
J	.006	
K	.013	



## **ANEXO D**

*Microcontrolador INS 8748.*

# Table of Contents

## Chapter 1 THE 48-SERIES MICROCOMPUTERS

- 1.1 INTRODUCTION
- 1.2 PROGRAMMING REQUIREMENTS
- 1.3 DEVELOPMENT SUPPORT

## Chapter 2 THE 48-SERIES SINGLE-CHIP SYSTEM

- 2.1 INTRODUCTION
- 2.2 48-SERIES ARCHITECTURE
  - 2.2.1 CPU
  - 2.2.2 Branch Logic
  - 2.2.3 Program Status Word
  - 2.2.4 Program Counter
  - 2.2.5 Resident ROM
  - 2.2.6 Resident RAM
  - 2.2.7 Internal Timer/Counter
  - 2.2.8 Timing and Control Logic

## 2.3 INPUT/OUTPUT SIGNAL DESCRIPTIONS

- 2.3.1 Reset (RESET)
- 2.3.2 Single Step (SS)
- 2.3.3 Interrupt (INT)
- 2.3.4 External Access (EA)
- 2.3.5 Test 0 (T0)
- 2.3.6 Test 1 (T1)
- 2.3.7 Address Latch Enable (ALE)
- 2.3.8 Write Strobe (WR)
- 2.3.9 Read Strobe (RD)
- 2.3.10 Program Store Enable (PSEN)
- 2.3.11 Output Strobe (PROG)
- 2.3.12 Crystal Input (XTAL 1, XTAL 2)
- 2.3.13 I/O Ports and Bus

## 2.4 SPECIAL FEATURES

- 2.5 BATTERY CHARGING CIRCUIT

## Chapter 3 EXPANDING THE 48-SERIES MICROCOMPUTERS

### 3.1 INTRODUCTION

### 3.2 ADDING EXTERNAL ROM

- 3.2.1 Port 2 Restoration
- 3.2.2 Bank-Switching
- 3.2.3 Interrupt Handling
- 3.2.4 Expansion Examples

### 3.3 ADDING EXTERNAL RAM

### 3.4 INPUT/OUTPUT EXPANSION

**Chapter 4 THE 48-SERIES INSTRUCTION SET**

4.1 INTRODUCTION ..... 4-1

4.1.1 Control Instructions ..... 4-1

4.1.2 Data Move Instructions ..... 4-1

4.1.3 Timer-Counter Instructions ..... 4-1

4.1.4 Accumulator Instructions ..... 4-2

4.1.5 Branch Instructions ..... 4-2

4.1.6 Input/Output Instructions ..... 4-3

4.1.7 Register Instructions ..... 4-3

4.1.8 Subroutine Instructions ..... 4-3

4.1.9 Flag Instructions ..... 4-3

4.1.10 No Operation ..... 4-3

4.1.11 Instruction Set Summary ..... 4-3

4.2 48-SERIES INSTRUCTION SET ..... 4-8

**Chapter 5 APPLICATIONS FOR THE 48-SERIES**

5.1 INTRODUCTION ..... 5-1

5.2 TIME-WAISE INPUTS ..... 5-1

5.3 POWER-DOWN OPERATION ..... 5-1

5.3.1 AC Detention Circuits ..... 5-1

5.3.1.1 Peak Detectors ..... 5-1

5.3.1.2 Zero-Crossing Detectors ..... 5-1

5.3.1.3 L<sub>r</sub>-R<sub>f</sub> Frequency Detector ..... 5-2

5.3.2 DC Detection ..... 5-2

5.3.3 Power-Fail Interrupt ..... 5-2

5.3.4 Reset ..... 5-3

5.3.5 Interrupt Service Routine ..... 5-4

5.4 HARDWARE APPLICATIONS ..... 5-4

**Chapter 6 DEVELOPMENT SUPPORT**

6.1 INTRODUCTION ..... 6-1

6.2 PUBLICATIONS ..... 6-1

6-3 TRAINING ..... 6-1

6-4 TECHNICAL SUPPORT PROGRAMS ..... 6-1

6-5 STARPLEX™ DEVELOPMENT SYSTEM ..... 6-1

6-6 IN-SYSTEM EMULATOR ..... 6-2

**Appendix A**

**INS8049 Series Microcomputer/Microprocessor Data Sheet**  
INS8049-19/50, INS8035-39/40, INS8048-1 Series (Extended Term) ..... A-3

**Analog I/O Components**

ADC0801, ADC0802, ADC0803 ADC0804 8-Bit μP  
Compatible A/D Converters ..... A-25

ADC3511/ADC3711 3 1/2-3 3/4-Digit Microprocessor  
Compatible A/D Converter ..... A-49

**Communications Components**

INS2651 Programmable Communications Interface ..... A-53

INS8250 Asynchronous Communications Element ..... A-65

DPT3049, DP8304-B 8-Bit TRI-STATE  
Bidirectional Transceiver (Non-Inverting) ..... A-68

**Digital I/O Components**

INS8243 Input/Output Expander ..... 1

DM7131, DM16131, DM7136/DM1136  
6-Bit Unidirectional Bus Comparators ..... 1

INS8202 8203 TRI-STATE™ Octal Buffers ..... 1

INS8208 8-Bit Bidirectional Transceiver ..... 1

INS8212 8-Bit Input/Output Port ..... 1

INS8216 8226 4-Bit Bidirectional Bus Transceivers ..... 1

MM54C37A/MM74C37A TRI-STATE™ Octal D-Type Latch  
MM54C37A MM74C74 TRI-STATE™ Octal D-Type Flip-Flop ..... 1

**Memory Components**

MM2716 16,384-Bit (2048 x 8) Erasable PROM ..... 1

MM2708 8K UV Erasable PROM ..... 1

MM54C92/MM74C92 1024-Bit (256 x 4) Static RAM  
MM54C92/MM74C92 1024-Bit (256 x 4) Static RAM ..... 1

MM52116 (MM7416E) 16,384-Bit Read Only Memory ..... 1

MM52132 32,768-Bit (4096 x 8) MAXI-ROM™ ..... 1

MM52164 65,536-Bit (8192 x 8) MAXI-ROM™ ..... 1

**Peripheral Control Components**

INS8253 Programmable Interval Timer ..... 1

INS8350 Series Programmable CRT Controllers ..... 1

INS8259 Programmable Interrupt Controller ..... 1

**Appendix B**

**Additional Information Sources**

Ordering Information ..... 1

The Data Bookshelf:  
Tools For The Design Engineer ..... 1

**List of Illustrations**

Figure	Title
2-1	48-Series Functional Block Diagram
2-2	48-Series Accumulator
2-3	Internal Stack Composition
2-4	Program Counter
2-5	48-Series ROM Memory Map
2-6	48-Series RAM Memory Map
2-7	Timer/Counter Block Diagram
2-8	Internal Clock Block Diagram
2-9	Instruction Cycle Relationships
2-10	Tuning Relationships
2-11	48-Series Pin Configuration
2-12	48-Series Reset Circuits
2-13	Single Step Timing
2-14	Address Output Lines
2-15	Single Step Circuit
2-18	Internal Interrupt Structure
2-17	Timing for Reading Internal ROM
2-18	Reading Internal ROM

## List of Illustrations (Cont'd.)

Figure	Title	Page
2-19	48-Series I/O Port Options .....	2-19
2-20	Internal Charging Standby Circuit .....	2-19
2-21	Standby Sequence Timing .....	2-20
3-1	External Instruction Fetch Timing .....	3-1
3-2	Three-Chip Memory Expansion .....	3-3
3-3	Single-Chip Memory Expansion .....	3-3
3-4	External Read/Write Timing .....	3-4
3-5	External RAM Expansion .....	3-5
3-6	I/O Port Expansion .....	3-5
3-7	Port 2 Expansion Timing .....	3-6
3-8	INS8243 Selection Requirements .....	3-6
4-1	48-Series Sample Instruction .....	4-8
5-1	48-Series Time-Base .....	5-1
5-2	AC Peak Detection Circuit .....	5-2
5-3	Line Frequency Detector .....	5-2
5-4	DC Detection Circuit .....	5-3
5-5	Driving and Holding RESET Active .....	5-3
6-1	STAPLEX™ Development System .....	6-3

## List of Tables

Table	Title	Page
1-1	48-Series Features .....	1-1
1-2	48-Series Compatible Components .....	1-2
2-1	RAM and ROM Implementation .....	2-1
2-2	48-Series Branch Conditions .....	2-3
2-3	Program Status Word .....	2-4
2-4	Dedicated ROM Addresses .....	2-5
2-5	Timing and Control Logic Signals .....	2-8
2-6	Instruction Execution Timing .....	2-10
2-7	48-Series Pin Summary .....	2-12
2-8	Current Requirements for Standby RAM .....	2-20
3-1	I/O Control Signals .....	3-6
4-1	48-Series Instruction Set Summary .....	4-4
4-2	Symbols Used in 48-Series Instructions .....	4-8
4-3	48-Series Operation Codes .....	4-24
4-4	Register/Accumulator .....	4-26
4-5	Input/Output .....	4-26
4-6	Branch .....	4-26

The 48-Series Microcomputers

1.1 INTRODUCTION

The 48-Series microcomputers, designed using National's proprietary X MOS process, are true single-chip microcomputers. The devices making up this family of microcomputers contain all of the functions on one chip that are normally performed by multi-chip systems. The various chips that constitute the 48-Series are similar, only the amount of internal RAM and ROM varies. The features contained in the 48-Series are given below. Included within these features are several transparent improvements over other similar devices.

- 8-Bit CPU
- Built-in RAM and ROM (Externally Expandable)
- 1.35  $\mu$ sec or 2.5  $\mu$ sec Cycle Times
- Built-in Oscillator and Clock (Crystal-Controlled or External)
- 27 I/O Lines (Expandable)
- 8-Bit Timer/Counter
- Interrupt (Schmitt-Trigger with Hysteresis)
- 96 Instructions (70% Single-Byte)
- Single-Step
- Binary and BCD Arithmetic
- 8-Level Stack
- Programmable Standby RAM
- Low Voltage Standby (2.2V min)
- On-Chip Standby Battery Charging

This expanded and improved 48-Series of microcomputers offers the user greater flexibility both during and after the development cycle. During development, three devices containing varying amounts of RAM, but no ROM, allow the user to develop an optimum system using as much external EPROM as is necessary.

Once the firmware is finalized, three mask-programmable devices, with varying amounts of RAM and ROM, can be substituted into the final system. The ability to substitute a single 48-Series device for multiple devices permits a low-cost, low-power alternative to potentially expensive applications. Additionally, future increased firmware needs are handled by simply upgrading to a device with a greater ROM capacity.

The varying amounts of internal RAM and ROM for the 48-Series microcomputers are given in Table 1-1.

Table 1-1. 48-Series Features

Device	ROM	RAM	48-Series Common Features
INS8035	None	64 bytes	8-bit CPU On-board Timing and Control 27 I/O Lines Timer/Counter Interrupt Reset
INS8039	None	128 bytes	
INS8040	None	256 bytes	
INS8048	1K bytes	64 bytes	
INS8049	2K bytes	128 bytes	
INS0050	4K bytes	256 bytes	

Upgrading from an INS8049 to an INS0050 is a simple matter of removing one and replacing it with the other. 48-Series devices are not only pin-compatible but are also software-compatible. With the many transparent improvements and the option of opalizing a system from 1MHz to 11MHz, the 48-Series microcomputers are equivalent to or better than their equivalents.

In addition to the features found within the 48-Series microcomputers, these microcomputers are fully externally expandable. Not only can additional external RAM and ROM be added, but additional input/output lines can be added as well. Expansion in all cases is via standard memories or peripherals. With the variety obtainable within the 48-Series, the system designer can mix and match internal and external memory as well as peripherals to obtain an optimum system.

The 24 I/O ports on the 48-Series can be expanded further by adding an I/O Expander, the INS8213, to one of the I/O ports. Multiple INS8213s can be busied together in systems with larger I/O requirements. An expanding area of memory and peripheral products permit creation of specific and specialized applications systems.

Table 1-2. 48-Series Compatible Components

Device	Description
ADC080X	8-Bit Differential Input A/D Converters
ADC3511V	3 1/2 - 3 3/4 Digit A/D Converters
ADC3711	
Device	Description
INS2651	Communications Components
INS2650	Programmable Communications Interface
DPT304B/DP8304B	Asynchronous Communications Element
INS8208	8-Bit Bidirectional Transceiver
Device	Description
INS8243	Digital I/O Components
DM7131V	Input/Output Expander
DM8131	6-Bit Unidirectional Comparator
INS8202/03	Octal Buffers
INS8208	8-Bit Bidirectional Transceiver
INS8212	8-Bit Input/Output Port
INS8218/ITS8226	4-Bit Bidirectional Bus Transceivers
MM54C373/MM74C373	Octal D-Type Latch
MM54C374/MM74C374	Octal D-Type Flip-Flop
Device	Description
MM2716	Memory Components
MM2708	2K x 8 EPROM
MM54C920/MM74C920	1K x 8 EPROM
MM52116	256 x 4 CMOS RAM
MM52132	2K x 8 ROM
MM52164	4K x 8 ROM
MM52164	8K x 8 ROM
Device	Description
INS8253	Peripheral Control Components
INS8350	Programmable Interval Timer
INS8259	Series Programmable CRT Controllers
INS8259	Programmable Interrupt Controller

The instruction set makes the 48 Series an efficient controller and arithmetic processor. With 96 instructions, 70% of which are one byte in length, the remainder being two bytes, efficient use is made of the system memory. The I/O lines can be individually set to level or logically manipulated directly by the software. Additionally, a large set of branch and table look-up instructions provide for efficient logical operations. The internal timer/counter is also directly controlled through dedicated instructions.

1.2 PROGRAMMING REQUIREMENTS

Following final system design, it may be necessary for the initial production units to be shipped with EPROMs in the system, in order to reduce production costs to a minimum. The EPROMs should be replaced with mask-programmed 48-Series microcomputers. Conversion requires the user to send National Semiconductor a copy of the program, in paper tape or EPROM. National commits the program to mask, and the users 48-Series microcomputer is created. Additionally, the user-specified mask-programmable options may be designed into the system to create a unique, specialized controller.

Information on National's 48-Series programming requirements is contained within the data sheet in Appendix A.

Note: There are some programming restrictions when using external ROM for program memory. The AND and OR to BUS instructions will not work with external ROM.

1.3 DEVELOPMENT SUPPORT

48-Series product development is fully supported by National Semiconductor's STARPLEX™ Development System. STARPLEX is a general-purpose micro-computer/microprocessor development system with new levels of operating simplicity as an interactive system. STARPLEX combines ease-of-use, through extensive use of prompts, with all the functions normally expected of a sophisticated development system. Included in the STARPLEX package are a full-function keyboard with a unique system resource keypad; a video monitor, 80 characters-per-line thermal printer, dual floppy disk subsystem, 64K bytes of RAM, and an 8080-based CPU board. The standard STARPLEX software package also includes a disk operating system, assembler, debugger, editor, linker, loader, FORTRAN, BASIC, and on-board ROM diagnostics and utilities. A cross-assembler for the 48-Series microcomputers is also available (as well as cross-assemblers for other microprocessors).

Two options available for STARPLEX are an in-system emulator (ISE) and a PROM programmer/personality module. The ISE is a peripheral that permits STARPLEX itself to substitute for the target microprocessor. The PROM programmer module supports standard P10-LOG-compatible personality modules. With these aids, the integration of system hardware and software is considerably eased.

The 48-Series Single-Chip System

2.1 INTRODUCTION

As single-chip microcomputers, the 48-Series systems provide minimum chip implementations for controller applications. The different devices in the family are all functionally compatible. Each device contains a built-in system timing, control logic, 27 I/O lines, and differing arrangements of RAM, and ROM. The RAM and ROM built into each device in the family is given in Table 2-1.

Table 2-1. RAM and ROM Implementation

DEVICE	RAM	ROM
INS8035	54 x 8	None
INS8039	128 x 8	None
INS8040	256 x 8	None
INS8048	64 x 8	1K x 8
INS8049	128 x 8	2K x 8
INS8050	256 x 8	4K x 8

The following sections contain descriptions of the various functional units of the 48-Series microcomputers.

2.2 48-SERIES ARCHITECTURE

There are nine major functional blocks comprising the 48-Series microcomputers. These blocks are in turn composed of various sub-blocks. The various blocks are as follows.

- CPU
  - Instruction Register
  - Arithmetic Logic Unit
  - Accumulator
  - Flag Register
- Branch Logic
- Resident ROM
  - Program Counter
  - Resident RAM
  - RAM
  - Registers
  - Stacks
- Input/Output Ports and Buses
- Instruction Register
- Program Status Word
- Internal Timer/Counter
- On-Board Timing and Control Logic

A functional block diagram of the 48-Series microcomputers is shown in Figure 2-1.

2.2.2 Branch Logic

The branch logic within the 48-Series microcontroller permits the user to test various internal or external conditions. If the selected condition is true, the branch logic forces a jump to the address specified by program. The various branch condition tests are listed in Table 2-2.

Table 2-2. 48-Series Branch Conditions

Test	Logic Condition	Instruction
Interrupt*	0	JNI
Flag 0	1	JF0
Flag 1	1	JF1
Timer Flag	1	JTF
Carry	0 or 1	JC, JNC
Accumulator	0 or Non-0	JZ, JNZ
Accumulator Bit Test	1	JBO, JBT
Test 0**	0 or 1	JT0, JTA
Test 1**	0 or 1	JT1, JTA
Register**	Non-0	DJNZ

\*External Input  
 \*\*Register can be tested for non-0 following a direct

2.2.3 Program Status Word

The program status word is an 8-bit word stored in the program status register. The register contains high status information relating to machine operation, and the program counter. The contents of the register can be read from the status register. All eight bits must be read/written at the same time.

During subroutine calls or interrupts, the upper four bits of the status register are saved on the stack. The contents may be restored to the register upon return. Decipher upon the return instruction used.

The stack pointer comprises the lower three bits of the program status word and is an independent counter points to designated spaces in the internal RAM.

The stack occupies RAM locations 0 through (X-17) where X is the stack pointer. The stack pointer actually points to location 8 and 9 in RAM. An interrupt or subroutine call causes the contents of the program counter and the upper 4 bits of the program status word to be stored in one of the stack registers. The stack pointer is then incremented to point to the next two locations.

Up to eight subroutines can be nested at any given time without the stack overflowing. Since the stack pointer is a simple up-down counter, an overflow will cause the deepest address to be lost (the counter overflows from 111 to 000). The pointer also underflows from 000 to 111 to 000.

2.2.1 CPU

The CPU is an 8-bit unit comprised of an instruction register, an arithmetic logic unit, an accumulator, and a flag register. In a typical operation, data placed in the accumulator combines with data from another source on the internal bus. The result of the combination is then stored in either the accumulator or a designated register.

**Instruction Register:** The instruction register receives the operation code (opcode) portion of each instruction taken from ROM. The opcode then generates specific outputs to control each block of the CPU. The outputs typically control the source and destination registers, as well as the function to be performed by the arithmetic logic unit.

**Arithmetic Logic Unit:** The arithmetic logic unit (ALU) operates on the 8-bit data taken from the accumulator and the bus. Operation is controlled by the instruction register and consists of the following operations:

- Add, With or Without Carry
- AND, OR, EXOR
- Decimal Adjust
- Increment/Decrement
- Complement, Clear
- Rotate Right and Left, With or Without Carry
- Swap Nibbles

Any operation performed in the ALU that results in values greater than eight bits, causes the carry flag to be set.

**Accumulator:** The accumulator is the main input port to the ALU. All operations are performed with reference to the accumulator. Most data transfers into the ALU from memory or the I/O ports pass through the accumulator.

The accumulator is a register, normally used for 8-bit operations. As such, the accumulator maintains a carry bit immediately following bit 7. Additionally 4-bit binary-coded decimal (BCD) operations can also be performed by the accumulator. To support the 4-bit operations, an auxiliary carry bit is maintained immediately following bit 3. Auxiliary carry is affected by the same logical and arithmetic instructions that affect carry. Carry is the only testable bit. Auxiliary carry is used only when converting the accumulator contents from binary to BCD (using the DAA instruction). The auxiliary carry flag bit can be cleared by moving a zero into bit 6 of the program status word. An illustration of the accumulator is shown in Figure 2-2.

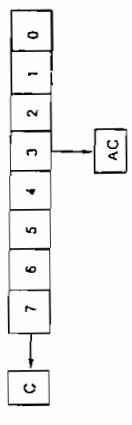
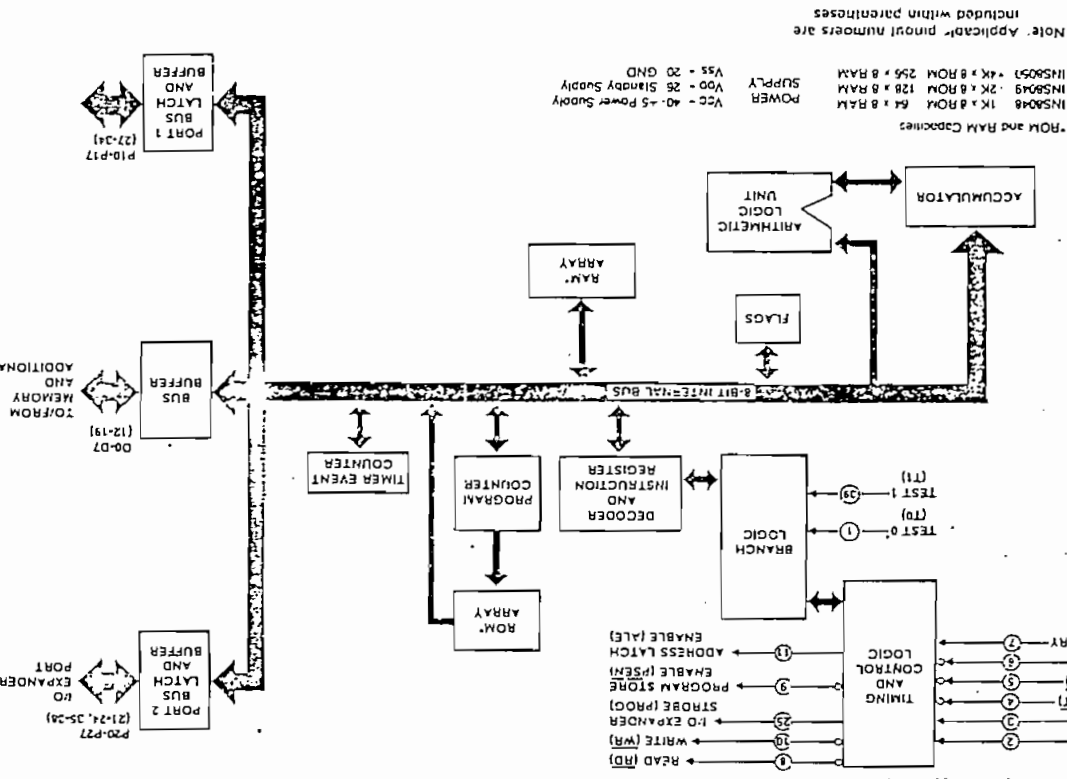


FIGURE 2-2. 48-Series Accumulator

FIGURE 2-1. 48-Series Functional Block Diagram



Note: Applicable pinout numbers are included within parentheses

ROM and RAM Capacities:  
 INS0048 1K x 8 ROM, 64 x 8 RAM  
 INS0049 2K x 8 ROM, 128 x 8 RAM  
 INS0051 4K x 8 ROM, 256 x 8 RAM

POWER:  
 VCC - 40-5 Power Supply  
 VDD - 26 Standby Supply  
 VSS - 20 GND



The 16-bit RAM data memory is organized as 64, 128, or 256 bytes, depending upon the device. There are eight working registers in RAM for each register bank (R0 and R31) selected. Register bank 0 occupies 0 through 7, while register bank 1 occupies locations 24 through 31. Indirect addressing to all RAM locations is implemented through the two 8-bit pointer registers, R0 and R1. The pointer registers occupy the first two working register locations: 0 and 1 for register bank 0, or 24 and 25 for register bank 1.

The eight-level stack occupies the space between both working registers, locations 8 through 23. Each level of the stack actually occupies two memory locations. For additional information, see 2.2.3.

Register bank 1 and any unused stack locations may be used for RAM if the register bank select location and all of the stack are not used. Register bank 1 working registers

may also be used as an extension of the register bank G registers, or reserved to service interrupts. The latter feature allows easy "saving" of register bank G registers by immediately switching to register bank 1.

Through the use of register bank-switching, the two pointer registers can be expanded to four, thereby allowing easy access up to four working areas. The 48-Series RAM memory map is illustrated in Figure 2-6. Additional information concerning standby RAM operation is contained in 2.4.2.

**Note:** Internal and external RAM are data memory only. The 48-Series microcomputers cannot execute programs out of internal RAM. The 48-Series microcomputers can execute programs by accessing external memory. If the external access (EA) line is high, external memory may be ROM, PROM or RAM.

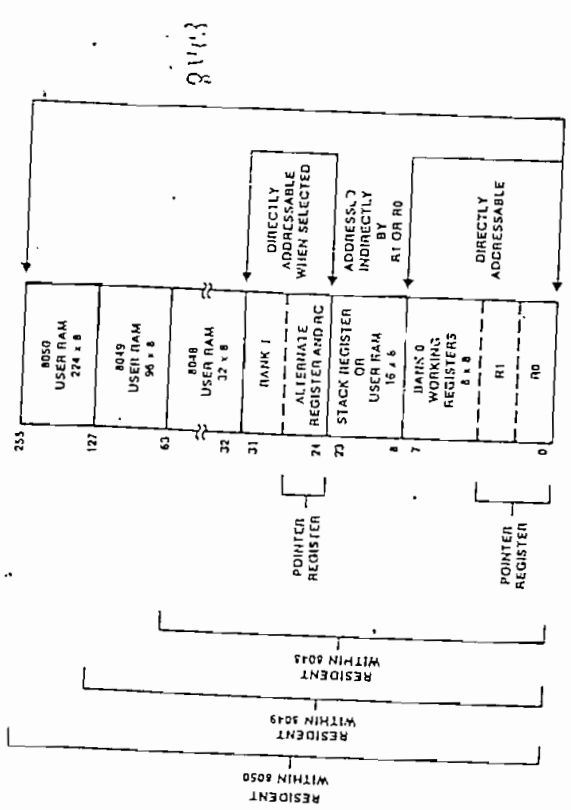


FIGURE 2-6. RAM Data Memory Map

2.2.7 Internal Timer/Counter

The 48-Series microcomputers contain an internal timer counter that may be operated in two modes:

- As a timer
- As an event counter

These operating modes are independent of the CPU, thereby providing the facility of accurate time delays without tying up processor time.

The register for the timer counter is an 8-bit prescalable up-counter. The register can be loaded or read using the MOV instructions to transfer data between the accumulator and the register.

Once started, the counter will count to its maximum value of X'FF, will overflow to X'00, and will continue counting until stopped by either a system reset or a stop instruction.

A system reset does not affect the contents of the register, although it will stop the counter. The only method of changing the register contents is to load the register using the MOV T instruction.

The counter may also be stopped using the STOP TCNT instruction. Once stopped, the counter remains stopped until either a start counter (START CNT) or start timer (START T) instruction is executed.

As the counter is incremented from X'FF to X'00, the overflow flag is set, and an unattached interrupt request is generated. The flag may be tested by the JTF instruction. The request is honored only if EN TCNT1 has been previously executed. The flag may be reset by either the JTF instruction or the Reset input going true.

Timer interrupt requests are stored in a latch, the output of which is OR'ed with the external interrupt. The timer interrupt can be enabled or disabled independently of the external interrupt. If the timer interrupt is enabled, an overflow will cause a subroutine call to location 7 in ROM, where a timer or counter service routine will start. If both an external interrupt and a timer interrupt should happen to occur simultaneously, the external interrupt is recognized first. Control will shift to location 3 to service the external interrupt. Since the timer interrupt is latched, once the external interrupt service routine is completed, control will return to the main program, at which time the timer interrupt will take effect. This time control will shift to location 7 to service the timer interrupt. Once a subroutine call to location 7 occurs, the timer interrupt will be reset. The interrupt can also be reset by the DIS TCNT instruction. For additional interrupt information, see section 2.3.3.

Timer operation

For the timer counter to operate as a timer, the START instruction must be executed. Once executed, the instruction first clears and then causes the internal clock to pass through a divide-by-15 prescaler and a divide-by-32 prescaler. The second prescaler output increments the timer. By prescaling the timer counter prior to executing START T, accurate time-outs may be achieved.

As an example, assuming a 1MHz crystal is used, the input is divided by 15. The resulting 733kHz signal is in turn divided by 32. The final output of 22.9171717 increments the counter once every 44 microseconds.

By prescaling the counter and detecting overflow, accurate timeouts between 44 microseconds and 171 milliseconds (256 counts) are possible. Timers longer than 11 milliseconds are possible by accumulating under software control, multiple overflows in one of the registers.

For times under 44 microseconds, the timer should be used as an event counter, with the external input taking the place of the internal clock source. Dividing the address latch enable signal (ALE) by three or more can serve as an external clock. Using the timer in this mode permits "fine-tuning" of timing delays through software looping.

Counter Operation

To operate the timer counter as an event counter, the START CNT instruction must be used. High-to-low transitions on the T1 input will increment the counter. The counter can not be incremented any more than once per three-instruction cycles. Dividing the address latch enable signal (ALE) by three or more provides a convenient source for this timing. The input at T1 must also remain high for 500 nanoseconds after each transition.

A functional block diagram of the timer counter is illustrated in Figure 2-7.

2.2.8 Timing and Control Logic

The timing and control logic interval in the 48-Series microcomputers permits the following:

- External stimulus to control system operation
- System communication with external memory
- Generate clock signals for internal use

The various input and output signals that constitute the timing and control logic are listed in Table 2-5.

Table 2-3. Program Status Word

Bit Position	Contents
0	Stack Pointer Bit, S0
1	Stack Pointer Bit, S1
2	Stack Pointer Bit, S2
3	Not Used A logic 1 when read
4*	Register Bank Select Bit 0 = Bank 0 1 = Bank 1
5*	Flag 0 (F0). A user controllable flag that can be complemented, cleared, or latched.
6*	Auxiliary Carry. A carry from bit 3 to bit 4 generated by an add operation. Used only by the decimal adjust instruction.
7*	Carry. A bit indicating the preceding operation resulted in an overflow or an underflow.

Note: Bits 4 through 7 saved on stack during subroutine calls or interrupts.

2.2.4 Program Counter

The program counter is an independent 12-bit counter. For normal operation, the counter operates as a sequential up-counter, the output of which generates addresses for ROM. Bit 11 of the program counter is set independently of the normal count sequence by the memory bank-select instructions in this manner. Instruction fetches above or below the 2K memory boundary are effected.

During interrupts or subroutine calls, the contents of the program counter are preset on the Bus port only during ALE. The upper four bits are held on Port 2. The bus addressed instruction is taken in on the Bus port when the program store enable (PSEEn) signal is active. The program counter is reset to zero (X'000) when the reset input (RESET) goes active.

with the contents of the register pair is stored in the program counter and possibly the PSW. Depending upon the return instruction used, status may also be restored.

Note: When the level of subroutine nesting is less than 8, the unused stack locations may be used as RAM.

An illustration of internal stack composition is shown in Figure 2-3.

The program status word contents are given in Table 2-3.

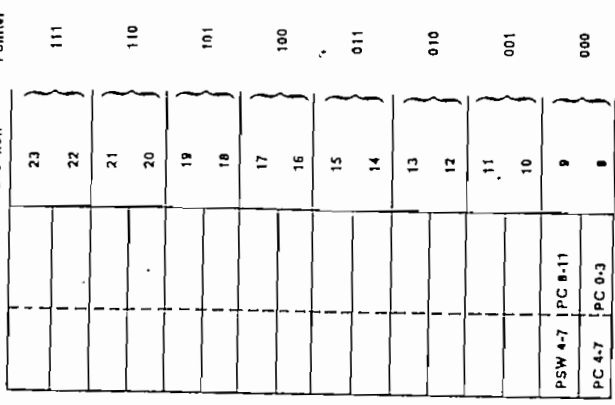
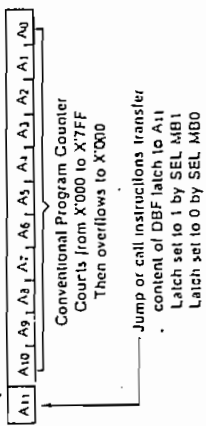


FIGURE 2-3. Internal Stack Composition

An illustration of the program counter is shown in Figure 2-4.



During interrupt service routine, A11 is forced to, and held to, 0.

All 12 bits are saved on the stack.

FIGURE 2-4. Program Counter

2.2.5 Resident ROM

The on-board ROM (for those devices containing ROM) is an 8-bit, mask-programmed ROM. Addressing the data or instructions within ROM is done by the program counter. Data, or instructions, output from ROM are placed onto the internal bus. ROM addressing, up to a maximum of 4K,

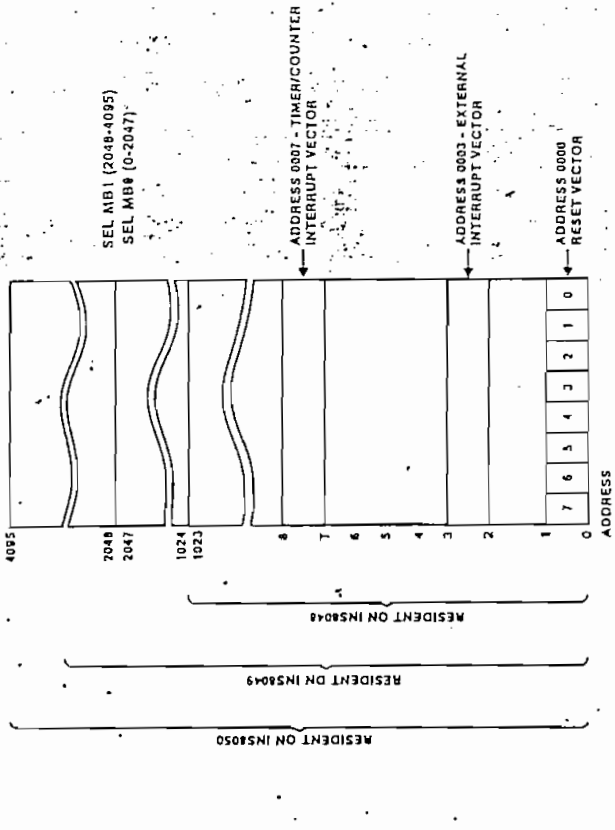


FIGURE 2-5. 48-Series ROM Memory Map

is shown through the 12-bit program counter. The reset and INS000 automatically address external memory when their internal memory boundaries of 1K and 2K, respectively, are crossed.

There are three dedicated addresses within ROM provide for system initialization or branching. These locations are described in Table 2-4. An illustration of internal ROM organization is shown in Figure 2-4.

The 12-bit dedicated ROM addresses are:

ADDRESS	FUNCTION
X'000	Reset. The reset input going low forces the first instruction executed to be fetched from here.
X'003	Interrupt. The interrupt input going high (when interrupt is enabled) forces the instruction of an interrupt service routine to be fetched from here.
X'007	Timer/Counter Interrupt. The timer/counter interrupt flag, when set (if the counter interrupt is enabled), forces the first instruction of a timer/counter service routine to be fetched from here.

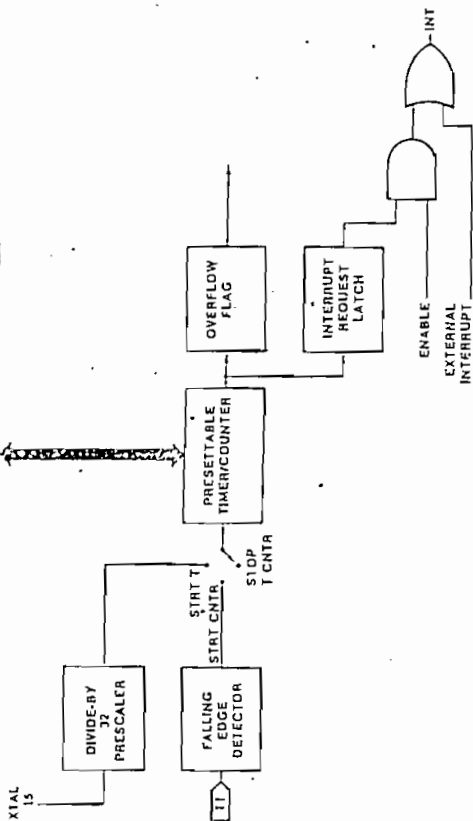


FIGURE 2-7. Timer/Counter Block Diagram

873

Table 2-5. Timing and Control Logic Signals

INPUTS	OUTPUTS
XTAL 1 XTAL 2 - Crystal or Timing Source Inputs	RD - Read strobe
RESET - Initialize	WR - Write strobe
SS - Sample Strobe	PROG - I/O expander strobe
INT - Interrupt	PSEN - Program store enable
EA - External access	ALE - Address latch enable

#### Internal Clock

The internal clock circuit of the 48-Series microprocessors accepts input from the two pins, XTAL 1 and XTAL 2. A crystal or an externally generated clock source can be connected to these two inputs. The XTAL 1 pin (TTL compatible) is the input to a high-gain series-resonant circuit with a frequency range of 1 to 6MHz or 4 to 11MHz, depending upon the 48-Series part used. The XTAL 2 pin is the output of the circuit providing feedback to the crystal. If acceptable frequency tolerances and minimum speed are not required, an inductor can be used in place of the more accurate crystal.

The external clock frequency of the oscillator is divided by three to provide the basic clock cycle for the system. Each clock cycle comprises a single machine state for the system. The basic clock cycle is available as an output at T0. Output is enabled by execution of the EN10 instruction. Output is disabled whenever the system is reset.

2-8

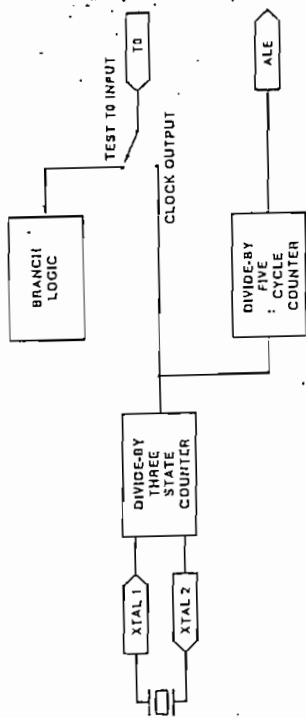


FIGURE 2-8. Internal Clock Block Diagram

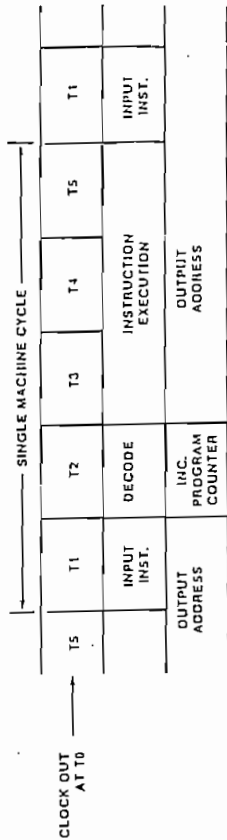


FIGURE 2-9. Instruction Cycle Relationships

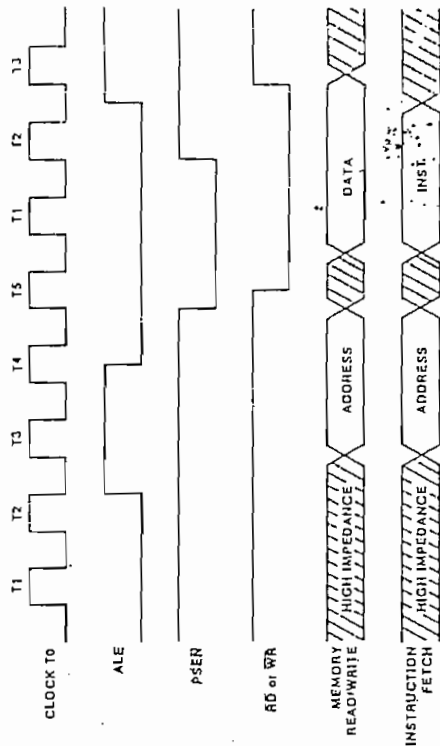


FIGURE 2-10. Timing Relationships

874

2-9



Table 2-7. 48-Series Pin Summary

Pin	Designation	Function
1	T0	Testable input using JTI and JNT0 instructions. Clock output once ENT0 CLK instruction is executed. Restored to an input line by reset.
2	XTAL 1	Crystal input for internal oscillator. Also input for external clock source.
3	XTAL 2	Crystal input for internal oscillator.
4	RESET	Reset input for CPU. Active low.
5	SS	Single step input. Used in conjunction with ALE to single step through program execution. Active low.
6	INT	Interrupt input. Generates an interrupt if interrupt is enabled. Disabled after a reset. Active low.
7	EA	External Access, when taken high, forces all instruction fetches to come from external ROM.
8	RD	Read strobe. Active during bus reads. Can enable data onto bus from external devices. Active low.
9	PSTN	Program store enable. Active during instruction fetches from external ROM. Active low.
10	WR	Write strobe. Active during bus writes. Can strobe data into external devices from bus. Active low.
11	ALE	Address latch enable occurs once during each machine cycle. Also useful as a clock output. The falling edge of ALE strobes address into external RAM and ROM.
12-19	D <sub>16</sub> -D <sub>8</sub>	Bus port. Bidirectional port which can be written or read via hexagony, using WR or RD. Output can also be bidirectionally latched.
20	V <sub>SS</sub>	Outputs eight low-order address bits during external instruction fetches. Receives addressed instruction during PSEN. Also passes eight address and data bits from external RAM (under control ALE, RD, and WR).
21-24	P <sub>20</sub> -P <sub>23</sub>	Circuit ground.
25	PROG	Lower four bits of quasi-bidirectional Port 2. Outputs upper four address bits during external ROM access and data for INSRA3 port expander.
26	V <sub>DD</sub>	Output strobe for INSRA3 I/O expander.
27-34	P <sub>10</sub> -P <sub>17</sub>	Provides an input for a standby power source for the internal RAM. When a standby power source is connected, V <sub>CC</sub> provides a battery charging path. The amount of internal RAM connected to V <sub>DD</sub> is a programmable option.
35-38	P <sub>24</sub> -P <sub>27</sub>	Port 1, quasi-bidirectional.
39	T1	Upper four bits of quasi-bidirectional Port 2.
40	V <sub>CC</sub>	Testable input using JTI and JNT1 instructions. Event counter input once STTI CNT instruction is executed.
		Main 48-Series power source (+5V)

2.3.1 Reset (RESET)

The reset input initializes the processor. The input is a Schmitt trigger that has an optional internal pullup resistor. An external 1-microfarad capacitor tied to this pin assures the reset input will be low as V<sub>CC</sub> is brought high. If an external reset is used, the input must be held at ground for at least 50 milliseconds after the power supplies have stabilized. If the power and oscillator have already stabilized, the external reset need only be negative true for five machine cycle times. A list of internal functions reset by this signal going low is given below:

- Program counter set to zero.
- Stack pointer set to zero.

- Memory bank 0 and register bank 0 selected
- Bus set to TRI-STATE mode. (except when EA is true)
- Ports 1 and 2 to input mode.
- Interrupts disabled (Timer/Counter and External).
- Timer stopped.
- Timer flag cleared.
- F0 and F1 cleared.
- Clock output at T0 disabled; T0 becomes testable input

Two typical reset circuits are illustrated in Figure 2-12. For additional information, see 2-4.3

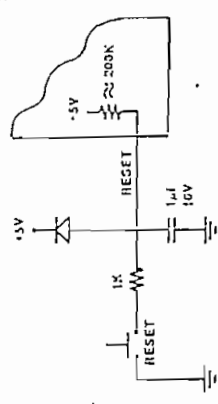
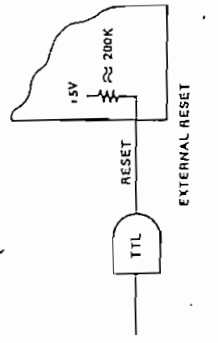


FIGURE 2-12. 48-Series Reset Circuits

2.3.2 Single Step (SS)

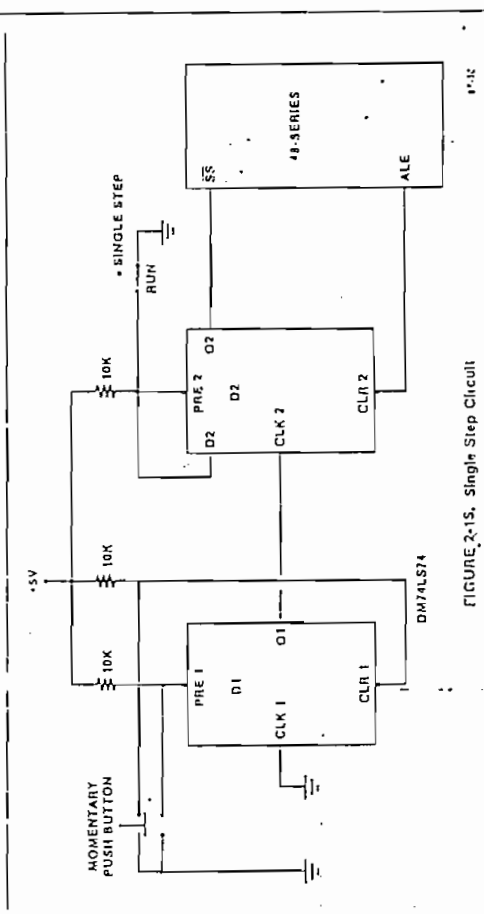
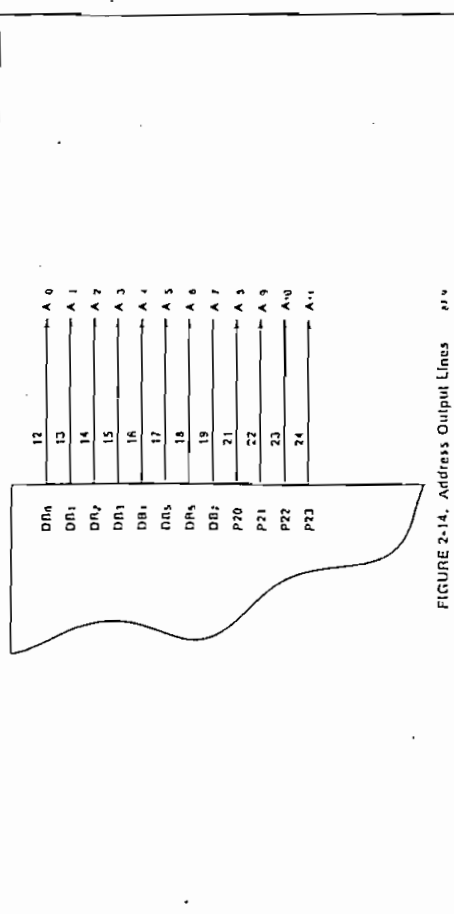
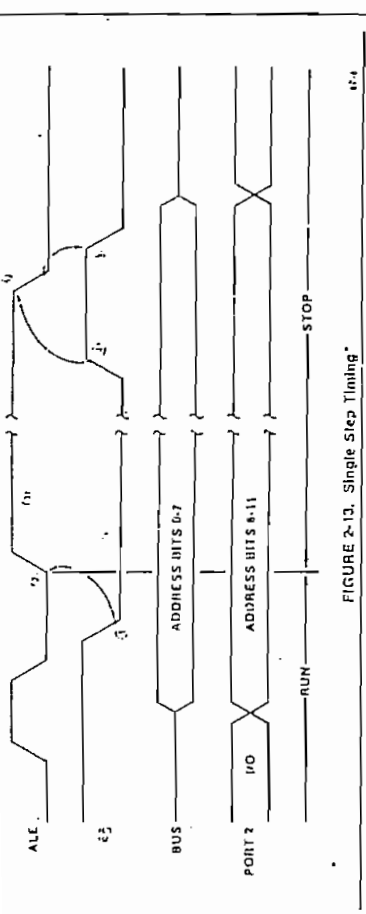
The single step input in conjunction with the ALE strobe, allows the processor to step through ROM, logically performing one instruction at a time. If the instruction is two cycles in length, both cycles are executed and the processor then stops. Instruction execution can be easily followed as the address of the next instruction to be executed is output on both Bus and the lower 4 bits of Port 2. The Bus buffer contents are lost while the processor is stopped. If necessary, the Bus data can be latched externally on the leading edge of ALE and thus saved.

The single step operation is given in the following steps. Reference should also be made to the timing chart of Figure 2-13.

1. Single step goes low, requesting the processor to stop.
2. The processor stops during the instruction latch of the next command. If a double-byte instruction, both bytes are taken, following which the processor stops. ALE goes high as an acknowledgement.
3. At this point, the address taken from the program counter is output on both the Bus and Port 2. This state can last indefinitely. Bus and port bit composition is illustrated in Figure 2-14.

4. When single step goes high, the processor is allowed to continue.
5. The processor acknowledges by driving ALE low.
6. In order to stop the processor at the next instruction, SS must be driven low immediately after ALE goes low. If SS remains high, the processor will continue to run.

Implementation of a single-step circuit for the 48-Series requires a minimum of components. An illustration of such a circuit is shown in Figure 2-15. Circuit operation is as follows.



During normal operation the preset input (PRE2) of the DM74LS74 is held low, forcing the Q2 output high. However, by holding SS high, as long as SS remains high, the computer will continue to run. Switching the run single-step switch to the single-step position puts a logic 1 on PRE2. As soon as ALE goes low, SS will be forced low, causing the computer to stop. The next instruction is executed by pressing the momentary switch. If ALE is high, the debounce flip-flop (D1) clocks J1 into D2. As soon as SS goes high, the computer latches another instruction that brings ALE low. When ALE goes low, D2 is cleared, SS goes low, and the computer stops. Placing the run single-step switch back in the run position forces a 1 in SS, allowing the computer to resume execution.

### 2.3.3 Interrupt (INT)

The interrupt input, when enabled will initiate an interrupt. This input has a Schmitt trigger input, with hysteresis that is active low. If the interrupt is disabled, the INT line can still be sampled by a conditional jump instruction. When an interrupt is detected, a jump-to-subroutine at location 3 (in internal ROM) occurs as soon as the current instruction completes execution.

During interrupts, the program counter and upper four bits of the program status word are stored on the stack. For additional information see section 2.2.3. Control is transferred to location 3 in ROM, which should normally contain a jump to interrupt service routine. Once completed the interrupt service routine should end with a return-and-restore-status instruction (RETI).

Being a single-level interrupt, INT is disabled while servicing an interrupt and is re-enabled by the RETI instruction. External timer counter interrupts are treated in like manner. If both an external and a timer-counter interrupt occur at the same time, the external interrupt has priority. Additional information on timer interrupts is given in section 2.2.8.

A simple programming trick allows the timer counter to function as a second external interrupt, if desired. By loading XFF in the timer and pulling the timer counter in the event counter mode, a logic 1-to-logic 0 transition at input T1 will cause the counter to increment and overflow, creating an interrupt vector to location 7 in ROM.

Interrupts are disabled by either system reset or the disable interrupt instructions DIS 1 for an external interrupt DIS 2 CNT1 for a timer counter interrupt. The interrupts must be enabled by the program for them to function. EN1 for an external interrupt EN 2 CNT1 for a timer counter interrupt. Interrupt sampling occurs each machine cycle during ALE. An interrupt request must be removed before ending the interrupt service routine. If not removed, the processor will immediately re-enter the service routine. A selected output line from the 44-SERIES microcomputer could be designated an interrupt acknowledge line. This line can then be activated during the interrupt service routine to reset the requesting interrupt.

The INT input may also be tested by the non-pulse-width-timing instruction (JNT). If INT is left disabled, this input can be tested in the same manner as inputs T0 and T1. An illustration of the internal interrupt structure is shown in Figure 2-16. Additional information is given in 2.2.8 and 3.2.2.

### 2.3.4 External Access (EA)

When the external access input is driven high, the microcomputer performs all memory latches from external ROM, internal ROM is disabled. Normal 40-Series usage would have the user program stored in internal ROM. As an example, diagnostic routines to test the internal logic of the CPU could be contained in the external ROM. EA should be driven high only while RESET is low. For the INS8035, INS8039 and INS8040 EA should be tied to VCC. For additional information, see 3.2.

The internal ROM may also be read, independent of the CPU, using the EA input. The sequence for reading internal memory is as follows:

- RESET is driven to 0 volts.
- CPU is placed in the read mode by driving EA to -12 volts.
- Address to be read is placed at the BUS and Port 2 lines (P20 through P22).
- RESET goes high, at which time the addresses are latched.
- After the addresses are latched, RESET remaining high will cause the contents of the address/location to be output on the BUS lines.

### Timing for reading internal ROM is shown in Figure 2-17.

An illustration of a typical read circuit is shown in Figure 2-18.

### 2.3.5 Test 0 (T0)

Pin T0 is a dual purpose pin - in one state it is a testable input, in another state it is a clock output. Each state is under direct software control.

After power-on reset, the T0 pin is a testable input using either the JNT0 or J10 instructions. Depending upon the state of the input, a jump to a specified address is possible.

The T0 pin is designated as a clock output by the ENT0 instruction. Once designated a clock output, T0 can only be returned to the testable state by activating RESET. For additional information, see 2.2.8.

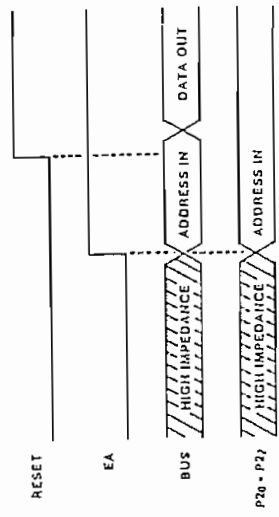


FIGURE 2-17. Timing for Reading Internal ROM

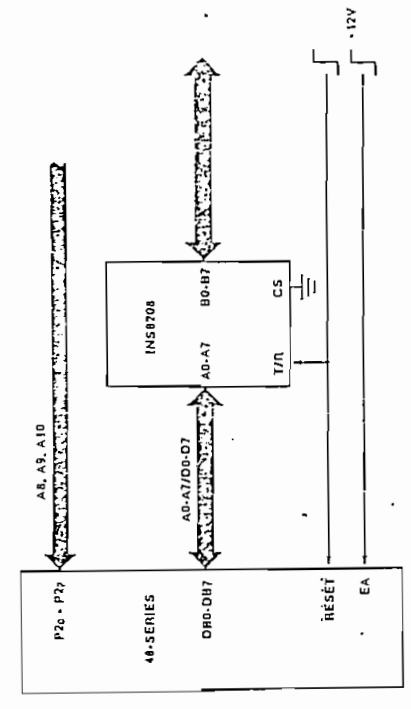


FIGURE 2-18. Reading Internal ROM

2.3.6 Test 1 (T1)

Pin T1 is also a dual purpose pin—in one state it is a testable input, in another state it is the input to the event counter for each case, the input function is software controllable. As a testable input, T1 is tested by either the JNT1 or JT1 instructions, with a jump to a specified address occurring if the tested state is true.

The T1 pin is designated as the event counter input by the STRT CNT instruction. Thereafter, high-to-low transitions at T1 will increment the counter. For additional information, see 2.2.7.

2.3.7 Address Latch Enable (ALE)

The address latch enable strobes permit external latching of the address bits present on the Bus outputs and Port 2, bits 0 through 3. The ALE signal occurs once each machine cycle, with the address valid on the falling edge.

of ALE. The signal ALE may also be used as a clock signal to enable or disable the single step input. Address latch enable is used in conjunction with the program step enable, for external fetches, as the read and write strobes for data accesses from RAM or peripherals. For additional information, see 2.2.8 and 2.3.2.

2.3.8 Write Strobe (WR)

The write strobe is driven low whenever the processor performs an external Bus write operation. Data output occurs on the Bus port with the WR strobe set at the data into external RAM. This signal occurs in conjunction with the ALE strobe during MOVX, H A instructions, but WR signal is also active during an OUTL BUS A instruction, where it can be used to notify a memory bank that new Bus port data is available.

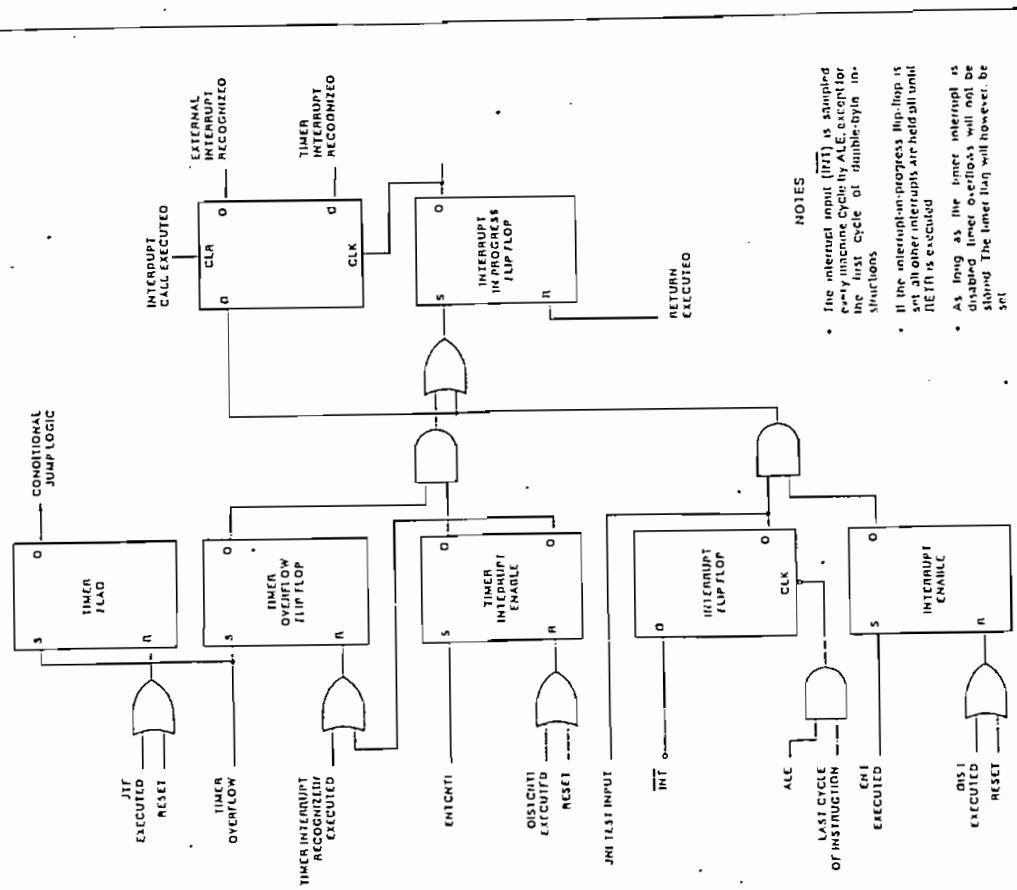


FIGURE 2-16. Internal Interrupt Structure

NOTES

- The interrupt input (INT) is sampled every machine cycle by ALE, except for the first cycle of double-byte instructions.
- If the interrupt-in-progress flip-flop is set, all other interrupts are held off until INT is executed.
- As long as the timer interrupt is disabled, timer overflows will not be latched. The timer flag will however, be set.

The read strobe is driven low whenever the processor performs an external bus read operation. The RD strobe enables data from external RAM, for peripherals onto the bus at which time it is read into the accumulator. This signal operates in conjunction with the ALE strobe during MOVX A, #Rn instructions. The RD signal is also active during an INS A BUS instruction where it can be used as either an interrupt acknowledge or a flag to notify the peripheral that the CPU has read the data.

2.3.10 Program Store Enable (PSEN)

The program store enable signal is used to latch instructions for the CPU. The PSEN strobe is active only when latching instructions from external ROM. This signal operates in conjunction with the ALE strobe.

2.3.11 Output Strobe (PROG)

The output strobe PROG is the output strobe for the INSBR243 I/O port expander. A high-to-low transition on PROG indicates that an address and instruction is available on Port 2 bus through 3. A low-to-high transition on PROG indicates that data is present on Port 2 for a while. Data must be valid during the low-to-high transition for a read.

2.3.12 Crystal Input (XTAL 1, XTAL 2)

These two pins on the 48-Series microcomputers allow either a series-resonant device, such as a crystal or inductor, or an independent clock source to be connected to a high speed internal amplifier XTAL 1 (pin 2) is the input to the amplifier, XTAL 2 (pin 3) provides feedback. The resonant frequency of the circuit is divided internally to create the basic clock cycle. An optional I/O in additional information, see 2.2 and 2.3.7.

2.3.13 I/O Ports and Bus

The 48-Series microcomputers have four I/O ports on the 48-Series microcomputers. The I/O ports are organized as bidirectional ports 1 and 2 are respectively available in that different types of outputs may be implemented.

Ports 1 and 2 differ from Port 0 (the bus) in that they are quasi-bidirectional while the bus is a true bidirectional port. This means that they can be used as inputs or outputs while being statically latched. In further explanation, this data is written into any bit of Ports 1 or 2 but can function as an input or a high-level output. Data is written into any of those bits that can only function as a low-level output. This type of I/O ports better understood as an open-drain output with a large value internal pullup resistor connected to an input latch. Data is latched in those ports from the CPU and will remain latched until changed. As inputs, these ports are non-latching and must be read by an input instruction prior to removing the input.

The quasi-bidirectional output structure permits each line to serve as an input, an output, or bidirectional through the outputs are statically latched.

- The lower four bits of Port 2 (bits 0 through 3) have three distinct functions:
  - A quasi-bidirectional static port.
  - A portion of the external ROM address.
  - An expander port.

For all three functions the outputs are driven low by an active device, or momentarily pulled high by an active device, then held high by a passive device.

This port may contain latched output data yet still be used in another mode without affecting operation of either mode. If the lower four bits of Port 2 outputs are the address for an external instruction latch, the previously latched data will be temporarily removed from the output. If needed, the data can be externally latched on the rising edge of ALE. The address for external ROM is output and once the instruction latch is completed, the latched data is restored. If Port 2 is used as a bus to an expander port, P20-P23 will contain the value output to the INSBR243 expander device. After an input from the INSBR243, the port will remain in the input mode. For either case, previously latched data will be destroyed.

An illustration of the port structure for a standard TTL output is shown in Figure 2-19.

Each output is pulled to Vcc through a resistor of nominally high impedance. This pullup provides sufficient current for providing a TTL logic "1", yet can be pulled low by a standard TTL gate output. This ability provides for both input and output on the same pin. For last 70 transitions, a relatively low impedance device (5K) is switched on momentarily when a 1 is written to the line. When a 0 is written to the line, a low impedance device (~200K) overcomes the 5K pullup and provides TTL current sink capability.

Note: Since the multidrop device is such a low impedance, a "1" must be written to the line prior to any input. A system reset (RESET) going true drives all lines to a high impedance "1".

Port 1 and Port 2, when used with the ANL and ORL instructions, provide an efficient means for handling single-line inputs and outputs.

The bus port is a true bidirectional port that can be statically latched or used asynchronously. When used as a bus, valid input or output must occur during the read or write strobes. During external instruction latches, the eight low order address bits from the program counter are present at this port. The latched instruction must be present at the input when the program strobe (PSEN) goes high. During external RAM operations, addresses and data are output from this port under control of address latches enable (ALE) and the read (RD) or write (WR) strobes. When not being written to or read from, the bus lines are in their high impedance mode (unless previously latched).

As a static output port, data is written and latched using the OUTH instruction. Data is input using the INS instruction. Both instructions generate pulses on the corresponding WR and RD output strobe lines (OUTH generates a WR pulse, INS generates a RD pulse).

The Bus ports are not bit-programmable, as are the other two ports (P1 and P2). Once written to, using an OUTH instruction, the bus will remain an output port until either the device is reset or the bus is used for an external memory access.

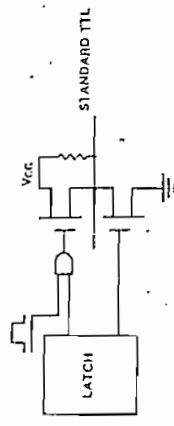


FIGURE 2-19. 48-Series I/O Port Options

2.4 SPECIAL FEATURES

All 48-Series microcomputers contain additional features not included in other similar devices. These features are totally transparent to the user. If 48-Series microcomputers are substituted for the other devices - there is no adverse effect upon system operation.

These added features are:

- Schmitt trigger (with hysteresis) input for interrupt
- Built-in battery charging circuit.
- Varying amounts of standby RAM (mask-programmable option) can alter standby current requirements.
- Mask-programmable pullup resistors on certain inputs

The internal battery charging circuit is simply a solid state switch between Vcc, an internal resistor, and Vcc. During normal operation, RESET is high holding the switch in the closed state, thereby providing power for the internal RAM. The Vcc supply also provides the charging current for the external battery.

In the event of a power failure, RESET must go low for Vcc to drop below 1.5V, going low, RESET is which any RAM access and opens the internal switch. As soon as the switch is opened, current flow reverses and what was originally a charging output for the batteries, becomes a source of standby power for the internal RAM. Upon a XALOS device, the internal RAM only requires a 1.5V to 2.2V (2 Ni-Cad cells) to sustain data. The built-in charging circuit and low standby voltage requirement eliminates the need for both an external charging circuit and low voltage Cad cells. An illustration of the internal charging circuit is shown in Figure 2-20.

A typical sequence of events leading up to a standby mode of operation would be as follows:

- A minimum power supply failure is detected
- An interrupt is generated to vector operation to a standby service routine
- All important data and status is stored in RAM
- RESET goes low, inhibiting any RAM access and places RAM on standby power

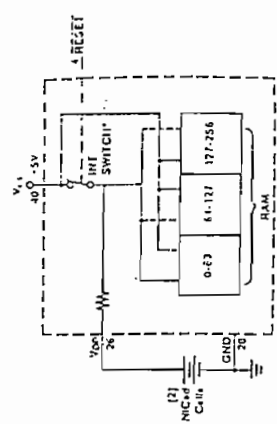


FIGURE 2-20. Internal Charging Standby Circuit

Power supply failure detection is the most critical portion of the standby operation. It is important that an imminent failure be detected in time to save all critical data or status.

The simplest and most effective detection circuit is a voltage comparator that monitors the DC supply. The battery back-up can supply the reference voltage while the sealed-down, unregulated portion of the supply provides the test voltage. Since DC regulators typically fall out of regulation when their input approaches 5 volts, 1.5 volts of the output, the comparator can generate this voltage change long before the regulated output drops.



An interrupt power failure forces the interrupting program operation to branch to a status save routine. The status save routine places all data critical to system operation in the standby RAM locations thereby assuring continuation of the main program when power is restored.

System operation is such that once an interrupt is generated, the interrupt input is disabled until re-enabled by the enable external interrupt (ENI) instruction. Saving of status is thus assured while preventing multiple interrupts from a fluctuating power supply.

The reset input should be driven low by the firmware to prevent undesirable system operation during power down. It is important that the state of the power supply be checked again before issuing a reset to the microprocessor. The jump-to-negative interrupt (JNI) instruction can recheck the interrupt input without creating an interrupt. If the power supply only fluctuates slightly, this test permits the program to jump around a firmware reset and restore normal program operation. If the power fail signal is still active at the interrupt input, the reset input should be driven low. An effective method is to drive

low under hardware control as the final task of the interrupt service routine. If one of the output port bits is used to gate the interrupt into the reset input the microprocessor itself can drive RESET low.

Note: Since RESET sets all ports high, an active high input should be used to gate INT into RESET. Otherwise, RESET disappears immediately following execution of the instruction that caused it. This also means the bit must be initialized to a zero as part of the power-on sequence.

If power is in fact removed, the next power-on reset forces the first instruction to be fetched from location 0. Therefore, it is the responsibility of the initialization sequence to determine whether or not power is being applied for the first time or being reapplied following a power loss. It is a reapplication of power, program status must be restored and control returned to the interrupted program.

Additional information on the RESET function is given in section 2.3.1. An illustration of typical standby sequence timing is shown in Figure 2-21.

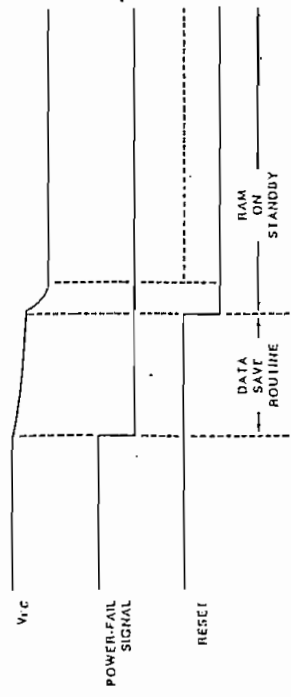


FIGURE 2-21. Standby Sequence Timing

Expanding The 48-Series Microcomputers

3.1 INTRODUCTION

The expansion capabilities of the 48-Series devices offer the user great flexibility in both development and end applications.

The 48-Series devices offer varying amounts of internal RAM and ROM to allow simple expansion. Internal RAM varies from none up to 4K, while internal ROM varies from none up to 256 bytes. Additionally, three I/O ports are standard, with one port expandable allowing much larger systems if more than one chip is used.

Given the wide variety of 48-Series devices, development programs can be tested, using up to 4K of external EPROM. Once completed, the application can be mask-programmed into a single device for use.

NOTE: AND and OR to BUS instructions will not work with external ROM.

Depending upon how an application may grow in terms of memory requirements, different 48-Series devices can meet these expansion needs. For example, an application program should grow beyond the standard internal 2K ROM memory limit, the INS8050 with 4K of ROM, may be substituted. Not only are no additional external memory components required, but potentially higher power needs are eliminated.

The following sections describe in some detail the manner in which the 48-Series microcomputers can be expanded. Examples are given for added ROM, RAM, and I/O ports.

3.2 ADDING EXTERNAL ROM

Expansion beyond the internal ROM capacity is implemented through bus I/O operations. The boundaries at which instruction latches from external ROM occur are at address 1024 for the INS8048, and 2048 for the INS8049.

External memory latches are automatic once the boundaries are crossed. The INS8050 contains 4K ROM, the maximum memory the 48-Series devices can directly address.

The expansion control signal ALE, is always present. PSEN is present only when reading from external memory.

The following sequence of events occurs for all instruction latches from external ROM:

- The 12-bit address is output from the program counter. The least significant 8 bits on the bus, the four significant 4 bits on the lower half of Port 2.
- The address latch enable (ALE) signal goes high to indicate an address is output. The address is externally latched on the falling edge of ALE.
- The program store enable (PSEN) signal goes low to enable the external ROM. The instruction output ROM (onto the bus) is internally latched on the rising edge of PSEN.
- The bus goes TRI-STATE and the processor operation on the instruction.

An illustration of instruction latch timing is shown in Figure 3-1.

The external access (EA) pin, when driven high causes instruction latches to be from external ROM. If EA is disabled for more detailed information see 2.

Since the INS8035, INS8039 and INS8040 have internal ROM, all instruction latches are external. Should always be high.

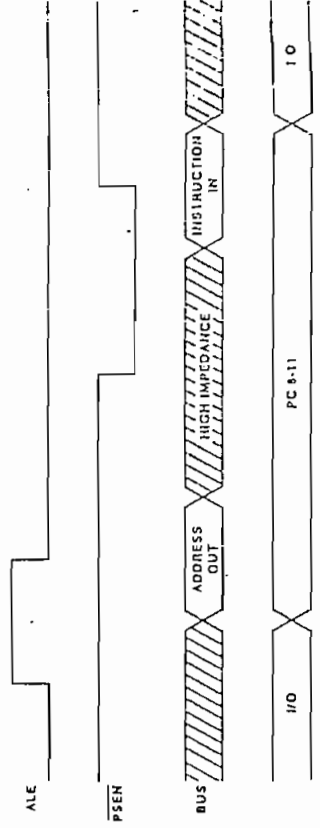


FIGURE 3-1. External Instruction Fetch Timing

Although the lower four bits of Port 2 output the four most significant address bits during the external instruction fetch cycle, data is output during other portions of the machine cycle if the information present on the quasi-bidirectional ports must remain stable (i.e., be latched) on the rising edge of ALE. For additional information, see 2.3.1.3.

3.2.2 Bank-Switching

Programs less than 2K in length are addressed in the normal manner. Programs beyond the 2K addressing range can be accessed by using the bank select instruction (SEC BIT) followed by a jump bit call instruction. In this manner the effective range of the branch instructions is extended beyond the normal 2K range, while preventing the user from inadvertently crossing the 2K boundary.

The bank-select instructions set a latch (DBF) in either a logic 1 or a logic 0, depending upon the bank desired. Once set, the latch remains set until another bank select instruction is executed. Bit 11 of the program counter is not incremented, as are the other bits of the program counter. Instead, the content of the DBF latch is latched into bit 11 when a jump bit call is executed. In this manner, depending upon the content of the DBF latch, instruction fetches will be from bank 0 (0 through 2047) or bank 1 (2048 through 4095). Since all twelve bits of the program counter are saved on the stack during subroutine calls, subroutines across the 2K boundary may be called. The proper bank will be restored upon return, but the DBF latch will not be altered. For additional information, see 2.2.5.

Direct memory addressing for ROM is limited to 4K by the 12 bit address, and only two locations of RAM are directly addressable by the 8 bit pointer registers (R0 and R1). These limitations can be overcome by direct address selected I/O lines for specific banks of memory, bit 0 (ROM) and RAM. These lines can then be logically combined with the normal memory and I/O chip-select signals to enable the desired bank.

If I/O lines are used in this sort of address space expansion, the system software must maintain control over the bank-switching, so that each time a boundary is crossed, an I/O port line is first set. When bank-switching ROM, boundary crossings should be kept to a minimum. Jumping to subroutines across boundaries requires the

programmer keep track of the return bank when the subroutine is completed. A software stack should be used to maintain the bank-switch bit. The stack can then be popped upon completion of the subroutine to restore execution to the proper bank.

3.2.3 Interrupt Handling

Interrupts always vector the program counter to locations 3 or 7 in the lower 2K of ROM. Bit 11 of the program counter is forced to 0 and held there during the interrupt service routine. Therefore, interrupt service routines must reside solely in the lower 2K of ROM. Execution of a bank-select instruction within an interrupt service routine will not alter bit 11 of the program counter, but will change the content of the DBF latch. The end of the interrupt service routine is signalled by the execution of the return and restore PSW (RETR) instruction.

For additional information on interrupts, see 2.3.3.1.5 and 4.4.1.

3.2.4 Expansion Examples

A typical example of ROM expansion is illustrated in Figure 3-2.

In Figure 3-2, three external EPROMs have been added to an INS8040 for a total of 4K of ROM.

The Bus port initially outputs the lower eight external address bits. These bits are latched in an INS8212 by ALE for the external memory. The upper four address bits are output on the lower four lines of Port 2. Since these outputs are stable during the program memory latch they do not have to be latched. The two upper address bits (A<sub>10</sub>, A<sub>11</sub>) connect directly to the upper two bits of external memory. The remaining two port output bits are decoded (and enabled by PSEN) to generate the required chip select signals. The thus addressed data is output by the EPROMs onto the bus and latched internally during PSEN.

Another method of adding external ROM is shown in Figure 3-3. For this example, a single 1K ROM has been added to an INS8040. No chip select decoding is necessary, PSEN selects the external ROM. All addressing is done as described for the preceding example of 3-2. This example illustrates the ease with which applications programs can be developed without committing programs to mask.

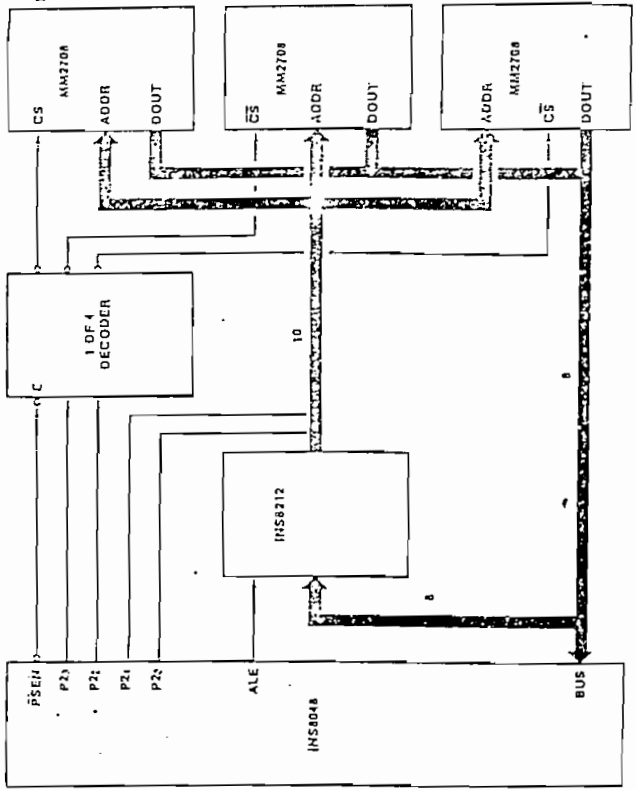


FIGURE 3-2. Three-Chip Memory Expansion

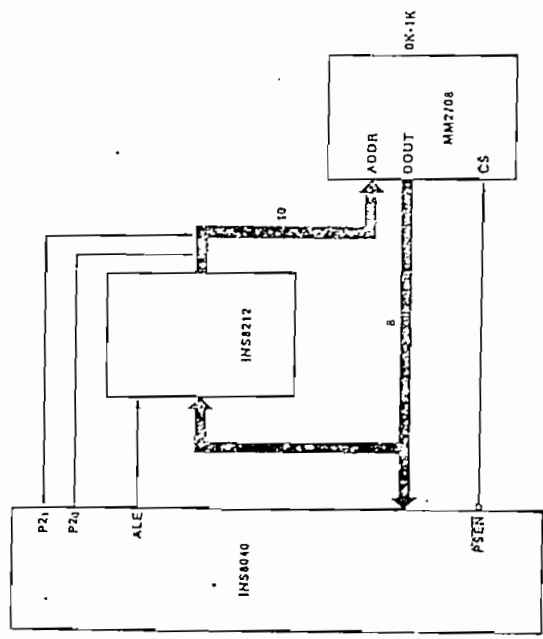


FIGURE 3-3. Single-Chip Memory Expansion

External RAM can be added to the 48-Spin micro-computer as easily as external ROM. Expansions are simple and direct. External data transfers between the accumulator and RAM are initiated by various memory instructions. Data transfers occur over the Bus with the internal pointer registers, R0 and R1, selecting the desired memory location. The 256-byte page boundaries may be crossed any number of times by bank-switching using any I/O port pins as extended memory address bits. If more than 256 bytes of external RAM are used, the programmer will have to take special precautions when using these bits. See 3.2.4 for additional information.

The following sequence of events occur for all external RAM data transfers:

- Register R0 or R1 contents are output on the Bus as address bits.
- The address latch enable (ALE) signal goes high to indicate an address is externally latched on the trailing edge of ALE.

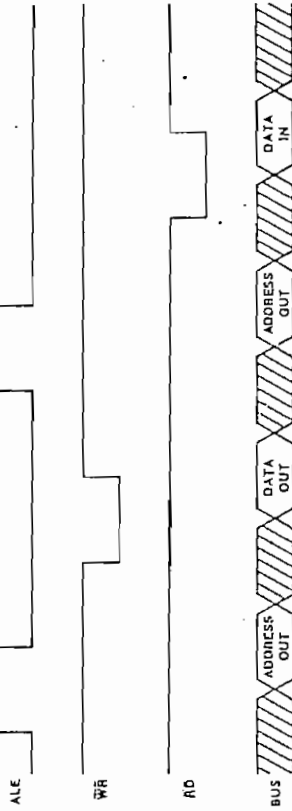
- Depending upon the operation, a read (RD) or write (WR) pulse is output. Data input must be valid on the trailing edge of RD. Data output is valid on the trailing edge of WR.

An illustration of read and write timing is shown in Figure 3-4.

A typical example of RAM expansion is illustrated in Figure 3-5.

For the example shown, two 256-by-4 RAMs (AM2111s) have been added to an INS8050 to increase the RAM capacity to 512 bytes. Using a MOVX instruction, data from the 256 additional external memory locations can be operated on.

As an address is output on the Bus, it is latched into the INS8212 by ALE. Depending upon the operation to be performed, data is transferred over the Bus during either the RD or WR strobes. The RD strobe controls the output disable, while the WR strobe controls the write enable input to the memories. For additional external memory, a chip select circuit as in Figure 3-2 may be used.



NOTE: Diagonal lines indicate HIGH IMPEDANCE state.

FIGURE 3-4. External Read/Write Timing

3-19

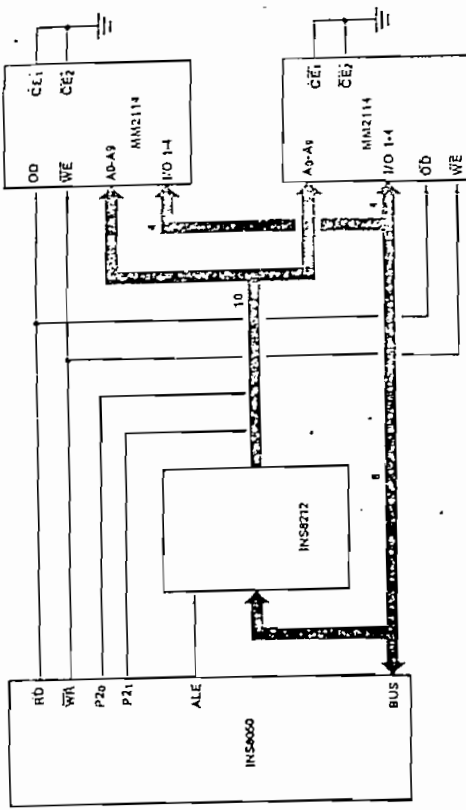


FIGURE 3-5. External RAM Expansion

3-20

3.4 INPUT/OUTPUT EXPANSION

The INS8243, an input/output port expansion device, increases the I/O capability of the 48-Series from 24 lines to 40 lines. The INS8243 connects directly to the lower four I/O lines of Port 2 and serves to expand those four I/O

lines up to 16 lines. An illustration of the INS8243 connection to the INS8048 is shown in Figure 3-6. The address four ports have their own dedicated instructions and are addressed as ports 4 through 7. The lower three ports are the Bus (Port 0), I/O Port 1, and I/O Port 2.

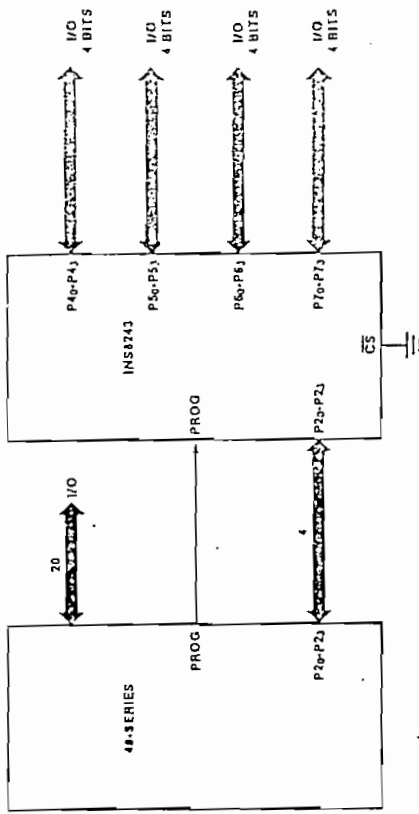


FIGURE 3-6. I/O Port Expansion

3-21

The 48-Series Instruction Set

4.1 INTRODUCTION

The assembly-language instruction set for the 48-Series microcomputers provides the following ten types of operations:

- Control
- Data Move
- Timer Counter
- Accumulator
- Branch
- Input/Output
- Register
- Subroutine
- Flags
- Miscellaneous

The instruction statements, when assembled, generate object code. The object code, in turn, defines the program operation of the 48-Series microcomputers in a uniform manner.

The 48-Series instruction set contains a total of 96 instructions designed for ease-of-use and to be memory efficient. The instructions are either one or two bytes in length, with over 70% of the instructions one byte in length. The double-byte instructions include all immediate instructions, certain I/O instructions (excluding MOV P.P.A.), and most jump instructions.

Instruction execution occurs in either one or two machine cycles, with over 60% of the instructions executing in one machine cycle. Typical execution times, when using an 11 MHz crystal, are 1.36  $\mu$ sec and 2.72  $\mu$ sec for one- and two-byte instructions, respectively.

The 48-Series microcomputers are efficient in handling both binary and BCD arithmetic operations. Additionally, the 48-Series can easily manipulate single-bits for control operations, as well as supply special instructions to handle loop counters, table-lookups and N-way branches.

4.1.1 Control Instructions

The control instructions allow the program to control interrupts, memory bank selection, and internal clock output.

Following initial power-on, the interrupt input (INT) is automatically disabled. The external interrupt input can then be enabled or disabled using two of the control instructions. Additionally, INT is disabled while an interrupt is being processed and is re-enabled once the interrupt routine is completed.

The four bank-select instructions designate which bank of internal memory is accessed by the banks for ROM and the RAM. A detailed explanation of the ROM bank-select instructions is given in section 3.2.1. The working register bank-select instructions allow the programmer to substitute another bank of registers for the one presently in use. The bank-select instructions provide both an effective (if working registers and a method for saving register contents on a interrupt or sub-routine call. For the latter feature, there is also the option of switching or not switching banks on interrupt. Bank-select status appears in the program status word, is saved on the stack during sub-routine call. Restoration is optional, depending upon the return instruction used. If the switch-on interrupt is used, upon the return and restore status instruction to complete the interrupt service routine will automatically restore the originally selected bank.

The enable clock output instruction enables the microcomputer clock to pin 10. Before this instruction is used, the output is disabled by the JTD and JTD0 instructions. The internal clock frequency is the XTAL input frequency divided by three. The resultant output can then be used as a general purpose clock for the remainder of the system.

NOTE: After the enable clock output instruction has been executed, the clock output at IO is disabled only when RESET goes low.

4.1.2 Data Move Instructions

The data move instructions are the primary instruction for moving data back and forth between the accumulator, various registers or system memory. Data transfers from registers 0-7 is direct (the instruction specifies the source or destination register). Data transfers to internal or external RAM is done indirectly via an address in either registers R0 or R1 of the accumulator. Transfers to or from internal RAM take only one machine cycle, whereas transfers to or from external RAM take two machine cycles. Data stored in the internal RAM cannot be loaded directly into the accumulator. Additionally, data transfers can be made directly between the accumulator and either the internal timer counter of the program status register. The ability to change the contents of the program status register provides an alternate means of reset and status after an interrupt, or altering the stack pointer, if necessary.

There is a Data Move instruction (XCHD A) that works in conjunction with the SWAP A instruction. Permits handling of 4-bit quantities including BCD numbers. Instruction exchanges the lower 4 bits of the accumulator with the lower 4 bits of any internal RAM location. When used with SWAP A, this instruction makes it easy to handle 4-bit values including BCD numbers.

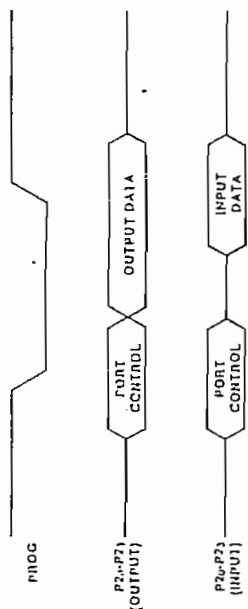


FIGURE 3-7. Port 2 Expansion Timing

The 48-Series microcomputers are expandable beyond simple I/O expansion. There are numerous components that may easily attach to the bus. By using the strobes and test inputs, such varied devices as A/D or D/A converters, keyboard and display controllers or floppy disk controllers can operate with the 48-Series microcomputers. A list of 48-Series-compatible components is contained in Chapter 6.

A list of the various control signals used with I/O components is given in Table 3-1. The listed signals are inactive at all times other than for the given instructions.

TABLE 3-1. I/O Control Signals

Signal	Active During
$\overline{RD}$	MOVX A, $\overline{RD}$ or INS BUS
$\overline{WR}$	MOVX $\overline{WR}$ A or OUTL BUS
PROG	MOVD A.P. AND P.A.; MOVD P.A., ORLD P.A.
$\overline{PSEN}$	External instruction latches, MOV.P., MOV.P3
ALE	Every machine cycle

Data transfer is controlled directly by the 48-Series I/O enable signal, PROG. As is shown in the output expander timing diagram of Figure 3-7, there are two 1-bit cycles to I/O port selection, port control and data. These cycles occur on the leading and trailing edge of the PROG pulse, respectively - during the second cycle of the instruction.

The first, or port control cycle is comprised of two 2-bit portions. Bit 0 and 1 select the port, while bits 3 and 4 determine the function. The second cycle is comprised of the 4-bit data. A detailed breakdown of INS8243 port selection is given in Figure 3-8.

Additional expansion ports can be added to the port expansion bus by using the upper four bits of Port 2 as chip select signals. Four INS8243s can be added for a total of 64 I/O ports.

$I_3$	$I_2$	Function	$P_3$	$P_2$	Port
0	0	Read	0	0	4
0	1	Write	0	1	5
1	0	OR	1	0	6
1	1	AND	1	1	7

FIGURE 3-8. INS8243 Selection Requirements

The timer counter instructions enable the on-board 8-bit timer counter, move data to the accumulator and the timer counter, and start or stop the timer counter. The timer counter can be used as either a crystal-controlled timer using the internal clock as its clock source, or an event counter (for timer) taking its input from the T1 input. Either application can be selected under direct software control. The start instruction used will determine which clock source is used.

The timer counter can be loaded or read from the accumulator while the counter is either running or stopped. Registers of the timer counter operate in normal mode. The stop count instruction will stop the timer counter. Additionally, two instructions enable or disable the timer counter interrupt flag for timer counter output.

#### 4.1.4 Accumulator Instructions

The accumulator instructions provide for adding data to (with or without carry) or for performing logical functions with the accumulator. These operations of ADD, AND, OR, XOR, and rotates are performed upon immediate data, data memory, or the selected bank of registers. Data is moved between the accumulator and the various registers or memory depending upon the instruction used. A special instruction SWAP allows the position of the two 4-bit nibbles in the accumulator to be swapped. This instruction is used in conjunction with the XCHD A instruction. See 4.1.2 for additional information.

A Decimal Adjust instruction has been included to facilitate BCD arithmetic. This instruction corrects the binary addition of two 8-bit BCD numbers in the accumulator to produce the correct BCD number. Additional accumulator operations convert octal numbers right and left (with or without carry) complement increment and decrement or clear. The table instructions are performed one bit at a time.

Although there is no subtract instruction in the 48 Series instruction set, subtraction can be performed using a simple three-byte set of instructions. The result of the subtraction will be retained in the accumulator. The instruction string is:

```

CPL A   Complement the accumulator
ADD A   Add the value to the accumulator
INC A   Add 1 to the accumulator
    
```

The contents of the program status word can be pushed into the accumulator for modification using the MOV A PSW instruction. Once modified, the new contents can be placed into the PSW using MOV PSW, A.

Not only does this permit modification of the PSW flags, but the stack pointer contents may also be modified. By modifying the stack pointer, the contents of various locations within the stack may be used by interrupts, or Call and Return instructions.

If a program is written that uses the contents of the stack pointer, a MOV A, PSW instruction must be used following the MOV A, PSW. The accumulator contents must be stored by one and two substituted for added depending upon which next location is to be loaded (all from the contents for the actual memory location within the stack).

Figure 2-3 and Table 2-3 illustrate the stack and program status word, respectively.

#### 4.1.5 Branch Instructions

The branch instructions allow jumps (unconditional and conditional) throughout memory.

The unconditional jump instruction permits jumps anywhere within the lower 2K of ROM. To jump to the upper 2K of ROM, a bank-select instruction must precede the jump instruction. Although the bank-select must precede the jump, the bank switch does not occur until the jumps are executed. Once a bank is selected, all jumps will be within that bank until the bank-select/jump sequence is repeated.

The conditional jumps can test the following inputs or machine status. If the inputs or status conditions are true, the jump is permitted:

- T0 - 1 or 0
- T1 - 1 or 0
- INT - 0
- Accumulator 0 or ≠ 0
- Accumulator bit - 1
- Carry - 1 or 0
- F0 - 1
- F1 - 1
- Timer Flag - 1

The conditional jumps allow branching to any address within the current page (256 words) under execution. The last conditions are the instantaneous values present when the conditional jump is executed.

The decrement register and skip if not zero instruction is useful for creating iteration counters. This instruction can designate any one of the eight registers in the currently selected bank to be a counter. The counter can affect a branch to any address within the current page.

The indirect jump instruction allows vectoring programs based upon the contents of the accumulator. The accumulator points to a location in the current page of ROM which contains the 8-bit jump address (also within the current page).

#### 4.1.6 Input/Output Instructions

The input/output instructions provide for data transfers between the accumulator and the I/O ports. The I/O ports have latched outputs, while the inputs must be read when input data is valid.

Additional instructions permit the ANDing or OR'ing of immediate data from ROM to either the Bus, Port 1, or Port 2, with the result latched at the port. The capability to perform logical operations directly on the ports permits masks stored in ROM to selectively set or reset individual bits of all three ports. Input on any given line via Ports 1 and 2 is enabled by first writing a logic 1 to each line where input is desired.

The third I/O port, the BUS port, is a true bi-directional port that can be either latched or treated as a fully synchronous bidirectional bus. The BUS port can also have logical operations performed directly to its outputs. Unlike Ports 1 and 2, all eight BUS lines must be treated as either inputs or outputs at any given time. If the BUS is being used as an I/O port, it will be in the input mode from the time the device is reset until an OUTL BUS A instruction is executed. From then on, the BUS will not be available as an input unless the programmer uses it for either an external bus access or the device is reset. The BUS port can operate synchronously with external RAM using the MOVX instructions. The I/O instructions generate either a read (RD) or write (WR) pulse, depending upon the operation. When either RD or WR is generated, data must be valid on the trailing edge of the pulse. When the BUS lines are not in use, they are in the TRI-STATE (high-impedance) mode.

The 48 Series I/O ports can be expanded from the basic three up to seven. Expansion is via the lower four bits of Port 2. Each of the expansion ports, 4 through 7, are 4-bit ports that have dedicated instruction bytes. The expansion port AND and OR instructions combine the accumulator contents with the selected port rather than with immediate data as on Ports 0 through 2.

The BUS latching instruction, OUTL BUS, is for use in single-chip operations where BUS is not used as an expansion port. If necessary, the OUTL BUS and MOVX instructions can be mixed. Care must be taken though, since data previously latched will be destroyed by executing MOVX. The BUS lines will then be left in their TRI-STATE (high-impedance) mode.

NOTE: The OUTL instruction should never be used in systems with external ROM if BUS is latched. The next instruction, if latched from external ROM, may be latched improperly.

System expansion can also be done via the BUS port. For expanded systems, additional I/O ports can be memory-mapped using the external RAM address space as addressed by pointer registers R0 or R1.

#### 4.1.7 Register Instructions

The register instructions allow the programmer to increment or decrement any of the enabled internal

registers. Additionally, the contents of a selected RAM location, as selected by the contents of R0 or R1, can be directly incremented.

#### 4.1.8 Subroutine Instructions

The subroutine instructions are used to call on or return from a designated subroutine.

Subroutines can be called from one bank to another as long as a bank-select instruction precedes a subroutine call. Once the subroutine in the other bank is completed, execution will return to the bank originally selected.

NOTE: If the original bank is not restored following a subroutine call to another bank, the next instruction will transfer execution to the bank containing the subroutine.

There are two return-from-subroutine instructions: One restores status to the upper four bits of the program status word, while the other does not. The return-and-restore-status instruction also signals the end of an interrupt service routine if one has been in progress.

#### 4.1.9 Flag Instructions

The flag instructions allow the programmer to complement or clear three of the four user-accessible flags, Carry, F0, and F1. The functions of the four flags are as follows:

- Carry - Indicates an overflow occurred during a previous accumulation operation.
- Auxiliary Carry - Indicates overflow between BCD digits when adding. Used by the decimal adjust instruction.
- F0 and F1 - General purpose flags used for completion or jump tests.

The carry flags and F0 are accessible as a part of the program status word and are stored on the stack during subroutine calls. Restoration is optional and dependent upon the return instruction used.

#### 4.1.10 No Operation

This instruction does exactly what its name implies: it performs no operation other than take up memory space and execution time. Program execution continues with the next instruction. No Op is a useful tool during development by saving space to "fill in" additional instructions at some later time.

#### 4.1.11 Instruction Set Summary

Table 4-1 is a summary of the instruction set for the 48 Series microcomputers.

Table 4-1. 48-Series Instruction Set Summary (Cont'd)

MNEMONIC	FUNCTION	DESCRIPTION	CYCLES	BYTES	FLAGS
					C A C F O I
DJNZ Rr, addr	(Rr) ← (Rr) - 1; r = 0-7 if (Rr) = 0;	Decrement the specified register and test contents	2	2	
Jbb addr	(PC 0-7) ← addr if (Bb = 1) (PC) ← (PC) + 2 if (Bb = 0)	Jump to specified address if Accumulator bit is set	2	2	
JC addr	(PC 0-7) ← addr if C = 1 (PC) ← (PC) + 2 if C = 0	Jump to specified address if carry flag is set	2	2	
JFO addr	(PC 0-7) ← addr if FO = 1 (PC) ← (PC) + 2 if FO = 0	Jump to specified address if flag FO is set	2	2	
JFI addr	(PC 0-7) ← addr if FI = 1 (PC) ← (PC) + 2 if FI = 0	Jump to specified address if flag FI is set	2	2	
JNP addr	(PC 8-10) ← addr if r = 10 (PC 11) ← DBF	Direct Jump to specified address within the 2K address block	2	2	
JMP @ A	(PC 0-7) ← ((A))	Jump indirect to specified address pointed to by the accumulator in current page	2	1	
JNC addr	(PC 0-7) ← addr if C = 0 (PC) ← (PC) + 2 if C = 1	Jump to specified address if carry flag is low	2	2	
JNF addr	(PC 0-7) ← addr if N = 0 (PC) ← (PC) + 2 if N = 1	Jump to specified address if interrupt is low	2	2	
JNT0 addr	(PC 0-7) ← addr if T0 = 0 (PC) ← (PC) + 2 if T0 = 1	Jump to specified address if Test 0 is low	2	2	
JNT1 addr	(PC 0-7) ← addr if T1 = 0 (PC) ← (PC) + 2 if T1 = 1	Jump to specified address if Test 1 is low	2	2	
JNZ addr	(PC 0-7) ← addr if Z = 0 (PC) ← (PC) + 2 if Z = 1	Jump to specified address if accumulator is non-zero	2	2	
JIF addr	(PC 0-7) ← addr if IF = 1 (PC) ← (PC) + 2 if IF = 0	Jump to specified address if Interrupt Flag is set to 1	2	2	
JT0 addr	(PC 0-7) ← addr if T0 = 1 (PC) ← (PC) + 2 if T0 = 0	Jump to specified address if Test 0 is a 1	2	2	
JT1 addr	(PC 0-7) ← addr if T1 = 1 (PC) ← (PC) + 2 if T1 = 0	Jump to specified address if Test 1 is a 1	2	2	
JZ addr	(PC 0-7) ← addr if Z = 0 (PC) ← (PC) + 2 if Z = 1	Jump to specified address if Accumulator is 0	2	2	
EXI		CONTROL			
DIS I		Enable the External Interrupt input	1	1	
ENTO CLK		Disable the External Interrupt input	1	1	
SEL M00	(DBF) ← 0	Enable IO as the Clock Output	1	1	
SEL M01	(DBF) ← 1	Select Bank 0 (Locations 0 - 2047) of Program Memory	1	1	
SEL M02	(DBF) ← 2	Select Bank 1 (Locations 2048 - 4095) of Program Memory	1	1	
SEL M03	(DBF) ← 3	Select Bank 0 (Locations 0 - 7) of Data Memory	1	1	
SEL M04	(DBF) ← 4	Select Bank 1 (Locations 8 - 15) of Data Memory	1	1	
SEL M05	(DBF) ← 5	Select Bank 0 (Locations 16 - 23) of Data Memory	1	1	
SEL M06	(DBF) ← 6	Select Bank 1 (Locations 24 - 31) of Data Memory	1	1	
MOV A, #data	(A) ← data	DATA MOVES			
MOV A, Rr	(A) ← (Rr); r = 0-7	Move Immediate the specified data into the Accumulator	2	2	
MOV A, @ Rr	(A) ← ((Rr)); r = 0-7	Move the contents of the designated registers into the Accumulator	1	1	
MOV A, @ Rr	(A) ← ((Rr)); r = 0-7	Move indirect the contents of data memory location into the Accumulator	1	1	

Table 4-1. 48-Series Instruction Set Summary

MNEMONIC	FUNCTION	DESCRIPTION	CYCLES	BYTES	FLAGS
					C A C F O I
ADD A, #data	(A) ← (A) + data	ACCUMULATOR			
ADD A, Rr	(A) ← (A) + (Rr) for r = 0-7	Add Immediate the specified data to the Accumulator	2	2	
ADD A, @ Rr	(A) ← (A) + ((Rr)) for r = 0-7	Add contents of designated register to the Accumulator	1	1	
ADD A, #data	(A) ← (A) + (C) + data	Add Immediate with carry the specified data to the Accumulator	2	2	
ADD A, Rr	(A) ← (A) + (C) + (Rr) for r = 0-7	Add Immediate with carry the contents of designated register to the Accumulator	1	1	
ADD A, @ Rr	(A) ← (A) + (C) + ((Rr)) for r = 0-7	Add with carry the contents of designated register to the Accumulator	1	1	
ANL A, #data	(A) ← (A) AND data	Logical AND specified Immediate Data with Accumulator	2	2	
ANL A, Rr	(A) ← (A) AND (Rr) for r = 0-7	Logical AND contents of designated register with Accumulator	1	1	
ANL A, @ Rr	(A) ← (A) AND ((Rr)) for r = 0-7	Logical AND indirect the contents of data memory with Accumulator	1	1	
CPL A	(A) ← NOT (A)	Complement the contents of the Accumulator	1	1	
CLR A	(A) ← 0	Clear the contents of the Accumulator	1	1	
DA A	(A) ← (A) - 1	DIGITAL ADJUST the contents of the Accumulator	1	1	
DEC A	(A) ← (A) - 1	DECREMENT by 1 the accumulator's contents	1	1	
INC A	(A) ← (A) + 1	Increment by 1 the accumulator's contents	1	1	
ORL A, #data	(A) ← (A) OR data	Logical OR specified Immediate data with Accumulator	2	2	
ORL A, Rr	(A) ← (A) OR (Rr) for r = 0-7	Logical OR contents of designated register with Accumulator	1	1	
ORL A, @ Rr	(A) ← (A) OR ((Rr)) for r = 0-7	Logical OR indirect the contents of data memory with Accumulator	1	1	
RL A	(A) ← (A) << 1 (A0) ← (A7) (A7) ← (A6)	Rotate Accumulator left by 1 bit through carry	1	1	
RLC A	(A) ← (A) << 1 (A0) ← (A7) (A7) ← (A6)	Rotate Accumulator left by 1 bit through carry	1	1	
RRC A	(A) ← (A) >> 1 (A7) ← (A0) (A0) ← (A7)	Rotate Accumulator right by 1 bit without carry	1	1	
RRC A	(A) ← (A) >> 1 (A7) ← (A0) (A0) ← (A7)	Rotate Accumulator right by 1 bit through carry	1	1	
SWAP A	(A) ← (A) >> 4 (A3-A0) ← (A7-A4)	Swap the 4 bit nibbles in the Accumulator	2	2	
XRL A, #data	(A) ← (A) XOR data	Logical XOR Immediate specified data with Accumulator	1	1	
XRL A, Rr	(A) ← (A) XOR (Rr) for r = 0-7	Logical XOR contents of designated register with Accumulator	1	1	
XRL A, @ Rr	(A) ← (A) XOR ((Rr)) for r = 0-7	Logical XOR indirect the contents of data memory location with Accumulator	1	1	

Table 4-1. 48-Series Instruction Set Summary (Cont'd.)

Mnemonic	FUNCTION	DESCRIPTION	CYCLES	BYTES	FLAGS	
					C	AC/PO/FI
MOV A, Pp	(AD-A3) ← (Pp); P ← 4-7 (AD-A3) ← 0	Move contents of designated port (4-7) into Accumulator	2	1		
MOV Rr, Ad	(Rr) ← (AD-A3); P ← 4-7	Move contents of Accumulator to designated port (4-7)	2	1		
ORL BUS, Ad	(BUS) ← (BUS) OR data	Logical OR immediate specified data with contents of BUS	2	2		
ORL Pp, A	(Pp) ← (Pp) OR (AD-A3); P ← 4-7	Logical OR contents of Accumulator with designated port (4-7)	2	1		
ORL Pp, Ad	(Pp) ← (Pp) OR data; P ← 1-2	Logical OR immediate specified data with designated port (1-2)	2	2		
OUTL BUS, A	(BUS) ← (A)	Output contents of Accumulator onto BUS	2	1		
OUTL Pp, A	(Pp) ← (A); P ← 1-2	Output contents of Accumulator to designated port (1-2)	1	1		
REGISTERS						
DEC Rr	(Rr) ← (Rr) - 1; r = 0-7	Decrement by 1 contents of designated register	1	1		
INC Rr	(Rr) ← (Rr) + 1; r = 0-7	Increment by 1 contents of designated register	1	1		
INC @ Rr	((Rr)) ← ((Rr)) + 1; r = 0-1	Increment indirect by 1 the contents of data memory location.	1	1		
SUBROUTINE						
CALL Ad	((SP)) ← (PC) ((SP)) ← ((SP) - 1) (PC ← 10) ← Ad (PC ← 7) ← Ad (PC ← 11) ← DRF	Call designated Subroutine	2	2		
RET	((SP)) ← ((SP) + 1 (PC) ← ((SP))	Return from Subroutine without restoring Program Status Word	2	1		
RETR	(SP) ← (SP) - 1 (PC) ← (SP) (PSW ← 7) ← ((SP))	Return from Subroutine restoring Program Status Word	2	1		
FLAGS						
CPL C	(C) ← NOT (C)	Complement Content of carry bit	1	1		
CPL F0	(F0) ← NOT (F0)	Complement Content of Flag F0	1	1		
CPL F1	(F1) ← NOT (F1)	Complement Content of Flag F1	1	1		
CLR C	(C) ← 0	Clear content of carry bit to 0	1	1		
CLR F0	(F0) ← 0	Clear content of Flag 0 to 0	1	1		
CLR F1	(F1) ← 0	Clear content of Flag 1 to 0	1	1		
MISCELLANEOUS						
NOP		No operation	1	1		

Table 4-1. 48-Series Instruction Set Summary (Cont'd.)

Mnemonic	FUNCTION	DESCRIPTION	CYCLES	BYTES	FLAGS	
					C	AC/PO/FI
DATA MOVES (Cont'd.)						
MOV A, PSW	(A) ← (PSW)	Move contents of the Program Status Word into the Accumulator	1	1		
MOV Rr, Ad	(Rr) ← data; r = 0-7	Move immediate the specified data into the designated register	2	2		
MOV Pp, A	(Pp) ← (A); r = 0-7	Move Accumulator contents into the designated register	1	1		
MOV @ Rr, A	((Rr)) ← (A); r = 0-1	Move indirect Accumulator contents into data memory location	1	1		
MOV @ Rr, Ad	((Rr)) ← data; r = 0-1	Move immediate the specified data into data memory	2	2		
MOV PSW, A	(PSW) ← (A)	Move contents of Accumulator into the Program Status Word	1	1		
MOV P, @ A	(PC ← 7) ← (A) (A) ← ((PC))	Move the content of program memory location in the current page addressed by the content of Accumulator into the accumulator	2	1		
MOV P, A, @ A	(PC ← 7) ← (A) (PC ← 10) ← 011 (A) ← ((PC))	Move the content of program memory location in page 3 address by the content of Accumulator into the accumulator	2	1		
MOVX A, @ R	(A) ← ((Rr)); r = 0-1	Move indirect the contents of external data memory into the Accumulator.	1	1		
MOVX @ R, A	((Rr)) ← (A); r = 0-1	Move indirect the contents of the Accumulator into external data memory	2	1		
XCH A, Rr	(A) ↔ (Rr); r = 0-7	Exchange the Accumulator and designated register's contents	1	1		
XCH A, @ Rr	(A) ↔ ((Rr)); r = 0-1	Exchange indirect contents of Accumulator and location in data memory	1	1		
XCHD A, @ Rr	(AD-A3) ↔ ((Rr)); r = 0-3; r = 0-1	Exchange indirect 4-bit contents of Accumulator and data memory	1	1		
TIMER COUNTER						
EN TCHT		Enable Internal Interrupt Flag for Timer/Counter output	1	1		
DIS TCHT		Disable Internal Interrupt Flag for Timer/Counter output	1	1		
MOV A, T	(A) ← (T)	Move contents of Timer/Counter into Accumulator.	1	1		
MOV T, A	(T) ← (A)	Move contents of Accumulator into Timer/Counter	1	1		
STOP TCHT		Stop Count for Event Counter	1	1		
STRT CRT		Start Count for Event Counter.	1	1		
STRT T		Start Count for Timer	1	1		
INPUT/OUTPUT						
ANI BUS, Ad	(BUS) ← (BUS) AND data	Logical AND immediate specified data with contents of BUS	2	2		
ANI Pp, Ad	(Pp) ← (Pp) AND data; P ← 1-2	Logical AND immediate specified data with designated port (1 or 2)	2	2		
ANLD Pp, A	(Pp) ← (Pp) AND (AD-A3); P ← 4-7	Logical AND contents of Accumulator with designated port (4-7)	2	1		
IN A, Pp	(A) ← ((Pp)); P ← 1-2	Input data from designated port (1-2) into Accumulator	2	1		
INS A, BUS	(A) ← (BUS)	Input strobed BUS data into Accumulator	2	1		

4.2 48-SERIES INSTRUCTION SET

The following pages contain detailed information on the 48-Series instruction set. The instructions have been arranged alphabetically so they may be easily located. An illustration of the instruction set presentation is shown in Figure 4-1. A summary of the instruction set is provided in the INS8048-Series Data Sheet located in Appendix A. Special symbols and notations used with the instructions are also in the Data Sheet and listed in Table 4-2.

Mnemonic	{ MOV A,T
Operation	{ Move timer counter to accumulator
Op Code	{ 0 1 0 0 0 0 1 0 0 }
Synthetic Representation	{ (A) - (T)
Description	{ The contents of the timer/counter are moved into the accumulator
Special Conditions	{ Cycles: 1 { Bytes: 2

FIGURE 4-1. 48-Series Sample Instruction

Table 4-2. Symbols Used in 48-Series Instructions

SYMBOL	DESCRIPTION
A	The Accumulator
AC	The Auxiliary Carry Flag
addr	Program Memory Address (12 bits)
bb	Bit Designator (0-7)
BS	The Bank Switch
BUS	The BUS Port
C	Carry Flag
CLK	Clock Signal
CNT	Event Counter
D	Decimal Divider (4 bits)
data	Number in Expression (8 bits)
DFE	Interrupt Flag Flip-Flop
FF <sub>1</sub>	Flags 0, 1
Interrupt	
P	Port Operations Designator
Pp	Port Designator (p = 1, 2 or 4, 7)
PSW	Program Status Word
Rr	Register Designator (r = 0, 1 or 0-7)
SP	Stack Pointer
T	Timer
TF	Timer Flag

TABLE 4-2. Symbols Used in 48-Series Instructions (Cont'd.)

SYMBOL	DESCRIPTION
FF <sub>1</sub>	Flags 0, 1
X	External RAM
Y	Prefix for Immediate Data
Z	Prefix for Indirect Address
S	Program Counter's Current Value
(A)	Contents of External RAM Location
((X))	Contents of Memory Location Addressed by the Contents of External RAM Location
--	Replaced By

**ADD A,Rr**  
Add contents of designated register to accumulator.  

$$0 \ 1 \ 1 \ 0 \ 1 \ r \ r \ r$$

$$(A) \rightarrow (A) + (Rr), \text{ where } r = 0 \text{ through } 7.$$
 The contents of the internal register designated by bits 'r' are added to the accumulator.  
 Cycles: 1  
 Bytes: 1  
 Flags: Carry, Auxiliary Carry

**ADD A,#data**  
Add immediate contents of RAM location to accumulator.  

$$0 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 1$$

$$(A) \rightarrow (A) + ((Rr)), \text{ where } r = 0 \text{ or } 1$$
 The contents of the internal RAM location, as addressed by bits 0 through 5 of register 'r', are added to the accumulator.  
 Cycles: 1  
 Bytes: 1  
 Flags: Carry, Auxiliary Carry

**ADD A,#data**  
Add immediate specified data to accumulator.  

$$0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 1 \ 1$$

$$d7 \ d6 \ d5 \ d4 \ d3 \ d2 \ d1 \ d0$$

$$(A) \rightarrow (A) + (data)$$
 The content of the carry bit is added to the accumulator location 0 as the data contained in byte 2 is added to the data in the accumulator.  
 Cycles: 2  
 Bytes: 2  
 Flags: Carry, Auxiliary Carry

ANL A,Rr

Logical-AND contents of designated register with accumulator.  

$$0 \ 1 \ 0 \ 1 \ 1 \ 1 \ 1 \ 1$$

$$(A) \rightarrow (A) \text{ AND } (Rr), \text{ where } r = 0 \text{ through } 7$$
 The contents of the register specified by bit 'r' are logically ANDed with the data in the accumulator.  
 Cycles: 1  
 Bytes: 1  
 ANL A,#Rr

**ANL A,#data**  
Logical-AND-immediate specified data with accumulator.  

$$0 \ 1 \ 0 \ 1 \ 0 \ 0 \ 0 \ 1$$

$$(A) \rightarrow (A) \text{ AND } ((Rr)), \text{ where } r = 0 \text{ or } 1$$
 The contents of the internal RAM location, as addressed by bits 0 through 5 of register 'r', are logically ANDed with the data in the accumulator.  
 Cycles: 1  
 Bytes: 1  
 ANL A,#data

**ANL A,#data**  
Logical-AND-immediate specified data with accumulator.  

$$0 \ 1 \ 0 \ 1 \ 0 \ 0 \ 1 \ 1$$

$$d7 \ d6 \ d5 \ d4 \ d3 \ d2 \ d1 \ d0$$

$$(A) \rightarrow (A) \text{ AND } data$$
 The data contained in byte 2 are logically ANDed with the data in the accumulator and the results are sent back to that port. Accumulator contents are not affected.  
 Cycles: 2  
 Bytes: 2

The data contained in byte 2 is added to the data in the accumulator.  
 Cycles: 2  
 Bytes: 2  
 Flags: Carry, Auxiliary Carry  
**ADDC A,Rr**  
Add-with-carry contents of designated register to accumulator.  

$$0 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1$$

$$(A) \rightarrow (A) + (C) + (Rr), \text{ where } r = 0 \text{ through } 7$$
 The content of the carry bit is added to accumulator location 0 as the contents of the register specified by the 'r' bits are added to the accumulator.  
 Cycles: 1  
 Bytes: 1  
 Flags: Carry, Auxiliary Carry  
**ADDC A,#Rr**

**ADDC A,#Rr**  
Add-with-carry contents of RAM location to accumulator.  

$$0 \ 1 \ 1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 1$$

$$(A) \rightarrow (A) + (C) + ((Rr)), \text{ where } r = 0 \text{ or } 1$$
 The content of the carry bit is added to accumulator location 0 while the contents of the internal RAM location, as addressed by bits 0 through 5 of register 'r', are added to the accumulator.  
 Cycles: 1  
 Bytes: 1  
 Flags: Carry, Auxiliary Carry

**ADDC A,#data**  
Add-with-carry specified immediate data to accumulator.  

$$0 \ 0 \ 0 \ 0 \ 1 \ 0 \ 0 \ 1 \ 1$$

$$d7 \ d6 \ d5 \ d4 \ d3 \ d2 \ d1 \ d0$$

$$(A) \rightarrow (A) + (C) + data$$
 The content of the carry bit is added to the accumulator location 0 as the data contained in byte 2 is added to the data in the accumulator.  
 Cycles: 2  
 Bytes: 2  
 Flags: Carry, Auxiliary Carry



Logical-AND-immEDIATE specified data with contents of BUS.

1	0	0	1	1	0	0	0
d7	d6	d5	d4	d3	d2	d1	d0

byte 1

1	0	0	1	1	0	0	0
d7	d6	d5	d4	d3	d2	d1	d0

byte 2

(BUS) -- (BUS) AND data

The data contained in byte 2 are logically ANDed immediately with the data on the BUS port and the results are sent back to that port. Use of this instruction assumes prior execution of an ONTL BUSA instruction.

Cycles: 2  
Bytes: 2  
ANL Pp, \* data

Logical-AND-immEDIATE specified data with designated port (1 or 2)

1	0	0	1	1	0	p1	p0
d7	d6	d5	d4	d3	d2	d1	d0

byte 1

1	0	0	1	1	0	p1	p0
d7	d6	d5	d4	d3	d2	d1	d0

byte 2

(Pp) -- (Pp) AND data, where p 1 or 2

The data contained in byte 2 are logically ANDed immediately with the data on the port designated by bits 'p' and the results are sent back to that port. Accumulator contents are not affected. Op code bits 'p' designate the following ports:

Part	p1	p0
1	0	1
2	1	0

Cycles: 2  
Bytes: 2  
ANL Pp, A

Logical-AND contents of accumulator with designated expansion part (4 through 7)

1	0	0	1	1	1	p1	p0
---	---	---	---	---	---	----	----

(Pp) -- (Pp) AND (A0-3), where p 4 through 7  
The data in accumulator, bits 0 through 3, are logically ANDed with the 4-bit data on the expansion port designated by bits 'p' and the results are sent back to that port. Accumulator contents are not affected. Op code bits 'p' designate the following ports:

Part	p1	p0
4	0	0
5	0	1
6	1	0
7	1	1

Cycles: 2  
Bytes: 1

CALL addr

Call designated subroutine

a10	a9	a8	1	0	1	0	0
a7	a6	a5	a4	a3	a2	a1	a0

byte 1

a7	a6	a5	a4	a3	a2	a1	a0
----	----	----	----	----	----	----	----

byte 2

((SP)) -- (PC) (PSW 4-7)  
(SP) -- (SP) + 1  
(PC 8-10) -- addr 8-10  
(PC 0-7) -- addr 0-7  
(PC 11) -- DDF

The contents of both the program counter and program status word, bits 4 through 7, are saved on the stack. The stack pointer is incremented by one. The contents of the program counter are replaced by address bits 'a' from bytes 1 and 2. Address bit 11 in the program counter is determined by the most recent bank select instruction (SEL-MB) executed.

NOTE: Although the stack pointer is only incremented by one, internally it is incremented by two so the PSW and PC can be saved on the stack.

Upon return from the subroutine, program execution continues with the instruction immediately following CALL.

Cycles: 2  
Bytes: 2

CLR A

Clear contents of accumulator to zero.

0	0	1	0	0	1	1	1
---	---	---	---	---	---	---	---

(A) -- 0

The contents of the accumulator are cleared to zero.

Cycles: 1  
Bytes: 1

CLR C

Clear content of carry bit to zero.

1	0	0	1	0	1	1	1
---	---	---	---	---	---	---	---

(C) -- 0

The content of the carry bit is cleared to zero. During normal program execution, the carry bit may be set to one due to an ADD, ADD C, RLCA, CPLC, RRCA or DAA instruction.

Cycles: 1  
Bytes: 1  
Flags: Carry

CLR F0

Clear content of flag 0 to zero.

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

(F0) -- 0

The content of flag 0 is cleared to zero.

Cycles: 1  
Bytes: 1  
Flags: F0

CLR F1

Clear content of flag 1 to zero.

1	0	1	0	0	1	0	1
---	---	---	---	---	---	---	---

(F1) -- 0

The content of flag 1 is cleared to zero.

Cycles: 1  
Bytes: 1  
Flags: F1

CPL A

Complement contents of the accumulator

0	0	1	1	0	1	1	1
---	---	---	---	---	---	---	---

(A) -- NOT (A)

The contents of the accumulator are complemented. This is a one complement with each 1 changing to a 0 and each 0 changing to a 1.

Cycles: 1  
Bytes: 1

CPL C

Complement content of carry bit.

1	0	1	0	0	1	1	1
---	---	---	---	---	---	---	---

(C) -- NOT (C)

The content of carry bit is complemented. A content of 1 is changed to 0, a content of 0 is changed to 1.

Cycles: 1  
Bytes: 1  
Flags: Carry

CPL F0

Complement content of flag 0.

1	0	0	1	0	1	0	1
---	---	---	---	---	---	---	---

(F0) -- NOT (F0)

The content of flag 0 is complemented. A content of 1 is changed to 0, a content of 0 is changed to 1.

Cycles: 1  
Bytes: 1  
Flags: F0

CPL F1

Complement content of flag 1.

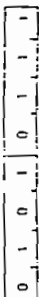
1	0	1	1	0	1	0	1
---	---	---	---	---	---	---	---

(F1) -- NOT (F1)

The content of flag 1 is complemented. A content of 1 is changed to 0, a content of 0 is changed to 1.

Cycles: 1  
Bytes: 1  
Flags: F1

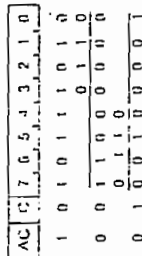
Decimal adjust contents of accumulator



The 8 bit contents of the accumulator are adjusted to form two 4-bit BCD digits. Carry is allowed. If accumulator bits 0 through 3 are greater than nine, or if the auxiliary carry bit is a one, the accumulator is incremented by six. Accumulator bits 4 through 7 are then checked. If they exceed nine, the upper four bits are incremented by six. If an overflow occurs, carry is set to one.

NOTE: AC is set only from the four LSR's of AC-9

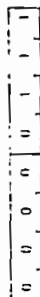
Example: Assume accumulator contains 10111010



Cycles: 1  
Bytes: 1  
Flags: Carry

DEC A

Decrement contents of accumulator by one



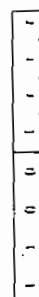
(A) - (A) - 1

The contents of the accumulator are decremented by one.

Cycles: 1  
Bytes: 1

DEC Rr

Decrement contents of register Rr by one



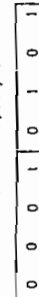
(Rr) -- (Rr) - 1, where r = 0 through 7

The contents of the register designated by bits r are decremented by one.

Cycles: 1  
Bytes: 1

DIS I

Disable external interrupt input

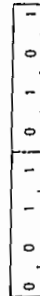


The external interrupt input is masked. Low-going signals at the interrupt input have no effect.

Cycles: 1  
Bytes: 1

DIS TCNTI

Disable internal timer counter interrupt flag

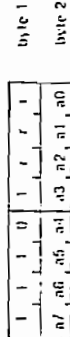


The internal timer counter interrupt flag output is disabled. A pending timer counter interrupt request is cleared. If the timer is operating and overflows, the timer flag will be set, but no interrupt will occur, and the timer will continue to count.

Cycles: 1  
Bytes: 1

DJNZ Rr, addr

Decrement specified register; test contents; jump if not zero.



(Rr) - (Rr) - 1, where r = 0 through 7 (PC 0-7) - addr, if (Rr) < 0

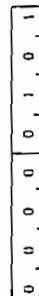
The contents of the register designated by bits r are decremented by one and then tested to see if the contents equal zero. If the register contents equal zero, the next sequential instruction is executed. If the register contents do not equal zero, control passes to the instruction at the address designated in byte 2.

The address is eight bits in length. Jumping to within the current 256-location page. If byte 1 of DJNZ is at location 255 of page 1 and byte 2 is at location 0 of page 2, the jump will be to the specified address within page 2.

Cycles: 2  
Bytes: 2

EN I

Enable external interrupt

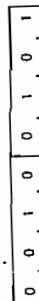


The external interrupt input is enabled. A low-going signal at the interrupt input initiates a vector to location 3 in ROM. If the interrupt inputs already low, this instruction will execute a call to location 3. See RETR instruction for additional information.

Cycles: 1  
Bytes: 1

EN TCNTI

Enable internal timer counter interrupt

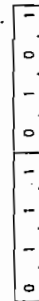


The internal timer counter interrupt is enabled. A timer counter overflow will set the timer flag, and an interrupt vector to location 7 in ROM will occur. If the timer flag is already set, indicating a timer counter overflow, enabling the timer counter flag output will not cause an interrupt. See RETR instructions for additional information.

Cycles: 1  
Bytes: 1

ENTO CLK

Enable clock output at T0

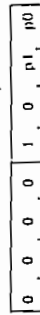


Test input T0 is enabled to output the internal system clock. T0 is disabled as a test input. T0 is disabled as a clock output only by a system reset.

Cycles: 1  
Bytes: 1

IN A, Pp

Input data to accumulator from designated port (1 or 2)



(A) - (Pp), where p = 1 or 2

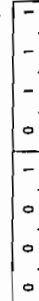
Data present at the port designated by bits p is input into the accumulator. Opcode bits "p" designate the following ports.



Cycles: 1  
Bytes: 1

INC A

Increment contents of accumulator by one.



(A) - (A) + 1

The contents of the accumulator are incremented by one.

Cycles: 1  
Bytes: 1

INC Rr

Increment contents of designated register by one



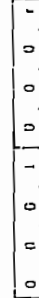
(Rr) -- (Rr) + 1, where r = 0 through 7

The contents of the register designated by bits r are incremented by one.

Cycles: 1  
Bytes: 1

INC Rr, Rr

Increment indirect contents of RAM by one



((Rr)) - ((Rr)) + 1, where r = 0 or 1

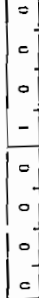
The contents of the internal RAM location, as addressed by bits 0 through 5\* of register r, are incremented by one.

\*bits 0 through 6 for INS6079 INS6049  
\*bits 0 through 7 for INS8040 INS5050

Cycles: 1  
Bytes: 1

INS A, BUS

Input strobed data to accumulator from BUS



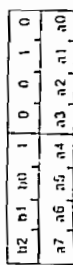
(A) - (BUS)

Data present at the Bus port is input to the accumulator during the T0 stable (see Figure 2 F).

Cycles: 2  
Bytes: 1

**JNB addr**

Jump to specified address if accumulator bit 'b' is not set.



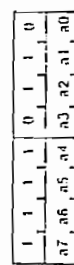
(PC-0-7) → addr, if Bb = 1  
(PC) → (PC) + 2, if Bb = 0

If the accumulator bit designated by bits 'b' is set to a logic one, the contents of the program counter are replaced by address bits 'a' from byte 1. If bit 'b' in the accumulator is a logic zero, the next sequential instruction is executed. Bits b2, b1, and b0 represent a number from 0 to 7 designating which bit in the accumulator is to be tested.

Cycles: 2  
Bytes: 2

**JJC addr**

Jump to specified address if carry flag is set.



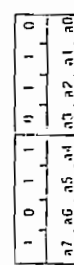
(PC-0-7) → addr, if C = 1  
(PC) → (PC) + 2, if C = 0

If the carry bit is set to a logic one, the contents of the program counter are replaced by address bits 'a' from byte 2. If carry is a logic zero, the next sequential instruction is executed.

Cycles: 2  
Bytes: 2

**JFO addr**

Jump to specified address if flag 0 is set.



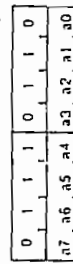
(PC-0-7) → addr, if FO = 1  
(PC) → (PC) + 2, if FO = 0

If flag 0 is set to a logic one, the contents of the program counter are replaced by address bits 'a' from byte 2. If flag 0 is a logic zero, the next sequential instruction is executed.

Cycles: 2  
Bytes: 2

**JVI addr**

Jump to specified address if flag 1 is set.



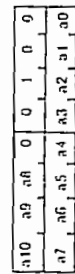
(PC-0-7) → addr, if F1 = 1  
(PC) → (PC) + 2, if F1 = 0

If flag 1 is set to a logic one, the contents of the program counter are replaced by address bits 'a' from byte 2. If flag 1 is a logic zero, the next sequential instruction is executed.

Cycles: 2  
Bytes: 2

**JMP addr**

Jump direct to specified address within 2K address block.



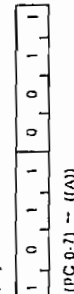
(PC-8-10) → addr, 8-10  
(PC-0-7) → addr, 0-7  
(PC+1) → D0F

The contents of the program counter are replaced by address bits 'a' in bytes 1 and 2. Address bit 11 in the program counter is determined by the most recent bank select instruction (SEL MB) executed.

Cycles: 2  
Bytes: 2

**JMPP @A**

Jump indirect to specified address within address page.

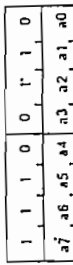


The contents of the program counter are replaced by the ROM contents within the current page pointed to by the accumulator. For example, if the accumulator contains X'20, a jump to the address stored at location 32 (in the current page) occurs.

Cycles: 2  
Bytes: 1

**JNC addr**

Jump to specified address if carry flag is a logic zero.



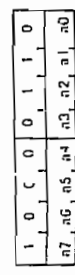
(PC-0-7) → addr, if C = 0  
(PC) → (PC) + 2, if C = 1

If the carry flag is low, the contents of the program counter are replaced by address bits 'a' from byte 2. If carry is a logic one, the next sequential instruction is executed.

Cycles: 2  
Bytes: 2

**JNI addr**

Jump to specified address if interrupt is a logic zero.



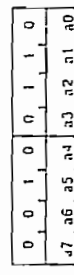
(PC-0-7) → addr, if I = 0  
(PC) → (PC) + 2, if I = 1

If the interrupt input is at a logic zero, the contents of the program counter are replaced by address bits 'a' from byte 2. If the interrupt input is a logic one, the next sequential instruction is executed. This instruction provides a means for testing the condition of the external interrupt pin while it is disabled as an interrupt.

Cycles: 2  
Bytes: 2

**JNO addr**

Jump to specified address if least 0 is a logic zero.



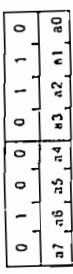
(PC-0-7) → addr, if LO = 0  
(PC) → (PC) + 2, if LO = 1

If input LO is at a logic zero, the contents of the program counter are replaced by address bits 'a' from byte 2. If LO is a logic one, the next sequential instruction is executed. This instruction should not be executed after an ENTO CLK instruction.

Cycles: 2  
Bytes: 2

**JNT1 addr**

Jump to specified address if test 1 is a logic zero.



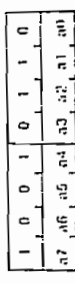
(PC-0-7) → addr, if T1 = 0  
(PC) → (PC) + 2, if T1 = 1

If input T1 is at a logic zero, the contents of the program counter are replaced by address bits 'a' from byte 2. If T1 is a logic one, the next sequential instruction is executed.

Cycles: 2  
Bytes: 2

**JNZ addr**

Jump to specified address if accumulator is non-zero.



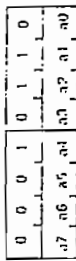
(PC-0-7) → addr, if A ≠ 0  
(PC) → (PC) + 2, if A = 0

If the contents of the accumulator are non-zero the contents of the program counter are replaced by address bits 'a' from byte 2. If the accumulator contents are zero, the next sequential instruction is executed.

Cycles: 2  
Bytes: 2

JT0 addr

Jump to specified address if timer flag is set.



byte 1  
byte 2

(PC 0-7) ← addr, if T1 = 1  
(PC) ← (PC) + 2, if T1 = 0

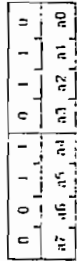
If the internal timer/counter flag is set in a logic one, the contents of the program counter are replaced by address bits a from byte 2. If the timer/counter flag is a logic zero, the next sequential instruction is executed.

Testing the timer/counter flag means the flag to zero. This instruction provides a means of testing the timer/counter flag. If the timer/counter interrupt is disabled. An overflow of the timer/counter will cause an interrupt vector in location 7 in ROM unless the timer/counter interrupt has been disabled.

Cycles: 2  
Bytes: 2

JT1 addr

Jump to specified address if test 0 is a logic one



byte 1  
byte 2

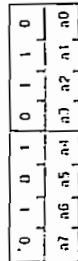
(PC 0-7) ← addr, if T0 = 1  
(PC) ← (PC) + 2, if T0 = 0

If input T0 is a logic one, the contents of the program counter are replaced by address bits a from byte 2. If T0 is a logic zero, the next sequential instruction is executed.

Cycles: 2  
Bytes: 2

JT2 addr

Jump to specified address if test 1 is a logic one.



byte 1  
byte 2

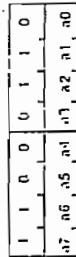
(PC 0-7) ← addr, if T1 = 1  
(PC) ← (PC) + 2, if T1 = 0

If input T1 is a logic one, the contents of the program counter are replaced by address bits a from byte 2. If T1 is a logic zero, the next sequential instruction is executed.

Cycles: 2  
Bytes: 2

JZ addr

Jump to specified address if accumulator is zero.



byte 1  
byte 2

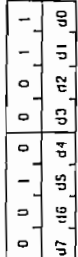
(PC 0-7) ← addr, if A = 0  
(PC) ← (PC) + 2, if A ≠ 0

If the contents of the accumulator are zero, the contents of the program counter are replaced by address bits a from byte 2. If the accumulator contents are non-zero, the next sequential instruction is executed.

Cycles: 2  
Bytes: 2

MOV A, # data

Move immediate specified data into accumulator.



byte 1  
byte 2

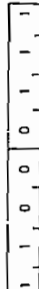
(A) ← data

The data contained in byte 2 is moved into the accumulator.

Cycles: 2  
Bytes: 2

MOV A, PSW

Move contents of program status word into accumulator.

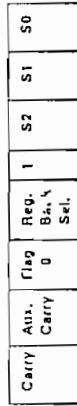


(A) ← (PSW)

The contents of the program status word (PSW) are moved into the accumulator.

Cycles: 1  
Bytes: 1

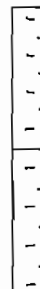
PSW



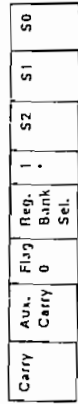
MSB

MOV A, Rr

Move contents of designated register into accumulator.



PSW

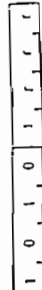


MSB

LSB

MOV Rr, A

Move accumulator contents into designated register.



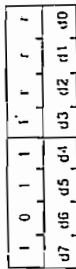
(Rr) ← (A), where r = 0 through 7

The contents of the accumulator are moved into the working register designated by bits r.

Cycles: 1  
Bytes: 1

MOV Rr, # data

Move immediate specified data into designated register.



byte 1  
byte 2

(Rr) ← data, where r = 0 through 7

The data contained in byte 2 is moved into the working register designated by bits r of byte 1

Cycles: 2  
Bytes: 2

MOV @Rr, A

Move indirect accumulator contents into RAM



((Rr)) ← (A), where r = 0 or 1

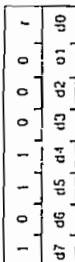
The contents of the accumulator are moved to the RAM location as addressed by bits 0 through 5 of register r. Register r contents are unaffected.

\*bits 0 through 6 for INSR039 INSR049  
\*bits 0 through 7 for INSR040 INSR050

Cycles: 1  
Bytes: 1

**MOV @Rr, # data**

Move-immediate specified data into RAM



((Rr)) ← data, where r = 0 or 1  
 by/byte 1  
 by/byte 2

The data contained in byte 2 is moved to the RAM location as addressed by bits 0 through 5 of register 'r'.  
 \*bits 0 through 6 for INSB039/INSB049  
 \*bits 0 through 7 for INSB040/INSB050

Cycles: 2  
 Bytes: 2

**MOV T,A**

Move contents of accumulator into timer/counter.



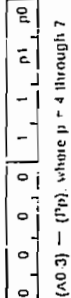
(T) ← (A)

The contents of the accumulator are moved into the timer/counter register.

Cycles: 1  
 Bytes: 1

**MOV0 A,Pp**

Move contents of designated expansion port (A through 7) into accumulator.



(A:3) ← (Pp), where p = 4 through 7  
 (A:7) ← 0

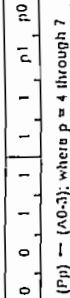
The 4-bit data on the expansion port, designated by bits 'p', are moved into accumulator, bits 0 through 3. Bits 4 through 7 in the accumulator are set to zero. On code bits 'p' designate the following ports:

Port	p1	p0
4	0	0
5	0	1
6	1	0
7	1	1

Cycles: 2  
 Bytes: 1

**MOV0 Pp,A**

Move contents of accumulator to designated expansion port (4 through 7).



(Pp) ← (A:3); where p = 4 through 7

The data in the accumulator, bits 0 through 3, are moved to the expansion port designated by bits 'p'. Accumulator contents are unaffected.

On code bits 'p' designate the following ports:

Port	p1	p0
4	0	0
5	0	1
6	1	0
7	1	1

Cycles: 2  
 Bytes: 1

**MOV0 Pp,A**

Move data in current page (ROM) into accumulator.



(PC:0-7) ← (A)

(PC:0-7) ← (old PC:0-7) + 1

The contents of the program counter, bits 0 through 7, are replaced by the contents of the accumulator. The contents of the internal ROM location, as addressed by the new contents of the program counter, are moved into the accumulator. The program counter is then set back to point to the next sequential instruction. Only bits 0 through 7 of the program counter are affected. Limiting memory references to the current page. Being a 1-byte, 2-c/r/c instruction, if MOV0 Pp,A is at location 255 of a page, the @A addresses a location in the following page.

The program counter is restored after the instruction is executed.

Cycles: 2  
 Bytes: 1

**MOV0 Pp,A**

Move data in page 3 (ROM) into accumulator.



(PC:0-7) ← (A)

(PC:A-10) - 011

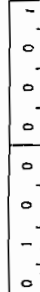
(A) ← ((PC))

(PC) ← (old PC) + 1

The contents of the program counter, bits 0 through 7, are replaced by the contents of the accumulator. Program counter bits 8 through 10 are replaced by 011a, respectively. The contents of the internal page 3 ROM, as addressed by the new contents of the program counter, are moved into the accumulator. The program is restored after this instruction is executed.

**ORL A,@Rr**

Logical-OR indirect contents of RAM with accumulator.



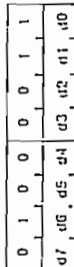
(A) ← (A) OR ((Rr)), where r = 0 or 1

The contents of the internal RAM location, as addressed by bits 0 through 5 of register 'r', are logically ORed with the data in the accumulator.

\*bits 0 through 6 for INSB039/INSB049  
 \*bits 0 through 7 for INSB040/INSB050  
 Cycles: 1  
 Bytes: 1

**ORL A,#data**

Logical-OR specified immediate data with accumulator.



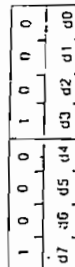
(A) ← (A) OR data

The data contained in byte 2 is logically ORed with the data in the accumulator

Cycles: 2  
 Bytes: 2

**ORL BUS,#data**

Logical-OR immediate specified data with contents of BUS.



(BUS) ← (BUS) OR data

The data contained in byte 2 is logically ORed immediately with the data on the BUS port and the results are sent back to that port. Use of this instruction assumes prior execution of an OUTL BUS,A instruction.

Cycles: 2  
 Bytes: 2

Cycles: 2  
 Bytes: 1

**MOV0 A,@Rr**

Move-indirect contents of external RAM into accumulator



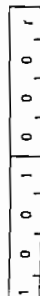
(A) ← ((Rr)); where r = 0 or 1

The contents of the external RAM location, as addressed by register 'r', are moved into the accumulator. Register 'r' contents are unaffected.

Cycles: 2  
 Bytes: 1

**MOV0 A,@RA**

Move-indirect contents of accumulator into external RAM



((Rr)) ← (A); where r = 0 or 1

The contents of the accumulator are moved into the external RAM location, as addressed by register 'r'. Accumulator and register 'r' contents are unaffected.

Cycles: 2  
 Bytes: 1

**NOOP**

No operation performed.

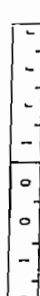


No operation is performed; execution continues with the next sequential instruction.

Cycles: 1  
 Bytes: 1

**ORL A,Rr**

Logical-OR contents of designated register with accumulator.

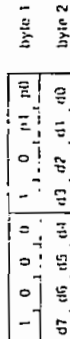


(A) ← (A) OR (Rr), where r = 0 through 7

The contents of the register specified by the 'r' bits are logically ORed with the data in the accumulator.

Cycles: 1  
 Bytes: 1

Logical OR instructions specify data with contents of designated port (1 or 2)



(Pp) -- (Pp) OR data, where p = 1 or 2

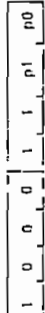
The data contained in byte 2 is logically OR'ed with the data on the port designated by bus 'p'. Opcode bits 'p' designate the following ports:

Port	p1	p0
1	0	1
2	1	0

Cycles: 2  
Bytes: 2

ORL Pp,A

Logical OR contents of accumulator with designated external port (4-7)



(Pp) -- (Pp) OR (A 0-3), where p = 4 through 7

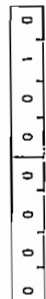
The data in accumulator bits 0 through 3 are logically OR'ed with the data on the external port designated by bus 'p'. Opcode bits 'p' designate the following ports.

Port	p1	p0
4	0	0
5	0	1
6	1	0
7	1	1

Cycles: 2  
Bytes: 1

OUTL BUS, A

Output contents of accumulator into bus.



(BUS) -- (A)

The contents of the accumulator are placed, and latched, at the bus output port. Latched data remains valid until another OUTL BUS instruction is executed, or until another instruction requiring the bus port (except RET) is executed.

Logic operations using bus data assume prior execution of the OUTL BUS,A instruction.

Data are destroyed any time the bus port is used as a bus. The bus port is an input mode after a reset. After execution of OUTL BUS,A, the bus port will remain an

output until the device is either reset or bus port is used for bus transfers

Cycles: 2  
Bytes: 1

OUTL Pp,A

Output contents of accumulator to designated port (1 or 2)



(Pp) -- (A), where p = 1 or 2

The contents of the accumulator are placed, and latched, at the output port designated by bus 'p'. Opcode bits 'p' designate the following ports:

Port	p1	p0
1	0	1
2	1	0

Cycles: 2  
Bytes: 1

RET

Return from subroutine or interrupt without restoring program status word.



(SP) -- (SP) - 1  
(PC) -- ((SP))

The contents of the stack pointer are decremented by one. The contents of the stack, as pointed to by the new contents of the stack pointer, are then placed in the program counter and the program counter is considered restored.

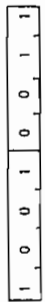
NOTE: Although the stack pointer is only decremented by one, internally it is decremented by two so the PSW and PC can be pulled off the stack.

Program status word bits 4 through 7 are not restored by this instruction.

Cycles: 2  
Bytes: 1

RETR

Return from subroutine or interrupt restoring program status word.



(SP) -- (SP) - 1  
(PC) -- ((SP))  
(PSW 4-7) -- ((SP))

The contents of the stack pointer are decremented by one. The contents of the stack, as pointed to by the new contents of the stack pointer, are then placed in the program counter and the program counter is considered restored.

Program status word bits 4 through 7 are restored from the stack to the program status register.

NOTE: Although the stack pointer is only decremented by one, internally it is decremented by two so the PSW and PC can be pulled off the stack.

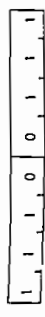
The RETR instruction should be used to return from an interrupt. Bit 7 should not be used to return from a subroutine within an interrupt. This is because RETR indicates the end of an interrupt routine by re-enabling INT.

Cycles: 2  
Bytes: 1

Flags: Carry, Auxiliary carry, F0, Interrupt Enable Flag (only if register is servicing an interrupt).

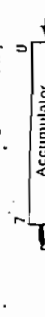
RL A

Rotate accumulator left one bit.



(An 1) -- (An), where n = 0 through 6  
(A0) -- (A7)

The contents of the accumulator are rotated left by one bit position. Bit 7 goes directly to bit 0.



Cycles: 1  
Bytes: 1

RLC A

Rotate accumulator left one bit through carry.



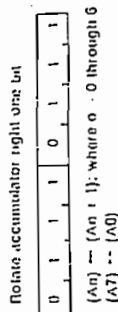
(An 1) -- (An), where n = 0 through 6  
(A0) -- (C)  
(C) -- (A7)

The contents of the accumulator are rotated left by one bit position. Bit 7 moves to carry and carry moves to bit 0.



Cycles: 1  
Bytes: 1

Flags: Carry



Rotate accumulator right one bit

(An) -- (An 1); where n = 0 through 6  
(A7) -- (A0)

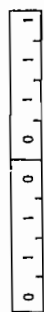
The contents of the accumulator are rotated by one bit position.



Cycles: 1  
Bytes: 1

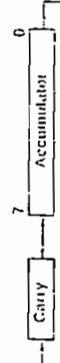
RRC A

Rotate accumulator right one bit through carry



(An) -- (An 1), where n = 0 through 6  
(A7) -- (C)  
(C) -- (A0)

The contents of the accumulator are rotated right by one bit position. Bit 0 moves to carry and carry moves to bit 7.

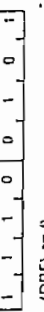


Cycles: 1  
Bytes: 1

Flags: Carry

SEL M00

Select bank 0 from ROM (locations 0 through 2047)

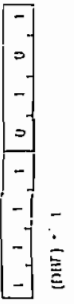


(DDF) -- 0

The memory bank flip-flop (DDF) is set to zero. For succeeding JMP or CALL instructions, if program counter bit 11 is set to a logic zero, causing J1 ROM addresses to fall within locations 0 and 2047.

Cycles: 1  
Bytes: 1

Select bank 1 of RAM (locations 24H through 4095)

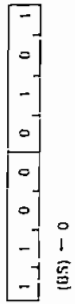


The memory bank flip flop (MFF) is set to one. For succeeding MFF or CALL instructions, program counter bit 11 is set to a logic one causing all ROM addresses to fall within locations 2048 and 4095.

Cycles: 1
Bytes: 1

SEL R00

Select register bank 0 of RAM (locations 0 through 7).

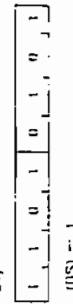


The bank select bit, program status word-bit 4, is set to a logic zero. All references to registers 0 through 7 address RAM locations 0 through 7, respectively. This is the recommended setting for normal program execution.

Cycles: 1
Bytes: 1

SEL R11

Select register bank 1 of RAM (locations 24 through 31)

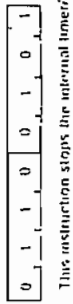


The bank select bit, program status word bit 4 is set to a logic one. All references to registers 0 through 7 address RAM locations 24 through 31, respectively. This is the recommended setting for interrupt service routines. The bank select bit is saved during interrupts and is restored by RETI when the interrupt service routine is completed.

Cycles: 1
Bytes: 1

STOP TCNT

Stop count for timer/counter



This instruction stops the internal timer/counter, regardless of the mode of operation.

Cycles: 1
Bytes: 1

NOTES

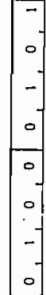
1. If the timer counter is disabled and one or more hiding edges occur at the T1 input, the SIRT CNT instruction will cause the counter to increment immediately.

2. There is a mask-programmable resistor option to prevent the preceding from occurring.

Cycles: 1
Bytes: 1

START CNT

Start count for event counter



Test input T1 is enabled as the input to the timer/counter and the counter is started. The counter is incremented by one for each high-to-low transition at input T1.

Cycles: 1
Bytes: 1

START T

Start timer.

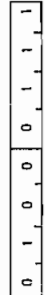


The internal clock is enabled to the timer/counter and the timer is started. The counter is incremented by one for each 32 instruction cycles. The divide-by-32 prescaler is cleared by this instruction.

Cycles: 1
Bytes: 1

SWAP A

Swap 4-bit nibble positions in accumulator.



(A 4-7) -- (A 0-3)

Accumulator bits 0 through 3 are swapped with accumulator bits 4 through 7.

Cycles: 1
Bytes: 1

XCH A,R

Exchange contents of accumulator and designated register.



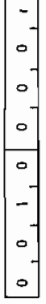
(A) -- (R); where r = 0 through 7

The contents of the accumulator and the register designated by bits 'r' are exchanged.

Cycles: 1
Bytes: 1

XCH A, @R

Exchange indirect contents of accumulator and RAM location.



(A) -- ((R)), where r = 0 or 1

The contents of the internal RAM location, as addressed by bits 0 through 5 of register 'r', are exchanged with the contents of the accumulator. Register 'r' contents are unaffected.

\*bits 0 through 6 for INS8039/INS8049
\*bits 0 through 7 for INS8050

Cycles: 1
Bytes: 1

XCHD A, @Rr

Exchange indirect lower four bits of accumulator and RAM location.



(A 0-3) -- ((Rr)) 0-3; where r = 0 or 1

The lower four bits of the internal RAM location, as addressed by bits 0 through 5 of register 'r', are exchanged with the lower four bits of the accumulator. The upper four bits of both RAM and the accumulator are unaffected.

\*bits 0 through 6 for INS8039/INS8049
\*bits 0 through 7 for INS8040/INS8050

Cycles: 1
Bytes: 1

XRL A,Rr

Logical-XOR contents of designated register with accumulator.



(A) -- (A) XOR (R); where r = 0 through 7

XRL == A = 0
A != 0

The contents of the register specified by bits 'r' are logically EXCLUSIVE-ORed with the data in the accumulator. The register contents are unaffected.

Cycles: 1
Bytes: 1

XRL A, @R

Logical-XOR-indirect contents of RAM with accumulator.



(A) -- (A) XOR ((Rr))

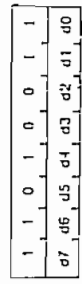
The contents of the internal RAM location, as addressed by bits 0 through 5 of register 'r', are logically EXCLUSIVE-ORed with the data in the accumulator. The internal RAM location contents are unaffected.

\*bits 0 through 6 for INS8039/INS8049
\*bits 0 through 7 for INS8040/INS8050

Cycles: 1
Bytes: 1

XRL A, #data

Logical-XOR-immediate specified data with accumulator.



(A) -- (A) XOR data

The data contained in byte 2 are logically EXCLUSIVE-ORed with the data in the accumulator.

Cycles: 2
Bytes: 2

The mnemonic and hex-address equivalent for the operation codes (OVCODE) are contained in Table 4-3 and Table 4-4 through Table 4-5 provide the hexadecimal operands for those instructions that involve registers, pairs and flags

Table 4-3. 48-Series Operation Codes

MNEMONIC	HEX	MNEMONIC	HEX	MNEMONIC	HEX
<b>CONTROL</b>					
ENI	05	ACCUMULATOR			09
DIS I	15	ADD A,Rr	6	IN A,P1	39
SEL I00	C5	ADD A,@R0	80	OUTL P1,A	99
SEL I01	D5	ADD A,#data	61	ANL P1,#data	69
SEL I00	E5	ADD A,Rr	03	ORL P1,#data	
SEL I01	F5	ADD A,@R0	7	IN A,P2	0A
FI00 CLK	75	ADD A,Rr	70	OUT L P2,A	3A
		ADD A,#data	71	ORL P2,#data	9A
		ANL A,@R0	5		8A
<b>DATA MOVES</b>					
MOV A,Rr	F	ANL A,#data	51	INS A,BUS	08
MOV A,@R0	F0	ORL A,Rr	53	OUTL BUS,A	02
MOV A,#data	F1	ORL A,@R0	4	ANL BUS,#data	98
MOV A,@R0	23	ORL A,Rr	40	ORL BUS,#data	8J
MOV A,@R0	A	ORL A,#data	41		
MOV A,@R0	A0	XRL A,Rr	43	MOVED Pp	0
MOV A,#data	A1	XRL A,@R0	D0	MOVED Pp,A	3
MOV A,@R0	U	XRL A,#data	D1	ARLD Pp,A	9
MOV A,@R0	B0	ORL A,#data	D3	ORLD Pp,A	8
MOV A,@R0	B1				
XCH A,Rr	2	ORL A,@R0	17	REGISTER	
XCH A,@R0	20	DEC A	07		
XCH A,@R0	11	CLR A	27	INC Rr	1
XCH A,@R0	30	CPL A	37	DEC Rr	C
MOV A,PSW	C7	RL A	E7	INC @R0	10
MOV A,@R0	07	RLC A	F7	RL	11
MOV A,@R0	81	RR A	77		
MOV A,@R0	80	RRC A	67		
MOV A,@R0	81	DA A	57		
MOV A,@R0	90	SWAP A	47		
MOV A,@R0	91				
MOV A,@R0	E3				
MOV A,@R0	A3				

Table 4-3. 48-Series Operation Codes (Cont'd.)

MNEMONIC	HEX	MNEMONIC	HEX	MNEMONIC	HEX
<b>TIMER COUNTER</b>					
MOV A,T	42	BRANCH			4
MOV T,A	62	JMP addr	D3	CALL addr	4
STRT T	55	JLPP Rr,A	E	RET	63
STRT CNT	45	DJNZ Rr,addr	F6	PETR	93
STOP TCNT	65	JC addr	E6	NO OP	
		JNC addr	C6		
ENTCNTI	25	JZ addr	96	HOP	00
DISTCNTI	35	JNQ addr	36		
		JNQ addr	36	FLAGS	
		JNTO addr	26		
		JTI	56	CLR C	97
		JITI addr	46	CPL C	A7
		JF3 addr	D6	CLR F0	05
		JF1 addr	76	CPL F0	95
		JTI addr	16	CLR F1	AS
		JNI addr	86	CPL F1	B5
		JBO addr	12		
		JBI addr	32		
		JB3 addr	57		
		JB3 addr	72		
		JB4 addr	92		
		JB5 addr	D2		
		JB5 addr	D2		
		JB7 addr	F2		

NOTES: 1 = Carry Flag Allocated  
 2 = Refer to Register Accumulator Table 4-4  
 3 = Refer to Input/Output Table 4-5  
 4 = Refer to Branch Table 4-6





# Applications For The 48-Series

## 5.1 INTRODUCTION

The contents of this chapter are concerned with hardware and software applications. The unique capability of the 48-Series devices require that the examples be integrated with the appropriate driving software. If this were not the case, a hardware example unsupported by any program of little use. Accordingly, many of the examples that follow are associated with typical software to achieve a particular function.

## 5.2 TIME BASE INPUTS

Some of the typical 48-Series time-base inputs are illustrated in Figure 5-1.

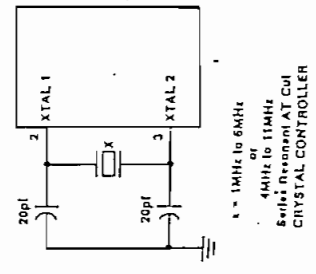


FIGURE 5-1. 48-Series Time-Base

## 5.3 POWER-DOWN OPERATION

Series 48 microcomputers offer the designer a device that is relatively immune to accidental loss of power. These devices provide standby power to selectable areas of RAM when primary power is interrupted. This standby power allows required RAM data to be retained. There are no read or write operations during the standby mode. A power failure can result from low AC line voltage, a complete loss of AC line voltage, or a failure within the system DC power supply. Power failure detection can be performed in the AC circuits or at the output of the system DC power supply.

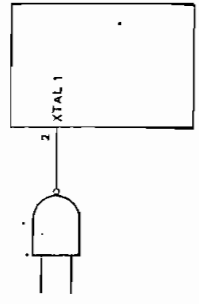
### 5.3.1 AC Detection Circuits

Three types of circuits may be used for AC detection: peak detectors, zero-crossing detectors, or line frequency detectors.

### 5.3.1.1 Peak Detectors

A peak detector (see Figure 5-2) consists of a voltage divider, a rectifier circuit, and an AC line stabilization capacitor. The voltage divider/rectifier provides a pulsating output that continually retrigger a monostable multivibrator. The output of the multivibrator is used as the power-on/power-fall to the processor.

When the AC line voltage drops to the point where the voltage divider output is below the trigger threshold of the multivibrator, the multivibrator will time out and generate the power-fall signal. (If required, leading and trailing edges of the signal supplied to the multivibrator can be squared using a Schmitt trigger device).



EXTERNALLY CONTROLLED

4727

With a peak detector, time is a critical factor. Usng full-wave rectification, the maximum power failure detection (retrigger) rate is 0.33 milliseconds. This implies that the filter capacitor, at the output of the rectifier circuit, must be large enough to sustain the power supply output voltage within specification for a minimum of 0.33 milliseconds. If the AC input line drops below specification

### 5.3.1.2 Zero-Crossing Detectors

The major drawback of zero-crossing detectors, is that the AC voltage can drop to a level where the DC supply falls out of regulation, yet the detector still detects zero crossings. This is not acceptable because retrigger signals are applied to the power-fall circuit up to the point where the system stops operation.

## Table 4-4. Register/Accumulator

R0	MOV A,R	MOV R,A	XCH A,R	MOV R,DATA	INCR	DECR	DJNZ R	ADD A,R	ADDC A,R	ANL A,R	DRL A,R	XRL A,R	C3
R1	MOV A,R	MOV R,A	XCH A,R	MOV R,DATA	INCR	DECR	DJNZ R	ADD A,R	ADDC A,R	ANL A,R	DRL A,R	XRL A,R	D4
R2	MOV A,R	MOV R,A	XCH A,R	MOV R,DATA	INCR	DECR	DJNZ R	ADD A,R	ADDC A,R	ANL A,R	DRL A,R	XRL A,R	D5
R3	MOV A,R	MOV R,A	XCH A,R	MOV R,DATA	INCR	DECR	DJNZ R	ADD A,R	ADDC A,R	ANL A,R	DRL A,R	XRL A,R	D6
R4	MOV A,R	MOV R,A	XCH A,R	MOV R,DATA	INCR	DECR	DJNZ R	ADD A,R	ADDC A,R	ANL A,R	DRL A,R	XRL A,R	D7
R5	MOV A,R	MOV R,A	XCH A,R	MOV R,DATA	INCR	DECR	DJNZ R	ADD A,R	ADDC A,R	ANL A,R	DRL A,R	XRL A,R	D8
R6	MOV A,R	MOV R,A	XCH A,R	MOV R,DATA	INCR	DECR	DJNZ R	ADD A,R	ADDC A,R	ANL A,R	DRL A,R	XRL A,R	D9
R7	MOV A,R	MOV R,A	XCH A,R	MOV R,DATA	INCR	DECR	DJNZ R	ADD A,R	ADDC A,R	ANL A,R	DRL A,R	XRL A,R	DF

Table 4-5. Input/Output

Port	IN	OUT	AND	OR
BUS	08	02	98	88
P1	09	39	99	89
P2	0A	3A	9A	8A
P4	0C	3C	9C	8C
P5	0D	3D	9D	8D
P6	0E	3E	9E	8E
P7	0F	3F	9F	8F
CC	INS823	CC	4-Bit Ports	

Page = 256 bytes

Page	CALL	JMP	CALL	04	1A	24	34	74	84	94	DA	FA
7	5	6	7	1	2	3	4	64	6A	6B	6C	6D
EA	EA	EA	EA	EA	EA	EA	EA	EA	EA	EA	EA	EA

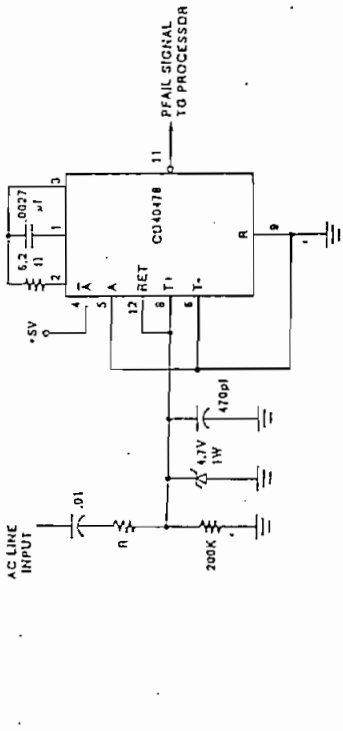


FIGURE 5-2. AC Peak Detection Circuit

5.3.1.3 Line Frequency Detector

A simple and economical AC line frequency detector can be connected as shown in Figure 5-3. In this circuit each positive-to-negative transition of the halfwave rectified AC line supplies a logic low at the INT input of a 48-Series device. This negative line input generates an interrupt. The interrupt subroutine causes the internal timer to be reset approximately every 16.6 milliseconds. If a power failure occurs, the interrupt will not be generated and the timer will not be reset. When the internal timer is allowed to count down to zero (approximately 20 milliseconds), a timer interrupt is generated, forcing a jump to a subroutine that performs a power-fail routine.

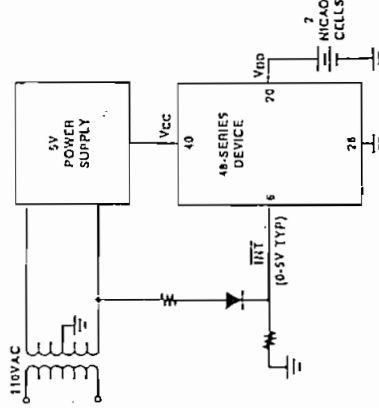


FIGURE 5-3. Line Frequency Detector

5.3.2 DC Detection

The simplest and most effective detection circuit is a voltage comparator to monitor the DC supply (e.g., see Figure 5-4). The battery backup can supply the reference voltage to one side of a comparator, while a voltage divider supplies a slightly greater voltage to the other side of the comparator. DC regulators typically fall out of regulation when their input approaches to within 2 volts of the output. Since the input to the regulator is usually at least 2 volts greater than the output, the input can be monitored for significant changes. This permits detection of a potential power failure long before the regulated output drops.

5.3.3 Power-Fail Interrupt

An imminent power failure would generate an interrupt, causing program operation to branch to a status-save routine. The status-save routine places all data critical to system operation in the standby RAM locations, thereby assuring continuation of the main program when power is restored.

In order for the interrupt to be effective, the enable external interrupt (EN I) instruction must be executed following each system reset. Also, once an interrupt is generated, the interrupt input is disabled until it is enabled by E11. Saving of status is thus assured while preventing multiple interrupts from a fluctuating power supply.

NOTES:

1. The user interrupts can be expanded by using the INS9259 Interrupt Controller.
2. Expansion can also be achieved by connecting the interrupt request lines to unused input port lines and the ORed sum of the requests into the INT input. Source identification can be done by polling the particular port used for interrupt expansion.
3. Multiple interrupts can also be generated by using the pullup resistor option for the INT input and using open-collector drives to pull the INT input down.

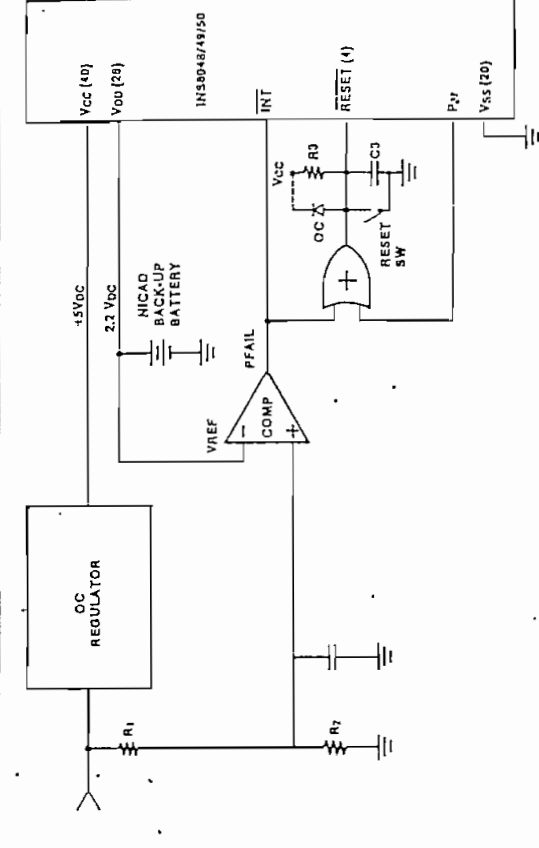


FIGURE 5-4. DC Deflection Circuit

5.3.4 Reset

The reset input should be driven low by the firmware to prevent undesirable system operation during power down. It is important that the state of the power supply be checked after status is saved but before issuing a reset to the microprocessor. The jump-not interrupt (JMI) instruction can recheck the interrupt input without creating an interrupt.

If the power supply only fluctuates slightly, this test permits the program to jump around a firmware reset and restore normal program status. If the power fail signal is still active, the reset input should be driven low. An effective method is to drive reset low under firmware control as the final task of the interrupt service routine. If one of the output ports is used to gate the interrupt into the reset input, the microprocessor itself can drive reset low.

Figure 5-5 illustrates how the RESET input may be driven low. When power is initially applied to the system, the Power Fail input to the NAND gate is a logic low (0) and the port pin input to the NAND gate is a logic high (1). The user program sets the port pin input to the gate to a logic low level. In the event of a power failure, the power fail input to both NAND gates becomes a logic high (1) and the INT input to the 48-Series device goes active low (0). The INT input to the device signifies a power failure and the CPU performs a power-fail routine. The power-fail routine saves the machine status and forces the port pin input to the NAND gate to a logic high. With both the power-fail and the port pin inputs at a logic 1 level, the

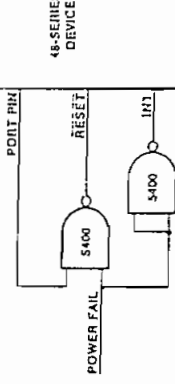


FIGURE 5-5. Driving and Holding RESET Active

RESET input to the 48-Series device becomes active low, preventing the CPU from possibly executing a status instruction to the RAM when power is low.

NOTE: Since RESET sets all ports high, an active-low input should be used to gate INT into RESET. Otherwise, RESET disappears immediately following execution of the instruction that caused it. This also means the bit must be initialized to a zero as part of the power-up sequence.

The interrupt service routine must identify the source of an interrupt and, if it is a power-fail interrupt, save all program status in the standby RAM area. Additionally, the routine must reset the interrupt to see if the power-fail condition is still present (see preceding paragraph). For these instances where power only fluctuates, a restore-and-return routine should be incorporated as part of the interrupt service routine.

If power is in fact removed, the next power-on resets the first instruction to be fetched from location 0. Therefore, it is the responsibility of the initialization sequence to determine whether or not power is being applied for the first time or being applied following a power loss. It is a responsibility of the power program status must be restored and control returned to the interrupted program. The test can be done at power-on time by testing a check character previously written into standby RAM.

If the data is not correct, the power-on can be considered to be an initial one. If the character is correct (entered by the power-fail routine) then the power-on is occurring following a power failure.

#### 5.4 HARDWARE APPLICATIONS

Typical 48-Series hardware applications are contained in the INS5048 Series Data Sheet in Appendix A. Additional applications will be included as they are designed.



## DEVELOPMENT SUPPORT

### 6.1 INTRODUCTION

National Semiconductor supports its microprocessors and microcomputers with a full range of publications, technical support, and products.

National's publications contain detailed component or system information; National's technical support consists of full-time training, technical support specialists, and Field Applications Engineers; and National's product support provides an interactive, versatile, and easy-to-use development system.

### 6.2 PUBLICATIONS

Publications are available covering the various devices manufactured by National Semiconductor. The available literature is grouped in the following categories:

- Literature Index
- Handbooks
- Manuals
- Linear Applications, Vol I and II
- Databooks
- Guides
- Product Selection Guides
- Diodes
- Individual Application Notes
- Individual Data Sheets

See Appendix B for more detailed reference material. For a list of currently available literature, refer to the Literature Index.

### 6.3 TRAINING

National Semiconductor operates a microprocessor training center in Santa Clara, Calif. The training center is fully equipped and professionally staffed to provide students with an effective mixture of hardware/software theory and hands-on laboratory experience. Courses covering our microprocessor related products are available at the National Semiconductor Training Center. To obtain information on current courses being offered and schedules, please contact:

Western Training Center  
1333 Lawrence Expressway  
Santa Clara, CA. 95051  
(408) 737-6453

### 6.4 TECHNICAL SUPPORT PROGRAMS

National Semiconductor has the strongest on-the-scene technical support team - in the U.S. and abroad - of any semiconductor manufacturer. Our large network of independent sales representatives and franchised distributors is backed by our Field Application Engineers. The (FAE's) and microprocessor Application Engineers. The

FAE's are available domestically and internationally to offer on-site technical assistance, and are equipped technically to help analyze your application, translate your needs into a viable hardware/software configuration and then follow it through to system delivery. The microprocessor application engineers are National's home-base technical support specialists who support the FAE's in the field, and who help you use your microprocessor most effectively; they are always available to answer specific technical questions regarding the use of National's microprocessor and peripheral components.

### 6.5 STARPLEX DEVELOPMENT SYSTEM

The STARPLEX™ Development System is a general purpose microcomputer and microprocessor development system. New levels of operating simplicity have been designed into the STARPLEX system to significantly reduce the amount of investment in product development. By getting the user into actual application work sooner and with fewer mistakes, the STARPLEX system allows the user to take full advantage of time spent at the console.

The STARPLEX design combines all the components required for the entire development task in one compact system. The STARPLEX package includes an INTEL 8088 based CPU board, 64K bytes of RAM, 512K bytes of disk storage, a video monitor, keyboard and printer. The standard STARPLEX software package includes a disassembling system, assembler, debugger, editor, linker loader, FORTRAN, BASIC, on-board ROM, diagnostic utilities. Two options are available: an in-system emulator for real-time debugging of customized hardware and software and a PROM programmer personally module for programming, verifying and copying PROM's.

STARPLEX is illustrated in Figure 6-1.

The STARPLEX System reduces the time a user must spend at a terminal by making many complex functions accessible through one easy keyboard. System commands are initiated by clearly marked function keys which invoke prompting menus to guide the user through each task. These function keys eliminate the need to memorize system commands and various command options. As a result, there is no need to refer to lengthy documentation, and errors or delays caused by incorrectly entered commands are eliminated.

Recognizing that a great deal of the user's time is spent in creating and changing source code, the designers of the STARPLEX System have devoted special attention to the text editing facility.

A set of special function keys directs the START menu editor, allowing corrections to be made with single keystrokes. An entire file may be quickly and easily viewed or altered. The number of mistakes is reduced because the data and changes are immediately displayed.

Backup files are automatically created protecting the user from accidental loss of data. Because the STARPLEX System is easy to use, maximum time is considerably shortened. A first time user can be productive within a half hour. Also, as users make more efficient use of the system, machine availability is maximized.

STARPLEX components are packaged into modules which form a unified system when placed together. The modules are detachable, with housings constructed of 1/8 inch aluminum and front panels of molded lexan form.

STARPLEX is designed for easy maintenance. Snap-down doors on the base module make it easy to access the card cages and circuit boards. Interconnecting cables between all modules and boards are routed to the rear of the system and covered by easily removable cable channels. Thus, cables are out of sight and protected from accidental damage. All cables, including the single AC power distribution system, are plug detachable at both ends, making it easy to disconnect modules and reconfigure the system.

Human engineering concepts have directed the design of each STARPLEX module to make the man-machine interface as natural as possible. For example, the video monitor screen has anti-reflective coating to minimize glare, and light-emitting diodes in certain keys provide operator awareness of their selection. Even cooling fans have been located to minimize noise levels.

More detailed information on STARPLEX, its associated software and auxiliary support cards for STARPLEX, is available in the National Semiconductor Microcomputer Systems Survey III Databook.

#### 6.0 IN-SYSTEM EMULATOR

National Semiconductor's In-System Emulator, or ISE, goes beyond the single-card approach to emulation and qualifies as a true microprocessor-based system.

ISE is a complete stand-alone unit that has its own very level language which can be operated from a simple CRT terminal. The ISE unit contains 32K bytes of user programmable memory and all the necessary logic for breakpoints, tracing and memory mapping. Microprocessor emulation is isolated on a single target card containing all the logic needed to emulate the particular microprocessor. ISE is capable of supporting two of these target cards concurrently to achieve emulation in a multiprocessor environment. ISE can support either two target cards for the same microprocessor or two different microprocessors.

There are three important advantages to a stand-alone emulation system over the emulation card approach:

Performance is the primary advantage. An emulation card must share the host system bus and memory. The card not only shares these resources, it also must compete for them in a priority scheme designed into the host system. This creates an unpredictable environment, making real-time emulation impossible.

In contrast, ISE as a stand-alone system has its own special bus designed for high speed emulation. It also has memory dedicated to the user's program, thus eliminating any conflicts and allowing real-time emulation.

Economy is another advantage of the system approach to emulation. The only difference between one emulator card and another is the microprocessor under emulation. The extensive trace memory, breakpoint logic, memory mapping logic, etc., are the same for all microprocessor emulations. The ISE module contains all the logic common to the emulation process while individual target cards are dedicated to the emulation of particular microprocessors. Each target card supported by ISE shares the total system resources, thus eliminating the unnecessary cost of supplying separate logic and memory on each emulator card.

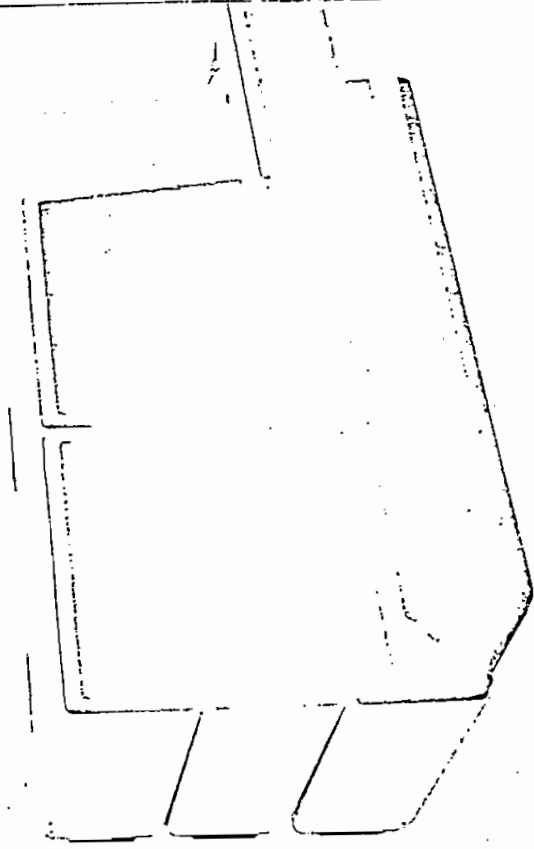
Convenience is the most obvious advantage. The user needs to master only one software package — either the basic system controller or a more powerful STARPLEX software driver program — both of which support all features of ISE and a variety of target cards. Specific characteristics of the emulated microprocessor that must be known by the driver program (register complement, word size, status bits, etc.) are recorded in an architecture ROM located on the target card. The driver program simply reads the contents of the architecture ROM when the system is initialized. It then knows what the microprocessor it is emulating and the characteristics of that microprocessor.

The ISE software package is totally integrated into the STARPLEX Development System. All of the ease-of-use concepts that set STARPLEX above other development systems are designed into the ISE System.

ISE is called with a single keystroke on the STARPLEX keyboard, as are all other STARPLEX system resources. A full-in-the-blank menu appears on the CRT and prompts the user to select the microprocessor to be emulated. During the emulation process a portion of the CRT screen is reserved to inform the user of emulation status. This status information includes the type of microprocessor(s) whether they are running, selected, or present, breakpoint condition masks, and whether breakpoints are enabled.

Should the user wish to review the full range of ISE commands available he can call for "HELP", the "HELP" key on the STARPLEX keyboard allows the user to display information describing the ISE software functions.

FIGURE 6-1. STARPLEX™ Development System



# Appendix A Data Sheets

Appendix A contains a 48-Series data sheet followed by some compatible device data sheets. The device data sheets are arranged by function.

Page

INS8048-Series Microcomputer/Microprocessor ..... A-2

## Analog I/O Components

ADC0801, ADC0802, ADC0803, ADC0804 8-Bit  $\mu$ P  
Compatible A/D Converters ..... A-7  
ADC3511/ADC3711 3 1/2-3 3/4-Digit Microprocessor  
Compatible A/D Converter ..... A-7

## Communications Components

INS2651 Programmable Communications Interface ..... A-6  
INS8250 Asynchronous Communications Element ..... A-11  
DP7304B DP8304B 8-Bit TRI-STATE\*  
Bidirectional Transceiver (Non-inverting) ..... A-6

## Digital I/O Components

INS8243 Input/Output Expander ..... A-6  
DM7131/DM8131 DM7136-DM8136  
6-Bit Unlatched Bus Comparators ..... A-7  
INS8202/R203 TRI-STATE\* Octal Buffers ..... A-7  
INS8208 8-Bit Bidirectional Transceiver ..... A-7  
INS8212 8-Bit Input/Output Port ..... A-7  
INS8216/R226 4-Bit Bidirectional Bus Transceivers ..... A-7  
MM51C31/MM514C373 TRI-STATE\* Octal D-Type Latch  
MM51C374/MM74C74 TRI-STATE\* Octal D-Type Flip-Flop ..... A-7

## Memory Components

MM2716 16,384-Bit (2048 x 8) Erasable PROM ..... A-9  
MM2708 8K UV Erasable PROM ..... A-9  
MM54C920/MM74C920 1024-Bit (256 x 4) Static RAM  
MM54C921/MM74C921 1024-Bit (256 x 4) Static RAM ..... A-9  
MM52118 (MM2316E) 16,384-Bit Read Only Memory ..... A-9  
MM52132 32,768-Bit (4096 x 8) MAXI-ROM\* ..... A-9  
MM52164 65,536-Bit (8192 x 8) MAXI-ROM\* ..... A-9

## Peripheral Control Components

INS8243 Programmable Interval Timer ..... A-9  
INS8350 Series Programmable CRT Controllers ..... A-10  
INS8259 Programmable Interrupt Controller ..... A-10

# INS8048-Series Microcomputer/Microprocessor Family

## General Description

The INS8048 49 50-Series microcomputers and the INS8035 39 40-Series microprocessors (hereinafter referred to as the 48-Series) are self contained, 8-bit parallel 40-pin, dual in-line devices fabricated using National Semiconductor's scaled N-channel, silicon gate MOS process, CMOS. The 48-Series devices contain the system timing, control logic, ROM (where applicable) program memory, RAM data memory and 27 I/O lines necessary to implement dedicated control functions. All 48-Series devices are pin compatible, differing only in the size of on-board ROM (where applicable) and RAM as shown below:

DEVICE	RAM ARRAY	ROM ARRAY
INS8048	64 x 8	1K x 8
INS8049	128 x 8	2K x 8
INS8050	256 x 8	4K x 8
*INS8035	64 x 8	N/A
INS8039	128 x 8	N/A
INS8040	256 x 8	N/A

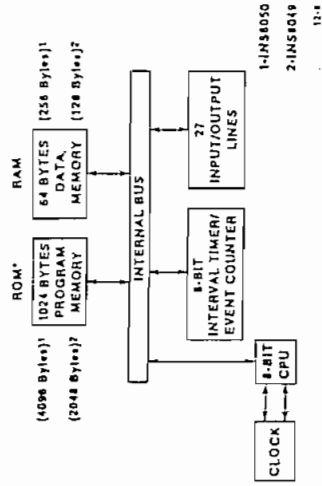
The devices are designed to be efficient controllers. They have enhanced timing capability as well as facilities for both binary and BCD arithmetic. Efficient use of program memory is derived from an instruction set comprised predominantly of single bytes. The remaining instructions are two bytes in length. Additional external memory may be added up to a maximum of 4K bytes of program memory and 256 bytes of data memory without paging.

## Features

- 8-Bit CPU, RAM, ROM, I/O In Single Package
- 2.5  $\mu$ sec Cycle, 6 MHz Clock; 1.36  $\mu$ sec Cycle, 11 MHz Clock
- On-Chip Oscillator Circuit and Clock (of External Source)
- 27 I/O Lines
- Expandable Memory and I/O
- 8-Bit Timer Counter
- Single Level Interrupt
- Interrupt has Schmidt Trigger with Hysteresis\*
- Over 90 Instructions (Most Single Byte)
- Binary and BCD Arithmetic
- Single -5V Power Supply
- Low Standby Power Mode\*
- Low Voltage Standby (2.2V Min)\*\*
- On-Chip Battery Clamping\*

\*NOTE: Transparent Improvements over industry standard part.

## 48-Series Block Diagram



\*Not Applicable to INS8035/39/40

### Absolute Maximum Ratings

Temperature Under Bias ..... 0°C to 170°C  
 Storage Temperature ..... -65°C to +150°C  
 All Input or Output Voltages with respect to V<sub>SS</sub> ..... -0.5V to +1.0V  
 Power Dissipation ..... 1.5 Watt

NOTE: Absolute maximum ratings indicate limits beyond which permanent damage may occur. Continuous operation at these limits is not intended. Operation should be limited to those conditions specified under DC Electrical Characteristics.

### DC Electrical Characteristics

T<sub>A</sub> = 0° C to 170° C, V<sub>CC</sub> = 1.5V ± 10%, V<sub>SS</sub> = 0V, unless otherwise specified.

Symbol	Parameter	Min	Typ	Max	Units	Test Conditions
V <sub>IL</sub>	Input Low Voltage (All except XTAL1, XTAL2)	-0.5		0.8	V	
V <sub>IL1</sub>	Input Low Voltage (XTAL1, XTAL2)	-0.5		0.6	V	
V <sub>IH</sub>	Input High Voltage	2.0		V <sub>CC</sub>	V	
V <sub>IH1</sub>	Input High Voltage (RESET, XTAL1, XTAL2)	3.0		V <sub>CC</sub>	V	
V <sub>OL</sub>	Output Low Voltage			0.4	V	I <sub>OL</sub> = 20mA
V <sub>OH</sub>	Output High Voltage: All except ports 1 and 2	3.0		V <sub>CC</sub>	V	I <sub>OH</sub> = 100 μA
V <sub>OH1</sub>	Port 1 TL	2.4			V	I <sub>OH</sub> = 125 μA V <sub>SS</sub> = V <sub>IH</sub> = V <sub>CC</sub>
I <sub>IL</sub>	Input Leakage Current (I <sub>1</sub> , I <sub>A</sub> , I <sub>B1</sub> )			±10	μA	V <sub>CC</sub> = V <sub>IH</sub> = V <sub>SS</sub> ± 0.45
I <sub>OL</sub>	Output Leakage Current (I <sub>US</sub> , I <sub>1</sub> ) (High Impedance State)			±10.0	μA	V <sub>CC</sub> = V <sub>IH</sub> = V <sub>SS</sub> ± 0.45
I <sub>IP1</sub> (64)	64 words on Standby Current (2)			2.5	mA	R <sub>DS(on)</sub>
I <sub>IP1</sub> (128)	128 words on Standby Current (2)			4.5	mA	R <sub>DS(on)</sub>
I <sub>IP1</sub> (256)	256 words on Standby Current (2)			8.5	mA	R <sub>DS(on)</sub>
I <sub>IP1</sub> (1CC)	Total Supply Current I <sub>IP1</sub> (3)			65	mA	I <sub>A</sub> , T <sub>A</sub> = 25°C
I <sub>IP1</sub> (1CC)	Total Supply Current I <sub>IP1</sub> (4)			30	mA	T <sub>A</sub> = 25°C
I <sub>IP1</sub> (1CC)	Total Supply Current I <sub>IP1</sub> (5)			25	mA	T <sub>A</sub> = 25°C
I <sub>IP1</sub> (1CC)	Total Supply Current I <sub>IP1</sub> (6)			32	mA	T <sub>A</sub> = 25°C
I <sub>IP1</sub> (1CC)	Total Supply Current I <sub>IP1</sub> (7)			30	mA	T <sub>A</sub> = 25°C
I <sub>IP1</sub> (1CC)	Total Supply Current I <sub>IP1</sub> (8)			35	mA	T <sub>A</sub> = 25°C
I <sub>IP1</sub> (1CC)	Total Supply Current I <sub>IP1</sub> (9)			35	mA	T <sub>A</sub> = 25°C
I <sub>BAT</sub>	Battery Charging Current			1.00	mA	See Figure 5
I <sub>DB</sub>	Standby Power Supply	2.4		V <sub>CC</sub>	V	See Figure 5

Note: 1. The Series-48 family of parts are also available in Industrial Temperature Range -40° C to 180° C. Industrial Temperature Range versions are denoted with an I following the part number (i.e., INS8048-6XXX/I).

2. The low power versions (L parts), and the Industrial Temperature Range (I parts), are currently available throughout the Series-48 Family.

### AC Electrical Characteristics - INS80XX-6 (1-6 MHz part)

T<sub>A</sub> = 0° C to -70° C, V<sub>CC</sub> = 1.5V ± 10%, V<sub>SS</sub> = 0V, unless otherwise specified.

Symbol	Parameter	Min	Typ	Max	Units	Test Conditions
t <sub>LL</sub>	ALE Pulse Width	400			ns	Note 1
t <sub>AL</sub>	Address Setup to ALE	150			ns	Note 1
t <sub>LA</sub>	Address Hold from ALE	80			ns	Note 1
t <sub>CC</sub>	Control Pulse Width PSEN, RD, WR	700			ns	Note 1
t <sub>DW</sub>	Data Set-Up Before WR	500			ns	Note 1
t <sub>WD</sub>	Data Hold After WR	120			ns	C <sub>L</sub> = 20 pF
t <sub>CY</sub>	Cycle Time	2.5		15.0	μs	1 to 6 MHz XTAL
t <sub>DR</sub>	Data Hold	0		200	ns	Note 1
t <sub>DP</sub>	PSEN, RD to Data In			500	ns	Note 1
t <sub>AW</sub>	Address Setup to WR	230			ns	Note 1
t <sub>AD</sub>	Address Setup to Data In			950	ns	Note 1
t <sub>ARC</sub>	Address Float to RD, PSEN	0			ns	Note 1
t <sub>CA</sub>	Control Pulse to ALE	10			ns	Note 1

### Port 2 Timing

Symbol	Parameter	Min	Typ	Max	Units	Test Conditions
t <sub>CP</sub>	Port Control Setup before Falling Edge of PROG	110			ns	Note 1
t <sub>PC</sub>	Port Control Hold after Falling Edge of PROG	140			ns	Note 1
t <sub>WH</sub>	PROG to Time P2 Input must be Valid			810	ns	Note 1
t <sub>DP</sub>	Output Data Setup Time	250			ns	Note 1
t <sub>DP1</sub>	Output Data Hold Time	65			ns	Note 1
t <sub>IP</sub>	Input Data Hold Time	0		150	ns	Note 1
t <sub>PP</sub>	PROG Pulse Width	1510			ns	Note 1
t <sub>PL</sub>	Port 2 I/O Data Setup	400			ns	Note 1
t <sub>PH</sub>	Port 2 I/O Data Hold	150			ns	Note 1

### AC Electrical Characteristics - INS80XX-11 (4-11 MHz Part)

T<sub>A</sub> = 0° C to 170° C, 1.5V ± 10%, V<sub>SS</sub> = 0V, unless otherwise specified.

Symbol	Parameter	Min	Typ	Max	Units	Test Conditions
t <sub>LL</sub>	ALE Pulse Width	150			ns	Note 1
t <sub>AL</sub>	Address Setup to ALE	70			ns	Note 1
t <sub>LA</sub>	Address Hold from ALE	50			ns	Note 1
t <sub>CC</sub>	Control Pulse Width PSEN, RD, WR	300			ns	Note 1
t <sub>DW</sub>	Data Set-Up Before WR	250			ns	Note 1
t <sub>WD</sub>	Data Hold After WR	40			ns	C <sub>L</sub> = 20 pF
t <sub>CY</sub>	Cycle Time	1.36		3.75	μs	4 to 11 MHz XTAL
t <sub>DH</sub>	Data Hold	0		100	ns	Note 1
t <sub>DP</sub>	PSEN, RD to Data In			200	ns	Note 1

# AC Electrical Characteristics - INS80XX-11 (Cont'd.)

Symbol	Parameter	Min.	Typ	Max	Units	Test Conditions
I <sub>AV</sub>	Address Set-Up to V <sub>TH</sub>	200	ns	ns	ns	Note 1
I <sub>AP</sub>	Address Set-up in Data In	-	ns	100	ns	Note 1
I <sub>AC</sub>	Address Float to RD, PSEN	-10	ns	ns	ns	Note 1
I <sub>CA</sub>	Control Pulse to ALE	10	ns	ns	ns	Note 1

## Port 2 Timing

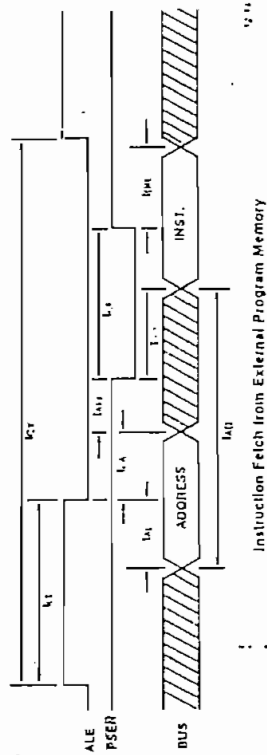
Symbol	Parameter	Min	Typ	Max	Units	Test Conditions
I <sub>CP</sub>	Port Control Setup before Falling Edge of P <sub>ROG</sub>	100	ns	ns	ns	Note 1
I <sub>CP</sub>	Port Control Hold after Falling Edge of P <sub>ROG</sub>	60	ns	ns	ns	Note 1
I <sub>PN</sub>	P <sub>ROG</sub> to Input P2 Input must be Valid	-	ns	650	ns	Note 1
I <sub>OP</sub>	Output Data Setup Time	200	ns	ns	ns	Note 1
I <sub>OP</sub>	Output Data Hold Time	20	ns	ns	ns	Note 1
I <sub>IP</sub>	Input Data Hold Time	0	ns	150	ns	Note 1
I <sub>IP</sub>	P <sub>ROG</sub> Pulse Width	700	ns	ns	ns	Note 1
I <sub>IC</sub>	Port 2 I/O Data Setup	150	ns	ns	ns	Note 1
I <sub>IC</sub>	Port 2 I/O Data Hold	20	ns	ns	ns	Note 1

Note 1: Control outputs C<sub>L</sub> = 80 pF. Bus outputs C<sub>L</sub> = 150 pF.

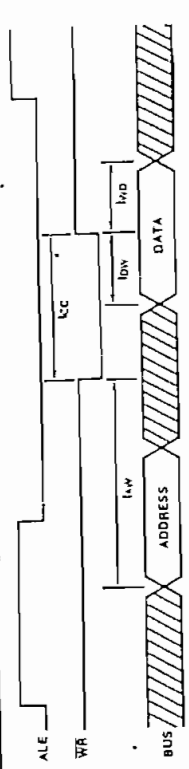
## Capacitance T<sub>A</sub> 25° C. V<sub>CC</sub> = V<sub>SS</sub> = 0V

Symbol	Parameter	Min	Typ	Max	Units	Test Conditions
C <sub>IN</sub>	Input Capacitance	-	6	10	pF	f <sub>c</sub> = 1 MHz
C <sub>OUT</sub>	Output and RESET Capacitance	-	10	20	pF	Unmeasured pins returned to V <sub>SS</sub>

## Timing Waveforms

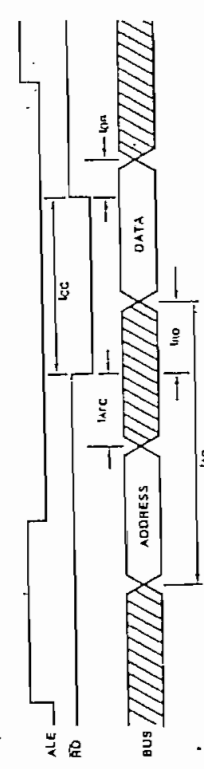


NOTE: Diagonal lines indicate interval of high impedance.



Write to External Data Memory

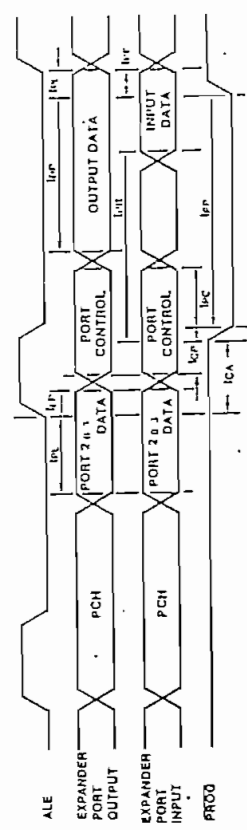
12-10



Read from External Data Memory

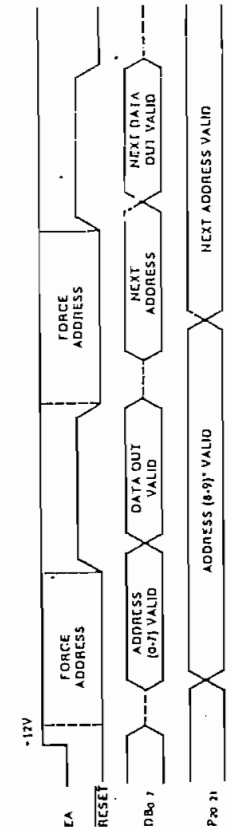
12-11

NOTE: Diagonal lines indicate interval of high impedance.



Port 2 Timing

12-12



Verify Mode Timing

\*8049 = 8-10  
8050 = 8-11

12-13



## Functional Pin Description

### INPUT SIGNALS

**Reset (RESET):** An active low (0) input that initializes the processor and is used to verify program memory. (See note 41)

**Single Step (SS):** Active low (0) input which, in conjunction with ALE, can single step the processor through each instruction.

**External Access (EA):** An active high (1) input that forces all program memory fetches to reference external program memory.

**Testable Input 0 (TI0):** Testable input pin using conditional branch functions J10 (T0) or J110 (T0). It can be designated as the clock output using instruction ENT0 CLK.

**Testable Input 1 (TI1):** Testable input pin using conditional branch functions J11 (T1) or J111 (T1). It can be designated as the Timer/Counter input from an external source using instruction S111 CNT.

**Interrupt (INT):** An active low input that initiates an interrupt when interrupted. It is held. Interrupt is disabled after a level. Also can be tested with instruction J11 (INT 0). (See Note 2)

### OUTPUT SIGNALS

**Read Strobe (RD):** An active low output strobe activated during a bus read. Can be used to enable data onto the BUS from an external device. Used as a Read Strobe to External Data Memory.

**Write Strobe (WR):** An active low output strobe activated during a bus write. Used to write data into External Data Memory.

**Program Store Enable (PSEN):** An active low output that occurs only during an external program memory fetch.

### Pin Configuration

40	VCC
39	T1
38	P27
37	P28
36	P25
35	P24
34	P17
33	INS000
32	P15
31	P14
30	P13
29	P12
28	P11
27	P10
26	VDD
25	PROG
24	P23
23	P22
22	P21
21	P20
20	VSS

**Address Latch Enable (ALE):** An active high output that occurs once during each cycle and is useful as a clock output. The negative going edge of ALE strobes the address into external data or program memory.

**Program (PROG):** This output (active high) provides the output strobe for INS003/OE expander.

### INPUT/OUTPUT SIGNALS

**Crystal Input (XTAL1, XTAL2):** These two pins connect the crystal for internal oscillator operation. XTAL1 is the timing input for external source.

**Port 1 (P10-P17):** 8-bit quasi-bidirectional port.

**Port 2 (P20-P27):** 8-bit quasi-bidirectional port. During an external program memory fetch, the four high-order program counter bits occur at P20-P23. They also serve as a 4-bit I/O expander bus when the INS003/OE expander is used. (See Note 3)

**BUS (DB0-DB7):** True bidirectional port, either statically latched or synchronous. Can be written to using WR Strobe, or Read from using RD Strobe. During an external program memory fetch, the 8 lower order program counter bits are present at this port. The addressed instruction appears on this bus when PSEN is low. During an external RAM data store instruction, this port presents address and data under control of ALE, RD, and VDD.

**VSS:** Processor Ground potential.

**VDD:** VDD is minimum as the Low Power Stand-by Voltage and can vary from 2.9V to 5.5V.

**VCC:** Pin 40; Primary Power Source for 48-Series Devices.

### Functional Description

The following paragraphs contain the functional description of the major elements of the 48-Series microcomputer-microprocessor. Figure 1 is a block diagram of the 48-Series devices. The data paths are illustrated in simplified form to show how the various logic elements communicate with each other to implement the instruction set common to all devices.

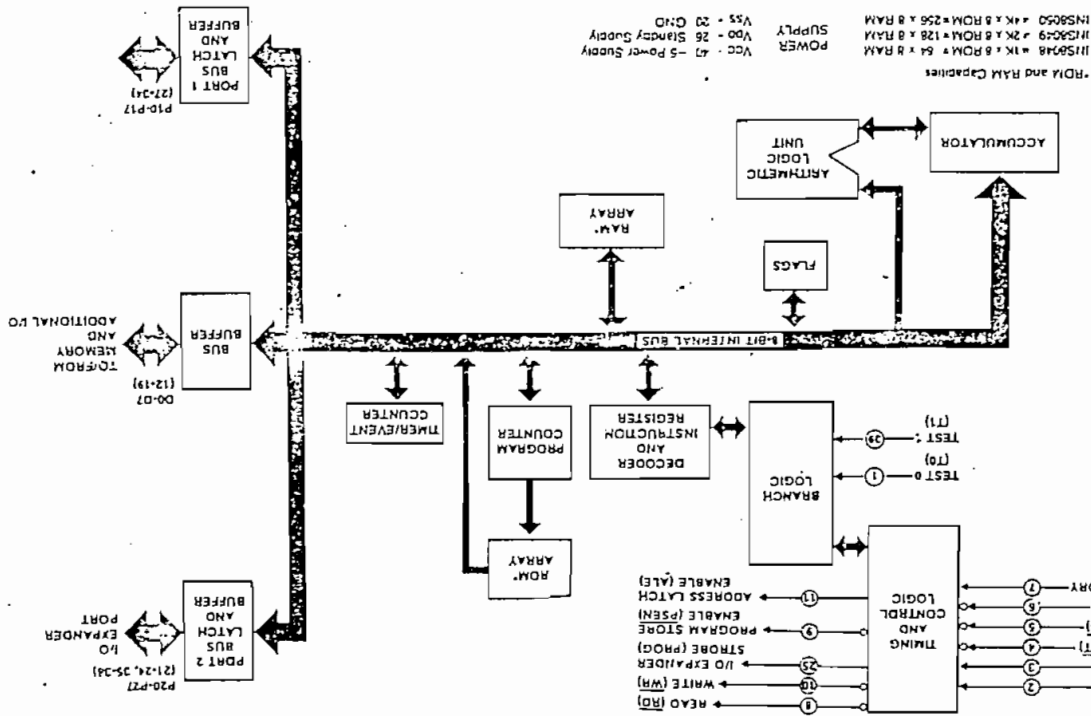


FIGURE 1. 48-Series Block Diagram

**Program Memory**

The Program Memory (ROM) contained on the INS8048/49/50 devices is comprised of 1024, 2048 or 4096 8 bit bytes, respectively. As is seen by examining the 48-Series instruction set, these bytes may be program instructions, program data or ROM addressing data. The ROM for the above devices must be mask programmed at the National Semiconductor factory. The ROMless micro-processors, INS8035, INS8039 and INS8040 use external program memory. This makes program development straightforward using standard UV erasable PROMs to emulate a possible future single chip (having the on-board ROM) system ROM addressing, up to a maximum of 4K, is accomplished by a 12-bit Program Counter (PC). The INS8048 and INS8049 will automatically address external memory when the boundary of their internal memories, 1K and 2K respectively, are exceeded. The binary value of the address selects one of the 8-bit bytes contained in ROM. A new address is loaded into the PC register during each

instruction cycle. Unless the instruction is a transfer of control instruction, the PC register is loaded with the next sequential binary count value.

With reference to the Program Memory Map (see Figure 2) there are three ROM addresses which provide for the control of the microcomputer:

1. Memory Location 0000 - Resetting the Reset (negative true) input to the microcomputer forces the first instruction to be fetched from address 0000.
2. Memory Location 0003 - Asserting the Interrupt (negative true) input to the microcomputer (when interrupt is enabled) forces a jump to subroutine.
3. Memory Location 0007 - A timer/counter interrupt that results from timer/counter overflow (when enabled) forcing a jump to subroutine.

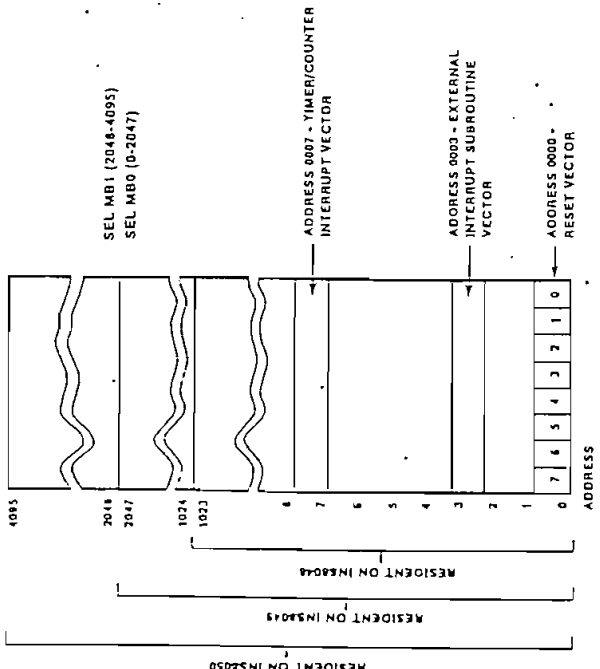


FIGURE 2. INS8048/49/50 Resident ROM Program Memory Map

**Data Memory (RAM)**

The resident RAM data memory is arranged as 64 (INS8035/8048), 128 (INS8039/8049) or 256 (INS8040/8050) bytes. RAM addressing is implemented indirectly via either of two 8-bit RAM pointer registers R0 and R1. These pointer registers are essentially the first two locations in the RAM (see Figure 3), addresses 000 and 001. RAM addressing may also be performed directly by 11 direct register instructions. The pointer register area of the RAM array is made up of eight working registers that occupy either the first bank (R1 locations 0 to 7), or the second bank (R0 locations 24-31). The second bank of working registers is selected by using the Register Bank Switch instruction (SEL RB). If this bank is not used for working registers, it can be used as user RAM.

There is an 8-level stack after Bank 0 that occupies address locations 8 to 23. These RAM locations are addressed indirectly through R0, R1 or the 3-bit Stack Pointer (SP). The stack pointer keeps track of the return address and pushes each return address down into the stack. There are 8 levels of subroutine nesting possible in the stack because each address occupies 10 bits or more using two bytes in RAM. When the level of subroutine nesting is less than 8, the stacks not used may be utilized as user RAM locations.

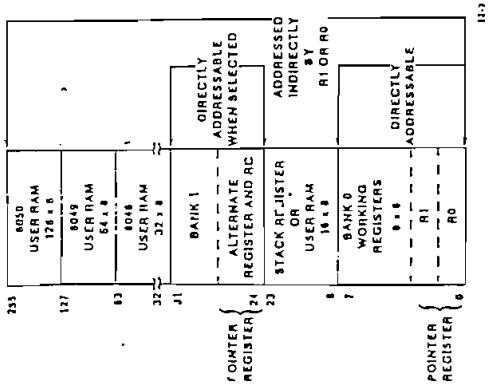


FIGURE 3. 48-Series Resident RAM Data Memory Map

**Input/Output**

The 48-Series devices have 27 lines of input/output organized as three 8-bit ports plus three test inputs. The three ports may be used as inputs, outputs or bidirectional ports. Ports 1 and 2 differ from port 3 (Bus Port) in that they are quasi-bidirectional ports. Ports 1 and 2 can be used as input and output without being statically latched. If more I/O lines are required, Port 2 can also serve as a 4-bit I/O bus expander when used in conjunction with the INS8243 I/O Expander.

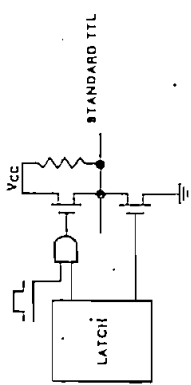


FIGURE 4. Input/Output Options

The bus port is a true bidirectional port and is either statically latched or synchronous. It can be written to using WR strobe or read from using RD strobe. During an external program memory fetch, the 8 lower order program counter bits are preset at this port. The addressed instruction appears on this bus when RSEN is low. During an external RAM data store instruction, this port presents address and data under control of ALE, RD, and WR.

#### Transparent Improvements

National has made some additional improvements to the standard industry parts. These include a battery charging circuit, and interrupt pin with hysteresis. Also, these improvements are transparent to the user. See Figure 5.

#### Power Down Mode

During the power down mode,  $V_{pp}$  which normally maintains the RAM cells, is the only pin that receives power. Vcc, which serves the CPU and parts is dropped from nominal 5 volts to 0 volt, after the CPU is reset, so that the RAM cells are unaltered by the loss of power. When power is restored, the processor goes through the normal power-on procedure.

#### Battery Charging Circuit

All 48-Series devices contain a circuit to provide external battery charging capabilities. Power for all on-board circuits are provided by Vcc (pin 40). As shown in Figure 5 under normal operating conditions the RESET input is a logic high holding the internal switch in the closed position. Vcc is supplied to the program selectable portion of the RAM array through the closed contact of the internal switch. The normally closed contacts of the switch also provide charging power to the external NiCad cells. In the event of power failure, the RESET pin must be pulled low before Vcc drops below 4.5 volts in order to guarantee the RAM will not lose data. When the RESET pin becomes a logic low (0V) the internal switch is forced to the open condition. DC power to sustain the desired RAM data is provided by the two NiCad batteries (approximately 2.2 volts). Normally, approximately 5 volts are required to provide RAM data protection in the event of a power failure. National's innovative advances in NMOS technology provide the user with a RAM that requires 50% less voltage and 10% of the power to protect data during power failure. The on-chip charging circuit and lower RAM power requirements provide the user with a twofold saving: no external circuits required for the battery charging and only 2 NiCad cells as opposed to the normal requirement of 4 to 5 NiCad cells.

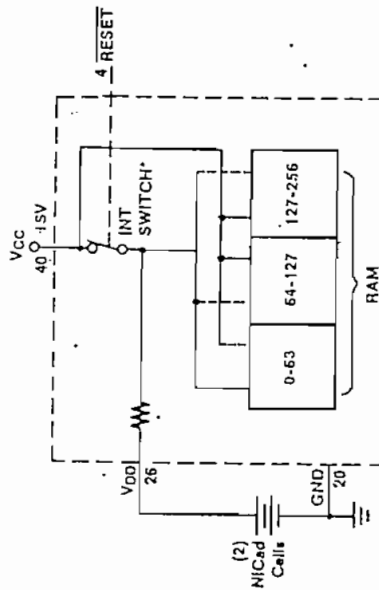


FIGURE 5. IN58049 Battery Charging Circuit

12-5

#### Instruction Set

Table 1 details the 96 instructions common to both the microcomputers and the microprocessors. The table provides the mnemonic, function and description, instruction code, number of cycles and, where applicable, flag settings.

Table 1 Instruction Set

MNEMONIC	FUNCTION	DESCRIPTION	CYCLES	BYTES	FLAGS		
					C	A	FO
EN I		Enable the External Interrupt Input.	1	1			
DIS I		Disable the External Interrupt Input	1	1			
EN TO CLK		Enable TO as the Clock Output.	1	1			
SEL M00	(DBF) → 0	Select Bank 0 (locations 0 - 2047) of Program Memory.	1	1			
SEL M01	(ODF) → 1	Select Bank 1 (locations 2048 - 4095) of Program Memory.	1	1			
SEL M00	(OS) → 0	Select Bank 0 (locations 0 - 7) of Data Memory.	1	1			
SEL M01	(OS) → 1	Select Bank 1 (locations 24 - 31) of Data Memory.	1	1			
		DATA MOVES					
MOV A, #data	(A) ← data	Move immediate the specified data into the Accumulator	2	2			
MOV A, R <sub>i</sub>	(A) ← (R <sub>i</sub> ); r = 0 - 7	Move the contents of the designated registers into the Accumulator	1	1			
MOV A, @R <sub>i</sub>	(A) ← ((R <sub>i</sub> )); r = 0 - 1	Move indirect the contents of data memory location into the Accumulator	1	1			
MOV A, PSW	(A) ← (PSW)	Move contents of the Program Status Word into the Accumulator.	1	1			
MOV R <sub>i</sub> , #data	(R <sub>i</sub> ) ← data; r = 0 - 7	Move immediate the specified data into the designated register.	2	2			
MOV R <sub>i</sub> , A	(R <sub>i</sub> ) ← (A); r = 0 - 7	Move Accumulator contents into the designated register	1	1			
MOV @R <sub>i</sub> , A	((R <sub>i</sub> )) ← (A); r = 0 - 1	Move indirect Accumulator contents into data memory location	1	1			
MOV @R <sub>i</sub> , #data	((R <sub>i</sub> )) ← data; r = 0 - 1	Move immediate the specified data into data memory	2	2			
MOV PSW, A	(PSW) ← (A)	Move contents of Accumulator into the Program Status Word	1	1			
MOV A, @A	(PC 0 - 7) ← (A) (A) ← ((PC))	Move the content of program memory location in the current page addressed by the content of Accumulator into the accumulator	2	1			
MOV A, @A	(PC 0 - 7) ← (A) (PC 8 - 10) ← 011 (A) ← ((PC))	Move the content of program memory location in page 3, address by the content of accumulator into the accumulator	2	1			
MOV A, @R	(A) ← ((R <sub>i</sub> )); r = 0 - 1	Move indirect the contents of external data memory into the Accumulator	2	1			

Table 1. Instruction Set (Cont'd)

MNEMONIC	FUNCTION	DESCRIPTION	CYCLES	BYTES	FLAGS
					C I A C O F I
MOVX @ R, A	{(Ri)} ← (A); r: 0-1	Move indirect the contents of the Accumulator into the external RAM memory.	2	1	
XCHL A, Rr	(A) ↔ (Rr); r: 0-7	Exchange the Accumulator and designated register's contents.	1	1	
XCHL A, @ Rr	(A) ↔ ((Rr)); r: 0-1	Exchange indirect contents of Accumulator and designated register's contents.	1	1	
XCHL A, @ Rr	(A) ↔ ((Rr)); r: 0-1	Exchange indirect contents of Accumulator and data memory.	1	1	
EN ICHN1	(A) ← (I)	TIMER COUNTER Enable Interval Interrupt Flag for Timer Counter output.	1	1	
DIS ICHN1	(I) ← (A)	Disable Interval Interrupt Flag for Timer Counter output.	1	1	
MOV A, T	(A) ← (T)	Move contents of Timer Counter into Accumulator.	1	1	
MOV T, A	(T) ← (A)	Move contents of Accumulator into Timer Counter.	1	1	
STOP ICH1		Stop Count for Event Counter.	1	1	
START ICH1		Start Count for Event Counter.	1	1	
START T		Start Count for Timer.	1	1	
ADD A, #data	(A) ← (A) + #data	ADD Immediate: the specified data in the Accumulator.	2	2	
ADD A, Rr	(A) ← (A) + (Rr); for r: 0-7	Add contents of designated register to the Accumulator.	1	1	
ADD A, @ Rr	(A) ← (A) + ((Rr)); for r: 0-1	Add indirect the contents of the data memory location to the Accumulator.	1	1	
ADD A, @ Rr	(A) ← (A) + (C); data	ADD Immediate: with carry the specified data to the Accumulator.	2	2	
ADD A, Rr	(A) ← (A) + (Rr); for r: 0-7	Add with carry the contents of the designated register to the Accumulator.	1	1	
ADD A, @ Rr	(A) ← (A) + (C) + ((Rr)); for r: 0-1	Add with carry indirect the contents of data memory location to the Accumulator.	1	1	
ANL A, #data	(A) ← (A) AND #data	Logical AND: specified immediate data with Accumulator.	2	2	
ANL A, Rr	(A) ← (A) AND (Rr); for r: 0-7	Logical AND: contents of designated register with Accumulator.	1	1	
ANL A, @ Rr	(A) ← (A) AND ((Rr)); for r: 0-1	Logical AND: indirect the contents of data memory with Accumulator.	1	1	
ORL A	(A) ← (A) OR (A)	Complement the contents of the Accumulator.	1	1	
CLEAR A	(A) ← 0	CLEAR the contents of the Accumulator.	1	1	
DA A	(A) ← (A) - 1	DECIMAL ADJUST: the contents of the Accumulator by 1; the accumulator's contents increment by 1; the accumulator's contents increment by the accumulator's contents.	1	1	
ORL A, #data	(A) ← (A) OR #data	Logical OR: specified immediate data with Accumulator.	2	2	
ORL A, Rr	(A) ← (A) OR (Rr); for r: 0-7	Logical OR: contents of designated register with Accumulator.	1	1	
ORL A, @ Rr	(A) ← (A) OR ((Rr)); for r: 0-1	Logical OR: indirect the contents of data memory location with Accumulator.	1	1	

Table 1. Instruction Set (Cont'd.)

MNEMONIC	FUNCTION	DESCRIPTION	CYCLES	BYTES	FLAGS
					C I A C O F I
RLA	(An) ← (An) for n: 0-6 (A) ← (A) ⊕ (A)	ACCUMULATOR (Cont'd.) Rotate Accumulator left by 1-bit without carry.	1	1	
RLC A	(An) ← (An); n: 0-6 (A) ← (A) ⊕ (C) (C) ← (A7)	Rotate Accumulator left by 1-bit through carry.	1	1	
RRA A	(An) ← (An); n: 0-6 (A) ← (A) ⊕ (A)	Rotate Accumulator right by 1-bit without carry.	1	1	
RRC A	(An) ← (An); n: 0-6 (A) ← (A) ⊕ (C) (C) ← (A0)	Rotate Accumulator right by 1-bit through carry.	1	1	
SWAP A	(A) ← (A) ⊕ (A)	Swap the 2, 4-bit nibbles in the Accumulator.	1	1	
XRL A, #data	(A) ← (A) XOR #data	Logical XOR: immediate specified data with Accumulator.	2	2	
XRL A, Rr	(A) ← (A) XOR (Rr); for r: 0-7	Logical XOR: contents of designated register with Accumulator.	1	1	
XRL A, @ Rr	(A) ← (A) XOR ((Rr)); for r: 0-1	Logical XOR: indirect the contents of data memory location with Accumulator.	1	1	
DJNZ Rr, addr	(Rr) ← (Rr) - 1; r: 0-7 (PC) ← (PC) + addr	BRANCH Decrement the specified register and test contents.	2	2	
JBb addr	(PC) ← (PC) + addr; if Bb = 1 (PC) ← (PC) + 2; if Bb = 0	Jump to specified address if Accumulator bit is set.	2	2	
JG addr	(PC) ← (PC) + addr; if C = 1 (PC) ← (PC) + 2; if C = 0	Jump to specified address if carry flag is set.	2	2	
JFO addr	(PC) ← (PC) + addr; if FO = 1 (PC) ← (PC) + 2; if FO = 0	Jump to specified address if Flag FO is set.	2	2	
JFI addr	(PC) ← (PC) + addr; if FI = 1 (PC) ← (PC) + 2; if FI = 0	Jump to specified address if Flag FI is set.	2	2	
JMP addr	(PC) ← (PC) + addr; 0-10 (PC) ← (PC) + addr; 0-7 (PC) ← (PC) + addr; 0-7	Direct Jump to specified address within the 2K address block.	2	2	
JMPP @ A	(PC) ← (PC) + (A)	Jump indirect to specified address pointed to by the accumulator in current page.	2	1	
JNC addr	(PC) ← (PC) + addr; if C = 0 (PC) ← (PC) + 2; if C = 1	Jump to specified address if carry flag is low.	2	2	
JNI addr	(PC) ← (PC) + addr; if I = 0 (PC) ← (PC) + 2; if I = 1	Jump to specified address if Interrupt is low.	2	2	
JNO addr	(PC) ← (PC) + addr; if NO = 0 (PC) ← (PC) + 2; if NO = 1	Jump to specified address if Test 0 is low.	2	2	
JNTI addr	(PC) ← (PC) + addr; if TI = 0 (PC) ← (PC) + 2; if TI = 1	Jump to specified address if Test 1 is low.	2	2	
JNZ addr	(PC) ← (PC) + addr; if Z = 0 (PC) ← (PC) + 2; if Z = 1	Jump to specified address if accumulator is non-zero.	2	2	
JIF addr	(PC) ← (PC) + addr; if IF = 0 (PC) ← (PC) + 2; if IF = 1	Jump to specified address if Interrupt Flag is set to 1.	2	2	
JIO addr	(PC) ← (PC) + addr; if IO = 0 (PC) ← (PC) + 2; if IO = 1	Jump to specified address if Test 0 is a 1.	2	2	
JII addr	(PC) ← (PC) + addr; if II = 0 (PC) ← (PC) + 2; if II = 1	Jump to specified address if Test 1 is a 1.	2	2	
JZ addr	(PC) ← (PC) + addr; if Z = 0 (PC) ← (PC) + 2; if Z = 1	Jump to specified address if Accumulator is 0.	2	2	

Symbol Definitions

SYMBOL	DESCRIPTION
P	Port Designator (p 1, 2 or 4-7)
PSW	Program Status Word
r	Register Designator (r 0, 1 or 0-7)
SP	Stack Pointer
T	Timer
TF	Timer Flag
To T1	Timable Flags 0, 1
X	External RAM
*	Prefix for Immediate Data
@	Prefix for Indirect Address
S	Program Counter's Current Value
(*)	Contents of External RAM Location
((**))	Contents of Memory Location Addressed by the Contents of External RAM Location
—	Replaced By

SYMBOL	DESCRIPTION
A	The Accumulator
AC	The Auxiliary Carry Flag
addr	Program Memory Address (12 bit)
b	Bit Designator (b 0-7)
BS	The Bank Switch
BUS	The BUS Port
C	Carry Flag
CLK	Clock Signal
CNT	Event Counter
D	Nibble Designator (4 bit)
data	Number or Expression (8 bit)
DBF	Memory Bank Flip-Flop
F0 F1	Flags 0, 1
I	Interrupt
P	"In-Page" Operation Designator

TYPICAL APPLICATIONS

Figure 6 shows a typical way to use the 48-Series Micro-computers in a stand-alone system.

Crystal used is:

- Series resonant
- AT cut
- 1 to 6 MHz or 4 to 11 MHz

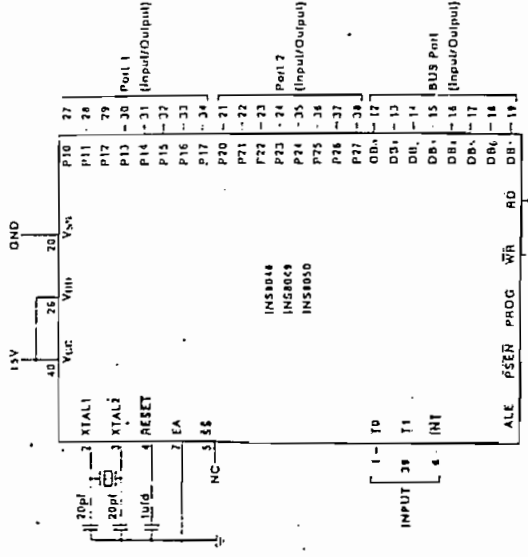


FIGURE 6. Stand-alone INS6048/49/50

MNEMONIC	FUNCTION	DESCRIPTION	CYCLES	BYTES	FLAGS
ANL BUS data	(BUS) ← ((BUS) AND data)	Logical AND immediate specified data with contents of BUS	2	2	—
ANL Pp, data	(Pp) ← ((Pp) AND data)	Logical AND immediate specified data with designated port (1 or 2)	2	2	—
ANL Pp, A	(Pp) ← ((Pp) AND (A))	Logical AND contents of Accumulator with designated port (4-7)	2	1	—
IN A, Pp	(A) ← ((Pp); P 1-2)	Input data from designated port (1-2) into Accumulator	2	1	—
INS A, BUS	(A) ← ((BUS)	Input strobed BUS data into Accumulator	2	1	—
MOV A, Pp	(A) ← ((Pp); P 4-7 (A), A3) ← 0	Move contents of designated port (4-7) into Accumulator	2	1	—
MOV Pp, A	(Pp) ← ((A); P 4-7	Move contents of Accumulator to designated port (4-7)	2	1	—
ORL BUS data	(BUS) ← ((BUS) OR data)	Logical OR immediate specified data with contents of BUS	2	2	—
ORL Pp, A	(Pp) ← ((Pp) OR (A))	Logical OR contents of Accumulator with designated port (4-7)	2	1	—
ORL Pp, data	(Pp) ← ((Pp) OR data)	Logical OR immediate specified data with designated port (1-2)	2	2	—
OUT (BUS), A	(BUS) ← (A)	Output contents of Accumulator onto BUS	2	1	—
OUT Pp, A	(Pp) ← (A); P 1-2	Output contents of Accumulator to designated port (1-2)	1	1	—
DEC Rr	(Rr) ← ((Rr) - 1); R 0-7	Decrement by 1 contents of designated register	1	1	—
INC Rr	(Rr) ← ((Rr) + 1); R 0-7	Increment by 1 contents of designated register	1	1	—
INC Pp, Rr	((Pp) ← ((Rr); P 1-2)	Increment indicated by 1 the contents of data memory location	1	1	—
CALL addr	((SP) ← ((P) - 1) ((SP) ← ((PSW) 4-7) ((PC) ← ((P) + 1) ((PC) ← addr 8-10 ((PC) ← addr 0-7 ((PC) ← DBF	Call designated Subroutine	2	2	—
RET	((P) ← ((SP) + 1) ((PC) ← ((SP))	Return from Subroutine without restoring Program Status Word	2	1	—
RETn	((P) ← ((SP) + 1) ((PC) ← ((SP)) ((PSW) ← ((SP))	Return from Subroutine restoring Program Status Word	2	1	—
CPL C	(C) ← NOT (C)	Complement Content of carry bit	1	1	—
CPL F0	(F0) ← NOT (F0)	Complement Content of Flag F0	1	1	—
CPL F1	(F1) ← NOT (F1)	Complement Content of Flag F1	1	1	—
CLR C	(C) ← 0	Clear content of carry bit to 0	1	1	—
CLR F0	(F0) ← 0	Clear content of Flag F0 to 0	1	1	—
CLR F1	(F1) ← 0	Clear content of Flag F1 to 0	1	1	—
NOP		No operation	1	1	MISCELLANEOUS

TYPICAL APPLICATIONS (Cont'd)

Figure 7 shows a typical remote data acquisition system with an INS8250 Programmable Asynchronous Communication System which can receive commands or update information from a supervisory computer. The figure also shows an INS8294 CMOS DVM that receives data at V<sub>in</sub> and displays the data on the 7-segment local display unit. Data are transferred from the INS8294 to the INS8049 via National's MICROBUS™.

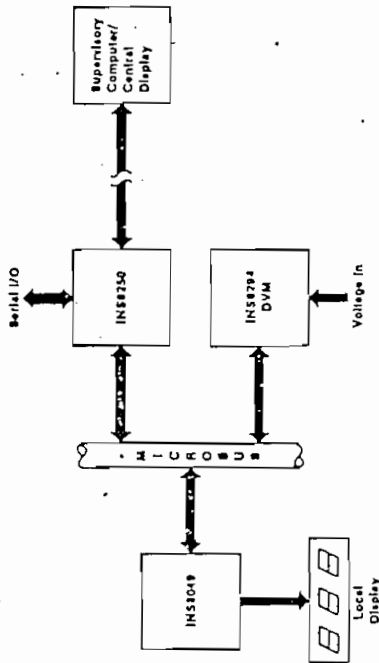


FIGURE 7. Data Acquisition System

TYPICAL APPLICATIONS (Cont'd)

Figure 8 shows a typical way to add a Input/Output Expander and Programmable Interval Timer to the 48-Series Microprocessors.

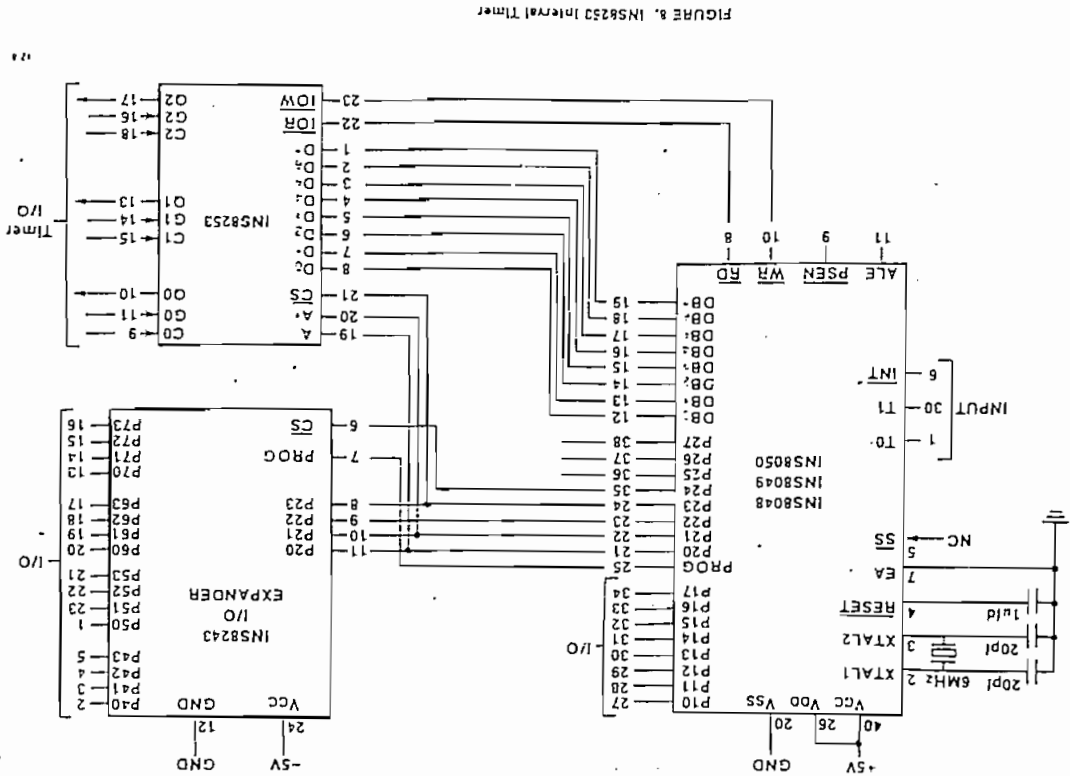


FIGURE 8. INS8253 Interval Timer

**APPROVED FORMATS FOR CUSTOM PROGRAMMED PARTS**

**INPUT MEDIUM:**

- 2716 EPROM
- 2708 EPROM
- PAPER TAPE

**IMPORTANT - EPROM LABELLING**

Only our customer program may be included in a single order. The following method must be used to identify the EPROMs comprising a program:

The EPROMs used for storing a custom program are designated as shown:

- 2716 Block A 0 2047
- 2708 Block A 0-1023
- Block B 1024-2047

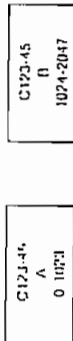
All EPROMs must be labelled (stickers, paint, etc.) with this block's designation plus a customer assigned part or identification number.

**Example**

1) Customer Data

- Custom Program Length - 2K
- Medium - Two 2708's
- Customer Part or ID No. C123-45

2) EPROM Labels

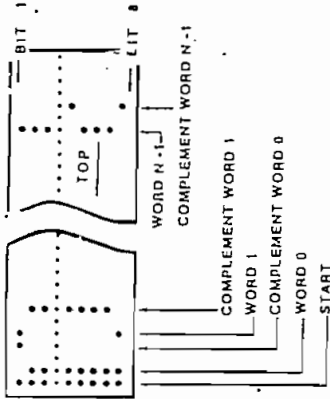


**Paper Tape**

Tapes may only be submitted in binary complement format. The following information should be written on the paper tape:

- Company Name
- Customer Part or ID No.
- NSC Part No.
- A Punch ("1" or "0")
- This is \_\_\_\_ logic (POS or NEG)

**BINARY COMPLEMENT FORMAT**



**NOTE 1:** Tape must be blank except for the data words.  
**NOTE 2:** Tape must start with a subunit character.  
**NOTE 3:** Data is comprised of two words, the first being the actual data and the second being the complement of the data.

**Verification**

You will receive a listing of the options ordered and the input data. If you also wish to receive EPROMs for verification, please send additional blank EPROMs as necessary for this purpose. You can use software (the listing) or hardware (EPROMs) to verify the program.

You will be asked for a GO/NO GO response within one week after you receive the listing.

**VERIFICATION LISTING**

The verification listing has six sections:

- 1 A cover sheet with provision for "STOP, DO NOT PROCEED" or "VERIFICATION CERTIFIED" signatures.
- 2 Description of the options you have chosen.
- 3 A description of the log designations and assumptions used to process the data.
- 4 A listing of the data you have submitted.
- 5 An error summary.
- 6 A definition of the standard logic definitions for the ROM and the reduced form of the data. This list shows the output word corresponding to each address coded in binary.

**Ordering Information for Custom Programmed Parts**

The following information must be submitted with each customer microcomputer program. An order will not be processed unless it is accompanied by this information. This form acts as a Traveler from Customer through Customer Service to ROM programming. Please retain a copy of this form to compare against the verification listing. The form will be sent back to the customer by Customer Service.

National Microcomputer Part Number	
ROM Letter Code (National Use Only)	
Name	Date
Address	Customer Print or I. O. No.
City	State
Telephone ( )	Zip
Authorized Signature	Name of person National can contact (Print)
	Date

**OPTIONS**

1. Device Type (Circle One)

- 8048-6 (6 MHz) 8049-6 6050-6
- 8048-11 (11 MHz) 8049-11

A. Input Medium (Circle One)

- 48 Series Part: 8018
- 8748

- EPROM: 2708 2716
- 2758A 2732
- 2758B

Total number of EPROMs: \_\_\_\_\_

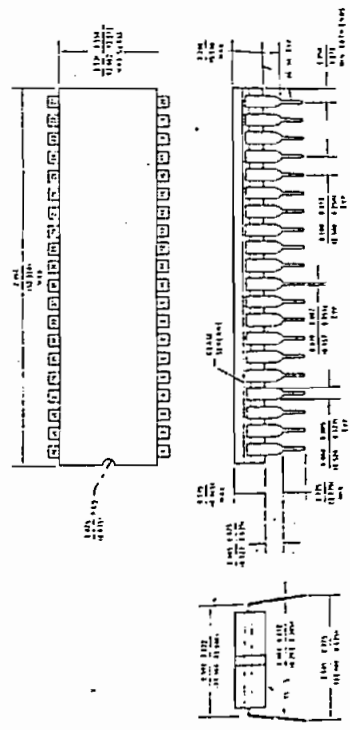
B. Verification Medium: The user will be sent one of more of the following media to verify National's reception of valid data. If any EPROM is a defective blank EPROMs must be submitted with this form

Circle One or More

- Listing: Binary MPS Format EPROM 2708 2716
- Hexadecimal Format 2758A 2732
- 2758B 8748

Total Number of EPROMs: \_\_\_\_\_

Physical Dimensions  
inches millimeters




Ceramic Dual-In-Line Package (J)  
Order Number INS8048J



Plastic Dual-In-Line Package (N)  
Order Number INS8048N

Analog I/O Components

 **Intel Corporation**  
 2200 California Street  
 Santa Clara, CA 95051  
 Tel: (415) 351-5000  
 Fax: (415) 351-5001

**Standard Information:** Intel Corporation, 1982  
 Copyright © 1982 Intel Corporation  
 All rights reserved. No part of this document may be reproduced without the written permission of Intel Corporation.






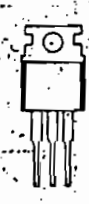

**Product Name:** INS8048 Series  
**Order Number:** INS8048J, INS8048N  
**Package Type:** Ceramic, Plastic  
**Pin Count:** 48  
**Lead Length:** 0.100 inches (2.54 mm)  
**Lead Spacing:** 0.100 inches (2.54 mm)  
**Lead Width:** 0.010 inches (0.254 mm)  
**Lead Thickness:** 0.001 inches (0.0254 mm)

**Physical Dimensions:** See drawing for details.  
**Weight:** 0.010 grams (0.00035 ounces)

**Notes:**  
 1. All dimensions are in inches unless otherwise specified.  
 2. Lead length is measured from the top of the package to the tip of the lead.  
 3. Lead spacing is measured from the center of one lead to the center of the next lead.  
 4. Lead width is measured from the edge of the lead to the edge of the lead.  
 5. Lead thickness is measured from the top surface of the lead to the bottom surface of the lead.

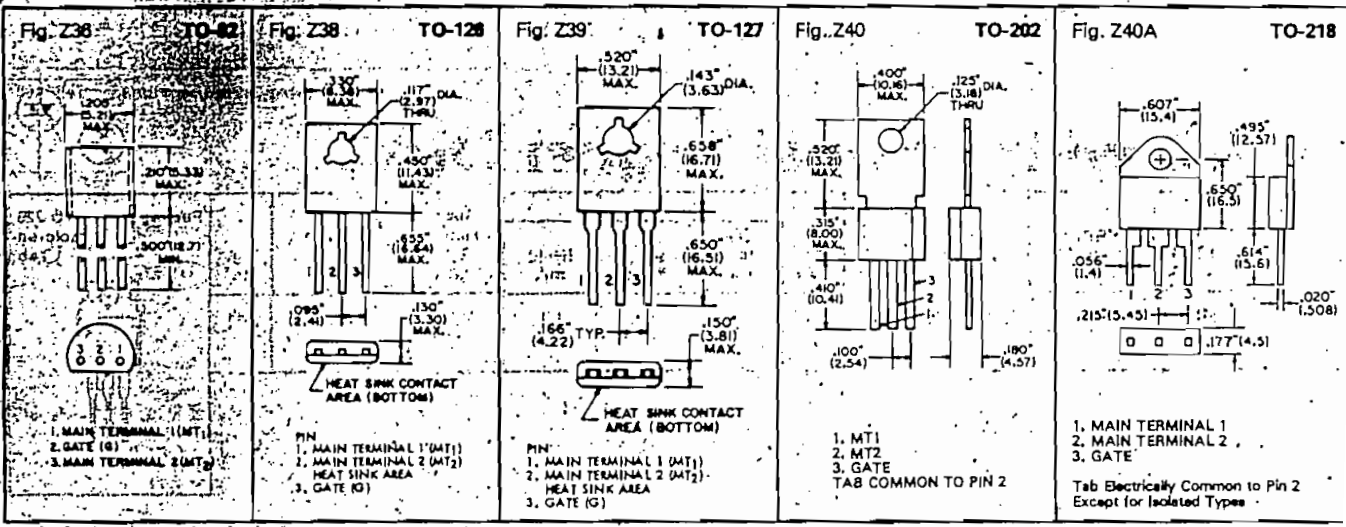


# TRIACS (cont'd)

V <sub>RRM</sub> DC or Peak Volts	I <sub>T</sub> RMS Max. Forward Current (Amps)						
	40 A					45 A	
200	ECG5693	ECG56022		ECG5688			
400	ECG5695	ECG56024		ECG5689	ECG56030		
600	ECG5697	ECG56026	ECG5679	ECG5690	ECG56031		ECG56033
800						ECG56028	
1000							
IGT Min (mA) Quadrants I & III	50	50	50	50	100 Quads I, II, III	50	50 Quads I, II, III
IGT Min (mA) Quadrants II & IV	80	80	50	80	150 Quad IV	75	100 Quad IV
V <sub>GT</sub> Max (V)	2.5	2.5	2.5	2.5	1.5	2.0	1.5
I <sub>Surge</sub> Max (A)	300	300	300	300	300	350	300
I <sub>Hold</sub> Min (mA)	60	60	75	60	100	75	80
V <sub>on</sub> Max (V)	2.0	2.0	1.8	2.0	1.8	1.8	1.8
V <sub>GM</sub> (V)	±10	±10	±10	±10	±10	±10	±10
P <sub>G</sub> Av (W)	.75	.75	.8	.75	1	.5	1
Operating Temperature T <sub>J</sub> °C	-65 to +110	-65 to +110	-40 to +110	-40 to +110	-40 to +125	-40 to +125	-40 to +125
Off State dv/dt (Typ) V/μsec	100	100	60	100	250	50	250
Operating Quadrants	I, II, III, IV	I, II, III, IV	I, II, III	I, II, III, IV	I, II, III, IV	I, II, III, IV	I, II, III, IV
Fig. No.	Z49	Z50	Z83	Z62	Z40A	Z41	Z40A
Package	TO-48	TO-48 Isolated Stud	Square Pak TO-3 (Isolated Flange)	1/2" Press Fit	TO-218 Isolated Tab	TO-220	TO-218
							

\* 3 Mode device not specified in Quadrant IV.

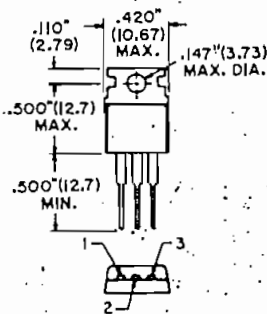
## TRIAC Outlines



# TRIAC Outlines (cont'd)

Fig. Z41

TO-220

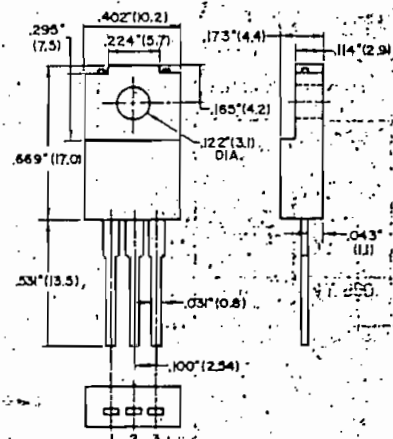


PIN  
1. MAIN TERMINAL 1 (MT1)  
2. MAIN TERMINAL 2 (MT2)  
3. GATE (G)

Tab Electrically Common to Pin 2 except for Isolated Types

Fig. Z41D

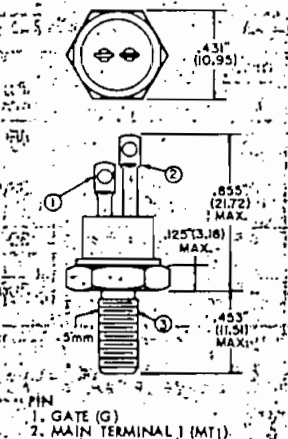
TO-220J



1. MAIN TERMINAL 1  
2. MAIN TERMINAL 2  
3. GATE

Fig. Z48A

TO-64M

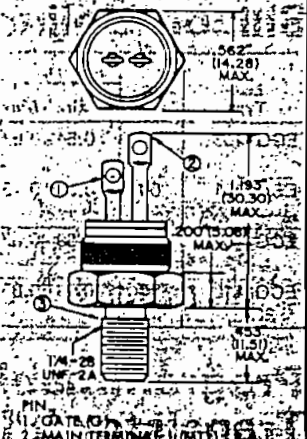


PIN  
1. GATE (G)  
2. MAIN TERMINAL 1 (MT1)  
3. MAIN TERMINAL 2 (MT2)

Torque to 12 in-lbs min.  
15 in-lbs max.

Fig. Z49

TO-48

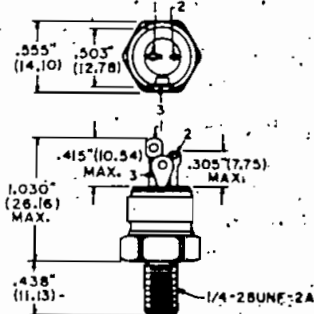


PIN  
1. GATE (G)  
2. MAIN TERMINAL 1 (MT1)  
3. MAIN TERMINAL 2 (MT2)

Torque to 25 in-lbs min.  
30 in-lbs max.

Fig. Z50

TO-48  
Isolated Stud

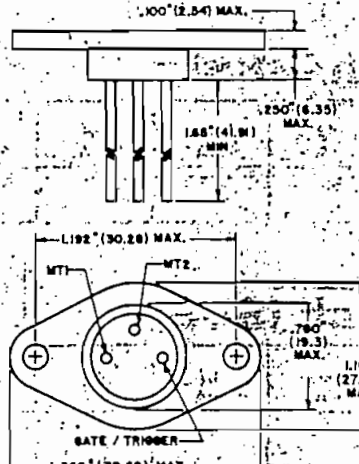


PIN  
1. MAIN TERMINAL 1  
2. GATE  
3. MAIN TERMINAL 2

Torque to 25 in-lbs min;  
30 in-lbs max.

Fig. Z59'

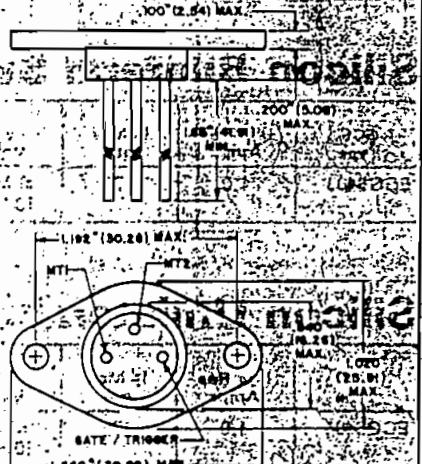
3/4" Swedge TO-3  
Isolated Flange



All Terminals Electrically Isolated from Case.

Fig. Z80

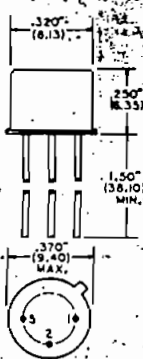
5/8" Swedge TO-3  
Isolated Flange



All Terminals Electrically Isolated from Case.

Fig. Z61

TO-5



PIN 1. MAIN TERMINAL 1 (MT1)  
PIN 2. GATE (G)  
PIN 3. MAIN TERMINAL 2 (MT2)  
COMMON TO CASE

Fig. Z62

1/2" Press Fit

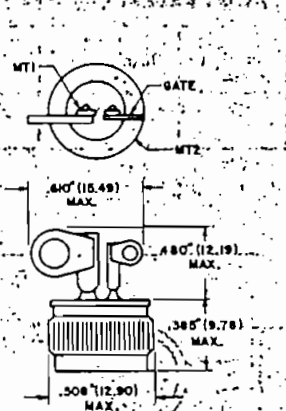
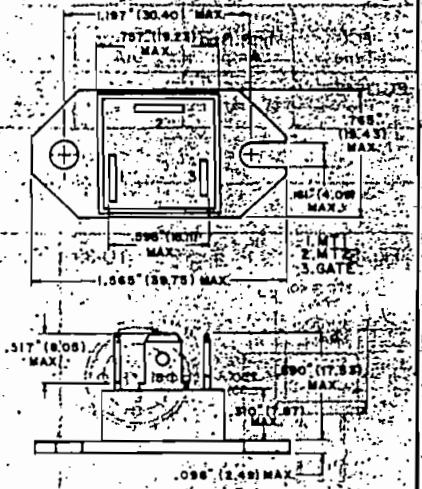


Fig. Z83









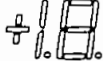

1/2" Square Pak TO-3  
Isolated Flange



All Terminals Electrically Isolated from Case.

# Opto-Electronic Devices

## Numeric LED Displays

ECG Type	Description	Color	Digit Des.	Current Per Segment (mA)	Reverse Voltage Per Segment (V)	Power Diss. Pt (mW)	Fig. No.
ECG3050	.270"; Com Anode; LHDP	Red		30	10	750	P30
ECG3051	.270"; Com Anode; Polarity/Overflow	Red		30	10	480	P31
ECG3052	.3"; Com Anode; RHDP	Red		30	5	700	P32
ECG3053		Orange		20	3	400	
ECG3054		Green		20	3	400	
ECG3055		Yellow		20	3	400	
ECG3056	.3"; Com Cathode; RHDP	Red		30	5	700	P32
ECG3057		Red		25	3	700	
ECG3058		Orange		20	3	400	
ECG3059		Green		20	3	400	
ECG3060		Yellow		20	3	400	
ECG3061	.3"; Com Anode; LHDP	Red		30	5	700	P33
ECG3062		Orange		20	3	400	
ECG3063		Green		20	3	400	
ECG3064		Yellow		20	3	400	
ECG3065	.3"; Com Anode; Polarity/Overflow	Red		30	5	350	P34
ECG3068	.4"; Com Anode; RHDP	Red		30	5	700	P35
ECG3069	.4"; Com Cathode; RHDP	Red		30	5	700	P36
ECG3070	.4"; Com Anode; RHDP	Orange		20	5	400	P35
ECG3071	.4"; Com Cathode; RHDP	Orange		20	5	400	P36
ECG3074	.560"; Com Anode; RHDP; 2-Digit	Red		20	5	800	P37
ECG3075	.560"; Com Cathode; RHDP; 2-Digit	Red		20	5	800	
ECG3076	.560"; Com Anode; RHDP; 1-1/2 Digit	Red		20	5	650	P38
ECG3077	.560"; Com Cathode; RHDP; 1-1/2 Digit	Red		20	5	650	
ECG3078	.560"; Com Anode; RHDP	Red		20	5	400	P39
ECG3079	.560"; Com Cathode; RHDP	Red		20	5	400	
ECG3080	.8"; Com Anode; RHDP	Red			20	3	400

LHDP - Left Hand Decimal Point  
RHDP - Right Hand Decimal Point

# Numeric LED Display Outlines (cont'd)

Fig. P37

ECG3074 - Red

1. E - Cathode - 1
2. D - Cathode - 1
3. C - Cathode - 1
4. Dec Pt Cathode - 1
5. E - Cathode - 2
6. D - Cathode - 2
7. G - Cathode - 2
8. C - Cathode - 2
9. Dec Pt Cathode - 2
10. B - Cathode - 2
11. A - Cathode - 2
12. F - Cathode - 2
13. Common Anode - 2
14. Common Anode - 1
15. B - Cathode - 1
16. A - Cathode - 1
17. G - Cathode - 1
18. F - Cathode - 1

ECG3075 - Red

1. E - Anode - 1
2. D - Anode - 1
3. C - Anode - 1
4. Dec Pt Anode - 1
5. E - Anode - 2
6. D - Anode - 2
7. G - Anode - 2
8. C - Anode - 2
9. Dec Pt Anode - 2
10. B - Anode - 2
11. A - Anode - 2
12. F - Anode - 2
13. Common Cathode - 2
14. Common Cathode - 1
15. B - Anode - 1
16. A - Anode - 1
17. G - Anode - 1
18. F - Anode - 1

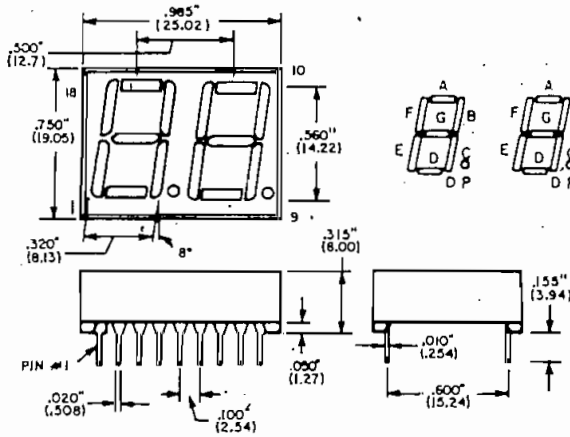


Fig. P38

ECG3076 - Red

1. C - Cathode - 1
2. D - Cathode - 1
3. B - Cathode - 1
4. Dec Pt Cathode - 1
5. E - Cathode - 2
6. D - Cathode - 2
7. G - Cathode - 2
8. C - Cathode - 2
9. Dec Pt Cathode - 2
10. B - Cathode - 2
11. A - Cathode - 2
12. F - Cathode - 2
13. Common Anode - 2
14. Common Anode - 1
15. A - Cathode - 1
16. No Connection
17. No Connection
18. No Connection

ECG3077 - Red

1. C - Anode - 1
2. D - Anode - 1
3. B - Anode - 1
4. Dec Pt Anode - 1
5. E - Anode - 2
6. D - Anode - 2
7. G - Anode - 2
8. C - Anode - 2
9. Dec Pt Anode - 2
10. B - Anode - 2
11. A - Anode - 2
12. F - Anode - 2
13. Common Cathode - 2
14. Common Cathode - 1
15. A - Anode - 1
16. No Connection
17. No Connection
18. No Connection

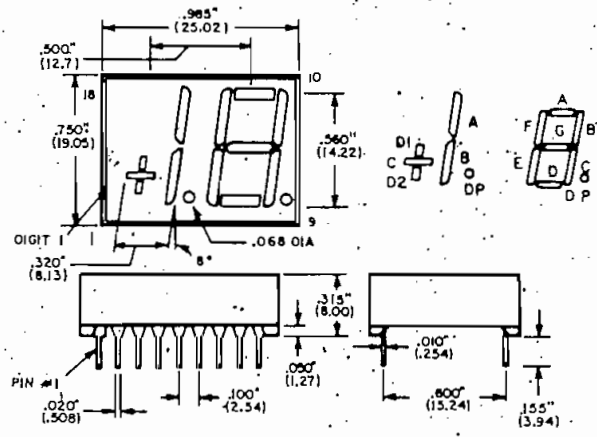


Fig. P39

ECG3078 - Red

1. E - Cathode
2. D - Cathode
3. Common Anode
4. C - Cathode
5. Dec Pt Cathode
6. B - Cathode
7. A - Cathode
8. Common Anode
9. F - Cathode
10. G - Cathode

ECG3079 - Red

1. E - Anode
2. D - Anode
3. Common Cathode
4. C - Anode
5. Dec Pt Anode
6. B - Anode
7. A - Anode
8. Common Cathode
9. F - Anode
10. G - Anode

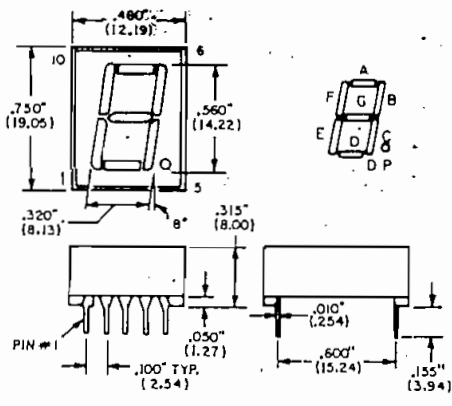
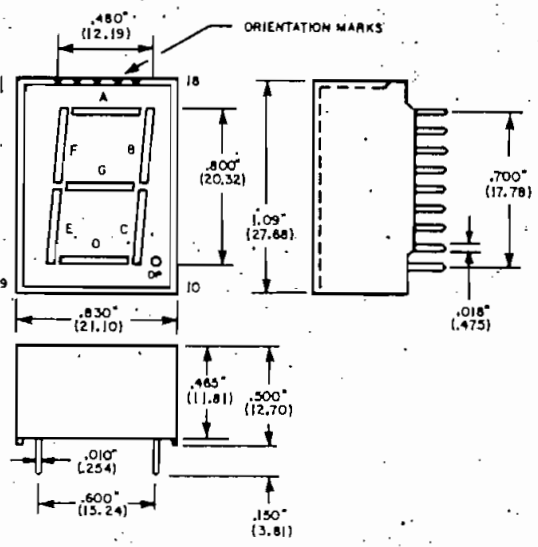


Fig. P40

ECG3080 - Red

1. No Pin
2. Segment A
3. Segment F
4. Common Anode
5. Segment E
6. Common Anode
7. No Connection
8. No Pin
9. No Pin
10. Decimal Point
11. Segment D
12. Common Anode
13. Segment C
14. Segment G
15. Segment B
16. No Pin
17. Common Anode
18. No Pin



# Optoisolators

Phototransistors		Total Device Ratings			LED Max Ratings		Phototransistor Ratings				Ckt. Diag.	Fig. No.
ECG Type	Output Configuration	Isolation Voltage Viso Surge (V)	Total Power Pt (mW)	DC Current Transfer Ratio % *	Forward Current IF (mA)	Reverse Voltage VR (V)	Collector to Base Voltage BV CBO (V)	Collector to Emitter Voltage BV CEO (V)	Collector Current Ic (mA)	Typ Freq KHz		
ECG3040	NPN Transistor	7500	250	20	80	3	70	30	3.5 Typ	300	A	P28
ECG3041	NPN Transistor	7500	250	100	60	6	70	30	100 Max	150	A	
ECG3042	NPN Transistor	7500	250	20	60	3	70	30	50 Max	150	A	
ECG3043	NPN Transistor	3550	260	70	60	3	70	80	50 Max	100	A	
ECG3044	NPN Darlington	7500	300	300	80	3	—	80	150 Max	75	B	
ECG3045	NPN Darlington	7500	300	500	80	3	—	80	150 Max	75	B	
ECG3081	NPN Transistor	6000	250	20	60	3	—	30	100	100	D	P27
ECG3082	NPN Darlington	6000	250	400	60	3	—	30	100	75	C	P28
ECG3083	NPN Darlington	7500	250	100	60	3	55	55	100	75	E	
ECG3084	NPN Darlington	7500	250	200	60	3	30	30	100	75	E	
ECG3085	NPN Dual Transistor	7500	400	50	60	3	—	30	30	200	F	P29
ECG3220	NPN Dual Transistor	5000	150	100	50	5	—	55	50	—	V	
ECG3086	NPN Transistor	7500	300	20	60	6	300	300 (BV CER)	100	200	A	P28
ECG3089	NPN Transistor	7500	300	20	60	—	70	30	100	200	M	
ECG3096	Low Input Drive NPN Transistor	7500	300	50 @ IF 1 mA	60	6.0	70	30	100	200	A	
ECG3098	NPN Transistor	5000	250	100	60	5	—	55	50	—	S	P55
ECG3221	NPN Quad Transistor	5000	150	100	50	5	—	55	50	—	W	P61

\* Current Transfer Ratio is the output transistor collector current divided by the LED forward current -  $hFE = I_c / I_F$

Photothyristors		Total Device Ratings			LED Max Ratings			Photothyristor Ratings				Ckt. Diag.	Fig. No.
ECG Type	Output Configuration	Isolation Voltage Viso Surge (V)	Power Pt (mW)	Forward Current IF (mA)	Reverse Voltage VR (V)	VDRM (V)	IT RMS (mA)	IFT (mA)	Vf (on) (V) 100 mA	I HOLD (mA)			
ECG3046	SCR	3550	260	60	3	400	100	14	1.3	.5	G	P28	
ECG3047	TRIAC	7500	330	50	3	250	100	10	3.0	.1	H		
ECG3048	TRIAC	7500	330	50	3	400	100	10	3.0	.1	H		
ECG3049	TRIAC with Zero Crossing Circuit	7500	330	50	3	250	100	15	3.0	.1	J		
ECG3091	SCR	4000	400	60	6	400	300	11	1.3 at 300 mA	.5	G		
ECG3097	TRIAC with Zero Crossing Circuit	7500	300	50	6	400	100	15	3.0	.2	J		

Photo FET		Total Device Ratings			LED Max Ratings		Photo FET Ratings				Ckt. Diag.	Fig. No.
ECG Type	Output Configuration	Isolation Voltage Viso Surge (V)	Power Pt (mW)	Forward Current IF (mA)	Reverse Voltage VR (V)	Drain to Source Breakdown Voltage BV DSS (V)	Drain Current ID (mA)	RDSon (Ohms)	Ton (µsec)	Toff (µsec)		
ECG3085	FET	2500	300	60	6	±30	±100	200	15	15	K	P28

TTL Compatible Photo Coupled Logic Gates		Total Device Ratings		LED Ratings		Output Ratings				Ckt. Diag.	Fig. No.
ECG Type	Output Configuration	Isolation Voltage Viso (V)	Power Pt (mW)	Forward Current IF (mA)	Reverse Voltage VR (V)	Max Supply Voltage Vcc (V)	Output Current Io (mA)	Propagation Delay Time (nsecs)	Enable Voltage VE (V)		
ECG3087	Hi Speed Open Collector, NAND Gate	3000	100	10	5.0	5.0	50	75	5.0	L	P29
ECG3094	Dual Hi Speed Open Collector, NAND Gates	3000	60	15	5.0	5.0	16 Per Channel	75	—	Q	

# Optoisolators (cont'd)

TTL Compatible Phototransistors		Device Ratings		LED Max Ratings		Output Ratings					Ckt. Diag.	Fig. No.
ECG Type	Output Configuration	Isolation Voltage V <sub>iso</sub> (V)	Power P <sub>t</sub> (mW)	Forward Current I <sub>F</sub> (mA)	Reverse Voltage V <sub>R</sub> (V)	Max V <sub>CC</sub> (V)	Current Transfer Ratio % *	Output Current I <sub>O</sub> (mA)	Propagation Delay Time (nsec)	Data Transfer Rate Mbit/sec		
ECG3092	Open Collector NPN Transistor	3000	100	25	5	15	15	8	800	1	O	P29
ECG3093	NPN Split Darlington	3000	100	20	5	18	400	60	t <sub>PHL</sub> 1 μsec t <sub>PLH</sub> 7 μsec	100K	P	
ECG3095	Dual Open Collector, NPN Transistors	3000	100	25	5	15	15	8	800	1	R	

\* DC Current Transfer Ratio is the output transistor collector current divided by the LED forward current -  $h_{FE} = I_C / I_F$

ECG Type	Output Configuration	Total Device Ratings		Led Max Ratings		Output Ratings					Ckt. Diag.	Fig. No.
		Isolation Voltage V <sub>iso</sub> Surge (V)	Power P <sub>t</sub> (mW)	Forward Current I <sub>F</sub> (mA)	Reverse Voltage V <sub>R</sub> (V)	V <sub>CC</sub> Voltage Range (V)	Output Voltage V <sub>O</sub> (V)	Output Current I <sub>O</sub> (mA)	Turn-On Time T <sub>on</sub> (μsec)	Turn-Off Time T <sub>off</sub> (μsec)		
ECG3090	Schmitt Trigger	7500	150	60	6	3V to 15V	15 max	50 max	1.2 typ	1.2 typ	N	P28

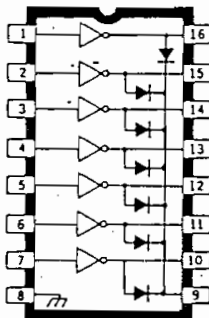
# Optoisolator Circuits

<p>Diag. A ECG 3040 3041 3042 3043 3088 3096</p> <p>Fig. P28</p>	<p>Diag. B ECG 3044 3045</p> <p>Fig. P28</p>	<p>Diag. C ECG3082</p> <p>Fig. P27</p>
<p>Diag. D ECG3081</p> <p>Fig. P28</p>	<p>Diag. E ECG 3083 3084</p> <p>Fig. P29</p>	<p>Diag. F ECG3086</p> <p>Fig. P28</p>
<p>Diag. G ECG 3048 3091</p> <p>Fig. P28</p>	<p>Diag. H ECG 3047 3048</p> <p>Fig. P28</p>	<p>Diag. J ECG 3049 3097</p> <p>Fig. P28</p>
<p>Diag. K ECG3085</p> <p>Fig. P28</p>	<p>Diag. L ECG3087</p> <p>Fig. P29</p>	<p>Diag. M ECG3089</p> <p>Fig. P28</p>

# Display Driver Circuits

ECG	$I_o$ Max*
2011	500 mA
2012	500 mA
2013	500 mA
2014	500 mA
2015	500 mA
2074	400 mA
2078	150 mA
2081	100 mA

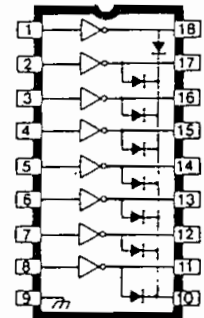
16-Pin DIP See Fig. D8



7 Unit Darlington Array/Driver

ECG	$I_o$ Max*
2018	500 mA
2017	500 mA
2018	500 mA
2019	500 mA
2020	500 mA

18-Pin DIP See Fig. D10

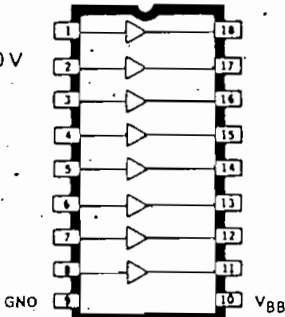


8 Unit Darlington Array/Driver

ECG	$I_o$ Max*
2021	40 mA
2022	40 mA

18-Pin DIP  
See Fig. D10

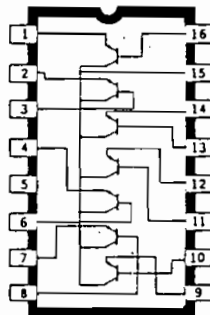
$V_{BB} = +80V$



8-Digit/Segment, Darlington Array/Driver

ECG	$I_o$ Max*
2023	200 mA

16-Pin DIP  
See Fig. D8

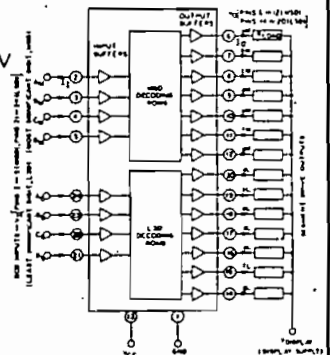


7 Segment/LED, Transistor Array/Driver

ECG	$I_o$ Max*
2024	25 mA

24-Pin DIP  
See Fig. D45

$V_{CC} = +5V$

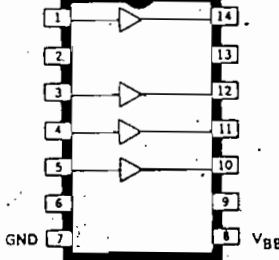


2 Digit BCD-to-7 Segment Decoder/Driver

ECG	$I_o$ Max*
2026	40 mA

14-Pin DIP  
See Fig. D6

$V_{BB} = +100V$

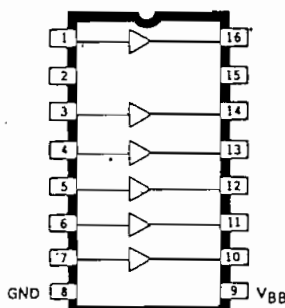


4 HV Digit Driver

ECG	$I_o$ Max*
2028	40 mA

16-Pin DIP  
See Fig. D8

$V_{BB} = +100V$

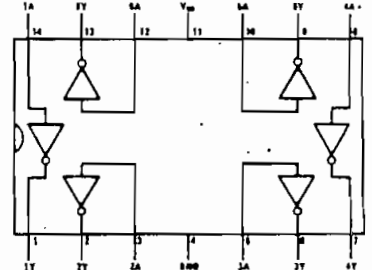


6 HV Digit Driver

ECG	$I_o$ Max*
2027	350 mA

14-Pin DIP  
See Fig. D6

$V_{SS} = +10V$

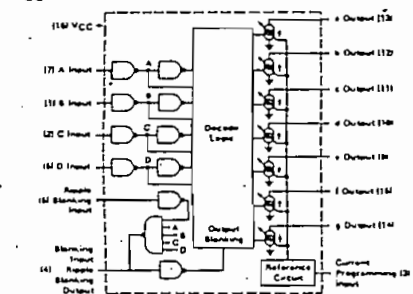


6 Digit Driver

ECG	$I_o$ Max*
2028	1.5 mA

16-Pin DIP  
See Fig. D8

$V_{CC} = +5V$

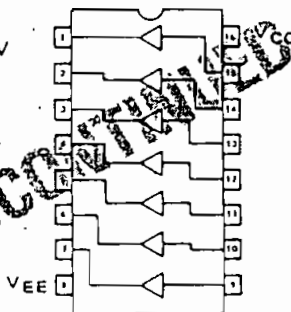


BCD-to-7 Segment Decoder/Driver

ECG	$I_o$ Max*
2029	50 mA

16-Pin DIP  
See Fig. D8

$V_{EE} = -55V$   
 $V_{CC} = GND$

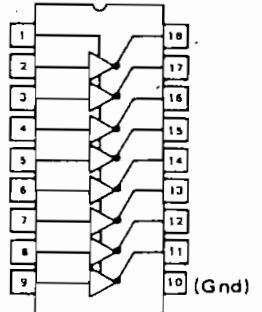


7 HV Digit Driver (Active High Input)

ECG
2030

18-Pin DIP  
See Fig. D10

Programming  
Current



8 HV Segment Driver

\*  $I_o$  Max = Max Current Per Output