

ESCUELA POLITECNICA NACIONAL
FACULTAD DE INGENIERIA ELECTRICA

DISEÑO Y CONSTRUCCION DE UN SISTEMA DE MEDICION DE
DISTANCIAS UTILIZANDO MICROONDAS

TESIS PREVIA A LA OBTENCION DE INGENIERO EN :
ELECTRONICA Y TELECOMUNICACIONES

VICTOR MANUEL YUNDA PADILLA

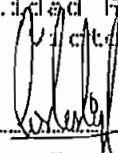
DEDICATORIA

A MIS PADRES Y HERMANOS

AGRADECIMIENTO

A todos quienes en forma directa o indirecta colaboraron en la realización de este trabajo y de manera muy especial al Ing Carlos Egas.

Certifico que la presente Tesis
Ha sido desarrollada en su
totalidad por el señor
Victor M Yunda P



Ing. Carlos Egas A.

I N D I C E

INTRODUCCION

CAPITULO I	Pág
1.1 OBJETIVOS	1
1.2 CARACTERISTICAS	2
1.3 COMPONENTES A UTILIZAR	3
1.4 DESCRIPCION DEL EQUIPO A CONSTRUIRSE	10
1.5 TECNICA PARA MEDIR LA DISTANCIA	13
1.6 CONTROL DEL EQUIPO	16
1.7 ALCANCE DEL SISTEMA.	17
1.8 FUENTE DE ALIMENTACION.	24
CAPITULO II	
UNIDAD ANALOGA.	
2.1 DESCRIPCION DE LA UNIDAD ANALOGA.	26
2.2 DISEÑO DE OSCILADORES	28
2.3 CIRCUITO PARA CONTROLAR EL DIODO PIN.	31
2.4 ETAPA AMPLIFICADORA A 10MHz.	37
2.4.1 DISEÑO DE EL PREAMPLIFICADOR DE BAJO RUIDO	40
2.4.2 SEGUNDA ETAPA.	47
2.4.3 TERCERA ETAPA	53
2.5 CIRCUITO MEZCLADOR.	56
2.6 FILTRO PASABANDA A 1 KHz.	59
2.7 DIAGRAMA ESQUEMATICO.	62
CAPITULO III	
UNIDAD DE PROCESAMIENTO DE SEÑAL	
3.1 DESCRIPCION DEL SISTEMA.....	64
3.2 CONVERSION DE SEÑALES.	66

	Pág
3.3 ALGORITMO PARA LA DETECCION DE FASE.	69
3.3.1 DESCRIPCION DEL ALGORITMO.	69
3.4 CIRCUITO DE CONTROL Y TIEMPO.	75
3.5 ENTRADA DE DATOS.	75
3.6 PROCESAMIENTO DE DATOS.	77
3.7 PRESENTACION DE RESULTADOS. /.....	80
3.8 GENERADOR DE SEÑALES DE RELOJ. /.....	84
3.9 CONTROLES DE OPERACION DEL EQUIPO. /.....	85
3.10 DESCRIPCION DEL PROGRAMA IMPLEMENTADO. /.....	89
 CAPITULO IV	
IMPLEMENTACION DEL SISTEMA Y CONSTRUCCION DEL EQUIPO.	
4.1 INTRODUCCION	103
4.2 TARJETA DE MODULACION /.....	105
4.3 TARJETA DE RECEPCION /.....	107
4.4 TARJETA DE PROCESAMIENTO DE SEÑAL.....	109
4.5 TARJETA DE LA FUENTE. /.....	112
4.6 RESULTADOS EXPERIMENTALES.	114
4.7 CONCLUSIONES.	119
BIBLIOGRAFIA	124
 ANEXOS	

INTRODUCCION.

Entre las principales aplicaciones que se tienen para las microondas se puede mencionar como principales a los sistemas de radar y comunicaciones. Sin embargo ellas no están limitadas a las mencionadas y se pueden emplear para otros fines así por ejemplo, podemos citar los sistemas empleados por los automóviles para mantener distancias de seguridad, alarmas y una serie de sistemas empleados para medir distancias, utilizados ya sea en la industria o aeronavegación.

En el presente trabajo se tiene como fin emplear una serie de componentes disponibles en el laboratorio de microondas, para formar un sistema que con la ayuda de un equipo a diseñar permita visualizar a través de la medición de distancias, una de las aplicaciones de las microondas.

Para esto será necesario configurar un sistema semejante a los empleados en radar, para lo cual, se requiere implementar un sistema que incorpore la información en una señal de microondas, la canalice hacia el objeto a determinar la distancia, y recepte la energía de microonda reflejada así como los cambios sufridos por la señal de información.

De esta forma, las características, los componentes del sistema y el alcance del equipo a diseñarse se detallan en el capítulo I.

En el capítulo II se detallan los diseños de los circuitos utilizados para la modulación de la señal de microonda así como para la recepción de la señal modulante.

En el capítulo III se presenta el procesamiento de las señales involucradas en la modulación y recepción como también se describe el "Hardware" y el "Software" utilizados por un microcontrolador para la determinación del desfase de las señales y de la distancia a la cual se encuentra el objeto.

Finalmente en el capítulo IV se hace una descripción de la implementación del sistema en general y de cada una de las tarjetas que constituyen el equipo diseñado, para terminar con los resultados experimentales y las conclusiones.

C A P I T U L O I

- 1.1.-OBJETIVOS
- 1.2.-CARACTERISTICAS.
- 1.3.-COMPONENTES A UTILIZAR.
- 1.4.-DESCRIPCION DEL EQUIPO A CONSTRUIRSE.
- 1.5.-TECNICA PARA MEDIR LA DISTANCIA.
- 1.6.-CONTROL DEL EQUIPO.
- 1.7.-FACTORES QUE DETERMINA EL ALCANCE DEL EQUIPO.
- 1.8.-FUENTES DE ALIMENTACION.

1.1 OBJETIVOS

El objetivo de llevar a cabo la implementación de un sistema de aplicación práctica con el uso de los componentes del laboratorio de microondas, surge como respuesta a las inquietudes presentadas en las sesiones del laboratorio de microondas así como también a la necesidad de contar con un sistema que permita visualizar y entender las aplicaciones de las microondas.

El fin que se persigue es formar un sistema que permita utilizar una serie de elementos para el manejo y control de una señal de microonda de tal forma que la operación del sistema en conjunto dé una idea clara de la necesidad y operación de cada uno de los componentes del mismo así como del equipo que se diseña.

Además se debe mencionar que si bien los equipos disponibles en el laboratorio no presentan un óptimo rendimiento en cuanto a la estabilidad de un nivel adecuado de potencia y frecuencia, sin embargo, la realización de un sistema de aplicación práctica estará dentro de las posibilidades en las que se pueda aprovechar al máximo dichos elementos aun con las limitaciones presentes.

De esta manera, el sistema que se implementa si bien debe aprovechar la disponibilidad de equipos para su configuración, debe ser capaz de responder a las variaciones que se puedan presentar en cualquiera de cada uno de los componentes que forman el mismo.

Otro aspecto que debe notarse es el hecho de que en la implementación de este sistema de medición de distancia, se hace uso en parte de un trabajo previo realizado en una tesis de grado.[±]

Así entonces, la selección de componentes no está restringida únicamente a los existentes en el laboratorio sino también a la utilización de trabajos anteriores de los cuales se hace uso sin modificar sus características.

1.2 CARACTERISTICAS

Las características exigidas para la implementación del sistema así como del equipo a construirse pueden enmarcarse dentro de los siguientes aspectos:

- Permiten al usuario reconocer fácilmente cada uno de los elementos que forman el sistema.
- Que la función de cada uno de éstos elementos sea de tal forma que el sistema sea lo mas óptimo posible.
- Que el equipo diseñado sea fácilmente adaptable a los elementos disponibles para la implementación del sistema.

[±] "CONTROL AUTOMÁTICO DE NIVEL PARA UN KLYSTRON UTILIZANDO DIODO PIN" PACHECO, C. TESIS E.P.N. 1986

Considerando lo descrito arriba, el sistema para la medición de distancias se verá afectado tanto por las características propias de cada uno de los elementos así como del sistema mismo que se encarga de determinar el valor de la distancia.

A más de esto será necesario tener en cuenta que las características que en operación presentan los elementos determinarán las limitaciones que se puedan dar en este sistema.

En cuanto al equipo que se implementa para la modulación, recepción y procesamiento de señal, los requerimientos de flexibilidad de acoplamiento, confiabilidad y posibilidad de permitir ajustes en el procesamiento de señal figuran como los más fundamentales.

1.3 COMPONENTES A UTILIZAR

Tomando en consideración el hecho de que la implementación de esta tesis se basa en utilizar los elementos disponibles en el laboratorio de microondas, es necesario hacer un análisis de las características que deben cumplir cada uno de ellos en la configuración del sistema, para en base a ello sacar el mayor provecho de cada uno de estos y con ese antecedente obtener un sistema dentro de las expectativas esperadas.

- Así entonces, para la generación de señales de

microondas, se selecciona el KLYSTRON de reflexión SYLVERS LAB. modelo SL. 5405 B-PM7810.

La frecuencia de operación elegida es de 9.68 GHz y está relacionada directamente con el modo de oscilación $1 \frac{3}{4}$ que da máxima salida de potencia. Así mismo el valor de frecuencia se elige con el fin de que el sistema que se implementa tenga una operación óptima.

-- Para el proceso de modulación de la señal de microondas es necesario anotar que la implementación de un conmutador de microondas da lugar a la modulación de la señal de microonda.

Por lo tanto, para formar el modulador se utiliza el DIODO PIN MA-47051 el mismo que está disponible en el laboratorio como parte de una tesis², de la cual se utiliza el montaje que soporta el diodo pin.

Como su nombre lo establece, este diodo está formado por tres capas: dos capas ligeramente dopadas de tipo P y tipo N, separadas por una tercera capa de material intrínseco de alta resistividad, denominada región I.

Idealmente, lo que se desea es que la capa I sea de material neto intrínseco ya que esto minimiza las pérdidas en radio-frecuencia cuando se trabaja con polarización reversa.

Sin embargo, en la práctica esto no se da, ya que de

² "CONTROL AUTOMATICO DE NIVEL PARA UN KLYSTRON UTILIZANDO DIODO PIN" P. CAMACHO. TESIS E.P.N. 1986

acuerdo al tipo de impurezas difundidas, esta capa toma ligeramente características tipo P o tipo N, según el caso. Lo que esto ocasiona es básicamente que la capa I posee impurezas cuando la polarización es cero, necesitándose de un pequeño voltaje negativo para liberarle de ellas.

Su funcionamiento como modulador obedece al hecho de que en polarización directa este presenta una baja impedancia y en polarización de corriente inversa este presenta una alta impedancia, así entonces, el diodo en la guía se puede considerar como una susceptancia prácticamente pura por lo que es necesario incluir un filtro para así tener un adecuado acoplamiento de la señal debido a la discontinuidad presentada por el elemento que soporta al diodo y por la reactancia que este presentará, para lograr con esto que la potencia a la salida cambie de máxima a mínima.

Otro factor importante que se debe observar en la selección de la frecuencia que controlará la conmutación de polarización del diodo, es su tiempo de polarización, el mismo que depende en parte de los niveles de polarización aplicados.

Con corrientes de polarización directa existirá una acumulación de cargas en la capa intrínseca del diodo, al tiempo que al aplicarse el pulso reverso existirá una corriente inversa por un corto tiempo, conocido como tiempo de transición (T_r). De esta manera, cuando se ha removido un suficiente número de portadores, la corriente comienza a

decrecer, y para que la corriente reversa disminuya del 90% al 10%, se requiere de un tiempo de transición (T_t).

Por lo tanto, el tiempo necesario que el diodo emplea en realizar la conmutación, es la suma de los tiempos T_r y T_t y que además es simétrico entre los dos estados de conmutación.

En la práctica, se tienen tiempos de conmutación que llegan a 5 ns.

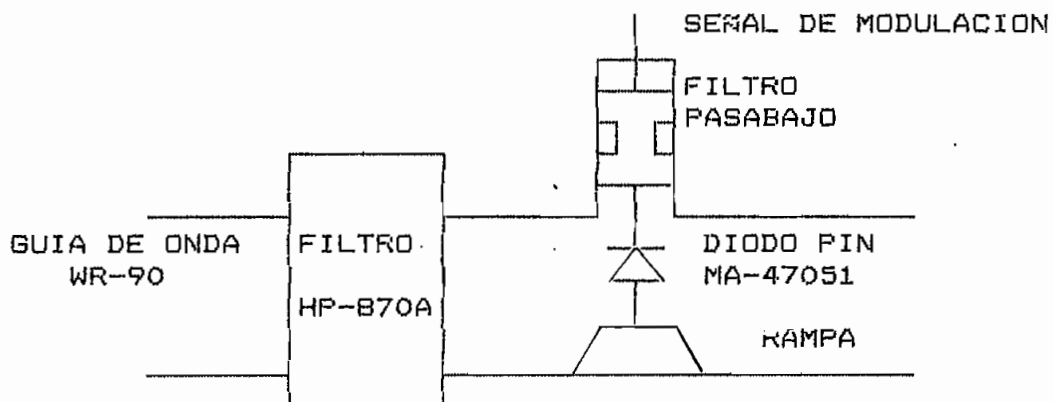
Considerando lo anterior, la elección de una señal de conmutación de 10 MHz (100 ns) sería ideal para el proceso de conmutación, ya que únicamente se emplea 10 ns para la conmutación. Pero no siempre resulta adecuada si se considera el hecho de que en esta frecuencia al realizar la alimentación de esta señal se tiene una caída en el cable de alimentación, lo cual reduce la magnitud de la señal aplicada así como el tiempo de respuesta.

Sin embargo debe tenerse en cuenta que los requerimientos generales para el diseño de un conmutador están directamente relacionados con el tiempo de transición entre el estado de aislamiento y el estado de pérdidas por inserción.³

Un esquema circuital del modulador a implementar se presenta en la figura 1.1

³ NOTAS DE APLICACION 929 HEWLETT-PACKARD
FAST SWITCHING PIN DIODES

FIGURA 1.1



SWITCH UTILIZANDO DIODO PIN.

En la figura 1.1 se puede apreciar que es necesario contar con un filtro pasabajos (cuya frecuencia de corte está determinada por el tiempo de subida del pulso que maneja la conmutación del diodo) para evitar que exista acoplamiento entre la línea de RF y el circuito driver.

Este filtro se encuentra ya diseñado y forma un solo cuerpo con el montaje disponible.

-Para el proceso de transmisión y recepción se acude al empleo del Circulador de Ferrita PM 7050X, disponible en el laboratorio y cuyas características se encuentran detalladas en los anexos.

El empleo de este elemento permite utilizar una sola

antena ya que se lo hace operar como un duplexer.⁴

-Para direccionar la energía en el espacio, es necesario utilizar una antena, la misma que debe cumplir con las características de radiación exigidas por el sistema.

Debido a que se desea concentrar la mayor cantidad de energía en una dirección resulta más que suficiente el empleo de una antena tipo HORN. Este tipo de antena es a menudo muy utilizada debido a que es posible obtener buenas características de radiación en función del tamaño de la apertura así como de una polarización lineal.

La fórmula para obtener máxima ganancia de potencia G_e como función del área AB de la apertura, eficiencia ϵ , y la longitud de onda es:

$$G_e = 4\pi\epsilon AB / (\lambda^2) \quad (1.1)$$

donde la eficiencia ϵ representa la reducción en ganancia debida a los cambios de amplitud y fase de la señal en la apertura de la antena cuando se compara con una apertura en la cual la variación de la señal es uniforme. Esta eficiencia está definida por:

$$\epsilon = (8/\pi^2)L_e(s)L_H(t) \quad (1.2)$$

⁴ INTRODUCTION TO MICROWAVES THEORY H.A. ATWATER

donde: $(8/\pi^2)$ es el valor máximo de la eficiencia para el modo TE_{10} en condiciones ideales, mientras que los efectos del error cuadrático de fase en los planos principales E y H están dados por factores de reducción de ganancia expresados por $L_E(s)$ y $L_H(t)$, respectivamente. ^o

Considerando lo anterior, la elección de una antena de este tipo permite obtener valores de ganancia en el orden de hasta 20 dB ^e los cuales son adecuados para la formación del sistema.

Así entonces, la antena HORN elegida de entre las antenas disponibles en el laboratorio es la PM 7320X/01, ya que permite optimizar la ganancia gracias a su apertura y a su capacidad de acoplamiento al medio de transmisión. Sus características principales son:

Rango de frecuencia:	8.2-12.4 GHz.
Ganancia para banda media:	16 dB

-Para el proceso de detección de la señal modulante se utiliza el DIODO DETECTOR PM 7195X .

-Para obtener un adecuado nivel de potencia así como de acoplamiento entre cada uno de los elementos mencionados, es necesaria la utilización de tornillos sintonizables, los

^o ANTENNAS & PROPAGATION AGOSTO 1989 Pg 25

^e ANTENNAS THEORY AND PRACTICE SCHELKUNOFF

cuales están constituidos por el HP-870A y el SL 5048/3.

1.4 DESCRIPCION DEL EQUIPO A CONSTRUIRSE.

El sistema a implementar así como el equipo a construirse se hallan detallados en forma de diagrama de bloques en la figura 1.2

El sistema consta de un Klystron para generar la señal de microonda, la misma que es modulada por medio de un diodo pin ubicado en el trayecto de la señal de microonda.

La señal modulada es acoplada al puerto 1 del circulador, del mismo que a través de una antena tipo HORN ubicada en el puerto 2 se envía la señal al espacio.

Una vez que la señal está en el espacio, será concentrada en un lóbulo de radiación determinado por las características de la antena tipo HORN, dando un haz sumamente directivo.

Para obtener un máximo de energía reflejada, será conveniente ubicar el elemento reflector en una posición aproximadamente igual al punto de máxima radiación.

La señal reflejada recibida en el puerto 2 será acoplada por medio del circulador al puerto número 3, de donde, a través de un diodo de crystal se obtendrá la señal modulante que será comparada con la señal de referencia para de este análisis obtener la información.

El equipo a diseñarse como se puede ver en el diagrama

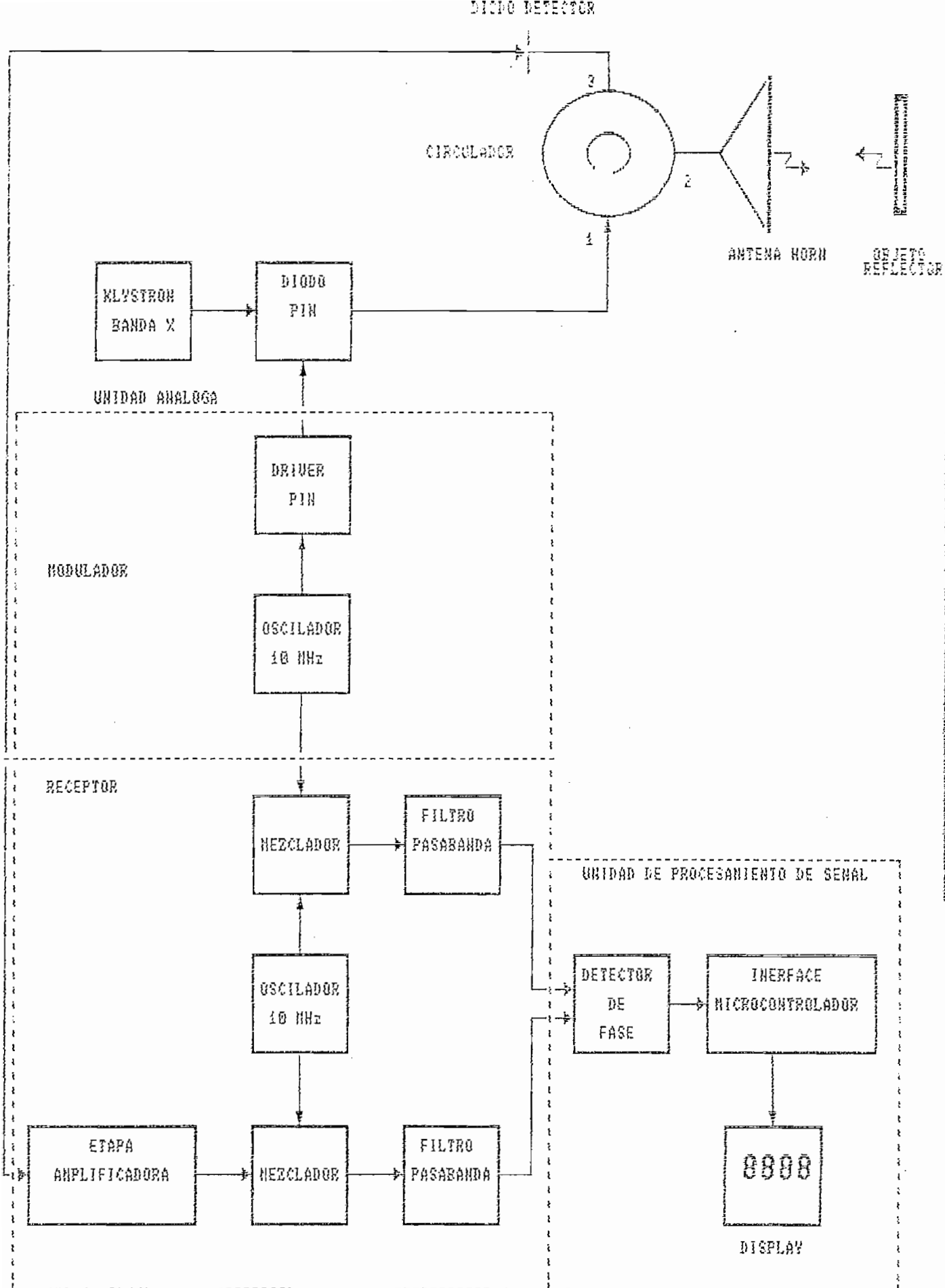


FIGURA 1.2.- DIAGRAMA DE BLOQUES DEL SISTEMA A IMPLEMENTAR

de bloques comprenderá las siguientes etapas:

- Una etapa para modulación.
- Una etapa para recepción.
- Una etapa de procesamiento de señal.

Cada una de estas etapas a su vez estará constituida de una serie de sub etapas, las mismas que se encuentran detalladas a continuación:

- Etapa de modulación: Oscilador a 10 MHz
 Circuito driver para el diodo pin
- Etapa de recepción: Preamplificador a 10 MHz.
 Segunda etapa de amplificación.
 Tercera etapa de amplificación.
 Circuitos mezcladores
 Filtros pasabanda.
- Etapa de procesamiento de señal:
 - Circuitos conversores de señal
 - Circuito de control y tiempo
 - Interfaz para toma de datos.
 - Circuito para presentar resultados.

Cada una de las etapas descritas anteriormente se diseña separándola en una unidad análoga y una unidad digital de procesamiento de señal.

recepción donde es procesada con el fin de detectar la presencia del blanco y su posición.

El tipo de onda más utilizada en los sistemas de radar es un tren de pulsos angostos que modulan una señal sinusoidal portadora. Aunque el pulso es normalmente de forma rectangular, esto no es una condición necesaria y se puede utilizar una de forma diferente.

La distancia al blanco se determina por el cómputo del tiempo que le toma a la señal de radar para ir y volver del blanco.

Y, como la energía electromagnética viaja a la velocidad de la luz, la distancia cubierta será:

$$R = c \cdot t / 2 \quad (1.3)$$

donde: R es la distancia al blanco.
 c es la velocidad de la luz.
 t es el tiempo que se demora la señal en ir y volver del blanco.

Una vez que el pulso es transmitido se debe esperar un lapso de tiempo para permitir que la señal de reflexión sea detectada antes de que el próximo pulso sea enviado.

Por lo tanto, la relación a la cual los pulsos deben ser transmitidos está determinada por la mayor distancia a medirse.

Pero se debe tener en cuenta que si la frecuencia de repetición es muy alta, las señales de reflexión desde algunos objetos a lo largo de la trayectoria del haz, podrían ser detectadas antes de que sea enviado el próximo pulso, lo que daría a su vez ambigüedades en la determinación de la distancia.

Entonces, el límite de la máxima distancia considerando lo anterior será:

$$R = c / (2 * f_R) \quad (1.4)$$

donde f_R es la frecuencia a la cual se envía los pulsos.

De esta forma se ve que es posible medir distancias solo si una señal portadora es modulada por un tren de pulsos cuya frecuencia además determina el alcance del sistema.

Pero también se sabe que una señal sin modular puede ser utilizada para el mismo fin. En este último caso se aprovecha del "Efecto Doppler" para detectar la presencia de un blanco que se mueve.

El efecto Doppler establece que "La señal reflejada por un blanco en movimiento es desfasada en frecuencia por una cantidad $f_d = 2V_r/d$ " >

Considerando lo anterior, en esta tesis implementamos un

sistema que modula en amplitud una señal de microonda por medio de una señal sinusoidal de 10 MHz. Esta señal modulante y la señal de microonda sufrirán cambios en frecuencia y fase por efecto de reflexión; de esta manera, los cambios detectados en la fase de la señal modulante serán asociados a la distancia a la que se encuentra el blanco.

Por lo tanto se está formando un sistema que en el momento de medición continuamente toma valores de los cambios de fase sufridos por la señal modulante.

Si consideramos la frecuencia de 10 MHz como la frecuencia a la cual se emiten los pulsos de microondas, al aplicar la ecuación 1.4 se tendrá que la máxima distancia a medirse será de 15 m.

1.6 CONTROL DEL EQUIPO

Para tener un control en el proceso de medición así como en la presentación de resultados y operación del equipo a diseñarse, es necesario contar con una unidad que permita tener flexibilidad, facilidad, eficacia y fiabilidad en la tarea encomendada.

De acuerdo a lo anterior, para la presente tesis la elección de un microcontrolador como unidad inteligente del sistema, resulta ser la más adecuada.

La utilización de este dispositivo se justifica a través de los requerimientos del sistema entre los que se destacan

la toma de datos y las líneas de entrada y salida utilizadas para atender peticiones y presentar datos.

En base a un análisis de los aspectos mencionados se elige el microcontrolador 8748 cuyas características se describen a continuación.

- CPU 8 bits
- Memoria interna: Eprom 1K x 8bytes
Ram 64 bytes
- 27 líneas de entrada/salida.
- Contador y Timer de 8 bits
- Aritmética Binaria y BCD
- 8 niveles de stack.
- Versión de reloj: 1 - 6 MHz
4 - 11 MHz

Así entonces el control del sistema se sustentará fundamentalmente en el programa a implementarse, el mismo que a su vez será capaz de someter a diversos análisis las variables involucradas en el sistema o incluso a la modificación de las mismas con el objeto de tener soluciones prácticas y confiables.

1.7 FACTORES QUE DETERMINAN EL ALCANCE DEL SISTEMA.

Es necesario tener en cuenta que el alcance de un

18

sistema de este tipo no se puede determinar inicialmente por medio de un parámetro establecido como la frecuencia de modulación o la potencia disponible por parte del equipo transmisor, ya que si bien estos determinan en parte el alcance final, no es menos cierto que deben considerarse

sistema de este tipo no se puede determinar inicialmente por medio de un parámetro establecido como la frecuencia de modulación o la potencia disponible por parte del equipo transmisor, ya que si bien estos determinan en parte el alcance final, no es menos cierto que deben considerarse otros factores que aparecen solamente en el proceso de operación del sistema. Entre estos factores están los desfases introducidos por las discontinuidades en la guía de onda en las etapas de recepción de la señal, y también el ruido generado por el propio receptor.

Para esto se realiza un breve análisis de las características que se deben considerar en la determinación del alcance de un sistema de transmisión.

Se sabe que la densidad de potencia para un radiador isotrópico es:

$$P_e / (4\pi R^2) \quad (1.4)$$

En tanto que la densidad de potencia de un radiador tal como una antena con ganancia G_e es:

$$P_e * G_e / (4\pi R^2) \quad (1.5)$$

Si esta potencia incide sobre un blanco que a su vez vuelve a radiarla, entonces la potencia devuelta es:

$$P_t * G_t * \sigma / (4\pi R^2) \quad (1.6)$$

donde σ es la sección efectiva de dispersión (RCS) del objeto reflector y tiene dimensiones de área (m^2).

Así entonces, la densidad de potencia reflejada en la antena de recepción, constituida para nuestro caso por una antena tipo HORN es:

$$P_t * G_t * \sigma / (4\pi R^2)^2 \quad (1.7)$$

A su vez, si A_r es el área efectiva de la antena de recepción, la potencia interceptada por esta es:

$$P_r = P_t * G_t * \sigma * A_r / (4\pi R^2)^2 \quad (1.8)$$

Pero de la teoría de antenas se tiene que la relación entre el área efectiva de una antena y su ganancia está dada por la ecuación 1.1.

Y puesto que transmitimos y recibimos por la misma antena tenemos:

$$P_r = P_t * G_t^2 * \sigma * (\lambda^2) / ((4\pi)^2 R^4) \quad (1.9)$$

Se ve entonces que la potencia recibida varía con la distancia al blanco, el área efectiva, la ganancia de la antena de recepción, y la potencia de transmisión.

Pero invariablemente del valor de potencia recibida, esta compete con una señal interferente en el momento de detectarse o de reconocerse. Más comunmente, la señal interferente es un ruido generado en el mismo receptor o podría ser un desvanecimiento debido a alguna obstrucción. Sin embargo, dado que el equipo a diseñarse es para demostración en el laboratorio, es aceptable considerar los fenómenos de desvanecimiento como despreciables, pero no la atenuación de espacio libre, la misma que para la frecuencia de 9.68 GHz y una distancia de 3 m. es de 61 dB^o en el trayecto de ida y 61 dB en el de vuelta lo cual da un total de 122 dB de atenuación de la señal por pérdidas de espacio libre.

Si esta atenuación de señal es compensada con la ganancia de la antena y la ganancia de la etapa receptora, entonces será el ruido interno del receptor el que fije el alcance máximo del sistema.

La potencia de ruido del receptor se da por:

$$P_n = F * K * T * f_b \quad (1.10)$$

donde: F: es el factor medio de ruido y determina la cantidad de ruido de salida del receptor que excede al ruido de salida de un receptor silencioso
K: es la constante de Boltzmann

T_0 : es la temperatura absoluta del ruido de referencia.

f_B : es el ancho de banda equivalente del ruido del receptor en Hz.

En este punto es necesario observar que la determinación del parámetro F es de vital importancia para la evaluación de la sensibilidad que debería poseer el equipo receptor.

En esta forma, si el equipo receptor está constituido de etapas en cascada con igual ancho de banda tendremos que el valor de F será determinado por la primera etapa de recepción.

Sin embargo, si la primera etapa de recepción está constituida por una red con pérdidas (por ejemplo un detector de crystal), su ganancia se puede considerar menor que la unidad y por consiguiente la contribución a la figura de ruido total por las siguientes etapas puede ser muy significativa.⁷

Idealmente se espera que el valor de F sea 1, con lo cual la potencia del ruido se debería únicamente a la temperatura. Sin embargo, el valor de F se acostumbra a determinar solamente cuando se completa el diseño del receptor.

Así, la relación de potencia señal a ruido es:

$$S/N = P_t G_t A_r \sigma / ((4\pi R^2)^2 F K T f_B) \quad (1.11)$$

⁷INTRODUCTION TO RADAR SYSTEMS. M.I. SKOLNIK Pag 363-375

Una alternativa que se elige para resolver esta ecuación se presenta cuando la relación señal a ruido es $S/N=1$.

De tal forma que el alcance R_0 será:

$$R_0 = [P_t G_t^2 (\lambda^2) \sigma / ((4\pi)^2 F K T f_B K_p)]^{1/4} \quad (1.12)$$

donde k_p es un factor que representa las pérdidas numéricas ocasionadas por el sistema.

Si se reemplaza (1.11) en (1.12) tenemos:

$$S/N = [R_0/R]^4 \quad (1.13)$$

La ecuación (1.13) define la relación señal a ruido para el sistema.

Desafortunadamente, la determinación de una relación señal a ruido o del alcance máximo para una relación señal a ruido unitaria dependen de la naturaleza estadística de algunos parámetros. Por ejemplo, σ y el ruido (F) son de naturaleza estadística, pero es posible encontrar valores aproximados o incluso exactos de σ , siempre que las características del objeto cumplan determinada condición geométrica tanto en forma como en orientación respecto al haz de incidencia. Para el desarrollo de esta tesis se elige una lámina metálica como objeto de reflexión, de la que es posible tener un conocimiento aproximado del área eficaz de reflexión.

Para esto se consideran dos casos, una lámina cuadrada de longitud l ($\lambda \ll l$) y una lámina infinitamente grande.

El valor de σ se determina aplicando técnicas analíticas empleadas en teoría electromagnética para la dispersión o por medio de métodos de óptica geométrica.¹⁰

Así, para polarización lineal e incidencia normal se tiene:

$$\sigma = 4\pi l^2 / (\lambda)^2 \quad \lambda \ll l \quad (1.14)$$

$$\sigma = \pi R^2 \quad l \rightarrow \infty \quad (1.15)$$

donde (λ) es la longitud de onda de la onda incidente. Estos parámetros son determinados para una incidencia normal del haz de ondas sobre el blanco, lo cual determina a su vez la posición relativa que se debe tener entre la lámina y el haz incidente.

Por lo tanto, se ve que la naturaleza aproximada de los parámetros involucrados y las limitaciones del equipo disponible en el laboratorio en cuanto a capacidad de potencia y estabilidad de frecuencia, no permiten especificar por medio de un valor exacto el verdadero alcance del sistema.

A pesar de esto, se puede hacer un cálculo aproximado de la máxima distancia a medirse, siempre que se cumpla con determinados requerimientos de potencia, ganancia, tipo de

¹⁰ PROPAGATION OF SHORT RADIO WAVES D.E.KERR Pg 457-467

objeto dispersor y ruido del receptor como lo sugiere M.I.SKOLNIK en INTRODUCTION TO RADAR SYSTEMS.

Si se asume que:

$$F=25 \quad T=290 \text{ K} \quad f_c=1 \text{ MHz.}$$

Entonces aplicando la ecuacion 1.10, se obtiene:

$$N=1.0005E-13$$

Y si además:

$$GdB=16 \text{ dB} \quad P=0.01 \text{ W} \quad a=0.002 \text{ m}^2$$

$$K_p=10$$

Entonces aplicando la ecuacion 1.12, se obtiene:

$$R_0=11.2556 \text{ m.}$$

Aún cuando especulativamente se hace un cálculo de la distancia máxima a medirse, no se debe olvidar que este parámetro será únicamente una referencia ya que el máximo valor será determinado solamente cuando el sistema se haya implementado.

1.8 FUENTES DE ALIMENTACION.

La fuente de energía principal constituye la red pública de energía, la misma que permite obtener a través de los circuitos implementados o disponibles en el laboratorio, niveles de alimentación tanto para el generador de microondas como para los circuitos que constituyen el equipo.

Así entonces, es necesario contar con la fuente que alimenta al generador de microondas como con la que alimenta al equipo diseñado.

La fuente para el generador de microondas está constituida por la fuente FM 7812 disponible en el laboratorio. Y la fuente de energía para el equipo a diseñarse está constituida por dos unidades: una disponible en el laboratorio que suministra un nivel de +5 Volt., y otra diseñada para obtener niveles de +15 Volt., y -15 Volt..

C A P I T U L O I I

- 2.1.- DESCRIPCION DE LA UNIDAD ANALOGA
- 2.2.- DISEÑO DE OSCILADORES
- 2.3.- CIRCUITO PARA CONTROLAR EL DIODO PIN.
- 2.4.- ETAPA AMPLIFICADORA A 10 MHz.
 - 2.4.1.-DISEÑO DE UN PREAMPLIFICADOR DE BAJO RUIDO
 - 2.4.2.-SEGUNDA ETAPA.
 - 2.4.3.-TERCERA ETAPA.
- 2.5.- CIRCUITO MEZCLADOR.
- 2.6.- FILTRO PASABANDA CENTRADO A 1KHz.
- 2.7.- DIAGRAMA ESQUEMATICO DE LA UNIDAD ANALOGA.

UNIDAD ANALOGA

2.1 DESCRIPCION DE LA UNIDAD ANALOGA

Una mejor comprensión de las diferentes etapas a diseñarse, que constituyen esta unidad, se logra realizando un diagrama de bloques simplificado, tal como se muestra en la figura 2.1

En este diagrama se observa dos etapas bien diferenciadas, la etapa de recepción y la etapa de modulación.

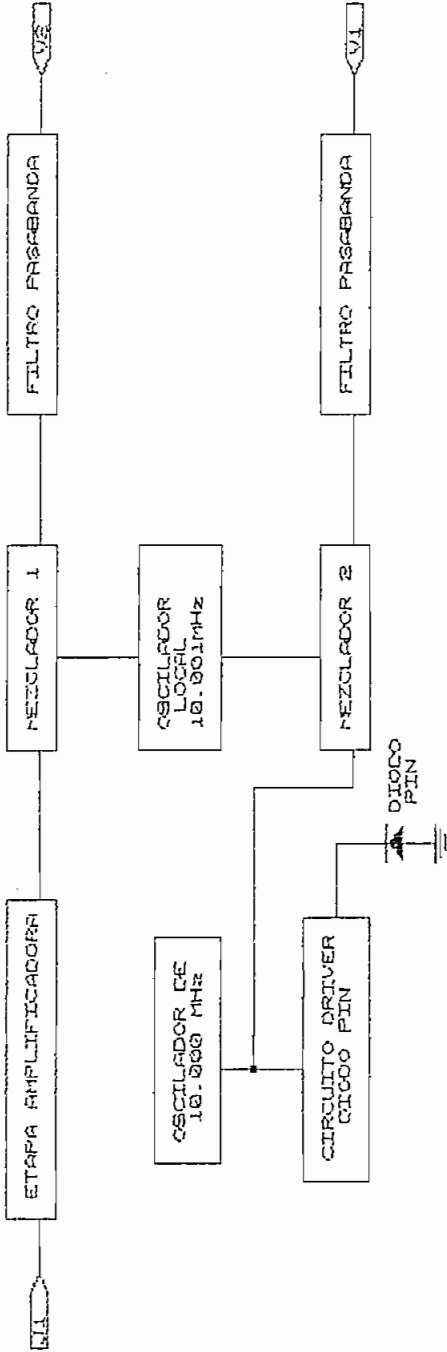
Cada una de las etapas debe ser en lo posible independiente la una respecto a la otra, ya que podría producirse inducciones de señal, que causarían un error en el proceso de medida.

La etapa de modulación consta de un oscilador de 10 MHz, que suministra señal a un circuito driver, el cual permite controlar un diodo PIN, que a su vez actúa como modulador de la señal de microonda. En esta etapa también se obtiene a través de un circuito mezclador y un filtro pasabanda, una señal (V_1) cuya frecuencia es de 1 KHz, la misma que constituirá una señal de referencia.

La etapa de recepción esta compuesta de un preamplificador sintonizado de bajo ruido, seguido por dos etapas de amplificación, las que permiten amplificar la señal presente en la entrada aproximadamente 450 veces.

A continuación se tiene un mezclador seguido por un filtro pasabanda, del que se obtiene una señal de 1KHz que contiene información de los cambios de fase sufridos en la señal de 10 MHz amplificada en el inicio.

DIAGRAMA DE BLOQUES DE LA UNIDAD ANALOGA



ESUELA POLITECNICA NACIONAL	
TITULO	
DIAGRAMA DE BLOQUES DE LA UNIDAD ANALOGA	
Site Document Number	
A	FIGURA 2.1
Date: FEBRUARY 22, 1991	
Sheet	
of	

De lo anterior se observa que las etapas que constituyen la unidad son:

- Circuitos osciladores
- Circuito driver para el diodo PIN
- Mezcladores
- Etapas de amplificación
- Filtros pasabanda

El diseño o descripción, según sea el caso, se exponen en los numerales que siguen.

2.2 DISEÑO DE OSCILADORES

Del diagrama de bloques de la figura 2.1, se observa que son necesarios dos circuitos osciladores, los mismos que se describirán a continuación.

Para el diseño de osciladores se toma en cuenta los siguientes aspectos:

- Que aseguren una buena estabilidad de la frecuencia de oscilación.
- Que el trabajo del oscilador, sea en lo posible independiente de las características de los elementos asociados a éste.

Para cumplir con los requerimientos antes mencionados,

se elige circuitos osciladores, cuya frecuencia es controlada por un CRYSTAL DE CUARZO, obteniéndose así frecuencias de oscilación fijas y estables.

Un circuito que utiliza elementos integrados y un crystal como un elemento que fija el valor de frecuencia se muestra en la figura 2.2 (a).¹¹

Las resistencias R39 y R40 permiten poner la compuerta en estado activo; esto es, ni saturado ni en corte; R41 sirve como lazo de realimentación y permitirá que se dé el proceso de oscilación; X1 es un crystal con resonancia paralela que puede operar en modo de resonancia serie, si se conecta un capacitor pequeño igualmente en serie.

Los valores de R39, R40 y R41 se determinan experimentalmente tratando de cumplir los requerimientos anotados.

El crystal utilizado como oscilador de 10MHz es el ECG 658 cuyas características son:

NTE 658 crystal de cuarzo de resonancia paralela
frecuencia 10MHz

TOL. frecuencia $\pm 0.005\%$

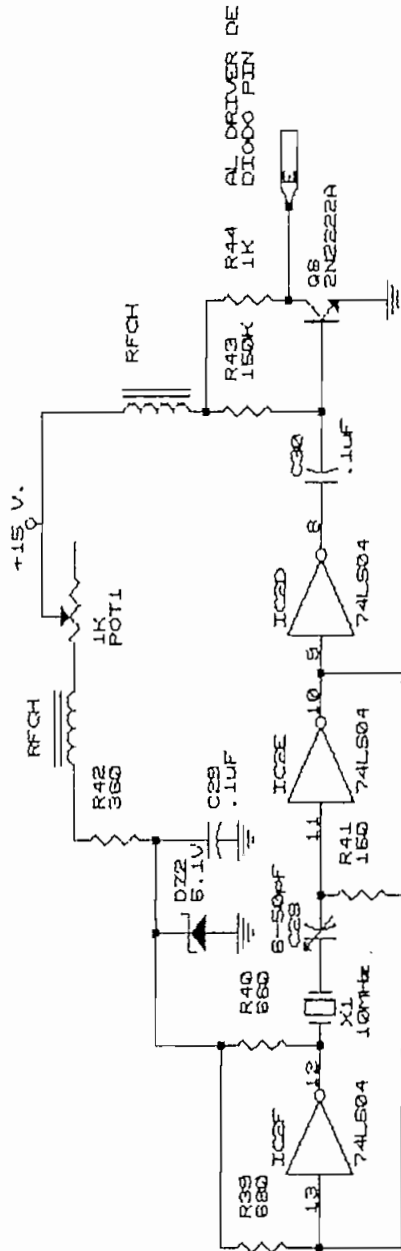
rango de temperatura -0 a 70°C

tipo de case HC-18

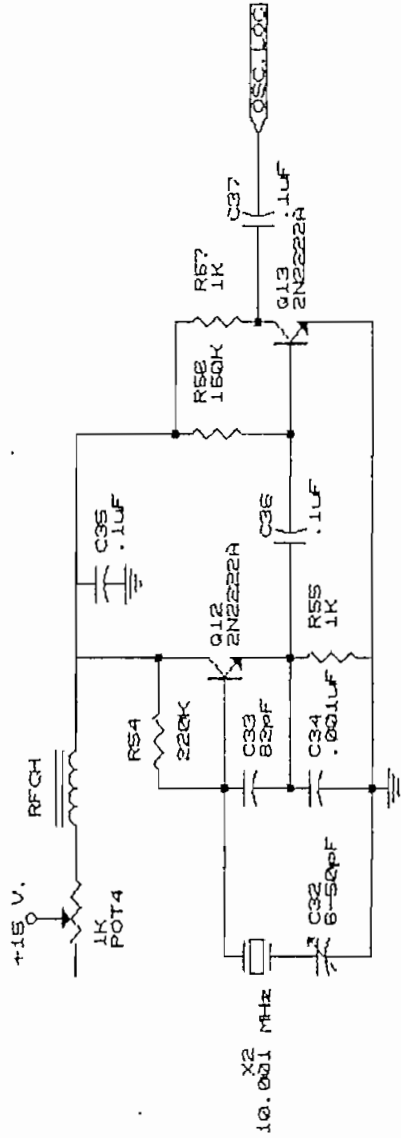
Res Eff - 20 Ω max

Un segundo circuito oscilador que utiliza elementos

¹¹ RADIO-ELECTRONICS MAGAZINE,
AUGUST 1986 Pg. 54-56



CIRCUITO OSCILADOR 1
FIGURA 2.2 a



OSCILADOR LOCAL
FIGURA 2.2 b

Title	ESCLELA FOLITECNICA NACIONAL
Size Document Number	CIRCUITOS OSCILADORES
A	FIGURA 2.2
Date:	January 15, 1981 Sheet of

discretos, y que permite variar la frecuencia de resonancia se muestra en la figura 2.2 (b)

El presente oscilador es del tipo Colpitts, cuyo elemento activo es un transistor 2N2222A NPN (Q12). El lazo de realimentación está constituido por C33 y C34 cuya relación representa un compromiso, al elegir entre la amplitud, estabilidad de oscilación y disipación de potencia del crystal. Además, es posible variar la frecuencia de oscilación dentro del rango de tolerancia del crystal, por medio de un capacitor (C32) conectado en serie. Así pues, para este circuito se fija un valor de frecuencia de oscilación de 10.001MHz y constituye el oscilador local de la unidad.

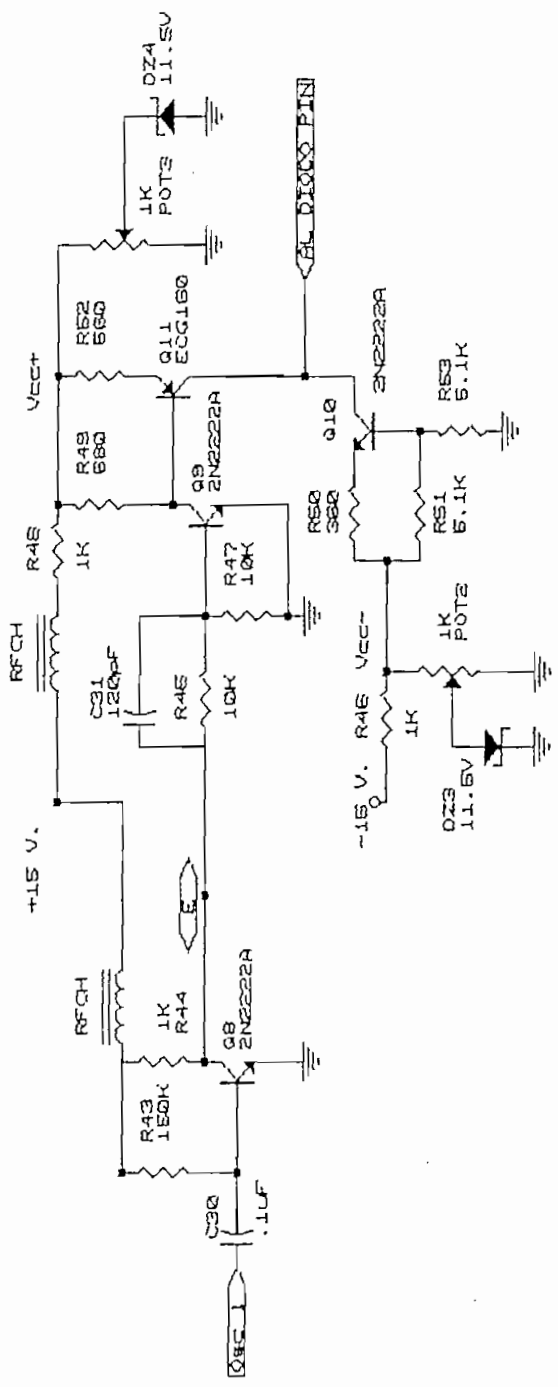
2.3 CIRCUITO PARA CONTROLAR EL DIODO PIN

En esta etapa, la señal proveniente del oscilador es acoplada y a la vez amplificada, que al ingresar al circuito, controlará por conmutación la conducción del diodo, con una relación de frecuencia igual a la señal de oscilación.

El circuito práctico que se implementa, junto con su polarización se muestra en la figura 2.3¹².

Este circuito normalmente pone al diodo PIN en conducción directa, siempre y cuando no exista señal en el punto

¹² ELECTRONICS/MAGAZINE, FEBRUARY 1970
"PIN DIODE T SWITCH CONSUMES LITTLE POWER"
R.J. TURNER



DRIVER PARA EL DIODO PIN

ESOLELA FOLITECNICA NACIONAL	
Title	DRIVER PARA EL DIODO PIN
Size Document Number	A FIGURA 2.3
REV	REV
Date:	January 19, 1991 Sheet of

(E). Así entonces, los transistores Q9 y Q11 están en corte, por lo que fluye una corriente desde el diodo hacia el colector de Q10, cuyo valor es de 10mA; en ésta circunstancia la impedancia que presenta el diodo es baja.

Cuando aparece la señal de switch en (E), los transistores Q9 y Q11 pasan a conducir, generando una corriente en el colector de Q11 de 18 mA, la misma que se derivará a través del diodo y por medio de Q10, forzando de esta forma a que fluya una corriente en reversa a través del diodo, cuyo valor es de 4 mA, provocando con esto que la impedancia que presenta el diodo sea alta, así entonces, el diodo actúa como un switch.

La operación del diodo como un switch de microonda se basa en el conocimiento de que diodo en polarización directa presenta baja impedancia, y en polarización de corriente reversa una alta impedancia. Así entonces, es posible modular una señal de microonda, si un diodo PIN es colocado en la parte interna de la guía de ondas.¹³

En este trabajo se utiliza una guía diseñada en la tesis ya mencionada en el capítulo 1, la misma que en su interior posee una rampa, la cual permite mantener un diodo atravesado en forma perpendicular al flujo de señal. Este montaje, además posee un filtro pasabajos que permite aislar la señal de microonda hasta el circuito que maneja el diodo.

¹³THE PIN DIODE VERSATILE MICROWAVE COMPONENT.
ELECTRONICS MARZO 1963, Pag 40-43

Para el diseño del circuito se utilizan dos transistores: El ECG 123A y el ECG 160 cuyas características son:

ECG 123A	ECG 160
Transistor NPN SI AF/RF	Transistor PNP RF/IF
	Amp, Osc, Mix.
$B_{V_{cebo}} = 75$	$B_{V_{cebo}} = 30$
$B_{V_{ceo}} = 40$	$B_{V_{ceo}} = 20$
$B_{V_{ebo}} = 6$	$B_{V_{ebo}} = 0.5$
$I_{emax} = 0.8A$	$I_{emax} = 10mA$
$P_{Dmax} = 500mW$	$P_{Dmax} = 200mW$
$f_t(MHz) = 300$	$f_t(MHz) = 400$
$H_{FEty} = 200ty$	$H_{FEty} = 20ty$

El diodo PIN usado tiene las siguientes características:

Diodo PIN MA-47051
$V_{ruptura} = 100V$
$C_t = 0.20 - 0.35 \text{ pf}$
$R_s = 1\Omega \text{ a } 10mA$
$T_1 = 0.075\mu s$
$P_D = 0.25Kw$
$T_r = 5ns$
$T_e = 5ns$

Además, de las curvas características se tiene que, la corriente no debe ir más allá de los 100 mA.

Para el diseño se asume los siguientes datos:

$$V_{cc+} = 10V \quad V_{cc-} = -10V \quad I_{c11} = 18mA \quad I_{c10} = 12mA$$

Puesto que Q10 es una fuente de corriente, se tiene:

$$I_{C10} = (- V_{CC} * [R51 / (R51 + R53)] + V_{BE}) / R50$$

Assumiendo que:

$$R51 = R53 \quad \text{y} \quad V_{BE} = 0.7V$$

$$R50 = (5 - 0.7)V / 12mA$$

$$R50 = 4.3V / 12mA$$

$$R50 = 358.3\Omega \quad R50 = 360\Omega \pm 5\%$$

$$\text{Si se asume que: } I_{R51} = I_{R53} = 1mA$$

$$R51 = R53 = 5V / 1mA = 5K\Omega$$

$$R51 = R53 = 5.1K\Omega \pm 5\%$$

A su vez, Q9 se activa como un switch, de allí que si se presenta el pico positivo de la señal de 10MHz se tiene que:

$$V_{CE9} = 0.2V$$

$$V_{R49} = V_{CC} - V_{CE9} = 10 - 0.2 = 9.8V$$

$$V_{R52} = 9.8 - 0.6 = 9.2V$$

$$I_{C11} \approx I_{E11} = 18mA$$

$$R52 = 9.2V / 18mA = 511.11\Omega$$

$$R52 = 560\Omega \pm 5\%$$

Se toma $R45 = R47$ y se coloca el condensador C31 en paralelo con la resistencia R45 de tal forma de obtener todo el pulso

en la base de Q9.

El transistor Q8 se utiliza como un amplificador de la señal de oscilación, y sirve para obtener en el punto (E) una señal de switch con amplitud de 10 Vp.

Para el diseño se asume los siguientes datos:

$$V_{CEs} = 5V \quad \beta_{dc} = 100 \quad I_{ce} = 10mA \quad V_{be} = 0.6V$$

Con ello se calcula los valores de R43 y R44:

$$I_{be} = I_{ce} / \beta_{dc}$$

$$I_{be} = 10mA / 100$$

$$I_{be} = 0.1 \text{ mA}$$

$$R43 = (V_{CC} - V_{be}) / I_{be}$$

$$R43 = (15 - 0.7)V / 0.1mA$$

$$R43 = 143K\Omega \quad + \quad R43 = 150K\Omega \pm 5\%$$

$$R44 = (V_{CC} - V_{CEs}) / I_{ce}$$

$$R44 = (15 - 5)V / 10mA$$

$$R44 = 1k\Omega \quad + \quad R44 = 1K\Omega \pm 5\%$$

Se toma C30 = 0.1uF que es un condensador para paso de señal.

Los niveles de voltaje que alimentan al circuito driver del diodo PIN se obtienen desde circuitos con nivel de voltaje variable, constituidos por:

- El potenciómetro P3

- El diodo zener DZ4 y la resistencia R48 para la referencia positiva.
- Potenciómetro P2
- El zener DZ3 y la R46 para la referencia negativa.
- Los choques RFCH se utilizan para evitar que la señal interfiera en las otras etapas, debido a que están polarizadas a través de la misma línea de fuente.

2.4 ETAPA AMPLIFICADORA A 10 MHZ

En general se puede mencionar que las características funcionales de un receptor se pueden definir en función de la sensibilidad, selectividad, respuesta espúrea, velocidad de sintonía y margen dinámico de la señal. Sin embargo, pueden existir otros factores, pero los mencionados son los de mayor interés y se describen brevemente a continuación:

- **Sensibilidad:** Se define como la aptitud del receptor para detectar una señal débil, a través del nivel de ruido general del sistema receptor.
- **Selectividad:** Es la aptitud del receptor para separar señales de frecuencias muy próximas o casi adyacentes. Se determina por el ancho de banda que ocupa la información que recibe.
- **Respuestas Espúreas:** Está asociado con la capacidad del receptor para rechazar las señales espúreas exteriores a la

banda de paso.

- **Velocidad de Sintonía:** Tiene que ver con una moderada variación de la frecuencia de sintonía dentro del ancho de banda.

- **Margen Dinámico:** Se refiere a la capacidad del receptor para captar la señal mas débil, así como evitar saturarse con la señal mas fuerte.

Todos estos factores dependen en sí de la amplificación, linealidad y respuesta de frecuencia de cada una de las etapas que componen el receptor, así como también de la estabilidad, ruido y otros efectos indeseables que pueden aparecer bajo ciertas condiciones.

Considerando los aspectos antes mencionados, se procede al diseño de la etapa amplificadora, la misma que se muestra en la figura 2.4

Este circuito está constituido por una etapa preamplificadora, sintonizada a la entrada y a la salida cuya ganancia es de 10 y está constituida por los transistores JFET ECG 452 conectados en forma de circuito cascode, resultando un amplificador de bajo ruido, debido a que la relación S/N depende de la impedancia de entrada, la misma que estará determinada a su vez por la impedancia de entrada del JFET.

El circuito PI de acoplamiento a la entrada del amplificador, acopla la señal detectada por el diodo a la

entrada del preamplificador, para una frecuencia de trabajo de 10 MHz.

El transistor Q3 se utiliza para acoplamiento de impedancia con la otra etapa, la cual está formada por el transistor Q4, cuya ganancia es 3, similarmente Q5 acopla la señal amplificada por Q4 a una etapa preamplificadora de banda ancha, formada por el circuito integrado IC0 ECG 816 cuya ganancia es de 15, finalmente Q6 sirve para el acoplamiento de impedancias entre el circuito de salida del preamplificador de banda ancha y el circuito mezclador.

El proceso de diseño seguido, se describe a continuación:

2.4.1 DISEÑO DE UN PREAMPLIFICADOR DE BAJO RUIDO

Para el efecto, se elige como elementos activos dos transistores JFET, los mismos que gracias a su corriente de fuga muy baja que poseen en la compuerta, dan como resultado un elemento de bajo ruido. La configuración implementada para el preamplificador es la configuración cascode, la cual permite tener un amplificador estable y de bajo ruido.

Los circuitos sintonizados están tanto a la entrada como a la salida y permiten tener una alta selectividad, gracias a que tanto la impedancia de entrada como la de salida de los JFET es alta; con lo cual el Q cargado de los circuitos resonantes es alto, determinando así una buena

selectividad.¹⁴

El circuito a diseñarse es el que se muestra en la figura 2.5.

Las resistencias R1 y R2 sirven para poner en estado activo a Q2, R4 polariza la compuerta de Q1 con un voltaje de 0V, a la vez que constituye la impedancia de entrada al preamplificador, R3 permite tener un voltaje de drenaje fuente en cada transistor mayor al voltaje de agotamiento V_p ; para así poder operar a los transistores como amplificadores, mientras que, R5 autopolariza la compuerta de Q2.

Las características de los transistores utilizados son:

Transistor ECG 452 JFET canal N.

Especial para amplificaciones UHF/VHF

NF 4db a 400MHz

$g_{fs} = 5.5 \text{ mhos}$

$V_{gs(off)max} = 6V$

$I_{DSS} = 5 - 15 \text{ mA}$

$BV_{GSS} \text{ min} = 30V$

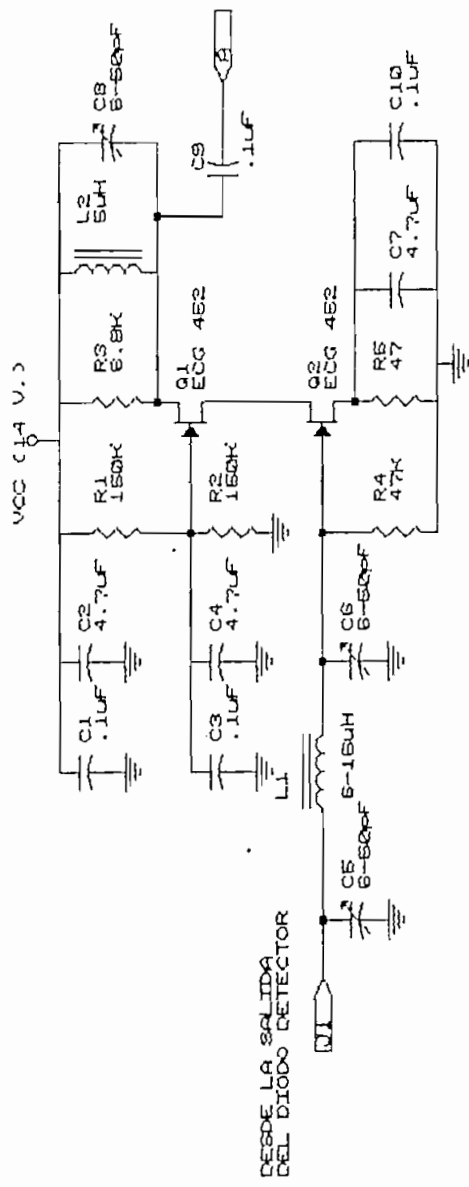
$C_{iss} = 4 \text{ pf}$

$C_{rss} = 0.8 \text{ pf}$

$P_{Dmax} = 300 \text{ mW}$

Para el diseño se asume los siguientes datos:

¹⁴ ELECTRONICA PRACTICA, MCGRAW-HILL . Cap 7.



DESDE LA SALIDA DEL DIODO DETECTOR

PRIMERA ETAPA DE AMPLIFICACION
FIGURA 2.5 (a)

DIODO DETECTOR
CIRCUITO EQUIVALENTE

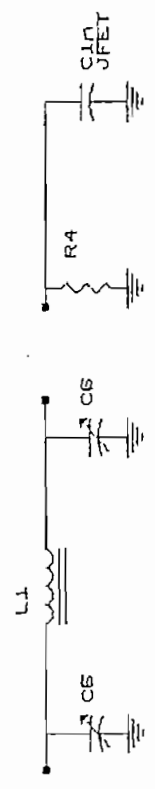
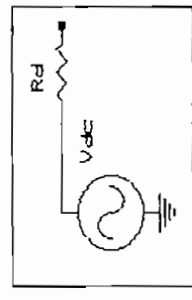


FIGURA 2.5 (b)

ESCLELA POLITECNICA NACIONAL	
Title	PRIMERA ETAPA DE AMPLIFICACION
Size	Document Number
A	FIGURA 2.5
REV	
Date:	January 31, 1981 Sheet of

$$V_{CC} = 14V \quad V_{DS1} = 6V \quad V_{DS2} = 7V \quad I_{DSS} = 8mA$$

$$I_{D1} = I_{D2} = 7mA \quad V_{GS1} = V_{GS2} = -0.3V$$

Para la operación de los JFET como amplificadores, el voltaje compuerta-fuente de los transistores, debe ser negativo, por lo tanto R5 constituye una resistencia de autopolarización que permite colocar un V_{GS2} negativo:

$$V_{GS2} = 0 - I_{D1}R5$$

$$R5 = V_{GS1} / I_{D1} \quad R5 = 0.3V / 7mA$$

$$R5 = 42.85\Omega$$

$$R5 = 47\Omega \pm 5\%$$

Si la corriente que fluye por las resistencias R1 y R2 es 50uA y si se elige R1=R2 entonces:

$$V_{R1} = V_{R2} = 7V.$$

$$R1=R2= 7V/50uA \quad R1=R2=140K$$

$$R1 = R2 = 150K \pm 5\%$$

De esta manera el voltaje compuerta-fuente del transistor Q1 es también negativo, debido a que el voltaje en la fuente de Q1 es de 7.3 V, con lo cual se tiene adecuadamente polarizado a Q1, para operar como amplificador.

El valor de la resistencia R3 se determina experimen-

talmente en un valor de $6.8 \text{ k}\Omega$, con lo que se cumple con las condiciones de voltaje de drenaje-fuente de los transistores, así como de la condición de ganancia de la etapa.

El circuito resonante de salida se forma a partir de una bobina de $5\mu\text{H}$ (L_2) con un valor de Q aproximado de 60 y un capacitor C_8 cuyo valor se determina como sigue:

$$\omega_0 = 1 / \sqrt{L \cdot C_8} \quad (2.1)$$

$$\text{Si } L = 5\mu\text{H} \quad f_0 = 10\text{MHz} \quad C_8 = 50.66\text{pf}$$

C_8 se reemplaza por un condensador variable, que permite ajustar adecuadamente la sintonía de la señal de 10MHz:

$$C_8 = C_v \quad C_v = 6\text{pf} - 56\text{pf}$$

Para determinar la ganancia de la etapa, así como el ancho de banda, es necesario calcular la resistencia equivalente presentada por el circuito resonante, la misma que se determina como sigue.

$$R_{eq} = R_3 \parallel R_p \quad (2.2)$$

donde R_p representa las pérdidas asociadas a la inductancia y se determina por:

$$R_p = Q^2 \omega_0 L \quad (2.3)$$

donde Q_u es el factor de calidad de la bobina.

$$\text{Si } Q_u=60 \quad f_0=10 \text{ MHz} \quad L=5\mu\text{H}$$

$$R_p = 60 * 2\pi * 10 * 5 = 18849.56 \Omega$$

$$R_{eq} = 6800 \parallel 18849.56 \quad R_{eq} = 4997.23$$

En base a este valor se determina el factor de calidad cargado (Q_L) del circuito resonante, el mismo que esta dado por:

$$Q_L = R_{eq} / (2\pi f_0 L) \quad (2.4)$$

$$Q_L = 4997.23 / (2\pi * 10 * 5)$$

$$Q_L = 15.9$$

Con este valor se determina el ancho de banda por:

$$BW = f_0 / Q_L \quad (2.5)$$

$$BW = 628.67 \text{ kHz}$$

La ganancia del circuito se determina por:

$$A_v = -g_{fs} * R_{eq} \quad (2.6)$$

A su vez g_{fs} esta dada por:

$$g_{fs} = 2 * I_{DSS} * (1 - V_{GS} / V_{GS(OFF)}) / V_{GS(OFF)} \quad (2.7)$$

$$g_{fs} = 2 * 8 \text{mA} * (1 - 0.3/6) / 6$$

$$g_{fs} = - 2.533 \text{ mA/V}$$

$$A_v = 2.533 * 4997.23$$

$$A_v = 12.657$$

Tanto los valores de ganancia y de ancho de banda están aproximadamente en el mismo orden de los valores obtenidos en el circuito práctico implementado. Así entonces, la señal esperada a la entrada del preamplificador es de alrededor de 20mVpp, ya que experimentalmente se detecta la presencia de un ruido ligeramente menor de 20 mVpp. De esta forma asumiendo la ganancia de 10 se tendrá una señal de 200mVpp, la misma que, reducirá el valor de los voltajes drenaje-fuente en 0.1V, lo cual es un valor muy pequeño como para sacar a los JFET de la región de agotamiento.

A su vez, el circuito de sintonía de la entrada está constituido por la red de acoplamiento utilizada para realizar el acoplamiento entre la salida del diodo detector y la entrada al preamplificador, ésta última está constituida por la resistencia (R4) de polarización de compuerta del JFET (Q2), y la capacitancia de entrada presentada por éste.

El circuito de acoplamiento junto con el equivalente presentado por el diodo detector¹⁵ y la impedancia de entrada se muestran en la figura 2.5 (b) .

Los valores de la red de acoplamiento se determinan

¹⁵ ELECTRONICS DESIGNER'S HANDBOOK. GIACOLECCTO L. Cap 23

usando fórmulas dadas en las notas de aplicación del manual de la Motorola RF DESIGN.

Se determina que si $Rd = 50\Omega$ y $R4 = 47K\Omega$:

$C5 = 30pf$

$C6 = 1690pf$ y

$L1 = 7.55uH$

Estos valores fueron sustituidos por elementos con rangos variables, para así obtener un acoplamiento adecuado.

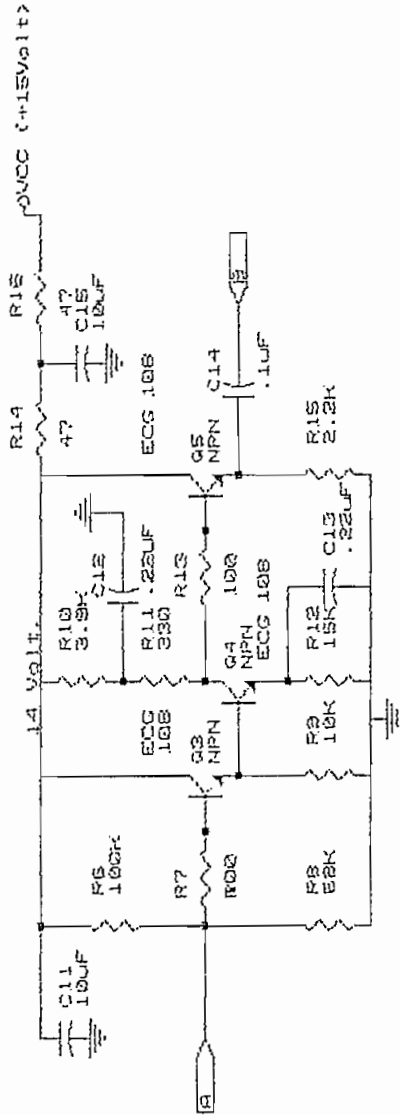
2.4.2. SEGUNDA ETAPA

Esta etapa tiene como elemento activo Q4, el mismo que da una ganancia de 3. Se utilizan los transistores Q3 y Q5 como acopladores de impedancia desde el circuito de salida del preamplificador a la entrada de Q4 y de la salida de Q4 a la entrada del amplificador de banda ancha.

Así, esta etapa debe presentar una alta impedancia de entrada para no cargar al circuito resonante del preamplificador de entrada, y una impedancia de salida baja para poder acoplar a la impedancia del amplificador de banda ancha. El circuito a diseñarse se muestra en la figura 2.6

Los transistores elegidos para el diseño son el ECG 108 cuyas características son:

Transistor ECG 108 NPN SI, especial para aplicaciones de RF/IF, Amplificadores de video, Osc, Mix, VHF/UHF.



SEGUNDA ETAPA DE AMPLIFICACION

ESUELA POLITECNICA NACIONAL	
TITULO	SEGUNDA ETAPA AMPLIFICADORA
SERIE	Document Number
2	FIGURA 3.8
REV	REV
DATE:	January 17, 1991 Sheet of

$$V_{cebo} = 30V$$

$$V_{cebo} = 15V$$

$$V_{cebo} = 2V$$

$$I_{cmax} = 50mA$$

$$P_{Dmax} = 600mW$$

$$f_t = 800MHz \text{ min}$$

$$H_{FEmin} = 20$$

Puesto que la etapa de amplificación comprende un sistema multietapa, es necesario entonces tener un acoplamiento adecuado de impedancias, para así, tener una transferencia máxima de potencia. A continuación se realiza un análisis de impedancias que permiten elegir valores adecuados para los elementos que forman el circuito.

La impedancia de entrada a esta etapa se determina por la siguiente expresión:

$$Z_{i3} = R6 \parallel R8 \parallel [R7 + \beta_{dc} * (r_{e3} + R9 \parallel \beta_{dc} * r_{e4})] \quad (2.8)$$

A su vez, la impedancia de salida de Q3 se toma aproximadamente al valor dado por:

$$Z_{o3} \approx R9 \quad (2.9)$$

La impedancia de entrada de Q4 es:

$$Z_{i4} = \beta_{dc} * r_{e4} \quad (2.10)$$

puesto que la resistencia de emisor está en cortocircuito para señal.

La impedancia de salida de Q4 se determina por R11, ya que R10 está en cortocircuito para señal.

La impedancia de entrada a Q5 se determina considerando que la etapa que sigue, presenta una impedancia de 47Ω , y se determina por:

$$Z_{i5} = R13 + \beta_{dc} * [r_{e5} + (R15 \parallel R17)] \quad (2.11)$$

Finalmente, la impedancia de salida del transistor Q5 es:

$$Z_{o5} \approx R15 \quad (2.12)$$

Los datos asumidos para calcular las polarizaciones del amplificador para funcionamiento en clase A son:

$V_{CC} = 14V$	$V_{CE4} = 8.8V$
$V_{E5} = 12V$	
$V_{E4} = 4V$	$I_{E5} = 5mA$
$V_{E3} = 4.7V$	$I_{E4} = 0.25mA$
$V_{B5} = 0.7V$	$I_{E3} = 0.5mA$

En la figura 2.6, el cálculo de los elementos desde la salida a la entrada del amplificador es:

$$R15 = V5 / I5$$

$$R15 = 12V / 5mA$$

$$R15 = 2.4K\Omega$$

$$R15 = 2.2K\Omega \pm 5\%$$

$$R12 = V4 / I4$$

$$R12 = 4V / 0.25mA$$

$$R12 = 16K\Omega$$

$$R12 = 15K\Omega \pm 5\%$$

$$R9 = V3 / I3$$

$$R9 = 4.7V / 0.5mA$$

$$R9 = 9.4K$$

$$R9 = 10K \pm 5\%$$

Para polarizar el transistor Q3 adecuadamente se implementa una red divisora de voltaje formada por R6 y R8, para esto se asume una corriente en el divisor mucho menor a la que se tiene en el emisor, para así garantizar estabilidad del circuito.

$$\text{Si } I_{R6} \approx I_{R8} = 80\mu A$$

$$\text{Dado que: } V_{R8} = V_{E3} + V_{BE}$$

$$V_{R8} = 4.7V + 0.7V = 5.4V$$

$$V_{R6} = V_{CC} - V_{R8}$$

$$V_{R6} = 14V - 5.4V$$

$$V_{R6} = 8.6V$$

$$\text{Entonces: } R6 = 8.6V / 80\mu A \quad R6 = 107.5K\Omega$$

$$R6 = 100K\Omega \pm 5\%$$

$$R8 = 5.4V / 80\mu A \quad R8 = 67.5k\Omega$$

$$R8 = 68K\Omega \pm 5\%$$

A continuación, se determinan los valores de las resistencias de colector de Q4, para esto es necesario tener en cuenta el valor de ganancia a obtenerse por medio del

transistor Q4, lo cual determinará el valor de la resistencia en el colector, ya que la resistencia de emisor está cortocircuitada para señal.

$$V_{C4} = V_{E4} + V_{CE4} \quad V_{C4} = 4V + 9.V = 13V$$

$$V_{R10+R11} = V_{CC} - V_{C4}$$

$$V_{R10+R11} = 14 V - 13 V = 1.0 V$$

$$R10 + R11 = 1.0 V / 0.25Ma$$

$$R10 + R11 = 4000 \Omega$$

Puesto que el valor de la resistencia de colector determinará la ganancia de la etapa, se elige valores standard para cumplir con esto; así:

$$R11 = 330 \Omega \pm 5\% \quad \text{y} \quad R10 = 3900 \Omega \pm 5\%$$

El valor de R7 y R13 se determinan experimentalmente y su valor es 100Ω , lo cual permite ajustar las impedancias de entrada de Q3 y Q5 respectivamente.

Los capacitores C12 y C13 son de $0.22\mu F$ y sirven para desacoplar la señal, de tal manera que la respuesta de frecuencia y la amplificación de la etapa se mantenga dentro de los valores requeridos. El capacitor C14 es de $0.1\mu F$ y es un capacitor que acopla la señal a la próxima etapa, en tanto que los capacitores C11 y C15 cuyo valor es de $10 \mu F$, así como las resistencias R14 y R16 de 47Ω sirven para desacoplar ruidos producidos en la fuente hacia tierra, a la vez que

determinan el nivel de alimentación a la etapa, cuyo valor es de 14 V.

La ganancia de la etapa está determinada por la resistencia de colector de Q4 respecto de la resistencia de emisor del mismo; esto es:

$$A_v = -R_{11}/r_{e4} \quad (2.13)$$

$$r_{e4} = 25\text{mV}/I_{E4} \quad r_{e4} = 25\text{mV}/0.25\text{mA}$$

$$r_{e4} = 100 \Omega$$

$$A_v = -330/100 = -3.3$$

2.4.3 TERCERA ETAPA

Se implementa utilizando el C.I.ECG 816 el mismo que permite obtener una amplificación de voltaje de 25dB a 10 MHz.¹⁶

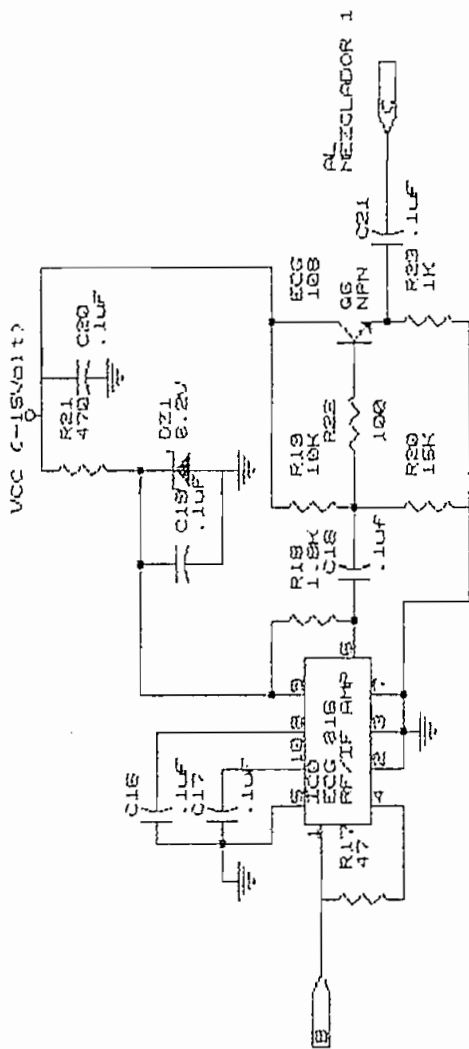
El circuito práctico implementado se muestra en la figura 2.7, los parámetros Y de la configuración cascode para el diseño son:

$$F_0 = 10\text{MHz} \quad Y_{11} = 1.42 + 0.7204j \text{ mhos}$$

$$V_{cc} = 6 \text{ V.} \quad Y_{22} = 0.01 + 0.12j \text{ mhos}$$

$$V_{ag} = 0 \text{ V.} \quad Y_{21} = 25 + 13j \text{ mhos}$$

¹⁶ HEP MOTOROLA SEMICONDUCTOR.
"RADIO AMATEUR'S IC PROJECTS".



TERCERA ETAPA AMPLIFICADORA

ESUELA POLITECNICA NACIONAL	
TITULO TERCERA ETAPA DE AMPLIFICACION	
SIZE DOCUMENT NUMBER 2	
REV FIGURA 2.7	
DATE: January 17, 1961	BY: [Signature]

Para máxima transferencia de potencia se debe tener:

$$Y_i = Y_{11} \quad Y_o = Y_{22}$$

$$Y_{11} = g_{11} + b_{1i}j \quad R_i = 704.22\Omega \quad C_i = 11.52\text{pF}$$

$$Y_{22} = g_{22} + b_{2j} \quad R_o = 100\text{k}\Omega \quad C_o = 1.90\text{pF}$$

En base a los valores de R_i y R_o , se seleccionan las resistencias de entrada y de carga al circuito monolítico, que permitan tener valores de impedancia de entrada y salida adecuadas.

Poniendo $R_{17} = 47\Omega$ y $R_{18} = 1.8\text{k}\Omega$ se tiene que estas constituyen prácticamente las resistencias de entrada y salida al circuito. Así entonces, el transistor Q_6 se encargará de acoplar la impedancia de salida de esta etapa con el circuito mezclador.

La alimentación al circuito integrado ECG 816 se obtiene desde la línea de fuente de 15 V., a través de un circuito de referencia de voltaje, formado por los elementos R_{21} y DZ_1 que fijan el voltaje en un valor de 6.2 V.

Las resistencias R_{19} , R_{20} y R_{23} sirven para polarizar al transistor Q_6 , que actúa como un seguidor de emisor y sus valores se determinan experimentalmente de tal forma de obtener niveles de voltaje en la base de Q_6 de 8.7 V y en emisor 8.0 V, para que así permita barrer la señal amplificada sin distorsión. La resistencia R_{22} permite elevar el valor de la impedancia de entrada de Q_6 necesario para un

buen acoplamiento. Los capacitores C19 y C20 sirven para desacoplar ruidos de fuente, en tanto que el condensador C21 sirve para acoplar la señal al circuito mezclador.

2.5 CIRCUITO MEZCLADOR

Refiriéndose al diagrama de bloques de la figura 2.1, se observa que se necesitan dos circuitos mezcladores, los cuales son descritos a continuación.

Estos circuitos se implementan en base a la necesidad de cambiar la frecuencia de la señal involucrada en la modulación, para de esta manera tener señales cuya frecuencia se encuentren dentro del rango de operación de los circuitos integrados comerciales.

Así mismo, el traslado de frecuencia se lo hace con la finalidad de poder obtener una señal con un período tal, que permita obtener un dato digital adecuado desde un contador manejado por una señal de reloj con una frecuencia de al menos 1MHz.

De acuerdo con lo anterior, el período de la señal será de 1KHz, con lo cual, la cantidad de pulsos contados será de 1000. Sin embargo, si se incrementa la señal de reloj es posible tener una cuenta mayor.

Todo elemento circuital de comportamiento no lineal, actuará como mezclador y en el circuito de salida aparecerán las frecuencias de inyección y las frecuencias suma y

diferencia. Así, cualquier diodo o transistor operando en la región no lineal puede ser usado como mezclador.

El circuito que se implementa para el mezclador se muestra en la figura 2.8 (a).

El transistor Q7 opera en clase B; es decir que la polarización del transistor está en el límite de corte, la misma que es fijada por el divisor de voltaje formado por las resistencias R24 y R25. Así, la juntura base emisor forma un elemento no lineal que causará a su vez la mezcla de las dos señales inyectadas a base y emisor.

La señal del oscilador local, cuya frecuencia es de 10.001 MHz es inyectada a través de R29 y R27 al emisor, en el mismo que se tendrá corriente de conducción cada semiciclo de la señal de 10 MHz inyectada en base, entonces las señales resultantes de la mezcla, pueden obtenerse del colector de Q7.

Las resistencias R27, R28 y R29, se eligen de tal forma que la amplitud de la señal del oscilador local esté por encima de la señal de entrada a base, para así obtener una mezcla de baja distorsión.

Para el diseño del circuito de polarización se asume los siguientes datos.

$$V_{CC}=1.5 \text{ V.} \quad V_{B7}=0.6 \text{ V} \quad V_{E7}=0.04 \text{ V}$$

$$I_{C7}=I_{E7}=I_{B7}=40 \mu\text{A}$$

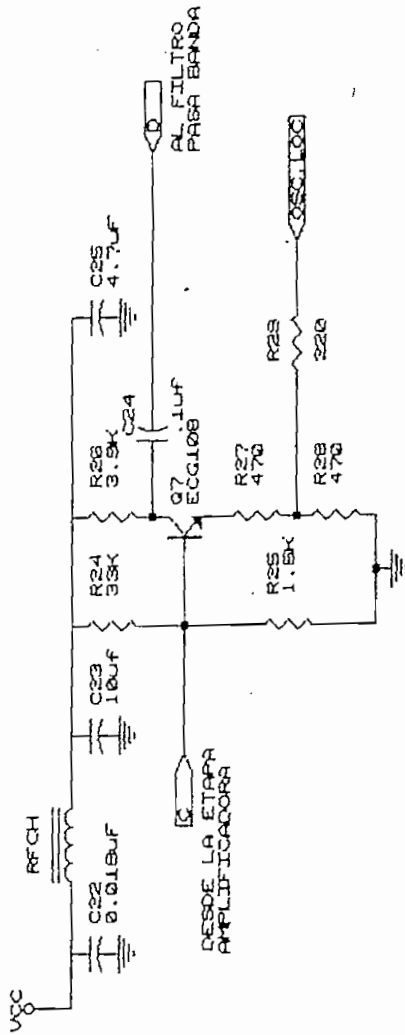


FIGURA 2.8 (a)

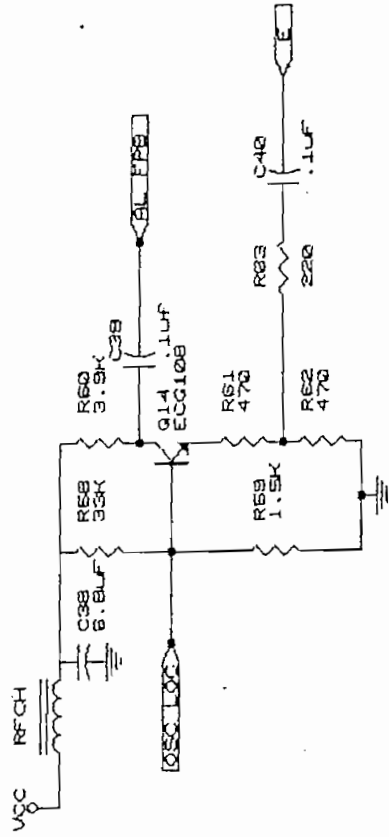


FIGURA 2.8 (b)

ESOLELA FOLITECNICA NACIONAL	
Title	
CIRCUITOS MEZCLADORES	
Size	Document Number
A	FIGURA 2.8
Date:	January 1, 1980
	Sheet
	of

Con ello, se calcula las resistencias correspondientes:

$$V_{CC} = V_{R24} + V_{R25} \quad V_{R24} = V_{CC} - V_{R25} \quad V_{R24} = 15V - 0.6V = 14.4V$$

$$V_{R24} = 14.4V.$$

$$\text{Asumo } I_{R24} = 4mA$$

$$R24 = 14.4V / 4mA$$

$$R24 = 3.6k$$

$$R24 = 3.3k\Omega \pm 5\%$$

$$R25 = V_{E7} / I_{R24}$$

$$R25 = 0.6V / 4mA$$

$$R25 = 1.5k\Omega$$

$$V_{E7} = 0.04V.$$

y

$$I_{E7} = 40\mu A$$

$$R_{E7} = 1000\Omega$$

$$R_{E7} = R27 + R28$$

$$\text{Si } R27 = R28$$

$$R27 = 500\Omega$$

$$R27 = R28 = 470\Omega \pm 5\%$$

Los condensadores C22, C23 y C25, sirven para eliminar ruidos de fuente, en tanto que, C24 sirve para acoplar la señal obtenida de la mezcla al filtro pasabanda.

Un circuito con similares características al descrito arriba, se diseña para obtener una señal de referencia de 1kHz de frecuencia y se muestra en la figura 2.8 (b)

2.6 FILTRO PASABANDA CENTRADO A 1kHz.

Como en la etapa de mezcla se generan varias frecuencias, es necesario por tanto eliminar las frecuencias no deseadas y seleccionar la frecuencia intermedia útil, la misma que está constituida por la frecuencia diferencia de las señales inyectadas al mezclador.

Para esto, se implementan filtros activos pasabanda cuyas características elegidas son:¹⁷

- Frecuencia central 1kHz.
- Valor de $Q=25$
- Ganancia de 20dB.

El circuito práctico que se implementa se muestra en la figura 2.9 (a), y está constituido por dos amplificadores operacionales LM3900, que permiten tener una alta ganancia, así como un rango para Q entre 10 y 50 .

El filtro pasabanda es de tipo Sallen/Key y lo constituyen los condensadores C26, C27 y la resistencia R32. Las resistencias R33 y R36 son utilizadas para llevar el voltaje de salida del operacional a $V_{cc}/2$, a la vez que R35, R37 y R38 determinan la ganancia del amplificador de salida; mientras que R34 sirve para hacer una realimentación que permita tener una amplificación estable.

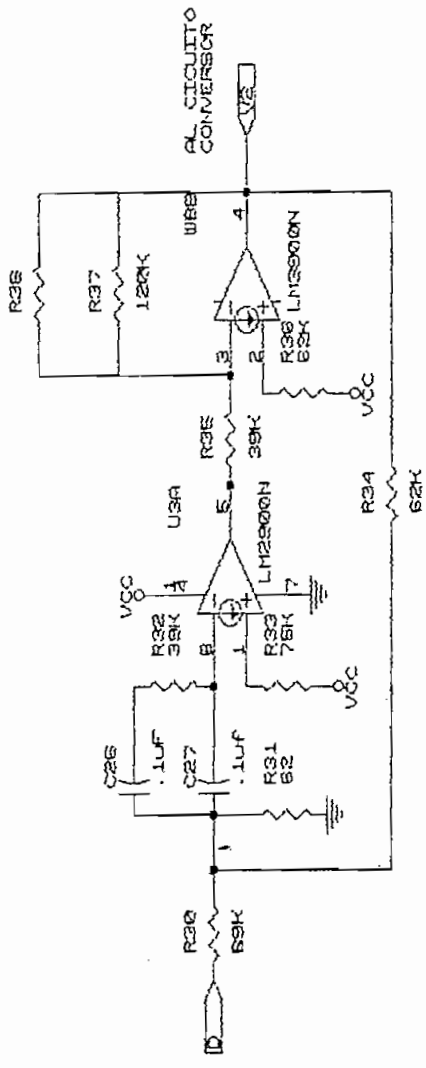
El procedimiento seguido para la determinación de los valores respectivos, utiliza las ecuaciones descritas en las notas de aplicación del manual de APLICACIONES LINEALES DE NATIONAL SEMICONDUCTOR .

Los valores determinados son:

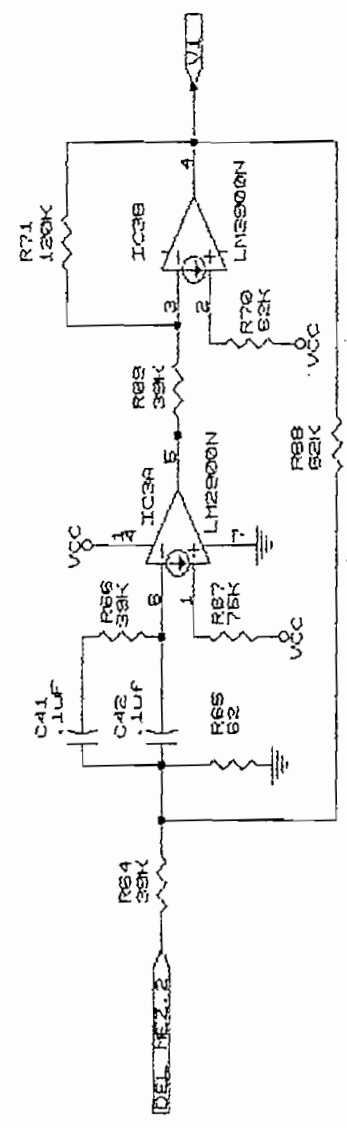
$$R30=R32=R35=40000\Omega$$

$$R34=61K\Omega$$

¹⁷ LINEAR APPLICATION NOTES. NATIONAL SEMICONDUCTOR.



FILTRO PASA BANDA CENTRADO A 1 KHZ
FIGURA 2.9 (a)



FILTRO PASA BANDA CENTRADO A 1 KHZ (2)
FIGURA 2.9 (b)

ESCUOLA POLITECNICA NACIONAL	
TITULO	FILTROS PASABANDA A 1KHZ
NUMERO DOCUMENTO	FIGURA 2.9
FECHA	JANUARY 31, 1981
	61

R31=64 Ω

R37=120K Ω

R33=80K Ω

R36=59K Ω

Todos estos valores se reemplazan por sus valores standard comerciales, obteniéndose finalmente un filtro con características adecuadas a las anotadas antes.

Debido a que la operación del sistema es dependiente de las características de las etapas anteriores, en el filtro pasabanda de la figura 2.9.(a), es necesario bajar la ganancia del amplificador de salida, para lo cual, se coloca la resistencia R38, cuyo valor es de 75k Ω . Esto se hace para evitar oscilaciones en la siguiente etapa.

2.7 DIAGRAMA ESQUEMATICO DE LA UNIDAD ANALOGA.

Un diagrama esquemático de todas las etapas requeridas en la unidad de señal analoga se muestran en la figura 2.10

C A P I T U L O I I I

- 3.1.- DESCRIPCION DE LA UNIDAD.
- 3.2.- CONVERSION DE SEÑALES.
- 3.3.- ALGORITMO PARA LA DETECCION DE FASE.
- 3.3.1.-DESCRIPCION DEL ALGORITMO PARA MEDIR LA FASE.
- 3.4.- CIRCUITO DE CONTROL Y TIEMPO.
- 3.5.- ENTRADA DE DATOS.
- 3.6.- PROCESAMIENTO DE DATOS.
- 3.7.- PRESENTACION DE RESULTADOS.
- 3.8.- GENERADOR DE SEÑALES DE RELOJ.
- 3.9.- CONTROLES DE OPERACION DEL EQUIPO.
- 3.10.- DESCRIPCION DEL PROGRAMA.

UNIDAD DE PROCESAMIENTO DE SEÑAL

3.1 DESCRIPCION DEL SISTEMA.

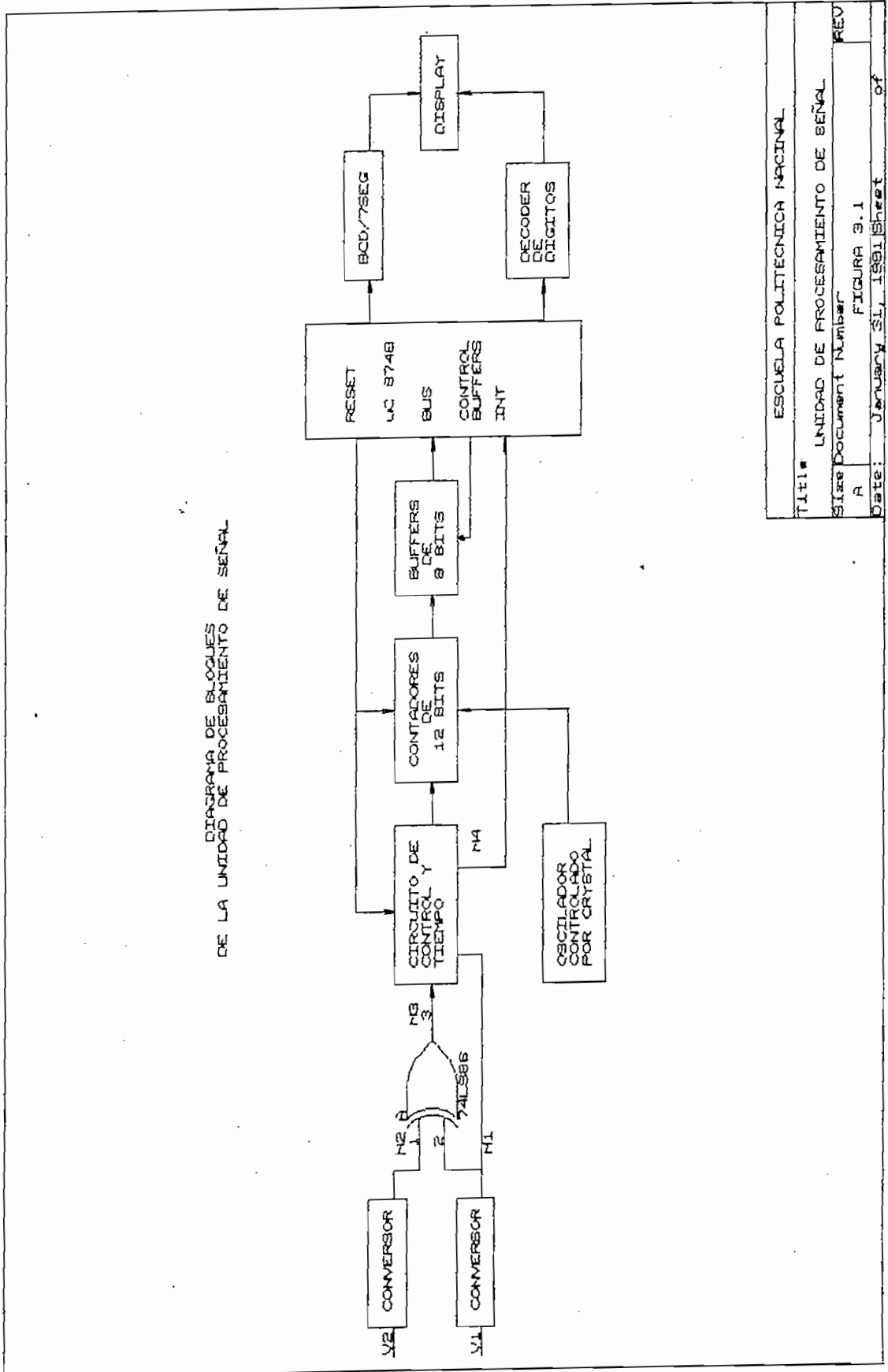
Una mejor comprensión de la operación de esta unidad se logra realizando un diagrama de bloques simplificado, como se muestra en la figura 3.1. Se puede observar un diagrama de bloques de los pasos seguidos en el proceso de medición del desfase, entre la señal de referencia y la señal receptada por efecto de reflexión desde el objeto, que a su vez, permitirá determinar la distancia al mismo.

Las señales V1, cuya frecuencia es 1KHz y la señal V2, cuya frecuencia es 1KHz, pero que tiene una variación de fase, se aplican a una etapa de proceso que convierte a estas en dos ondas cuadradas compatibles con lógica TTL. Esto se hace aplicando las señales a comparadores diferenciales conectados como detectores de cruce por cero.

Estas dos señales se alimentan a una compuerta OR-Exclusive, de donde a su salida se obtiene un tren de pulsos, cuya duración es proporcional al desfase entre las dos señales. Esta señal junto con una señal de RESET enviada por el microcontrolador, como también la señal de referencia M1, se aplican a un circuito de control y tiempo, que habilitará a dos contadores de 12 bits, y que a la vez generará una señal de interrupción INT para comunicarle al microcontrolador que ha completado un ciclo de medida.

Los 12 bits a la salida de los contadores en forma de

DIAGRAMA DE BLOQUES DE LA UNIDAD DE PROCESAMIENTO DE SEÑAL



ESUELA POLITECNICA NACIONAL	
TITULO: UNIDAD DE PROCESAMIENTO DE SEÑAL	
Size	Document Number
A	FIGURA 3.1
Date:	January 31, 1991 Sheet of

dos bytes, son ingresados al bus de datos del microcontrolador a través de una etapa de buffers controlados por éste.

Una vez, con los datos en la memoria interna, se procesan los datos de los dos contadores, a través, de un programa para determinar el desfase y a la vez la distancia al objeto, la misma que es presentada en un grupo de displays de cuatro dígitos.

El control del proceso de medida, así como el de operación, será comandado por un programa residente en la memoria Eprom del microcontrolador.

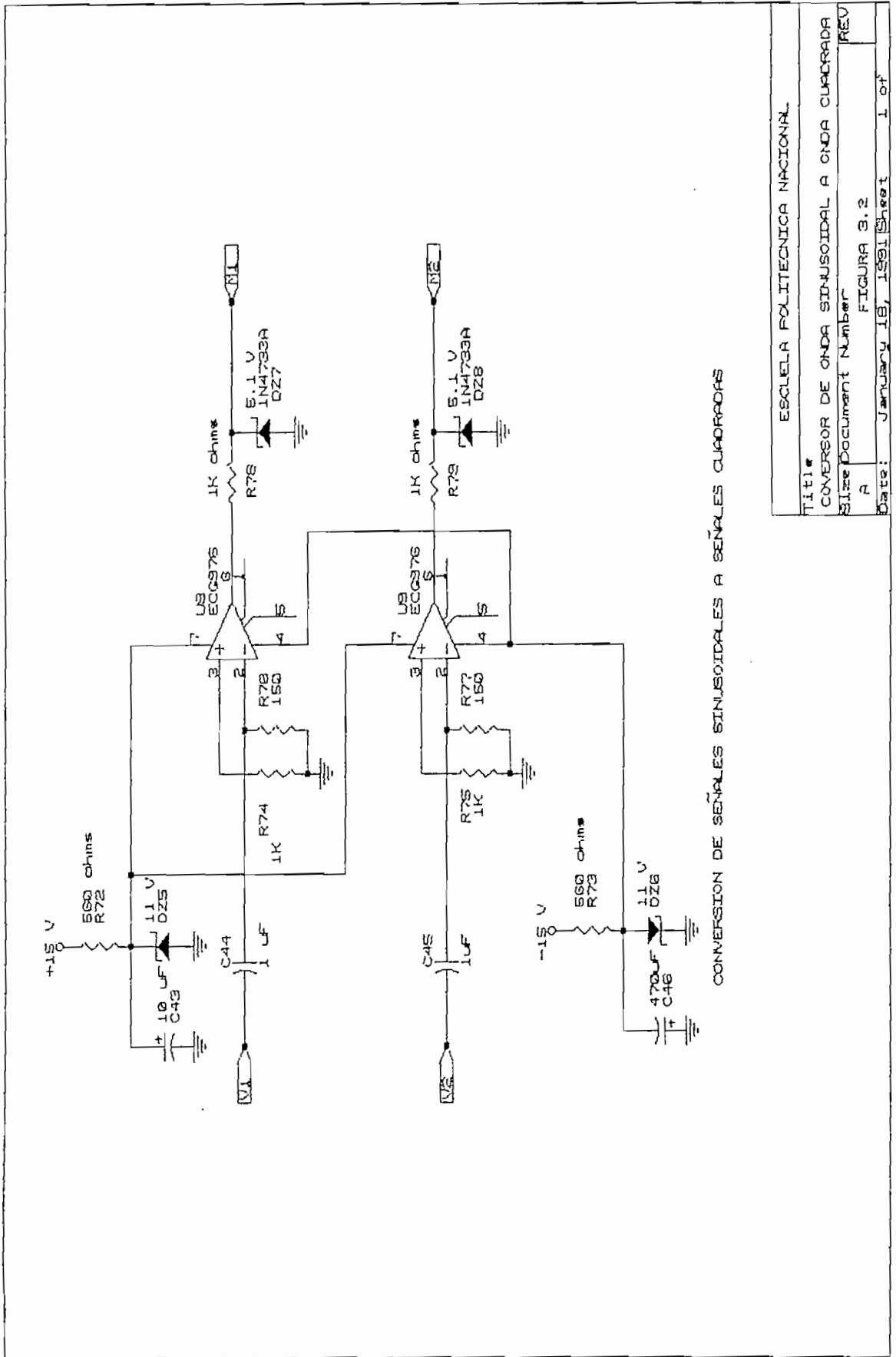
El control de operación de esta unidad, se realiza a través de tres pulsantes, los cuales permiten hacer el reset, la medida y la calibración inicial del equipo.

3.2 CONVERSION DE SEÑALES.

Este circuito convierte una señal sinusoidal a una señal compatible con TTL.

El circuito implementado, junto con su polarización se muestra en la figura 3.2, el mismo que está compuesto por un comparador diferencial de lazo abierto, que permite convertir ondas sinusoidales en ondas cuadradas en un rango de frecuencias superior a 15KHz.

La operación del circuito es muy simple, las resistencias R74 y R76 permiten poner en el pin 3 y en el pin 2 respectivamente, referencias de voltaje ligeramente diferen-



CONVERSION DE SEÑALES SINUSOIDALES A SEÑALES CUADRADAS

ESOLELA POLITECNICA NACIONAL	
Title	CONVERSION DE ONDA SINUSOIDAL A ONDA CUADRADA
Size Document Number	REV
Date	January 18, 1991 Sheet 1 of 1

tes, como también, sirven para compensar el offset de los operacionales. Cuando al pin 2, a través de un condensador de acople constituido por C44, llega una señal sinusoidal, las variaciones de esta señal de voltaje respecto al nivel de referencia del pin 3, causarán a la salida del operacional transiciones entre +11 Volt. y -11 Volt.; en todos los puntos en que la señal cruce por cero, las mismas que serán recordadas por R78(1K Ω) y DZ7(5.1 Volt.) a una señal de pulsos con amplitud de 5 Voltios.

Puesto que, el producto de ganancia-ancho de banda es característico del tipo de amplificador diferencial, la sensibilidad del circuito decrecerá, si se incrementa la frecuencia de la señal de entrada.

La polarización del operacional es simétrica y se obtiene desde los puntos de +15 y -15 Voltios, a través de circuitos de referencia fija de voltaje, formados por una resistencia y un diodo Zenner. Así, por medio de R72 y DZ5 se obtiene el voltaje +11 y a través de R73 y DZ6 el voltaje de -11 Voltios.

Los condensadores C43 y C46 se emplean para eliminar posibles ruidos generados en la fuente.

Los operacionales empleados son ECO 976.

3.3 ALGORITMO PARA LA DETECCION DE FASE

El ángulo de fase entre dos ondas de la misma frecuencia puede ser medido convirtiendo éstas en señales cuadradas y midiendo entonces la diferencia de tiempos entre los cruces por cero o entre los puntos centrales de las señales cuadradas.

De la literatura técnica ¹⁰ se tiene, que el error en la medida es menor cuando la fase se calcula entre los puntos centrales, que cuando se mide en los cruces por cero.

Así entonces, en esta tesis se implementa un "hardware" basado en un microcontrolador, que utiliza un algoritmo para medir el desfase de dos señales, midiendo la diferencia de tiempo entre los pulsos centrales de sus equivalentes ondas cuadradas.

3.3.1 DESCRIPCION DEL ALGORITMO PARA MEDIR LA FASE.

Para describir el algoritmo de medida de fase, se toma como referencia la figura 3.3, en la que se muestran dos ondas sinusoidales (V1) y (V2), donde V1 es una señal sinusoidal pura y V2 puede ser una señal sinusoidal pura o incluso puede tener una distorsión del segundo armónico.

¹⁰ "A NOVEL DIGITAL PHASE METER"
IEEE Trans. Instrum. Meas., vol. 36 no 4 pp 711-716 1987

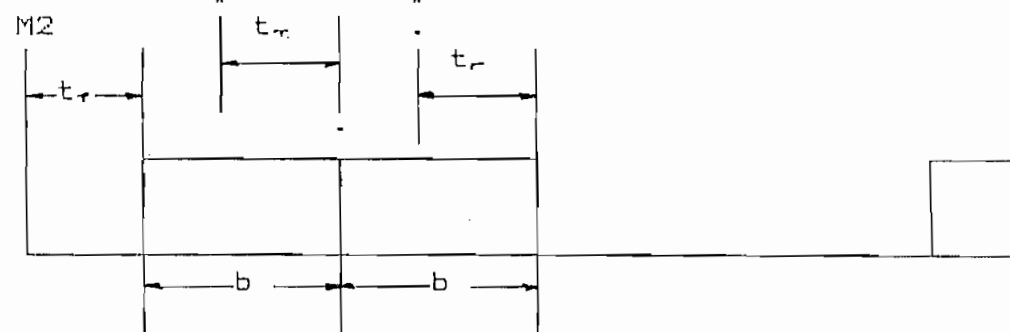
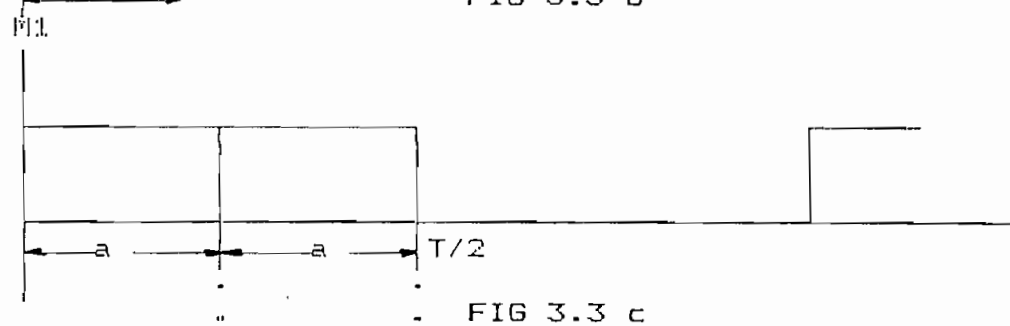
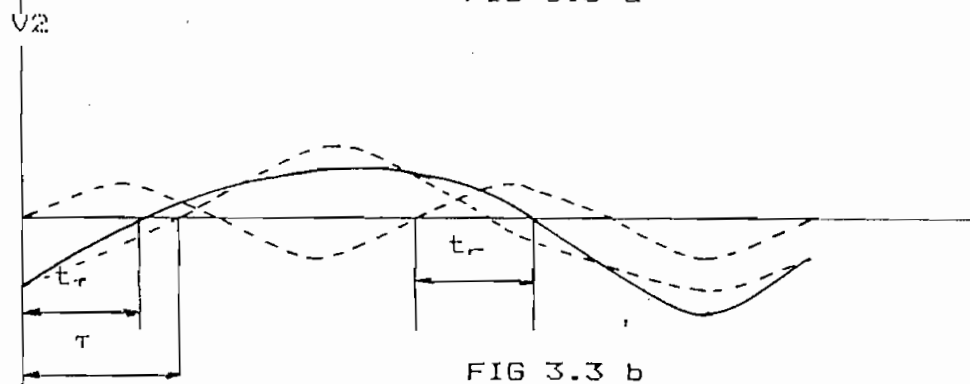
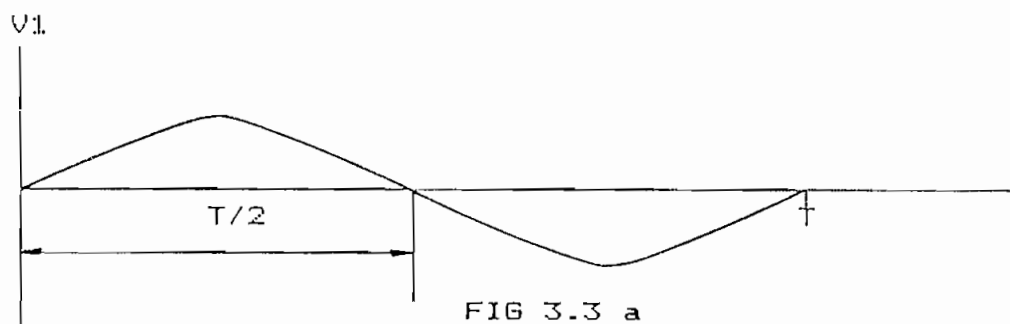


FIG 3.3 d
FIGURA 3.3

De la figura se puede notar que la diferencia de tiempo (τ) puede dar la verdadera diferencia de fase entre las dos

señales. Sin embargo, si estas señales se convierten en ondas cuadradas (M1 y M2) puede notarse que, ni la diferencia de fase entre los cruces positivos por cero (t_+) ni la diferencia de tiempo entre los cruces negativos por cero (t_-), son iguales a la diferencia de tiempo τ . Sin embargo, la diferencia de tiempo (t_+ , entre los puntos centrales de las ondas cuadradas es igual a τ .

Por lo tanto, la diferencia de tiempo t_+ da el verdadero valor de la medida de fase entre las señales.

Ahora si, (2a) y (2b) son la duración de las dos ondas cuadradas (M1) y (M2) respectivamente, entonces de la figura 3.3 (c) y (d) se tiene:

$$t_+ = t_+ + a - b \quad (3.1)$$

$$t_- = t_- + b - a \quad (3.2)$$

Sumando (3.1) y (3.2) se tiene:

$$t_+ = (t_+ + t_-) / 2 \quad (3.3)$$

De (3.3) se nota que la media aritmética de los cruces positivos y negativos por cero, dan la verdadera medida de la fase. Así entonces, una vez que se conoce t_+ la fase de las dos señales puede expresarse por:

$$\phi = 360 * t_+ / T \quad (3.4)$$

donde T es el periodo de la señal de referencia $M1$.

Entonces, el algoritmo para medir la fase se escribe como sigue:

-Se calcula t_+ usando la ecuación (3.3)

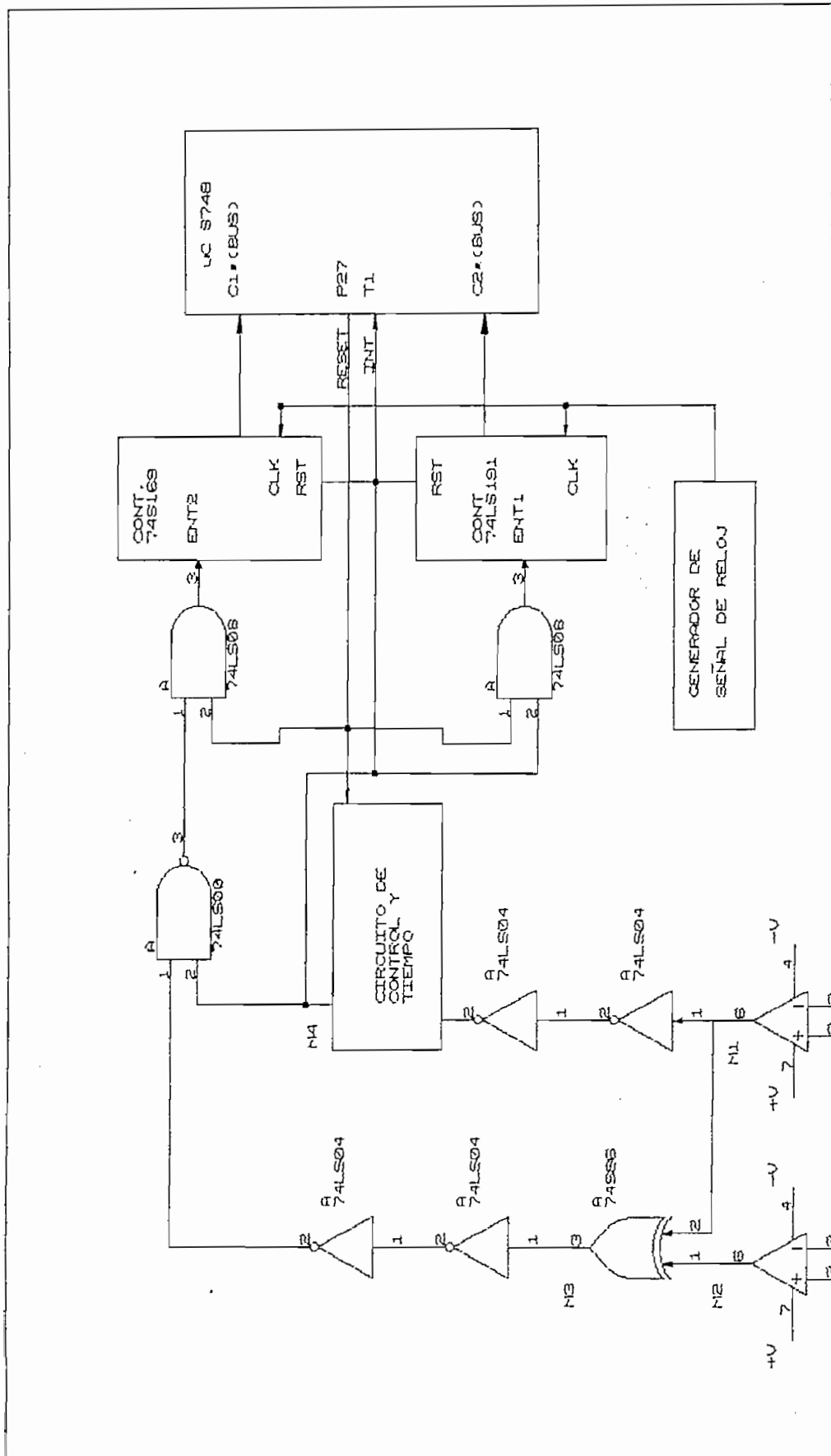
-Se evalúa el valor de la fase utilizando la ecuación (3.4)

Este algoritmo se implementa utilizando lenguaje assembly del microcontrolador DB748D y constituye una rutina que permite determinar la distancia, la cual se expone al final del presente capítulo.

Un diagrama de bloques del sistema implementado, que permite hallar la fase de las dos señales, se muestra en la figura 3.4.

Las señales $V1$ y $V2$ se alimentan a comparadores de voltaje de donde se obtiene las señales $M1$ y $M2$. Estas dos ondas cuadradas son alimentadas a una compuerta OR-EXCLUSIVE para desde allí, obtener un tren de pulsos ($M3$) con anchos (t_+) y (t_-).

A su vez, la salida de uno de los comparadores, estrictamente la señal $M1$, es alimentada a un circuito de control y tiempo, del mismo que, cada vez que se requiere hacer una medición, se obtienen de éste una señal en alto, cuya duración es igual a T , la misma que está sincronizada con la señal de referencia ($M1$) y que a la vez su flanco de



ESUELA POLITECNICA NACIONAL	
Title: CIRCUITO PARA LA MEDICION DE FASE	
Size Document Number: A	FIGURA 3.4
Date: January 31, 1991	Sheet of

bajada corresponde a la señal de interrupción entregada al microcontrolador.

El contador 74S169 es un contador de 12 bits UP/DOWN y se lo ha programado para que cuente hacia arriba. Este, a la vez se habilita cuando tanto M3 como M4 están en alto, de igual manera, el contador 74LS191 se habilita así mismo cuando M4 está en alto.

En el comienzo del ciclo de medición, el microcontrolador envía un pulso negativo a través de la línea de RESET, a la vez que también habilita al timer T1 del microcontrolador, para que este reciba la señal de interrupción. Este pulso encera los contadores y sincroniza el pulso M4 generado en la unidad de control y tiempo con la señal de referencia M1. Así entonces, en el flanco de subida de M4 a las salida de las compuertas NAND y AND, se tendrá la señal M3 invertida, la misma que, habilitará los contadores 74S169 los cuales calcularán la expresión :

$$t_r + t_f = 2 * t_r \quad (3.5)$$

A su vez, los contadores 74LS191 calcularán el periodo de la señal M1 y que corresponde a T.

En el flanco de bajada de M4, se produce la interrupción al microcontrolador, debido al sobreflujo creado en el timer, lo cual da paso a la toma de datos T (C1*) y 2*t_r (C2*) desde los contadores.

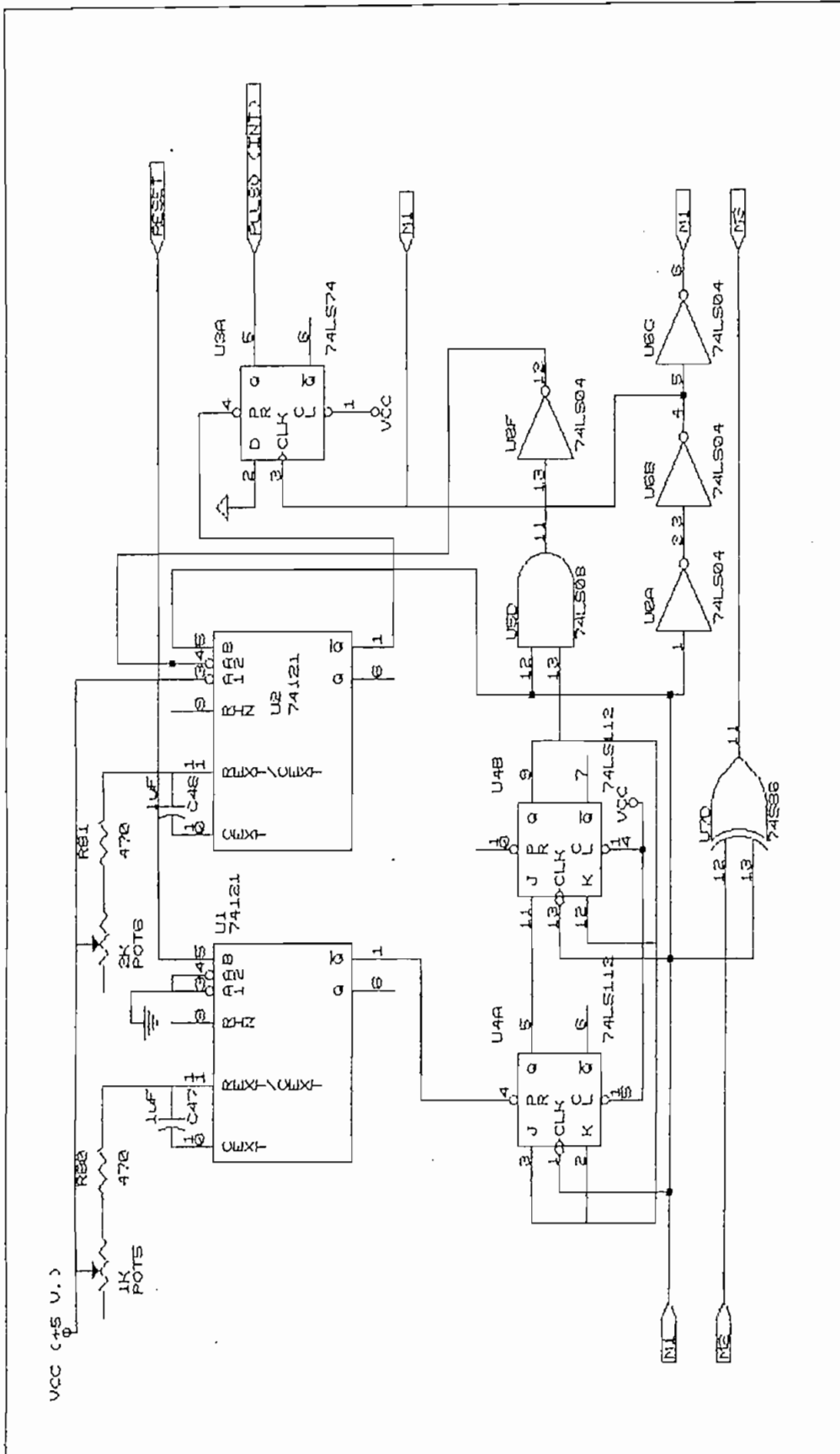
3.4 CIRCUITO DE CONTROL Y TIEMPO.

Un diagrama esquemático de este circuito se muestra en la figura 3.5.

Esta etapa entra en operación el momento que se requiere hacer una medida, por lo cual, es necesario enviar un pulso de reset, a partir del cual, por medio de un monoestable 74S121 se genera un pulso, cuya duración es determinada por un circuito RC ajustable formado por el POT5, R80 y C47, generándose un pulso cuya duración en bajo es mayor a 1 ms. Este pulso junto con la señal de referencia (M1) se ingresan a un circuito de sincronización formado por los C.I. 74LS111, 74LS08 y 74LS04 de los mismos que se obtiene un pulso sincronizado con la señal de referencia y que a su vez, será el pulso que active otro monoestable 74S121 del cual se obtendrá una señal con una duración mayor al semiperiodo de la señal de referencia. Esta señal se aplica a la entrada de PRESET de un flip flop tipo D constituido por el circuito integrado 74LS74, de donde a su salida se obtiene un pulso cuya duración en alto es exactamente igual al periodo de la señal de referencia T.

3.5 ENTRADA DE DATOS.

Para el ingreso de datos binarios desde la salida de los contadores, al bus de datos del microcontrolador, se



ESCUOLA POLITECNICA NACIONAL	
Title	CIRCUITO DE CONTROL Y TIEMPO
Size	Document Number
A	FIGURA 3.5
Date:	January 31, 1991 Sheet
	of

VCC (+5 V.)

utilizan buffers de 8 bits, los mismos que, son activados uno por uno a través del estado de los pines 29 al 31 del microcontrolador.

El circuito se muestra en la figura 3.6. En la que se observa, que las etapas de conteo que se implementan están formados por tres contadores de 4 bits conectados en cascada respectivamente.

Además, se utilizan tres C.I. 74LS245, cada uno de los cuales constituye un Bus Octal-3 estados y cuya dirección de operación elegida es desde el bus B al bus A.

Así entonces, la salida de los contadores es ingresada al bus respectivo, mientras que la salida de cada uno de los buffers es ingresada al bus de datos del microcontrolador, con la salvedad de que en el tiempo, únicamente uno de los buffers está activo mientras los otros permanecen en alta impedancia.

De esta manera, el programa que controla el ingreso de datos debe poseer la lógica necesaria para habilitar secuencialmente los buffers y ordenar adecuadamente los datos tomados desde el bus, en palabras correspondientes al valor determinado por cada contador.

3.6 PROCESAMIENTO DE DATOS.

Como se indicó antes, los datos ingresados al microcontrolador, permiten obtener el valor del desfase de la señal

de referencia y la señal obtenida, por efecto de la reflexión en el objeto a determinar la distancia.

El método utilizado para medir la distancia consiste en determinar el desfase, con la particularidad de que dicho valor debe corregirse por efecto de la introducción de un desfase, a causa de las etapas utilizadas en la recepción de la señal como también, a causa del desfase producido por el tornillo sintonizante en la señal de microondas.

Si se desea medir una distancia máxima de 15 metros, el desfase producido por efecto de la reflexión, se asume que es 360° así:

$$360^\circ/r = \phi/(2d) \quad (3.6)$$

$$d=(\phi/720^\circ)*r \quad (3.7)$$

$$F=10 \text{ MHz.} \quad r=30 \text{ m.}$$

$$d=(\phi/24^\circ)*K \quad (3.8)$$

Donde K es un factor de corrección de fase, cuyo valor se determinó experimentalmente y representa un corrimiento de fase entre las señales, a causa de las etapas implementadas; éste valor es considerado en el programa que determina el desfase de las señales.

En consecuencia, se implementa un programa en assembly, que primero determine el desfase de las dos señales, para después, utilizando la fórmula (3.8) determinar la distancia a la cual se encuentra el objeto.

3.7 PRESENTACION DE RESULTADOS.

Para presentar el valor de distancia, se utilizan cuatro indicadores luminosos (display's). Este tipo de display es el FND 510 de ánodo común, ensamblado en una carcasa plástica de 10 pines.

Un esquema ilustrativo de esta etapa se muestra en la figura 3.7

PRESENTACION DE DATOS

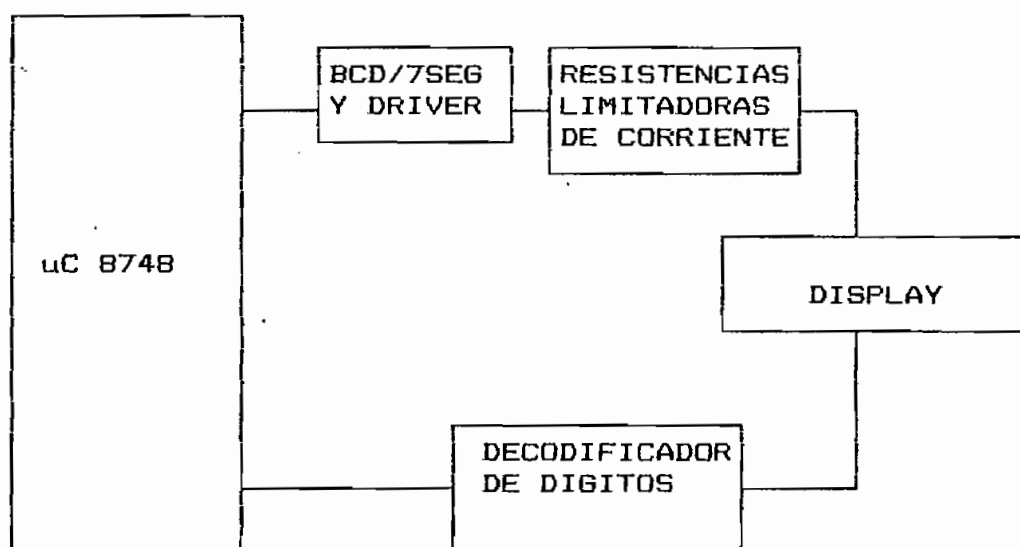


FIGURA 3.7

En este esquema se observa que el microcontrolador es el encargado de entregar el dato para que éste aparezca en el dígito respectivo, que al mismo tiempo es seleccionado desde el microcontrolador a través de un decodificador de dígitos, formando así una estructura que emplea un mínimo de líneas.

El circuito práctico que se implementa en esta etapa

aparece en la figura 3.6

El circuito integrado C.I.74LS47 es un decodificador de BCD a 7 SEG y desempeña el papel de "DRIVER", cuya característica de activado en nivel bajo, permite ser utilizado en "diplays" de ánodo común, como es el especificado anteriormente; los datos en código BCD se reciben directamente del microcontrolador a través de las líneas P20 a P23 del puerto P2.

El circuito 74LS47 entrega como salida el código en 7-SEG del dato equivalente ingresado en BCD; este dato en 7 segmentos se indica en el dígito respectivo del "display".

La conexión entre las salidas de segmentos del C.I.-74LS47 y los segmentos de display, se realizan a través de resistencias de limitación de corriente, cuyos valores se calcula como sigue:

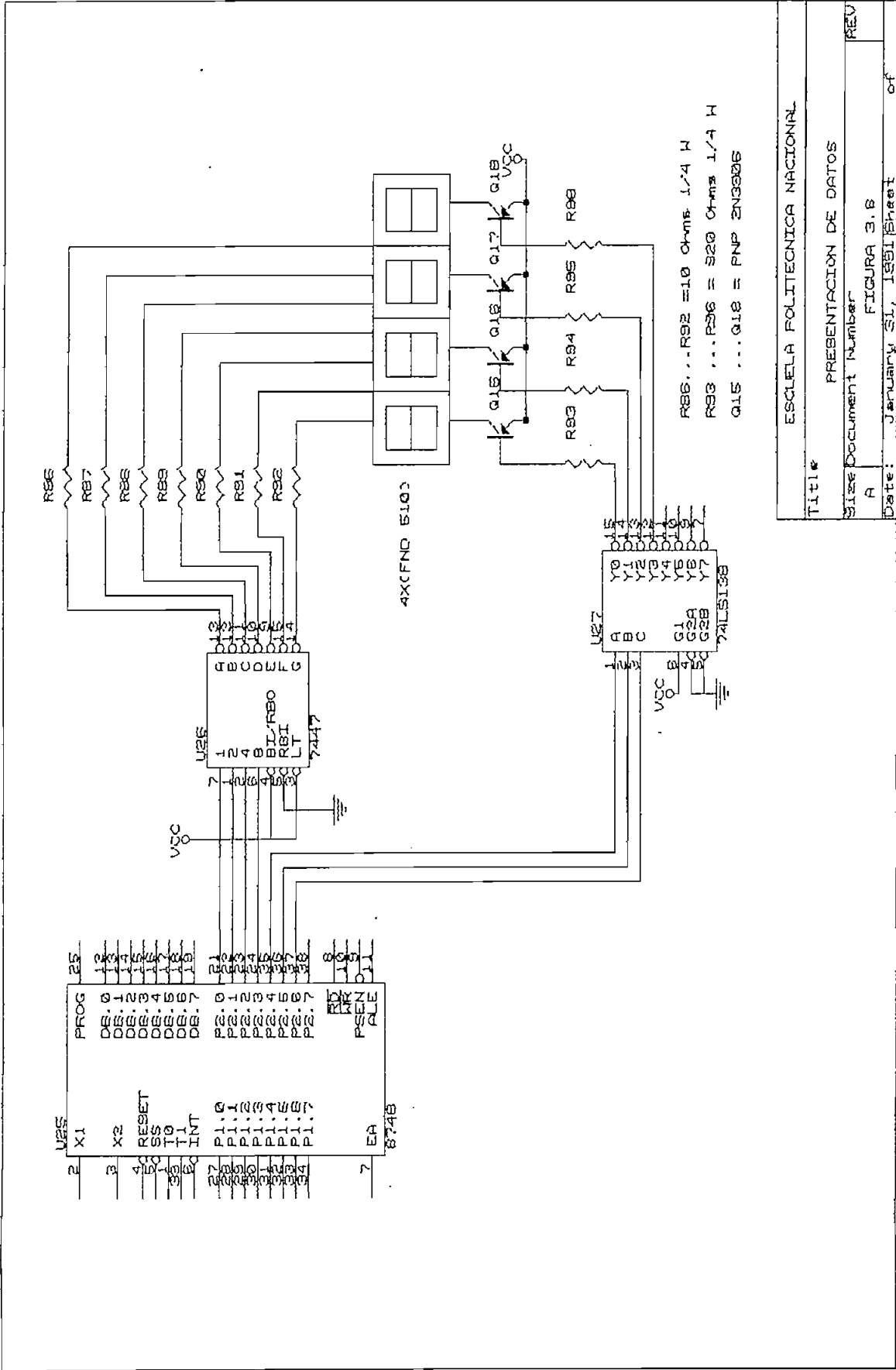
$$R86, \dots, R92 = V_{\text{seg}} / I_{\text{seg}}$$

donde $V_{\text{seg}} = 0.7 \text{ Volt.}$ es el voltaje de un diodo que conforma el segmento del dígito. Así entonces, como se tiene 7 segmentos por dígito se tiene:

$$I = 10 \text{mA} \times 7 = 70 \text{mA}$$

$$R86, \dots, R92 = (0.7 \text{ Volt.} / 70 \text{mA}) = 10 \Omega$$

Valor con el cual se consigue una buena intensidad



Title	
PRESENTACION DE DATOS	
Size	Document Number
A	FIGURA 3.6
Date:	January 51, 1991 Sheet
	of

luminosa para los "displays".

Para habilitar los cuatro dígitos del display se utiliza el circuito C.I. 74LS138 demultiplexer de 3 a 8 líneas, el mismo que permite ir habilitando secuencialmente todos los dígitos en función del contador constituido por dos líneas de entrada que llegan desde el microcontrolador (P24 y P25).

Las salidas del demultiplexer, se conectan cada una a través de resistencias de limitación de corriente (R93 a R96 de igual valor) a las bases de los transistores PNP (Q15 a Q18 2N3906) que funcionan en corte o saturación según se ponga un 1L o un 0L en la base del transistor PNP, ya que están funcionando en saturación, en estas condiciones la corriente que consume el dígito es proporcionada directamente por la fuente de alimentación y desde el circuito decodificador.

Como ya se indicó, se debe limitar la corriente con R93 a R96 hasta un rango permisible como para que el decodificador 74LS138 opere adecuadamente, ya que es el que recibe una corriente proveniente de la base del transistor, cuando este se encuentra saturado. Así entonces:

$$R93, \dots, R96 = (V_{cc} - V_{besat}) / I_{max}$$

$$R93, \dots, R96 = (5 - 0.7) \text{ Volt.} / 6\text{mA}$$

$$\text{Se toma } R93, \dots, R96 = 820\Omega$$

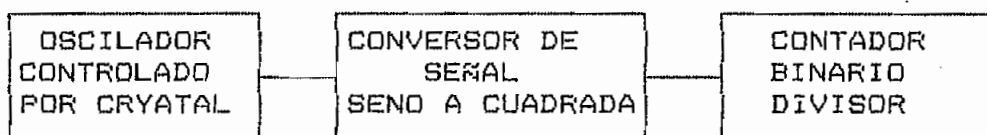
Los datos del fabricante necesarios para los circuitos integrados, displays y transistores empleados en esta etapa se pueden encontrar en los anexos.

3.8 GENERADOR DE SEÑALES DE RELOJ.

Para obtener una señal de reloj que permita manejar los contadores, de tal forma, que el valor de conteo pueda al menos barrer mil pulsos en un semi-período de la señal de referencia, se implementa un circuito que permite escoger una señal de reloj que se ajuste con esos parámetros.

La estructura de esta etapa se muestra en la figura 3.9

FIGURA 3.9



GENERACION DE LA SEÑAL DE RELOJ.

Un oscilador controlado por "crystal" se implementa utilizando un C.I. 74LS321, para lo cual, se utiliza un crystal de 4 MHz. de frecuencia fundamental; y una inductancia de 10uH como lo sugiere el fabricante.¹⁹

¹⁹ TTL. DATA BOOK Vol 2.

La conversión de la señal sinusoidal a una señal cuadrada se lo hace a través de un C.I. 74LS14, que es un circuito Schmitt trigger. Esta señal a su vez es una señal de reloj para un contador binario, formado por el C.I. 74LS393, de cuyas salidas se obtiene la señal de reloj de los contadores así, como submúltiplos de la frecuencia de 4 MHz.

Para este trabajo, se selecciona la señal de reloj cuya frecuencia es de 2 MHz. Con lo que se puede asociar una cuenta BCD de hasta 2850, para los valores de desfase ocurridos en el proceso de reflexión.

La conexión detallada de esta etapa se presenta en la figura 3.10

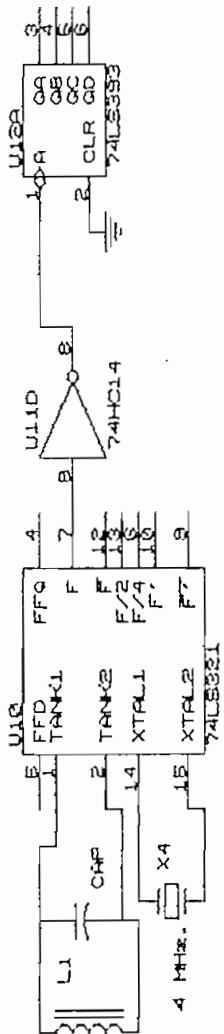
3.9 CONTROLES DE OPERACION DE EQUIPO.

Para la operación del equipo, el usuario dispone de un switch de alimentación y de tres pulsantes de operación, los mismos que se detallan a continuación:

- Un pulsante para realizar el "RESET" del equipo.
- Un pulsante para realizar la medición.
- Un pulsante para CALIBRACION/PRESENTACION de datos.
- Y un switch de encendido y apagado del equipo.

El encendido y apagado del equipo se lo realiza por medio de un interruptor, que alimenta todas las tarjetas que constituyen el equipo.

Las peticiones de "RESET", medida y calibración



GENERADOR DE SEÑALES DE RELOJ

ESCLELA POLITECNICA NACIONAL	
Title: GENERADOR DE SEÑALES DE RELOJ	
Size: A	Document Number: FIGURA 3.10
Date: January 31, 1981	Sheet: 1 of 1

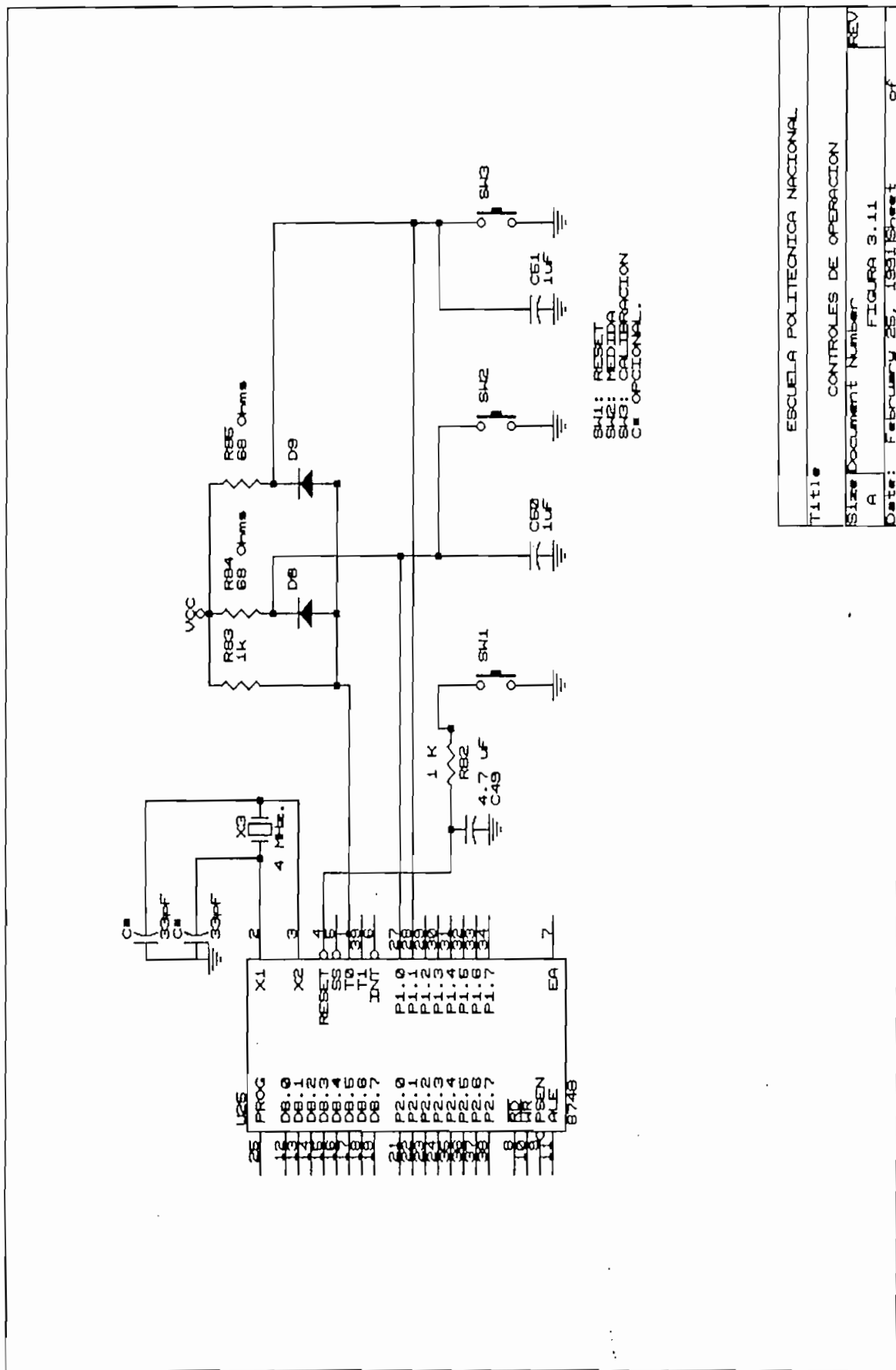
realizadas a través de los pulsantes, se consideran detectando el estado de los pines P4, P27 y P28 del microcontrolador, de los cuales, P27 y P28 se encuentran enclavados con el pin 1, que corresponde al TEST T0 del microcontrolador.

Así, el programa principal estará permanentemente chequeando el estado del pin TEST T0 que tendrá un nivel de OL, el momento en que se deba atender cualquier petición.

El circuito implementado para cumplir con esta tarea se muestra en la figura 3.11

La resistencia R82 (1K Ω) y el condensador C49 (4.7 μ F) permiten generar un pulso suficiente en estado bajo, como para que se lleve a cabo la operación de "RESET" del microcontrolador. Los valores de tales elementos se determinaron experimentalmente de manera que se tenga una respuesta inmediata de la operación de reset.

Las resistencias R83, R84 y R85, los condensadores C50 y C51 así como los diodos D9 y D10 sirven para conformar los circuitos de switch de los pulsantes de petición, y se ha determinado sus valores con el fin de eliminar los rebotes y responder rápidamente al cambio de nivel de voltaje en los pines P27 y P28 del microcontrolador, cuando se ha hecho una petición de medida o calibración.



ESCUELA POLITECNICA NACIONAL	
Title	CONTROLES DE OPERACION
Size Document Number	A
REV	FIGURA 3.11
Date: February 25, 1991	Sheet of

3.10 DESCRIPCION DEL PROGRAMA IMPLEMENTADO.

El programa principal esta concebido para presentar el dato de distancia, y para atender las peticiones hechas a través de los pulsantes.

De esta manera, el programa está continuamente presentando el dato, y a la vez chequeando el estado de los pulsantes.

La operación de los pulsantes le indicarán al microcontrolador realizar la tarea de medición si P10=OL o la calibración si P11=OL.

En el inicio de la etapa de medición, se debe primero realizar la rutina de calibración, para luego proseguir con el proceso de medición de distancia, caso contrario el dato presentado en el display es 8888.

En el momento que se realiza la petición de calibración el programa llama a la subrutina VERM, la misma que será la encargada de tomar los rangos respectivos dentro de los cuales varía el desfase de las señales y siempre que se de la orden para esto.

Una vez realizada la calibración, la acción del pulsante de medida llama a la subrutina MEDIR, la cual le indica al microcontrolador que debe comenzar a tomar datos permanentemente, de tal forma que, en el display aparece el valor de distancia para el cual, en ese instante se encuentra el objeto reflector.

Si la distancia a la cual se encuentra el objeto

produce un desfase de las señales incidente y reflejada, que está fuera de las consideradas en el proceso de calibración, se presenta en el display el dato 8888.

Un diagrama de flujo de este programa se muestra en la figura 3.12

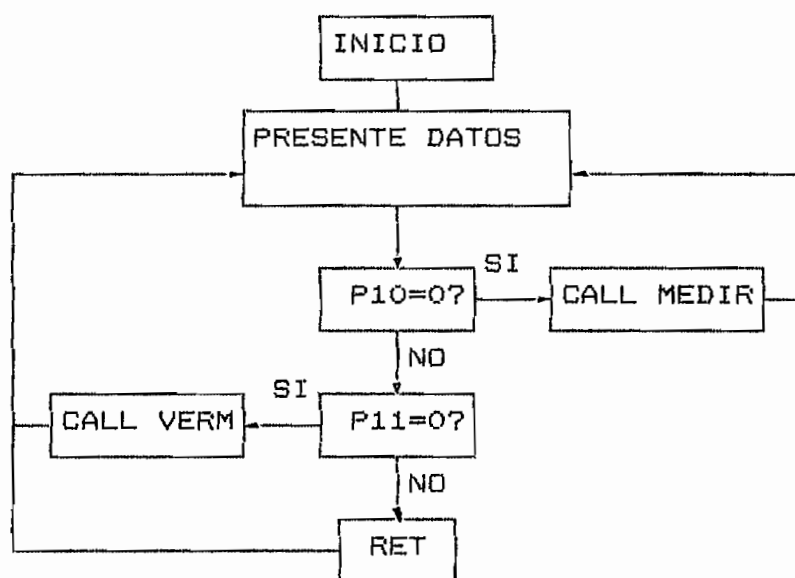


FIG.3.12. DIAGRAMA DE FLUJO DEL PROGRAMA PRINCIPAL.

A continuación se detallan las subrutinas principales empleadas en el programa principal.

SUBROUTINA MEDIR.

Esta subrutina es la encargada de tomar un dato justamente el instante en que es requerida. El dato tomado es almacenado en la localidad 44 y 45 de la memoria de datos, y a la vez, es comparado con los rangos almacenados en el proceso de calibración, para luego ser presentado en el display.

Al inicio de esta subrutina el microcontrolador envía un pulso de reset, el cual da paso a que se genere en la unidad de control y tiempo la señal que habilita a los contadores, la misma que también en su flanco de bajada constituye la señal de interrupción dada al microcontrolador.

La rutina habilita al timer del microcontrolador como un contador de eventos, el mismo que dará al microcontrolador el aviso de pasar a la toma de datos, cuando este tenga un sobreflujo a causa de la llegada de la señal de interrupción.

Esta subrutina también estipula un tiempo de espera para la señal de interrupción proveniente de la tarjeta de control y tiempo, ya que experimentalmente se determina que a causa de posibles saturaciones que se producen en los circuitos R-C de los monoestables presentes en la unidad de control y tiempo, el pulso de interrupción no se presenta, lo cual da paso a que el microcontrolador se quede indefinidamente esperando el pulso.

Si la señal de interrupción no se presenta, se vuelve a enviar el pulso de RESET, luego de lo cual, si llega la señal de interrupción, se toma y presenta continuamente datos, si el pulsante de CALBRACION/PRESENTACION no ha sido presionado.

En esta rutina la acción, del pulsante de calibración es para detener la toma de datos y presentar el último dato considerado. Un diagrama de bloques de esta subrutina se muestra a continuación.

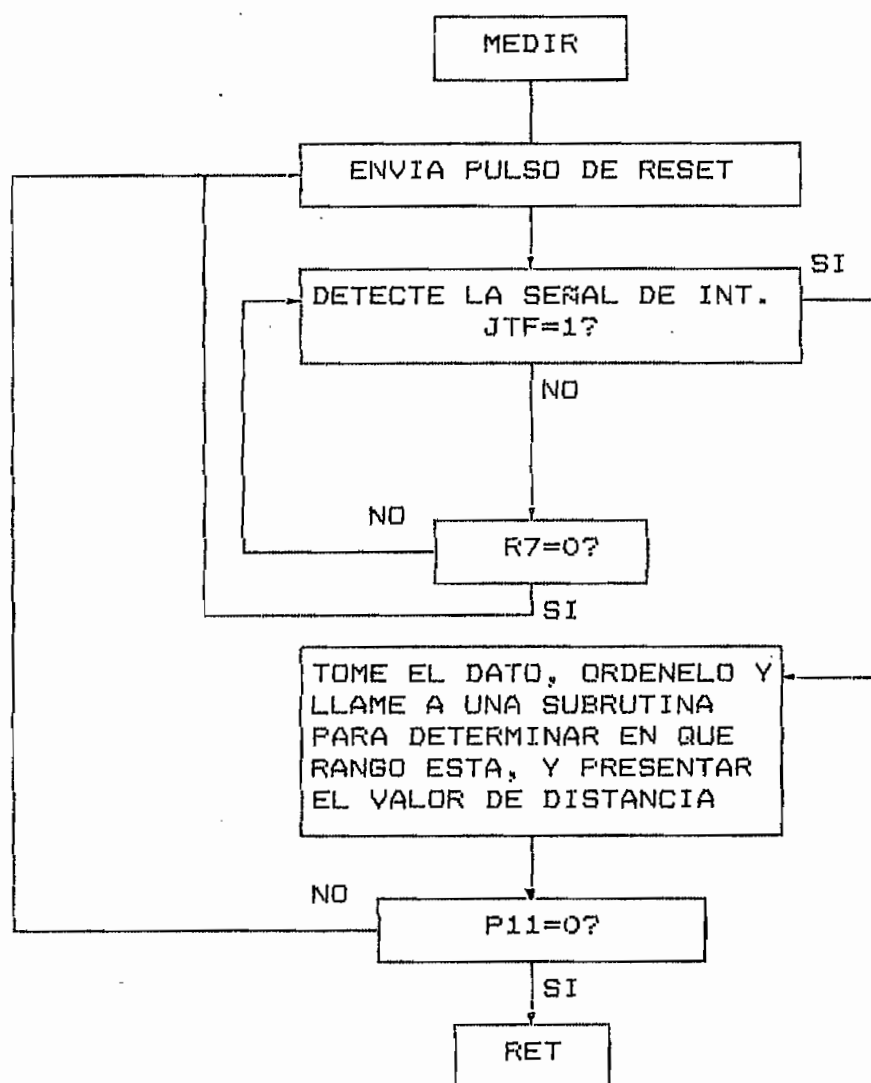


FIG 3.13. DIAGRAMA DE FLUJO DE LA SUBROUTINA MEDIR.

SUBROUTINA COMPAR.

Esta subrutina es concebida para ir comparando el dato tomado en la rutina "MEDIR", con cada uno de los rangos tomados en la rutina de calibración.

El resultado de esta comparación es indicar la locali-

dad en la cual se encuentra almacenado el rango en el que estará o no contenido el dato tomado.

Las localidades usadas para almacenar los rangos son desde la 24 hasta la 43 de la memoria RAM del microcontrolador. Cada uno de los rangos esta compuesto de un par de numeros de dos bytes almacenados en forma ascendente.

El procedimiento utilizado en esta subrutina utiliza los registros internos del microcontrolador R0 a R7 tanto para almacenar el dato considerado en la subrutina MEDIR, asi como para almacenar los límites superior e inferior del rango.

Una vez que se detecta que un dato cae dentro de un rango, se llama a la subrutina DESC1, la cual determinará el rango dentro del cual esta contenido el dato, y a su vez asociará el valor de distancia que se tiene para este dato.

Un diagrama de flujo de esta subrutina se muestra en la FIGURA 3.14

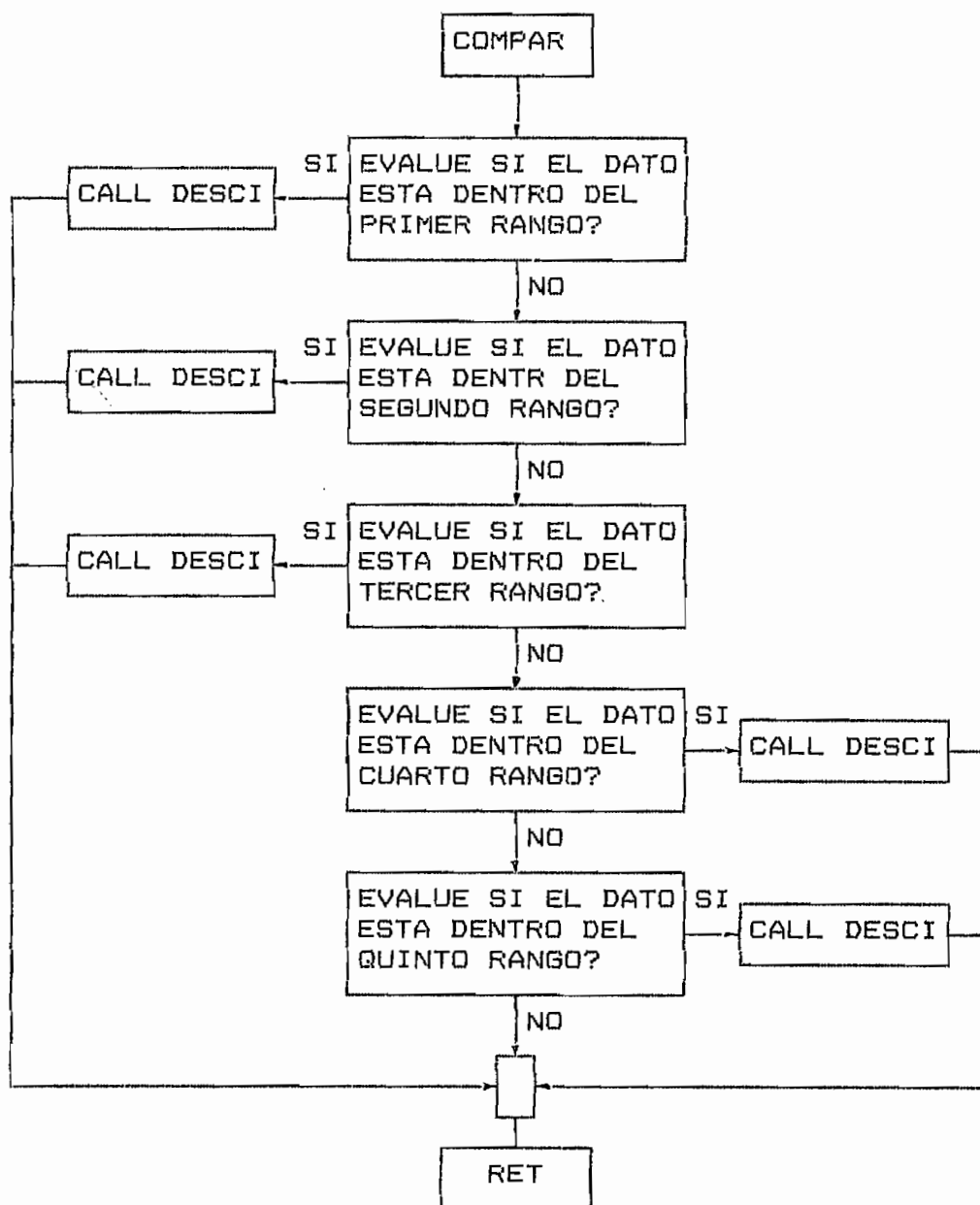


FIG 3.14. DIAGRAMA DE FLUJO DE LA SUBROUTINA COMPAR.

SUBROUTINA VERM.

Esta subrutina esta encargada de realizar la calibración inicial del equipo, la cual consiste en ir tomando valores del desfase que se tiene para una determinada

posición de la lámina.

La operación de esta subrutina se debe hacer cada vez que se usa el equipo.

Así entonces, inicialmente debe presionarse el pulsante de CALIBRACION\PRESENTACION, con lo cual la rutina empezará mostrando el número de rango a tomarse, el mismo que será considerado luego de que se presione nuevamente el pulsante de calibración, a partir de lo cual se debe esperar 8 segundos hasta que se tomen los datos y muestre en el display el próximo rango a considerarse. Este procedimiento se sigue a lo largo de los cinco rangos a considerarse.

Esta rutina utiliza la subrutina CALIB para presentar el número de rango a tomar y detectar la orden de considerar los datos. Además utiliza la subrutina RETARD, para dar un margen de tiempo entre el momento que se presiona el pulsante y el momento en que se deja de pulsar. Finalmente utiliza la subrutina DATOO, para ordenar los 10 datos considerados y almacenar los valores máximo y mínimo.

Un diagrama de flujo de esta subrutina se muestra en la FIGURA 3.15

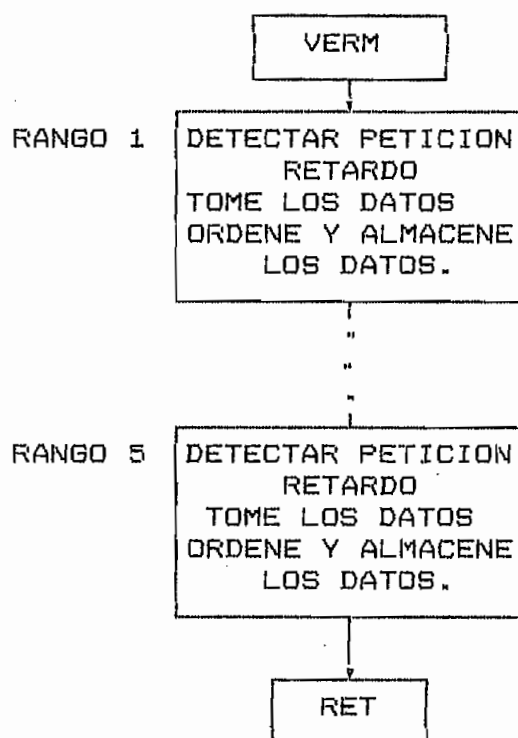


FIG 3.15. DIAGRAMA DE FLUJO DE LA SUBRUTINA VERM.

SUBRUTINA DESC1

Esta subrutina se emplea para determinar el rango dentro del cual esta contenido el dato tomado en la rutina de medición.

Si este dato no está contenido en alguno de estos rangos, se presentará en el display el valor 8888.

En el caso de que un dato esté contenido en uno de los rangos, se procede a presentar el valor de distancia asignado a ese rango.

Un diagrama de flujo de esta subrutina se muestra en la FIGURA 3.16.

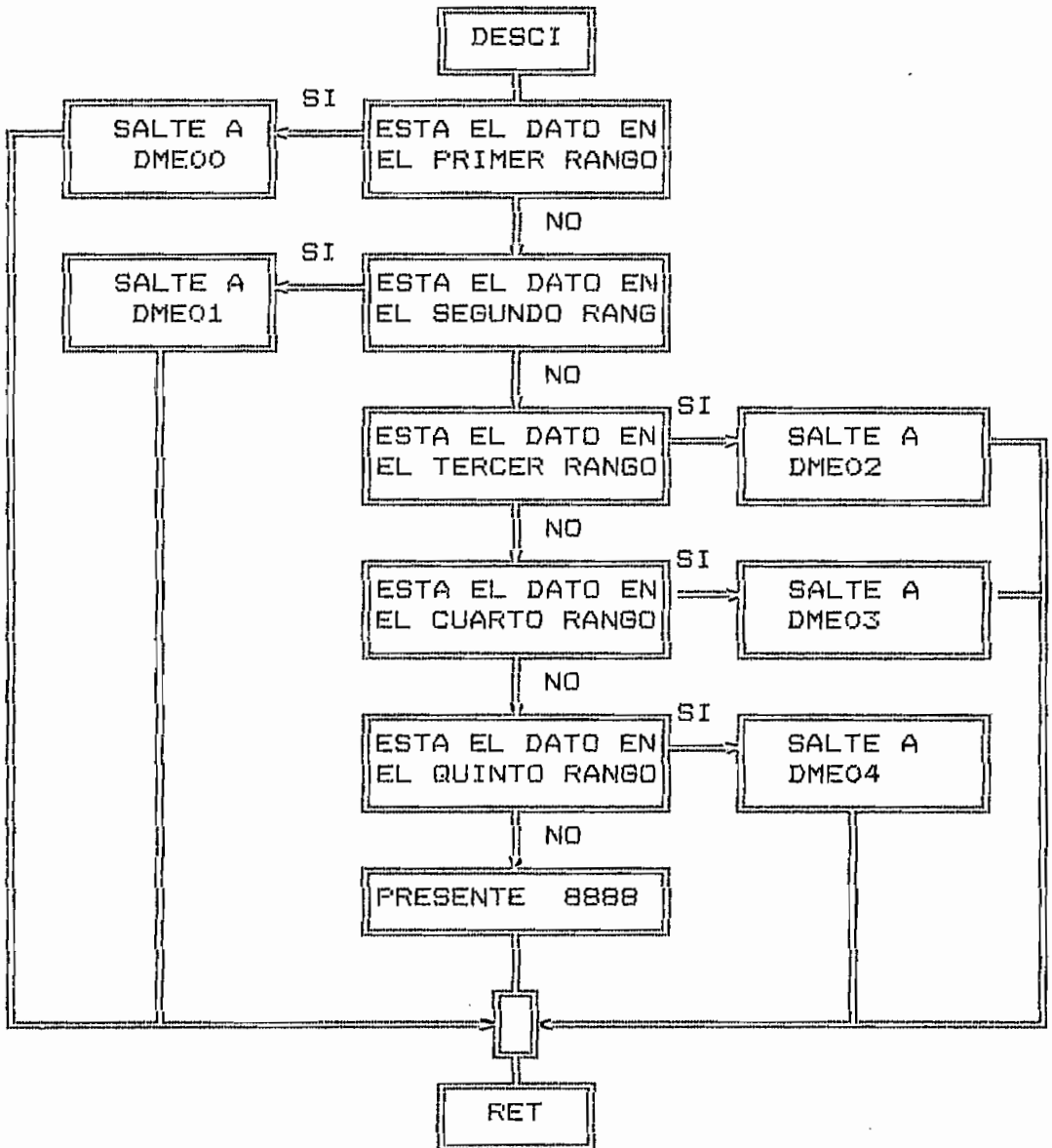


FIG 3.16. DIAGRAMA DE FLUJO DE LA SUBROUTINA DESC1.

SUBROUTINA DATOO

Esta subrutina es implementada para llevar a cabo la toma de 10 datos del valor de desfase correspondiente a una posición determinada de la lámina.

Para el efecto, se envía un pulso de RESET, que resetea los contadores e inicializa seguidamente la toma de datos, siempre que se detecte la señal de interrupción (INT).

La señal de interrupción provoca un "overflow" en el timer del microcontrolador, luego de lo cual, se pasa a la toma de datos.

También aquí es necesario dar un tiempo de espera para la señal de interrupción, tal como se indicó en la subrutina MEDIR.

Una vez llegada la señal de interrupción, se procede a la toma de datos desde los buffers, para lo cual, es necesario ir habilitando secuencialmente cada uno de ellos. Finalmente, se ordenan y se almacenan en la memoria de datos.

Un diagrama de flujo de esta subrutina se presenta en la FIGURA 3.17.

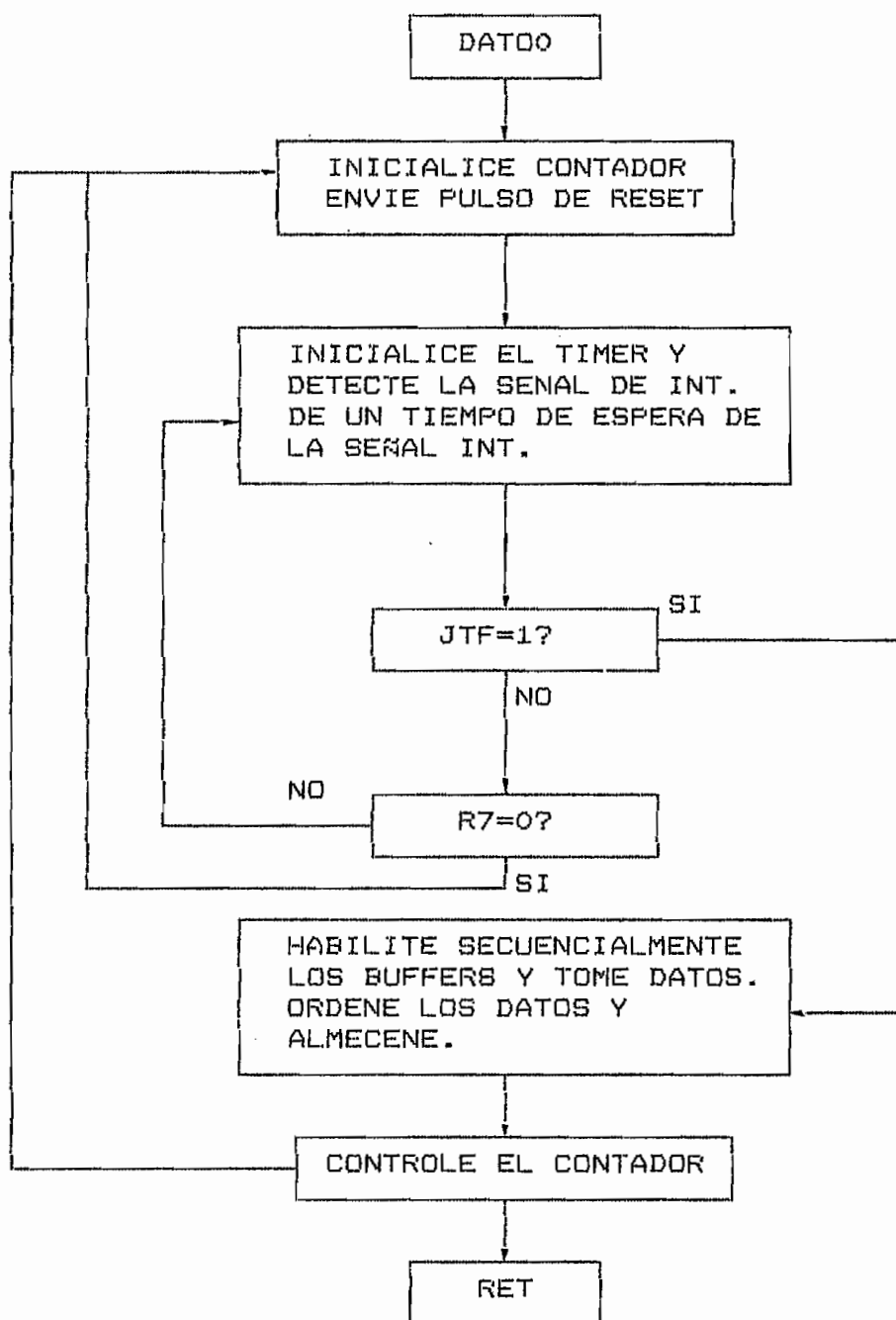


FIG 3.17. DIAGRAMA DE FLUJO DE LA SUBROUTINA DATOO.

SUBROUTINA TIME.

Esta subrutina, sirve para presentar un dígito del valor BCD del dato de distancia.

El valor del dígito se tiene en los 4 bits menos significativos del puerto P2, mientras que, el dato de selección del display de presentación, está dado en los bits P24 y P25.

El tiempo de presentación del dígito es de 720 us, siempre que el reloj del microcontrolador sea de 4MHz.

Un diagrama de flujo de esta subrutina se presenta a continuación.

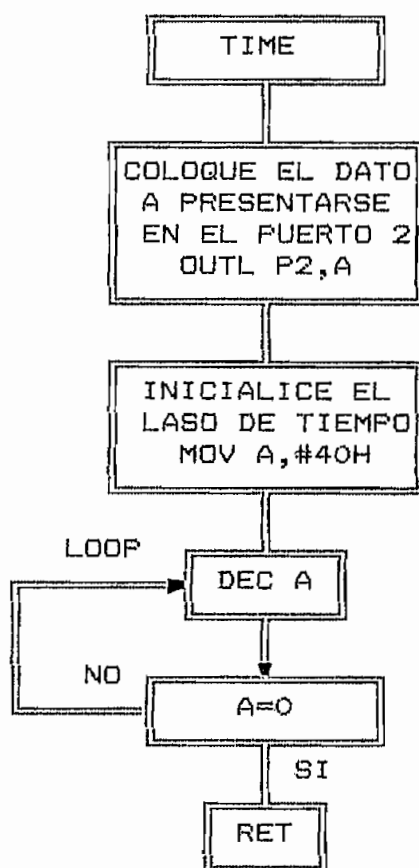


FIG 3.18. DIAGRAMA DE FLUJO SUBROUTINA TIME.

SUBROUTINA DISPL.

Esta subrutina sirve para presentar el valor de distancia, el mismo que estará dado en centímetros, aún

cuando se podría configurar la rutina para que se de dicho valor en otras unidades.

El valor de distancia estará almacenado en las localidades 20, 21, 22 y 23 de la memoria de datos.

Esta rutina utiliza la subrutina TIME para la presentación.

Un diagrama de flujo de la subrutina se presenta a continuación.

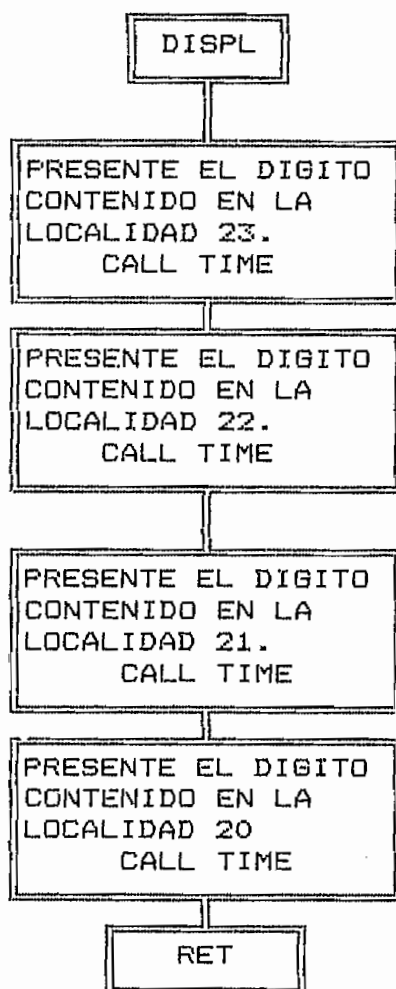


FIG 3.19. DIAGRAMA DE FLUJO DE LA SUBRUTINA DISPL.

SUBROUTINA CALIB.

Esta rutina sirve para detectar el inicio de la toma de datos correspondientes a un rango, para el cual se fija la distancia.

La rutina detecta si se ha presionado el pulsante de CALIBRACION/PRESENTACION y en el caso de ser así, esta retorna el control a la rutina de toma de datos.

Un diagrama de flujo de esta subrutina se muestra a continuación.



FIG 3.20. DIAGRAMA DE FLUJO DE LA SUBROUTINA CALIB.

C A P I T U L O I V

4.1.-INTRODUCCION.

4.2.-TARJETA DE MODULACION.

4.3.-TARJETA DE RECEPCION.

4.4.-TARJETA DE PROCESAMIENTO DE SEÑAL.

4.5.-TARJETA DE LA FUENTE DE PODER.

4.6.-RESULTADOS EXPERIMENTALES.

4.7.-CONCLUSIONES.

IMPLEMENTACION DEL SISTEMA Y CONSTRUCCION DEL EQUIPO

4.1 INTRODUCCION

Diseñados todos los circuitos que constituyen tanto la unidad análoga, así como los que constituyen la unidad de medición y el programa para la medición y presentación de datos, se procede a la implementación del equipo, exigiendo obtener un equipo capaz de acoplarse fácilmente a las unidades externas que forman el sistema total.

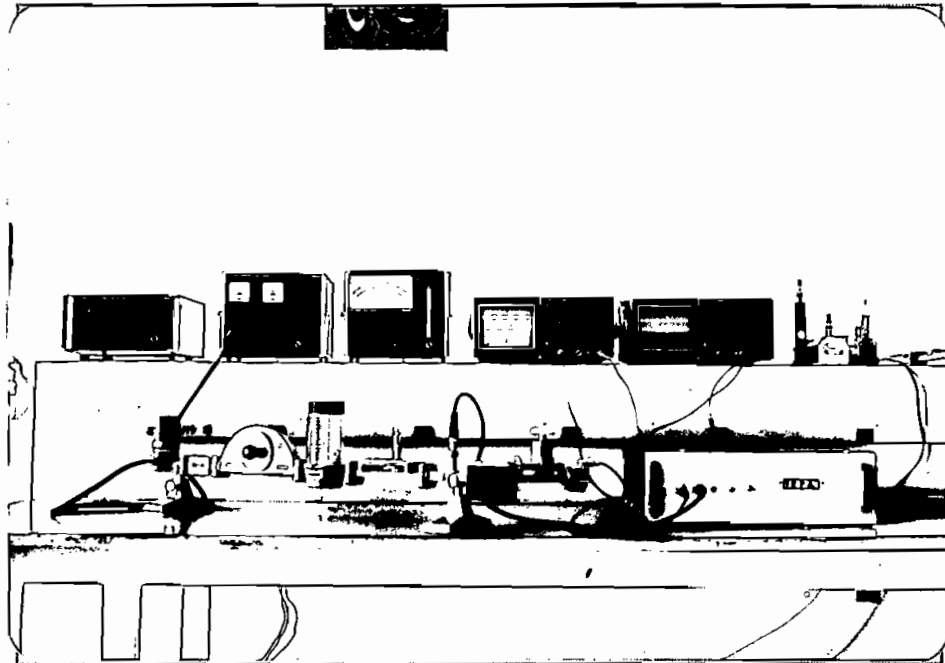
El sistema consta del equipo diseñado y de los elementos de generación y control de la señal de microondas

La configuración física del sistema implementado se muestra en la fotografía 4.1 en donde se puede observar el generador de microondas constituido por el KLYSTRON, el atenuador de microondas, el medidor de frecuencia de la señal de microonda, el tornillo sintonizador/desfasador, la guía que contiene en su interior una rampa que soporta un diodo Pin, el Circulador, la Antena Horn, otro tornillo sintonizante, el Diodo detector y el equipo diseñado.

El equipo diseñado consta a su vez de un switch para el encendido y apagado, una salida coaxial para la señal que maneja al diodo PIN, la misma que a su vez modulará la señal de microonda y de una entrada coaxial para inyectar la señal de reflexión detectada a través de un diodo detector de crystal. También se dispone de pulsantes para las peticiones de operación expuestas y de un display de cuatro dígitos para la presentación de datos.

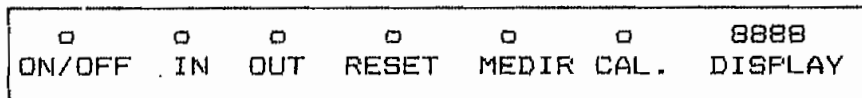
La configuración física del equipo se muestra en la figura 4.1.

FOTOGRAFIA 4.1



SISTEMA IMPLEMENTADO PARA LA MEDICION DE DISTANCIA .

FIGURA 4.1



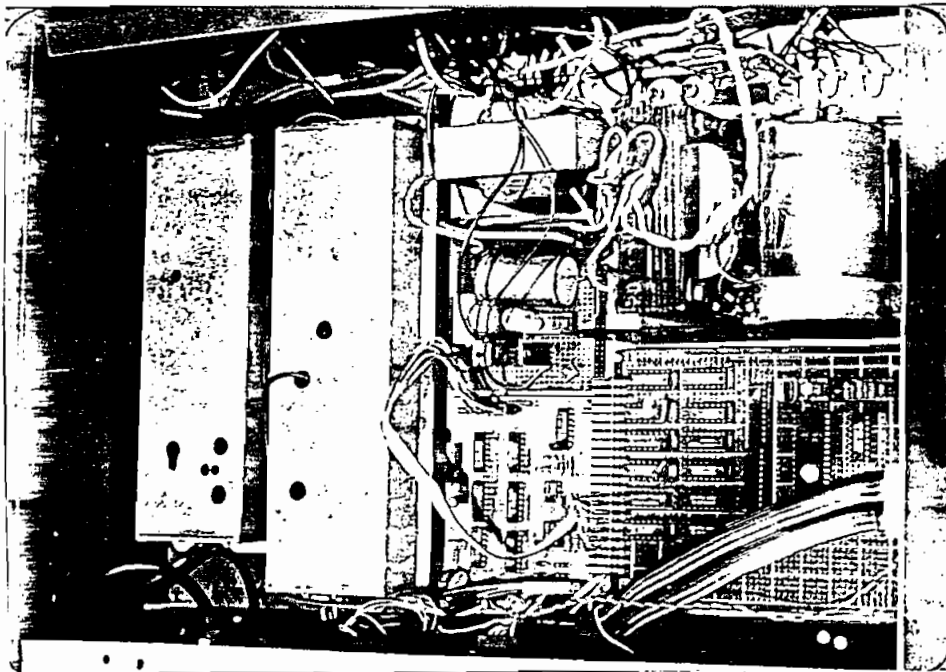
VISTA FRONTAL DEL EQUIPO DISEÑADO

A su vez los circuitos que constituyen el equipo diseñado están implementados en cinco tarjetas las mismas que se especifican a continuación:

- Tarjeta de la unidad análoga
- Tarjeta de la unidad de conversión y control de señal.
- Tarjeta para el procesamiento de señal.
- Tarjeta para la visualización de datos.
- Tarjeta de la fuente de alimentación.

Todas estas tarjetas se encuentran montadas en una caja metálica de 39 cm. de ancho por 12 cm. de alto y 30 cm. de fondo. La distribución de cada una de estas tarjetas se puede observar en la fotografía 4.2.

FOTOGRAFIA 4.2



TARJETAS QUE CONSTITUYEN EL EQUIPO

4.2 TARJETA DE MODULACION.

Antes se debe notar que para la implementación de cada una de las etapas que forman la unidad análoga es necesario

realizar ciertas consideraciones de montaje, disposición, blindaje y desacoplamiento de cada una de las etapas que constituyen los circuitos de recepción y modulación.

El circuito modulador como se mencionó en el capítulo II está constituido por:

- Un circuito oscilador
- Un circuito-driver que maneja el diodo pin.

Cada una de estas etapas es montada en cascada con lo cual se obtiene una mayor distancia física entre la entrada y la salida lográndose así evitar acoplamientos debido a las capacitancias parásitas lo cual reduce la posibilidad de inestabilidad de los circuitos.

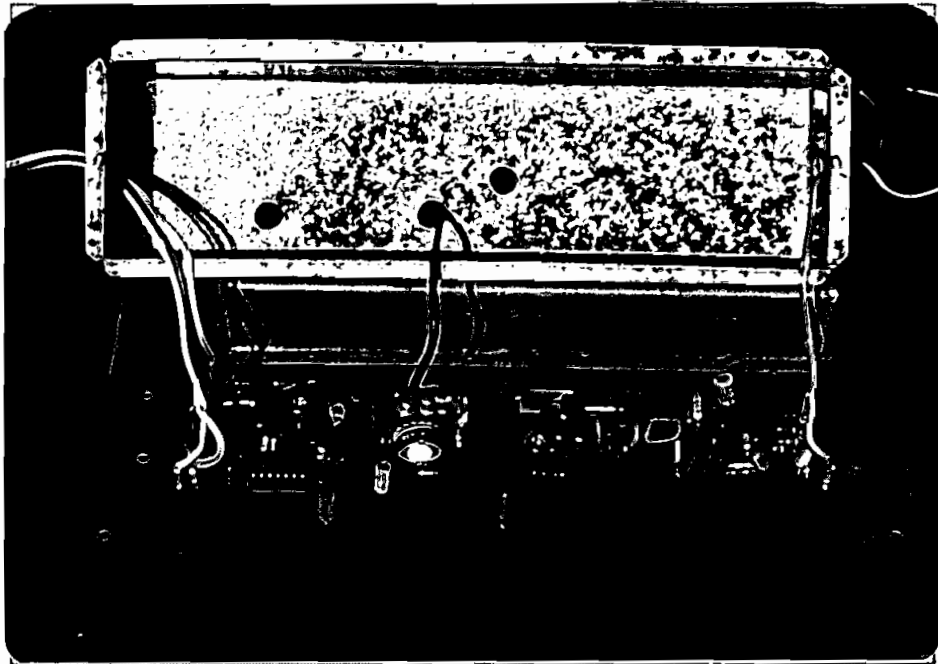
También es necesario realizar un blindaje mediante tapas de latón las mismas que ayudan a eliminar la interferencia que se puede producir a través de cada uno de los circuitos como también el propio ruido generado por toda esta unidad.

Además, puesto que es necesario obtener del primer oscilador una muestra de señal para obtener la señal de referencia, es necesario realizar esta toma por medio de cable coaxial y no a través del circuito impreso ya que así se disminuye la inducción de señal en las etapas colindantes al segundo mezclador.

La configuración física de esta etapa se puede observar

en la fotografía 4.3.

FOTOGRAFIA 4.3



ETAPA DE MODULACION

4.3 TARJETA DE RECEPCION.

Esta tarjeta constituye una parte de la unidad análoga y su circuito impreso se lo realiza considerando los efectos que podrían ocasionar las inducciones de señal a través de las líneas de fuente y las capacitancias parásitas formadas entre elementos o entre terminales de estos.

En el diseño de circuitos RF e IF es necesario que cada una de las etapas del receptor esté suficientemente desacoplada para evitar inestabilidad en las etapas debido a realimentaciones producidas a través de las líneas de fuente.

De allí que, los equipos que operan a alta frecuencia

presentan una mayor dificultad en su construcción puesto que, estos son más sensibles a presentar oscilación que los que operan a frecuencias bajas. Es por esto que para la implementación del circuito impreso, así como para el montaje de los elementos se consideran las recomendaciones sugeridas para la implementación de equipos de alta frecuencia.

Las recomendaciones tomadas en cuenta en la implementación de esta etapa son:

-Un desacoplamiento de las líneas de alimentación de cada una de las etapas que conforman el circuito de amplificación.

-La formación en cascada de cada una de las etapas.

-El blindaje general de la etapa, para evitar posibles inducciones desde o hacia los otros circuitos que conforman la unidad análoga.

Esta sección de circuitos está constituida por las siguientes etapas:

-Primera etapa preamplificadora.

-Segunda etapa de amplificación.

-Tercera etapa amplificadora. (Amplificador de video)

-Circuito mezclador.

-Filtro pasabanda.

La configuración física del circuito se muestra en la fotografía 4.4

FOTOGRAFIA 4.4



ETAPA COMPLETA DE AMPLIFICACION, MEZCLA Y FILTRADO

4.4 TARJETA DE PROCESAMIENTO DE SEÑAL.

Esta tarjeta en realidad, esta constituida por tres tarjetas las mismas que constituyen las siguientes unidades:

- Tarjeta de la unidad de control y tiempo.
- Tarjeta de procesamiento de datos.
- Tarjeta de presentación de datos.

Cada una de estas tarjetas para su interconexión posee un interfaz formado por un conector tipo dip.

La tarjeta que constituye la unidad de control y tiempo (FOTOGRAFIA 4.5) está formada por un circuito impreso el mismo que está detallado en los apéndices.

Las entradas a la tarjeta de control y tiempo están constituidas de las señales provenientes de la unidad análoga

y de la señal de "RESET" enviada por el microcontrolador.

En cambio, las salidas están formadas por las señales que habilitan los contadores y de la señal de interrupción al microcontrolador.

A su vez, la tarjeta de procesamiento de datos (fotografía 4.6) está constituida por una tarjeta en la cual la conexión de los elementos ha sido realizada utilizando conexión wire wrap. En ella se encuentra la unidad inteligente del equipo la cual está encargada de realizar el procesamiento de datos así como también es la encargada de realizar la presentación de datos y de atender los requerimientos pedidos a través de los pulsantes.

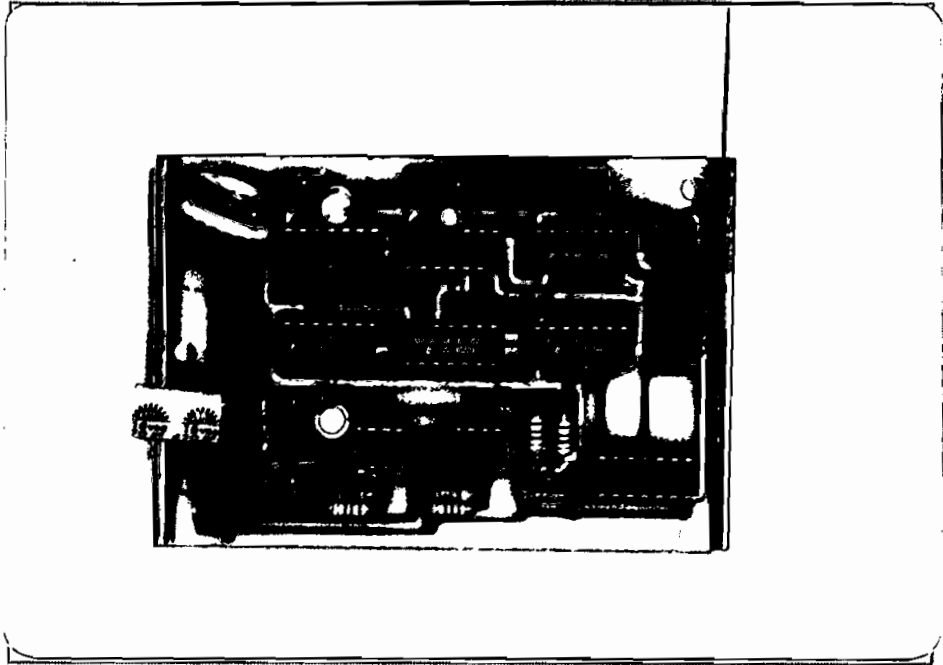
Las señales que entran a la tarjeta de procesamiento de datos están formadas por las señales de petición externa (formadas por la petición de medición, reset y calibración, y también de la señal de interrupción y habilitación de los contadores) mientras que, las señales que salen de esta tarjeta van hacia la tarjeta de presentación de datos.

La tarjeta de presentación de datos (fotografía 4.7) está constituida así mismo de un circuito impreso en el cual se hallan montados los circuitos-drivers para manejar los displays. Las señales que entran a ésta son las salidas del decodificador de dígitos 74LS138 y las señales equivalentes en 7 SEO de las palabras BCD obtenidas desde el decoder 74LS47.

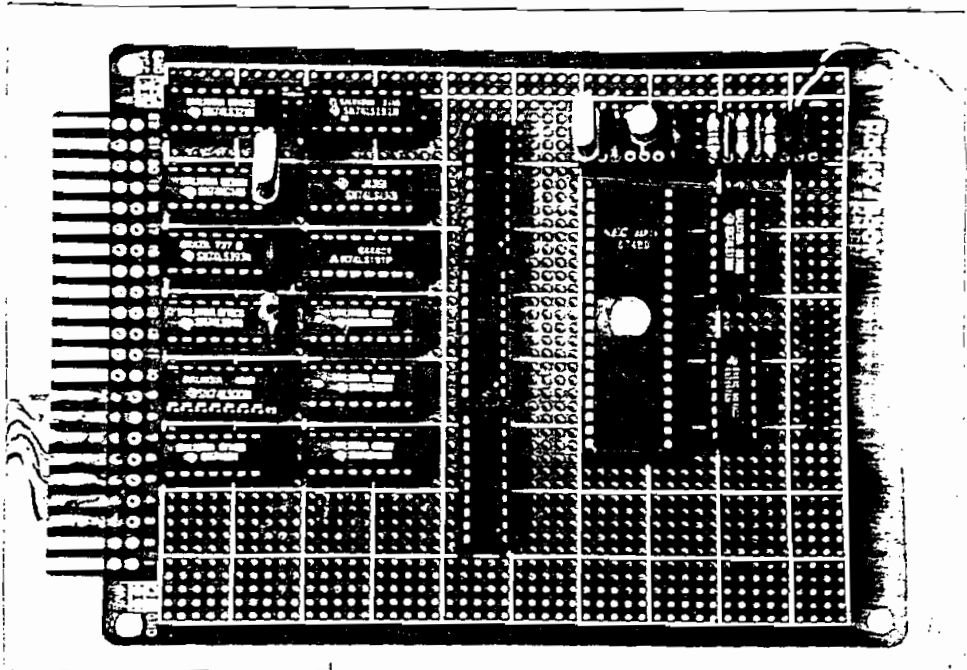
Estas señales llegan a la tarjeta a través de un cable

plano del mismo que también se derivan las líneas para la entrada de las señales desde los pulsantes.

FOTOGRAFIA 4.5

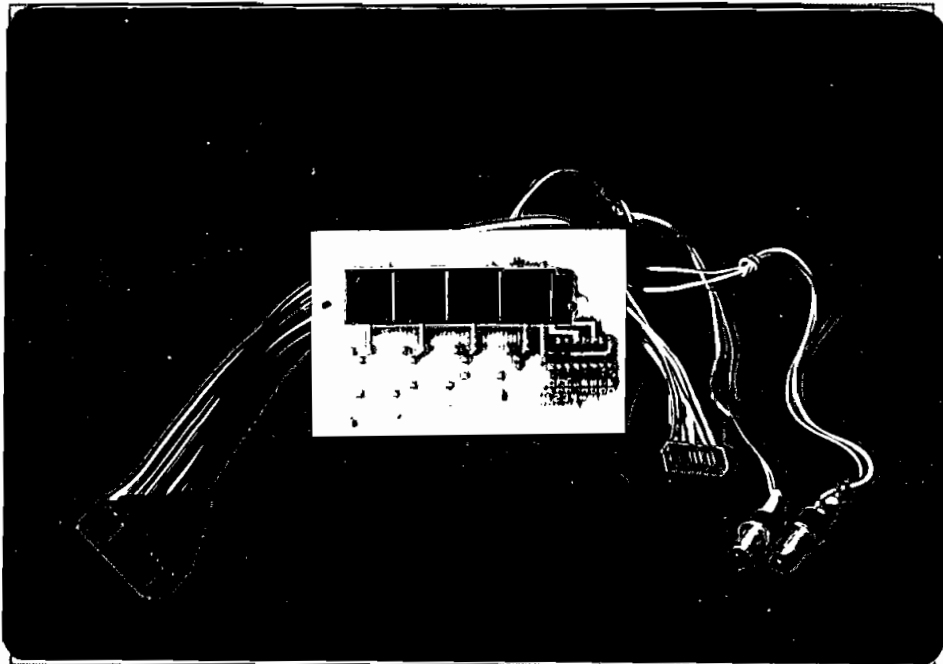


TARJETA DE LA UNIDAD DE CONTROL Y TIEMPO
FOTOGRAFIA 4.6



TARJETA DE LA UNIDAD DE PROCESAMIENTO DE DATOS.

FOTOGRAFIA 4.7



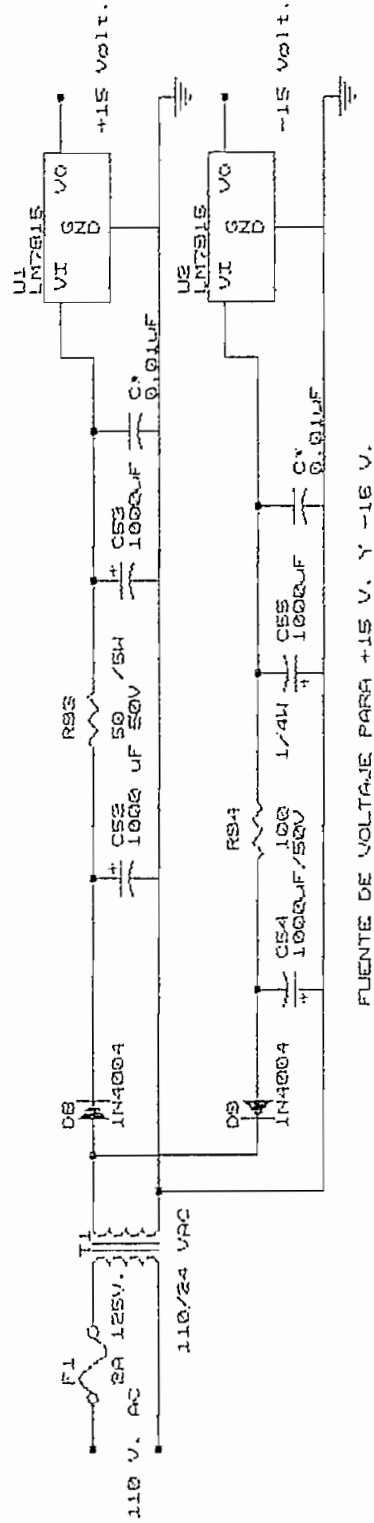
TARJETA DE PRESENTACION DE DATOS

4.5 TARJETA DE LA FUENTE DE PODER

El circuito de alimentación del equipo como se mencionó en el capítulo I está constituido por dos fuentes de energía: una que suministra niveles de $+15\text{ V.}$ y -15 V. y otra que suministra 5 V.

La fuente que suministra 5 V. es una fuente disponible en el laboratorio y que se incorpora al equipo, mientras que la fuente que suministra los niveles de $+15\text{ V.}$ y -15 V. se obtiene desde una tarjeta implementada para el efecto.

El circuito implementado se describe en la figura 4.2 y está constituido por un transformador de $115\text{ V.} / 24\text{ VAC}$ del mismo que se obtiene mediante rectificación de media onda



ESOLELA POLITECNICA NACIONAL	
Title	FUENTE DE VOLTAJE PARA +15 V. Y -15 V.
Size Document	Number
A	FIGURA 4.2
Date	February 26, 1991 Sheet 2 of 2

niveles de $+24 V_p$ y $-24 V_p$, los mismos que son filtrados y regulados a través de las redes indicadas en esta figura.

La red PI formada por C52, R93 y C53, filtra el voltaje de media onda positivo y sus valores se determinan experimentalmente de forma que el rizado en la carga, la constante de tiempo de carga del condensador C52 y el voltaje de entrada al regulador estén dentro de los parámetros recomendados para evitar que este rizado no influya sobre las señales de recepción. Así, R93 limita los picos de corriente en C52 a la vez que también disminuye el voltaje de entrada al regulador, en tanto que C53 disminuirá la cantidad de rizado que entra al regulador.

Una operación similar realizan C54, R94 y C55 en la obtención del nivel de $-15 V$.

Los reguladores utilizados son el $\mu A7815$ que es un regulador de voltaje para salidas fijas de $+15 V$, y el $\mu A7915$ que da salidas fijas de $-15 V$, para mayor información refiérase a los anexos.

4.6 RESULTADOS EXPERIMENTALES.

Una vez diseñado el equipo se procede a la implementación del sistema con el fin de seleccionar la frecuencia de microonda para la cual el proceso de modulación y recepción sean los óptimos.

Para esto es necesario muestrear las frecuencia de

referencia y la recibida por efecto de reflexión y la señal que determina el desfase.

Con la señal que determina el desfase, se puede ir observando, la variaciones que sufre ésta, como resultado de una atenuación en la potencia de microonda, modo de oscilación y por el desfase introducido por el tornillo de sintonización.

Además, se puede establecer, que la variación en el modo de oscilación del Klystron también afecta a la señal que determina el desfasamiento.

De esta manera, se determina que la frecuencia de operación óptima es la de 9.68 GHz y para un voltaje de reflector de 98-100 Volt.

Sin embargo la realización de medidas para determinar la distancia establecen que, en el espacio se presenta una forma de onda estacionaria; por tanto, la determinación de un desfase en una distancia determinada resulta ser el mismo, 45 cm. después de que se tomó la primera medida.

Debemos anotar que el objetivo de medir la distancia se puede llevar a cabo a lo largo de los 2 metros si consideramos el antecedente de que existe igualdad en la determinación de esa distancia respecto a otro punto equidistante 45 cm.

Es necesario tener en cuenta que la influencia del tornillo sintonizador y del nivel de potencia pueden por sí solos determinar el valor inicial de desfase entre la señal de referencia y la señal obtenida de la reflexión.

Por lo que, se puede discriminar una mayor distancia si el desfase inicial es pequeño, o una mayor distancia si el desfase inicial es grande.

Sin embargo, la realización de lecturas del desfase que se debe tener para una misma posición de la lámina, resultan ser distintas de una sesión de trabajo a otra, por lo que es necesario la asistencia de un proceso de calibración inicial antes de operar el equipo. Por lo tanto, para la obtención de lecturas confiables se deben realizar los ajustes anotados en el manual de operación del sistema.

La variación de los valores de desfase para una misma posición de la lámina, puede atribuirse como mencionamos antes a ligeros cambios en la frecuencia de la señal de microondas, así como al nivel de potencia que entrega durante el tiempo en que dura la toma de datos. Experimentalmente se comprueba, mediante el muestreo de la señal de desfase, que para una misma posición de la lámina, la variación del nivel de potencia o de la frecuencia produce lecturas del desfase diferentes.

A continuación se lista una serie de rangos de lecturas del desfase obtenido en distintas sesiones de experimentación para las mismas condiciones de calibración y para una misma posición de la lámina. Así mismo se especifica el rango de variación total para cada una de las distancias.

TABLA 4.1 VALORES DECIMALES DE DESFASE.

d (cm)	LECTURAS DE DESFASE	RANGO DE VARIACION.	d (cm)	LECTURAS DE DESFASE	RANGO DE VARIACION
0 cm.	1833-1869 1830-1884 1858-1922 1851-1875 1759-1872 1852-1870 1843-1847 1837-1837 1838-1868 1808-1847	1808-1922	30cm.	1611-1635 1587-1634 1597-1616 1602-1604 1610-1615 1616-1617 1593-1603 1581-1614 1586-1604 1591-1607	1581-1635
10cm.	1767-1798 1764-1796 1764-1789 1785-1795 1777-1782 1773-1779 1769-1787 1771-1773 1765-1774 1768-1769	1764-1798	40cm.	1570-1591 1557-1587 1563-1576 1577-1579 1573-1599 1561-1587 1568-1569 1560-1576 1563-1567 1568-1581	1557-1599
20cm.	1671-1697 1670-1695 1666-1691 1675-1687 1677-1683 1673-1680 1670-1672 1670-1674 1672-1674 1667-1673	1666-1697	50cm.	1612-1618 1610-1612 1593-1605 1597-1599 1599-1600 1592-1612 1592-1618 1591-1615 1586-1613 1583-1588	1583-1618

A partir de los valores tabulados en la tabla 4.1 se puede observar que no es posible implementar un algoritmo que directamente evalúe el valor de desfase y asocie la distancia, ya que experimentalmente se determinó que los valores de distancia que se obtenían para distintas posiciones eran diferentes de una sesión de trabajo a otra. Esto más aún puede observarse en los valores obtenidos en la tabla 4.1

para distancias de 40 y 50 cm en los cuales los rangos se superponen.

De esta forma, el proceso de medición se lleva a cabo previa a una etapa de calibración. En la que para cada posición de la lámina se toma 10 lecturas de las cuales se toma su valor máximo y mínimo, las mismas que son almacenadas en la memoria de datos, para luego, en el proceso de medición ir comparando cada una de las lecturas que se toma en ese instante con cada rango establecido, y en el caso de caer dentro de uno de estos rangos, se asocia el valor de distancia preasignado.

Así entonces, para demostración práctica se procede a tomar lecturas de la distancia que se tiene en puntos escalonados cada 10 cm. a lo largo de una distancia máxima de 50cm. a partir del borde final de la antena Horn. Con lo cual se logra cumplir con las expectativas trazadas en un comienzo.

Finalmente debemos mencionar que en el inicio de la implementación de cada una de las tarjetas que operan a alta frecuencia, la indisponibilidad de equipo para generar señales con una frecuencia de 10 MHz, dio paso a que se haga uso de un equipo utilizado para la medición de Q, del mismo que desde su salida de monitoreo de frecuencia se obtenían señales con frecuencias en un rango de 100kHz a 30 MHz, que permitieron realizar todas las pruebas necesarias para la implementación de las etapas en alta frecuencia.

4.7 CONCLUSIONES.

El objetivo del sistema a implementarse así como del equipo diseñado, es el de aprovechar los elementos disponibles en el laboratorio para formar un sistema que permita visualizar las aplicaciones de las microondas, así como la función que desempeña cada uno de los componentes en el sistema.

Cada una de las expectativas trazadas en el diseño de este sistema, aparecen finalmente en la realización final, como una variable que modifica la operación del equipo, por lo que se puede decir que se ha cumplido con los objetivos trazados inicialmente.

El usuario tiene la posibilidad de familiarizarse en primera instancia con una serie de elementos usados para la generación y control de una señal de microondas, y como objetivo final visualiza el efecto causado por el proceso de reflexión de una señal modulada continuamente en un valor de distancia asociado a la posición del objeto reflector.

La implementación del control del equipo se la hizo en base a un microcontrolador, gracias a su amplia capacidad de control, el uso de un menor número de circuitos, y también a la posibilidad de corregir el programa que controla el proceso de medida, dando paso con esto a aumentar la confiabilidad del sistema o inclusive a modificar el objetivo para el cual se diseñó el equipo.

El hecho de trabajar en frecuencias altas, requiere de

especial cuidado por la forma en que varían las magnitudes de ganancia de las etapas, ya que la calibración de cada una de las etapas que operan a frecuencias altas pueden cambiar radicalmente la fase mantenida entre las señales a comparar o incluso provocar oscilaciones en las etapas.

Otro aspecto que debe notarse es el hecho de que el requerimiento inicial de realizar una modulación con pulsos rectangulares no fué posible conseguir por cuanto los circuitos implementados, así como los integrados disponibles en el mercado no permitían conseguir una señal pulsante con la relación de 10 MHz. Es necesario anotar que inclusive la utilización del C.I. 74HC14 no permitía cuadrar una señal sinusoidal de 10 MHz. Es por eso que cuando se trabaje en frecuencias moderadamente altas, se recomienda hacer uso de técnicas tal como la de "línea de retardo".

En cuanto a la implementación de las etapas de alta frecuencia, fue necesario la realización de una serie de pruebas en la confección del circuito impreso con el fin de evitar oscilaciones y eliminar ruidos. De allí que, comparando el ensamble del sistema en "protoboard" respecto del ensamble en circuito impreso, éste resulta ser óptimo.

Con respecto al nivel de ruido presentado por las etapas de recepción, es necesario anotar que se implementó cada una de las etapas de manera que las inducciones de señal entre cada una de ellas sea la mínima posible. Para esto fue necesario realizar un amplio camino de retorno a tierra en

cada sub etapa así como en la etapa en general. A más de esto, fue necesario realizar blindajes entre etapas pertenecientes a una misma fase así como entre etapas de alta y baja frecuencia.

Sin embargo, a pesar del trabajo anotado, no se pudo eliminar completamente el ruido presente en el receptor por lo que como se describió en el capítulo 1 Sec.1.8, el alcance del equipo se vio seriamente limitado.

Por otra parte, la falta de equipo de alta frecuencia en el laboratorio no permitió analizar y experimentar más detenidamente el origen del ruido presente en la etapa receptora; menos aún, tratar de determinar su figura de ruido.

A más de esto, se puede mencionar que si bien la sensibilidad del equipo se ve disminuida por la presencia del ruido, también la inestabilidad que se producía al aumentar la ganancia de las etapas del amplificador, limitaron la ganancia que éste debía tener y por consiguiente, el alcance.

Otro aspecto a tener en cuenta, es que si bien la precisión del equipo puede atribuirse al programa que controla el procesamiento de datos, sin embargo, ésta dependerá de aspectos que en determinado momento están fuera del alcance como lo son: el adecuado enfoque que se debe mantener entre la señal y el objeto reflector y la estabilidad de frecuencia de la fuente de microondas.

Además de las limitaciones a nivel electrónico que se

tengan, también aparecen aspectos de tipo mecánico que deben tomarse con mucha precaución, especialmente el momento en que se determina la posición relativa que mantendrá la lámina con el haz de microonda.

Es por eso, que a menudo los equipos de medición de distancias recurren al empleo de una etapa encargada de controlar las desviaciones angulares entre la posición fijada entre el objeto y el haz. De allí que, los sistemas que utilizan laser por ejemplo, que en la actualidad están siendo usados para la medición de distancias en robótica, emplean miras telescópicas para evitar errores en la medición.

Por último, un aspecto que se debe anotar, es que el equipo diseñado deja abierta la posibilidad de sentar las bases para el diseño de aplicaciones similares, que se pusieron de manifiesto a lo largo de la experimentación. Así, se puede intentar tratar de determinar el tipo de materiales reflectores, y determinar en cierta manera el grado de absorción y reflexión que poseen estos materiales. También, se podría intentar digitalizar la variación de la reactancia del tornillo sintonizante, del atenuador o inclusive determinar de cierta manera el nivel de potencia reflejado.

Todas estas posibles aplicaciones deberían realizarse tratando de asociar la variable prefijada, con el valor de lectura determinado por el desfase de las señales incidente y reflejada. Así por ejemplo, para una distancia fija desde la antena al objeto, se puede ir colocando láminas de distintos

materiales, con lo que la lectura asociada para este caso puede asociarse al tipo de material de la lámina, similar comportamiento se obtendrá si se coloca diferentes formas de objetos de un mismo material.

B I B L I O G R A F I A

- H.A.WATSSON. Microwaves Semiconductor Devices and their Applications. New York, Mc Graw-Hill 1969
- M.I.SKOLNIK. Introduction to Radar Systems. New York, Mc Graw-Hill 1962
- R.BOYLESTAD. Electronica Teoria de Circuitos. Prentice-Hall HISPANOAMERICANA 1985
- S.M.MAHMUD. Hardware Implementation of a New Phase Measurement Algorithm. IEEE Trans.Instrum.Meas.Vol 39 No 2 APR/1990
- S.M.MAHMUD. Error Analysis of Digital Phase Measurement of Distorted Wave. IEEE Trans.Instrum.Meas.Vol 38 No 1 FEB/1989
- K.M.IBRAHIM. A Novel Digital Phase Meter. IEEE Trans.Instrum.Meas.Vol 36 No 3 SEP/1987
- D.E. KERR. Propagation of short Radio Waves. Radiation Laboratory Series. MIT 1951
- S.A.SCHELKUNOFF. Antennas Theory and Practice. Applied Mathematics Series. 1952.
- H.A. ATWATER. Introduction to Microwaves Theory. Mc Graw-Hill Book Company. 1962.
- McGraw-Hill. Electronica Practica. Vol.1-4.
- MOTOROLA HEP SEMICONDUCTOR. Radio Amateur's IC PROJECTS.
- NATIONAL SEMICONDUCTOR. LINEAR APPLICATIONS HANDBOOK.

NATIONAL SEMICONDUCTOR.	VOLTAGE REGULATOR HANDBOOK.
NATIONAL SEMICONDUCTOR.	LINEAR APPLICATIONS.
HEWLETT-PACKARD.	APPLICATION NOTE 929.
Electronics.	Agosto 1962
Electronics.	Marzo 1963
Electronics.	Marzo 1965

A N E X O S

A.1.-MANUAL DE OPERACION.

A.2.-LISTADO DEL PROGRAMA.

A.3.-CIRCUITOS IMPRESOS.

A.4.-HOJAS DE DATOS DE LOS ELEMENTOS.

A-1: MANUAL DE OPERACION.

La operación del sistema requiere de los siguientes elementos.

- Klystron de reflexión.
- Circulador
- Antena Horn.
- Tornillos Sintonizantes.
- Montaje de diodo PIN.
- Equipo de medición de distancia.
- Lámina reflectora.

Cada uno de estos elementos se conectan como se muestra en la figura A.1

El procedimiento inicial para la medición de distancia requiere de los siguientes pasos:

- 1.-Fije un modo y frecuencia de operación para el generador de microondas. Para lo cual se debe calibrar el klystron a una frecuencia de 9.69GHz y para un voltaje de reflector de 99 Volt.
- 2.-A continuación alimente la señal modulante proveniente del equipo al diodo pin y muestree en el osciloscopio la señal de reflexión que se tiene al colocar la lámina en el borde de la antena Horn.

Si no se detecta señal ajuste el tornillo #1 o varíe lentamente el voltaje de reflector hasta lograr tener señal reflejada.

- 3.-Si se ha detectado señal reflejada, alimente esta señal a

la entrada IN/RECEPTOR del equipo.

4.-A continuación, muestree la señal que da el desfase y asegúrese de que no exista oscilación. En caso de que exista oscilación, varíe lentamente el tornillo sintonizante #1 hasta que la señal no oscile.

5.-Seguidamente compruebe que el ancho de los pulsos de la señal que da el desfase, varía para distintas posiciones de la lámina.

6.-Si todo lo anterior se cumple proceda a la rutina de calibración, para lo cual, es necesario que se fije la posición de la riel que contiene la lámina de manera que la misma este en forma perpendicular al haz de radiación.

7.-A continuación coloque la lámina junto al borde de la antena Horn y pulse nuevamente el pulsante de calibración.

Luego sucesivamente coloque la lámina a 10cm. y pulse nuevamente el pulsante de calibración. Este mismo procedimiento efectúese para posiciones de 20, 30 y 40cm de la lámina respecto de la antena horn.

8.-Una vez realizada la calibración varíe la posición de la lámina a lo largo de los puntos en que se fijó la calibración, luego de lo cual si se presiona el pulsante "MEDIR" se tendrá una lectura de la posición en que se encuentra la lámina en cualquier instante. Anotándose que si esta fuera de las lecturas estipuladas en la calibración aparecerá el dato 8888 en el display.

La utilización del tornillo sintonizante es de vital

importancia tanto para minimizar la potencia reflejada así como para determinar un buen acoplamiento entre el montaje para el diodo FIN y el nivel de potencia para el cual se da el proceso de modulación.

Otro parámetro importante que debe tomarse en cuenta es el modo de oscilación del Klystron, ya que si no se está dentro del especificado, no se tendrá modulación.

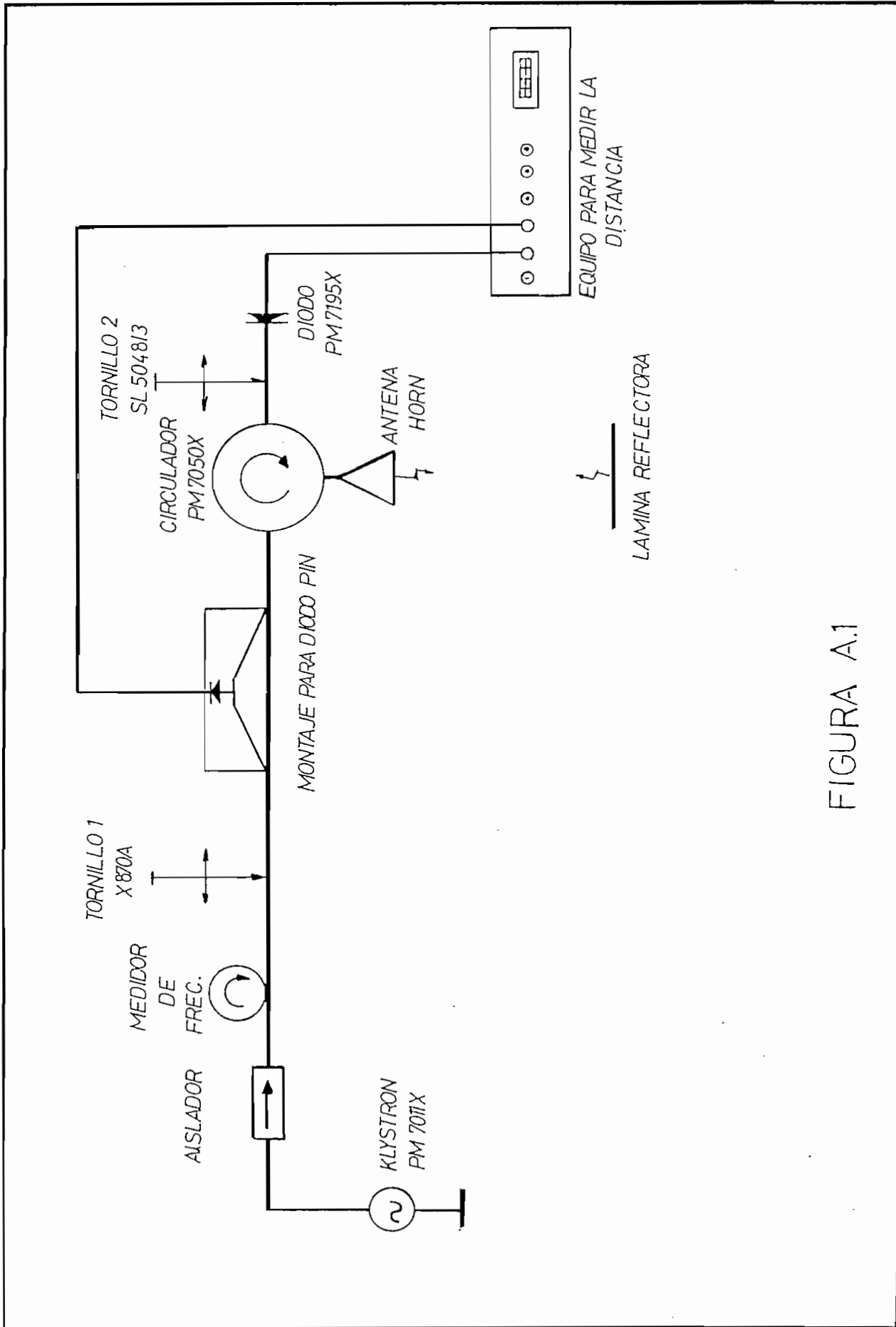


FIGURA A.1

A-2:LISTADO DEL PROGRAMA.

```

CPU          "8048.TEL"
HOF          "INT8"
            ORG 0000H
            JMP INIC
            JMP INIC
            JMP INIC
INIC:       CALL CERO          ; LLAMA A SUB. CERO PARA ENCERAR
LASO:       EN I              ; LOS DATOS DE PRESENTACION
            CALL DISPL        ; LLAMA A SUBROUTINA PARA MOSTRAR EL
            JTO LASO          ; DATO DE PRESENTACION.
            DIS I            ; DESHABILITA LAS INTERRUPCIONES.
            IN A,F1          ; LEE EL PORTICO NUMERO 1
            CPL A
            JBO MED          ; DETECTA LA PETICION DE MEDIDA.
            JBI BOR          ; DETECTA LA PETICION DE CALIBRACION
            JMP LASO
MED:        CALL MEDIR        ; LLAMA A LA SUBROUTINA DE MEDICION
            JMP LASO
BOR:        CALL LORE         ; SALTO A LA SUBROUTINA DE ENCERADO
            CALL VERM         ; LLAMA A LA SUBROUTINA DE CALIBRACION.
            JMP LASO
LORE:       CALL CERO         ; LLAMA A LA SUBROUTINA PARA ENCERAR
            RET              ; EL DISPLAY.
CERO:       MOV RO,#23        ; SUBROUTINA PARA ENCERAR LOS DATOS
            CLR A            ; DE PRESENTACION.
            MOV @RO,A
            DEC RO
            MOV @RO,A
            DEC RO
            MOV @RO,A
            DEC RO
            MOV @RO,A
            RET
MEDIR:      NOP              ; SUBROUTINA PARA MEDIR LA DISTANCIA.
REG1:       MOV RO,#44        ; EL DATO SE ALMACENA EN LA LOCALIDAD 44
LASO1:      ANL P2,#7FH       ; ENVIA EL PULSO DE RESET
            MOV A,#08H        ;
POOL1:      DEC A            ; RETARDO DE 94 us.
            JNZ POOL1         ;
            ORL P2,#80H       ; DESHABILITE EL RESET.
            MOV A,#0FFH
            MOV T,A          ; CARGA EL TIMER CON FFH
            STRT CNT          ; TIMER COMO CONTADOR DE EVENTOS.
            MOV R7,#05H       ; INICIALIZA LASO DE ESPERA DE LA SEÑAL
DATO2:      MOV A,#0FFH       ; DE INTERRUPCION (INT).
DATO6:      DEC A            ;
            JTF DATO5         ; DETECTE SI LLEGA LA SEÑAL DE INT.
            JNZ DATO6
            DJNZ R7,DATO2     ; SI R7=0 NO LLEGO LA SEÑAL INT Y

```

DATOS:

```

STOP TCNT           ;DETIENE EL CONTADOR Y VUELVA A ENVIAR
JMP REG1            ;EL PULSO DE RESET.
STOP TCNT           ;DETECTA QUE HA LLEGADO LA SEÑAL INT.
ANL P1,#0F7H        ;HABILITA EL PRIMER BUFFER
CALL DELAY          ;RETARDO DE 94 u#.
INS A,BUS           ;INSERTE EL DATO PRESENTE EN EL BUS
INC RO              ;AL ACUMULADOR Y ALMACENE.
MOV @RO,A
ORL P1,#0FFH        ;DESHABILITE EL PRIMER BUFFER.
CALL DELAY          ;RETARDO
ANL P1,#0EFH        ;HABILITE EL SEGUNDO BUFFER.
CALL DELAY          ;RETARDO
INS A,BUS           ;INGRESE EL DATO Y ALMACENE.
DEC RO
MOV @RO,A
ORL P1,#0FFH        ;DESHABILITE EL SEGUNDO BUFFER.
CALL DELAY          ;RETARDO.
INC RO
MOV A,@RO           ;ORDENAR EL DATO ALMACENADO.
ANL A,#0F0H
RR A
RR A
RR A
RR A
MOV @RO,A
MOV R3,A
DEC RO
MOV A,@RO
ANL A,#0FH
RL A
RL A
RL A
RL A
ORL A,R3
INC RO
MOV @RO,A
MOV R5,A           ;ALMACENE EN EL REGISTR R5 LA PARTE
DEC RO              ;MENOS SIGNIFICATIVA DEL DATO.
MOV A,@RO
RR A
RR A
RR A
RR A
ANL A,#0FH
MOV @RO,A
MOV R4,A           ;ALMACENA EN R4 LA PARTE MAS SIG.
CALL COMPAR         ;LLAME A LA SUBROUTINA COMPAR PARA VER
IN A,P1             ;DENTRO DE QUE RANGO SE ENCUENTRA EL
CPL A               ;DATO.
JB1 FINXX           ;DETECTE SI SE DESEA PRESENTAR EL ULTIMO
MOV RO,#44          ;DATO TOMADO.
JMP LAS01

```

```

FINXX:  RET
COMPAR: MOV  RO,#27      ;ALMCENE EN R3 Y R2 LA PARTE MENOS
        MOV  A,@RO   ;SIGNIFICATIVA Y LA MAS SIGNIFICATIVA
        MOV  R3,A    ;RESPECTIVAMENTE, DEL LIMITE SUPERIOR
        DEC  RO      ;DEL PRIMER RANGO.
        MOV  A,@RO
        MOV  R2,A    ;
        MOV  A,R5    ;
        CPL  A       ;
        ADD  A,#01H  ;
        MOV  R7,A    ;COMPARE SI EL DATO ESTA DENTRO DE ESTE
        MOV  A,R4    ;RANGO, CASO CONTRARIO SALTE A COMPARAR
        CPL  A       ;CON OTRO RANGO.
        ADDC A,#00H  ;
        MOV  R6,A    ;
        MOV  A,R3    ;
        ADD  A,R7    ;
        MOV  A,R2    ;
        ADDC A,R6    ;
        JNC  BAJ01  ;
        DEC  RO      ;DEL DATO ES MENOR QUE EL LIMITE SUPERIOR
        MOV  A,@RO  ;DEL PRIMER RANGO. AVERIGUE SI ESTA
        MOV  R3,A   ;CONTENIDO EN ESTE RANGO.
        DEC  RO      ;
        MOV  A,@RO  ;
        MOV  R2,A   ;
        MOV  A,R3   ;
        CPL  A      ;
        ADD  A,#01H ;
        MOV  R7,A   ;
        MOV  A,R2   ;
        CPL  A      ;
        ADDC A,#00H ;
        MOV  R6,A   ;
        MOV  A,R5   ;
        ADD  A,R7   ;
        MOV  A,R4   ;
        ADDC A,R6   ;
        JNC  BAJ01 ;SI EL DATO NO ESTA CONTENIDO SALTE.
        CALL DESC1 ;SI EL DATO ESTA DENTRO DEL RANGO O
        JMP  FINCO  ;PRESENTELO Y RETORNE.
BAJ01:  MOV  RO,#31  ;
        MOV  A,@RO  ;
        MOV  R3,A   ;
        DEC  RO     ;
        MOV  A,@RO  ;
        MOV  R2,A   ;
        MOV  A,R5   ;
        CPL  A     ;
        ADD  A,#01H ;
        MOV  R7,A   ;
        MOV  A,R4   ;

```

```

CPL      A
ADDC    A, #00H
MOV     R6, A
MOV     A, R3
ADD     A, R7
MOV     A, R2
ADDC    A, R6
JNC     BAJ02
DEC     RO
MOV     A, @RO
MOV     R3, A
DEC     RO
MOV     A, @RO
MOV     R2, A
MOV     A, R3
CPL     A
ADD     A, #01H
MOV     R7, A
MOV     A, R2
CPL     A
ADDC    A, #00H
MOV     R6, A
MOV     A, R5
ADD     A, R7
MOV     A, R4
ADDC    A, R6
JNC     BAJ02
CALL    DESCI
JMP     FINCO
BAJ02:  MOV     RO, #35
        MOV     A, @RO
        MOV     R3, A
        DEC     RO
        MOV     A, @RO
        MOV     R2, A
        MOV     A, R5
        CPL     A
        ADD     A, #01H
        MOV     R7, A
        MOV     A, R4
        CPL     A
        ADDC   A, #00H
        MOV     R6, A
        MOV     A, R3
        ADD     A, R7
        MOV     A, R2
        ADDC   A, R6
        JNC     BAJ03
        DEC     RO
        MOV     A, @RO
        MOV     R3, A
        DEC     RO

```

; SI EL DATO NO ESTA CONTENIDO SALTE
; SI EL DATO ESTA DENTRO DEL RANGO 1
; PRESENTELO Y RETORNE.

```

MOV  A, @R0
MOV  R2, A
MOV  A, R3
CPL  A
ADD  A, #01H
MOV  R7, A
MOV  A, R2
CPL  A
ADDC A, #00H
MOV  R6, A
MOV  A, R5
ADD  A, R7
MOV  A, R4
ADDC A, R6
JNC  BAJ03
CALL DESC1
JMP  FINCO
BAJ03: MOV  R0, #39
MOV  A, @R0
MOV  R3, A
DEC  R0
MOV  A, @R0
MOV  R2, A
MOV  A, R5
CPL  A
ADD  A, #01H
MOV  R7, A
MOV  A, R4
CPL  A
ADDC A, #00H
MOV  R6, A
MOV  A, R3
ADD  A, R7
MOV  A, R2
ADDC A, R6
JNC  BAJ04
DEC  R0
MOV  A, @R0
MOV  R3, A
DEC  R0
MOV  A, @R0
MOV  R2, A
MOV  A, R3
CPL  A
ADD  A, #01H
MOV  R7, A
MOV  A, R2
CPL  A
ADDC A, #00H
MOV  R6, A
MOV  A, R5
ADD  A, R7

```

```

MOV    A, R4
ADDC  A, R6
JNC   BAJ04
CALL  DESC1
JMP   FINCO
BAJ04: MOV    RO, #43
      MOV    A, @RO
      MOV    R3, A
      DEC    RO
      MOV    A, @RO
      MOV    R2, A
      MOV    A, R5
      CPL    A
      ADD    A, #01H
      MOV    R7, A
      MOV    A, R4
      CPL    A
      ADDC   A, #00H
      MOV    R6, A
      MOV    A, R3
      ADD    A, R7
      MOV    A, R2
      ADDC   A, R6
      JNC   FIN88
      DEC    RO
      MOV    A, @RO
      MOV    R3, A
      DEC    RO
      MOV    A, @RO
      MOV    R2, A
      MOV    A, R3
      CPL    A
      ADD    A, #01H
      MOV    R7, A
      MOV    A, R2
      CPL    A
      ADDC   A, #00H
      MOV    R6, A
      MOV    A, R5
      ADD    A, R7
      MOV    A, R4
      ADDC   A, R6
      JNC   FIN88
      CALL  DESC1
      JMP   FINCO
FIN88: MOV    RO, #23
      MOV    A, #08H
      MOV    @RO, A
      DEC    RO
      MOV    @RO, A
      DEC    RO
      MOV    @RO, A

```

```

; SI EL DATO NO ESTA DENTRO DE ALGUN
; RANGO PRESENTE EL DATO 8888.

```



```

DEC    RO
MOV    @RO,A
CALL  DISPL
FINCO: RET
DESCI: MOV    A,RO          ;ESTA SUBROUTINA ESTA CREADA PARA ASOCIAR
CPL    A                 ;UN VALOR DE DISTANCIA CUANDO EL DATO
ADD    A,#01H           ;QUE SE HA TOMADO CAE DENTRO DE UN
ADD    A,#24            ;RANGO.
JZ     DME00            ;EN ESTA SUBROUTINA EL VALOR DE LAS
MOV    A,RO             ;UNIDADES DE DISTANCIA PUEDE SER
CPL    A                 ;CAMBIADO DE ACUERDO A LAS POSICIONES
ADD    A,#01H           ;QUE SE ELIJAN EN EL PROCESO DE CALIBRA-
ADD    A,#28            ;CION.
JZ     DME01
MOV    A,RO
CPL    A
ADD    A,#01H
ADD    A,#32
JZ     DME02
MOV    A,RO
CPL    A
ADD    A,#01H
ADD    A,#36
JZ     DME03
MOV    A,RO
CPL    A
ADD    A,#01H
ADD    A,#40
JZ     DME04
JMP    FINDE
DME00: MOV    A,#00H      ;EL DATO ESTA DENTRO DEL RANGO 0
MOV    R2,A             ;POR TANTO PRESENTE EL VALOR DE
MOV    A,#00H          ;00cm.
MOV    R1,A
CALL  BCD
CALL  DISPL
JMP  FINDE
DME01: MOV    A,#0AH      ;EL DATO ESTA DENTRO DEL RANGO 1
MOV    R2,A             ;POR TANTO PRESENTE EL VALOR DE
MOV    A,#00H          ;1.0cm.
MOV    R1,A
CALL  BCD
CALL  DISPL
JMP  FINDE
DME02: MOV    A,#14H      ;EL DATO ESTA DENTRO DEL RANGO 2
MOV    R2,A             ;POR TANTO PRESENTE EL VALOR DE
MOV    A,#00H          ;20cm.
MOV    R1,A
CALL  BCD
CALL  DISPL
JMP  FINDE
DME03: MOV    A,#1EH      ;EL DATO ESTA DENTRO DEL RANGO 3

```

```

MOV R2,A          ;POR TANTO PRESENTE EL VALOR DE
MOV A,#00H        ;30 cm.
MOV R1,A
CALL BCD
CALL DISPL
JMP FINDE
DME04: MOV A,#28H   ;EL DATO ESTA DENTRO DEL RANGO 4
MOV R2,A          ;POR TANTO PRESENTE EL VALOR DE
MOV A,#00H        ;40cm.
MOV R1,A
CALL BCD
CALL DISPL
FINDE: RET
VERM:  MOV A,#01H
MOV R2,A
MOV A,#00H
MOV R1,A
CALL CALIB        ;ESTA SUBROUTINA ES LA ENCARGADA DE
CALL RETAR1      ;REALIZAR LA CALIBRACION DEL EQUIPO
CALL DATOO       ;PARA DISTINTAS POSICIONES DE LA LAMINA.
CALL JULY        ;LO QUE SE HACE ES COLOCAR LA LAMINA
MOV RO,#45       ;A DISTANCIAS PRESTABLECIDAS EN LA
MOV R1,#25       ;ROUTINA DESCI, Y SE TOMA 10 DATOS
MOV A,@RO        ;DEL DESFASE PROVOCADO PARA ESTA
MOV @R1,A        ;POSICION, DE ESTOS 10 DATOS SE TOMA
DEC RO           ;EL MAXIMO Y EL MINIMO Y SE LOS ALMACENA
DEC R1           ;COMO RANGOS A PARTIR DE LA LOCALIDAD
MOV A,@RO        ;24.
MOV @R1,A        ;EL NUMERO DE RANGOS TOMADOS ES DE 0 A 4
MOV RO,#63       ;Y PARA LA TOMA DE UN RANGO ES NECESARIO
MOV R1,#27       ;PRESIONAR EL PULSANTE DE CALIBRACION,
MOV A,@RO        ;LUEGO DE LO CUAL TRANSCURREN 8 SEG
MOV @R1,A        ;HASTA TOMAR EL DATO PARA POSTERIORMENTE
DEC RO           ;QUEDAR EN UN LAZO QUE DETECTE UNA NUEVA
DEC R1           ;TOMA DE DATOS HASTA COMPLETAR LOS CINCO
MOV A,@RO        ;RANGOS.
MOV @R1,A
MOV A,#02H
MOV R2,A
MOV A,#00H
MOV R1,A
CALL CALIB
CALL RETAR1
CALL DATOO
CALL JULY
MOV RO,#45
MOV R1,#29
MOV A,@RO
MOV @R1,A
DEC RO
DEC R1
MOV A,@RO

```

```
MOV  GR1, A
MOV  RO, #63
MOV  R1, #31
MOV  A, @RO
MOV  GR1, A
DEC  RO
DEC  R1
MOV  A, @RO
MOV  GR1, A
MOV  A, #03H
MOV  R2, A
MOV  A, #00H
MOV  R1, A
CALL CALIB
CALL RETAR1
CALL DAT00
CALL JULY
MOV  RO, #45
MOV  R1, #33
MOV  A, @RO
MOV  GR1, A
DEC  RO
DEC  R1
MOV  A, @RO
MOV  GR1, A
MOV  RO, #63
MOV  R1, #35
MOV  A, @RO
MOV  GR1, A
DEC  RO
DEC  R1
MOV  A, @RO
MOV  GR1, A
MOV  A, #04H
MOV  R2, A
MOV  A, #00H
MOV  R1, A
CALL CALIB
CALL RETAR1
CALL DAT00
CALL JULY
MOV  RO, #45
MOV  R1, #37
MOV  A, @RO
MOV  GR1, A
DEC  RO
DEC  R1
MOV  A, @RO
MOV  GR1, A
MOV  RO, #63
MOV  R1, #39
MOV  A, @RO
```

```

MOV  @R1, A
DEC  RO
DEC  R1
MOV  A, @RO
MOV  @R1, A
MOV  A, #05H
MOV  R2, A
MOV  A, #00H
MOV  R1, A
CALL CALIE
CALL RETAR1
CALL DAT00
CALL JULY
MOV  RO, #45
MOV  R1, #41
MOV  A, @RO
MOV  @R1, A
DEC  RO
DEC  R1
MOV  A, @RO
MOV  @R1, A
MOV  RO, #63
MOV  R1, #43
MOV  A, @RO
MOV  @R1, A
DEC  RO
DEC  R1
MOV  A, @RO
MOV  @R1, A
RET
DAT05: JMP  DAT0
DAT06: JMP  DAT01
DAT00: MOV  R5, #0AH ; SUBROUTINA PARA TOMAR 10 DATOS
VIC:   MOV  RO, #44 ; LOS DATOS SON DE DOS BYTES Y
VIC10: ANL  F2, #7FH ; SE VAN ALMACENANDO EN LAS LOCALIDADES
FOOL:  DEC  A ; 44 HASTA LA 64 DE LA MEMORIA DE
JNZ  FOOL ; DATOS.
ORL  F2, #80H
MOV  A, #0FFH
MOV  T, A
STRT  CNT
MOV  R7, #05H
DAT02: MOV  A, #0FFH
DAT01: DEC  A
JTF  DAT05
JNZ  DAT06
DJNZ R7, DAT02
STOP  TCNT
JMP  VIC10
DAT0:  STOP  TCNT
ANL  F1, #0F7H

```

```

CALL DELAY
INS A,BUS
INC RO
MOV @RO,A
ORL F1,#OFFH
CALL DELAY
ANL F1,#OEFH
CALL DELAY
INS A,BUS
DEC RO
MOV @RO,A
ORL F1,#OFFH
CALL DELAY
INC RO
MOV A,@RO
ANL A,#OF0H
RR A
RR A
RR A
RR A
MOV @RO,A
MOV R3,A
DEC RO
MOV A,@RO
ANL A,#OFH
RL A
RL A
RL A
RL A
ORL A,R3
INC RO
MOV @RO,A
DEC RO
MOV A,@RO
RR A
RR A
RR A
RR A
ANL A,#OFH
MOV @RO,A
INC RO
INC RO
DJNZ R5,VIC1
RET
VIC1: JMP VIC10
BCD:  MOV R7,#00H ;SUBROUTINA PARA PASAR UN NUMERO HEXADECIMAL A UN NUMERO BCD.
      MOV A,#0EBH ;EL DATO BCD ES ALMACENADO EN LAS
      CPL A ;LOCALIDADES 23, 22, 21 Y 20 DE LA RAM.
      ADD A,#01H
      MOV R5,A
      MOV A,#03H
      CPL A

```

```

      ADDC A, #00H
      MOV  R4, A
LENE: MOV  A, R2
      ADD  A, R5
      MOV  R2, A
      MOV  A, R1
      ADDC A, R4
      JNC  ELEN
      INC  R7
      MOV  R1, A
      JMP  LENE
ELEN: MOV  A, R7
      MOV  RO, #23
      MOV  @RO, A
      MOV  A, R2
      ADD  A, #0E8H
      MOV  R2, A
DECI: MOV  R7, #00H ; R7 EN ESTA PARTE ME DA EL NUMERO DE
      MOV  A, #64H ; DE CIENTOS
      CPL  A
      ADD  A, #01H
      MOV  R6, A
      MOV  R5, #0FFH
XIM:  MOV  A, R2
      ADD  A, R6
      MOV  R2, A
      MOV  A, R1
      ADDC A, R5
      JNC  MIX
      INC  R7
      MOV  R1, A
      JMP  XIM
MIX: MOV  A, R7
      MOV  RO, #22
      MOV  @RO, A
      MOV  R7, #00H
      MOV  A, #0AH
      CPL  A
      ADD  A, #01H
      MOV  R6, A
      MOV  A, R2
      ADD  A, #064H
      MOV  R2, A
LUC: MOV  A, R2
      ADD  A, R6
      JNC  CUL
      INC  R7
      MOV  R2, A
      JMP  LUC
CUL: MOV  A, R7
      MOV  RO, #21
      MOV  @RO, A

```

```

MOV    R0,#20
MOV    A,R2
MOV    @R0,A
RET
JULY#  MOV    R7,#0AH    ;SUBROUTINA PARA ORDENAR 10 DATOS DE
DEC    R7                ;DOS BYTES
VISMA# MOV    A,R7
MOV    R3,A
MOV    R0,#45
MOV    R1,#47
MAVIS# MOV    A,@R0
MOV    R6,A
DEC    R0
MOV    A,@R0
INC    R0
MOV    R5,A
MOV    A,@R1
CPL   A
MOV    R4,A
DEC    R1
MOV    A,@R1
INC    R1
CPL   A
MOV    R2,A
MOV    A,R4
ADD   A,#01H
MOV    R4,A
MOV    A,R2
ADDC  A,#00H
MOV    R2,A
MOV    A,R6
ADD   A,R4
MOV    A,R5
ADDC  A,R2
JNC   SITA
MOV    A,R4
CPL   A
MOV    R4,A
MOV    A,R2
CPL   A
MOV    R2,A
MOV    A,R4
ADD   A,#01H
MOV    R4,A
MOV    A,R2
ADDC  A,#00H
MOV    R2,A
MOV    A,R2
DEC    R0
MOV    @R0,A
INC    R0
MOV    A,R4

```

```

MOV @R0, A
MOV A, R5
DEC R1
MOV @R1, A
MOV A, R6
INC R1
MOV @R1, A
SITA: INC R0
      INC R0
      INC R1
      INC R1
      DJNZ R3, MAVIS
      DJNZ R7, VISMA
      RET
CALIB: CALL BCD
CALIB1: CALL DISPL
      IN A, P1 ; SUBROUTINA PARA DETECTAR EL MOMENTO EN
      CPL A ; QUE SE DESEA HACER UNA CALIBRACION
      JB1 NUEDA ; ADEMAS PRESENTA EL NUMERO DE RNAGO QUE
      JMP CALIB1 ; SE VA A TOMAR.
NUEDA: RET
RETAR1: MOV R7, #OFFH ; LASO PARA FORMAR UN RETARDO 8
      CLR A ; SEGUNDOS EN EL PROCESO DE CALIBRACION.
      MOV T, A ; LUEGO DE QUE SE PRESIONA EL PULSANTE
      STRT T ; DE CALIBRACION.
SKIPO: STRT T
SKIP2: JTF SKIP1
      JMP SKIP2
SKIP1: STOP TCNT
      DJNZ R7, SKIFO
      RET
DELAY: MOV A, #0BH ; SUBROUTINA PARA CREAR UN REATARDO EN
LOLI: DEC A ; LA TOMA DE DATOS.
      JNZ LOLI
      RET
DISPL: MOV RO, #23 ; SUBROUTINA PARA PRESENTAR LOS DATOS
      MOV A, @RO ; EN LOS DISPLAYS.
      ORL A, #80H ; LOS DATOS ESTAN EN LAS LOCALIDADES
      CALL TIME ; 20, 21, 22 Y 23 DE LA RAM.
      DEC RO ; CADA UNO DE LOS DATOS CONTENIDOS EN LAS
      MOV A, @RO ; LOCALIDADES ES UN NUMERO BCD.
      ORL A, #90H
      CALL TIME
      DEC RO
      MOV A, @RO
      ORL A, #0A0H
      CALL TIME
      DEC RO
      MOV A, @RO
      ORL A, #0B0H
      CALL TIME
      RET
TIME: OUTL P2, A ; SUBROUTINA PARA CREAR UN RETARDO EN LA

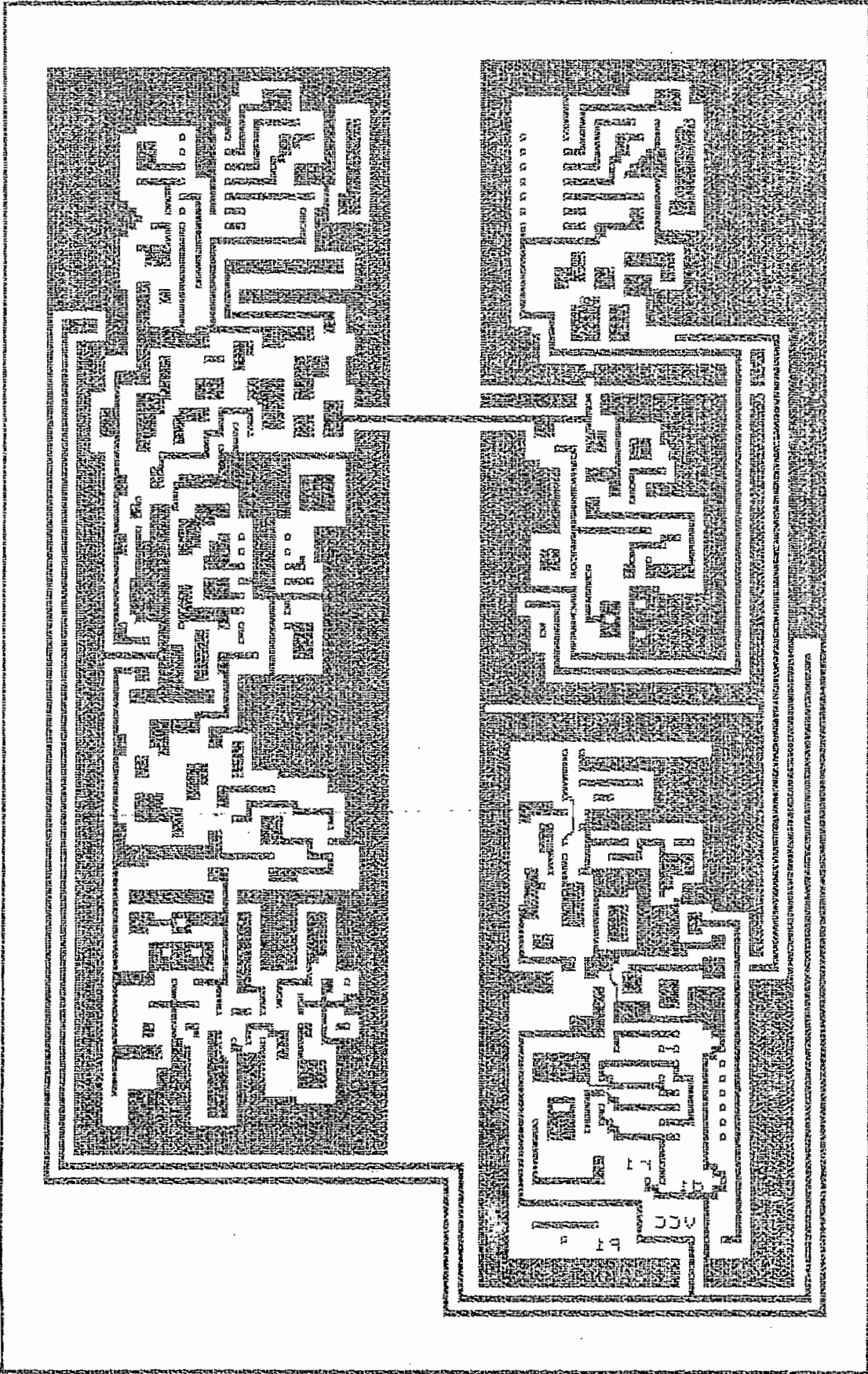
```



```
LOOP:  MOV  A, #40H    ;PRESENTACION DE DATOS.  
       DEC  A  
       JNZ  LOOP  
       RET
```

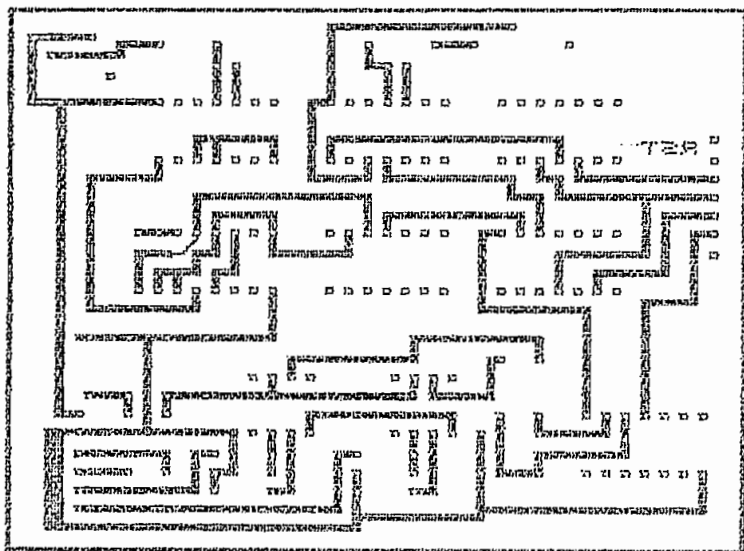
ANEXO A-3
CIRCUITOS IMPRESOS

1X checkplot 22 Feb 1991 00:20:38
b:amp66
v1.2 r3 holes: 467 solder side
approximate size: 9.10 by 5.60 inches

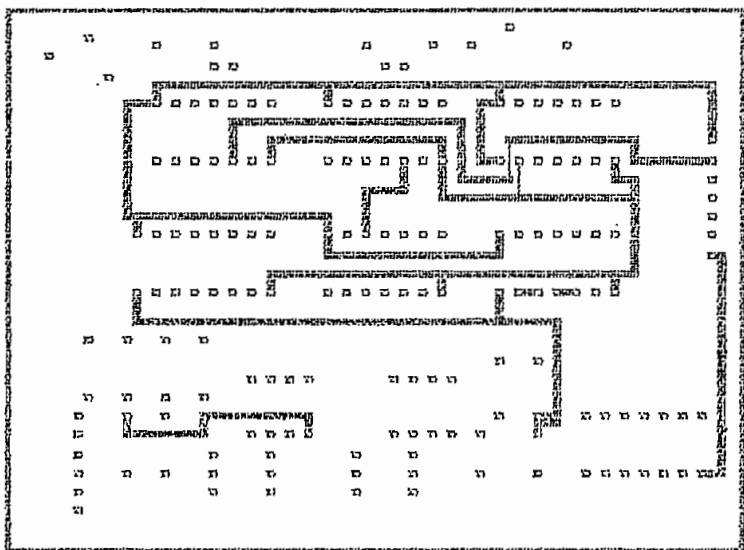


TARJETA DEL CIRCUITO DE MODULACION Y RECEPCION

1X checkplot 22 Feb 1991 00:06:27
b:cont.sma
v1.2 r3 holes: 175 solder side
approximate size: 3.65 by 2.70 inches

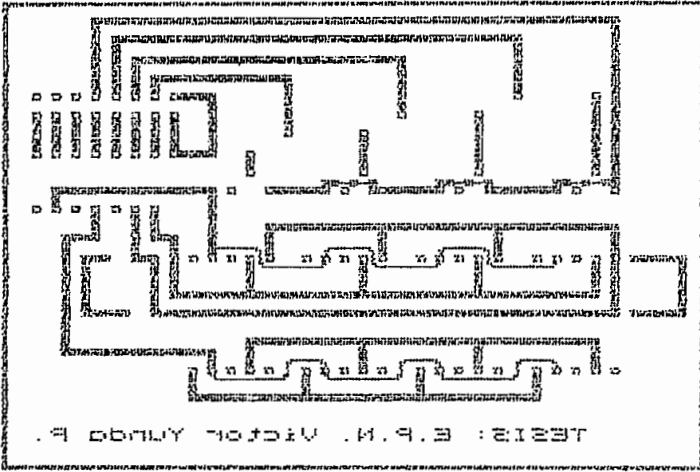


1X checkplot 22 Feb 1991 00:07:56
b:cont.sma
v1.2 r3 holes: 175 component side
approximate size: 3.65 by 2.70 inches

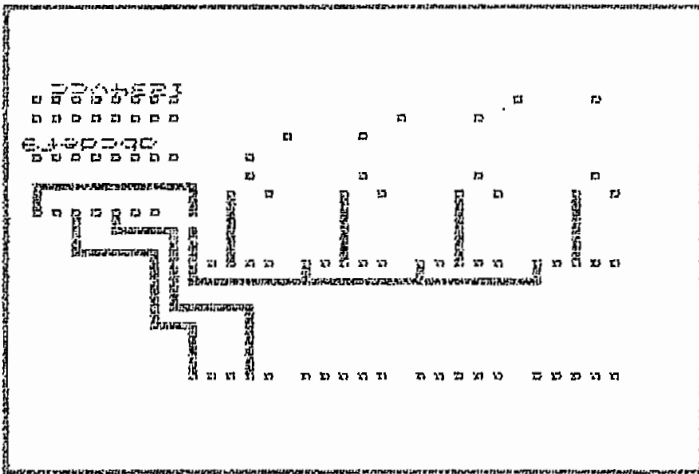


TARJETA DE LA UNIDAD DE CONTROL Y TIEMPO

1X checkplot 22 Feb 1991 00:07:25
b:disp.sma
v1.2 r3 holes: 90 solder side
approximate size: 3.45 by 2.25 inches



1X checkplot 22 Feb 1991 00:08:50
b:disp.sma
v1.2 r3 holes: 90 component side
approximate size: 3.45 by 2.25 inches



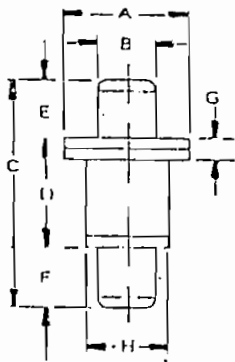
TARJETA DE PRESENTACION DE DATOS

ANEXO A-4
HOJAS DE DATOS DE LOS ELEMENTOS.

DETERMINACION DE LAS CARACTERISTICAS DEL DIODO PIN.

Para la realización del presente trabajo se utilizó el diodo PIN modelo MA-47051 de Microwave Associates, Inc. Las características mecánicas y eléctricas para este elemento tomadas del catálogo son las siguientes:

Especificaciones mecánicas :



DIM	INCHES		MM	
	MIN	MAX	MIN	MAX
A	0.119	0.127	3.02	3.22
B	0.060	0.064	1.52	1.63
C	0.205	0.225	5.21	5.72
D	0.085	0.097	2.16	2.46
L	0.060	0.064	1.52	1.63
F	0.060	0.064	1.52	1.63
G	0.016	0.024	0.41	0.61
H	0.079	0.083	2.01	2.11

Valores típicos del encapsulado:

$$C_p \approx 0,18 \text{ pF}$$

$$L_p \approx 0,40 \text{ nH}$$

Especificaciones eléctricas :

V_R [V]	C_T (pF)	R_S (Ω)	T_L (μ s)	P [KW]	T_R [ns]	T_D [ns]
100	Min Max 0,20 0,35	1,00 a 10 mA	0,075	0,25	5	5

donde:

V_R = Voltaje de ruptura mínimo, mediado a $10 \mu\text{A}$ de corriente reversa

C_T = Capacitancia total medida a -10 V .

R_S = Resistencia serie máxima.

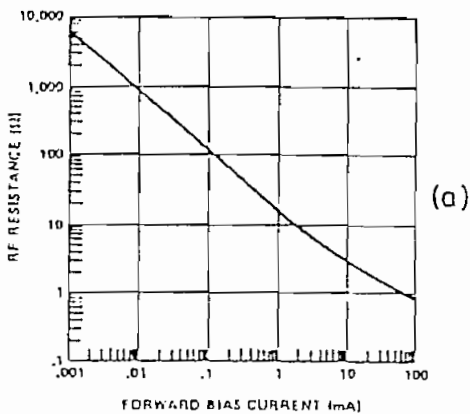
T_L = Tiempo de duración de los portadores minoritarios.

P = Capacidad de manejo de potencia.

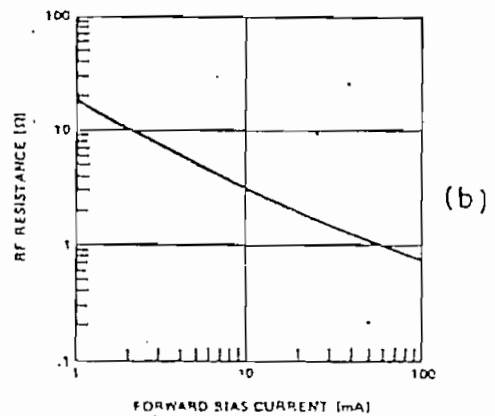
T_R = Tiempo de conmutación al cambiar de polarización directa a reversa.

T_D = Tiempo de conmutación al cambiar de polarización reversa a directa.

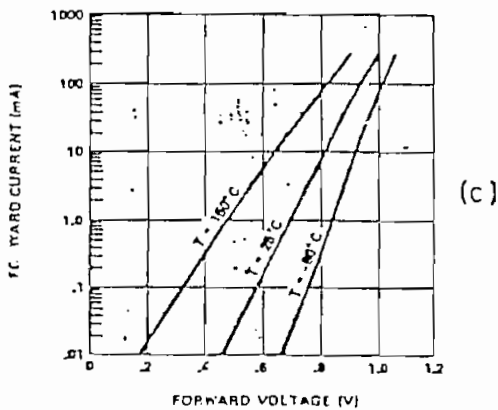
Al igual que T_R , medidos entre 10 mA directo y 10 V inverso.



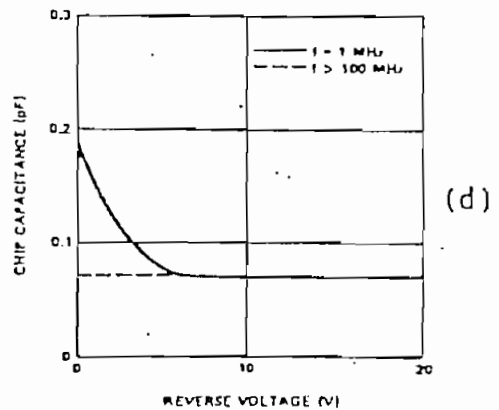
Typical RF Resistance vs. Forward Bias Current.



Typical RF Resistance vs. Forward Bias Current.



Typical Forward Characteristics.



Typical Chip Capacitance vs. Reverse Voltage.

FIG. 3.1 CURVAS TÍPICAS DEL DIODO MA-47051

8048AH/8748H/8035AHL/8049AH 8749H/8039AHL/8050AH/8040AHL HMOS SINGLE-COMPONENT 8-BIT MICROCOMPUTER

- High Performance HMOS II
- Interval Timer/Event Counter
- Two Single Level Interrupts
- Single 5-Volt Supply
- Over 96 Instructions; 90% Single Byte
- Reduced Power Consumption
- Compatible with 8080/8085 Peripherals
- Easily Expandable Memory and I/O
- Up to 1.36 μ Sec Instruction Cycle
- All Instructions 1 or 2 cycles

The Intel MCS-48 family are totally self-sufficient, 8-bit parallel computers fabricated on single silicon chips using Intel's advanced N-channel silicon gate HMOS process.

The family contains 27 I/O lines, an 8-bit timer/counter, and on-board oscillator/clock circuits. For systems that require extra capability, the family can be expanded using MCS-80/MCS-85 peripherals.

To minimize development problems and provide maximum flexibility, a logically and functionally pin-compatible version of the ROM devices with UV-erasable user-programmable EPROM program memory is available with minor differences.

These microcomputers are designed to be efficient controllers as well as arithmetic processors. They have extensive bit handling capability as well as facilities for both binary and BCD arithmetic. Efficient use of program memory results from an instruction set consisting mostly of single byte instructions and no instructions over 2 bytes in length.

Device	Internal Memory	RAM Standby	
8050AH	4K x 8 ROM	256 x 8 RAM	Yes
8049AH	2K x 8 ROM	128 x 8 RAM	Yes
8048AH	1K x 8 ROM	64 x 8 RAM	Yes
8040AHL	none	256 x 8 RAM	Yes
8039AHL	none	128 x 8 RAM	Yes
8035AHL	none	64 x 8 RAM	Yes
8749H	2K x 8 EPROM	128 x 8 RAM	No
8748H	1K x 8 EPROM	64 x 8 RAM	No

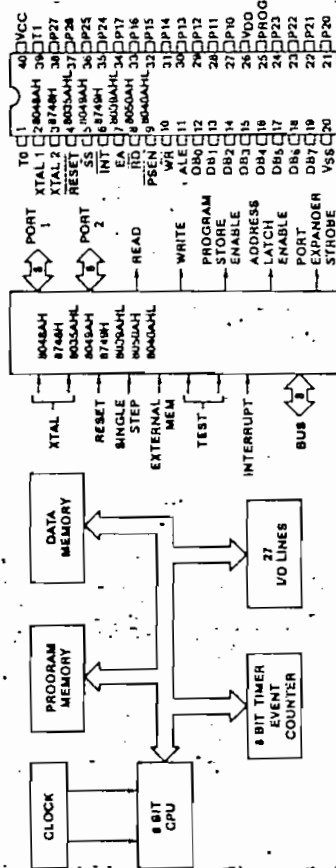


Figure 1. Block Diagram

Figure 2. Logic Symbol

Figure 3. Pin Configuration

Intel Corporation Assumes No Responsibility for the Use of Any Circuitry Other Than Circuitry Embodied in an Intel Product. No Other Circuit Patent Licenses are Implied.
© INTEL CORPORATION, 1982.

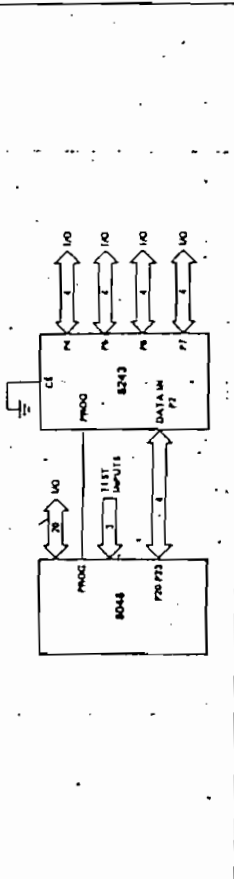


Figure 4. Expander Interface

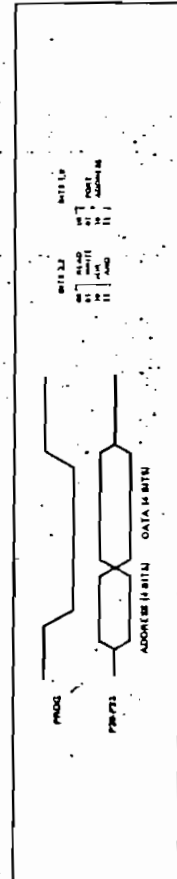


Figure 5. Output Expander Timing

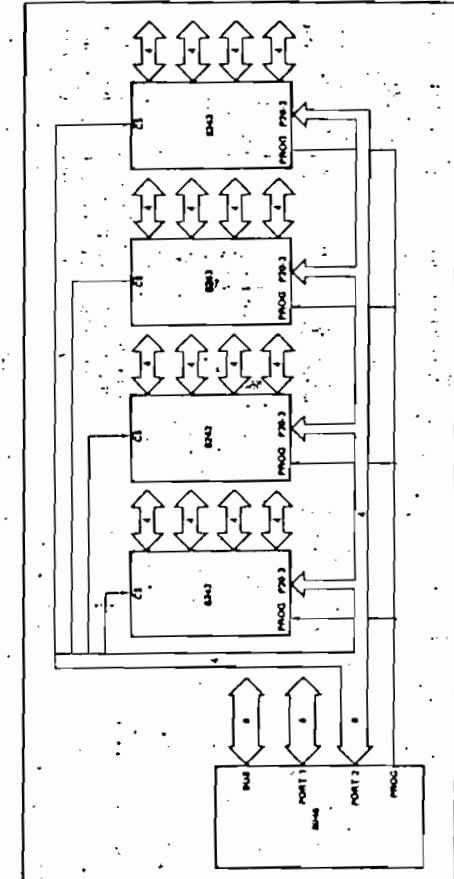


Figure 6. Using Multiple 8243's

the contents of accumulator with the selected port rather than immediate data as is done with the on-board ports. I/O devices can also be added externally using the BUS port as the expansion bus. In this case the I/O ports become "memory mapped", i.e., they are addressed in the same way as external data memory and exist in the external data memory address space addressed by pointer register R0 or R1.

The alphabetical listing includes the following information:

- Mnemonic
- Machine Code
- Verbal Description
- Symbolic Description
- Assembly Language Example

The machine code is represented with the most significant bit (7) to the left and two byte instructions are represented with the first byte on the left. The assembly language examples are formulated as follows:

Arbitrary
Label: Mnemonic, Operand;
Descriptive Comment

15.1 INSTRUCTION SET DESCRIPTION

The following pages describe the MCS-48 instruction set in detail. The instruction set is first summarized with instructions grouped functionally. This summary page is followed by a detailed description listed alphabetically by mnemonic opcode.

Mnemonic	Description	Bytes	Cycle	Mnemonic	Description	Bytes	Cycle
Accumulator				Registers			
ADD A, R	*Add register to A	1	1	INC R	Increment register	1	1
ADD A, @R	Add data memory to A	1	1	INC @R	Increment data memory	1	1
ADD A, # data	Add immediate to A	2	2	DEC R	Decrement register	1	1
ADDC A, R	Add register with carry	1	1	Branch			
ADDC A, # data	Add data memory with carry	1	1	JMP addr	Jump unconditional	2	2
ADDC A, # data	Add immediate with carry	2	2	JMPP @A	Jump indirect	1	2
ANL A, R	And register to A	1	1	DJNZ ft, addr	Decrement register and jump	2	2
ANL A, @R	And data memory to A	1	1	JC addr	Jump on carry = 1	2	2
ANL A, # data	And immediate to A	2	2	JNC addr	Jump on carry = 0	2	2
ORL A, R	Or register to A	1	1	JZ addr	Jump on A Zero	2	2
ORL A, @R	Or data memory to A	1	1	JNZ addr	Jump on A not Zero	2	2
ORL A, # data	Or immediate to A	2	2	JTO addr	Jump on TO = 1	2	2
XRL A, R	Exclusive Or register to A	1	1	JT0 addr	Jump on TO = 0	2	2
XRL A, @R	Exclusive or data memory to A	1	1	JT1 addr	Jump on T1 = 1	2	2
XRL A, # data	Exclusive or immediate to A	2	2	JNT 1 addr	Jump on T1 = 0	2	2
INC A	Increment A	1	1	JFO addr	Jump on FO = 1	2	2
DECA	Decrement A	1	1	JFI addr	Jump on FI = 1	2	2
CLR A	Clear A	1	1	JTI addr	Jump on timer flag = 1	2	2
CPL A	Complement A	1	1	JNI addr	Jump on INT = 0	2	2
DA A	Decimal adjust A	1	1	JNB addr	Jump on Accumulator Bit	2	2
SWAP A	Swap nibbles of A	1	1	Subroutine			
RL A	Rotate A left through carry	1	1	CALL addr	Jump to subroutine	2	2
RLC A	Rotate A left through carry	1	1	RET	Return	1	2
RR A	Rotate A right through carry	1	1	RETR	Return and restore status	1	2
RRC A	Rotate A right through carry	1	1	Flags			
Input/Output				CLR C	Clear Carry	1	1
IN A, P	Input port to A	1	2	CPL C	Complement Carry	1	1
OUTL P, A	Output A to port	2	2	CLR F0	Clear Flag 0	1	1
ANL P, # data	And immediate to port	2	2	CPL F0	Complement Flag 0	1	1
ORL P, # data	Or immediate to port	2	2	CLR F1	Clear Flag 1	1	1
INS A, BUS	Input BUS to A	1	2	CPL F1	Complement Flag 1	1	1
OUTL BUS, A	Output A to BUS	2	2	Data Moves			
ANL BUS, # data	And immediate to BUS	2	2	MOV A, R	Move register to A	1	1
ORL BUS, # data	Or immediate to BUS	2	2	MOV A, @R	Move data memory to A	1	1
MOVL BUS, # data	Input Expander port to A	1	2	MOV A, # data	Move immediate to A	2	2
MOVL P, A	Output A to Expander port	1	2	MOV R, A	Move A to register	1	1
ANLD P, A	And A to Expander port	1	2	MOV @ft, A	Move A to data memory	1	1
ORLD P, A	Or A to Expander port	1	2	MOV R, # data	Move immediate to register	2	2
				MOV @hl, # data	Move immediate to data memory	2	2
				MOV A, PSW	Move PSW to A	1	1
				MOV PSW, A	Move A to PSW	1	1

Mnemonics copyright Intel Corporation 1983.

*For use with internal memory only.

8048A/8748H/8049AH/8749H
Instruction Set Summary (Cont)

Mnemonic	Description	Bytes	Cycle	Mnemonic	Description	Bytes	Cycle
Data Moves (Cont'd)				Control			
XCH A, R	Exchange A and register	1	1	ENI	Enable external interrupt	1	1
XCH A, @R	Exchange A and data memory	1	1	DISI	Disable external interrupt	1	1
XCHD A, @R	Exchange nibble of A and register	1	1	SEL RB0	Select register bank 0	1	1
MOVX A, @R	Move external data memory to A	1	2	SEL RB1	Select register bank 1	1	1
MOVX @R, A	Move A to external data memory	1	2	SEL MB0	Select memory bank 0	1	1
MOVP A, @A	Move to A from current page	1	2	SEL MB1	Select memory bank 1	1	1
MOVP3 A, @A	Move to A from Page 3	1	2	ENT0 CLK	Enable clock output on T0	1	1
				NOP	No Operation	1	1
Timer/Counter							
MOV A, T	Read Timer/Counter	1	1				
MOV T, A	Load Timer/Counter	1	1				
START	Start Timer	1	1				
STOP	Stop Timer	1	1				
EN TCNTI	Enable Timer/Counter Interrupt	1	1				
DISTCNTI	Disable Timer/Counter Interrupt	1	1				

Mnemonics copyright Intel Corporation 1983.

MCS-48 INSTRUCTION SET
Symbols and Abbreviations Used

- A Accumulator
- AC Auxiliary Carry
- addr 12-Bit Program Memory Address
- Bb Bit Designator (b = 0-7)
- BS Bank Switch
- BUS BUS Port
- C Carry
- CLK Clock
- CNT Event Counter
- CRR Conversion Result Register
- D Mnemonic for 4-Bit Digit (Nibble)
- data 8-Bit Number or Expression
- DBF Memory Bank Flip-Flop
- F0, F1 Flag 0, Flag 1
- I Interrupt
- P Mnemonic for "in-page" Operation
- PC Program Counter
- Pp Port Designator (p = 1, 2 or 4-7)
- PSW Program Status Word
- Ri Data memory Pointer (i = 0, or 1)
- Rr Register Designator (r = 0-7)
- SP Stack Pointer
- T Timer
- TF Timer Flag
- T0, T1 Test 0, Test 1
- X Mnemonic for External RAM
- # Immediate Data Prefix
- @ Indirect Address Prefix
- \$ Current Value of Program Counter
- (X) Contents of X
- (X) Contents of Location Addressed by X
- Is Replaced by

Mnemonics copyright Intel Corporation 1983.

Klystron oscillator

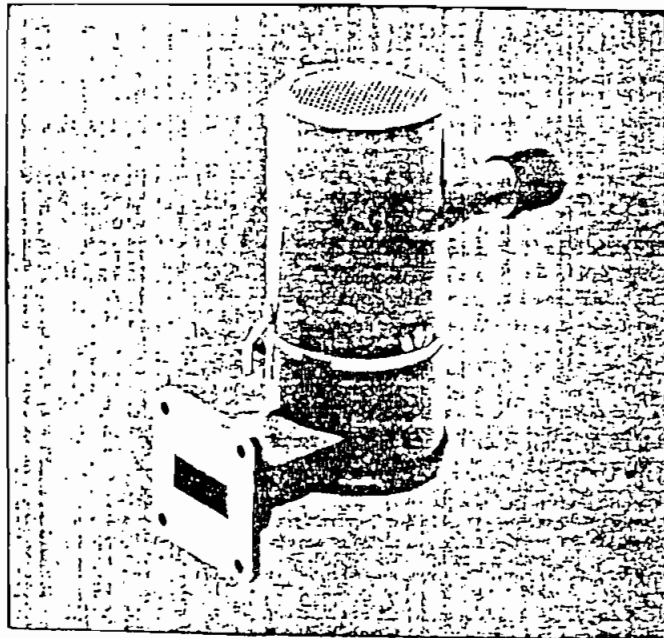
The oscillator PM 7011X consists of a reflex klystron 2K25 coupled to a waveguide section.

Mechanical tuning of the frequency is achieved by turning a knob. The PM 7812 power supply is connected via a multi-core cable with a plug connector. A more detailed operational description is presented in the booklet: Basic Experiments I.

Specifications

PM 7011X

Frequency range:	8.5—9.6 GHz
Output power min.:	20 mW
Waveguide:	R100 (V/R90, WG16)
Flange:	mates UBR 100
Klystron:	PM 7760 (2K25)
Heater voltage: (DC or AC)	6.3 V/440 mA
Resonator voltage max.:	300 V/37 mA
Reflector voltage negative:	0—100 V
Power supply:	PM 7812
Weight:	750 g
Material:	nickel plated brass in grey enamel



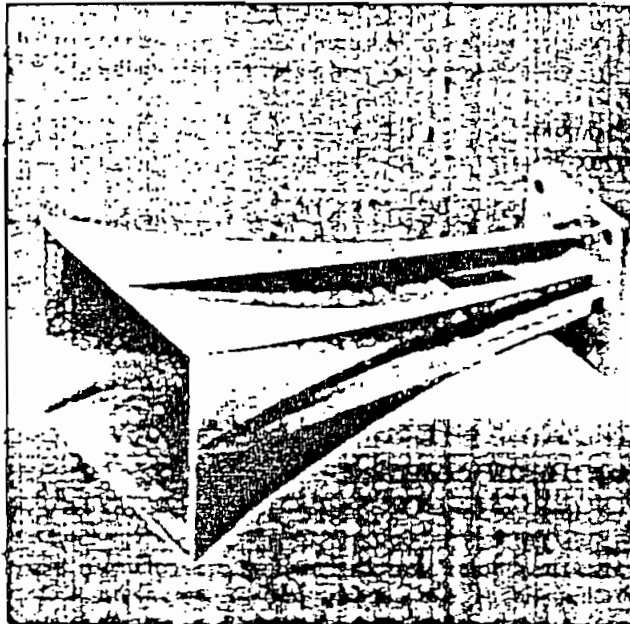
Horn antenna

The horn antenna PM 7320X/01 has exponentially flared guide walls to give a proper matching between the waveguide and free space. The antenna is a precision cast in zinc alloy, iridite treated and external non-mating surfaces painted in grey epoxy enamel.

Specifications ✓

PM 7320X/01

Frequency range:	8.2—12.4 GHz
Midband gain:	16 dB
VSWR:	1.25
Waveguide:	R100 (WR90, WG16)
	LIBR 100



Ferrite circulator √

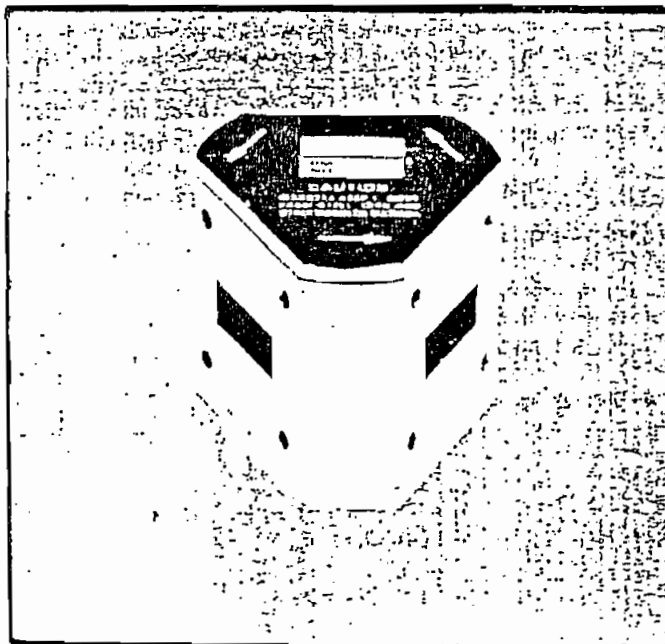
The circulator PM 7050X has a Y configuration with the ferrite material in the centre of the symmetrical junction formed by the three symmetrically spaced waveguides.

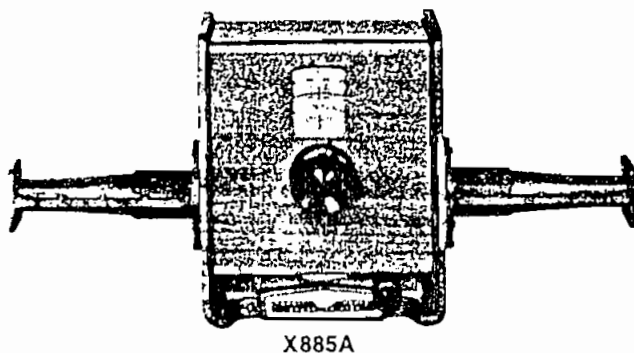
To obtain the broadband operation the ferrite material is surrounded by matching dielectric material. Matching is further obtained by a tapered ridge in each port.

Specifications

PM 7050X

Frequency range:	8.2—11.2 GHz
Isolation:	20 dB
Insertion loss:	0.5 dB
VSWR:	1.20
Power max.:	peak 5 kW, average 10 W
Waveguide:	R100 (WR90, WG16)
Flange:	mates UBR 100
Material:	aluminium
Weight:	500 g





X885A

885A Waveguide phase shifters

HP 885A Phase Shifters provide accurate, controllable phase variation in the J-, X-, and P-band frequency ranges. They are particularly useful in microwave bridge circuits where phase and amplitude must be adjusted independently. They are also used in the study of phased arrays.

The instruments are differential phase devices; that is, they add or subtract a known phase shift from the total phase shift which a wave undergoes in traveling through the device. They can be shifted continuously through any number of cycles.

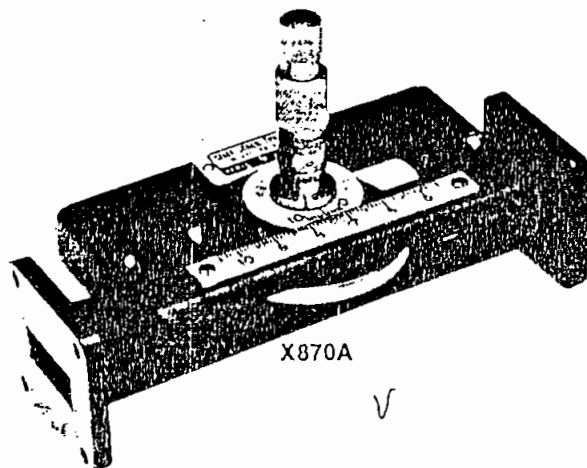
The instruments have high accuracy over their entire phase range, -360 to $+360$ electrical degrees, have low power absorption, are simple to operate, and require no charts or interpolation. They are sturdily built, comprising two rectangular-to-circular waveguide transitions with a dial-driven circular waveguide mid-section. These waveguide phase shifters are housed in cast aluminum containers for extreme rigidity and durability.

885A Specifications

Model	Frequency Range (GHz)	Differential Phase Angle Range	Differential Accuracy (the smaller of)	Insertion Loss	Insertion loss Variation vs. Frequency	SWR (max.)	Power Rating (watts)	Waveguide Size Nom. O.D. mm (in.) EIA	Equivalent Flange	Length mm (in.)	Shipping Weight kg (lb)
X885A	5.3 - 8.2	-360° to $+360^\circ$	$\pm 3^\circ$ or $0.1 \Delta\phi$	< 2 dB	< 0.4 dB	1.35	10	38.1 x 19.05 (1.5 x 0.75) WR137	UG-344/U	638 (25 $\frac{1}{2}$)	8.0 (18)
X885A	8.2 - 12.4	-360° to $+360^\circ$	$\pm 2^\circ$ ($\pm 3^\circ$, 10-12.4 GHz) or $0.1 \Delta\phi$	< 1 dB, 8.2-10 GHz; < 2 dB, 10-12.4 GHz	< 0.3 dB, 8.2-10 GHz; < 0.4 dB, 10-12.4 GHz	1.35	10	25.4 x 12.7 (1 x 0.5) WR 90	UG-39/U	397 (15 $\frac{3}{4}$)	4.5 (10)
X885A	2.4 - 18	-360° to $+360^\circ$	$\pm 4^\circ$ or $0.1 \Delta\phi$	< 3 dB	< 0.5 dB	1.35	5	17.83 x 9.93 (0.702 x 0.391) WR62	UG-419/U	312 (12 $\frac{1}{2}$)	4.0 (9)

870A Specifications

Model	Frequency Range (GHz)	Waveguide Size Nom. O.D. mm (in.) EIA	Equivalent Flange	Length (mm) (in.)		Net Weight (kg) (lb)		Shipping Weight (kg) (lb)	
X870A	8.20 - 12.40	25.4 - 12.7 (1 x 0.5) WR90	UG-39/U	140	6	0.34	$\frac{3}{4}$	0.9	2
P870A	12.40 - 18.00	17.83 x 9.93 (0.702 x 0.391) WR62	UG-419/U	127	5	0.23	$\frac{1}{2}$	0.9	2



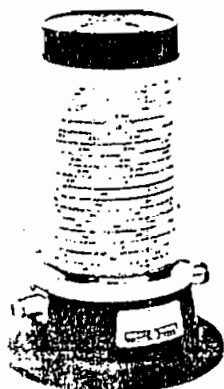
X870A

870A Slide-screw tuners

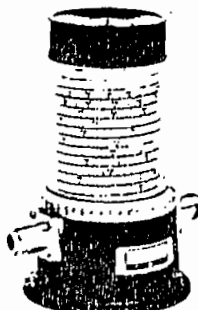
Waveguide slide-screw tuners are used primarily for correcting discontinuities or for "flattening" waveguide systems. They are also used to match loads, terminations, power sensors, or antennas to the characteristic admittance of the waveguide. They are particularly valuable in determining experimentally the position and magnitude of matching structures required in waveguide systems.

HP 870A tuners consist of a waveguide slotted section with a precision-built carriage on which an adjustable probe is mounted. The position and penetration of the probe are adjusted to set up a reflection which is used to cancel out an existing reflection in a system.

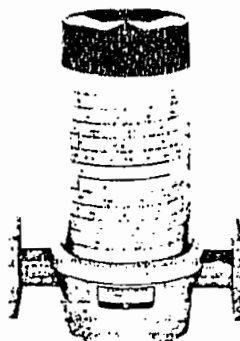
Probe penetration into the guide is varied by a micrometer drive. Position of the probe along the guide is adjusted by a thumb-operated wheel, and position can be read to 0.1 mm on a vernier scale. An SWR of 20 can be corrected to 1.02, with a maximum loss of 2 dB, and small SWRs can be corrected exactly.



536A



537A



H532A

532 Series waveguide; 536A, 537A - coaxial frequency meters

These direct-reading frequency meters measure frequencies from 5.30 to 40 GHz in waveguide and from 960 MHz to 12.4 GHz in coax quickly and accurately. Their long scale length and numerous calibration marks provide high resolution which is particularly useful when measuring frequency differences or small frequency changes. Frequency is read directly in GHz so interpolation or charts are not required.

The instruments comprise a special transmission section with a high-Q resonant cavity which is tuned by a choke plunger. A 1-dB or greater dip in output indicates resonance; virtually full power is transmitted off resonance. Tuning is by a precision lead screw, spring-loaded to eliminate backlash.

Resolution is enhanced by a long, spiral scale calibrated in small frequency increments. For example, Model X532B has an effective scale length of 1956 mm (77 inches) and is calibrated in 5-MHz increments. Resetability is extremely good, and all frequency calibrations are visible so that measurement point is directly indicated. Overall accuracy of each frequency meter includes allowance for 0 to 100 percent relative humidity and temperature variation from 13 to 33°C. Except for the J532A, there are no spurious modes or resonances. Because of the wide frequency range of the J532A, frequencies from 7.6 to 8.2 GHz can excite the TE₁₂ mode when the dial is set between 5.3 and 5.6 GHz.

532A Series, 536A and 537A Specifications

Model	Frequency Range (GHz)	Dial Accuracy (%)	Overall Accuracy (%)	Minimum Dip at Resonance (dB)	Calibration Increment (MHz)	Waveguide Size Nom. O.D. mm (in.) EIA	Equivalent Flange (Connector)	Dimensions mm (in.)	Shipping Weight kg (lb)
536A	0.96 - 4.20	0.15: 0.96 to 1 GHz 0.10: 1 to 4.2 GHz	0.22: 0.96 to 1 GHz 0.17: 1 to 4.2 GHz	0.6: 0.96 to 1 GHz 1: 1 to 4 GHz 0.6: 4 to 4.2 GHz	2	Coaxial	(Type N)	152 x 232 x 152 (6 x 9 1/8 x 6)	5.9 (13)
537A	3.7 - 12.4	0.100	0.170	1	10	Coaxial	(Type N)	118 x 146 x 89 (4 3/8 x 5 3/4 x 3 1/2)	2.3 (5)
J532A	5.30 - 8.20	0.033	0.065	1	2	38.1 x 19.05 (1 1/2 x 3/4) WR137	UG-441/U	159 x 232 x 114 (6 1/4 x 9 1/8 x 4 1/2)	11 (5.0)
H532A	7.05 - 10.0	0.040	0.075	1	2	31.75 x 15.88 (1 1/4 x 3/8) WR112	UG-138/U	159 x 203 x 111 (6 1/4 x 8 x 4 3/8)	4.1 (9)
X532B	8.20 - 12.4	0.050	0.080	1	5	25.4 x 12.7 (1 x 1/2) WR90	UG-39/U	114 x 156 x 73 (4 1/2 x 6 1/8 x 2 7/8)	1.8 (4)
P532A	12.4 - 18.0	0.068	0.100	1	5	17.83 x 9.93 (0.702 x 0.391) WR62	UG-419/U	114 x 159 x 70 (4 1/2 x 6 1/4 x 2 3/4)	1.8 (4)
K532A	18.0 - 26.5	0.077	0.110	1	10	12.7 x 6.35 (0.50 x 0.25) WR42	UG-595/U	114 x 137 x 73 (4 1/2 x 5 3/8 x 2 7/8)	1.4 (3)
R532A	26.5 - 40.0	0.083	0.120	1	10	9.14 x 5.59 (0.360 x 0.220) WR28	UG-599/U	114 x 140 x 70 (4 1/2 x 5 1/2 x 2 3/4)	1.4 (3)

Circular flange adapters available: For K-Band, Specify 11515A (UG-425/U)
See page 86. For R-Band, Specify 11516A (UG-381/U)

Specifications

	Wideband models			Measuring models		Low level models	
Model:	PM 7511	PM 7512	PM 7513	PM 7520	PM 7197X	PM 7195X	PM 7195 P
Diode type: (ordering no)	backdiode (PM 7731)	point contact (PM 7724)	Schottky (PM 7732)	point contact (PM 7725)	point contact (PM 7725)	point contact (PM 7721)	point contact (PM 7726)
Frequency range:	2—18 GHz	2—18 GHz	2—18 GHz	10 MHz—18 GHz	8.2—12.4 GHz	8—11 GHz	12.4—18 GHz
TSS (video BW 1 MHz) typ	—50 dBm	—50 dBm	—50 dBm	—40 dBm	—40 dBm	—50 dBm	—50 dBm
Bias:	0	20 μ A	100 μ A	0	0	0	0
VSWR typ.:	5	7	4	1.8 max.	1.5 max.	5	5
Freq response 2—12 GHz:	± 1.5 dB	± 2 dB	± 2 dB	± 0.5 dB	± 0.3 dB	—	—
12—18 GHz:	± 2.5 dB	± 3 dB	± 4.5 dB	± 1.0 dB	—	—	—
Typical output voltage into 1 Ω at 10 GHz:	1 mV/ μ W	2 mV/ μ W	1.5 mV/ μ W	0.4 mV/ μ W	0.4 mV/ μ W	—	—
Level of 1 dB deviation from square law; typical	—20 dBm (—15 dBm with 200 Ω load)	—17 dBm	—16 dBm	—12 dBm	—12 dBm	—	—
Saturation power level:	0 dBm	+20 dBm	> +20 dBm	+20 dBm	+20 dBm	+20 dBm	+20 dBm
Max. RF power CW:	+17 dBm	+20 dBm	+20 dBm	+20 dBm	+20 dBm	+20 dBm	+20 dBm
Output impedance:	300 Ω / 12 pF	1.5 K Ω / 12 pF	1.5 k Ω / 12 pF	—	—	—	—
Connectors input:	SMA-male	SMA-male	SMA-male	SMA-male	UBR 100	UBR 100	UBR 140
output:	SMA-female	SMA-female	SMA-female	BNC-female	BNC-female	BNC-female	BNC-female
Material:	gold-plated brass			stainless steel	Al.		
Temperature:	—55°C ... +110°C			—	—	—	—
Humidity:	95% Temp. +25°C ... +55°C			—	—	—	—
Vibration:	sine 10—55 Hz, amplitude 0.75 mm sine 55—2000 Hz, amplitude 10 g			—	—	—	—
Bump test:	40 g (1000 bumps)			—	—	—	—
Weight:	18 g	18 g	18 g	20 g	100 g	85 g	85 g
Output polarity:	neg	neg.	—	neg.	neg.	pos.	pos.

Wideband coaxial detectors

These detectors are designed for wide band systems applications.

Field replaceable diodes

The detectors have a low video impedance and are suitable for the detection of fast pulses. The diodes are field replaceable and of standard types. Built-in DC-return for optimum sensitivity/matching is provided.

Meet MIL-standards

They are designed to meet severe MIL-environmental standards. They have a light weight construction using standard 3 mm miniature connectors at both ends.

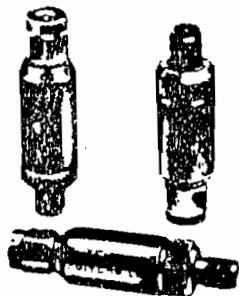
Recommendations

Point-contact diodes are recommended where highest sensitivity above 10 GHz is required, and bias current not available.

Schottky-barrier diodes are recommended when low video/IF frequencies (<10 kHz) are involved.

Backdiodes exhibit negligible $1/f$ noise, good RF match and low video resistance without the complication of DC-bias.

This diode also has the best temperature stability.



Measuring detectors

The PM 7520 and PM 7197X measuring detectors are used in broadband swept frequency measurements, where low reflections and a flat frequency response are required. But they also find applications in all microwave systems, where low reflections and high accuracy are required. The point-contact diodes have a miniature encapsulation and are field-replaceable. The video output polarity can be reversed.

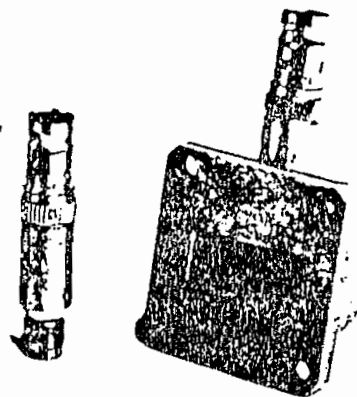
Matched pairs

For applications where tracking is required matched pairs are available.

Finish

The coaxial detector PM 7520 is made of stainless steel with SMA-male input connector and a BNC-female output connector.

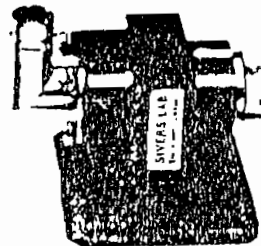
The waveguide detectors are made of aluminium (chromated) and grey painted. They have a BNC-female output.



Low level detectors

PM 7195X and PM 7195P

These waveguide detectors are designed for low level detection. The diode is mounted in the centre of the waveguide in front of a fixed short circuit. Two field symmetrical rises between the flange and the diode flatten the response and reduce the VSWR. The rugged designs meet military requirements and the material are chromated aluminium, painted grey enamel (PM 7195X) or dull black paint (PM 7195P).



LM78MXX Series 3-Terminal Positive Regulators

General Description

The LM78MXX series of three terminal regulators is available with several fixed output voltages making them useful in a wide range of applications. One of these is local on card regulation, eliminating the distribution problems associated with single point regulation. The voltages available allow these regulators to be used in logic systems, instrumentation, HiFi, and other solid state electronic equipment. Although designed primarily as fixed voltage regulators these devices can be used with external components to obtain adjustable voltages and currents.

Considerable effort was expended to make the LM78MXX series of regulators easy to use and minimize the number of external components. It is not necessary to bypass the output, although this does improve transient response. Input bypassing is needed only if the regulator is located far from the filter capacitor of the power supply.

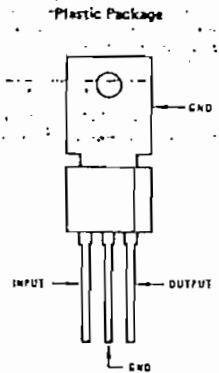
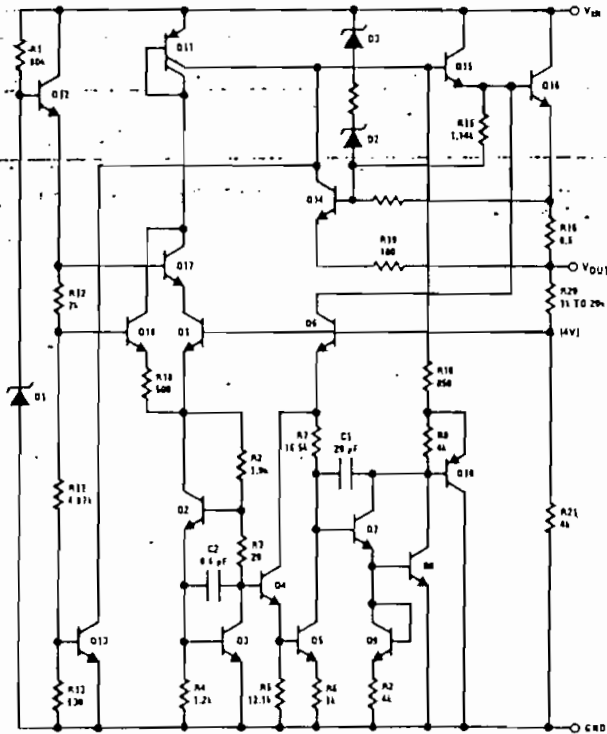
For output voltage other than 5V, 12V and 15V the LM117 series provides an output voltage range from 1.2V to 57V.

The LM78MXX series is available in the plastic TO-202 package. This package allows these regulators to deliver over 0.5A if adequate heat sinking is provided. Current limiting is included to limit the peak output current to a safe value. Safe area protection for the output transistor is provided to limit internal power dissipation. If internal power dissipation becomes too high for the heat sinking provided, the thermal shutdown circuit takes over preventing the IC from overheating.

Features

- Output current in excess of 0.5A
- Internal thermal overload protection
- No external components required
- Output transistor safe area protection
- Internal short circuit current limit
- Available in plastic TO-202 package
- Special circuitry allows start-up even if output is pulled to negative voltage (\pm supplies)

Schematic and Connection Diagrams



Order Numbers
LM78M05CP
LM78M12CP
LM78M15CP
See Package P03A

For Tab Bend TO-202
Order Numbers
LM78M05CP TB
LM78M12CP TB
LM78M15CP TB
See Package P03E



LM79MXX Series 3-Terminal Negative Regulators

General Description

The LM79MXX series of 3-terminal regulators is available with fixed output voltages of -5V, -12V, and -15V. These devices need only one external component—a compensation capacitor at the output. The LM79MXX series is packaged in the TO-202 power package and TO-39 metal can and is capable of supplying 0.5A of output current.

These regulators employ internal current limiting, safe area protection and thermal shutdown for protection against virtually all overload conditions.

Low ground pin current of the LM79MXX series allows output voltage to be easily boosted above the preset

value with a resistor divider. The low quiescent current drain of these devices with a specified maximum change with line and load ensures good regulation in the voltage boosted mode.

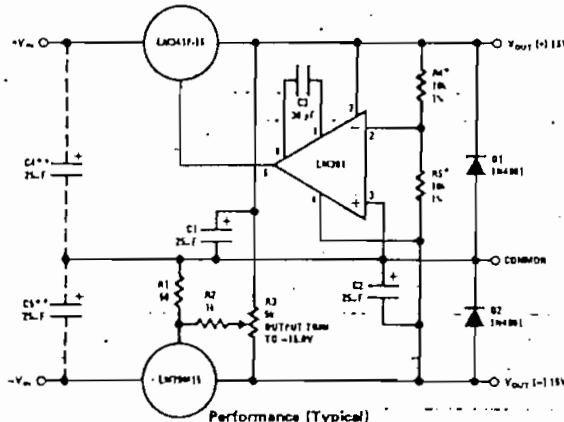
For output voltage other than 5V, 12V and 15V the LM117 series provides an output voltage range from 1.2V to 57V.

Features

- Thermal, short circuit and safe area protection
- High ripple rejection
- 0.5A output current
- 4% preset output voltage

Typical Applications

±15V, 1 Amp Tracking Regulators

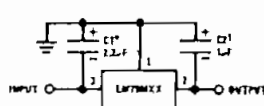


Performance (Typical)

	(-15)	(+15)
Load Regulation at 0.5A	40 mV	2 mV
Output Ripple, $C_{IN} = 3000\mu F$, $I_L = 0.5A$	100µVrms	100µVrms
Temperature Stability	50 mV	50 mV
Output Noise 10 Hz ≤ f ≤ 10 kHz	150µVrms	150µVrms

*Resistor tolerance of R4 and R5 determine matching of (+) and (-) outputs
 **Necessary only if raw supply filter capacitors are more than 3" from regulators

Fixed Regulator

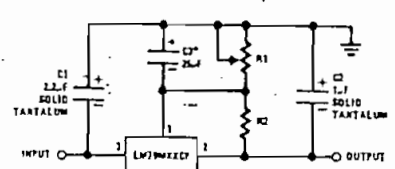


*Required if regulator is separated from filter capacitor by more than 3". For value given, capacitor must be solid tantalum. 25µF aluminum electrolytic may be substituted.

†Required for stability. For value given, capacitor must be solid tantalum. 25µF aluminum electrolytic may be substituted. Values given may be increased without limit.

For output capacitance in excess of 100µF, a high current diode from input to output (1N4001, etc.) will protect the regulator from momentary input shorts.

Variable Output



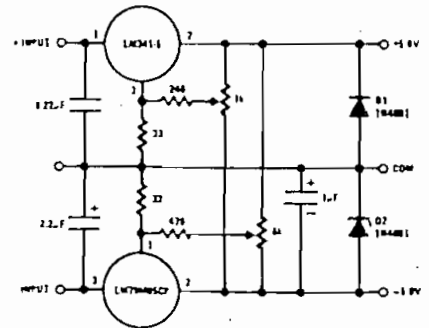
*Improves transient response and ripple rejection. Do not increase beyond 50µF.

$$V_{OUT} = V_{SET} \left(\frac{R1 + R2}{R2} \right)$$

Select R2 as follows:

- LM79M05CP 300Ω
- LM79M12CP 750Ω
- LM79M15CP 1k

Dual Trimmed Supply



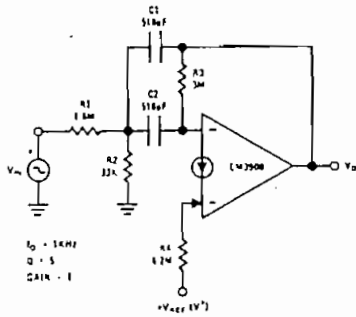


FIGURE 38. A One Op Amp Bandpass Filter

Let $C_1 = C_2$ and select a convenient starting value.

Then

$$R_1 = \frac{Q}{H_0 \omega_0 C_1} \quad (8)$$

$$R_2 = \frac{Q}{(2Q^2 - H_0) \omega_0 C_1} \quad (9)$$

$$R_3 = \frac{2Q}{\omega_0 C_1} \quad (10)$$

and

$$R_4 = 2R_3 \text{ (for } V_{REF} = V^+) \quad (11)$$

As a design example:

Require: $H_0 = 1$

$Q = 5$

$f_0 = 1 \text{ kHz } (\omega_0 = 6.28 \times 10^3 \text{ rad/s})$

Start by selecting

$$C_1 = C_2 = 510 \text{ pF}$$

Then using equation (8)

$$R_1 = \frac{5}{(6.28 \times 10^3)(5.1 \times 10^{-10})}$$

$$R_1 = 1.57 \text{ M}\Omega$$

and using equation (9)

$$R_2 = \frac{5}{[2(25) - 1](6.28 \times 10^3)(5.1 \times 10^{-10})}$$

$$R_2 = 32 \text{ k}\Omega$$

from equation (10)

$$R_3 = \frac{2(5)}{(6.28 \times 10^3)(5.1 \times 10^{-10})}$$

$$R_3 = 3.13 \text{ M}\Omega$$

and finally, for biasing, using equation (11)

$$R_4 = 6.2 \text{ M}\Omega$$

6.5 A Two-amplifier Bandpass Active Filter

To allow higher Q (between 10 and 50) and higher gain, a two amplifier filter is required. This circuit, shown in Figure 39, uses only two capacitors. It is similar to the previous single amplifier bandpass circuit and the added amplifier supplies a controlled amount of positive feedback to improve the response characteristics. The resistors R_5 and R_6 are used to bias the output voltage of the amplifiers at $V^+/2$.

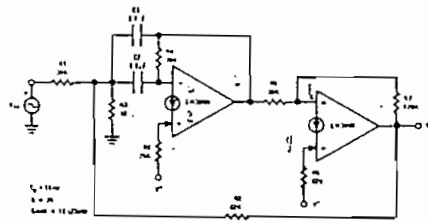


FIGURE 39. A Two Op Amp Bandpass Filter

Again, R_5 is simply chosen as twice R_4 and R_6 must be selected after R_6 and R_7 have been assigned values. The design procedure is as follows:

Given: Q and f_0

To find: R_1 through R_7 , and C_1 and C_2

Let: $C_1 = C_2$ and choose a convenient starting value and choose a value for K to reduce the spread of element values or to optimize sensitivity ($1 \leq K_{\text{Typically}} \leq 10$).

Then

$$R_1 = R_4 = R_6 = \frac{Q}{\omega_0 C_1} \quad (12)$$

$$R_2 = R_1 \frac{KQ}{(2Q - 1)} \quad (13)$$

$$R_3 = \frac{R_1}{Q^2 - 1 - 2/K + 1/KQ} \quad (14)$$

and

$$R_7 = KR_1 \quad (15)$$

$$H_0 = \sqrt{Q} K \quad (16)$$

As a design example:

Require: $Q = 25$ and $f_0 = 1 \text{ kHz}$.

Select: $C_1 = C_2 = 0.1 \mu\text{F}$

and $K = 3$.

Then from equation (12)

$$R_1 = R_4 = R_6 = \frac{25}{(2\pi \times 10^3)(10^{-7})}$$

$$R_1 = 40 \text{ k}\Omega$$

and from equation (13)

$$R_2 = (40 \times 10^3) \frac{3(25)}{[2(25) - 1]}$$

$$R_2 = 61 \text{ k}\Omega$$

and from equation (14)

$$R_3 = \frac{40 \times 10^3}{(25)^2 - 1 - 2/3 + \frac{1}{3(25)}}$$

$$R_3 = 64 \Omega$$

And R_7 is given by equation (15)

$$R_7 = 3(40 \text{ k}\Omega) = 120 \text{ k}\Omega,$$

and the gain is obtained from equation (16)

$$H_0 = \sqrt{25(3)} = 15 (23 \text{ dB}).$$

To properly bias the first amplifier

$$R_5 = 2R_4 = 80 \text{ k}\Omega$$

and the second amplifier is biased by R_8 . Notice that the outputs of both amplifiers will be at $V^*/2$. Therefore R_6 and R_7 can be paralleled and

$$R_8 = 2(R_6 \parallel R_7)$$

or

$$R_8 = 2 \left[\frac{(40)(120) \times 10^3}{160} \right] = 59 \text{ k}\Omega$$

These values, to the closest standard resistor values, have been added to Figure 39.

6.6 A Three-amplifier Bandpass Active Filter

To reduce Q sensitivity to element variation even further or to provide higher Q ($Q > 50$) a three amplifier bandpass filter can be used. This circuit, Figure 40, pre-dates most of the literature on RC active filters and has been used on analog computers. Due to the use of three amplifiers it often is considered too costly—especially for low Q applications. The multiple amplifiers of the LM3900 make this a very useful circuit. It has been called the "Bi-Quad" as it can produce a transfer function which is "Quad" — rad in both numerator and denominator (to give the "Bi"). A newer realization technique for this type of filter is the "second-degree state-variable network." Outputs can be taken at any of three points to give low pass, high pass or bandpass response characteristics (see the reference cited).

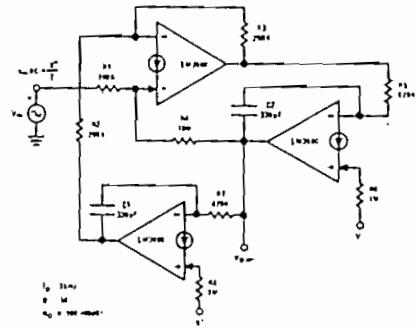


FIGURE 40. The "Bi-quad" RC Active Bandpass Filter

The bandpass filter is shown in Figure 40 and the design procedure is:

Given: Q and f_0 .

To simplify: Let $C_1 = C_2$ and choose a convenient starting value and also let $2R_1 = R_2 = R_3$ and choose a convenient starting value.

Then:

$$R_4 = R_1(2Q - 1), \quad (17)$$

$$R_5 = R_7 = \frac{1}{\omega_0 C_1}, \quad (18)$$

and for biasing the amplifiers we require

$$R_6 = R_8 = 2R_5. \quad (19)$$

The mid-band gain is:

$$H_0 = \frac{R_4}{R_1}. \quad (20)$$

As a design example:

Require: $f_0 = 1 \text{ kHz}$ and $Q = 50$.

To find: C_1, C_2 and R_1 through R_8 .

Choose: $C_1 = C_2 = 330 \text{ pF}$

and $2R_1 = R_2 = R_3 = 360 \text{ k}\Omega$, and $R_1 = 180 \text{ k}\Omega$.

Then from equation (17),

$$R_4 = (1.8 \times 10^5) [2(50) - 1]$$

$$R_4 = 17.8 \text{ M}\Omega.$$

From equation (18),

$$R_5 = R_7 = \frac{1}{(2\pi \times 10^3)(3.3 \times 10^{-10})}$$

$$R_5 = 483 \text{ k}\Omega.$$

And from equation (19),

$$R_6 = R_8 \cong 1 \text{ M}\Omega.$$

TYPES SN5400, SN54H00, SN54L00, SN54LS00, SN54S00, SN7400, SN74H00, SN74LS00, SN74S00 QUADRUPLE 2-INPUT POSITIVE-NAND GATES

REVISED DECEMBER 1977

- Package Options Include Both Plastic and Ceramic Chip Carriers In Addition to Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

description

These devices contain four independent 2-input NAND gates.

The SN5400, SN54H00, SN54L00, and SN54LS00, and SN54S00 are characterized for operation over the full military temperature range of -55°C to 125°C . The SN7400, SN74H00, SN74LS00, and SN74S00 are characterized for operation from 0°C to 70°C .

FUNCTION TABLE (each gate)

INPUTS		OUTPUT
A	B	Y
H	H	L
L	X	H
X	L	H

logic diagram (each gate)

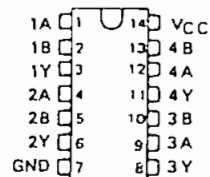


positive logic

$$Y = \overline{A \cdot B} \text{ or } Y = \overline{A + B}$$

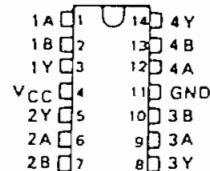
SN5400, SN54H00, SN54L00 ... J PACKAGE
SN54LS00, SN54S00 ... J OR W PACKAGE
SN7400, SN74H00 ... J OR N PACKAGE
SN74LS00, SN74S00 ... D, J OR N PACKAGE

(TOP VIEW)



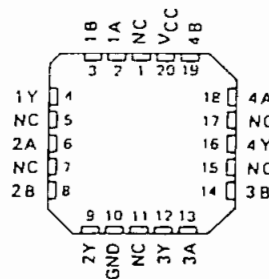
SN5400, SN54H00 ... W PACKAGE

(TOP VIEW)



SN54LS00, SN54S00 ... FK PACKAGE
SN74LS00, SN74S00 ... FN PACKAGE

(TOP VIEW)



NC - No internal connection

PRODUCTION DATA
This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

**TEXAS
INSTRUMENTS**

POST OFFICE BOX 225212 • DALLAS, TEXAS 75266

OUTPUTS

SN74S03			UNIT
MIN	NOM	MAX	
1.5	5	5.25	V
2			
	0.8		V
	5.5		V
	20		mA
0	70		°C

(unless otherwise noted)

MIN	TYP†	MAX	UNIT
	-1.2		V
	0.25		mA
	0.5		V
	1		mA
	50		µA
	-2		mA
6	13.2		mA
20	36		mA

ditions.

TYP	MAX	UNIT
5	7.5	ns
4.5	7	ns
7.5		ns
7		ns

TYPES SN5404, SN54H04, SN54L04, SN54LS04, SN54S04, SN7404, SN74H04, SN74LS04, SN74S04
HEX INVERTERS

REVISED DECEMBER 1983

- Package Options Include Both Plastic and Ceramic Chip Carriers in Addition to Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

description

These devices contain six independent inverters.

The SN5404, SN54H04, SN54L04, SN54LS04 and SN54S04 are characterized for operation over the full military temperature range of -55°C to 125°C. The SN7404, SN74H04, SN74LS04 and SN74S04 are characterized for operation from 0°C to 70°C.

FUNCTION TABLE (each inverter)

INPUTS		OUTPUT	
A	Y	A	Y
H	L	L	H
L	H	H	L

logic diagram (each inverter)

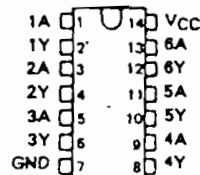


positive logic

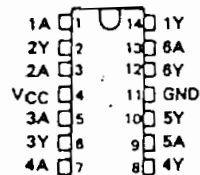
$$Y = \bar{A}$$

SN5404, SN54H04, SN54L04 ... J PACKAGE
SN54LS04, SN54S04 ... J OR W PACKAGE
SN7404, SN74H04 ... J OR N PACKAGE
SN74LS04, SN74S04 ... D, J OR N PACKAGE

(TOP VIEW)

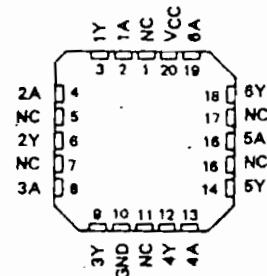


SN5404, SN54H04 ... W PACKAGE
(TOP VIEW)



SN54LS04, SN54S04 ... FX PACKAGE
SN74LS04, SN74S04 ... FN PACKAGE

(TOP VIEW)



MC - No internal connection

PRODUCTION DATA
This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



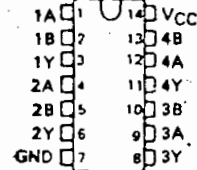
POST OFFICE BOX 225017 • DALLAS, TEXAS 75285

3
TTL DEVICES

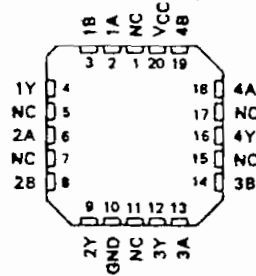
TYPES SN5408, SN54LS08, SN54S08,
SN7408, SN74LS08, SN74S08
QUADRUPLE 2-INPUT POSITIVE-AND GATES
REVISED DECEMBER 1983

- Package Options Include Both Plastic and Ceramic Chip Carriers In Addition to Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

SN5408, SN54LS08, SN54S08 ... J OR W PACKAGE
SN7408 ... J OR N PACKAGE
SN74LS08, SN74S08 ... D, J OR N PACKAGE
(TOP VIEW)



SN54LS08, SN54S08 ... FK PACKAGE
SN74LS08, SN74S08 ... FK PACKAGE
(TOP VIEW)



NC - No Internal Connection

Description

These devices contain four independent 2-input AND gates.

The SN5408, SN54LS08, and SN54S08 are characterized for operation over the full military temperature range of -55°C to 125°C. The SN7408, SN74LS08 and SN74S08 are characterized for operation from 0°C to 70°C.

FUNCTION TABLE (each gate)

INPUTS		OUTPUT
A	B	Y
H	H	H
L	X	L
X	L	L

Logic Diagram (each gate)



Positive Logic

$$Y = A \cdot B \text{ or } Y = \overline{\overline{A} + \overline{B}}$$

noted)
..... 7 V
..... 5.5 V
..... 30 V
..... 15 V
..... -55°C to 125°C
..... 0°C to 70°C
..... -65°C to 150°C

SN7407			UNIT
N	NOM	MAX	
75	5	5.25	V
2			V
		0.8	V
		30	V
		15	V
		40	mA
0		70	°C

as otherwise noted)

SN7407			UNIT
TYP	MAX		
	-1.5		V
	0.25		mA
	0.4		V
	0.7		V
	1		mA
	40		mA
	-1.6		mA
29	41		mA
21	30		mA

TYP	MAX	UNIT
6	10	ns
20	30	ns

TYPES SN5446A, '47A, '48, '49, SN54L46, 'L47, SN54LS47, 'LS48, 'LS49,
 SN7446A, '47A, '48, SN74LS47, 'LS48, 'LS49
 BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS
MARCH 1974 REVISION DECEMBER 1972

'46A, '47A, 'L46, 'L47, 'LS47
 feature

- Open-Collector Outputs Drive Indicators Directly
- Lamp-Test Provision
- Leading/Trailing Zero Suppression

'48, 'LS48
 feature

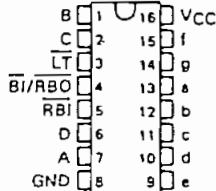
- Internal Pull-Ups Eliminate Need for External Resistors
- Lamp-Test Provision
- Leading/Trailing Zero Suppression

'49, 'LS49
 feature

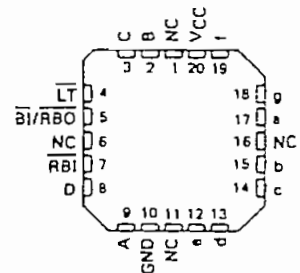
- Open-Collector Outputs
- Blanking Input

SN54L46, SN54L47 ... J PACKAGE
 SN5446A, SN5447A, SN54LS47, SN5448,
 SN54LS48 ... J OR W PACKAGE
 SN7446A, SN7447A,
 SN7448 ... J OR N PACKAGE
 SN74LS47, SN74LS48 ... D, J OR N PACKAGE

(TOP VIEW)

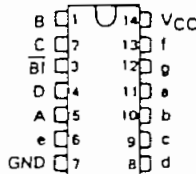


SN54LS47, SN54LS48 ... FK PACKAGE
 SN74LS47, SN74LS48 ... FN PACKAGE
 (TOP VIEW)

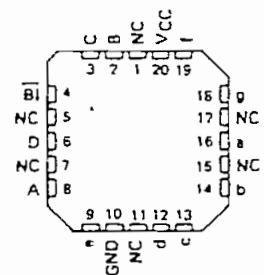


SN5449 ... W PACKAGE
 SN54LS49 ... J OR W PACKAGE
 SN74LS49 ... D, J OR N PACKAGE

(TOP VIEW)



SN54LS49 ... FK PACKAGE
 SN74LS49 ... FN PACKAGE
 (TOP VIEW)



NC - No internal connection

PRODUCTION DATA

This document contains information current as of publication date. Product changes in specifications per the terms of Texas Instruments standard warrants. Production processing does not necessarily include testing of all parameters.

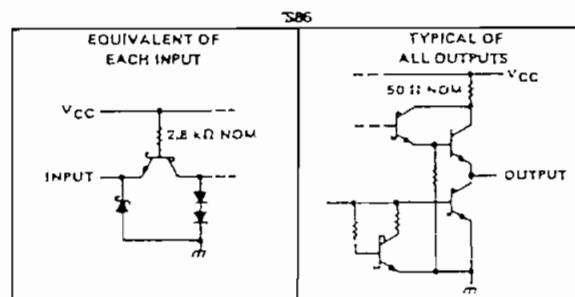
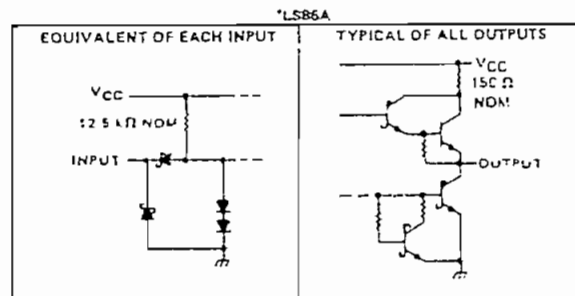
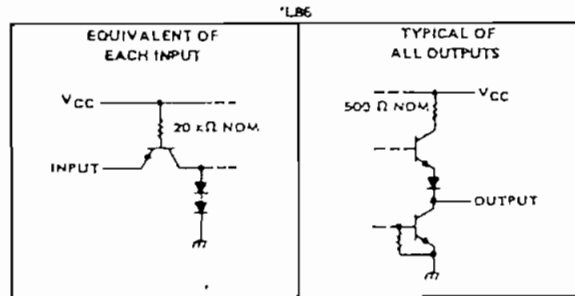
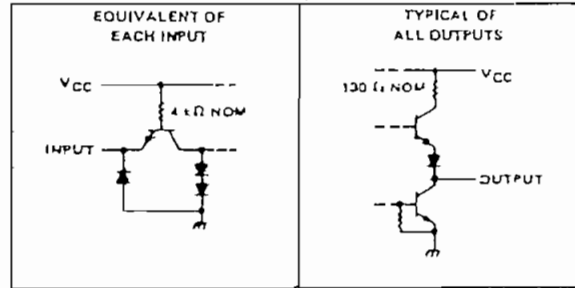


POST OFFICE BOX 5508, DALLAS, TEXAS 75205

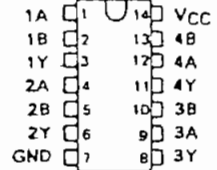
TYPES SN5486, SN54L86, SN54LS86A, SN54S86,
SN7486, SN74LS86A, SN74S86
QUADRUPLE 2-INPUT EXCLUSIVE-OR GATES

DECEMBER 1972 - REVISED DECEMBER 1982

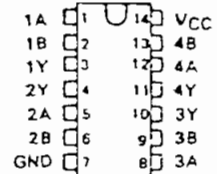
schematics of inputs and outputs



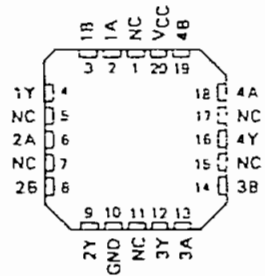
SN5486, SN54LS86A, SN54S86 ... J OR W PACKAGE
SN7486 J OR N PACKAGE
SN74LS86A, SN74S86 D, J OR N PACKAGE
(TOP VIEW)



SN54L86 ... J PACKAGE
(TOP VIEW)



SN54LS86A, SN54S86 ... FK PACKAGE
SN74LS86A, SN74S86 ... FN PACKAGE
(TOP VIEW)



NC - No internal connection.

FUNCTION TABLES

INPUTS		OUTPUT
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

H = high level, L = low level

TYPE	TYPICAL AVERAGE PROPAGATION DELAY TIME	TYPICAL TOTAL POWER DISSIPATION
'86	14 ns	150 mW
'L86	55 ns	15 mW
'LS86A	10 ns	30.5 mW
'S86	7 ns	250 mW

PRODUCTION DATA
This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processes may not necessarily include testing of all parameters.

TEXAS INSTRUMENTS
POST OFFICE BOX 275012 • DALLAS, TEXAS 75266

TYPES SN54LS112A, SN54S112, SN74LS112A, SN74S112 DUAL J-K NEGATIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

REVISED DECEMBER 1982

- Fully Buffered to Offer Maximum Isolation from External Disturbance
- Package Options Include Both Plastic and Ceramic Carriers in Addition to Plastic and Ceramic DIPs.
- Dependable Texas Instruments Quality and Reliability

description

These devices contain two independent J-K negative-edge-triggered flip-flops. A low level at the preset or clear inputs sets or resets the outputs regardless of the levels of the other inputs. When preset and clear are inactive (high), data at the J and K inputs meeting the setup time requirements are transferred to the outputs on the negative-going edge of the clock pulse. Clock triggering occurs at a voltage level and is not directly related to the rise time of the clock pulse. Following the hold time interval, data at the J and K inputs may be changed without affecting the levels at the outputs. These versatile flip-flops can perform as toggle flip-flops by tying J and K high.

The SN54LS112A and SN54S112 are characterized for operation over the full military temperature range of -55°C to 125°C. The SN74LS112A and SN74S112 are characterized for operation from 0°C to 70°C.

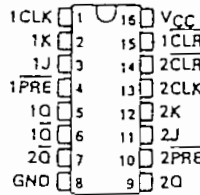
FUNCTION TABLE (each flip-flop)

INPUTS					OUTPUTS	
PRE	CLR	CLK	J	K	Q	\bar{Q}
L	L	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H [†]	H [†]
H	H	↓	L	L	Q ₀	\bar{Q}_0
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	TOGGLE
H	H	H	X	X	Q ₀	\bar{Q}_0

† The output levels in this configuration are not guaranteed to meet the minimum levels for V_{OH} if the lows at preset and clear are near V_{IL} maximum. Furthermore, this configuration is nonstable; that is, it will not persist when either preset or clear returns to its inactive (high) level.

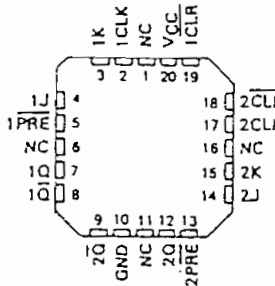
SN54LS112A, SN54S112 ... J OR W PACKAGE
SN74LS112A, SN74S112 ... D, J OR N PACKAGE

(TOP VIEW)



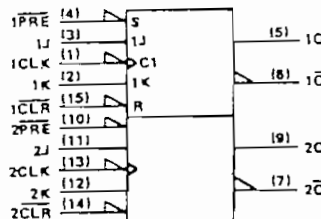
SN54LS112A, SN54S112 ... FK PACKAGE
SN74LS112A, SN74S112 ... FN PACKAGE

(TOP VIEW)



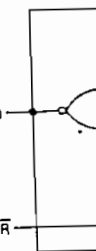
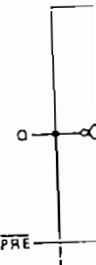
NC - No internal connection

logic symbol



Pin numbers shown on logic notation are for D, J or N packages.

logic diagrams



PRODUCTION DATA

This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

TEXAS
INSTRUMENTS

POST OFFICE BOX 225017 • DALLAS, TEXAS 75285

TTL DEVICES

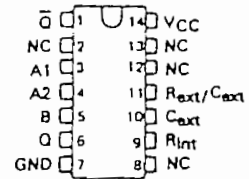
TYPES SN54121, SN54L121, SN74121 MONOSTABLE MULTIVIBRATORS WITH SCHMITT-TRIGGER INPUTS

REVISED MAY 1982

- Programmable Output Pulse Width
With $R_{int} \dots 35 \text{ ns Typ}$
With $R_{ext}/C_{ext} \dots 40 \text{ ns to 28 Seconds}$
- Internal Compensation for Virtual Temperature Independence
- Jitter-Free Operation up to 90% Duty Cycle
- Inhibit Capability

SN54121 ... J OR W PACKAGE
SN54L121 ... J PACKAGE
SN74121 ... J OR N PACKAGE

(TOP VIEW)



NC - No Internal Connection.

FUNCTION TABLE

INPUTS			OUTPUTS	
A1	A2	B	Q	\bar{Q}
L	X	H	L	H
X	L	H	L \uparrow	H \uparrow
X	X	L	L \uparrow	H \uparrow
H	H	X	L \uparrow	H \uparrow
H	I	H		
I	H	H		
I	I	H		
L	X	I		
X	L	I		

For explanation of function table symbols, see page 1

† These lines of the function table assume that the indicated steady-state conditions at the A and B inputs have been setup long enough to complete any pulse started before the setup.

description

These multivibrators feature dual negative-transition-triggered inputs and a single positive-transition-triggered input which can be used as an inhibit input. Complementary output pulses are provided.

Pulse triggering occurs at a particular voltage level and is not directly related to the transition time of the input pulse. Schmitt-trigger input circuitry (TTL hysteresis) for the B input allows jitter-free triggering from inputs with transition rates as slow as 1 volt/second, providing the circuit with an excellent noise immunity of typically 1.2 volts. A high immunity to VCC noise of typically 1.5 volts is also provided by internal latching circuitry.

Once fired, the outputs are independent of further transitions of the inputs and are a function only of the timing components. Input pulses may be of any duration relative to the output pulse. Output pulse length may be varied from 40 nanoseconds to 28 seconds by choosing appropriate timing components. With no external timing components (i.e., R_{int} connected to VCC, C_{ext} and R_{ext}/C_{ext} open), an output pulse of typically 30 or 35 nanoseconds is achieved which may be used as a d-c triggered reset signal. Output rise and fall times are TTL compatible and independent of pulse length.

Pulse width stability is achieved through internal compensation and is virtually independent of VCC and temperature. In most applications, pulse stability will only be limited by the accuracy of external timing components.

Jitter-free operation is maintained over the full temperature and VCC ranges for more than six decades of timing capacitance (10 pF to 10 μ F) and more than one decade of timing resistance (2 k Ω to 30 k Ω for the SN54121/SN54L121 and 2 k Ω to 40 k Ω for the SN74121). Throughout these ranges pulse width is defined by the relationship $t_{w(out)} = C_{ext}R_{T} \ln 2 \approx 0.7 C_{ext}R_{T}$. In circuits where pulse cutoff is not critical, timing capacitance up to 1000 μ F and timing resistance as low as 1.4 k Ω may be used. Also the range of jitter-free output pulse widths is extended if VCC is held to 5 volts and free-air temperature is 25°C. Duty cycles as high as 90% are achieved when using maximum recommended R_{T} . Higher duty cycles are available if a certain amount of pulse-width jitter is allowed.

PRODUCTION DATA

This document contains information current as of publication date. Products conform to specifications only in the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

TEXAS
INSTRUMENTS

POST OFFICE BOX 275017 • DALLAS, TEXAS 75225

5-471

TTL DEVICES

TYPES SN54LS138, SN54S138, SN74LS138, SN74S138 3-LINE TO 8-LINE DECODERS/DEMULTIPLXER.

DECEMBER 1972 - REVISED APRIL 198

SN54LS137			SN74LS137			UNIT
MIN	NOM	MAX	MIN	NOM	MAX	
4.5	5	5.5	4.75	5	5.25	V
		-400			-400	μ A
	4			8		mA
15			15			ns
10			10			ns
10			10			m
-55	125	0	70			C

temperature range (unless otherwise noted)

SN54LS137			SN74LS137			UNIT
MIN	TYP	MAX	MIN	TYP	MAX	
2			2			V
		0.7			0.8	V
		-1.5			-1.5	V
2.5	3.5		2.7	3.5		V
4 mA	0.25	0.4	0.25	0.4		V
8 mA			0.35	0.5		V
		0.1		0.1		mA
	20		20			μ A
	-0.4		-0.4			mA
	-0.2		-0.2			mA
	-20	-100	-20	-100		mA
	11	18	11	18		mA

recommended operating conditions

circuit should not exceed one second

TEST LAY	TEST CONDITIONS	MIN	TYP	MAX	UNIT
			11	17	ns
			25	38	ns
			16	24	m
			19	29	m
			13	21	ns
			16	27	m
			14	21	ns
			18	27	m
			18	27	m
			25	38	ns

CL = 15 pF,
RL = 2 k Ω ,
See Note 3

- Designed Specifically for High-Speed: Memory Decoders Data Transmission Systems
- 3 Enable Inputs to Simplify Cascading and/or Data Reception
- Schottky-Clamped for High Performance

Description

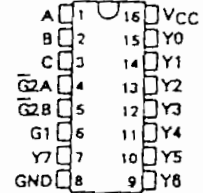
These Schottky-clamped TTL MSI circuits are designed to be used in high-performance memory decoding or data-routing applications requiring very short propagation delay times. In high-performance memory systems these decoders can be used to minimize the effects of system decoding. When employed with high-speed memories utilizing a fast enable circuit the delay times of these decoders and the enable time of the memory are usually less than the typical access time of the memory. This means that the effective system delay introduced by the Schottky-clamped system decoder is negligible.

The 'LS138 and 'S138 decode one of eight lines dependent on the conditions at the three binary select inputs and the three enable inputs. Two active-low and one active-high enable inputs reduce the need for external gates or inverters when expanding. A 24-line decoder can be implemented without external inverters and a 32-line decoder requires only one inverter. An enable input can be used as a data input for demultiplexing applications.

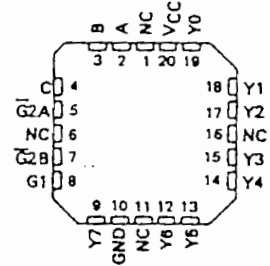
All of these decoder/demultiplexers feature fully buffered inputs, each of which represents only one normalized load to its driving circuit. All inputs are clamped with high-performance Schottky diodes to suppress line-ringing and to simplify system design.

The SN54LS138 and SN54S138 are characterized for operation over the full military temperature range of -55°C to 125°C. The SN74LS138 and SN74S138 are characterized for operation from 0°C to 70°C.

SN54LS138, SN54S138 ... J OR W PACKAGE
SN74LS138, SN74S138 ... D, J OR N PACKAGE
(TOP VIEW)

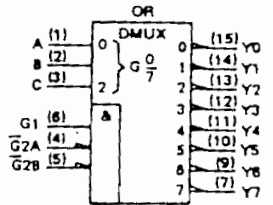
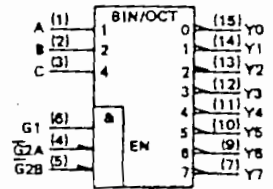


SN54LS138, SN54S138 ... FK PACKAGE
SN74LS138, SN74S138 ... FN PACKAGE
(TOP VIEW)



NC - No Internal Connection

logic symbols



Pin numbers shown on logic notation are for D, J or N packages.

PRODUCTION DATA

This document contains information critical to the operation of the products described herein. It is the property of Texas Instruments and is loaned to you for your use only. It is not to be distributed outside your organization. Production processing does not necessarily involve testing of all parameters.

TEXAS
INSTRUMENTS

POST OFFICE BOX 275013 • DALLAS, TEXAS 75225

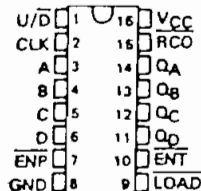
TYPES SN54LS169B, SN54S168, SN54S169,
SN74LS169B, SN74S168, SN74S169
SYNCHRONOUS 4-BIT UP/DOWN COUNTERS

OCTOBER 1976—REVISED MAY 1983

'S168 . . . SYNCHRONOUS UP/DOWN DECADE COUNTERS
'LS169B, 'S169 . . . SYNCHRONOUS UP/DOWN BINARY COUNTERS

SN54S168, SN54LS169B, SN54S169 . . . J OR W PACKAGE
SN74S168, SN74LS169B, SN74S169 . . . D, J OR N PACKAGE

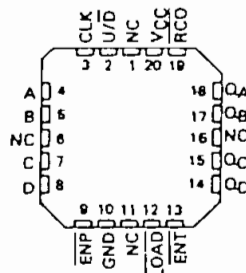
(TOP VIEW)



- Programmable Look-Ahead Up/Down Binary/Decade Counters
- Fully Synchronous Operation for Counting and Programming
- Internal Look-Ahead for Fast Counting
- Carry Output for n-Bit Cascading
- Fully Independent Clock Circuit

SN54S168, SN54LS169B, SN54S169 . . . FK PACKAGE
SN74S168, SN74LS169B, SN74S169 . . . FN PACKAGE

(TOP VIEW)



NC—No internal connection

description

These synchronous presettable counters feature an internal carry look-ahead for cascading in high speed counting applications. The 'S168 is a decade counter and the 'LS169B and 'S169 are 4-bit binary counters. Synchronous operation is provided by having all flip-flops clocked simultaneously so that the outputs change coincident with each other when so instructed by the count-enable inputs and internal gating. This mode of operation helps eliminate the output counting spikes that are normally associated with asynchronous (ripple-clock) counters. A buffered clock input triggers the four master-slave flip-flops on the rising (positive-going) edge of the clock waveform.

These counters are fully programmable; that is, the outputs may each be preset to either level. The load input circuitry allows loading with the carry-enable output of cascaded counters. As loading is synchronous, setting up a low level at the load input disables the counter and causes the outputs to agree with the data inputs after the next clock pulse.

The carry look-ahead circuitry provides for cascading counters for n-bit synchronous applications without additional gating. Instrumental in accomplishing this function are two count-enable inputs and a carry output. Both count enable inputs (ENP, ENT) must be low to count. The direction of the count is determined by the level of the up/down input. When the input is high, the counter counts up; when low, it counts down. Input ENT is fed forward to enable the carry output. The carry output thus enabled will produce a low-level output pulse with a duration approximately equal to the high portion of the QA output when counting up and approximately equal to the low portion of the QA output when counting down. This low-level overflow carry pulse can be used to enable successive cascaded stages. Transitions at the ENP or ENT inputs are allowed regardless of the level of the clock input. All inputs are diode-clamped to minimize transmission-line effects, thereby simplifying system design.

These counters feature a fully independent clock circuit. Changes at control inputs (ENP, ENT, LOAD, U/D) that will modify the operating mode have no effect until clocking occurs. The function of the counter (whether enabled, disabled, loading, or counting) will be dictated solely by the conditions meeting the stable setup and hold times.

TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY		TYPICAL POWER DISSIPATION
	COUNTING UP	COUNTING DOWN	
'LS169B	35MHz	35MHz	100mW
'S168, 'S169	70MHz	55MHz	500mW

PRODUCTION DATA
This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

TEXAS
INSTRUMENTS

POST OFFICE BOX 275012 • DALLAS TEXAS 75265

3-651



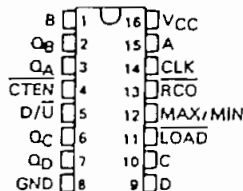
TTL DEVICES

TYPES SN54190, SN54191, SN54LS190, SN54LS191, SN74190, SN74191, SN74LS190, SN74LS191 SYNCHRONOUS UP/DOWN COUNTERS WITH DOWN/UP MODE CONTROL

DECEMBER 1972—REVISED DECEMBER 1983

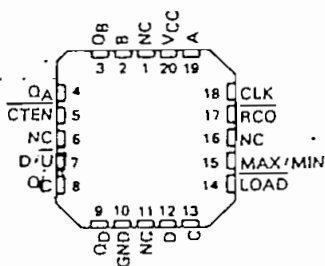
- Counts 8-4-2-1 BCD or Binary
- Single Down/Up Count Control Line
- Count Enable Control Input
- Ripple Clock Output for Cascading
- Asynchronously Presetable with Load Control
- Parallel Outputs
- Cascadable for n-Bit Applications

SN54190, SN54191, SN54LS190,
SN54LS191 ... J OR W PACKAGE
SN74190, SN74191 ... J OR N PACKAGE
SN74LS190, SN74LS191 ... D, J OR N PACKAGE
(TDP VIEW)



TYPE	AVERAGE PROPAGATION DELAY	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'190-'191	20ns	25MHz	325mW
LS190-LS191	20ns	25MHz	100mW

SN54LS190, SN54LS191 ... FK PACKAGE
SN74LS190, SN74LS191 ... FN PACKAGE
(TOP VIEW)



Description

The '190, 'LS190, '191, and 'LS191 are synchronous, reversible up/down counters having a complexity of 58 equivalent gates. The '191 and 'LS191 are 4-bit binary counters and the '190 and 'LS190 are BCD counters. Synchronous operation is provided by having all flip-flops clocked simultaneously so that the outputs change coincident with each other when so instructed by the steering logic. This mode of operation eliminates the output counting spikes normally associated with asynchronous (ripple clock) counters.

The outputs of the four master-slave flip-flops are triggered on a low-to-high transition of the clock input if the enable input is low. A high at the enable input inhibits counting. Level changes at the enable input should be made only when the clock input is high. The direction of the count is determined by the level of the down/up input. When low, the counter counts up and when high, it counts down. A false clock may occur if the down/up input changes while the clock is low. A false ripple carry may occur if both the clock and enable are low and the down/up input is high during a load pulse.

These counters are fully programmable; that is, the outputs may be preset to either level by placing a low on the load input and entering the desired data at the data inputs. The output will change to agree with the data inputs independently of the level of the clock input. This feature allows the counters to be used as modulo-N dividers by simply modifying the count length with the preset inputs.

The clock, down/up, and load inputs are buffered to lower the drive requirement which significantly reduces the number of clock drivers, etc., required for long parallel words.

Two outputs have been made available to perform the cascading function: ripple clock and maximum/minimum count. The latter output produces a high-level output pulse with a duration approximately equal to one complete cycle of the clock when the counter overflows or underflows. The ripple clock output produces a low-level output pulse equal in width to the low-level portion of the clock input when an overflow or underflow condition exists. The counters can be easily cascaded by feeding the ripple clock output to the enable input of the succeeding counter if parallel clocking is used, or to the clock input if parallel enabling is used. The maximum/minimum count output can be used to accomplish look-ahead for high-speed operation.

Series 54' and 54LS' are characterized for operation over the full military temperature range of -55°C to 125°C ; Series 74' and 74LS' are characterized for operation from 0°C to 70°C .

PRODUCTION DATA
This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

TEXAS
INSTRUMENTS

POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

3-741

TTL DEVICES



TYPES SN54LS245, SN74LS245 OCTAL BUS TRANSCEIVERS WITH 3-STATE OUTPUTS

OCTOBER 1976—REVISED APRIL 1985

- Bi-directional Bus Transceiver in a High-Density 20-Pin Package
- 3-State Outputs Drive Bus Lines Directly
- PNP Inputs Reduce D-C Loading on Bus Lines
- Hysteresis at Bus Inputs Improve Noise Margins
- Typical Propagation Delay Times, Port-to-Port . . . 8 ns

TYPE	I _{OL} (SINK CURRENT)	I _{OH} (SOURCE CURRENT)
SN54LS245	12 mA	-12 mA
SN74LS245	24 mA	-15 mA

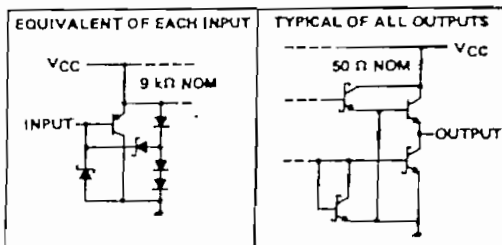
description

These octal bus transceivers are designed for asynchronous two-way communication between data buses. The control function implementation minimizes external timing requirements.

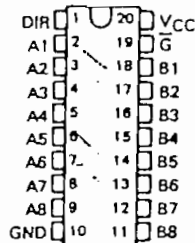
The devices allow data transmission from the A bus to the B bus or from the B bus to the A bus depending upon the logic level at the direction control (DIR) input. The enable input (G) can be used to disable the device so that the buses are effectively isolated.

The SN54LS245 is characterized for operation over the full military temperature range of -55°C to 125°C. The SN74LS245 is characterized for operation from 0°C to 70°C.

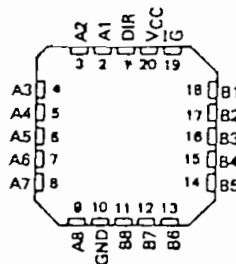
schematics of inputs and outputs



SN54LS245 . . . J PACKAGE
SN74LS245 . . . DW, J OR N PACKAGE
(TOP VIEW)



SN54LS245 . . . FK PACKAGE
SN74LS245 . . . FN PACKAGE
(TOP VIEW)



FUNCTION TABLE

ENABLE G	DIRECTION CONTROL DIR	OPERATION
L	L	B data to A bus
L	H	A data to B bus
H	X	Isolation

H = High level, L = Low level, X = Irrelevant

PRODUCTION DATA

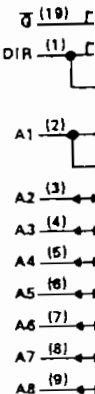
This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

3-826

TEXAS
INSTRUMENTS

POST OFFICE BOX 275012 • DALLAS, TEXAS 75285

logic symbol



Pin numbers shown

absolute maximum

Supply voltage
Input voltage
Off-state output current
Operating frequency

Storage temperature

NOTE 1: Voltage values

TYPES SN54LS320, SN54LS321, SN74LS320, SN74LS321 CRYSTAL-CONTROLLED OSCILLATORS

D241B, DECEMBER 1976 - REVISED JANUARY 1981

'LS320

- Crystal-Controlled Oscillator Operation from 1 MHz to 20 MHz
- 2-Phase Driver Outputs

'LS321

- Similar to 'LS320 But Includes 1/2 and 1/4 Count-Down Outputs

description

The 'LS320 is a crystal-controlled oscillator/clock driver. It features complementary standard and high-current driver outputs. A synchronization flip-flop is included.

The driver outputs, F' and \bar{F}' have very-low impedance and can be used to drive highly capacitive TTL-level lines. If the driver outputs are not used, then the V_{CC}' terminal can be left open.

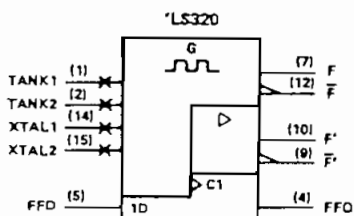
The 'LS321 is identical to the 'LS320 except it additionally features two count-down outputs, $F/2$ and $F/4$.

These circuits were designed for crystal control of frequency and capacitive control is not recommended. If a fundamental crystal is used, an inductor of 5 to 160 μH is required to be connected between the tank 1 and tank 2 inputs. †

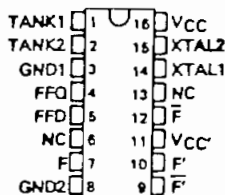
Interaction of the driver outputs with the other outputs limits useful frequencies as shown in the frequency-limits table.

The SN54LS320 and SN54LS321 are characterized for operation over the full military temperature range of -55°C to 125°C . The SN74LS320 and SN74LS321 are characterized for operation from 0°C to 70°C .

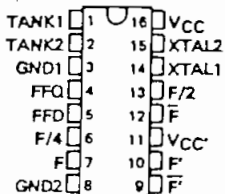
logic symbols



SN54LS320 ... J PACKAGE
SN74LS320 ... J OR N PACKAGE
(TOP VIEW)



SN54LS321 ... J PACKAGE
SN74LS321 ... J OR N PACKAGE
(TOP VIEW)

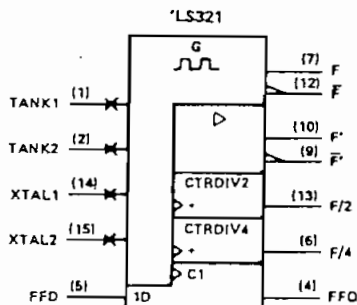


NC - No internal connection

For chip carrier information, contact the factory.

FREQUENCY LIMITS

OUTPUTS IN USE	V_{CC}	V_{CC}'	f_{max}
Driver outputs only	5 V	5 V	20 MHz
Other outputs only	5 V	Open	20 MHz
Driver and any other outputs	5 V	5 V	10 MHz



†The value of the inductor is selected from the graph in Figure 2. Use the next higher standard inductor value if the selected value is not available. If a third overtone crystal is used, a tuned tank is necessary. The center frequency of the tuned tank is determined by the equation $f = 3 \sqrt{L/C}$.

PRODUCTION DATA
This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

**TEXAS
INSTRUMENTS**

POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

3-963