

ESCUELA POLITECNICA NACIONAL
FACULTAD DE INGENIERIA ELECTRICA

" SISTEMA AUTOMATICO DE ADQUISICION DE
DATOS PARA UN MEDIDOR DE DEFORMACION "

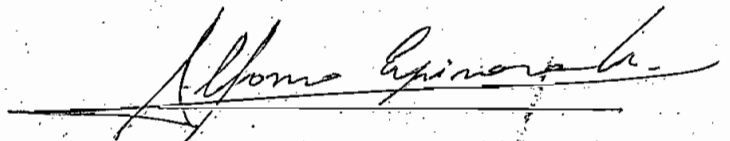
FERNANDO FLORES CIFUENTES

TESIS PREVIA A LA OBTENCION
DEL TITULO DE INGENIERO EN
ELECTRONICA Y TELECOMUNICA
CIONES.

QUITO, ABRIL DE 1984



Certifico que el presente trabajo
ha sido elaborado en su totalidad
por el Sr. Fernando Flores Cifuen
tes.

A handwritten signature in cursive script, appearing to read "Alfonso Espinosa R.", is written over a horizontal line.

ING. ALFONSO ESPINOSA R.

Director de Tesis

DEDICATORIA

A MIS PADRES

Y HERMANOS

A G R A D E C I M I E N T O

Agradezco a todos quienes en forma directa o indirecta colaboraron con la realización de la presente tesis, en especial, al Ing. Alfonso Espinosa R. como director de la tesis, a los Ingenieros Efraín Del Pino, Pablo Peñafiel, Fernando Alvear, Jaime Arturo Erázo, Jaime Velarde y demás compañeros de los Laboratorios de Sistemas Digitales y Control por su colaboración en la culminación del mismo.

Agradezco también a mis hermanos Luis, Washington y Elsy por su valiosa colaboración en la adquisición oportuna de todos y cada uno de los elementos. A la Srta. Ana Viteri por su paciente dedicación en el trabajo mecanográfico.

I N T R O D U C C I O N

La existencia de un equipo medidor de deformación Brüel & Kjaer en la Facultad de Ingeniería Civil motivó el desarrollo de esta tesis cuyo objetivo es el de diseñar y construir un sistema capaz de almacenar en memoria RAM, de una manera automática, los datos provenientes de dicho equipo, y recuperarlos ya sea en displays, o en un impresor.

El principio de funcionamiento del medidor de deformación se describe en forma general en el Capítulo I; su lectura se recomienda especialmente a las personas que no estén familiarizadas con mediciones de este tipo.

El hardware y el software del Sistema Automático de Adquisición de Datos se han desarrollado en base al microprocesador MC6802. La documentación completa se encuentra en el Capítulo II para que un lector especializado en el campo pueda entender o modificar, de ser necesario, el funcionamiento del sistema.

Los datos técnicos de la construcción se incluyen en el Capítulo III. También se detalla una lista de costos de acuerdo a los precios de los elementos en el año 1983, correspondiente a la fecha de importación.

Para el mantenimiento se debe hacer referencia a los Capítulos III y IV.

El Manual de Operación en el Capítulo IV está redactado de tal forma que un usuario que conozca el funcionamiento del equipo medidor de deformación Brüel & Kjaer pueda utilizar el Sistema Automático de Adquisición de Datos sin necesidad de referirse a los Capítulos I, II y III.

I N D I C E

	Pag.
CAPITULO I:	
GENERALIDADES	
1.1	Introducción 1
1.1.1	Conceptos básicos 1
1.2	Medidores de deformación 6
1.3	El medidor de deformación Brüel & Kjaer tipo 1526. Diagrama de bloques 26
1.4	El selector de multipunto y control tipo 1544. Diagrama de bloques 34
CAPITULO II:	
ANALISIS Y DISEÑO	
2.1	Especificaciones.- Descripción general 39
2.1.1	Descripción general 40
2.2	Diagrama de bloques 41
2.3	Diseño del hardware 44
2.3.1	Diseño de la unidad de control 44
2.3.2	Diseño de la memoria 51
2.3.3	Dispositivos de entrada y salida 54
2.3.3.a	Interface con el teclado 56
2.3.3.b	Interface con los displays 60
2.3.3.c	Interface serial 65
2.3.3.d	Diseño de señales hacia periféricos 77
2.3.4	Fuentes de poder 81
2.4	Diseño del software 86
2.4.1	Diagramas de flujo 86
2.4.2	Listado de programas 144

CAPITULO III:

CONSTRUCCION Y EXPERIMENTACION

3.1	Construcción	178
3.1.1	Distribución general de los elementos	179
3.1.2	Distribución de los elementos en las tarjetas	179
3.1.2.a	Tarjeta de control T1 y conector J1	180
3.1.2.b	Tarjeta de memoria T2 y conector J2'	186
3.1.2.c	Conector J3	189
3.1.2.d	Tarjeta de teclado T4 y conector J4	193
3.1.2.e	Tarjeta de indicadores luminosos T5 y conectores DP2, DP3	196
3.1.2.f	Conector DP4	198
3.1.2.g	Conector DB1	200
3.1.2.h	Conector DB2	203
3.1.2.i	Interruptor de encendido	206
3.2	Costos	207
3.3	Pruebas realizadas	211

CAPITULO IV:

CONCLUSIONES Y RECOMENDACIONES

4.1	Recomendaciones	213
4.2	Manual de operación del equipo construido	214
4.3	Guía de mantenimiento	218

APENDICE A: Características de los elementos utilizados.

APENDICE B: Manual de operación de los equipos B&K 1526 y 1544.

APENDICE C: Diagramas eléctricos.

BIBLIOGRAFIA.

CAPITULO I

GENERALIDADES

- 1.1 Introducción
- 1.2 Medidores de deformación
- 1.3 El medidor de deformación Brüel & Kjaer tipo 1526.
Diagrama de bloques
- 1.4 El selector de multipunto y control tipo 1544
Diagrama de bloques

C A P I T U L O I

GENERALIDADES

1.1 INTRODUCCION.

El desarrollo de los métodos de medida de esfuerzos es de historia reciente; éste ha venido impuesto por las necesidades de producción masificada, que recibió un impulso definitivo a raíz de la segunda guerra mundial.

El sobredimensionamiento en el diseño y el análisis empírico por ensayo y error son técnicas inaplicables en los sectores más avanzados de la industria. Se requieren vehículos veloces, máquinas sometidas a regímenes altos de trabajo, estructuras gigantescas, etc., de ahí la necesidad de disponer de instrumentos capaces de determinar esfuerzos experimentales, bajo condiciones reales.

1.1.1 CONCEPTOS BASICOS.

Durante el diseño y construcción de máquinas y estructuras, la resistencia del material a ser usado juega un papel muy importante en los cálculos. Conociendo esta característica del material es posible determinar las partes de una máquina que pueden soportar una carga determinada sin que se produzca una excesiva deformación o ruptura.

Esta capacidad para llevar carga está normalmente caracterizada en términos de "esfuerzo" o fatiga ("STRESS"); que no es sino la cantidad de

carga por unidad de área, y está expresada en unidades de presión.

$$\sigma = \frac{F}{A} \left[\frac{\text{Newton}}{\text{m}^2} \right] \quad \text{ec. 1.1}$$

Robert Hooke estableció en 1678 la relación que existe entre tensiones y deformaciones en los cuerpos sometidos a esfuerzos mecánicos. Si el material es isotrópico y homogéneo y no sobrepasa el límite elástico, entonces la relación es lineal.

En la misma forma que las cargas son caracterizadas en términos de esfuerzo o tensión, la deformación o alargamiento es caracterizado en términos de "deformación" ("STRAIN"), donde la deformación es usualmente definida como el cambio de longitud por unidad de longitud, es decir, es una relación adimensional (mm/m) (in/in).

$$\epsilon = \frac{\delta l}{l} \left[\frac{\mu\text{m}}{\text{m}} \right] \quad \text{ec. 1.2}$$

La unidad más utilizada es la microdeformación ($\mu\epsilon$) que equivale a 1.10^{-6} y representa una variación de 1 micra en una longitud de 1 m.

Dependiendo de la naturaleza de la fuerza aplicada se pueden distinguir los siguientes tipos de deformación:

- Deformación unitaria por tensión de la barra, que se define como la razón del aumento de longitud respecto a la longitud inicial.
- Deformación unitaria por compresión de una barra sometida a compresión, que se define como la razón de la disminución de longitud a la

longitud inicial.

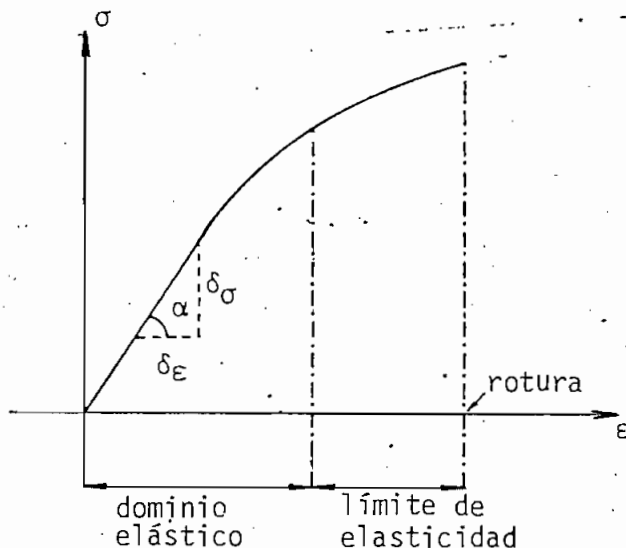
- Deformación unitaria por unidad de volumen, definida como la razón de la variación de volumen V al volumen inicial V_0 .

MODULO DE ELASTICIDAD

Se define un módulo de elasticidad como la razón de una fatiga a la correspondiente deformación unitaria, y siempre que no pase el límite de elasticidad. Experimentalmente se encuentra que esta relación es constante y característica del material dado. Ver Fig. 1.1.

El módulo de elasticidad longitudinal (E), llamado también módulo de Young, determina la aptitud de un material para el alargamiento:

$$\text{módulo de elasticidad } (E) = \frac{\text{Esfuerzo de Tracción } (\sigma)}{\text{Deformación } (\epsilon)} \quad \text{ec. 1.3}$$



$$\text{tg } \alpha = E = \frac{\delta\sigma}{\delta\epsilon}$$

FIGURA 1.1.- Curva fatiga-deformación para un metal sometido a tensión.

La figura 1.2 muestra de una manera exagerada la deformación de una viga fija en uno de sus extremos sometida a una tensión simple, la cual causa un incremento en la longitud y un correspondiente decremento en la sección. Este fenómeno es conocido como el efecto POISSON; significa que si la deformación es medida en cada plano perpendicular a la carga aplicada se detectará una deformación negativa de menor magnitud. La magnitud de esta medida depende de la razón de Poisson y su valor varía de un material a otro.

La relación:

$$E = \frac{\text{Esfuerzo}}{\text{Deformación}} \quad \text{ec. 1.4}$$

es válida solamente en la dirección de aplicación de la fuerza, y no en otra dirección.

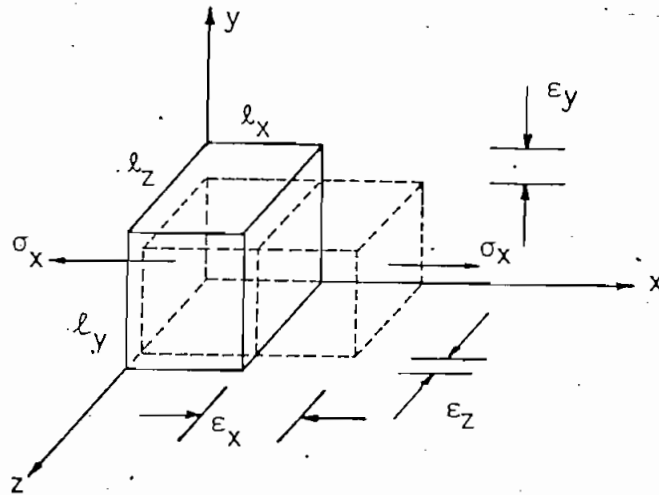


FIGURA 1.2.- Deformación en una viga.

La deformación en cada eje puede ser considerada como constituida de la deformación primaria debido a la carga y la producida por el efecto Poisson. Para el ejemplo de la viga mostrada en la figura 1.2 las componen-

tes pueden ser escritas de la siguiente manera:

$$\epsilon_x = \frac{\delta x}{x} \qquad \epsilon_x = \frac{\sigma_x}{E} \qquad \text{ec. 1.5}$$

$$\epsilon_y = -\frac{\delta y}{y} \qquad \epsilon_y = -\frac{\mu\sigma_x}{E} \qquad \text{ec. 1.6}$$

$$\epsilon_z = -\frac{\delta z}{z} \qquad \epsilon_z = -\frac{\mu\sigma_x}{E} \qquad \text{ec. 1.7}$$

Donde μ es el coeficiente de Poisson.

Ecuaciones similares pueden ser escritas para cargas aplicadas en las direcciones y y z . Si las cargas son aplicadas simultáneamente en las tres direcciones (x,y,z) la deformación en alguna dirección puede ser encontrada sumando algebraicamente cada una de las componentes:

$$\epsilon_x = \frac{\sigma_x}{E} - \frac{\mu\sigma_y}{E} - \frac{\mu\sigma_z}{E} \qquad \text{ec. 1.8}$$

$$\epsilon_y = \frac{\sigma_y}{E} - \frac{\mu\sigma_x}{E} - \frac{\mu\sigma_z}{E} \qquad \text{ec. 1.9}$$

$$\epsilon_z = \frac{\sigma_z}{E} - \frac{\mu\sigma_y}{E} - \frac{\mu\sigma_x}{E} \qquad \text{ec. 1.10}$$

Expresando estas ecuaciones en términos de esfuerzos se tiene:

$$\sigma_x = E \epsilon_x + \mu\sigma_y + \mu\sigma_z \qquad \text{ec. 1.11}$$

$$\sigma_y = E \epsilon_y + \mu\sigma_x + \mu\sigma_z \qquad \text{ec. 1.12}$$

$$\sigma_z = E \epsilon_z + \mu\sigma_y + \mu\sigma_x \qquad \text{ec. 1.13}$$

Todos estos conceptos pertenecen a la teoría de resistencia de materiales y son indispensables para el estudio de esfuerzos a partir de la medida de deformaciones superficiales.

1.2 MEDIDORES DE DEFORMACION.

Para la determinación experimental de los esfuerzos y deformaciones, que se producen en una zona dada de alguna estructura, existen varios métodos. Los más importantes son: Lacas frágiles, Fotoelasticidad; y, Medición de deformaciones unitarias o absolutas que luego se traducirán a esfuerzos.

La primera es una técnica básicamente cualitativa y muestra los puntos donde se presentan los esfuerzos máximos, pero la cuantización que se obtiene es sólo aproximada, razón por la cual se la puede considerar como un método complementario para medir deformaciones.

La Fotoelasticidad es también un método cualitativo y permite encontrar la distribución de los esfuerzos, la cuantización de estos esfuerzos es mucho más fácil que el anterior. Sus aplicaciones se orientan al diseño de piezas de máquinas sometidas a esfuerzos no bien definidos: proximidades de agujeros, zonas soldadas o remachadas y en general casos en los cuales el análisis teórico resulta difícil.

El tercer método es el más utilizado.

Existen varios tipos de medidores de deformación, siendo los más conoci

dos: los mecánicos, los ópticos y los electrónicos, los cuales pueden clasificarse de acuerdo a las siguientes características:

- a.- Longitud de la medida,
- b.- Sensibilidad (el más pequeño valor de deformación que se puede captar),
- c.- Orden (la máxima deformación que puede ser detectada por un deformímetro),
- d.- Precisión (el grado de prolijidad y reproductibilidad de un fenómeno).

Por lo general, un medidor de deformaciones debe cumplir con ciertos requisitos básicos que permitan realizar las mediciones de una manera fácil, tales como:

- Tamaño pequeño, de tal manera que se puedan realizar las mediciones en puntos de difícil acceso;
- Masa despreciable, para que no altere la masa de la pieza de prueba;
- Técnicas de montaje y operación sencillas.
- Que no le deterioren los fenómenos a los que va a estar sometido. Tal es el caso por ejemplo de las variaciones de temperatura y las variaciones cíclicas en el rango elástico.
- Necesidad mínima de calibración y que esta no sea afectada por el tiempo o agentes atmosféricos.

- Sensibilidad de $\pm 1 \mu\text{cm/cm}$ en lo posible.
- Debe permitir la realización de mediciones estáticas y dinámicas.
- El equipo de medición y operación debe ser económico.
- Resistencia o tolerancia física grande.

La técnica que utiliza medidores de deformación por la variación de la resistencia eléctrica satisface adecuadamente las condiciones indicadas anteriormente.

GALGAS EXTENSOMETRICAS.

De entre los diferentes procedimientos que existen para convertir las deformaciones en señales eléctricas proporcionales, el más extendido es el que utiliza elementos cuya resistencia eléctrica varía en función de pequeños cambios de longitud. Esos elementos van adheridos a la superficie de la pieza de prueba formando un conjunto solidario, y reciben el nombre de galgas extensométricas.

En 1856 Lord Kelvin estableció mediante pruebas experimentales que la resistencia elástica de un conductor varía al ser estirado o comprimido, es decir cuando se ha modificado su longitud.

La relación entre la variación unitaria de resistencia eléctrica y la variación unitaria de longitud (ϵ), conocida como sensibilidad, es característica de cada material.

La sensibilidad de la deformación unitaria es conocida como Factor del Gage, o Factor de Galga (K).

$$K = \frac{\text{variación unitaria de resistencia eléctrica}}{\text{variación unitaria de longitud}} \quad \text{ec. 1.14}$$

$$K = \frac{(R_f - R_o)/R_o}{(L_f - L_o)/L_o} \quad \text{ec. 1.15}$$

$$K = \frac{\Delta R / R_o}{\Delta L / L_o} \quad \text{ec. 1.16}$$

$$K = \frac{\Delta R / R_o}{\epsilon} \quad \Rightarrow \quad K = \frac{\Delta R}{R_o \epsilon} \quad \text{ec. 1.17}$$

siendo:

ΔR = variación de la resistencia eléctrica.

R_o = resistencia eléctrica inicial.

R_f = resistencia eléctrica final.

L_o = longitud inicial.

L_f = longitud final

ϵ = deformación unitaria longitudinal.

El factor de galga K debe cumplir algunas características:

- 1.- K debe tener un valor grande, es decir una alta sensibilidad, de tal manera que pequeñas deformaciones produzcan gran cambio de resistencia;

- 2.- K debe ser constante, ésto es, la relación entre el cambio de resistencia y el cambio de longitud debe permanecer constante para todo el rango de deformaciones. (Ver Fig. 1.3);

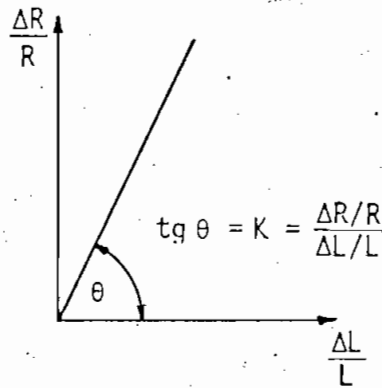


FIGURA 1.3.- Factor K

- 3.- K debe permanecer constante con el tiempo y bajo la influencia de agentes atmosféricos; y,
- 4.- K debe ser resistente a la fatiga, es decir debe permanecer constante ante cargas cíclicas.

Las galgas extensométricas son de muchas clases y su clasificación puede ser abordada desde varios puntos de vista.

- 1.- Naturaleza del filamento:

Conductor - alambre

- lámina

Semiconductor

- 2.- Material del filamento:

Constantán

Nicromio

Isoelastic

3.- Disposición eléctrica del filamento:

Individuales - unidireccionales

- para propagación de rotura
- otros

Dobles - rosetas rectangulares

- para deformaciones por torsión
- medición del módulo de Poisson
- otros

Triples - rosetas delta (60°)

- rosetas rectangulares
- otros

Múltiples - rosetas combinados delta + rectangulares

- otros.

El valor de la resistencia eléctrica de la galga debe ser grande, de tal manera que una pequeña deformación produzca una variación de la resistencia adecuada. Estas galgas tienen una resistencia estandarizada comprendida entre 60 y 2000 ohmios. Para lograr medir deformaciones en lo posible puntuales, el filamento se dispone en forma de rejilla.

La figura 1.4 muestra la disposición de una banda extensométrica.

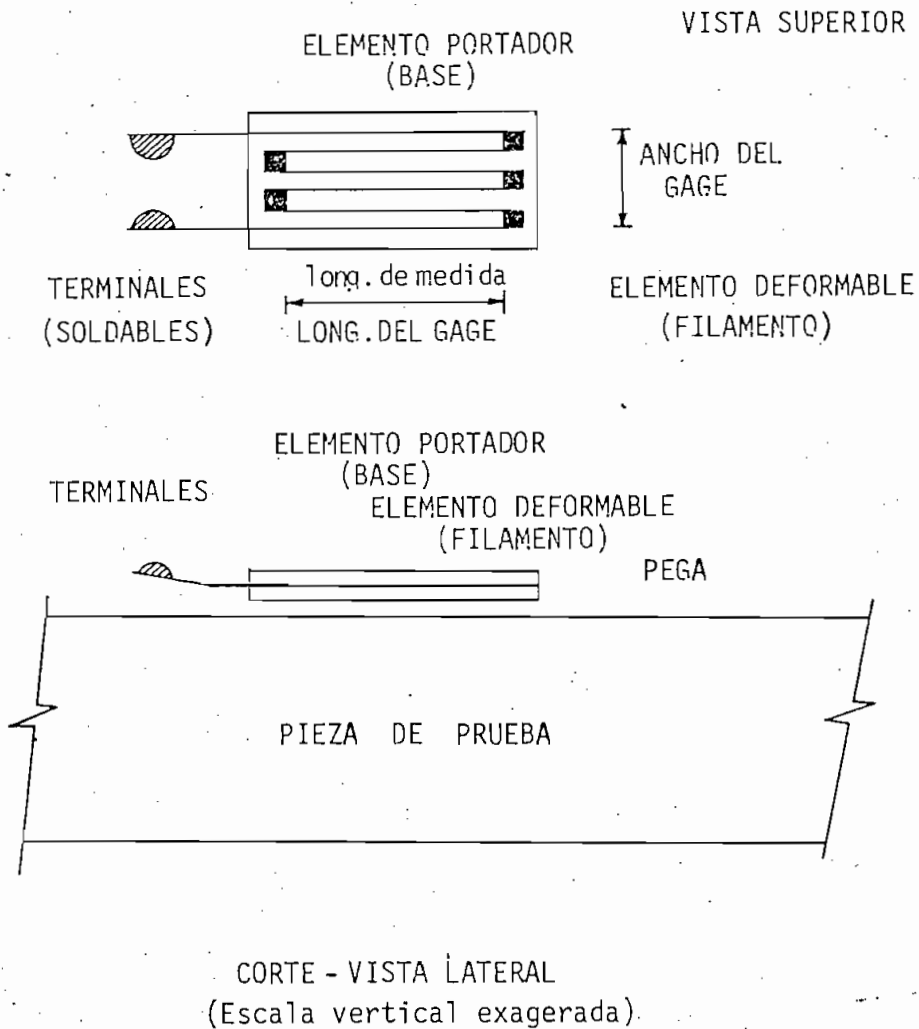


FIGURA 1.4.- Banda extensométrica.

De acuerdo a la naturaleza del filamento las galgas pueden ser:

Galga de filamento de alambre (wire strain gauge).- El elemento es un a lambre conductor me tálico (generalmente aleaciones de níquel con cobre o cromo) con una sección circular de .025 mm de diámetro, y montado sobre un soporte ais lante de resina epóxica, poliéster o material análogo.

La utilización de este tipo de elemento presenta algunos inconvenientes

tales como:

- Superficie de adherencia reducida con lo cual la transmisión de esfuerzos de la pieza de prueba no es óptima, ya que pueden presentarse deslizamientos. Además, por esta razón, existe poca disipación del calor.
- Existe sensibilidad transversal. Se producen deformaciones en las vueltas o repliegues, introduciéndose errores en las medidas.

Galga de trama pelicular (foil strain gauge).- El elemento sensible es una película de metal de pocas micras de espesor, recortada mediante ataque fotoquímico u otra técnica adecuada.

En estas galgas la longitud activa está bien determinada pues los lazos y las pistas de conexión son prácticamente insensibles a causa de su anchura (figura 1.5). La variación de resistencia por deformación unitaria transversal es insignificante, comparada con la ocasionada por la deformación longitudinal. Por estas razones los sensores de trama pelicular son bastante utilizados.

La figura 1.5 muestra la galga con filamento pelicular.

Galga semiconductor.- El elemento sensible es una banda de cristal semiconductor con cierto grado de contaminación.

La resistividad del cristal depende de la concentración específica de

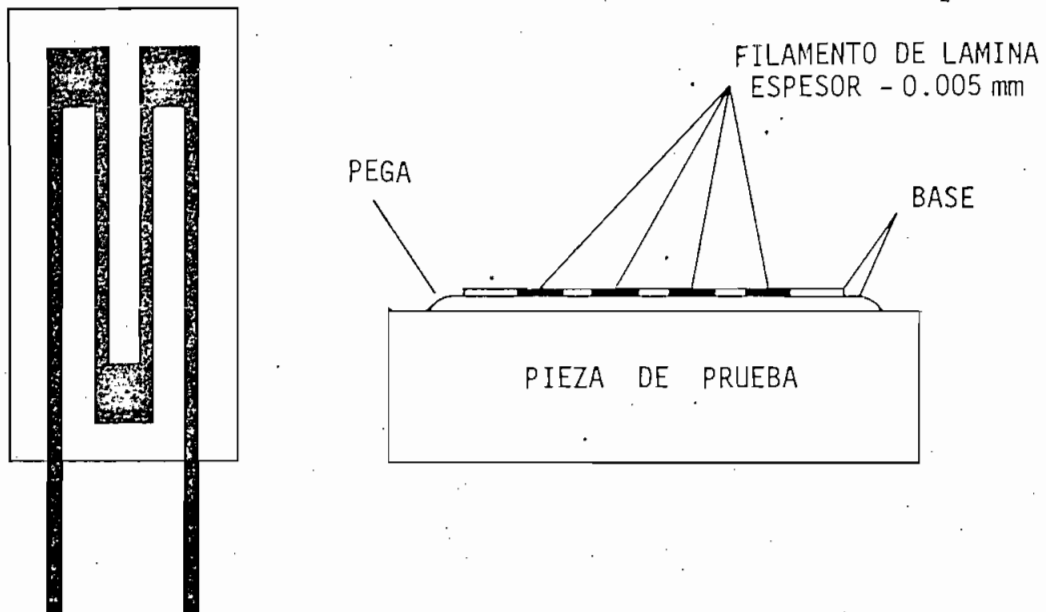


FIGURA 1.5.- Galga con filamento pelicular.

portadores y de la orientación cristalográfica respecto al esfuerzo principal (efecto piezo-resistivo). Su sensibilidad a los cambios de longitud es 50 ó 60 veces mayor que la de una galga metálica. La figura 1.6 nos muestra una galga con semiconductor.

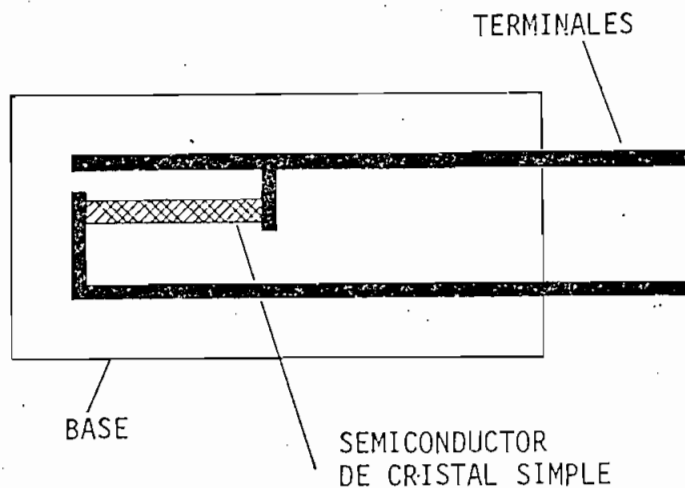


FIGURA 1.6.- Galga con material semiconductor.

Esta gran sensibilidad es la única ventaja frente a los elementos convencionales, presentándose algunos inconvenientes para las aplicaciones particulares tales como:

- El factor K no es constante con la deformación unitaria como se puede observar en la figura 1.7.
- Excesiva sensibilidad a las variaciones de temperatura (figura 1.8).

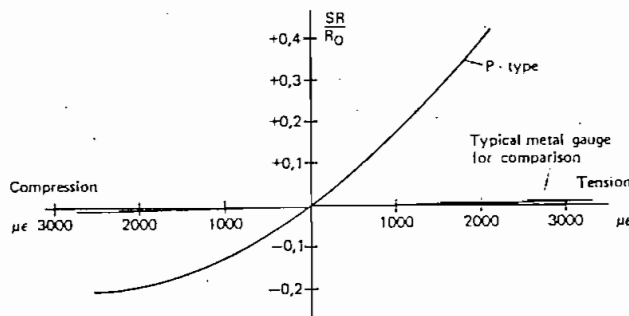


FIGURA 1.7.- Variación de la resistencia con la deformación unitaria.

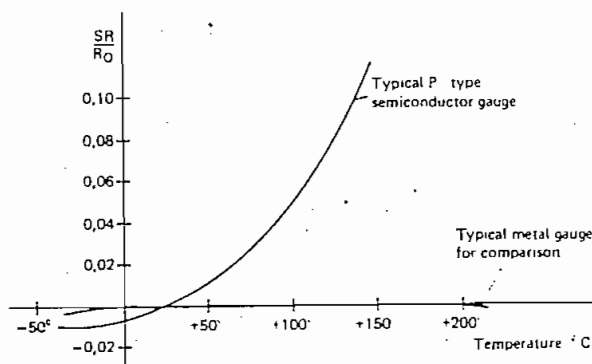


FIGURA 1.8.- Variación de la resistencia con la temperatura.

- Variación de la resistencia eléctrica al ser montado el sensor sobre la pieza de prueba.

A continuación se muestran algunas de las características de los diferentes tipos de galgas.

CARACTERISTICA	SEMICONDUCTOR	FILAMENTO Y TRAMA
Factor de galga	50 - 200	Valores próximos a 2.
Resistencia	Valores estandar de 120,350,600 y 1000 Ω	120 Ω
Linealidad	1% hasta 1000 $\mu\epsilon$	0.1% hasta 4000 $\mu\epsilon$ 1.0% hasta 10000 $\mu\epsilon$
Esfuerzo de rotura	5000 $\mu\epsilon$ máximo	20000 - 25000 $\mu\epsilon$
Nº de pruebas permisibles	10 ⁶ cíclicas	10 ⁷ cíclicas

DISPOSICION DE LAS GALGAS EXTENSOMETRICAS.

La estructura geométrica de la galga permite medir deformaciones unitarias sólo en la dirección de su eje longitudinal, como se muestra en la figura 1.9.

Una pieza sometida a una fuerza presenta esfuerzos en múltiples direcciones que provocan las correspondientes deformaciones. Si se conoce la orientación del esfuerzo máximo, se colocará una sola galga paralelamente a dicha orientación y se obtendrá la medición de la deformación

máxima.

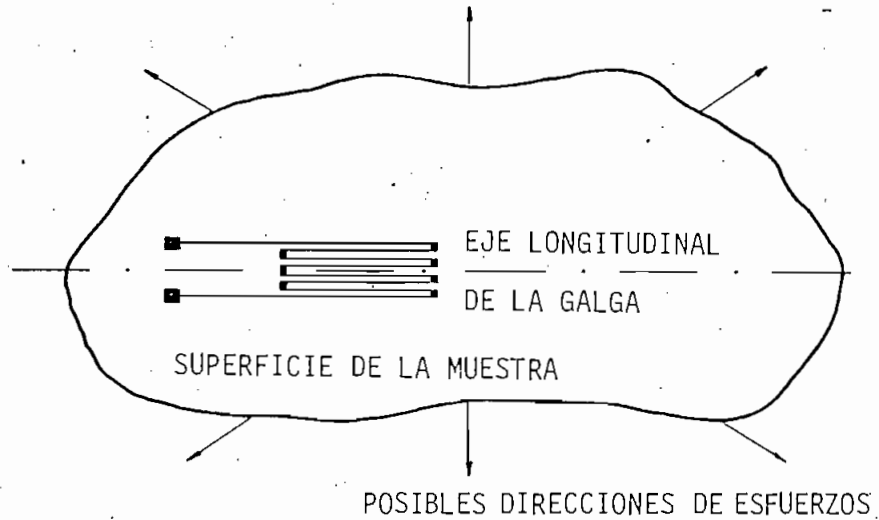


FIGURA 1.9.- Sensor sobre la pieza de prueba.

PRINCIPIO DE MEDICION.

Las galgas extensométricas varían su resistencia cuando sufren deformación. Para la medición de esa variación de resistencia se utiliza el puente de Wheastone con preferencia a cualquier otro circuito.

El puente está formado por cuatro resistencias (impedancias) montadas dos a dos en serie, tal como se indica en la figura 1.10. La fuente de alimentación es aplicada a dos vértices opuestos, y en los dos restantes se recoge la tensión de medida.

Una, dos o las cuatro resistencias pueden ser galgas extensométricas conformando circuitos en cuarto, medio o puente completo.

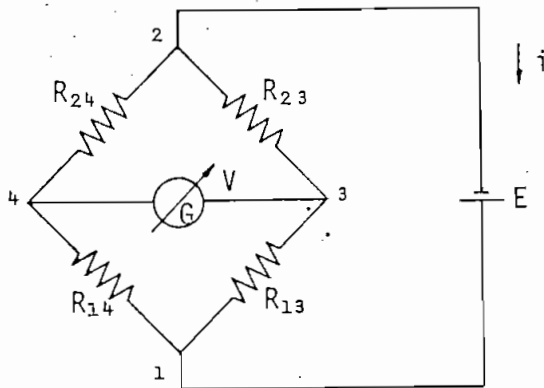


FIGURA 1.10.- Puente de Wheastone.

Para el caso que el puente esté balanceado ($V = 0$) se puede demostrar que se cumple la siguiente relación:

$$\frac{R_{24}}{R_{14}} = \frac{R_{23}}{R_{13}}$$

Si se conocen tres resistencias se puede determinar la cuarta, o, si R_{24} varía, para mantener la igualdad se debe modificar la relación R_{23}/R_{13} . Si se conoce la cantidad en la que se varió dicho factor se determinará la cantidad dR en que R_{24} se alteró.

De la ecuación 1.17, la deformación unitaria ϵ puede ser escrita como:

$$\epsilon = \frac{dR}{R} \times \frac{1}{K}$$

CONFIGURACION EN CUARTO DE PUENTE.

Si uno solo de los brazos del puente es un sensor y los restantes elementos constituyen valores fijos de Resistencia, se tiene la configuración en cuarto de puente (figura 1.11).

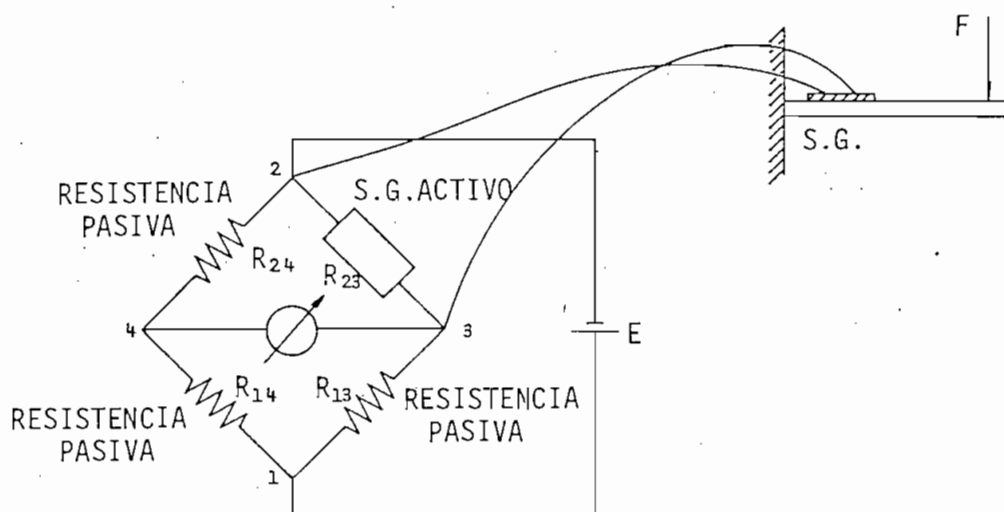


FIGURA 1.11.- Circuito de cuarto de puente.

Se supone que las resistencias tienen un valor igual a R (inclusive la galga) y cuando se aplica una carga a la pieza de prueba la resistencia de la galga varía en una cantidad dR , es decir:

$$R_{23} = R + dR$$

$$R_{24} = R$$

$$R_{13} = R$$

$$R_{14} = R$$

Aplicando la ley de ohm se tiene:

$$i_{241} = \frac{E}{R_{24} + R_{14}} = \frac{E}{2R}$$

$$V_{24} = i_{241} \cdot R_{24} = \frac{E}{2R} \cdot R = \frac{E}{2}$$

$$i_{234} = \frac{E}{R_{23} + R_{13}} = \frac{E}{R + R + dR} = \frac{E}{2R + dR}$$

y

$$\begin{aligned} V_{23} &= i_{231} \times R_{23} \\ &= \frac{E}{2R + dR} (R + dR) \\ &= \frac{ER + EdR}{2R + dR} \end{aligned}$$

El efecto producido debido a la variación de la resistencia será:

$$V_{34} = V_{23} - V_{24}$$

$$V_{34} = \frac{ER + EdR}{2R + dR} - \frac{E}{2}$$

$$V_{34} = \frac{EdR}{4R + 2dR}$$

$$dR \ll R$$

$$\therefore 4R \simeq 4R + 2dR$$

$$V_{34} = \frac{\pm EdR}{4R}$$

ec. 1.18

El signo \pm dependerá de que si la pieza de prueba esté en tracción ó compresión.

Recordando que $K = \frac{dR}{R\epsilon}$

$$V_{34} = \frac{EK \cdot \epsilon}{4} \quad \text{ec. 1.19}$$

$$\epsilon = \frac{4 V_{34}}{EK}$$

Siendo:

- ϵ = Deformación unitaria, valor medido en el aparato
- V_{34} = Caída de tensión entre los puntos 3 y 4, es la magnitud que indica el desbalance del puente.
- E = Voltaje de excitación de la fuente
- k = Factor equivalente del circuito

Es importante que el desbalance sea el mayor posible de tal manera que el error propio del equipo de medición se minimice.

CONFIGURACION EN MEDIO PUENTE

En este caso dos de los brazos del puente están constituidos por strain gages y los dos restantes por resistencias fijas.

Las galgas extensométricas pueden ser:

- Ambos activos, en este caso los dos brazos del puente serán dos elementos sensores que estén sujetos a esfuerzos que producirán deformación.

- Una activa, montada sobre la pieza de prueba y que se deformará y la otra que también está colocada sobre la pieza pero que no sufrirá ninguna deformación. Sobre ambos se tendrá la misma influencia de la temperatura. Al segundo sensor se lo conoce como compensador de temperatura.

Para el segundo caso, si se supone que R_{13} es el elemento activo y R_{23} el compensador, se tiene que:

$$R_{13} = R + dR + dR_T$$

$$R_{23} = R + dR_T$$

$$R_{14} = R$$

$$R_{24} = R$$

$$V_{24} = \frac{E}{2} \text{ (igual que en el cuarto de puente)}$$

pero

$$i_{231} = \frac{E}{R_{13} + R_{23}} = \frac{E}{2R + 2dR_T + dR}$$

$$V_{23} = i_{231} \times R_{23} = \frac{E}{2R + 2dR_T + dR} \cdot (R + dR_T)$$

$$V_{23} = \frac{ER + EdR_T}{2R + 2dR_T + dR}$$

El desbalance $V_{34} = V_{23} - V_{24}$ es igual a:

$$V_{34} = \frac{ER + EdR_T}{2R + 2dR_T + dR} - \frac{E}{2}$$

$$V_{34} = \frac{EdR}{(2R + 4dR_T + 2dR)^2}$$

$$V_{34} = \frac{EdR}{4R} \quad \text{ec. 1.20}$$

De los resultados obtenidos se concluye que si se utilizan dos galgas extensométricas sometidas a igual variación de temperatura, las variaciones de resistencia eléctrica por esta causa, dR_T , se anulan eliminándose el error que se podría presentar.

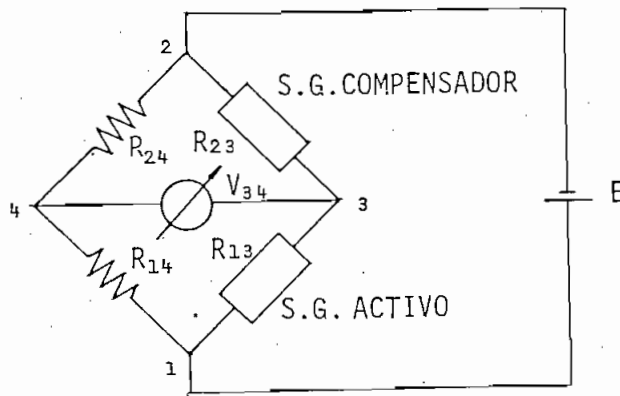


FIGURA 1.12.- Circuito de medio puente.

CIRCUITO DE PUENTE COMPLETO

En este caso las cuatro resistencias del puente son sensores activos.

La figura 1.13 nos muestra esta configuración.

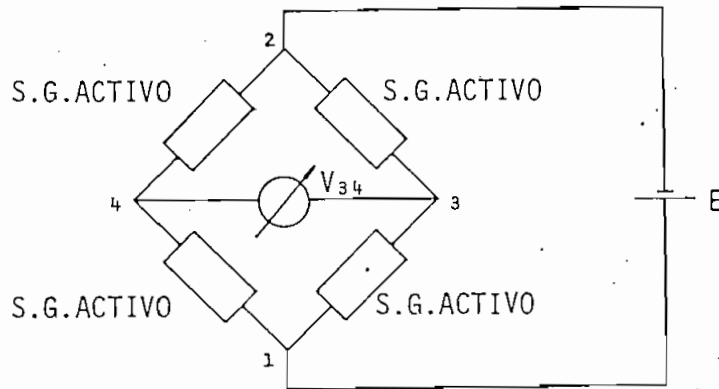


FIGURA 1.13.- Puente completo.

A continuación se muestra el análisis matemático para la configuración de puente completo:

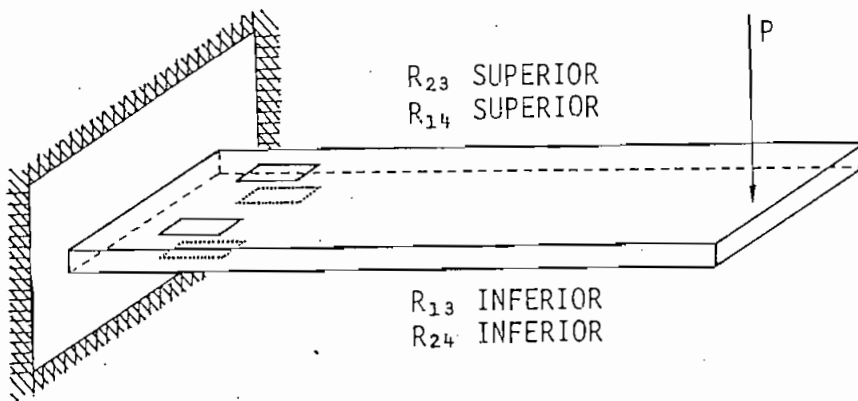


FIGURA 1.14.- Elementos activos sobre una pieza de prueba.

$$R_{23} = R + dR_{23}$$

$$R_{13} = R - dR_{13}$$

$$R_{24} = R - dR_{24}$$

$$R_{14} = R + dR_{14}$$

$$i_{241} = \frac{E}{2R - dR_{24} + dR_{14}}$$

$$V_{24} = \frac{ER - EdR_{24}}{2R - dR_{24} + dR_{14}}$$

$$i_{231} = \frac{E}{2R + dR_{23} - dR_{13}}$$

$$V_{23} = \frac{ER + EdR_{23}}{2R + dR_{23} - dR_{13}}$$

$$V_{34} = V_{23} - V_{24}$$

$$V_{34} = \frac{EdR_{24}}{R} + \frac{EdR_{23}}{4R} + \frac{EdR_{14}}{4R} + \frac{EdR_{13}}{4R}$$

pero: $\epsilon K_{24} = \frac{dR_{24}}{R}$

$$\epsilon K_{23} = \frac{dR_{23}}{R}$$

$$\epsilon K_{14} = \frac{dR_{14}}{R}$$

$$\epsilon K_{13} = \frac{dR_{13}}{R}$$

$$V_{34} = \frac{\epsilon E}{4} (K_{24} + K_{23} + K_{14} + K_{13})$$



$$V_{34} = \frac{\epsilon E}{4} K_e$$

$$\epsilon = \frac{4 V_{34}}{E K_e} \quad \text{ec. 1.21}$$

$$K_e = K_{13} + K_{14} + K_{23} + K_{24}$$

$$\text{Si } K_{13} = K_{14} = K_{23} = K_{24} \Rightarrow K_e = 4 K_g$$

$$V_{34} = \frac{E d R}{R}$$

Las principales ventajas frente a los otros circuitos son:

- El desbalance entre los puntos 1 y 2 es cuatro veces el del cuarto de puente.
- El desbalance por temperatura es también nulo.

1.3 EL MEDIDOR DE DEFORMACION BRÜEL&KJAER TIPO 1526. DIAGRAMA DE BLOQUES.

La Facultad de Ingeniería Civil dispone de un sistema de instrumentos para realizar medidas seguras del nivel de deformación de hasta 400 puntos. El sistema consiste del indicador de deformación tipo 1526, el selector de multipunto y control tipo 1544, y el selector de multipunto 1545.

El presente trabajo se va a desarrollar en base a este equipo de medición, por lo que es necesaria una explicación de su funcionamiento.

El instrumento de medida básico en el sistema es el indicador de deformación tipo 1526, el cual da una lectura directa del nivel de deformación medido y lo muestra en un display digital. Existen cinco puentes de medida, que pueden ser conectados al medidor 1526 en cualquier combinación de medio puente, cuarto de puente o puente completo.

Cuando se desea realizar la medición de más de 5 puntos, el medidor básico puede ser conectado a una unidad de selector de multipunto y control tipo 1544 que permite al medidor realizar la medición de varios puntos automáticamente. En este caso, pueden ser conectados al selector y unidad de control hasta 10 puntos extras de medida.

Si se desea añadir aún más puntos adicionales de medida, selectores de multipunto del tipo 1545, con provisión de 10 puntos en cada unidad, pueden ser añadidos al arreglo. De esta forma, hasta 39 selectores multipunto pueden ser conectados con una sola unidad de control tipo 1544, lo que nos da un total de 400 puntos de medida. La selección del punto de medición se indica en la unidad de control 1544 en la cual existe un display digital que indica el número del punto de medida que está siendo muestreado.

MEDIDOR DE DEFORMACION 1526

El módulo 1526 da lecturas directas instantáneas del nivel de deformación en un display digital. El instrumento es ideal para una serie de medidas estáticas de deformación, pudiendo también ser utilizado para la medición de deformaciones dinámicas a una frecuencia mayor que 300

Hz. Existe, además, la posibilidad de retener fenómenos no repetitivos, pudiendo el display mostrar el mayor pico que ocurra.

Este instrumento tiene un rango de sensibilidad que va de $199,9 \mu\epsilon$ hasta $19990 \mu\epsilon$ con una sola galga extensométrica activa; puede emplear galgas con una resistencia comprendida entre 50 y 2000 ohmios, teniendo también la posibilidad de variar el factor de galga (sensibilidad). Se emplea un sistema de portadora con una onda cuadrada de 3 KHz, con voltajes en el puente ajustables a 3 V, 1 V, y 0.3 V. La figura 1.15 nos muestra la parte frontal del instrumento.

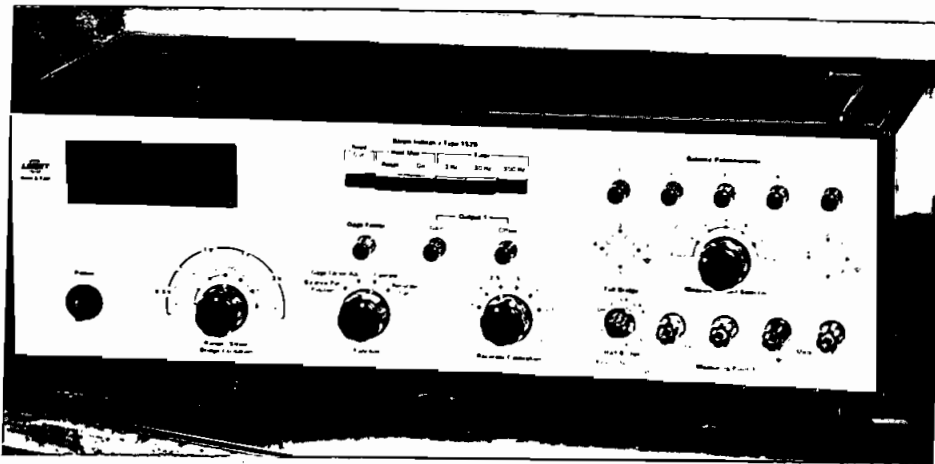


FIGURA 1.15.- Medidor de deformación B&K tipo 1526.

Algunas de las características serán analizadas a continuación:

El display de este instrumento es digital, teniendo una resolución de 0.05%. Las señales digitales están también disponibles en código BCD, desde una salida compatible con niveles TTL, es caso de que se las necesite para el procesamiento digital.

Los circuitos internos en el medidor permiten al usuario seleccionar la configuración que desee usar: cuarto, medio o puente completo.

La figura 1.16 muestra las conexiones en el puente usadas para los arreglos de medio o puente completo. Se puede observar que cuando el medio puente es seleccionado, un par de resistencias de precisión de 1 K formados de los brazos del puente, y las galgas activas pueden ser conectadas en las posiciones R_{23} y R_{13} . Las otras resistencias en la línea de balance habilitan el potenciómetro de ajuste de balance. Los valores mostrados en el switch de selección de modo (e) se refieren a la resolución del balance obtenible. Con galgas de 120Ω y un factor de galga de 2.00, en la posición "2%" permite un balance de $120/6.04 \text{ k} = 2\%$.

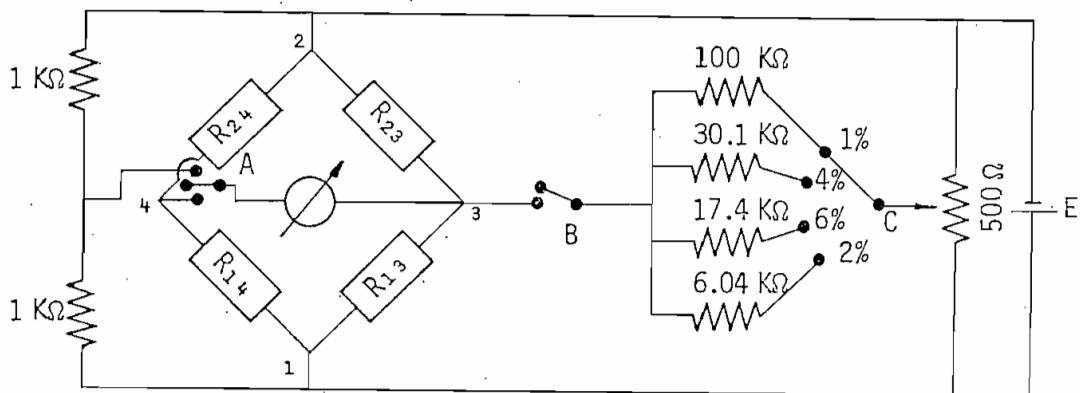


FIGURA 1.16.- Esquema general del puente de medición.

SISTEMA DE FRECUENCIA PORTADORA

El medidor utiliza un sistema de frecuencia portadora para excitar el puente de medición, eliminando así los problemas encontrados con un sistema de DC, tales como: los efectos de termocupla, ruido eléctrico y

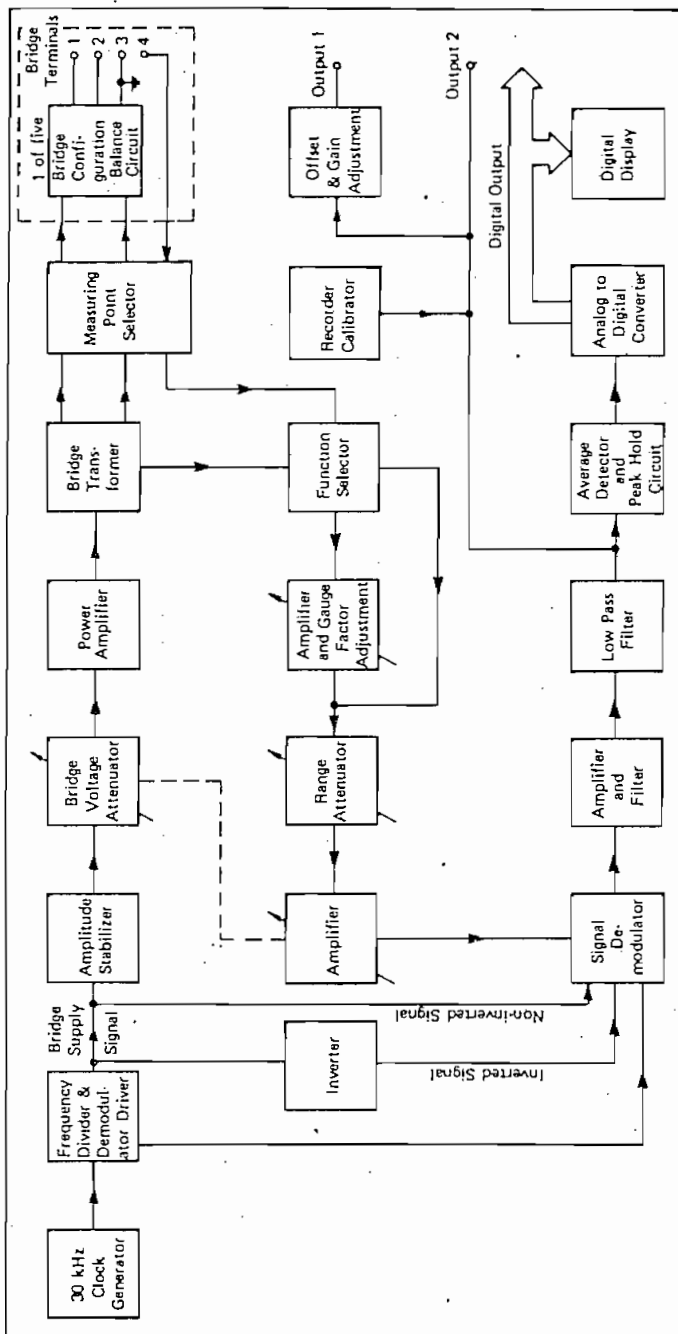


FIGURA 1.17.- DIAGRAMA DE BLOQUES DEL MEDIDOR DE DEFORMACION.

magnético. El sistema de frecuencia portadora permite la utilización de bajos voltajes de excitación. El voltaje del puente puede ser escogido entre 3 V, 1 V, ó 0.3 V. Con 0.3 V y galgas de 120Ω , la disipación será solamente 0,75 mW por galga, lo cual hace que el instrumento sea conveniente para modelos de prueba en plástico, epoxies, vidrio y otros materiales con muy baja conductividad térmica.

La figura 1.17 muestra el diagrama funcional del indicador de deformación. Un reloj generador entrega una señal de onda cuadrada de 30 KHz a un divisor de frecuencia. Dos señales salen del divisor, una de ellas es una onda cuadrada de 3 KHz y es la señal de excitación para el puente de medición, mientras la otra es una señal de paso de 6 KHz como se indica en la figura 1.18. Una parte de la señal de excitación del puente es alimentada directamente al demodulador de señales, mientras que otra parte de la señal pasa a través del inversor y entonces ingresa al demodulador.

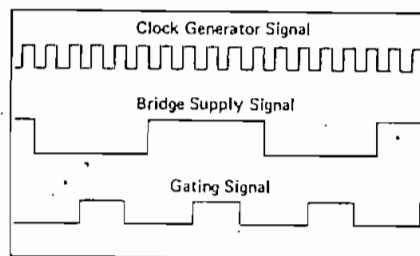


FIGURA 1.18.- Señales de excitación y demodulación.

Otra parte de la señal de excitación del puente es acondicionada y entonces ingresa al puente de medida vía selector de multipunto. Este excita las galgas extensométricas de tal manera que la resistencia de

Los brazos del puente pueden ser comparadas. La diferencia de voltaje que resulta representa el nivel de deformación y es alimentada, a través del selector de función, a un amplificador. El ajuste del factor de galgas es realizado por la variación de la ganancia de este amplificador. La señal amplificada es entonces adicionalmente acondicionada y alimentada al demodulador de señal.

El demodulador entrega una señal de compuerta, como se muestra en la figura 1.19, que permite que solamente una porción pase a la sección de medida. De esta forma se eliminan los picos de señal los cuales son causados por la relativa alta sensibilidad de sistemas AC excitados. El principio de demodulación usado en este instrumento permite un desbalance capacitivo residual a ser balanceado externamente por el respectivo potenciómetro.

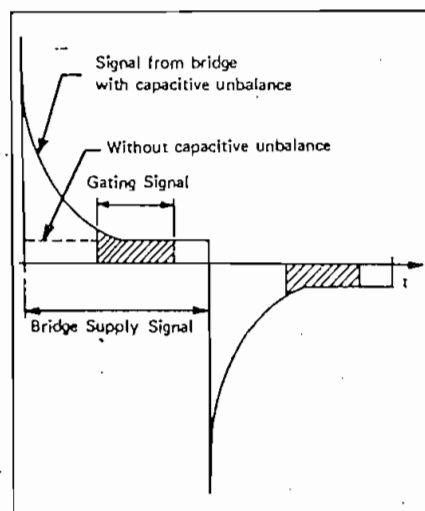


FIGURA 1.19.- Función de las diferentes señales.

La señal demodulada pasa adicionalmente a través de un acondicionador y un filtro pasabajo cuya frecuencia de corte puede ser escogida en 3 Hz, 30 Hz y 300 Hz. La señal filtrada es alimentada directamente a la salida 2 y también, a través de un circuito con "ganancia" y "offset" ajustable, a la salida 1. La salida 2 da ± 10 V para un rango completo del display y está provista para alimentar a un osciloscopio. La salida 1 es el medio de conexión para grabadores de nivel tipo 2305, 2306 ó también para un voltímetro ordinario. La ganancia ajustable "gain" y "offset" hacen fácil el ajuste de un rango dinámico de la señal de salida.

El display digital es del tipo de 7 segmentos de descarga de gas y tiene capacidad de mostrar el signo y hasta $4\frac{1}{2}$ dígitos. El display puede ser seleccionado para indicar diferentes parámetros de acuerdo a la posición del selector de función ubicado en el panel frontal. Cuando la función "operate" es seleccionada, el display indica la deformación directamente en microstrain. ($\mu\epsilon$).

La selección de la función "ajuste de galga" muestra el valor de dicho factor en el display, de tal manera que puede ser ajustado por medio de un potenciómetro. Este factor puede ser ajustado en un rango entre aproximadamente 0.90 y 10.50.

Una salida digital es disponible desde un conector ubicado en el panel posterior; esta salida permite la transferencia del dato de deformación en forma paralela y codificada en BCD hasta un equipo del tipo 1544 u otro equipo digital.

PUENTES DE MEDIDA

Hay 5 redes de balance en el indicador de deformación y cada uno tiene su propio potenciómetro de balance en el panel frontal. Las conexiones para el primer punto de medida están en el panel frontal del instrumento, mientras que los otros 4 están ubicados en la parte posterior. La conexión para uno de los 5 puntos consiste de 4 terminales, dos para el voltaje de excitación y dos para la medida del voltaje. Cada punto de medición tiene su propio selector de configuración de puente cerca de cada arreglo de terminales. El selector puede ser conmutado para "puente completo" con 4 sensores o resistores externos conectados en el puente de Wheatstone, o a "medio puente" en este caso el circuito consta de 2 galgas y dos resistencias internas de 1 K para completar el puente.

El selector de punto de medida conmuta el voltaje de excitación a cada punto de medida y al mismo tiempo conecta el punto relevante a la sección de medición.

1.4 EL SELECTOR DE MULTIPUNTO Y CONTROL TIPO 1544. DIAGRAMA DE BLOQUES

El selector de multipunto y control tipo 1544 es la unidad de control maestro para un sistema de medición de deformación, que consiste de 39 selectores de multipunto tipo 1545 conectados al indicador de deformación tipo 1526. En adición a este circuito de control, el selector 1544 presta las facilidades para conexión y conmutación de 10 puntos de medida.

Cada selector de multipunto contiene todos los elementos y circuitos pasivos para la conexión de los 10 puntos de medida. Un número de indicación de una década puede ser seleccionado en el selector de multipunto escogido.

Como un selector de multipunto tipo 1545 no tiene fuente de poder, todos ellos deben ser conectados a un selector tipo 1544. Los puntos de conexión son seleccionados al indicador de deformación uno a la vez en una secuencia determinada, de tal forma que el nivel de deformación puede ser medido y mostrado en el indicador. Los puntos de medida pueden ser escogidos automáticamente a una velocidad preestablecida en la unidad de control. La secuencia puede ser detenida por un control manual o ser operada por un switch remoto. El número de identificación del punto de medición conectado al indicador es mostrado en un display de 3 dígitos, que está ubicado en la unidad de control, mientras que un LED está sobre el control de balance del punto relevante como una indicación adicional.

Cuando sea necesario que puntos individuales sean ignorados, de tal manera de ser evitados durante el barrido automático, estos pueden ser seleccionados por medio de interruptores individuales existentes para tales propósitos.

La unidad de selección y control contiene también un interfase que satisface los requerimientos de un sistema B&K, lo que facilita grabar el nivel de deformación y del punto de medición además de dar una gran facilidad de adquisición de datos por medio de un computador.

La figura 1.20 muestra el diagrama de bloques del selector de multipunto y Control tipo 1544. La porción del diagrama encerrado con una línea cortada muestra los componentes que están también presentes en el selector de multipunto tipo 1545.

El control lógico en la unidad de selección y control recibe información de sus propios circuitos de conexión y de los provenientes de otras unidades de selección.

Una serie de impulsos generados en un oscilador son alimentados a través de un bloque de la unidad de control lógico a un contador de direcciones, el cual transmite las direcciones en código BCD cada 10 microsegundos. Este contador inicia su conteo a partir del punto de medición 000 y termina hasta el punto de medición 400 el cual es interpretado por el receptor como 000 repitiéndose nuevamente este ciclo de conteo. Este valor codificado de la dirección es recibido por los decodificadores de todos los instrumentos presentes en el arreglo de medición. El decodificador de década en la unidad 1544 está programada permanentemente en 0, mientras que cualquiera de los selectores 1545 puede ser programado para un número entre 1 y 39. Cuando el decodificador de década reconoce su propia dirección este habilita los decodificadores BCD a 10 líneas, cada una de las cuales maneja la bobina de un relé que conectará el punto de medición deseado.

La figura 1.21 muestra las conexiones de un relé.

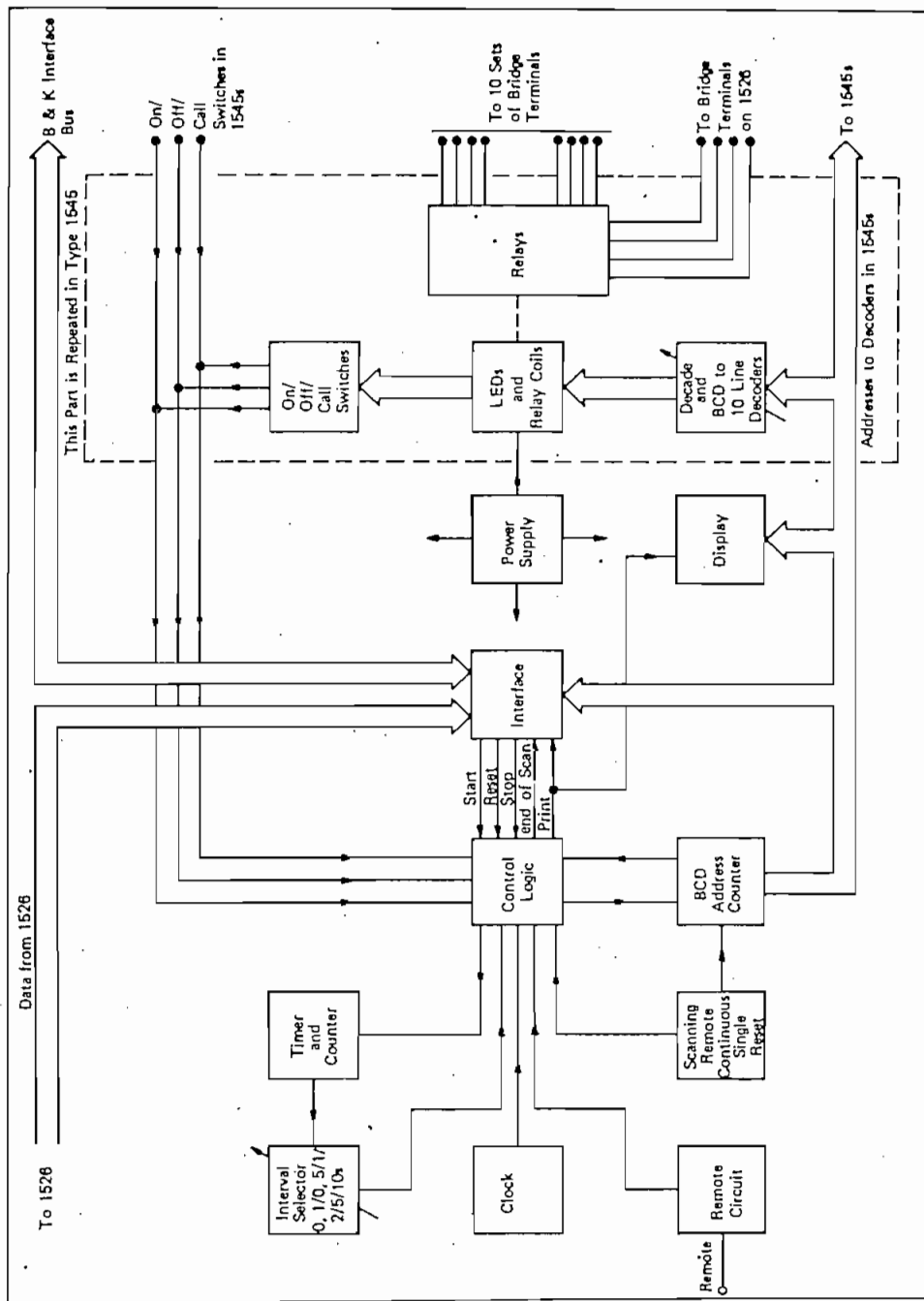
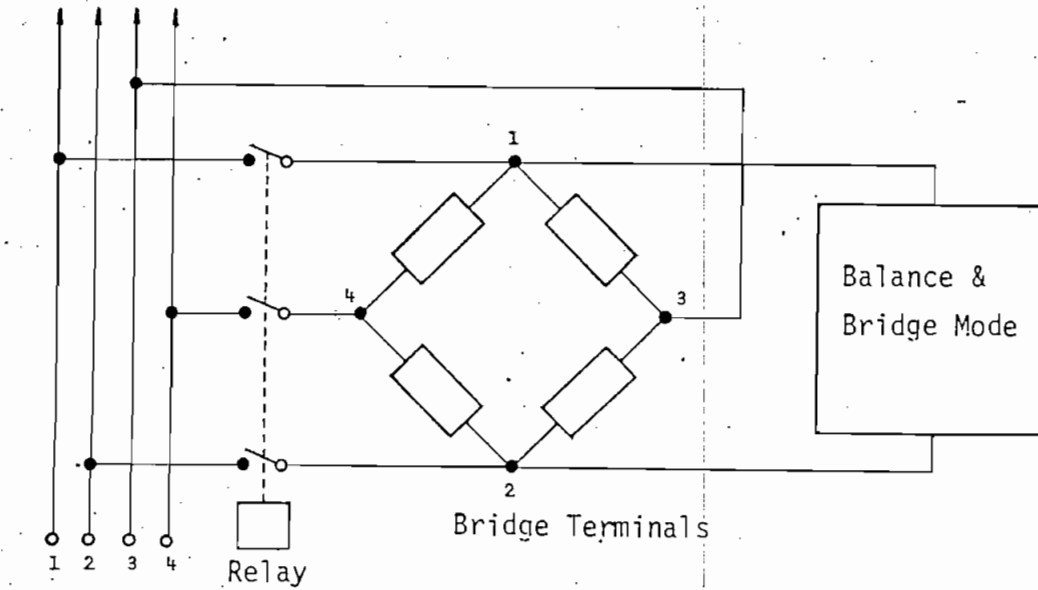


FIGURA 1.20.- DIAGRAMA DE BLOQUES DE UN SELECTOR DE MULTIPUNTO Y CONTROL TIPO 1544.

To Next Bridge



on 1526 FIGURA 1.21.- Conexiones para un relé.

A continuación se muestra un sistema completo de medición.

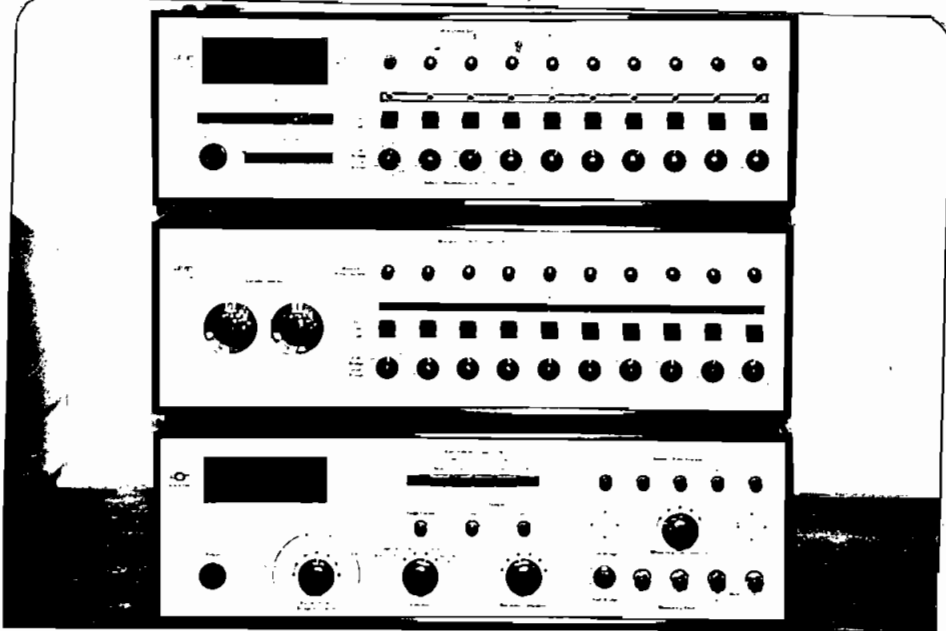


FIGURA 1.22.- Sistema de medición de deformaciones unitarias.

Luego de esta breve descripción de los equipos de medida disponibles, en el siguiente capítulo se van a desarrollar los diseños del sistema de adquisición de datos que es el objeto de la presente tesis.

C A P I T U L O II

ANALISIS Y DISEÑO

- 2.1 Especificaciones.- Descripción general
- 2.2 Diagrama de bloques
- 2.3 Diseño del Hardware
- 2.4 Diseño del Software

CAPITULO II

ANALISIS Y DISEÑO

2.1 ESPECIFICACIONES.- DESCRIPCION GENERAL.

De acuerdo a las necesidades de los laboratorios de la Facultad de Ingeniería Civil y considerando las características de los medidores de deformación Brüel & Kjaer, el equipo a construirse debe cumplir con las siguientes especificaciones:

- Número máximo de canales de medición 100.
- Memoria para almacenamiento de datos; 24 kilobytes (Con opción de ampliación hasta 58 kilobytes).
- Almacenamiento de la información; Un encabezamiento que ocupa 156 bytes, y luego se utiliza 2 bytes para almacenar el valor de la medición de cada uno de los puntos muestreados.
- Número máximo de mediciones; 9999 para el caso de que se muestree un solo canal.
- Tiempos de muestreo:
 - .1,1,10 segundos.
 - .1,1,10 minutos.
 - .1,1,10 horas.
- Dispositivos de entrada y salida: Teclado de 19 teclas (datos y funciones)

Arreglo de 11 displays de 7 segmentos.

Arreglo de leds.

Interface de comunicación serial (norma RS-232C).

Interface a medidor de deformación B&K 1526.

- Fuente de poder: 115 voltios \pm 10% (AC) 60 Hz.

2.1.1 DESCRIPCION GENERAL

El sistema de adquisición de datos permitirá almacenar en forma multiplexada la información proveniente de hasta un máximo de 100 puntos de medición, que corresponden a igual número de galgas extensométricas que estarán adecuadamente distribuidas a lo largo de la pieza de prueba.

Inicialmente el sistema va a tener una capacidad de memoria para el almacenamiento de datos de 24 kbytes de 8 bits. De los cuales 156 bytes se utilizan para grabar el "encabezamiento" y los restantes agrupados en palabras de 2 bytes almacenan el valor de la medición en cada punto respectivo. Por tanto se podrá almacenar un total de 12210 mediciones. Se debe indicar que está prevista una futura expansión de memoria para lo cual se ha implementado la decodificación y señales necesarias. La capacidad total de memoria podrá ser 58 Kbytes que corresponden a 29618 palabras de información.

El sistema dispone de un teclado de 19 teclas que permiten al usuario programar e iniciar el funcionamiento del equipo de acuerdo a una se-

cuencia de programación preestablecida. Existen adicionalmente algunos switches que completan las funciones del equipo.

La adquisición de los datos se puede realizar con cualquiera de los siguientes tiempos de muestreo:

.1, 1, 10 segundos

.1, 1, 10 minutos

.1, 1, 10 horas

Para la recuperación de la información existe un arreglo de 11 displays de 7 segmentos, los mismos que están organizados de la siguiente manera:

5 displays muestran el valor de la medición.

2 displays muestran el canal que está siendo medido.

4 displays muestran el número de la medición.

La información puede ser recuperada cada 5 seg., cada 1 seg., o el usuario puede controlar la salida de un nuevo dato en forma manual a través de un switch existente en el panel frontal.

Se ha incluido una interface de comunicación serial de acuerdo a la norma RS-232C, que permite la interconexión del sistema de adquisición de datos con un computador, terminal o impresor.

2.2 DIAGRAMA DE BLOQUES

El funcionamiento básico del sistema de adquisición de datos está descrito por el diagrama de bloques que se muestra en la Fig. 2.1.

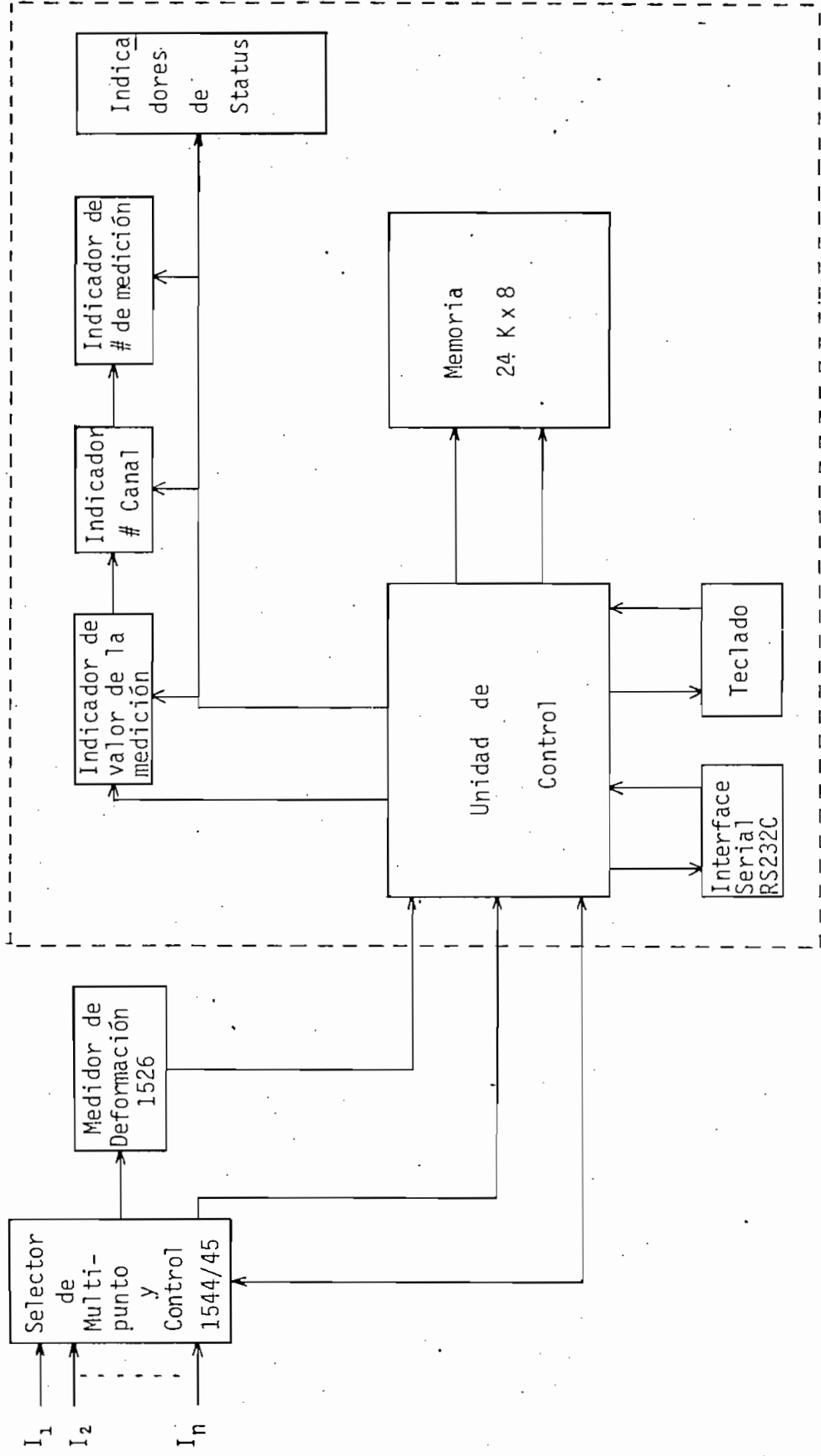


FIGURA 2.1.- DIAGRAMA DE BLOQUES DEL SISTEMA DE ADQUISICION DE DATOS

El propósito fundamental como se puede apreciar es el almacenamiento de la información (nivel de deformación) proveniente de sensores colocados en una pieza que está siendo sometida a observación. Los sensores representan las entradas I_1, I_2, \dots, I_N ; todas estas señales llegan al selector de multipunto y control B&K 1544 el mismo que, en función de una señal proveniente de la unidad de control del sistema de adquisición de datos, seleccionará una de las entradas programadas en el selector de multipunto.

Una vez que la respectiva entrada ha sido enrutada llega al medidor de deformación B&K 1526 el mismo que entrega en su bus digital de salida el valor del nivel de deformación; esta información es leída por la unidad de control e inmediatamente almacenada en la memoria del sistema. La unidad de control se encargará también de mostrar la información leída en el arreglo de displays.

Adicionalmente al valor de la medición se dispone también la información que indica el número de identificación del punto de medición y que es proporcionada por el selector de multipunto y control. Luego la unidad de control debe seleccionar otro canal de medición, para lo cual debe generar una señal de control respectiva.

Naturalmente, el número de muestras a tomarse y la frecuencia de muestreo podrán ser programadas por el usuario de acuerdo a las características de la pieza a ser analizada. La unidad de control será la encargada de las funciones que permiten establecer la comunicación con el usuario y por lo tanto facilitar la programación del equipo al inicio de

su operación.

Una vez que el proceso de adquisición de datos ha terminado se puede recuperar la información, la misma que aparecerá en los displays a una frecuencia también programable. Adicionalmente la información puede ser enviada a un impresor a través del interface serial RS-232C.

2.3 DISEÑO DEL HARDWARE

A continuación se va a describir de una manera detallada el diseño de todos y cada uno de los bloques del sistema de adquisición de datos.

2.3.1 DISEÑO DE LA UNIDAD DE CONTROL.

Esta unidad es la que va a controlar la operación del sistema de adquisición de datos, constituyéndose, por lo tanto en la unidad más importante.

Las funciones que debe cumplir son las siguientes:

- Generación de las señales necesarias que permitan realizar la lectura o escritura de los datos en la memoria del sistema.
- Generación de las señales necesarias para establecer una comunicación sincronizada con los equipos de medición.
- Control de la operación de los periféricos de entrada y salida que facilitan la comunicación con los usuarios.
- Supervisión del correcto funcionamiento del equipo y detección de al-

guna suspensión brusca en la operación del mismo.

Para la implementación de todas las funciones anteriores, se ha previsto la utilización de un microprocesador MC6802, que permite que el hardware del sistema se reduzca considerablemente; será el microprocesador, trabajando con un programa, el que realice la mayor parte de funciones, como por ejemplo: barrido y decodificación del teclado, eliminación del rebote producido por la apertura o cierre de un switch, determinación del tiempo de muestreo, habilitación de los indicadores luminosos y escritura de la información conveniente, grabación de los datos en memoria, control de la salida serial de datos (norma RS 232C) y en general del control de todo el sistema.

Un diagrama simplificado del sistema de adquisición de datos se muestra en la figura 2.2, en el que se puede observar a los medidores de deformación como periféricos de entrada-salida externos al sistema de adquisición.

La figura 2.3, muestra el diagrama de bloques general.

La memoria del sistema está constituida por una memoria no-volátil EPROM en la que se almacena el programa de control y adicionalmente tablas de datos necesarios para la operación del sistema, y una memoria tipo RAM volátil en la que se almacenan los datos provenientes del medidor de deformación. El programa de control requiere de ciertas localidades para el almacenamiento temporal de datos necesarios para la programación y operación del sistema, para esta función se utilizan los 128 bytes de RAM que están implementados en el microprocesador.

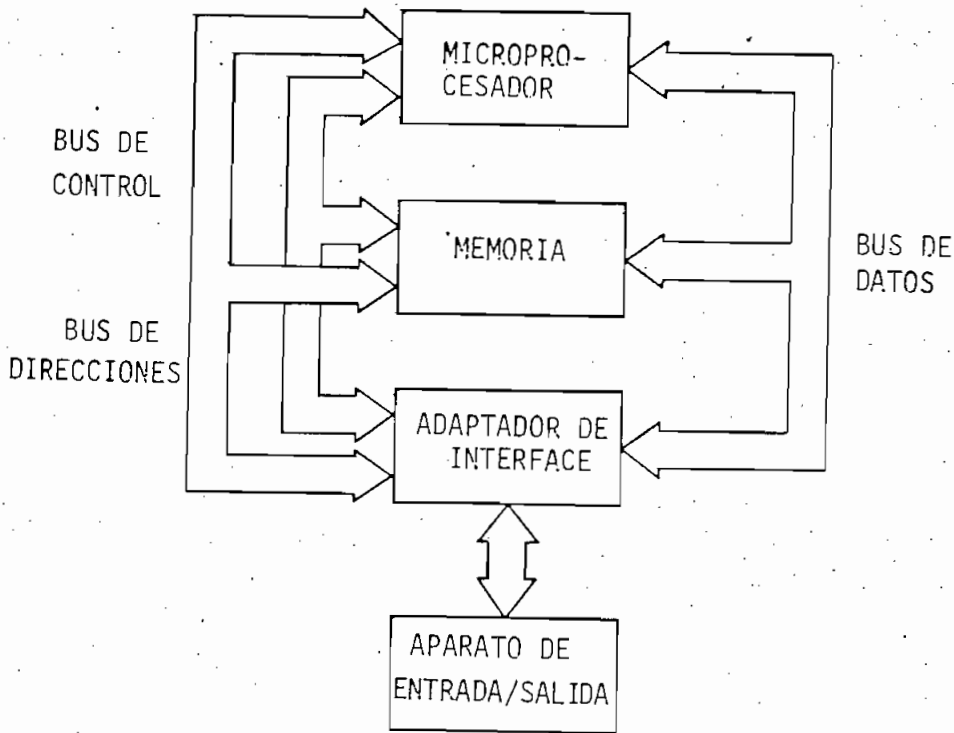


FIGURA 2.2.- Diagrama simplificado del sistema de adquisición de datos.

Entre los dispositivos de entrada y salida que se han implementado están: un teclado, desde el cual se ingresan los datos que controlan la operación del equipo y se envían los comandos para el trabajo del sistema. Se tiene también un arreglo de displays acompañado de un arreglo de leds, que muestran los diferentes datos y el "status" del equipo en un determinado momento. Se ha dispuesto un circuito de salida serial (RS232C), que permite la interconexión del sistema con equipos inteligentes, tales como un computador, una terminal y un impresor. Naturalmente, el dispositivo de entrada más importante constituye el medidor de deformación, ya que son los datos provenientes de este equipo los que se van a almacenar en la memoria del sistema.

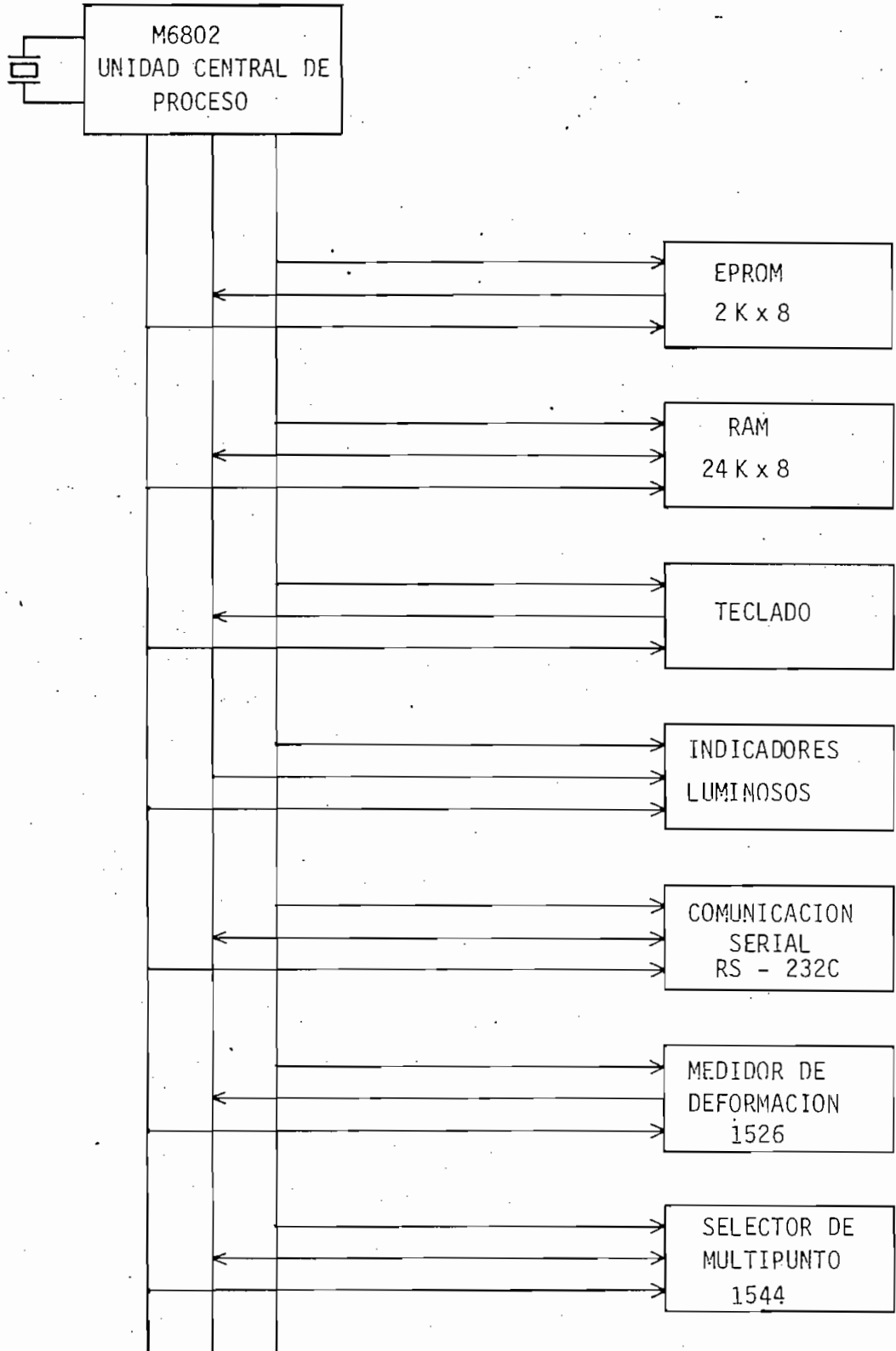


FIGURA 2.3.- DIAGRAMA DE BLOQUES UTILIZANDO UN MICROPROCESADOR.

A cada uno de los dispositivos de entrada y salida se le ha asignado una dirección dentro del rango de direcciones válidas permitidas por el microprocesador MC6802, ésto es, entre 0 (0000H) y 65535 (FFFFH).

Para la operación del microprocesador se utiliza un cristal que tiene una frecuencia de oscilación de 3,71 MHz., en base a las recomendaciones propuestas por el fabricante, como se puede observar en el apéndice A. Existe en la actualidad una gran variedad de microprocesadores, cuyo costo y capacidades varían grandemente. Una de las características importantes en un microprocesador es la longitud de la palabra con la que va a trabajar, entendiéndose con esto que se trata de la longitud del número de bits de la unidad fundamental de información.

Debido a la existencia de sistemas de desarrollo y a la facilidad de obtención de los elementos en el Laboratorio de Sistemas Digitales al momento de iniciar la implementación de los circuitos, se utilizará para el presente trabajo el microprocesador MC6802 producido por la Compañía MOTOROLA. Semiconductor Products Inc.

A continuación se enumera algunas de las principales características de este microprocesador:

16 bits para direccionamiento, siendo por tanto el total de memoria direccionable 64 Kbytes.

Tamaño de la palabra 8 bits (bus de datos)

Frecuencia de operación 1 MHz.

Entradas y salidas compatibles con elementos TTL.

Circuito de reloj implementado internamente, sólo se requiere de un cristal externo para generar la señal de reloj correspondiente.

Software 100% compatible con el microprocesador MC6800.

Contiene 128 bytes de memoria RAM disponibles para el usuario y que vienen decodificados en la direcciones (0000 - 007F).

En cuanto a la arquitectura interna del MC6802 puede decir que contiene los siguientes registros:

Dos acumuladores de 8 bits A,B.

Un registro índice de 16 bits X.

Un contador de programa de 16 bits PC.

Un registro de STACK de 16 bits SP.

Un registro de condición de 8 bits CC.

Este registro contiene las siguientes banderas:

C (Carry)

H (Half Carry)

Z (Zero)

N (Negative)

I (Interrup mask-bit)

V (Overflow)

Las características técnicas adicionales pueden observarse en las hojas de datos del fabricante que se incluyen en el apéndice A.

La frecuencia de oscilación del cristal es dividida internamente en el microprocesador para cuatro. En el presente caso se utiliza un cristal que tiene su frecuencia de oscilación de 3,71 MHz, por lo que la frecuencia de trabajo del sistema será 927,5 KHz.

La máxima frecuencia de operación permitida es 1 MHz. El tiempo de duración de cada ciclo de reloj es por tanto $t=1/f_0$ -- $t=1,08 \mu\text{seg}$. Este valor es muy importante tenerlo en cuenta cuando se quiera implementar retardos de tiempo utilizando el microprocesador.

Uno de los circuitos importantes en la operación del sistema es el relativo a la inicialización. Para la presente aplicación existen dos tipos de RESET: RESET automático o total y RESET desde teclado o parcial.

El RESET automático opera luego de conectarse el equipo o después de una pérdida momentánea o total de la alimentación o también puede ser activado desde un switch existente en el panel frontal, está constituido por un timer 555 que opera como un monoestable con un tiempo de demora de aproximadamente 2.5 seg. Cuando esta señal es generada se inicia la ejecución del programa de control completamente, perdiéndose por lo tanto la información previa existente.

El otro tipo de RESET es de tipo parcial y está controlado por el microprocesador, el efecto que produce es el de iniciar nuevamente la opera-

ción que se estaba realizando.

2.3.2 DISEÑO DE LA MEMORIA

La decodificación de la memoria se la realiza en páginas de 2 Kbytes, existiendo por tanto la capacidad de direccionar 32 páginas, ya que el microprocesador permite direccionar 64 Kbytes.

La memoria del sistema de adquisición de datos está dividida en 3 grupos: Memoria EPROM del programa de control, RAM del programa de control y RAM de los datos. El programa de control ocupa dos EPROM 2716 (2 K×8), las mismas que están direccionadas en los cuatro últimos K de memoria (F000H - FFFFH) y contiene todos los datos, tablas y programas que controlan la operación del sistema.

La RAM del programa de control utiliza los 128 bytes de RAM que viene implementados internamente en el microprocesador y que están decodificados en las direcciones (0000H - 007FH), por lo tanto este bloque de memoria pertenecerá a la página cero ($\bar{0}$) que cubre el rango de direcciones (0000H - 07FFH). Las direcciones 0080H hasta 0085H que corresponden a esta misma página han sido asignadas a los periféricos de entrada y salida, pudiéndose en este caso utilizar el modo de direccionamiento directo, con lo cual la transferencia de datos entre el microprocesador y los periféricos ocupará un número menor de instrucciones de programa.

Para la implementación de la RAM de datos se utilizan las memorias HCM65116 que son memorias estáticas y están organizadas en 2048 pala-

bras de 8 bits (2K x 8). La operación de este tipo de memorias es bastante simple, ya que no se requieren señales de refresco, la transferencia de datos entre el microprocesador y la memoria se reducirá por tanto a una operación de habilitación de la localidad deseada y ejecución de la operación requerida.

Organización de la Memoria:

0000 - 07FF --- RAM de programa de control y periféricos de entrada/salida.

0800 - 0FFF --- 2K de RAM de datos

1000 - 17FF --- 2K de RAM de datos

1800 - 1FFF --- 2K de RAM de datos

2000 - 27FF --- 2K de RAM de datos

2800 - 2FFF --- 2K de RAM de datos

3000 - 37FF --- 2K de RAM de datos

3800 - 3FFF --- 2K de RAM de datos

4000 - 47FF --- 2K de RAM de datos

4800 - 4FFF --- 2K de RAM de datos

5000 - 57FF --- 2K de RAM de datos

5800 - 5FFF --- 2K de RAM de datos

6000 - 67FF --- 2K de RAM de datos

6800 - 687F --- 2K de RAM de datos Opcional

7000 - 77FF --- 2K de RAM de datos Opcional

7800 - 7FFF --- 2K de RAM de datos Opcional

8000 - 87FF --- 2K de RAM de datos Opcional

8800 - 8FFF --- 2K de RAM de datos Opcional
 9000 - 97FF --- 2K de RAM de datos Opcional
 9800 - 9FFF --- 2K de RAM de datos Opcional
 A000 - A7FF --- 2K de RAM de datos Opcional
 A800 - AFFF --- 2K de RAM de datos Opcional
 B000 - B7FF --- 2K de RAM de datos Opcional
 B800 - BFFF --- 2K de RAM de datos Opcional
 C000 - C7FF --- 2K de RAM de datos Opcional
 C800 - CFFF --- 2K de RAM de datos Opcional
 D000 - D7FF --- 2K de RAM de datos Opcional
 D800 - DFFF --- 2K de RAM de datos Opcional
 E000 - E7FF --- 2K de RAM de datos Opcional
 E800 - EFFF --- 2K de RAM de datos Opcional

F000 - F7FF --- 2K de EPROM de Programa de Control
 F800 - FFFF --- 2K de EPROM de Programa de Control

La organización de la memoria en la página cero corresponde a la siguiente distribución:

0000 - 007F --- RAM de Programa de Control
 0080 - --- Latch que contiene código a 7 segmentos de los displays
 0081 - --- Latch para habilitación de displays y líneas de barrido del teclado.
 0082 - --- Latch para habilitación de señal de control remoto para selector de multipunto B&K 1544.

0083	---	Libre
0080	---	Lectura de buffer de teclado.
0081	---	Interface con medidor de deformación
0082	---	Interface con medidor de deformación
0083	---	Interface con selector de multipunto
0084	---	ACIA (Comunicación serial)
0085	---	ACIA (Comunicación serial)

A continuación se describe la decodificación de la memoria. Como se indicó anteriormente se ha organizado la memoria en páginas de 2K, existiendo un total de 32 páginas. Para direccionar 2K se requieren 11 líneas de dirección ($A_0 - A_{10}$) puesto que $2^{11} = 2048$, para direccionar las 32 páginas de memoria se requieren 5 líneas de dirección, ya que $2^5 = 32$ para lo cual se utilizan las líneas $A_{11} - A_{15}$.

Para no cargar el microprocesador se ha colocado buffers en las líneas de direcciones, datos y control. En la figura 2.4 se muestra el circuito implementado.

2.3.3 DISPOSITIVOS DE ENTRADA Y SALIDA

El microprocesador MC6802 no posee instrucciones de entrada-salida, en este caso a cada periférico se le asigna una dirección y por lo tanto será tratado por el microprocesador como si se tratara de una localidad de memoria.

El diagrama de bloques mostrado en la figura 2.2 nos indica como un a-

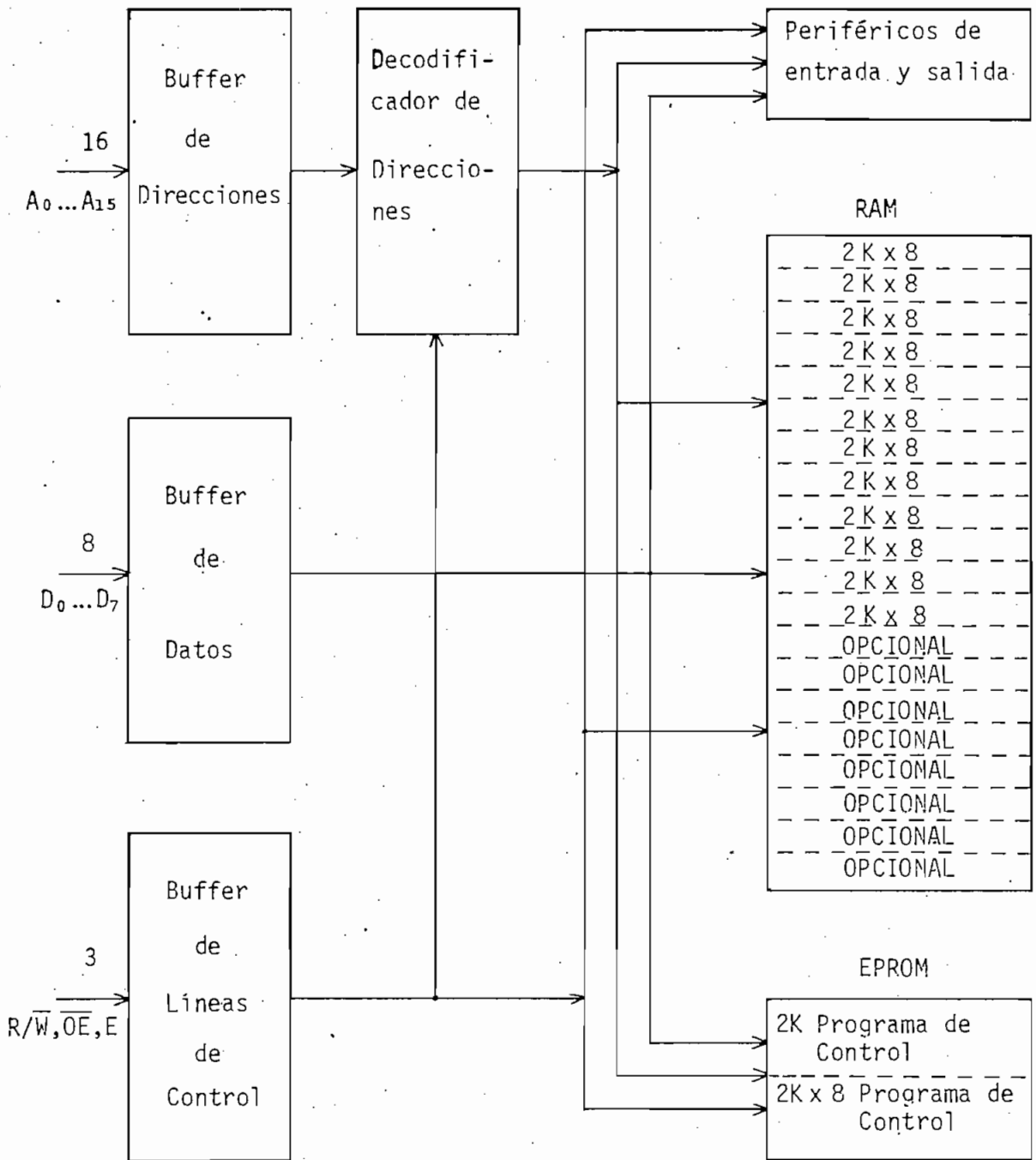


FIGURA 2.4.- CIRCUITO DE DECODIFICACION DE MEMORIA.

parato de entrada - salida es conectado al microcomputador. Nótese que los buses de datos y direcciones están conectados al interface de entrada y salida, existiendo para cada periférico un decodificador de direcciones, un latch de entrada o salida y los buffers o drivers respectivos.

El decodificador de direcciones controla el bus de direcciones y habilita los circuitos de interface cuando una dirección válida es detectada. De esta manera se tiene un control perfectamente sincronizado del flujo de datos en los buses del microcomputador y se garantiza también que solo el periférico que tenga esa dirección esté habilitado; los demás periféricos estarán bloqueados.

2.3.3.a INTERFACE CON EL TECLADO.

La comunicación entre el sistema de adquisición de datos y un usuario se establece a través de un teclado de 19 teclas que se complementa con algunos switches que están ubicados en el panel frontal.

La acción del teclado está controlada completamente por el microprocesador el mismo que debe cumplir con las siguientes funciones:

- Primero el μP debe seleccionar la dirección asignada al arreglo de switches.
- Luego debe detectar si un switch ha sido cerrado.
- Luego debe eliminar el rebote producido, ya que no se ha implementado externamente con hardware un circuito que cumpla con esta función.

- Finalmente debe decodificar y determinar cuál fue la tecla pulsada.

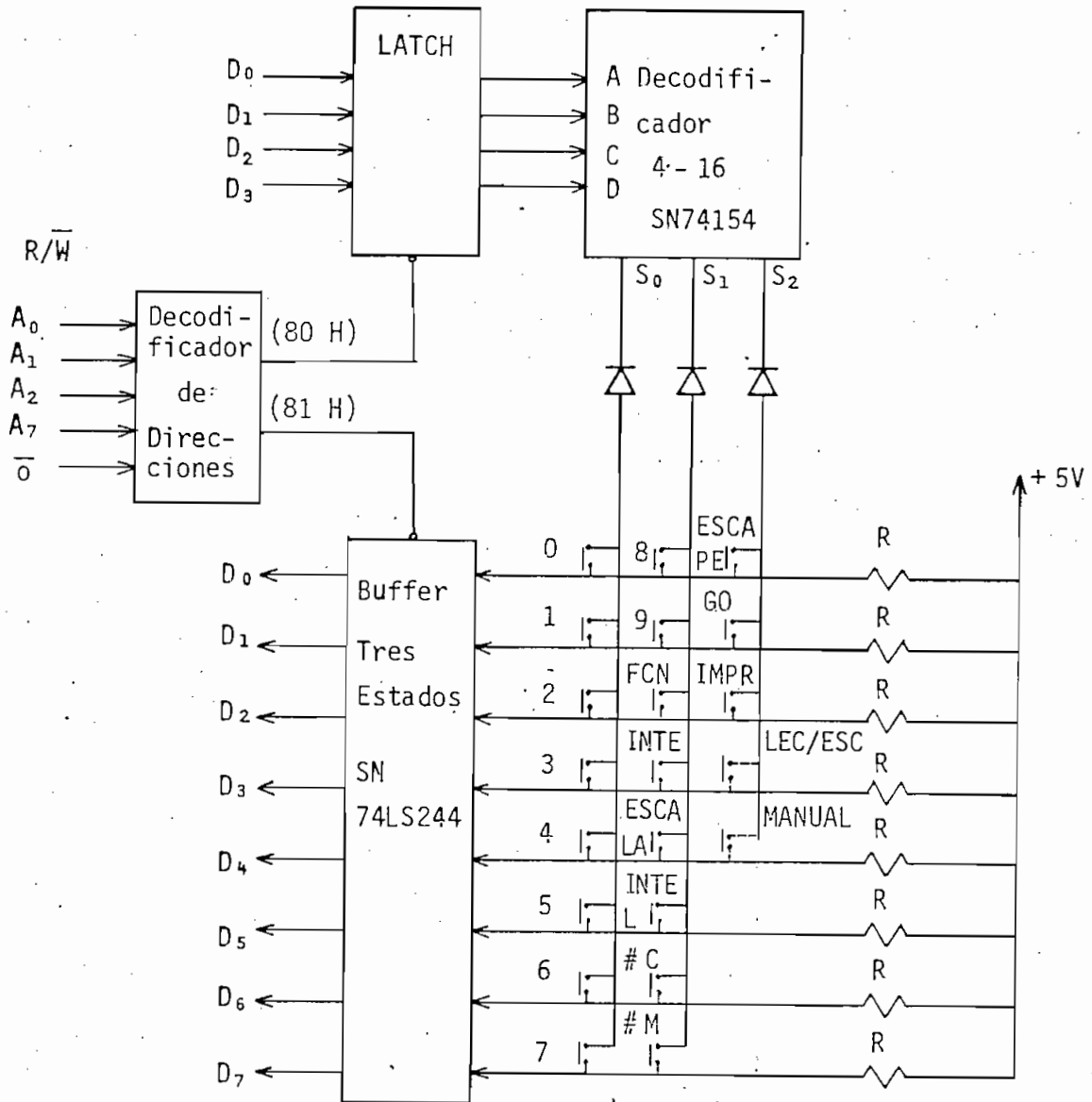


FIGURA 2.5.- Circuito de decodificación del teclado.

La figura 2.5 muestra un arreglo paralelo de 24 switches. Los buffer tres estados son utilizados para establecer el interface con el bus de datos; estos buffers son habilitados por la salida del decodificador de

direcciones. El decodificador SN74154 mostrado en la figura es utilizado también para la habilitación de los displays. Para determinar si un switch ha sido cerrado el microprocesador debe leer el buffer localizado en la localidad de memoria 81H, por medio de la instrucción LDAA \$81. Si ninguno de los switches ha sido cerrado, todas las líneas de datos estarán en alto debido a las resistencias de pull-up ($R_9 - R_{16}$), por lo tanto el dato ingresado en el acumulador será FFH. La detección de una tecla presionada se realiza comparando el contenido del acumulador A con el número FFH.

Por ejemplo, supongamos que la línea de barrido S_0 ha sido seleccionada (es decir existirá un 0_L en la línea 0 del decodificador SN74154) y el switch 3 ha sido presionado, el dato leído corresponderá al valor hexadecimal F7 y se puede pasar al proceso que determine exactamente que tecla ha sido pulsada.

Eliminación de rebotes en un switch: Uno de los principales problemas que se presentan con switches en sistemas digitales es que se producen múltiples transiciones que pueden ser la causa del ingreso de datos erróneos. La figura 2.6 nos muestra el efecto del rebote en el cierre de un switch.

Si bien es cierto el rebote puede durar sólo unos pocos milisegundos, este tiempo es suficiente para que el microprocesador interprete al rebote como una operación de cierre repetitivo del switch. La función de eliminación del rebote es cumplida por el microprocesador, esperando unos 10 milisegundos antes de leer el dato del switch nuevamente; si un

mismo dato es leído, entonces se puede tomar al dato como válido. El switch puede ser leído tantas veces sea necesario para asegurarnos que el rebote producido por el cierre y apertura de los contactos ha sido eliminado completamente.



FIGURA 2.6.- Rebote producido en la apertura y cierre de un switch.

Decodificación de los switches: Después de que el microprocesador ha detectado que uno de los switches ha sido cerrado, este debe decidir cuál switch es.

En este caso se tiene un arreglo en forma de matriz de 8 filas y 3 columnas pudiéndose decodificar un total de 24 switches o teclas. Cada fila tiene asociada una línea del bus de datos, y cada columna corresponde a una línea de barrido (S_0 , S_1 , S_2) que son salidas del decodificador. Escogiendo adecuadamente el valor binario en las entradas del decodificador se puede seleccionar de una manera ordenada cada una de las columnas de barrido.

La subrutina Teclad es la que se encarga de realizar todas las funciones anteriormente mencionadas, tales como: selección de la línea de ba-

ruido, detección de tecla pulsada, eliminación de rebote, decodificación del dato ingresado.

2.3.3.b INTERFACE CON LOS DISPLAYS.

Como uno de los elementos de salida para la presente aplicación se utiliza un arreglo de 11 displays de 7 segmentos, los cuales están organizados en tres grupos: el primero consta de 5 indicadores, en los que se mostrará la información correspondiente al valor de la medición con su respectivo signo (positivo o negativo); el segundo grupo de displays con siste de dos displays en los que se indicará la identificación del canal desde el cual se realizó la medición pudiendo por tanto mostrar un total de 100 canales (00 - 99). Los 4 displays restantes mostrarán la información correspondiente al número de la medición, siendo el máximo permisible 9999.

Es necesario indicar que los displays se utilizan también para escribir ciertos mensajes, de tal manera que la comunicación con el usuario se vea facilitada; así por ejemplo, indicará un código de error cuando en la fase de programación del sistema de adquisición de datos se ha come tido algún error.

Existen muchas posibilidades de establecer la interface entre el microprocesador y un arreglo de displays de 7 segmentos. Teniendo en consideración que la información existente en las memorias es de tipo binario, sería necesario utilizar algún decodificador binario a 7 segmentos; además, para que la información de cada display quede almacenada se ne

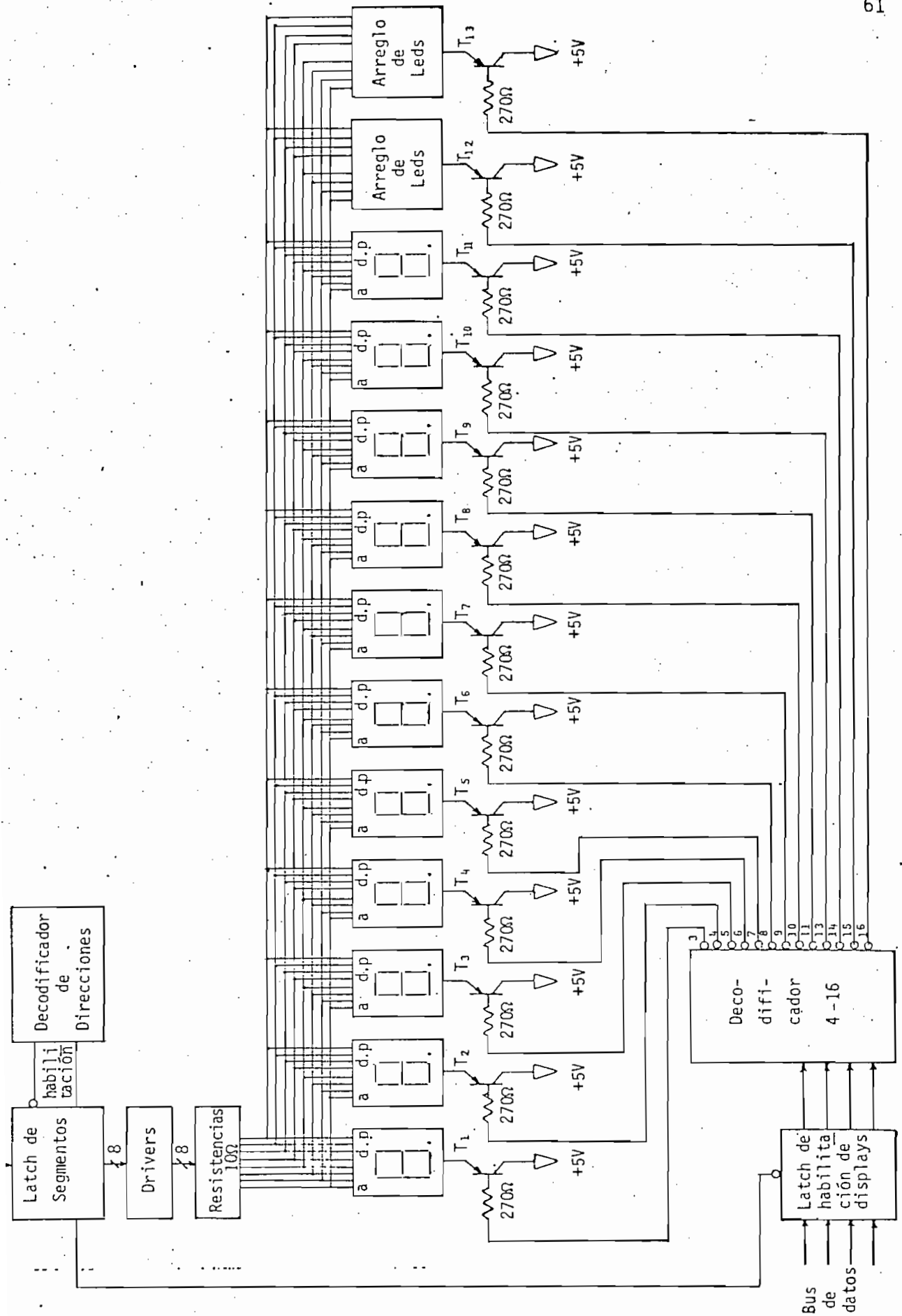


FIGURA 2.7.- INTERFACE DE LOS DISPLAYS CON EL MICROPROCESADOR.

cesitaría un latch por cada uno de los displays y se requeriría los circuitos decodificadores de direcciones, de tal manera que el μ P pueda escribir el dato en cada uno de los latches.

Si se pensaría en esta solución para la presente aplicación resulta que se requeriría:

11 decodificadores binario - 7 segmentos

11 latch de 4 bits para almacenar la información de cada display.

11 arreglos de 8 resistencias para poder manejar cada uno de los segmentos.

Además de los circuitos necesarios para establecer la decodificación de los latches respectivos.

Otro factor que se debe tener en consideración tiene que ver con el consumo de corriente del circuito en general, en este caso este consumo se incrementará grandemente encareciendo el costo del equipo.

Una manera económica para cumplir con la función anteriormente mencionada se muestra en la figura 2.7.

Se puede observar que adicionalmente se ha incluido 2 arreglos de leds que completan la operación del sistema y que permiten una fácil operación del mismo. Se debe indicar, sin embargo, que si bien este tipo de implementación resulta económica desde el punto de vista de hardware, el MPU va a gastar más tiempo en la operación de refresco de la informa

ción, pero en el presente caso el tiempo empleado por el micro no es crítico.

Como se puede observar en el circuito de la figura 2.7 se requiere solamente un latch de 8 bits para la información del código a 7 segmentos y el punto decimal y adicionalmente un latch de 4 bits que almacena la información concerniente al display que va a ser habilitado y que será por tanto el que reciba la información. La decodificación del código binario a 7 segmentos también es realizada por el microprocesador, el procedimiento utilizado se puede observar en el apartado correspondiente al desarrollo de los programas.

Se utilizan indicadores luminosos del tipo ánodo común los cuales serán habilitados por medio del switcheo del respectivo transistor asociado con él.

Para una mejor comprensión se va a considerar uno sólo de los displays.

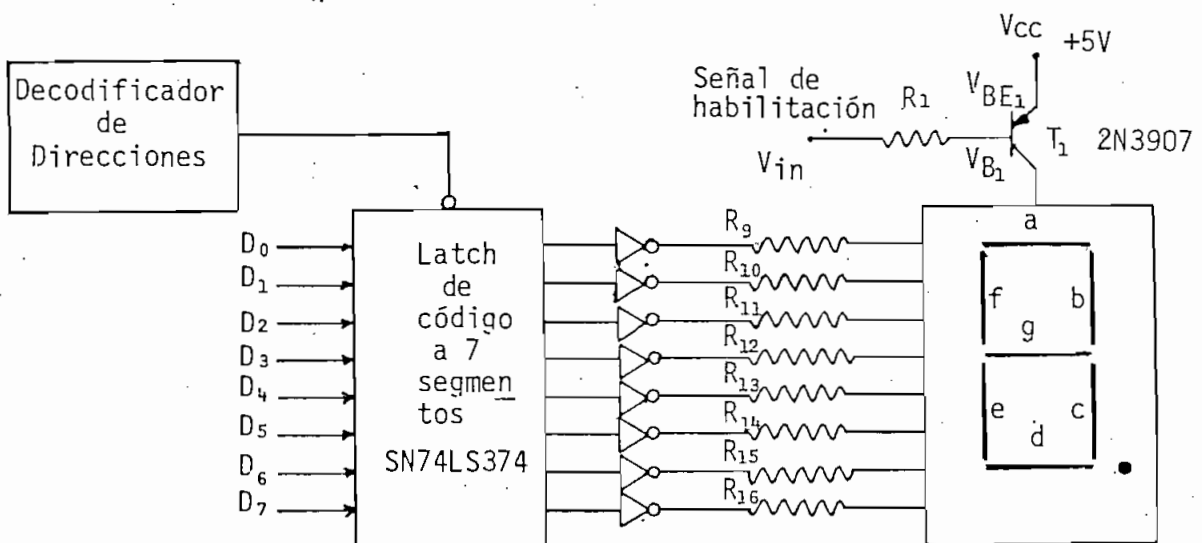


FIGURA 2.8.- Conexión de un display de 7 segmentos.

La señal de habilitación proveniente del decodificador SN74154N (U 35), determina cuál de los displays va a estar habilitado. El transistor T1 va a conducir cuando en la salida del decodificador se tenga un O_L , y por tanto el display estará energizado.

Se considera una corriente de colector en T1. $I_{C1} = 140 \text{ mA}$

Se asume β del transistor en saturación de 10.

$$V_{B1} = V_{CC} - V_{BE}$$

$$V_{IN} = V_{OL} (\text{TTL})_{\text{máx}} = 0.8 \text{ V}$$

Se cumple la relación,

$$I_{B1} = \frac{V_{CC} - V_{BE} - V_{IN}}{R_1} ; \text{ pero } I_{C1} = \beta I_{B1}$$

$$R_1 = \beta \frac{V_{CC} - V_{BE} - V_{IN}}{I_{C1}} \Rightarrow \text{ De donde se obtiene } R_1 = 270 \Omega.$$

El valor que aparezca en el indicador dependerá del estado lógico existente en la entrada de cada segmento. Para limitar la corriente que circula por cada led se ha previsto una resistencia R_S . Para el presente caso debido a que el funcionamiento del display no es continuo, es necesario darle un pulso de corriente de mayor amplitud que en condiciones normales.

Tomando en consideración que existe un total de 13 elementos a los cua-

les se debe refrescar se puede establecer que la relación de trabajo es:

$$R. T. = \frac{1}{13} = 0,0769 \text{ ó } R. T. = 7,69\%$$

ésto quiere decir que, si el tiempo total de barrido de los displays es 10 μ seg., apenas durante 0,77 μ seg uno de los displays permanecerá encendido, ésto va a reflejarse en una disminución de la intensidad de iluminación.

Con estas consideraciones el ajuste del tiempo de barrido y el valor de la resistencia R_S se lo ha determinado de una manera experimental en un valor de 10 Ω .

2.3.3.c INTERFACE SERIAL.

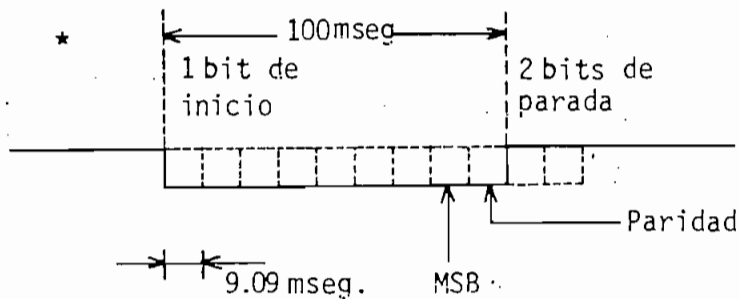
A más de los circuitos de entrada y salida descritos anteriormente, se ha implementado un interface de comunicación serial de acuerdo con la norma RS-232C.

Esta interface cumple las siguientes especificaciones:

Formato de datos: un bit de inicio, 8 bits de datos y 2 bits de parada.

Formato de caracter: 7 bits de código ASCII y 1 de paridad par.

Velocidad de transmisión: Puede ser seleccionada por medio de un switch rotativo entre los siguientes valores: 110, 150, 300, 1200, y 2400 Baudios.



* 110 baudios.

El conector RS-232C es un conector estándar AMPHENOL de 25 pines, lleva una tierra del circuito, una tierra del chasis y 4 líneas de señal activas.

El circuito que nos permite establecer una comunicación serial se muestra en la figura 2.9.

Un medio bastante común para la transmisión de datos entre equipos es utilizando una transmisión serial asincrónica; para lo cual se puede utilizar un ACIA (Asincronic Communication Interface Adapter).

En la presente aplicación se utiliza el circuito integrado MC6850 producido por MOTOROLA y que forma parte de la familia de integrados compatibles con el microprocesador MC6802.

Algunas características importantes de este elemento se detallan a continuación:

El flujo de datos entre el MPU y el ACIA es a través de un bus bidirec-

cional de 8 líneas, $D_{B0} - D_{B7}$. La dirección del flujo de datos es controlada por el μP vía la línea de lectura/escritura (R/\bar{W}).

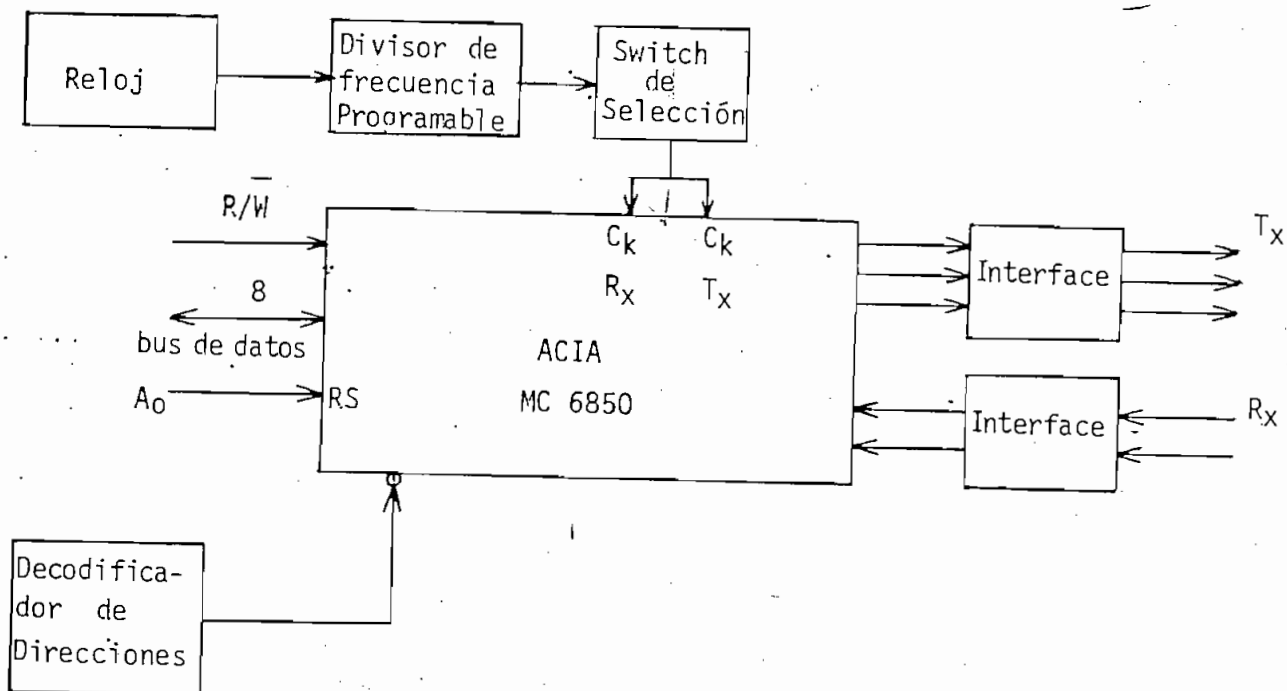


FIGURA 2.9.- Diagrama de bloques del circuito de Comunicación Serial.

Para facilitar la interconexión con el μP existen 3 líneas de habilitación del chip CS_0 , CS_1 y CS_2 , existiendo también una línea Rs (Register Select) que permite seleccionar un registro específico del ACIA. El MPU puede realizar operaciones de lectura y escritura con los registros del ACIA, para lo cual se debe seleccionar la dirección asignada a tales registros vía el bus de direcciones. El interface entre el ACIA y el periférico se establece a través de 2 líneas de señales de datos y tres líneas de control. Los datos son transmitidos y recibidos vía la línea

Tx de salida y Rx de entrada. Las señales de control CTS (Clear - To - Send), DCD (Data Carrier Detect) y RTS (Request - To - Send) son provistas para facilitar el interface con MODEMS tales como el MC6860. Dos entradas de reloj están disponibles para fijar la velocidad de transmisión o de recepción a través de un circuito de reloj externo.

El ACIA aparece al μ P como dos localidades de memoria direccionables, existiendo 4 registros, 2 de los cuales son para escritura solamente y los otros 2 para lectura solamente. Los registros para lectura solamente son el registro de status y el registro de recepción y los de escritura son el registro de control y el registro de transmisión.

Los bits de inicio y parada no llevan información alguna y obviamente bajarán la velocidad de transmisión ya que de cada 11 bits que se transmiten en cada caracter 3 no llevan información.

El propósito del bit de inicio en un sistema de recepción es el de sincronizar la señal de reloj. El bit de parada es utilizado como un chequeo final en la sincronización de cada caracter.

Debido a que el μ P trabaja con bytes de 8 bits paralelos, los bits de inicio y parada no están incluidos, por tanto para el caso de recepción asincrónica los datos deben ser convertidos del formato serial al paralelo pero con los bits de inicio y parada eliminados. Para el otro caso cuando se trate de la transmisión de un carácter, el dato proveniente del microprocesador debe ser convertido al formato serial, en el que estén incluidos los bits de inicio y parada. Esta conversión serial - paralelo / paralelo - serial es una de las funciones fundamentales del

ACIA.

Este elemento presenta también algunas posibilidades de programación, por ejemplo; se puede escoger una relación de división de la señal de reloj variable, longitud de la palabra variable, uno o dos bits de parada, paridad par o impar. Para lo cual se debe escribir la palabra adecuada en el registro de control.

En el Apéndice A se presenta las hojas de datos del fabricante, en el que se puede ver con mayor detalle las funciones del ACIA.

La norma RS-232 fue establecida para definir la interface entre una computadora o terminal (DTE) y un modem (DCE = equipo de comunicación de datos). También ha resultado útil para la comunicación a varios tipos de aparatos periféricos hasta 20000 bits (2500 bytes) por segundo. En el caso sencillo de transmisión unidireccional (a una impresora, por ejemplo) esta interface puede implementarse con sólo 3 alambres (tierra, datos, y listo), pero se han definido un número de señales de control para casos más complejos.

Señales de datos.

- 2 T_xD Datos a transmitirse - debe estar en 1 lógico entre bytes; CTS, DSR, DTR, y RTS deben estar en 1 para enviar datos.
- 3 R_xD Datos recibidos (por la DCE).
- 14 SBA Datos a transmitirse por el canal secundario.
- 16 SBB Datos recibidos por el canal secundario.

Señales de Control

- 4 RTS Pedido de transmisión (del DTE al DCE). Ponga la portadora.
- 5 CTS Listo para transmitir (del DCE).
- 6 DSR Indica que el modem está en modo de transmisión normal.
- 20 DTR Indica que el DTE (Computadora o terminal) está lista.
- 22 CE Indicador de Timbrado en la línea telefónica.
- 8 DCD Detección de portadora (que viene del otro modem).
- 21 CG Indicador de calidad de señal (del DCE).
- 23 CH Selector de velocidad de transmisión (300 o 1200 baudios).
- 19 SCA RTS para canal secundario.
- 13 SCB CTS para canal secundario.
- 12 SCF DCD para canal secundario.

Señales de Sincronización

- 24 DA Del DTE. Centro de cada bit transmitido.
- 17 DD Del DCE. Centro de cada bit recibido.

Conductores de Tierra

- 1 AA Tierra del chasis.
- 7 AB Tierra para señales digitales.

Niveles de las señales RS-232

- $V > +3V$ 0 para datos. Controles activos.
- $-3 < V < +3$ Banda de transición.
- $V < -3V$ 1 para datos. Controles inactivos.

Las entradas deben aguantar sobrevoltajes hasta 25 V sin daños.

Las salidas deben tolerar un cortocircuito sin daños.

Impedancia de salida => 300 ohmios (con o sin fuerza).

Impedancia de entrada $3K < R_L < 7K$

Longitud máxima del cable 15 m

Si uno desea conectar un terminal a una computadora (sin modems), es necesario (1) Intercambiar 2 y 3 (conectar cada R_{xD} al T_{xD} del otro aparato) y conectar 20 (DTR) del terminal al 5 (CTS) de la computadora.

Diseño del Interface RS-232C

Este circuito de interface requiere una señal de reloj externa. Se desea implementar las siguientes velocidades de transmisión: 110, 150, 300, 600, 1200, 2400 que pueden ser seleccionadas por medio de un switch rotativo.

Se ha previsto utilizar en la programación del ACIA la división interna de la señal de reloj por un factor de 64, por lo tanto las frecuencias de oscilación del oscilador patrón serán:

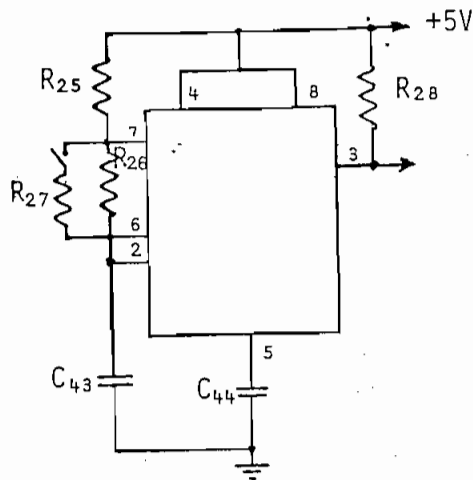
$$f_1 = 2400 \times 64 \text{ --- } f_1 = 153.600 \text{ Hz --- } T_1 = 6.5104 \text{ } \mu\text{seg.}$$

$$f_2 = 110 \times 16 \times 64 \text{ - } f_2 = 112.640 \text{ Hz --- } T_2 = 8.878 \text{ } \mu\text{seg.}$$

El diseño del oscilador se lo hace utilizando el circuito integrado LM555 en la configuración de un multivibrador a estable, como se muestra a continuación: (Fig. 2.10).

Inicialmente supongamos que el capacitor C_{43} está descargado, el capacitor estará cargándose en forma exponencial a través de la resistencia

$(R_{25} + R_{26})$, hasta alcanzar un valor de $2/3$ de V_{CC} momento en el cual el comparador dispara el flip-flop interno provocando que el condensador empiece a descargarse a través de R_{26} hasta un valor ligeramente menor a $1/3$ de V_{CC} y el ciclo se repetirá nuevamente.



$$R_{26} // R_{27} = R_{26}'$$

FIGURA 2.10.- Oscilador utilizando Timer 555.

El tiempo de carga (Salida en alto) está dado por:

$$t_1 = 0.693 (R_{25} + R_{26}) C_{43}$$

y el tiempo de descarga (Salida en bajo) por:

$$t_2 = 0.693 R_{26}' C_{43}$$

El período total es:

$$T = t_1 + t_2 = 0.693 (R_{25} + 2 R_{26}') C_{43} \quad \text{ec. (2.1)}$$

Para el primer caso se requiere una $f_2 = 112.640 \text{ Hz} \rightarrow T_2 = 8.878 \mu\text{seg.}$

Sea $C_{43} = 1 \text{ nF}$, $C_{44} = 10 \text{ nF}$

$$R_{28} = 1 \text{ K}\Omega; \quad R_{25} = 1 \text{ K}\Omega$$

Aplicando la relación 2.1 se tiene

$$R_{26} = 5.9 \text{ K}\Omega.$$

Para el caso de tener $f_1 = 153.600 \text{ Hz} \rightarrow T_1 = 6,51 \mu\text{seg.}$

$$R_{26}' = 4.19 \text{ K}\Omega$$

recordando que es

$$R_{26}' = R_{26} // R_{27}$$

Se obtiene que R_{27} es:

$$R_{27} = 14,45 \text{ K}\Omega.$$

Valores utilizados:

$$R_{28} = 1 \text{ K}\Omega$$

$$R_{25} = 1 \text{ K}\Omega$$

$$R_{26} = 15 \text{ K}$$

$$R_{27} = 3.3 \text{ K} + P_1$$

$$P_1 = 5 \text{ K}\Omega$$

La señal producida por el oscilador es alimentada a un contador binario módulo 16 con la finalidad de obtener las frecuencias necesarias para las otras velocidades de transmisión. La velocidad se escoge por medio de una llave de 6 posiciones, cuya función es la de enrutar la señal de reloj conveniente.

No se debe olvidar que se está dividiendo por 64 internamente en el ACIA la señal de reloj. Como se había indicado anteriormente, el microproce

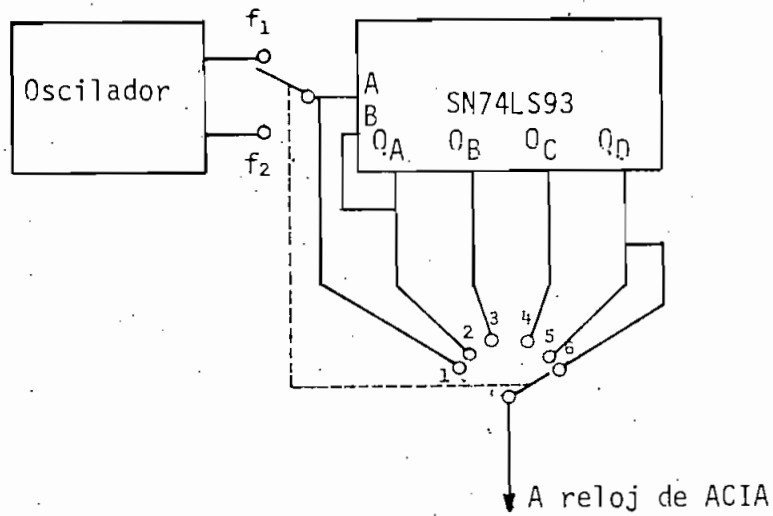


FIGURA 2.11.- Divisor de frecuencia programable.

POSICION	FRECUENCIA DE SALIDA	BAUD RATE
1	153.600	2400
2	76.800	1200
3	38.400	600
4	19.200	300
5	9.600	150
6	112.640	110

TABLA 2.1.- Frecuencia de salida para los diferentes baud - rates.

sador MC6802 no posee instrucciones de entrada y salida, los periféricos son tratados como localidades de memoria. Por lo tanto, es necesario implementar un circuito de decodificación de direcciones para poder trabajar con los registros internos del ACIA.

Se ha asignado a los registros del ACIA las localidades 0084H y 0085H pudiendo de esta manera aprovechar el modo de direccionamiento directo.

La figura 2.12 muestra la configuración del ACIA. Este presenta 3 líneas de selección del chip (CS_0 , CS_1 , $\overline{CS_2}$) las cuales serán utilizadas para seleccionar el ACIA. Para que el elemento se habilite CS_0 y CS_1 deben ser 1_L , y $\overline{CS_2}$ debe estar en 0_L .

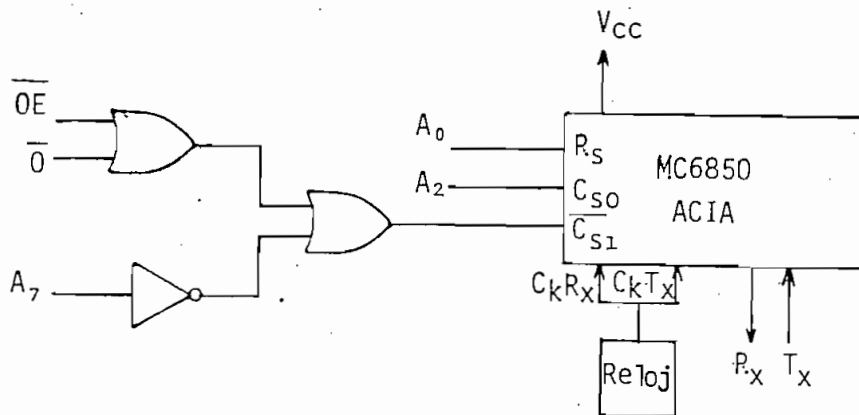


FIGURA 2.12.- Circuito de decodificación del ACIA.

Para la decodificación de este elemento se utiliza el modo parcial, esto quiere decir que este elemento se habilitará con un conjunto de direcciones que cumplen ciertas condiciones:

- La dirección debe estar en la página cero (primeros 2K 0000H - 07FF), de tal manera que en la salida \overline{O} exista un 0_L y habilite a la compuera

ta OR (2U40) permitiendo que la operación del ACIA esté sincronizada con el microprocesador. No se debe olvidar que $\overline{OE} = \overline{VMA} \cdot \overline{\emptyset 2}$.

- La dirección debe ser mayor a la localidad 007FH; la línea A_7 controla esta condición.
- La línea de dirección A_2 debe ser 1_L para que este elemento se habilite.

Según el análisis anterior una dirección válida tendrá el siguiente formato:

0	0	0	0	0	X	X	X	1	X	X	X	X	1	X	X
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

Analizando esta configuración se puede observar que existirán muchas direcciones que habiliten al ACIA; como por ejemplo:

0084H - 0085H	0094H - 0095H	00A4H - 00A5H
0086H - 0087H	0096H - 0097H	00A6H - 00A7
008CH - 008DH	009CH - 009DH	00ACH - 00ADH
008EH - 008FH	009EH - 009FH	00AEH - 00AFH

En el presente trabajo no es importante si se desperdician algunas direcciones, utilizando esta forma de decodificación parcial; ya que el hardware necesario se reduce al mínimo indispensable.

A la salida del canal de transmisión del ACIA se va a tener una señal que varía dentro de los niveles lógicos reconocidos por la familia TTL, ésto es: $0_L \leq 0,8V$ y $2,4 \leq 1_L \leq 5V$. Antes de ser enviada a otros e-

quipo esta señal debe ser acondicionada para que los datos estén dentro de los niveles de voltaje reconocidos por la EIA estándar, RS-232C, esto es:

$$V_{OL} \text{ --- mínimo } 3V$$

$$V_{OH} \text{ --- máximo } -3V$$

Para realizar este interface se utiliza el circuito integrado DS1488 que consiste de 4 drivers que convierten niveles lógicos DTL/TTL a niveles válidos para RS-232C. Las especificaciones técnicas de estos elementos se pueden encontrar en el Apéndice A. Estos drivers son utilizados para el caso de transmisión.

Para la recepción en cambio se utiliza el circuito integrado DS1489 que contiene 4 drivers cuya función es la de convertir los niveles que son aceptados como válidos en la norma RS-232C a niveles lógicos TTL. Mayores detalles de este elemento se encuentra en las hojas de datos del fabricante que se encuentran en el Apéndice A.

A continuación se muestra una aplicación práctica de estos integrados: (Figura 2.13).

La programación y operación del ACIA se describirá en la parte correspondiente al diseño del software.

2.3.3.d DISEÑO DE SEÑALES HACIA PERIFERICOS.

En la figura 2.14, se muestra un diagrama de bloques del sistema.

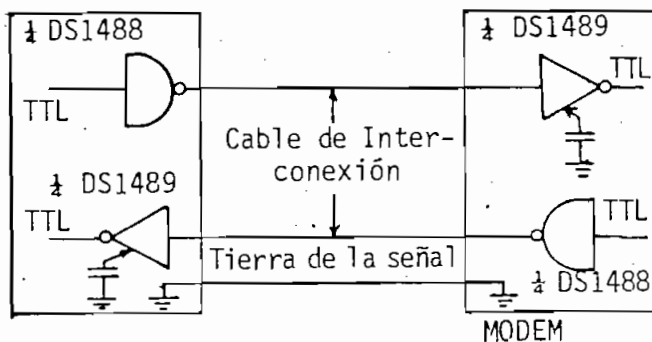


FIGURA 2.13.- Transmisión de datos utilizando RS-232C.

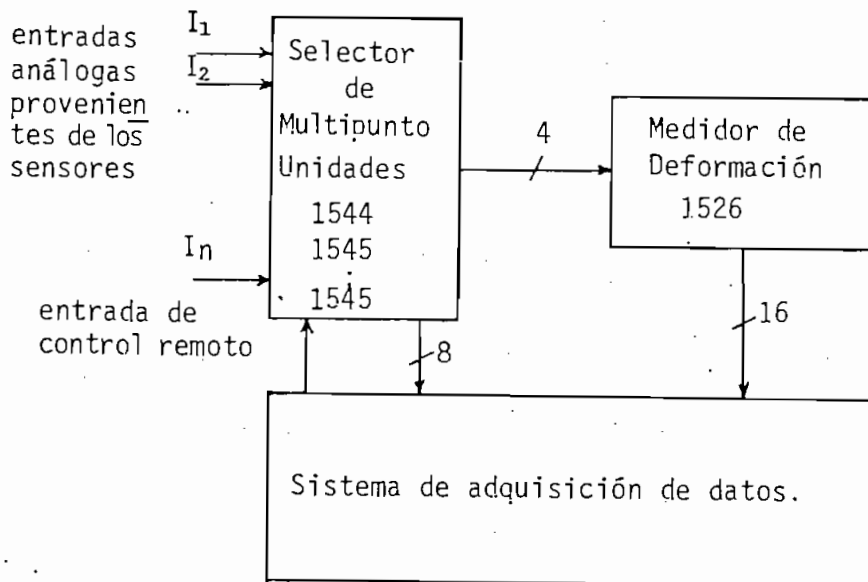


FIGURA 2.14.- Diagrama de bloques del sistema.

Se dispone de un número n de sensores que están repartidos a lo largo de una pieza de prueba y se desea ir tomando lecturas de cada uno de ellos para guardar los datos en memoria. Luego se recuperarán todos los datos de una manera secuencial a una frecuencia diferente de la que se almacenó la información.

La función del selector de multipunto será la de enrutar los terminales de cada uno de los sensores hacia el medidor de deformación en forma cíclica. Se terminará la ejecución cuando se hayan leído todos los datos señalados durante la programación del sistema de adquisición de datos, al inicio del funcionamiento del mismo.

El cambio de una entrada a otra en el selector de multipunto es controlado por el sistema de adquisición de datos que, en función del tiempo de muestreo seleccionado genera un pulso que determina el cambio hacia la siguiente entrada análoga. Este pulso es aplicado a la entrada de control remoto del selector de multipunto.

En la figura 2.15, se muestran los circuitos de interface:

Se ha utilizado buffer tres estados, los mismos que van conectados al bus de datos, cada uno de ellos tendrá asignado una dirección de tal manera que el microprocesador los trata como localidades de memoria desde donde se van a leer datos que posteriormente serán almacenados en la memoria del sistema.

El proceso de adquisición de datos se reducirá a 3 partes principales:

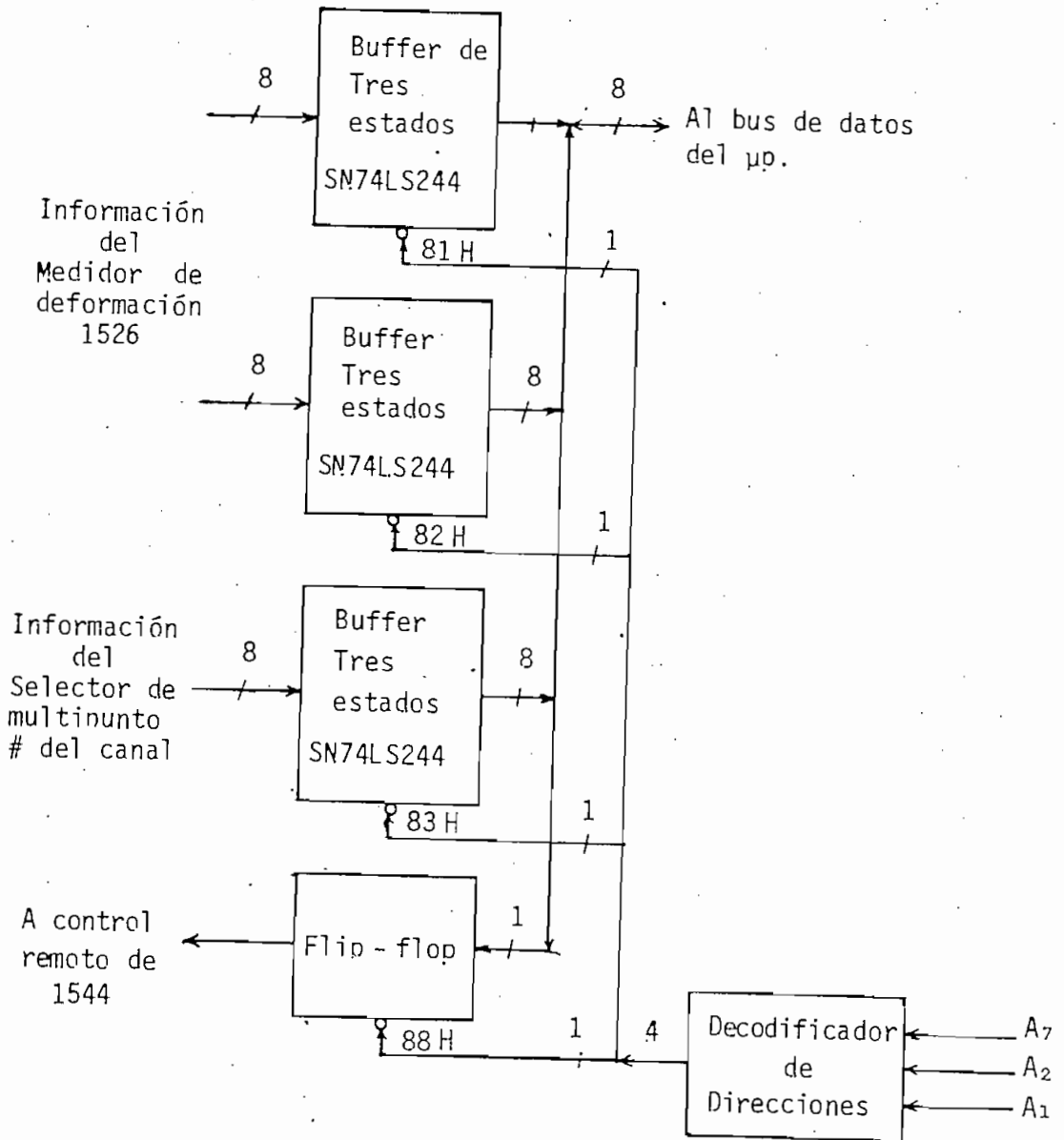


FIGURA 2.15.- Interface con medidor de deformación y Selector de multipunto.

- Dependiendo de la frecuencia de muestreo seleccionada y una vez que la conversión A-D en el medidor de deformación ha terminado, el μP habilitará de una manera ordenada los buffers de entrada e irá almacenando la información en las localidades asignadas para el efecto.
- Luego que ha terminado de grabar los datos enviará un pulso a la señal de control remoto para escoger la siguiente entrada.
- En este punto el microprocesador permanecerá en un lazo de espera hasta que se cumpla el tiempo necesario para tomar otra muestra.

Es importante indicar que durante el lazo de espera el microprocesador estará haciendo otras funciones tales como: barrido de teclado, refresco de los displays, chequeo de fin de adquisición de datos.

Como se puede ver todo el control se reduce a la elaboración del programa en lenguaje de máquina y que estará almacenado en la memoria EPROM.

A continuación se muestra un diagrama del circuito de decodificación de los periféricos de entrada y salida (Figura 2.16):

2.3.4 FUENTES DE PODER

En el sistema de adquisición de datos se requieren fuentes de voltaje de +5V, +12V y -12V. Como en la mayor parte del circuito se utilizan elementos de la familia TTL y de acuerdo a las especificaciones el voltaje de polarización necesario es de $5V \pm 5\%$, esto quiere decir que la fuente debe tener rangos máximos de variación entre $4.75 < V < 5.25V$.

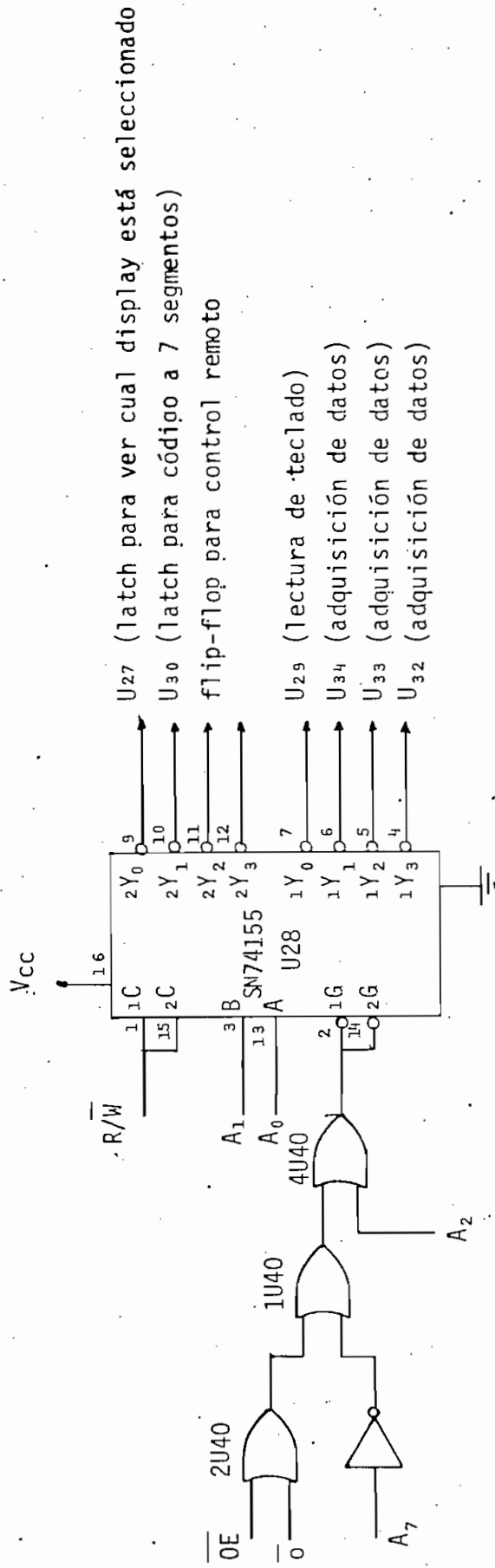


FIGURA 2.16.- DECODIFICADOR DE DIRECCIONES PARA PERIFERICOS DE ENTRADA/SALIDA.

Para la fuente de +5 V existe un transformador que entrega en su secundario un voltaje de 12,6 V_{RMS}.

Este voltaje es rectificado por el puente de diodos MDA 980-3 y luego filtrado por un condensador de 35000 microfaradios.

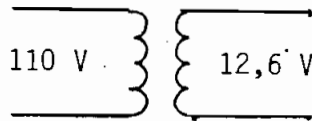


FIGURA 2.17.- Transformador de fuente de +5 V.

Se dispone también de un pequeño transformador que entrega 16 voltios con toma central como se muestra en la figura 2.18.

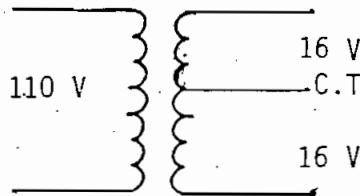


FIGURA 2.18.- Transformador de fuente de +12 V y -12 V.

Este voltaje es rectificado por el puente de diodos TCG168 y luego filtrado por capacitores de 2200 μ F.

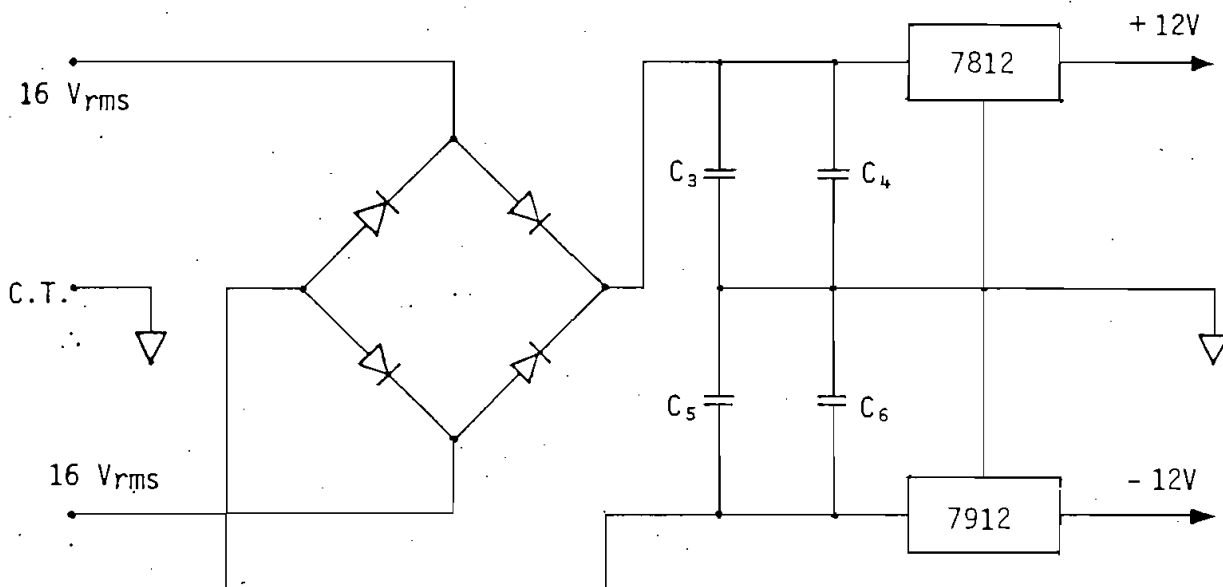
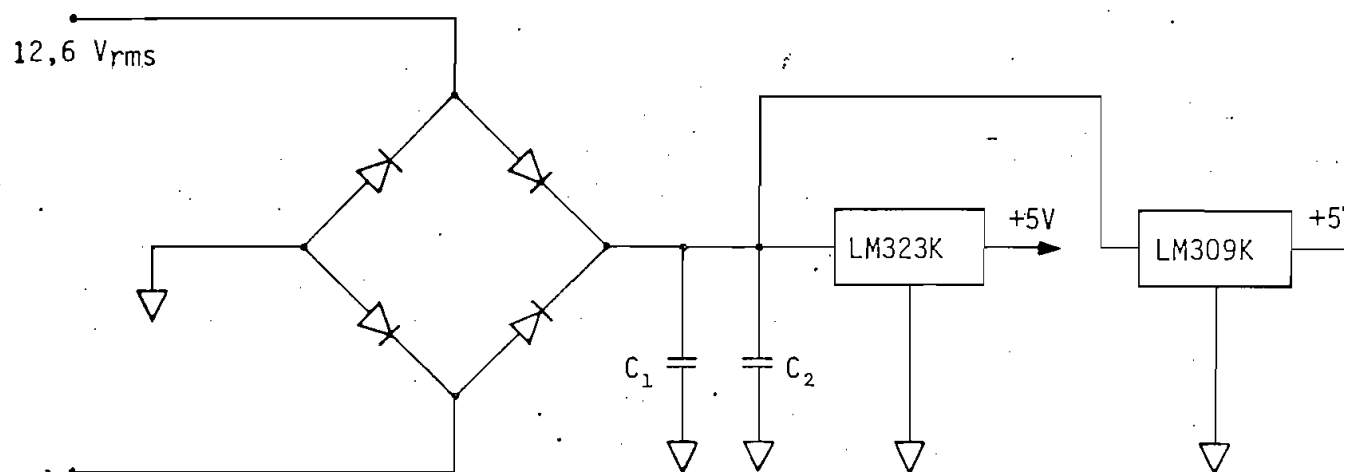
La obtención de los voltajes regulados se hace mediante reguladores de voltaje alimentados por los filtros capacitivos.

Para la fuente de +5 V se utilizan dos reguladores el LM323 y el LM309K el primero de ellos se utiliza para alimentar todo el circuito con excepción de los indicadores luminosos que son alimentados por el segundo regulador.

Para la fuente de +12 V se utiliza el regulador LM7812 y para la de -12 V el regulador LM7912.

A continuación se muestra el circuito total de las fuentes de poder.

Las fuentes de ± 12 V son necesarias para el circuito integrado DS1488, encargado de hacer el interface TTL a niveles reconocidos como válidos en la norma RS-232C.



$$C_1 = 35000 \mu\text{F}$$

$$C_2 = .1 \mu\text{F}$$

$$C_3 = 2200 \mu\text{F}$$

$$C_4 = .1 \mu\text{F}$$

$$C_5 = 2200 \mu\text{F}$$

$$C_6 = .1 \mu\text{F}$$

FIGURA 2.19.- FUENTES DE PODER DEL SISTEMA DE ADQUISICION DE DATOS.

2.4 DISEÑO DEL SOFTWARE

En esta sección se va a describir, de una manera breve, los programas implementados. Estos programas están grabados en dos memorias EPROM 2716 (2Kx8) y se han estructurado de tal manera que la operación y programación del sistema de adquisición de datos sea sencilla para los usuarios.

El programa total está dividido en módulos o subrutinas controladas por un programa maestro. Al final de este capítulo se han incluido los listados de los programas terminados, tanto en código nemotécnico como en lenguaje de máquina.

2.4.1 DIAGRAMAS DE FLUJO

A continuación se describe los diagramas de flujo del programa maestro de control y de todas las subrutinas implementadas. Se ha incluido, además de los diagramas propiamente dichos, una breve indicación del propósito de cada subrutina y de sus parámetros de entrada y salida.

PROGRAMA MAESTRO (PRINC)

Es el programa principal; será el encargado de controlar la ejecución de todas y cada una de las subrutinas de una manera ordenada, con la finalidad de cumplir con su objetivo para el que ha sido creado.

Este programa está grabado en la primera EPROM y su dirección inicial corresponde al valor F000H. Esta dirección deberá estar almacenada en

Las 2 últimas localidades de la segunda EPROM (FFFEH y FFFFH) de tal forma que cuando un reset se produzca, la ejecución del programa se inicie desde la localidad F000H.

A este programa se lo podría dividir en 5 partes bien definidas:

- Inicialmente se tendría un proceso de inicialización. (INICIO)
- Luego viene la parte que corresponde a los cálculos (CALC)
- Selección de tipo de trabajo. (INDES)
- Ejecución de la operación adecuada (INDES2, INDL2)
- Etapa de finalización. (FIN).

En la primera parte se realizan las siguientes funciones:

- Se inicializa los registros de la CPU; IX, y SP y ciertas localidades de memoria que se necesitan en los programas, se inicializan también los indicadores en una cierta condición de inicio.
- Luego se borran las localidades asignadas al buffer de los indicadores, para lo cual se utiliza la subrutina BLANK.
- A continuación se chequea la cantidad de memoria existente, lo cual se realiza grabando y leyendo un dato (primero se graba el número 55 luego se graba AA). La capacidad total de bytes de memoria se muestra en el display. En este caso se utilizan las subrutinas MEMORY y MEMOR1.

La siguiente parte del programa principal denominada como CALC corresponde a cálculos que son opcionales y que el usuario puede o no hacer uso de ellos. Cuando la tecla #C es pulsada, se ingresa al algoritmo

que permite determinar el máximo número de canales que pueden ser muestreados para un número de mediciones dado, este cálculo puede ser realizado más de una vez, todo depende de la función que sea seleccionada; en este caso se utiliza la subrutina "NUMCAN".

Cuando la tecla # M es pulsada, se ingresa al algoritmo que permite determinar el número de mediciones que se pueden tomar para un número de canales dado; igual que en la subrutina anterior el cálculo puede ser repetido, las veces que se desee, todo depende de la función seleccionada; la subrutina utilizada es "NUMMED".

La siguiente parte del programa denominada INDES permite la selección de la operación del sistema de adquisición, es decir; se desea leer datos o se desea adquirirlos, para lo cual se habilita la subrutina de barrido y de codificación de teclado y se detecta si ha sido o no presionada la tecla R/\bar{W} o la función GO. En el caso de que la tecla R/\bar{W} ha sido seleccionada, en los leds indicadores aparecerá la indicación de la función seleccionada (lectura o escritura).

Una vez que se ha ingresado el comando GO, de acuerdo con la opción seleccionada se procederá a la ejecución de la respectiva función.

Si se desea adquirir los datos, se ejecutará un conjunto de subrutinas necesarias para cumplir adecuadamente con dicha función. Entre las subrutinas utilizadas están: INGDES que permite el ingreso de los datos necesarios para la programación como son: intervalo de tiempo, factor de escala y número de mediciones. El número de canales no es necesario in

gresar ya que el mismo sistema de adquisición de datos se encarga de de terminar de una manera automática cuántos y cuáles son los canales que están habilitados para ser muestreados. Esta última función la realiza la subrutina ADPREV. En este punto se le indica al usuario que el sis tema está listo para la adquisición y está esperando la orden para ini ciar el almacenamiento de los datos de acuerdo a lo programado por el u suario; la adquisición de datos se la realiza por medio de la subrutina DATAQ, una vez que se ha terminado el control se transfiere a la parte final del programa maestro.

Si la función deseada es la lectura de los datos almacenados, primero se debe chequear si se han adquirido datos previamente ya que en caso contra rio debería indicar que hay un error.

En el caso de que se haya adquirido datos previamente se ejecutará una serie de subrutinas que cumplirán con dicha función; entre estas subrutinas están: INGDL, LECPREV y LECDAT o TRANSM.

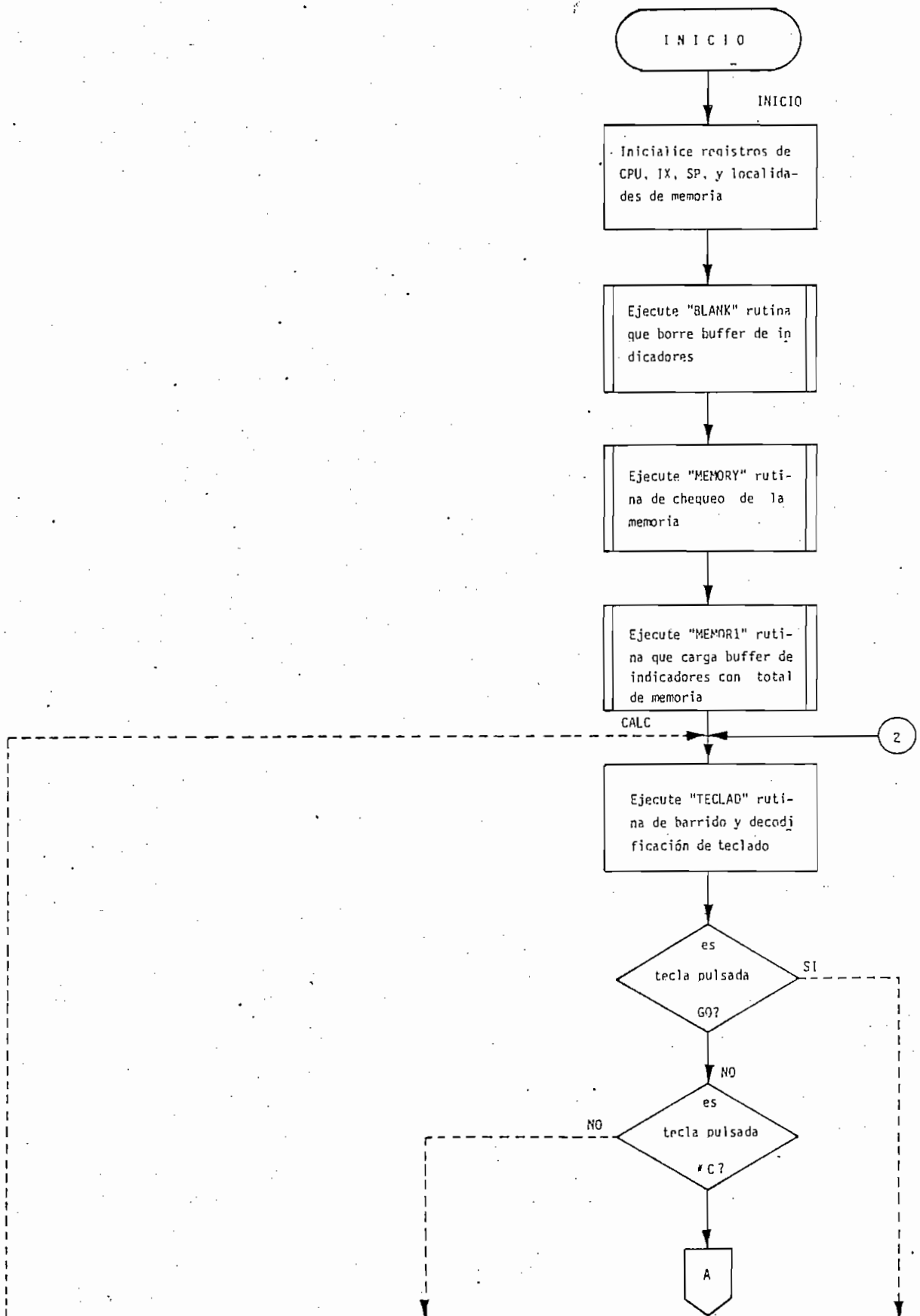
INGDL es la rutina que controla el ingreso de los datos necesarios para la lectura; entre los que están: intervalo de lectura, medición inicial, medición final, # canal del que se desea leer la información. Luego se ejecuta LECPREV que prepara al sistema para la lectura de datos. En es te punto se puede escoger entre dos opciones, la primera es mostrar la información en los displays o en transmitir esa información a través del interfase serial RS-232C. Para el primer caso se ejecutará la subrutina LECDAT y para el otro caso la subrutina TRANSM.

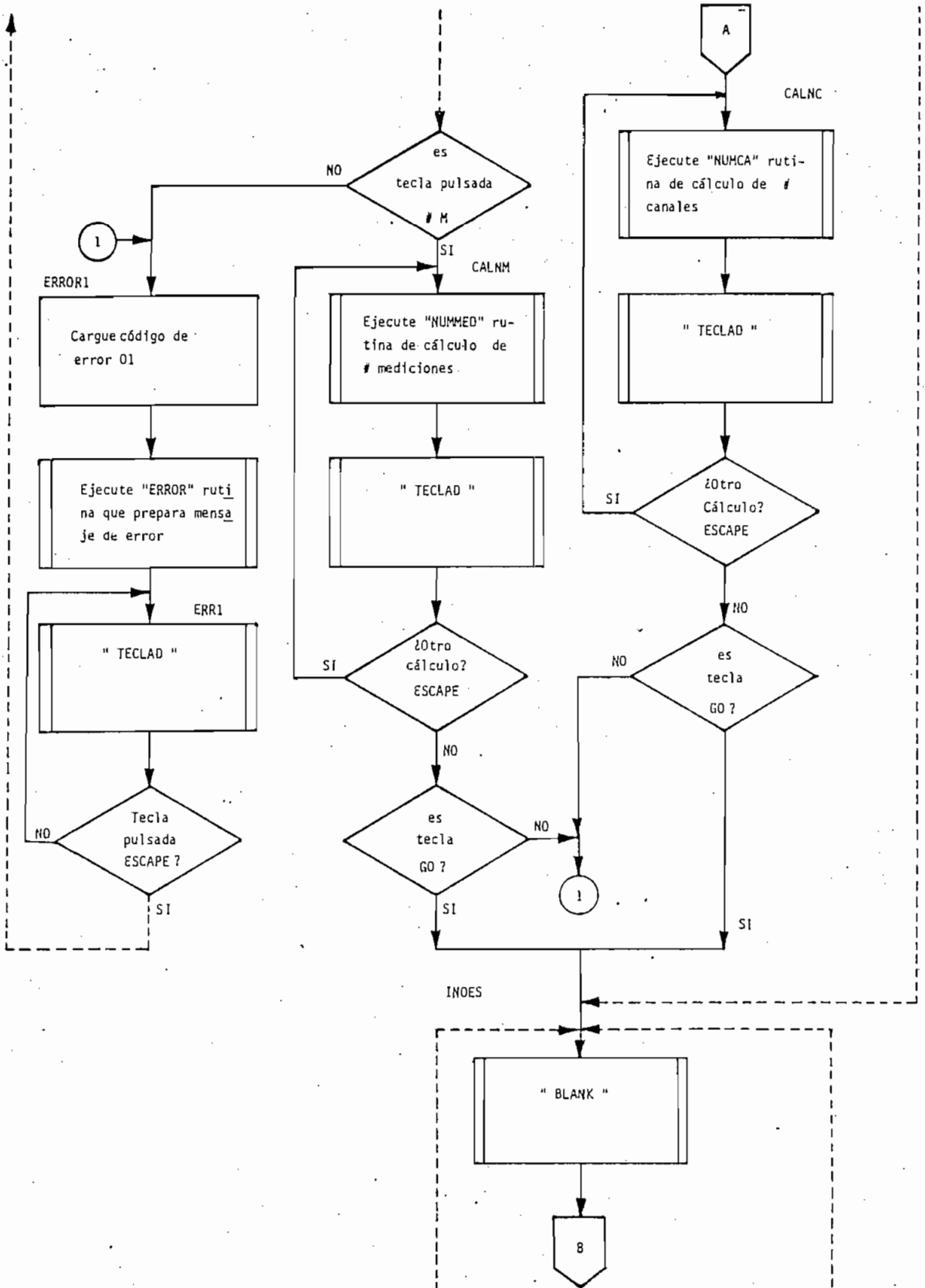
Una vez que se ha terminado la ejecución del trabajo se ejecuta la par-

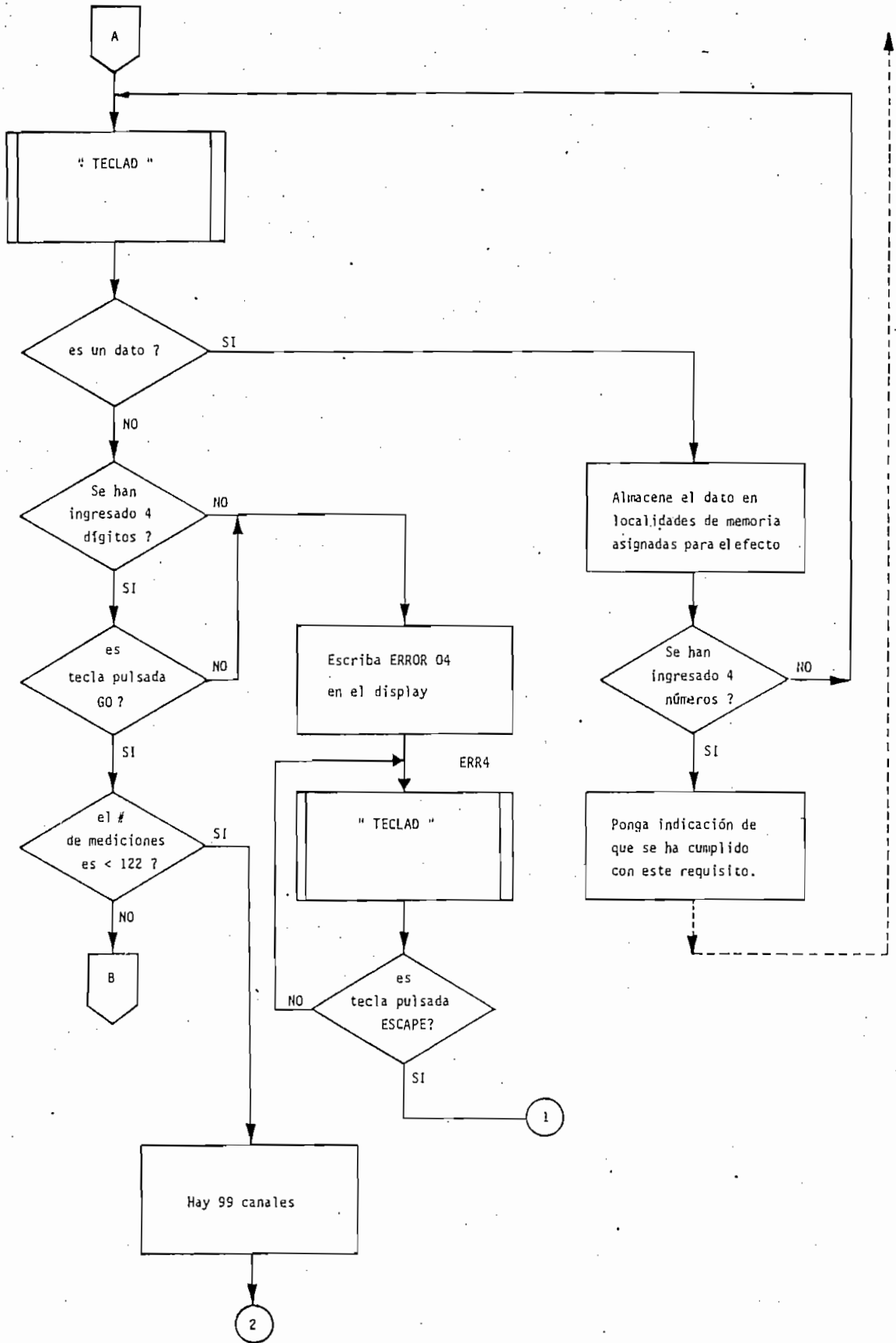
te final del programa que consiste en escribir un mensaje en los displays ("Fin") y en esperar algún comando que le permita transferir el control al inicio del programa nuevamente.

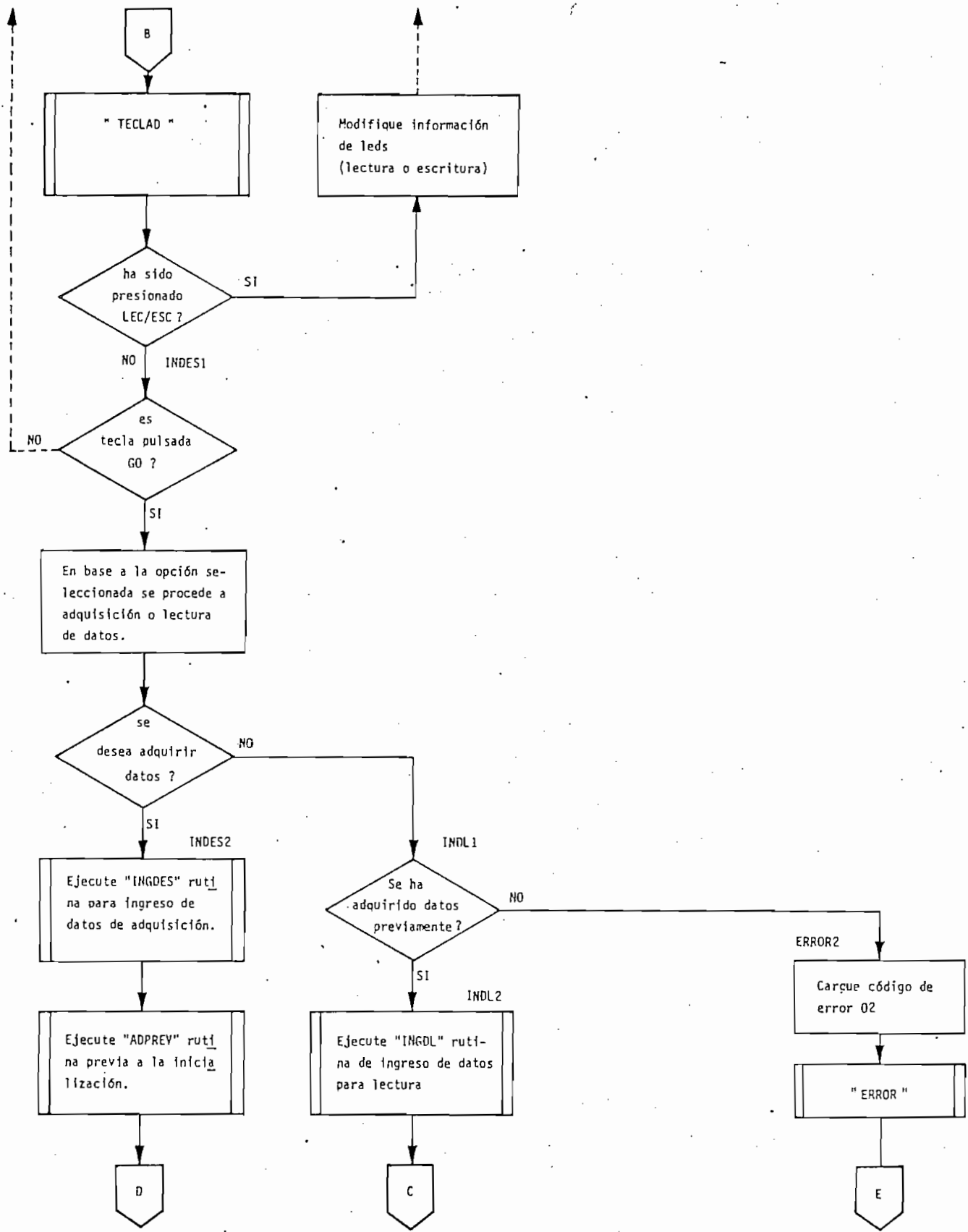
Es necesario indicar que a lo largo de las diferentes funciones se ha implementado la indicación de mensajes, ya sea de la función que está cumpliendo o en el caso de que se haya cometido algún error se codifica el error de acuerdo con la sección del programa en la que se haya producido.

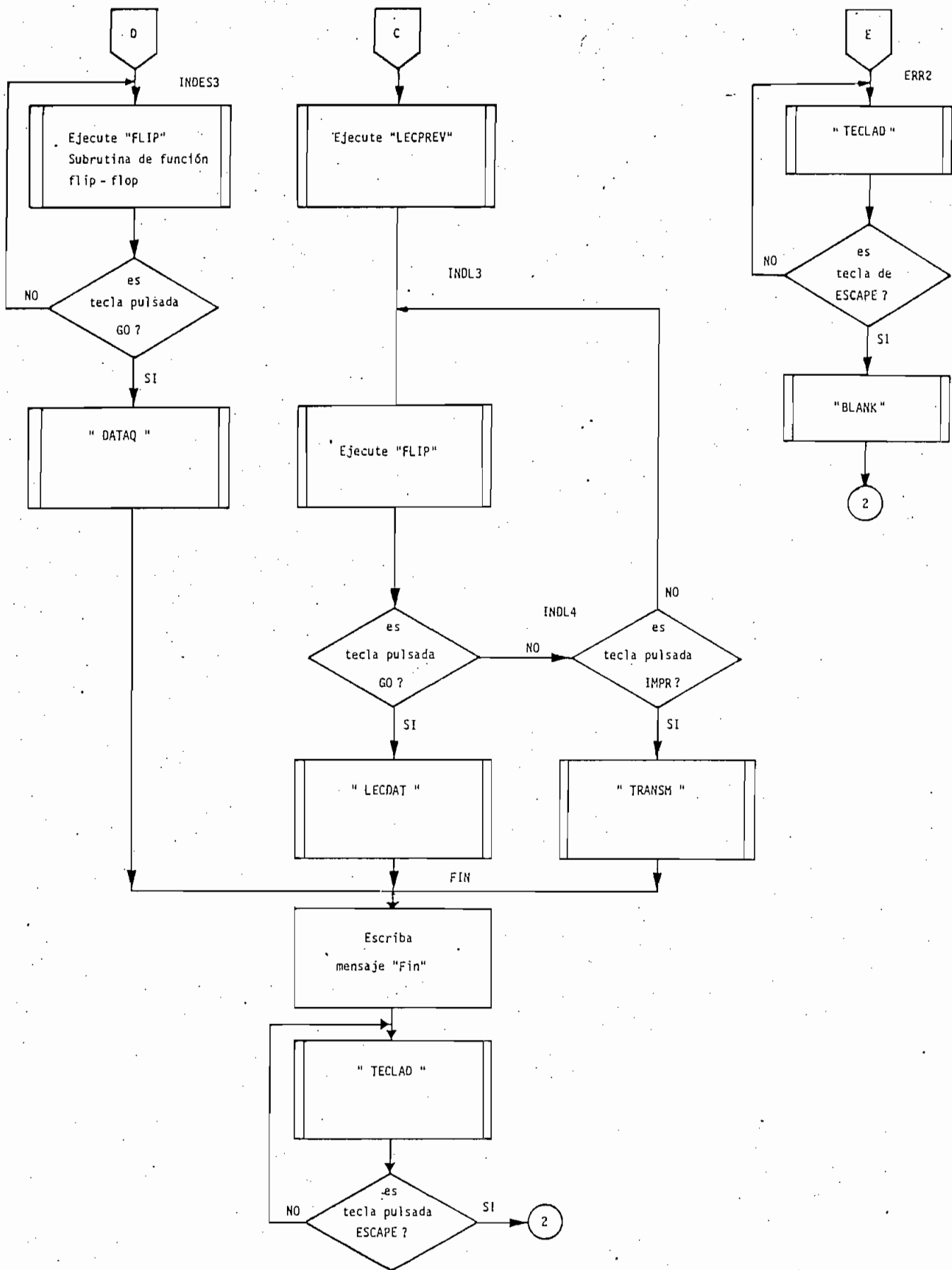
Programa principal "PRINC"











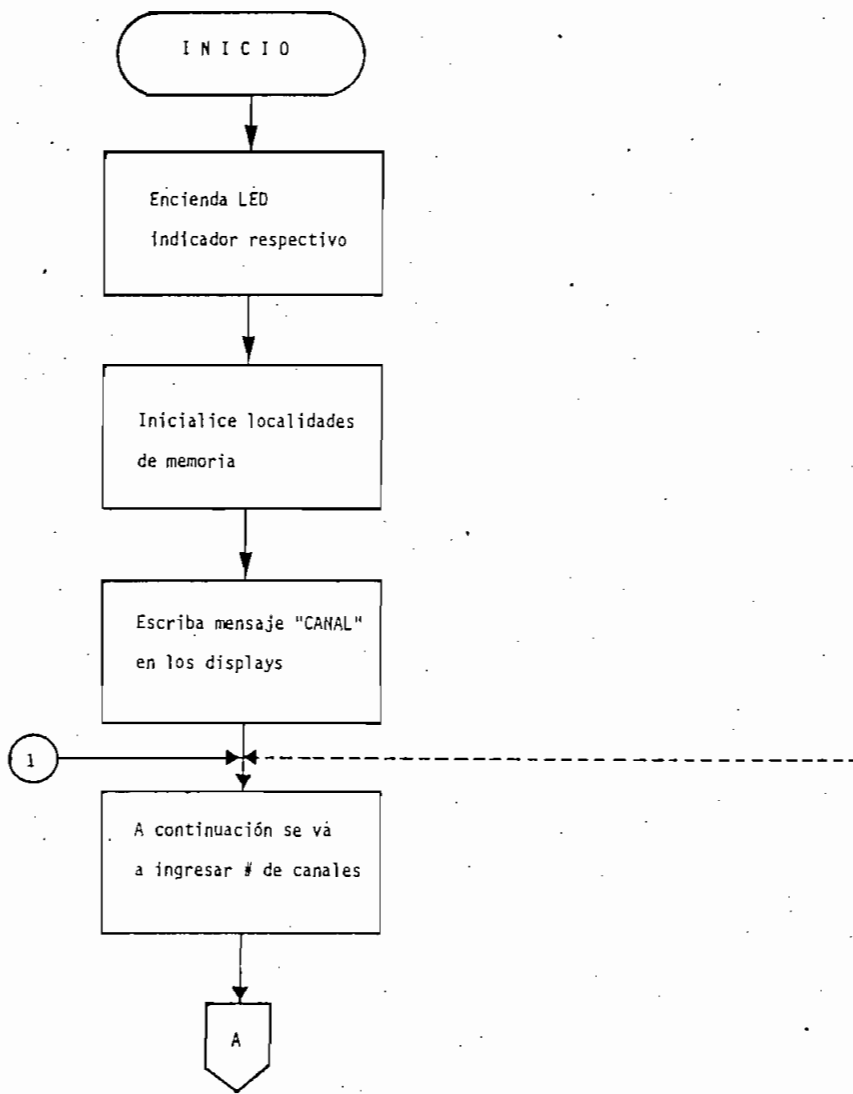
Subrutina "NUMCAN"

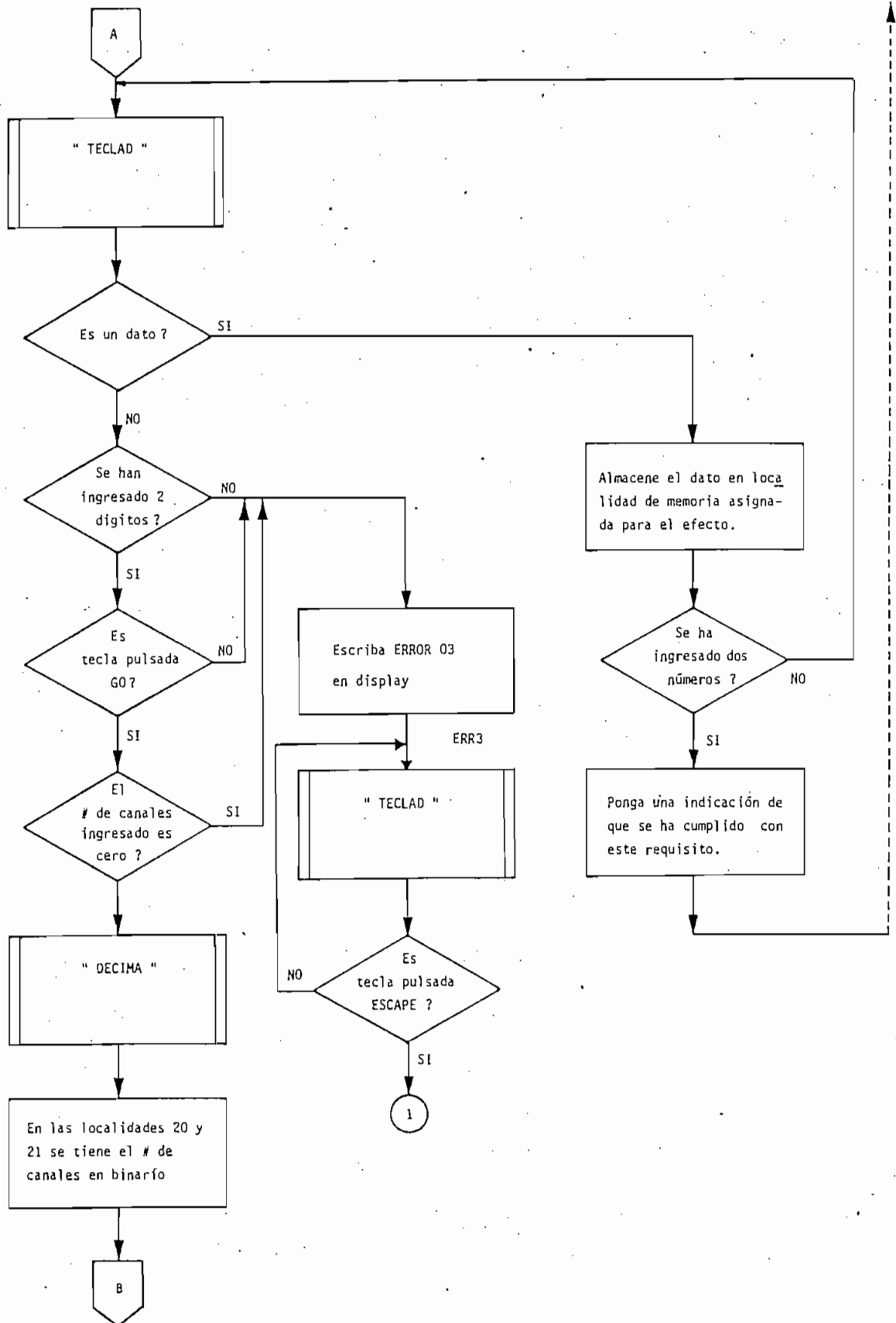
Propósito: Calcular el # de mediciones que se podrían realizar para un número de canales dado.

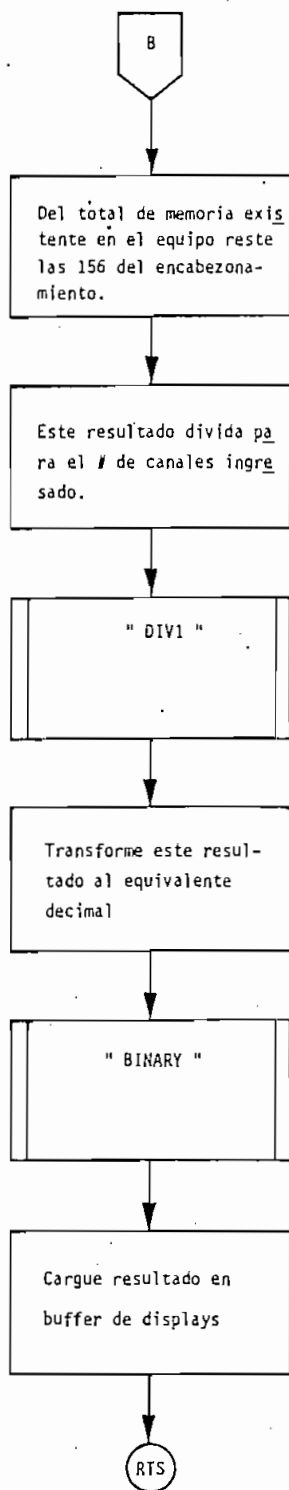
Subrutinas utilizadas: TECLAD, CONVH, DECIMA, DIV1, BINARY, ERROR.

Parámetros de entrada: Se ingresa desde teclado # de canales

Parámetros de salida: El programa muestra total máximo de mediciones.







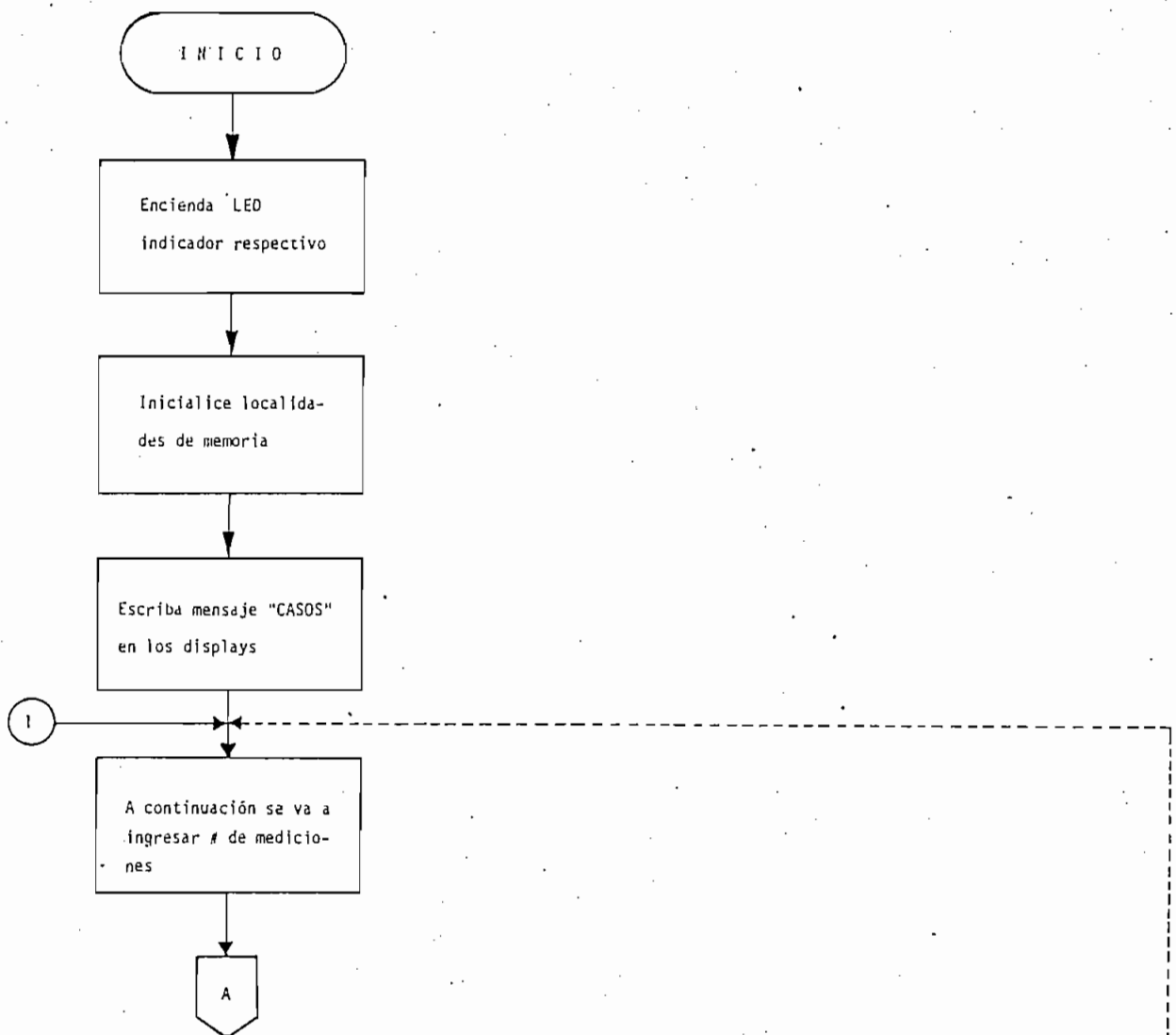
Subrutina "NUMMED"

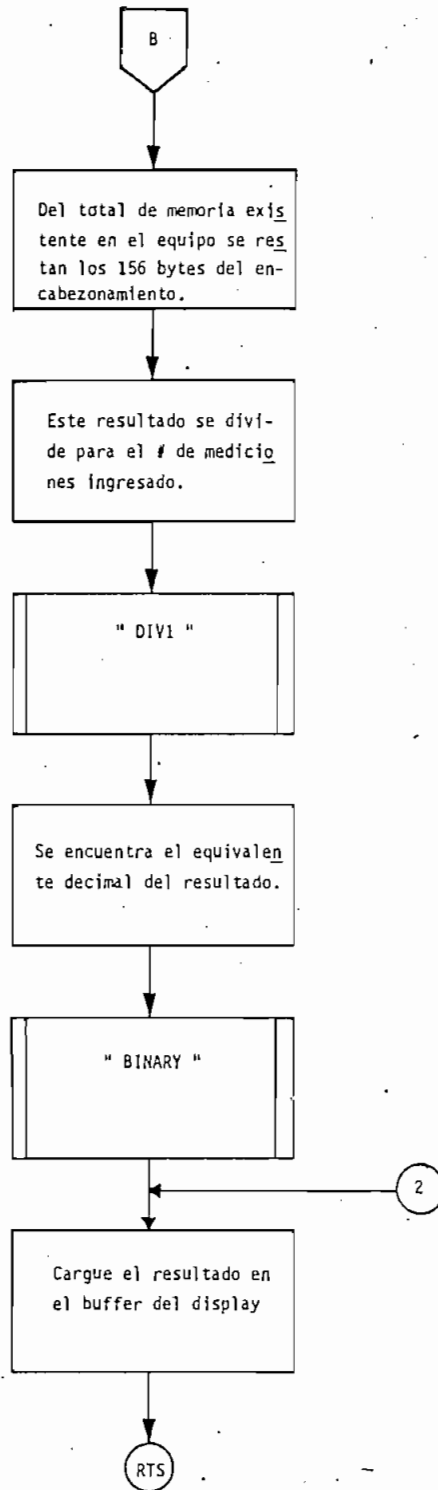
Propósito: Calcular el # de canales que se podrían muestrear para un número de mediciones dado.

Subrutinas utilizadas: TECLAD, CONVH, DOSHE, DECIMA, DIV1, BINARY, ERROR.

Parámetros de entrada: Se ingresa desde teclado el # de mediciones que se desearía tener.

Parámetros de salida: El programa muestra el # de canales correspondiente.

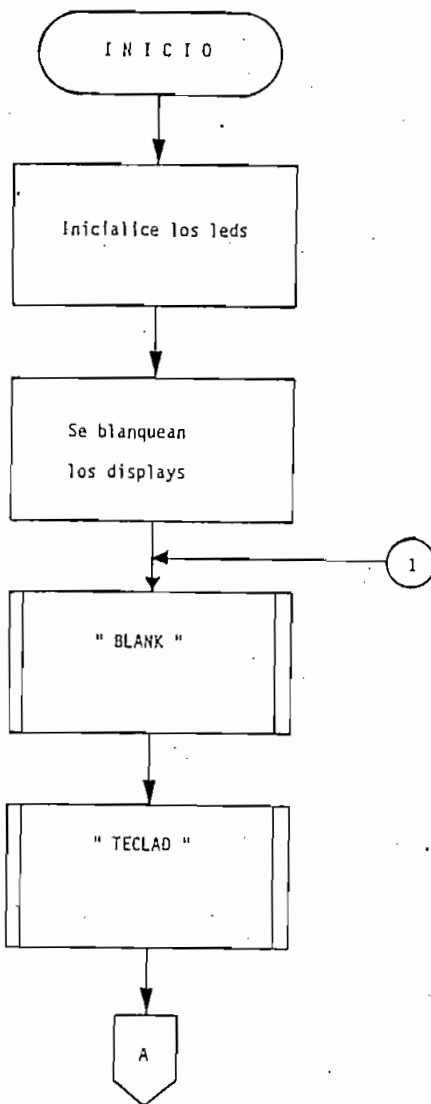


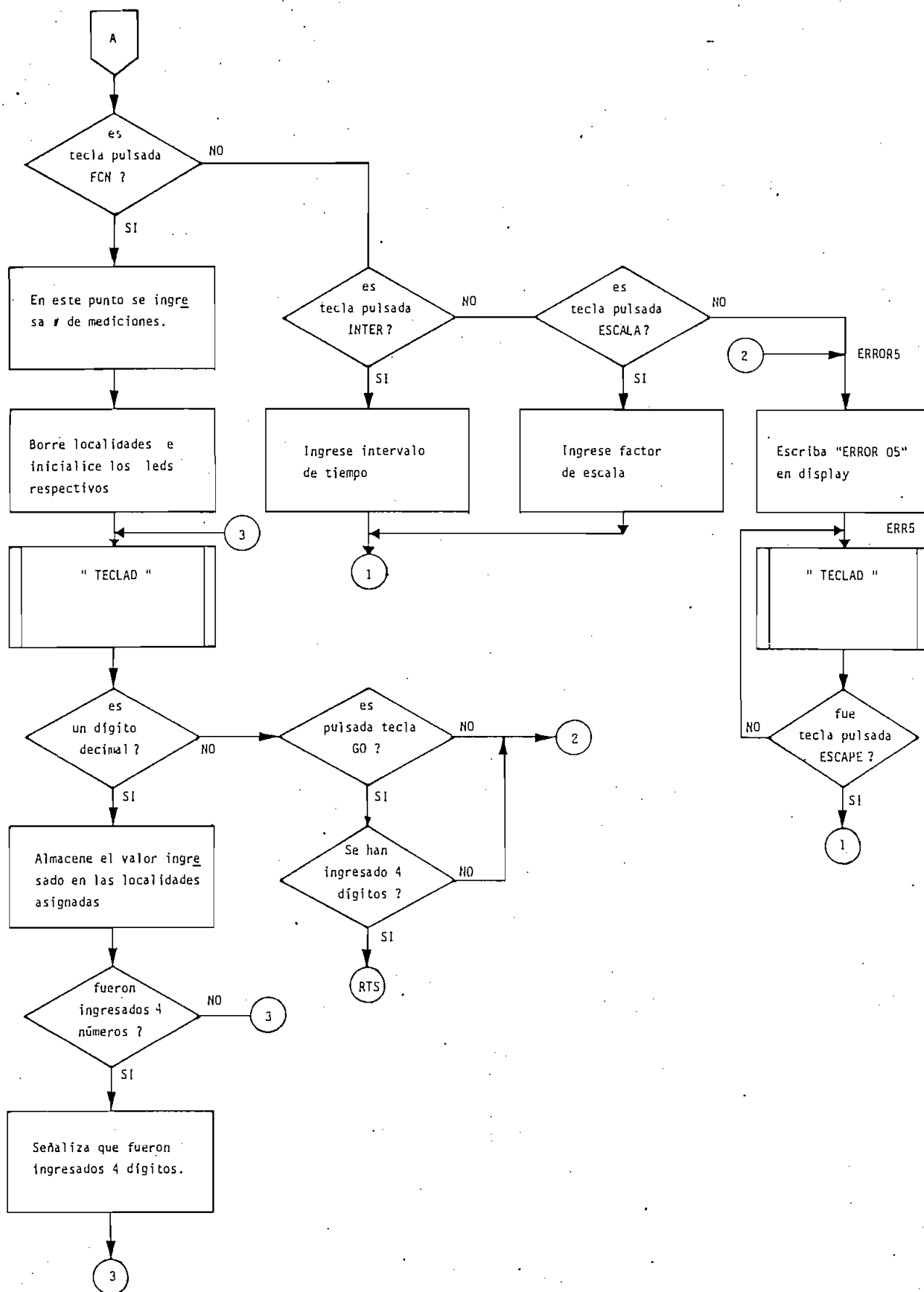


Subrutina "INDGES"

Propósito: Controlar el ingreso de datos necesarios para el proceso de adquisición de datos.

Subrutinas utilizadas: BLANK, TECLAD, ERROR, CONVH.





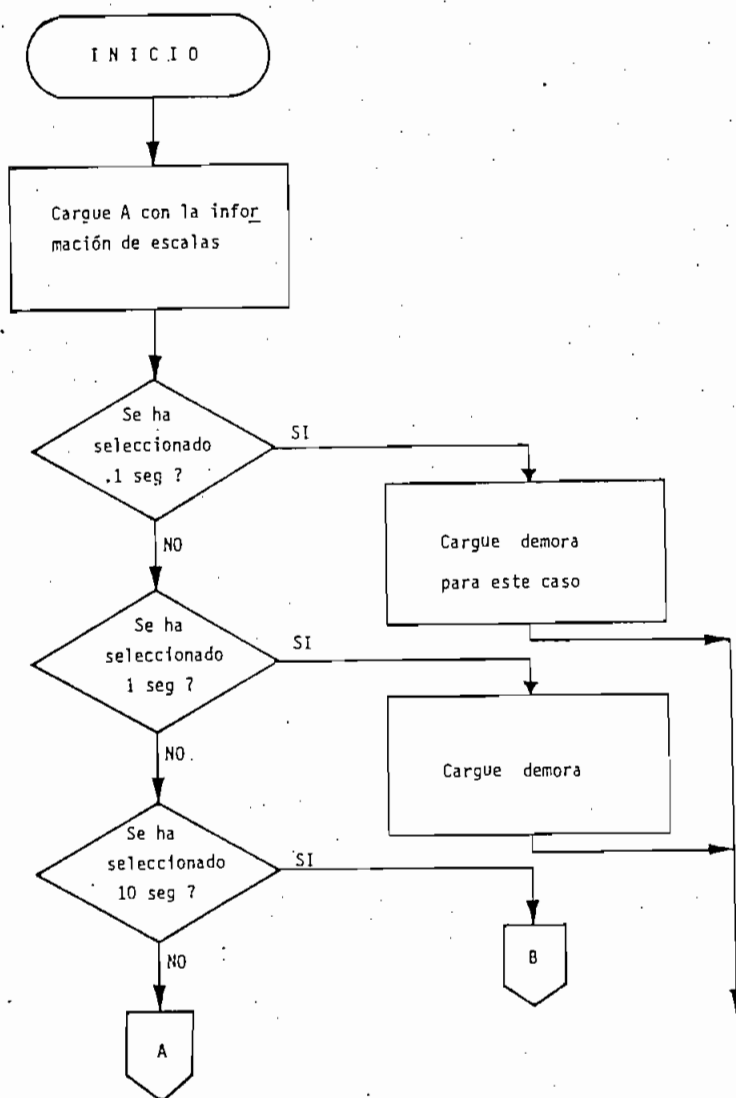
Subrutina "TIME"

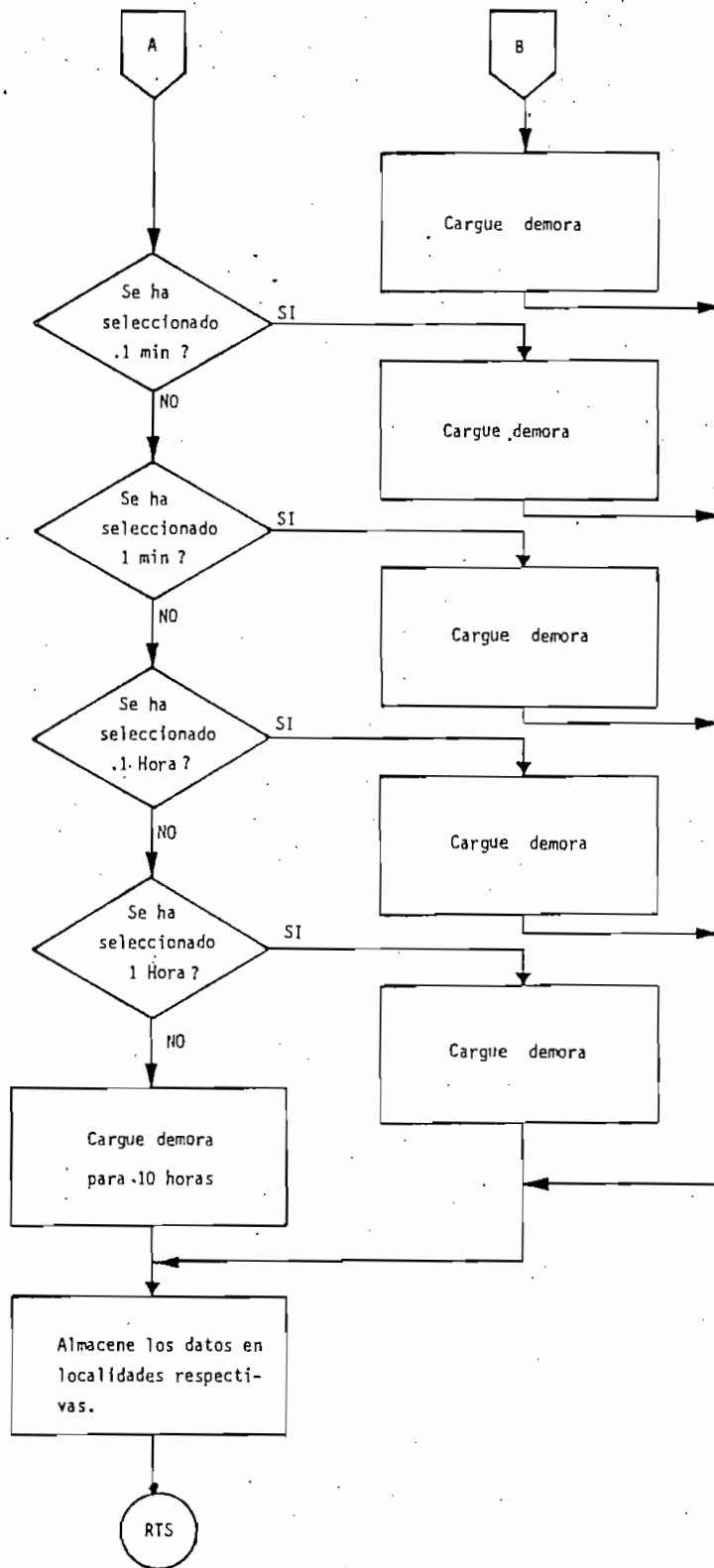
Propósito: Preparar la demora adecuada dependiendo del valor de la escala de tiempo seleccionada.

Subrutinas utilizadas: ninguna

Parámetros de entrada: ninguno

Parámetros de salida: ninguno



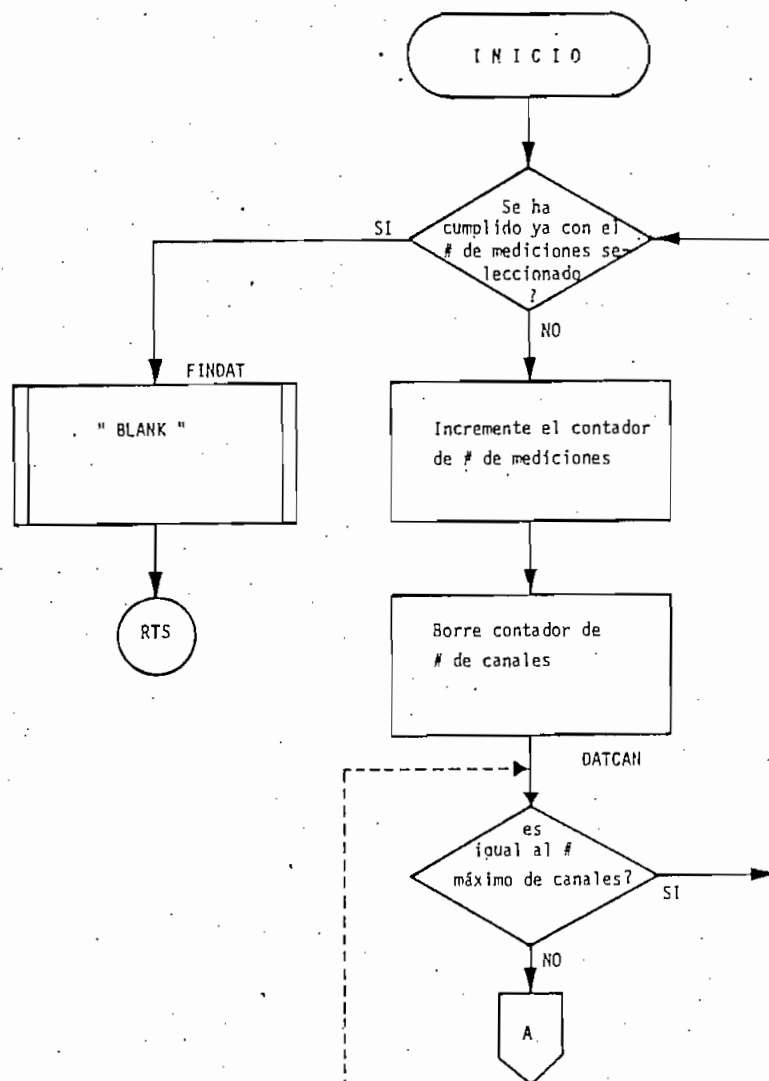


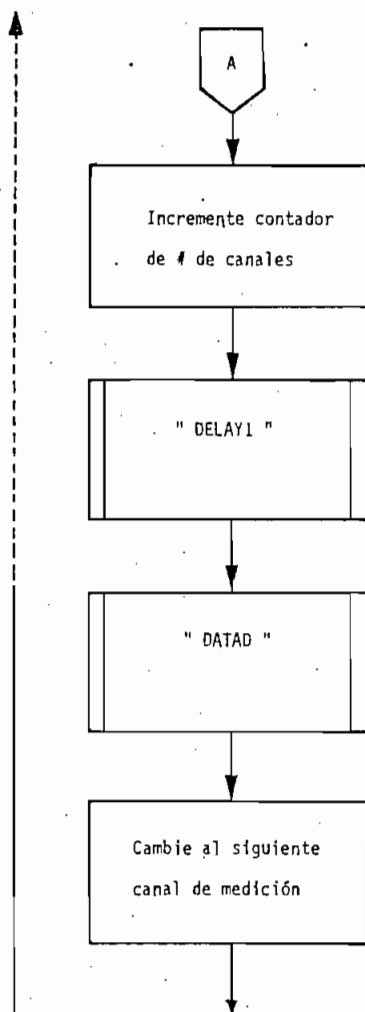
Subrutina "DATAQ"

Propósito: Encargarse de la adquisición de datos.

Subrutinas utilizadas: DELAY1, DATAD.

Parámetros de entrada:





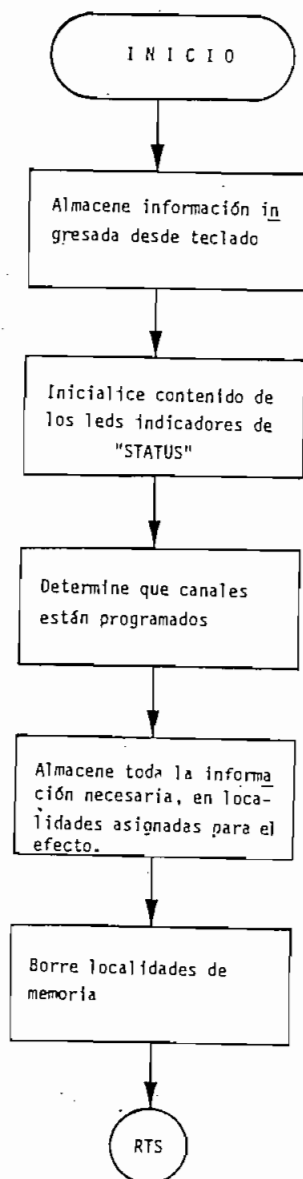
Subrutina "ADPREV"

Propósito: Preparar al equipo para la adquisición de datos.

Subrutinas utilizadas: DOSHE, DELAY2.

Parámetros de entrada: ninguno

Parámetros de salida: ninguno



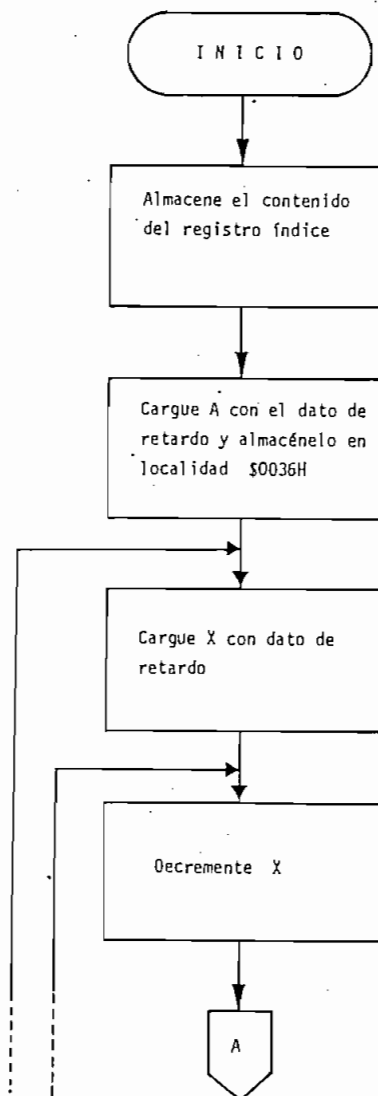
Subrutina "DELAY1"

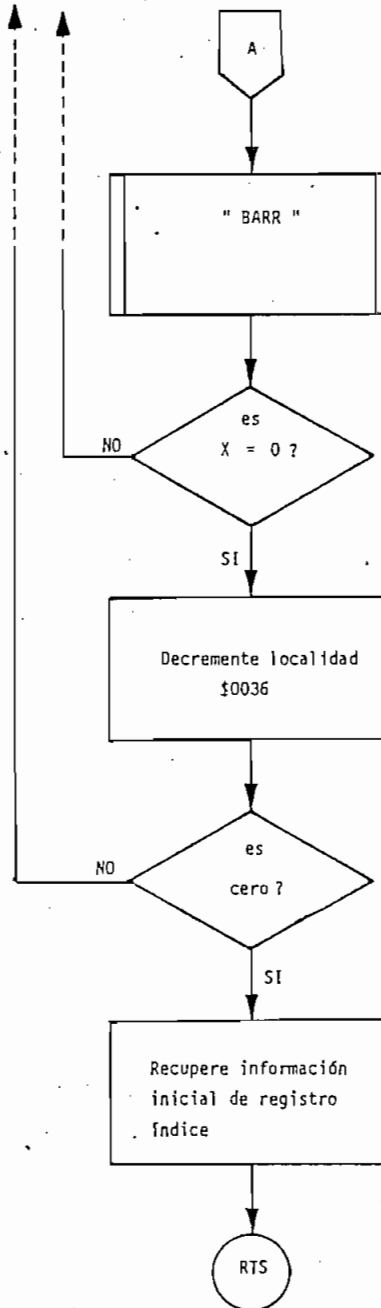
Propósito: Producir un retardo de tiempo

Subrutinas que utiliza: BARR.

Parámetros de entrada: Localidades 0876H, 0877H, 0878H donde se almacenan los datos que dan el retardo deseado.

Parámetros de salida: ninguno.





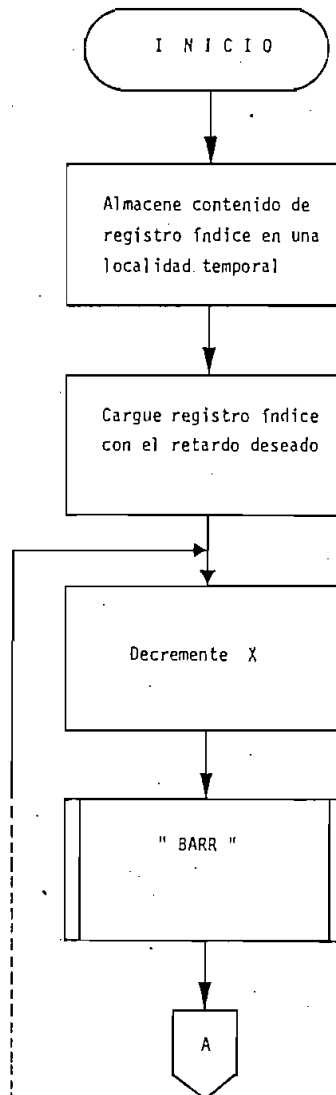
Subrutina "DELAY2"

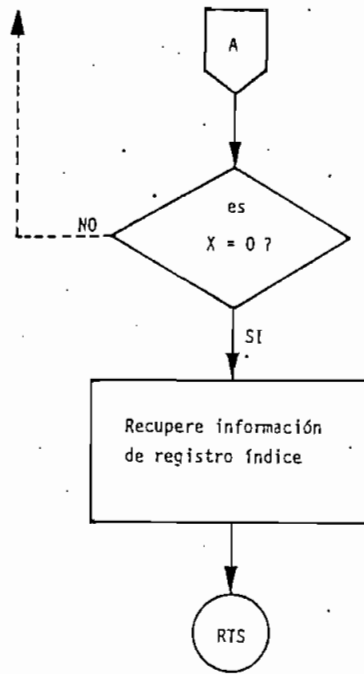
Propósito: Producir una demora de tiempo

Subrutinas que utiliza: BARR

Parámetros de entrada: ninguno

Parámetros de salida: ninguno.





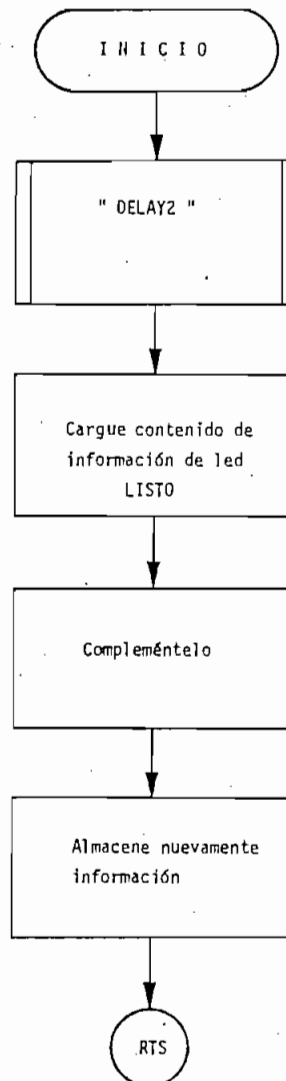
Subrutina "FLIP"

Propósito: Implementación de un biestable tipo T.

Subrutinas utilizadas: DELAY2

Parámetros de entrada: ninguno

Parámetros de salida: ninguno.



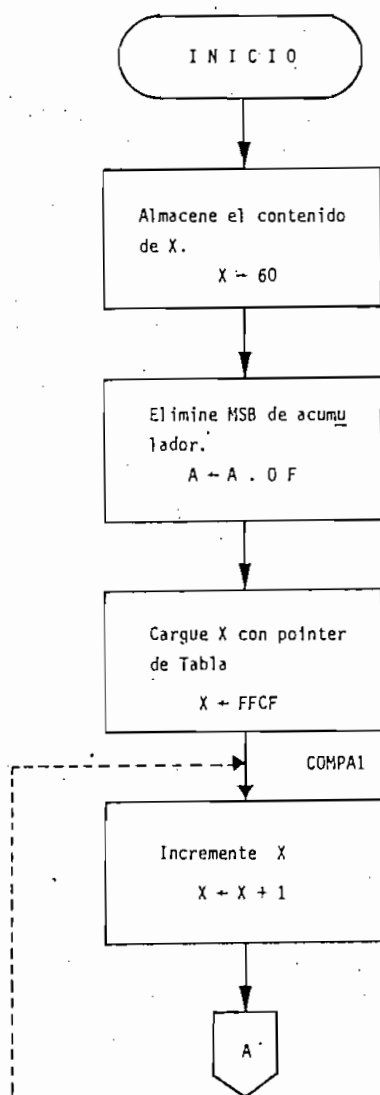
Subrutina "CONVH"

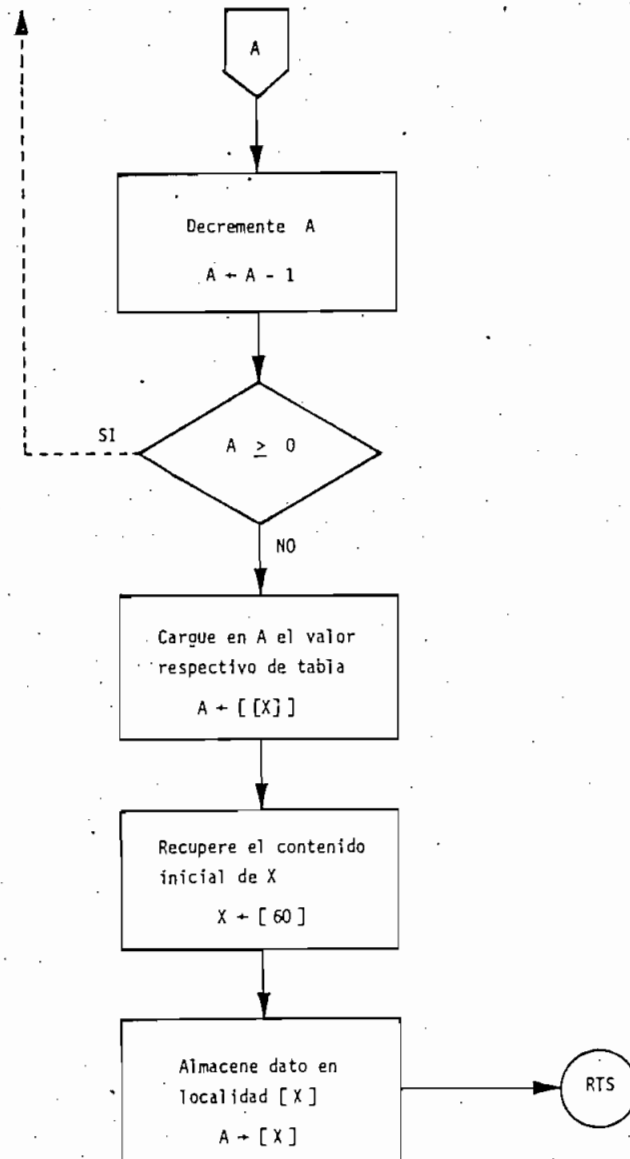
Propósito: Encontrar código a 7 segmentos para un valor hexadecimal contenido en los 4 bits menos significativos del acumulador A.

Subrutinas utilizadas: ninguna.

Parámetros de entrada: Acumulador A contiene valor binario a convertir.

Parámetros de salida: en A se tiene código a 7 segmentos.





Subrutina "DOSHE"

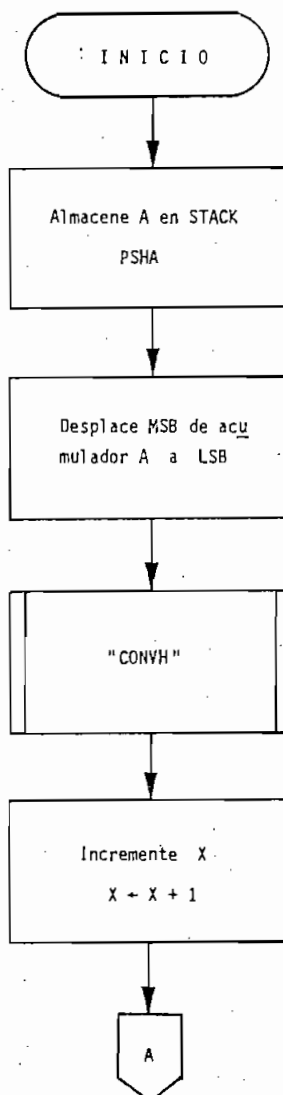
Propósito: Convertir los 2 valores hexadecimales contenidos en el acumulador A a su equivalente código en 7 segmentos. Los resultados se almacenan en las localidades de memoria indicadas por [X], [X + 1].

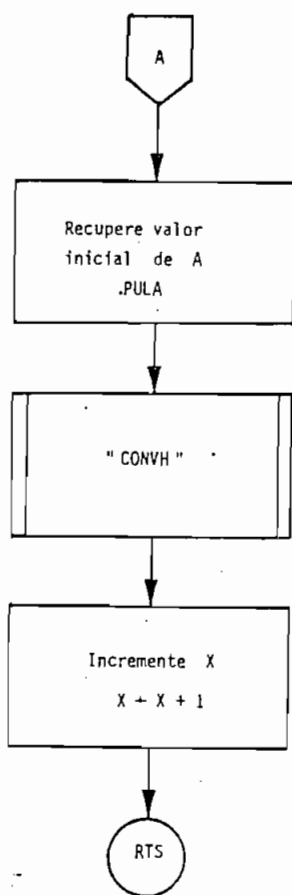
El dígito contenido en los 4 bits más significativos (MSB), son desplazados a la posición (LSB), y se llama a la subrutina CONVH, se incrementa el registro índice X se recupera el valor inicial de A y se llama nuevamente a la subrutina CONVH.

Subrutinas utilizadas: CONVH.

Parámetros de entrada: A contiene 2 dígitos hexadecimales.

Parámetros de salida: Los resultados se almacenan en localidades indicadas por [X] y [X + 1].





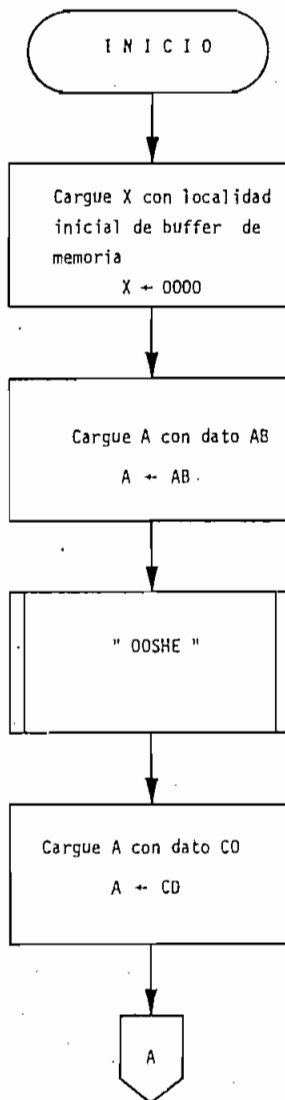
Subrutina "ERROR"

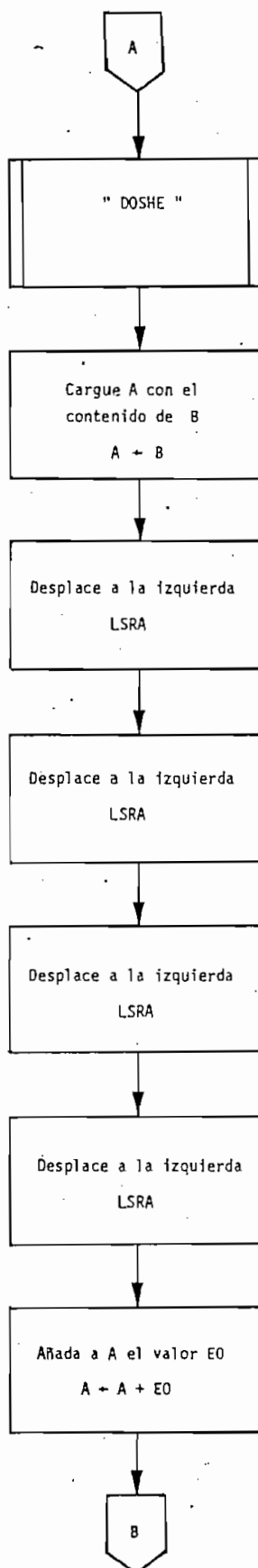
Propósito: Escribir mensaje de error en primeras 7 localidades de memoria de programa de control.

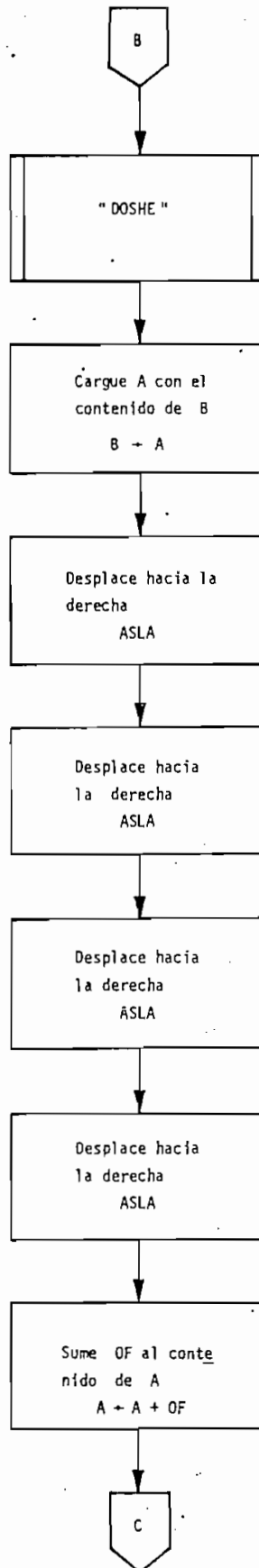
Subrutinas utilizadas: DOSHE, CONVH.

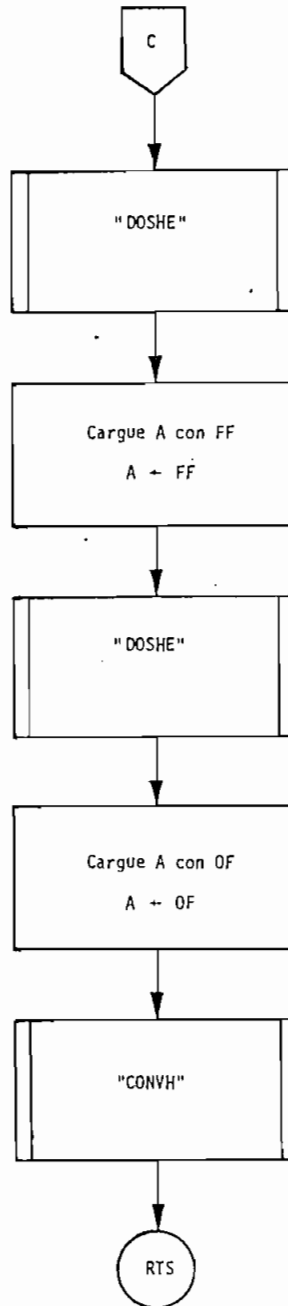
Parámetros de entrada: Acumulador B contiene código de error.

Parámetros de salida:









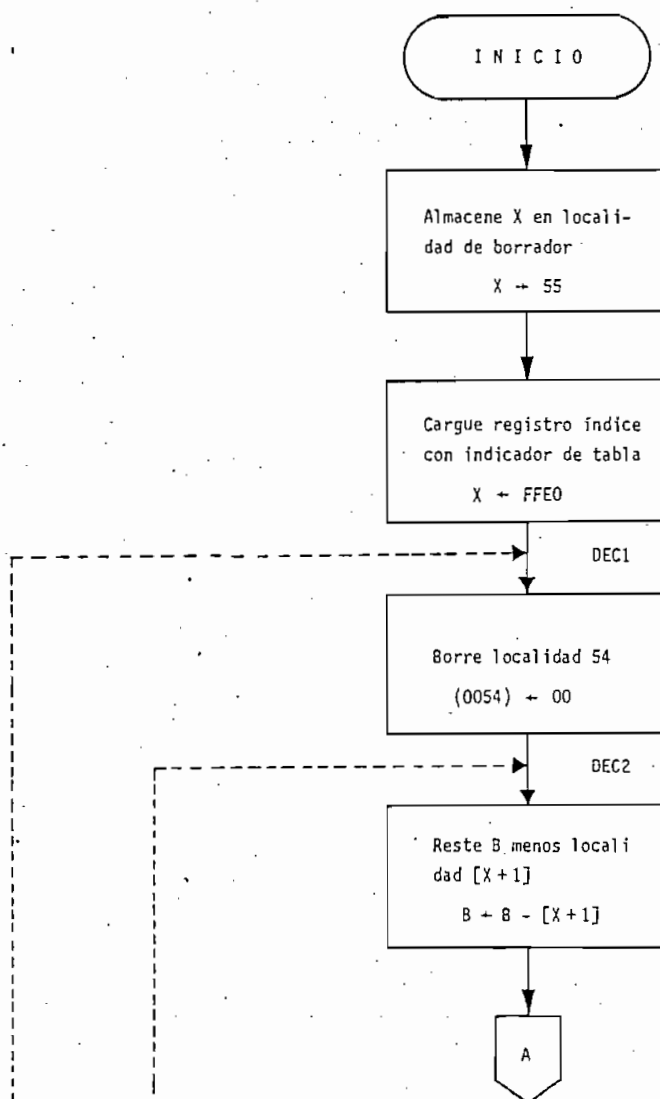
Subrutina "BINARY"

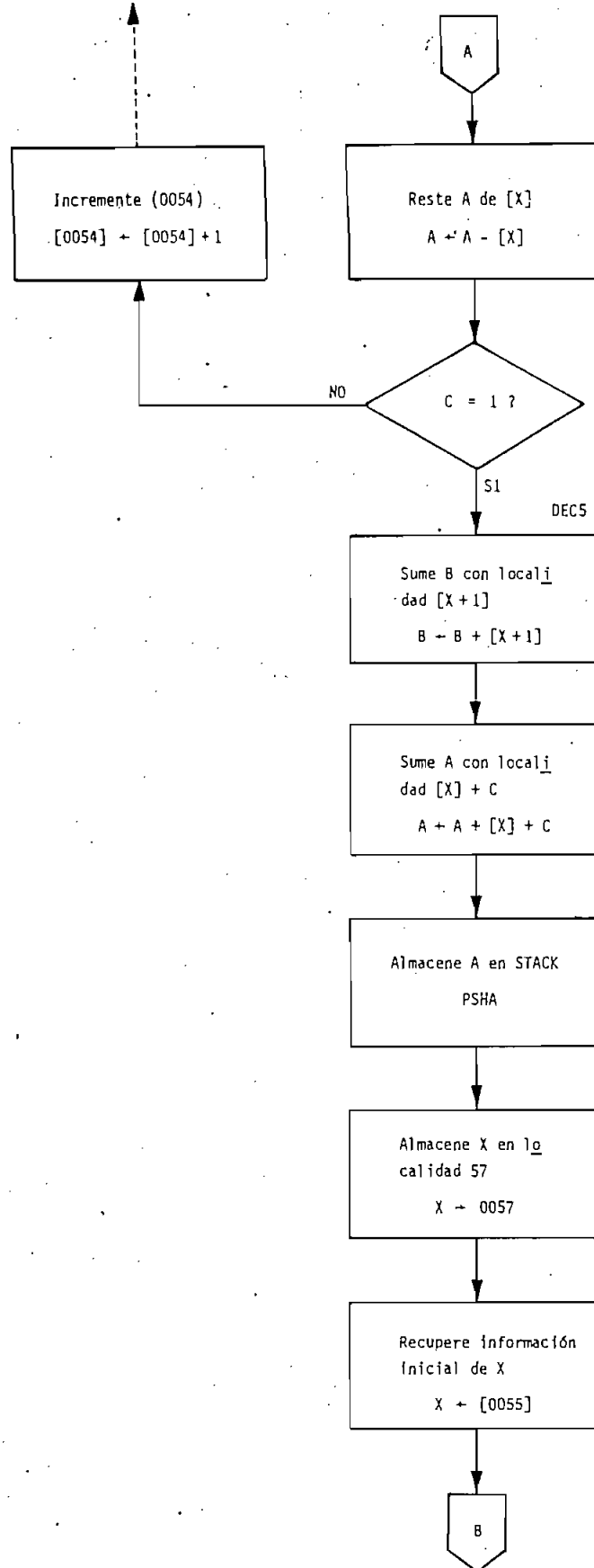
Propósito: Convertir un número binario a su equivalente decimal.

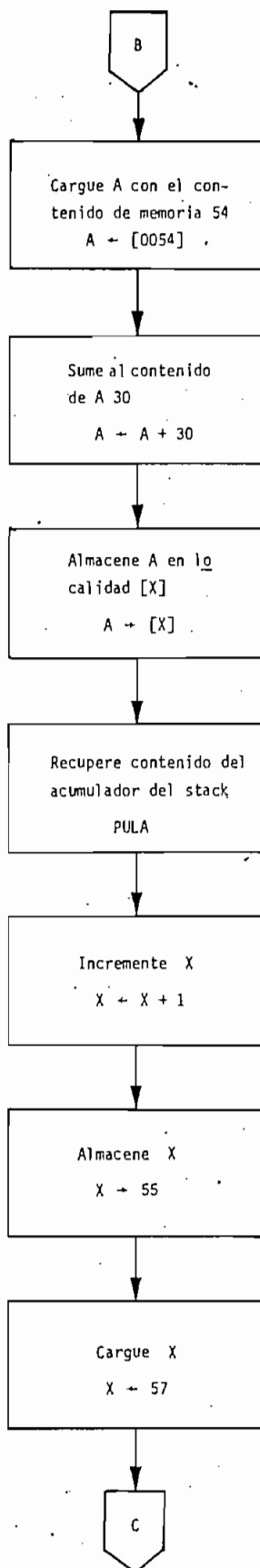
Subrutinas utilizadas: ninguna.

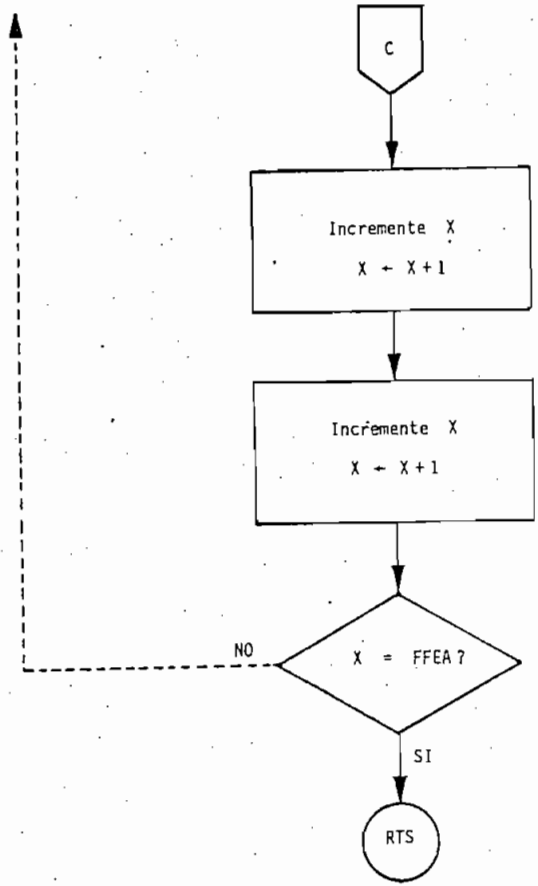
Parámetros de entrada: ninguno.

Parámetros de salida: ninguno.









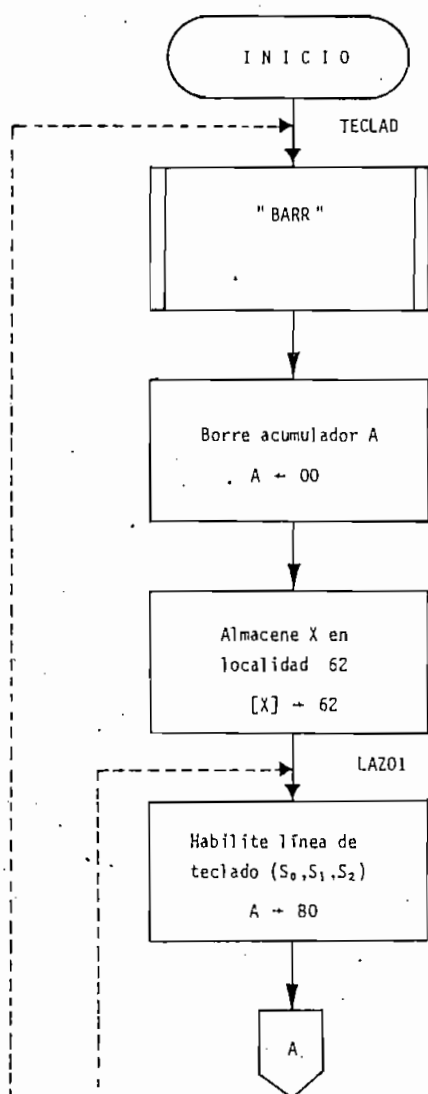
Subrutina "TECLAD"

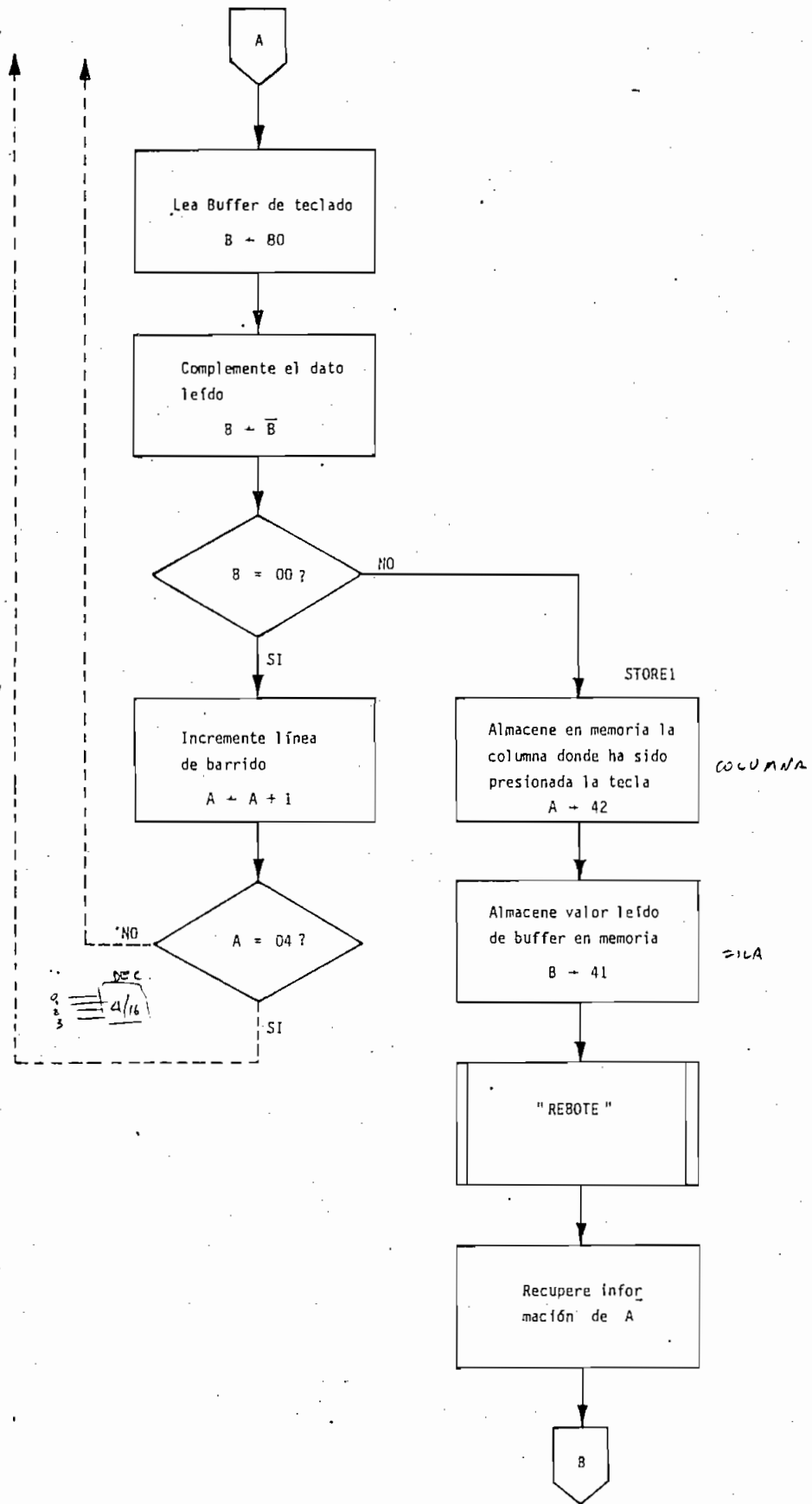
Propósito: Lectura y decodificación de un dato ingresado desde teclado.

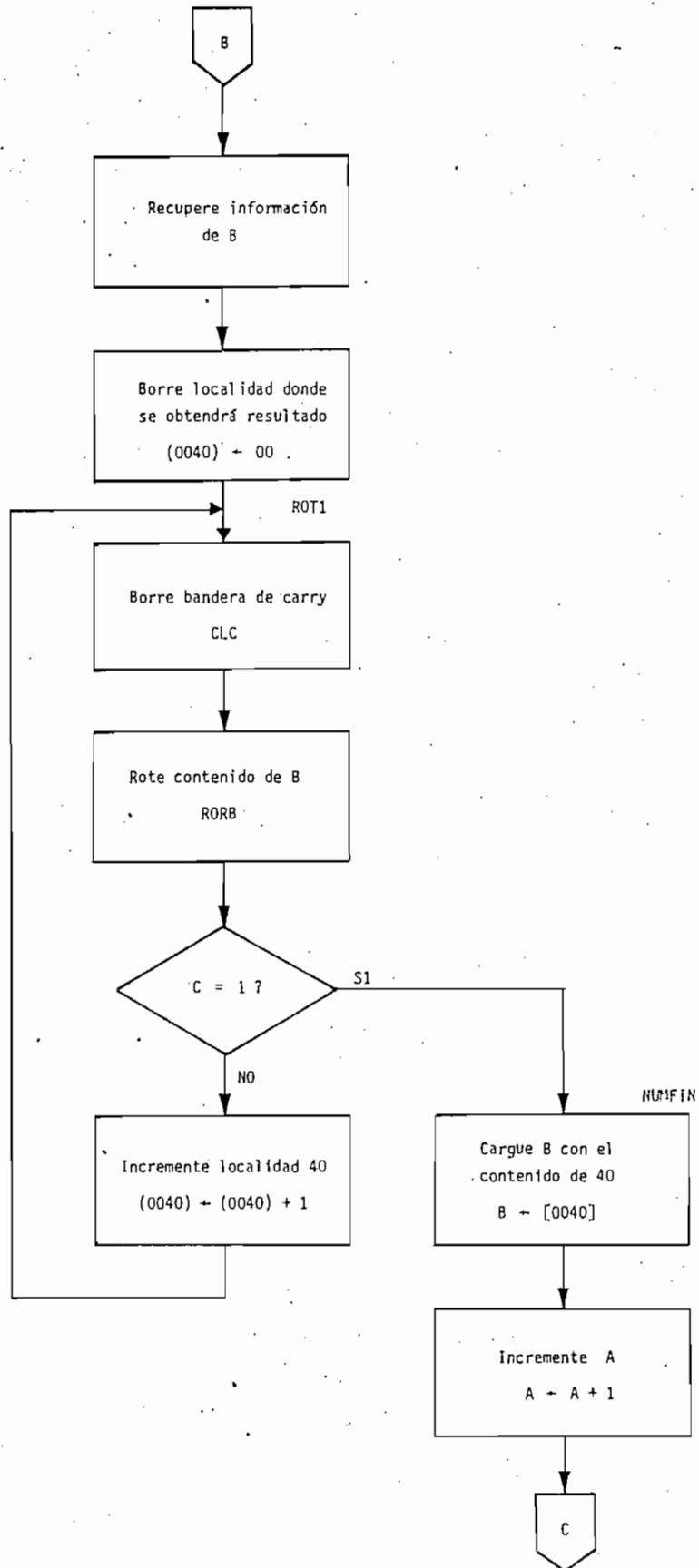
Subrutinas utilizadas: BARR, REBOTE.

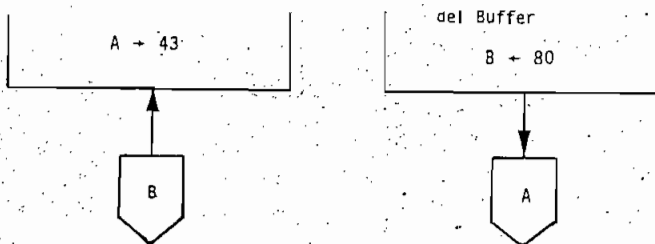
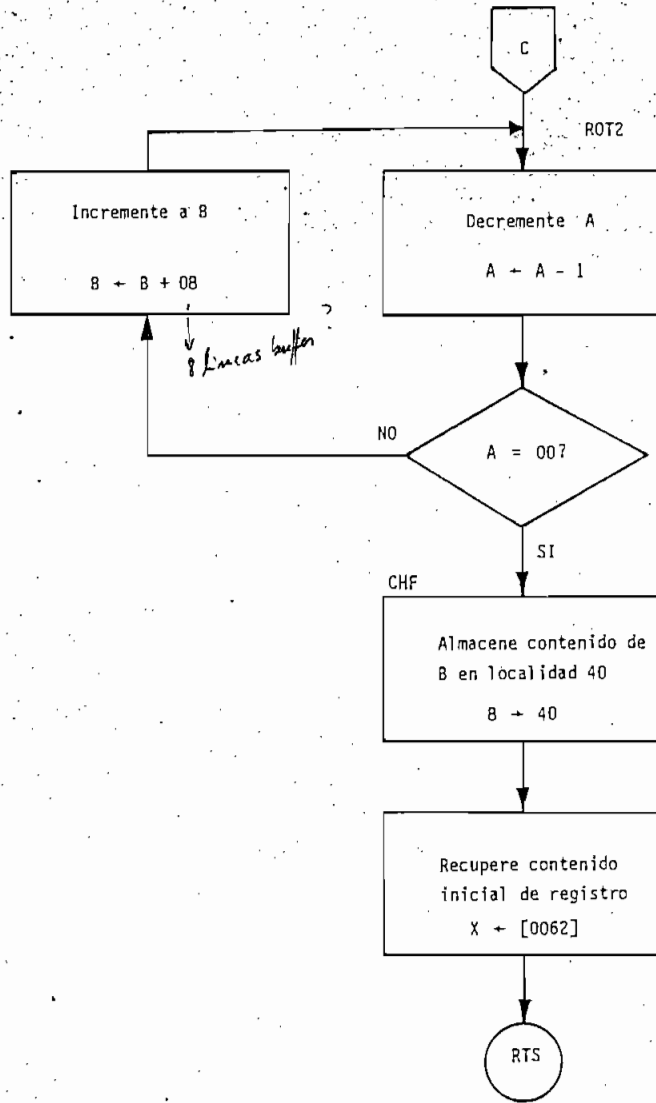
Parámetros de entrada: Ninguno

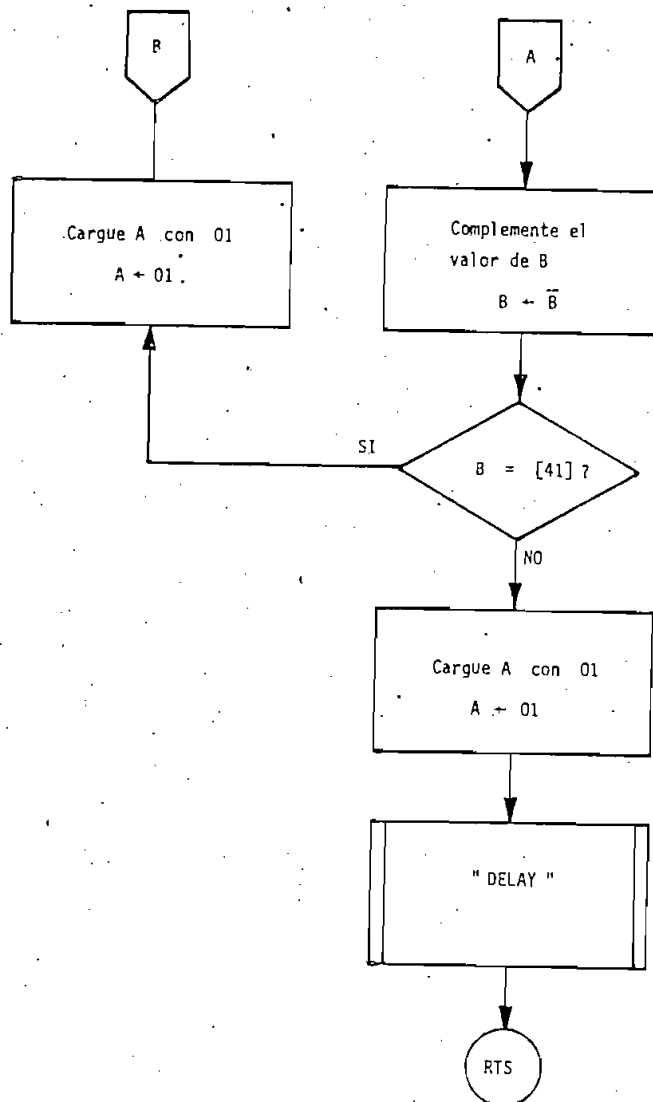
Parámetros de salida: Localidad 40 contiene el valor hexadecimal de tecla pulsada.











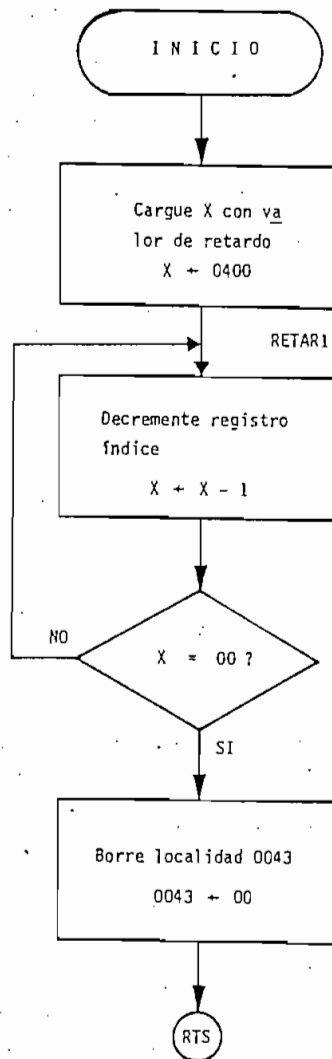
Subrutina "DELAY"

Propósito: Producir un retardo de tiempo necesario para la eliminación de rebote.

Subrutinas utilizadas: Ninguna

Parámetros de entrada:

Parámetros de salida:



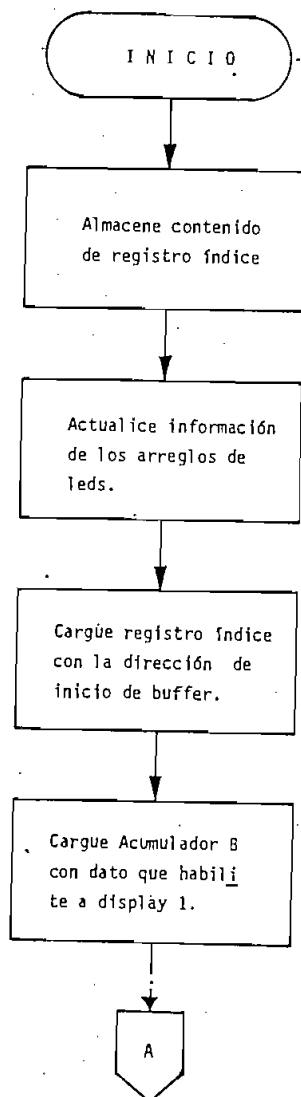
Subrutina "BARR"

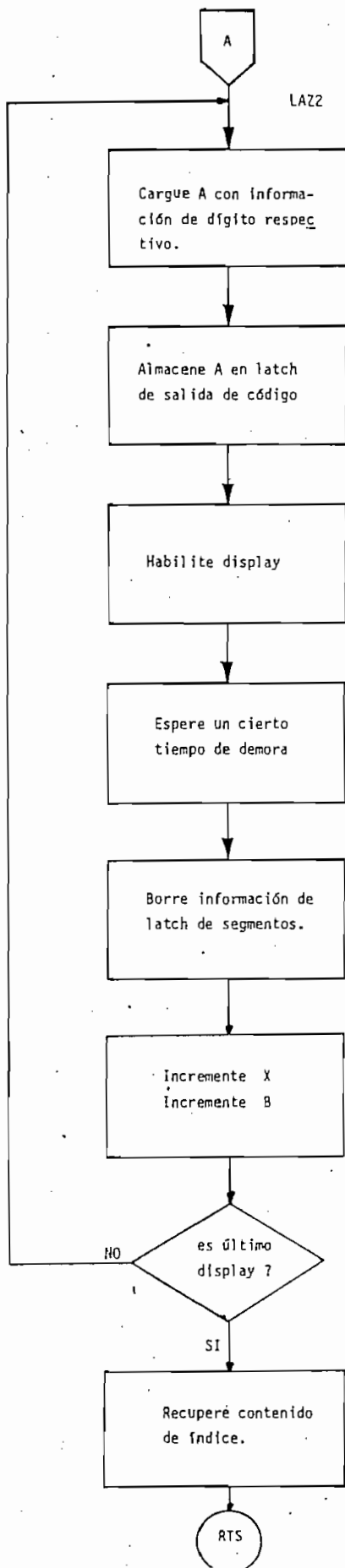
Propósito: Mostrar el contenido del buffer de memoria en los displays.

Subrutinas utilizadas: ninguna

Parámetros de entrada: ninguno

Parámetros de salida: ninguno.





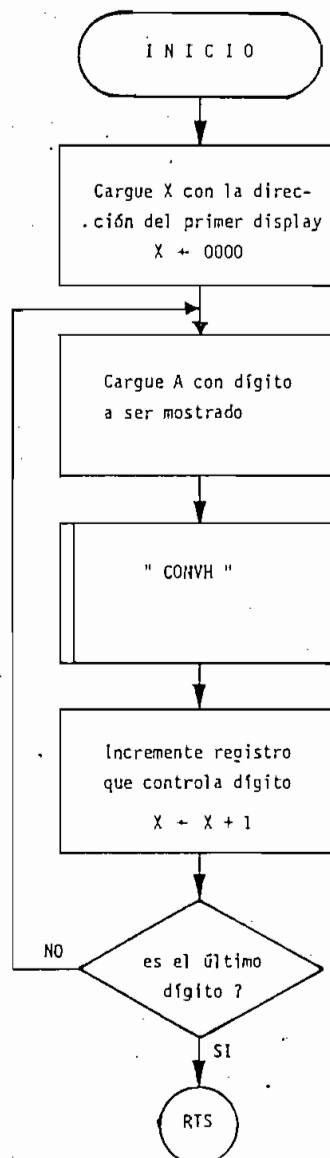
Subrutina "MEMOR1"

Propósito: Cargar buffer de los displays con el resultado del chequeo de la memoria.

Subrutinas utilizadas: Ninguna

Parámetros de entrada: Localidades \$29, \$2A, \$2B, \$2C, \$2D, contienen los dígitos a ser mostrados.

Parámetros de salida: Código a 7 segmentos del total de bytes en la memoria están listos en buffer de displays.

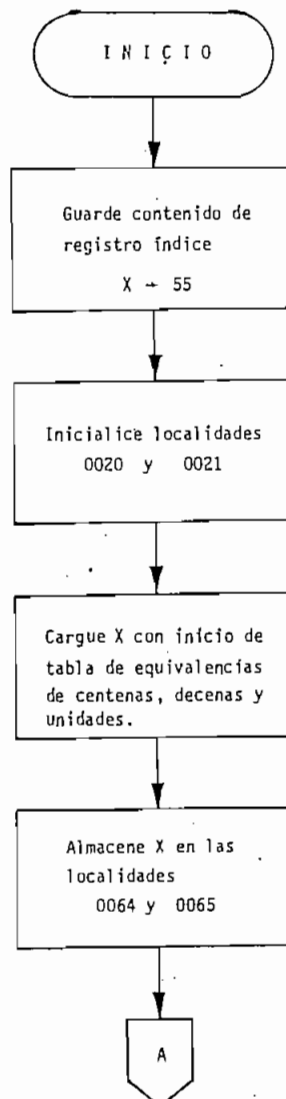


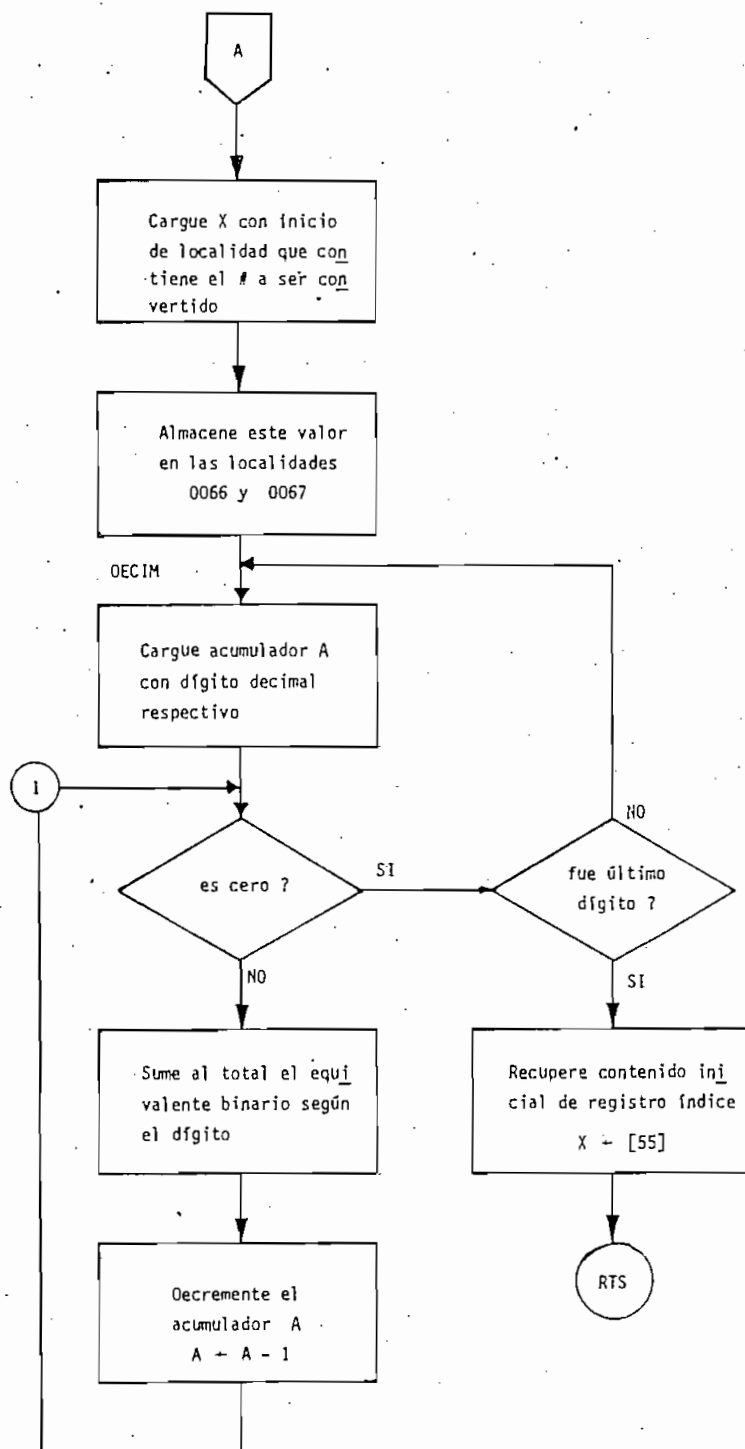
Subrutina "DECIMA"

Propósito: Encontrar el equivalente binario para un número decimal de hasta 4 dígitos. (máximo 9999).

Subrutinas utilizadas: ninguna

Parámetros de entrada: \$0010 --- MSB 1er. dígito decimal
 \$0011 --- 2do. dígito decimal
 \$0012 --- 3er. dígito decimal
 \$0013 --- 4to. dígito decimal
 Parámetros de salida: \$0020 --- MSB de resultado.
 \$0021 --- LSB de resultado.





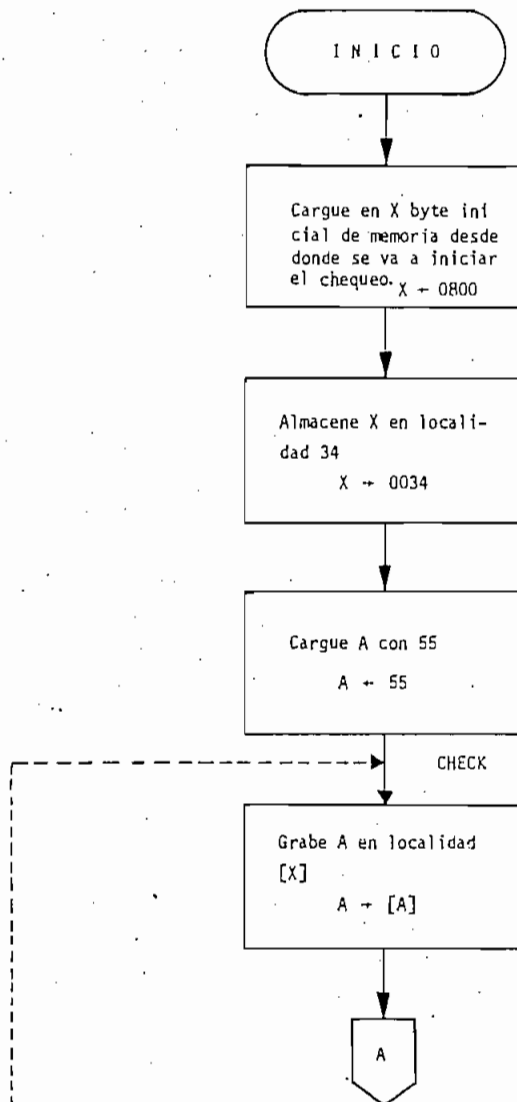
Subrutina "MEMORY"

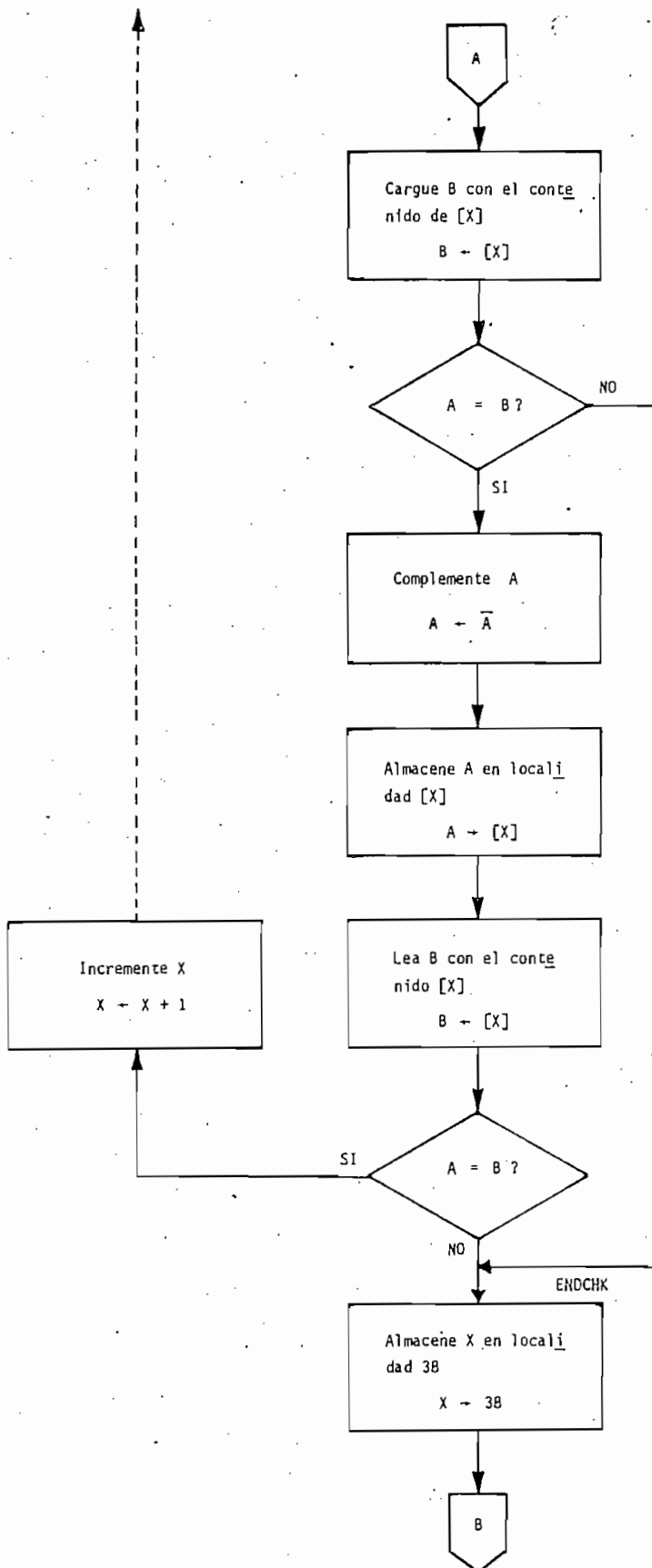
Propósito: Chequear la memoria total existente en el equipo.

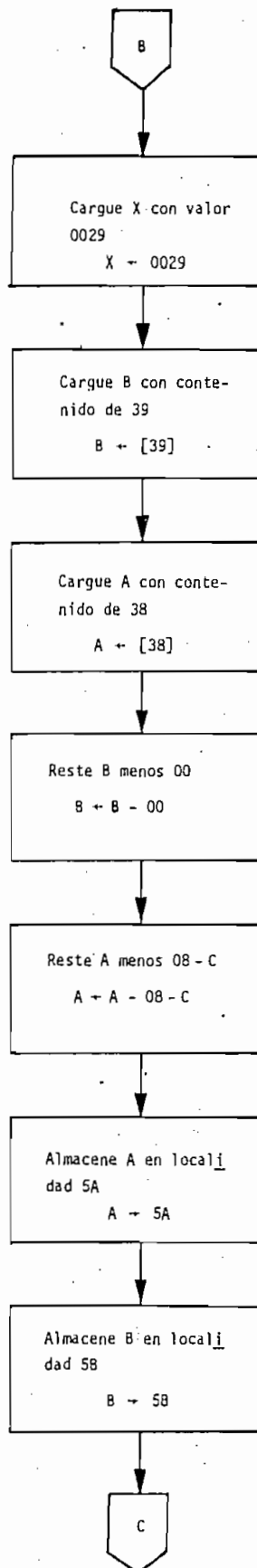
Subrutinas que utiliza: BINARY, CONVH, TECLADO

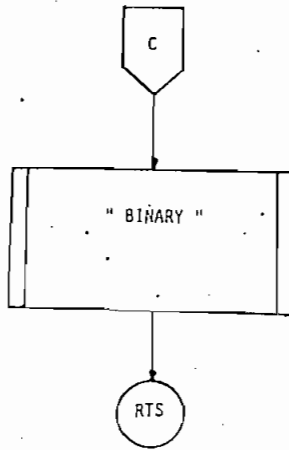
Parámetros de entrada: ninguno.

Parámetros de salida: Total de bytes de memoria aparecerá en displays.









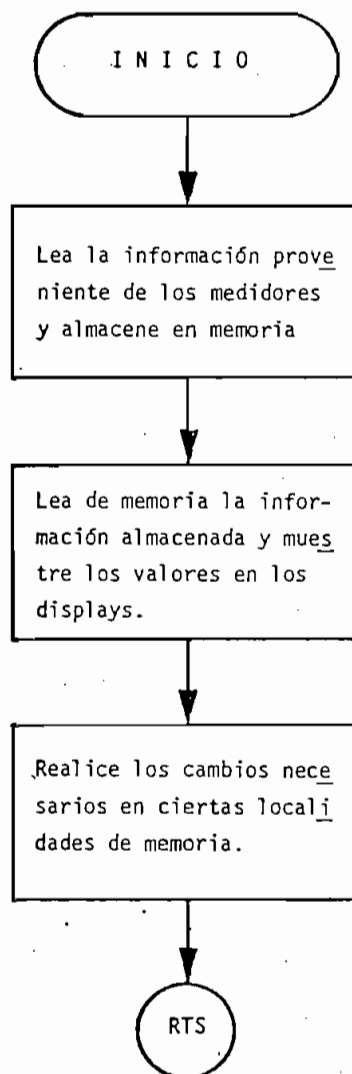
Subrutina "DATAD"

Propósito: Almacenar los datos en memoria y mostrar la información en los displays.

Subrutinas utilizadas: DOSHE, CONVH.

Parámetros de entrada: ninguno

Parámetro de salida: ninguno



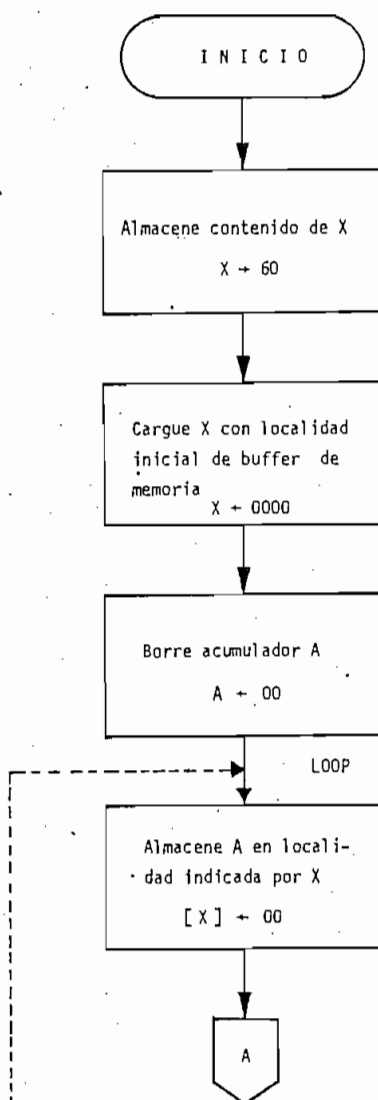
Subrutina "BLANK"

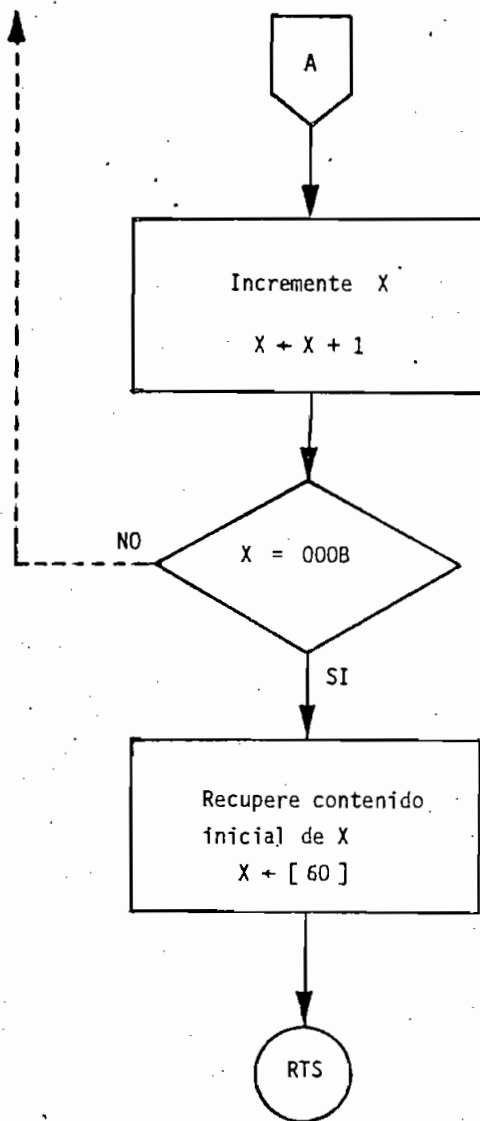
Propósito: Borrar las localidades de memoria que contiene la información de cada uno de los displays.

Subrutinas utilizadas: ninguna

Parámetros de entrada: ninguno

Parámetros de salida: localidades de memoria 0000 - 000B son borradas.





2.4.2 LISTADO DE PROGRAMAS.

FACULTAD DE INGENIERIA ELECTRICA

LAB. CONTROL

ASSEMBLER M6800

```

NAM   PROGRAMA TESIS FERNANDO FLORES
ORG   F000      LOCALIDAD DE ORIGEN DEL PROGRAMA
*****
*
*
* ESCUELA POLITECNICA NACIONAL
*
* FACULTAD DE INGENIERIA ELECTRICA
*
* TESIS DE GRADO
*
* TEMA : SISTEMA AUTOMATICO DE
*       ADQUISICION DE DATOS
*
* DIRECTOR: ING. ALFONSO ESPINOSA R.
*
* HECHO POR: FERNANDO FLORES CIFUENTES
*
* ESPECIALIZACION : ELECTRONICA Y
*                   TELECOMUNICACIONES
*
* ABRIL - 1984
*
*****
*
*****
* PROGRAMA PRINCIPAL "PRINC" DE CON -
* TROL DEL SISTEMA DE ADQUISICION DE
* DATOS
*
* SE INICIALIZAN LOS REGISTROS DE LA
* CFU "SF", "IX" Y CIERTAS LOCALIDADES
* DE MEMORIA
*
*****
F000 BE 007F PRINC  LDS  #$007F INICIALIZACION DEL STACK POINTER
F003 9F 26          STS  $26     SE ALMACENA CONTENIDO DE "SF"
F005 CE 0000        LDX  #$0000 SE INICIALIZA REGISTRO INDICE "IX"
F008 86 10          LDAA #$10    SE INICIALIZA CONTENIDO DE PRIMER
F00A 97 0B          STAA $0B     ARREGLO DE LEDES (Hr.,min,seg ;
F00C 97 1B          STAA $1B     .1,1,10 ; lectura,escritura)
F00E 86 00          LDAA #$00    SE INICIALIZA CONTENIDO DE SEGUNDO
F010 97 0C          STAA $0C     ARREGLO DE LEDES (5 seg., 1 seg.,
F012 97 1C          STAA $1C     manual ; FC1, FC2, FC3 ; LISTO)
F014 7F 0020        CLR  $0020  SE BORRA LOCALIDAD $20
F017 7F 0021        CLR  $0021  SE BORRA LOCALIDAD $21
F01A 7F 0022        CLR  $0022  SE BORRA LOCALIDAD $22
F01D 7F 0023        CLR  $0023  SE BORRA LOCALIDAD $23
F020 7F 0025        CLR  $0025  SE BORRA LOCALIDAD $25
F023 7F 0033        CLR  $0033  SE BORRA LOCALIDAD $33 "BANDERAS"

```

```

*****
*
* SE CHEQUEA EL TOTAL DE LA MEMORIA - *
* EXISTENTE EN EL EQUIPO Y SE MUESTRA *
* EL TOTAL EN EL DISPLAY ASIGNADO A *
* MOSTRAR EL NIVEL DE DEFORMACION *
*
*****
F026 BD F911 JSR BLANK RUTINA DE BLANQUEO DE LOS DISPLAYS
F029 BD F9C7 JSR MEMORY RUTINA DE CHEQUEO DE TOTAL DE MEMORI
F02C BD F9FD JSR MEMORI RUTINA PARA MOSTRAR RESULTADOS
*****
*
* SE INGRESA A LA PARTE CORRESPONDIENTE*
* A LOS CALCULOS *
*
*****
F02F BD F870 CALC JSR TECLAD RUTINA DE BARRIDO DE TECLADO
F032 D6 40 LDAB $40 SE LEE TECLA PULSADA
F034 C1 11 CMPB #$11 SE CHEQUEA SI SE HA PULSADO
F036 27 3B BEQ INDES TECLA "GO"
F038 C1 0E CMPB #$0E SE CHEQUEA SI SE HA SELECCIONADO
F03A 27 17 BEQ CALNC TECLA " #C "
F03C C1 0F CMPB #$0F SE CHEQUEA SE SE HA SELECCIONADO
F03E 27 23 BEQ CALNM TECLA " #M "
F040 C6 01 ERROR1 LDAB #$01 INDICACION DE QUE SE HA COMETIDO
F042 BD F8EB JSR ERROR ERROR EN EL INGRESO DE DATOS
F045 BD F870 ERR1 JSR TECLAD ERROR "01"
F048 D6 40 LDAB $40 SE CHEQUEA SI SE HA SELECCIONADO
F04A C1 10 CMPB #$10 TECLA "ESCAPE"
F04C 26 F7 BNE ERR1 SI SE HA SELECCIONADO 0
F04E BD F911 JSR BLANK SE BORRA BUFFER DE MEMORIA ASIGNADO
F051 20 DC BRA CALC A DISPLAYS
F053 BD F0FF CALNC JSR NUMCAN SE INGRESA AL CALCULO DEL NUMERO
F056 BD F870 JSR TECLAD DE CANALES
F059 C1 10 CMPB #$10 SE DESEA OTRO CALCULO ? (SI O NO)
F05B 27 F6 BEQ CALNC VAYA A INGRESO DE DATOS
F05D C1 11 CMPB #$11 SE DESEA CONTINUAR ?
F05F 26 DF BNE ERROR1
F061 20 10 BRA INDES VAYA A SIGUIENTE PARTE
F063 BD F1A1 CALNM JSR NUMMED SE INGRESA A LA PARTE DONDE SE
F066 BD F870 JSR TECLAD CALCULA NUMERO DE MEDICIONES
F069 D6 40 LDAB $40 SE DESEA OTRO CALCULO ? (SI O NO)
F06B C1 10 CMPB #$10
F06D 27 F4 BEQ CALNM VAYA A INGRESO DE DATOS
F06F C1 11 CMPB #$11 SE DESEA CONTINUAR ?
F071 26 CD BNE ERROR1
*****
*
* EN ESTA PARTE DEL PROGRAMA SE PROCEDE*

```

FACULTAD DE INGENIERIA ELECTRICA

LAB. CONTROL

ASSEMBLER M6800

```

* A SELECCIONAR "MODO DE TRABAJO" . *
* ESTO ES : SE DESEA ADQUIRIR DATOS O *
* LEER DATOS ? *
* *

```

```

*****

```

```

F073 BD F911 INDES JSR BLANK EJECUTE "BLANK"
F074 BD F870 JSR TECLAD EJECUTE "TECLAD"
F079 D6 40 LDAB $40 LEA TECLA PULSADA
F07B C1 13 CMPB #$13 HA SIDO PULSADO SWITCH R/W ?
F07D 26 0D BNE INDES1
F07F 96 1B LDAA $1B SI ES QUE SI: MODIFIQUE
F081 16 TAB ESTADO DE LEIS DE LECTURA
F082 C4 E7 ANDB #$E7 Y ESCRITURA
F084 8A E7 ORAA #$E7
F086 43 COMA
F087 1B ABA
F088 97 1B STAA $1B
F08A 20 E7 BRA INDES
F08C C1 11 INDES1 CMPB #$11
F08E 26 E3 BNE INDES
F090 96 1B LDAA $1B
F092 84 18 ANDA #$18
F094 81 10 CMPA #$10
F096 27 02 BEQ INDES2
F098 20 12 BRA INDL1

```

```

*****

```

```

* *
* EN ESTA PARTE DEL PROGRAMA SE REALIZA*
* LA RESPECTIVA FUNCION SELECCIONADA *
* *

```

```

*****

```

```

F09A BD F25B INDES2 JSR INGDES PROGRAMA PARA INGRESO DE DATOS
F09D BD F326 JSR ADPREV EJECUTE "ADQUISICION" PREVIA
FOA0 BD F3AE INDES3 JSR FLIP EJECUTE RUTINA FLIP-FLOP
FOA3 C1 FD CMPB #$FD
FOA5 26 F9 BNE INDES3
FOA7 BD F3BF JSR DATAQ
FOAA 20 35 BRA FIN
FOAC 96 33 INDL1 LDAA $33 LOCALIDAD DE BANDERAS
FOAE 81 01 CMPA #$01
FOB0 26 1B BNE ERROR2
FOB2 BD F4B3 INDL2 JSR INGDL INGRESO DE DATOS PARA LECTURA
FOB5 BD F699 JSR LEPREV EJECUTE "LECTURA" PREVIA
FOB8 BD F3AE INDL3 JSR FLIP EJECUTE RUTINA FLIP-FLOP
FOBB C1 FD CMPB #$FD
FOBD 26 05 BNE INDL4
FOBF BD F6A6 JSR LECIAT EJECUTE LECTURA DE DATOS
FOC2 20 1D BRA FIN VAYA A FIN DE PROGRAMA
FOC4 C1 FB INDL4 CMPB #$FB

```

FACULTAD DE INGENIERIA ELECTRICA

LAB. CONTROL

ASSEMBLER M6800

```

FOC6 26 F0          BNE  INDL3
FOC8 BD F74D       JSR  TRANSM  EJECUTE TRANSMISION DE DATOS
FOCB 20 14         BRA  FIN      VAYA A FIN DE PROGRAMA
FOCI C6 02  ERROR2 LDAB  #02     ERROR "02"
FOCF BD F8EB       JSR  ERROR
FOD2 BD F870  ERR2 JSR  TECLAD
FOD5 D6 40         LDAB  $40
FOD7 C1 10         CMPB  #10
FOD9 26 F7         BNE  ERR2
FODB BD F911       JSR  BLANK
FODE 7E F02F       JMP  CALC

```

```

*****
*
* SE HA TERMINADO LA EJECUCION DE LA
* FUNCION DESEADA
*
*****

```

```

FOE1 CE 0000  FIN  LDX  #0000
FOE4 86 71         LDAA  #71      LETRA  "F"
FOE6 A7 00         STAA  00,X
FOE8 86 10         LDAA  #10      LETRA  "i"
FOEA A7 01         STAA  01,X
FOEC 86 54         LDAA  #54      LETRA  "n"
FOEE A7 02         STAA  02,X
FOF0 BD F870  FIN1 JSR  TECLAD
FOF3 D6 40         LDAB  $40
FOF5 C1 10         CMPB  #10
FOF7 26 F7         BNE  FIN1
FOF9 BD F911       JSR  BLANK
FOFC 7E F02F       JMP  CALC

```

```

*****
*
* RUTINA "NUMCAN" QUE PERMITE CALCULAR
* EL NUMERO DE CANALES QUE SE DESEARIAN*
* MUESTREAR Y LA RUTINA DETERMINA EL
* MAXIMO NUMERO DE MEDICIONES QUE SE
* PUEDE REALIZAR
*
*****

```

```

FOFF 7F 0030  NUMCAN CLR  $0030  LOCALIDAD DE BANDERAS
F102 86 40         LDAA  #40   SE ENCIENDE EL LED INDICADOR
F104 97 0C         STAA  $0C  RESPECTIVO
F106 97 1C         STAA  $1C
F108 7F 0010       CLR  $0010 LOCALIDAD DE ALMACENAMIENTO TEMPORAL
F10B 7F 0011       CLR  $0011 LOCALIDAD DE ALMACENAMIENTO TEMPORAL
F10E 7F 0012       CLR  $0012 LOCALIDAD DE ALMACENAMIENTO TEMPORAL
F111 7F 0013       CLR  $0013 LOCALIDAD DE ALMACENAMIENTO TEMPORAL
F114 BD F911       JSR  BLANK  RUTINA DE BLANQUEO DE LOS DISPLAYS
F117 CE 0000       LDX  #0000 SE MUESTRA EL MENSAJE "CANAL" EN LOS
F11A 86 39         LDAA  #39  LETRA "C"

```

FACULTAD DE INGENIERIA ELECTRICA

LAB. CONTROL

ASSEMBLER M6800

F11C	A7	00		STAA	00,X	
F11E	86	77		LDAA	##77	LETRA 'A'
F120	A7	01		STAA	01,X	
F122	A7	03		STAA	03,X	
F124	86	37		LDAA	##37	LETRA 'N'
F126	A7	02		STAA	02,X	
F128	86	38		LDAA	##38	LETRA 'L'
F12A	A7	04		STAA	04,X	
F12C	CE	0005	NUMC3	LIX	##0005	INGRESO DE NUMERO DE CANALES
F12F	BD	F870	NUMC1	JSR	TECLAD	LEA TECLADO Y DETERMINE TECLA PULSADA
F132	D6	40		LDAB	\$40	
F134	C1	0A		CMPB	##0A	ES UNA DATO ? O UNA FUNCION ?
F136	24	14		BCC	NUMC2	
F138	E7	0D		STAB	0D,X	
F13A	17			TBA		
F13B	BD	F8CC		JSR	CONVH	
F13E	08			INX		
F13F	8C	0007		CPX	##0007	SE HA INGRESADO DOS NUMEROS?
F142	26	EB		BNE	NUMC1	
F144	36			PSHA		
F145	86	01		LDAA	##01	
F147	97	30		STAA	\$30	
F149	32			PULA		
F14A	20	E0		BRA	NUMC3	
F14C	96	30	NUMC2	LDAA	\$30	
F14E	81	01		CMFA	##01	
F150	27	02		BEQ	NUMC6	
F152	20	3C		BRA	ERROR3	INCORRECTA, EN EL DISP
F154	D6	40	NUMC6	LDAB	\$40	CODIGO DEL ERROR
F156	C1	11		CMFB	##11	
F158	27	02		BEQ	NUMC4	
F15A	20	34		BRA	ERROR3	
F15C	96	12	NUMC4	LDAA	\$12	
F15E	81	00		CMFA	##00	
F160	26	06		BNE	NUMC41	
F162	96	13		LDAA	\$13	
F164	81	00		CMFA	##00	
F166	27	28		BEQ	ERROR3	
F168	BD	FA0C	NUMC41	JSR	DECIMA	
F16B	CE	0020		LIX	##0020	POINTER DE DIVIDENDO
F16E	96	5A		LDAA	\$5A	
F170	D6	5B		LDAB	\$5B	
F172	C0	9C		SUBB	##9C	SE RESTAN PRIMEROS 156 BYTES
F174	82	00		SBCA	##00	DE 'ENCABEZAMIENTO'
F176	44			LSRA		
F177	56			RORB		
F178	BD	F922		JSR	DIV1	
				*	EN A Y B SE TIENE EL RESULTADO DE DIVISION	
F17B	CE	0029		LIX	##0029	
F17E	BD	F967		JSR	BINARY	

FACULTAD DE INGENIERIA ELECTRICA

LAB. CONTROL

ASSEMBLER M6800

```

F181 CE 0007 NC1      LDX  #$0007
F184 A6 23  NC2      LDAA 23,X
F186 BD F8CC          JSR CONVH
F189 08              INX
F18A 8C 000B          CPX  #$000B
F18D 26 F5           BNE  NC2
F18F 39              RTS
F190 C6 03  ERROR3   LDAB  #$03
F192 BD F8EB          JSR  ERROR
F195 BD F870  ERR3   JSR  TECLAD
F198 D6 40           LDAB  $40
F19A C1 10           CMPB  #$10
F19C 26 F2           BNE  ERROR3
F19E 7E F0FF          JMP  NUMCAN

```

```

*****
*
* RUTINA "NUMMED" QUE PERMITE CALCULAR *
* EL NUMERO DE CANALES QUE SE PODRIAN *
* MUESTREAR PARA UN DETERMINADO NUMERO *
* DE MEDICIONES *
*
*****

```

```

F1A1 7F 0030 NUMMED CLR  $0030
F1A4 86 80          LDAA  #$80
F1A6 97 0C          STAA $0C
F1A8 97 1C          STAA $1C
F1AA 7F 0010        CLR  $0010      LOCALIDAD DE ALMACENAMIENTO TEMP.
F1AD 7F 0011        CLR  $0011      LOCALIDAD DE ALMACENAMIENTO TEMP.
F1B0 7F 0012        CLR  $0012      LOCALIDAD DE ALMACENAMIENTO TEMP.
F1B3 7F 0013        CLR  $0013      LOCALIDAD DE ALMACENAMIENTO TEMP.
F1B6 BD F911        JSR  BLANK      RUTINA DE BLANQUEO DE DISPLAYS
F1B9 CE 0000        LDX  #$0000      SE MUESTRA EL MENSAJE "MEDIC"
F1BC 86 39          LDAA  #$39      LETRA  "C"
F1BE A7 00          STAA 00,X
F1C0 86 77          LDAA  #$77      LETRA  "A"
F1C2 A7 01          STAA 01,X
F1C4 86 6D          LDAA  #$6D      LETRA  "S"
F1C6 A7 02          STAA 02,X
F1C8 86 3F          LDAA  #$3F      LETRA  "O"
F1CA A7 03          STAA 03,X
F1CC 86 6D          LDAA  #$6D      LETRA  "S"
F1CE A7 04          STAA 04,X
F1D0 CE 0007 NUMM1  LDX  #$0007      INGRESO DE NUMERO DE MEDICIONES
F1D3 BD F870 NUMM2 JSR  TECLAD      LEA TECLADO Y DETERMINE TECLA PULS
F1D6 D6 40          LDAB  $40
F1D8 C1 0A          CMPB  #$0A      ES UN DATO?, O ES UNA FUNCION ?
F1DA 24 14          BCC  NUMM3
F1DC E7 09          STAB 09,X
F1DE 17            TBA
F1DF BD F8CC          JSR  CONVH

```

FACULTAD DE INGENIERIA ELECTRICA

LAB. CONTROL ASSEMBLER M6800

F1E2 08		INX	
F1E3 8C 000B		CPX ##000B	SE HAN INGRESADO 4 NUMEROS?
F1E6 26 EB		BNE NUMM2	
F1E8 36		PSHA	
F1E9 86 01		LDAA ##01	
F1EB 97 30		STAA \$30	
F1ED 32		PULA	
F1EE 20 E0		BRA NUMM1	
F1F0 96 30	NUMM3	LDAA \$30	
F1F2 81 01		CMFA ##01	
F1F4 27 02		BEQ NUMM4	
F1F6 20 52		BRA ERROR4	
F1F8 D6 40	NUMM4	LDAB \$40	
F1FA C1 11		CMFB ##11	
F1FC 27 02		BEQ NUMM5	
F1FE 20 4A		BRA ERROR4	
		* AQUI SUBROUTINA PARA CHEQUEO DE #MINIMO DE MEDI	
F200 96 10	NUMM5	LDAA \$10	
F202 81 00		CMFA ##00	
F204 26 1C		BNE NUMM6	
F206 96 11		LDAA \$11	
F208 81 01		CMFA ##01	
F20A 22 16		BHI NUMM6	
F20C 96 12		LDAA \$12	
F20E 81 02		CMFA ##02	
F210 22 10		BHI NUMM6	
F212 96 13		LDAA \$13	
F214 81 02		CMFA ##02	
F216 22 0A		BHI NUMM6	
F218 86 99		LDAA ##99	
F21A CE 0005		LIX ##0005	
F21D BD F8DE		JSR DQSH	
F220 20 27		BRA NMM3	
F222 BD FA0C	NUMM6	JSR DECIMA	
F225 CE 0020		LIX ##0020	
F228 96 5A		LDAA \$5A	
F22A D6 5B		LDAB \$5B	
F22C C0 9C		SUBB ##9C	SE RESTAN "156" BYTES DE
F22E 82 00		SBCA ##00	ENCABEZONAMIENTO
F230 44		LSRA	DIVISION PARA 2
F231 56		RORB	
F232 BD F922		JSR DIV1	
		* EN A Y B SE TIENE RESULTADO DE DIVISION	
F235 CE 0029	NUMM7	LIX ##0029	
F238 BD F967		JSR BINARY	
F23B CE 0005	NMM1	LIX ##0005	
F23E A6 27	NMM2	LDAA 27,X	
F240 BD F8CC		JSR CONVM	
F243 08		INX	
F244 8C 0007		CPX ##0007	


```

F247 26 F5          BNE  NMM2
F249 39          NMM3  RTS
F24A C6 04      ERROR4 LDAB  #$04
F24C BD F8EB    JSR  ERROR
F24F BD F870    ERR4  JSR  TECLAD
F252 D6 40      LDAB  $40
F254 C1 10      CMPB  #$10
F256 26 F7      BNE  ERR4
F258 7E F1A1    JMP  NUMMED
*****
*
* SUBROUTINA "INGDES" QUE PERMITE EL IN-*
* GRESO DE LOS DATOS NECESARIOS PARA  *
* LA ADQUISICION DE DATOS            *
*
*****
F25B 86 94      INGDES LDAA  #$94
F25D 97 1B      STAA  $1B
F25F 86 20      LDAA  #$20
F261 97 1C      STAA  $1C
F263 86 01      LDAA  #$01
F265 97 33      STAA  $33
F267 BD F911    IND2  JSR  BLANK
F26A BD F870    JSR  TECLAD
F26D D6 40      LDAB  $40
F26F C1 0A      CMPB  #$0A
F271 27 2B      BEQ  MEDIC
F273 C1 0B      CMPB  #$0B
F275 27 0D      BEQ  INTER
F277 C1 0C      CMPB  #$0C
F279 26 12      BNE  ERRORS
F27B 96 1B      ESCALA LDAA  $1B
F27D BD F30C    JSR  SHIFT2
F280 97 1B      STAA  $1B
F282 20 E3      BRA  IND2
F284 96 1B      INTER LDAA  $1B
F286 BD F2F3    JSR  SHIFT1
F289 97 1B      STAA  $1B
F28B 20 DA      BRA  IND2
F28D C6 05      ERRORS LDAB  #$05
F28F BD F8EB    JSR  ERROR
F292 BD F870    ERR5  JSR  TECLAD
F295 D6 40      LDAB  $40
F297 C1 10      CMPB  #$10
F299 26 F7      BNE  ERR5
F29B 7E F267    JMP  IND2
F29E 7F 0030    MEDIC CLR  $0030
F2A1 7F 0010    CLR  $0010
F2A4 7F 0011    CLR  $0011
F2A7 7F 0012    CLR  $0012

```

FACULTAD DE INGENIERIA ELECTRICA

LAB. CONTROL

ASSEMBLER M6800

F2AA	7F	0013	CLR	\$0013
F2AD	86	80	LDAA	##80
F2AF	97	1C	STAA	\$1C
F2B1	BD	F911	JSR	BLANK
F2B4	CE	0007	LIX	##0007
F2B7	BD	F870	JSR	TECLAD
F2BA	D6	40	LIAB	\$40
F2BC	C1	0A	CMPB	##0A
F2BE	24	14	BCC	MEDIC3
F2C0	E7	09	STAB	09,X
F2C2	17		TBA	
F2C3	BD	F8CC	JSR	CONVH
F2C6	08		INX	
F2C7	8C	000B	CPX	##000B
F2CA	26	EB	BNE	MEDIC2
F2CC	36		PSHA	
F2CD	86	01	LDAA	##01
F2CF	97	30	STAA	\$30
F2D1	32		PULA	
F2D2	20	E0	BRA	MEDIC1
F2D4	96	30	LDAA	\$30
F2D6	81	01	CMPA	##01
F2D8	27	02	BEQ	MEDIC4
F2DA	20	06	BRA	ERRDR6
F2DC	D6	40	LIAB	\$40
F2DE	C1	11	CMPB	##11
F2E0	27	43	BEQ	MEDIC5
F2E2	C6	02	LIAB	##02
F2E4	BD	F8EB	JSR	ERRDR
F2E7	BD	F870	JSR	TECLAD
F2EA	D6	40	LIAB	\$40
F2EC	C1	10	CMPB	##10
F2EE	26	F7	BNE	ERR6
F2F0	7E	F29E	JMP	MEDIC
F2F3	16		TAB	
F2F4	C4	F8	ANDB	##F8
F2F6	84	07	ANDA	##07
F2F8	81	04	CMPA	##04
F2FA	26	04	BNE	S3
F2FC	86	02	LDAA	##02
F2FE	20	0A	BRA	CARGA1
F300	81	02	CMPA	##02
F302	26	04	BNE	S4
F304	86	01	LDAA	##01
F306	20	02	BRA	CARGA1
F308	86	04	LDAA	##04
F30A	1B		ABA	
F30B	39		RTS	
F30C	16		TAB	
F30D	C4	1F	ANDB	##1F

FACULTAD DE INGENIERIA ELECTRICA

LAB. CONTROL

ASSEMBLER M6800

```

F30F 84 E0      ANDA  #E0
F311 81 80      CMPA  #80
F313 26 04      BNE   S1
F315 86 40      LDAA  #40
F317 20 0A      BRA   CARGA2
F319 81 40      S1    CMPA  #40
F31B 26 04      BNE   S2
F31D 86 20      LDAA  #20
F31F 20 02      BRA   CARGA2
F321 86 80      S2    LDAA  #80
F323 1B        CARGA2 ABA
F324 39        RTS
F325 39        MEDIC5 RTS
*****
*
* SUBROUTINA "ADPREV" QUE PERMITE PREPA *
* RAR AL EQUIPO PARA LA ADQUISICION DE *
* DATOS *
*
*****
F326 96 10      ADPREV LDAA  $10
F328 D6 11      LDAB  $11
F32A 48        ASLA
F32B 48        ASLA
F32C 48        ASLA
F32D 48        ASLA
F32E 1B        ABA
F32F 97 16      STAA  $16
F331 B7 0868    STAA  $0868      MSB DE # DE MEDI. EN DECIMAL
F334 96 12      LDAA  $12
F336 D6 13      LDAB  $13
F338 48        ASLA
F339 48        ASLA
F33A 48        ASLA
F33B 48        ASLA
F33C 1B        ABA
F33D 97 17      STAA  $17
F33F B7 0869    STAA  $0869      LSB DE # DE MEDI. EN DECIMAL
F342 86 18      LDAA  #18
F344 97 1C      STAA  $1C
F346 7F 0865    CLR   $0865
F349 4F        CLRA
F34A CE 0800    MEDIC6 LDX  #0800
F34D D6 83      LDAB  $83
F34F D7 20      STAB  $20
F351 7F 0082    CLR   $0082
F354 E7 00      MEDIC7 STAB  00,X
F356 C6 01      LDAB  #01
F358 D7 82      STAB  $82
F35A DF 54      STX   $54

```

FACULTAD DE INGENIERIA ELECTRICA

LAB. CONTROL

ASSEMBLER M6800

```

F35C 36          PSHA
F35D A6 00      LIAA 00,X
F35F CE 0005    LIX  ##0005
F362 BD F8DE    JSR  DOSHE
F365 DE 54      LIX  $54
F367 32         FULA
F368 BD F40B    JSR  DELAY2
F36B 8B 01      ADDA ##01
F36D 19         IAA
F36E 08         INX
F36F 7F 0082    CLR  $0082
F372 BD F40B    JSR  DELAY2
F375 D6 83      LIAB $83
F377 D1 20      CMPB $20
F379 26 D9      BNE  MEDIC7
F37B B7 0865    STAA $0865
F37E DF 10      STX  $10
F380 96 11      LDAA $11
F382 B7 0864    STAA $0864
F385 17         TBA
F386 CE 0005    LIX  ##0005
F389 BD F8DE    JSR  DOSHE
* AQUI INICIALIZACION DE LOCALIDADES DE MEMORIA
F38C 7F 086A    CLR  $086A
F38F 7F 086B    CLR  $086B
F392 7F 086C    CLR  $086C
F395 7F 086D    CLR  $086D
F398 7F 0870    CLR  $0870
F39B 7F 0871    CLR  $0871
F39E 7F 0872    CLR  $0872
F3A1 7F 0873    CLR  $0873
F3A4 CE 089D    LDX  ##089D      SE INICIALIZA LOCALIDAD QUE
F3A7 FF 0874    STX  $0874      CONTIENE DIRECCION DONDE SE
F3AA BD F6E5    JSR  TIME
F3AD 39         RTS
*****
*
* SUBROUTINA "FLIP" QUE CONTROLA LA ADQUI *
* SICION DE DATOS *
*
*****
F3AE BD F40B FLIP JSR  DELAY2
F3B1 96 1C      LIAA $1C
F3B3 8A E7      DRAA ##E7
F3B5 43         COMA
F3B6 97 1C      STAA $1C
F3B8 86 02      LDAA ##02
F3BA 97 80      STAA $80
F3BC D6 80      LIAB $80
F3BE 39         RTS

```

```

*****
*
* SUBROUTINA "DATAQ" QUE CONTROLA LA ADQUI *
* SION DE DATOS *
*
*****
F3BF FE 086A DATAQ LDX $086A
F3C2 BC 0868 CPX $0868
F3C5 27 3D BEQ FINDAT
F3C7 B6 086E LDAA $086E
F3CA 8B 01 ADDA #$01
F3CC 19 DAA
F3CD B7 086E STAA $086E
F3D0 B6 086A LDAA $086A
F3D3 89 00 ADCA #$00
F3D5 19 DAA
F3D6 B7 086A STAA $086A
F3D9 CE 0800 LDX #$0800
F3DC FF 0879 STX $0879
F3DF 7F 0866 CLR $0866
F3E2 B6 0866 DATCAN LDAA $0866
F3E5 7F 0082 CLR $0082
F3E8 B1 0864 CMPA $0864
F3EB 27 15 BEQ FINDCA
F3ED 7C 0866 INC $0866
F3F0 BD F483 JSR DELAY1
F3F3 86 01 LDAA #$01
F3F5 97 82 STAA $82
F3F7 BD F40E JSR DELAY2
F3FA BD F41C JSR DATAD
F3FD 7C 0879 INC $0879
F400 20 E0 BRA DATCAN
F402 20 BB FINDCA BRA DATAQ
F404 BD F911 FINDAT JSR BLANK
F407 CE 0000 FIND1 LDX #$0000
F40A 39 RTS
F40B DF 62 DELAY2 STX $62
F40D CE 0009 LDX #$0009
F410 09 DELAY3 DEX
F411 BD F997 JSR BARR
F414 8C 0000 CPX #$0000
F417 26 F7 BNE DELAY3
F419 DE 62 LDX $62
F41B 39 RTS
F41C FE 0874 DATAD LDX $0874
F41F 96 81 LDAA $81
F421 A7 01 STAA 01,X
F423 96 82 LDAA $82
F425 A7 00 STAA 00,X
F427 96 83 LDAA $83

```

FACULTAD DE INGENIERIA ELECTRICA

LAB. CONTROL

ASSEMBLER M6800

F429	97	30		STAA	\$30
F42B	A6	00	DTAD	LDAA	00,X
F42D	44			LSRA	
F42E	25	04		BCS	UN
F430	C6	06		LDAB	##06
F432	20	02		BRA	LSR1
F434	C6	00	UN	LDAB	##00
F436	D7	00	LSR1	STAB	\$00
F438	44			LSRA	
F439	25	06		BCS	ZERO
F43B	C6	40		LDAB	##40
F43D	DB	00		ADDB	\$00
F43F	D7	00		STAB	\$00
F441	44		ZERO	LSRA	
F442	25	04		BCS	LSR2
F444	C6	3F		LDAB	##3F
F446	20	02		BRA	LSR3
F448	C6	00	LSR2	LDAB	##00
F44A	D7	04	LSR3	STAB	\$04
F44C	44			LSRA	
F44D	25	4F		BCS	ERRORD
F44F	CE	0001		LIX	##0001
F452	BD	F8CC		JSR	CONVH
F455	FE	0874		LIX	\$0874
F458	A6	01		LDAA	01,X
F45A	CE	0002		LIX	##0002
F45D	BD	F8DE		JSR	DOSHE
F460	FE	0879	CANAL6	LIX	\$0879
F463	96	30		LDAA	\$30
F465	CE	0005		LIX	##0005
F468	BD	F8DE		JSR	DOSHE
F46B	B6	086A		LDAA	\$086A
F46E	BD	F8DE		JSR	DOSHE
F471	B6	086B		LDAA	\$086B
F474	BD	F8DE		JSR	DOSHE
F477	BD	F997		JSR	BARR
F47A	FE	0874		LIX	\$0874
F47D	08			INX	
F47E	08			INX	
F47F	FF	0874		STX	\$0874
F482	39			RTS	
F483	DF	60	DELAY1	STX	\$60
F485	B6	0878		LDAA	\$0878
F488	97	36		STAA	\$36
F48A	FE	0876	DEL12	LIX	\$0876
F48D	09		DEL11	DEX	
F48E	BD	F997		JSR	BARR
F491	8C	0000		CFX	##0000
F494	26	F7		BNE	DEL11
F496	7A	0036		DEC	\$0036

```

F499 26 EF          BNE  DEL12
F49B DE 60          LDX  $60
F49D 39             RTS
F49E 86 AB  ERROR1 LDAA  #$AB
F4A0 CE 0000        LDX  #$0000
F4A3 BD F8DE        JSR  DOSHE
F4A6 86 CD          LDAA  #$CD
F4A8 BD F8DE        JSR  DOSHE
F4AB 86 0E          LDAA  #$0E
F4AD BD F8CC        JSR  CONVH
F4B0 7E F460        JMP  CANAL6
*****
*
* SUBROUTINA "INGDL" QUE CONTROLA EL INGRE *
* SO DE DATOS PARA LA LECTURA           *
*
*****
F4B3 86 08  INGDL  LDAA  #$08
F4B5 97 1B          STAA  $1B
F4B7 86 24          LDAA  #$24
F4B9 97 1C          STAA  $1C
F4BB BD F911  INDGL2 JSR  BLANK
F4BE BD F870        JSR  TECLAD
F4C1 D6 40          LDAB  $40
F4C3 C1 0A          CMPB  #$0A
F4C5 27 34          BEQ  CANALL
F4C7 C1 0D          CMPB  #$0D
F4C9 27 11          BEQ  TIEMPO
F4CB C6 07  ERROR7 LDAB  #$07
F4CD BD F8EB        JSR  ERROR
F4D0 BD F870  ERR7  JSR  TECLAD
F4D3 D6 40          LDAB  $40
F4D5 C1 10          CMPB  #$10
F4D7 26 F7          BNE  ERR7
F4D9 7E F4BB        JMP  INDGL2
F4DC 96 1C  TIEMPO LDAA  $1C
F4DE 16             TAB
F4DF C4 F8          ANDB  #$F8
F4E1 84 07          ANDA  #$07
F4E3 81 04          CMPA  #$04
F4E5 26 04          BNE  TI1
F4E7 86 02          LDAA  #$02
F4E9 20 0A          BRA  TI3
F4EB 81 02  TI1    CMPA  #$02
F4ED 26 04          BNE  TI2
F4EF 86 01          LDAA  #$01
F4F1 20 02          BRA  TI3
F4F3 86 04  TI2    LDAA  #$04
F4F5 1B           TI3    ABA
F4F6 97 1C          STAA  $1C

```

FACULTAD DE INGENIERIA ELECTRICA

LAB. CONTROL

ASSEMBLER M6800

F4F8	7E	F4BB	JMP	INDGL2	
F4FB	BD	F911	JSR	BLANK	
F4FE	CE	0000	LIX	##0000	
F501	86	78	LDAA	##78	LETRA "t"
F503	A7	00	STAA	00,X	
F505	86	5C	LDAA	##5C	LETRA "o"
F507	A7	01	STAA	01,X	
F509	86	5E	LDAA	##5E	LETRA "d"
F50B	A7	02	STAA	02,X	
F50D	86	5C	LDAA	##5C	LETRA "o"
F50F	A7	03	STAA	03,X	
F511	86	6D	LDAA	##6D	LETRA "s"
F513	A7	04	STAA	04,X	
F515	BD	F870	JSR	TECLAD	
F518	D6	40	LDAB	\$40	
F51A	C1	11	CMFB	##11	
F51C	27	1E	BEQ	SIGA	
F51E	C1	12	CMFB	##12	
F520	26	F3	BNE	SIGA1	
F522	A6	00	LDAA	00,X	
F524	81	1C	CMFA	##1C	
F526	27	D3	BEQ	CANALL	
F52B	BD	F911	JSR	BLANK	
F52B	CE	0000	LIX	##0000	
F52E	86	1C	LDAA	##1C	LETRA "u"
F530	A7	00	STAA	00,X	
F532	86	54	LDAA	##54	LETRA "n"
F534	A7	01	STAA	01,X	
F536	86	5C	LDAA	##5C	LETRA "o"
F538	A7	02	STAA	02,X	
F53A	20	D9	BRA	SIGA1	
F53C	A6	00	LDAA	00,X	
F53E	81	1C	CMFA	##1C	
F540	27	03	BEQ	SIGA2	
F542	7E	F5BD	JMP	SIGA10	
F545	96	1C	LDAA	\$1C	
F547	8B	40	ADDA	##40	
F549	97	1C	STAA	\$1C	
F54B	7F	0030	CLR	\$0030	
F54E	7F	0010	CLR	\$0010	
F551	7F	0011	CLR	\$0011	
F554	7F	0012	CLR	\$0012	
F557	7F	0013	CLR	\$0013	
F55A	BD	F911	JSR	BLANK	
F55D	CE	0000	LIX	##0000	
F560	86	39	LDAA	##39	LETRA "c"
F562	A7	00	STAA	00,X	
F564	86	77	LDAA	##77	LETRA "a"
F566	A7	01	STAA	01,X	
F568	A7	03	STAA	03,X	

FACULTAD DE INGENIERIA ELECTRICA

LAB. CONTROL

ASSEMBLER M6800

F56A 86 37		LDAA ##37	LETRA 'N'
F56C A7 02		STAA 02,X	
F56E 86 38		LDAA ##38	LETRA 'L'
F570 A7 04		STAA 04,X	
F572 CE 0005	SIGA3	LIX ##0005	
F575 BD F870	SIGA4	JSR TECLAD	
F578 D6 40		LIAB \$40	
F57A C1 0A		CMFB ##0A	
F57C 24 14		BCC SIGA5	
F57E E7 0D		STAB 0D,X	
F580 17		TBA	
F581 BD F8CC		JSR CONUH	
F584 08		INX	
F585 8C 0007		CFX ##0007	
F588 26 EB		BNE SIGA4	
F58A 36		PSHA	
F58B 86 01		LDAA ##01	
F58D 97 30		STAA \$30	
F58F 32		PULA	
F590 20 E0		BRA SIGA3	
F592 96 30	SIGA5	LDAA \$30	
F594 81 01		CMFA ##01	
F596 26 06		BNE ERROR8	
F598 D6 40	SIGA6	LIAB \$40	
F59A C1 11		CMFB ##11	
F59C 27 14		BEQ SIGA7	
F59E C6 08	ERROR8	LIAB ##08	
F5A0 BD F8EB		JSR ERROR	
F5A3 BD F870	ERR8	JSR TECLAD	
F5A6 D6 40		LIAB \$40	
F5A8 C1 10		CMFB ##10	
F5AA 26 F7		BNE ERR8	
F5AC BD F911		JSR BLANK	
F5AF 7E F572		JMP SIGA3	
F5B2 96 12	SIGA7	LDAA \$12	
F5B4 48		ASLA	
F5B5 48		ASLA	
F5B6 48		ASLA	
F5B7 48		ASLA	
F5B8 9B 13		ADDA \$13	
F5BA E7 0872		STAA \$0872	
F5BD BD F911	SIGA10	JSR BLANK	
F5C0 96 1C		LDAA \$1C	
F5C2 16		TAB	
F5C3 C4 07		ANDB ##07	
F5C5 86 40		LDAA ##40	
F5C7 1B		ABA	
F5C8 96 1C		LDAA \$1C	
F5CA CE 0000	SIGA11	LIX ##0000	
F5CD 86 06		LDAA ##06	ETRA 'I'

FACULTAD DE INGENIERIA ELECTRICA

LAB. CONTROL

ASSEMBLER M6800

F5CF	A7	00		STAA	00,X	
F5D1	A7	02		STAA	02,X	
F5D3	86	37		LDAA	#\$37	ETRA "N"
F5D5	A7	01		STAA	01,X	
F5D7	86	39		LDAA	#\$39	ETRA "C"
F5D9	A7	03		STAA	03,X	
F5DB	7F	0030		CLR	\$0030	
F5DE	CE	0007	SIGA12	LDX	#\$0007	
F5E1	BD	F870	SIGA13	JSR	TECLAD	
F5E4	D6	40		LDAB	\$40	
F5E6	C1	0A		CMFB	#\$0A	
F5E8	24	14		BCC	SIGA14	
F5EA	E7	09		STAB	09,X	
F5EC	17			TBA		
F5ED	BD	F8CC		JSR	CONVH	
F5F0	08			INX		
F5F1	8C	000B		CFX	#\$000B	
F5F4	26	EB		BNE	SIGA13	
F5F6	36			PSHA		
F5F7	86	01		LDAA	#\$01	
F5F9	97	30		STAA	\$30	
F5FB	32			PULA		
F5FC	20	E0		BRA	SIGA12	
F5FE	96	30	SIGA14	LDAA	\$30	
F600	81	01		CMFA	#\$01	
F602	27	02		BEQ	SIGA15	
F604	20	1F		BRA	ERROR9	
F606	D6	40	SIGA15	LDAB	\$40	
F608	C1	11		CMFB	#\$11	
F60A	27	02		BEQ	SIGA16	
F60C	20	17		BRA	ERROR9	
F60E	96	10	SIGA16	LDAA	\$10	
F610	48			ASLA		
F611	48			ASLA		
F612	48			ASLA		
F613	48			ASLA		
F614	9B	11		ADDA	\$11	
F616	B7	086C		STAA	\$086C	
F619	96	12		LDAA	\$12	
F61B	48			ASLA		
F61C	48			ASLA		
F61D	48			ASLA		
F61E	48			ASLA		
F61F	9B	13		ADDA	\$13	
F621	B7	086D		STAA	\$086D	
F624	39			RTS		
F625	C6	09	ERROR9	LDAB	#\$09	
F627	BD	F8EB		JSR	ERROR	
F62A	BD	F870	ERR9	JSR	TECLAD	
F62D	D6	40		LDAB	\$40	

FACULTAD DE INGENIERIA ELECTRICA

LAB. CONTROL

ASSEMBLER M6800

F62F	C1	10		CMPB	##10	
F631	26	F7		BNE	ERR9	
F633	BD	F911		JSR	BLANK	
F636	7E	F5CA		JMP	SIGA11	
F639	BD	F911	SIGA30	JSR	BLANK	
F63C	CE	0000		LIX	##0000	
F63F	86	71		LDAA	##71	LETRA 'F'
F641	A7	00		STAA	00,X	
F643	86	06		LDAA	##06	LETRA 'I'
F645	A7	01		STAA	01,X	
F647	86	37		LDAA	##37	LETRA 'N'
F649	A7	02		STAA	02,X	
F64B	86	77		LDAA	##77	LETRA 'A'
F64D	A7	03		STAA	03,X	
F64F	86	38		LDAA	##38	LETRA 'L'
F651	A7	04		STAA	04,X	
F653	7F	0030		CLR	\$0030	
F656	CE	0007	SIGA31	LIX	##0007	
F659	BD	F870	SIGA32	JSR	TECLAD	
F65C	D6	40		LDAB	\$40	
F65E	C1	0A		CMPB	##0A	
F660	24	14		BCC	SIGA33	
F662	E7	09		STAB	09,X	
F664	17			TBA		
F665	BD	F8CC		JSR	CONVH	
F668	08			INX		
F669	8C	000B		CFX	##000B	
F66C	26	EB		BNE	SIGA32	
F66E	36			PSHA		
F66F	86	01		LDAA	##01	
F671	97	30		STAA	\$30	
F673	32			PULA		
F674	20	E0		BRA	SIGA31	
F676	96	30	SIGA33	LDAA	\$30	
F678	81	01		CMPA	##01	
F67A	26	XX		BNE	ERR010	
F67C	D6	40	SIGA34	LDAB	\$40	
F67E	C1	11		CMPB	##11	
F680	26	XX		BNE	ERR010	
F682	96	10		LDAA	\$10	
F684	48			ASLA		
F685	48			ASLA		
F686	48			ASLA		
F687	48			ASLA		
F688	9B	11		ADDA	\$11	
F68A	B7	086E		STAA	\$086E	
F68D	96	12		LDAA	\$12	
F68F	48			ASLA		
F690	48			ASLA		
F691	48			ASLA		

FACULTAD DE INGENIERIA ELECTRICA

LAB. CONTROL

ASSEMBLER M6800

```

F692 48          ASLA
F693 9B 13      ADDA $13
F695 B7 086F    STAA $086F
F698 39          RTS
*****
*
* SUBROUTINA "LEPREV" DE LECTURA PREVIA
*
*****
F699 CE 0800 LEPREV LIX  #$0800
F69C FF 0879      STX  $0879
F69F CE 089D      LIX  #$089D
F6A2 FF 0874      STX  $0874
F6A5 39          RTS
*****
*
* SUBROUTINA "LECDAT" PERMITE LA EJECU-
* CION DE LA OPERACION DE LECTURA
*
*****
F6A6 FE 086A LECDIAT LIX  $086A
F6A9 BC 0868      CPX  $0868
F6AC 27 30        BEQ  FINLEC
F6AE B6 086B      LDIAA $086B
F6B1 8B 01        ADDA #$01
F6B3 19          DAA
F6B4 B7 086B      STAA $086B
F6B7 B6 086A      LDIAA $086A
F6BA 89 00        ADCA  #$00
F6BC 19          DAA
F6BD B7 086A      STAA $086A
F6C0 7F 0866      CLR  $0866
F6C3 B6 0866 LECCAN LDIAA $0866
F6C6 7F 0082      CLR  $0082
F6C9 B1 0864      CMPA $0864
F6CC 27 0E        BEQ  FINLCA
F6CE 7C 0866      INC  $0866
F6D1 BD F40B      JSR  IELAY2
F6D4 BD F42B      JSR  ITAI
F6D7 7C 0879      INC  $0879
F6DA 20 E7        BRA  LECCAN
F6DC 20 C8 FINLCA BRA  LECDIAT
F6DE BD F911 FINLEC JSR  BLANK
F6E1 CE 0000      LIX  #$0000
F6E4 39          RTS
*****
*
* SUBROUTINA "TIME" QUE PREPARA EL RETAR*
* DO ADECUADO
*
*****

```

```

*****
F6E5 96 1B    TIME    LDAA $1B
F6E7 84 E7    ANIA #$E7
F6E9 81 24    CMPA #$24
F6EB 27 54    BEQ  TIME1
F6ED 81 44    CMPA #$44
F6EF 27 49    BEQ  TIME2
F6F1 81 84    CMPA #$84
F6F3 27 3E    BEQ  TIME3
F6F5 81 22    CMPA #$22
F6F7 27 33    BEQ  TIME4
F6F9 81 42    CMPA #$42
F6FB 27 28    BEQ  TIME5
F6FD 81 82    CMPA #$82
F6FF 27 1D    BEQ  TIME6
F701 81 21    CMPA #$21
F703 27 12    BEQ  TIME7
F705 81 41    CMPA #$41
F707 27 07    BEQ  TIME8
F709 86 01    LDAA #$01
F70B CE 0001  LDX  #$0001
F70E 20 36    BRA  TIME9
F710 86 02    TIME8 LDAA #$02
F712 CE 00FF  LDX  #$00FF
F715 20 2F    BRA  TIME9
F717 86 08    TIME7 LDAA #$08
F719 CE 00FF  LDX  #$00FF
F71C 20 28    BRA  TIME9
F71E 86 20    TIME6 LDAA #$20
F720 CE 00FF  LDX  #$00FF
F723 20 21    BRA  TIME9
F725 86 30    TIME5 LDAA #$30
F727 CE 00FF  LDX  #$00FF
F72A 20 1A    BRA  TIME9
F72C 86 60    TIME4 LDAA #$60
F72E CE 00FF  LDX  #$00FF
F731 20 13    BRA  TIME9
F733 86 70    TIME3 LDAA #$70
F735 CE 00FF  LDX  #$00FF
F738 20 0C    BRA  TIME9
F73A 86 90    TIME2 LDAA #$90
F73C CE 00FF  LDX  #$00FF
F73F 20 05    BRA  TIME9
F741 86 AA    TIME1 LDAA #$AA
F743 CE 00FF  LDX  #$00FF
F746 FF 0876  TIME9  STX  $0876
F749 B7 0878  STAA $0878
F74C 39      RTS
*****

```

*

*

```

* SUBROUTINA PARA TRANSMISION DE DATOS *
* NORMA SERIAL RS-232C (SERIAL) *
* DESCRIPCION DE LOCALIDADES DE MEMORIA*
* 0800 --- 0863 CANALES GRABADOS *
* 0864 --- TOTAL DE # DE CANALES *
* EN BINARIO *
* 0865 --- TOTAL DE # DE CANALES *
* EN DECIMAL *
* 0868 --- 0869 TOTAL DE # DE MEDICION *
* 086A --- 086B CONTADOR DE NUMERO DE *
* MEDICIONES *
* 086C --- 086D MEDICION INICIAL *
* 086E --- 086F MEDICION FINAL *
* 0870 --- 0871 INCREMENTO DE MEMORIA *
* 0872 --- # DE CANAL DEL QUE SE VA A *
* LEER LA INFORMACION *
* 0873 --- BANDERA QUE INDICA SI SE *
* IMPRIME UN CANAL O VARIOS *
* CANALES *
* 0874 --- 0875 CONTIENE DIRECCION DE *
* LOCALIDAD DE DONDE SE *
* VA A LEER DATO *
* 0880 --- 089C BUFFER DE IMPRESOR *
*
*****

```

```

F74D BD F7BB TRANSM JSR INICIO
F750 CE FF5F LDX #FF5F
F753 8D 3C BSR PGACIA
F755 C6 78 LDAB #78
F757 8D 53 BSR MESSAGE
F759 B6 086B DTQ LDAA $086B
F75C 8B 01 ADDA #01
F75E 19 DAA
F75F B7 086B STAA $086B
F762 B6 086A LDAA $086A
F765 89 00 ADCA #00
F767 19 DAA
F768 B7 086A STAA $086A
F76B FE 086A LDX $086A
F76E BC 0868 CPX $0868
F771 2E 18 BGT FNDAT1
F773 7F 0866 CLR $0866
F776 B6 0866 DTCAN1 LDAA $0866
F779 B1 0864 CMPA $0864
F77C 27 0B BEQ FINCA1
F77E 7C 0866 INC $0866
F781 FE 0874 LDX $0874
F784 BD F800 JSR ROUT
F787 20 ED BRA DTCAN1
F789 20 CE FINCA1 BRA DTQ

```

FACULTAD DE INGENIERIA ELECTRICA

LAB. CONTROL ASSEMBLER M6800

F78B	BD	F911	FNDAT1	JSR	BLANK	
F78E	BD	F02F		JSR	CALC	
F791	86	03	PGACIA	LDAA	##03	MASTER RESET
F793	97	84		STAA	\$84	CONTROL REGISTER
F795	86	02		LDAA	##02	FORMATO DEL CARACTER
F797	97	84		STAA	\$84	
F799	39			RTS		
F79A	96	84	REMPY	LDAA	\$84	RECIBE DATO DE INTERFACE SERIAL
F79C	84	01		ANDA	##01	EN ACUMULADOR "A"
F79E	27	FA		BEG	REMPY	
F7A0	96	85		LDAA	\$85	
F7A2	39			RTS		
F7A3	96	84	TEMPY	LDAA	\$84	TRANSMITE DATO DE ACUMULADOR "B"
F7A5	84	02		ANDA	##02	
F7A7	27	FA		BEG	TEMPY	
F7A9	D7	85		STAB	\$85	
F7AB	39			RTS		
F7AC	96	84	MESAGE	LDAA	\$84	SE TRANSMITE EL CONTENIDO DE
F7AE	84	02		ANDA	##02	UNA TABLA DE DATOS
F7B0	27	FA		BEG	MESAGE	X -- INDICA INICIO D
F7B2	A6	00		LDAA	00,X	B -- INDICA TOTAL DE CARACTERES
F7B4	97	85		STAA	\$85	EN HEXADECIMAL
F7B6	08			INX		
F7B7	5A			DECB		
F7B8	26	F2		BNE	MESAGE	
F7BA	39			RTS		
F7BB	CE	089D	INICIO	LIX	##089D	RUTINA DE INICIALIZACION
F7BE	FF	0874		STX	\$0874	
F7C1	7F	0866		CLR	\$0866	
F7C4	7F	086A		CLR	\$086A	
F7C7	7F	086B		CLR	\$086B	
F7CA	39			RTS		
F7CB	DF	60	ASCII	STX	\$60	
F7CD	84	0F		ANDA	##0F	
F7CF	CE	FF47		LIX	##FF47	
F7D2	08		ASCII1	INX		
F7D3	4A			DECA		
F7D4	2A	FC		BPL	ASCII1	
F7D6	A6	00		LDAA	00,X	
F7D8	DE	60		LIX	\$60	
F7DA	A7	00		STAA	00,X	
F7DC	39			RTS		
F7DD	36		DOSASC	PSHA		
F7DE	44			LSRA		
F7DF	44			LSRA		
F7E0	44			LSRA		
F7E1	44			LSRA		
F7E2	8D	E7		BSR	ASCII	
F7E4	32			PULA		
F7E5	08			INX		

FACULTAD DE INGENIERIA ELECTRICA

LAB. CONTROL

ASSEMBLER M6800

F7E6	8D	E3		BSR	ASCII
F7E8	08			INX	
F7E9	39			RTS	
F7EA	IF	62	BLANKI	STX	\$62
F7EC	CE	0880		LIX	##0880
F7EF	86	20		LIAA	##20
F7F1	A7	00	BLAN2	STAA	00,X
F7F3	08			INX	
F7F4	8C	089C		CPX	##089C
F7F7	26	F8		BNE	BLAN2
F7F9	86	0D		LIAA	##0D
F7FB	A7	00		STAA	00,X
F7FD	DE	62		LIX	\$62
F7FF	39			RTS	
F800	IF	64	ROUT	STX	\$64
F802	CE	0884		LIX	##0884
F805	B6	086A		LIAA	\$086A
F808	8D	D3		BSR	DOSASC
F80A	B6	086B		LIAA	\$086B
F80D	8D	CE		BSR	DOSASC
F80F	FE	0876		LIX	\$0876
F812	A6	00		LIAA	00,X
F814	7C	0876		INC	\$0876
F817	CE	088F		LIX	##088F
F81A	8D	C1		BSR	DOSASC
F81C	FE	0874		LIX	\$0874
F81F	A6	00		LIAA	00,X
F821	44			LSRA	
F822	25	05		BCS	DIG1
F824	C6	31		LDAB	##31
F826	F7	0896		STAB	\$0896
F829	44		DIG1	LSRA	
F82A	25	04		BCS	DIGMAS
F82C	C6	2D		LDAB	##2D
F82E	20	02		BRA	DIG2
F830	C6	2B	DIGMAS	LDAB	##2B
F832	F7	0895	DIG2	STAB	\$0895
F835	44			LSRA	
F836	25	05		BCS	DIG3
F838	C6	30		LDAB	##30
F83A	F7	089A		STAB	\$089A
F83D	44		DIG3	LSRA	
F83E	24	16		BCC	DIG4
F840	C6	2A		LDAB	##2A
F842	F7	0895		STAB	\$0895
F845	F7	0896		STAB	\$0896
F848	F7	0897		STAB	\$0897
F84B	F7	0898		STAB	\$0898
F84E	F7	0899		STAB	\$0899
F851	F7	089A		STAB	\$089A

FACULTAD DE INGENIERIA ELECTRICA

LAB. CONTROL

ASSEMBLER M6800

```

F854 20 11          BRA  DIGFIN
F856 CE 0897  DIG4  LDX  #$0897
F859 BD F7CB       JSR  ASCII
F85C FE 0874       LDX  $0874
F85F A6 01         LDAA 01,X
F861 FE 0898       LDX  $0898
F864 BD F7DD       JSR  DOSASC
F867 FE 0874  DIGFIN LDX  $0874
F86A 08            INX
F86B 08            INX
F86C FF 0874       STX  $0874
F86F 39            RTS

```

```

*****
*
* SUBROUTINA PARA EL BARRIDO Y DECODIFI *
* CACION DEL TECLADO *
*
*****

```

```

F870 BD F997  TECLAD JSR  BARR
F873 4F          CLRA
F874 DF 62       STX  $62
F876 97 80      LAZ01 STAA $80
F878 D6 80       LDAB $80
F87A 53          COMB
F87B 26 07       BNE  STORE1
F87D 4C          INCA
F87E 81 04       CMPA #$04
F880 26 F4       BNE  LAZ01
F882 20 EC       BRA  TECLAD
F884 97 42      STORE1 STAA $42
F886 D7 41       STAB $41
F888 8D 20       BSR  REBOTE
F88A 96 42      NUM    LDAA $42
F88C D6 41       LDAB $41
F88E 7F 0040     CLR  $0040
F891 0C          ROT1   CLC
F892 56          RORB
F893 25 05       BCS  NUMFIN
F895 7C 0040     INC  $0040
F898 20 F7       BRA  ROT1
F89A D6 40      NUMFIN LDAB $40
F89C 4C          INCA
F89D 4A          ROT2   DECA
F89E 27 04       BEQ  CHF
F8A0 CB 08       ADDB #$08
F8A2 20 F9       BRA  ROT2
F8A4 01          CHF    NOP
F8A5 D7 40       STAB $40
F8A7 DE 62       LDX  $62
F8A9 39          RTS

```

```

*****
*
* SUBROUTINA REBOTE ELIMINA EL REBOTE *
* PRODUCIDO POR LA APERTURA O CIERRE *
* UN SWITCH *
*
*****
F8AA 8D 16 REBOTE BSR DELAY
F8AC 96 42 LECTKY LDAA $42
F8AE 97 80 STAA $80
F8B0 D6 80 LDAB $80
F8B2 53 COMB
F8B3 D1 41 CMPB $41
F8B5 26 06 BNE SETFL
F8B7 86 01 LDAA #$01
F8B9 97 43 STAA $43
F8BB 20 EF BRA LECTKY
F8BD 86 01 SETFL LDAA #$01
F8BF 8D 01 BSR DELAY
F8C1 39 RTS
*****
*
* SUBROUTINA RETARDO PRODUCE UNA DEMO- *
* RA DE UN DETERMINADA DURACION *
*
*****
F8C2 CE 0400 DELAY LDX #$0400
F8C5 09 RETAR1 DEX
F8C6 26 FD BNE RETAR1
F8C8 7F 0043 CLR $0043
F8CB 39 RTS
*****
*
* SUBROUTINA PARA CONVERSION DE UN NUME *
* RO BINARIO A SU EQUIVALENTE EN 7 SEG *
* MENTOS *
*
*****
F8CC DF 60 CONVH STX $60
F8CE 84 0F ANDA #$0F
F8D0 CE FFCF LDX #$FFCF
F8D3 08 COMPA1 INX
F8D4 4A DECA
F8D5 2A FC BPL COMPA1
F8D7 A6 00 LDAA 00,X
F8D9 DE 60 LDX $60
F8DB A7 00 STAA 00,X
F8DD 39 RTS
*****
*

```

```

* SUBROUTINA PARA CONVERSION DE UN BYTE *
* BINARIO A SU EQUIVALENTE EN 7 SEGMENTO *
*
*****
F8DE 36      DOSHE  FSHA
F8DF 44      LSRA
F8E0 44      LSRA
F8E1 44      LSRA
F8E2 44      LSRA
F8E3 8D E7   BSR  CONVH
F8E5 32      FULA
F8E6 08      INX
F8E7 8D E3   BSR  CONVH
F8E9 08      INX
F8EA 39      RTS
*****
*
* SUBROUTINA ERROR PREPARA EL BUFFER DE *
* MEMORIA PARA LOS DISPLAYS CON CODIGO *
* DE ERROR CONTENIDO EN B *
*
*****
F8EB CE 0000 ERROR  LDIX  #$0000
F8EE 86 AB        LDIAA #$AB
F8F0 8D EC        BSR  DOSHE
F8F2 86 CD        LDIAA #$CD
F8F4 8D E8        BSR  DOSHE
F8F6 17          TBA
F8F7 44          LSRA
F8F8 44          LSRA
F8F9 44          LSRA
F8FA 44          LSRA
F8FB 8A E0        ORAA  #$E0
F8FD 8D DF        BSR  DOSHE
F8FF 17          TBA
F900 48          ASLA
F901 48          ASLA
F902 48          ASLA
F903 48          ASLA
F904 8A 0F        ORAA  #$0F
F906 8D D6        BSR  DOSHE
F908 86 FF        LDIAA #$FF
F90A 8D D2        BSR  DOSHE
F90C 86 0F        LDIAA #$0F
F90E 8D BC        BSR  CONVH
F910 39          RTS
*****
*
* SUBROUTINA QUE BORRA LAS LOCALIDADES *
* DEL BUFFER DE MEMORIA ASIGNADO A LOS *

```

```

* DISPLAYS *
*
*****
F911 1F 60   BLANK STX  $60
F913 CE 0000 LDX  #$0000
F916 4F      CLRA
F917 A7 00   LOOP  STAA 00,X
F919 08      INX
F91A 8C 000B CPX  #$000B
F91D 26 F8   BNE  LOOP
F91F DE 60   LDX  $60
F921 39      RTS
*****
*
* SUBROUTINA PARA DIVIDIR DOS NUMEROS *
* DE 16 BITS. EL CONTENIDO DE A Y B SE *
* DIVIDE PARA EL CONTENIDO DE X Y X+1 *
* EL RESULTADO SE ALMACENA EN A Y B *
*
*****
F922 37      DIV1  PSHB
F923 36      PSHA
F924 A6 00   LDAA 00,X
F926 E6 01   LDAB 01,X
F928 37      PSHB
F929 36      PSHA
F92A 34      DES
F92B 30      TSX
F92C 86 01   LDAA  #$01
F92E 6D 01   TST  01,X
F930 2B 0B   BMI  DIV2
F932 4C      DIV3  INCA
F933 68 02   ASL  02,X
F935 69 01   ROL  01,X
F937 2B 04   BMI  DIV2
F939 81 11   CMPA  #$11
F93B 26 F5   BNE  DIV3
F93D A7 00   DIV2  STAA 00,X
F93F A6 03   LDAA 03,X
F941 E6 04   LDAB 04,X
F943 6F 03   CLR  03,X
F945 6F 04   CLR  04,X
F947 E0 02   DIV4  SUBB 02,X
F949 A2 01   SBCA 01,X
F94B 24 07   BCC  DIV5
F94D EB 02   ADDB 02,X
F94F A9 01   ADCA 01,X
F951 0C      CLC
F952 20 01   BRA  DIV6
F954 0D      DIV5  SEC

```

FACULTAD DE INGENIERIA ELECTRICA

LAB. CONTROL

ASSEMBLER M6800

```

F955 69 04   DIV6   ROL  04,X
F957 69 03           ROL  03,X
F959 64 01           LSR  01,X
F95B 66 02           ROR  02,X
F95D 6A 00           DEC  00,X
F95F 26 E6           BNE  DIV4
F961 31           INS
F962 31           INS
F963 31           INS
F964 32           PULA
F965 33           PULB
F966 39           RTS

```

```

*****
*
* SUBROUTINA PARA CONVERSION DE UN NU - *
* MERO BINARIO A SU EQUIVALENTE DECIMAL*
*
*
*****

```

```

F967 DF 55   BINARY STX  $55
F969 DE FFE0 LDX  #$FFE0
F96C 7F 0054 DEC1  CLR  $0054
F96F E0 01   DEC2  SUBB 01,X
F971 A2 00           SBCA 00,X
F973 25 05           BCS  DEC5
F975 7C 0054        INC  $0054
F978 20 F5           BRA  DEC2
F97A EB 01   DEC5  ADDB 01,X
F97C A9 00           ADCA 00,X
F97E 36           PSHA
F97F DF 57           STX  $57
F981 DE 55           LDX  $55
F983 96 54           LDAA $54
F985 8B 30           ADDA #$30
F987 A7 00           STAA 00,X
F989 32           PULA
F98A 08           INX
F98B DF 55           STX  $55
F98D DE 57           LDX  $57
F98F 08           INX
F990 08           INX
F991 8C FFEA        CPX  #$FFEA
F994 26 D6           BNE  DEC1
F996 39           RTS

```

```

*****
*
* SUBROUTINA PARA BARRIDO DE DISPLAYS *
* SE MUESTRA LA INFORMACION CONTENIDA *
* EN EL BUFFER DE MEMORIA QUE ASIGNADO *
* A LOS INDICADORES LUMINOSOS *

```

```

*
*****
F997 IIF 60   BARR   STX  $60
F999 I16 1B   BARR   LIAB $1B
F99B I17 0B   BARR   STAB $0B
F99D I16 1C   BARR   LIAB $1C
F99F I17 0C   BARR   STAB $0C
F9A1 C6 03   BARR   LIAB ##03
F9A3 CE 0000  BARR   LIX  ##0000
F9A6 A6 00   LAZ2   LIAA 00,X
F9A8 97 81   LAZ2   STAA $81
F9AA I17 80   LAZ2   STAB $80
F9AC 86 01   LAZ2   LIAA ##01
F9AE 97 50   LAZ2   STAA $50
F9B0 86 A0   RET2   LIAA ##A0
F9B2 4A     RET1   DECA
F9B3 26 FI   RET1   BNE  RET1
F9B5 7A 0050 RET1   DEC  $0050
F9B8 26 F6   RET1   BNE  RET2
F9BA 5C     RET1   INCB
F9BB 4F     RET1   CLRA
F9BC 97 81   RET1   STAA $81
F9BE 08     RET1   INX
F9BF 8C 000D RET1   CFX  ##000D
F9C2 26 E2   RET1   BNE  LAZ2
F9C4 IE 60   RET1   LIX  $60
F9C6 39     RET1   RTS
*****
*
* SUBROUTINA PARA EL CHEQUEO DE LA MEMO *
* RIA EXISTENTE EN EL EQUIPO. EL RESUL *
* TADO SE ALMACENA EN LAS LOCALIDADES *
* 38H Y 39H *
*
*****
F9C7 CE 0800 MEMORY LIX  ##0800 X CONTIENE PRIMERA LOCALIDAD DE RAM
F9CA IIF 34   MEMORY STX  $34
F9CC 86 55   MEMORY LIAA ##55 DATO DE PRUEBA 55 ---> 0101 0101
F9CE A7 00   CHECK  STAA 00,X SE ALMACENA DATO EN LOCALIDAD A CHEQU
F9D0 01     CHECK  NOP
F9D1 01     CHECK  NOP
F9D2 01     CHECK  NOP
F9D3 01     CHECK  NOP
F9D4 E6 00   CHECK  LIAB 00,X SE LEE DATO GRABADO EN MEMORIA
F9D6 11     CHECK  CBA VERIFICACION DE DATO GRABADO
F9D7 26 0F   CHECK  BNE  ENIDCHK
F9D9 43     CHECK  COMA NUEVO DATO DE PRUEBA AA ---> 1010
F9DA A7 00   CHECK  STAA 00,X
F9DC 01     CHECK  NOP
F9DD 01     CHECK  NOP

```

FACULTAD DE INGENIERIA ELECTRICA

LAB. CONTROL

ASSEMBLER M6800

```

F9DE 01      NOP
F9DF 01      NOP
F9E0 E6 00   LDAB 00,X    LECTURA DE DATO GRABADO
F9E2 11      CBA      VERIFICACIÓN DE DATO GRABADO
F9E3 26 03   BNE  ENDCHK
F9E5 08      INX      INCREMENTE CONTADOR DE DIRECCIONES
F9E6 20 E6   BRA  CHECK  REGRESE A HACER EL CHEQ
F9E8 DF 38   ENDCHK STX  $38    FIN DE CHEQUEO DE MEMORIA
F9EA D6 39   LDAB $39   DIRECCION DE ULTIMO BYTE DE MEMORIA
F9EC 96 38   LDAA $38   EXISTENTE SE ALMACENA EN LOCALIDADES
F9EE C0 00   SUBB #$00 0038 Y 0039
F9F0 82 08   SBCA #$08
F9F2 97 5A   STAA $5A
F9F4 D7 5B   STAB $5B
F9F6 CE 0029 LDX  #$0029
F9F9 BD F967 JSR  BINARY CONVERSION DE DATO BINARIO EN DECIMAL
F9FC 39      RTS

*****
*
* SUBROUTINA PARA MOSTRAR EN LOS INDICA *
* DORES LUMINOSOS EL TOTAL DE MEMORIA *
* EXISTENTE EN EL EQUIPO                *
*
*****
F9FD CE 0000 MEMORI LDX  #$0000 PROCESO PARA MOSTRAR EL NUMERO
FA00 A6 29  MEMOR  LDAA 29,X  TOTAL DE BYTES DE MEMORIA EN LOS
FA02 BD F8CC JSR  CONVH  DISPLAYS
FA05 08      INX
FA06 8C 0005 CFX  #$0005
FA09 26 F5   BNE  MEMOR
FA0B 39      RTS

*****
*
* SUBROUTINA PARA CONVERSION DE UN NU - *
* MERO DECIMAL A SU EQUIVALENTE BINARIO*
* 0010 --- MSB                            *
* 0011 --- 2do. DIGITO                    *
* 0012 --- 3er. DIGITO                    *
* 0013 --- LSB                            *
* $55 --- LOCALIDAD DE BORRADOR          *
* $20 --- MSB DE RESULTADO                *
* $21 --- LSB DE RESULTADO                *
* $64,65,66,67 --- LOCALIDADES DE BARR *
*
*****
FA0C DF 55  DECIMA STX  $55
FA0E 7F 0020 CLR  $0020
FA11 7F 0021 CLR  $0021
FA14 CE FFE2 LDX  #$FFE2
FA17 DF 64  STX  $64

```

FACULTAD DE INGENIERIA ELECTRICA

LAB. CONTROL

ASSEMBLER M6800

FA19	CE	0010		LIX	#\$0010
FA1C	DF	66		STX	\$66
FA1E	A6	00	DECIM1	LIDAA	00,X
FA20	BD	FA34		JSR	SUMAD
FA23	08			INX	
FA24	08			INX	
FA25	DF	64		STX	\$64
FA27	DE	66		LIX	\$66
FA29	08			INX	
FA2A	DF	66		STX	\$66
FA2C	8C	0014		CPX	#\$0014
FA2F	26	ED		BNE	DECIM1
FA31	DE	55		LIX	\$55
FA33	39			RTS	
FA34	DE	64	SUMAD	LIX	\$64
FA36	4C			INCA	
FA37	4A		SUMAD1	DECA	
FA38	27	10		BEQ	SUMAD2
FA3A	36			PSHA	
FA3B	96	20		LIDAA	\$20
FA3D	D6	21		LIDAB	\$21
FA3F	EB	01		ADDE	01,X
FA41	A9	00		ADCA	00,X
FA43	97	20		STAA	\$20
FA45	D7	21		STAB	\$21
FA47	32			PULA	
FA48	20	ED		BRA	SUMAD1
FA4A	39		SUMAD2	RTS	

T A B L A D E S I M B O L O S

F000	PRINC	F02F	CALC	F040	ERROR1
F045	ERR1	F053	CALNC	F063	CALNM
F073	INDES	F08C	INDES1	F09A	INDES2
F0A0	INDES3	F0AC	INDL1	F0B2	INDL2
F0B8	INDL3	F0C4	INDL4	F0CD	ERROR2
F0D2	ERR2	F0E1	FIN	F0F0	FIN1
F0FF	NUMCAN	F12C	NUMC3	F12F	NUMC1
F14C	NUMC2	F154	NUMC6	F15C	NUMC4
F168	NUMC41	F181	NC1	F184	NC2
F190	ERROR3	F195	ERR3	F1A1	NUMMED
F1D0	NUMM1	F1D3	NUMM2	F1F0	NUMM3
F1F8	NUMM4	F200	NUMM5	F222	NUMM6
F235	NUMM7	F23B	NMM1	F23E	NMM2
F249	NMM3	F24A	ERROR4	F24F	ERR4
F25B	INGDES	F267	IND2	F27B	ESCALA
F284	INTER	F28D	ERROR5	F292	ERR5
F29E	MEDIC	F2B4	MEDIC1	F2B7	MEDIC2
F2D4	MEDIC3	F2DC	MEDIC4	F2E2	ERROR6
F2E7	ERR6	F2F3	SHIFT1	F300	S3
F308	S4	F30A	CARGA1	F30C	SHIFT2
F319	S1	F321	S2	F323	CARGA2
F325	MEDIC5	F326	ADPREV	F34A	MEDIC6
F354	MEDIC7	F3AE	FLIP	F3BF	DATAQ
F3E2	DATCAN	F402	FINDCA	F404	FINDAT
F407	FIND1	F40B	DELAY2	F410	DELAY3
F41C	DATAD	F42B	DTAD	F434	UN
F436	LSR1	F441	ZERO	F448	LSR2
F44A	LSR3	F460	CANAL6	F483	DELAY1
F48A	DEL12	F48D	DEL11	F49E	ERRORD
F4B3	INGDL	F4BB	INDGL2	F4CB	ERROR7
F4D0	ERR7	F4DC	TIEMPO	F4EB	TI1
F4F3	TI2	F4F5	TI3	F4FB	CANALL
F515	SIGA1	F528	UNICO	F53C	SIGA
F545	SIGA2	F572	SIGA3	F575	SIGA4
F592	SIGA5	F598	SIGA6	F59E	ERROR8
F5A3	ERR8	F5B2	SIGA7	F5BD	SIGA10
F5CA	SIGA11	F5DE	SIGA12	F5E1	SIGA13
F5FE	SIGA14	F606	SIGA15	F60E	SIGA16
F625	ERROR9	F62A	ERR9	F639	SIGA30
F656	SIGA31	F659	SIGA32	F676	SIGA33
F67C	SIGA34	F699	LEPREV	F6A6	LECIAT
F6C3	LECCAN	F6DC	FINLCA	F6DE	FINLEC
F6E5	TIME	F710	TIME8	F717	TIME7
F71E	TIME6	F725	TIME5	F72C	TIME4
F733	TIME3	F73A	TIME2	F741	TIME1
F746	TIME9	F74D	TRANSM	F759	DTQ
F776	DTCAN1	F789	FINCA1	F78B	FNDAT1
F791	PGACIA	F79A	EMPTY	F7A3	TEMPTY
F7AC	MESAGE	F7BB	INICIO	F7CB	ASCII

F7D2	ASCII1	F7DD	DOSASC	F7EA	BLANKI
F7F1	BLAN2	F800	ROUT	F829	DIG1
F830	DIGMAS	F832	DIG2	F83D	DIG3
F856	DIG4	F867	DIGFIN	F870	TECLAD
F876	LAZ01	F884	STORE1	F88A	NUM
F891	ROT1	F89A	NUMFIN	F89D	ROT2
F8A4	CHF	F8AA	REBOTE	F8AC	LECTKY
F8BD	SETFL	F8C2	DELAY	F8C5	RETAR1
F8CC	CONVH	F8D3	COMPA1	F8DE	DOSHE
F8EB	ERROR	F911	BLANK	F917	LOOP
F922	DIV1	F932	DIV3	F93D	DIV2
F947	DIV4	F954	DIV5	F955	DIV6
F967	BINARY	F96C	DEC1	F96F	DEC2
F97A	DEC5	F997	BARR	F9A6	LAZ2
F9B0	RET2	F9B2	RET1	F9C7	MEMORY
F9CE	CHECK	F9E8	ENDCHK	F9FD	MEMOR1
FA00	MEMOR	FA0C	DECIMA	FA1E	DECIM1
FA34	SUMAD	FA37	SUMAD1	FA4A	SUMAD2

C A P I T U L O I I I

CONSTRUCCION Y EXPERIMENTACION

- 3.1 Construcción
- 3.2 Costos
- 3.3 Pruebas realizadas

CAPITULO III

CONSTRUCCION Y EXPERIMENTACION

En este capítulo se hablará de la implementación física del equipo. En la figura 3.1 se puede observar el aspecto exterior del equipo, en el que se puede apreciar, el teclado, arreglo de displays, arreglo de leds y los switches adicionales para la operación del equipo.

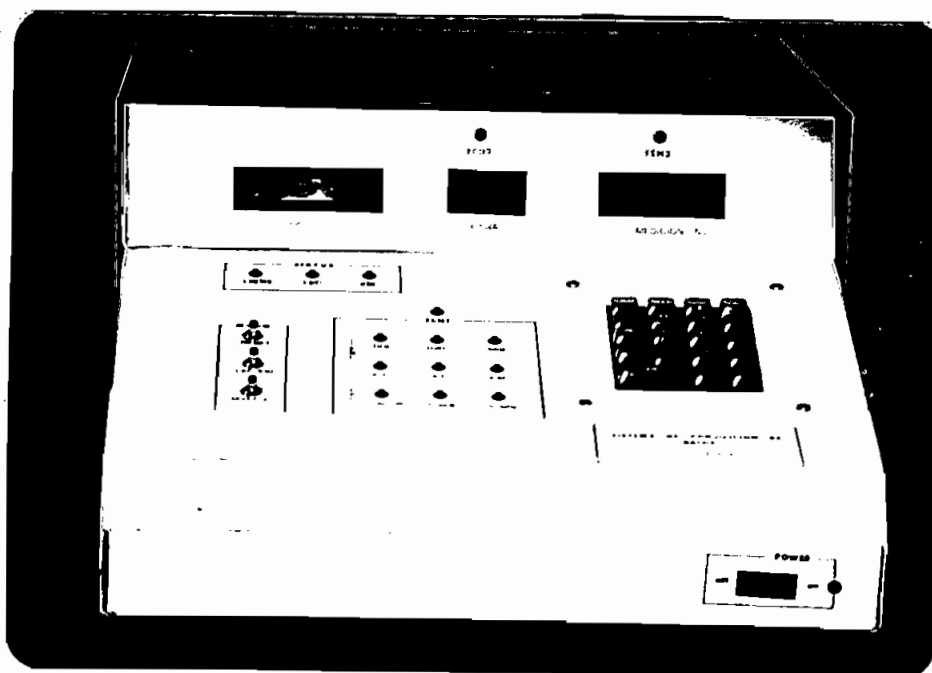


FIG. 3.1.- Vista frontal del sistema de adquisición de datos.

3.1 CONSTRUCCION.

En la implementación real del circuito se ha procurado reducir al máximo el espacio físico que ocupan los diferentes elementos, se ha previs-

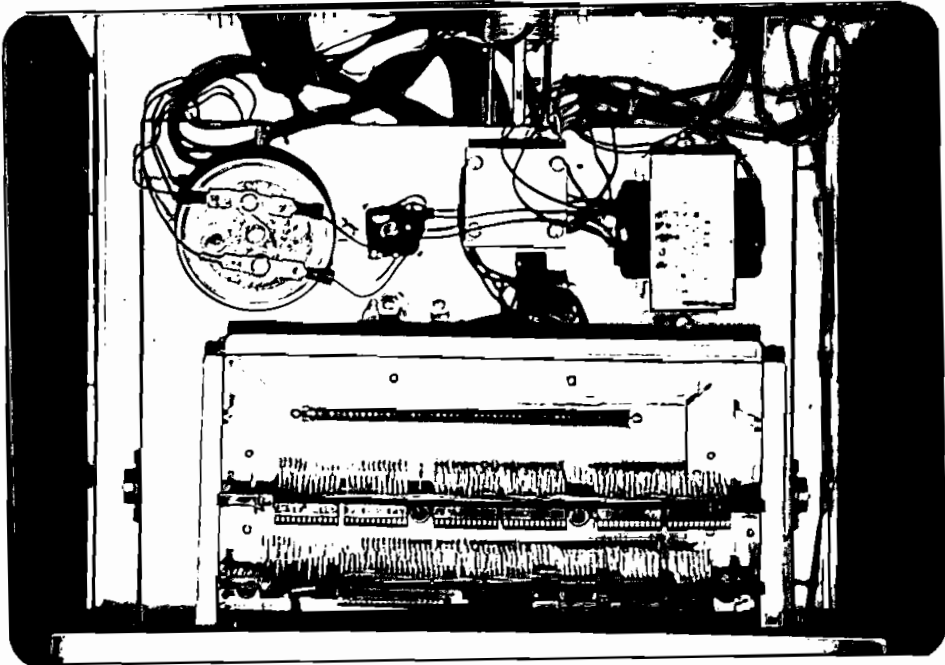
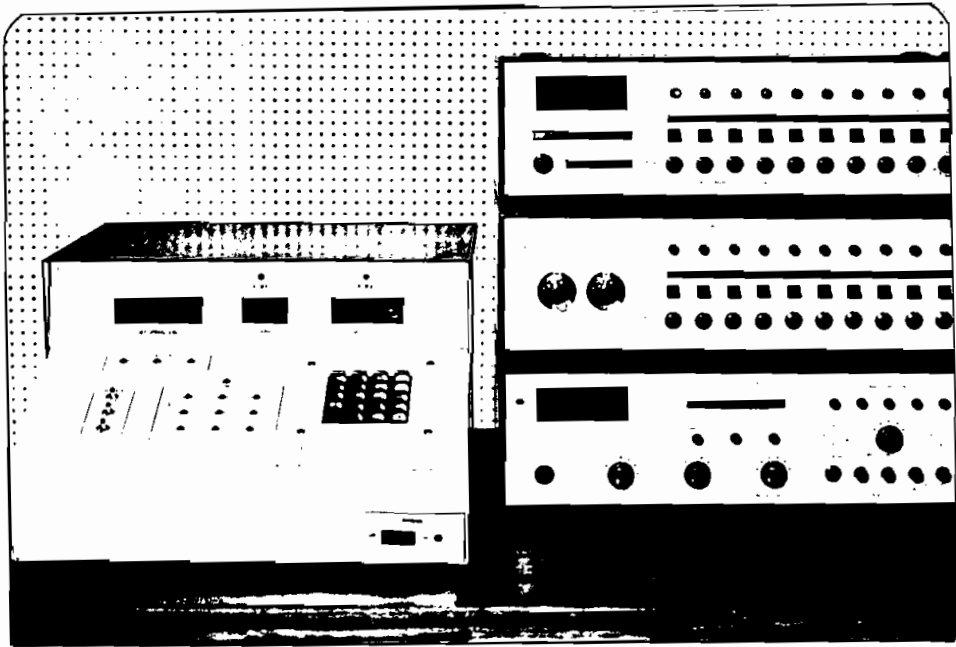


FIGURA 3.2.- Vista de planta del sistema de adquisición de datos.

to también que el mantenimiento del equipo se lo realice de una manera fácil, para lo cual se utiliza conectores de tipo DIP para la interconexión de la tarjeta de control con los periféricos de entrada y salida como son: teclado, arreglo de display, arreglo de leds y switches adicionales.

3.1.1 DISTRIBUCION GENERAL DE LOS ELEMENTOS.

En la figura 3.2 se muestra, de una manera general la distribución de los diferentes elementos y tarjetas. Las tarjetas, sean estas de circuitos impreso o de entorchar se las identifica por la letra T seguido por un número. Los conectores o zócalos de las tarjetas se designan con la letra J. Los conectores tipo DIP se designan con las letras DP, los conectores de interfase con los periféricos externos se denominan con las letras DB.

Las conexiones entre tarjetas y elementos en lo posible se han hecho en la parte inferior, con excepción de los elementos de la fuente de poder y las conexiones de la tarjeta de control T1 con los componentes del panel frontal que, como se indicó anteriormente, se las realiza mediante conectores tipo DIP (DP1, DP2, DP3, DP4).

Todas las tarjetas poseen un zócalo con el fin de facilitar la interconexión entre ellas y el mantenimiento.

3.1.2 DISTRIBUCION DE LOS ELEMENTOS EN LAS TARJETAS.

A continuación se describirá la disposición física de los diferentes e-

lementos en las tarjetas.

3.1.2.a TARJETA DE CONTROL T1 Y CONECTOR J1.

En este caso se utiliza una tarjeta para wire wrap del tipo S-100 Vector board número 8804 que tiene en su extremo 100 terminales accesibles al usuario, J1 en este caso es un conector del tipo R681-1 también para wire wrapping.

La distribución de los elementos en esta tarjeta se muestra en la figura 3.3 y las conexiones del zócalo J1 a continuación:

J1

1	+ Vcc	51	+ Vcc
2	Selector (1)	52	Selector (4)
3	Selector (2)	53	Selector (5)
4	Selector (3)	54	Selector (6)
5	J2(5),J3(5)	55	Selector (7)
6	J2(6),J3(6)	56	J2(56),J3(56)
7	J2(7),J3(7)	57	J2(57),J3(57)
8	J2(8),J3(8)	58	J2(58),J3(58)
9	J2(9),J3(9)	59	J2(59),J3(59)
10	J2(10),J3(10)	60	J2(60),J3(60)
11	J2(11),J3(11)	61	J2(61),J3(61)
12	J2(12),J3(12)	62	J2(62),J3(62)
13	Power RESET	63	J2(63),J3(63)
14		64	

15	DB3(20) $\overline{\text{CTS}}$	65	DB3(7) CKT GND (tierra de se- ñal.
16		66	-12 V
17	DB3(8) RTS	67	+12 V
18	JACK (control remoto)	68	DB3(3) Tx
19		69	DB3(2) Rx
20	J2(20),J3(20)	70	J2(70),J3(70)
21	J2(21),J3(21)	71	J2(71),J3(71)
22	J2(22),J3(22)	72	J2(72),J3(72)
23	J2(23),J3(23)	73	J2(73),J3(73)
24		74	
25		75	
26	J2(26),J3(26)	76	J2(76),J3(76)
27	J2(27),J3(27)	77	J2(77),J3(77)
28	J2(28),J3(28)	78	J2(78),J3(78)
29	J2(29),J3(29)	79	J2(79),J3(79)
30	J2(30),J3(30)	80	
31	J2(31),J3(31)	81	Selector (8)
32		82	Selector (9)
33		83	
34		84	
35	DB2(19)	85	DB2(18)
36	DB2(20)	86	DB2(15)
37	DB2(17)	87	DB2(16)
38	DB2(13)	88	DB1(23)
39	DB2(14)	89	DB1(2)
40	DB1(19)	90	DB1(3)
41	DB1(22)	91	DB1(6)

42	DB1(13)	92	DB1(11)
43	DB1(21)	93	DB1(17)
44	DB1(4)	94	DB1(8)
45	DB1(15)	95	DB1(10)
46	DB1(7)	96	DB1(20)
47		97	J2(97)
48		98	J2(98)
49		99	
50	GND	100	GND

TARJETA DE CONTROL

Lista de Elementos

U25	MC6802	Microprocesador 8 bits
U26	2716	Memoria EPROM
U27	SN74LS175	Flip - Flop tipo D
U28	SN74LS155	Dual decoder/demultiplexer
U29	SN74LS244	Octal driver - tres estados
U30	SN74LS374	Octal Flip - Flop tipo D
U31	SN74LS93	Contador Binario
U32	SN74LS244	Octal driver - tres estados
U33	SN74LS244	Octal driver - tres estados
U34	SN74LS244	Octal driver - tres estados
U35	SN74154N	Decodificador 4 - 16
U36	SN7437N	Compuerta NAND tipo buffer
U37	SN7437N	Compuerta NAND tipo buffer
U38	SN7404	Inversor
U39	SN7400	Compuerta NAND

U40	SN7432	Compuerta OR
U41	LM555N	Temporizador
U42	MC6850	ACIA
U43	LM555N	Temporizador
U44	LM1488N	Interfase
U45	LM1489N	Interfase
U46	SN7474N	Flip - Flop tipo D
U47	2716	Memoria EPROM
U48	SN74154N	Decodificador 4 - 16
R1	Resistencia	10 Ω $\frac{1}{4}$ W
R2	Resistencia	10 Ω $\frac{1}{4}$ W
R3	Resistencia	10 Ω $\frac{1}{4}$ W
⋮		
R8	Resistencia	10 Ω $\frac{1}{4}$ W
R9	Resistencia	5.6 K Ω $\frac{1}{4}$ W
⋮		
R16	Resistencia	5.6 K Ω $\frac{1}{4}$ W
R17	Resistencia	1 K Ω $\frac{1}{4}$ W
R18	Resistencia	1 K Ω $\frac{1}{4}$ W
R19	Resistencia	1 K Ω $\frac{1}{4}$ W
R20	Resistencia	1 K Ω $\frac{1}{4}$ W
R21	Resistencia	5.6 K Ω $\frac{1}{4}$ W
R22	Resistencia	1 K Ω $\frac{1}{4}$ W
R23	Resistencia	10 M Ω $\frac{1}{4}$ W
R24	Resistencia	1 K Ω $\frac{1}{4}$ W
R25	Resistencia	1 K Ω $\frac{1}{4}$ W
R26	Resistencia	3.3 K Ω $\frac{1}{4}$ W
R27	Resistencia	15 K Ω $\frac{1}{4}$ W

R28	Resistencia	1 K Ω $\frac{1}{4}$ W
P1	Potenci6metro	5 K Ω
C19	Capacitor	39 pF
C20	Capacitor	.1 μ F
C21	Capacitor	.1 μ F
C22	Capacitor	.1 μ F
C23	Capacitor	.1 μ F
C24	Capacitor	.1 μ F
C25	Capacitor	39 pF
C26	Capacitor	.1 μ F
C27	Capacitor	.1 μ F
C28	Capacitor	.1 μ F
C29	Capacitor	.1 μ F
C30	Capacitor	.1 μ F
C31	Capacitor	.1 μ F
C32	Capacitor	.1 μ F
C33	Capacitor	.1 μ F
C34	Capacitor	.1 μ F
C35	Capacitor	.1 μ F
C36	Capacitor	.1 μ F
C37	Capacitor	.1 μ F
C38	Capacitor	.1 μ F
C39	Capacitor	.100 μ F; 50 V
C40	Capacitor	100 μ F / 50 V
C41	Capacitor	.1 μ F
C42	Capacitor	.047 μ F
C43	Capacitor	1 nF
C44	Capacitor	.01 μ F

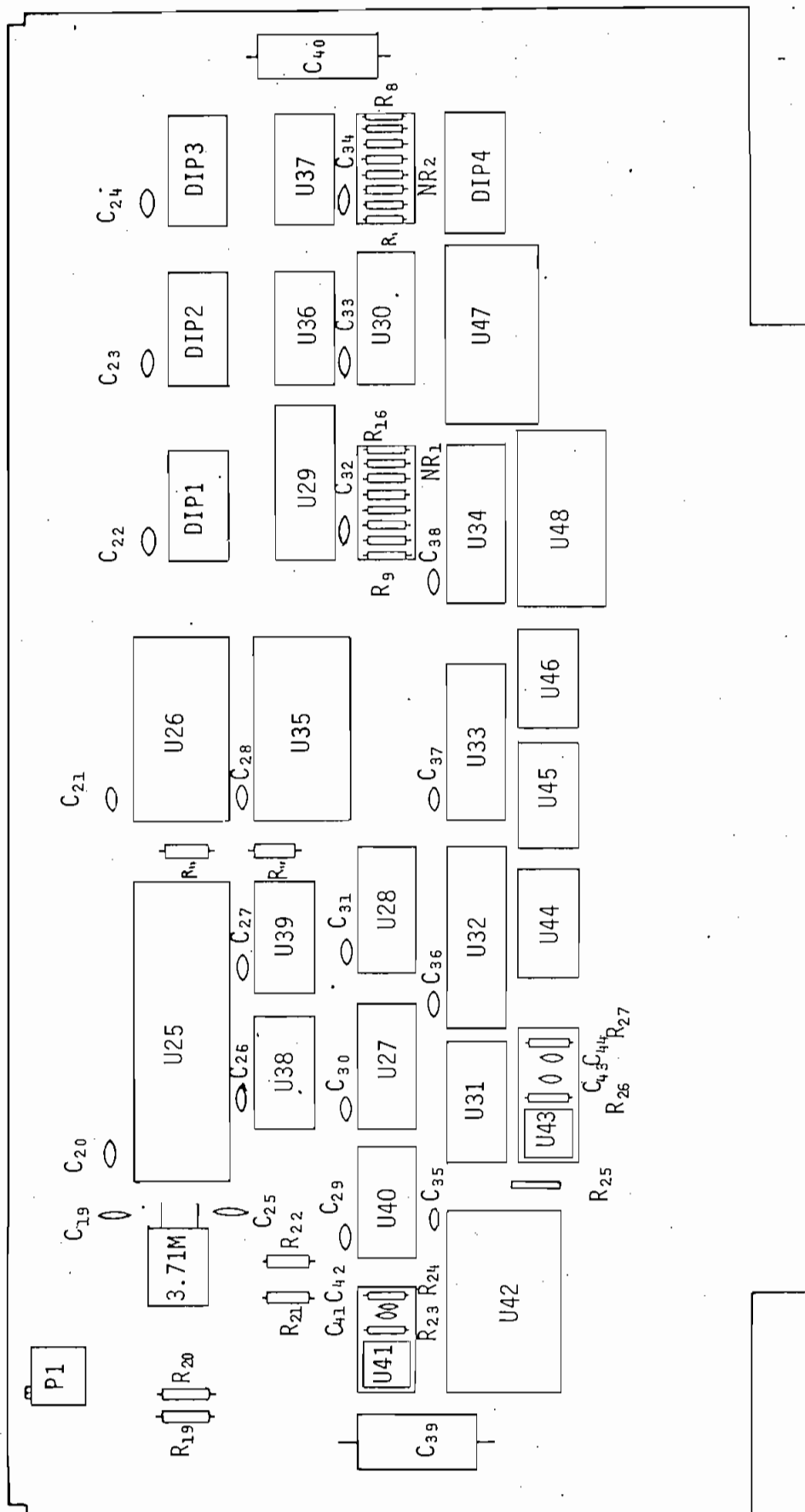


FIGURA 3.3.- DIAGRAMA ESQUEMATICO DE LA TARJETA DE CONTROL T1.

3.1.2.b TARJETA DE MEMORIA T2 Y CONECTOR J2

En este caso se utiliza también una tarjeta del tipo S-100 vectorboard 8804. La distribución de los elementos en esta tarjeta se muestra en la figura 3.4 y las conexiones del zócalo J2 a continuación:

J2		J2	
1	+Vcc	51	+Vcc
2		52	
3		53	
4		54	
5	J1(5),J3(5)	55	
6	J1(6),J3(6)	56	J1(56),J3(56)
7	J1(7),J3(7)	57	J1(57),J3(57)
8	J1(8),J3(8)	58	J1(58),J3(58)
9	J1(9),J3(9)	59	J1(59),J3(59)
10	J1(10),J3(10)	60	J1(60),J3(60)
11	J1(11),J3(11)	61	J1(61),J3(61)
12	J1(12),J3(12)	62	J1(62),J3(62)
13		63	J1(63),J3(63)
14		64	
15		65	
16		66	
17		67	
18		68	
19		69	
20	J1(20),J3(20)	70	J1(70),J3(70)

21	J1(21),J3(21)	71	J1(71),J3(71)
22	J1(22),J3(22)	72	J1(72),J3(72)
23	J1(23),J3(23)	73	J1(73),J3(73)
24		74	
25		75	
26	J1(26),J3(26)	76	J1(76),J3(76)
27	J1(27),J3(27)	77	J1(77),J3(77)
28	J1(28),J3(28)	78	J1(78),J3(78)
29	J1(29),J3(29)	79	J1(79),J3(79)
30	J1(30),J3(30)	80	
31	J1(31),J3(31)	81	
32		82	
33		83	
34		84	
35		85	
36		86	
37		87	
38		88	
39		89	
40		90	
41		91	
42		92	
43		93	
44		94	
45		95	
46		96	
47		97	J1(97)
48		98	J1(98)

49

99

50 GND

100 GND

TARJETA DE MEMORIA

Lista de Elementos

U1	HM6116P-3	Memoria RAM (2K x 8)
U2	HM6116P-3	Memoria RAM (2K x 8)
U3	HM6116P-3	Memoria RAM (2K x 8)
U4	HM6116P-3	Memoria RAM (2K x 8)
U5	HM6116P-3	Memoria RAM (2K x 8)
U6	HM6116P-3	Memoria RAM (2K x 8)
U7	HM6116P-3	Memoria RAM (2K x 8)
U8	HM6116P-3	Memoria RAM (2K x 8)
U9	HM6116P-3	Memoria RAM (2K x 8)
U10	HM6116P-3	Memoria RAM (2K x 8)
U11	HM6116P-3	Memoria RAM (2K x 8)
U12	HM6116P-3	Memoria RAM (2K x 8)
U13	SN74LS241	Octal driver - tres estados
U14	SN74LS241	Octal driver - tres estados
U15	SN74LS245	Octal driver - tres estados
U16	SN74LS241	Octal driver - tres estados
U17	HM6116P-3 (Opcional)	Memoria RAM
U18	HM6116P-3 (Opcional)	Memoria RAM
U19	SN74154	Decodificador 4 - 16
U20	HM6116P-3	Memoria RAM
U21	HM6116P-3	Memoria RAM
U22	HM6116P-3	Memoria RAM

U23	SN7430	Compuerta NAND de 8 entradas
U24	SN7430	Compuerta NAND de 8 entradas
C1	Capacitor	100 μ F / 50 v Electrolítico
C2	Capacitor	100 μ F / 50 v Electrolítico
C3	Capacitor	100 μ F / 50 v Electrolítico
C4	Capacitor	100 μ F / 50 v Electrolítico
C5	Capacitor	1 μ F / 35 v Tantalio
C6	Capacitor	1 μ F / 35 v Tantalio
C7	Capacitor	.1 μ F
C8	Capacitor	.1 μ F
C9	Capacitor	.1 μ F
C10	Capacitor	.1 μ F
C11	Capacitor	.1 μ F
C12	Capacitor	.1 μ F
C13	Capacitor	.1 μ F
C14	Capacitor	.1 μ F
C15	Capacitor	.1 μ F
C16	Capacitor	.1 μ F
C17	Capacitor	.1 μ F
C18	Capacitor	.1 μ F

3:1.2.c. CONECTOR J3

En este caso sólo se ha implementado un conector del tipo R681-1 con la previsión de que en un futuro no muy lejano se realice una expansión de memoria, para lo cual se debe colocar otra tarjeta de memoria, pero hay que tomar en consideración la distribución de todas y cada una de las señales en los respectivos pines del conector.

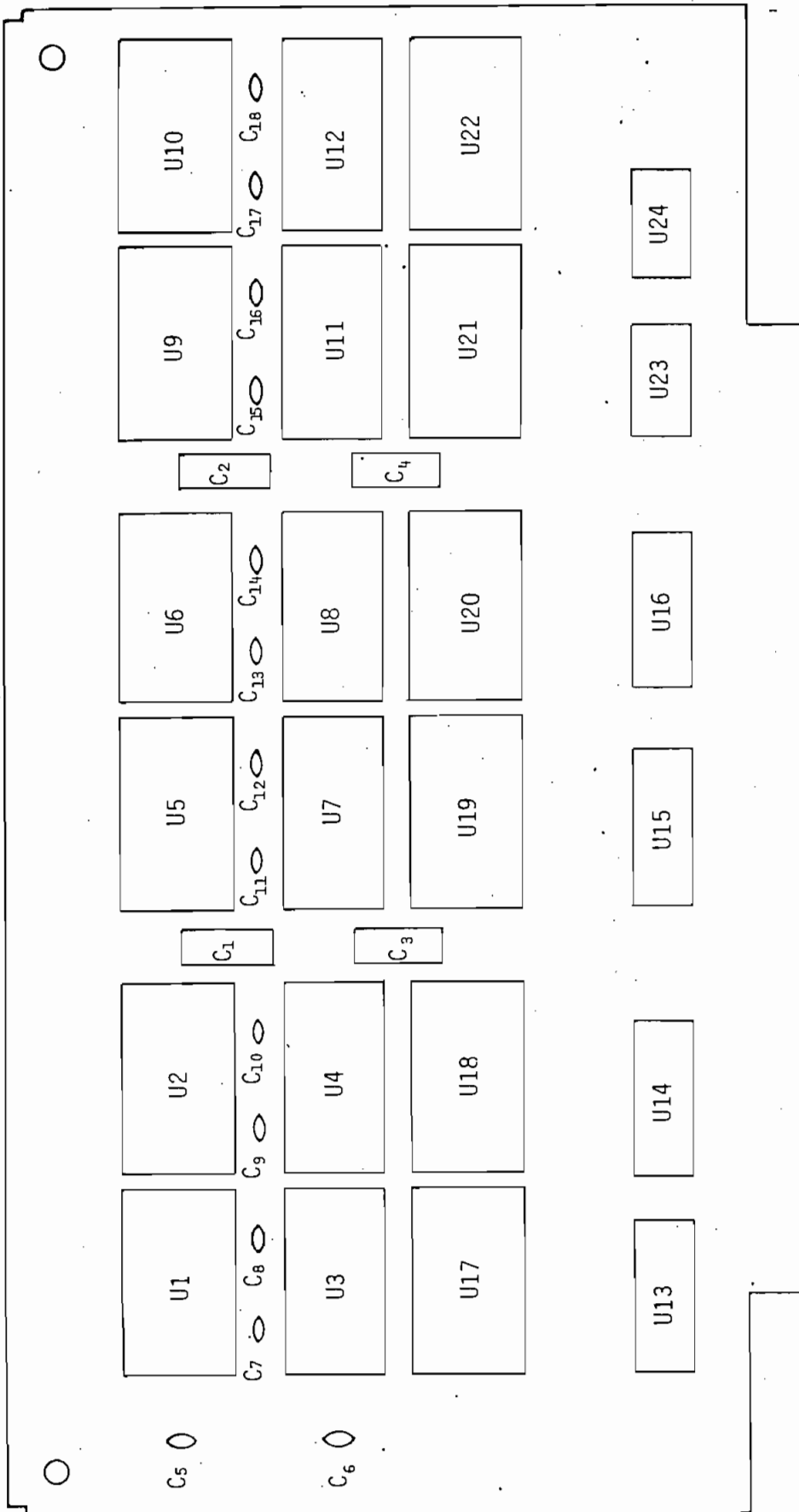


FIGURA 3.4.- TARJETA DE MEMORIA T2.

A continuación se describe la distribución de pines en este conector.

J3		J3	
1	+ Vcc	51	+ Vcc
2		52	
3		53	
4		54	
5	J1(5),J2(5)	55	
6	J1(6),J2(6)	56	J1(56),J2(56)
7	J1(7),J2(7)	57	J1(57),J2(57)
8	J1(8),J2(8)	58	J1(58),J2(58)
9	J1(9),J2(9)	59	J1(59),J2(59)
10	J1(10),J2(10)	60	J1(60),J2(60)
11	J1(11),J2(11)	61	J1(61),J2(61)
12	J1(12),J2(12)	62	J1(62),J2(62)
13		63	J1(63),J2(63)
14		64	
15		65	
16		66	
17		67	
18		68	
19		69	
20	J1(20),J2(20)	70	J1(70),J2(70)
21	J1(21),J2(21)	71	J1(71),J2(71)
22	J1(22),J2(22)	72	J1(72),J2(72)
23	J1(23),J2(23)	73	J1(73),J2(73)
24		74	

25		75	
26	J1(26),J2(26)	76	J1(76),J2(76)
27	J1(27),J2(27)	77	J1(77),J2(77)
28	J1(28),J2(28)	78	J1(78),J2(78)
29	J1(29),J2(29)	79	J1(79),J2(79)
30	J1(30),J2(30)	80	
31	J1(31),J2(31)	81	
32		82	
33		83	
34		84	
35		85	
36		86	
37		87	
38		88	
39		89	
40		90	
41		91	
42		92	
43		93	
44		94	
45		95	
46		96	
47		97	
48		98	
49		99	
50	GND	100	GND

3.1.2.d. TARJETA DE TECLADO T4 Y CONECTOR J4

Esta es una tarjeta de circuito impreso en la que consta únicamente el teclado y un conector para adaptarlo al zócalo J4. La distribución de las teclas se muestra en la figura 3.5.

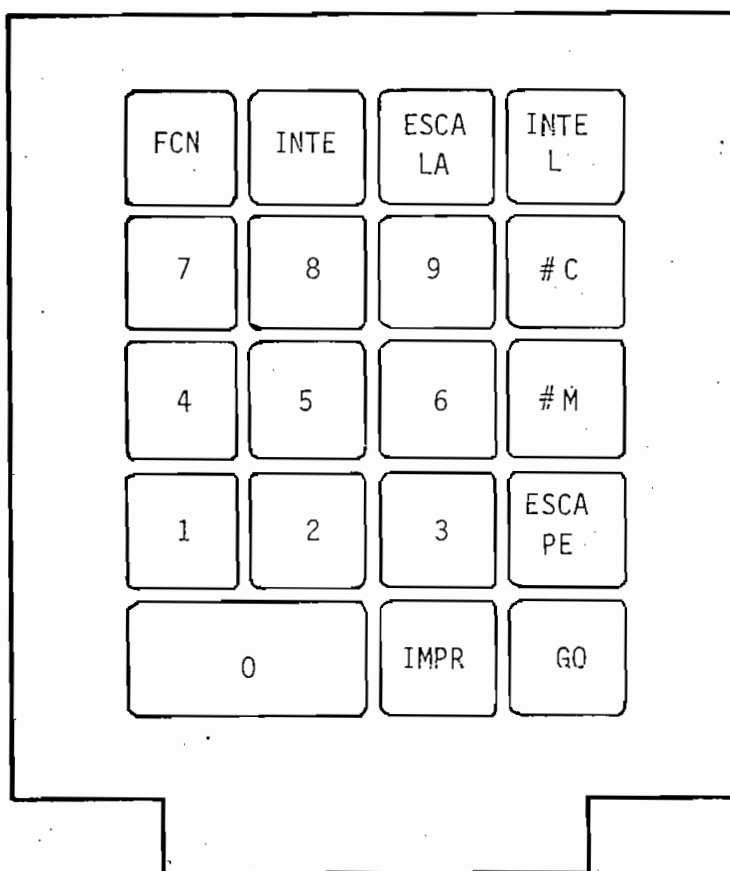


FIGURA 3.5.- DISTRIBUCION DEL TECLADO.

Se ha diseñado el circuito impreso de tal manera de tener una matriz de 8 x 3 quedando la columna 3 con sólo 3 elementos, pero esta será completada con switches externos. Las columnas se designan como S_0 , S_1 y S_2 (S por SCAN) ya que son las líneas de barrido. Las filas se las de

signa como R_0, R_1, \dots, R_7 , ya que son las líneas receptoras. A continuación se indica la forma como están conectadas las teclas:

	R_0	R_1	R_2	R_3	R_4	R_5	R_6	R_7
S_0	0	1	2	3	4	5	6	7
S_1	8	9	FCN	INTER	ESCALA	INTER	# C	# M
S_2	ESCAPE	GO	IMPR	MANUAL	LEC/ESC			

La función de cada una de las teclas se enumera a continuación:

Tecla 0	dígito decimal "0"
Tecla 1	dígito decimal "1"
Tecla 2	dígito decimal "2"
Tecla 3	dígito decimal "3"
Tecla 4	dígito decimal "4"
Tecla 5	dígito decimal "5"
Tecla 6	dígito decimal "6"
Tecla 7	dígito decimal "7"
Tecla 8	dígito decimal "8"
Tecla 9	dígito decimal "9"
Tecla FCN	FCN tecla que permite seleccionar la función
Tecla INTE	INTE Intervalo de tiempo (horas, minutos, segundos)
Tecla ESCALA	ESCALA . (x.1, x1, x10)
Tecla INTE L	INTE L Intervalo de Lectura (5 seg. 1 seg. o manual)
Tecla # C	# C Cálculo del número de canales
Tecla # M	# M Cálculo del número de mediciones

Tecla ESCAPE	Reset local
Tecla GO	GO Ingreso de Datos
Tecla IMPR	IMPR Imprime los datos de la memoria (salida serial RS-232C)
Switch LEC/ESC	Selección de modo de lectura o escritura
Switch MANUAL	Pulsante que permite incremento a la siguiente medición en el proceso de lectura.
Switch RESET	POWER ON RESET.

El conector J4 termina en su extremo en un conector del tipo DIP y tiene la siguiente configuración:

J4

19	DP1 (6)
18	DP1 (8)
17	DP1 (7)
16	
15	DP1 (9)
14	DP1 (5)
13	DP1 (10)
12	DP1 (4)
11	DP1 (11)
10	DP1 (12)
9	DP1 (3)
8	DP1 (2)

3.1.2.e. TARJETA DE INDICADORES LUMINOSOS T5 Y CONECTORES DP2, DP3.

La figura 3.6 muestra la configuración de los displays, esta tarjeta se conecta a la de control por medio de los conectores DP2, DP3.

Los elementos presentes en el circuito son:

T1,T2,...,T4	Transistores PNP Si 2N3906
D1,D2,...,D11	Display de 7 segmentos tipo ánodo-común RHDP MAN 71
NR3,NR4	Arreglos de 7 resistencias de $270\Omega \frac{1}{4} W$, integradas en la misma cápsula.
DP2,DP3	Conectores tipo DIP

A continuación se enumera la distribución de pines en los conectores DP2 y DP3:

DP2

1	---	11U35	(habilitación display 13)
2	---	13U35	(habilitación display 12)
3	---	14U35	(habilitación display 11)
4	---	15U35	(habilitación display 10)
5	---	16U35	(habilitación display 9)
6	---	17U35	(habilitación display 8)
7	---		
8	---	10U35	(habilitación display 7)
9	---	9U35	(habilitación display 6)
10	---	8U35	(habilitación display 5)
11	---	7U35	(habilitación display 4)

12 --- 6U35 (habilitación display 3)
 13 --- 5U35 (habilitación display 2)
 14 --- 4U35 (habilitación display 1)

DP3

1 ---
 2 ---
 3 ---
 4 ---
 5 ---
 6 --- $NR_2(8)$, $DP_4(9)$ (punto decimal)
 7 ---
 8 --- $NR_2(7)$, $DP_4(10)$ (segmento g)
 9 --- $NR_2(6)$, $DP_4(11)$ (segmento f)
 10 --- $NR_2(5)$, $DP_4(12)$ (segmento e)
 11 --- $NR_2(4)$, $DP_4(13)$ (segmento d)
 12 --- $NR_2(3)$, $DP_4(14)$ (segmento c)
 13 --- $NR_2(2)$, $DP_4(15)$ (segmento b)
 14 --- $NR_2(1)$, $DP_4(16)$ (segmento a)

Conjuntamente con los displays se ha implementado un arreglo de 15 leds. los cuales están agrupados con la distribución de un display de 7 y 8 segmentos respectivamente. Se ha implementado de esta manera para poder utilizar la rutina de barrido BARR.

La relación entre la función del led y un display se muestra a continuación:

SEGMENTO DE DISPLAY	D12	D13
"a"	seg.	5 seg.
"b"	min.	1 seg.
"c"	horas	manual
"d"	LEC	LISTO
"e"	ESC	
"f"	X 10	FCN1
"g"	X 1	FCN2
"dp"	X .1	FCN3

TABLA 3.1.- Distribución de los Leds.

En la figura 3.7 se muestra la distribución de los leds en el equipo.

3.1.2.f. CONECTOR DP₄

1	---	
2	---	
3	---	
4	---	
5	---	
6	---	
7	---	
8	---	
9	---	DP3(6)
10	---	DP3(8)
11	---	DP3(9)

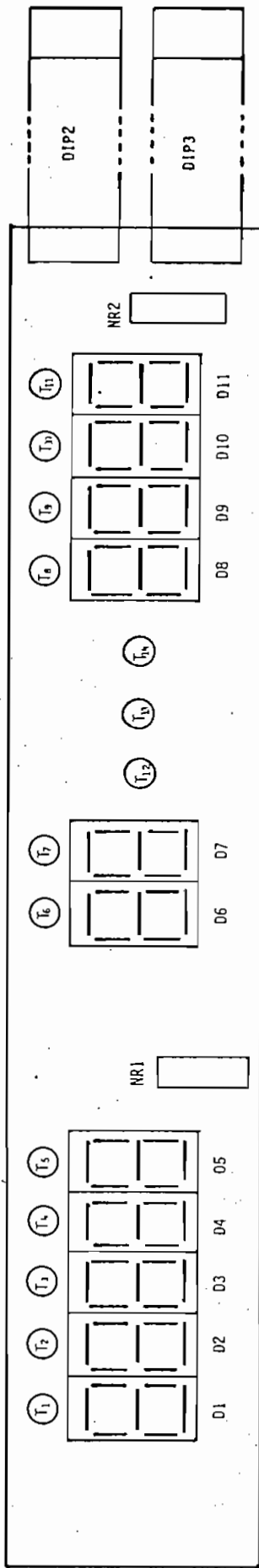


FIGURA 3.6.- CONFIGURACION DE LOS DISPLAYS.

12 --- DP3(10)
 13 --- DP3(11)
 14 --- DP3(12)
 15 --- DP3(13)
 16 --- DP3(14)

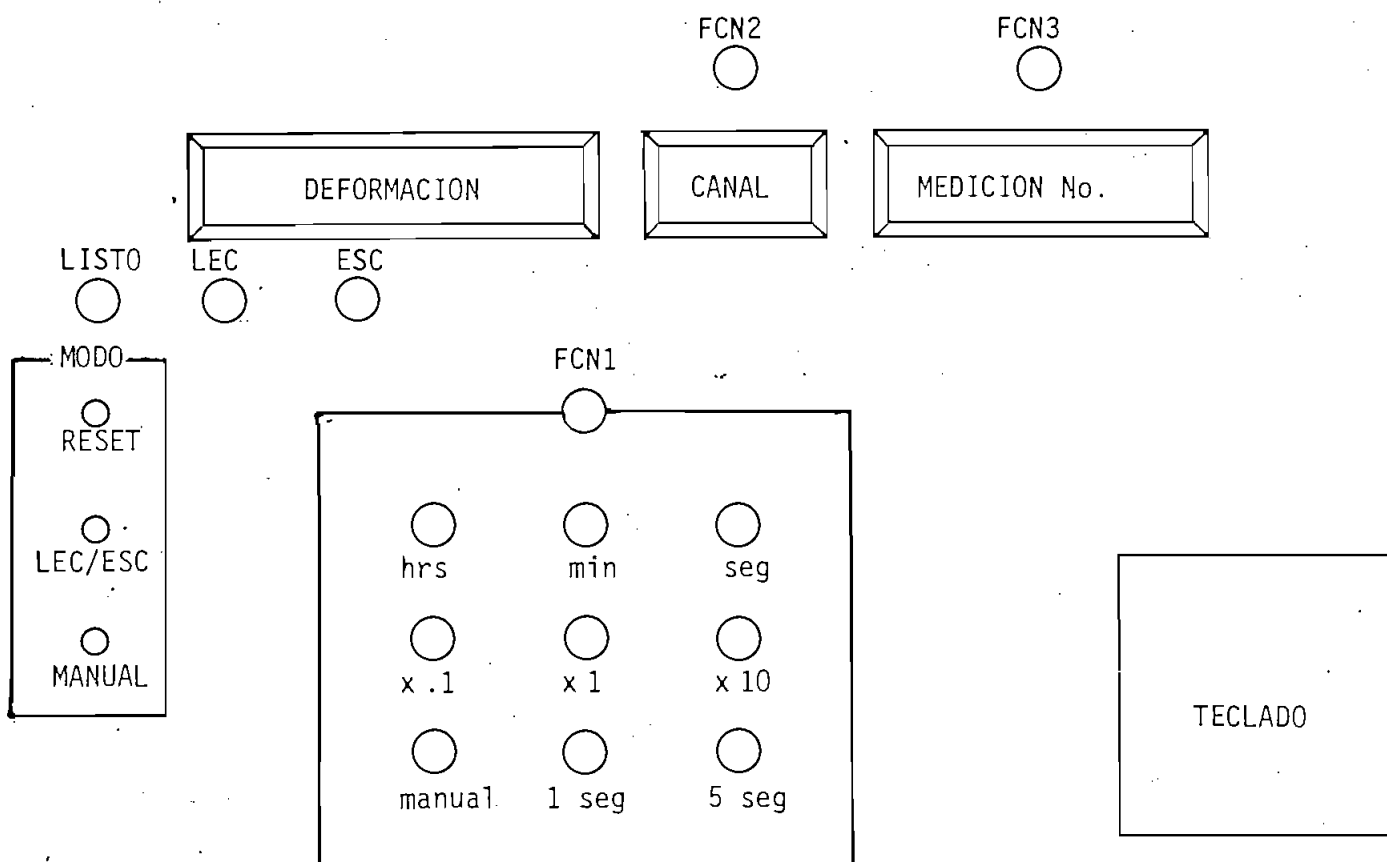


FIG. 3.7.- Arreglo de leds.

3.1.2.g. CONECTOR DB1

Este conector recibe la información proveniente del medidor de deformación B & K 1526. La Tabla 3.2 muestra la información de cada uno de los

pines. Es necesario indicar que el conector es del tipo DB25 estándar.

PIN Nº	FUNCION	NIVEL
1	Punto decimal en rango de 200 $\mu\epsilon$	0
2	Cero en rango de 20000 $\mu\epsilon$	0
3	Indicación de fuera de escala	1
4	Data bit 8	
5	Entrada de deshabilitación de latch	0
6	Data bit 12	
7	Data bit 5	
8	Data bit 6	
9	Ground	
10	Data bit 7	
11	Data bit 1	
12	Ground	
13	Data bit 10	
14	Lectura controlada por PUSH-BUTTON	0
15	Data bit (4)	
16	Data bit 14, signo \pm	(Para +) 1
17	Data bit 2	
18	Data bit 13, número 1	(Para 1) 1
19	Data bit 13, número 1	(Para 1) 0
20	Data bit 8	
21	Data bit 11	
22	Data bit 9	
23	Data bit 14, signo \pm	(Para +) 1
24	GND	
25	-----	

TABLA 3.2.- Funciones de cada uno de los pines del conector DB25 (DB1).

A continuación se describe la interconexión de este conector con el equipo.

DB1

1	----	
2	----	J1(89)
3	----	J1(90)
4	----	J1(44)
5	----	
6	----	J1(91)
7	----	J1(46)
8	----	J1(94)
9	----	
10	----	J1(95)
11	----	J1(92)
12	----	GND
13	----	J1(42)
14	----	
15	----	J1(45)
16	----	
17	----	J1(93)
18	----	
19	----	J1(40)
20	----	J1(96)
21	----	J1(43)
22	----	J1(41)
23	----	J1(88)
24	----	GND
25	----	

3.1.2.h. CONECTOR DB2

Este conector recibe la información de la identificación del canal de medición es un conector del tipo Socket Jumper de 26 contactos. En la tabla 3.3 se describe la función de cada uno de los terminales y posteriormente la interconexión del mismo con el sistema de adquisición de datos.

PIN Nº	FUNCIÓN
1	+ 11 V
2	+ 11 V
3	+ 11 V
4	+ 11 V
5	+ 11 V
6	+ 11 V
7	$\overline{\text{Run}}$
8	$\overline{\text{ON}}$
9	NC
10	$\overline{\text{Call}}$
11	I
12	K
13	G
14	H
15	E
16	F
17	C
18	D
19	B
20	A
21	GND
22	GND
23	GND
24	GND
25	GND
26	GND

TABLA 3.3.- Función de los pines del conector DB2 (26).

DB2

1	----	
2	----	
3	----	
4	----	
5	----	
6	----	
7	----	
8	----	
9	----	
10	----	
11	----	
12	----	
13	----	J1(38)
14	----	J1(39)
15	----	J1(86)
16	----	J1(87)
17	----	J1(37)
18	----	J1(85)
19	----	J1(35)
20	----	J1(36)
21	----	GND
22	----	GND
23	----	GND
24	----	GND
25	----	GND
26	----	GND

DB3

1	----	GND
2	----	Recepción
3	----	Transmisión
4	----	
5	----	
6	----	DSR
7	----	Tierra de señales
8	----	Detección de portadora
9	----	
10	----	
11	----	
12	----	
13	----	
14	----	
15	----	
16	----	
17	----	
18	----	
19	----	
20	----	DTR
21	----	
22	----	
23	----	
24	----	
25	----	

En la figura 3.8 se muestra la vista posterior del sistema de adquisición de datos.

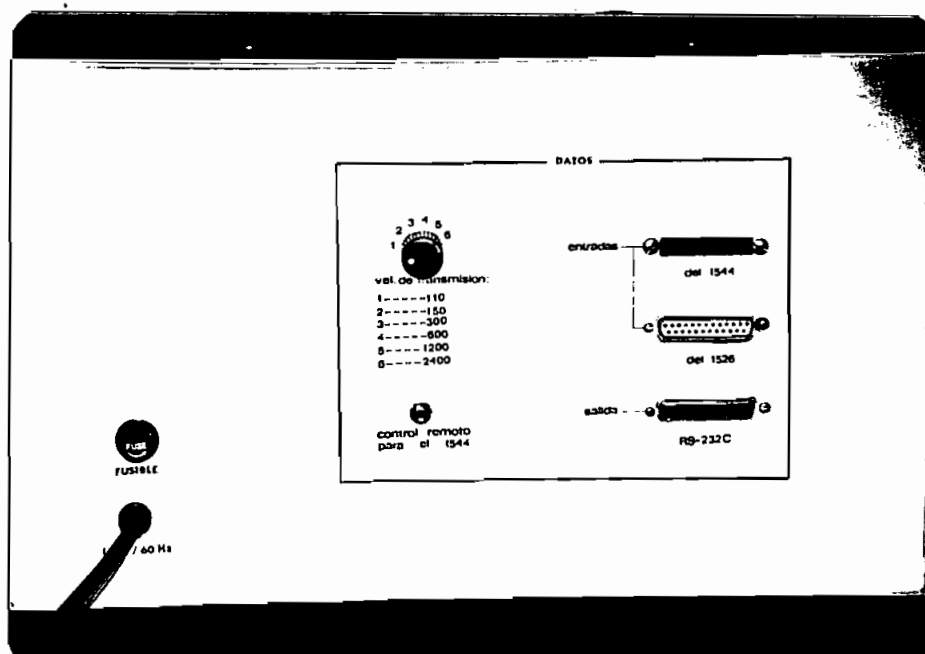


FIG. 3.8.- Vista posterior del sistema de adquisición de datos.

3.1.2.i. INTERRUPTOR DE ENCENDIDO

Al extremo inferior derecho del panel de comando se encuentra el interruptor de encendido y al lado un led indicador de encendido.

La figura 3.9 muestra las conexiones respectivas.

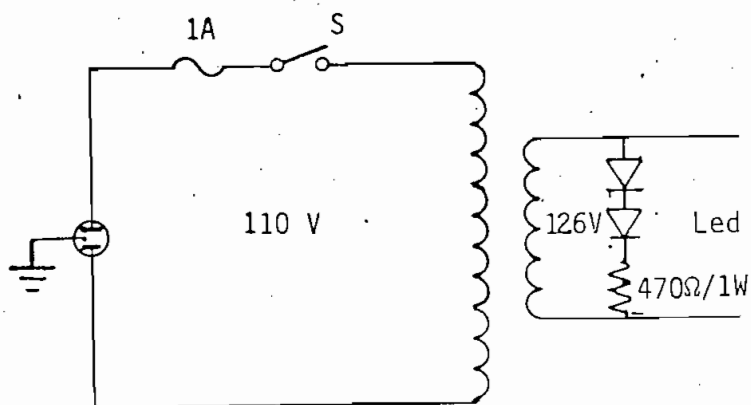


FIG. 3.9.- Alimentación de la red.

3.2 COSTOS.

A continuación se va a describir los costos de los elementos utilizados en la implementación de los circuitos del sistema de adquisición de datos. La mayor parte de elementos fueron importados, por lo tanto los precios se van a especificar en dólares.

ITEM	ELEMENTO	CANTIDAD	PRECIO UNITARIO	PRECIO TOTAL
1	Tarjeta Vector 8804	2	32.27	64.54
2	Conector para tarjeta R681-1	3	14.57	43.71
3	Zócalo para dos indicadores luminosos	1	8.70	8.70
4	Zócalo para cuatro indicadores luminosos	1	9.94	9.94

ITEM	ELEMENTO	CANTIDAD	PRECIO UNITARIO	PRECIO TOTAL
5	Zócalo para cinco indicadores luminosos	1	10.56	10.56
6	Cubierta protectora para indicador luminoso (2 displays)	1	10.25	10.25
7	Cubierta protectora para indicador luminoso (4 displays)	1	16.46	16.46
8	Cubierta protectora para indicador luminoso (5 displays)	1	19.57	19.57
9	Switch pulsante	3	1.90	5.70
10	Teclado de 19 teclas	1	14.95	14.95
11	Memorias estáticas HM6116P-3	12	7.95	95.40
12	Displays MAN 71	11	.75	8.25
13	Zócalo de Wire Wrap 24 pines	23	2.33	53.59
14	Zócalo de Wire Wrap 40 pines	1	3.58	3.58
15	Zócalo de Wire Wrap 20 pines	9	1.70	15.30
16	Zócalo de Wire Wrap 16 pines	7	0.87	6.09
17	Zócalo de Wire Wrap 14 pines	13	0.79	10.27
18	Postes de Wire Wrap	300	3.06	9.18
19	Conectores tipo DIP 14 pines	2	3.49	6.98
20	Conector tipo DIP 16 pines	1	3.59	3.59
21	Conector tipo DB25P-4-P	1	13.49	13.49
22	Edge Conector	1	9.65	9.65
23	Intra - Conector	1	8.79	8.79
24	Conectores RS-232C DB25S	2	2.95	5.90
25	Conector de 26 terminales	1	2.59	2.59
26	LEDS y Mounting clips	20	.29	5.80

ITEM	ELEMENTO	CANTIDAD	PRECIO UNITARIO	PRECIO TOTAL
27	Regulador LM323K + 5V 3A	1	5.95	5.95
28	Regulador LM309K + 5V 1A	1	1.50	1.50
29	Regulador LM7812 + 12V 1A	1	.79	.79
30	Regulador LM7912 - 12V 1A	1	.89	.89
31	Puente de diodo TMDA980 - 3	1	4.08	4.08
32	Puente de diodo ECG	1	1.50	1.50
33	Transformador 110 V/12.6 V _{rms} 8A	1	10.00	10.00
34	Transformador 110 V/16 V V _{rms} C.T.	1	4.00	4.00
35	Condensador electrolítico 35000	1	1.49	1.49
36	Identificador de 40 pines	1	0.40	0.40
37	Identificadores de 24 pines	20	1.99/5	7.96
38	Identificadores de 20 pines	9	1.99/5	3.58
39	Identificadores de 16 pines	6	1.99/10	1.19
40	Identificadores de 14 pines	8	1.99/10	1.59
41	Resistencias de 1/4W diferentes valores	28	.06	1.68
42	Potenciómetro de 5 K Ω	1	1.10	1.10
43	Condensadores electrolíticos 100 μ F	6	.41	2.46
44	Condensadores de Tantalio 1 μ F/35 V	2	.29	0.58
45	Condensadores .1 μ F/50V disco	31	.15	4.65
46	Condensadores de varios valores	5	.08	0.40
47	Cristal de 3.71 MHz	1	3.95	3.95
48	Microprocesador MC6802	1	7.95	7.95

ITEM	ELEMENTO	CANTIDAD	PRECIO UNITARIO	PRECIO TOTAL
49	Memorias EPROM 2716 (2K x 8)	2	5.95	11.90
50	SN74LS175	1	.69	.69
51	SN74155	1	.91	.91
52	SN74LS244	4	1.49	5.96
53	SN74LS241	3	1.99	5.97
54	SN74LS245	1	1.49	1.49
55	SN74154	3	1.25	3.75
56	SN74LS93	1	.55	.55
57	SN74LS374	1	1.49	1.49
58	SN7437N	2	.25	.50
59	SN7404N	1	.25	.25
60	SN7400N	1	.25	.25
61	SN7432N	1	.29	.29
62	SN7474N	1	.35	.35
63	ACIA MC 6850	1	3.95	3.95
64	Timer LM555N	2	.35	7.00
65	LM 1488N	1	.89	.89
66	LM 1489N	1	.89	.89
67	Alambre de Wire Wrap 1000 pies	1	29.95	29.95
68	Herramienta de entorchar WSU-30M	1	11.47	11.47
69	Conector	1	.79	.79
SUBTOTAL:				619.81
TRANSPORTE y CORREO:				123.96
GASTOS DE IMPORT.				123.96
T O T A L :				867,73

A más de los elementos anteriormente mencionados, se debe añadir el costo de ciertos elementos adquiridos como compra local, en sures.

ITEM	ELEMENTO	CANTIDAD	PRECIO UNITARIO	PRECIO TOTAL
1	Plancha de Aluminio	1	3.234,00	3.234,00
2	Extras, tornillos, pintura, brocas, amanes, conectores, etc., letra set, portafusibles, baquelita.		6.500,00	6.500,00
T O T A L:				9.734,00

3.3 PRUEBAS REALIZADAS

A continuación se va a descubrir de una manera breve las pruebas realizadas en la construcción del equipo.

Durante la fase inicial de escritura de los programas se utilizan los sistemas de desarrollo existentes en el Laboratorio de Sistemas Digitales, posteriormente se tuvo la facilidad de utilizar el computador Tektronix 4051 del Laboratorio de Control y Sistemas, en donde se desarrolló un programa ASSEMBLER para el microprocesador MC6800 y se implementó un circuito de comunicación serial RS-232C, con el fin de lograr la transmisión de datos del computador a un sistema de desarrollo (Tesis

del Ing. Fernando Alvear).

Con todas estas herramientas, se desarrollaron y comprobaron todas y cada una de las subrutinas del programa de control y, posteriormente, se implementó el programa maestro en base a los programas ya probados.

Para probar el circuito de salida serial se utilizó el terminal TEKTRONIX 4006-1 y el impresor TEKTRONIX 4641 existentes en el Laboratorio de Control. En esta parte se calibró la frecuencia exacta del oscilador que regula la velocidad de transmisión.

El sistema de medición que se tiene a disposición comprende: el medidor de deformación B & K 1526, el selector de multipunto y canal B & K 1544, y un selector de multipunto B & K 1545, teniéndose una capacidad máxima de 20 puntos de medición. Con estos elementos se verificó el correcto funcionamiento del sistema construido y de sus programas de ingreso de datos, y operación del sistema.

C A P I T U L O I V

CONCLUSIONES Y RECOMENDACIONES

- 4.1 Recomendaciones
- 4.2 Manual de operación del equipo construido
- 4.3 Guía de Mantenimiento

CAPITULO IV

CONCLUSIONES Y RECOMENDACIONES

4.1 RECOMENDACIONES.

Los resultados experimentales obtenidos con el equipo construido demuestran que este cumple plenamente los requerimientos y especificaciones para los cuales fue diseñado. La utilización del microprocesador como elemento de control ha permitido que el sistema ofrezca una gran versatilidad en la operación y programación por parte de los usuarios, a más de permitir que el hardware se reduzca a lo mínimo necesario.

En la presente aplicación, debido a que los fenómenos a ser analizados son lentos, no existen limitaciones en cuanto a frecuencias de muestreo. La determinación del tiempo de muestreo se lo hace utilizando el microprocesador generando lazos de espera, en los que se ha incluido el barrido y refresco de los displays.

Es necesario recalcar el hecho de que el presente trabajo ha sido diseñado y construido con un fin específico, cual es el de proporcionar a los Laboratorios de Estructuras de la Facultad de Ingeniería Civil de la Escuela Politécnica Nacional, un equipo que permita almacenar los datos provenientes del medidor de deformación en memoria.

Queda abierta la opción de ampliación de la memoria hasta un total de 58K, en caso de que sea necesario, para cuyo efecto se han previsto

las señales y conector debidamente entorchados y listos para recibir la tarjeta de expansión. El número total de canales podría ser ampliado hasta el máximo permitido si la situación así lo determina (Se debe recordar que el sistema completo permite un máximo de 400 canales).

El interface serial implementado puede trabajar en forma bidireccional, lo cual permitiría que el sistema de adquisición de datos pueda ser programado externamente a través ya sea de un computador o de una terminal, para lo cual será necesario aumentar un programa que permita la recepción, reestructurando los programas actuales incluyendo en el barrido del teclado también al interface RS-232C para ver si existe algún dato en el registro de recepción (Rx) del ACIA.

Esta modificación se la podría realizar de una manera bastante sencilla ya que el programa se ha estructurado en forma de subrutina, y por lo tanto es posible realizar modificaciones fácilmente.

Conviene también señalar que el multiplexado y conversión A/D son realizados en los mismos equipos de medición y es la información proveniente de éstos la que se almacena en memoria.

Los tiempos de muestreo fueron determinados, de acuerdo a las necesidades del Laboratorio de Estructuras.

4.2 MANUAL DE OPERACION DEL EQUIPO CONSTRUIDO.

En el diagrama de operación que se indica a continuación se describe la secuencia de programación del equipo para los procesos de lectura y escritura. Los mensajes de error de la Tabla 4.1 permiten detectar cualquier procedimiento de programación inadecuado y corregirlo inmediatamente.

CODIGO	MENSAJE DE ERROR
01	Se ha seleccionado una tecla diferente de #C, #M o GO.
02	Se trata de leer datos de memoria, sin haberlos almacenado previamente.
03	En la subrutina que permite calcular el número de mediciones: <ul style="list-style-type: none"> - Se ha ingresado un solo dígito en el número de canales. - Se han ingresado 00 canales. - Para el ingreso, se ha pulsado una tecla diferente de GO.
04	En la subrutina que permite calcular el número de canales: <ul style="list-style-type: none"> - Se han ingresado menos de cuatro dígitos en el número de mediciones. - Se han ingresado 0000 mediciones. - Para el ingreso, se ha pulsado una tecla diferente de GO.
05	Se ha presionado una tecla diferente de FCN después de haber seleccionado la escala de tiempo para la adquisición de datos.
06	No se ha ingresado un número decimal de cuatro dígitos con la tecla GO.
07	Se ha presionado una tecla diferente de FCN luego de escoger el intervalo de lectura.

CODIGO	MENSAJE DE ERROR
08	Luego de haber seleccionado la lectura de un solo canal se ha ingresado un dígito o el número de canal con una tecla diferente de G0.
09	No se han ingresado los cuatro dígitos decimales del número de medición inicial para lectura con la tecla G0.
10	No se han ingresado los cuatro dígitos decimales del número de medición final para lectura con la tecla G0.
11	Canal ingresado no existe.
12	La medición inicial es mayor que la medición final.

TABLA 4.1.- INTERPRETACION DE LOS CODIGOS
DE ERROR.

4.3 GUIA DE MANTENIMIENTO

El equipo ha sido construido de tal manera que el reemplazo de algún componente defectuoso pueda ser realizado fácilmente. Todos los circuitos integrados están montados en zócalos, por tanto la sustitución será más fácil de realizar.

Si el sistema está energizado y el led indicador de encendido y apagado no se enciende, se debe chequear el fusible y si está defectuoso reemplazarlo. Si el fusible está bueno, se recomienda retirar la cubierta superior con mucho cuidado y con un multímetro verificar si existen o no voltajes.

El mantenimiento debe ser realizado por un técnico en Electrónica, y se debe contar con un multímetro y un osciloscopio.

Es necesario recordar que el chequeo de la memoria se realiza cada vez que se ejecuta un reset, por lo tanto en caso de falla será muy fácil el determinar cuál es el integrado defectuoso para sustituirlo.

La única señal que podría requerir calibración es el oscilador que produce la señal de reloj que controla la transmisión o recepción de datos lo cual se consigue variando el potenciómetro P_1 situado en la tarjeta de control P_1 .

A P E N D I C E A

CARACTERISTICAS DE LOS ELEMENTOS UTILIZADOS



MC6802 MC6808 MC6802NS

MICROPROCESSOR WITH CLOCK AND OPTIONAL RAM

The MC6802 is a monolithic 8-bit microprocessor that contains all the registers and accumulators of the present MC6800 plus an internal clock oscillator and driver on the same chip. In addition, the MC6802 has 128 bytes of on-board RAM located at hex addresses 50000 to 5007F. The first 32 bytes of RAM, at hex addresses 50000 to 5001F, may be retained in a low power mode by utilizing VCC standby; thus, facilitating memory retention during a power-down situation.

The MC6802 is completely software compatible with the MC6800 as well as the entire M6800 family of parts. Hence, the MC6802 is expandable to 64K words.

The MC6802NS is identical to the MC6802 without standby RAM feature. The MC6808 is identical to the MC6802 without on-board RAM.

- On-Chip Clock Circuit
- 128 x 8 Bit On-Chip RAM
- 32 Bytes of RAM are Retainable
- Software-Compatible with the MC6800
- Expandable to 64K Words
- Standard TTL-Compatible Inputs and Outputs
- 8-Bit Word Size
- 16-Bit Memory Addressing
- Interrupt Capability

PART NUMBER DESIGNATION BY SPEED

MC6802	MC6808	MC6802NS
(1.0 MHz)	(1.0 MHz)	(1.0 MHz)
MC68A02	MC68A08	
(1.5 MHz)	(1.5 MHz)	
MC68B02	MC68B08	
(2.0 MHz)	(2.0 MHz)	

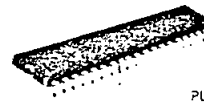
MOS

(N-CHANNEL, SILICON-GATE,
DEPLETION LOAD)

MICROPROCESSOR
WITH CLOCK AND OPTIONAL RAM



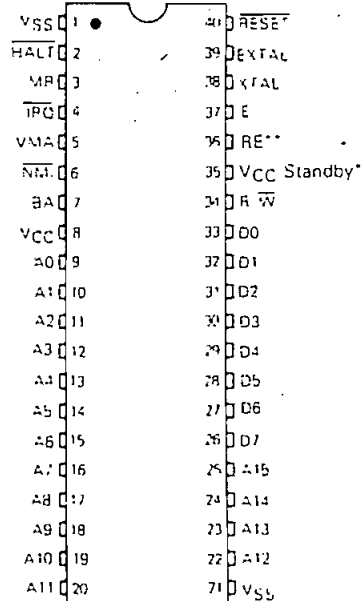
L SUFFIX
CERAMIC PACKAGE
CASE 715



P SUFFIX
PLASTIC PACKAGE
CASE 711

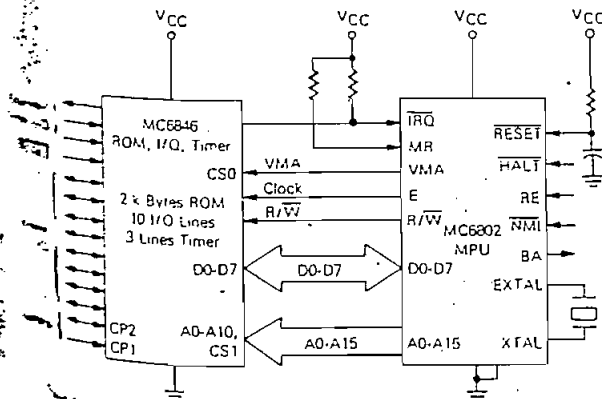


PIN ASSIGNMENT



*Pin 35 must be tied to 5 V on the 6802NS
**Pin 36 must be tied to ground for the 6808

TYPICAL MICROCOMPUTER



This diagram shows a typical cost effective microcomputer. The MPU is the microcomputer system and is shown in a minimum system interfaced with a ROM combination chip. It is not intended that this system be limited to this function but that it be expandable with other parts in the M6800 microcomputer family.

MC6802•MC6808•MC6802NS

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Supply Voltage	V _{CC}	-0.3 to +7.0	V
Input Voltage	V _{in}	-0.3 to +7.0	V
Operating Temperature Range	T _A	0 to +70	°C
Storage Temperature Range	T _{stg}	-55 to +150	°C

This input contains circuitry to protect the inputs against damage due to high static voltages or electric fields. However, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high-impedance circuit. Reliability of operation is enhanced if unused inputs are tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{CC}).

THERMAL CHARACTERISTICS

Characteristic	Symbol	Value	Unit
Average Thermal Resistance (Junction to Ambient)	θ _{JA}	100	°C/W
Plastic			
Ceramic		50	

POWER CONSIDERATIONS

The average chip-junction temperature, T_J, in °C can be obtained from:

$$T_J = T_A + (P_D \cdot \theta_{JA}) \tag{1}$$

Where:

T_A = Ambient Temperature, °C

θ_{JA} = Package Thermal Resistance, Junction-to-Ambient, °C/W

P_D = P_{INT} + P_{PORT}

P_{INT} = I_{CC} × V_{CC}, Watts — Chip Internal Power.

P_{PORT} = Port Power Dissipation, Watts — User Determined

For most applications P_{PORT} < P_{INT} and can be neglected. P_{PORT} may become significant if the device is configured to drive Darlington bases or sink LED loads.

An approximate relationship between P_D and T_J (if P_{PORT} is neglected) is:

$$P_D = K - (T_J + 273^\circ\text{C}) \tag{2}$$

Solving equations 1 and 2 for K gives:

$$K = P_D \cdot (T_A + 273^\circ\text{C}) + \theta_{JA} \cdot P_D^2 \tag{3}$$

Where K is a constant pertaining to the particular part. K can be determined from equation 3 by measuring P_D (at equilibrium) for a known T_A. Using this value of K the values of P_D and T_J can be obtained by solving equations (1) and (2) iteratively for any value of T_A.



MC6802 • MC6808 • MC6802NS

OPERATING TEMPERATURE RANGE

Device	Speed	Symbol	Value	Unit
MC6802P,L MC6802CP,CL	(1.0 MHz)	T _A	0 to +70 -40 to +25	°C
MC68A02P,L MC68A02CP,CL	(1.5 MHz)		0 to +70 -40 to +85	
MC68B02P,L MC68B02CP,CL	(2.0 MHz)	T _A	0 to +70 -40 to +85	°C
MC6802NSP,L	(1.0 MHz)		0 to +70	
MC6808P,L MC68A08P,L MC68B08P,L	(1.0 MHz) (1.5 MHz) (2.0 MHz)	T _A	0 to +70	°C

DC ELECTRICAL CHARACTERISTICS (V_{CC} = 5.0 Vdc ± 5%, V_{SS} = 0, T_A = 0 to 70°C, unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
Input High Voltage Logic, EXTAL, RESET	V _{IH}	V _{SS} + 2.0 V _{SS} + 4.0	-	V _{CC} V _{CC}	V
Input Low Voltage Logic, EXTAL, RESET	V _{IL}	V _{SS} - 0.3	-	V _{SS} + 0.8	V
Input Leakage Current (V _{in} = 0 to 5.25 V, V _{CC} = max)	I _{in}	-	1.0	2.5	µA
Output High Voltage I _{Load} = -205 µA, V _{CC} = min I _{Load} = -145 µA, V _{CC} = min I _{Load} = -100 µA, V _{CC} = min	V _{OH}	V _{SS} + 2.4 V _{SS} + 2.4 V _{SS} + 2.4	- - -	- - -	V
Output Low Voltage (I _{Load} = 1.6 mA, V _{CC} = min)	V _{OL}	-	-	V _{SS} + 0.4	V
Internal Power Dissipation (Measured at T _A = 0°C)	P _{INT}	-	0.600	1.0	W
V _{CC} Standby Power Down Power Up	V _{SBB} V _{SB}	4.0 4.75	- -	5.25 5.25	V
Standby Current	I _{SBB}	-	-	3.0	mA
Capacitance f V _{in} = 0, T _A = 25°C, f = 1.0 MHz	C _{in} C _{out}	- -	10 6.5	12.5 10	pF

¹In power-down mode, maximum power dissipation is less than 42 mW.

²Capacitances are periodically sampled rather than 100% tested.

CONTROL TIMING (V_{CC} = 5.0 V ± 5%, V_{SS} = 0, T_A = T_L to T_H, unless otherwise noted)

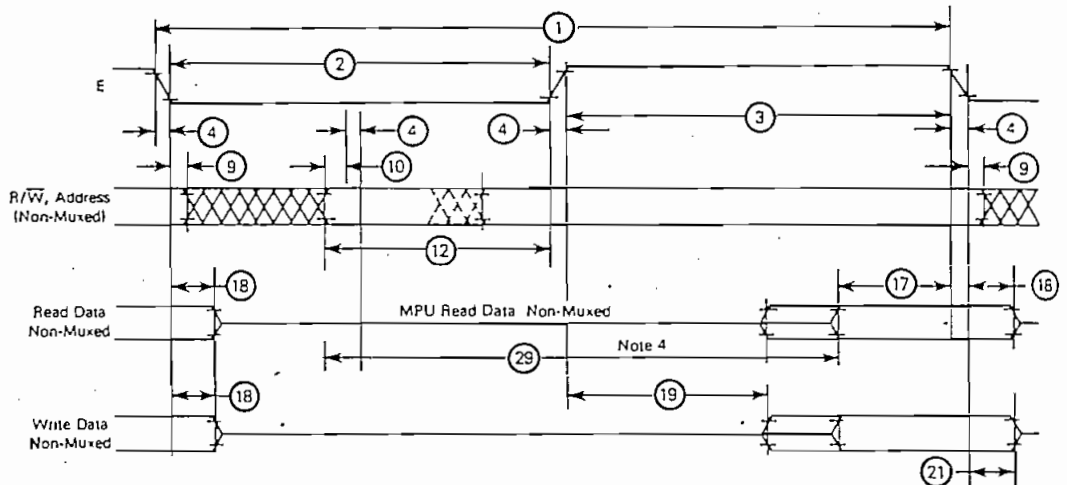
Characteristics	Symbol	MC6802NS, MC6808		MC68A02 MC68A08		MC68B02 MC68B08		Unit
		Min	Max	Min	Max	Min	Max	
Frequency of Operation	f _o	0.1	1.0	0.1	1.5	0.1	2.0	MHz
Crystal Frequency	f _{XTAL}	1.0	4.0	1.0	6.0	1.0	8.0	MHz
External Oscillator Frequency	4 × f _o	0.4	4.0	0.4	6.0	0.4	8.0	MHz
Crystal Oscillator Start Up Time	t _{rc}	100	-	100	-	100	-	ms
Processor Controls (HALT, MR, RE, RESET, IRQ NMII) Processor Control Setup Time Processor Control Rise and Fall Time (Does Not Apply to RESET)	t _{PCS} t _{PCr} t _{PCf}	200 - -	- 100 -	140 - -	- 100 -	110 - -	- 100 -	ns

MC6802 • MC6808 • MC6802NS

BUS TIMING CHARACTERISTICS

Ident. Number	Characteristic	Symbol	MC6802NS MC6802 MC6808		MC68A02 MC68A08		MC68B02 MC68B08		Unit
			Min	Max	Min	Max	Min	Max	
1	Cycle Time	t_{cyc}	1.0	10	0.667	10	0.5	10	μs
2	Pulse Width, E Low	PWEL	450	5000	280	5000	210	5000	ns
3	Pulse Width, E High	PWEH	450	9500	280	9700	220	9700	ns
4	Clock Rise and Fall Time	t_r, t_f	-	25	-	25	-	20	ns
9	Address Hold Time	t_{AH}	20	-	20	-	20	-	ns
12	Non-Muxed Address Valid Time to E (See Note 5)	t_{AV1} t_{AV2}	160 -	- 270	100 -	- -	50 -	- -	ns
17	Read Data Setup Time	t_{DSR}	100	-	70	-	60	-	ns
18	Read Data Hold Time	t_{DHR}	10	-	10	-	10	-	ns
19	Write Data Delay Time	t_{DDW}	-	225	-	170	-	160	ns
21	Write Data Hold Time	t_{DHW}	30	-	20	-	20	-	ns
29	Usable Access Time (See Note 4)	t_{ACC}	605	-	310	-	235	-	ns

FIGURE 2 — BUS TIMING



NOTES:

- 1 Voltage levels shown are $V_L \leq 0.4 V$, $V_H \geq 2.4 V$, unless otherwise specified
- 2 Measurement points shown are 0.8 V and 2.0 V, unless otherwise noted
- 3 All electricals shown for the MC6802 apply to the MC6802NS and MC6808, unless otherwise noted.
- 4 Usable access time is computed by: $12 + 3 + 4 - 17$.
- 5 If programs are not executed from on-board RAM, t_{AV1} applies. If programs are to be stored and executed from on-board RAM, t_{AV2} applies. For normal data storage in the on-board RAM, this extended delay does not apply. Programs cannot be executed from on-board RAM when using A and B parts (MC68A02, MC68A08, MC68B02, MC68B08). On-board RAM can be used for data storage with all parts

MC6802 • MC6808 • MC6802NS

FIGURE 3 — BUS TIMING TEST LOAD

C = 130 pF for D0-D7, E
 = 90 pF for A0-A15, R/W, and VMA
 = 30 pF for BA
 R = 11.7 kΩ for D0-D7, E
 = 16.5 kΩ for A0-A15, R/W, and VMA
 = 24 kΩ for BA

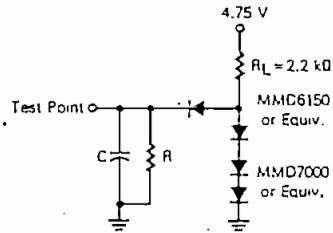


FIGURE 4 — TYPICAL DATA BUS OUTPUT DELAY versus CAPACITIVE LOADING

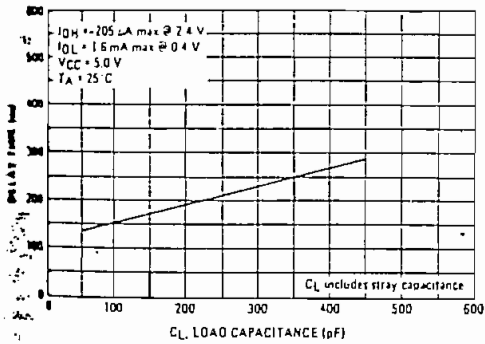


FIGURE 5 — TYPICAL READ/WRITE, VMA AND ADDRESS OUTPUT DELAY versus CAPACITIVE LOADING

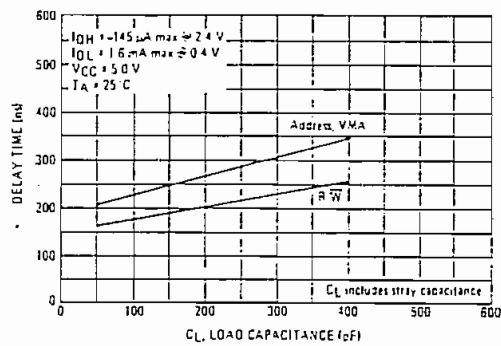
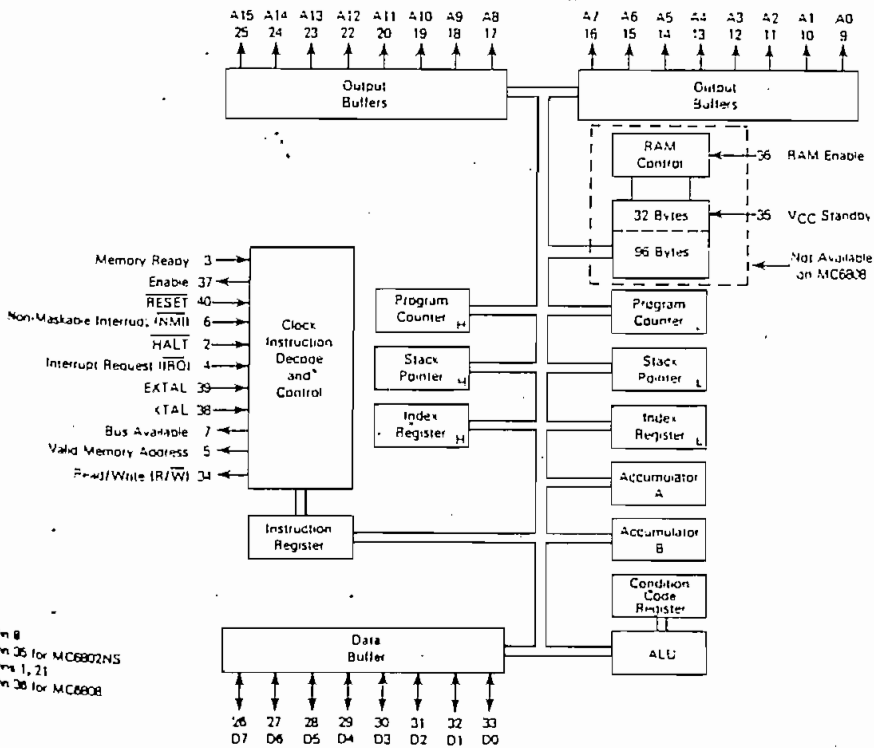


FIGURE 6 — EXPANDED BLOCK DIAGRAM



MC6802 - Pin 8
 MC6802NS - Pin 36 for MC6802NS
 MC6808 - Pins 1, 21
 MC6808 - Pin 36 for MC6808



MC6802 • MC6808 • MC6802NS

MPU REGISTERS

A general block diagram of the MC6802 is shown in Figure 6. As shown, the number and configuration of the registers are the same as for the MC6800. The 128 × 8-bit RAM* has been added to the basic MPU. The first 32 bytes can be retained during power-up and power-down conditions via the RE signal.

The MC6802NS is identical to the MC6802 except for the standby feature on the first 32 bytes of RAM. The standby feature does not exist on the MC6802NS and thus pin 35 must be tied to 5 V.

The MC6808 is identical to the MC6802 except for on-board RAM. Since the MC6808 does not have on-board RAM pin 36 must be tied to ground allowing the processor to utilize up to 64K bytes of external memory.

The MPU has three 16-bit registers and three 8-bit registers available for use by the programmer (Figure 7).

PROGRAM COUNTER

The program counter is a two byte (16-bit) register that points to the current program address.

STACK POINTER

The stack pointer is a two byte register that contains the address of the next available location in an external push-down/pop-up stack. This stack is normally a random access

read/write memory that may have any location address that is convenient. In those applications that require storage of information in the stack when power is lost, the stack must be non-volatile.

INDEX REGISTER

The index register is a two byte register that is used to store data or a 16-bit memory address for the indexed mode of memory addressing.

ACCUMULATORS

The MPU contains two 8-bit accumulators that are used to hold operands and results from an arithmetic logic unit (ALU).

CONDITION CODE REGISTER

The condition code register indicates the results of an Arithmetic Logic Unit operation: Negative (N), Zero (Z), Overflow (V), Carry from bit 7 (C), and Half Carry from bit 3 (H). These bits of the Condition Code Register are used as testable conditions for the conditional branch instructions. Bit 4 is the interrupt mask bit (I). The unused bits of the Condition Code Register (b6 and b7) are ones.

Figure 8 shows the order of saving the microprocessor status within the stack.



*If programs are not executed from on-board RAM, TAV1 applies. If programs are to be stored and executed from on-board RAM, TAV2 applies. For normal data storage in the on-board RAM, this extended delay does not apply. Programs cannot be executed from on-board RAM when using A and B parts (MC68A02, MC68A08, MC68B02, and MC68B08). On-board RAM can be used for data storage with all parts.

FIGURE 7 — PROGRAMMING MODEL OF THE MICROPROCESSING UNIT

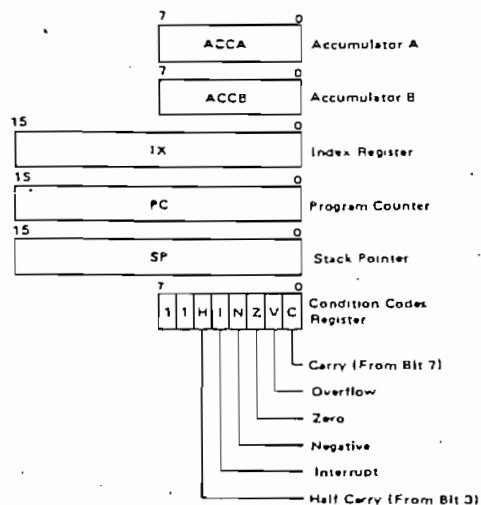
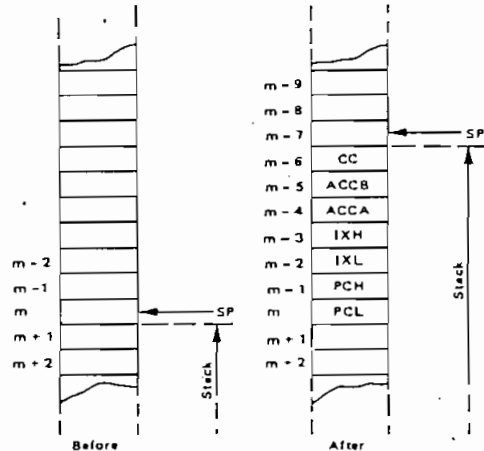


FIGURE 8 — SAVING THE STATUS OF THE MICROPROCESSOR IN THE STACK

- SP = Stack Pointer
- CC = Condition Codes (Also called the Processor Status Byte)
- ACCB = Accumulator B
- ACCA = Accumulator A
- IXH = Index Register, Higher Order 8 Bits
- IXL = Index Register, Lower Order 8 Bits
- PCH = Program Counter, Higher Order 8 Bits
- PCL = Program Counter, Lower Order 8 Bits



MPU SIGNAL DESCRIPTION

Proper operation of the MPU requires that certain control and timing signals be provided to accomplish specific functions and that other signal lines be monitored to determine the state of the processor. These control and timing signals are similar to those of the MC6800 except that TSC, DBE, $\phi 1$, $\phi 2$ input, and two unused pins have been eliminated, and the following signal and timing lines have been added:

- RAM Enable (RE)
- Crystal Connections EXTAL and XTAL
- Memory Ready (MR)
- VCC Standby
- Enable $\phi 2$ Output (E)

The following is a summary of the MPU signals:

ADDRESS BUS (A0-A15)

Sixteen pins are used for the address bus. The outputs are capable of driving one standard TTL load and 90 pF. These lines do not have three-state capability.

DATA BUS (D0-D7)

Eight pins are used for the data bus. It is bidirectional, transferring data to and from the memory and peripheral devices. It also has three-state output buffers capable of driving one standard TTL load and 130 pF.

Data bus will be in the output mode when the internal RAM is accessed and RE will be high. This prohibits external data entering the MPU. It should be noted that the internal RAM is fully decoded from 80000 to 8007F. External RAM at 80000 to 8007F must be disabled when internal RAM is accessed.

HALT

When this input is in the low state, all activity in the machine will be halted. This input is level sensitive. In the HALT mode, the machine will stop at the end of an instruc-

tion, bus available will be at a high state, valid memory address will be at a low state. The address bus will display the address of the next instruction.

To ensure single instruction operation, transition of the HALT line must occur tPCS before the falling edge of E and the HALT line must go high for one clock cycle.

HALT should be tied high if not used. This is good engineering design practice in general and necessary to ensure proper operation of the part.

READ/WRITE (R/W)

This TTL-compatible output signals the peripherals and memory devices whether the MPU is in a read (high) or write (low) state. The normal standby state of this signal is read (high). When the processor is halted, it will be in the read state. This output is capable of driving one standard TTL load and 90 pF.

VALID MEMORY ADDRESS (VMA)

This output indicates to peripheral devices that there is a valid address on the address bus. In normal operation, this signal should be utilized for enabling peripheral interfaces such as the PIA and ACIA. This signal is not three-state. One standard TTL load and 90 pF may be directly driven by this active high signal.

BUS AVAILABLE (BA) — The bus available signal will normally be in the low state; when activated, it will go to the high state indicating that the microprocessor has stopped and that the address bus is available (but not in a three-state condition). This will occur if the HALT line is in the low state or the processor is in the WAIT state as a result of the execution of a WAIT instruction. At such time, all three-state output drivers will go to their off-state and other outputs to their normally inactive level. The processor is removed from the



MC6802 • MC6808 • MC6802NS

WAIT state by the occurrence of a maskable (mask bit I=0) or nonmaskable interrupt. This output is capable of driving one standard TTL load and 30 pF.

INTERRUPT REQUEST (\overline{IRQ})

A low level on this input requests that an interrupt sequence be generated within the machine. The processor will wait until it completes the current instruction that is being executed before it recognizes the request. At that time, if the interrupt mask bit in the condition code register is not set, the machine will begin an interrupt sequence. The index register, program counter, accumulators, and condition code register are stored away on the stack. Next the MPU will respond to the interrupt request by setting the interrupt mask bit high so that no further interrupts may occur. At the end of the cycle, a 16-bit vectoring address which is located in memory locations \$FFF8 and \$FFF9 is loaded which causes the MPU to branch to an interrupt routine in memory.

The HALT line must be in the high state for interrupts to be serviced. Interrupts will be latched internally while HALT is low.

A nominal 3 k Ω pullup resistor to V_{CC} should be used for wire-OR and optimum control of interrupts. \overline{IRQ} may be tied directly to V_{CC} if not used.

RESET

This input is used to reset and start the MPU from a power-down condition, resulting from a power failure or an initial start-up of the processor. When this line is low, the MPU is inactive and the information in the registers will be lost. If a high level is detected on the input, this will signal the MPU to begin the restart sequence. This will start execu-

tion of a routine to initialize the processor from its reset condition. All the higher order address lines will be forced high. For the restart, the last two (\$FFFE, \$FFFF) locations in memory will be used to load the program that is addressed by the program counter. During the restart routine, the interrupt mask bit is set and must be reset before the MPU can be interrupted by \overline{IRQ} . Power-up and reset timing and power-down sequences are shown in Figures 9 and 10, respectively.

RESET, when brought low, must be held low at least three clock cycles. This allows adequate time to respond internally to the reset. This is independent of the t_{rc} power-up reset that is required.

When RESET is released it must go through the low-to-high threshold without bouncing, oscillating, or otherwise causing an erroneous reset (less than three clock cycles). This may cause improper MPU operation until the next valid reset.

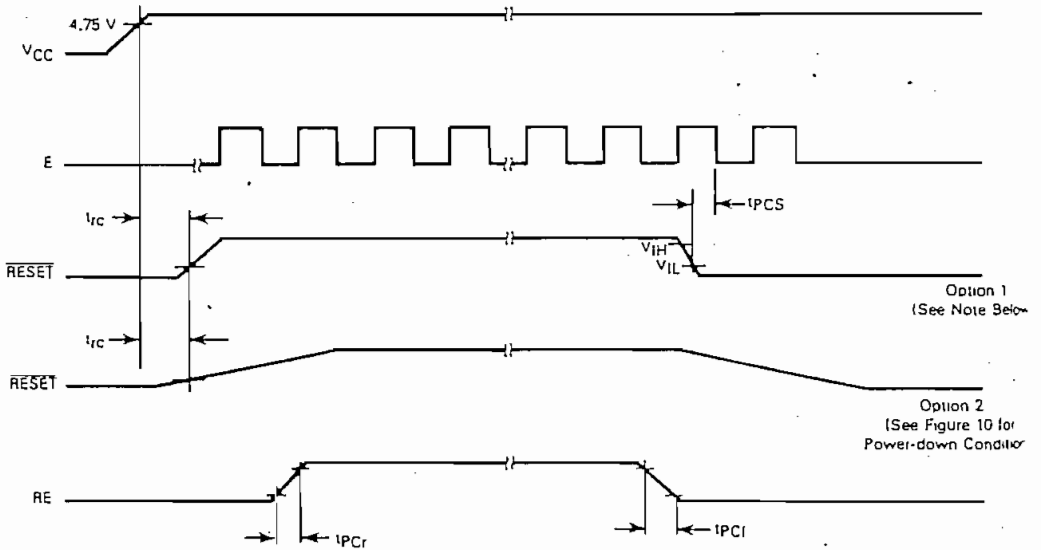
NON-MASKABLE INTERRUPT (\overline{NMI})

A low-going edge on this input requests that a non-maskable interrupt sequence be generated within the processor. As with the interrupt request signal, the processor will complete the current instruction that is being executed before it recognizes the NMI signal. The interrupt mask bit in the condition code register has no effect on NMI.

The index register, program counter, accumulators, and condition code registers are stored away on the stack. At the end of the cycle, a 16-bit vectoring address which is located in memory locations \$FFFC and \$FFFD is loaded causing the MPU to branch to an interrupt service routine in memory.

A nominal 3 k Ω pullup resistor to V_{CC} should be used for wire-OR and optimum control of interrupts. NMI may be tied

FIGURE 9 — POWER-UP AND RESET TIMING



NOTE: If option 1 is chosen, \overline{RESET} and RE pins can be tied together.



directly to VCC if not used.

Inputs \overline{IRQ} and \overline{NMI} are hardware interrupt lines that are sampled when E is high and will start the interrupt routine on a low E following the completion of an instruction.

Figure 11 is a flowchart describing the major decision paths and interrupt vectors of the microprocessor. Table 1 gives the memory map for interrupt vectors.

TABLE 1 — MEMORY MAP FOR INTERRUPT VECTORS

Vector		Description
MS	LS	
\$FFFE	\$FFFF	Restart
\$FFFC	\$FFFD	Non-Maskable Interrupt
\$FFFA	\$FFFB	Software Interrupt
\$FFFB	\$FFF9	Interrupt Request

FIGURE 10 — POWER-DOWN SEQUENCE

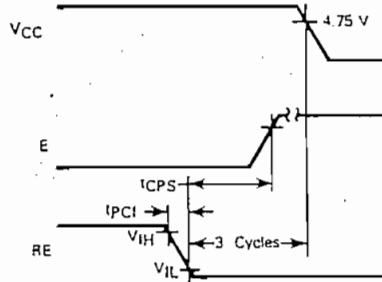


FIGURE 11 — MPU FLOWCHART

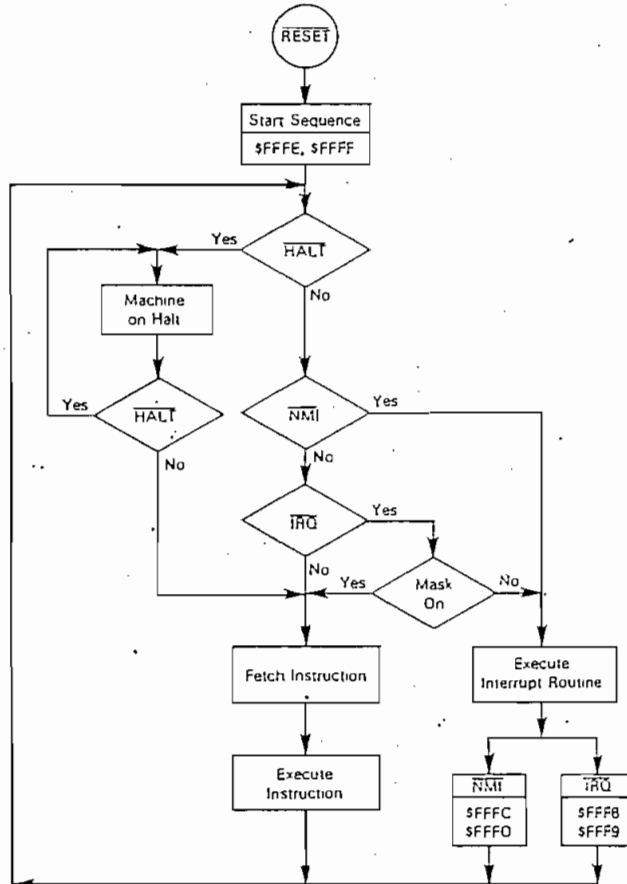
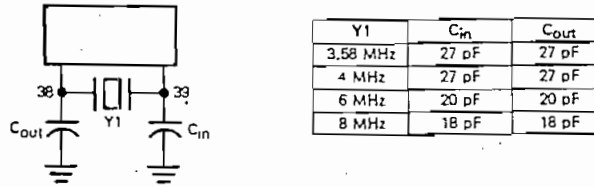
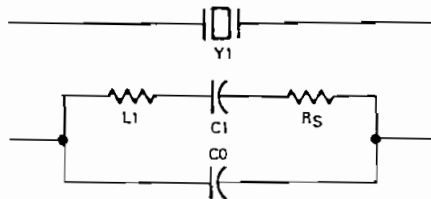


FIGURE 12 — CRYSTAL SPECIFICATIONS



Crystal Loading



Nominal Crystal Parameters*

	3.58 MHz	4.0 MHz	6.0 MHz	8.0 MHz
R _S	60 Ω	50 Ω	30-50 Ω	20-40 Ω
C ₀	3.5 pF	6.5 pF	4-6 pF	4-6 pF
C ₁	0.015 pF	0.025 pF	0.01-0.02 pF	0.01-0.02 pF
Q	> 40K	> 30K	> 20K	> 20K

*These are representative AT-cut parallel resonance crystal parameters only. Crystals of other types of cuts may also be used.

Figure 13 — SUGGESTED PC BOARD LAYOUT

Example of Board Design Using the Crystal Oscillator

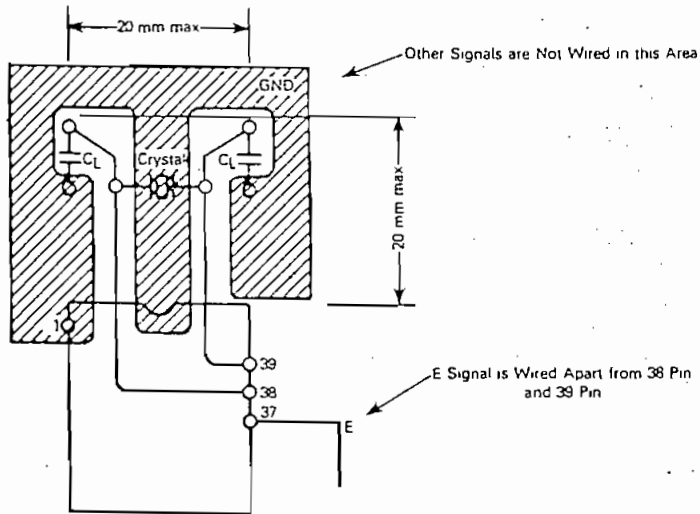


FIGURE 14 — MEMORY READY SYNCHRONIZATION

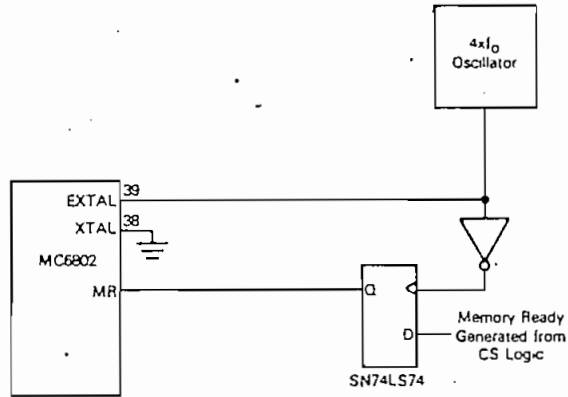
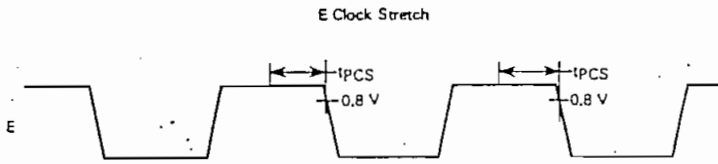
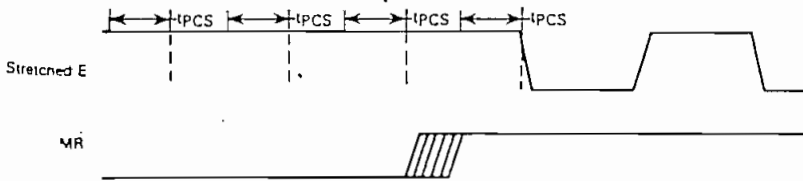


FIGURE 15 — MR NEGATIVE SETUP TIME REQUIREMENT



The E clock will be stretched at end of E high of the cycle during which MR negative meets the t_{PCS} setup time. The t_{PCS} setup time is referenced to the fall of E. If the t_{PCS} setup time is not met, E will be stretched at the end of the next E-high $\frac{1}{2}$ cycle. E will be stretched in integral multiples of $\frac{1}{2}$ cycles.

Resuming E Clocking



The E clock will resume normal operation at the end of the $\frac{1}{2}$ cycle during which MR assertion meets the t_{PCS} setup time. The t_{PCS} setup time is referenced to transitions of E were it not stretched. If t_{PCS} setup time is not met, E will fall at the second possible transition time after MR is asserted. There is no direct means of determining when the t_{PCS} references occur, unless the synchronizing circuit of Figure 14 is used.

RAM ENABLE (RE — MC6802+ MC6802NS ONLY)

A TTL-compatible RAM enable input controls the on-chip RAM of the MC6802. When placed in the high state, the on-chip memory is enabled to respond to the MPU controls. In the low state, RAM is disabled. This pin may also be utilized to disable reading and writing the on-chip RAM during a power-down situation. RAM Enable must be low three cycles before V_{CC} goes below 4.75 V during power-down. RAM enable must be tied low on the MC6808. RE should be tied to the correct high or low state if not used.

EXTAL AND XTAL

These inputs are used for the internal oscillator that may be crystal controlled. These connections are for a parallel resonant fundamental crystal (see Figure 12). (AT-cut.) A divide-by-four circuit has been added so a 4 MHz crystal may be used in lieu of a 1 MHz crystal for a more cost-effective system. An example of the crystal circuit layout is shown in Figure 13. Pin 39 may be driven externally by a TTL input signal four times the required E clock frequency. Pin 38 is to be grounded.

An RC network is not directly usable as a frequency source on pins 38 and 39. An RC network type TTL or CMOS oscillator will work well as long as the TTL or CMOS output drives the on-chip oscillator.

LC networks are not recommended to be used in place of the crystal.

If an external clock is used, it may not be halted for more than $1\mu\text{WdL}$. The MC6802, MC6808 and MC6802NS are dynamic parts except for the internal RAM, and require the external clock to retain information.

MEMORY READY (MR)

MR is a TTL-compatible input signal controlling the stretching of E. Use of MR requires synchronization with the $4 \times f_0$ signal, as shown in Figure 14. When MR is high, E will be in normal operation. When MR is low, E will be stretched integral numbers of half periods, thus allowing interface to slow memories. Memory Ready timing is shown in Figure 15.

MR should be tied high (connected directly to V_{CC}) if not used. This is necessary to ensure proper operation of the part. A maximum stretch is t_{CYC} .

ENABLE (E)

This pin supplies the clock for the MPU and the rest of the system. This is a single-phase, TTL-compatible clock. This clock may be conditioned by a memory read signal. This is equivalent to ϕ_2 on the MC6800. This output is capable of driving one standard TTL load and 130 pF.

 V_{CC} STANDBY (MC6802 ONLY)

This pin supplies the dc voltage to the first 32 bytes of RAM as well as the RAM Enable (RE) control logic. Thus, retention of data in this portion of the RAM on a power-up, power-down, or standby condition is guaranteed. Maximum current drain at V_{SB} maximum is I_{SBB} . For the MC6802NS this pin must be connected to V_{CC} .

MPU INSTRUCTION SET

The instruction set has 77 different instructions. Included are binary and decimal arithmetic, logical, shift, rotate, load, store, conditional or unconditional branch, interrupt and stack manipulation instructions (Tables 2 through 6). The instruction set is the same as that for the MC6800.

MPU ADDRESSING MODES

There are seven addressing modes that can be used by a programmer, with the addressing mode a function of both the type of instruction and the coding within the instruction. A summary of the addressing modes for a particular instruction can be found in Table 7 along with the associated instruction execution time that is given in machine cycles. With a bus frequency of 1 MHz, these times would be microseconds.

ACCUMULATOR (ACCX) ADDRESSING

In accumulator only addressing, either accumulator A or accumulator B is specified. These are one-byte instructions.

IMMEDIATE ADDRESSING

In immediate addressing, the operand is contained in the second byte of the instruction except LDS and LDX which have the operand in the second and third bytes of the instruction. The MPU addresses this location when it fetches the immediate instruction for execution. These are two- or three-byte instructions.

DIRECT ADDRESSING

In direct addressing, the address of the operand is contained in the second byte of the instruction. Direct addressing allows the user to directly address the lowest 256 bytes in the machine, i.e., locations zero through 255. Enhanced execution times are achieved by storing data in these locations. In most configurations, it should be a random-access memory. These are two-byte instructions.

EXTENDED ADDRESSING

In extended addressing, the address contained in the second byte of the instruction is used as the higher eight bits of the address of the operand. The third byte of the instruction is used as the lower eight bits of the address for the operand. This is an absolute address in memory. These are three-byte instructions.

INDEXED ADDRESSING

In indexed addressing, the address contained in the second byte of the instruction is added to the index register's lowest eight bits in the MPU. The carry is then added to the higher order eight bits of the index register. This result is then used to address memory. The modified address is held in a temporary address register so there is no change to the index register. These are two-byte instructions.



IMPLIED ADDRESSING

In the implied addressing mode, the instruction gives the address (i.e., stack pointer, index register, etc.). These are one-byte instructions.

RELATIVE ADDRESSING

In relative addressing, the address contained in the second

byte of the instruction is added to the program counter's lowest eight bits plus two. The carry or borrow is then added to the high eight bits. This allows the user to address data within a range of -125 to +129 bytes of the present instruction. These are two-byte instructions.

TABLE 2 — MICROPROCESSOR INSTRUCTION SET — ALPHABETIC SEQUENCE

ABA	Add Accumulators	CLR	Clear	PUL	Pull Data
ADC	Add with Carry	CLV	Clear Overflow	ROL	Rotate Left
ADD	Add	CMP	Compare	ROR	Rotate Right
AND	Logical And	COM	Complement	RTI	Return from Interrupt
ASL	Arithmetic Shift Left	CPX	Compare Index Register	RTS	Return from Subroutine
ASR	Arithmetic Shift Right				
BCC	Branch if Carry Clear	DAA	Decimal Adjust	SBA	Subtract Accumulators
BCS	Branch if Carry Set	DEC	Decrement	SBC	Subtract with Carry
BEQ	Branch if Equal to Zero	DES	Decrement Stack Pointer	SEC	Set Carry
BGE	Branch if Greater or Equal Zero	DEX	Decrement Index Register	SEI	Set Interrupt Mask
BGT	Branch if Greater than Zero	EOR	Exclusive OR	SEV	Set Overflow
BHI	Branch if Higher	INC	Increment	STA	Store Accumulator
BIT	Bit Test	INS	Increment Stack Pointer	STS	Store Stack Register
BLE	Branch if Less or Equal	INX	Increment Index Register	STX	Store Index Register
BLS	Branch if Lower or Same			SUB	Subtract
BLT	Branch if Less than Zero	JMP	Jump	SWI	Software Interrupt
BMI	Branch if Minus	JSR	Jump to Subroutine		
BNE	Branch if Not Equal to Zero	LDA	Load Accumulator	TAB	Transfer Accumulators
BPL	Branch if Plus	LDS	Load Stack Pointer	TAP	Transfer Accumulators to Condition Code Reg.
BRA	Branch Always	LDS	Load Stack Pointer	TBA	Transfer Accumulators
BSR	Branch to Subroutine	LDX	Load Index Register	TPA	Transfer Condition Code Reg. to Accumulator
BVC	Branch if Overflow Clear	LSR	Logical Shift Right	TST	Test
BVS	Branch if Overflow Set	NEG	Negate	TSX	Transfer Stack Pointer to Index Register
CBA	Compare Accumulators	NOP	No Operation	TXS	Transfer Index Register to Stack Pointer
CLC	Clear Carry	ORA	Inclusive OR Accumulator	WAI	Wait for Interrupt
CLI	Clear Interrupt Mask	PSH	Push Data		



TABLE 3 — ACCUMULATOR AND MEMORY INSTRUCTIONS

OPERATIONS	MNEMONIC	ADDRESSING MODES						ARITHMETIC OPERATION [All register loads refer to comment]	CONDITION CODES									
		IMPLIED		DIRECT		INDEX			EXTND		IMPLIED							
		DP	DP	DP	DP	DP	DP		DP	DP	DP	DP						
ADD	ADD	28	2	2	38	3	2	A8	5	2	B8	4	3	A + M + A				
ADD with Carry	ADDC	28	2	2	38	3	2	A8	5	2	B8	4	3	A + M + C + A				
AND	AND	28	2	2	38	3	2	A8	5	2	B8	4	3	A & M				
AND with Carry	ANDC	28	2	2	38	3	2	A8	5	2	B8	4	3	A & M + C				
OR	OR	28	2	2	38	3	2	A8	5	2	B8	4	3	A M				
OR with Carry	ORC	28	2	2	38	3	2	A8	5	2	B8	4	3	A M + C				
Exclusive OR	EXOR	28	2	2	38	3	2	A8	5	2	B8	4	3	A ⊕ M				
Shift Left Arithmetic	ASL													Shift left by 1 bit				
Shift Right Arithmetic	ASR													Shift right by 1 bit, sign bit replicates				
Shift Left Logical	LSL													Shift left by 1 bit				
Shift Right Logical	LSR													Shift right by 1 bit				
Rotate Right	ROR													Rotate right by 1 bit				
Rotate Right with Carry	RORC													Rotate right by 1 bit, carry bit replicates				
Rotate Left	ROL													Rotate left by 1 bit				
Rotate Left with Carry	ROLC													Rotate left by 1 bit, carry bit replicates				
Decrement	DEC													Decrement by 1				
Increment	INC													Increment by 1				
Test and Set if Above	TS/AS													Test and set if above				
Test and Set if Below	TS/BS													Test and set if below				
Test and Set if Equal	TS/ZE													Test and set if equal				
Test and Set if Not Equal	TS/NE													Test and set if not equal				
Test and Set if Greater Than	TS/GT													Test and set if greater than				
Test and Set if Greater Than or Equal	TS/GE													Test and set if greater than or equal				
Test and Set if Less Than	TS/LT													Test and set if less than				
Test and Set if Less Than or Equal	TS/LE													Test and set if less than or equal				
Test and Clear if Above	TC/AS													Test and clear if above				
Test and Clear if Below	TC/BS													Test and clear if below				
Test and Clear if Equal	TC/ZE													Test and clear if equal				
Test and Clear if Not Equal	TC/NE													Test and clear if not equal				
Test and Clear if Greater Than	TC/GT													Test and clear if greater than				
Test and Clear if Greater Than or Equal	TC/GE													Test and clear if greater than or equal				
Test and Clear if Less Than	TC/LT													Test and clear if less than				
Test and Clear if Less Than or Equal	TC/LE													Test and clear if less than or equal				

LEGEND

- DP - Operation Code (Hexadecimal)
- Number of MPU Cycles
- ± Number of Program Bytes
- + Arithmetic Plus
- Arithmetic Minus
- Boolean AND
- Wsp - Contents of memory location pointed to by Stack Pointer
- Boolean Inclusive OR
- ⊕ Boolean Exclusive OR
- ⊖ Complement of M
- Transfer into
- 0 Bit = Zero
- 00 Byte = Zero

CONDITION CODE SYMBOLS

- M Half carry from bit 7
- I Interrupt mask
- N Negative flag bit
- Z Zero flag bit
- V Overflow 2's complement
- C Carry from bit 7
- R Reset Always
- S Set Always
- T Test and set if true (clears bit when 0)
- Not Affected

Note - Accumulator addressing mode instructions are included in the column for IMPLIED addressing.

TABLE 4 — INDEX REGISTER AND STACK MANIPULATION INSTRUCTIONS

OPERATIONS	MNEMONIC	COND. CODE REG.												BOOLEAN/ARITHMETIC OPERATION	COND. CODE REG.								
		IMMED			DIRECT			INDEX			EXTND				IMPLIED			H	I	N	Z	V	C
		OP	~	=	OP	~	=	OP	~	=	OP	~	=		OP	~	=						
Compare Index Reg	CPX	8C	3	3	9C	4	2	AC	6	2	EC	5	3	08	4	1	XH M, XL (M+1)	•	•	•	•	•	•
Decrement Index Reg	DEX													08	4	1	X 1 - X	•	•	•	•	•	•
Decrement Stack Ptr	DES													04	4	1	SP 1 - SP	•	•	•	•	•	•
Increment Index Reg	INX													08	4	1	X + 1 - X	•	•	•	•	•	•
Increment Stack Ptr	INS													31	4	1	SP + 1 - SP	•	•	•	•	•	•
Load Index Reg	LDX	CE	3	3	0E	4	2	EE	6	2	FE	5	3				M - XH, (M+1) - XL	•	•	•	•	•	•
Load Stack Ptr	LDS	BE	3	3	9E	4	2	AE	6	2	BE	5	3				M - SPH, (M+1) - SPL	•	•	•	•	•	•
Store Index Reg	STX				0F	5	2	EF	7	2	FF	6	3				XH - M, XL - (M+1)	•	•	•	•	•	•
Store Stack Ptr	STS				9F	5	2	AF	7	2	BF	6	3				SPH - M, SPL - (M+1)	•	•	•	•	•	•
Index Reg - Stack Ptr	TXS													35	4	1	X 1 - SP	•	•	•	•	•	•
Stack Ptr - Index Reg	TSX													30	4	1	SP + 1 - X	•	•	•	•	•	•

TABLE 5 — JUMP AND BRANCH INSTRUCTIONS

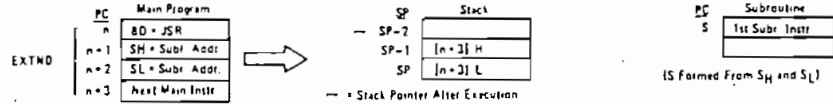
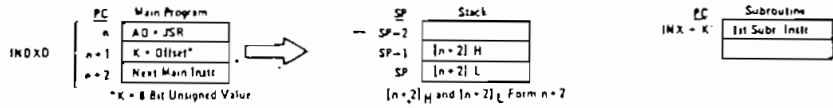
OPERATIONS	MNEMONIC	COND. CODE REG.												BRANCH TEST	COND. CODE REG.					
		RELATIVE			INDEX			EXTND			IMPLIED				H	I	N	Z	V	C
		OP	~	=	OP	~	=	OP	~	=	OP	~	=							
Branch Always	BRA	20	4	2										None	•	•	•	•	•	•
Branch If Carry Clear	BCC	24	4	2										C = 0	•	•	•	•	•	•
Branch If Carry Set	BCS	25	4	2										C = 1	•	•	•	•	•	•
Branch If = Zero	BEQ	27	4	2										Z = 1	•	•	•	•	•	•
Branch If > Zero	BGE	2C	4	2										N ⊙ V = 0	•	•	•	•	•	•
Branch If > Zero	BGT	2E	4	2										Z + (N ⊙ V) = 0	•	•	•	•	•	•
Branch If Higher	BHI	22	4	2										C + Z = 0	•	•	•	•	•	•
Branch If < Zero	BLE	2F	4	2										Z + (N ⊙ V) = 1	•	•	•	•	•	•
Branch If Lower Or Same	BLS	23	4	2										C + Z = 1	•	•	•	•	•	•
Branch If < Zero	BLT	20	4	2										N ⊙ V = 1	•	•	•	•	•	•
Branch If Minus	BMI	28	4	2										N = 1	•	•	•	•	•	•
Branch If Not Equal Zero	BNE	26	4	2										Z = 0	•	•	•	•	•	•
Branch If Overflow Clear	BVC	28	4	2										V = 0	•	•	•	•	•	•
Branch If Overflow Set	BVS	29	4	2										V = 1	•	•	•	•	•	•
Branch If Plus	BPL	2A	4	2										N = 0	•	•	•	•	•	•
Branch To Subroutine	BSR	8D	4	2											•	•	•	•	•	•
Jump	JMP				5E	4	2	7E	3	3				See Special Operations (Figure 16) Advances Prog. Cntr Only	•	•	•	•	•	•
Jump To Subroutine	JSR				AD	4	2	BD	3	3						•	•	•	•	•
No Operation	NOP																			
Return From Interrupt	RTI																			
Return From Subroutine	RTS																			
Software Interrupt	SWI																			
Wait for Interrupt	WAI																			



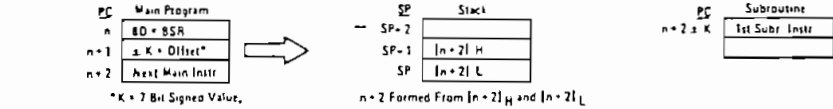
FIGURE 16 — SPECIAL OPERATIONS

SPECIAL OPERATIONS

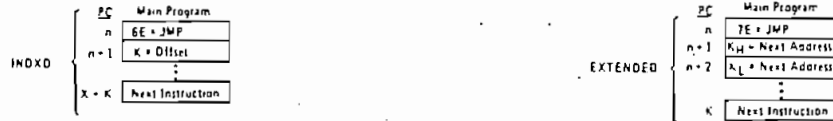
JSR, JUMP TO SUBROUTINE:



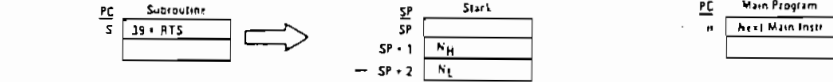
BSR, BRANCH TO SUBROUTINE:



JMP, JUMP:



RTS, RETURN FROM SUBROUTINE.



RTI, RETURN FROM INTERRUPT:

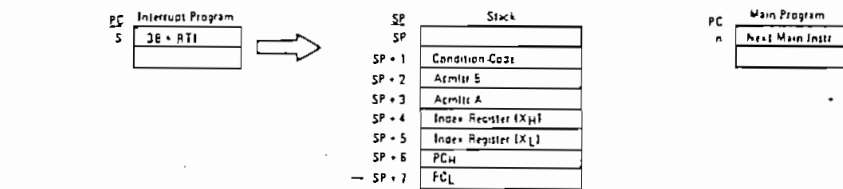


TABLE 6 — CONDITION CODE REGISTER MANIPULATION INSTRUCTIONS

OPERATIONS	MNEMONIC	OP	=	BOOLEAN OPERATION	COND. CODE REG.										
					5	4	3	2	1	0	IMPLIED				
Clear Carry	CLC	0C	2	1	0	C									
Clear Interrupt Mask	CLI	DE	2	1	U	I									
Clear Overflow	CLV	0A	2	1	0	V									
Set Carry	SEC	0D	2	1	1	C									
Set Interrupt Mask	SEI	0F	2	1	1	I									
Set Overflow	SEV	0B	2	1	1	V									
Accum A ← CCR	TAP	05	2	1	A	CCR									
CCR ← Accum A	TPA	07	2	1	CCR	A									

CONDITION CODE REGISTER NOTES (Bit set if test is true and cleared otherwise)

- 1 (Bit V) Test Result = 10000000?
- 2 (Bit C) Test Result / 00000000?
- 3 (Bit I) Test: Decimal value of most significant BCD Character greater than nine? (not cleared if previously set)
- 4 (Bit V) Test: Operand = 10000000 prior to execution?
- 5 (Bit V) Test: Operand = 01111111 prior to execution?
- 6 (Bit V) Test: Set equal to result of NQC after shift has occurred
- 7 (Bit N) Test: Sign bit of most significant (MS) byte = 1?
- 8 (Bit V) Test: 2's complement overflow from subtraction of MS bytes?
- 9 (Bit N) Test: Result less than zero? (Bit 15 = 1)
- 10 (All) Load Condition Code Register from Stack (See Special Operations)
- 11 (Bit I) Set when interrupt occurs. If previously set, a non-maskable interrupt is required to reset the mask state
- 12 (All) Set according to the contents of Accumulator A

TABLE 7 — INSTRUCTION ADDRESSING MODES AND ASSOCIATED EXECUTION TIMES
(Times in Machine Cycle)

	(Dual Operand)								(Dual Operand)						
	ACCX	Immediate	Direct	Extended	Indexed	Implied	Relative		ACCX	Immediate	Direct	Extended	Indexed	Implied	
ABA	INC	
AOC	x	INS	
ADD	INX	
AND	x	JMP	
ASL	.	2	.	.	6	7	.	JSR	
ASR	.	2	.	.	6	7	.	LDA	x	.	2	3	4	5	
BCC	4	LOS	.	.	3	4	5	6	
BCS	4	LDX	.	.	3	4	5	6	
BEA	4	LSR	.	2	.	.	6	7	
BGE	4	NEG	.	2	.	.	6	7	
BGT	4	NOP	2	
BHI	4	ORA	x	.	2	3	4	5	
BIT	x	.	2	3	4	5	.	PSH	4	
BLE	4	PUL	4	
BLS	4	RQL	.	2	.	.	6	7	
BLT	4	ROR	.	2	.	.	6	7	
BMI	4	RTI	10	
BNE	4	RTS	5	
BPL	4	SBA	2	
BRA	4	SBC	x	.	2	3	4	5	
BSR	8	SEC	2	
BVC	4	SEI	2	
BVS	4	SEV	2	
CBA	2	.	STA	x	.	.	4	5	6	
CLC	2	.	STS	.	.	.	5	6	7	
CLI	2	.	STX	.	.	.	5	6	7	
CLR	2	.	.	6	7	.	.	SUB	x	.	2	3	4	5	
CLV	2	.	SWI	12	
CMP	x	.	2	3	4	5	.	TAB	2	
COM	.	2	.	.	6	7	.	TAP	2	
CPX	.	.	3	4	5	6	.	TBA	2	
DAA	2	.	TPA	2	
DEC	2	.	.	6	7	.	.	TST	.	2	.	.	6	7	
DES	4	.	TSX	4	
DEX	4	.	TSX	4	
EOR	x	.	2	3	4	5	.	WAI	9	

NOTE Interrupt time is 12 cycles from the end of the instruction being executed, except following a WAI instruction. Then it is 4 cycles.

SUMMARY OF CYCLE-BY-CYCLE OPERATION

Table 8 provides a detailed description of the information present on the address bus, data bus, valid memory address line (VMA), and the read/write line (R/W) during each cycle for each instruction.

This information is useful in comparing actual with expected results during debug of both software and hardware

as the control program is executed. The information is categorized in groups according to addressing modes and number of cycles per instruction. (In general, instructions with the same addressing mode and number of cycles execute in the same manner; exceptions are indicated in the table.)

TABLE 8 — OPERATIONS SUMMARY

Address Mode and Instructions	Cycles	Cycle #	VMA Line	Address Bus	R/W Line	Data Bus
IMMEDIATE						
ADC EOR ADD LDA AND ORA BIT SBC CMP SUB	2	1 2	1 1	Op Code Address Op Code Address + 1	1 1	Op Code Operand Data
CPX LDS LDX	3	1 2 3	1 1 1	Op Code Address Op Code Address + 1 Op Code Address + 2	1 1 1	Op Code Operand Data (High Order Byte) Operand Data (Low Order Byte)
DIRECT						
ADC EOR ADD LDA AND ORA BIT SBC CMP SUB	3	1 2 3	1 1 1	Op Code Address Op Code Address + 1 Address of Operand	1 1 1	Op Code Address of Operand Operand Data
CPX LDS LDX	4	1 2 3 4	1 1 1 1	Op Code Address Op Code Address + 1 Address of Operand Operand Address + 1	1 1 1 1	Op Code Address of Operand Operand Data (High Order Byte) Operand Data (Low Order Byte)
STA	4	1 2 3 4	1 1 0 1	Op Code Address Op Code Address + 1 Destination Address Destination Address	1 1 1 0	Op Code Destination Address Irrelevant Data (Note 1) Data from Accumulator
STS STX	5	1 2 3 4 5	1 1 0 1 1	Op Code Address Op Code Address + 1 Address of Operand Address of Operand Address of Operand + 1	1 1 1 0 0	Op Code Address of Operand Irrelevant Data (Note 1) Register Data (High Order Byte) Register Data (Low Order Byte)
INDEXED						
JMP	4	1 2 3 4	1 1 0 0	Op Code Address Op Code Address + 1 Index Register Index Register Plus Offset (w/o Carry)	1 1 1 1	Op Code Offset Irrelevant Data (Note 1) Irrelevant Data (Note 1)
ADC EOR ADD LDA AND ORA BIT SBC CMP SUB	5	1 2 3 4 5	1 1 0 0 1	Op Code Address Op Code Address + 1 Index Register Index Register Plus Offset (w/o Carry) Index Register Plus Offset	1 1 1 1 1	Op Code Offset Irrelevant Data (Note 1) Irrelevant Data (Note 1) Operand Data
CPX LDS LDX	6	1 2 3 4 5 6	1 1 0 0 1 1	Op Code Address Op Code Address + 1 Index Register Index Register Plus Offset (w/o Carry) Index Register Plus Offset Index Register Plus Offset + 1	1 1 1 1 1 1	Op Code Offset Irrelevant Data (Note 1) Irrelevant Data (Note 1) Operand Data (High Order Byte) Operand Data (Low Order Byte)

TABLE B — OPERATIONS SUMMARY (CONTINUED)

Address Mode and Instructions	Cycles	Cycle #	VMA Line	Address Bus	R/W Line	Data Bus
INDEXED (Continued)						
STA	6	1	1	Op Code Address	1	Op Code
		2	1	Op Code Address + 1	1	Offset
		3	0	Index Register	1	Irrelevant Data (Note 1)
		4	0	Index Register Plus Offset (w/o Carry)	1	Irrelevant Data (Note 1)
		5	0	Index Register Plus Offset	1	Irrelevant Data (Note 1)
6	1	Index Register Plus Offset	0	Operand Data		
ASL LSR ASR NEG CLR ROL COM ROR DEC TST INC	7	1	1	Op Code Address	1	Op Code
		2	1	Op Code Address + 1	1	Offset
		3	0	Index Register	1	Irrelevant Data (Note 1)
		4	0	Index Register Plus Offset (w/o Carry)	1	Irrelevant Data (Note 1)
		5	1	Index Register Plus Offset	1	Current Operand Data
		6	0	Index Register Plus Offset	1	Irrelevant Data (Note 1)
		7	1/0 (Note 3)	Index Register Plus Offset	0	New Operand Data (Note 3)
STS STX	7	1	1	Op Code Address	1	Op Code
		2	1	Op Code Address + 1	1	Offset
		3	0	Index Register	1	Irrelevant Data (Note 1)
		4	0	Index Register Plus Offset (w/o Carry)	1	Irrelevant Data (Note 1)
		5	0	Index Register Plus Offset	1	Irrelevant Data (Note 1)
		6	1	Index Register Plus Offset	0	Operand Data (High Order Byte)
		7	1	Index Register Plus Offset + 1	0	Operand Data (Low Order Byte)
JSR	8	1	1	Op Code Address	1	Op Code
		2	1	Op Code Address + 1	1	Offset
		3	0	Index Register	1	Irrelevant Data (Note 1)
		4	1	Stack Pointer	0	Return Address (Low Order Byte)
		5	1	Stack Pointer - 1	0	Return Address (High Order Byte)
		6	0	Stack Pointer - 2	1	Irrelevant Data (Note 1)
		7	0	Index Register	1	Irrelevant Data (Note 1)
		8	0	Index Register Plus Offset (w/o Carry)	1	Irrelevant Data (Note 1)
EXTENDED						
JMP	3	1	1	Op Code Address	1	Op Code
		2	1	Op Code Address + 1	1	Jump Address (High Order Byte)
		3	1	Op Code Address + 2	1	Jump Address (Low Order Byte)
ADC EOR ADD LOA AND ORA BIT SBC CMP SUB	4	1	1	Op Code Address	1	Op Code
		2	1	Op Code Address + 1	1	Address of Operand (High Order Byte)
		3	1	Op Code Address + 2	1	Address of Operand (Low Order Byte)
		4	1	Address of Operand	1	Operand Data
CPX LDS LDX	5	1	1	Op Code Address	1	Op Code
		2	1	Op Code Address + 1	1	Address of Operand (High Order Byte)
		3	1	Op Code Address + 2	1	Address of Operand (Low Order Byte)
		4	1	Address of Operand	1	Operand Data (High Order Byte)
		5	1	Address of Operand + 1	1	Operand Data (Low Order Byte)
STA A STA B	5	1	1	Op Code Address	1	Op Code
		2	1	Op Code Address + 1	1	Destination Address (High Order Byte)
		3	1	Op Code Address + 2	1	Destination Address (Low Order Byte)
		4	0	Operand Destination Address	1	Irrelevant Data (Note 1)
		5	1	Operand Destination Address	0	Data from Accumulator
ASL LSR ASR NEG CLR ROL COM ROR DEC TST INC	6	1	1	Op Code Address	1	Op Code
		2	1	Op Code Address + 1	1	Address of Operand (High Order Byte)
		3	1	Op Code Address + 2	1	Address of Operand (Low Order Byte)
		4	1	Address of Operand	1	Current Operand Data
		5	0	Address of Operand	1	Irrelevant Data (Note 1)
		6	1/0 (Note 3)	Address of Operand	0	New Operand Data (Note 3)

TABLE 8 — OPERATIONS SUMMARY (CONTINUED)

Address Mode and Instructions	Cycles	Cycle #	VMA Line	Address Bus	R/W Line	Data Bus	
EXTENDED (Continued)							
STS STX	6	1	1	Op Code Address	1	Op Code	
		2	1	Op Code Address + 1	1	Address of Operand (High Order Byte)	
		3	1	Op Code Address + 2	1	Address of Operand (Low Order Byte)	
		4	0	Address of Operand	1	Irrelevant Data (Note 1)	
		5	1	Address of Operand	0	Operand Data (High Order Byte)	
		6	1	Address of Operand + 1	0	Operand Data (Low Order Byte)	
JSR	9	1	1	Op Code Address	1	Op Code	
		2	1	Op Code Address + 1	1	Address of Subroutine (High Order Byte)	
		3	1	Op Code Address + 2	1	Address of Subroutine (Low Order Byte)	
		4	1	Subroutine Starting Address	1	Op Code of Next Instruction	
		5	1	Stack Pointer	0	Return Address (Low Order Byte)	
		6	1	Stack Pointer - 1	0	Return Address (High Order Byte)	
		7	0	Stack Pointer - 2	1	Irrelevant Data (Note 1)	
		8	0	Op Code Address + 2	1	Irrelevant Data (Note 1)	
		9	1	Op Code Address + 2	1	Address of Subroutine (Low Order Byte)	
INHERENT							
ABA DAA SEC ASL DEC SEI ASR INC SEV CBA LSR TAB CLC NEG TAP CLI NOP TBA CLR ROL TPA CLV ROR TST COM SBA	2	1	1	Op Code Address	1	Op Code	
		2	1	Op Code Address + 1	1	Op Code of Next Instruction	
	DES DEX INS INX	4	1	1	Op Code Address	1	Op Code
			2	1	Op Code Address + 1	1	Op Code of Next Instruction
			3	0	Previous Register Contents	1	Irrelevant Data (Note 1)
	4		0	New Register Contents	1	Irrelevant Data (Note 1)	
PSH	4	1	1	Op Code Address	1	Op Code	
		2	1	Op Code Address + 1	1	Op Code of Next Instruction	
		3	1	Stack Pointer	0	Accumulator Data	
4		0	Stack Pointer - 1	1	Accumulator Data		
PUL	4	1	1	Op Code Address	1	Op Code	
		2	1	Op Code Address + 1	1	Op Code of Next Instruction	
		3	0	Stack Pointer	1	Irrelevant Data (Note 1)	
4		1	Stack Pointer + 1	1	Operand Data from Stack		
TSX	4	1	1	Op Code Address	1	Op Code	
		2	1	Op Code Address + 1	1	Op Code of Next Instruction	
		3	0	Stack Pointer	1	Irrelevant Data (Note 1)	
4		0	New Index Register	1	Irrelevant Data (Note 1)		
TXS	4	1	1	Op Code Address	1	Op Code	
		2	1	Op Code Address + 1	1	Op Code of Next Instruction	
		3	0	Index Register	1	Irrelevant Data	
4		0	New Stack Pointer	1	Irrelevant Data		
RTS	5	1	1	Op Code Address	1	Op Code	
		2	1	Op Code Address + 1	1	Irrelevant Data (Note 2)	
		3	0	Stack Pointer	1	Irrelevant Data (Note 1)	
		4	1	Stack Pointer + 1	1	Address of Next Instruction (High Order Byte)	
5		1	Stack Pointer + 2	1	Address of Next Instruction (Low Order Byte)		

TABLE 8 — OPERATIONS SUMMARY (CONCLUDED)

Address Mode and Instructions	Cycles	Cycle #	VMA Line	Address Bus	R/W Line	Data Bus
INHERENT (Continued)						
WAI	9	1	1	Op Code Address	1	Op Code
		2	1	Op Code Address + 1	1	Op Code of Next Instruction
		3	1	Stack Pointer	0	Return Address (Low Order Byte)
		4	1	Stack Pointer - 1	0	Return Address (High Order Byte)
		5	1	Stack Pointer - 2	0	Index Register (Low Order Byte)
		6	1	Stack Pointer - 3	0	Index Register (High Order Byte)
		7	1	Stack Pointer - 4	0	Contents of Accumulator A
		8	1	Stack Pointer - 5	0	Contents of Accumulator B
		9	1	Stack Pointer - 6	1	Contents of Cond. Code Register
RTI	10	1	1	Op Code Address	1	Op Code
		2	1	Op Code Address + 1	1	Irrelevant Data (Note 2)
		3	0	Stack Pointer	1	Irrelevant Data (Note 1)
		4	1	Stack Pointer + 1	1	Contents of Cond. Code Register from Stack
		5	1	Stack Pointer + 2	1	Contents of Accumulator B from Stack
		6	1	Stack Pointer + 3	1	Contents of Accumulator A from Stack
		7	1	Stack Pointer + 4	1	Index Register from Stack (High Order Byte)
		8	1	Stack Pointer + 5	1	Index Register from Stack (Low Order Byte)
		9	1	Stack Pointer + 6	1	Next Instruction Address from Stack (High Order Byte)
		10	1	Stack Pointer + 7	1	Next Instruction Address from Stack (Low Order Byte)
SWI	12	1	1	Op Code Address	1	Op Code
		2	1	Op Code Address + 1	1	Irrelevant Data (Note 1)
		3	1	Stack Pointer	0	Return Address (Low Order Byte)
		4	1	Stack Pointer - 1	0	Return Address (High Order Byte)
		5	1	Stack Pointer - 2	0	Index Register (Low Order Byte)
		6	1	Stack Pointer - 3	0	Index Register (High Order Byte)
		7	1	Stack Pointer - 4	0	Contents of Accumulator A
		8	1	Stack Pointer - 5	0	Contents of Accumulator B
		9	1	Stack Pointer - 6	0	Contents of Cond. Code Register
		10	0	Stack Pointer - 7	1	Irrelevant Data (Note 1)
		11	1	Vector Address FFFA (Hex)	1	Address of Subroutine (High Order Byte)
		12	1	Vector Address FFFB (Hex)	1	Address of Subroutine (Low Order Byte)
RELATIVE						
BCC BHI BNE BCS BLE BPL BED BLS BRA BGE BLT BVC BGT BMI BVS	4	1	1	Op Code Address	1	Op Code
		2	1	Op Code Address + 1	1	Branch Offset
		3	0	Op Code Address + 2	1	Irrelevant Data (Note 1)
		4	0	Branch Address	1	Irrelevant Data (Note 1)
BSR	8	1	1	Op Code Address	1	Op Code
		2	1	Op Code Address + 1	1	Branch Offset
		3	0	Return Address of Main Program	1	Irrelevant Data (Note 1)
		4	1	Stack Pointer	0	Return Address (Low Order Byte)
		5	1	Stack Pointer - 1	0	Return Address (High Order Byte)
		6	0	Stack Pointer - 2	1	Irrelevant Data (Note 1)
		7	0	Return Address of Main Program	1	Irrelevant Data (Note 1)
		8	0	Subroutine Address (Note 4)	1	Irrelevant Data (Note 1)

NOTES:

1. If device which is addressed during this cycle uses VMA, then the Data Bus will go to the high-impedance three-state condition. Depending on bus capacitance, data from the previous cycle may be retained on the Data Bus.
2. Data is ignored by the MPU.
3. For FST, VMA = 0 and Operand data does not change.
4. MS Byte of Address Bus = MS Byte of Address of BSR instruction and LS Byte of Address Bus = LS Byte of Sub-Routine Address.



MOTOROLA

ASYNCHRONOUS COMMUNICATIONS INTERFACE ADAPTER (ACIA)

The MC6850 Asynchronous Communications Interface Adapter provides the data formatting and control to interface serial asynchronous data communications information to bus organized systems such as the MC6800 Microprocessing Unit.

The bus interface of the MC6850 includes select, enable, read/write, interrupt and bus interface logic to allow data transfer over an 8-bit bidirectional data bus. The parallel data of the bus system is serially transmitted and received by the asynchronous data interface, with proper formatting and error checking. The functional configuration of the ACIA is programmed via the data bus during system initialization. A programmable Control Register provides variable word lengths, clock division ratios, transmit control, receive control, and interrupt control. For peripheral or modem operation, three control lines are provided. These lines allow the ACIA to interface directly with the MC6860L 0-600 bps digital modem.

- 8- and 9-Bit Transmission
- Optional Even and Odd Parity
- Parity, Overrun and Framing Error Checking
- Programmable Control Register
- Optional -1, -16, and -64 Clock Modes
- Up to 1.0 Mbps Transmission
- False Start Bit Deletion
- Peripheral/Modem Control Functions
- Double Buffered
- One- or Two-Stop Bit Operation

MC6850

(1.0 MHz)

MC68A50

(1.5 MHz)

MC68B50

(2.0 MHz)

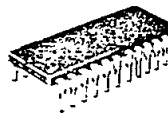
MOS

(IN-CHANNEL, SILICON-GATE)

ASYNCHRONOUS COMMUNICATIONS INTERFACE ADAPTER



S SUFFIX
LEAD DIP PACKAGE
CASE 623

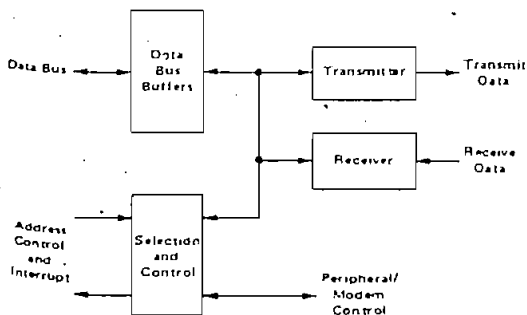


P SUFFIX
PLASTIC PACKAGE
CASE 709

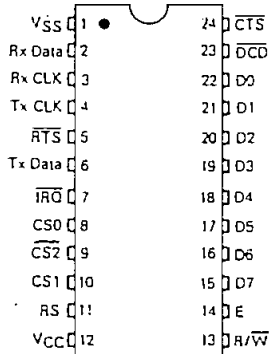


L SUFFIX
CERAMIC PACKAGE
CASE 716

MC6850 ASYNCHRONOUS COMMUNICATIONS INTERFACE ADAPTER BLOCK DIAGRAM



PIN ASSIGNMENT



MC6850 • MC68A50 • MC68B50

MAXIMUM RATINGS

Characteristics	Symbol	Value	Unit
Supply Voltage	V _{CC}	-0.3 to +7.0	V
Input Voltage	V _{in}	-0.3 to +7.0	V
Operating Temperature Range MC6850, MC68A50, MC68B50 MC6850C, MC68A50C, MC68B50C	T _A	T _L to T _H 0 to 70 -40 to +85	°C
Storage Temperature Range	T _{stg}	-55 to +150	°C

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than the maximum rated voltages to this high-impedance circuit. Reliability of operation is enhanced if unused inputs are tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{CC}).

THERMAL CHARACTERISTICS

Characteristic	Symbol	Value	Unit
Thermal Resistance Plastic Ceramic Cerdip	θ _{JA}	120 60 65	°C/W

POWER CONSIDERATIONS

The average chip-junction temperature, T_J, in °C can be obtained from:

$$T_J = T_A + (P_D \cdot \theta_{JA}) \tag{1}$$

Where:

- T_A = Ambient Temperature, °C
- θ_{JA} = Package Thermal Resistance, Junction-to-Ambient, °C/W
- P_D = P_{INT} + P_{PORT}
- P_{INT} = I_{CC} × V_{CC}, Watts — Chip Internal Power
- P_{PORT} = Port Power Dissipation, Watts — User Determined

For most applications P_{PORT} < P_{INT} and can be neglected. P_{PORT} may become significant if the device is configured to drive Darlington bases or sink LED loads.

An approximate relationship between P_D and T_J (if P_{PORT} is neglected) is:

$$P_D = K - (T_J + 273^\circ\text{C}) \tag{2}$$

Solving equations 1 and 2 for K gives:

$$K = P_D \cdot (T_A + 273^\circ\text{C}) + \theta_{JA} \cdot P_D^2 \tag{3}$$

Where K is a constant pertaining to the particular part. K can be determined from equation 3 by measuring P_D (at equilibrium) for a known T_A. Using this value of K the values of P_D and T_J can be obtained by solving equations (1) and (2) iteratively for the value of T_A.

DC ELECTRICAL CHARACTERISTICS (V_{CC} = 5.0 Vdc ± 5%, V_{SS} = 0, T_A = T_L to T_H unless otherwise noted)

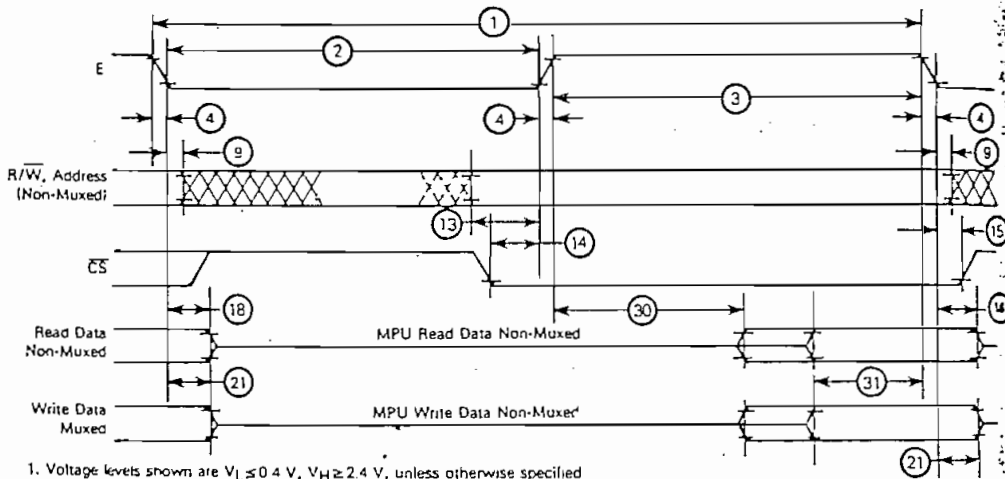
Characteristic	Symbol	Min	Typ	Max	Unit
Input High Voltage	V _{IH}	V _{SS} + 2.0	—	V _{CC}	V
Input Low Voltage	V _{IL}	V _{SS} - 0.3	—	V _{SS} - 0.6	V
Input Leakage Current (V _{in} = 0 to 5.25 V)	I _{in}	—	1.0	2.5	μA
Three-State (Off State) Input Current (V _{in} = 0.4 to 2.4 V)	I _{TSI}	—	2.0	10	μA
Output High Voltage (I _{Load} = -205 μA, Enable Pulse Width < 25 μs) (I _{Load} = -100 μA, Enable Pulse Width < 25 μs)	V _{OH}	V _{SS} + 2.4 V _{SS} + 2.4	—	—	V
Output Low Voltage (I _{Load} = 1.6 mA, Enable Pulse Width < 25 μs)	V _{OL}	—	—	V _{SS} + 0.4	V
Output Leakage Current (Off State) (V _{OH} = 2.4 V)	I _{RO}	—	1.0	10	μA
Internal Power Dissipation (Measured at T _A = T _L)	P _{INT}	—	300	525	mW
Internal Input Capacitance (V _{in} = 0, T _A = 25°C, f = 1.0 MHz)	C _{in}	—	10 7.0	12.5 7.5	pF
Output Capacitance (V _{in} = 0, T _A = 25°C, f = 1.0 MHz)	C _{out}	—	—	10 5.0	pF

MC6850 • MC68A50 • MC68B50

BUS TIMING CHARACTERISTICS (See Notes 1 and 2 and Figure 7)

Ident. Number	Characteristic	Symbol	MC6850		MC68A50		MC68B50		Unit
			Min	Max	Min	Max	Min	Max	
1	Cycle Time	t_{cyc}	1.0	10	0.67	10	0.5	10	ns
2	Pulse Width, E Low	PW_{EL}	430	9500	280	9500	210	9500	ns
3	Pulse Width, E High	PW_{EH}	450	9500	290	9500	220	9500	ns
4	Clock Rise and Fall Time	t_r, t_f	—	25	—	25	—	20	ns
9	Address Hold Time	t_{AH}	10	—	10	—	10	—	ns
13	Address Setup Time Before E	t_{AS}	80	—	60	—	40	—	ns
14	Chip Select Setup Time Before E	t_{CS}	80	—	60	—	40	—	ns
15	Chip Select Hold Time	t_{CH}	10	—	10	—	10	—	ns
18	Read Data Hold Time	t_{DHR}	20	100	20	100	20	100	ns
21	Write Data Hold Time	t_{DHW}	10	—	10	—	10	—	ns
30	Output Data Delay Time	t_{DDR}	—	290	—	180	—	150	ns
31	Input Data Setup Time	t_{DSW}	155	—	80	—	60	—	ns

FIGURE 7 — BUS TIMING CHARACTERISTICS



1. Voltage levels shown are $V_L \approx 0.4$ V, $V_H \approx 2.4$ V, unless otherwise specified.
2. Measurement points shown are 0.8 V and 2.0 V, unless otherwise specified.

FIGURE 8 — BUS TIMING TEST LOADS

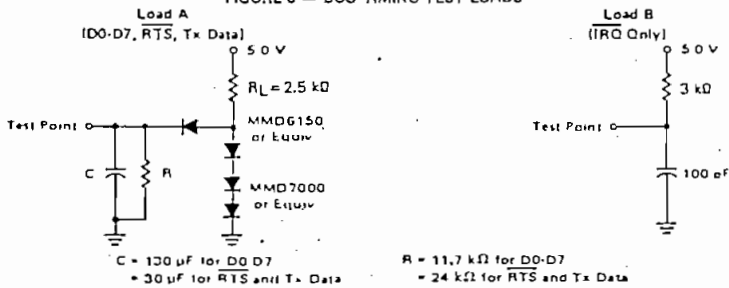
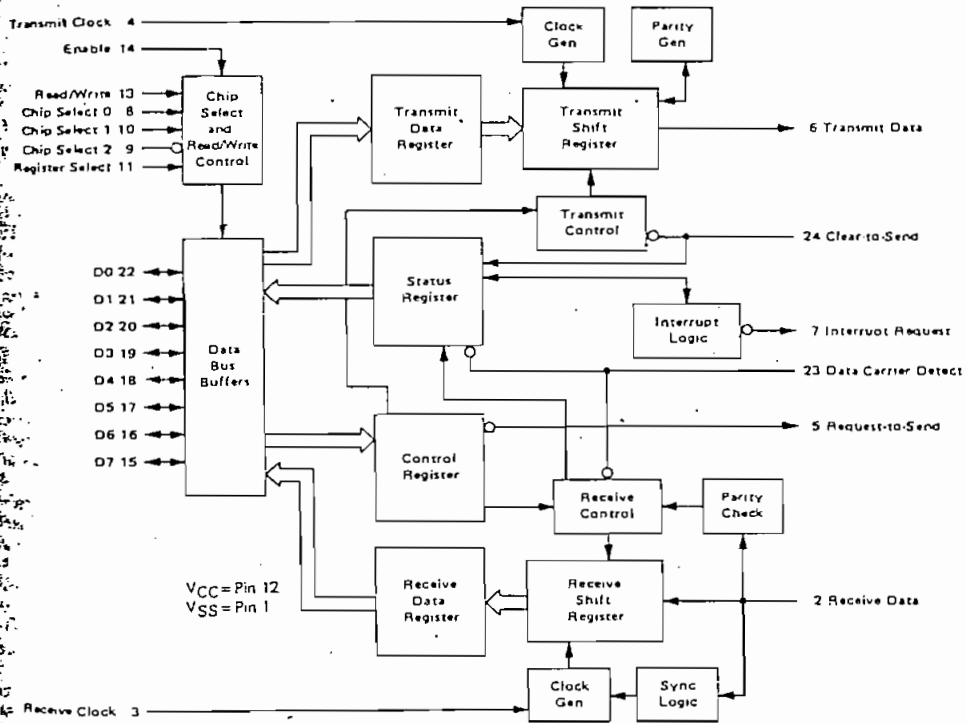


FIGURE 9 — EXPANDED BLOCK DIAGRAM



DEVICE OPERATION

At the bus interface, the ACIA appears as two addressable memory locations. Internally, there are four registers: two read-only and two write-only registers. The read-only registers are Status and Receive Data; the write-only registers are Control and Transmit Data. The serial interface consists of serial input and output lines with independent clocks, and three peripheral/modem control lines.

POWER ON/MASTER RESET

The master reset (CR0, CR1) should be set during system initialization to insure the reset condition and prepare for programming the ACIA functional configuration when the communications channel is required. During the first master reset, the IRQ and RTS outputs are held at level 1. On all subsequent master resets, the RTS output can be programmed high or low with the IRQ output held high. Control bits CR5 and CR6 should also be programmed to define the state of the RTS whenever master reset is utilized. The ACIA also contains internal power-on reset logic to detect the power line transition and hold the chip in a reset state to prevent erroneous output transitions prior to initialization. This feature depends on clean power turn-on transitions. The

power-on reset is released by means of the bus-programmed master reset which must be applied prior to operating the ACIA. After master resetting the ACIA, the programmable Control Register can be set for a number of options such as variable clock divider ratios, variable word length, one or two stop bits, parity (even, odd, or none), etc.

TRANSMIT

A typical transmitting sequence consists of reading the ACIA Status Register either as a result of an interrupt or in the ACIA's turn in a polling sequence. A character may be written into the Transmit Data Register if the status read operation has indicated that the Transmit Data Register is empty. This character is transferred to a Shift Register where it is serialized and transmitted from the Transmit Data output preceded by a start bit and followed by one or two stop bits. Internal parity (odd or even) can be optionally added to the character and will occur between the last data bit and the first stop bit. After the first character is written in the Data Register, the Status Register can be read again to check for a Transmit Data Register Empty condition and current peripheral status. If the register is empty, another character can be loaded for transmission even though the first character is in the process of being transmitted (because of

MC6850•MC68A50•MC68B50

double buffering). The second character will be automatically transferred into the Shift Register when the first character transmission is completed. This sequence continues until all the characters have been transmitted.

RECEIVE

Data is received from a peripheral by means of the Receive Data Input. A divide-by-one clock ratio is provided for an externally synchronized clock (to its data) while the divide-by-16 and 64 ratios are provided for internal synchronization. Bit synchronization in the divide-by-16 and 64 modes is initiated by the detection of 8 or 32 low samples on the receive line in the divide-by-16 and 64 modes respectively. False start bit deletion capability insures that a full half bit of a start bit has been received before the internal clock is synchronized to the bit time. As a character is being received, parity (odd or even) will be checked and the error indication will be available in the Status Register along with framing error, overrun error, and Receive Data Register full. In a typical receiving sequence, the Status Register is read to determine if a character has been received from a peripheral. If the Receiver Data Register is full, the character is placed on the 8-bit ACIA bus when a Read Data command is received from the MPU. When parity has been selected for a 7-bit word (7 bits plus parity), the receiver strips the parity bit (D7=0) so that data alone is transferred to the MPU. This feature reduces MPU programming. The Status Register can continue to be read to determine when another character is available in the Receive Data Register. The receiver is also double buffered so that a character can be read from the data register as another character is being received in the shift register. The above sequence continues until all characters have been received.

INPUT/OUTPUT FUNCTIONS

ACIA INTERFACE SIGNALS FOR MPU

The ACIA interfaces to the M6800 MPU with an 8-bit bidirectional data bus, three chip select lines, a register select line, an interrupt request line, read/write line, and enable line. These signals permit the MPU to have complete control over the ACIA.

ACIA Bidirectional Data (D0-D7) — The bidirectional data lines (D0-D7) allow for data transfer between the ACIA and the MPU. The data bus output drivers are three-state devices that remain in the high-impedance (off) state except when the MPU performs an ACIA read operation.

ACIA Enable (E) — The Enable signal, E, is a high-impedance TTL-compatible input that enables the bus input/output data buffers and clocks data to and from the ACIA. This signal will normally be a derivative of the MC6800 $\phi 2$ Clock or MC6809 E clock.

Read/Write (R/W) — The Read/Write line is a high-impedance input that is TTL compatible and is used to control the direction of data flow through the ACIA's input/output data bus interface. When Read/Write is high (MPU Read cycle), ACIA output drivers are turned on and a selected register is read. When it is low, the ACIA output drivers are

turned off and the MPU writes into a selected register. Therefore, the Read/Write signal is used to select read-only or write-only registers within the ACIA.

Chip Select (CS0, CS1, CS2) — These three high-impedance TTL-compatible input lines are used to address the ACIA. The ACIA is selected when CS0 and CS1 are high and CS2 is low. Transfers of data to and from the ACIA are then performed under the control of the Enable Signal, Read/Write, and Register Select.

Register Select (RS) — The Register Select line is a high-impedance input that is TTL compatible. A high level is used to select the Transmit/Receive Data Registers and a low level the Control/Status Registers. The Read/Write signal line is used in conjunction with Register Select to select a read-only or write-only register in each register pair.

Interrupt Request (IRQ) — Interrupt Request is a TTL-compatible, open-drain (no internal pullup), active low output that is used to interrupt the MPU. The IRQ output remains low as long as the cause of the interrupt is present and the appropriate interrupt enable within the ACIA is set. The IRQ status bit, when high, indicates the IRQ output is in the active state.

Interrupts result from conditions in both the transmitter and receiver sections of the ACIA. The transmitter section causes an interrupt when the Transmitter Interrupt Enable condition is selected (CR5-CR6), and the Transmitter Data Register Empty (TDRE) status bit is high. The TDRE status bit indicates the current status of the Transmitter Data Register except when inhibited by Clear-to-Send (CTS) being high or the ACIA being maintained in the Reset condition. The interrupt is cleared by writing data into the Transmitter Data Register. The interrupt is masked by disabling the Transmitter Interrupt via CR5 or CR6 or by the loss of CTS which inhibits the TDRE status bit. The Receiver section causes an interrupt when the Receiver Interrupt Enable is set and the Receive Data Register Full (RDRF) status bit is high, an Overrun has occurred, or Data Carrier Detect (DCD) has gone high. An interrupt resulting from the RDRF status bit can be cleared by reading data or resetting the ACIA. Interrupts caused by Overrun or loss of DCD are cleared by reading the status register after the error condition has occurred and then reading the Receive Data Register or resetting the ACIA. The receiver interrupt is masked by resetting the Receiver Interrupt Enable.

CLOCK INPUTS

Separate high-impedance TTL-compatible inputs are provided for clocking of transmitted and received data. Clock frequencies of 1, 16, or 64 times the data rate may be selected.

Transmit Clock (Tx CLK) — The Transmit Clock input is used for the clocking of transmitted data. The transmitter initiates data on the negative transition of the clock.

Receive Clock (Rx CLK) — The Receive Clock input is used for synchronization of received data. (In the 1 mode, the clock and data must be synchronized externally.) The receiver samples the data on the positive transition of the clock.

SERIAL INPUT/OUTPUT LINES

Receive Data (Rx Data) — The Receive Data line is a high-impedance TTL-compatible input through which data is received in a serial format. Synchronization with a clock for direction of data is accomplished internally when clock rates of 16 or 64 times the bit rate are used.

Transmit Data (Tx Data) — The Transmit Data output line transfers serial data to a modem or other peripheral.

PERIPHERAL/MODEM CONTROL

The ACIA includes several functions that permit limited control of a peripheral or modem. The functions included are Clear-to-Send, Request-to-Send and Data Carrier Detect.

Clear-to-Send (CTS) — This high-impedance TTL-compatible input provides automatic control of the transmitting end of a communications link via the modem Clear-to-Send active low output by inhibiting the Transmit Data Register Empty (TDRE) status bit.

Request-to-Send (RTS) — The Request-to-Send output enables the MPU to control a peripheral or modem via the bus. The RTS output corresponds to the state of the Control Register bits CR5 and CR6. When CR6=0 or both CR5 and CR6=1, the RTS output is low (the active state). The output can also be used for Data Terminal Ready (DTR).

Data Carrier Detect (DCD) — This high-impedance TTL-compatible input provides automatic control, such as in the receiving end of a communications link by means of a modem Data Carrier Detect output. The DCD input inhibits and initializes the receiver section of the ACIA when high. A low-to-high transition of the Data Carrier Detect initiates an interrupt to the MPU to indicate the occurrence of a loss of carrier when the Receive Interrupt Enable bit is set. The CLK must be running for proper DCD operation.

ACIA REGISTERS

The expanded block diagram for the ACIA indicates the internal registers on the chip that are used for the status, control, receiving, and transmitting of data. The content of each of the registers is summarized in Table 1.

TRANSMIT DATA REGISTER (TDR)

Data is written in the Transmit Data Register during the negative transition of the enable (E) when the ACIA has been addressed with RS high and R/W low. Writing data into the register causes the Transmit Data Register Empty bit in the Status Register to go low. Data can then be transmitted. If the transmitter is idling and no character is being transmitted, then the transfer will take place within 1-bit time of the trailing edge of the Write command. If a character is being transmitted, the new data character will commence as soon as the previous character is complete. The transfer of data causes the Transmit Data Register Empty (TDRE) bit to indicate empty.

RECEIVE DATA REGISTER (RDR)

Data is automatically transferred to the empty Receive Data Register (RDR) from the receiver deserializer (a shift register) upon receiving a complete character. This event causes the Receive Data Register Full (RDRF) in the status buffer to go high (full). Data may then be read through the bus by addressing the ACIA and selecting the Receive Data Register with RS and R/W high when the ACIA is enabled. The non-destructive read cycle causes the RDRF bit to be cleared to empty although the data is retained in the RDR. The status is maintained by RDRF as to whether or not the data is current. When the Receive Data Register is full, the automatic transfer of data from the Receiver Shift Register to the Data Register is inhibited and the RDR contents remain valid with its current status stored in the Status Register.

TABLE 1 — DEFINITION OF ACIA REGISTER CONTENTS

Data Bus Line Number	Buffer Address			
	RS • R/W	RS • R/W	RS • R/W	RS • R/W
	Transmit Data Register (Write Only)	Receive Data Register (Read Only)	Control Register (Write Only)	Status Register (Read Only)
0	Data Bit 0*	Data Bit 0	Counter Divide Select 1 (CR0)	Receive Data Register Full (RDRF)
1	Data Bit 1	Data Bit 1	Counter Divide Select 2 (CR1)	Transmit Data Register Empty (TDRE)
2	Data Bit 2	Data Bit 2	Word Select 1 (CR2)	Data Carrier Detect (DCD)
3	Data Bit 3	Data Bit 3	Word Select 2 (CR3)	Clear to Send (CTS)
4	Data Bit 4	Data Bit 4	Word Select 3 (CR4)	Framing Error (FE)
5	Data Bit 5	Data Bit 5	Transmit Control 1 (CR5)	Receiver Overrun (OVRN)
6	Data Bit 6	Data Bit 6	Transmit Control 2 (CR6)	Parity Error (PE)
7	Data Bit 7***	Data Bit 7**	Receive Interrupt Enable (CR7)	Interrupt Request (IRQ)

* Leading bit, LSB = Bit 0
 ** Data bit will be zero in 7 bit plus parity modes
 *** Data bit is "don't care" in 7 bit plus parity modes

CONTROL REGISTER

The ACIA Control Register consists of eight bits of write-only buffer that are selected when RS and R/W are low. This register controls the function of the receiver, transmitter, interrupt enables, and the Request-to-Send peripheral/modem control output.

Counter Divide Select Bits (CR0 and CR1) — The Counter Divide Select Bits (CR0 and CR1) determine the divide ratios utilized in both the transmitter and receiver sections of the ACIA. Additionally, these bits are used to provide a master reset for the ACIA which clears the Status Register (except for external conditions on CTS and DCD) and initializes both the receiver and transmitter. Master reset does not affect other Control Register bits. Note that after power-on or a power fail/restart, these bits must be set high to reset the ACIA. After resetting, the clock divide ratio may be selected. These counter select bits provide for the following clock divide ratios:

CR1	CR0	Function
0	0	-1
0	1	-16
1	0	-64
1	1	Master Reset

Word Select Bits (CR2, CR3, and CR4) — The Word Select bits are used to select word length, parity, and the number of stop bits. The encoding format is as follows:

CR4	CR3	CR2	Function
0	0	0	7 Bits + Even Parity + 2 Stop Bits
0	0	1	7 Bits + Odd Parity + 2 Stop Bits
0	1	0	7 Bits + Even Parity + 1 Stop Bit
0	1	1	7 Bits + Odd Parity + 1 Stop Bit
1	0	0	8 Bits + 2 Stop Bits
1	0	1	8 Bits + 1 Stop Bit
1	1	0	8 Bits + Even parity + 1 Stop Bit
1	1	1	8 Bits + Odd Parity + 1 Stop Bit

Word length, Parity Select, and Stop Bit changes are not buffered and therefore become effective immediately.

Transmitter Control Bits (CR5 and CR6) — Two Transmitter Control bits provide for the control of the interrupt from the Transmit Data Register Empty condition, the Request-to-Send (RTS) output, and the transmission of a Break level (space). The following encoding format is used:

CR6	CR5	Function
0	0	RTS = low, Transmitting Interrupt Disabled.
0	1	RTS = low, Transmitting Interrupt Enabled.
1	0	RTS = high, Transmitting Interrupt Disabled.
1	1	RTS = low, Transmits a Break level on the Transmit Data Output. Transmitting Interrupt Disabled.

Receive Interrupt Enable Bit (CR7) — The following interrupts will be enabled by a high level in bit position 7 of the Control Register (CR7): Receive Data Register Full, Overrun, or a low-to-high transition on the Data Carrier Detect (DCD) signal line.

STATUS REGISTER

Information on the status of the ACIA is available to the MPU by reading the ACIA Status Register. This read-only register is selected when RS is low and R/W is high. Information stored in this register indicates the status of the Transmit Data Register, the Receive Data Register and error logic, and the peripheral/modem status inputs of the ACIA.

Receive Data Register Full (RDRF), Bit 0 — Receive Data Register Full indicates that received data has been transferred to the Receive Data Register. RDRF is cleared after a MPU read of the Receive Data Register or by a master reset. The cleared or empty state indicates that the contents of the Receive Data Register are not current. Data Carrier Detect being high also causes RDRF to indicate empty.

Transmit Data Register Empty (TDRE), Bit 1 — Transmit Data Register Empty bit being set high indicates that the Transmit Data Register contents have been transferred and that new data may be entered. The low state indicates that the register is full and that transmission of a new character has not begun since the last write data command.

Data Carrier Detect (DCD), Bit 2 — The Data Carrier Detect bit will be high when the DCD input from a modem has gone high to indicate that a carrier is not present. This going high causes an Interrupt Request to be generated when the Receive Interrupt Enable is set. It remains high after the DCD input is returned low until cleared by reading the Status Register and then the Data Register until a master reset occurs. If the DCD input remains high after read status and read data or master reset has occurred the interrupt is cleared, the DCD status bit remains high and will follow the DCD input.

Clear-to-Send (CTS), Bit 3 — The Clear-to-Send bit indicates the state of the Clear-to-Send input from a modem. A low CTS indicates that there is a Clear-to-Send from the modem. In the high state, the Transmit Data Register Empty bit is inhibited and the Clear-to-Send status bit will be high. Master reset does not affect the Clear-to-Send status bit.

Framing Error (FE), Bit 4 — Framing error indicates that the received character is improperly framed by a start and a stop bit and is detected by the absence of the first stop bit. This error indicates a synchronization error, faulty transmission, or a break condition. The framing error flag is set and reset during the receive data transfer time. Therefore, this error indicator is present throughout the time that the associated character is available.

Receiver Overrun (OVRN), Bit 5 — Overrun is an error flag that indicates that one or more characters in the data stream were lost. That is, a character or a number of characters were received but not read from the Receive Data Register (RDR) prior to subsequent characters being received. The overrun condition begins at the midpoint of the last bit of the second character received in succession without a read of the RDR having occurred. The Overrun does not occur in the Status Register until the valid character prior to Overrun is read.

MC6850 • MC68A50 • MC68B50

been read. The RDRF bit remains set until the Overrun is reset. Character synchronization is maintained during the Overrun condition. The Overrun indication is reset after the reading of data from the Receive Data Register or by a Master Reset.

Parity Error (PE), Bit 6 — The parity error flag indicates that the number of highs (ones) in the character does not agree with the preselected odd or even parity. Odd parity is defined to be when the total number of ones is odd. The parity error indication will be present as long as the data

character is in the RDR. If no parity is selected, then both the transmitter parity generator output and the receiver parity check results are inhibited.

Interrupt Request (\overline{IRQ}), Bit 7 — The \overline{IRQ} bit indicates the state of the \overline{IRQ} output. Any interrupt condition with its applicable enable will be indicated in this status bit. Anytime the \overline{IRQ} output is low the \overline{IRQ} bit will be high to indicate the interrupt or service request status. \overline{IRQ} is cleared by a read operation to the Receive Data Register or a write operation to the Transmit Data Register.



MCM2716 MCM27L16

2048 x 8-BIT UV ERASABLE PROM

The MCM2716/27L16 is a 16,384-bit Erasable and Electrically Reprogrammable PROM designed for system debug usage and similar applications requiring nonvolatile memory that could be reprogrammed periodically. The transparent lid on the package allows the memory content to be erased with ultraviolet light.

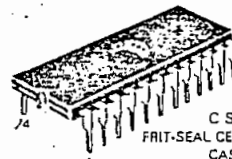
For ease of use, the device operates from a single power supply and has a static power down mode. Pin-for-pin mask programmable ROMs are available for large volume production runs of systems initially using the MCM2716/27L16.

- Single 5 V Power Supply
- Automatic Power-down Mode (Standby)
- Organized as 2048 Bytes of 8 Bits
- Low Power Version 27L16/27L16-35 Active 50 mA Max
Standby 10 mA Max
27L16-25 Active 70 mA Max
Standby 15 mA Max
- TTL Compatible During Read and Program
- Maximum Access Time = 450 ns MCM2716
350 ns MCM2716-35
250 ns MCM2716-25
- Pin Equivalent to Intel's 2716
- Pin Compatible to MCM68A316E
- Output Enable Active Level is User Selectable

MOS

(N-CHANNEL, SILICON-GATE)

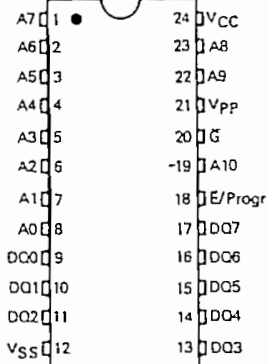
2048 x 8-BIT
UV ERASABLE PROM



C SUFFIX
FRIT-SEAL CERAMIC PACKAGE
CASE 623A

L SUFFIX CERAMIC PACKAGE
ALSO AVAILABLE — CASE 716

PIN ASSIGNMENT

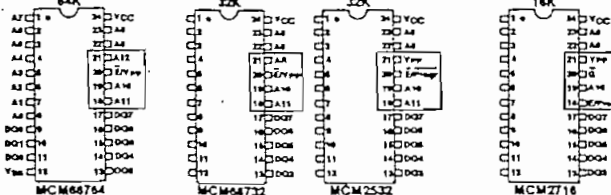


*Pin Names

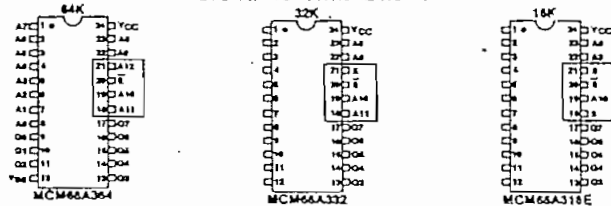
A . . . Address
DO . . . Data Input/Output
E/Progr . . . Chip Enable/Program
G . . . Output Enable

*New industry standard nomenclature

MOTOROLA'S PIN-COMPATIBLE EPROM FAMILY



MOTOROLA'S PIN-COMPATIBLE ROM FAMILY



INDUSTRY STANDARD PINOUTS

DS9817/4-80

MCM2716•MCM27L16

ABSOLUTE MAXIMUM RATINGS

Rating	Value	Unit
Temperature Under Bias	-10 to +80	°C
Operating Temperature Range	0 to +70	°C
Storage Temperature	-65 to +125	°C
All Input or Output Voltages with Respect to V _{SS}	+6 to -0.3	Vdc
V _{pp} Supply Voltage with Respect to V _{SS}	+28 to -0.3	Vdc

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high-impedance circuit.

NOTE: Permanent device damage may occur if ABSOLUTE MAXIMUM RATINGS are exceeded. Functional operation should be restricted to RECOMMENDED OPERATING CONDITIONS. Exposure to higher than recommended voltages for extended periods of time could affect device reliability.

MODE SELECTION

Mode	Pin Number					
	9-11, 13-17 DQ	12 V _{SS}	18 E/Progr	20 G*	21 V _{pp}	24 V _{CC}
Read	Data Out	V _{SS}	V _{IL}	V _{IL}	V _{CC} *	V _{CC}
Output Disable	High Z	V _{SS}	Don't Care	V _{IH}	V _{CC} *	V _{CC}
Standby	High Z	V _{SS}	V _{IH}	Don't Care	V _{CC} *	V _{CC}
Program	Data In	V _{SS}	Pulsed V _{IL} to V _{IH}	V _{IH}	V _{IHP}	V _{CC}
Program Verify	Data Out	V _{SS}	V _{IL}	V _{IL}	V _{IHP}	V _{CC}
Program Inhibit	High Z	V _{SS}	V _{IL}	V _{IH}	V _{IHP}	V _{CC}

*In the Read Mode if $V_{pp} \geq V_{IH}$, then \bar{G} inactive low
 $V_{pp} \leq V_{IL}$, then \bar{G} inactive high

BLOCK DIAGRAM

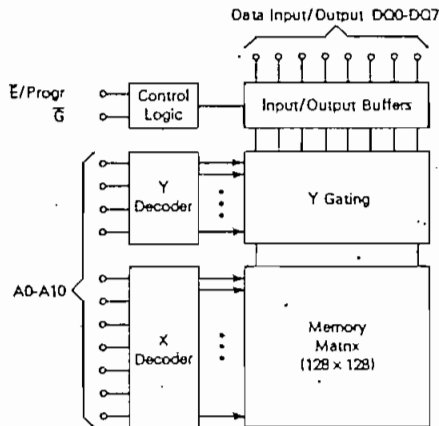
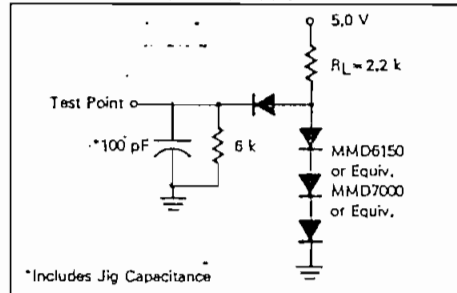


FIGURE 1 — AC TEST LOAD



MCM2716•MCM27L16

CAPACITANCE (f = 1.0 MHz, T_A = 25°C, periodically sampled rather than 100% tested)

Characteristic	Symbol	Typ	Max	Unit
Input Capacitance (V _{in} = 0 V)	C _{in}	4.0	6.0	pF
Output Capacitance (V _{out} = 0 V)	C _{out}	8.0	12	pF

Capacitance measured with a Boonton Meter or effective capacitance calculated from the equation: $C = \frac{I_{\Delta V}}{\Delta V}$

DC OPERATING CONDITIONS AND CHARACTERISTICS (Full operating voltage and temperature range unless otherwise noted)

RECOMMENDED DC OPERATING CONDITIONS

Parameter	Symbol	Min	Nom	Max	Unit
Supply Voltage* MCM27L16/MCM2716 MCM27L16-35/MCM27L16-25/MCM2716-35/MCM2716-25	V _{CC}	4.75 4.5	5.0 5.0	5.25 5.5	V _{dc}
	V _{PP}	V _{CC} -0.6	5.0	V _{CC} +0.6	
Input High Voltage	V _{IH}	2.0	—	V _{CC} +1.0	V _{dc}
Input Low Voltage	V _{IL}	-0.1	—	0.8	V _{dc}

RECOMMENDED DC OPERATING CHARACTERISTICS

Characteristic	Condition	Symbol	MCM2716			MCM27L16			Units
			Min	Typ	Max	Min	Typ	Max	
Address, \bar{G} and \bar{E}/Progr Input Sink Current	V _{in} = 5.25 V	I _{in}	—	—	10	—	—	10	μA
Output Leakage Current	V _{out} = 5.25 V \bar{G} = 5.0 V	I _{LO}	—	—	10	—	—	10	μA
V _{CC} Supply Current (Standby) 2716/2716-35	$\bar{E}/\text{Progr} = V_{IH}$ $\bar{G} = V_{IL}$	I _{CC1}	—	—	25	—	—	10	mA
V _{CC} Supply Current (Standby) 2716-25	$\bar{E}/\text{Progr} = V_{IH}$ \bar{G}/V_{IL}	I _{CC1}	—	—	25	—	—	15	mA
V _{CC} Supply Current (Active) 2716/2716-35 (Outputs Open)	$\bar{G} = \bar{E}/\text{Progr} = V_{IL}$	I _{CC2}	—	—	100	—	—	50	mA
V _{CC} Supply Current (Active) 2716-25 (Outputs Open)	$\bar{G} = \bar{E}/\text{Progr} = V_{IL}$	I _{CC2}	—	—	120	—	—	70	mA
V _{PP} Supply Current*	V _{PP} = 5.85 V	I _{PP1}	—	—	5.0	—	—	5.0	mA
Output Low Voltage	I _{OL} = 2.1 mA	V _{OL}	—	—	0.45	—	—	0.45	V
Output High Voltage	I _{OH} = -100 μA	V _{OH}	2.4	—	—	2.4	—	—	V

*V_{CC} must be applied simultaneously or prior to V_{PP}. V_{CC} must also be switched off simultaneously with or after V_{PP}. With V_{PP} connected directly to V_{CC} during the read operation, the supply current would then be the sum of I_{PP1} and I_{CC}. The additional 0.6 V tolerance on V_{PP} makes it possible to use a driver circuit for switching the V_{PP} supply pin from V_{CC} in Read mode to ±25 V for programming. Typical values are for T_A = 25°C and nominal supply voltages.

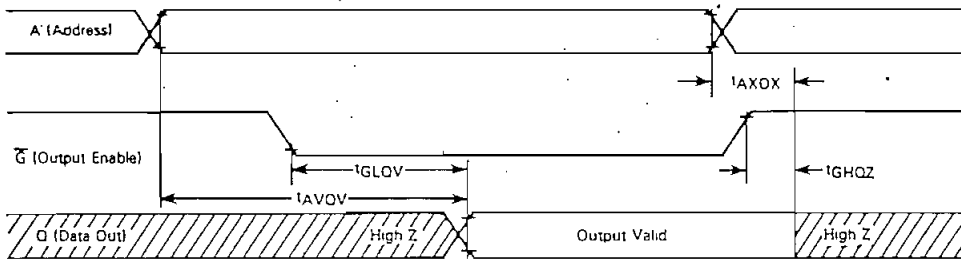
AC OPERATING CONDITIONS AND CHARACTERISTICS (Full operating voltage and temperature range unless otherwise noted)

Input Pulse Levels 0.8 Volt and 2.2 Volts
 Input Rise and Fall Times 20 ns
 Input and Output Timing Levels 2.0 and 0.8 Volts
 Output Load See Figure 1

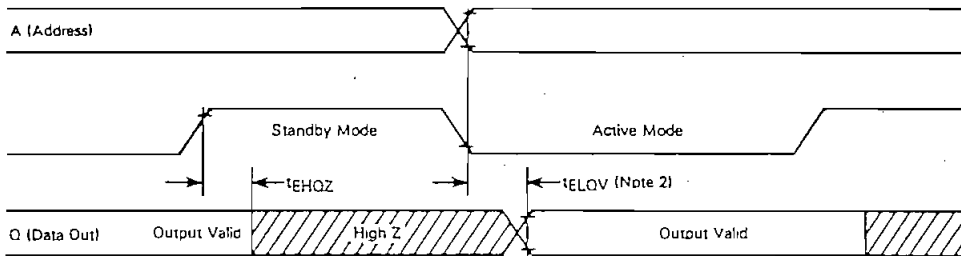
Characteristic	Condition	Symbol	MCM2716-25		MCM2716-35		MCM2716		Units
			Min	Max	Min	Max	Min	Max	
Address Valid to Output Valid	$\bar{E}/\text{Progr} = G = V_{IL}$	t _{AVQV}	—	250	—	350	—	450	ns
\bar{E}/Progr to Output Valid (Note 2)		t _{ELQV}	—	250	—	350	—	450	
Output Enable to Output Valid	$\bar{E}/\text{Progr} = V_{IL}$	t _{GLQV}	—	150	—	150	—	150	
\bar{E}/Progr to Hi-Z Output	—	t _{EHQZ}	0	100	0	100	0	100	
Output Disable to Hi-Z Output	$\bar{E}/\text{Progr} = V_{IL}$	t _{GHQZ}	0	100	0	100	0	100	
Data Hold from Address	$\bar{E}/\text{Progr} = G = V_{IL}$	t _{AXDX}	0	—	0	—	0	—	

MCM2716•MCM27L16

READ MODE TIMING DIAGRAMS ($\bar{E}/\text{Progr} = V_{IL}$)



STANDBY MODE (Output Enable = V_{IL})
Standby Mode ($\bar{E}/\text{Progr} = V_{IH}$)



NOTE 2: t_{ELOV} is referenced to \bar{E}/Progr or stable address, whichever occurs last.

DC PROGRAMMING CONDITIONS AND CHARACTERISTICS ($T_A = 25^\circ\text{C} \pm 5^\circ\text{C}$)

RECOMMENDED PROGRAMMING OPERATING CONDITIONS

Parameter	Symbol	Min	Nom	Max	Unit
Supply Voltage	V_{CC} V_{PP}	4.75 2.4	5.0 25	5.25 26	Vdc
Input High Voltage for Data	V_{IH}	2.2	—	$V_{CC} + 1$	Vdc
Input Low Voltage for Data	V_{IL}	-0.1	—	0.8	Vdc

PROGRAMMING OPERATION DC CHARACTERISTICS

Characteristic	Condition	Symbol	Min	Typ	Max	Unit
Address, \bar{G} and \bar{E}/Progr Input Sink Current	$V_{in} = 5.25 \text{ V}/0.45 \text{ V}$	I_{LI}	—	—	10	μA
V_{PP} Supply Current ($V_{PP} = 25 \text{ V} \pm 1 \text{ V}$)	$\bar{E}/\text{Progr} = V_{IL}$	I_{PP1}	—	—	10	mA
V_{PP} Programming Pulse Supply Current ($V_{PP} = 25 \text{ V} \pm 1 \text{ V}$)	$\bar{E}/\text{Progr} = V_{IH}$	I_{PP2}	—	—	30	mA
V_{CC} Supply Current (Outputs Open)	—	I_{CC}	—	—	160	mA

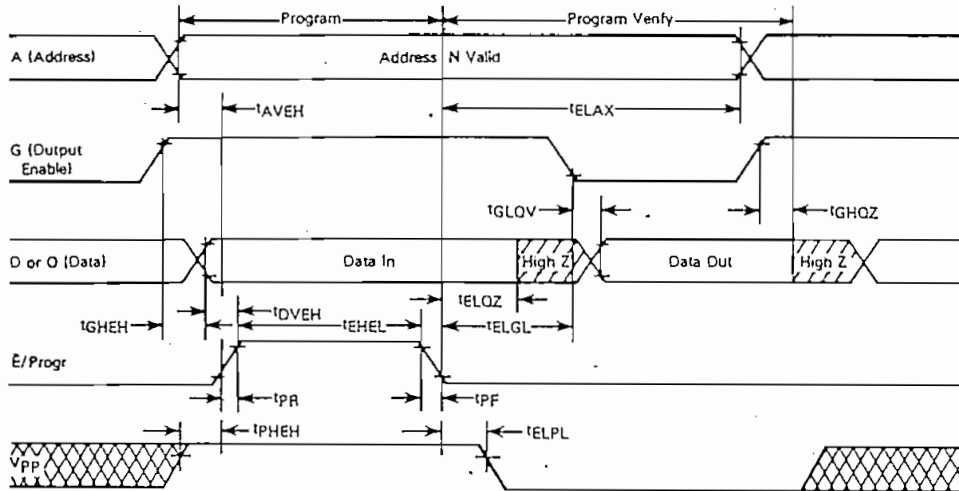
AC PROGRAMMING OPERATING CONDITIONS AND CHARACTERISTICS

Characteristic	Symbol	Min	Max	Unit
Address Setup Time	t_{AVEH}	2.0	—	μs
Output Enable High to Program Pulse	t_{GHEH}	2.0	—	μs
Data Setup Time	t_{DVEH}	2.0	—	μs
Address Hold Time	t_{ELAX}	2.0	—	μs
Output Enable Hold Time	t_{ELGL}	2.0	—	μs
Data Hold Time	t_{ELQZ}	2.0	—	μs
V_{PP} Setup Time	t_{PHEH}	0	—	ns
V_{PP} to Enable Low Time	t_{ELPL}	0	—	ns
Output Disable to High Z Output	t_{GHQZ}	0	150	ns
Output Enable to Valid Data ($\bar{E}/\text{Progr} = V_{IL}$)	t_{GLOV}	—	150	ns
Program Pulse Width	t_{EHLE}	1*	56	ms
Program Pulse Rise Time	t_{PR}	5	—	ns
Program Pulse Fall Time	t_{PF}	5	—	ns

*If shorter than 45 ms (min) pulses are used, the same number of pulses should be applied after the specific data has been verified.

MCM2716•MCM27L16

PROGRAMMING OPERATION TIMING DIAGRAM



PROGRAMMING INSTRUCTIONS

After the completion of an ERASE operation, every bit in the device is in the "1" state (represented by Output High). Data are entered by programming zeros (Output Low) into the required bits. The words are addressed the same way as in the READ operation. A programmed "0" can only be changed to a "1" by ultraviolet light erasure.

To set the memory up for Program Mode, the Vpp input (Pin 21) should be raised to +25 V. The VCC supply voltage is the same as for the Read operation and G is at VIH. Programming data is entered in 8-bit words through the data out (DO) terminals. Only "0's" will be programmed when "0's" and "1's" are entered in the 8-bit data word.

After address and data setup, a program pulse (VIL to VIH) is applied to the E/Progr input. A program pulse is applied to each address location to be programmed. To minimize programming time, a 2 ms pulse width is recommended. The maximum program pulse width is 55 ms; therefore, programming must not be attempted with a dc signal applied to the E/Progr input.

Multiple MCM2716s may be programmed in parallel by connecting together like inputs and applying the program pulse to the E/Progr inputs. Different data may be programmed into multiple MCM2716s connected in parallel by using the PROGRAM INHIBIT mode. Except for the E/Progr pin, all like inputs (including Output Enable) may be common.

The PROGRAM VERIFY mode with Vpp at 25 V is used to determine that all programmed bits were correctly programmed.

READ OPERATION

After access time, data is valid at the outputs in the READ mode. With stable system addresses, effectively faster access time can be obtained by gating the data onto the bus with Output Enable.

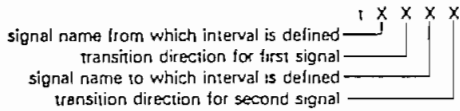
The Standby mode is available to reduce active power dissipation. The outputs are in the high impedance state when the E/Progr input pin is high (VIH) independent of the Output Enable input.

ERASING INSTRUCTIONS

The MCM2716/27L16 can be erased by exposure to high intensity shortwave ultraviolet light, with a wavelength of 2537 angstroms. The recommended integrated dose (i.e., UV-intensity X exposure time) is 15 Ws/cm². As an example, using the "Model 30-000" UV-Eraser (Turner Designs, Mountain View, CA 94043) the ERASE-time is 36 minutes. The lamps should be used without shortwave filters and the MCM2716/MCM27L16 should be positioned about one inch away from the UV-tubes.

MCM2716•MCM27L16

TIMING PARAMETER ABBREVIATIONS



The transition definitions used in this data sheet are:

- H = transition to high
- L = transition to low
- V = transition to valid
- X = transition to invalid or don't care
- Z = transition to off (high impedance)

TIMING LIMITS

The table of timing values shows either a minimum or a maximum limit for each parameter. Input requirements are specified from the external system point of view. Thus, address setup time is shown as a minimum since the system must supply at least that much time (even though most devices do not require it). On the other hand, responses from the memory are specified from the device point of view. Thus, the access time is shown as a maximum since the device never provides data later than that time.

WAVEFORMS

Waveform Symbol	Input	Output
	Must Be Valid	Will Be Valid
	Change From H to L	Will Change From H to L
	Change From L to H	Will Change From L to H
	Don't Care Any Change Permitted	Changing State Unknown
		High Impedance

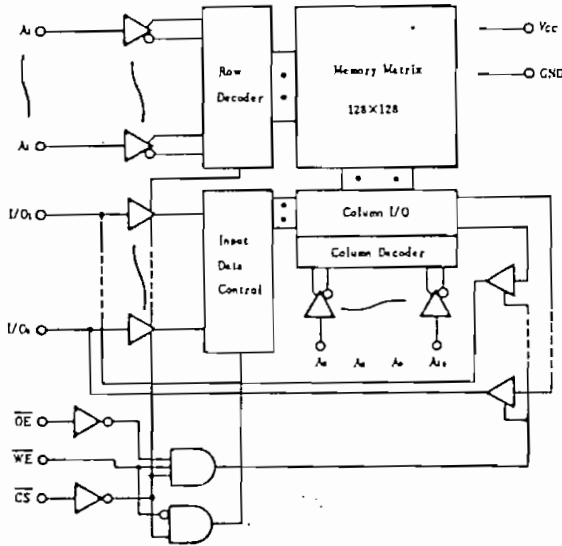
HM6116-2, HM6116-3, HM6116-4 HM6116P-2, HM6116P-3, HM6116P-4

2048-word×8-bit High Speed Static CMOS RAM

FEATURES

- Single 5V Supply and High Density 24 Pin Package
- High speed: Fast Access Time 120ns/150ns/200ns (max.)
- Low Power Standby and Standby: 100μW (typ.)
- Low Power Operation Operation: 180mW (typ.)
- Completely Static RAM: No clock or Timing Strobe Required
- Directly TTL Compatible: All Input and Output
- Pin Out Compatible with Standard 16K EPROM/MASK ROM
- Equal Access and Cycle Time

FUNCTIONAL BLOCK DIAGRAM



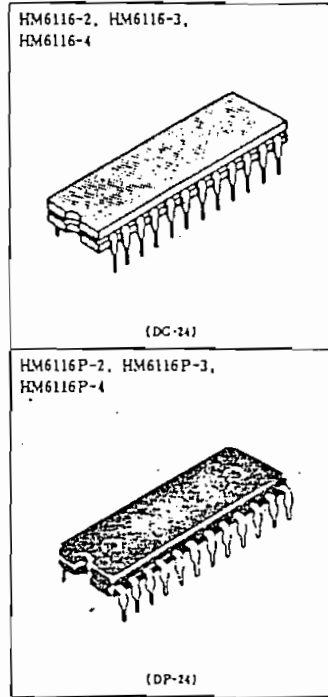
ABSOLUTE MAXIMUM RATINGS

Item	Symbol	Rating	Unit
Voltage on Any Pin Relative to GND	V_T	-0.5* to +7.0	V
Operating Temperature	T_{op}	0 to +70	°C
Storage Temperature (Plastic)	T_{stg}	-55 to +125	°C
Storage Temperature (Ceramic)	T_{stg}	-65 to +150	°C
Temperature Under Bias	T_{mb}	-10 to +85	°C
Power Dissipation	P_T	1.0	W

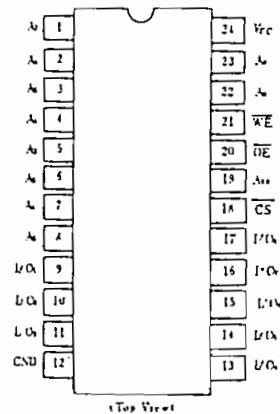
* Pulse Width 50ns : -1.5 V

TRUTH TABLE

CS	OE	WE	Mode	V_{cc} Current	I/O Pin	Ref. Cycle
H	x	x	Not Selected	I_{ss}, I_{s01}	High Z	
L	L	H	Read	I_{cc}	Dout	Read Cycle (1)-(3)
L	H	L	Write	I_{cc}	Din	Write Cycle (1)
L	L	L	Write	I_{cc}	Din	Write Cycle (2)



PIN ARRANGEMENT



RECOMMENDED DC OPERATING CONDITIONS ($T_a=0$ to $+70^\circ\text{C}$)

Item	Symbol	min	typ	max	Unit
Supply Voltage	V_{CC}	4.5	5.0	5.5	V
	GND	0	0	0	V
Input Voltage	V_{IH}	2.2	3.5	6.0	V
	V_{IL}	-1.0*	-	0.8	V

* Pulse Width: 50ns, DC: V_{IL} min = -0.3V

DC AND OPERATING CHARACTERISTICS ($V_{CC}=5\text{V}\pm 10\%$, GND=0V, $T_a=0$ to $+70^\circ\text{C}$)

Item	Symbol	Test Conditions	HM6116/P-2			HM6116/P-3/-4			Unit
			min	typ*	max	min	typ*	max	
Input Leakage Current	$ I_{LI} $	$V_{CC}=5.5\text{V}$, $V_{IN}=\text{GND}$ to V_{CC}	-	-	10	-	-	10	μA
Output Leakage Current	$ I_{LO} $	$\overline{\text{CS}}=V_{IH}$ or $\overline{\text{OE}}=V_{IH}$, $V_{IO}=\text{GND}$ to V_{CC}	-	-	10	-	-	10	μA
Operating Power Supply Current	I_{CC}	$\overline{\text{CS}}=V_{IL}$, $I_{IO}=0\text{mA}$	-	40	80	-	35	70	mA
	I_{CC1}^{**}	$V_{IH}=3.5\text{V}$, $V_{IL}=0.6\text{V}$, $I_{IO}=0\text{mA}$	-	35	-	-	30	-	mA
Average Operating Current	I_{CC1}	Min. cycle, duty=100%	-	40	80	-	35	70	mA
Standby Power Supply Current	I_{SA}	$\overline{\text{CS}}=V_{IH}$	-	5	15	-	5	15	mA
	I_{SA1}	$\overline{\text{CS}}\geq V_{CC}-0.2\text{V}$, $V_{IN}\geq V_{CC}-0.2\text{V}$ or $V_{IN}\leq 0.2\text{V}$	-	0.02	2	-	0.02	2	mA
Output Voltage	V_{OL}	$I_{OL}=4\text{mA}$	-	-	0.4	-	-	-	V
		$I_{OL}=2.1\text{mA}$	-	-	-	-	-	0.4	V
	V_{OH}	$I_{OH}=-1.0\text{mA}$	2.4	-	-	2.4	-	-	V

* $V_{CC}=5\text{V}$, $T_a=25^\circ\text{C}$

** Reference Only

AC CHARACTERISTICS ($V_{CC}=5\text{V}\pm 10\%$, $T_a=0$ to $+70^\circ\text{C}$)

AC TEST CONDITIONS

Input Pulse Levels: 0.8 to 2.4V

Input Rise and Fall Times: 10 ns

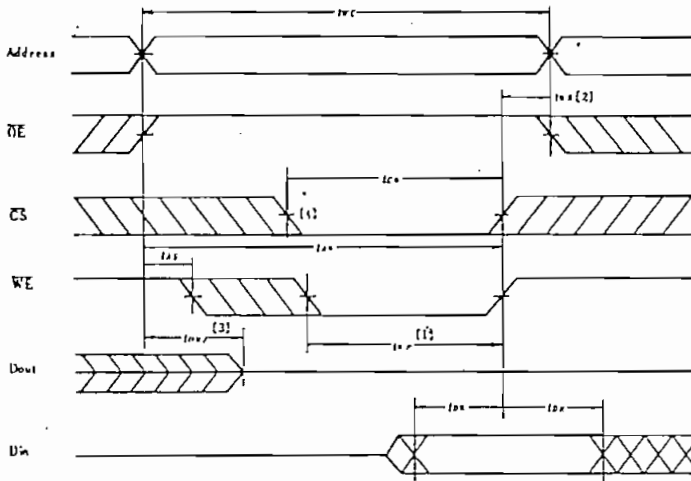
Input and Output Timing Reference Levels: 1.5V

Output Load: 1TTL Gate and $C_L = 100\text{pF}$ (including scope and jig)

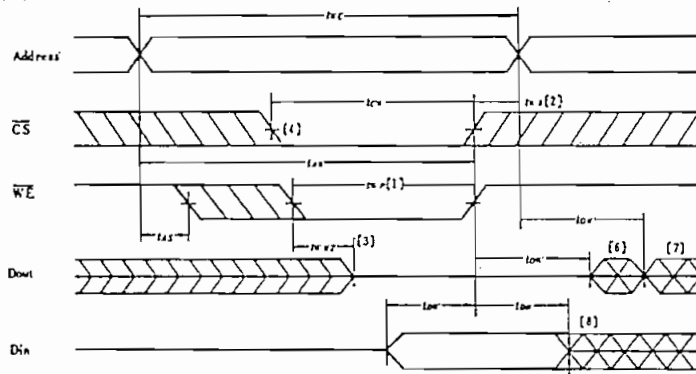
READ CYCLE

Item	Symbol	HM6116/P-2		HM6116/P-3		HM6116/P-4		Unit
		min	max	min	max	min	max	
Read Cycle Time	t_{AC}	120	-	150	-	200	-	ns
Address Access Time	t_{AA}	-	120	-	150	-	200	ns
Chip Select Access Time	t_{ACS}	-	120	-	150	-	200	ns
Chip Selection to Output in Low Z	t_{CLZ}	10	-	15	-	15	-	ns
Output Enable to Output Valid	t_{OE}	-	80	-	100	-	120	ns
Output Enable to Output in Low Z	t_{OLZ}	10	-	15	-	15	-	ns
Chip Deselection to Output in High Z	t_{CHZ}	0	40	0	50	0	60	ns
Chip Disable to Output in High Z	t_{OHZ}	0	40	0	50	0	60	ns
Output Hold from Address Change	t_{OH}	10	-	15	-	15	-	ns

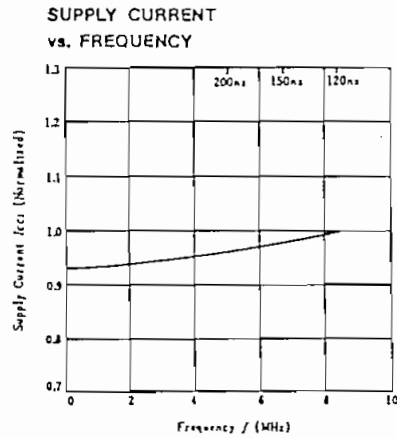
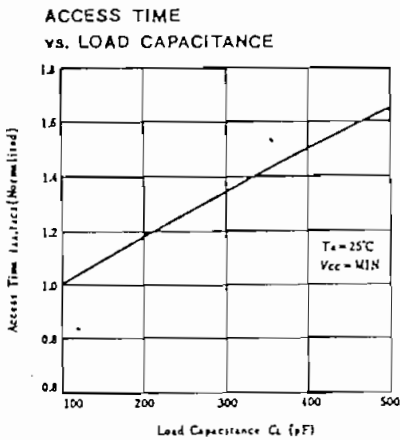
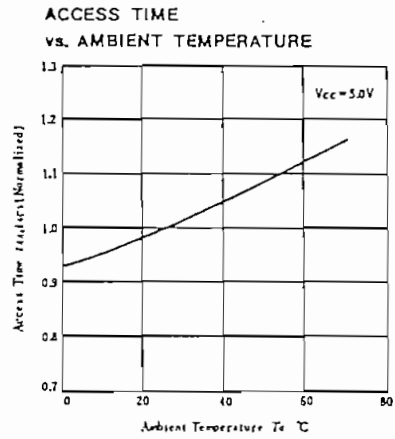
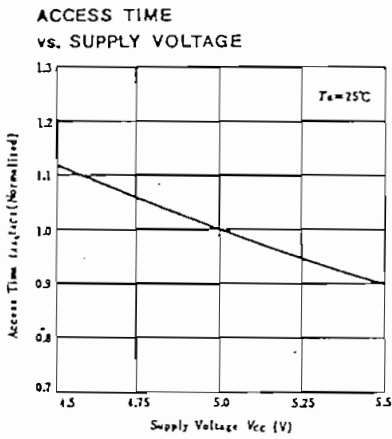
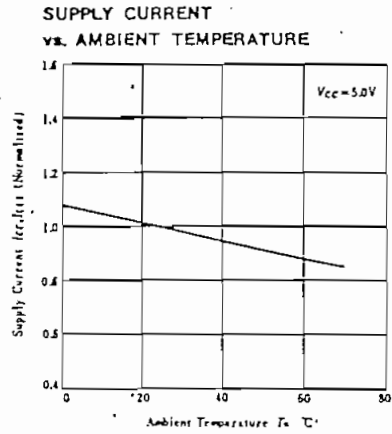
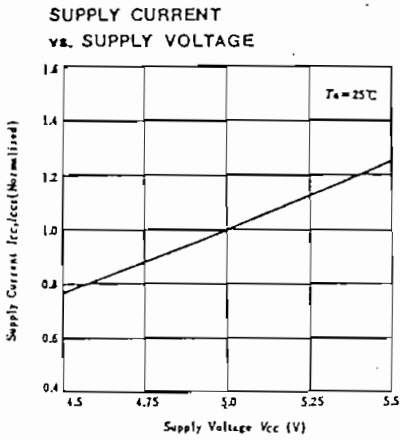
WRITE CYCLE (1)



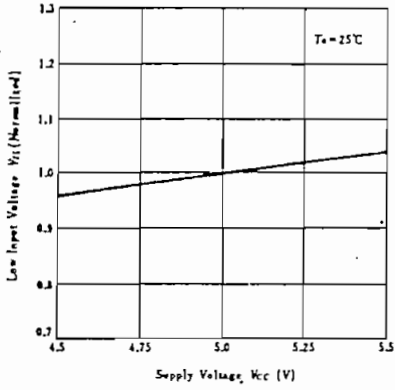
● WRITE CYCLE (2) (3)



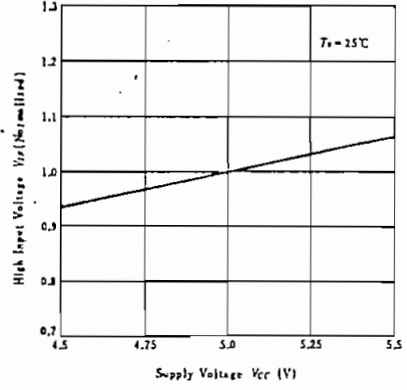
- NOTES:
1. A write occurs during the overlap (t_{WP}) of a low \overline{CS} and a low \overline{WE} .
 2. t_{WR} is measured from the earlier of \overline{CS} or \overline{WE} going high to the end of write cycle.
 3. During this period, I/O pins are in the output state so that the input signals of opposite phase to the outputs must not be applied.
 4. If the \overline{CS} low transition occurs simultaneously with the \overline{WE} low transitions or after the \overline{WE} transition, output remain in a high impedance state.
 5. \overline{OE} is continuously low. ($\overline{OE} = V_{LL}$)
 6. D_{out} is the same phase of write data of this write cycle.
 7. D_{out} is the read data of next address.
 8. If \overline{CS} is Low during this period, I/O pins are in the output state. Then the data input signals of opposite phase to the outputs must not be applied to them.



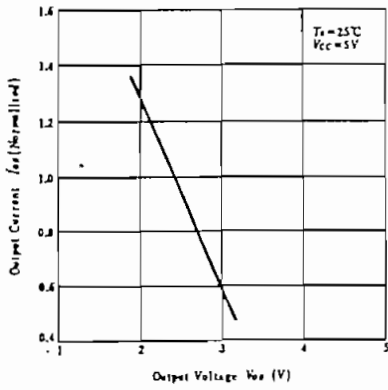
LOW INPUT VOLTAGE
vs. SUPPLY VOLTAGE



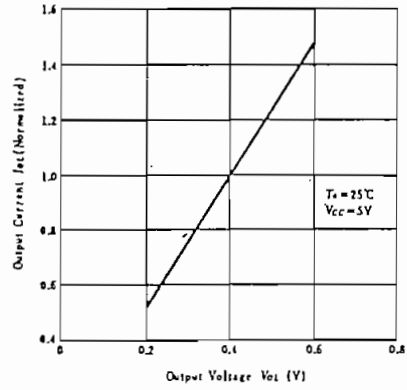
HIGH INPUT VOLTAGE
vs. SUPPLY VOLTAGE



OUTPUT CURRENT
vs. OUTPUT VOLTAGE



OUTPUT CURRENT
vs. OUTPUT VOLTAGE



LED Display Outlines

Fig. 232

ECG3050

1. A-Cathode
2. F-Cathode
3. Common Anode
4. No Pin
5. No Pin
6. Dec P₁ Cathode
7. E-Cathode
8. D-Cathode
9. Common Anode
10. C-Cathode
11. G-Cathode
12. No Pin
13. B-Cathode
14. Common Anode

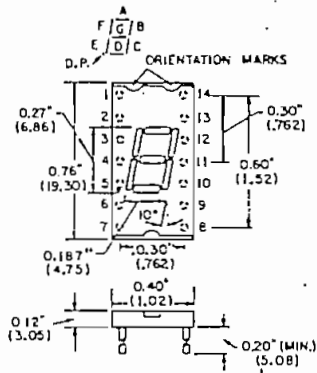


Fig. 233

ECG3051

1. Anode Common C/D
2. No Connection
3. No Connection
4. No Connection
5. No Connection
6. No Connection
7. D-Cathode
8. C-Cathode
9. No Connection
10. B-Cathode
11. A-Cathode
12. No Connection
13. No Connection
14. Anode Common A/B

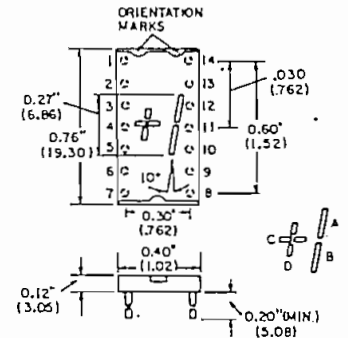


Fig. 234

ECG3052, ECG3053,
ECG3054, ECG3055

1. A-Cathode
2. F-Cathode
3. Common Anode
4. No Pin
5. No Pin
6. No Connection
7. E-Cathode
8. D-Cathode
9. Dec P₁ Cathode
10. C-Cathode
11. G-Cathode
12. No Pin
13. B-Cathode
14. Common Anode

ECG3056, ECG3058,
ECG3059, ECG3060

1. F-Anode
2. G-Anode
3. No Pin
4. Common Cathode
5. No Pin
6. E-Anode
7. D-Anode
8. C-Anode
9. Dec P₁ Anode
10. No Pin
11. No Pin
12. Common Cathode
13. B-Anode
14. A-Anode

ECG3057

1. No Pin
2. Common Cathode
3. F-Anode
4. G-Anode
5. E-Anode
6. D-Anode
7. No Pin
8. No Pin
9. Common Cathode
10. Dec P₁ Anode
11. C-Anode
12. E-Anode
13. A-Anode
14. No Pin

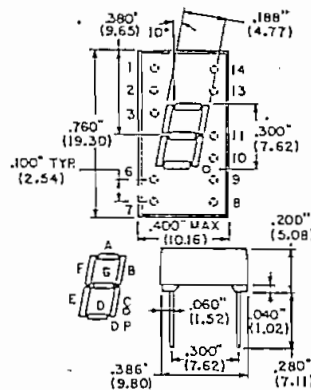


Fig. 235

ECG3061, ECG3062,
ECG3063, ECG3064

1. A-Cathode
2. F-Cathode
3. Common Anode
4. No Pin
5. No Pin
6. Dec P₁ Cathode
7. E-Cathode
8. D-Cathode
9. No Connection
10. C-Cathode
11. G-Cathode
12. No Pin
13. B-Cathode
14. Common Anode

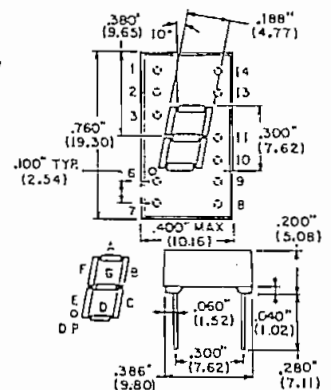
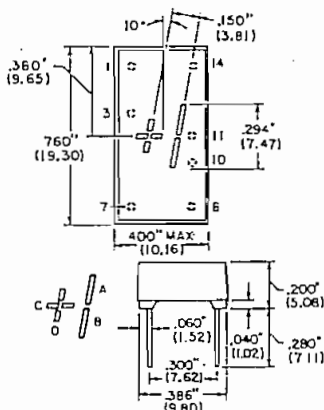


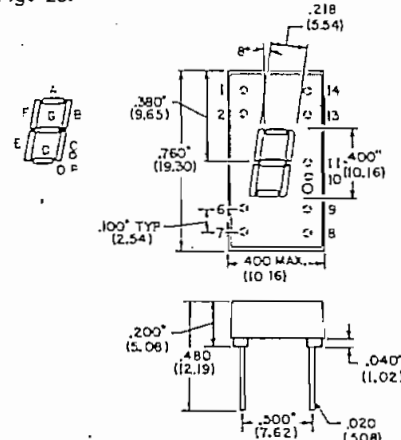
Fig. 236



ECG3065

1. Common Anode C/D
2. No Pin
3. Common Anode C/D
4. No Pin
5. No Pin
6. No Pin
7. D-Cathode
8. C-Cathode
9. No Connection
10. E-Cathode
11. A-Cathode
12. No Pin
13. No Pin
14. Common Anode A/B

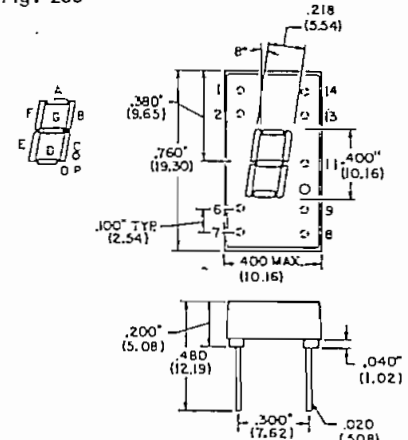
Fig. 237



ECG3066, ECG3070

1. A-Cathode
2. F-Cathode
3. Common Anode
4. No Pin
5. No Pin
6. No Connection
7. E-Cathode
8. D-Cathode
9. Dec P₁ Cathode
10. C-Cathode
11. G-Cathode
12. No Pin
13. E-Anode
14. Common Anode

Fig. 238



ECG3069, ECG3071

1. F-Anode
2. G-Anode
3. No Pin
4. Common Cathode
5. No Pin
6. E-Anode
7. D-Anode
8. C-Anode
9. Dec P₁ Anode
10. No Pin
11. No Pin
12. Common Cathode
13. E-Anode
14. A-Anode

A P E N D I C E B

MANUALES DE OPERACION DE LOS EQUIPOS

B & K 1526 - 1544 Y 1545



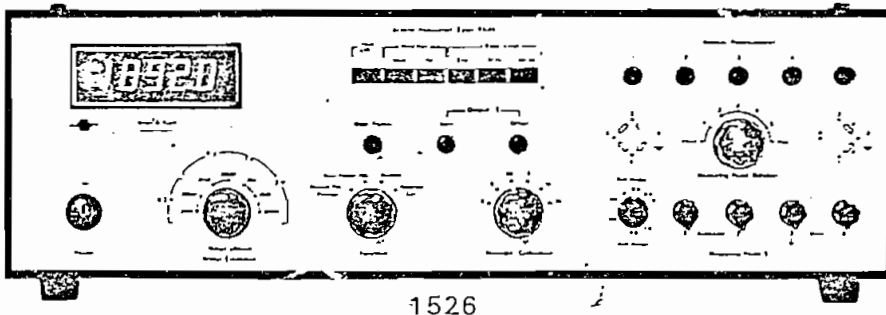
BRÜEL & KJÆR product data

types 1526, 1544, and 1545

Multipoint Strain Measurement System

FEATURES 1526:

- Direct reading, easy to operate
- Individual balance, and bridge mode controls for 5 measuring points
- Digital display of strain, gauge factor, and initial balance condition
- Operating principle that eliminates need for C-balance
- Readings from $0,1 \mu\epsilon$
- Full, half, and quarter bridge (with adaptor) configurations
- Use with 50Ω to 2000Ω strain gauges
- Gauge factor adjustment from 1,00 to 10,00
- 0,3 V excitation for low heating effect
- Low pass filters, 3 Hz, 30 Hz, and 300 Hz
- Hold function for non-repeating phenomena
- Overload indication for too large a signal, capacitive unbalance, or superimposed hum on input

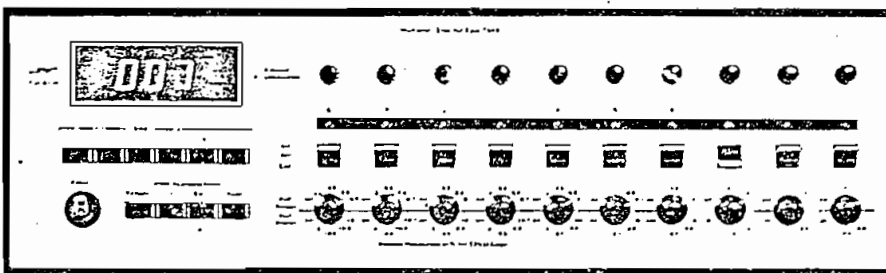


1526

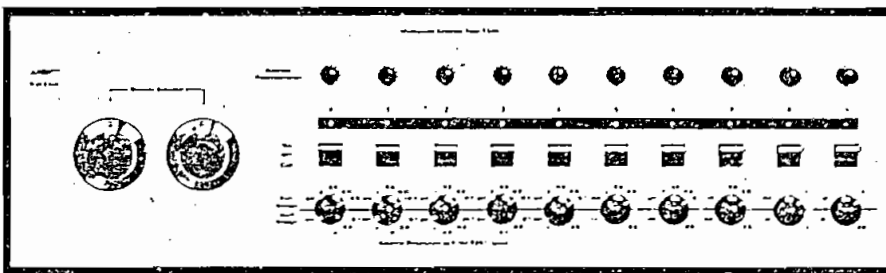
- Digital output (BCD)
- Output with calibration signal for recorder
- Oscilloscope output

FEATURES 1544:

- Individual balance, and bridge mode controls for 10 measuring points
- Logic control for systems with up to 400 measuring points
- Built-in interface to B & K Data Bus
- Continuous scan, single scan, and remote step scanning modes



1544



1545

- Ability to ignore any desired individual point in the scanning sequence
- Step intervals selectable between 0,1 s and 10 s
- Digital display of point identity number

FEATURES 1545:

- Individual balance, and bridge mode controls for 10 measuring points
- Ability to ignore any desired individual point in the scanning sequence
- Logic control and power supply from 1544

- Selectable position in scan sequence

USES:

- Measurement of deformation of materials
- Measurement of bending, torsion, and tensile stress in structures
- Measurement of strains at up to 400 measuring points
- As read-out for transducers with sensitivities from $0,5 \text{ mV/V}$ to 5 mV/V

A complete system of instruments for making accurate strain measurements on up to 400 measuring points is available from B & K. The system consists of the Strain Indicator Type 1526, the Multipoint Selector and Control Type 1544, and the Multipoint Selector Type 1545.

The basic measuring instrument in the system is the Strain Indicator Type 1526 which gives a direct reading of the strain level measured on a digital display. Five measuring bridges can be connected to the Strain Indicator in any combination

of full, or half-bridges. Adaptors are available to permit measurement in quarter-bridge configurations.

When strain has to be measured at more than five points, the Strain Indicator can be connected to a Multipoint Selector and Control Type 1544 that enables the Strain Indicator to scan a series of measuring points automatically. Up to 10 measuring points can be connected to a Selector and Control unit. When further points must be measured, Multipoint Selectors Type 1545 with-

provision for 10 points in each unit can be added to the arrangement. Up to 39 Multipoint Selectors can be connected to the Strain Indicator by a single Selector and Control unit to give a maximum of 400 measuring points. Point selection is controlled by the Selector and Control unit which also features a digital display to indicate the identification number of the measuring point currently being sampled. Manual step or automatic sweep with rates from 10 measuring points per second to one point every 10 seconds are possible with this arrangement.

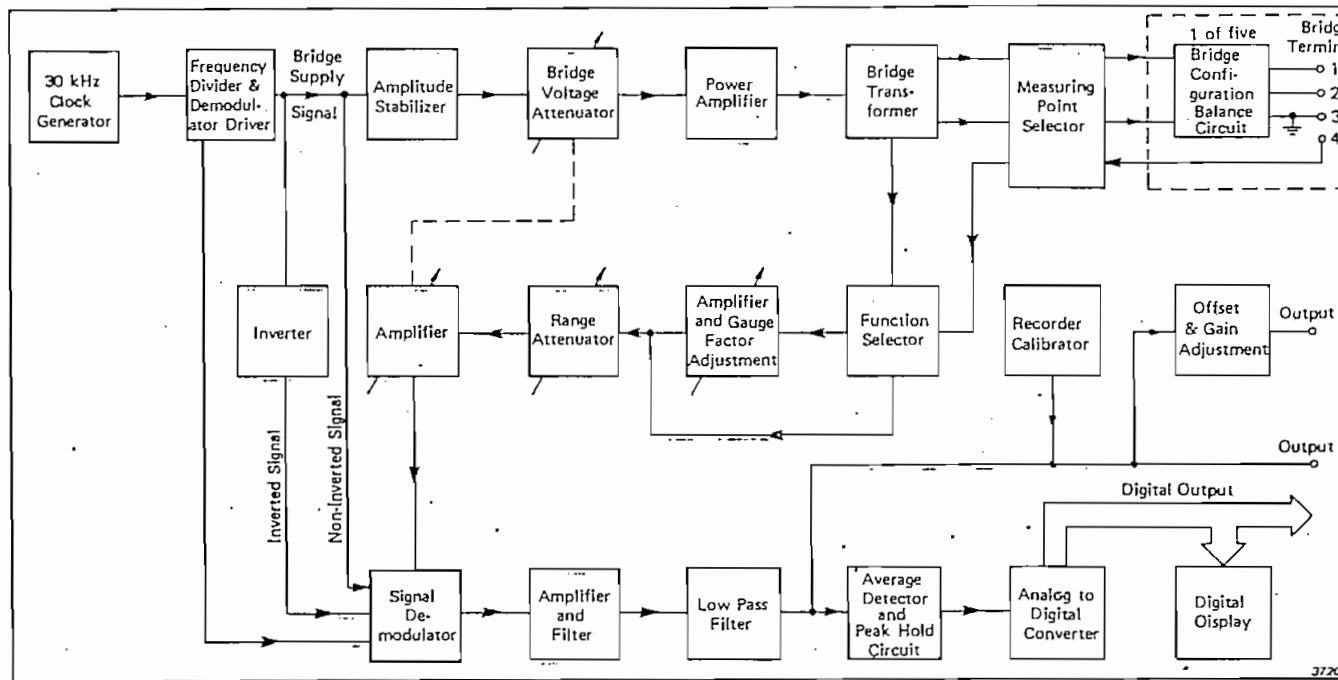


Fig.1. Block diagram of the Type 1526

Strain Indicator

The Type 1526 gives instantaneous direct readings of strain levels on a digital display. The instrument is ideally suited to the measurement of static strain, and it can also measure dynamic strains at frequencies up to 300 Hz. It includes a hold function to permit the measurement of non-repeating phenomena; the display will show the largest peak occurring. In cases where both static and dynamic strains are present, the two components can be separated by use of the hold function. The built-in set of low pass filters can also help separate static and dynamic strains, besides being used for the more normal function of keeping spurious signals out of the measurement.

Because of the demodulator principle used in the Strain Indicator resistive and capacitive unbalance on a strain gauge arrangement can be balanced out together by one potentiometer.

The Strain Indicator can be used with a wide range of resistance strain gauges and it has a full scale sensitivity from ± 200 microstrain ($\mu\epsilon$) to $\pm 20000 \mu\epsilon$ with one active gauge. Analog outputs are available to feed level recorders or oscilloscopes, and there is a BCD output for the transfer of data to the Type 1544, or to other digital equipment.

Carrier Frequency System

The Strain Indicator uses a carrier

frequency system to excite the measuring bridge, thereby eliminating the problems encountered with a DC system, such as thermocouple effects, electrical and magnetic noise. The carrier frequency system also allows a low bridge excitation voltage. The bridge voltage can be set to 3 V, 1 V, or 0.3 V. With 0.3 V and 120 Ω gauges, the dissipation will be only 0.75 mW per gauge, which makes the instrument ideal for use on materials with very low thermal conductivity.

The Block Diagram in Fig. 1 shows the inner workings of the Strain Indicator. A Clock Generator

supplies a 30kHz square wave signal to a Frequency Divider. Two signals come out of the Divider, one of them is the 3kHz square wave excitation signal for the measuring bridge, while the other is a 6kHz gating signal as shown in Fig.2. Part of the bridge supply signal is fed directly to a Signal Demodulator, and part of the signal passes through an Inverter and then into the Demodulator.

Another part of the bridge supply signal is conditioned and then passed to the measuring bridge via the Measuring Point Selector. This excites the strain gauges so that the bridge arm resistances can be compared. The resulting voltage difference, representing the strain level, is fed through the Function Selector to an Amplifier. Gauge factor adjustment is accomplished by varying the gain of this Amplifier. The amplified signal is then further conditioned and amplified and fed to the Signal Demodulator.

The Signal Demodulator gates the measuring signal, as shown in Fig.3, and allows only a portion to pass through into the measuring section. This effectively eliminates the signal peaks which are caused by the relatively high sensitivity of AC excited systems to reactive unbalance, i.e. capacitive unbalance due to long bridge leads. The demodulator principle used in this instrument permits the residual capacitive unbalance to be balanced out by the resistance Balance Potentiometer. Typically, a $0,05\mu\text{F}$ unbalance on a 120Ω bridge will cause an error in reading of $<\pm 1$ digit on the display in the $1\text{V } 2000\mu\epsilon$ range.

Measuring Section

The demodulated signal passes through a further conditioning stage to the Low Pass Filter. The Filter cut-off frequency can be set in three steps, 3Hz, 30Hz, and 300Hz. The filtered signal is fed directly to Output 2, and also through a circuit with adjustable "Gain" and "Offset" to Output 1. Output 2 gives $\pm 10\text{V}$ for full range of the display, and is intended for feeding an oscilloscope. Output 1 is meant for connection to Level Recorders Type 2305, Type 2306, and Type 2307, or to ordinary voltmeters. The adjust-

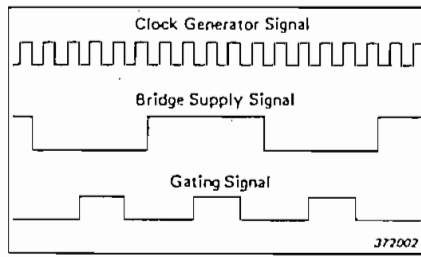


Fig.2. Bridge and demodulator signals

table "Gain" and "Offset" make it easy to set up a dynamic range of the output signal that gives optimal use of the Level Recorder, to obtain a calibrated trace on pre-printed chart paper.

The Strain Indicator contains both an Average Detector and a Peak Hold Circuit. Normally, measurements will be made with the Average Detector which is suitable for steady state or slowly varying static strains. When a rapidly varying strain is being measured, the Hold Max. "On" button should be pushed then the display will indicate the largest peak regardless of sign and time. When combined static and dynamic strains are present the Hold function can be used with the Low Pass Filters to separate them and measure the value of each component.

The Digital Display is a seven segment gas discharge display with plus and minus signs and $3\frac{1}{2}$ digits. The display can be switched to indicate several different parameters by the front panel "Function" selector. When "Operate" is selected, the Display indicates strain

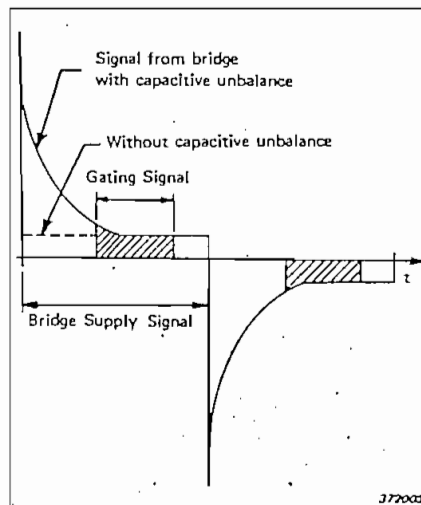


Fig.3. Functions of the different signals

levels directly in microstrain units.

Selection of "Gauge Factor Adj." brings the value of the gauge factor in use on display, so that it can be adjusted by the Gauge Factor potentiometer. The gauge factor can be adjusted over the range between approximately 0,90 and 10,50 to match the characteristics of the strain gauges in use. When the Function selector is switched to "Balance Pot. Position", a number indicating the position of the Balance potentiometer will be displayed. This is very useful in the types of test where it is not possible to unload the test piece and come back to the zero position. In these cases the initial balance can be noted for future reference.

A Digital Output is available from a multipin socket on the rear panel. This output permits the transfer of strain level data in parallel in a BCD coded form to the Type 1544 or to other digital equipment.

Measuring Bridges

There are five balancing networks in the Strain Indicator, and each one has its own Balance Potentiometer on the front panel. The connections for the first measuring point are on the front of the instrument, while the other four are arranged on the rear. The connections for one point consist of four terminals, two for the excitation voltage, and two for the measuring voltage. Each measuring point has its own bridge mode selector near its set of terminals. The selector can be switched to either "Full Bridge", with four strain gauges or external resistors connected in a Wheatstone measuring bridge, or to "Half Bridge" with the measuring circuit consisting of two external strain gauges or resistors, and two calibrated $1\text{k}\Omega$ internal resistors to complete the bridge.

The Measuring Point Selector switches the excitation voltage in turn to each measuring point, and at the same time connects the relevant point to the measuring section so that the strain level at that point can be measured.

A plug-in Quarter Bridge Adaptor is supplied with the instrument so

that measurements can be made with a single strain gauge. The standard Adaptor contains a 120Ω dummy gauge, and an Adaptor with a 350Ω dummy gauge is also available. Both Adaptors can be employed in either two lead or three lead circuits.

Another important accessory supplied with the instrument is a plug-in Calibration Bridge so that the display can be calibrated with an accuracy of 0,1% when the Strain Indicator is to be used as a transducer read out.

Using the Digital Display

With correct use of the "Hold" function, the "Balance" control, the Low Pass Filters, and the plus and minus signs on the display, the values of interest can be determined for any type of signal with the same degree of accuracy as that of a pure static signal. An oscilloscope connected to Output 2 helps to verify the type of signal, but is not required for the measurement of the level.

The sketches in Figs.4 to 9 show how measurements can be made on various types of signal.

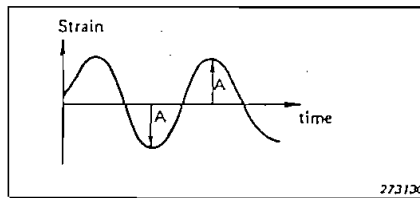


Fig.4. For this type of signal the \pm sign shifts both with and without the "Hold Max." depressed. Value + or - A is measured in pos. "Hold Max."

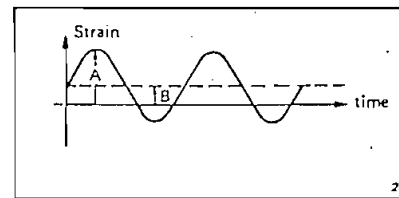


Fig.5. With this type of signal the \pm shifts without "Hold Max." pressed. Value + A is measured pos. "Hold Max.". When BALANCE CONTROL is adjusted until \pm also shifts with "Hold Max." pressed, value (A-B) is measured pos. "Hold Max."

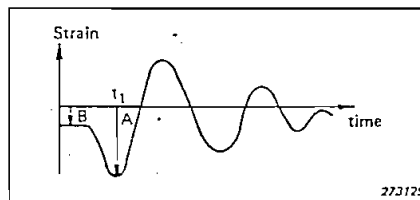


Fig.6. With this type of signal value -B is measured until time t_1 where \pm sign starts shifting. Indicating that dynamic signal is present. If "Hold Max." is depressed -A is indicated after time t_1

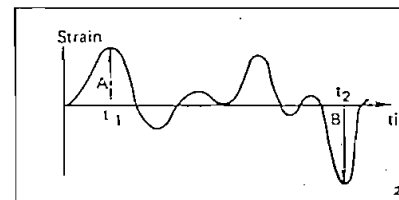


Fig.7. With this type of signal, and "Hold Max." depressed, +A is indicated until a numerically larger signal appears, in this case -B, where -B is indicated

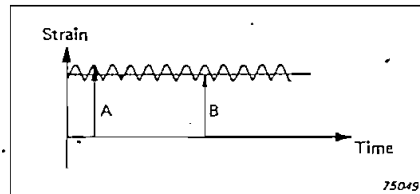


Fig.8. In this case the average value B is indicated when the "Hold Max." is not depressed. +A is indicated in pos. "Hold Max."

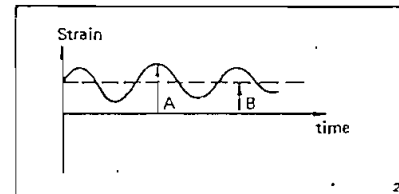


Fig.9. For this signal with a lower frequency dynamic component than in Fig. 6 the value B can be measured using one of the Low Pass Filters,

Multipoint Selectors

The Multipoint Selector and Control Type 1544 is the master control unit for strain measurement systems consisting of up to 39 Multipoint Selectors Type 1545 connected via itself to the same Strain Indicator Type 1526. In addition to its control circuitry, the Selector and Control unit contains facilities for connecting and switching 10 measuring points. Multipoint Selectors Type 1545 each contain passive circuitry for connecting and switching 10 measuring points. A decade identification number can be set on the Multipoint Selector to determine its place in a scan sequence.

As Multipoint Selectors Type 1545 have no power supply, they

must be connected to a Multipoint Selector and Control Type 1544 when in use.

Measuring points are selected for connections to the Strain Indicator one at a time in a predetermined sequence, so that the strain level at each measuring point can be measured and displayed. The measuring points can be scanned automatically in sequence at a rate preselected on the Selector and Control, be stepped in sequence by a manual control or be operated by a remote switch. The identification number of the measuring point currently connected to the Strain Indicator is indicated on a three digit display on the Selector and Control, while an LED is lit below the balance control of

the relevant point as an additional indication.

Individual Multipoint Selector Type 1545, representing whole decades of measuring points, can be switched to another place in scanning sequence by changing decade identification number. If number selected is 00, the whole decade will be by-passed. When necessary, individual measuring points can be switched out, so the scan passes over them in automatic sequence. A single measuring point can be selected for scanning or measurement by a "C" switch, and if several points called in this way, a restricted automatic sweep sequence over these points can be made.

The Selector and Control unit also contains a built-in interface that satisfies the requirements of the B & K Data Bus System. This makes it possible to record the strain level and point identification digitally, and gives the further possibility of data acquisition by a computer.

Control Logic

Fig.10 is a Block Diagram of the Multipoint Selector and Control Type 1544. The portion of the diagram enclosed within the broken line shows the components that are also present in the Multipoint Selector Type 1545.

The Control Logic in the Selector and Control unit receives information on its own control settings and those of Multipoint Selectors connected to it, and controls the selection of the measuring points. The Logic unit also receives strain level data from the Strain Indicator and retransmits them via the Interface, together with the measuring point identification number, for print out or subsequent digital processing when necessary.

A series of impulses from the Clock Generator is fed through the Control Logic to drive the Address Counter, which transmits BCD coded addresses with 10 microseconds between them. The Address Counter starts with measuring point number 000, and counts up to measuring point number 400 which is interpreted by the receivers as 000, so that the address cycle is repeated. The coded addresses are received by the Decade Decoders of all instruments in the measuring arrangement. The Decade Decoder in the Selector and Control Type 1544 is permanently set to decade number 0, while the Decade Decoders in the Multipoint Selectors Type 1545 can be set to any number between 1 and 39 by a two knob Decade Selector. When the Decade Decoder recognises its own address code, it triggers the BCD to 10 Line Decoder which in turn drives the relevant Relay coil to achieve selection of the correct measuring point.

Measuring Point Circuits

Each measuring point has its own set of four terminals on the rear

panel of a Selector and Control unit or a Multipoint Selector, with 10 sets of terminals per instrument. When the Relay operates to connect a measuring point, one pair of terminals carries the excitation voltage for the individual measuring bridge received through two leads of a four conductor cable from the Strain Indicator. The other pair of terminals receives the bridge output signal that is to be passed to the measuring section of the Strain Indicator by the other two leads in the cable.

The individual measuring points are each equipped with a Bridge Mode Selector and Balance Potentiometer similar to those on the Strain Indicator. These allow any combination of full or half bridges, or quarter bridges (with adaptor) to be connected and balanced. In the Relay Coil circuit of each measuring point, there is an LED that lights to indicate operation of the Relay and connection of the measuring point. There is also a three position "On/Off/Call" function switch for each measuring point. The "On/Off/Call" switches, on all Selector in-

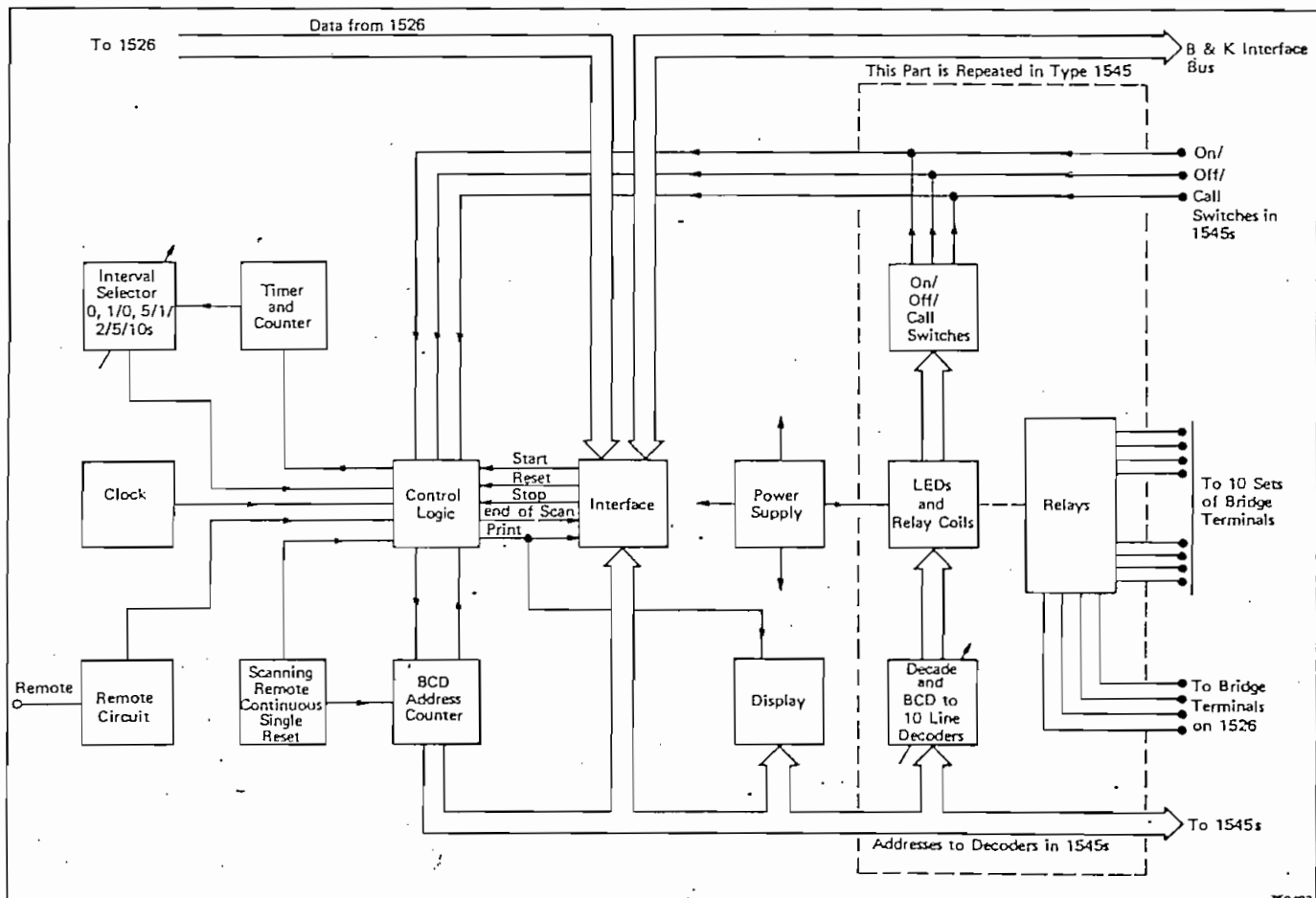


Fig.10. Block Diagram for Type 1544 and Type 1545

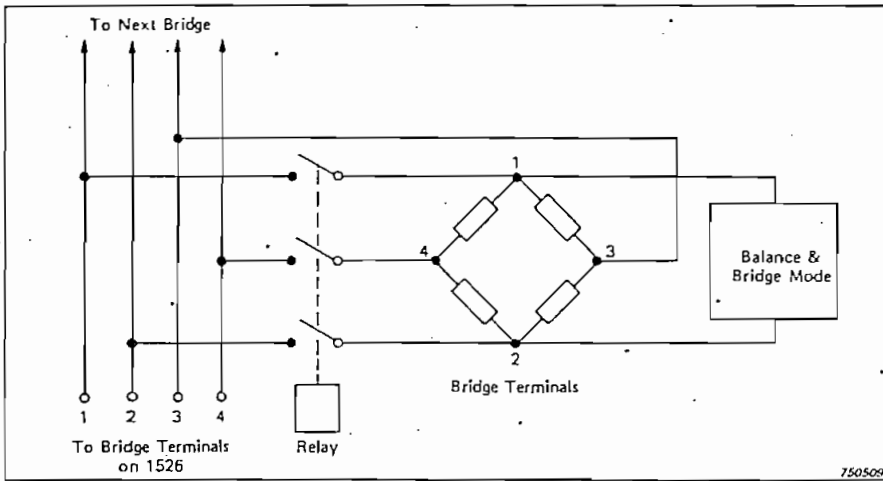


Fig. 11. Positions of the relays

struments are connected in parallel to carry information on the function required for the individual measuring point circuits. The Clock pulses to the Address Counter are interrupted by the Control Logic when an address that has "Call" or "On" selected is reached. If function switches are set in position "Off", the count continues and the relevant measuring points are passed over. The "Call" function has a higher priority than "On", so that where any switches are set to "Call", the scan will not stop at "On" switches, but make a sweep of "Call" positions only. When a single measuring point has been called, the scan will remain at this position.

The scan sequence can be started at any point by calling that point and then releasing it.

The number of the measuring point being sampled is indicated on a Digital Display, which receives and decodes the BCD output from the Address Counter.

Dwell Time Selection

At the same time as the Clock pulses are interrupted, the Control Logic resets and starts a Timer that emits an impulse every tenth of a second. These pulses are counted, and when the counted interval matches the time selected by the Step Interval buttons on the Selector and Control, the Clock pulses to the Address Counter are resumed and the scan moves on to the next measuring point. Dwell times of 0.1 s, 0.5 s, 1 s, 2 s, 5 s, and 10 seconds can be selected.

If different dwell time intervals are required, or if the measuring method requires it, point selection can be accomplished by means of the Remote Trigger input. The Remote Circuit accepts signals from a TTL source, and can also be used with the cam switch of a Level Recorder Type 2305, 2306, or 2307. A scanning rate of ten points per second is the maximum possible. Scanning modes "Remote" step triggering, "Continuous" scan, "Single" scan, and "Reset" to 000 can be selected by push buttons on the Selector and Control unit.

B & K Interface Bus

The built-in Interface Bus contained in the Selector and Control collects the BCD coded addresses from the Address Counter and strain level data from the Type 1526. It delivers them in ASCII code to the Interface Bus with the proper format for printing out, with one line for each measuring point.

The Interface is similar to a proposed IEC Standard with respect to the byte-serial transmission of data and the control signals, but it is not addressable. Data transfer is asynchronous and the transfer rate is governed by the slowest receiver connected to the bus. If the receiver is too slow for the scanning speed selected on the Type 1544, the step intervals will be prolonged by the interface circuit so that the receiver governs the scanning rate.

Generally, several transmitters and receivers may be connected to the B & K Interface Bus where a

controller is capable of address them and assigning individual tasks. The Type 1544 is a "Talk ways" device, and if it is part of a controlled system, as described above, it can be connected and connected when necessary in a measuring sequence, either manually by the "Read Out" command from the Type 1526, or by the "Remote Enable" line from the controller.

A scan can be initiated externally from the Interface Bus. It is possible to make on-line calculations, of strains measured by settable gauges for example, when a computer is connected to the Bus.

The Interface circuit will "Handshake" with most equipment following the proposed IEC Standard, but according to the Standard, compatibility with all receivers cannot be guaranteed.

System Connection

Fig. 12 shows how the strain measuring system should be connected. Note that the four conductor cable connecting the Strain Indicator with

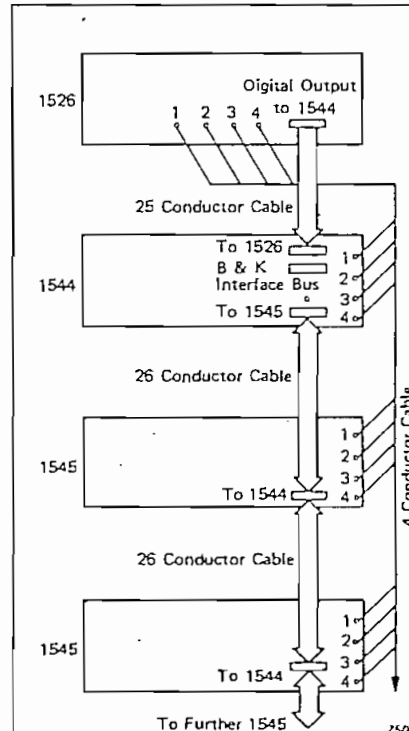


Fig. 12. Inter-connection of the system

Specifications 1526

Bridge Excitation:

0,3, 1 and 3V
3kHz square wave

Range:

$\pm 199,9 \mu\epsilon$, $\pm 1999 \mu\epsilon$, $\pm 19990^* \mu\epsilon$
For 1 active gauge and with correct gauge factor setting, $\pm 199,9 \mu\epsilon$ only with 3V excitation voltage

Gauge factor:

Continuous adjustment with ten-turn potentiometer from 1,00 to 10,00
Gauge factor shown on display

Accuracy:

Without external calibration bridge:
 $\pm 0,5\% \pm 1$ digit for gauge factor < 2
 $\pm 0,25\% \pm 1$ digit for gauge factor ≥ 2
With external calibration bridge:
 $\pm 0,1\% \pm 1$ digit
The capacitive unbalance of a 120Ω gauge must be less than 10000 pF in the $200 \mu\epsilon$ range and 30000 pF in all other ranges

Linearity:

± 1 digit

Noise on display:

± 1 digit

Temperature Drift:

$< 0,05\%$ per $^{\circ}\text{C}$

Bridge Balance:

With gauge factor 2,00 and resistance 120Ω , up to $\pm 10000 \mu\epsilon$ can be balanced out
Balance resolution is switchable i.e. $\pm 2\%$, $\pm 0,6\%$, $\pm 0,4\%$, and $\pm 0,1\%$
A 50 pF change to one 120Ω gauge will shift the balance by less than $1 \mu\epsilon$
The Balance Potentiometer position can be shown on the 1526 display

Filters:

Low-pass filter with 3 dB limits at 3, 30, and 300Hz. At the excitation frequency the damping with the 300Hz filter will be 70 dB (3000:1)

Rectifier:

Average: Response time referred to the digital display is 30ms. With "Reset" button depressed approx. 3s
Peak Hold:
Decay rate 1 digit per 10s
Pulse duration for accuracy within the above stated
Without filters: $P_t \geq 4 \text{ ms}$
With 300Hz filter: $P_t \geq 6 \text{ ms}$
With 30Hz filter: $P_t \geq 30 \text{ ms}$
With 3Hz filter: $P_t \geq 300 \text{ ms}$

Outputs:

Output 1: $\pm 0,7 \text{ V}$ to $\pm 4 \text{ V}$ for maximum reading on display; with offset possibility of $\pm 4 \text{ V}$. $R_g = 220 \Omega$
Output 2: $\pm 10 \text{ V}$ for maximum reading on display. $R_g = 220 \Omega$
Linearity better than $\pm 0,1\%$

Digital Output:

17 data lines for 3 full and 2 half BCD characters, sign, decimal point and overload indication
Levels according to SN74/TTL series (0V and +5V positive true)
Control signal out: Data Ready
Control signal in: Data Request

Display:

7-segment neon gas discharge
Shows \pm and $3 \frac{1}{2}$ digit*

External circuits:

Full and half bridge which may be independently set and mixed on the five measuring points
With an accessory box also quarter bridge circuit can be used in two or three wire configuration

Power Supply:

100, 115, 127, 150, 220, 240V
 $\pm 10\%$
50 to 400Hz

Power Consumption:

10W

Operating Temperature:

+5 to 40°C (40 to 104°F)

Humidity Range:

0 to 90% relative humidity

Cabinet:

Supplied as model A (lightweight metal cabinet), model B (model A in mahogany cabinet) or model C (as A but with flanges for standard 19" racks)

Dimensions (A cabinet):

Height: 133 mm (5,25 in)
Width: 430 mm (16,9 in)
Depth: 200 mm (7,9 in)

Weight:

4,6 kg (10 lb)

Accessories Included:

Power cord
Calibration Bridge ZR 0013
Quarter Bridge Adaptor ZR 0014

* In 19990 range the last zero indicates resolution only, resolution is $10 \mu\epsilon$

2. CONTROLS

2.1. FRONT PANEL

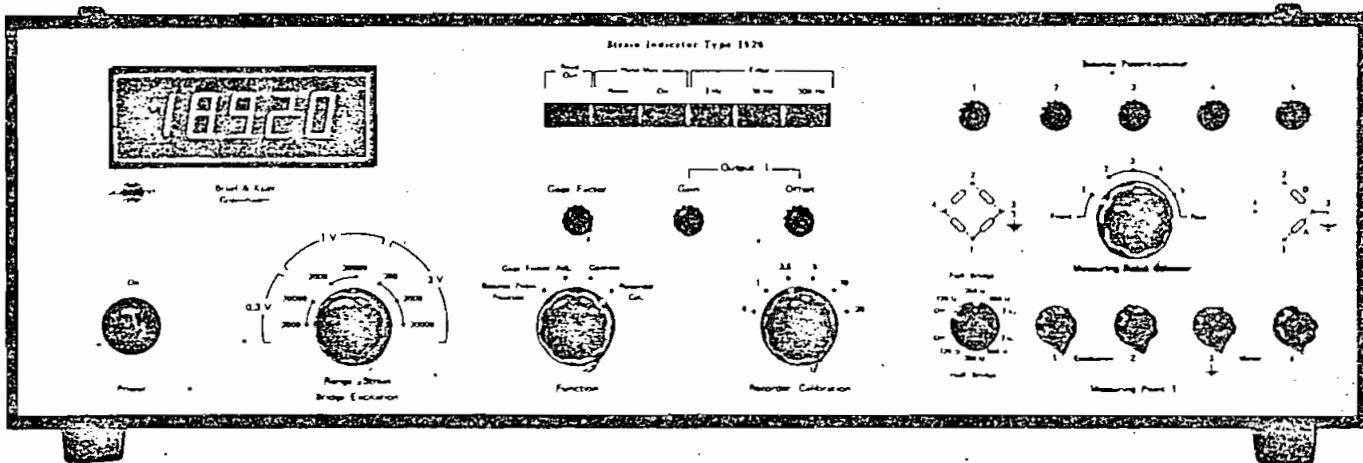


Fig.2.1. Front Panel, Type 1526

POWER:

Toggle switch to switch the instrument on and off.

RANGE μ STRAIN BRIDGE EXCITATION:

Seven position rotary switch used to select the measurement range and excitation voltage. There is a choice of 2000 μ strain ($\mu\epsilon$) or 20000 $\mu\epsilon$ with a bridge excitation of 0,3 V or 1 V, and a choice of 200, 2000 or 20000 $\mu\epsilon$ with a bridge excitation of 3 V.

FUNCTION:

Four position rotary switch used to select the measurement being shown on the digital display, as follows:

"Balance Potm. Position". In this position the balance reading is displayed. This is a unit-less reading for referencing the balance of the strain gauge bridge at a given time.

"Gauge Factor Adj." displays the gauge factor.

"Operate" gives the strain directly in μ strain.

"Recorder Cal." provides a calibration voltage output from the rear panel OUTPUT sockets. The signal is intended for a Level Recorder which gives a deflection equivalent to the strain level shown on the display.

RECORDER CALIBRATION:

Six position rotary switch for selecting calibration levels. There are six levels: 0, 1, 2,5, 5, 10 and 20, which give readings corresponding to 0%, 5%, 12,5%, 25%, 50% and 100% of the full range in each of the three strain ranges.

GAUGE FACTOR:

Ten-turn potentiometer used to adjust the instrument for the gauge factor of the strain gauge being used.

The gauge factor is adjustable from 1,00 to 10,00.

- OUTPUT 1, "Gain", "Offset": Two ten-turn potentiometers used to adjust the gain of the output signal at OUTPUT 1 and to offset the base level of the signal.
- READ OUT: Push-button for signalling to digital equipment that it should commence readout.
- HOLD MAX., ON: Push-button to activate maximum hold circuit. Inner position for "On", outer position for "Off".
- HOLD MAX., RESET: Non-locking push-button to reset maximum hold circuit. Can also be used as extra filter. Response time 3 seconds.
- FILTER
"3 Hz", "30 Hz", "300 Hz": Push-buttons for selecting low-pass filters. As one button is pushed the others are released.
- MEASURING POINT SELECTOR: Five position rotary switch for selecting which of the measuring points is connected to the bridge supply and reading facility.
- MEASURING POINT 1: This consists of four screw-down terminals to which the leads from the strain gauges are attached. Diagrams on either side of the measuring point selector show how the leads should be connected for full bridge or half bridge operation. (In half bridge diagram, A = active gauge, D = dummy gauge).
- BRIDGE MODE SWITCH: There is one of these to the left of every measuring point. It is a ten position switch which sets up the 1526 for Full or Half Bridge configurations. The ohmic values refer to balance resolution.
- BALANCE POTENTIOMETERS: Ten turn potentiometers for balancing out resistive and capacitive unbalances in the measuring bridge. There is one for each measuring point.
- DIGITAL DISPLAY: Indicates instantaneous numerical value of FUNCTION selected at sampling intervals of 200 ms.

2.2. REAR PANEL

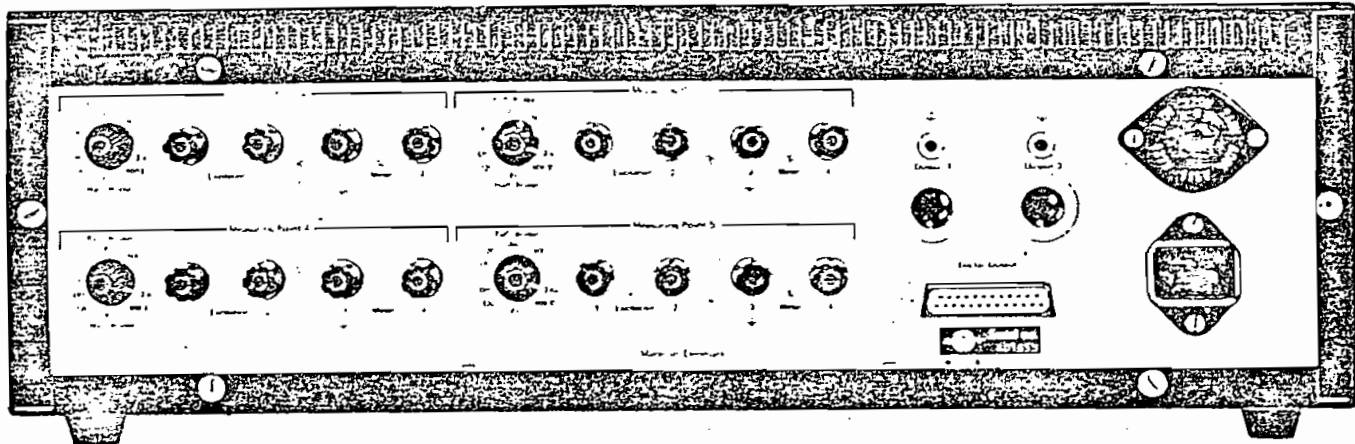
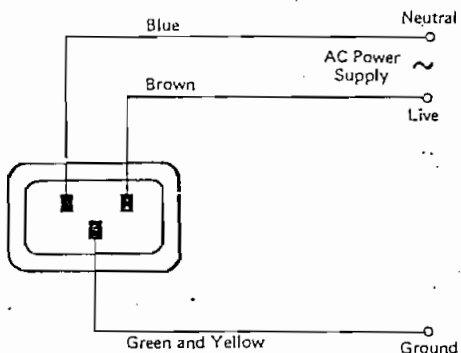


Fig.2.2. Rear Panel, Type 1526

- FUSE AND VOLTAGE SELECTOR:** Contains a 0,2 A fuse. To change fuse or supply voltage remove the star-shaped knob in the center (a quarter turn is enough). Voltage can be adjusted with a wide-bladed screwdriver or a coin.
- MEASURING POINTS 2, 3, 4, 5:** Identical to MEASURING POINT 1 on the front panel.
- OUTPUTS 1, 2:** Coaxial sockets which accept standard B & K JP 0101 plugs. A supplementary socket connected to chassis ground is also provided, which accepts banana plugs.
- DIGITAL OUTPUT:** Twenty-five pin socket connector for the output of measurements to digital equipment. Accepts plug JP 2500.
- POWER:** Socket for connection of the instrument to the mains. For cable connections see Fig.2.3.



172246

Fig.2.3. Connection of Power Cable AN 0010

3. OPERATION

3.1. SETTING UP THE STRAIN GAUGES

The strain gauges can be connected to the instrument in either full, half, or quarter bridge configuration. As an aid to identification of the different strain gauge positions, both in this section and in the discussion of errors in section 6, the following illustrations are presented:

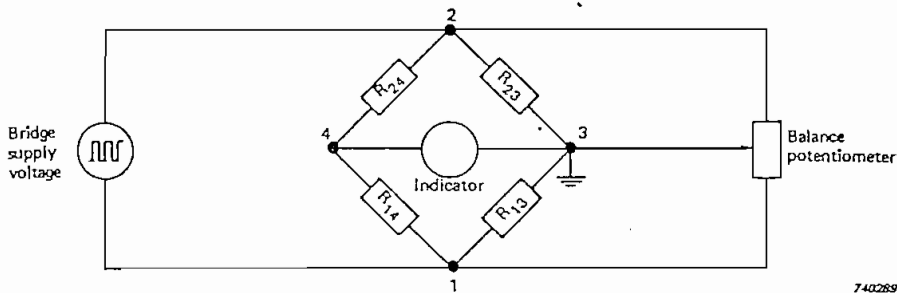


Fig.3.1. Full bridge configuration

Fig.3.1 shows a schematic of a full bridge arrangement. The strain gauges are numbered according to which two points they are connected to. This numbering convention will be followed throughout this book. To get a positive reading in tension the active gauges should be R_{24} and R_{13} . Gauges opposite each other on a bridge are of the same sign and should be mounted on the specimen in such a way that they get the same type of strain.

Fig.3.2. shows a schematic of a half bridge arrangement. In this instance, the gauges R_{24} and R_{14} are replaced with precision $1\text{ k}\Omega$ resistors in the instrument. To get a positive reading for tension, R_{13} should be the active gauge.

Quarter bridge configurations require a Quarter Bridge Adaptor (included with the instrument) and are covered in Section 5.1 of this manual. See Section 6 of this book as well, for an explanation of the types and magnitudes of error which can occur in the different measuring arrangements, and what can be done about them.

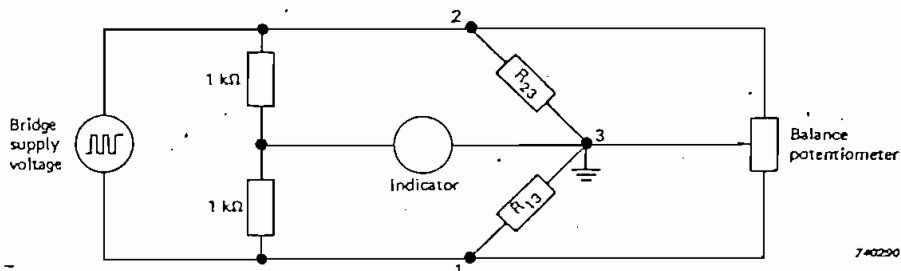


Fig.3.2. Half bridge configuration

3.2. SETTING UP THE STRAIN INDICATOR

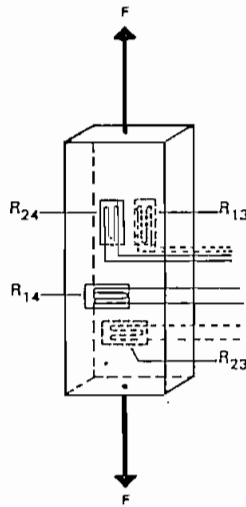
Before connecting the Type 1526 to the mains, make sure that the VOLTAGE SELECTOR is set to the correct mains supply voltage.

After switching on, select a bridge supply voltage and measurement range. Select the filter which is just beyond the frequency range of measurement. For instance, for static measurements use the "3 Hz" filter. In any case, one of the filters should be selected, since 300 Hz is the limit for the recommended operating range.

3.2.1. Gauge Factor

Switch the FUNCTION selector to "Gauge Factor Adj." and adjust the GAUGE FACTOR potentiometer until the gauge factor can be read on the display. If more than one active gauge is used, they can be totalled up and the sum of their gauge factors dialed in.

Fig.3.3. shows a full bridge setup on a tensile specimen with four active gauges. Assuming a Poisson's ratio of 0,3 for the material, and the same gauge factor for all four gauges, the total output for the four gauges will be 2,6 times the output of one gauge. Instead of dividing the resulting reading by 2,6, the total can be dialed into the Gauge Factor and the DISPLAY will show the strain directly.



373001

Fig.3.3. Tensile specimen with 4 active gauges

3.2.2. Balance

The positions of the BRIDGE MODE selector are labelled with different resistances. The basis for this is that, in the nominal position for a particular gauge, and with a gauge factor of 2,0, one can balance out a total of $\pm 10000 \mu\text{strain}$. This, however, means that there is a resolution of $2000 \mu\epsilon$ per turn of the balance potentiometer. To get better resolution and thereby finer balance the selector can be switched to a higher resistance. Table 3.1 shows the resolution in terms of $\mu\epsilon$ per potentiometer turn. The hachured areas are those combinations of BRIDGE MODE settings and strain gauge resistance which are not recommended for use.

Strain Gauge Resistances Bridge Mode	120 Ω	350 Ω	600 Ω	2 k Ω
120 Ω	2000	5400	9000	28000
350 Ω	600	2000	3400	11000
600 Ω	400	1200	2000	6300
2 k Ω	100	400	600	2000

740328

Table 3.1. Resolution in μ strains/turn

To achieve the best resolution, start in the 2 k Ω position. If the bridge won't balance, switch to 600 Ω and so on until a balanced is obtained.

Balancing is done by switching the FUNCTION selector to "Operate" and adjusting the BALANCE POTENTIOMETER for that channel until display reads zero.

3.2.3. Balance Potm. Position

Once the test has begun, it may not be possible to come back to the no-load situation again in order to balance the bridge. For this reason the FUNCTION SELECTOR has the position "Balance Potm. Position". In this position a reference reading may be obtained for the condition of the BALANCE POTENTIOMETER at the time of balancing. It should be stressed here that this reading is a unitless number for reference only, and has no relation to strain.

3.3. READING THE STRAIN

For static measurements the reading of the strain is quite simple. The load is applied to the specimen and the strain read directly from the display in $\mu\epsilon$. Up to five sets of gauges can be read by switching the MEASURING POINT SELECTOR to the appropriate channel.

For dynamic measurements, of course, the reading becomes more difficult and some sort of ancillary equipment may be necessary, especially if it is a question of determining the shape of the signal.

The HOLD MAX. buttons may be used to advantage for dynamic signals in the following manner:

To get a peak reading of the signal, press HOLD MAX. "On". This yields a reading of the maximum strain, whether positive or negative.

If both the positive and negative maximum values of a continuous signal are wanted, the following procedure is recommended:

With the HOLD MAX. "On" and a maximum reading showing, note the value of the maximum reading. For the sake of further calculations, this reading will be referred to as "A". Switch the FUNCTION SELECTOR to "Balance Potm. Position" and note the balance position reading. This reading has no relation to strain, but can be used to come back to the original balance conditions without stopping the test. Switch back to "Operate" and hold the HOLD MAX. "Reset" button in for at least 3 seconds.

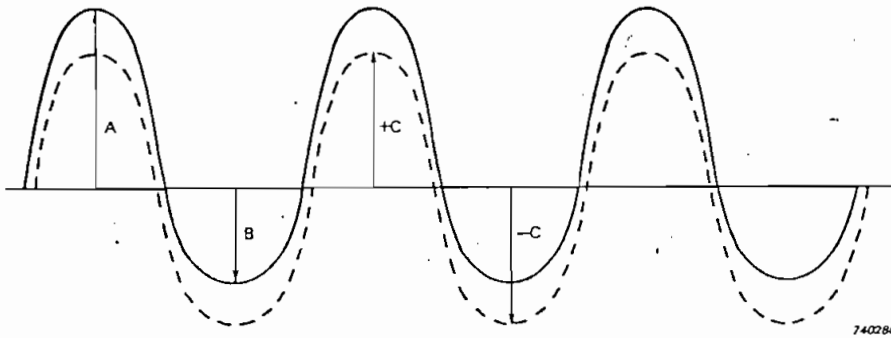


Fig.3,4. Shifting the base line to obtain both maximum values

Now, adjust the BALANCE POTENTIOMETER until the DIGITAL DISPLAY changes sign. The "Reset" button must be used during this process, i. e., an adjustment in balance is made, the display is reset, another adjustment is made, and so on. Finally a position of the BALANCE POTENTIOMETER is obtained where the DIGITAL DISPLAY is showing only one number and the sign is shifting from + to —. This number is "C".

Referring to Fig.3.4, it will be seen that the curve has been shifted (in this case in the negative direction) by adjusting the BALANCE POTENTIOMETER, so that the signal now fluctuates between + C and —C. It can also be seen from the Figure that $2 C = A + B$.

From this, it follows that $B = 2 C - A$, and B, the negative maximum can now be calculated.

The "Reset" button can be used for checking the average value of the signal during dynamic excitation. As long as the "Reset" button is held in, the DIGITAL DISPLAY shows the average value of the rectified signal. When the button is released, the maximum is again displayed. The "Reset" function has a time constant of 3 seconds.

3.4. RECORDER CALIBRATION

Another means of handling dynamic strain signals is by putting them into an oscilloscope or some sort of recorder, where not only maximum and minimum but the shape of the signal can be determined.

The Type 1526 is equipped to facilitate use with a recorder through an adjustable output and a set of calibration signals. The output from OUTPUT 1 has adjustable GAIN and OFFSET controls, as shown in Chapter 2. These can be used to make the signal fit the recorder paper.

If, for example, an oscillating signal in the range $\pm 1000 \mu\epsilon$ is expected, and a Type 2307 Level Recorder is to be used, the following procedure can be followed:

1. Set the 1526 RANGE to $2000 \mu\epsilon$ and balance.
2. Fit the Recorder with a 10 — 35 mV linear potentiometer (ZR 0001) and paper without frequency calibration (QP 1102).
3. Connect a Cable AO 0014 from OUTPUT 1 on the 1526 to the INPUT of the 2307.
4. Switch the FUNCTION SELECTOR to "Recorder Calibration" and the RECORDER CALIBRATION to "O".

5. Adjust the OFFSET so that the pen is centered on the paper.
6. Switch the RECORDER CALIBRATION selector to 10. This puts in a signal equivalent to half of the range, or $1000\mu\epsilon$.
7. Adjust the GAIN control so that the pen just sits on the top line.
8. Select suitable WRITING SPEED and PAPER SPEED on the Recorder.
9. Switch the FUNCTION selector to "Operate".

The two instruments are now coordinated such that the Recorder will trace a strain vs. time curve for the test up to a frequency limit of 6.4 Hz (the limit of the Recorder). A check can be made periodically on levels by switching in one of the RECORDER CALIBRATION voltages.

3.5. MULTI-POINT MEASUREMENTS

As mentioned in Chapter 2, it is possible to measure on five different points using the 1526. However, the situation can often arise, for instance in civil engineering applications, where a great many strain locations are measured simultaneously. In these instances, the Automatic Selector Type 1542 and the Twenty Point Panel Type 1543 can be of value. The 1542 automatically sweeps over 10 measuring points (at preset time intervals) and the addition of 1 or 2 Twenty Point Panels enables it to cover 30 or 50 points respectively. For a further description of these two instruments, see § 5.2.

Fig.3.5. shows the method of connecting two strain gauges to the Strain Indicator via a 1542 Selector. Each set of MEASURING POINT connections has an "A" and a "D", and the active gauge and dummy gauge are connected to these when the 1542 is connected for half bridge measurements (see also Fig.5.7). When the 1542 is set up for full bridge, the connections should be made exactly as on the 1526. The 1542 is then wired to the 1526 from Pin 1 to Pin 1 and so on, as shown.

Make sure that the BRIDGE MODE SWITCH on the Type 1526 is in "Full Bridge" and "Off" position. Up to ten strain gauge setups can be connected in this manner. The twenty measuring points on the 1543 are connected to the 1542 by using a Cable AO 0030 for every ten points. The cable terminals are on the back, and are labelled "B", "C", "D" and "E" for each decade in succession. Corresponding letters are found around the CHANNEL SELECTOR on the front panel of the 1542.

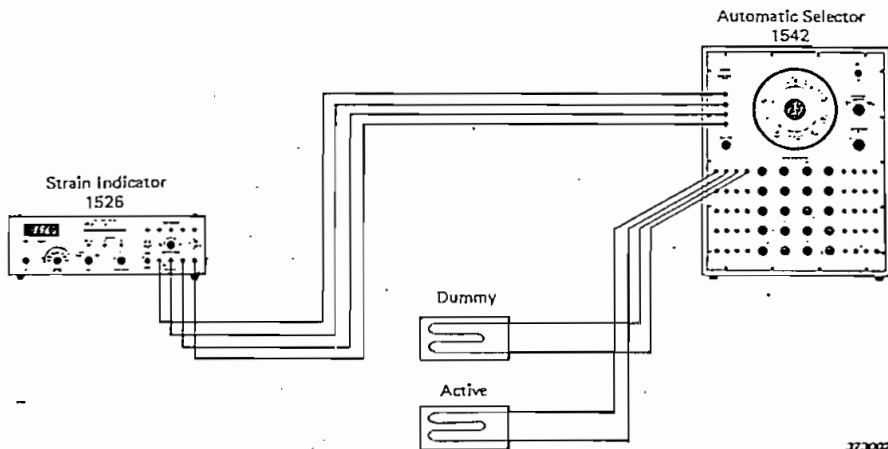


Fig.3.5. Connection of strain gauges with Types 1526 and 1542

Balancing of each network is done at the MEASURING POINT by using its own R and C BALANCES. Although the "C" balance is not really necessary with the 1526 system (see § 5.2), it can be used for fine tuning.

When all points are connected and balanced, the sweeping can be initiated. Set the AUTOMATIC SWITCHING control on the 1542 to the dwell time desired. Switch the FUNCTION SELECTOR to "Range Adj.". Turn the CHANNEL SELECTOR counter-clockwise until the action becomes stiffer. Now turn it clockwise again to a channel number on higher than the total number of channels to be swept. If all 50 channels are in use, the FAST RETURN should be switched "Off".

3.6. CALIBRATION BRIDGE

3.6.1. Use of the Calibration Bridge ZR 0013

For very accurate measurements it may be desirable to set up the Gauge Factor even more precisely than the display of the 1526 allows, i. e., to three decimal places. The Calibration Bridge is constructed such that a difference in strain of $2000\mu\epsilon$ can be displayed for a gauge factor of 2,000. For any other gauge factor, the desired display is calculated as follows:

$$\frac{2,000}{\text{Gauge Factor}} \times 2000 \mu\epsilon = \text{Display}$$

For a gauge factor of 2,173 for instance, a display difference of $1841\mu\epsilon$ should be obtained.

To calibrate, first plug the Calibration Bridge into the four terminals of the MEASURING POINT and switch the toggle switch to "O". Switch the BRIDGE MODE switch to "Full Bridge", "2 k Ω " to get the best resolution. Switch the FUNCTION SELECTOR to "Operate". Adjust the BALANCE POTENTIOMETER until the display reads 0. Now switch the toggle switch on the Calibration Bridge to "2000 $\mu\epsilon$ ". Adjust the GAUGE FACTOR control until the display shows the desired reading. Switch the toggle back and forth once from "O" to "2000 $\mu\epsilon$ " to check the readings. In the 0,3 and 1 V Bridge Excitation ranges there should be no change but in the 3 V range it may be necessary to wait a few minutes for the resistors in the ZR 0013 to reach temperature equilibrium before making the final adjustment.

3.6.2. Fine tuning of the Gauge Factor Display

If the Calibration Bridge has been used to set the Gauge Factor, the user can be assured that it is properly adjusted. However, it may happen that the DISPLAY will show 2,01 when in fact it would be 2,005 if there were digits enough. This makes absolutely no difference in the functioning of the instrument. However, if perfect agreement in the DISPLAY and the adjustment is desired, the following procedure may be followed:

1. Allow the instrument to warm up for 15 minutes with the Calibration Bridge mounted on the Terminals and the RANGE SELECTOR set to 1 V excitation and 2000 $\mu\epsilon$ range. Set the ZR 0013 to 0.
2. Connect OUTPUT 2 with an oscilloscope and set the scope for 5 mV/cm DC operation.
3. Switch the FUNCTION SELECTOR to "Operate" and, using the scope to check, balance to within ± 2 mV.

4. Switch the Calibration Bridge to $2000\mu\epsilon$.
5. Adjust the GAUGE FACTOR until the DIGITAL DISPLAY shows $1995 \pm 3\mu\epsilon$.
6. Switch the FUNCTION SELECTOR to "Gauge Factor Adj.". The DISPLAY should be switching between 2,00 and 2,01. If not, refer to the rear panel of the instrument. To the left of the POWER socket and just below the serial number plate are two small holes (see Fig.2.2.). By inserting a small screwdriver in the right-hand one the DISPLAY circuit can be adjusted so that it just starts to flicker between 2,00 and 2,01. The DISPLAY is now in proper adjustment.

3.7. SEMICONDUCTOR STRAIN GAUGES

Advantages:	High gauge factor (70 — 150 are common) Small physical dimensions
Disadvantages:	Temperature sensitive Break easily (unless mounted on a base plate) Unlinearity

The main difference between setting up with wire strain gauges and setting up with semiconductors is the setting of the GAUGE FACTOR adjustment, as the range of settings only goes from 1 to 10.

If the gauge factor of the semiconductor gauge is less than 100, divide it by ten and dial the result into the GAUGE FACTOR adjustment. The measuring ranges will now be ten times as sensitive as that shown on the front panel, which means that the limits will be ten times smaller, i. e., $2000\mu\epsilon$, $200,0\mu\epsilon$ and $20,00\mu\epsilon$.

If the gauge factor is greater than 100, one can divide by 100 but this reduces the working range yet again by a factor of 10, giving a reading of $2000\mu\epsilon$ for an actual strain of $200\mu\epsilon$. To get more out of the display, an alternative method can be used. This is, to adjust the GAUGE FACTOR setting to 10,0 and calculate the strain from the resultant readings, as follows:

$$\mu\epsilon = \frac{\text{Reading}}{10 \times \text{GF}}$$

In this way, readings of up to $\pm 1333\mu\epsilon$ can be obtained from a gauge with gauge factor of 150.

Semiconductor strain gauges have a maximum permissible strain of $1000\mu\epsilon$ — $3000\mu\epsilon$ and it is generally recommended that they not be used for strains over $1000\mu\epsilon$ if a reasonable linearity is to be achieved.

3.8. TRANSDUCER SENSITIVITY

There are many types of transducers whose operation is based on built-in strain gauges such as pressure gauges and load cells. Unlike pure strain gauges, however, their sensitivity is given in mV/V instead of gauge factor. These require a bit of interpretation when used with the 1526.

From the principles of the strain gauge bridge, it is known that:

$$\frac{e}{E} = \frac{\Delta R}{4R}$$

where: E = bridge voltage
 e = indicator voltage
 and R = resistance in the bridge

It is also known that:

$$\epsilon \cdot K = \frac{\Delta R}{R}$$

where: k = Gauge Factor
 and ϵ = strain

Therefore,
$$\epsilon \cdot k = \frac{4e}{E}$$

and for Gauge Factor Adjustment = 1 and Display = $1 \mu\epsilon$,

$$\epsilon \cdot k = 10^{-6}$$

or
$$\frac{e}{E} = 0,25 \times 10^{-6}$$

which, in effect, is the sensitivity of the 1526, namely $0,25 \mu V/V$ per $\mu\epsilon$.

The chart in Fig.3.6. is intended as an aid to interpretation of results when such transducers are used.

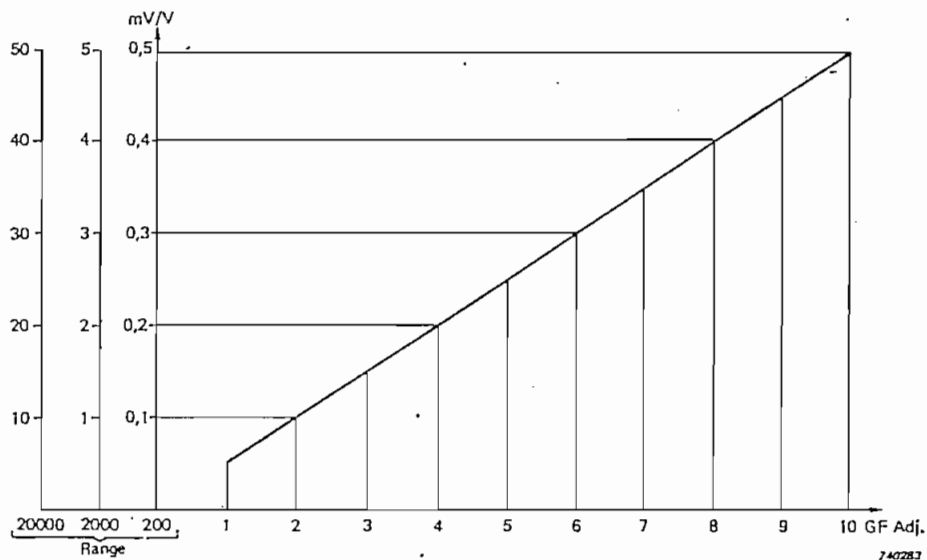


Fig.3.6. Sensitivity of the 1526, expressed in mV/V for three ranges of display

Examples:

A load cell's sensitivity is given as 2 mV/V for a load of 5000 N . For a Gauge Factor adjustment of 4 and Range adjusted to 2000, 2 mV/V will yield a display of 2000 units or $2,5 \text{ N}$ per digit. If the Gauge Factor is adjusted to 8, a load of 5000 N will give a display of 1000 units or 5 N per digit.

A pressure transducer has a sensitivity of 1,2 mV/V for 10 atmospheres pressure. By adjusting the Gauge Factor to 4,8 and the Range to 2000, an output of 1,2 mV will give a display of 1000 units, or, in other words, the DISPLAY will indicate 100 for each atmosphere of pressure.

A P E N D I C E C

DIAGRAMAS ELECTRICOS

B I B L I O G R A F I A

- 1.- John Peatman, "Microcomputer - based Design", Mc Graw-Hill Inc., Tokyo (1977).
- 2.- John Vaughan, "Aplication of B&K Equipment to Strain Measurements", Brüel & Kjaer, Dinamarca (1975).
- 3.- Brüel & Kjaer, "1526 Instrucción manual", B & K, Dinamarca (1974).
- 4.- Motorola Inc., "Microprocessors", Texas (1981).
- 5.- Motorola Inc., "Microprocessor Aplication Manual", Mc Graw-Hill, New York (1975).
- 6.- Motorola Inc., "M6800 Microprocessor Programming Manual", Texas (1975).
- 7.- Texas Instruments, "The TTL Data Book", Dallas (1976).