

**DISEÑO Y CONSTRUCCION
DE UN
NANOAMPERIMETRO
DIGITAL**

OSCAR D'ORTIGNACQ SALAZAR

TESIS PREVIA A LA OBTENCION DEL TITULO DE INGENIERO
EN
ELECTRONICA y TELECOMUNICACIONES

DISEÑO Y CONSTRUCCION
DE UN
NANOAMPERIMETRO
DIGITAL

TESIS PREVIA A LA OBTENCION DEL TITULO DE INGENIERO

EN

ELECTRONICA Y TELECOMUNICACIONES

CERTIFICO QUE ESTA TESIS HA SIDO HECHA EN SU TOTALIDAD

POR EL SR. OSCAR D'ORTIGNACO SALAZAR

A handwritten signature in black ink, consisting of stylized, overlapping letters that appear to be 'J. Jijon'.

ING. JACINTO JIJON
DIRECTOR DE TESIS

A horizontal line with arrowheads at both ends, pointing to the left and right.

DEDICATORIA

A MIS PADRES
CARMEN EULALIA
Y
JOSE RICARDO

QUITO, ABRIL DE 1982

AGRADECIMIENTO

Agradezco á mis padres que a lo largo del tiempo y los caminos estuvieron presentes en cuerpo y en espíritu sirviéndome de guía.

Agradezco a mis hermanos y mis hermanas por la ayuda desinteresada que me dieron.

Agradezco al Ing. Jacinto Jijón que desde las aulas de la Escuela Politécnica Nacional me brindó su cooperación sin egoísmos.

Agradezco a la Escuela Politécnica Nacional porque me formó como un profesional amante de su Patria.

Agradezco al Ing. David Logacho S. quien me extendió su mano leal y generosa.

Agradezco a la Armada Nacinal del Ecuador porque en sus laboratorios la teoría se hizo práctica.

B I B L I O G R A F I A

OPERATIONAL AMPLIFIERS: DESIGN AND APPLICATIONS

Tobey-Graeme-Huelsman

MICROELECTRONICS: DIGITAL AND ANALOG CIRCUITS AND SYSTEMS

Jacob Millman

APPLICATIONS OF LINEAR INTEGRATED CIRCUITS

Eugene Hnatek

SEMICONDUCTOR DATA LIBRARY:CMOS

Motorola

ANALOG PRODUCTS CATALOG

Intersil

T E M A R I O

CAPITULO I

INTRODUCCION: Se da una idea general del nanoamperímetro digital, sus limitaciones y sus alcances. Se explica las conversiones análogo-digital más usadas poniendo énfasis en la de doble pendiente que es la que se usó.

CAPITULO II

DISEÑO GENERAL DEL SISTEMA Y DIAGRAMA EN BLOQUES: Se indica a grandes rasgos el funcionamiento del aparato describiendo lo que hace cada bloque. También se estudia la familia lógica CMOS y los elementos electrónicos utilizados.

CAPITULO III

DISEÑO DEL NANOAMPERIMETRO DIGITAL: Se hace un estudio detallado de cada uno de los bloques del sistema:

- 3.1 Convertidor corriente-voltaje.
- 3.2 Filtro pasabajos.
- 3.3 Circuito de valor absoluto.
- 3.4 Integrador.
- 3.5 Detector de nivel cero.
- 3.6 Oscilador.
- 3.7 Contador.
- 3.8 Indicador de fin de periodo de carga.
- 3.9 Manejador del contador UP/DOWN MC14510.
- 3.10 Conmutador electrónico para carga-descarga del integrador.

- 3.11 Circuito del display.
- 3.12 Indicador de signo.
- 3.13 Indicador de sobrecarga.
- 3.14 Circuito borrador de los dos últimos dígitos del display.
- 3.15 Circuito borrador de señales innecesarias.
- 3.16 Indicador del punto decimal y del signo menos.
- 3.17 Fuente de alimentación.

CAPITULO IV

CONSTRUCCION Y CALIBRACION: Se indica la técnica que se usó en la construcción a la vez que las características propias del aparato. También se indica la calibración que se requiere para una medida exacta.

CAPITULO V

CONCLUSIONES: Se dan conclusiones generales y posibles aplicaciones en las cuales puede ser usado el nanoamperímetro digital.

C A P I T U L O I

INTRODUCCION.- El nanoamperímetro es un medidor de corriente diseñado para trabajar en el rango de 10^{-9} amperios a 10^{-6} amperios. Está compuesto de una parte analógica y una parte digital. La parte analógica se refiere a convertir la corriente a ser medida a un voltaje proporcional a su magnitud. La parte digital, a expresar digitalmente el valor de este voltaje para lo cual se requiere un convertidor análogo-digital.

Antes de hacer una descripción detallada del nanoamperímetro digital es necesario efectuar un estudio comparativo de las distintas formas de conversión análogo-digital y a base del mismo justificar el de doble pendiente como la mejor opción para ser utilizado en el medidor.

1.1.- CONVERSION DIGITAL-ANALOGICA: Primero se estudiará la conversión digital-analógica ya que la misma se utiliza en sistemas de conversión análogo-digital como se verá en el numeral 1.2.

Básicamente esta conversión se logra mediante el uso de cualquiera de los sistemas indicados en las figuras 1.1 y 1.2 :

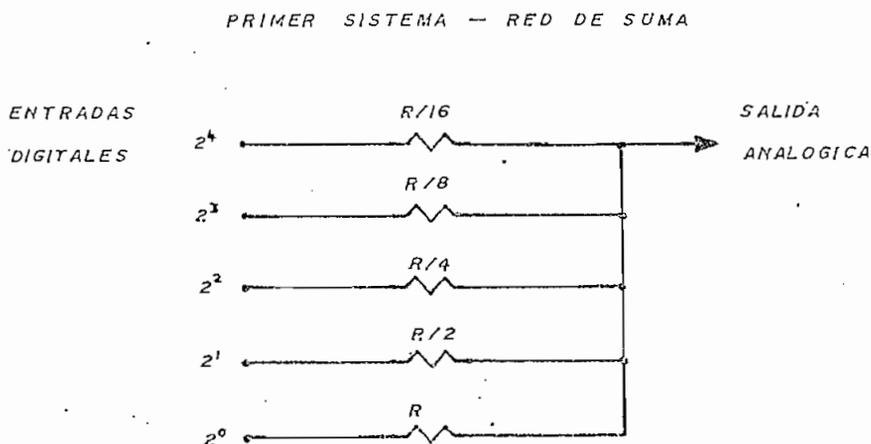
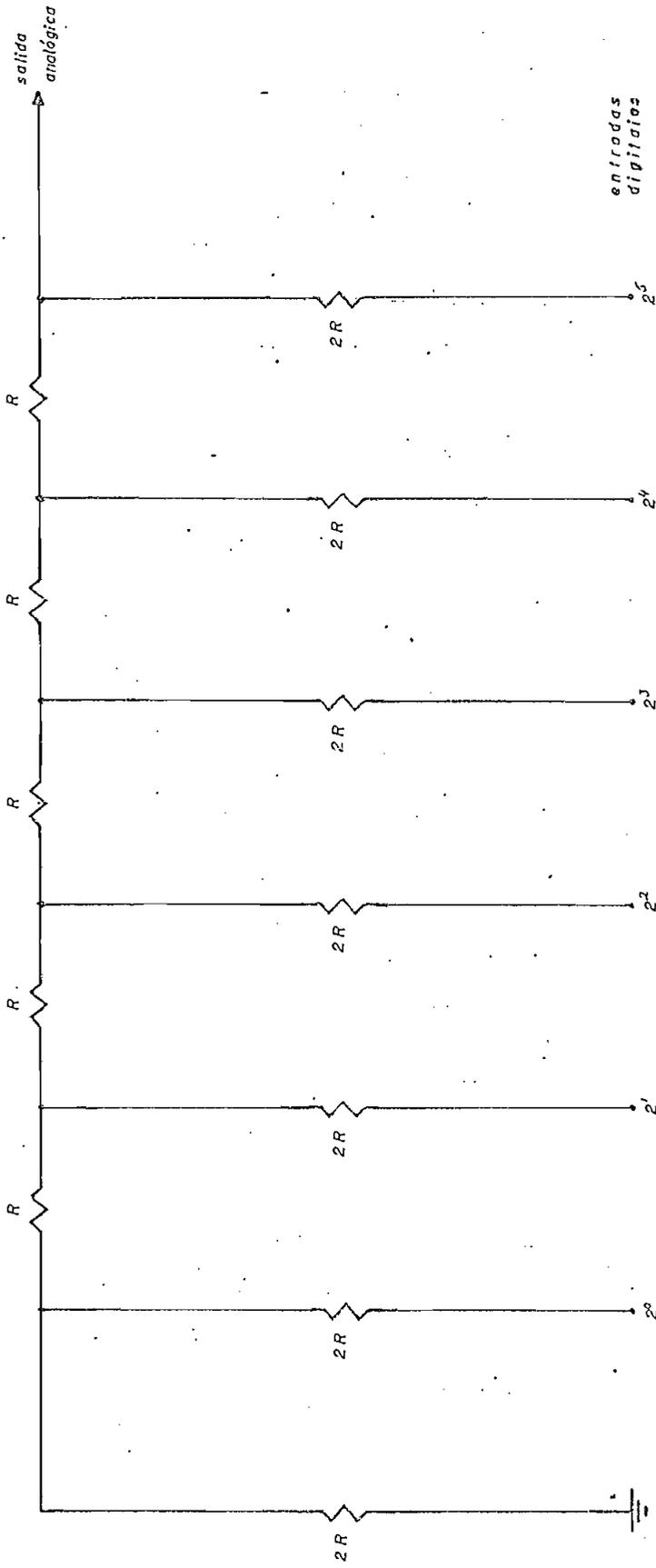


FIGURA 1.1

S E G U N D O S I S T E M A — R E D E S C A L E R A



entradas
digitales

F I G U R A . 1 . 2

1.1.1.- PRIMER SISTEMA: En el circuito de la figura 1.3 se supone que los selectores se conectan a V_r si el bit correspondiente del número binario es 1 y se conectan a masa si el bit es 0.

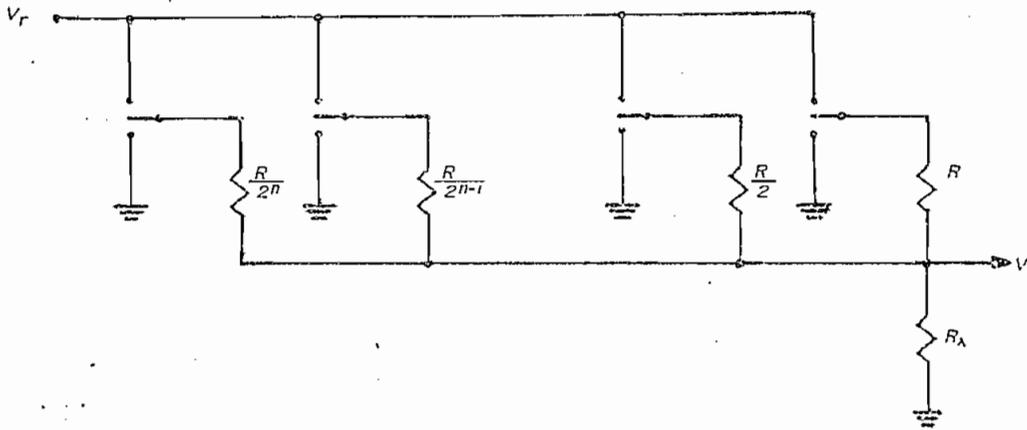


FIGURA 1.3

Si el número binario es

$$N = b_n 2^n + b_{n-1} 2^{n-1} + \dots + b_1 2^1 + b_0 2^0 \quad (b = 0 \text{ o } 1)$$

y si el voltaje aplicado a cada resistor es $V_k = b_k V_r$ entonces

$$\frac{V_n - V}{\frac{R}{2^n}} + \frac{V_{n-1} - V}{\frac{R}{2^{n-1}}} + \dots + \frac{V_1 - V}{\frac{R}{2^1}} + \frac{V_0 - V}{\frac{R}{2^0}} = \frac{V}{R_A}$$

de donde
$$\frac{1}{R} (V_n 2^n + V_{n-1} 2^{n-1} + \dots + V_1 2^1 + V_0 2^0) = \frac{V}{R} \left(\frac{R}{R_A} + 2^n + 2^{n-1} + \dots + 2^1 + 2^0 \right)$$

trabajando con el primer miembro:

$$\frac{1}{R} (b_n V_r 2^n + b_{n-1} V_r 2^{n-1} + \dots + b_1 V_r 2^1 + b_0 V_r 2^0) = \frac{V_r}{R} (b_n 2^n + b_{n-1} 2^{n-1} + \dots + b_1 2^1 + b_0 2^0)$$

$$V_r N = V \left(\frac{R}{R_A} + 2^n + 2^{n-1} + \dots + 2^1 + 2^0 \right)$$

como $2^n + 2^{n-1} + \dots + 2^1 + 2^0 = 2^{n+1} - 1$

se tiene
$$V = \frac{V_r}{\frac{R}{R_A} + 2^{n+1} - 1} N$$

Se ve que el voltaje de salida V es directamente proporcional al número binario. En la figura 1.4 se indica la realización de un convertidor digital-analógico de 6 bits el que utiliza como selectores

dos circuitos integrados CD4007A y como sumador de corrientes un amplificador operacional CA3130

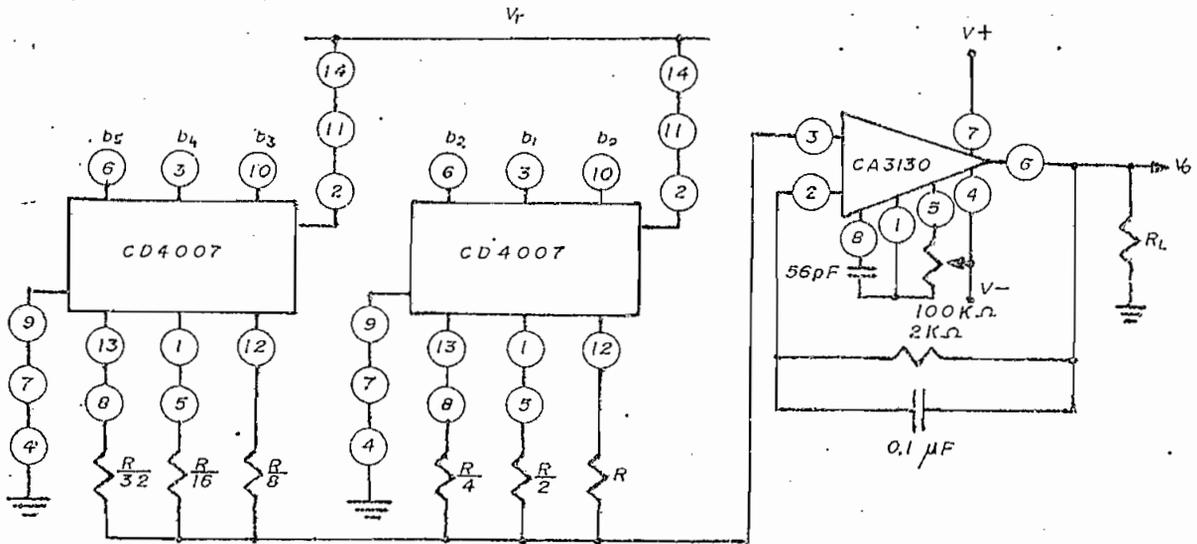


FIGURA 1.4

Para este circuito se tiene que:

$$V_o = \frac{V_r}{R} \left(b_5 2^5 + b_4 2^4 + b_3 2^3 + b_2 2^2 + b_1 2^1 + b_0 2^0 \right) \times 2 k\Omega$$

1.1.2.- SEGUNDO SISTEMA: La figura 1.5 muestra un circuito con una escalera R-2R:

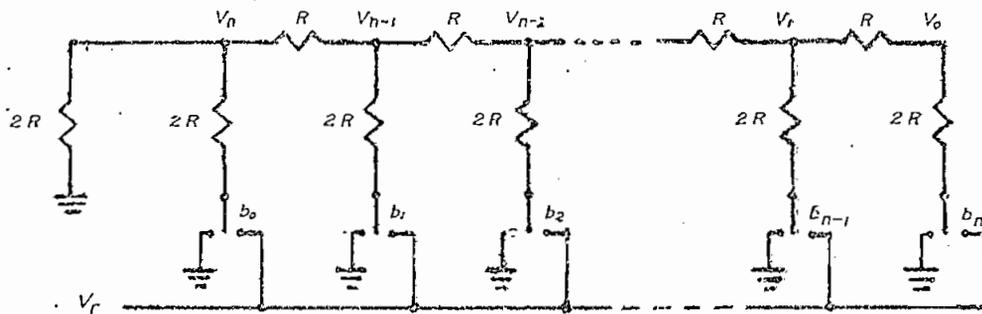


FIGURA 1.5

Las ecuaciones de los nodos son

$$0 = \frac{V_n}{2R} + \frac{V_n - b_n V_r}{2R} + \frac{V_n - V_{n-1}}{R}$$

$$0 = \frac{V_{n-1} - V_n}{R} + \frac{V_{n-1} - b_{n-1} V_r}{2R} + \frac{V_{n-1} - V_{n-2}}{R}$$

$$0 = \frac{V_{n-2} - V_{n-1}}{R} + \frac{V_{n-2} - b_{n-2} V_r}{2R} + \frac{V_{n-2} - V_{n-3}}{R}$$

.....

$$0 = \frac{V_1 - V_2}{R} + \frac{V_1 - b_{n-1} V_r}{2R} + \frac{V_1 - V_0}{R}$$

$$0 = \frac{V_0 - V_1}{R} + \frac{V_0 - b_n V_r}{2R}$$

ordenando las ecuaciones

$$2V_1 = \frac{b_0 V_r}{2} + V_{n-1}$$

$$\frac{5}{2}V_{n-1} = V_1 + \frac{b_1 V_r}{2} + V_{n-2}$$

$$\frac{5}{2}V_{n-2} = V_{n-1} + \frac{b_2 V_r}{2} + V_{n-3}$$

$$\dots$$

$$\frac{5}{2}V_1 = V_2 + \frac{b_{n-1} V_r}{2} + V_0$$

$$\frac{3}{2}V_0 = V_1 + \frac{b_n V_r}{2}$$

Sustituyendo V_n de la primera ecuación en la segunda:

$$2V_n = \frac{V_r}{2} \left(b_1 + \frac{b_0}{2} \right) + V_{n-2}$$

Sustituyendo V_{n-1} de esta ecuación en la tercera:

$$2V_{n-2} = \frac{V_r}{2} \left(b_2 + \frac{b_1}{2} + \frac{b_0}{2^2} \right) + V_{n-3}$$

Continuando las sustituciones:

$$2V_1 = \frac{V_r}{2} \left(b_{n-1} + \dots + \frac{b_2}{2^{n-3}} + \frac{b_1}{2^{n-2}} + \frac{b_0}{2^{n-1}} \right) + V_0$$

$$V_0 = \frac{V_r}{2} \left(b_n + \frac{b_{n-1}}{2} + \dots + \frac{b_2}{2^{n-2}} + \frac{b_1}{2^{n-1}} + \frac{b_0}{2^n} \right)$$

y finalmente se tiene que

$$V_0 = \frac{V_r}{2^{n+1}} N$$

Se ve que el voltaje de la salida es proporcional al valor del número binario representado por las posiciones de los selectores. En la figura 1.6 se da un circuito práctico que utiliza este sistema.

Para este circuito la salida es

$$V_0 = \frac{V_r}{2^n} N$$

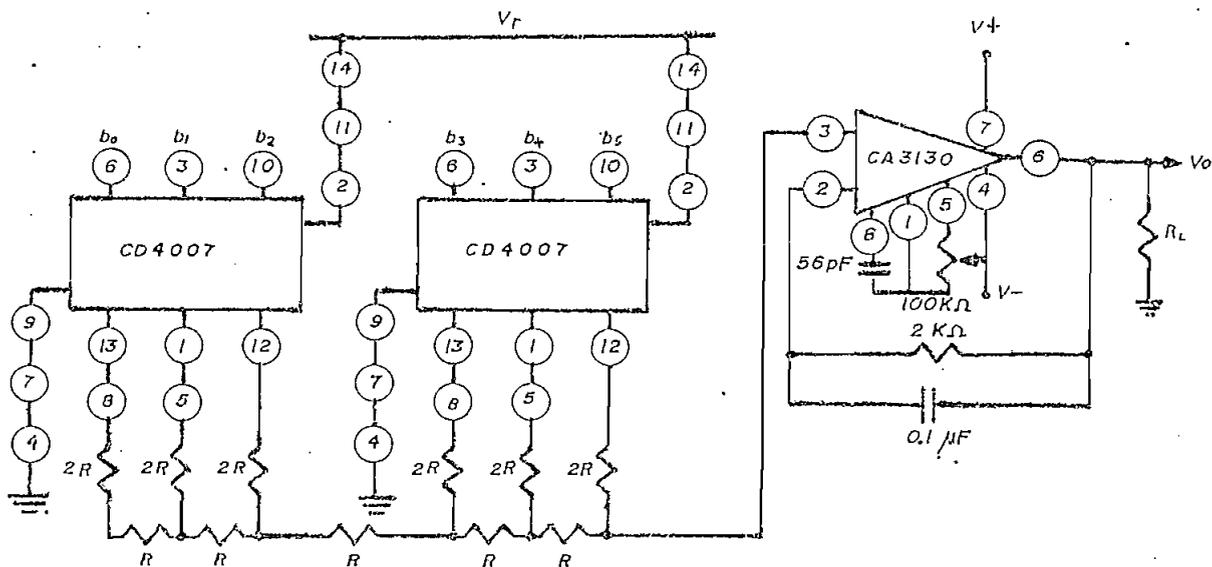


FIGURA 1.6

De los dos sistemas estudiados más conveniente es el segundo ya que sólo requiere dos tipos de resistores sin importar el número de bits de la entrada digital.

Otra ventaja es que la carga que los resistores presentan a la entrada digital es casi siempre la misma para todos los bits. Para la demostración véase la figura 1.7 formada por una red para un solo bit.

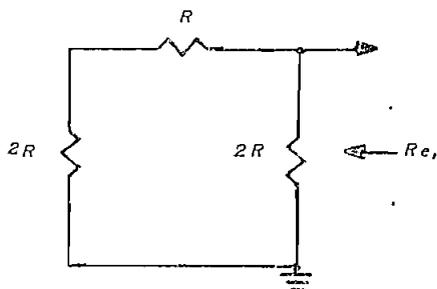


FIGURA 1.7

La resistencia equivalente R_{e1} será;

será;

$$R_{e1} = 3R \parallel 2R \implies R_{e1} = \frac{6}{5}R$$

A continuación se supone una red para dos bits como se indica en la figura 1.8

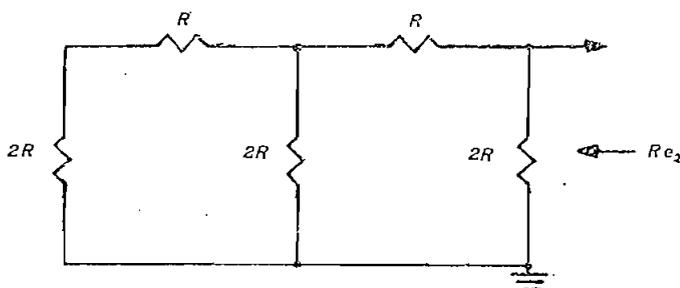


FIGURA 1.8

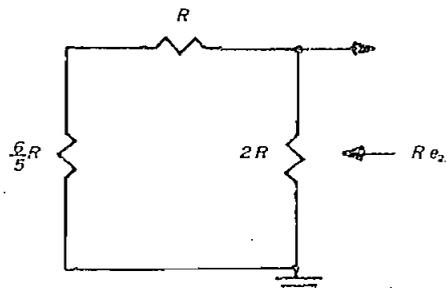


FIGURA 1.9

La red de la figura 1.8 es equivalente a la indicada en la figura 1.9. Para esta última la resistencia equivalente es

$$R_{e2} = \frac{11}{5} R \parallel 2R \implies R_{e2} = \frac{22}{21} R$$

Una red de tres bits se indica en la figura 1.10 y su equivalente en la figura 1.11.

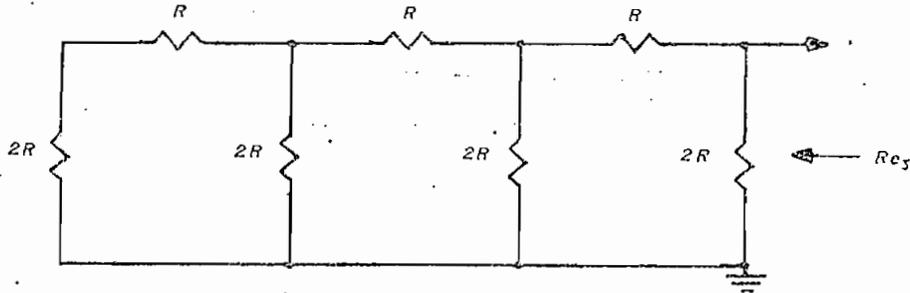


FIGURA 1.10

Para esta última la resistencia equivalente es

$$R_{e3} = \frac{43}{21} R \parallel 2R \implies R_{e3} = \frac{86}{85} R$$

y se advierte que se está formando una sucesión que tiende a un valor de resistencia equivalente igual a R.

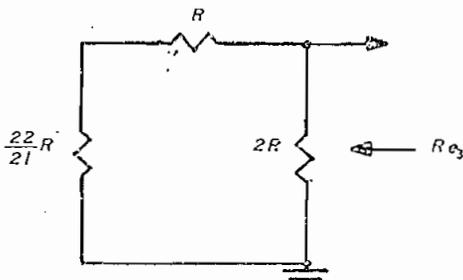


FIGURA 1.11

Para n bits la resistencia equivalente es:

$$R_{en} = \frac{5 \times 2^{2(n-1)} + \sum_{n \geq 2}^n 2^{2(n-2)} + 1}{5 \times 2^{2(n-1)} + \sum_{n \geq 2}^n 2^{2(n-2)}} R$$

En la práctica se considera que la entrada digital ve una resistencia igual a la resistencia R de la red.

La figura 1.12 muestra la salida analógica de un convertidor D/A respecto a la entrada digital. Si los pasos son muy pequeños la escalera puede ser considerada como una línea recta.

la red resistiva, la salida tendrá la forma de onda de una escalera. Esta señal no es continua sino discontinua formada por un número de pasos discretos. Al reproducir una señal analógica lo que se determina es el paso más cercano en amplitud al voltaje de entrada.

El paso más pequeño o cuanto es el LSF y puede ser reducido sólo si se aumenta el número de bits del contador. Este error se llama error de cuantificación y es igual a ± 1 bit. Centrando la señal se puede conseguir que este error sea $\pm 1/2$ LSB. La explicación se la puede observar en el gráfico de la figura 1.13 y las tres formas posibles de convertir una señal analógica a una digital.

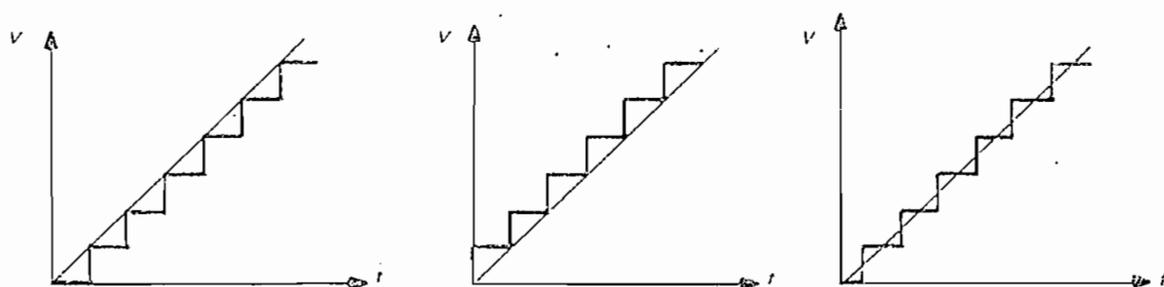


FIGURA 1.13

En la figura de la derecha la señal está centrada y en este caso el error de cuantificación será sólo $1/2$ bit. En la figura de la izquierda el error es -1 bit y en la del centro $+1$ bit respectivamente.

1.2.- CONVERSION ANALOGO-DIGITAL: A continuación se tratarán las siguientes técnicas de conversión análogo-digital:

- a) Contador de rampa
- b) Contador ascendente-descendente
- c) Aproximación sucesiva
- d) Doble pendiente

1.2.1.- CONVERSION ANALOGO-DIGITAL USANDO UN CONTADOR DE RAMPA: En la figura 1.14 se muestra un convertidor de este tipo. El circuito consiste de un contador binario, un convertidor D/A y un comparador analógico. La sali-

da del contador binario alimenta al convertidor D/A, la salida de este último es una de las entradas del comparador analógico, la otra la constituye la señal a ser convertida. La salida del comparador se introduce a un circuito monostable que es el que encera al contador.

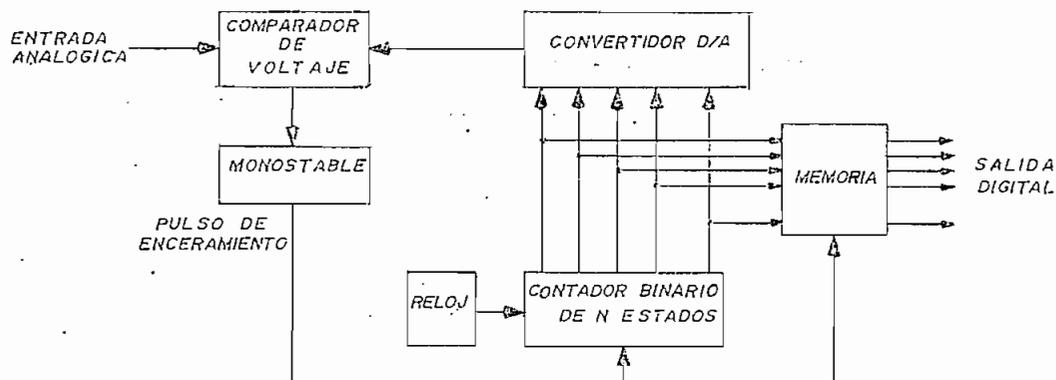


FIGURA 1.14

El circuito opera como sigue: el contador binario empieza su conteo desde 0000...0 incrementándolo, haciendo que la salida del convertidor D/A, que empieza en cero voltios, a su vez se incremente con el tiempo formando una rampa. La señal analógica es continuamente comparada con esta rampa y cuando la rampa llega a ser mayor que esta señal se produce un pulso que a la vez encera al contador y almacena el equivalente digital de la entrada en la memoria.

Este convertidor tiene una alta resolución pero dado que el contador siempre empieza en cero se puede llegar a requerir hasta 2^n intervalos

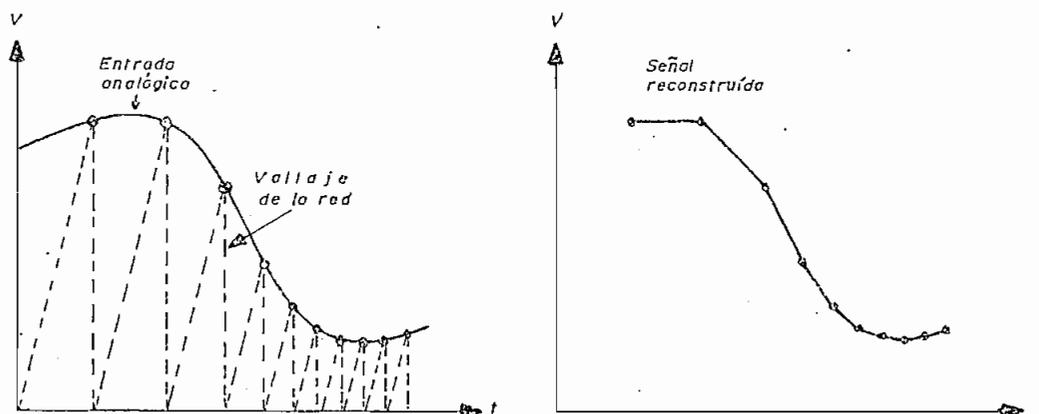


FIGURA 1.15

elementales de tiempo para efectuar una conversión. Además si estos intervalos se hacen más grandes y si la señal analógica de la entrada tiene cambios bruscos la forma de la onda reconstruida, a partir de la digitalización va a resultar falseada. Esto se visualiza en las figuras 1.15 y 1.16.

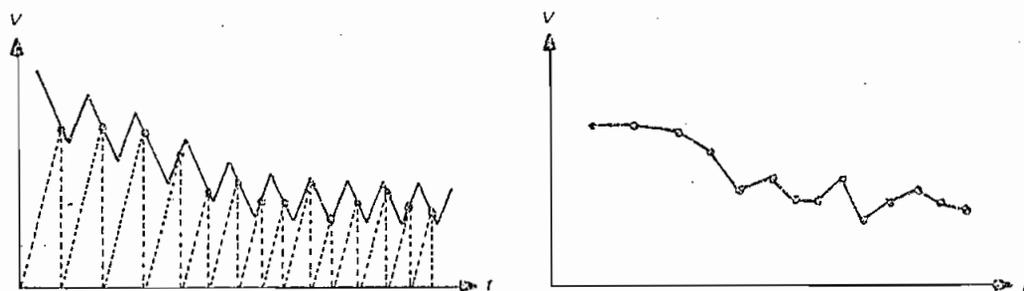


FIGURA 1.16

En la figura 1.17 se da un circuito práctico de un convertidor D/A BCD de 8 bits. Este convertidor está formado por un timer INTERSIL 8250,

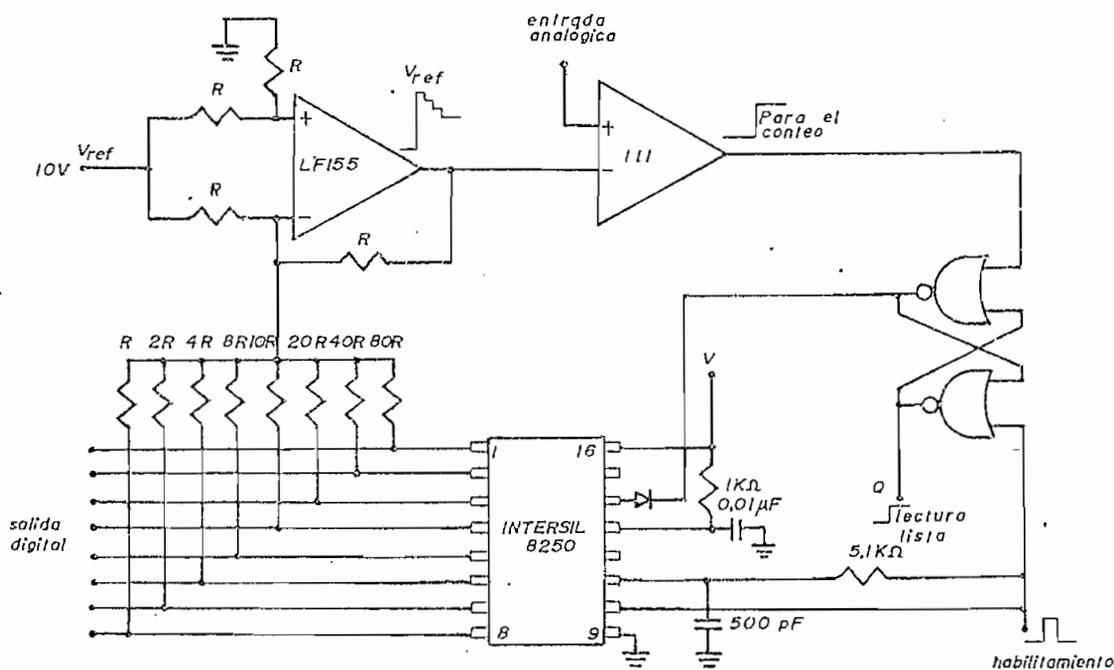


FIGURA 1.17

un amplificador operacional LF155, un comparador LM111 y dos circuitos NOR. Cuando una señal de habilitamiento es aplicada el circuito 8250 se encera y luego se dispara a través del diferenciador RC en el pin 11, el que retarda la señal de habilitamiento. Por esta señal en la salida Q del R-S se obtiene un nivel alto que al ser introducido al pin 14 del timer hará que empiece a contar su contador interno. El amplificador operacional tendrá a su salida el voltaje de referencia, formándose a continuación una escalera descendente con pasos determinados por la constante de tiempo RC que en el ejemplo es 0.01 mseg. Cuando el voltaje de salida del amplificador operacional llega a ser igual al voltaje analógico, el comparador cambia de estado, con lo cual la salida Q del R-S va a cero lo que para el conteo. En las salidas correspondientes del 8250 se obtiene un número BCD de 8 bits equivalente a la entrada analógica. El máximo tiempo de conversión es 100 veces la constante de tiempo es decir 1 mseg. La salida \bar{Q} al ir a un nivel alto puede ser usada para indicar que la conversión se ha terminado. Esta salida digital se mantiene hasta que una nueva señal de habilitamiento es introducida y comienza un nuevo ciclo.

1.2.2. CONVERSION ANALOGO-DIGITAL USANDO UN CONTADOR ASCENDENTE-DESCENDENTE:

Se puede aumentar la velocidad de conversión eliminando la necesidad de que el contador comience en cero en cada ocasión. En este caso el contador empezaría su conteo en el valor de la última conversión, lo que significa que debe ser capaz de contar ascendentemente o descendentemente. Para lograr esto se

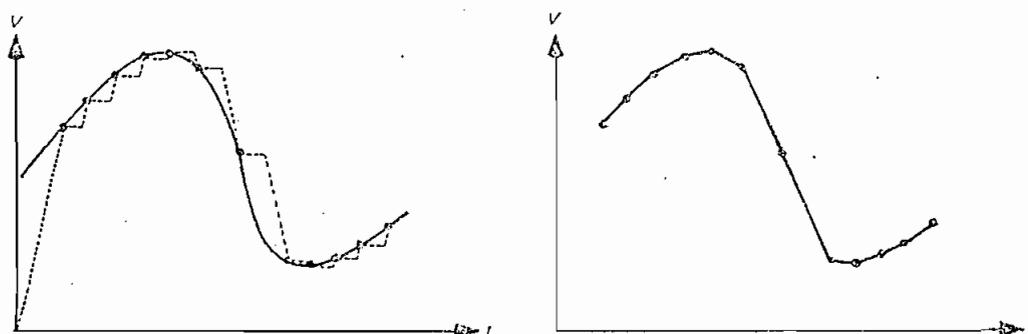


FIGURA 1.10

requiere un circuito lógico especial que indique en cual de las dos formas trabajará el contador en un instante determinado.

Una forma de onda típica se muestra en la figura 1.18 en donde se advierte que el convertidor es capaz de seguir los cambios bruscos de la entrada.

En la figura 1.19 se representa esquemáticamente un convertidor de este tipo. Su trabajo es similar al del convertidor indicado en la figura 1.14, salvo por el hecho de que el comparador analógico continuamente está comparando el voltaje de entrada con el voltaje de la salida del convertidor D/A; si el voltaje de entrada es mayor el contador cuenta ascendentemente, si es menor descendientemente. El monostable indica el instante en que se debe almacenar un valor en la memoria.

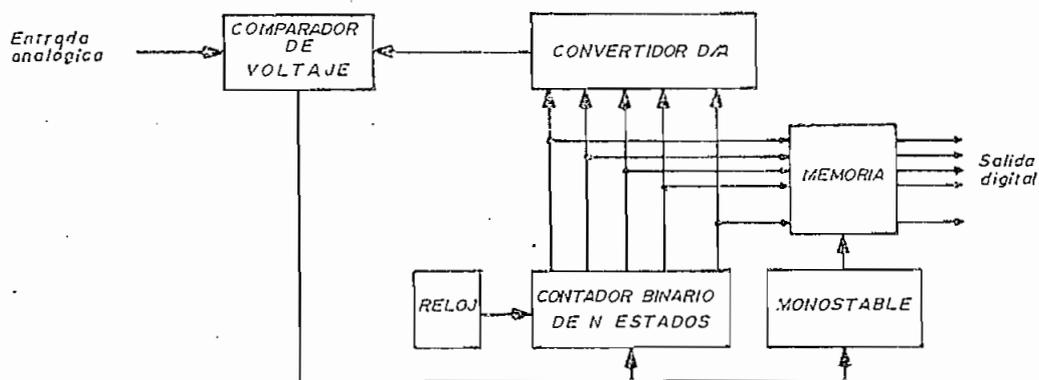


FIGURA 1.19

Este tipo de convertidor es muy rápido, sin embargo esta ventaja desaparece cuando es utilizado con un multiplexer para convertir varias señales analógicas por cuanto el convertidor tiene que ser compartido por cada una de las señales analógicas mencionadas. lo que se traduce en una disminución de la cantidad de conversiones de cada una de las mismas realizadas en un intervalo cualquiera. Igual cosa se puede decir del convertidor indicado en la figura 1.14.

1.2.3.- CONVERSION ANALOGO-DIGITAL DE APROXIMACION SUCESIVA: Si se tienen va-

rias entradas analógicas y un multiplexer es requerido, el convertidor más indicado es el de aproximación sucesiva. En este al voltaje sucesivamente se lo va dividiendo en mitades. En la figura 1.20 se representa un convertidor de este tipo el mismo que consiste de un registro de desplazamiento, un registro de al-

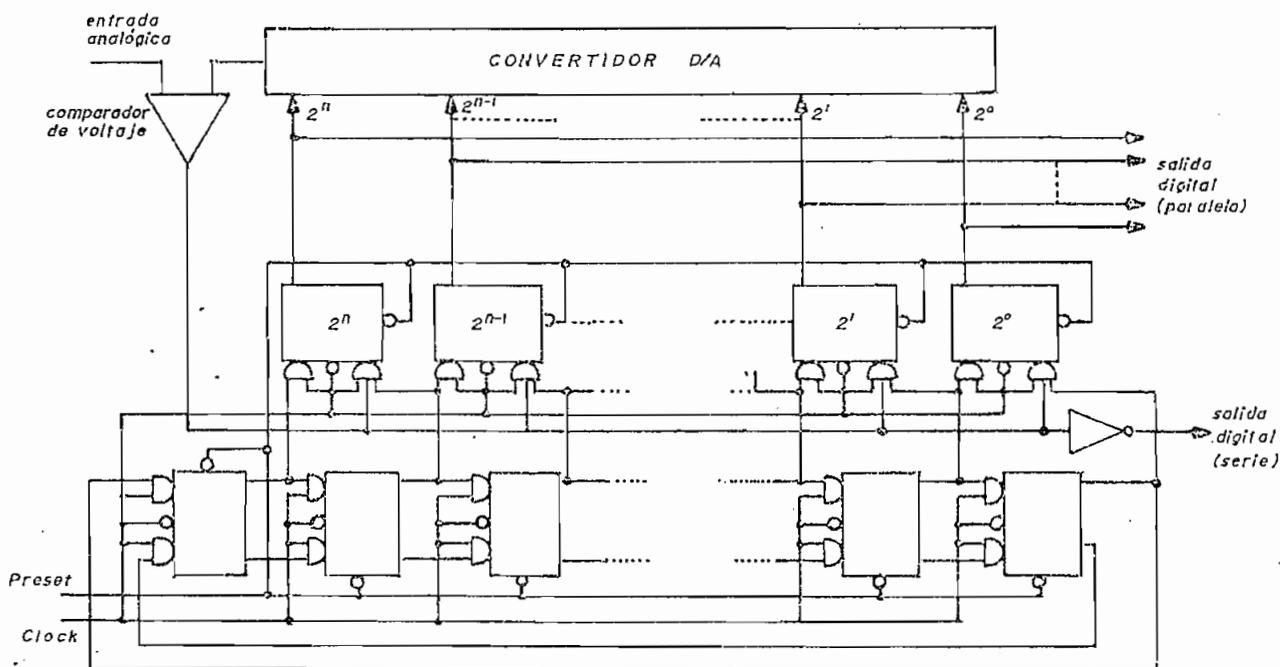


FIGURA 1.20

macenamiento, un convertidor D/A y un comparador analógico. El registro de desplazamiento da el sincronismo para la conversión y está habilitado así que todos los estados menos uno son cero. El registro de almacenamiento está inicialmente en cero y sus salidas alimentan al convertidor D/A, cuya salida es una de las entradas del comparador analógico. Las entradas del registro de almacenamiento están modificadas por la salida del comparador analógico en intervalos de tiempo determinados por el registro de desplazamiento. La salida del comparador alimenta todos los estados del registro de almacenamiento cuando llega la señal de encerramiento que entra a un circuito AND junto a la señal de sincronismo. Si la entrada analógica es menor que la proporcionada por el convertidor D/A, el contenido del registro de almacenamiento es disminuído.

Inicialmente los dos registros tienen cero en todos sus estados con excepción del primer estado del registro de desplazamiento. Con la llegada del primer pulso la salida del estado 2^n del registro de almacenamiento se hace 1. En este periodo la entrada al convertidor A/D es 100...0, su equivalente analógico es comparado con la entrada analógica. Si la entrada analógica es mayor, la salida del comparador es cero, de lo contrario es 1. Si está en 1 a la llegada del segundo pulso el estado 2^n del registro de almacenamiento cambiará de 1 a 0, de lo contrario permanecerá con el mismo valor 1. Independientemente de lo anterior la salida del estado 2^{n-1} del mismo registro se hará 1. Ahora la salida del convertidor D/A corresponderá a 1100...0 si la señal de entrada era mayor que 100...0, o a 0100...00 si era menor que 100...0. Si la señal de entrada es mayor que la salida del convertidor D/A, la salida del comparador será 0 lo cual mantendrá el 1 del estado 2^{n-1} ; de lo contrario con la llegada del tercer pulso dicho estado cambiará de 1 a 0.

Con la llegada del tercer pulso se repite este procedimiento para el estado 2^{n-2} y así sucesivamente hasta que el número deseado de bits se haya obtenido. Comparándolo con los métodos anteriores se advierte que el número de intervalos requerido se ha reducido de $2^n - 1$ a tan sólo n . Una ventaja adicional de este método es que el equivalente digital de la entrada analógica se lo obtiene tanto en forma secuencial como en forma paralela. En la figura 1.21 se

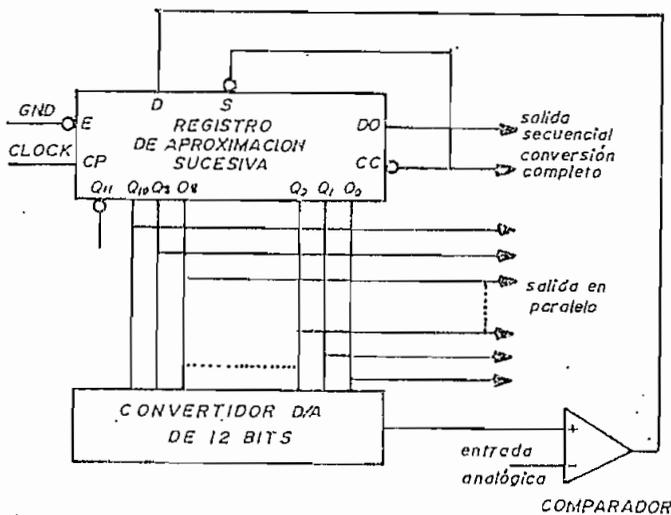


FIGURA 1.21

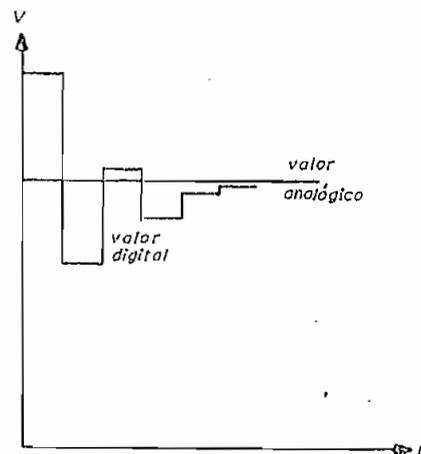


FIGURA 1.22

representa un convertidor de este tipo el cual está formado por un convertidor D/A de 12 bits, un comparador analógico y un registro de aproximación sucesiva de 12 bits INTERSIL, 2504. Este sistema puede realizar 100.000 conversiones por segundo. En la figura 1.22 se representa gráficamente como el valor digital se va aproximando sucesivamente al valor analógico.

1.2.4. -CONVERSION ANALOGO-DIGITAL MEDIANTE EL SISTEMA DE DOBLE PENDIENTE: Este sistema tiene la ventaja de la alta exactitud. Consiste en un proceso de integración que ofrece alto rechazo al ruido e inmunidad a los cambios de frecuencia y al valor del capacitor de integración. En la figura 1.23 se explica este método. La conversión comienza en el tiempo t_1 cuando la corriente I_R oca-

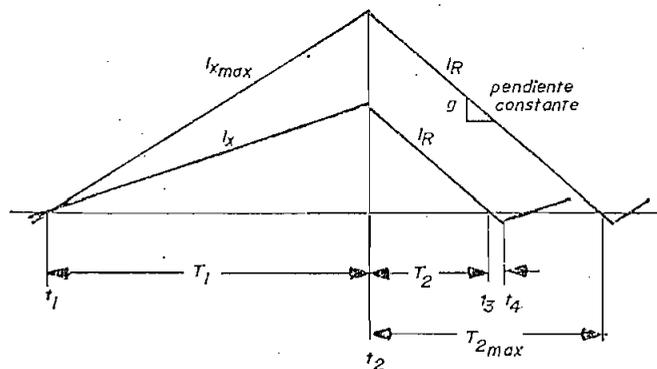


FIGURA 1.23

siona que la salida del integrador o rampa ascendente cruce el nivel de detección en cuyo instante el contador empieza a contar a partir de cero. El sistema cuenta por un periodo fijo T_1 mientras el condensador se carga con una pendiente que depende de la magnitud de la corriente I_x ; al finalizar este periodo T_1 se descarga el condensador con una pendiente constante hasta que nuevamente cruza el nivel de detección del comparador determinando un periodo T_2 que estará en relación directa con la magnitud de la corriente I_x .

El condensador cargado con corriente continua tiene una diferencia de potencial entre sus bornes dado por:

$$v = \frac{Q}{C} = \frac{I \cdot t}{C}$$

para el ejemplo se tiene que:

$$v = I_x \frac{T_1}{C}$$

la pendiente g está dada por:

$$g = \frac{v}{T_2} \Rightarrow T_2 = \frac{v}{g}$$

de donde

$$T_2 = \frac{T_1}{Cg} \cdot I_x \Rightarrow I_x = \frac{Cg}{T_1} T_2 \quad (1)$$

Como C, g y T_1 son datos para conocer la corriente I_x basta medir T_2 . Este tiempo T_2 está determinado por el número de pulsos N que se repiten con una frecuencia f preestablecida.

En el intervalo T_1 habrá un número de pulsos N dado por

$$N = f T_1$$

con lo cual

$$T_1 = \frac{N}{f} \quad (2)$$

Reemplazando (2) en (1)

$$I_x = \frac{Cg f}{N} T_2 \quad (3)$$

De igual forma el tiempo T_2 está dado por

$$T_2 = \frac{n}{f} \quad (4)$$

sustituyendo (4) en (3)

$$I_x = \frac{n}{N} Cg \quad (5)$$

La fórmula (5) nos indica que para conocer I_x se debe medir el número de pulsos n que existen en el tiempo T_2 .

Para probar la inmunidad del sistema frente a los cambios de frecuencia y a los cambios del valor del condensador de integración:

$$v = \frac{1}{C} \int_{t_1}^{t_2} I_x dt = \frac{1}{C} \int_{t_2}^{t_1} I_R dt$$

donde I_x es de polaridad opuesta a I_R con lo cual

$$I_x T_1 = I_R T_2 \Rightarrow I_x = I_R \frac{T_2}{T_1} \quad (6)$$

y se comprueba que I_x sólo depende de la corriente de descarga I_R y de la relación de los intervalos T_2 y T_1 .

En la figura 1.24 se da un diagrama en bloques de un convertidor que utiliza este sistema.

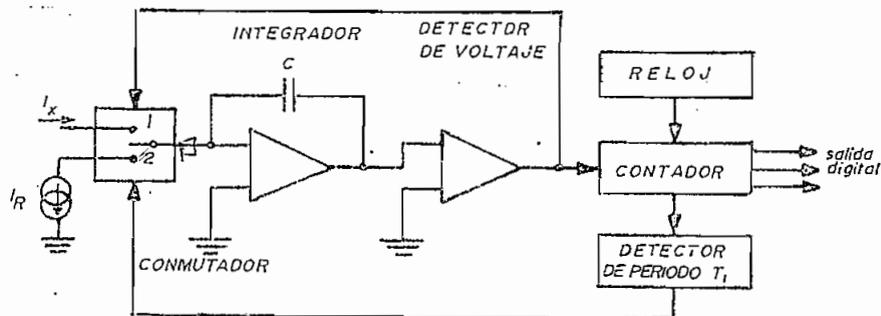


FIGURA 1.24

En la posición 1 el conmutador electrónico deja pasar la corriente I_x al integrador el cual se carga hasta un voltaje V durante un tiempo T_1 . El detector de periodo T_1 indica que el intervalo T_1 con lo cual cambia de posición al conmutador electrónico. En esta nueva posición 2 la corriente I_R procede a descargar al integrador con una pendiente constante g , al llegar a cero este voltaje el detector correspondiente cambia al conmutador electrónico a la posición 1 con lo cual se reinicia otro ciclo. En el instante de la conmutación se envía una señal al contador para que indique que el valor digital de la señal analógica de la entrada a la salida.

1.3.- COMPARACION DE LOS DIVERSOS SISTEMAS DE CONVERSION ANALOGO-DIGITAL:

La selección de un convertidor A/D se debe basar en los siguientes aspectos:

- a) Resolución requerida
- b) Necesidades en cuanto a exactitud y linealidad
- c) Velocidad de conversión
- d) Características de la señal de entrada: ruidosa, filtrada, altamente variable con el tiempo

En cualquiera de los sistemas estudiados se tiene que el elemento más crítico es el comparador de voltaje. Un comparador ideal debería tener ganancia infinita y un tiempo de comparación cero. En la práctica está limitado en lo que respecta a su ganancia de lazo abierto, velocidad de cambio de voltaje de salida, ancho de banda y características de entrada en lo que referente a corrientes continuas y señales. La "ventana" del comparador determina la exactitud de conversión que se puede obtener. La ventana indica el rango de voltaje de entrada en el cual la salida del comparador está atravesando la región lineal entre los umbrales lógicos. Por ejemplo, si la entrada analógica va de 0V a 10V y se desea una conversión de 12 bits con un error no mayor a un bit, la ventana debe ser menor a 1mV y la ganancia teórica de lazo abierto no menor a 2000 que en la práctica debe aumentar a 5000 para minimizar errores debidos a ganancias finitas de lazo abierto.

Otro problema que se presenta con los comparadores se refiere a mantener estable la frecuencia dentro de la región lineal, ya que por tener un ancho de banda elevado, pequeñas cantidades de realimentación parásita, ya sea a través del circuito, ya sea a través de la fuente de alimentación, pueden causar oscilaciones, las cuales falsearían la exactitud de la conversión. Es conveniente que la fuente de alimentación de la parte analógica sea distinta de la fuente de alimentación de la parte digital, a más de que estén separadas físicamente las secciones digital y analógica, en especial las entradas y la salida del convertidor D/A. Da buenos resultados blindar la sección digital a fin de que todas las oscilaciones parásitas vayan a tierra.

Con las modernas técnicas de trimado por rayo láser se consiguen redes resistivas con diferencias de valor que no exceden al 0.001%, por lo cual los convertidores A/D actuales tienen una no linealidad del 0.01% \pm 1 bit y resoluciones de 16 bits.

En esas condiciones, dado que en todos los sistemas de conversión A/D se puede obtener una alta exactitud y una gran resolución, en la elección de un con-

vertidor A/D entrarán en juego los siguientes factores: velocidad de conversión, características de la señal de entrada y costo en implementar el sistema.

Considerando que el nanoamperímetro va a trabajar con corrientes continuas donde no se requiere una gran velocidad de conversión pero si se necesita un alto rechazo al ruido, el sistema más aconsejable y a la vez más económico es el de integración de doble pendiente. Al respecto en la tabla I se hace una comparación entre el sistema de integración y el de aproximación sucesiva.

TABLA I

TIPO DE CONVERTIDOR	VELOCIDAD	TIEMPO DE CONVERSION			
		8 BITS	16 BITS	12 BITS	16 BITS
integración	lenta (ms)	20	30	40	250
	media (ms)	1.	5	20	—
	rápida (ms)	0.3	1	5	—
aproximación sucesiva	lenta (μs)	30	40	50	—
	media (μs)	5	10	12	200
	rápida (μs)	0.8	1	2	—

C A P I T U L O I I

2.1.- DIAGRAMA EN BLOQUES DEL NANOAMPERIMETRO: En la figura 2.1 se indica en bloques la constitución del nanoamperímetro.

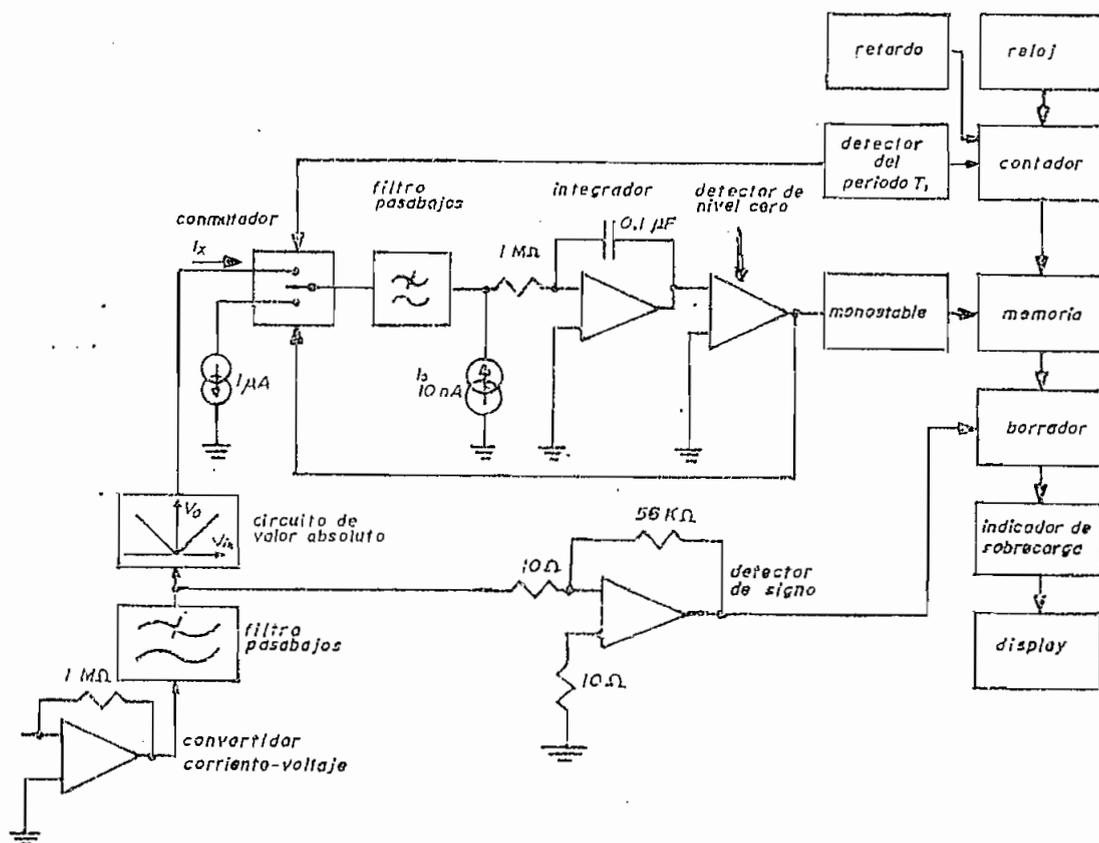


FIGURA 2.1

La corriente I_x entra al convertidor corriente-voltaje en donde al pasar por la resistencia de $1\text{ M}\Omega$ da origen a una caída de tensión que puede ser positiva o negativa. Esto motiva que se deba introducir un circuito de valor absoluto de tal forma que a la entrada del integrador esté presente siempre un voltaje negativo sin importar el sentido de la corriente a ser medida. Dado que el circuito de valor absoluto tiene una atenuación igual a 2, es necesario corregir la señal en un factor igual lo que se consigue con el potenciómetro de $1\text{ M}\Omega$ del integrador.

El conmutador permite que pase la corriente I_x durante un intervalo T_1 lo que hará que se cargue el condensador del integrador, al acabar T_1 el con-

mutador cambia de posición para conectar el integrador a la fuente de corriente de 1 uA y así lograr que se descargue el mismo con una pendiente constante tal como indica la figura 2.2. En la misma figura se puede observar que siempre está presente una corriente I_0 de 10 nA a la entrada del integrador. La presencia de esta corriente se anula con el circuito de retardo del contador. Se ha introducido esta corriente porque es prácticamente imposible conseguir una corriente absolutamente nula a la entrada del integrador, más

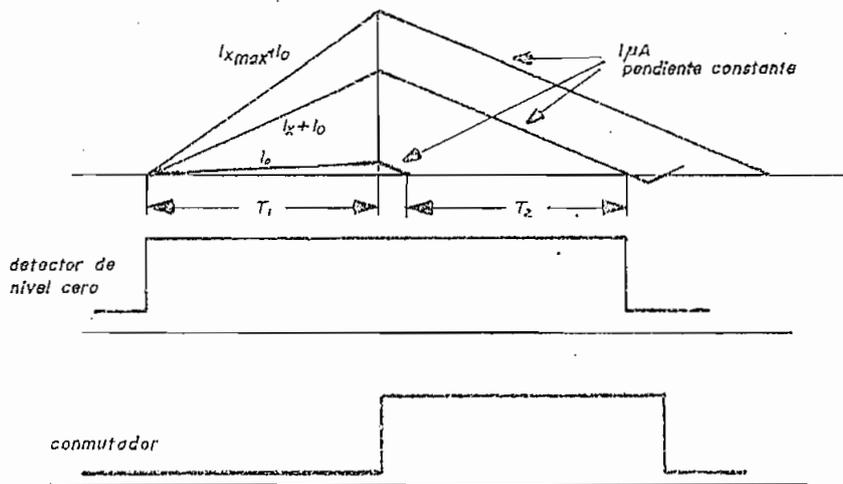


FIGURA 2.2

fácil es introducir una corriente de valor conocido y luego restar dicho valor del total a ser leído. La forma en que se ha hecho lo indicado está descrito en el numeral 3.7.

El detector de nivel cero determina el instante en que la rampa descendente está cruzando el nivel de cero voltios a fin de iniciar un nuevo ciclo de carga-descarga.

La parte digital del nanoamperímetro está formada por un reloj, un contador, un circuito de retardo y un indicador de finalización del intervalo T_1 cuya salida se conecta al conmutador para iniciar el ciclo de descarga. En la memoria se almacena el valor indicado por el contador cuando el detector de nivel cero dispara al monostable. El circuito borrador anula la presencia de señales

innecesarias en el display para lo cual se requiere el detector de signo, el que indicará el sentido de la corriente a ser medida. El indicador de sobrecarga hace titilar el display a fin de alertar al usuario. El display usado es de cristal líquido de 4 1/2 dígitos de los cuales se emplean sólo 4.

2.2.- CARACTERISTICAS DE LA FAMILIA CMOS: Para la realización del aparato entre las varias familias lógicas se escogió la CMOS por la poca potencia eléctrica que consume y por su amplia inmunidad al ruido. Para explicar sus características véase la figura 2.3. En ella se indica un circuito inversor com-

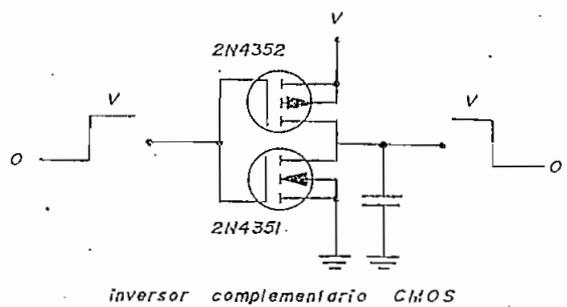


FIGURA 2.3

plementario. Cuando la entrada es cero el MOSFET de canal P, 2N4352, conduce completamente y a la salida se tiene el voltaje +V, la única corriente que circula es la corriente de fuga de dicho transistor que está en el orden de los picoamperios, ya que el MOSFET de canal N, 2N4351, se encuentra totalmente en corte. Así la caída de tensión en el MOSFET superior es de 3 nV. Si el voltaje de la entrada es +V se invierte la situación de conducción-corte de los transistores, pero igualmente la corriente que circule será la de fuga del transistor inferior que será del mismo orden de magnitud. En esas condiciones el consumo de potencia eléctrica será mínimo.

En la tabla 2 se establece comparativamente las características de las familias DTL, TTL, ETL y CMOS de un cuadro extraído del libro de William HUNTER titulado:

Master Handbook of Digital Logic Applications

001936

Familia lógica	Fuente de poder (Volts)	Potencia típica de disipación (mW)	Retardo de propagación (ns)		Margen de ruido DC de la línea de señal				Margen de ruido AC de la línea de alimentación (Volts)	Margen de ruido AC de la línea de tierra (Volts)	Energía mínima de ruido			
					V _{NL} (Volts)		V _{NH} (Volts)				Estado lógico		Low	
			t _{PHL}	t _{PLH}	Min	Typ*	Min	Typ*			E _{NL} nJ	Q PW ns	E _{NH} nJ	Q PW ns
			DTL (Gate: MC849)	5.0	8.0	20	50	0.7			1.2	0.7	3.8	3.0
TTL (Gate: MC7400)	5.0	10	8.0	12	0.4	1.2	0.4	2.2	3.0	1.0	1.7	20	1.0	25
HTL (Gate: MC672)	15	25	85	130	5.0	7.5	4.0	7.0	6.0	4.5	60	125	5.0	145
CMOS (Gate: MC14011)	5.0	25 • 10 ⁻⁶	35	100	1.5	2.2	1.5	3.4	2.8	1.0	1.0	155	0.9	280
	10	50 • 10 ⁻⁶	20	35	3.0	4.2	3.0	6.0	5.7	4.3	3.7	70	3.1	90
	15	150 • 10 ⁻⁶	8.0	15	4.5	6.3	4.5	9.0	8.5	6.4	7.2	50	8.5	75

TABLA II

De la tabla se ve que la familia CMOS operando a 10 o 15 voltios tiene un margen típico de ruido DC mayor y una respuesta en el tiempo menor que las familias TTL y DTL operando a 5 voltios.

El margen de ruido DC para un circuito CMOS trabajando con 5 V es similar a aquellos de las familias TTL y DTL en lo que respecta a la línea de la fuente de alimentación y a la línea de tierra. Sin embargo, debido a su lenta respuesta frente al voltaje, los circuitos CMOS exhiben una inmunidad al ruido mucho más grande que las familias TTL y DTL a medida que el ancho del pulso del ruido disminuye.

Una precaución que se debe tener cuando se trabaja con circuitos CMOS reside en el hecho de que los mismos pueden ser dañados por la presencia de voltajes estáticos, por lo cual los fabricantes recomiendan evitar tocarlos con las manos.

2.3.- CIRCUITOS INTEGRADOS UTILIZADOS: A continuación se describen los circuitos utilizados en el proyecto.

2.3.1.- AMPLIFICADOR OPERACIONAL CA3130: El principal problema que se encontró en la construcción del nanoamperímetro digital fue encontrar un elemento

que consumiera corrientes despreciables frente a la mínima a ser medida, en este caso 1 nA, de tal forma que la misma no se vea afectada en su magnitud. El elemento escogido fue el amplificador operacional CA3130, el cual requiere una corriente de polarización de apenas 2 pA cuando trabaja con 5 V.

CHARACTERISTIC	SYMBOL	TEST CONDITIONS V ⁺ =15 V V ⁻ =0 V T _A =25°C (Unless Specified Otherwise)	CA3130B			CA3130A			CA3130			UNITS
			Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	
Input Offset Voltage	V _{IO}	V [±] =±7.5 V	—	0.8	2	—	2	5	—	8	15	mV
Input Offset Current	I _{IO}	V [±] =±7.5 V	—	0.5	10	—	0.5	20	—	0.5	30	pA
Input Current	I _I	V [±] =±7.5 V	—	5	20	—	5	30	—	5	50	pA
Large-Signal Voltage Gain	A _{OL}	V _O =10 V _{p-p} R _L =2 kΩ	100 k	320 k	—	50 k	320 k	—	50 k	320 k	—	V/V
			100	110	—	94	110	—	94	110	—	dB
Common-Mode Rejection Ratio	CMRR		86	100	—	80	90	—	70	90	—	dB
Common-Mode Input-Voltage Range	V _{ICR}		0	-0.5 to 12	10	0	-0.5 to 12	10	0	-0.5 to 12	10	V
Power-Supply Rejection Ratio	ΔV _{IO} /ΔV ⁺	V [±] =±7.5 V	100	32	—	150	32	—	320	32	—	μV/V
	ΔV _{IO} /ΔV ⁻		100	32	—	150	32	—	320	32	—	
Maximum Output Voltage	V _{OM} ⁺	R _L =2 kΩ	12	13.3	—	12	13.3	—	12	13.3	—	V
	V _{OM} ⁻		—	0.002	0.01	—	0.002	0.01	—	0.002	0.01	
	V _{OM} ⁺	R _L =∞	14.99	15	—	14.99	15	—	14.99	15	—	
	V _{OM} ⁻		—	0	0.01	—	0	0.01	—	0	0.01	
Maximum Output Current: Source	I _{OM} ⁺	V _O =0 V	12	22	45	12	22	45	12	22	45	mA
Sink	I _{OM} ⁻	V _O =15 V	12	20	45	12	20	45	12	20	45	
Supply Current	I ⁺	V _O =7.5 V R _L =∞	—	10	15	—	10	15	—	10	15	mA
		V _O =0 V R _L =∞	—	2	3	—	2	3	—	2	3	
Input Current	I _I		—	—	15	—	—	—	—	—	—	nA
Input Offset Voltage Temperature Drift	ΔV _{IO} /ΔT	T _A =-55 to 125°C V [±] =±7.5 V V _O =10 V _{p-p} R _L =2 kΩ	—	5	15	—	10	—	—	10	—	μV/°C
Large-Signal Voltage Gain	A _{OL}		50 k	320 k	—	—	320 k	—	—	320 k	—	V/V
			94	110	—	—	110	—	—	110	—	dB

TABLA III

En las tablas 3,4 y 5 se indican las características más importantes de este amplificador operacional cuando trabaja con distintos voltajes de alimentación.

T A B L A I V

CHARACTERISTIC	SYMBOL	TEST CONDITIONS	CA3130B	CA3130A	CA3130	UNITS
		$V^+ = 5\text{ V}$ $V^- = 0\text{ V}$ $T_A = 25^\circ\text{C}$ (Unless Specified Otherwise)				
Input Offset Voltage	V_{IO}		1	2	8	mV
Input Offset Current	I_{IO}		0.1	0.1	0.1	pA
Input Current	I_I		2	2	2	pA
Common-Mode Rejection Ratio	CMRR		100	90	80	dB
Large-Signal Voltage Gain	A_{OL}	$V_O = 4\text{ V}_{p-p}$	100 k	100 k	100 k	V/V
		$R_L = 5\text{ k}\Omega$	100	100	100	dB
Common-Mode Input Voltage Range	V_{ICR}		0 to 2.8	0 to 2.8	0 to 2.8	V
Supply Current	I^+	$V_O = 5\text{ V}, R_L = \infty$	300	300	300	μA
		$V_O = 2.5\text{ V}, R_L = \infty$	500	500	500	
Power Supply Rejection Ratio	$\Delta V_{IO}/\Delta V^+$		200	200	200	$\mu\text{V/V}$

T A B L A V

CHARACTERISTIC	SYMBOL	TEST CONDITIONS	CA3130B	CA3130A	CA3130	UNITS
		$V^+ = +7.5\text{ V}$ $V^- = -7.5\text{ V}$ $T_A = 25^\circ\text{C}$ (Unless Specified Otherwise)				
Input Offset Voltage Adjustment Range		10 k Ω across Terms. 4 and 5 or 4 and 1	± 22	± 22	± 22	mV
Input Resistance	R_I		1.5	1.5	1.5	T Ω
Input Capacitance	C_I	$f = 1\text{ MHz}$	4.3	4.3	4.3	pF
Equivalent Input Noise	e_n	BW=0.2 MHz $R_S = 1\text{ M}\Omega^*$	23	23	23	μV
Unity Gain Crossover Frequency	f_T	$C_C = 0$	15	15	15	MHz
		$C_C = 47\text{ pF}$	4	4	4	
Slew Rate: Open Loop Closed Loop	SR	$C_C = 0$	30	30	30	V/ μs
		$C_C = 56\text{ pF}$	10	10	10	
Transient Response: Rise Time	t_r	$C_C = 56\text{ pF}$ $C_L = 25\text{ pF}$ $R_L = 2\text{ k}\Omega$ (Voltage Follower)	0.09	0.09	0.09	μs
Overshoot			10	10	10	%
Settling Time (4 V _{p-p} Input to <0.1%)			1.2	1.2	1.2	μs

En la figura 2.4 se lo representa esquemáticamente.

2.3.2.- QUAD 2-INPUT NOR GATE ECG4001: Representado en la figura 2.5. Se caracteriza por:

- alimentación que va de 3 a 18 V.
- impedancia de entrada mayor a 1 TOhm.
- Fanout mayor a 50.

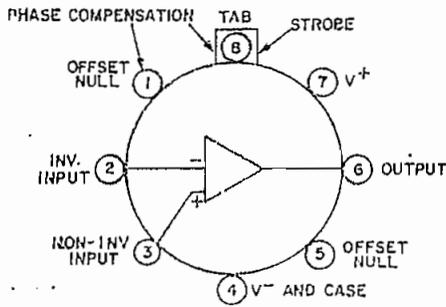
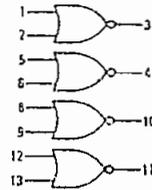


FIGURA 2.4



VDD - Pin 14
VSS - Pin 7

FIGURA 2.5

2.3.3.- DUAL 4-INPUT NOR GATE ECG4002: Representado en la figura 2.6. Sus características son semejantes a las descritas en el punto 2.3.2.

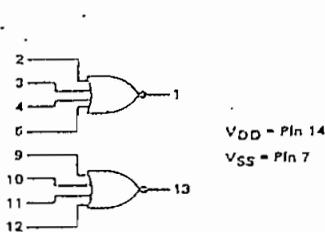


FIGURA 2.6

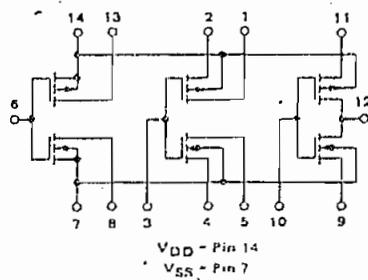
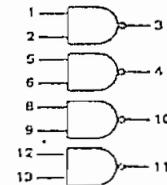


FIGURA 2.7



VDD - Pin 14
VSS - Pin 7

FIGURA 2.8

2.5.4.- DUAL PAR COMPLEMENTARIO MAS INVERSOR HEF4007: Representado en la figura 2.7. Sus características son semejantes a las descritas en el punto 2.3.2.

2.3.5.- QUAD 2-INPUT NAND GATE HEF4011: Representado en la figura 2.8. Sus características son semejantes a las descritas en el punto 2.3.2.

2.3.6.- QUAD EXCLUSIVE OR GATE HEF4070: Representado en la figura 2.9. Sus características son semejantes a las descritas en el punto 2.3.2.

2.3.7.- QUAD 2-INPUT NAND SCHMITT TRIGGER CD4093: Representado en la figura 2.10. Sus características son semejantes a las descritas en el punto 2.3.2.

2.3.8.- FLIP-FLOP TIPO D MC14174: Representado en la figura 2.11. Sus características son semejantes a las descritas en el punto 2.3.2.

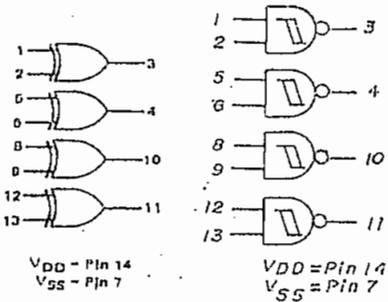


FIGURA 2.9

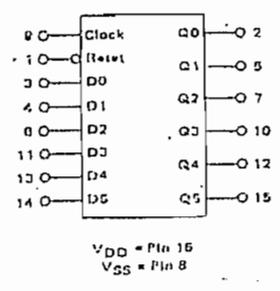


FIGURA 2.11

TRUTH TABLE
(Positive Logic)

INPUTS			OUTPUT
Clock	Data	Reset	Q
	0	1	0
	1	1	1
	X	1	0
X	X	0	0

X = Don't Care

2.3.9.- CONTADOR ASCENDENTE/DESCENDENTE MC14510: Representado en la figura 2.12. En la figura 2.13 se indica su tabla de verdad. En la figura 2.18 se indica su diagrama lógico y diagrama temporal. Sus características eléctricas son semejantes a las descritas en el punto 2.3.2.

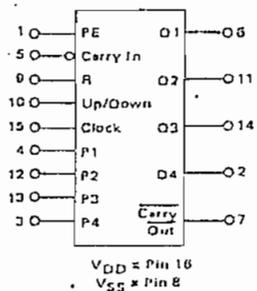


FIGURA 2.12

TRUTH TABLE

CARRY IN	UP/DOWN	PRESET ENABLE	RESET	ACTION
1	X	0	0	No Count
0	1	0	0	Count Up
0	0	0	0	Count Down
X	X	1	0	Preset
X	X	X	1	Reset

X = Don't Care

FIGURA 2.13

2.3.10.- CONTADOR DUAL BCD ASCENDENTE HEF4518: En las figuras 2.14, 2.15 y 2.16 se representan el diagrama esquemático, la tabla de verdad y el diagrama temporal de este circuito.

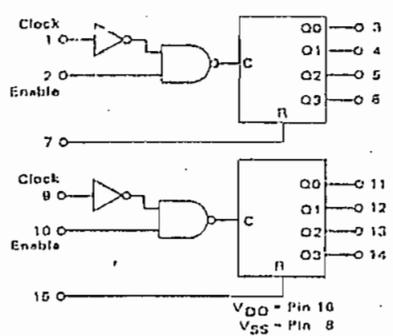


FIGURA 2.14

TRUTH TABLE

CLOCK	ENABLE	RESET	ACTION
	1	0	Increment Counter
0		0	Increment Counter
	X	0	No Change
X		0	No Change
	0	0	No Change
1		0	No Change
X	X	1	Q1 thru Q4 = 0

X = Don't Care

FIGURA 2.15

2.3.11.- LATCH/DECODER/DRIVER BCD A SIETE SEGMENTOS PARA LCD MC14543: En la figura 2.17 y 2.19 se indica la tabla de verdad y el diagrama lógico de este

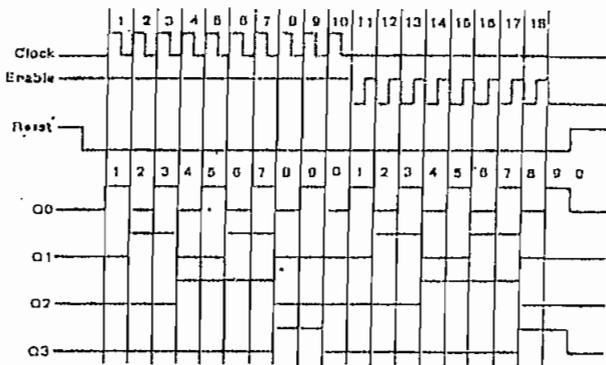


FIGURA 2.16

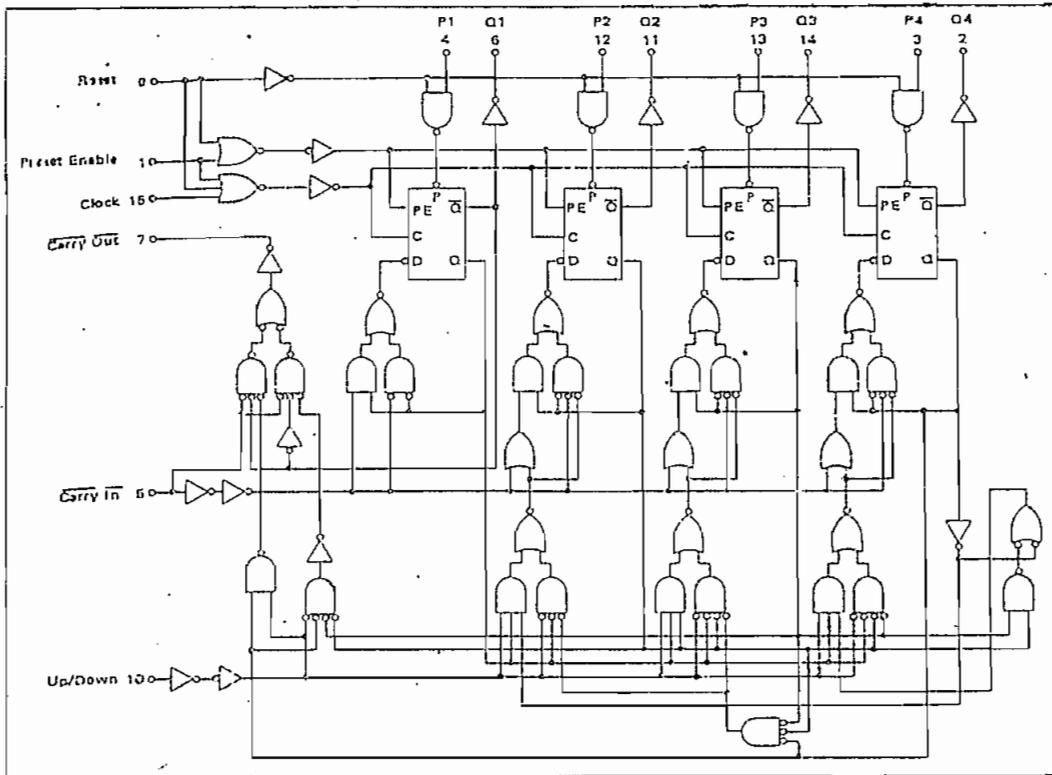
INPUTS		OUTPUTS												
LD	BI	Ph*	D	C	E	A	a	b	c	d	e	f	r	Display
X	1	0	X	X	X	X	0	0	0	0	0	0	0	Blank
1	0	0	0	0	0	0	1	1	1	1	1	1	0	0
1	0	0	0	0	0	1	0	1	0	0	0	0	0	1
1	0	0	0	0	1	0	1	0	1	0	1	0	1	2
1	0	0	0	0	1	1	1	1	1	0	0	1	1	3
1	0	0	0	1	0	0	0	1	1	0	0	1	1	4
1	0	0	0	1	0	1	0	1	1	0	1	1	1	5
1	0	0	0	1	1	0	1	0	1	1	1	1	1	6
1	0	0	0	1	1	1	1	1	1	0	0	0	0	7
1	0	0	1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	0	0	1	1	1	1	0	1	1	1	9
1	0	0	1	0	1	0	0	0	0	0	0	0	0	Blank
1	0	0	1	0	1	1	0	0	0	0	0	0	0	Blank
1	0	0	1	1	0	1	0	0	0	0	0	0	0	Blank
1	0	0	1	1	1	1	0	0	0	0	0	0	0	Blank
0	0	0	X	X	X	X	**	**	**	**	**	**	**	xx
1	1	1	1	1	1	1	Inverse of Output Combinations Above						Display as above	

X - Don't care
 1 - Above Combination
 * - For liquid crystal readouts, apply a square wave to Ph.
 For common cathode LED readouts, select Ph = 0.
 For common anode LED readouts, select Ph = 1.
 ** - Depends upon the BCD code previously applied when LD = 1

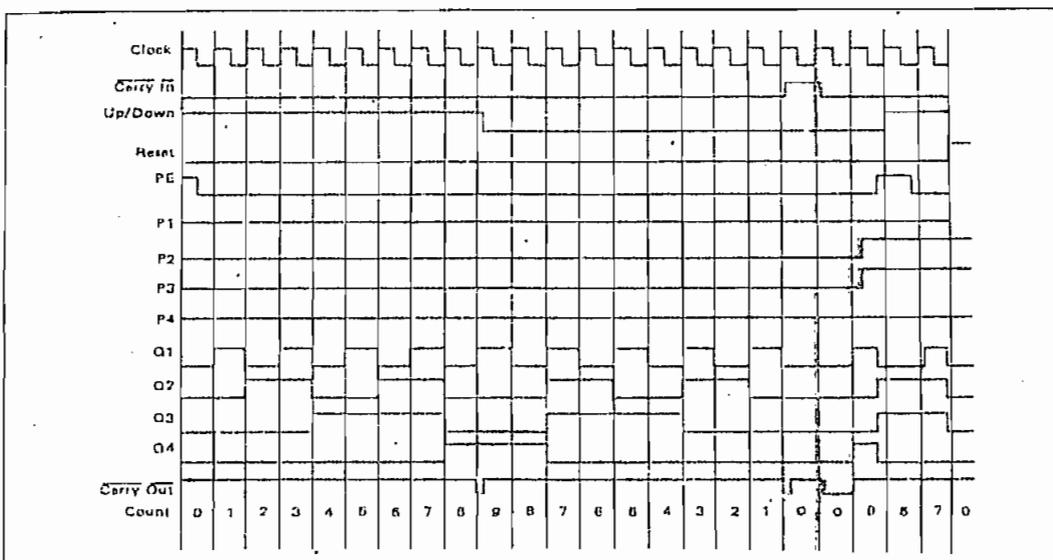
FIGURA 2.17

FIGURA 2.18

LOGIC DIAGRAM



TIMING DIAGRAM



círculo.

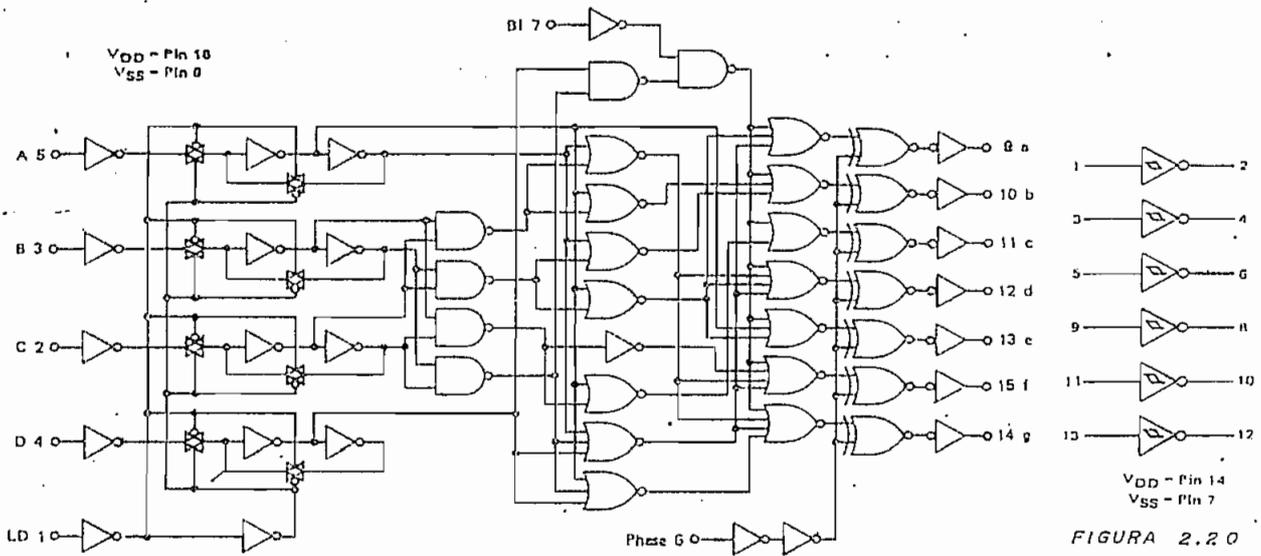


FIGURA 2.19

2.3.12.- HEX SCHMITT TRIGGER MC14584: Representado en la figura 2.20.

2.3.13.- REGULADOR SHUNT AJUSTABLE TL430C: Regulador de voltaje con tres terminales cuya salida puede ser controlada con dos resistores externos en el rango de los 3V a los 30V. En la figura 2.21 se representa el diagrama funcional, en la 2.22 la apariencia física. En la 2.23 se indica que el voltaje de referencia típico es 2.75V. La corriente de referencia de entrada de valor máximo es 10 μ A. La corriente típica de codo es $I_{ZK} = 0.6$ mA. En la figura 2.25 se representa la curva característica de este regulador.

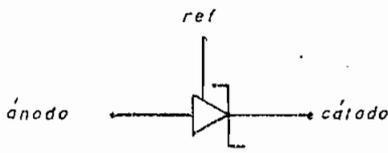


FIGURA 2.21

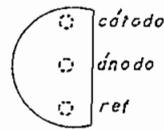


FIGURA 2.22

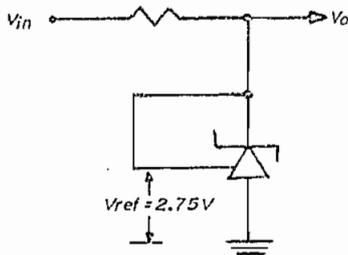
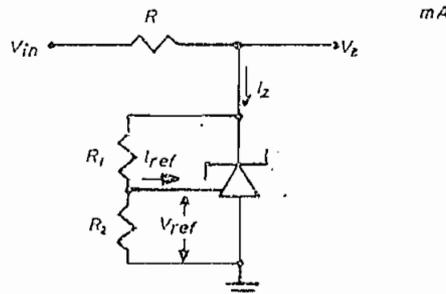


FIGURA 2.23



$$V_z = V_{ref} \left(1 + \frac{R_1}{R_2} \right) + I_{ref} \times R_1$$

FIGURA 2.24

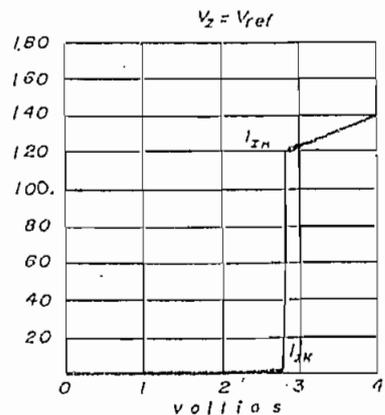


FIGURA 2.25

2.3.14.- DISPLAY 4 1/2 7545 LCD: Los display de cristal líquido se caracterizan por su consumo mínimo de potencia y la capacidad de ser visibles con la luz solar. A causa de la ínfima potencia que consumen se pueden acoplar directamente con la familia CMOS.

Los LCD utilizan la cualidad inherente a ciertos cristales líquidos de girar

la luz. El display se construye sellando herméticamente este material entre dos placas delgadas de vidrio. Cuando una luz polarizada pasa a través de esta unidad emergerá en un plano girado 90° respecto al que ingresó. Esta capacidad de giro se debe a la orientación de las moléculas del material. Si se altera el arreglo de estas moléculas se destruye la capa-

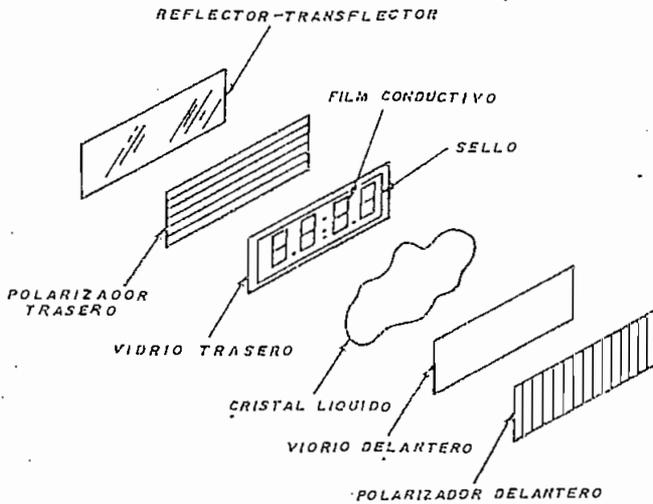


FIGURA 2.26

cidad de girar 90° la luz polarizada. Esta alteración se logra creando un campo eléctrico a través de una porción del cristal líquido. Para crear este campo se

deposita una delgada película de material conductor en la parte interior de las placas de vidrio. Cuando estos conductores se cargan se crea un campo que anula la capacidad de giro del cristal líquido.

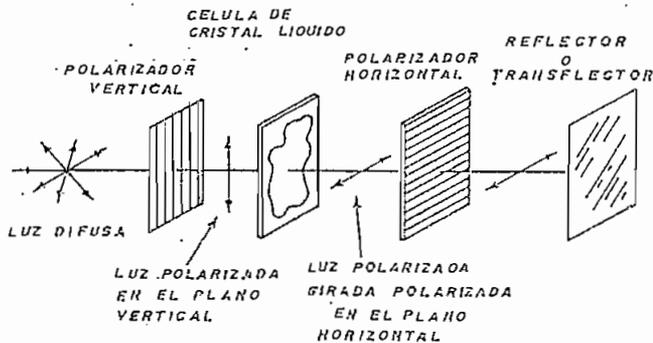


FIGURA 2.27

Para producir un display de efecto de campo útil se necesitan polarizadores tal cual indican las figuras 2.26 y 2.27. Esta última muestra un display en que las figuras de los caracteres producidos serán negras contra la luz reflejada desde atrás. Sin embargo, si al polarizador horizontal, se le gira 90° de tal forma que también se hace vertical, el display será normalmente oscuro mientras que los caracteres tendrán el color del material reflector.

Los LCD deben ser manejados con una señal AC, la cual es necesaria para mantener el campo eléctrico. La presencia de un voltaje DC mayor a los 25 mV en las superficies conductoras producirá una electrolisis y por ende una vida corta del display.

Eléctricamente, el LCD funciona como un capacitor. A causa de las pequeñas fugas, el circuito ve este capacitor en paralelo con una resistencia mayor a 1000 MOhm. Cuando se aplica una señal AC al capacitor, la frecuencia de la misma es siempre importante. Con frecuencias bajas se tiene menos consumo de potencia. Los fabricantes recomiendan una frecuencia que esté entre los 25 Hz y los 100 Hz. Esta señal AC puede provenir de un transformador que proporcione un voltaje comprendido entre los 3 V y los 10 V como indica la figura 2.28.

Normalmente los LCD se utilizan en sistemas digitales por lo cual la señal AC que los maneja es una onda cuadrada que alterna su valor entre los 0 Voltios y +V Voltios conforme se indica en la figura 2.29. Como el display está flotando nunca verá una componente DC pero sí un voltaje pico a pico igual al doble de la onda cuadrada.

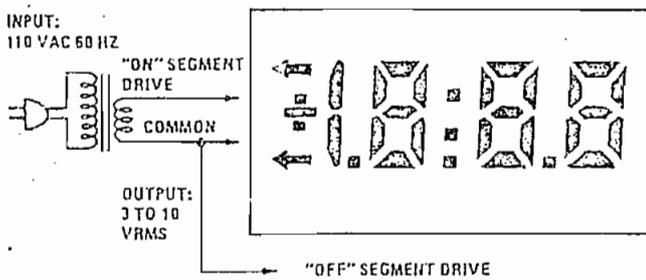


FIGURA 2.28

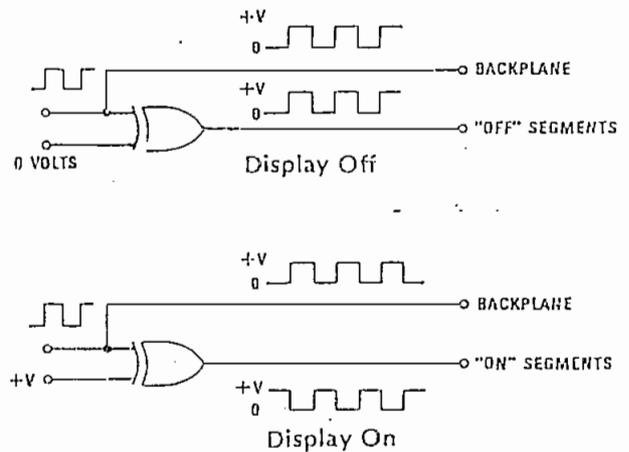


FIGURA 2.29

C A P I T U L O I I I

3.1.- DISEÑO DEL CONVERTIDOR CORRIENTE-VOLTAJE: Se utiliza el circuito de la figura 3.1 donde se cumple que el voltaje de la salida es

$$V_o = I_{in} \times 1 M\Omega$$

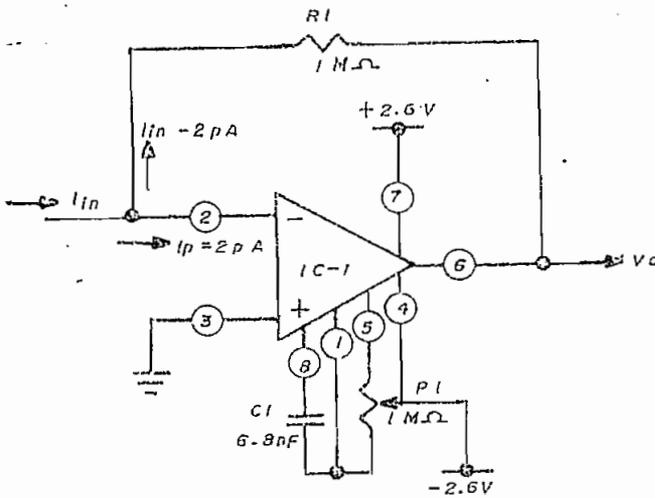
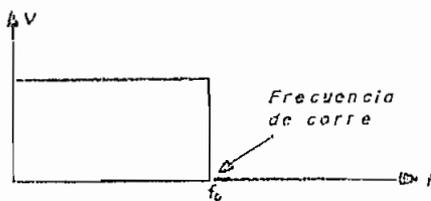


FIGURA 3.1

De acuerdo a lo indicado en el numeral 2.3.1 para este convertidor se utiliza un amplificador operacional CA3130 que tiene la característica de sólo necesitar una corriente de polarización de 2 pA cuando trabaja con una alimentación de 5 V. En el aparato se ha utilizado dos fuentes de 2.6 V , voltaje que

proporciona el regulador TL430C. Dado que la máxima corriente a ser medida es 1 uA el voltaje de salida del convertidor no sobrepasará el valor de 1 V el cual está dentro del rango de la fuente. Dado que el nanoamperímetro va a medir corrientes que van desde los 100 pA hasta 1.000.000 pA el máximo error posible causado por la corriente de polarización será del 2%. Prácticamente toda la corriente a ser medida circula por la resistencia R_1 con lo cual se cumple la fórmula arriba enunciada.

3.2.- DISEÑO DEL FILTRO PASAPAJOS: Como la corriente a ser medida tiene un

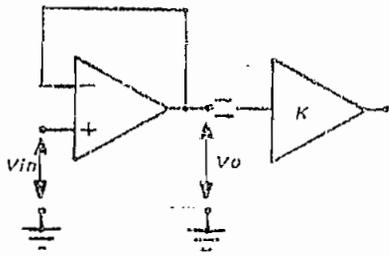


Filtro pasabajos ideal

mínimo valor en ella tendrán mucha influencia las inducciones parásitas provenientes del medio externo. Esto obliga a que a continuación del convertidor corriente-voltaje se deba colocar un filtro pasabajos a fin de asegurar que sólo la corriente a

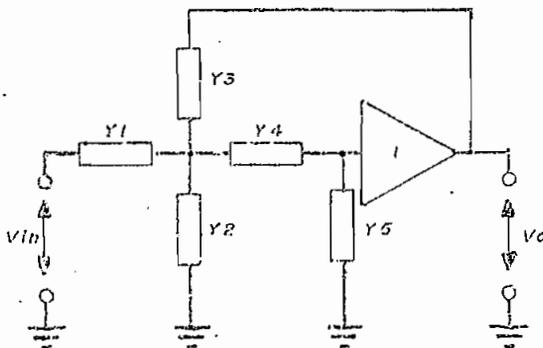
ser medida ingrese al circuito de valor absoluto. Se ha escogido un filtro activo para tal propósito porque únicamente emplea resistencias y capacitancias, a

diferencia de los filtros pasivos que usan inductancias las cuales tienen en su contra ser pesadas, generar ruidos y campos magnéticos. Para el filtro activo se



usa un amplificador operacional conectado como se indica en la figura, que es una fuente controlada de voltaje caracterizada por su alta impedancia de entrada, en el orden de los $10^6 \Omega$ y una impedancia de salida menor a 1Ω . La ganancia es igual a 1. Con esta fuente se puede implementar un filtro pasabajos de

2º orden según se representa en la figura si en la función general de transferencia



$$\frac{V_o}{V_{in}} = \frac{Y_1 Y_4}{Y_3 (Y_1 + Y_2 + Y_3 + Y_4) + (Y_1 + Y_3) Y_4}$$

se hace

$$R_1 = \frac{1}{Y_1} ; R_2 = \frac{1}{Y_2} ; C_1 = \frac{1}{Y_3} ; C_2 = \frac{1}{Y_4} ; Y_3 = 0$$

se convierte a la misma en

$$\frac{V_o}{V_{in}} = \frac{1}{s^2 + s \left(\frac{1}{R_1 C_1} + \frac{1}{R_2 C_1} \right) + \frac{1}{R_1 R_2 C_1 C_2}}$$

Si $R_1 = R_2 = R$ y $C_1 = C_2 = C$ se tiene que

$$\frac{V_o}{V_{in}} = \frac{1}{s^2 + \frac{2}{RC} s + \frac{1}{R^2 C^2}}$$

expresión cuyo denominador es de la forma

$$D = s^2 + 2\alpha \omega_c s + \omega_c^2$$

donde $\omega_c = \frac{1}{RC}$ (frecuencia angular de corte)

$\alpha = 1$ (factor de amortiguamiento)

Este denominador tiene ceros en el lado izquierdo del plano complejo..

Dado que con el filtro se quieren eliminar las interferencias causadas por los 60 Hz de la red se debe cumplir que $\omega_c \ll 2\pi 60$

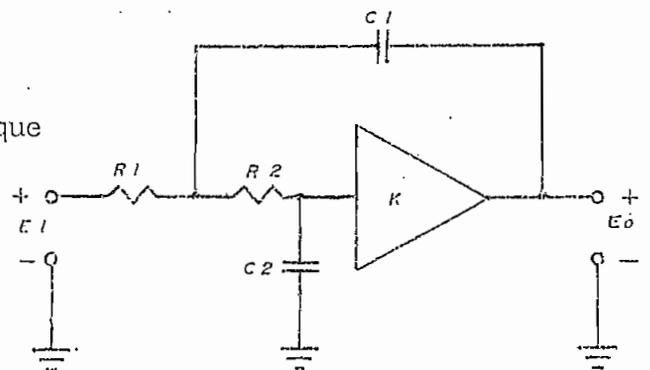


FIGURA 3.2

Haciendo $R=100\text{ Kohm}$ y $C=1\text{ }\mu\text{F}$ se tiene que

$$\omega_0 = 10 \Rightarrow f_0 = 1.5\text{ Hz} \ll 60\text{ Hz}$$

tal como se quería. Para frecuencias mayores a 1.5 Hz la atenuación es 40 dB/década.

El factor de amortiguamiento determina la forma de respuesta del filtro en las proximidades de la frecuencia de corte. Mientras menor sea este factor mayor será la respuesta del filtro en f_0 y más rápidamente se aproximara al valor asintótico de 40 dB/década. El circuito de la figura 3.3 es uno de los filtros activos más simples formado por dos secciones RC.

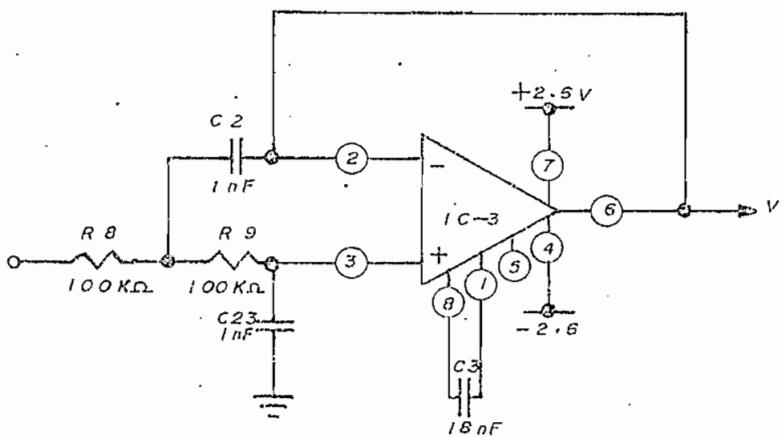


FIGURA 3.3

3.3.- DISEÑO DEL CIRCUITO DE VALOR ABSOLUTO: Dado que la corriente a ser medida puede tener cualquier sentido, el voltaje V_1 del filtro puede ser positivo o negativo. Como el condensador del integrador siempre va a estar cargándose positivamente, el voltaje que lo alimente, V_2 , siempre debe ser negativo. El circuito

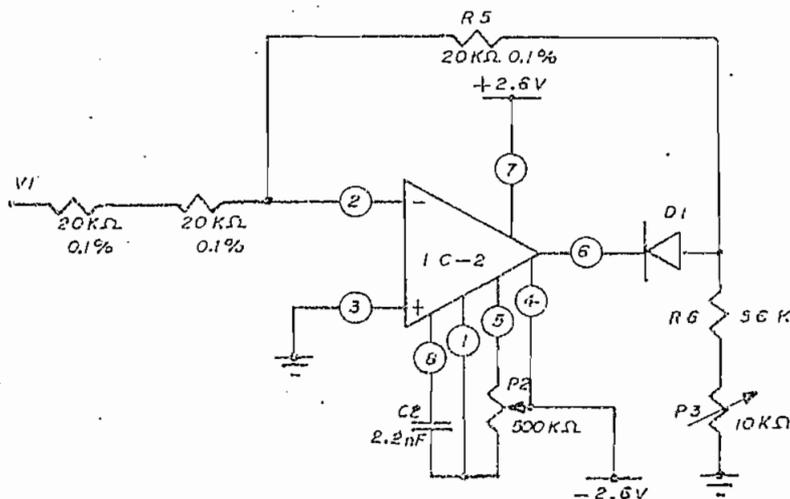


FIGURA 3.4

utilizado se indica en la figura 3.4 y trabajará como un rectificador ideal. Cuando la señal es positiva el amplificador funciona como un inversor común con una ganancia igual a

$$G_1 = \frac{R_5}{R_3 + R_4}$$

Cuando la señal es negativa el diodo D_1 no conduce y la entrada pasa a través de R_5 directamente a la salida. En esas condiciones se ha formado un divisor de tensión cuya relación respecto al ánodo del diodo D_1 será

$$G_2 = \frac{R_6 + P_3}{R_3 + R_4 + R_5 + R_6 + P_3}$$

Para que el circuito entregue un valor absoluto simétrico se debe cumplir que

$$G_1 = G_2 = x$$

con x que puede tomar cualquier valor entre 0 y 1. Para el aparato se ha escogido $x=1/2$ porque permite que las resistencias involucradas tengan valores fáciles de ser obtenidos. Si $R_3 + R_4 = 40 \text{ KOhm}$ se tiene que

$$R_5 = 20 \text{ KOhm}$$

$$R_6 + P_3 = R_3 + R_4 \frac{x + x^2}{1 - x} = 60 \text{ KOhm}$$

Para R_6 se ha asignado un valor de 56 KOhm y para P_3 uno de 10 KOhm .

A fin de obtener la máxima simetría posible las resistencias R_3, R_4 y R_5 deben ser de precisión. Considerando que con $R_6 + P_3$ siempre se va a tener un valor exacto la asimetría estaría ocasionada por R_3, R_4 y R_5 . A fin de determinar el error en tanto por ciento que se puede presentar a causa de la diferencia de valores en las tres resistencias y suponiendo que los errores parciales sean acumulativos se tendrá que

$$E\% = \left| \frac{60}{120 + 0.6e} - 0.5 \right| \times 100 \Rightarrow E = \left| \frac{e}{4 + 0.0e} \right|$$

donde e es el error en tanto por ciento de cada resistencia. Aplicando la fórmula se ve que un error del 1% en cada resistencia produce un error máximo total del 0.25%. Con resistencias de una precisión del 0.1% la asimetría es despreciable. La salida del circuito de valor absoluto se conecta a un filtro pasabajos

a través del conmutador electrónico tal como indica la figura 3.5.

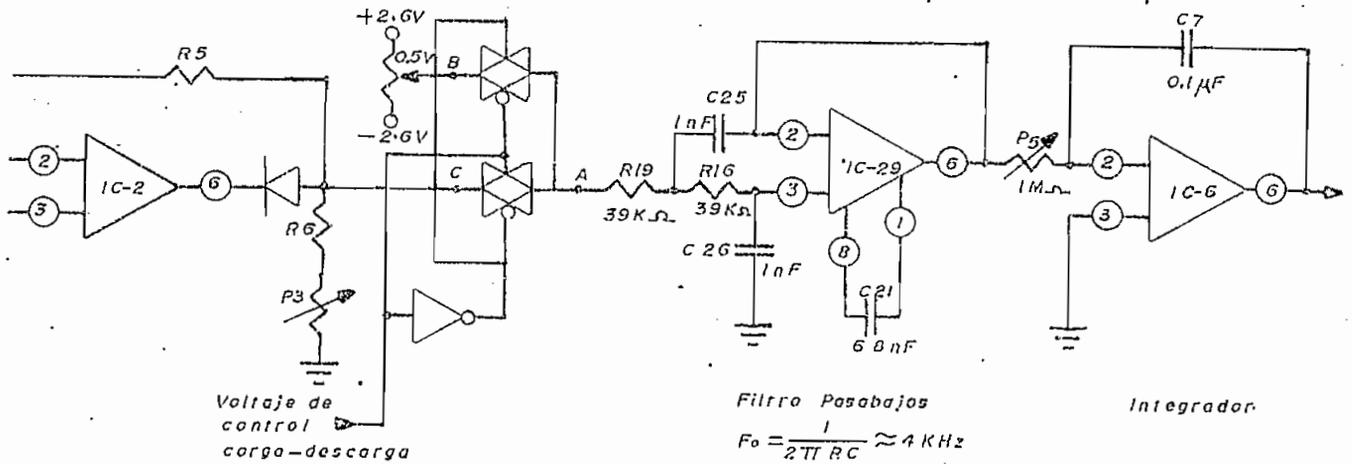


FIGURA 3.5

Las razones por las cuales se necesita un segundo filtro se exponen en el punto 5.1.

3.4.- DISEÑO DEL INTEGRADOR: Se utiliza el circuito de la figura 3.6. Con el

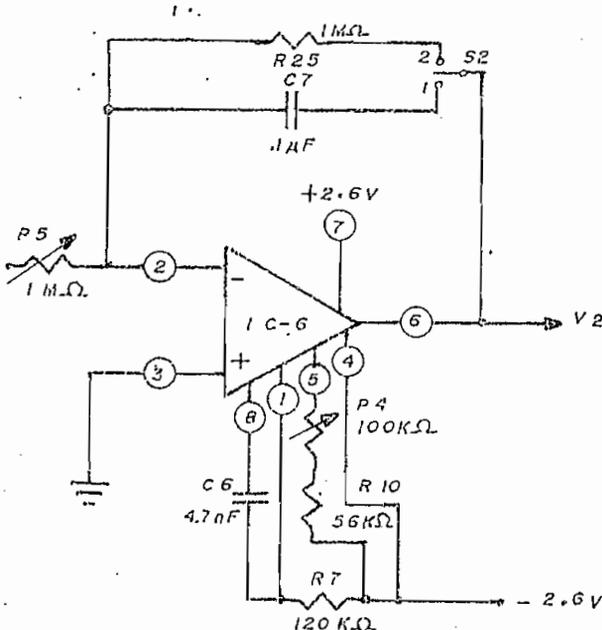


FIGURA 3.6

potenciómetro P5 se compensa la atenuación de 1/2 introducida por el circuito de valor absoluto. Usando el display y con el potenciómetro P4 se encera al aparato. Para una mayor exactitud de medida el condensador C7 debe ser de polipropileno; como segunda opción se deben usar los condensadores de poliéster.

El conmutador S2 es doble y de dos posiciones en cada sección. Sólo durante la calibración estará en la 2ª.

3.5.- DISEÑO DEL DETECTOR DE NIVEL CERO: Se utiliza el circuito de la figura

3.7. Dado que el integrador va a estar cargándose y descargándose es necesario

un detector que indique cuando el condensador del integrador ha llegado al nivel cero en el periodo de descarga a fin de reiniciar un nuevo periodo de carga. Con las resistencias R23 y R24 se consigue una tierra virtual a la entrada de la pata 3.

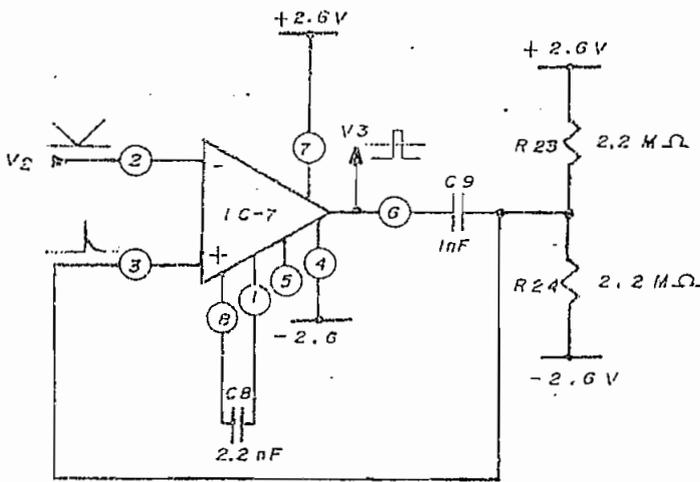


FIGURA 3.7

Cuando el voltaje de descarga del condensador cruza este nivel se produce a la salida del detector un salto positivo que a través del condensador C9 va a la pata 3 del amplificador operacional con lo cual se produce un salto negativo a su salida. Este salto positivo-negativo conforma un pulso sumamente estrecho que se utiliza como detección de nivel cero.

3.6.- DISEÑO DEL OSCILADOR: Se utiliza dos inversores de un circuito integrado MC14584 conectados para que trabajen

como un oscilador estable según se indica en la figura 3.8. En la pata 2 se obtiene una onda cuadrada con una frecuencia de 40.000 Hz.

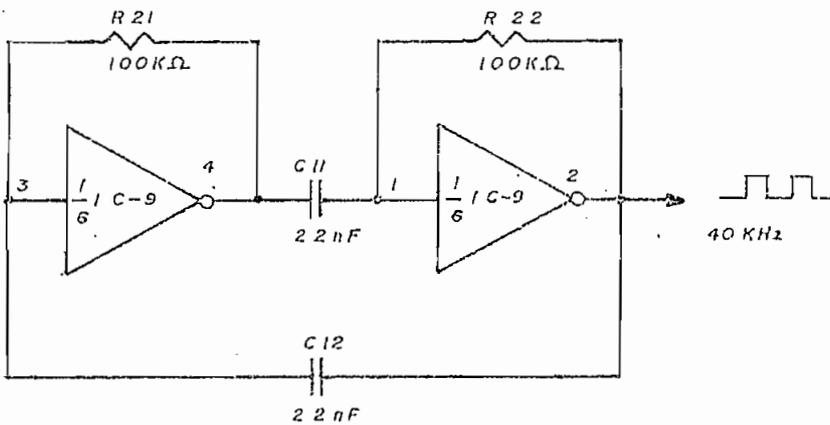


FIGURA 3.8

3.7.- DISEÑO DEL CONTADOR: Para construir el contador módulo 10.000 se utili-

zan dos circuitos integrados MC14510 y un circuito integrado MC14518. El primero es un BCD UP-DOWN COUNTER cuyas características se indican en el punto 2.3.9 mientras que el segundo es un DUAL BCD UP COUNTER cuyas características se indican en el punto 2.3.10. Los circuitos integrados se han conectado según se señala en la figura 3.9.

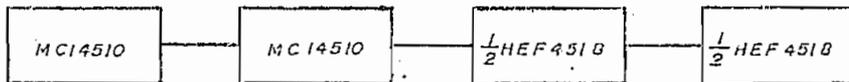


FIGURA 3.9

En la fórmula 6 del punto 1.2.4 se vio que la corriente I_x a ser medida tiene por fórmula

$$I_x = I_R \frac{T_2}{T_1} \Rightarrow I_x = I_R \frac{n f}{N f} \Rightarrow I_x = I_R \frac{n}{N}$$

reemplazando valores se tiene que

$$I_x = \frac{10^{-5}}{10^{-4}} n \quad (A) \Rightarrow I_x = 10^{-10} n \quad (A)$$

si en lugar de amperios se determina que la lectura sea expresada en décimos de nanoamperio, como se ha hecho en el aparato, se tendrá que

$$I_x = n \quad (\text{décimos de nanoamperio})$$

lo que significa que en esa escala hay una relación 1:1 entre lectura y corriente. Con cada periodo del oscilador la lectura varía su medida en 0.1 nA.

En el punto 2.1 se indica que se introduce una corriente $I_0 = 10 \text{ nA}$, la cual, a fin de que la lectura en el display sea correcta debe ser restada de alguna forma. Esto se logra de la siguiente manera: al acabar el periodo de carga del condensador y mientras se descarga el mismo se introduce un retardo de 100 periodos o 100 bits en el contador, a cuya finalización recién empezará el conteo correspondiente a la corriente a ser medida. Este retardo de 100 bits podría lograrse utilizando un contador ascendente o uno descendente. De utilizar

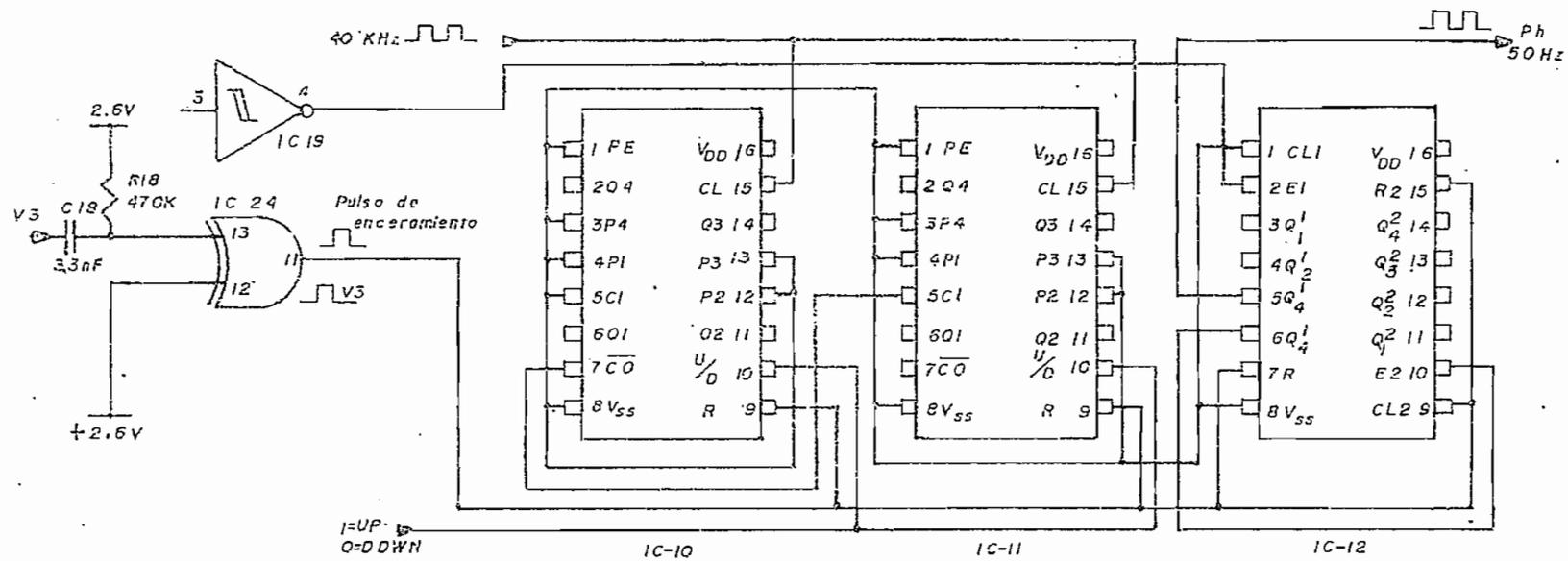


FIGURA 3.12

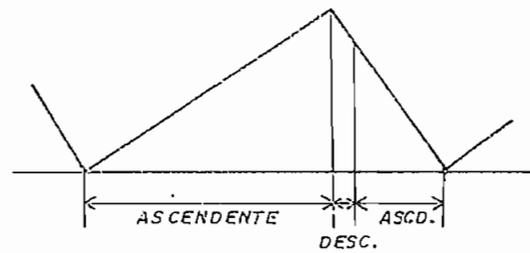


FIGURA 3.10

uno descendente se tendría que en ausencia de señal en el instante en que la rampa de descarga cruza el nivel cero y se produce un pulso de lectura, en el caso de que el nanoamperímetro no esté encendido se vería en el display una medida que podría tener cualquiera de los siguientes valores por ejemplo: -96, -97, -98, -99, +0, +1, +2, +3, etc.

Esto obliga a usar un contador descendente mientras dure el retardo de 100 bits, a cuya finalización se transformará en un contador ascendente para estar en capacidad de valorar la corriente a ser medida. Así se logra en el display una lectura, en ausencia de señal y cuando el aparato todavía no está calibrado, que puede tomar cualquiera de los siguientes valores: -4, -3, -2, -1, +0, +1, +2, +3, etc, con lo cual la calibración tiene un sentido lógico y continuo. Esto se visualiza en la figura 3.10.

Los cuatro contadores están conectados en cascada como se indica en la figura 3.9. Como los dos MC14510 trabajan en forma descendente al comienzo del ciclo de descarga, este conteo de 100 no es tomado en cuenta para la medición de la corriente y automáticamente se produce la resta de los 10 nA. El circuito utilizado se indica en la figura 3.12.

3.8.-DISEÑO DEL CIRCUITO INDICADOR DE FINALIZACION DEL PERIODO DE CARGA: Dado que el condensador se carga durante un periodo de 10.000 bits es necesario un circuito que indique que el mismo ha finalizado, esto es un detector que señale que en el contador está el número 9999. Como el número 9 en BCD se expresa 1001 basta con que el detector indique que el primero y cuarto bit son 1, lo cual se logra con un gate AND de dos entradas.

Para el número 9999, cuya expresión en BCD es 1001100110011001, se sigue un razonamiento igual, basta con que el detector determine que el 1^º, 4^º, 5^º, 8^º, 9^º, 12^º, 13^º y 16^º bits son 1 para saber que el periodo ha finalizado. Esa determinación se la podría haber logrado con sólo un AND de ocho entradas, sin embargo, como no se lo consiguió mientras se construía el nanoamperímetro fue necesario im-

plementarlo utilizando circuitos NAND de dos entradas e inversores de acuerdo a lo representado en la figura 3.13.

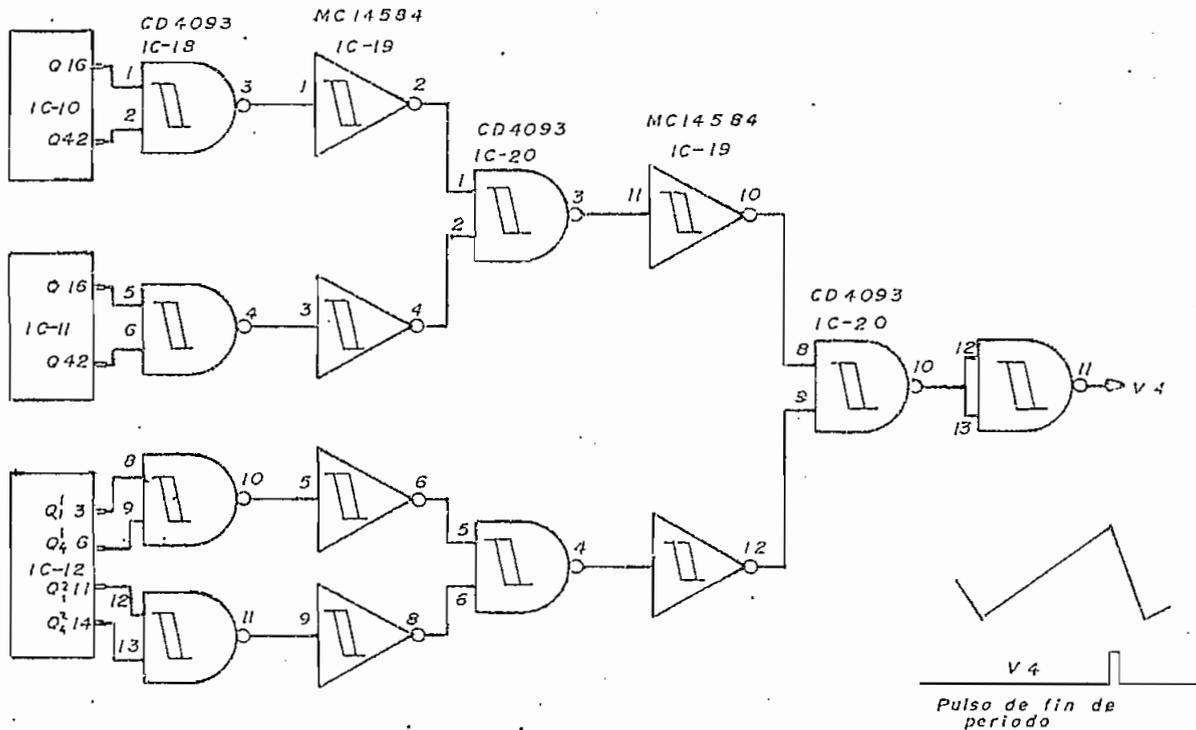


FIGURA 3-13

3.9.- DISEÑO DEL CIRCUITO MANEJADOR DEL CONTADOR UP/DOWN MC14510: El circuito integrado MC14510 según tenga un 1 o un 0 en su pin 10 contará ascendente o descendientemente respectivamente. De acuerdo a lo puntualizado en el numeral 3.7 es necesario que al acabar el periodo de carga el contador módulo 100, formado por los dos MC14510, cuente descendientemente y al finalizar esta cuenta otra vez cuente ascendente. El circuito que gobierna la señal en la pata 10 se indica en la figura 3.14 que no es nada más que un circuito R-S formado por dos NOR, una de cuyas entradas es alimentada por el pulso de finalización de periodo de carga, mientras que la otra entrada es alimentada por la señal invertida de finalización del conteo descendente módulo 100. Con la llegada del pulso de fin de periodo de carga la salida se hace cero y el contador empieza su conteo descendente que al ser terminado ocasiona que en el pin 7 del IC-11 se produzca un pulso negativo, que luego de ser invertido es introducido a la otra entrada del R-S con lo cual su salida pasa de 0 a 1 y de esta forma el

contador otra vez contará ascendentemente. La salida S de la figura 3.14 se conecta a los pines 10 de los contadores MC14510.

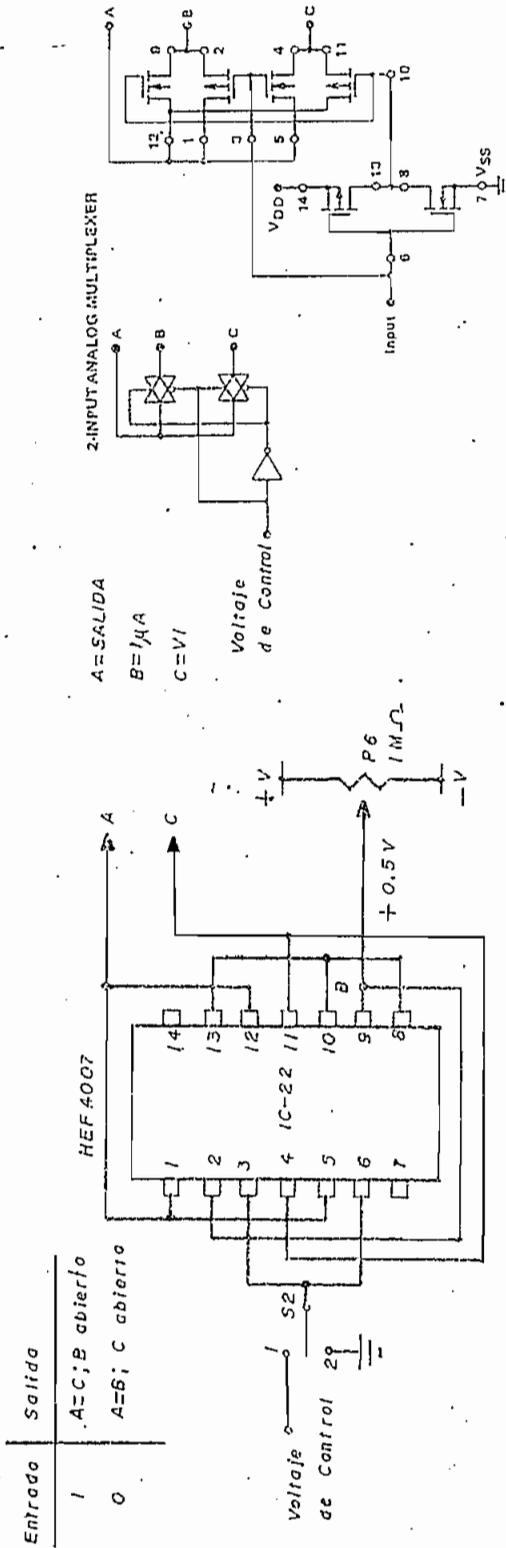


FIGURA 3.15

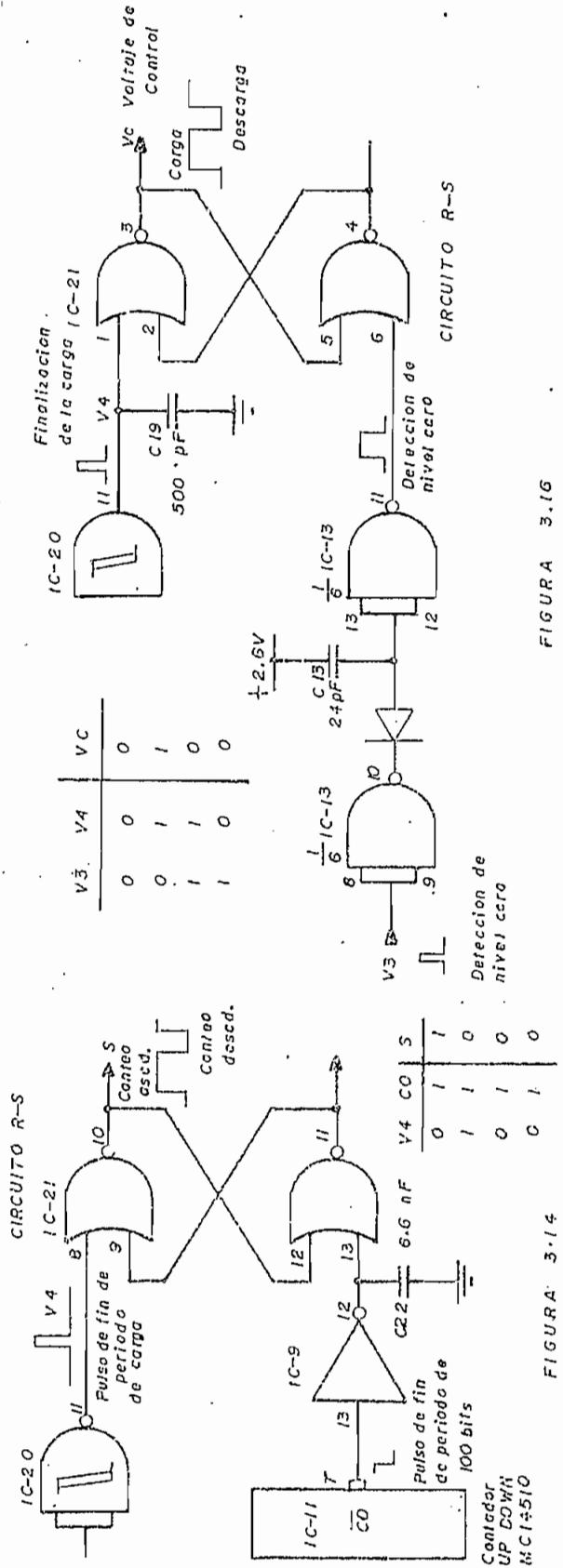


FIGURA 3.16

FIGURA 3.14

3.10.- DISEÑO DEL CONMUTADOR ELECTRONICO PARA CARGA-DESCARGA DEL INTEGRADOR:

Como conmutador electrónico se utiliza un circuito integrado FEF4007 cuya representación esquemática se encuentra en la figura 2.7. Al conectar a los seis transistores MOSFET según se indica en la figura 3.15 se tiene un conmutador de dos canales. El voltaje de control del mismo es manejado por la salida del circuito R-S de la figura 3.16.

Este circuito R-S está formado por dos circuitos NOR, una de cuyas entradas recibe la señal de finalización del periodo de carga del integrador mientras que la otra recibe la señal proveniente del detector de nivel cero a través de un HOLD CIRCUIT, ya que dicho pulso de detección es muy estrecho para cambiar de estado al circuito R-S, lo que obliga a aumentar su duración. El voltaje de salida en la pata 3 controla al conmutador electrónico al ser conectado a la pata 6 del IC-22, FEF4007.

3.11.- DISEÑO DEL CIRCUITO DE DISPLAY: Para su construcción se han empleado los siguientes elementos cuyas características se detallan en el numeral 2.3: MC14543, ECG4001, FEF4011, FEF4070, MC14174, MC14584 y el display 4 1/2 DATA MODUL 7545 LCD con representación esquemática señalada en la figura 3.17.

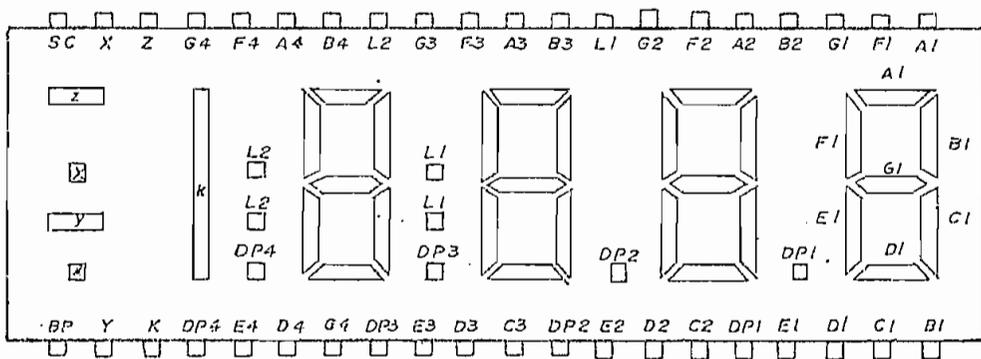


FIGURA 3-17

Al BLACKPLANE del display, pin BP, se le ha aplicado una onda cuadrada de 50 Kz proveniente del pin 5 del contador 14518, IC-12, de acuerdo a lo indicado en el numeral 2.3.14.

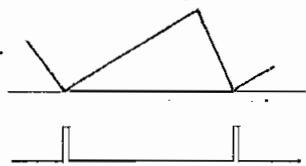


FIGURA 3.18

Para manejar el display se han utilizado cuatro circuitos integrados MC14543, IC-14, IC-15, IC-16, IC-17, los cuales requieren que en su pata 6 esté presente la señal de 50 Hz. En el pin 1 se aplica un pulso positivo cada vez que el integrador cruza el nivel de detección al descargarse como se puede ver en la figura 3.18. Este pulso es el que permite que en el display

sólo exista una lectura y no un conteo continuo. Esta señal está dada por el circuito de la figura 3.19 en donde se observa que el pulso de detección de ni-

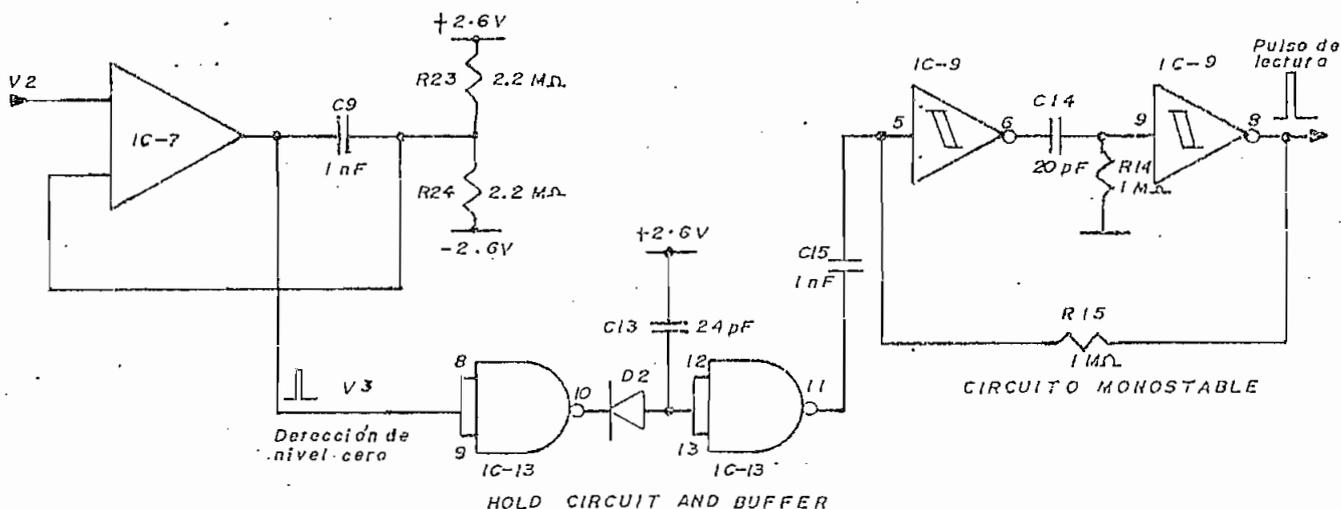


FIGURA 3.19

vel cero es procesado por un FOLD CIRCUIT y BUFFER antes de disparar al monostable que es el que produce el pulso de lectura en su pin 8. Las patas 7 de los circuitos integrados MC14543 se conectan conforme a lo indicado en el numeral 3.13. En la figura 3.20 se representa el circuito general asociado al display. Con el OR EXCLUSIVO, IC-24, se procesa la detección de nivel cero a fin de encerrar a todos los contadores antes de iniciar una nueva carga del integrador. Es de observar que el pulso de encerramiento se produce con el flanco descendente del pulso de detección de nivel cero.

3.12.- DISEÑO DEL INDICADOR DE SIGNO: De acuerdo a lo establecido en la figura 3.19 cuando el voltaje del condensador del integrador cruza el nivel de re-

ferencia cero se produce un pulso positivo que es el que determina que en el display aparezca la magnitud de la corriente a ser medida. Sin embargo a más de la magnitud se requiere conocer el sentido de la corriente que está circulando. Dicho sentido está indicado por un signo "-" o un signo "+" que se visualiza en el display. En ausencia de una señal externa, según se puntualiza en el numeral

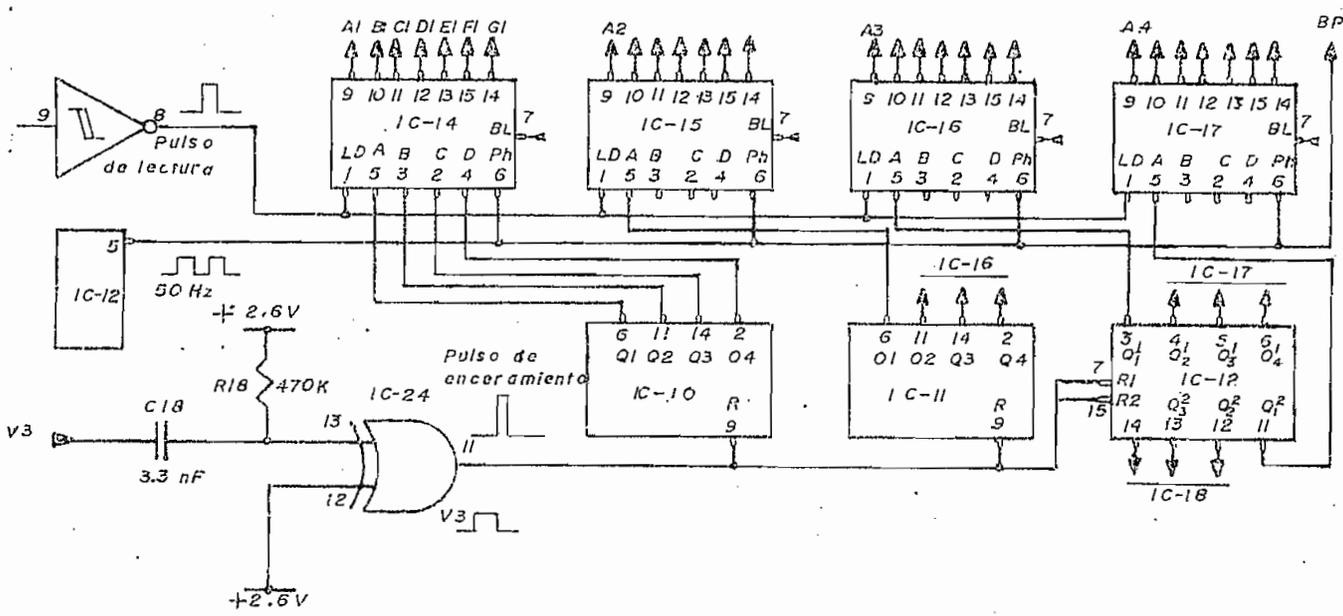


FIGURA 3.20

3.7, el contador puede dar una lectura tanto positiva como negativa, es decir -2, -1, +0, +1, +2, etc, sentido que estará determinado por el potenciómetro de encerramiento P4. La aparición del signo correcto se logra con el circuito de la figura

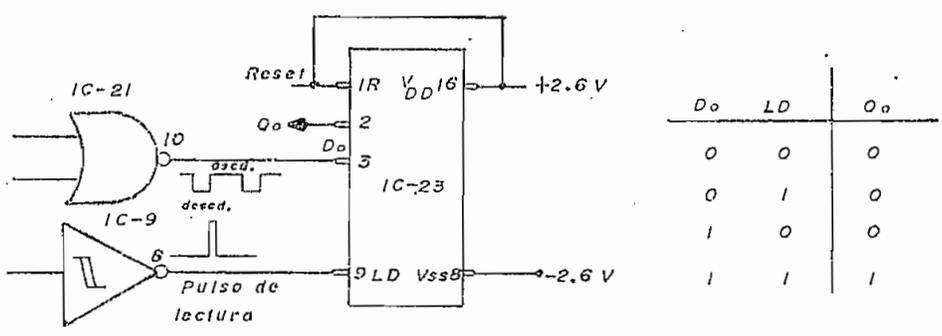


FIGURA 3.21

3.21. El circuito integrado IC-23, MC14174, es un HEX FLIP-FLOP tipo D, cuando se

presenta un pulso positivo en la pata 9, la salida en la pata 2 reproducirá lo que exista en la entrada, en la pata 3, lo que significa que si el contador módulo 100 está contando descendientemente se tendrá un signo negativo, si está contando ascendientemente se tendrá un signo positivo. En ausencia de señal externa el signo Q_0 en el display obedecerá a la fórmula

Dado que el signo sólo aparece cuando está presente un pulso de lectura la fórmula anterior se reducirá a $Q_0 = D_0$ y el signo únicamente va a depender de que el contador cuente ascendientemente o descendientemente tal cual se ha indicado anteriormente.

Una vez que se ha encendido el display y siempre que exista una corriente a

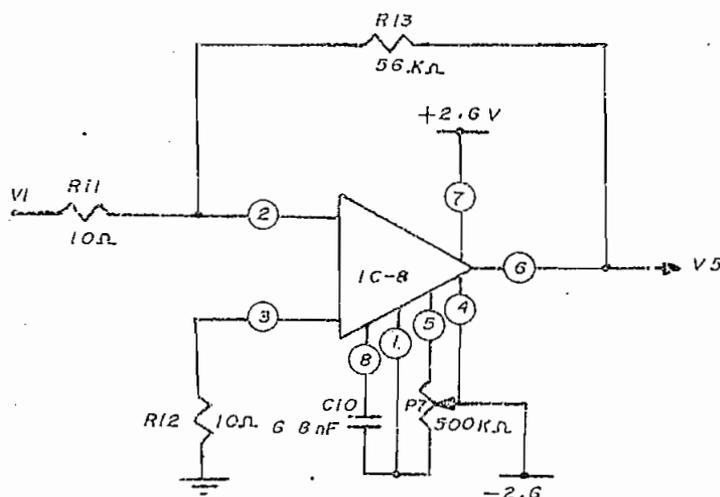


FIGURA 3.22.

ser medida se tendrá que Q_0 siempre vale 1. En esta condición el signo sólo debe depender del sentido de la corriente que se está midiendo, sentido que se determina utilizando el circuito de la figura 3.22, que es un amplificador de alta ganancia. Cuando se lo encera utilizando el potenciómetro P7 su salida sólo va a tener dos valores posibles -2.6 V y +2.6 V escogiéndose esta última a fin de poder implementar la tabla de verdad siguiente:

V5	0	0	1	1
Q ₀	0	1	0	1
S	0	0	0	1

Esta tabla de verdad significa que en ausencia de señal se tendrá que $V_5 = 1$ con lo que el signo S sólo dependerá de Q_0 . Cuando hay una señal presente Q_0 siempre vale 1, caso en el cual el signo sólo depende de V_5 . De la tabla de verdad

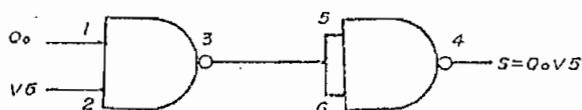


FIGURA 3.23

anterior se ve que el signo S tiene por fórmula

$$S = Q_0 \times V_5$$

cuya implementación se indica en la figura 3.23.

En ausencia de señal:

$$S = D_0$$

Con señal presente:

$$S = V_5$$

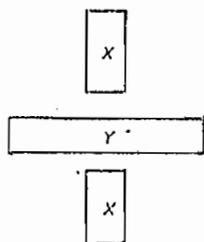


FIGURA 3.24

Según se indica en la figura 3.17 el display tiene en su lado izquierdo un signo "+" como se puede observar

en la figura 3.24, el cual está formado por dos segmentos "X" y un segmento "Y". Cuando se realiza una lectura el segmento "Y" siempre estará presente,

en cambio el segmento "X" sólo cuando la corriente sea positiva.

Este segmento "X" es manejado por el signo S de acuerdo a lo señalado en la figura 3.25. Se debe notar que

la señal S se procesa a través de un OR EXCLUSIVO antes de conectarse a la pata correspondiente del display.

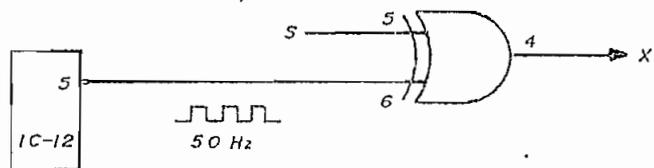


FIGURA 3.25

3.13.- DISEÑO DEL INDICADOR DE SOBRECARGA: Es necesario que el nanoamperímetro, cuando la corriente es mayor que $1 \mu A$, indique que hay sobrecarga. Cuando esto sucede en el display asoma el número 999.9 el cual comienza a titilar como señal de alarma. El circuito utilizado se indica en la figura 3.26, en donde con los dos circuitos NAND del IC-26 se consigue que sólo cuando existe una sobrecorriente asome un pulso a la salida, en el pin 4. En condiciones normales la sali-

da es cero. Con la presencia de una sobrecorriente, el pulso de la salida se ali-

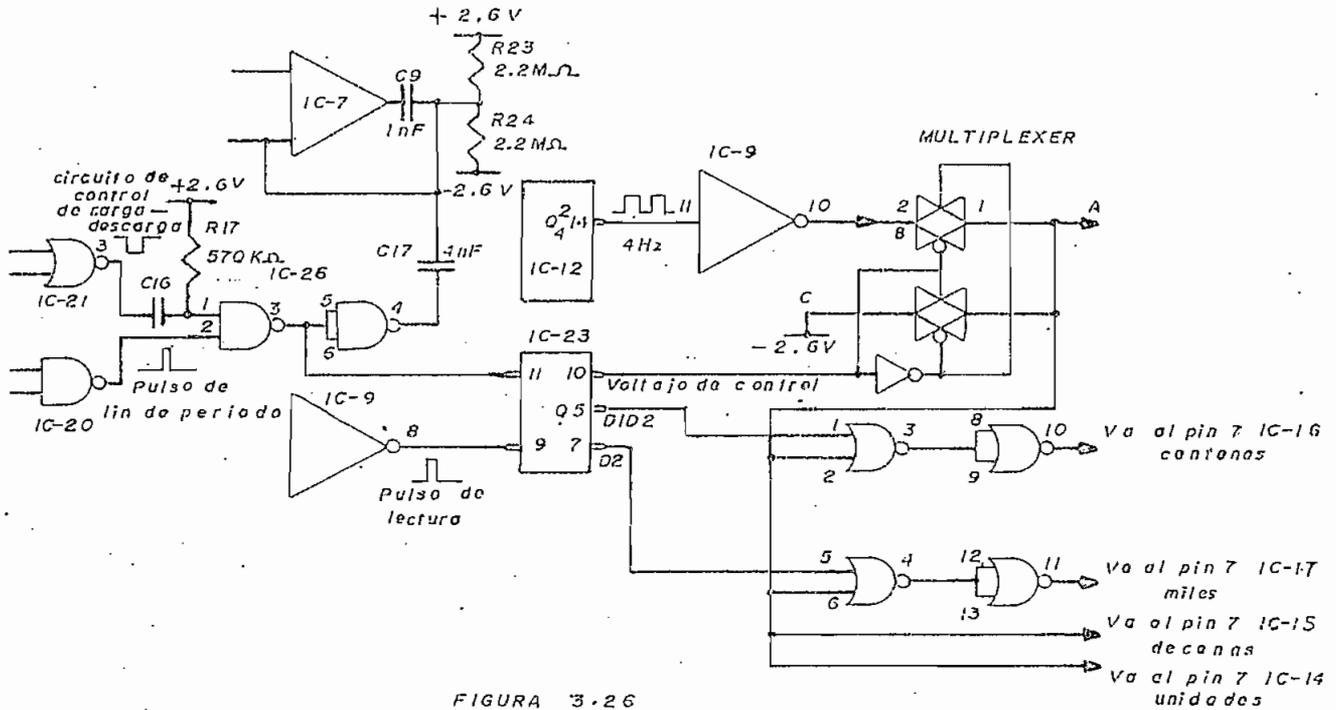


FIGURA 3-26

menta al amplificador operacional que en esas condiciones trabaja como seguidor de voltaje, lo que determinará que dicho pulso sea procesado de acuerdo a los numerales 3.5, 3.11 y figura 3.19 para que en el display se vea el número 999.9.

Como se quiere que este número titile se utiliza el hecho de que el circuito integrado MC14543, si tiene una señal alta en su pin 7 blanquea la lectura y si tiene una señal cero la permite. Aplicando una onda cuadrada de 4 Hz a dicho pin se obtiene el titilamiento buscado. Los 4 Hz vienen del pin 14 del contador MC14518. El circuito integrado IC-28, HEF4007, trabaja como multiplexer que según convenga permitirá este titilamiento o no, lo cual es controlado por el circuito integrado IC-23, MC14174. La salida del multiplexer se aplica a las patas 7 de los circuitos integrados MC14543.

3.14.- DISEÑO DEL CIRCUITO BORRADOR DE LOS DOS ULTIMOS DIGITOS DEL DISPLAY:

Por fines estéticos es necesario que los dígitos correspondientes a las centenas y a los miles sólo aparezcan en el display cuando se está midiendo una corriente de esa magnitud, mientras tanto deben permanecer en blanco. El circuito

utilizado se indica en la figura 3.27.

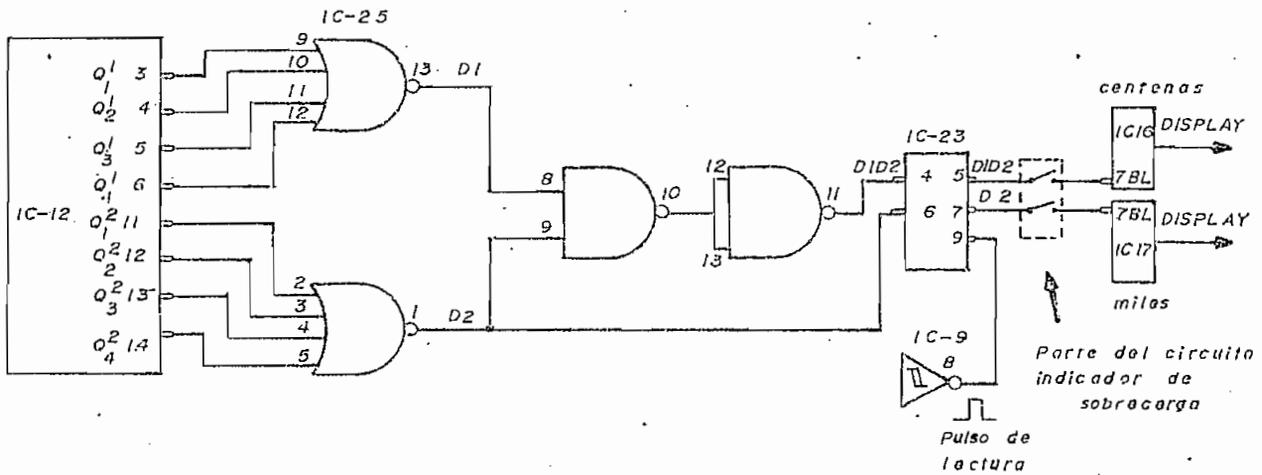


FIGURA 3.27

Con el circuito integrado IC-25, se consigue que sólo una señal distinta de cero asome en el display. Con los dos NAND del circuito integrado IC-26 se permite la visualización en el display del dígito de las centenas en el caso de que sea cero siempre y cuando el dígito de los miles sea distinto de cero.

3.15.- DISEÑO DEL CIRCUITO BORRADOR DE SEÑALES INNECESARIAS: Con respecto a la

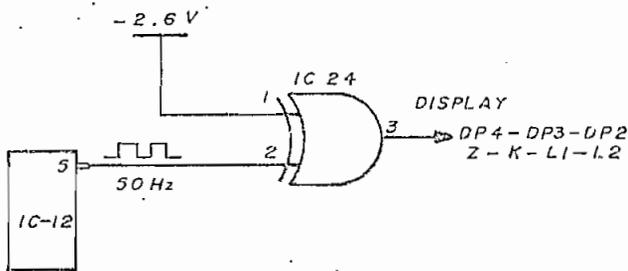


FIGURA 3.28

figura 3.17 se observa que en el display las señales DP4, DP3, DP2, Z, K, L1 y L2 siempre deben permanecer en blanco por lo cual se utiliza el circuito de la figura 3.28 con lo que se logra que exista un voltaje nulo entre dichas señales y los 50

Hz del BLACKPLANE del display.

3.16.- DISEÑO DEL INDICADOR DEL PUNTO DECIMAL Y DEL SIGNO MENOS: Dado que el punto decimal DP1 y el signo menos "Y" siempre van a estar presentes se utiliza el circuito de la figura 3.29.

3.17.- DISEÑO DE LA FUENTE DE VOLTAJE: De acuerdo a lo indicado en el numeral

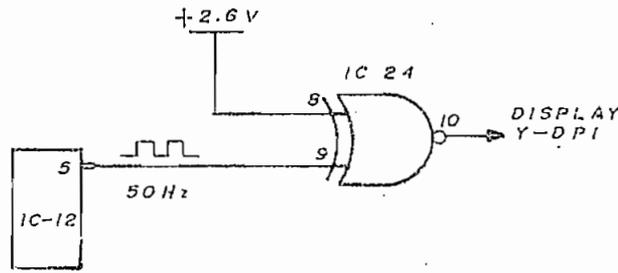


FIGURA 3.29

2.3.13 se utiliza en la fuente de voltaje dos reguladores TL430C según muestra la figura 3.30. Dado que los circuitos integrados usados son en su mayoría de la familia CMOS, que el display es un LCD y los amplificadores operacionales tienen una corriente de fuente mínima el consumo de corriente no sobrepasa a los 4 mA. Una batería de 9 V asegura el buen funcionamiento del nanoamperímetro. Dicho voltaje puede descender hasta 7 voltios sin que surjan problemas; con un voltaje menor a este valor empieza a fallar la linealidad del aparato. Se ha escogido en este diseño dos reguladores TL430C porque a su salida se obtiene una tensión de 2,7 V que es aproximadamente el voltaje de ± 2.5 V que requiere el amplificador operacional CA3130 empleado como convertidor corriente-voltaje según se puntualiza en el numeral 3.1.

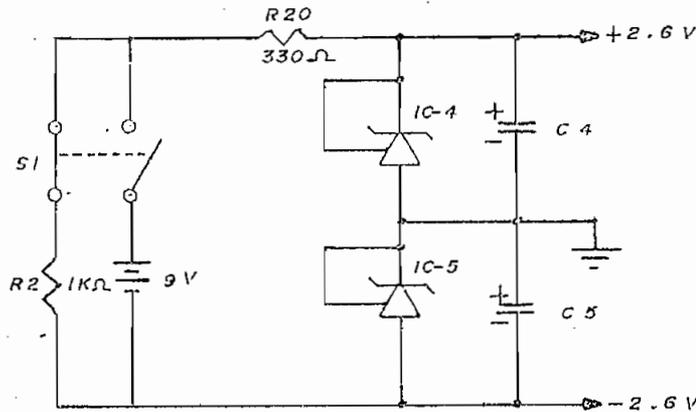


FIGURA 3.30

4.1.- CONSTRUCCION DEL NANOAMPERIMETRO DIGITAL: Para construir el nanoamperímetro digital se montaron los distintos elementos empleados en dos tarjetas de mica. La unión entre dichos elementos se la realizó utilizando la técnica WIRE WRAPPING que consiste en unir los diferentes elementos con alambre # 30. Frente a los circuitos impresos tiene la ventaja de la facilidad de su uso, reducción de espacio y facilidad de experimentación; como desventaja su poca durabilidad y resistencia a vibraciones, corrosión a más de que los alambres son muy sensibles

a inducciones parásitas, lo que da origen a serios problemas de señales indeseadas. En la construcción del aparato esta dificultad fue superada casi en su totalidad empleando filtros pasabajos según se indica en el numeral 3.2.

La localización de los distintos elementos se observa en la figura 4.1 y en la figura 4.2.

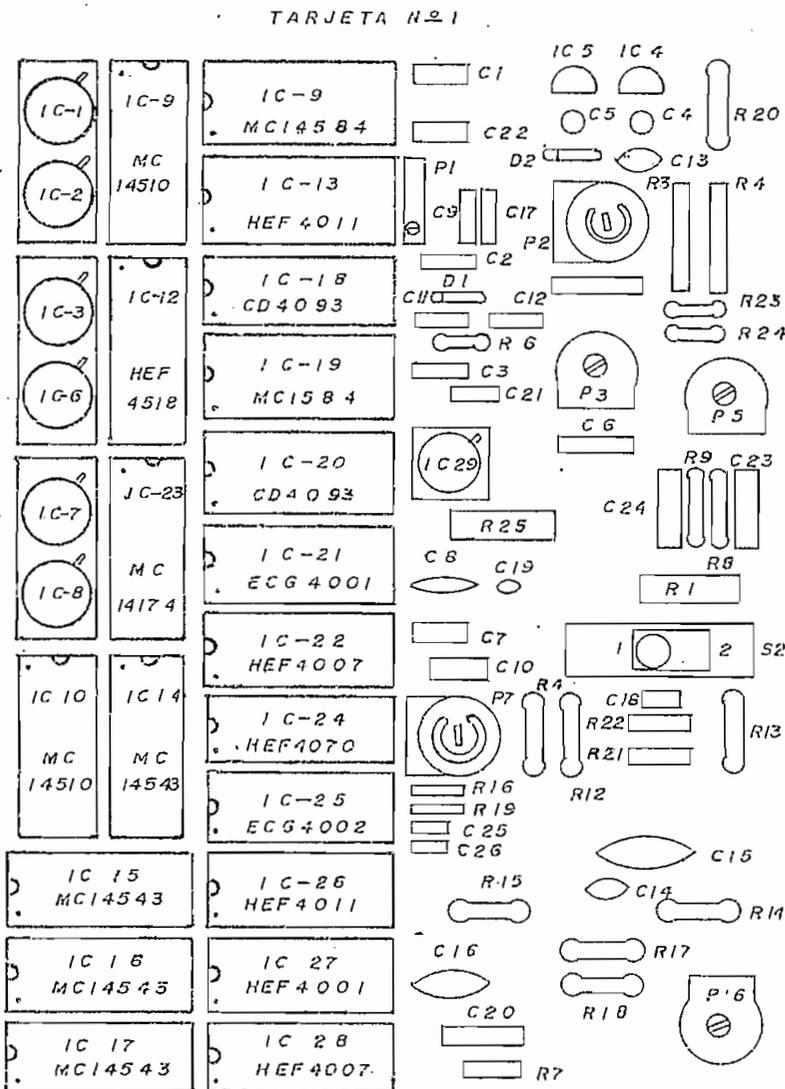


FIGURA 4.1

TARJETA N° 2

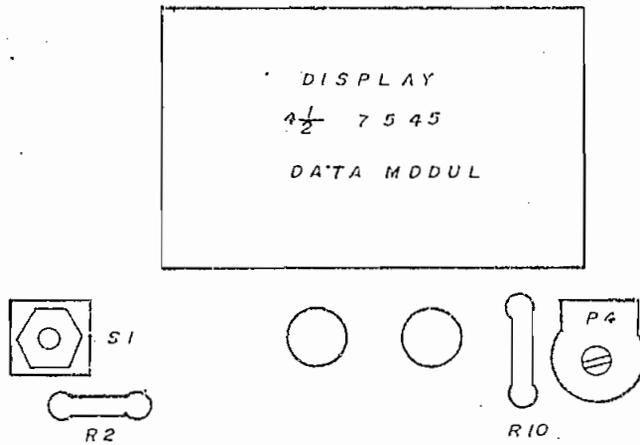


FIGURA 4.2

Las dos tarjetas están unidas físicamente formando un ángulo recto. Van localizadas dentro de una caja de metal a fin de reducir el peligro de inducciones parásitas. Para facilitar el ensamblaje se construyeron dos rieles de madera por las cuales se desliza la tarjeta N° 1 que sirve de soporte a la tarjeta N° 2. Un esquema de lo señalado se puede observar en la figura 4.3.

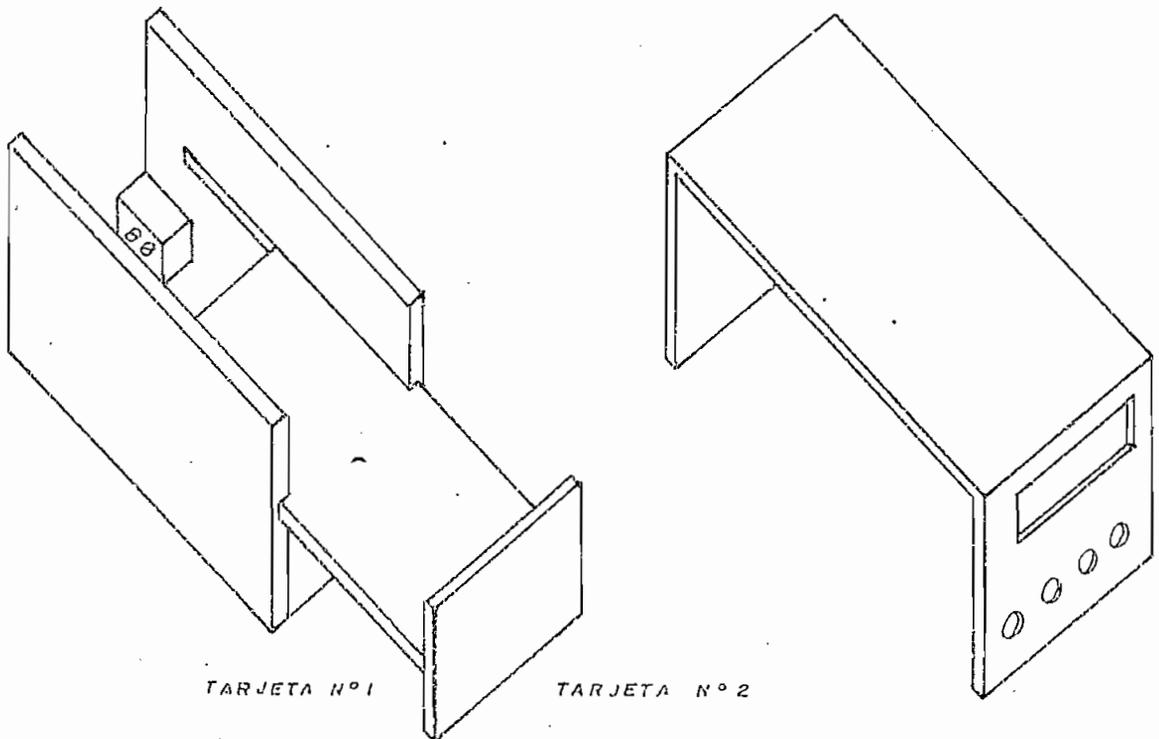


FIGURA 4-3

4.3.- LISTA DE ELEMENTOS ELECTRONICOS USADOS: Son los siguientes:

CIRCUITOS INTEGRADOS		RESISTENCIAS	CONDENSADORES		
IC-1	CA3130	R1	1M Ω .1%	C1	6.8nF
IC-2	CA3130	R2	1K Ω	C2	2.2nF
IC-3	CA3130	R3	20K Ω .1%	C3	18nF
IC-4	TL430C	R4	20K Ω .1%	C4	100uF
IC-5	TL430C	R5	20K Ω .1%	C5	100uF
IC-6	CA3130	R6	56K Ω	C6	4.7nF
IC-7	CA3130	R7	100K Ω	C7	0.1uF
IC-8	CA3130	R8	100K Ω	C8	2.2nF
IC-9	MC14584	R9	100K Ω	C9	1nF
IC-10	MC14510	R10	56K Ω	C10	68nF
IC-11	MC14510	R11	10 Ω	C11	2.2nF
IC-12	HEF4518	R12	10 Ω	C12	2.2nF
IC-13	HEF4011	R13	56K Ω	C13	24pF
IC-14	MC14543	R14	1M Ω	C14	20pF
IC-15	MC14543	R15	1M Ω	C15	1nF
IC-16	MC14543	R16	39K Ω	C16	50nF
IC-17	MC14543	R17	560K Ω	C17	4nF
IC-18	CD4093	R18	470K Ω	C18	3.3nF
IC-19	MC14584	R19	39K Ω	C19	500pF
IC-20	CD4093	R20	330 Ω	C20	1nF
IC-21	ECG4001	R21	100K Ω	C21	6.8nF
IC-22	HEF4007	R22	100K Ω	C22	6.8nF
IC-23	MC14174	R23	2.2M Ω	C23	1uF
IC-24	SCL4070	R24	2.2M Ω	C24	1uF
IC-25	ECG4002	R25	1M Ω .1%	C25	1nF
IC-26	HEF4011			C26	1nF
IC-27	HEF4001				
IC-28	HEF4007				
IC-29	CA3130				

POTENCIOMETROS

P1	10 K Ω
P2	500 K Ω
P3	10 K Ω
P4	100 K Ω
P5	1 M Ω
P6	1 M Ω
P7	500 K Ω

DISPLAY

4 1/2 7545 LCD

Los circuitos integrados son comerciales con una temperatura de trabajo de 0 $^{\circ}$ a 70 $^{\circ}$. Todas las resistencias tienen una potencia de disipación de 1/2 vatio y una tolerancia del 10% salvo que se indique lo contrario. El display es fabricado por la casa DATA MODUL de Munich, Alemania.

4.4.- CALIBRACION: Para calibrar el nanoamperímetro digital se requiere

un osciloscopio

un multímetro de 4 1/2 dígitos

Dentro de la calibración se deben seguir los siguientes pasos:

- a) Con la perilla de enceramiento situada en la parte frontal del aparato asegurarse una lectura de 0 nA.
- b) Mediante el potenciómetro P1 controlar que el convertidor corriente-voltaje de una lectura de 0 V en la pata 6 del filtro pasabajos, IC-3.
- c) Utilizando el potenciómetro P3 controlar que la resistencia R6 + P3 tenga un valor de $60 \text{ K}\Omega \pm 6\Omega$.
- d) Mediante el potenciómetro P2 regular que en el ánodo del diodo D1 se tenga un voltaje de 0 V.
- e) Usando el potenciómetro P6 cerciorarse que en la pata 9 del multiplexer, IC-22, se tiene un voltaje de $+0.5 \text{ V} \pm 0.01\%$. Es de notar que de la exactitud de esta medida depende la precisión del aparato.
- f) Poner el conmutador S2 en su posición 2 con lo cual en lugar del condensador C7 del integrador se ha colocado una resistencia de 1 M Ω , R25. Usando el potenciómetro P5 constatar que en la pata 6 del integrador, IC-6, se tiene un voltaje de $-1 \text{ V} \pm 0.01\%$. Al poner el conmutador en su posición 2, el voltaje de control del multiplexer IC-22 se pone a 0 V, con lo cual la salida A se conectará a la entrada B, al voltaje de 0.5 V, como puede verse en la figura 3.15.
- g) La calibración del detector del signo se la realiza con el potenciómetro P7, de tal forma que a la salida del circuito integrado IC-8, en la pata 6, se tenga un nivel alto de voltaje. La calibración se la debe empezar con un nivel bajo de voltaje en esa salida y lentamente ir girando el potenciómetro P7. Apenas se produzca el salto del nivel bajo al nivel alto dejar al potenciómetro con el valor que haya alcanzado. Para más detalles dirigirse al numeral 3.12.

Al acabar el paso anterior en el display debe leerse una lectura de 0 nA. Caso que no sea así se deben repetir los pasos a) y f) hasta que asome dicha lectura.

C A P I T U L O V

5.1.- EXACTITUD DEL NANOAMPERIMETRO: A fin de comprobar la exactitud del aparato a continuación se efectúa la comparación entre los valores teóricos y los valores medidos:

VALOR TEORICO	VALOR MEDIDO	ERROR %
8.33	8.7	+4.8
9.95	10.6	+6.5
19.90	21.3	+7.0
29.85	31.9	+6.8
39.80	42.3	+6.2
49.75	52.7	+5.9
59.70	63.1	+5.7
69.65	73.4	+5.4
79.60	83.6	+5.0
89.55	93.8	+4.7
99.40	103.1	+4.0
198.8	203.3	+2.0
298.2	302.0	+1.0
397.6	399.6	+0.5
497.0	496.2	+0.1
596.4	591.9	-0.7
695.8	686.7	-1.3
795.2	780.0	-1.9
894.6	871.5	-2.6
994.0	963.2	-3.0

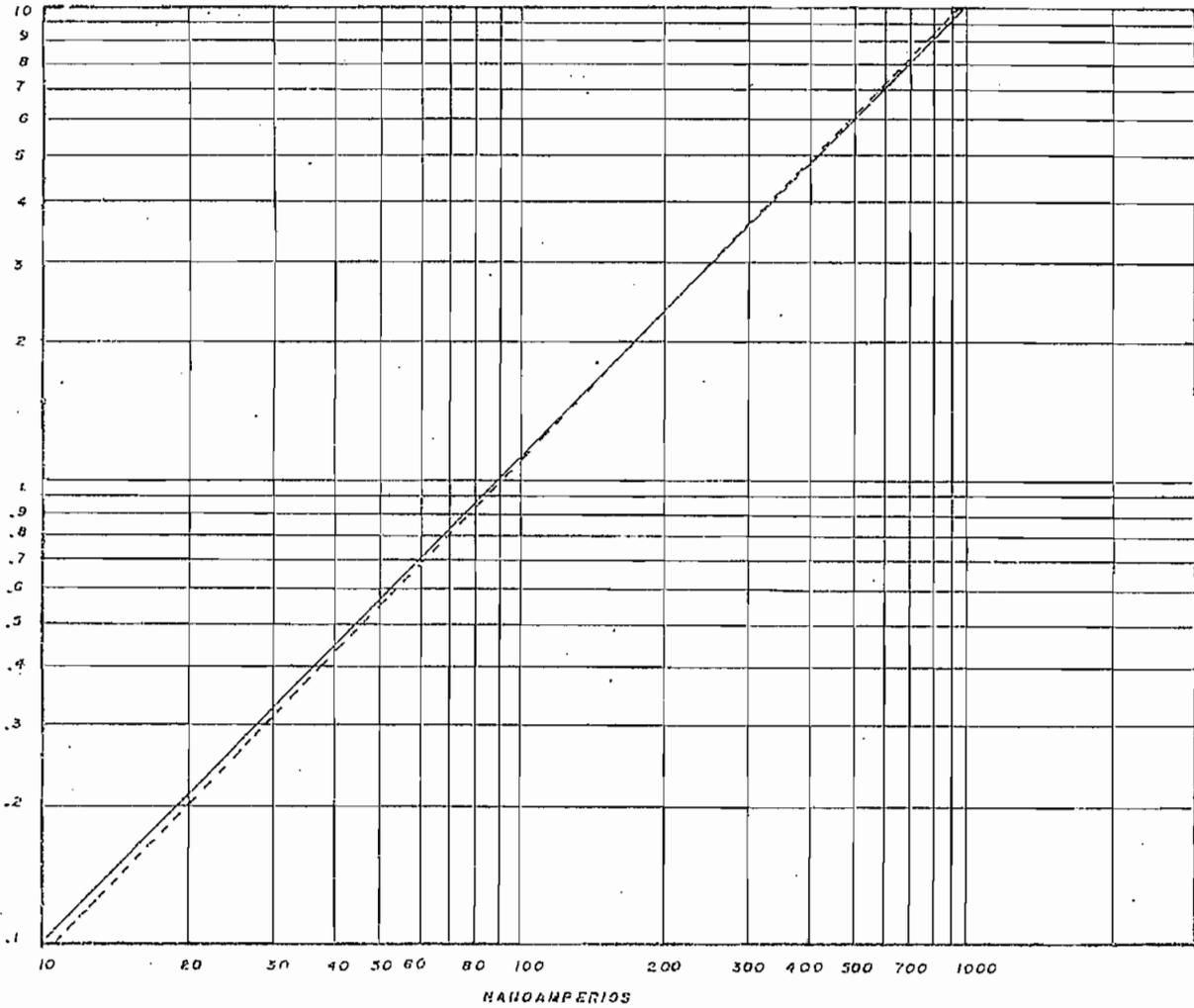
Del cuadro anterior se puede observar que existe un error demasiado grande para un medidor digital y para un sistema de conversión de doble pendiente que es de una gran exactitud por naturaleza. Tratando de minimizar las posibles fuentes de error se escogieron las resistencias críticas con una precisión del 0.1%, a pesar de lo cual el error continuaba. Esto permitió descubrir que la verdadera causa de la falta de exactitud es la técnica WIRE WRAPPING usada.

Esta técnica empleada en sistemas digitales no ocasiona mayor problema, sin embargo en sistemas analógicos, los alambres actúan como antenas que perennemente están introduciendo ruido a la señal que se quiere medir. Si se considera que en el aparato se trabajan con nanoamperios se puede notar que para corrientes mínimas el ruido es mayor que la señal y a pesar que se han colocado dos filtros

COMPARACION ENTRE LOS VALORES
TEORICOS Y PRACTICOS PARA UNA RESISTENCIA

$R=10.05 \text{ M}\Omega$

VOLTIOS



----- MEDIDO
----- TEORICO

FIGURA 5.1

pasabajos para suprimir las interferencias de los 40 KHz del oscilador y los 60 Hz del medio ambiente no se los ha eliminado por completo, sino que al contrario se presentó otro problema causado por el tiempo de respuesta de los filtros que determina que los cambios de voltaje en los conmutadores electrónicos no sean instantáneos, sino que se produzcan con una cierta constante de tiempo que es inaceptable para los cortos periodos de carga-descarga que se originan cuando la corriente es muy baja. En el numeral 1.3 se indican las reglas que se deben seguir para construir un convertidor A/D, a las cuales sólo habría que aumentar que si se va a trabajar con señales muy pequeñas es preferible usar un circuito impreso y reducir, mediante la distribución física de los elementos, las posibles fuentes de señales parásitas. Este problema de las señales parásitas también está afectando a la simetría de las lecturas.

Al calibrar el aparato se ha preferido balancear el error, de tal forma que esté dentro de un rango tolerable a lo largo de toda la escala de medición.

5.2.- APLICACIONES DEL NANOAMPERIMETRO: Como posibles aplicaciones del nanoamperímetro digital se sugieren las siguientes:

Medida de corrientes de fuga en transistores MOSFET o en circuitos integrados CMOS.

Medidas de corrientes de ínfimo valor tales como las producidas en los procesos biológicos.