

# **ESCUELA POLITECNICA NACIONAL**

**ESCUELA DE INGENIERIA ELECTRICA**

**REGISTRO A LARGO PLAZO Y TRANSMISION EN LINEA DE  
ELECTROMIOGRAMAS**

**PROYECTO PREVIO A LA OBTENCION DEL TITULO DE INGENIERO  
EN ELECTRONICA Y TELECOMUNICACIONES**

**JAIME PAUL CABRERA PLAZA**

**DIRECTOR: DR. LUIS CORRALES**

**Quito, Septiembre 2000**

## DECLARACIÓN

Yo Jaime Paul Cabrera Plaza, declaro que el trabajo aquí descrito es de mi autoría; que no ha sido previamente presentada para ningún grado o calificación profesional; y que he consultado las referencias bibliográficas que se incluyen en este documento.

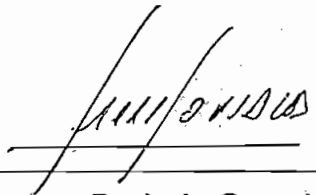
La Escuela Politécnica Nacional, puede hacer uso de los derechos correspondientes a este trabajo, según lo establecido por la Ley, Reglamento de Propiedad Intelectual y por la normatividad institucional vigente.



**Jaime Paul Cabrera Plaza**

## CERTIFICACIÓN

Certifico que el presente trabajo fue desarrollado por Jaime Paul Cabrera Plaza, bajo mi supervisión.



---

**Dr. Luis Corrales**

**DIRECTOR DE PROYECTO**

## **AGRADECIMIENTOS**

En primer lugar agradezco a mis padres y mi familia por todo el esfuerzo y cariño que me han brindado en todo momento.

Al Dr. Luis Corrales por su acertada dirección y colaboración en la rápida realización de este trabajo.

A las siguientes personas: Ing. Dipl. (FH) Phuc Nguyen, Ing. Dipl. (FH) Stefan Thiem e Ing. Dipl. (FH) Karl Walla por su colaboración en todo momento en el laboratorio de Técnica de aparatos médicos de la Fachhochschule Mannheim.

Un agradecimiento especial a Sandra Domahovsky, por su colaboración en la realización del software de esta tesis.

Y a todas las personas que han hecho posible la realización de esta tesis.

## DEDICATORIA

A Jaime y Carmen, mis padres y amigos.

## CONTENIDO

# INDICE

**RESUMEN**

**PRESENTACION**

<b>CAPITULO 1.</b>	<b>1</b>
<b>GENERALIDADES</b>	<b>1</b>
<b>1.1 INTRODUCCION</b>	<b>1</b>
<b>1. 2 JUSTIFICACION</b>	<b>3</b>
<b>1. 3 CAMPO DE APLICACION</b>	<b>4</b>
<b>1.4 DESCRIPCION DEL EQUIPO PRECEDENTE</b>	<b>5</b>
1.4.1 ESPECIFICACIONES DE LA TARJETA PRECEDENTE	7
<b>1.5 OBJETIVOS DE LA TESIS</b>	<b>8</b>
1.5.1 ALCANCES DE LA TESIS	8
<b>1.6 EL ELECTROMIOGRAMA.</b>	<b>9</b>
<b>CAPITULO 2</b>	<b>12</b>
<b>DISEÑO Y CONSTRUCCION DEL HARDWARE</b>	<b>12</b>
<b>2.1 ACONDICIONADOR ANALOGICO DE LA SEÑAL</b>	<b>14</b>
2.1.1 REDUCCION Y FILTRADO DE LA SEÑAL	15
<b>2.2 AJUSTE DE GANANCIA Y NIVEL DE OFFSET PARA CADA CANAL</b>	<b>18</b>
2.2.1 ELEMENTOS UTILIZADOS	19
2.2.1.1 El Amplificador Operacional AD822	19
2.2.1.2 El Amplificador Operacional AD824	21
2.2.1.3 El Potenciómetro Digital AD8403	22
2.2.1.4 El Conversor Digital/Analógico LTC1660	23

2.2.2 CALCULOS	24
<b>2.3 MULTIPLEXACIÓN Y CONVERSIÓN A/D</b>	<b>32</b>
2.3.1 ALTERNATIVAS	33
2.3.1.1 Primera alternativa	33
2.3.1.2 Segunda alternativa	34
2.3.2 DESCRIPCION GENERAL DEL PIC 16F87X	36
2.3.2.1 Breve descripción de la arquitectura	36
2.3.2.2 Características de periféricos para el PIC 16F877 / 16F876	37
2.3.2.3 Recursos del microcontrolador PIC 16F876 a utilizar por esta etapa	38
2.3.2.3.1 Timer1.	38
2.3.2.3.2 Interface para comunicación serial asincrónica	39
2.3.2.3.3 Puerto A, Puerto B Y Puerto C	39
2.3.3 ELEMENTOS UTILIZADOS	40
2.3.3.1 El Multiplexor Analógico MAX396	40
2.3.3.2 El Conversor Analógico / Digital ADS7832	41
<b>2.4 ESCRITURA DE DATOS EN LA MEMORIA FIFO</b>	<b>43</b>
2.4.1 ELEMETOS UTILIZADOS	44
2.4.1.1 El Decodificador IDT74LV157	44
2.4.1.2 La memoria FIFO IDT72V05	45
<b>2.5 ETAPA DE LECTURA DE DATOS Y TRANSMISION HACIA EL COMPUTADOR Y/O MEMORIA EXTERNA.</b>	<b>50</b>
2.5.1 RECURSOS DEL MICROCONTROLADOR PIC 16F877 A UTILIZAR POR ESTA ETAPA	52
2.5.1.1 Puerto serial sincrónico	52
2.5.1.2 Interface para comunicación serial asincrónica	53
2.5.1.3 Puerto A, Puerto B, Puerto C, Puerto D Y Puerto E	53
2.5.2 LA TRANSMISION SERIAL ASINCRONICA	54
2.5.3 ELEMENTOS UTILIZADOS	55
2.5.3.1 El circuito para interface RS 232 LT1342.	55
2.5.4 LA MEMORIA SMART MEDIA CARD TH58V128DC	56
2.5.4.1 Descripción	56



2.5.4.2 Características:	57
2.5.4.3 Función de los Pines:	58
2.5.4.4 Asignación de direcciones	60
2.5.4.5 Descripción del funcionamiento de la memoria	61
2.5.4.6 Modos de operación	62
2.5.4.7 Consideraciones	65
<b>2.6 CONTROL DE LA ETAPA DE AJUSTE DE GANANCIA Y NIVEL DE OFFSET</b>	<b>68</b>
2.6.1 CONFIGURACION DE LOS POTENCIOMETROS DIGITALES.	69
2.6.2 CONFIGURACION DE LOS CONVERTORES DIGITAL / ANALOGICOS.	70
<b>2.7 FUENTE DE POLARIZACIÓN.</b>	<b>73</b>
2.7.1 ELEMENTOS UTILIZADOS	74
2.7.1.1 El convertor DC-DC BB722	74
2.7.1.2 El regulador LT1761	76
<b>2.8 ESQUEMATICOS DEL CIRCUITO COMPLETO</b>	<b>78</b>
<b>CAPITULO 3</b>	<b>85</b>
<b>REALIZACION DEL SOFTWARE</b>	<b>85</b>
<b>3.1. DESCRIPCION DEL SOFTWARE PRECEDENTE</b>	<b>85</b>
3.1.1 SUBMODULO DE COMUNICACION SERIAL	86
3.1.2 SUBMODULO DE CONVERSION A-D Y ESCRITURA DE DATOS EN LA MEMORIA FIFO	89
3.1.3 TRANSFERENCIA DE LOS DATOS HACIA EL COMPUTADOR.	90
<b>3.2 MODULOS A IMPLEMENTAR.</b>	<b>91</b>
3.2.1 MEJORAS EN EL SUBMODULO DE CONTROL DE LA CONVERSIÓN A/D.	91
3.2.2 NUEVOS SUBMODULOS.	95
<b>3.3 El Submodulo SPIIC.C</b>	<b>97</b>

<b>3.4 El submódulo SAPIC.C</b>	<b>101</b>
3.4.1 CONTROL DE LA GANANCIA DE LOS AMPLIFICADORES.	101
3.4.2 CONTROL DEL VOLTAJE DE OFFSET DE LOS CONVERTORES DIGITAL-ANALOGICOS.	104
3.4.2.1 La función SA_SETGAIN.	107
3.4.2.2 La función SA_SETOFFSET.	110
<b>3.5 EL SUBMODULO MEMORY.C</b>	<b>112</b>
3.5.1 FUNCIONES BASICAS.	114
3.5.2 FUNCIONES PRINCIPALES	117
3.5.2.1 Función Initialize().	119
3.5.2.2 Función ActiveMemory().	120
3.5.2.3 Función EraseAll()	122
3.5.2.4 Función ConfigMemory(activechannel, blocks, page).	124
3.5.2.4.1 Descripción de la configuración	128
3.5.2.5 Función SendWordsConfig().	129
3.5.2.6 Función SendConfigMemory()	131
3.5.2.7 Función ReadMemory()	131
3.5.2.8 Función WriteMemory().	133
3.5.2.9 Función Start_memory_measure()	134
3.5.2.10 Función ReadandSend(count)	136
3.5.2.11 Función WriteandSend(count)	139
3.5.2.12 Función Stopmeasure()	143
3.5.2.13 Función Sendstatuscard()	145
3.5.2.14 Función checkMemory()	147
<b>3.6 LOS SUBMODULOS STDALNTX.C y STDALNRX.C</b>	<b>150</b>
3.6.1 STDALNTX.C	150
3.6.1.1 Función Init_record() (para el PIC 16F877)	151
3.6.1.2 Función Configure()	153
3.6.1.3 Función Begin_record()	153
3.6.1.4 Función: Alarm().	156
3.6.2 STDALNRX.C	156
3.6.2.1 Función Init_record() (PIC 16F876)	157

<b>CAPITULO 4.</b>	<b>158</b>
<b>PRUEBAS Y RESULTADOS</b>	<b>158</b>
<b>4.1 EQUIPOS UTILIZADOS.</b>	<b>158</b>
<b>4.2 PRUEBAS EN EL CIRCUITO DE AJUSTE DE GANANCIA Y NIVEL DE OFFSET PARA CADA CANAL.</b>	<b>159</b>
4.2.1 MODIFICACIONES AL CIRCUITO DE AJUSTE DE GANANCIA Y NIVEL DE OFFSET	160
<b>4.3 RESULTADOS DE LAS MEDICIONES</b>	<b>163</b>
4.3.1 Mediciones del valor de voltaje en las fuentes de polarización.	163
4.3.2 Mediciones de valor de voltaje máximo y mínimo a la salida de la etapa de ajuste de ganancia y control de nivel de offset.	164
4.3.3 Mediciones de frecuencia en el filtro pasabajos.	164
4.3.4 Mediciones de ajustes de ganancia para cada canal.	165
4.3.4.1 Mediciones con varias ganancias	166
4.3.4.2 Mediciones con ganancia fija igual a 1	169
4.3.5 Mediciones de corriente	171
4.3.5.1 Modo de trabajo Stand-Alone	171
4.3.5.2 Modo de trabajo con apoyo del computador	172
4.3.5.3 Capacidad de grabación en la memoria TH58V128DC.	173
<b>CAPITULO 5</b>	<b>175</b>
<b>CONCLUSIONES Y RECOMENDACIONES</b>	<b>175</b>
<b>5.1 CONCLUSIONES</b>	<b>175</b>
<b>5.2 RECOMENDACIONES</b>	<b>177</b>
<b>REFERENCIAS BIBLIOGRAFICAS</b>	<b>178</b>

<b>ANEXOS</b>	<b>180</b>
<b>ANEXO A. HOJAS DE DATOS DE LOS ELEMENTOS:</b>	<b>181</b>
MAX396	182
ADS7832	186
IDT74157	192
AD8403	195
LTC1660	199
<b>ANEXO B. HOJAS DE DATOS DE LA MEMORIA FIFO 72V05</b>	<b>204</b>
<b>ANEXO C. HOJAS DE DATOS DE LA MEMORIA TH58V128DC</b>	<b>213</b>

## INDICE DE FIGURAS

Figura 1.1 Representación de una contracción espasmódica.	10
Figura 2.1 Representación en bloques del hardware	13
Figura 2.2 Circuito acondicionador y de ajuste de ganancia y nivel de offset de la señal.	14
Figura 2.3 Circuito para obtención de la tierra virtual.	18
Figura 2.4 Circuito para ajuste de la ganancia y nivel de offset	20
Figura 2.5 Modo de operación del circuito AD8403	22
Figura 2.6 Modo de operación del circuito LTC1660	24
Figura 2.7 Diagrama de bloque de la etapa de multiplexación y conversión A/D	32
Figura 2.8 Modo de operación del circuito MAX396	41
Figura 2.9 Modo de operación del circuito ADS7832	42
Figura 2.10 Diagrama de bloques de la etapa de escritura de datos en la memoria FIFO	44
Figura 2.11 Modo de operación del circuito IDT74157	45
Figura 2.12 Modo de operación de la memoria FIFO IDT72V05	47
Figura 2.13 Diagrama de bloques de la etapa de lectura y transmisión de datos	51
Figura 2.14 Circuito para compartir el puerto serial asincrónico del computador por los dos microcontroladores	54 54
Figura 2.15 Modo de operación del circuito LT1342	55
Figura 2.16 Diagrama de la memoria TH58V128	58
Figura 2.17 Diagrama de bloques del control de ajuste de ganancia y nivel de offset	69
Figura 2.18 Configuración en serie de los potenciómetros digitales	70
Figura 2.19 Configuración en serie de los Conversores D/A.	71
Figura 2.20 Circuito para la obtención de los voltajes de polarización.	74
Figura 2.21 Modo de operación del circuito BB722	75
Figura 2.22 Modo de operación del circuito LT1761	77
Figura 3.1 Diagrama de bloques a implementar	97
Figura 3.2 Configuración de los potenciómetros digitales, conversores D/A y el puerto SPI del PIC 16F877	99
Figura 3.3 Descripción de las figuras utilizadas en los flujogramas	108
Figura 3.4 Diagrama de flujo de la función SetGain().	109
Figura 3.5 Diagrama de flujo de la función SetOffset	111
Figura 3.6 Diagrama de tiempo de escritura de código en la memoria SMC	113

Figura 3.7 Diagrama de tiempo de escritura de dirección en la memoria SMC	113
Figura 3.8 Diagrama de tiempo de escritura o lectura de datos en la memoria SMC	114
Figura 3.9 Diagrama de flujo de la función Active_memory	121
Figura 3.10 Diagrama de flujo de la función Erase_all.	123
Figura 3.11 Diagrama de flujo de la función Config_memory.	127
Figura 3.12 Diagrama de flujo de la función sendwordsconfig.	130
Figura 3.13 Diagrama de flujo de la función Sendconfigmemory.	131
Figura 3.14 Diagrama de flujo de la función ReadMemory.	132
Figura 3.15 Diagrama de flujo de la función WriteMemory.	133
Figura 3.16 Diagrama de flujo de la función Start_memory_measure.	135
Figura 3.17 Diagrama de flujo de la función readandsend.	138
Figura 3.18 Diagrama de flujo de la función writeandsend	142
Figura 3.19 Diagrama de flujo de la función stopmeasure.	144
Figura 3.20 Diagrama de flujo de la función Sendstatuscard()	146
Figura 3.21 Diagrama de flujo de la función checkMemory.	149
Figura 3.22 Diagrama de flujo de la función Init_record para el PIC 16F877.	152
Figura 3.23 Diagrama de flujo de la función Begin_record()	155
Figura 4.1 Circuito final utilizado para los canales 1 al 14.	162
Figura 4.2 Circuito final utilizado para los canales 15 y 16	163
Figura 4.3 Simulación en Work Bench del filtro pasabajos para los canales 1 a 14	165
Figura 4.4 Simulación en Work Bench del filtro pasabajos para los canales 15 y 16	165
Figura 4.5 Gráfico de la Ganancia real en función de $R_{POT}$	166
Figura 4.6 Voltaje de salida en función de la ganancia normalizada.	168

## INDICE DE TABLAS

Tabla 2.1 Valores teóricos de $R_{POT}$ para distintos valores de ganancia.	30
Tabla 2.2 Valores teóricos de $R_{POT}$ para valores normalizados de ganancia.	31
Tabla 2.3 Características principales del PIC 16F87X	37
Tabla 2.4 Descripción de los ciclos necesarios para una dirección completa en la memoria SMC	60
Tabla 2.5 Número total de columnas, páginas y bloques en la memoria SMC	61
Tabla 2.6 Códigos necesarios para el manejo de la memoria flash SMC	62
Tabla 2.7 Descripción de los 8 bits del estado de la memoria.	65
Tabla 2.8 Valor de Resistencia $R_1$ para mínima disipación de energía.	76
Tabla 3.1 Funciones existentes en el módulo de transferencia de datos hacia el computador	90
Tabla 3.2 Utilización de los diferentes puertos en el PIC 16F877	96
Tabla 3.3 Descripción del registro SSPSTAT	98
Tabla 3.4 Descripción del registro SSPCON	98
Tabla 3.5 Funciones automáticas del submódulo SPIPIC.C	100
Tabla 3.6 Valores de resistencia de los potenciómetros digitales de acuerdo al índice enviado por el computador	102
Tabla 3.7 Direccionamiento de los potenciómetros en un circuito AD8403	103
Tabla 3.8 Direccionamiento de los convertidores en un circuito LTC1660	105
Tabla 3.9 Funciones implementadas en el módulo SAPIC.C	106
Tabla 3.10 Funciones del módulo MEMORY.C que pueden ser pedidas directamente por el computador	119
Tabla 3.11 Funciones del módulo MEMORY.C implementadas automáticamente por el microcontrolador	119
Tabla 3.12 Distribución de la información en la memoria SMC	125
Tabla 3.13 Disposición de los datos y banderas luego de una configuración correcta	128
Tabla 3.14 Representación de la información de configuración para un canal.	129
Tabla 3.15 Funciones utilizadas para el modo de trabajo sin el computador por el PIC 16F877	150

Tabla 3.16 Función utilizada para el modo de trabajo sin el apoyo del computador por el PIC 16F876	156
Tabla 4.1 Voltajes de polarización medidos en el circuito.	163
Tabla 4.2 Voltajes máximo y mínimo a la salida de la etapa	164
Tabla 4.3 Mediciones y error de la frecuencia de corte en el filtro pasabajos.	164
Tabla 4.4 Voltajes esperados a la salida de cada uno de los canales.	167
Tabla 4.5 Voltajes medidos a la salida de cada uno de los canales.	168
Tabla 4.6 Errores máximos presentados en las salidas de todos los canales con respecto a los valores teóricos esperados.	169
Tabla 4.7 Voltaje de salida para la máxima señal de entrada	170
Tabla 4.8 Corriente de consumo de la tarjeta en las peores condiciones.	171
Tabla 4.9 Mediciones de corriente para distintos canales activos y distintas frecuencias de muestreo.	172
Tabla 4.10 Mediciones de corriente para cuatro canales activos y distintas ganancias.	173



## RESUMEN

El presente trabajo es parte de un proyecto global llamado REGISTRO A LARGO PLAZO Y TRANSMISION EN LINEA DE ELECTROMIOGRAMAS, que tiene como fin, captar señales musculares del cuerpo humano, procesarlas y transmitir las hacia un computador y/o hacia un sistema de memoria externa de almacenamiento, este proyecto consta de tres etapas.

La primera etapa o etapa de preamplificación, entrega a la tarjeta, la cual es tema de esta tesis, una señal dentro de un rango dinámico predeterminado y la tercera etapa se encarga del software de adquisición de datos y su presentación en el computador.

Esta tesis en particular se encarga de la segunda etapa, que consiste en proporcionar a cada una de las diferentes señales bioeléctricas preamplificadas, un ajuste de ganancia y nivel de offset y por último se ocupa también de la adquisición y transmisión de datos hacia un computador y/o hacia un sistema de memoria externa de almacenamiento.

El presente trabajo tuvo como objetivo realizar una tarjeta que pueda cumplir con las funciones mencionadas pero que sea de bajo consumo de energía, portátil y compatible con hardware anterior. Para esto se uso como punto de partida el trabajo previo realizado por el Ing. Dipl. (FH) Carsten Weber y el Ing. Dipl. (FH) Phuk Nguyen en la Fachhochschule Mannheim.

## PRESENTACION

Enmarcados en el proceso de desarrollo y avance hacia la creación de nuevas herramientas para la investigación, se realiza esta tesis en colaboración con la FH Mannheim, universidad que al igual que la Escuela Politécnica Nacional pertenecen a la Red ALFA de universidades.

El presente trabajo llamado REGISTRO A LARGO PLAZO Y TRANSMISION EN LINEA DE ELECTROMIOGRAMAS, describe el procedimiento seguido para satisfacer en la mejor forma posible las mejoras solicitadas por el Laboratorio de Técnica de Aparatos Médicos de la FH Mannheim a la tarjeta realizada por el Ing. Dipl. (FH) Phuk Nguyen y el Ing. Dipl. (FH) Carsten Weber, explicada en el primer capítulo.

El segundo capítulo detalla el hardware realizado y el hardware ya existente utilizado para esta tarea. El tercero, presenta el software de soporte implementado para el funcionamiento de la nueva tarjeta en conjunto con el computador. El cuarto capítulo presenta los resultados obtenidos con la nueva tarjeta ya en funcionamiento y el quinto describe conclusiones y recomendaciones.

Finalmente, se presenta en los Anexos parte de la información recopilada para la realización de este trabajo, información que se la ha catalogado de mayor importancia y que tiene que ver con las especificaciones de elementos necesarios para llevar a cabo esta tarea.

# CAPITULO 1

## GENERALIDADES

### 1.1 INTRODUCCION

Desde fines del siglo 18, cuando los experimentos con animales de laboratorio comprobaron que los músculos respondían a impulsos eléctricos, la importancia de la electrónica en el campo de la medicina se hizo cada vez más evidente<sup>[1]</sup>.

Luego de posteriores invenciones y descubrimientos surgió la representación gráfica de señales musculares y con ello la introducción en la práctica médica de lo que se conoce hoy como Electromiograma<sup>[1]</sup>.

Hoy en día, la electrónica juega un factor decisivo en el diagnóstico y tratamiento de pacientes, por lo que se hace necesario enfrentar el reto de desarrollar equipos cada vez más confiables y precisos. Es necesario entonces entrar en el campo del diseño, construcción y prueba de equipos aplicables a la medicina recurriendo a nuevos conceptos y tecnologías, con el objeto de encontrar nuevas y mejores soluciones a los problemas que plantean las necesidades del personal médico.

Esta tesis, realizada en la Fachhochschule Mannheim – Hochschule für Technik und Gestaltung (Universidad Técnica de Mannheim – Universidad para la Técnica y la Investigación) se enmarca dentro de este esfuerzo y tiene como objetivo la captura y transmisión de datos de electromiogramas; esto es, datos que sirven para la representación gráfica de las señales corporales producidas por los

músculos del cuerpo. Electrodo especialmente diseñado para el efecto, se encargará de la detección de tales señales corporales.

Es necesario advertir y aclarar que esta tesis es parte de un proyecto global que tiene como objetivo la representación de las señales musculares en un computador y/o el almacenamiento de estos datos en una memoria externa. El proyecto global ha sido dividido en tres partes principales que son:

1. Estudio de los electrodos apropiados para captar señales musculares. Diseño y construcción del hardware necesario para su adaptación; tales como filtros y preamplificadores que se encarguen de acondicionar a la señal.
2. Diseño y construcción de una etapa de ajuste de ganancia y de nivel de offset para cada canal. Una etapa de adquisición y transmisión de datos hacia el computador o hacia un sistema de memoria externa de almacenamiento.
3. Desarrollo del software de adquisición y presentación de datos para el computador.

Las partes 1 y 3 son realizadas también en el Laboratorio de Técnica de aparatos médicos de la FH Mannheim por otros investigadores y son el complemento necesario para la parte 2, la cual abarca la presente tesis.

En más detalle, esta tesis tiene como objetivo global diseñar y construir un aparato que sirva para transmitir los datos tomados desde 16 sensores conectados a un ser humano de los cuales se reciben señales dentro de un rango dinámico predeterminado y luego de procesarlas, transmitir las hacia un computador o hacia un sistema de memoria de almacenamiento. Se ha usado como punto de partida un trabajo previo en el que se desarrolló software para un PC, un software para un Microcontrolador y una tarjeta base a la cual se le debieron hacer las modificaciones y mejoras necesarias.

Una de las mejoras, propuestas como uno de los objetivos particulares, es construir una tarjeta que sea de bajo consumo de energía, de manera que pueda funcionar con baterías. Esta nueva tarjeta debe ser capaz de realizar las mismas tareas que su versión precedente; esto es, la captura de electromiogramas y además ser capaz de realizar actividades adicionales las cuales serán descritas mas adelante en los alcances de esta tesis.

Aunque ya se ha mencionado anteriormente es menester indicar que esta tesis se desarrolló en la Fachhochschule Mannheim, gracias a la colaboración existente entre las instituciones que conforman la Red ALFA de Universidades, a la cual también pertenece la Escuela Politécnica Nacional

## **1. 2 JUSTIFICACION**

Este trabajo es de mucha importancia práctica y justifica su realización pues conlleva aspectos muy importantes:

Primeramente parte de problemas resueltos, los cuales tienen que mejorarse mediante la utilización de nuevas técnicas y tecnologías. Este hecho brinda la oportunidad de tener contacto con elementos de alta tecnología, de los cuales, en el mejor de los casos, solo se tiene un conocimiento referencial y, por lo mismo, es difícil concebir una aplicación concreta para los mismos.

La realización de este proyecto, introduce en la aplicación clínica la utilización de sistemas portátiles para control de pacientes, los cuales, al utilizar estos nuevos equipos, ya no tienen que trasladarse hacia la clínica para un tratamiento largo y muchas veces dificultoso.

Esta tesis, busca además, poner a disposición de médicos e investigadores de esta área, herramientas de mejor desempeño y confiabilidad, participando así en el proceso de desarrollo de la medicina y la electrónica

Cabe manifestar que debido al alto costo de los elementos utilizados, la realización de este trabajo hubiese sido muy complicada, sino imposible en nuestro país, debido a las condiciones económicas en las que se encuentra y debido a la falta de inversión en investigación. Consciente de lo expuesto, la FH Mannheim no escatimó gastos para lograr que este sistema entre en funcionamiento lo más pronto posible.

Considerando el prestigio de estos centros académicos y de investigación y el hecho que se intenta mejorar un diseño, lo cual requiere de investigación a un buen nivel, se justifica que este trabajo sea aceptado como una tesis con nivel de ingeniería.

### **1. 3 CAMPO DE APLICACION**

Este nuevo sistema será utilizado en el tratamiento de pacientes que han tenido lesiones en los huesos y que su proceso de curación implica un tiempo largo de observación y, consecuentemente, visitas continuas por parte del paciente a la Clínica para su control.

De acuerdo a la opinión de los médicos que sugirieron la creación de este aparato, mediante la simple observación de una radiografía no es posible dar un dictamen seguro del avance en el proceso de curación del paciente, sino mediante el estudio de las señales musculares que se originan en las actividades que realiza normalmente el paciente. Como resultado final se espera que este nuevo aparato sea capaz de registrar las señales a estudiar *in situ* disminuyendo el número de visitas del paciente a la clínica. Una opción posterior sería la

adaptación de los datos grabados a archivos estándar de manera que puedan transmitirse directamente hacia la clínica, disminuyendo al máximo la necesidad de que el paciente tenga que movilizarse hacia la misma.

Siguiendo el criterio anterior, eventualmente se visualizó que este nuevo aparato podría servir igual no solamente para el análisis de Electromiogramas, sino también de Electrocardiogramas capturados, igual que en el otro caso, mientras el paciente realiza sus actividades normales. Esta es la razón principal para que se busque un equipo de bajo consumo de energía y además, tenga el tamaño ideal para que sea portátil. El tiempo de uso continuo sería determinado mediante las pruebas que se realicen al final de la construcción del aparato.

#### **1.4 DESCRIPCION DEL EQUIPO PRECEDENTE**

El trabajo precedente<sup>A</sup>, en su totalidad, es conocido como el ExGSYS, que significa, ELECTRO X-GRAM SYSTEM, la X representa los diferentes tipos de señales que se pueden presentar, es decir Electromiogramas, Electrocardiogramas, etc.

Este aparato tiene la finalidad de captar tales señales analógicas y procesarlas de manera analógica y digital, con el fin de enviarlas hacia un computador por medio del protocolo de transmisión serial RS232.

El sistema consiste básicamente en lo siguiente<sup>[4]</sup>:

- Una fuente, que opera desde la red 220V AC y proporciona +15V, -15V y +5V DC, con la corriente necesaria para todo el equipo.

---

<sup>A</sup> Este trabajo previo fue realizado por el Ing. Dipl. (FH) Jörg Bullinger bajo la dirección y colaboración del director del laboratorio, Ing. Dipl. (FH) Phuk Nguyen, el cual se encuentra en uso en el Laboratorio de Técnica de aparatos médicos de la FH Mannheim.

- Un sistema central MCU (Memory Central Unit), el cual se encarga de controlar la conversión A/D de las señales provenientes de tarjetas secundarias, y además de realizar la comunicación Serial con el computador.
- Las señales procedentes de estas tarjetas secundarias llegan hasta la tarjeta principal MCU mediante un bus de 36 líneas, en donde se definen las líneas que serán utilizadas para polarización y entrada de las distintas señales hacia la tarjeta MCU
- Cada tarjeta tiene un número limitado de entradas; es decir, cada tarjeta puede trabajar solamente con un número limitado de sensores, en el mejor de los casos con cuatro.
- Este equipo trabaja necesariamente con un PC en su cercanía; es decir, no puede trabajar solo pues no tiene la capacidad de almacenar datos.

De lo descrito anteriormente se puede ver que se trata de un aparato demasiado grande y que consume demasiada energía como para poder trabajar a baterías. Se ve también que es un aparato para trabajar con el paciente en un lugar fijo y que no le permite moverse, a parte de los movimientos necesarios para el análisis.

El planteamiento de un problema de ingeniería lleva consigo la posibilidad de varios caminos para su solución. En el caso de esta tesis, debido a que obligadamente se parte de un sistema previamente diseñado y el cual ha sido ya probado en la FH Mannheim, estos caminos se reducen notablemente. Por ejemplo, una de las condiciones que se debe cumplir en el presente trabajo es que la tarjeta a diseñarse debe ser capaz de funcionar con hardware y software ya existentes. Adicionalmente, se ha probado que la idea primaria funciona adecuadamente, por lo que no es la intención de esta tesis el plantear un nuevo diseño sino el de mejorarlo en una parte específica. Esto permite deducir que existen factores que limitan la iniciativa y búsqueda de otras alternativas.



### 1.4.1 ESPECIFICACIONES DE LA TARJETA PRECEDENTE

Para poder explicar los caminos posibles de solución, es necesario hacer una breve descripción de las funciones que la tarjeta precedente puede realizar así como sus especificaciones<sup>[3]</sup>.

- Capacidad para controlar 4 señales.
- Procesamiento de señales cuyo valor de voltaje oscila entre +15 V y –15 V.
- No tiene ningún procesamiento analógico de la señal en la misma tarjeta; éstos se realizan totalmente antes de la misma.
- Utiliza dos PICs que realizan su comunicación entre ellos mediante la opción SPI (Serial Peripheral Interface).
- Conversión Analógica/Digital con una resolución de 12 bits mediante un conversor analógico que trabaja con voltajes entre +15 V y –15 V
- No tiene ninguna opción de almacenamiento de datos en la misma tarjeta o en el equipo en su conjunto.
- Utiliza una memoria FIFO para poder realizar el proceso de adquisición de datos y simultáneamente la transmisión de estos hacia el computador.
- No puede funcionar sola; es decir, necesita de una tarjeta de control (tarjeta MCU), y además necesita de un computador para poder funcionar.
- La comunicación con el computador se realiza mediante el puerto serial usando el protocolo RS-232.

Una vez conocidas las características del trabajo previo, es posible puntualizar los objetivos propuestos para el desarrollo de este trabajo y de esta forma tener ideas claras de cuales pueden ser los caminos a seguir.

## 1.5 OBJETIVOS DE LA TESIS

Los objetivos que debe cumplir la nueva tarjeta pueden resumirse en lo siguiente:

- Diseñar y construir una tarjeta portátil que sea capaz de procesar hasta 16 señales analógicas de las cuales se tiene como referencia su valor máximo de voltaje y que sea compatible con el hardware ya existente.
- Realizar un software de soporte para un microcontrolador que permita transmitir estas señales hacia un computador y/o a su propia memoria de almacenamiento y que sea compatible con el software del computador ya existente.

### 1.5.1 ALCANCES DE LA TESIS

- Construir y diseñar una tarjeta que sea capaz de procesar 16 señales analógicas, que deberá poder transmitir las hacia un computador o hacia una memoria de almacenamiento. El principal alcance de esta tesis es lograr que cuatro canales trabajen simultáneamente a una frecuencia de 256 Hz. Para el caso de las 16 señales se buscará la frecuencia más adecuada.
- La tarjeta debe ser portátil; es decir, que sea capaz de funcionar a baterías y que además tenga un tamaño adecuado.
- Desarrollar el software de soporte de manera que sea compatible con el protocolo usado por el computador.
- Todos los circuitos para el trabajo analógico y digital deben ser capaces de funcionar con un voltaje de +3.3 V, la única excepción es el integrado para la interfaz serial con el computador, pues este debe poder trabajar con +5 V y niveles lógicos de +3 V.

- El voltaje máximo de las señales a procesar puede oscilar entre +5 V y -5 V.
- Cada una de las 16 señales deberá pasar primeramente por un filtro y luego, independientemente, tendrá un ajuste de ganancia y nivel de offset, lo cual podrá ser controlada por el usuario por medio del computador.
- Debe poder trabajar en modo Stand-Alone; es decir, sin el apoyo de un computador.
- En el modo Stand-Alone debe implementarse una forma de almacenamiento de datos, los cuales puedan ser transmitidos hacia el computador el momento en que se requiera.
- La resolución de la conversión Analógica/Digital tiene que continuar como antes; es decir, debe ser de 12 bits.
- Se debe asegurar al paciente de manera que cualquier sobrevoltaje producido en la fuente de poder no sea de consecuencias lamentables para éste.
- Los circuitos empleados para la amplificación y filtrado de la señal original; es decir, la señal proveniente de los electrodos, no son tema de esta tesis. Se asume simplemente que la señal ya ha sido previamente procesada; es decir, que ya ha tenido una preamplificación y que su rango dinámico está entre +5V y -5V.
- El software necesario para el computador no es parte de esta tesis pues esta tarea es realizada por otros colegas del laboratorio.

## **1.6 EL ELECTROMIOGRAMA.**

Debido a que el tema de esta tesis no es el estudio a fondo de un electromiograma ni cuales son las mejores opciones para su análisis, se presenta a continuación una descripción superficial de cuales son sus características principales.

Un Electromiograma o EMG “se refiere al registro de los cambios de voltaje asociados a la actividad eléctrica de grupos de fibras musculares durante la contracción de un músculo”<sup>[2]</sup>.

Existen diferentes tipos de contracciones, dependiendo de la frecuencia de la estimulación, a saber:

**Contracción Espasmódica:** Este tipo de contracción es rápido y responde a la aplicación de un estímulo único. Representaciones gráficas de contracciones musculares llevan el nombre de miograma <sup>[2]</sup>. En la Figura 1.1 que se presenta a continuación se señalan los distintos estados por los que pasa la contracción. Inmediatamente después del estímulo nervioso se tiene el estado latente, luego la contracción propiamente dicha y luego un periodo de relajación.

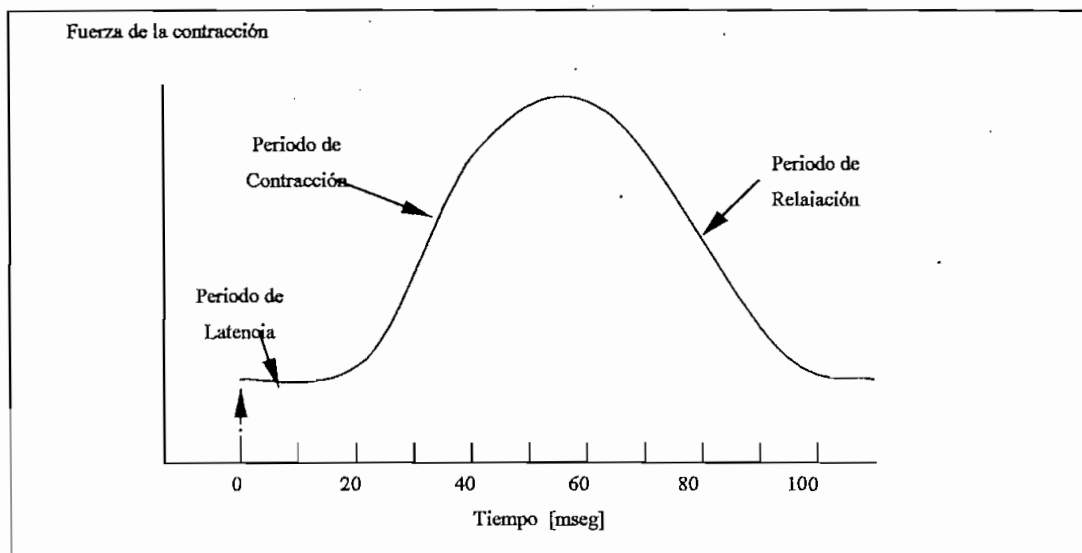


Figura 1.1 Representación de una contracción espasmódica.

**Contracción Treppe:** Esta es una condición en la cual el músculo del esqueleto se contrae más enérgicamente luego de que ha sido anteriormente estimulado varias veces.

**Contracción Tetánica:** Esta es una condición en la cual el músculo responde a dos estímulos siempre y cuando el segundo estímulo sea más fuerte que el primero y llegue cuando el músculo ya esté en el periodo de relajación.

**Contracción de Tono Muscular:** Son contracciones de músculos que no producen movimiento pero que son esenciales para mantener la postura. Estas contracciones se pueden mantener por largos periodos de tiempo.

La frecuencia de estas contracciones varía de acuerdo a la función de los músculos que se contraen. Los músculos tienen diferentes características de acuerdo a la función que desempeñan de acuerdo a si son los músculos que controlan el movimiento de los ojos por ejemplo o si son los músculos que controlan el movimiento de un pie.

Para el presente trabajo son de interés las contracciones musculares que producen señales que tienen frecuencias entre 0.5 y 20 Hz; como por ejemplo las contracciones del músculo cardíaco y las contracciones de los músculos necesarios para mover las piernas y brazos. Así por ejemplo, la duración de la contracción de los músculos que controlan el movimiento de un pie es de 300 mseg <sup>[2]</sup>.

En el siguiente capítulo se procede al diseño y construcción del hardware que cumplirá con las condiciones ya mencionadas.

## CAPITULO 2

### DISEÑO Y CONSTRUCCION DEL HARDWARE

En este capítulo se describen las características del Hardware realizado; es decir, los circuitos implementados para poder cumplir con los objetivos y alcances planteados en el primer capítulo.

El Hardware consta de los siguientes bloques:

1. Acondicionador analógico de la señal.
2. Ajuste de ganancia y nivel de offset para cada canal.
3. Multiplexación y Conversión A/D.
4. Escritura de datos en la memoria FIFO.
5. Lectura de datos de la memoria FIFO y transmisión de datos hacia la memoria de almacenamiento y/o hacia el computador.
6. Control de la etapa de ajuste de ganancia y nivel de offset
7. Fuente de polarización.

Cabe aclarar nuevamente la existencia de una etapa adicional, que es la etapa de preamplificación, la cual se encarga de tomar y procesar la señal proveniente de los electrodos y que corresponde a la primera parte complementaria de esta tesis como ya se mencionó anteriormente. Esta etapa entrega a la siguiente; es decir, la tarjeta tema de esta tesis, una señal, de la cual son de interés su amplitud ( $\pm 5$  V) y frecuencia (0 a 20 Hz).

Además se debe mencionar también que las etapas correspondientes a los numerales 3, 4 y 5 fueron ya probadas anteriormente en la tarjeta precedente, en la cual se basa este trabajo, y a las cuales se les hizo las modificaciones necesarias para trabajar con 16 canales y los nuevos valores de polarización.

El siguiente diagrama representa los distintos componentes del Hardware sin la fuente de polarización, que se sobreentiende es necesaria para el correcto funcionamiento de todos los bloques.

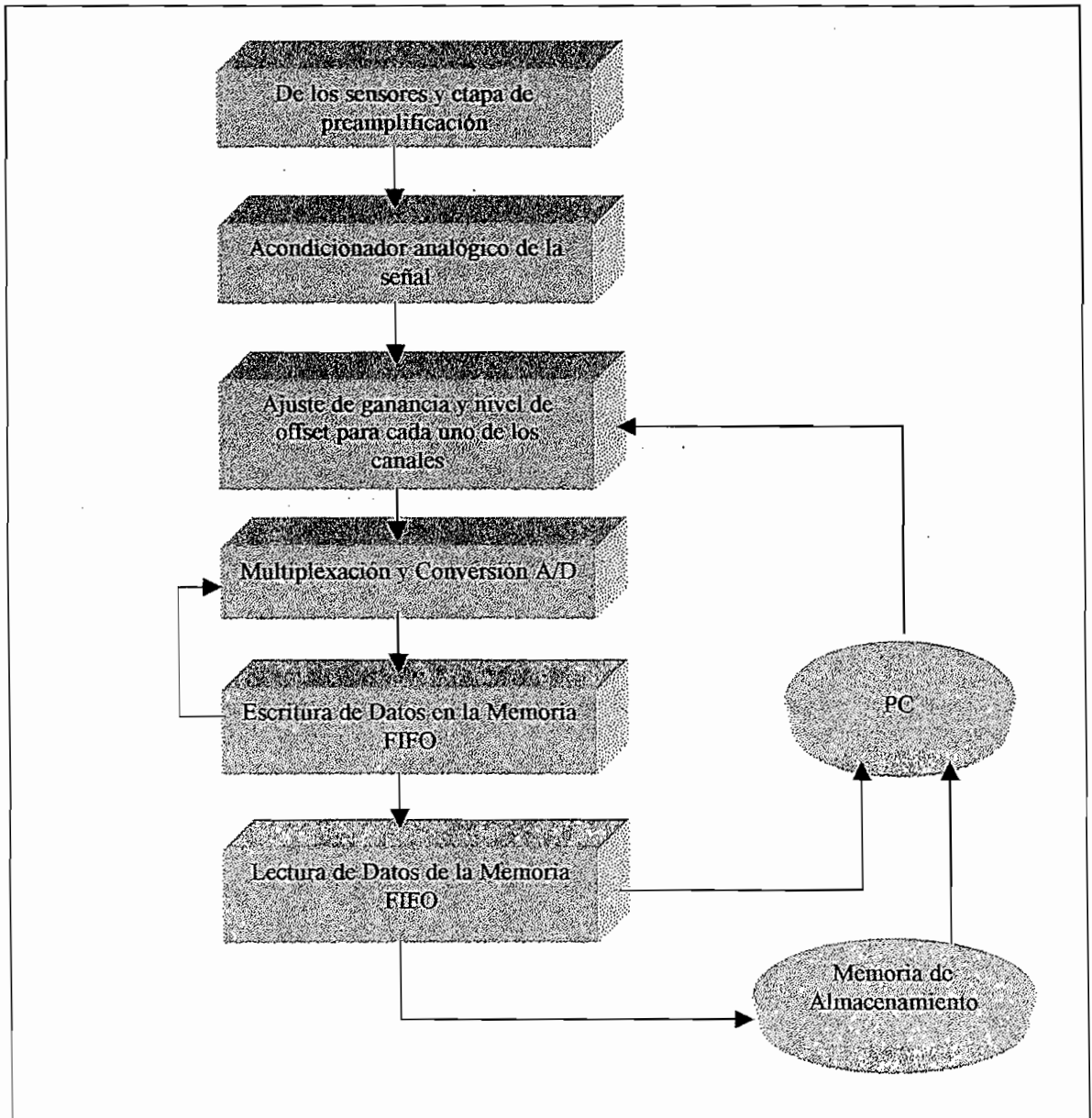


Figura 2.1 Representación en bloques del hardware

## 2.1 ACONDICIONADOR ANALOGICO DE LA SEÑAL

Como ya se dijo anteriormente, el estudio de los electrodos, sus preamplificadores y filtros que capturan la señal original no son parte de este trabajo. Simplemente se debe asumir que la señal de entrada a la tarjeta a diseñar oscila entre niveles máximos de  $+5V$  y  $-5V$ .

El sistema anterior puede manejar sin problemas estos niveles de voltaje, debido a los niveles de polarización que utiliza. Puesto que esta nueva tarjeta debe utilizar una polarización de  $0V$  a  $3.3V$  y además debe ser compatible con el sistema anterior, se debe normalizar a la señal a los nuevos niveles de polarización. Para esto es necesario hacer una reducción de la señal, a la cual se le agrega un filtrado adicional para disminuir el ruido de la señal que se pudiera tener a la entrada de la tarjeta.

A partir de la señal de entrada se realiza entonces una adaptación desde los niveles de  $\pm 5V$  a niveles entre  $+3.3V$  y  $0V$ . De acuerdo a los alcances de esta tesis la siguiente etapa deberá disponer de un ajuste de ganancia y nivel de offset independientes para cada canal. Para estas dos etapas el circuito a utilizar estuvo ya definido pues ha sido probado anteriormente y se ha mostrado su correcto funcionamiento<sup>[3]</sup>. El circuito diseñado es el siguiente:

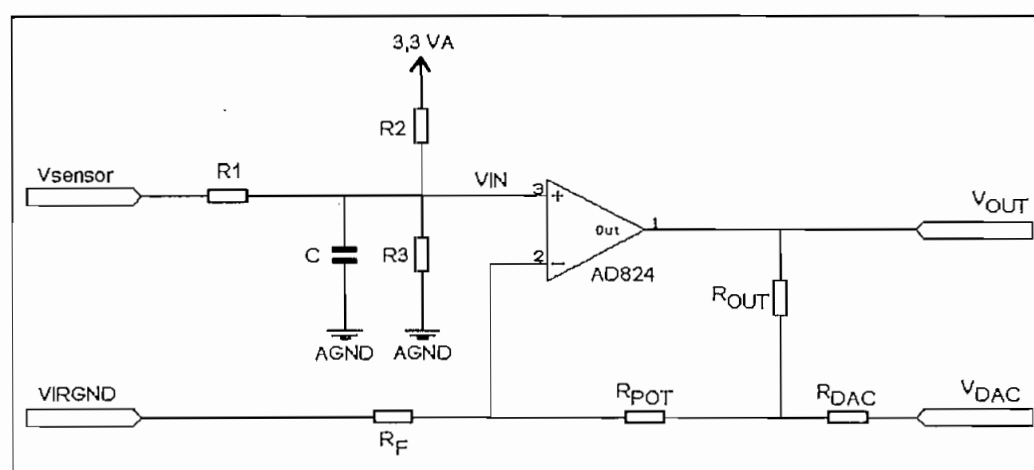


Figura 2.2 Circuito acondicionador y de ajuste de ganancia y nivel de offset de la señal.



En el circuito anterior VIRGND, por razones que serán expuestas más adelante, tiene un voltaje igual a 1.65 V; es decir,  $V_{cc}/2$ , con referencia a AGND (Tierra Analógica). Así mismo el voltaje  $V_{SENSOR}$  se refiere a los voltajes de entrada que oscilan entre  $\pm 5V$  para los que la referencia es VIRGND.

El circuito de la Figura 2.2 consta de dos partes: la primera que es la etapa de acondicionamiento de la señal en la que se hace una reducción y filtrado de la misma, y la segunda que se trata en la siguiente etapa y que se refiere al Ajuste de ganancia y control de nivel de offset para cada canal.

### 2.1.1 REDUCCION Y FILTRADO DE LA SEÑAL

Las señales que provienen de los sensores y su etapa de preamplificación tienen un valor que oscila entre  $\pm 5V$  y una frecuencia máxima de 20 Hz<sup>[3]</sup>. De acuerdo a una de las condiciones del diseño, se requiere convertir estos voltajes a valores que varíen entre 0 y 3.3 V a la salida del bloque de acondicionamiento de la señal. Por lo tanto, esta etapa debe ser diseñada para proveer estos niveles de tensión.

Para esto se utilizó las resistencias  $R_1$ ,  $R_2$ ,  $R_3$  y C en la configuración mostrada en el circuito de la Figura 2.2.

Consecuentemente, en lo que se refiere a este bloque, se parte del siguiente razonamiento:

- Si los niveles máximos de  $V_{SENSOR}$  varían entre +5 y -5 V se tiene un nivel medio el cual corresponde a tierra (Ground) igual a 0 V. Ahora si los valores se desea que varíen entre 0 y 3.3 V, el valor medio estará en  $3.3 / 2 = 1.65 V$ , con respecto al cual se debe realizar la amplificación de la señal a la entrada de la siguiente etapa.

Por lo mismo, este bloque de reducción y filtrado deberá estar diseñado de tal manera que el nivel máximo de voltaje a su salida; es decir  $V_{IN}$ , tenga la amplitud

necesaria para que con la ganancia mínima que pueda dar el bloque de ajuste de ganancia, el voltaje  $V_{OUT}$  sea de 3.3V o 0V dependiendo de acuerdo si la señal de entrada es +5V o -5V respectivamente.

Los cálculos realizados se presentan a continuación:

Primeramente, en el circuito de la Figura 2.2 para cumplir las condiciones de DC previamente dichas se tiene que los valores de  $R_2$ , y  $R_3$  son los siguientes

$$R_2 = R_3$$

Hecho esto se tiene que VIRGND (Tierra Virtual, este término se emplea por facilidad de comprensión) tiene que ser exactamente  $V_{cc}/2$ .

Además para AC se debe cumplir que:

$$V_{IN\max} = V_{SENSOR\max} \cdot \frac{R_3 \parallel R_2}{R_1 + R_3 \parallel R_2}$$

y para la frecuencia de corte del filtro se cumple que:

$$f_c = \frac{1}{2\pi R_T \cdot C}$$

En donde:

$$R_T = R_1 \parallel R_2 \parallel R_3$$

Se debe tomar en cuenta que las amplitudes máximas están ahora referenciadas a la Tierra Virtual por lo que  $V_{SENSOR\max} = 6.65 - 1.65$  y  $V_{IN\max} = 3.3 - 1.65V$ . Para que esto sea válido se debe cumplir que  $R_2 = R_3$ . De acuerdo a estas condiciones y trabajando en las fórmulas se tiene que:

$$R_1 = 1.015R_2 \quad \text{y} \quad R_T = \frac{R_2}{2.98}$$

De acuerdo a las condiciones ya establecidas con la condición de que  $R_2 = R_3$  y luego de trabajar un poco en las fórmulas anteriores se obtiene las siguientes relaciones:

Debido a que los capacitores de que se dispone para esta tarea deben ser de tecnología SMD (Surface Mount Device), debe establecerse un compromiso en el cual los valores de los capacitores no sean muy pequeños y las resistencias no sean muy altas, para esto se escoge un capacitor de 33nF

Como la frecuencia de corte es 40 Hz y el capacitor escogido de 33nF, de la fórmula de frecuencia de corte se tiene que:

$$R_T = \frac{1}{2\pi \cdot 33\text{nF} \cdot 40\text{Hz}} = 120\text{K}$$

de donde  $R_2 = 358\text{K}$ .

Los valores normalizados de resistencias son de 330K y 390K. Escoger entre 330k o 390k no tiene mayor implicación por lo que se escoge 330 K. Los demás valores entonces serían los siguientes:

$$R_1 = 330\text{k} \quad R_2 = 330\text{k} \quad R_3 = 330\text{k} \quad C = 33\text{nF}$$

donde la nueva frecuencia de corte es

$$f_c = 43.88\text{Hz}$$

## 2.2 AJUSTE DE GANANCIA Y NIVEL DE OFFSET PARA CADA CANAL

En este bloque se define el ajuste de ganancia y el nivel de offset que se le dará a cada una de las 16 señales en la salida. El objetivo de este circuito es proporcionar un ajuste variable de ganancia, con un valor máximo 100, la cual sea posible de controlar digitalmente y un nivel de offset también controlado digitalmente.

La etapa de ajuste de ganancia debe cumplir los siguientes requerimientos:

- La amplificación debe realizarse con respecto a la Tierra Virtual o  $V_{cc}/2$ .
- La amplificación no debe presentar inversión de la señal.
- El nivel de offset debe estar entre 0 y 3.3 V

Primeramente debe obtenerse la Tierra Virtual para lo cual se diseñó el siguiente circuito:

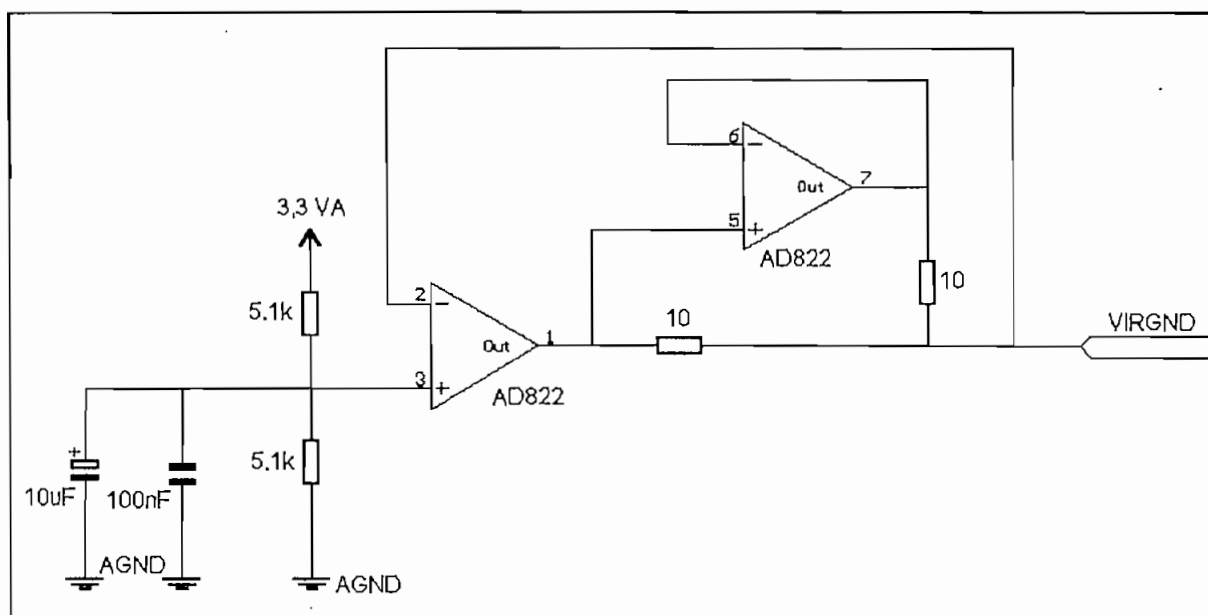


Figura 2.3 Circuito para obtención de la tierra virtual.

Esta configuración presenta la ventaja de brindar mas corriente, la cual será necesaria pues se debe trabajar hasta con 16 señales de entrada.

Este circuito es simplemente un seguidor de voltaje con un voltaje de entrada igual a  $V_{cc}/2$ . Se le añade también un filtro por medio de los capacitores de 100nF y 10uF.

No se debe olvidar que la tarjeta debe tener un bajo consumo de energía, tal que pueda operar con baterías.

Existen varias maneras para solucionar el problema del consumo de energía, de entre ellas, la principal es utilizar elementos de bajo consumo de energía, que cumplan satisfactoriamente las condiciones previas y que además tengan las características suficientes que se buscan en el nuevo diseño.

## **2.2.1 ELEMENTOS UTILIZADOS**

### **2.2.1.1 El Amplificador Operacional AD822**

El amplificador operacional AD822 contiene dos amplificadores operacionales de precisión con entradas a FET que puede operar con una fuente bipolar entre  $\pm 1.5V$  a  $\pm 18V$  y una fuente unipolar entre  $+3V$  a  $+36V$ . Tiene una corriente mínima de salida de 15mA.

Las características principales son las siguientes<sup>[5]</sup>:

- Salidas Rail to Rail.
- Bajo consumo de corriente.
- Ancho de banda igual a 1.8 MHz.
- Bajo voltaje de offset
- Bajo nivel de ruido

Este amplificador operacional es utilizado para crear la referencia de amplificación; es decir, la Tierra Virtual (VIRGND) con la que va a trabajar esta etapa de ajuste de ganancia de la señal.

Para la amplificación se utiliza una configuración no inversora de manera que el potenciómetro esté ubicado en una posición en la que permita controlar la ganancia. El nivel de offset debe controlarse a la salida del amplificador y en su entrada negativa se debe tener como referencia la Tierra Virtual.

Para lograr las características explicadas se detalla la parte correspondiente al ajuste de ganancia y nivel de offset explicada anteriormente en el circuito de la Figura 2.2:

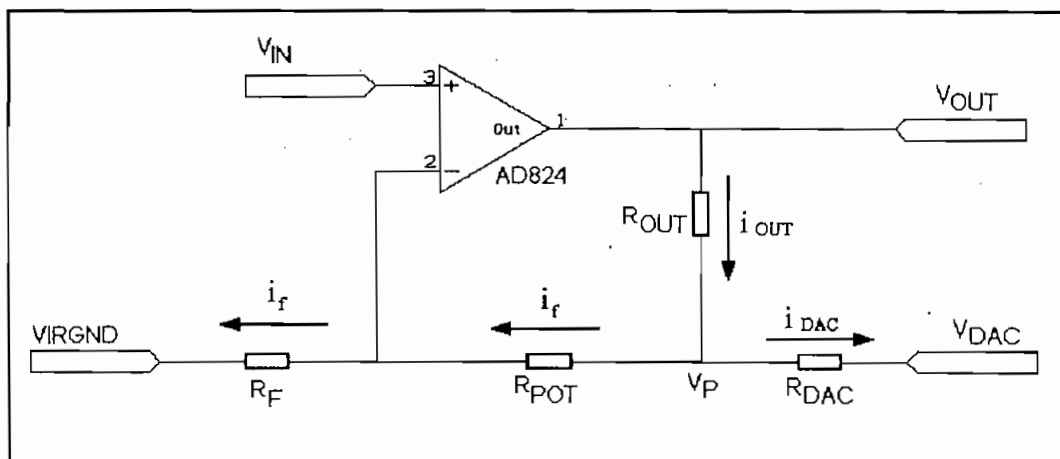


Figura 2.4 Circuito para ajuste de la ganancia y nivel de offset

En este circuito debe tomarse en cuenta que  $R_{POT}$  es la resistencia variable que podrá controlarse digitalmente para variar la ganancia y  $V_{DAC}$  es el nivel de offset que se le dará a la señal y que también estará controlado digitalmente.

Existen distintas maneras para variar la resistencia y de esta manera la amplificación de un circuito como, por ejemplo, por medio de amplificadores controlados por voltaje o conmutadores analógicos que seleccionan resistencias

para obtener la amplificación deseada, por facilidad y para tener un control digital sobre este elemento se escogieron potenciómetros digitales.

Para poder variar el nivel de offset se tiene la posibilidad de hacerlo también por medio de potenciómetros digitales. Sin embargo la utilización de 2 potenciómetros digitales para cada canal necesitaría de mucho más espacio para su diseño. Se optó entonces por una segunda posibilidad que consiste en utilizar convertidores digitales/analógicos.

Para variar la resistencia digitalmente se escogió un potenciómetro digital y para controlar el nivel de offset se optó por Convertidores Digitales-Analógicos, ambos que aprovechen la facilidad del puerto SPI implementado en los microcontroladores a utilizar y además que abarquen el menor espacio posible. Los elementos elegidos son los siguientes:

- Amplificador operacional AD824
- Potenciómetro Digital AD8403
- Conversor Digital Analógico LTC 1660

#### **2.2.1.2 El Amplificador Operacional AD824**

Las características principales del amplificador operacional AD824 son las siguientes<sup>[6]</sup>:

- Opera con una fuente sencilla de polarización entre 3 y 30 V.
- Salidas Rail to Rail.
- Bajo consumo de corriente.
- Amplio ancho de banda igual a 2 MHz.
- Bajo voltaje de offset

Su configuración se muestra en el circuito de la Figura 2.4 que fue explicado anteriormente.

### 2.2.1.3 El Potenciómetro Digital AD8403

Las características principales que presenta este elemento y por las cuales fue escogido son las siguientes<sup>[7]</sup>:

- Bajo consumo de energía
- Voltajes de polarización adecuados
- 4 potenciómetros digitales en un chip de 24 pines
- Puede ser controlado por un puerto SPI hasta una velocidad de 10MHz.
- Presenta hasta 256 posiciones, es decir 256 valores distintos de resistencia.
- Valores de resistencia End to End de 1K, 10K, 50K y 100K.

### MODO DE OPERACION

El diagrama que se presenta a continuación indica el funcionamiento de un potenciómetro digital, en realidad cada circuito integrado AD8403 presenta cuatro potenciómetros digitales.

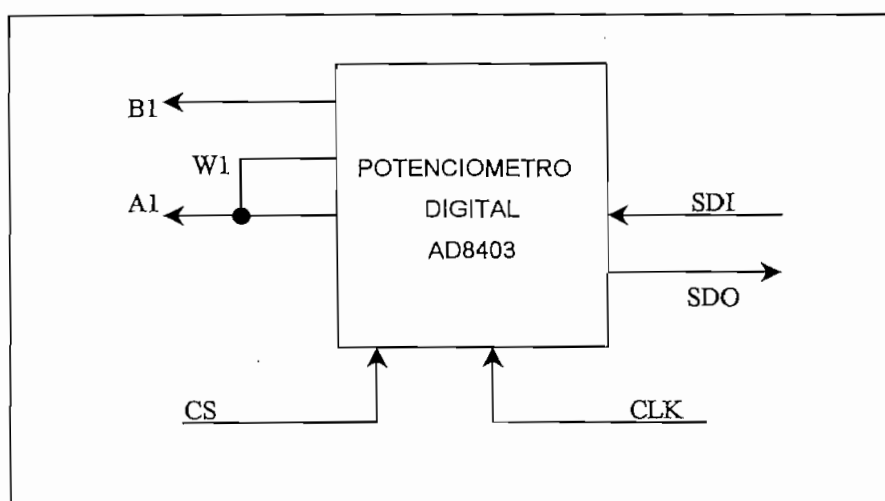


Figura 2.5 Modo de operación del circuito AD8403

- A1 y B1: Son los terminales fijos del potenciómetro.



- W1: Es el terminal variable del potenciómetro. Se encuentra cortocircuitado a A1 de manera que la variación del potenciómetro pueda obtenerse entre los terminales A1 y B1. Se escogió esta configuración pues entre los terminales W1 y B1 siempre existe una resistencia de 50 ohm que limita la corriente para prevenir daños permanentes en el elemento.
- CS: (Chip Select). Activa el circuito, es decir lo pone en condiciones de recibir datos.
- CLK: (Clock). Es el pin mediante el cual se recibe la señal de reloj necesaria para la transmisión de datos.
- SDI: (Serial Data Input). Es el pin de entrada de datos.
- SDO: (Serial Data Output). Es el pin para la salida de datos.

#### 2.2.1.4 El Conversor Digital/Analógico LTC1660

Las características por las cuales fue elegido este elemento son las siguientes<sup>[8]</sup>:

- Bajo consumo de energía
- Voltajes de polarización adecuados
- 8 conversores Digitales-Analógicos en un chip de 16 pines
- Presenta una resolución de 10 bits.
- Puede ser controlado mediante el puerto SPI.

La impedancia interna de los conversores es constante, de manera que no se necesitan de Buffers externos.

#### MODO DE OPERACION

En el siguiente diagrama se encuentra el modo de operación de un chip LTC1660 el cual contiene 8 conversores Digitales-Analógicos.

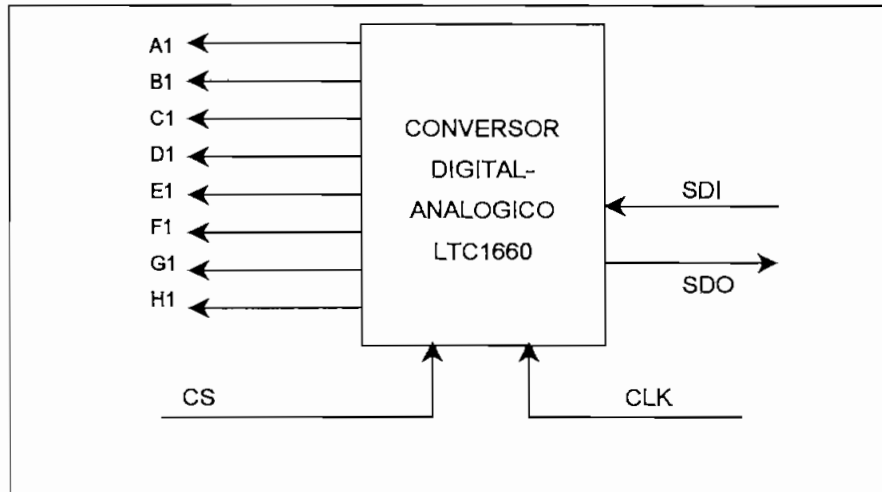


Figura 2.6 Modo de operación del circuito LTC1660

- A1, B1, C1, D1, E1, F1, G1, H1: son las salidas de los distintos conversores, en total 8 por circuito.
- CS: (Chip Select). Activa el circuito; es decir, lo pone en condición de recibir datos.
- CLK: (Clock). Es el pin mediante el cual se recibe la señal de reloj necesaria para la transmisión de datos.
- SDI: (Serial Data Input). Es el pin de entrada de datos.
- SDO: (Serial Data Output). Es el pin para la salida de datos.

### 2.2.2 CALCULOS

Una vez elegidos los elementos activos se realizan los cálculos para determinar los valores de ganancia que se pueden obtener en el circuito planteado en la Figura 2.4.

Se procede a hallar las corrientes para poder encontrar la relación entre voltaje de entrada y salida:

$$i_f = \frac{V_{(-)} - 1.65}{R_F} = \frac{V_P - V_{(-)}}{R_{POT}}$$

por cortocircuito virtual en amplificadores operacionales se tiene que  $V_{(-)}$  es igual al  $V_{IN}$  con lo que la ecuación queda como sigue:

$$i_f = \frac{V_{IN} - 1.65}{R_F} = \frac{V_P - V_{IN}}{R_{POT}}$$

de donde, despejando  $V_P$  se obtiene la siguiente igualdad:

$$V_P = V_{IN} \left( 1 + \frac{R_{POT}}{R_F} \right) - 1.65 \cdot \frac{R_{POT}}{R_F}$$

se tienen además las siguientes corrientes:

$$i_{DAC} = \frac{V_P - V_{DAC}}{R_{DAC}} \quad y \quad i_{OUT} = \frac{V_{OUT} - V_P}{R_{OUT}}$$

De la suma de corrientes en donde  $i_{OUT} = i_f + i_{DAC}$  se tiene la siguiente ecuación:

$$\frac{V_{OUT} - V_P}{R_{OUT}} = \frac{V_{IN} - 1.65}{R_F} + \frac{V_P - V_{DAC}}{R_{DAC}}$$

de donde, simplificando y haciendo las sustituciones adecuadas se llega a la siguiente ecuación:

$$V_{OUT} = V_{IN} \cdot \frac{R_{OUT}}{R_F} - 1.65 \cdot \frac{R_{OUT}}{R_F} + V_{IN} + V_{IN} \cdot \frac{R_{POT}}{R_F} - 1.65 \cdot \frac{R_{POT}}{R_F} + V_{IN} \cdot \frac{R_{OUT}}{R_{DAC}} + V_{IN} \cdot \frac{R_{POT} \cdot R_{OUT}}{R_{DAC} \cdot R_F} - 1.65 \cdot \frac{R_{POT} \cdot R_{OUT}}{R_{DAC} \cdot R_F} - V_{DAC} \cdot \frac{R_{OUT}}{R_{DAC}}$$

Si además aquí se observa la dependencia de  $V_{DAC}$  de  $R_{OUT}$  y  $R_{DAC}$ , se puede lograr que  $V_{DAC}$  sea independiente de  $R_{OUT}$  y  $R_{DAC}$  haciendo que  $R_{DAC}$  y  $R_{OUT}$  sean iguales. Si estas resistencias se representan con  $R$ , se obtiene la siguiente ecuación:

$$V_{OUT} = 2 \cdot \left( \frac{V_{IN} - 1.65}{R_F} \right) \cdot R_{POT} + \left( \frac{V_{IN} - 1.65}{R_F} \right) \cdot R + 2 \cdot V_{IN} - V_{DAC} \quad \text{Ecuación (1)}$$

Ahora, los cálculos de las resistencias  $R_F$ ,  $R_{POT}$  y  $R$ , se basan en dos condiciones: una es la ganancia máxima igual a 100 y una ganancia mínima que, debido a la configuración no inversora del circuito que se propone será mayor a uno. Para los cálculos se elige un valor de ganancia igual a 2.

### Condición 1: Ganancia igual a 100

$$\begin{aligned} V_{OUT} &= 3.3V \\ V_{IN} &= 1.6665V \\ R_{POT} &= 100K \\ V_{DAC} &= 1.65 \end{aligned}$$

Se elige  $V_{DAC} = 1.65 V$  por ser el valor medio y así permite una variación de la señal tanto en valores positivos como negativos alrededor de la Tierra Virtual. El voltaje de entrada  $V_{IN} = 1.6665 V$  es calculado con respecto a la variación de amplitud de la señal con respecto a Tierra Virtual, es decir:

$$V_{INTV} = 1.6665 - 1.65 = 0.0165V$$

que multiplicado por 100 da una amplitud de 1.65 V, valor necesario para llegar a los 3.3 V máximos en la salida.

Con los valores supuestos anteriormente, pero manteniendo  $V_{IN}$  en forma literal, la ecuación (1) se desarrolla de la siguiente manera:

$$3.3 = \left( \frac{3.3k}{R_F} + 0.0165 \frac{R}{R_F} \right) + 2V_{IN} - 1.65$$

en donde los términos entre paréntesis pueden expresarse como una constante que será siempre positiva de donde se desprende la siguiente condición:

$$V_{IN} = \frac{3.3 + 1.65 - C(+)}{2} \quad \text{de donde } V_{IN} < 2.475$$

es condición necesaria para que pueda haber una constante positiva.

En el ejemplo planteado para la ganancia de 100 esta condición se cumple satisfactoriamente por lo que se llega a la siguiente ecuación:

$$1.617 = \frac{1}{R_F} (3.3k + 0.0165R) \quad \text{Ecuación (2)}$$

### Condición 2: Ganancia igual a 2

$$V_{OUT} = 3.3V$$

$$V_{IN} = 2.475V$$

$$R_{POT} = 50\Omega$$

$$V_{DAC} = 1.65$$

Tomando en cuenta la condición hallada anteriormente, esta ganancia de 2 no es posible pues el  $V_{IN}$  tiene que ser necesariamente menor a 2.475 V Debido a esto se selecciona una ganancia de 2.5.

**Condición 3: Ganancia igual a 2.5**

$$V_{OUT} = 3.3V$$

$$V_{IN} = 2.31V$$

$$R_{POT} = 50\Omega$$

$$V_{DAC} = 1.65$$

Realizando las sustituciones necesarias se llega a la siguiente ecuación:

$$0.33 = \frac{1}{R_F} (66 + 0.66R) \quad \text{Ecuación (3)}$$

Despejando R de la Ecuación (2) y sustituyendo este valor en la Ecuación (3) se obtiene el valor de  $R_F$  el cual es:

$$R_F = 2.05K \quad \text{y además se obtiene que } R = 900\Omega.$$

Puesto que no existen resistencias exactas con este valor se toma los siguientes valores  $R_F = 2.2K$  y  $R = 820 \text{ ohm}$  con lo que las ganancias definitivas llegan a tener los siguientes valores:

**Condición 1: Ganancia máxima**

$$V_{IN} = 1.6665 V$$

$$R_{POT} = 100 K$$

$$R_F = 2.2 K$$

$$R = 820 \text{ ohm}$$

$$V_{DAC} = 1.65 V$$

$$V_{OUT} = 3.18 V$$

$$\text{Ganancia: } G = 93.218.$$

**Condición 2: Ganancia mínima**

$$V_{IN} = 2.31 \text{ V}$$

$$R_{POT} = 50 \text{ ohm}$$

$$R_F = 2.2 \text{ K}$$

$$R = 820 \text{ ohm}$$

$$V_{DAC} = 1.65 \text{ V}$$

$$V_{OUT} = 3.246 \text{ V}$$

$$\text{Ganancia: } G = 2.418.$$

De acuerdo a los valores hallados anteriormente se realiza la siguiente tabla donde se presenta la ganancia en función de diferentes valores del potenciómetro  $R_{POT}$ .

$V_{OUT}$ [V]	$V_{IN}$ [V]	Ganancia	Valor Teórico de $R_{POT}$ [ohm]
3.3	2.31	2.4	50
3.3	2.20	3	690
3.3	2.06	4	1,79 K
3.3	1.98	5	2,89 K
3.3	1.925	6	3,99 K
3.3	1.886	7	5,08 K
3.3	1.856	8	6,20 K
3.3	1.833	9	7,31 K
3.3	1.815	10	8,39 K
3.3	1.733	20	19,25 K
3.3	1.705	30	30,39 K
3.3	1.691	40	41,65 K
3.3	1.683	50	52,39 K

3.3	1.6775	60	63,39 K
3.3	1.6735	70	74,62 K
3.3	1.6706	80	85,49 K
3.3	1.6683	90	96,52 K

Tabla 2.1 Valores teóricos de  $R_{POT}$  para distintos valores de ganancia.

De la tabla anterior se desprende una ganancia mínima de 2.4 y una ganancia máxima de 90. Para poder establecer una relación más clara entre la señal de entrada y la señal representada en el computador se ha optado por normalizar la ganancia a 2.4; es decir, una ganancia de 2.4 representará una ganancia de 1 entre la señal de entrada y la señal de salida. Para esto, cuando la señal de entrada sea de 5 V, el voltaje a la entrada del amplificador deberá ser el necesario para que una amplificación de 2.4 a la salida de 3.3 V. Para esto es necesario hacer la siguiente corrección en la adaptación de la señal de entrada:

Con los valores anteriores:

$$R_1 = 330k \quad R_2 = 330k \quad R_3 = 330k \quad C = 33nF$$

el voltaje a la salida de esta etapa es 1.667 cuando la señal de entrada es de 5 V. Lo que se quiere ahora es que el voltaje a la salida de esta etapa sea el siguiente:

$$V_{OUT} = \frac{1.65}{2.4} = 0.687 \text{ V}$$

Para esto es necesario modificar la Resistencia  $R_1$  de manera que se cumpla:

$$0.687 \text{ V} = 5 \text{ V} \cdot \frac{165k}{165k + R_1}$$

de donde



$$R_1 = \frac{5 \text{ V} \cdot 165 \text{ k}}{0.6875 \text{ V}} - 165 \text{ k} = 1.035 \text{ Mohm}$$

Una vez hecha esta normalización se optó por los siguientes valores de ganancia:

V <sub>OUT</sub> [V]	V <sub>IN</sub> [V]	Ganancia Real	Ganancia Normalizada	Valor Teórico de R <sub>POT</sub>
3.3	2.33	2.4	1	50
3.3	1.99	4.8	2	2,728 K
3.3	1.88	7.2	3	5,281 K
3.3	1.82	9.6	4	8,066 K
3.3	1.787	12	5	10,638 K
3.3	1.764	14.4	6	13,311 K
3.3	1.736	19.2	8	18,495 K
3.3	1.719	24	10	23,695 K
3.3	1.696	36	15	36,847 K
3.3	1.684	48	20	50,773 K
3.3	1.677	60	25	64,614 K
3.3	1.673	72	30	76,305 K
3.3	1.669	84	35	92,918 K

Tabla 2.2 Valores teóricos de R<sub>POT</sub> para valores normalizados de ganancia.

De la tabla anterior se puede observar que los valores de resistencia se hallan entre aquellos que entrega el elemento AD8403. Para el control de este elemento como del Conversor D/A se escogió el puerto de comunicación serial sincrónica SPI (Serial Peripheral Interface) de los PICs. El control pudo haberse también realizado por medio de cualquier grupo de tres pines configurados adecuadamente y que dispongan del software adecuado, sin embargo se comprobó que el funcionamiento del puerto SPI cumplió con las condiciones esperadas.

## 2.3 MULTIPLEXACIÓN Y CONVERSIÓN A/D

Las funciones que debe cumplir esta etapa del circuito son:

- Debe multiplexar 16 señales.
- El conversor A/D debe tener una resolución de 12 bits.

El diagrama a continuación indica el funcionamiento general de esta etapa.

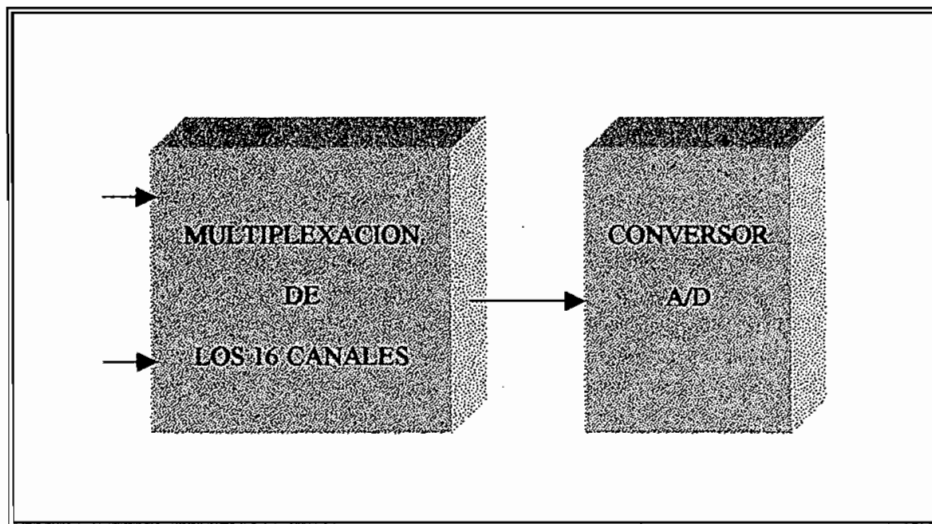


Figura 2.7 Diagrama de bloque de la etapa de multiplexación y conversión A/D

Cabe aquí indicar que la tarjeta precedente cumple con la multiplexación pero solamente para cuatro canales; además, trabaja con distintos niveles de polarización<sup>[3]</sup>. Por lo mismo, el software de esta etapa será modificado únicamente para que trabaje con 16 señales. Se deberá además solucionar la dificultad que se tiene para trabajar con señales muestreadas a frecuencias iguales o más altas que 256 Hz.

Al mismo tiempo se deberá seleccionar la alternativa más conveniente para ocupar menos dispositivos y menos espacio posible.

### **2.3.1 ALTERNATIVAS**

Antes de entrar en la descripción de las alternativas que se probaron y de la alternativa elegida, es necesario aclarar que la tarjeta anterior funcionaba con dos PICs, el PIC 16C73 que era el encargado de realizar la multiplexación y conversión A/D así como la escritura de datos en la memoria FIFO, y el PIC 16C74 que era el encargado de realizar la transmisión de datos hacia el computador.

#### **2.3.1.1 Primera alternativa**

La primera alternativa consistió en realizar un nuevo diseño, utilizando dos Microcontroladores de la Familia de los PICs. Inicialmente se pensó en el microcontrolador PIC 16F877 pues contiene el número de líneas adecuadas.

Se necesitó además modificar el circuito original para que trabaje con los nuevos niveles de polarización y el nuevo número de canales. El software también debió ser modificado para el nuevo número de señales a muestrear.

Después del diseño y prueba de esta nueva alternativa se notó que se podía eliminar la necesidad de ciertos elementos, entre ellos, el conversor Analógico Digital y un circuito Multiplexor.

Sin embargo, con esta nueva alternativa no se obtuvo la capacidad de una multiplexación directa de 16 canales y tampoco la resolución de 12 bits en la conversión Analógico Digital. Para resolver lo último se ve la necesidad de emplear un multiplexor extra y perder 2 bits de resolución, puesto que la mayor capacidad de resolución que existe en el mercado de los PICs es de 10 Bits.

### 2.3.1.2 Segunda alternativa

La segunda alternativa, que es la que al final se decidió emplear en esta tesis, es la de seguir basados en el mismo diseño anterior, pero atendiendo a las condiciones nuevas de los objetivos planteados.

Para esto se necesitó cambiar uno de los PICs por el PIC 16F877 puesto que este último brinda la facilidad de dos puertos más, con lo que se puede controlar la memoria externa de almacenamiento, y además el control del ajuste de ganancia por medio de los potenciómetros digitales y el nivel de offset por medio de los conversores Digital/Analógicos.

Utilizando esta alternativa como la más adecuada debe considerarse también el equipo de soporte; es decir, el hardware y software con el que esta nueva tarjeta tiene que ser compatible. Aquí siempre se tuvo en cuenta al momento de seleccionar los elementos, que estos que puedan trabajar con un voltaje de +3.3 V. Este requisito deben cumplir los PICs, el circuito para la interfaz serial, los circuitos integrados de soporte así como los reguladores de Voltaje.

Se debió también prestar importante atención a la selección del circuito que se encargue de dar la alimentación para el circuito en general, el mismo que toma su energía desde una fuente DC, pues se debe aislar al paciente de posibles riesgos con accidentes y cortocircuitos. La fuente debe presentar además la característica de brindar voltajes independientes, tanto para la parte analógica del circuito como para la parte digital, con el fin de evitar interferencia en la parte digital. De acuerdo a este mismo criterio, el diseño del arte del circuito debe tomar en cuenta la existencia de dos tierras: una tierra analógica y una tierra digital, las cuales deben unirse solamente en el punto donde se encuentre el Conversor Analógico-Digital.

En esta alternativa se debió tomar en cuenta también el software de soporte de la tarjeta, el cual, constituye también una de las limitaciones en el nuevo diseño. Se tiene la obligación de utilizar para esta etapa el software desarrollado

anteriormente en la FH-Mannheim, razón por la cual no es permitido detallarlo en esta tesis. Sin embargo, se indican cuales son sus principales funciones.

El software necesario para esta etapa cumple con las siguientes funciones:

- Se encarga de definir los parámetros necesarios para el muestreo de las señales.
- Controla el paso de la señal deseada a muestrear.
- Controla el proceso de conversión A/D.

El software anteriormente desarrollado, con el que la antigua tarjeta trabaja y con el que esta nueva tarjeta tiene que ser compatible, trabaja con una lógica en la cual los dos Microcontroladores que controlarán el trabajo conjunto de la tarjeta, así como el Computador, disponen de un Buffer de recepción y de transmisión, de manera que a parte de no perder los datos que se reciben y procesan, debe realizar otras tareas como ajustar la ganancia y el nivel de offset para el acondicionamiento analógico de la señal<sup>[3]</sup>.

Para que estos datos no se pierdan, durante el tiempo que necesita el computador para procesar los mismos, se necesita de una memoria en la cual se almacenen temporalmente los datos resultantes de la conversión A/D. Para este propósito se utiliza una memoria FIFO la cual se utiliza en las etapas siguientes, en la primera se realiza la escritura de datos y en la siguiente etapa la lectura.

El proceso de escritura de datos en la memoria FIFO es el tema de la siguiente etapa del hardware.

Todos estos circuitos están controlados mediante un microcontrolador, el cual debe brindar facilidades en la configuración de los puertos y, como en todos los circuitos anteriores, los niveles de polarización necesarios.

Una vez mencionada la necesidad de un microcontrolador, es necesario en este punto dar a conocer las principales características del microcontrolador elegido.

### **2.3.2 DESCRIPCION GENERAL DEL PIC 16F87X**

El PIC 16F87X de la Microchip es un microcontrolador de 8 bits que emplea una arquitectura avanzada RISC (Reduced Instruction Set Control), posee un STACK de 8 niveles y múltiples fuentes de interrupción internas y externas. Trabaja con un total de 35 instrucciones<sup>[9]</sup>.

El PIC 16F87X presenta una compresión de código de 2:1 y una velocidad de 4:1 en comparación con otros microcontroladores de 8 bits de su clase.

La descripción detallada de este microcontrolador se puede encontrar en las hojas de datos que brinda la empresa Microchip, de manera que lo que se presenta a continuación es una breve descripción de la arquitectura y de las características más importantes que son utilizadas para la realización de este proyecto.

#### **2.3.2.1 Breve descripción de la arquitectura**

El PIC 16F87X utiliza arquitectura Harward, en donde programas y datos son accedados en memorias separadas por medio de buses separados, esta es mejor que la arquitectura Neumann donde programa y datos son accedados en la misma memoria en un mismo bus.

Un bus de acceso a memoria de 14 bits proporciona una instrucción de 14 bits en un ciclo simple. Proporciona capacidad de ejecución y direccionamiento al mismo tiempo; es decir, que mientras se ejecuta una instrucción, el contador de programa accesa a la siguiente instrucción. Esto permite que todas las instrucciones se realicen en un ciclo de máquina equivalente a cuatro ciclos de reloj, excepto aquellas instrucciones que salen del programa principal.

El PIC 16F876 o 16F877 tienen capacidad para acceder una memoria de programa de 8K x 14. La memoria de datos y los archivos de registro pueden ser

direccionados de una manera directa e indirecta. Toda la memoria de programa es interna.

El PIC 16F87X contiene una ALU de 8-bits y un registro de trabajo (W register). La ALU es una unidad Aritmético Lógica de propósito general. Esta ALU es capaz de realizar adición, substracción, desplazamiento y operaciones lógicas. El registro de 8-bits W es un registro utilizado por la ALU para instrucciones con dos operandos.

Esta ALU puede afectar el valor de los bits C:Carry, DC:Digital Carry y Z:Zero bit ubicados en el registro STATUS.

Las características y propiedades más importantes se presentan a continuación.

Circuito Integrado	Memoria de Programa (words 14 bits)	Memoria de Datos (bytes)
PIC 16F876/877	8K	396

Circuito Integrado	Canales de Entrada y Salida	Canales para Conversión A/D	TMR0	TMR1	TMR2
PIC 16F877	33	8	Si	Si	Si
PIC 16F876	22	5	Si	Si	Si

Tabla 2.3 Características principales del PIC 16F87X

### 2.3.2.2 Características de periféricos para el PIC 16F877 / 16F876

- Conversor A/D interno con una resolución de 10 bits.
- 2 pines que pueden ser configurados como Capture input, PWM output o Compare output.

- Timer0: contador y timer de 8 bits con Prescaler de 8 bits
- Timer1: contador o timer de 16 bits, puede ser incrementado en modo Sleep por medio de un cristal o reloj externo.
- Timer2: contador de 8 bits con un registro de periodo de 8 bit, prescaler y postscaler.
- Interface para comunicación serial (SCI)/USART.
- Puerto Serial Sincrónico (SSP) con SPI e I<sup>2</sup>C<sup>TM</sup>/ACCES.
- Puerto Paralelo Esclavo de 8 bit con controles externos de Read, Write y Chip Select.
- Modo SLEEP de ahorro de energía.
- In Circuit Serial Programming (ICSP).

El número de líneas a utilizar para esta etapa no es grande, así que se eligió el PIC 16F876 pues tiene 22 líneas de entrada y salida<sup>[10]</sup>.

### **2.3.2.3 Recursos del microcontrolador PIC 16F876 a utilizar por esta etapa**

- TIMER1
- INTERFACE PARA COMUNICACION SERIAL ASINCRONICA
- PUERTO A, PUERTO B Y PUERTO C

#### *2.3.2.3.1 Timer1.*

Este es un Timer de 16 bits que puede ser configurado como contador o timer. Este Timer sirve como base para realizar el muestreo de los datos.

Esta configurado como contador y está conectado a un cristal externo que tiene una frecuencia de 32768 Hz. La frecuencia del cristal fue elegida debido a que su valor es un múltiplo de cuatro y se pueden hallar fácilmente las frecuencias de muestreo pedidas, las cuales siempre son potencias de dos; es decir, 1Hz, 2Hz, 4Hz, 8Hz, 16Hz, 32Hz, 64Hz, 128Hz, 256Hz, 512Hz y 1024Hz.



Cada vez que los registros del Timer sufren un desbordamiento de 0xFFFF a 0x0000 se activa una interrupción la cual se encarga de realizar el proceso de muestreo.

#### *2.3.2.3.2 Interface para comunicación serial asincrónica*

Como se explica en el diagrama de bloques anterior, este microcontrolador debe tener capacidad de comunicarse con el computador mediante el puerto serial asincrónico. Para esto se utiliza la capacidad del Microcontrolador que le permite comunicarse con el computador a velocidades desde 0.3 Kbps hasta 1250 Kbps, dependiendo de la frecuencia del reloj y de su configuración propia. La velocidad necesaria para cumplir con los requerimientos de procesamiento del sistema es de 115.2 Kbps, velocidad a la cual también tendrá que trabajar el microcontrolador de la siguiente etapa.

Se elige además para la comunicación serial: 8 bits de datos, ningún bit de paridad, un bit de inicio y un bit de parada.

#### *2.3.2.3.3 Puerto A, Puerto B Y Puerto C*

Dentro de las características principales del PIC 16F87X se tiene la posibilidad de configurar los diferentes puertos como puertos de entrada y salida. Gracias a esta posibilidad se pueden tener en un mismo puerto tanto pines de salida como de entrada.

Los pines ocupados en el Puerto A dan la dirección del canal analógico a multiplexar.

Los pines del Puerto B son los que se encargan de controlar la conversión Analógico Digital y además de controlar la escritura en la memoria FIFO.

Los pines del Puerto C se los utiliza tanto para la comunicación serial como para la entrada del reloj externo del Timer1.

### 2.3.3 ELEMENTOS UTILIZADOS

#### 2.3.3.1 El Multiplexor Analógico MAX396

El Multiplexor analógico MAX396 se basa en el método de MAXIM de compuertas de silicón de bajo voltaje, protegido contra descarga electrostática<sup>B</sup>.

La elección de este circuito fue hecha de acuerdo a las necesidades del problema a resolver; esto es, capacidad para multiplexar 16 señales y niveles de polarización adecuados. Este circuito tiene las siguientes características<sup>[11]</sup>:

- Capacidad para multiplexar 16 señales .
- Trabaja con una sola fuente de alimentación entre 2.7 y 15 V
- Baja resistencia en ON
- La resistencia en ON entre canales varía en un valor máximo de 10 ohm
- Bajo consumo de energía
- Tiempos bajos de encendido y de conmutación entre canales.

Debido a sus características de polarización es ideal para trabajar con 3.3 V. La salida a elegir es controlada digitalmente y la resistencia en ON es lo suficientemente pequeña para no influenciar en la conversión AD que tiene lugar a continuación.

---

<sup>B</sup> Tomado de [http://dbserv.maxim-ic.com/tarticle/view\\_article.cfm?article\\_id=17](http://dbserv.maxim-ic.com/tarticle/view_article.cfm?article_id=17), "ESD Protection for I/O ports" y [http://dbserv.maxim-ic.com/tarticle/view\\_article.cfm?article\\_id=49](http://dbserv.maxim-ic.com/tarticle/view_article.cfm?article_id=49), "How to Select the Right CMOS Analog Switch"

## MODO DE OPERACION

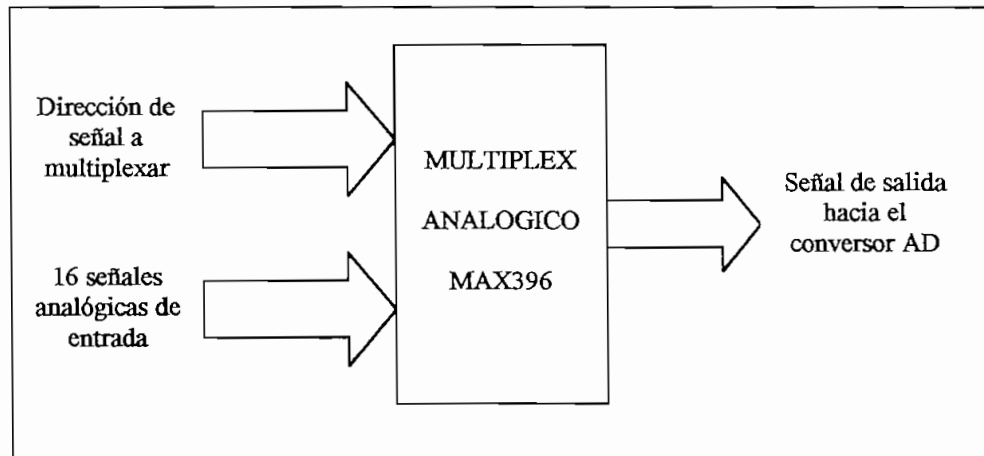


Figura 2.8 Modo de operación del circuito MAX396

Este chip dispone de las siguientes entradas y salidas

- Salidas de control para seleccionar el canal a multiplexar
- 16 señales de entrada
- Terminal de salida hacia el conversor AD.

El modo de operación que se seleccionó es el recomendado por el fabricante. Todas estas características se encuentran definidas en las hojas de datos que se incluyen al final de la tesis en el Anexo A.

### 2.3.3.2 El Conversor Analógico / Digital ADS7832

El conversor Analógico-Digital ADS7832 es un conversor de tecnología CMOS de 12 bits de resolución y un multiplexor de cuatro canales. Está diseñado para trabajar con señales de entrada hasta 50 KHz. Para su correcto funcionamiento se necesitan pocas líneas de control lo que hace que sea de fácil manejo para el microcontrolador<sup>[12]</sup>.

Las características principales son las siguientes:

- Trabaja con una fuente de alimentación entre 3.3 y 5 V
- Bajo consumo de energía
- Rápido tiempo de conversión, incluyendo el tiempo de muestreo.
- No se necesita un circuito externo para realizar el muestreo de la señal
- Autocalibración, no se necesita de ajuste de ganancia o nivel de offset.
- Presenta una capacidad de multiplexación entre cuatro canales de entrada, sin embargo esto no es utilizado debido a que ya se tiene el multiplexor de 16 canales antes de esta etapa de conversión.

Este circuito presenta el resultado de conversión en dos bytes, los cuales son elegidos por medio un pin de control el que, a su vez, es controlado por el microcontrolador.

### MODO DE OPERACION

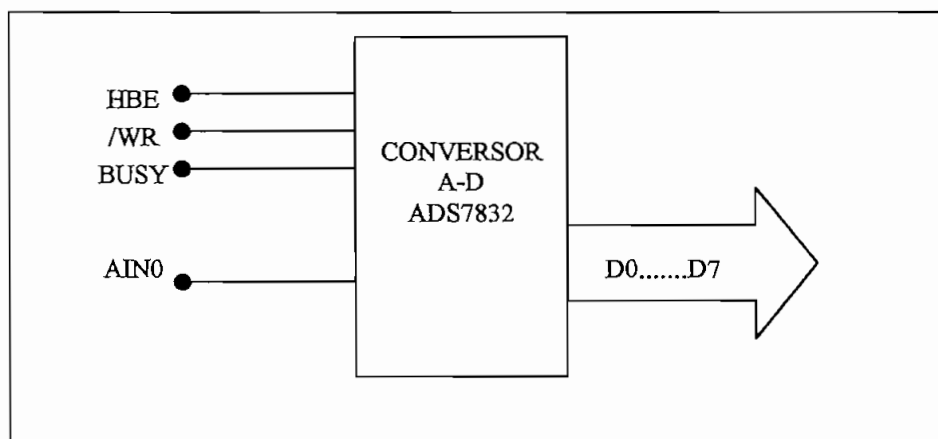


Figura 2.9 Modo de operación del circuito ADS7832

- WR: (Write) Mediante un flanco negativo es iniciada la conversión.
- BUSY: Este pin es utilizado para monitorear el estado de la conversión. Un estado bajo LOW indica que la conversión está en proceso. Un estado alto HIGH indica que la conversión ya ha sido realizada.
- HBE: (High Byte Enable). Cuando este pin está en LOW se tiene en los pines D0 hasta D7 los ocho bits menos significativos del resultado de la

conversión. Cuando este pin esta en HIGH se tiene en los pines D0, hasta D3 los cuatro bits más significativos del resultado de la conversión.

- AIN0: Es la única entrada elegida para la conversión.
- D0...D7: Bus de salida y entrada de datos. Para este caso sirve solamente como bus de salida de datos.

Su utilización en este trabajo no requirió de cambios a su configuración básica por lo que se lo empleó así y con las recomendaciones que da el fabricante.

Todas las demás características se encuentran definidas en las hojas de datos que se incluyen al final de la tesis en el Anexo A.

## **2.4 ESCRITURA DE DATOS EN LA MEMORIA FIFO**

Esta etapa del circuito debe realizar lo siguiente:

- El almacenamiento de datos debe realizarse tomando en cuenta el resultado de la conversión y el canal que fue muestreado para la conversión.
- Debe realizar una comunicación serial con el computador por medio del puerto serial.

Como se mencionó, para el almacenamiento temporal de datos se utiliza una memoria FIFO en la cual puedan ser almacenados los datos de la conversión. Para no utilizar una memoria de 16 bits se utiliza una memoria de 9 bits en donde los datos de la conversión y de información del canal son multiplexados para el proceso de escritura en grupos de 8 bits. Un pin de datos de la memoria no es utilizado. Para realizar esta multiplexación se utiliza un circuito multiplexor digital de ocho entradas a cuatro salidas.

El siguiente diagrama presenta la función de esta etapa:

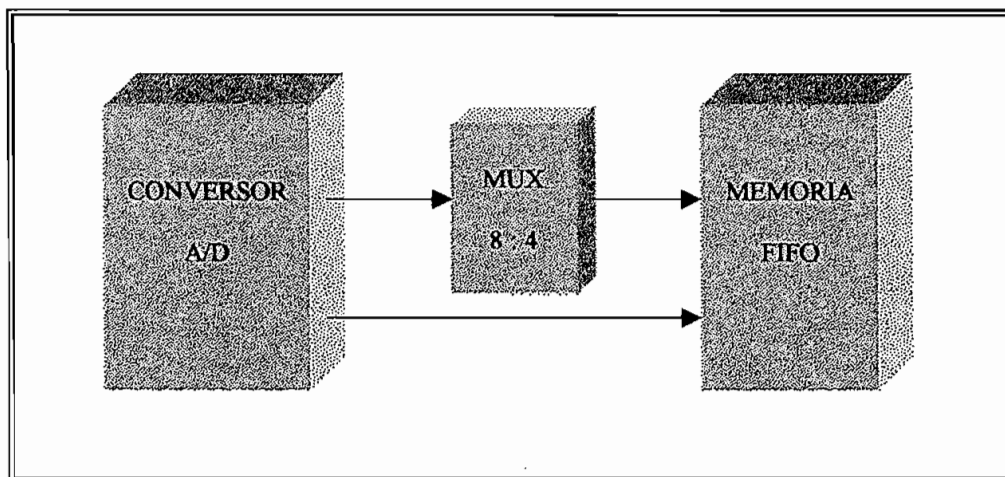


Figura 2.10 Diagrama de bloques de la etapa de escritura de datos en la memoria FIFO

Para el control de esta etapa y de la anterior se utiliza el microcontrolador PIC 16F876 de Microchip.

## 2.4.1 ELEMENTOS UTILIZADOS

### 2.4.1.1 El Decodificador IDT74LV157

Este decodificador es un multiplexor digital de 8:4 es decir que multiplexa entre 2 grupos de cuatro bits de acuerdo a un pin de control<sup>[13]</sup>.

Este circuito es necesario debido a que el resultado de la conversión A/D tiene una resolución de 12 bits y es necesario también enviar información del canal al cual corresponde este resultado, para lo cual se necesitan cuatro bits que indican el canal con valores entre 0 y 15.

## MODO DE OPERACION

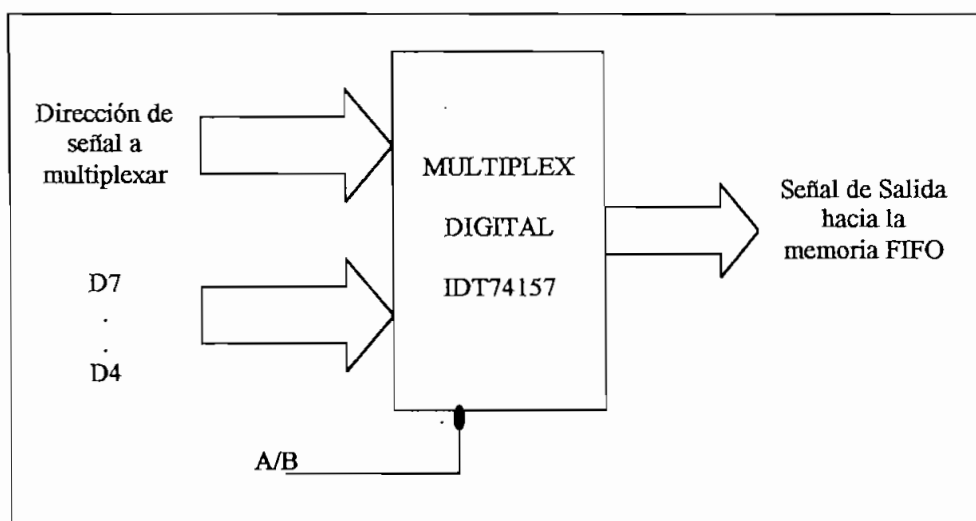


Figura 2.11 Modo de operación del circuito IDT74157

- Dirección de señal a multiplexar: Es la misma señal presente en el multiplexor analógico. Indica cual es el canal que esta siendo procesado.
- D7..D4: Son los pines del convertor AD en los que se presenta el resultado de la conversión.
- A/B: Controla que grupo de cuatro señales va a pasar hacia la memoria FIFO, y es controlado por el mismo pin del microcontrolador que controla el pin HABE del convertor AD.

Todas las demás características se encuentran definidas en las hojas de datos que se incluyen al final de la tesis en el Anexo A.

### 2.4.1.2 La memoria FIFO IDT72V05

Este dispositivo es una memoria FIFO (First In First Out) que tiene dos puertos de 9 bits, uno para entrada y otro para salida de datos que trabaja con un voltaje entre 3.0 y 3.6 V

Esta memoria se escogió debido a su capacidad de lectura y escritura asincrónica e independiente y debido a la sencillez de operación. Así mismo, las banderas de estado presentan una gran ayuda para no perder datos o enviar datos errados.

Este dispositivo brinda una bandera de prevención de sobrecarga de datos y además dos banderas que indican cuando la FIFO está llena o vacía.

Los procedimientos de escritura y lectura en la memoria son independientes y controlados por medio del uso de punteros circulares, lo que hace que no se requiera de un proceso de direccionamiento de los datos. Estos son escritos y leídos mediante el uso de un pin de escritura y un pin de lectura, lo que facilita el control para el microprocesador. Además, esta propiedad es necesaria para procesos asincrónicos en los cuales los procesos de lectura y escritura son en cierto modo independientes.

Las características principales son las siguientes<sup>[14]</sup>:

- Organización de 8192 x 9 bits
- Trabaja con una fuente de alimentación de 3.3 V
- Bajo consumo de Energía
- Tiempo máximo de acceso de 25 ns
- Lectura y escritura simultánea y asincrónica
- Capacidad de expansión tanto de ancho de palabra como de tamaño de la memoria
- Banderas de estado.
- Capacidad de retransmisión.

La configuración utilizada es la recomendada por el fabricante y el modo de operación es el presentado a continuación.



## MODO DE OPERACIÓN

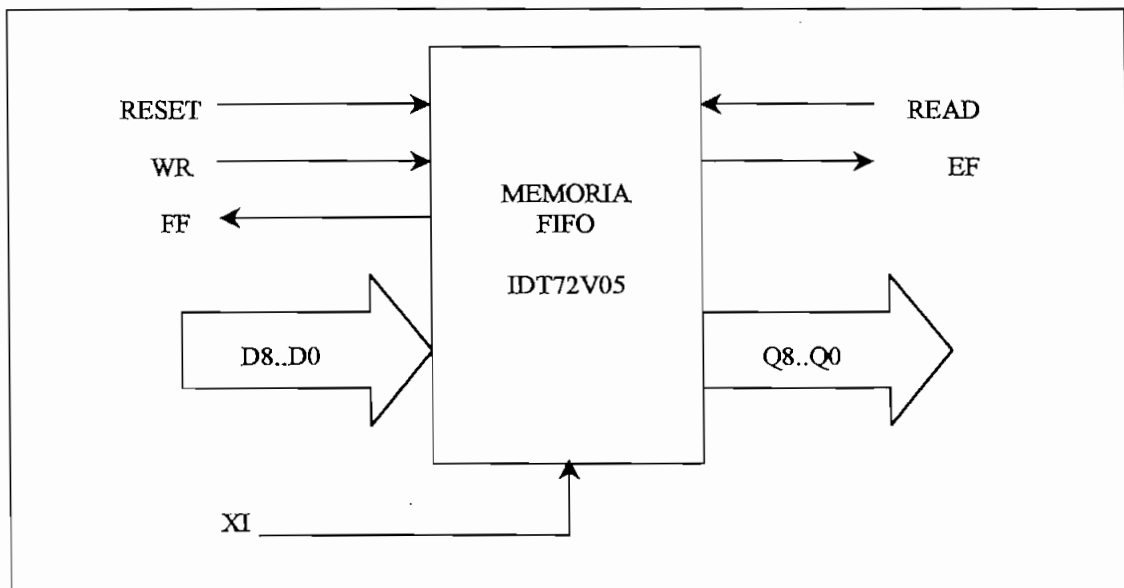


Figura 2.12 Modo de operación de la memoria FIFO IDT72V05

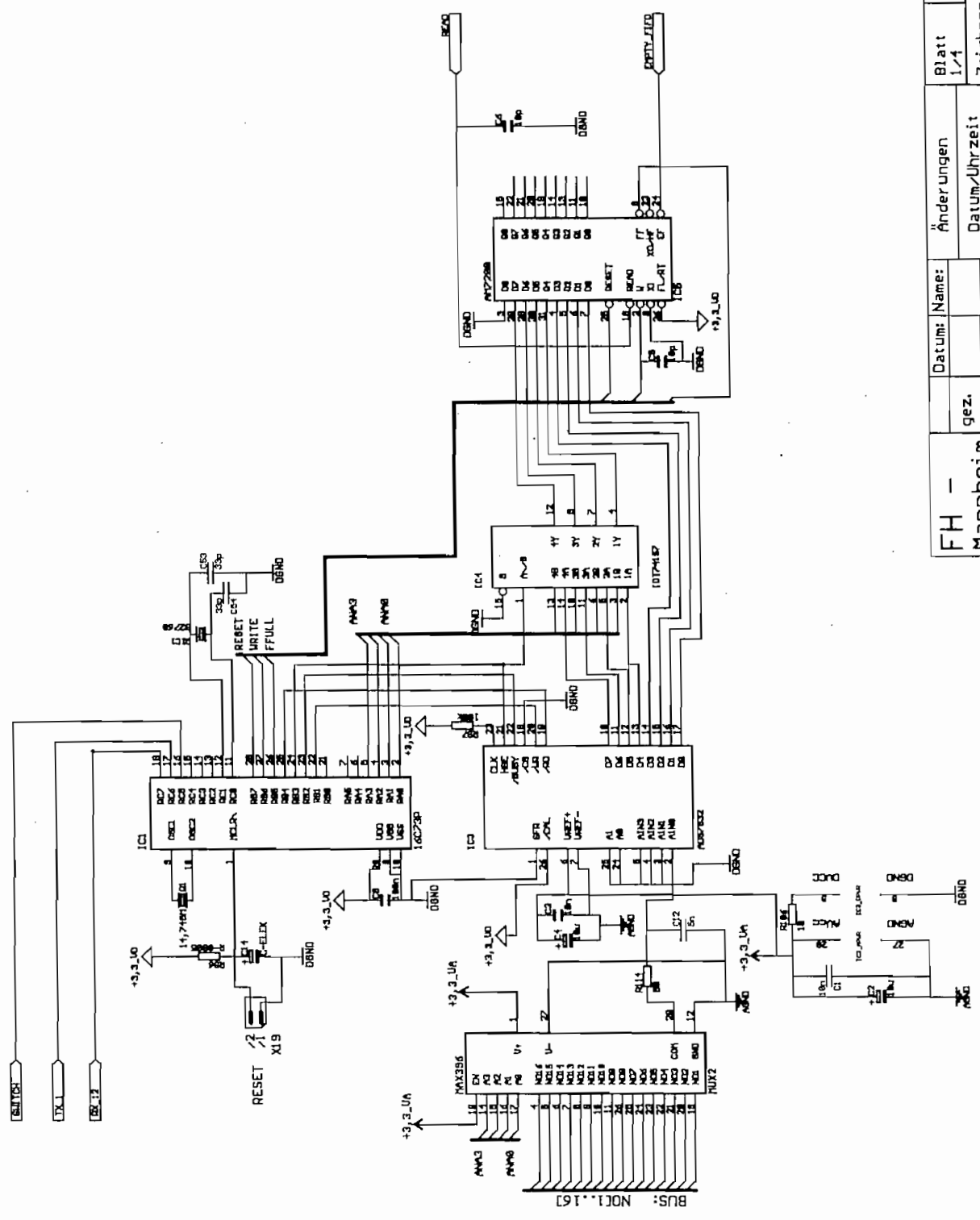
- **RESET:** Se encarga de resetear la memoria FIFO mediante un pulso HIGH-LOW-HIGH, es necesario en el proceso de inicialización de la tarjeta y al iniciar cada proceso de adquisición de datos.
- **WR:** (Write). Se encarga de escribir los datos en la memoria FIFO mediante un pulso HIGH-LOW-HIGH.
- **FF:** (FIFO Full). Su estado estable es LOW. Cuando la FIFO se ha llenado cambia a estado HIGH.
- **READ:** Se encarga de leer los datos de la memoria FIFO. Los datos se encuentran disponibles luego del flanco negativo. Para obtener un nuevo dato es necesario dar un nuevo pulso.
- **EF:** (Empty Full). Su estado estable es LOW. Cuando la FIFO se ha vaciado cambia a estado HIGH.
- **XI:** (Expansion IN). Este pin define si el elemento es usado en configuración simple o si está acompañado de otras FIFOs para expansión.
- **D0..D8:** Es el puerto de entrada de datos de la memoria FIFO
- **Q0..Q8:** Es el puerto de salida de datos de la memoria FIFO.


El modo de operación necesario para esta tesis es el de operación sencilla, para lo cual se debe tener cuidado con la correcta utilización de las banderas; es decir, la bandera FF (Fifo Full) debe ser monitoreada por el elemento que escribe (el elemento que utiliza W) y la bandera EF (Empty Full) debe ser monitoreada por el elemento que lee (el elemento que utiliza R).

El elemento debe estar configurado para el modo de operación simple para lo cual el pin de Expansión IN (XI) debe estar a 0 lógico.

El diagrama de tiempos para la lectura y escritura de datos se presenta al final de esta tesis en el Anexo B.

En la página siguiente se presenta el esquemático de estas primeras etapas del hardware.



FH - Mannheim	Datum:	Name:	Änderungen	Blatt	
	gez.	gepr.	Datum/Uhrzeit	1/4	
MULTIPLEXACION Y CONVERSION A/D					26/09/2000 05:25:32 Esqm_1
					Masstab
					Artikel-Nr:

## **2.5 ETAPA DE LECTURA DE DATOS Y TRANSMISION HACIA EL COMPUTADOR Y/O MEMORIA EXTERNA.**

Las funciones que debe cumplir esta etapa se describen a continuación:

- Leer los datos de la memoria de almacenamiento temporal (Memoria FIFO).
- Decidir entre enviar los datos hacia el computador o hacia un sistema de almacenamiento, el cual debe tener una gran capacidad de almacenamiento.
- Realizar una comunicación serial con el computador por medio del puerto serial.

Las alternativas para esta parte del diseño fueron las siguientes:

- Para la memoria de almacenamiento a largo plazo, una alternativa es utilizar una memoria de acceso serial; es decir, que para la transmisión de datos hacia y desde la memoria se necesitan de pocas líneas de control y dos líneas para datos. Esto representa una reducción considerable si se toma en cuenta que el número de líneas de entrada y salida que se tiene en los PICs utilizados es limitado.
- La otra alternativa, que es la que se utilizó, es utilizar una memoria de acceso paralelo, es decir que se necesitan 8 líneas para la transmisión de datos hacia y desde la memoria. Esta opción fue utilizada debido a que el número de líneas necesarias para el control de la memoria TH58V128 de Toshiba es de 15, número de líneas del cual se dispone y con el que se da un uso completo al PIC 16F87X. De no disponerse del número de líneas necesario para esta tarea la alternativa utilizada hubiese sido la anterior.

El software diseñado para esta etapa cumple ya con la transmisión de los datos hacia el computador y con la lectura de datos de la memoria FIFO, por lo tanto deberá cumplir entonces con los siguientes aspectos:

- Controlar la memoria de almacenamiento, es decir implementa funciones de escritura, lectura y borrado de datos.
- Configurar a la memoria de almacenamiento.

El siguiente diagrama de bloque presenta gráficamente la función de esta etapa:

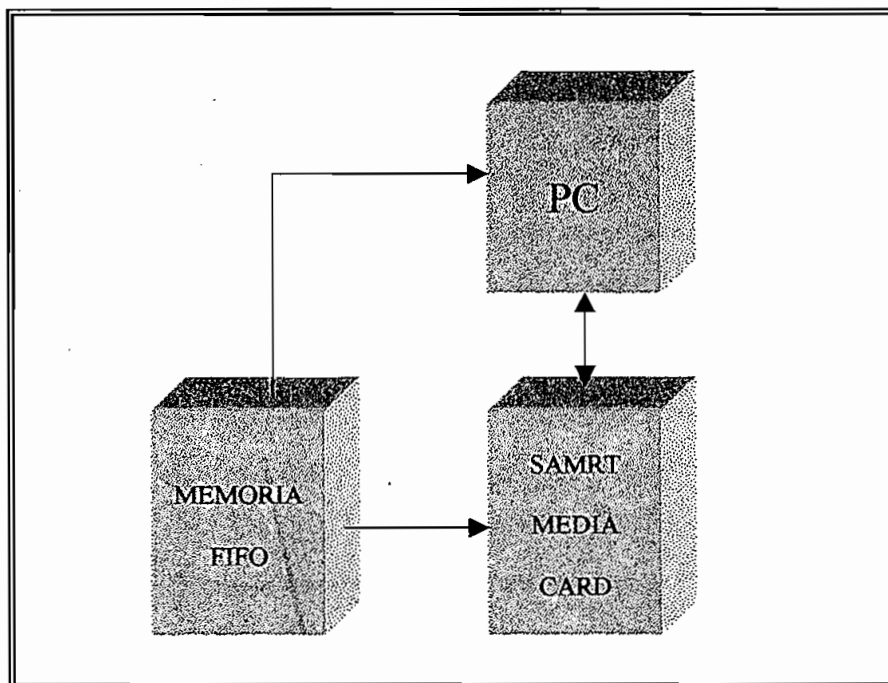


Figura 2.13 Diagrama de bloques de la etapa de lectura y transmisión de datos

Para las tareas ya mencionadas se utiliza el PIC 16F877, el cual tiene una capacidad de 33 líneas de entrada y salida y es el elemento que controla todos los procesos a realizar.

Este PIC presenta la capacidad de comunicación con periféricos por medio de diferentes protocolos de transmisión serial sincrónica o asincrónica, así como

comunicación por medio de un puerto paralelo, el cual tiene sus propias líneas de control. Para las necesidades de esta tesis se utilizó el puerto de comunicación serial sincrónica SPI (Serial Peripheral Interface).

Para el almacenamiento de gran capacidad se ha elegido uno de los nuevos sistemas existentes en el mercado que es una Smart Media Card, el cual también es utilizado en las cámaras digitales de hoy en día.

El Bus de Transmisión y Recepción serial está compartido por los dos PICs; es decir, las respectivas líneas de cada PIC 16F87X utilizadas para la recepción están unidas y mediante un circuito de discriminación es también compartida la línea utilizada para la transmisión.

### **2.5.1 RECURSOS DEL MICROCONTROLADOR PIC 16F877 A UTILIZAR POR ESTA ETAPA**

- Puerto serial sincrónico en modo SPI (Serial Peripheral Interface).
- Interface para comunicación serial asincrónica.
- Pines del puerto A, puerto C y puerto E
- Puerto B
- Puerto D

#### **2.5.1.1 Puerto serial sincrónico**

Este puerto se encuentra disponible en los PIC 16F87X y puede ser configurado para trabajar en modo SPI (Serial Peripheral Interface) o en I<sup>2</sup>C (Inter-Integrated Circuit). Este puerto puede utilizarse para la comunicación del Microcontrolador con periféricos o con otros microcontroladores.

Este modo de operación SPI necesita normalmente de 3 líneas que son SDO, SDI, CLK y una línea adicional de acuerdo al modo en que se trabaje. Esta línea es SS (Slave Select).

Los modos de operación pueden ser: Master send Data – Slave send dummy Data, Master send Data – Slave send Data, Master send dummy Data – Slave send Data. El modo que se ha elegido para esta ocasión es Master send Data – Slave send dummy Data.

La velocidad de transmisión tiene que ser lo más alta posible, y para este caso llega hasta una velocidad igual a la Frecuencia de oscilación del reloj del microcontrolador sobre cuatro ( $F_{osc}/4$ ).

#### **2.5.1.2 Interface para comunicación serial asincrónica**

Como ya se explicó anteriormente, la forma de comunicarse con el computador es por medio del protocolo RS232 a una velocidad de 115.2 Kbps<sup>[3]</sup>.

#### **2.5.1.3 Puerto A, Puerto B, Puerto C, Puerto D Y Puerto E**

Este microcontrolador se utiliza tanto para esta etapa como para el control de ajuste de ganancia y nivel de offset. Los puertos se distribuyen entonces de la siguiente manera:

Los pines ocupados en el Puerto A son los pines A0, A1, para actuar como Chip Select de los potenciómetros digitales y de los conversores DA. Los pines A2, A3, A4, A5, E0, E1 y E2 son utilizados para el control de la tarjeta de memoria Smart Media Card.

El puerto B estará configurado como entrada o salida, dependiendo de la función que realice, es decir, escribir o leer datos de la tarjeta de memoria Smart Media Card.

Los pines del Puerto C, C1 y C2 son los que se encargan de controlar la lectura de la memoria FIFO. El puerto D se lo configura siempre como entrada y es por donde se va a recibir los datos de la memoria FIFO.

Los pines del Puerto C, C7 y C6 se los utiliza para la comunicación serial. Los pines C5, C4 y C3 se los utiliza para la comunicación por medio del puerto SPI.

### 2.5.2 LA TRANSMISION SERIAL ASINCRONICA

Como ya se explicó anteriormente, el bus de comunicación serial es compartido por los dos PICs, de manera que los dos reciban siempre el dato que envía el computador, pero que no se les dé la posibilidad de enviar datos simultáneamente. Para lograr esto se tiene el circuito de la Figura 2.17 que se presenta a continuación y cierto software de apoyo.

Para ofrecer una mayor confianza en la transmisión de los datos hacia el computador, se trató de encontrar un dispositivo que se comunique en un rango de 0 a 3.3 V con los microcontroladores, pero que trabaje con un voltaje más alto para la generación de los voltajes necesarios para el protocolo RS232.

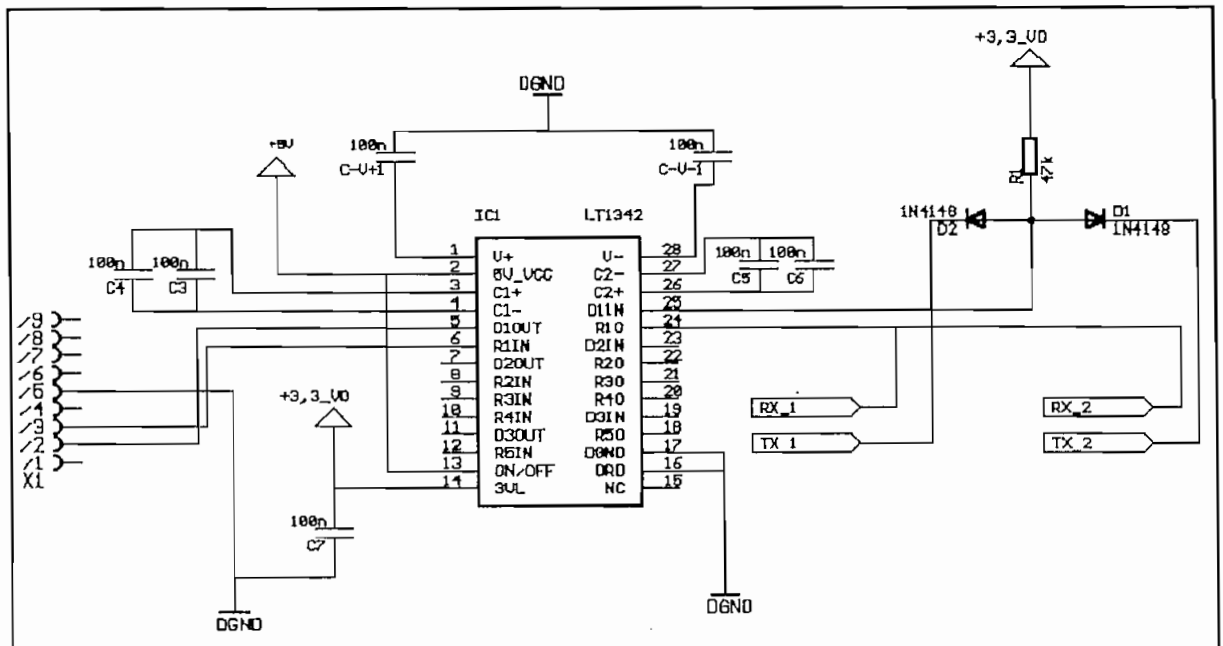


Figura 2.14 Circuito para compartir el puerto serial asincrónico del computador por los dos microcontroladores



## 2.5.3 ELEMENTOS UTILIZADOS

### 2.5.3.1 El circuito para interface RS 232 LT1342.

Este circuito presenta las siguientes características<sup>[15]</sup>:

- Interface con lógica de +3 V y polarización de +5 V para la generación de los voltajes de transmisión necesarios.
- Capacidad de Transmisión de datos de hasta 250 Kbps.
- Opera con capacitores de bajo valor.

### MODO DE OPERACION

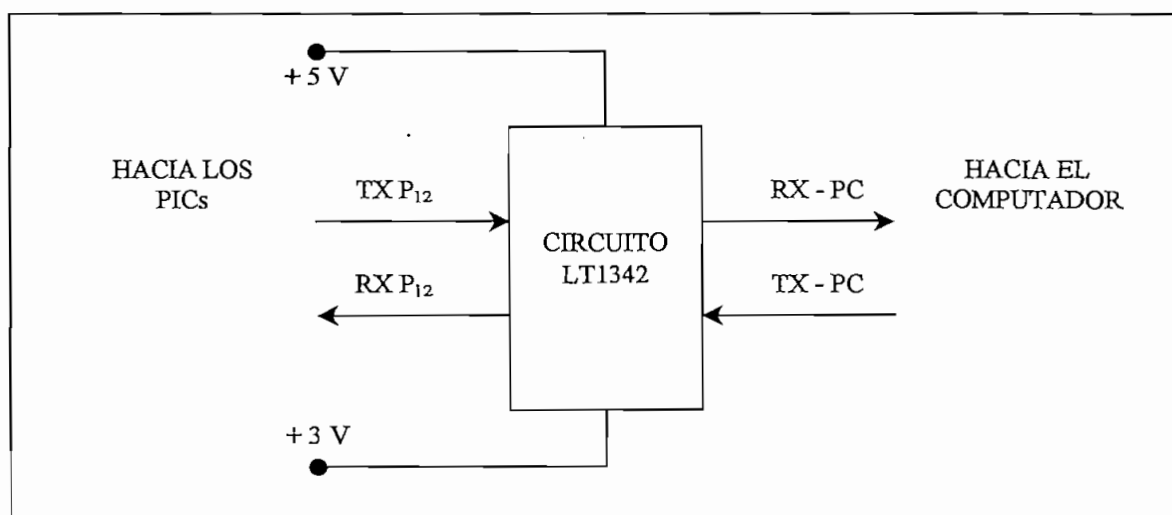


Figura 2.15 Modo de operación del circuito LT1342

- TX – P<sub>12</sub>: Esta línea recibe los datos que alguno de los dos PICs quiere enviar hacia el computador. Estos datos están en niveles de 0 y 3.3 V.
- RX – P<sub>12</sub>: Esta línea es la que transmite los datos que ya en un formato de 0 a 3.3 V van a ser interpretados por los PICs.
- RX – PC: Esta línea lleva la información que alguno de los PICs ha enviado pero ahora ya cumple con el formato RS232 con voltajes determinados por capacitores que no se encuentran descritos en el diagrama anterior.

- TX – PC: Esta línea lleva la información que el computador envía hacia la tarjeta. Los niveles de voltaje van a depender del computador, y van a ser los necesarios para cumplir con el protocolo RS232.
- +5 V: Es un pin que recibe la polarización extra que necesita este circuito para generar los voltajes correspondientes a niveles RS232.
- + 3 V: Es un pin que indica si la salida hacia los PICs se va a realizar con niveles de 3.3 V o niveles de 5 V. Si en este pin se coloca un valor de voltaje de 3.3 V la salida hacia los PICs será también de 3.3 V. Caso contrario, si se quiere que la salida sea en niveles de 5V se debe poner este pin a 0 V.

#### **2.5.4 LA MEMORIA SMART MEDIA CARD TH58V128DC**

##### **2.5.4.1 Descripción**

Es un dispositivo que trabaja con una fuente simple de 3.3 V con una capacidad de 128Mbits de almacenamiento. Es una memoria de tipo NAND EEPROM (NAND Eraseble and Programable Read Only Memory) organizada en 528 bytes x 32 páginas x 1024 bloques. Este elemento tiene 528 bytes de registro estático que contiene los datos de escritura y de programa que son transferidos entre el registro y las celdas de memoria<sup>[16]</sup>.

Es una memoria de tipo secuencial que utiliza los pines de I/O tanto para la dirección como para los datos de Entrada y Salida y para los comandos de entrada. Las operaciones de borrado (Erase) y programación (Program) son ejecutadas automáticamente, haciendo de éste un elemento ideal para aplicaciones en las que se requiere un almacenamiento en estado sólido de archivos (Solid State File Storage), como grabación de voz o grabación de imágenes.

### 2.5.4.2 Características:

#### Organización:

- Organización de las celdas de Memoria 528 x 16K x 8 x 2
- Registro 528 x 8
- Tamaño de página 528 bytes
- Tamaño de bloque (16K + 512) Bytes o 32 páginas

#### Modo:

- Reset, Lectura, Escritura, Programación de página automática, Borrado de Bloque automático, Lectura de Status.

#### Modos de Control:

- Entrada y salida secuencial
- Comandos de Control

#### Fuente de Alimentación:

- $V_{cc} = 3.3 V \pm 0.3 V$

#### Tiempo de Acceso:

- Celdas de memoria – Registro 7 us max
- Ciclo de Lectura secuencial 80 ns min

#### Corriente de consumo:

- Lectura (Ciclo de 80 ns) 10 mA typ
- Programa (promedio) 10 mA typ
- Borrado (promedio) 10 mA typ
- Standby(CMOS) 100 uA max

#### Tamaño:

- 37 x 45 mm

Peso:

- 2g

Package:

- Necesita de un drive para poder ser empleada correctamente.

### 2.5.4.3 Función de los Pines:

Este elemento es una memoria de acceso serial que utiliza entradas de tiempo compartido (para datos y dirección).

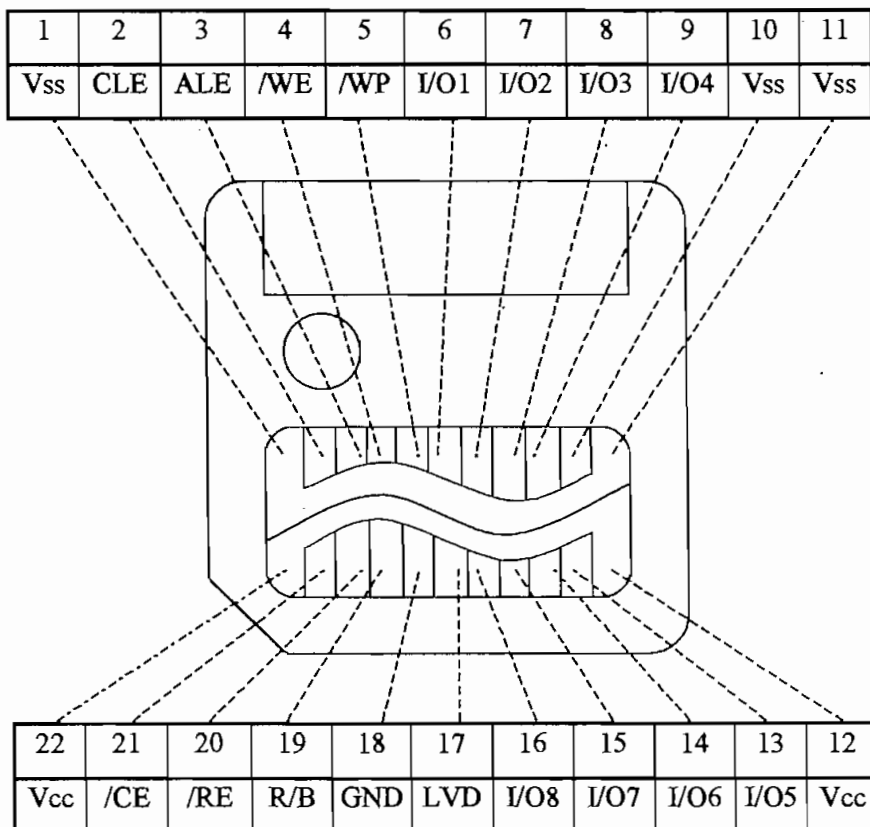


Figura 2.16 Diagrama de la memoria TH58V128

**I/O PORT:** Son 8 pines utilizados para la transferencia de comandos, direcciones, entrada y salida de datos desde o hacia el elemento.

**CLE: Command Latch Enable.** Esta es una señal de entrada para la memoria que es utilizada para la adquisición de comandos de modo de operación. El comando es almacenado en el registro de comando desde el puerto de entrada y salida de datos I/O el momento en el que ocurre un flanco positivo en el pin WE.

**ALE: Address Latch Enable.** Este pin es utilizado para el control de la adquisición de datos que indican la dirección a leer o escribir y también datos de entrada y salida normales. Si ALE esta en HIGH lo que se espera en la entrada del puerto I/O es direcciones que son llevadas hacia el registro correspondiente, el momento que se produce un flanco de subida en el pin WE. Si ALE está en LOW, lo que se espera en la entrada del puerto son datos normales de escritura que son grabados en el registro correspondiente, de la misma manera.

**CE: Chip Enable.** Es utilizado para preparar el elemento a una operación normal, es decir, es necesario para iniciar cualquier proceso de escritura, lectura, borrado, etc.

**WE: Write Enable.** Este pin es utilizado para el control de adquisición de datos desde el puerto I/O hacia el dispositivo.

**RE: Read Enable.** Este pin es utilizado para una lectura secuencial de datos desde el dispositivo hacia el microcontrolador. El puntero interno de dirección de memoria es incrementado en uno con el flanco negativo de RE.

**WP: Write Protect.** Este pin es utilizado para proteger al elemento de una programación accidental. Generalmente es utilizado para proteger datos en el momento de un Power ON/OFF en donde la secuencia de datos es invalida.

**R/B: Ready/Busy.** Este pin es utilizado para indicar la condición de operación del elemento. Esta es una señal de salida del dispositivo la cual pasa a un nivel LOW cuando realiza alguna de las operaciones de Autoprogramación, Erase o Lectura de datos.

**LVD: Low Voltage Detect.** Mediante este pin de salida es posible reconocer que tipo de memoria se trata, es decir, si la memoria debe tener una polarización de 5V o de 3.3 V.

#### 2.5.4.4 Asignación de direcciones

En el direccionamiento para los procesos de lectura y escritura de la memoria se debe tomar en cuenta que se necesitan 24 bits para proporcionar la dirección exacta. Uno de estos bits es automáticamente seteado de acuerdo al comando que se utilice. Este proceso es descrito más adelante en este capítulo.

Como está explicado en las características del dispositivo, la disposición de las celdas de memoria está dada por "columnas" de 8 bits que conforman un byte. 528 columnas o bytes conforman lo que se llama una página. 32 páginas conforman un bloque y se tiene en total 1024 bloques.

De acuerdo a esto, una dirección completa constaría de la siguiente estructura:

Dirección de bloque	Dirección de página	Dirección de Columna.
---------------------	---------------------	-----------------------

La dirección que se le da a la memoria está dada en total en tres ciclos para los procesos de Lectura y Escritura y de dos ciclos para el proceso de Borrado o Erase, y de un ciclo para el proceso de Identificación del dispositivo.

Los datos de dirección que acepta la memoria están en el siguiente formato:

	I/O 8	I/O 7	I/O 6	I/O 5	I/O 4	I/O 3	I/O 2	I/O 1
Primer Ciclo	A7	A6	A5	A4	A3	A2	A1	A0
Segundo Ciclo	A16	A15	A14	A13	A12	A11	A10	A9
Tercer Ciclo	LOW	A23	A22	A21	A20	A19	A18	A17

Tabla 2.4 Descripción de los ciclos necesarios para una dirección completa en la memoria SMC

En donde:

		TOTAL
A0 a A7	Dirección de columna	256
A9 a A13	Dirección de página	32
A14 a A23	Dirección de bloque	1024

Tabla 2.5 Número total de columnas, páginas y bloques en la memoria SMC

De los cuadros anteriores cabe recalcar dos cosas. Una es la ausencia del bit A8, el cual es seteado automáticamente de acuerdo al comando de lectura o escritura que se necesite. Y segundo, que el bit más significativo en el tercer ciclo de dirección debe estar siempre a LOW.

Hasta ahora se ha hablado de diferentes procesos los cuales pueden ser realizados por el dispositivo; sin embargo, no se ha aclarado nada en cuanto a cuales son o como deben utilizarse. A continuación se procede a tal explicación.

#### 2.5.4.5 Descripción del funcionamiento de la memoria

La orden que se necesita para la ejecución de una actividad o proceso por parte de la memoria depende, en cierta manera, de si la actividad la realiza la memoria sola o si necesita parámetros extras. Sin embargo, lo que siempre se necesita es un CODIGO de operación el cual le indica a la memoria que es lo que va a hacer.

Luego de haber ingresado el CODIGO, en la mayoría de los casos hace falta ingresar una DIRECCION, la cual puede ser de tres, dos o un ciclo. El formato común de dirección es el descrito anteriormente.

Generalmente, luego del direccionamiento en los procesos de lectura o escritura vienen los DATOS, los cuales son leídos o escritos según sea el caso. Existen

otros procesos en los cuales no hacen falta DATOS sino esperar un cierto tiempo y examinar el resultado del proceso.

A continuación se presentan los códigos que se encuentran a disposición en este tipo de memorias.

CODIGO	Primer Ciclo	Segundo Ciclo
Serial Data Input	80 H	
Read Mode (1)	00 H	
Read Mode (2)	01 H	
Read Mode (3)	50 H	
Reset	FF H	
Autoprogram	10 H	
Auto Block Erase	60 H	D0 h
Status Read	70 H	
ID Read	90 H	

Tabla 2.6 Códigos necesarios para el manejo de la memoria flash SMC

#### 2.5.4.6 Modos de operación

**SERIAL DATA INPUT.** Este modo de operación es el utilizado para poder guardar datos en la memoria. A parte del código 80 H se necesita a continuación la dirección en la cual se va a escribir el dato. Esta dirección, como ya se dijo antes, consta de 3 bytes. Una vez con la dirección correcta se deben ingresar máximo 528 datos, para luego poder asegurar que se han grabado correctamente mediante el proceso Autoprogram. No es necesario entonces indicar que la dirección ingresada luego del código es la dirección de una página.



**AUTOPROGRAM.** Esta operación es realizada siempre al final de un ciclo de escritura para tener más seguridad de que los datos han sido grabados correctamente. Una vez que se han ingresado los 528 datos en la memoria, estos datos son ingresados no directamente a las celdas de memoria sino a un registro de datos (Data Register) desde el cual son transmitidos a las celdas de memoria propiamente dichas. Si luego de haber ingresado el dato 528 se ingresa el código 10 H entonces la memoria transfiere los datos del Data Register hacia las celdas de memoria, mediante un proceso normal de escritura, pero además, vuelve a comparar todos los datos ya escritos con los datos que se encuentran todavía en el Data Register. Si la comparación tiene éxito entonces se setea un bit en un registro llamado Status Register, al cual es posible leerlo.

**READ MODE (1).** Este es uno de los tres modos de lectura que presenta este dispositivo. Al escoger este modo de lectura el puntero de direcciones de columnas es seteado automáticamente a la columna 0, esto quiere decir que la lectura de una página se la puede realizar desde su inicio o si se quiere desde la columna XX H siempre y cuando XX H sea menor de FF H. Recuérdese que la dirección de columna consta solamente de 8 bits.

La lectura de la página puede realizarse entonces en forma completa si se quiere. Una vez alcanzado el final de página, la memoria busca automáticamente la siguiente dirección de página y no hace falta setearla "manualmente", lo que facilita enormemente su uso. Este modo de lectura se llama Lectura Secuencial.

**READ MODE (2).** En este segundo modo el puntero de direcciones de columnas es seteado automáticamente a la dirección 256, de manera que la lectura puede realizarse en la parte superior de la página de acuerdo a la dirección deseada. Una vez alcanzado el final de página, como en el caso anterior, la siguiente página es seleccionada automáticamente, pero el puntero de direcciones de columnas es seteado automáticamente a la dirección 0 y no a la dirección 256.

**READ MODE (3).** En este tercer modo de lectura el puntero de direcciones de columnas es seteado automáticamente a la dirección 512, es decir que solamente

se podrán leer los últimos 16 bytes que se presentan en la página seleccionada. Al alcanzar el final de página la dirección de la siguiente es seteada automáticamente pero, a diferencia de los casos anteriores, el puntero de columnas no es direccionado a la columna 0 sino nuevamente a la columna 512. Para salir de este modo de lectura y volver a la columna 0 es necesario ingresar el comando 00 H.

**RESET.** Este código es el único que no necesita de ningún tipo de dirección o de dato. Si la memoria recibe este código para cualquier operación que se encuentre en proceso, como por ejemplo en el caso de la Autoprogramación o Borrado. Al realizar un Reset, los registros de direcciones vuelven a cero así como el Data Register o Registro de Datos, y el modo de operación pasa al estado de Wait State; es decir, espera a que se le indique la nueva operación. Este proceso es recomendado siempre que se encienda el equipo del cual está formando parte para asegurar los datos que se van a recibir.

**AUTO BLOCK ERASE.** Este proceso es el único que necesita de dos comandos para su ejecución. El primer código es el 60 H luego del cual hacen falta dos bytes que definen la dirección del bloque a borrar. Una vez definido el bloque a borrar se necesita el comando D0 H para indicarle a la memoria que comience con el ciclo de borrado.

**ID READ.** Todas las memorias de este tipo tienen códigos de identificación, los cuales identifican el tipo de elemento y el fabricante. Estos códigos son accesibles al usuario mediante el código 90 H y luego la dirección 00 H. Para el caso de la memoria TH58V128, los códigos que se tienen son los siguientes.

CODIGO DE FABRICANTE:	98 H
CODIGO DE ELEMENTO:	73 H

**STATUS READ.** Esta memoria implementa automáticamente la verificación de los procesos Autoprogram y Erase. Esta verificación es realizada mediante el seteo de un bit en el Status Register, el cual es accesible al usuario por medio del código 70 H. Es recomendable que siempre que se realice una operación de Autoprogramación o de Erase se ejecute una Lectura de Status para poder determinar si el proceso tuvo éxito o no. Al leer el Status se presenta en el puerto de entrada y salida 3 bits con la siguiente disposición e identificación:

	STATUS	OUTPUT	
I/O 8	Pass/Fail	Pass : 0	Fail : 1
I/O 7	No es usado	0	
I/O 6	No es usado	0	
I/O 5	No es usado	0	
I/O 4	No es usado	0	
I/O 3	No es usado	0	
I/O 2	Ready/Busy	Ready : 0	Busy : 1
I/O 1	Write Protect	Protect : 0	Not Protect : 0

Tabla 2.7 Descripción de los 8 bits del estado de la memoria.

La salida de este Status y las indicaciones que presenta son válidas solamente cuando el pin Read/Busy está en HIGH, es decir, en el Ready State.

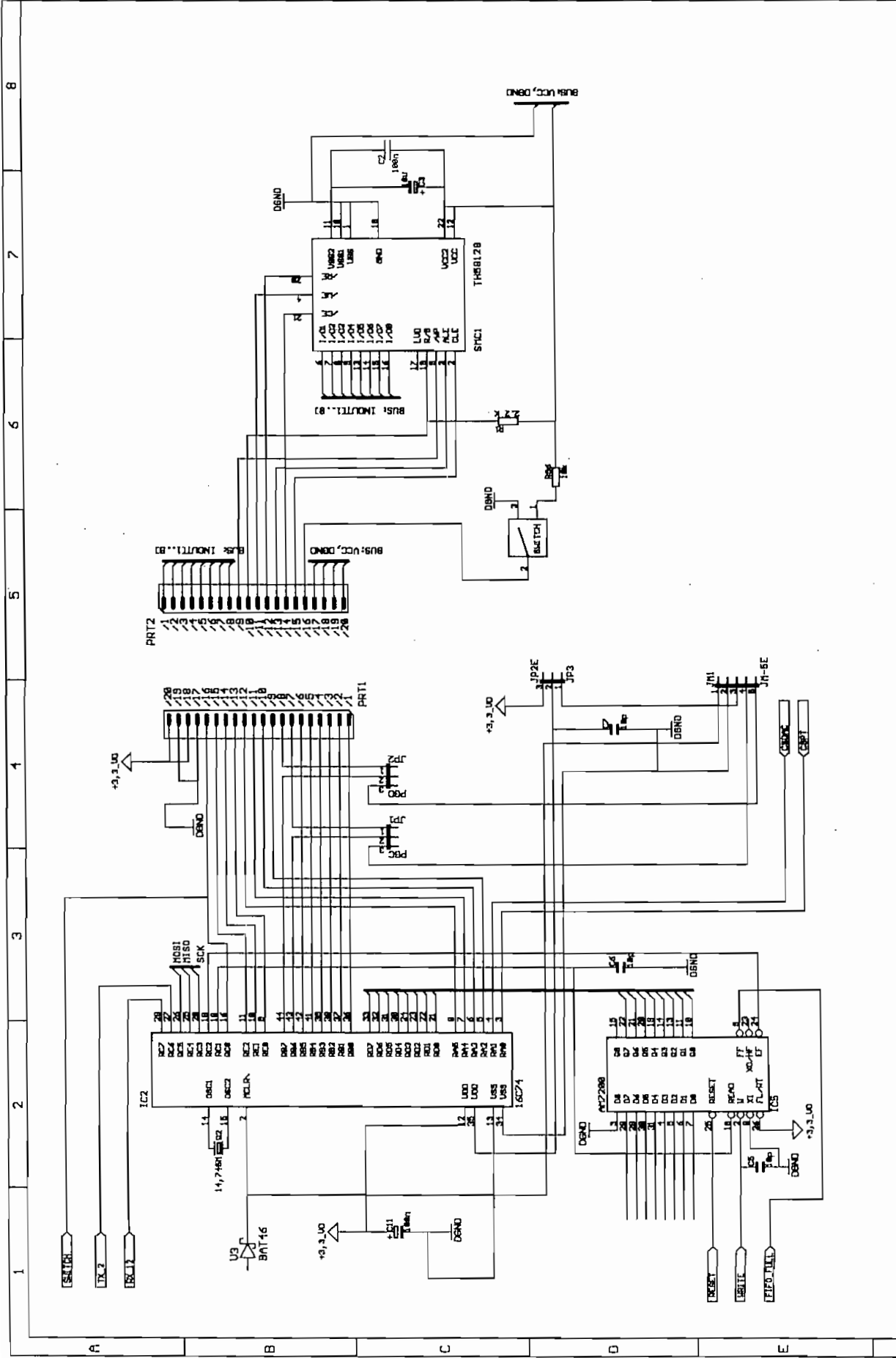
Las operaciones a realizar con los respectivos diagramas de tiempo se encuentran definidas en el siguiente capítulo.

#### 2.5.4.7 Consideraciones

Para el correcto funcionamiento de la memoria TH58V128 es necesario tomar en cuenta las siguientes consideraciones al momento de programar:

- Los comandos de operación son los citados anteriormente, si se ingresa como comando un valor distinto los datos almacenados pueden perderse o corromperse.
- Si la memoria está en estado Busy, no se puede ingresar otro comando que no sea el de Reset o de Status Read.
- Luego de un Power ON es siempre necesario el comando Reset pues algunas de las señales en el puerto I/O no pueden ser estables.
- De darse una falla en la Autoprogramación, la cual es indicada por el Status Read, se debe tratar de programar nuevamente los datos en un NUEVO BLOQUE.
- Un resistor de Pull-up es necesario en la salida del pin R/B, pues su salida es un colector abierto. Esta resistencia además fija la velocidad de cambio de nivel HIGH a LOW y viceversa con la que este pin trabajará.
- WP debe ser seteada adecuadamente para poder realizar las operaciones de Autoprogramación y Erase. Un nivel HIGH de WP habilita estas dos operaciones, un nivel de LOW deshabilita la ejecución de estas dos operaciones.
- Deben ingresarse las direcciones necesarias para cada proceso y no más. De darse el caso en el que se ingresan más direcciones de las necesarias, la última dirección será ignorada.
- Debido a que el elemento puede contener bloques malos puede fallar durante un proceso de Autoprogramación o de Erase. El Status debe chequearse siempre luego de tales operaciones. En caso de falla debe implementarse un algoritmo que tenga una tabla con la dirección de los bloques malos para no volverlos a ocupar nuevamente.

En la siguiente página se presenta el esquemático correspondiente a esta etapa del circuito.



FH - Mannheim	Datum:	26/09/2000	Änderungen	Blatt 1/4	Zeichungs-Nr: Esqm_2
	gez.	gepr.	Datum/Uhrzeit	26/09/2000 06:15:18	
CIRCUITO PARA LA MEMORIA SMC CONTROL DE AJUSTE DE GANANCIA Y NIVEL DE OFFSET			Masstab	Artikel-Nr:	



## 2.6 CONTROL DE LA ETAPA DE AJUSTE DE GANANCIA Y NIVEL DE OFFSET

Las funciones que debe cumplir esta etapa son controlar el ajuste de ganancia de cada canal así como el nivel de offset por medio del protocolo SPI. Este control debe ser posible desde el computador

Las alternativas para esta parte del diseño fueron las siguientes:

- Para los potenciómetros digitales y conversores D/A una alternativa es controlarlos por medio de 5 líneas de entrada y salida configuradas adecuadamente; éstas son: Salida Serial de datos, Entrada serial de datos, Señal de reloj y líneas de habilitación tanto para los potenciómetros digitales como para los conversores D/A. Esto haría necesario un trabajo de software, el cual no presenta ninguna complejidad.
- La otra alternativa más sencilla, y es la que se eligió, es utilizar el puerto SPI del PIC 16F87X que se encuentra también presente en los elementos elegidos para la etapa de acondicionamiento analógico de la señal. Esta opción se tienen ya a disposición las señales necesarias para esta tarea y la velocidad de comunicación es mucho más rápida.

El software para esta etapa debe cumplir los siguientes objetivos:

- Variar la ganancia de cada canal.
- Variar el nivel de offset de cada canal.

El siguiente diagrama de bloques presenta la función de este bloque:

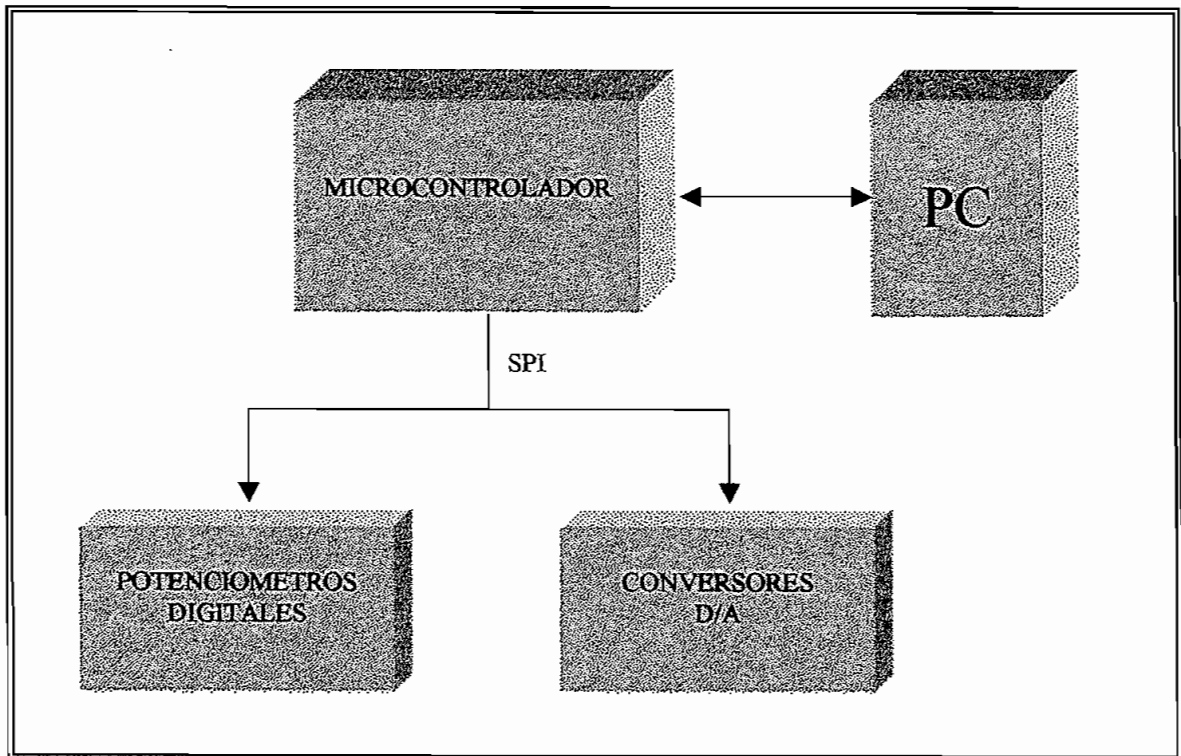


Figura 2.17 Diagrama de bloques del control de ajuste de ganancia y nivel de offset

### 2.6.1 CONFIGURACION DE LOS POTENCIOMETROS DIGITALES.

En la Figura 2.5 se presenta la configuración para un potenciómetro; sin embargo, en la tarjeta se necesitan 16 potenciómetros digitales; es decir, cuatro circuitos AD8403. Esto quiere decir que es necesario que los cuatro circuitos compartan tanto el Chip Select como el Clock, y además que el pin SDI del primer circuito recibe la señal de datos SDO del microcontrolador. Así mismo, se puede deducir que el pin SDO del primero debe estar conectado con la salida del segundo y así sucesivamente para todos los demás potenciómetros. La última salida está conectada con el pin de entrada de datos al puerto SPI del microcontrolador.

El siguiente diagrama de la Figura 2.18 muestra lo dicho anteriormente.

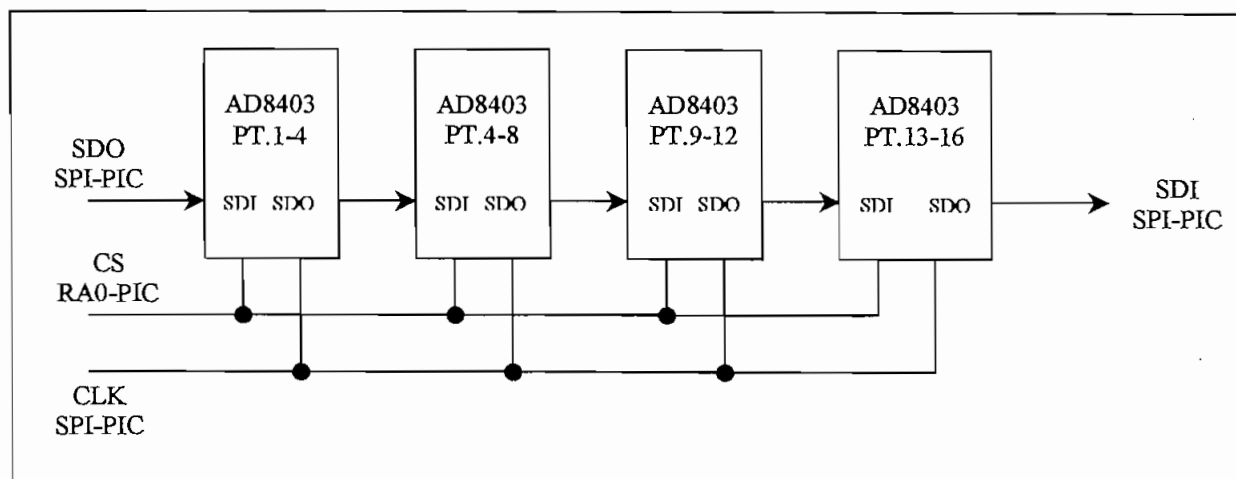


Figura 2.18 Configuración en serie de los potenciómetros digitales

En la configuración anterior debe tomarse en cuenta que la salida SDO de cada uno de los circuitos es una salida de tipo Colector Abierto, por lo que se necesita resistencias de Pull-up a Vcc para que la señal sea correctamente transmitida hacia el siguiente elemento.

Los diagramas de tiempo necesarios y la forma de programación por medio del puerto SPI del microcontrolador de la familia PIC 16F87X de Microchip se presenta en el siguiente capítulo.

### 2.6.2 CONFIGURACION DE LOS CONVERTORES DIGITAL / ANALOGICOS.

En la Figura 2.6 se presenta la configuración para un circuito; sin embargo, se requiere de 16 convertidores. Debido a esto se necesita de un circuito adicional el cual comparte, como en el caso de los potenciómetros digitales, los pines de CS y CLK. La entrada de datos SDI del primer circuito recibe datos del microcontrolador y además está cortocircuitada con el pin SDI del primer circuito AD8403 para ahorrar líneas de control y tener un solo bus de transmisión SPI.



Para este caso el pin SDO no exige ninguna conexión adicional; es decir, puede ser conectado directamente con SDI del segundo chip LTC1660.

En este caso el diagrama de operación de los dos circuitos quedaría como sigue:

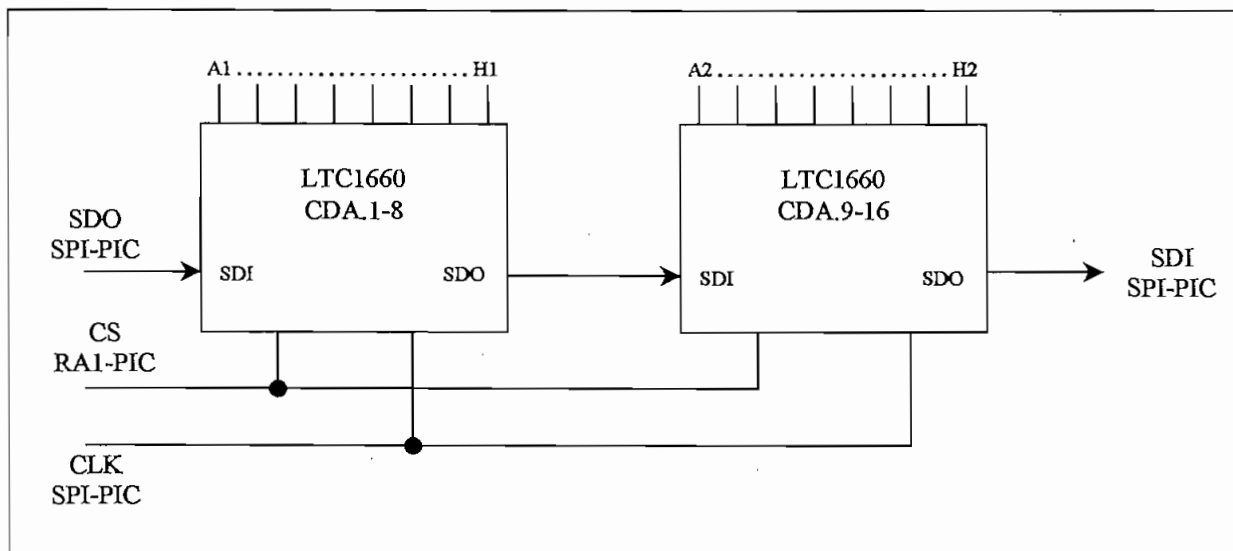
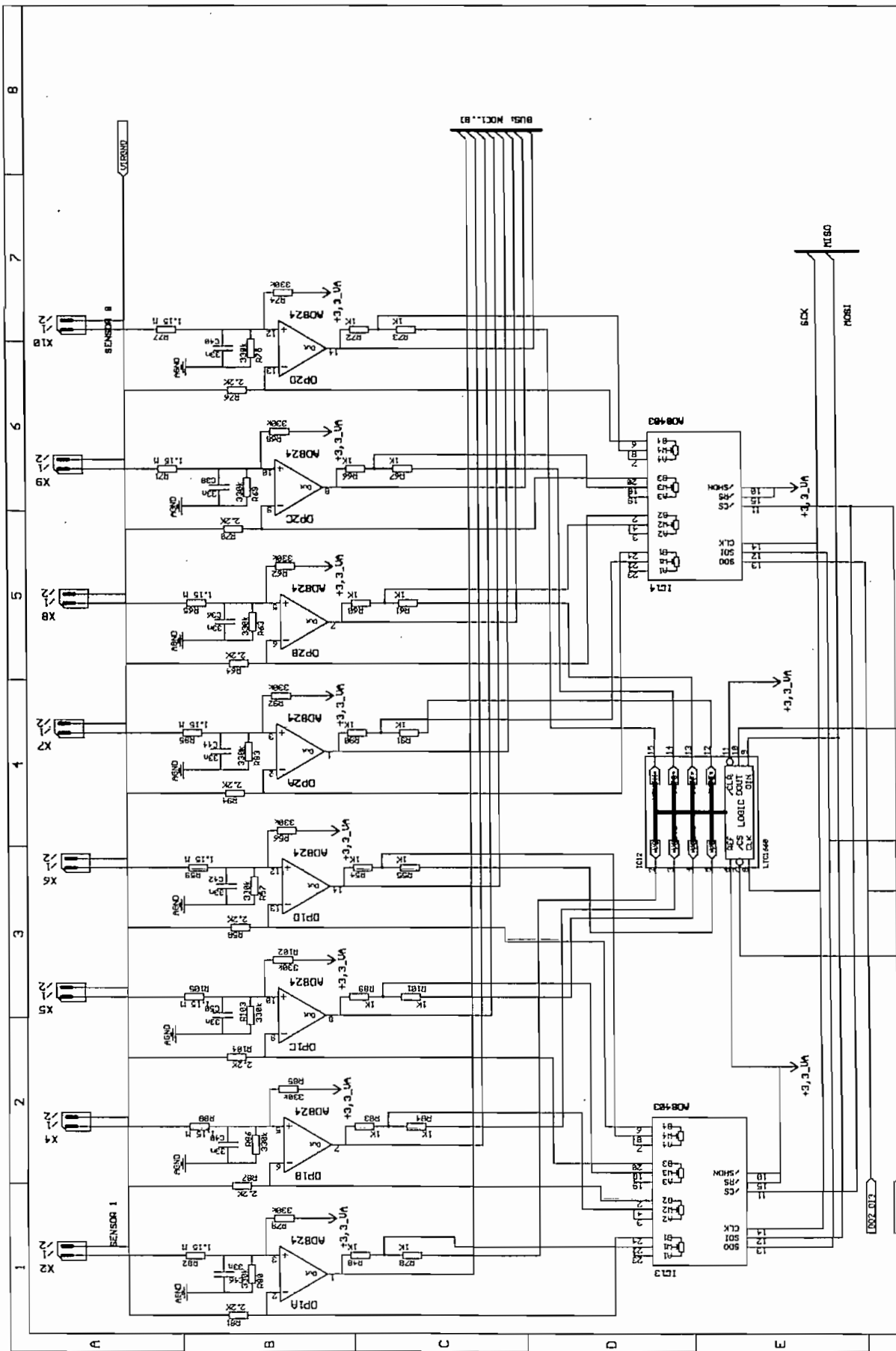


Figura 2.19 Configuración en serie de los Convertores D/A.

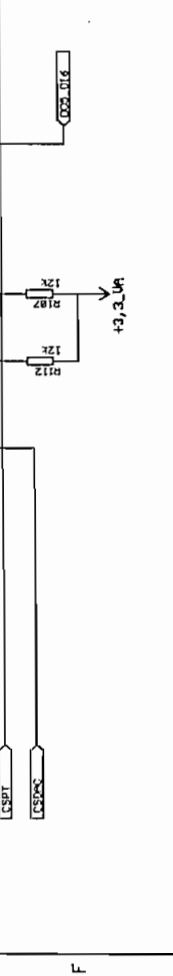
Los diagramas de tiempo necesarios para poder transmitir los datos desde el microcontrolador hacia los circuitos integrados por medio del puerto SPI se explica en el siguiente capítulo.

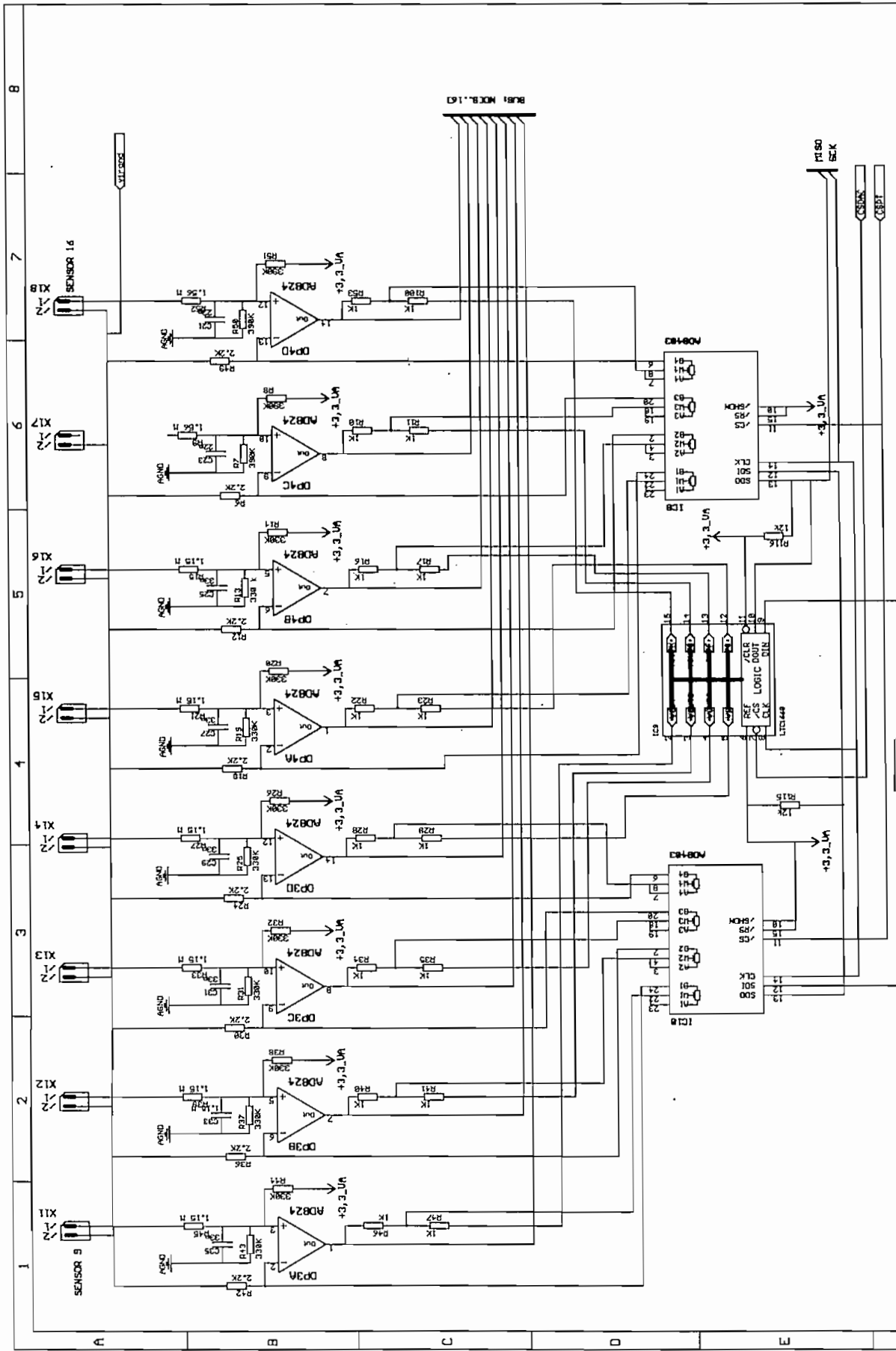
En el siguiente capítulo además se trata sobre la tabla de direcciones tanto de los CDA como de los Potenciómetros Digitales y la implementación del software necesario para ello.

En las siguientes páginas se presenta el esquemático correspondiente a esta etapa del circuito.



FH - Mannheim		Änderungen		Blatt 3/4	
gez.		Datum/Uhrzeit		Zeichnungs-Nr:	
gepr.		26/09/2000 08:05:58		Escm_3	
ETAPA DE AJUSTE DE GANANCIA Y NIVEL DE OFFSET CANALES DEL 1 AL 8		Masstab		Artikel-Nr:	





FH - Mannheim		Datum: Name:		Änderungen		Blatt 2/4	
gez.		gepr.		Datum/Uhrzeit		Zeichungs-Nr:	
ETAPA DE AJUSTE DE GANANCIA Y NIVEL DE OFFET CANALES DEL 9 AL 16		26/09/2000 08:05:58		Esqm_3		Masstab	
Artikel-Nr:		Masstab		Artikel-Nr:		Logo	

## **2.7 FUENTE DE POLARIZACIÓN.**

En este numeral se describen las características y funcionamiento de los componentes y circuitos empleados para generar los voltajes de polarización, los cuales tienen que ser 3.3 V para la parte digital, excepto para la parte de comunicación serial con el computador, la cual utiliza lógica de 3.3 V pero una polarización de 5 V para la formación de los voltajes necesarios para el protocolo de comunicación serial RS232, y un voltaje de 3.3 V para la parte analógica.

Con el objetivo de que la parte analógica sea independiente de la parte digital, se necesita que estos voltajes sean independientes entre sí, para lo cual se utiliza un conversor de corriente continua. Este también brinda las características necesarias de protección al paciente por cualquier sobrevoltaje que pueda transmitirse de la red hacia el aparato. No se debe olvidar que el voltaje con el que se va a alimentar a todo el equipo va a ser un voltaje DC suministrado por un adaptador o por baterías.

El circuito implementado para esta etapa es el siguiente:

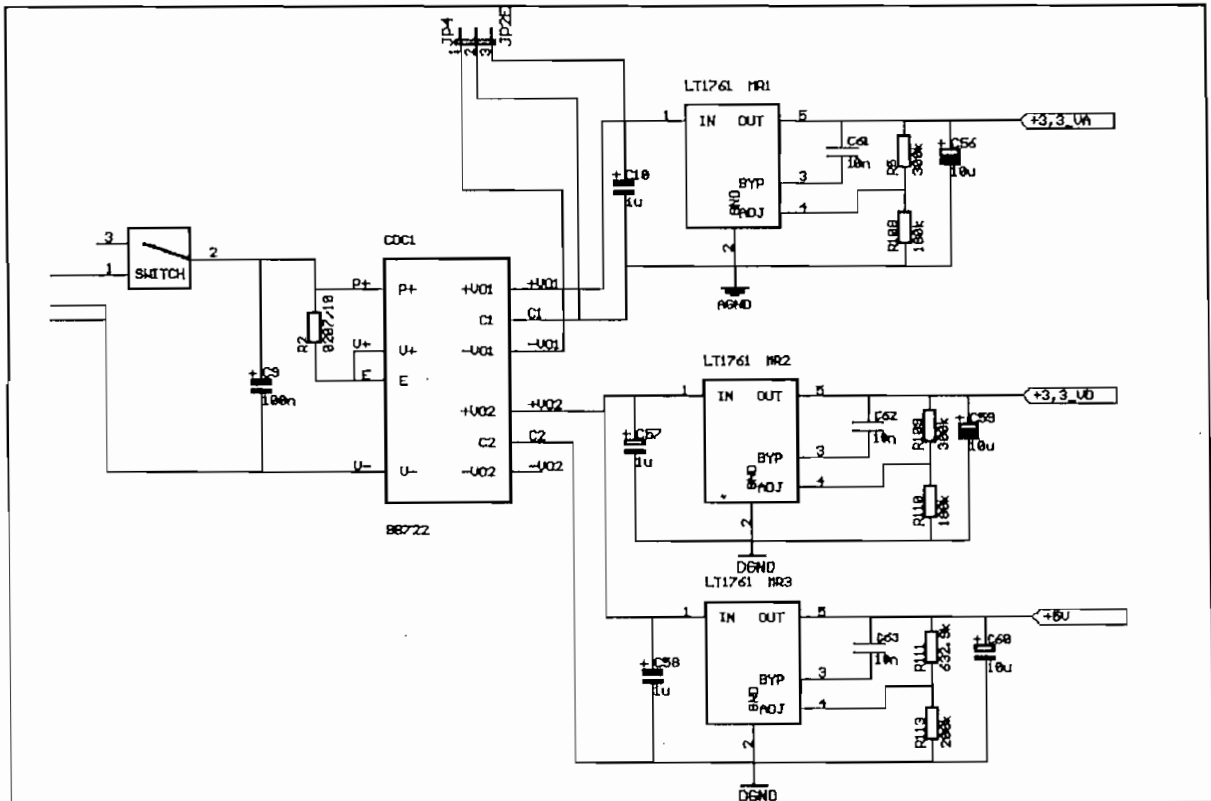


Figura 2.20 Circuito para la obtención de los voltajes de polarización.

## 2.7.1 ELEMENTOS UTILIZADOS

### 2.7.1.1 El convertor DC-DC BB722

El convertor DC-DC BB722 convierte una señal unipolar de entrada de entre +5V a +15V a dos señales bipolares del mismo valor aisladas entre sí. Es capaz de entregar hasta una corriente de 200 mA sin sufrir daño alguno.

Estas dos salidas deben estar aisladas entre sí, es decir, deben tener referencias distintas entre sí y con respecto a la referencia de entrada. Pueden ser conectadas en serie para la obtención de voltajes altos o en paralelo para la obtención de corrientes relativamente altas. Tiene integrado en sí un circuito de manejo de la conversión con un oscilador de 900 KHz y filtros para la salida de la señal.

Su circuitería y tamaño brindan un alto aislamiento para voltajes de ruptura de hasta 8000 V<sup>(17)</sup>.

## MODO DE OPERACION

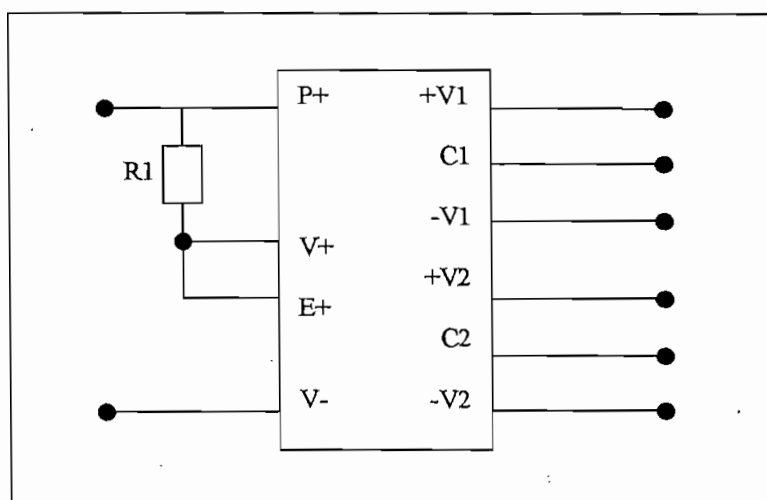


Figura 2.21 Modo de operación del circuito BB722

- P+ , V-: son las entradas para el voltaje primario, voltaje positivo a P+.
- V+: el voltaje en este punto debe ser entre 5 V y 7.5 V con respecto a V-
- E+: Habilita al convertidor cuando esta conectado a V+ y lo deshabilita cuando está conectado a V-.
- +V1, C1, -V1: Fuente secundaria bipolar con respecto a C1.
- +V2, C2, -V2: Fuente secundaria bipolar con respecto a C2.

Se recomiendan capacitores a la entrada de la fuente primaria para disminuir el ruido y evitar picos de voltaje. El valor del capacitor recomendado es de 0.47 $\mu$ F.

El valor de la resistencia R<sub>1</sub> está dado en la Tabla 2.8 para una mínima disipación interna de Potencia y depende del voltaje de entrada al primario.

		Máxima Corriente de salida en una salida simple		
		< 16 mA	16 mA a 30 mA	> 30 mA
Input Voltage (V)	> 13	1.3 kohm	820 ohm	510 ohm
	11 a 13	820 ohm	510 ohm	200 ohm
	9 a 11	510 ohm	200 ohm	0 ohm
	8 a 9	200 ohm	0 ohm	-
	< 8	0 ohm	-	-
$V_{EXT}$		6.5 V	7.5 V	9.0 V

Tabla 2.8 Valor de Resistencia  $R_1$  para mínima disipación de energía.

Todas las demás características se encuentran especificadas en las hojas de datos

El modo de operación es el recomendado por el fabricante y el circuito implementado es el de la Figura 2.20.

### 2.7.1.2 El regulador LT1761

El regulador LT1761 es un regulador que brinda un bajo consumo de potencia para su funcionamiento y es capaz de operar entre voltajes desde 1.8 hasta 20 V. Puede entregar una corriente máxima de 100 mA con una caída de voltaje de 300 mV<sup>[18]</sup>.

La circuitería interna del regulador presenta limitación de corriente y limitación térmica. La circuitería externa necesaria se reduce a dos resistencias que se encargan de determinar la magnitud del voltaje de salida y capacitores de baja magnitud. Existen variedades de este circuito las cuales no necesitan resistencias y presentan voltajes de salida fijos de 1.8V, 2V, 2.5V, 3V, 3.3V y 5V.

Su tamaño lo hace ideal para aplicaciones en las cuales se requiere de un voltaje de salida ajustable y espacio. El empaque del circuito es Tiny SOT-23 de 5 pines.

### MODO DE OPERACION

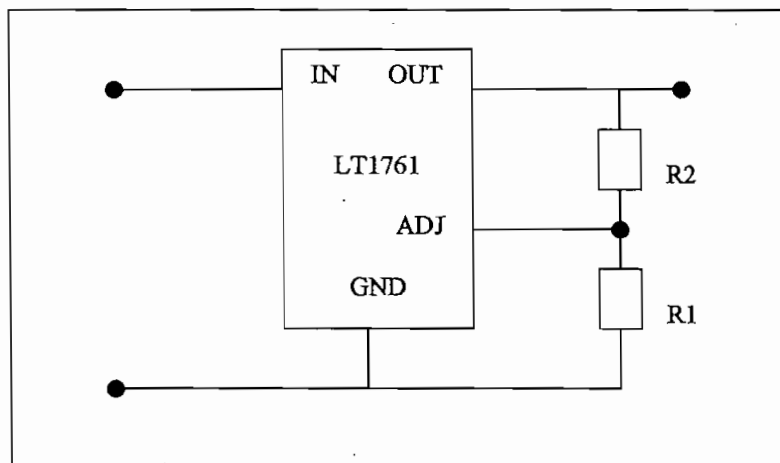


Figura 2.22 Modo de operación del circuito LT1761

- IN: Este pin es utilizado para la entrada de la fuente proveniente del circuito BB722.
- OUT: Es en donde se presenta la señal de salida con la cual se polarizará el circuito adecuado.
- ADJ: El valor de voltaje presente en este pin es el que determina la salida de voltaje OUT.
- GND: Es la referencia general para todo el circuito.

Para el correcto funcionamiento del circuito, capacitores de entrada y de salida son necesarios con valores entre 1uF y 10uF.

El voltaje de salida queda determinado por la siguiente fórmula:

$$V_{OUT} = V_{ADJ} \cdot \left( 1 + \frac{R_2}{R_1} \right) + I_{ADJ} \cdot R_2$$



en donde:

$$V_{ADJ} = 1.22V$$

$$I_{ADJ} = 30nA \text{ a } 25^{\circ}C$$

realizando las operaciones necesarias y tomando en cuenta que la resistencia R1 no debe ser mayor que 250K, para minimizar errores en el voltaje de salida debido a la corriente que se tiene en el pin ADJ, los resultados escogidos son los siguientes:

Voltaje de Salida [V]	R1 [Kohm]	R2 [Kohm]
3.3	33.2	56
5	180	560

Tabla 2.9 Valores de resistencias escogidos para la obtención de voltajes de 3.3V y 5V en el elemento LT1761

Todas las demás características se encuentran especificadas en las hojas de datos

El modo de operación es el recomendado por el fabricante y el circuito el presentado en la Figura 2.20.

En el capítulo siguiente se trata del software diseñado para esta tesis.

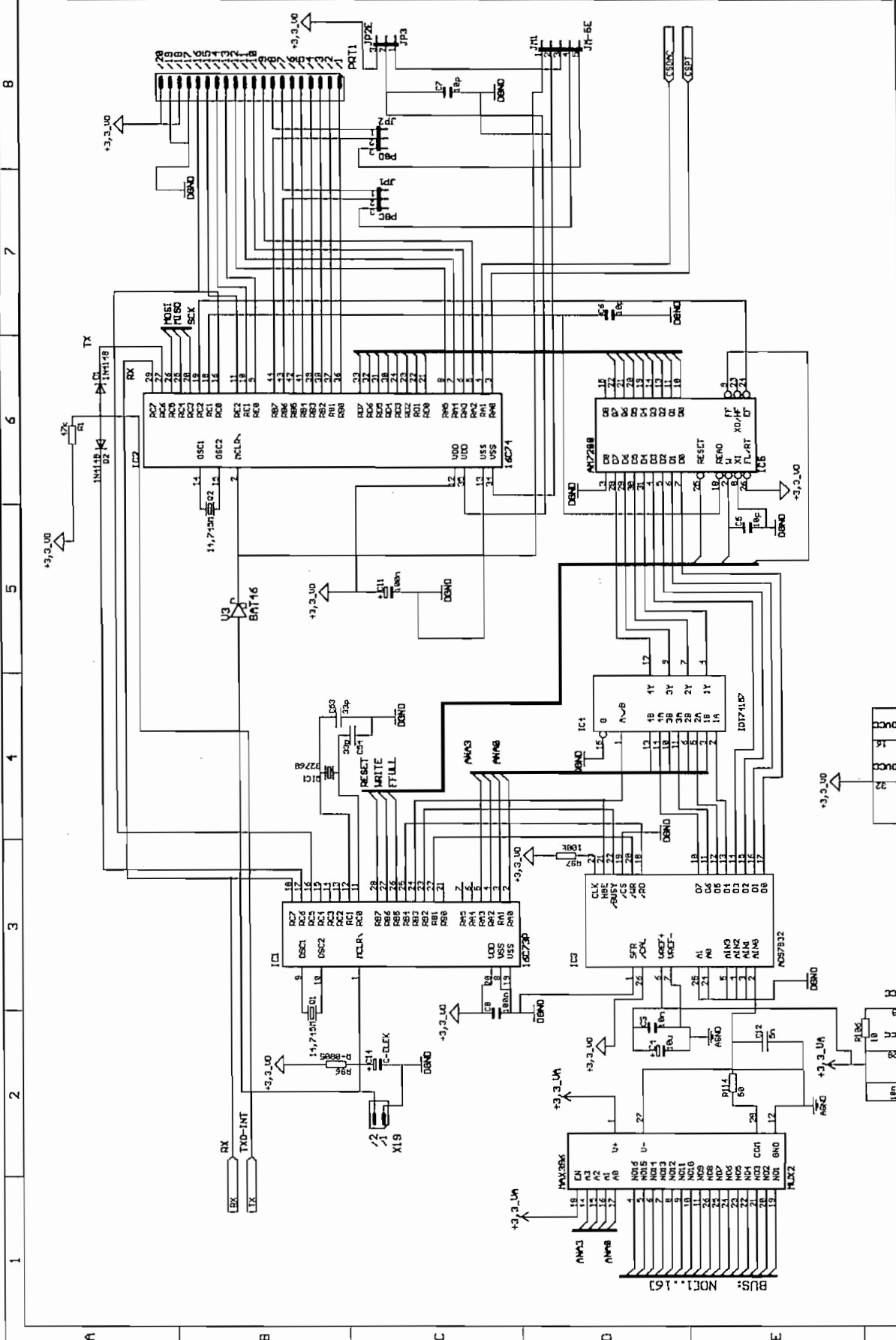
## 2.8 ESQUEMATICOS DEL CIRCUITO COMPLETO

A continuación se presentan cuatro páginas que contienen los esquemáticos correspondientes al circuito implementado.

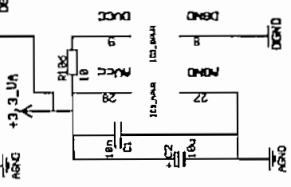
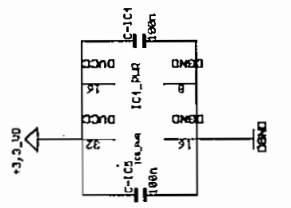
- Hoja 1: Circuito para la multiplexación, conversión A/D, escritura y lectura de datos en la memoria FIFO y transmisión de datos hacia el computador.

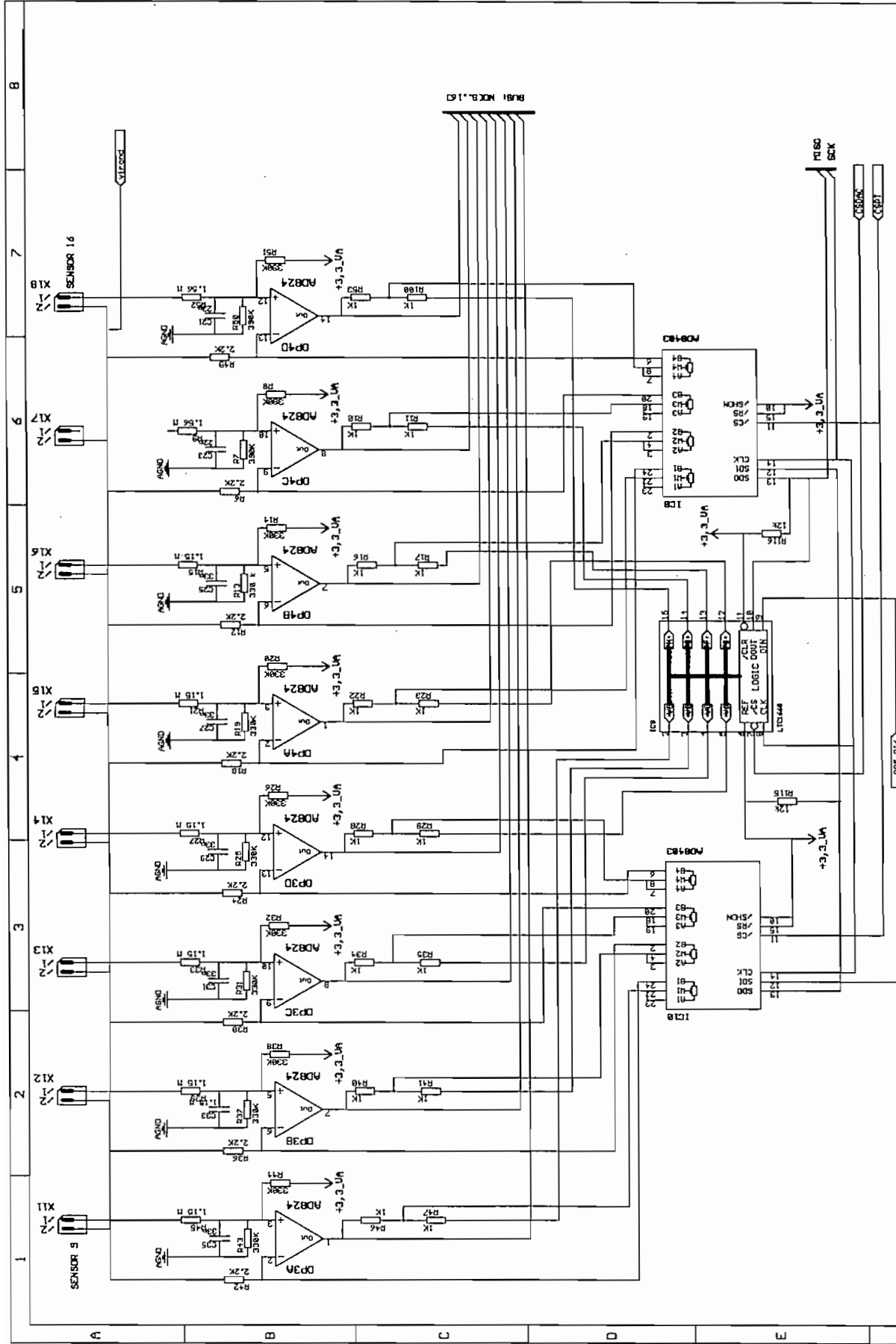
- Hoja 2 y 3: Circuito para el ajuste de ganancia y nivel de offset de todos los canales.
- Hoja 4: Fuente de polarización, circuito para la transmisión serial.
- Hoja 5: Circuito para trabajo con la memoria TH58V128DC.

Este diseño fue realizado en el programa EAGLE.

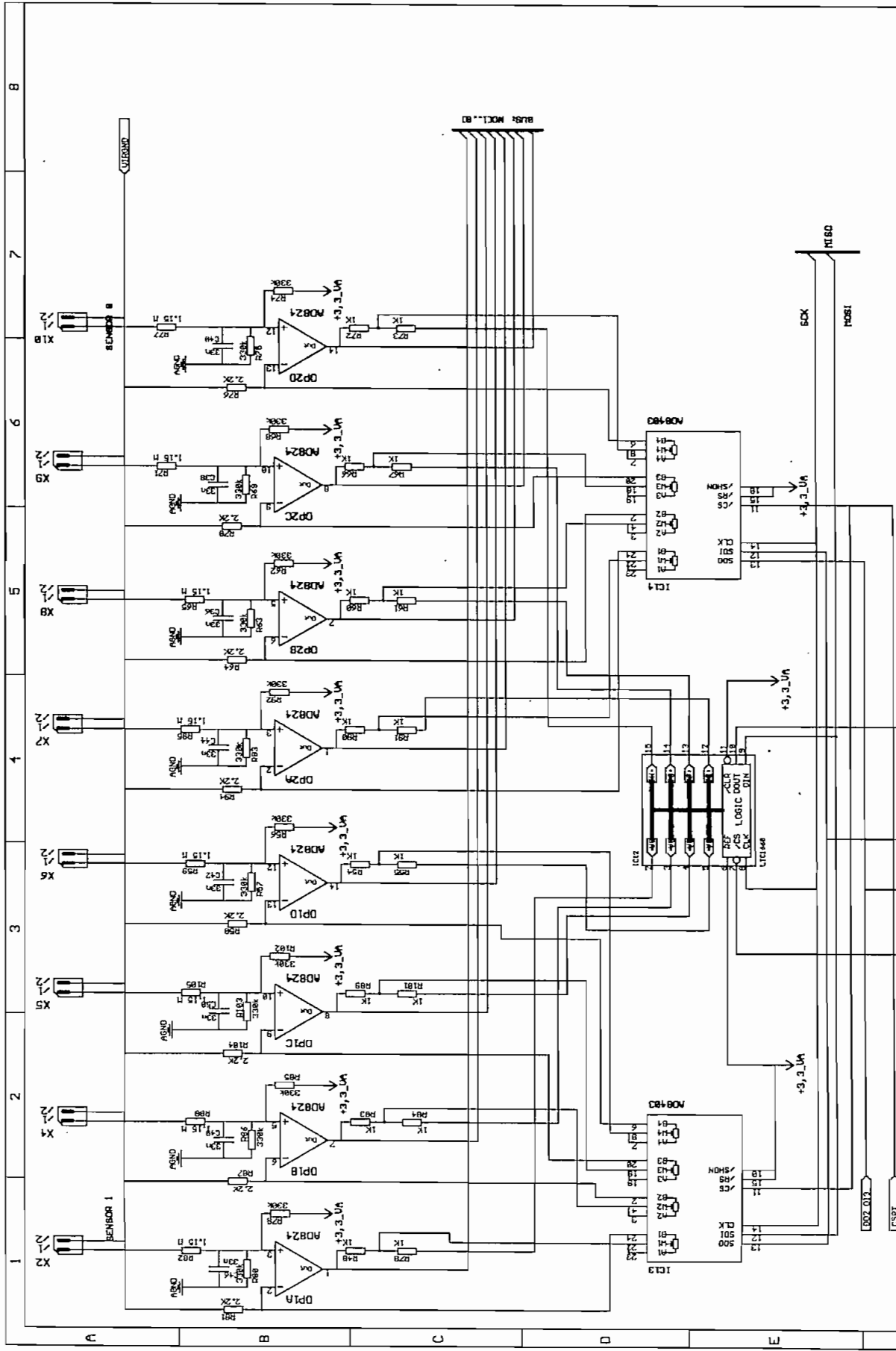


FH - Mannheim	gez.	Datum: Name:	Änderungen	Blatt 1/1	
	gepr.	26/09/2000 08:34:16	Datum-Uhrzeit	Zeichungs-Nr: Esqm_1	
CONTROL DIGITAL			Massstab	Artikel-Nr:	

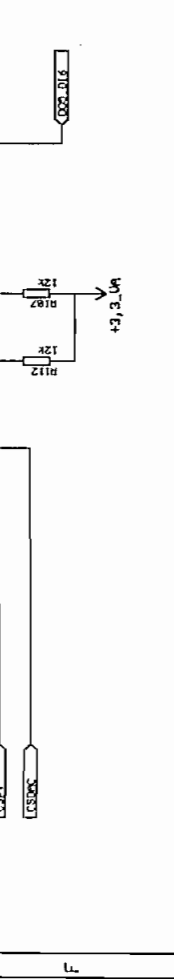


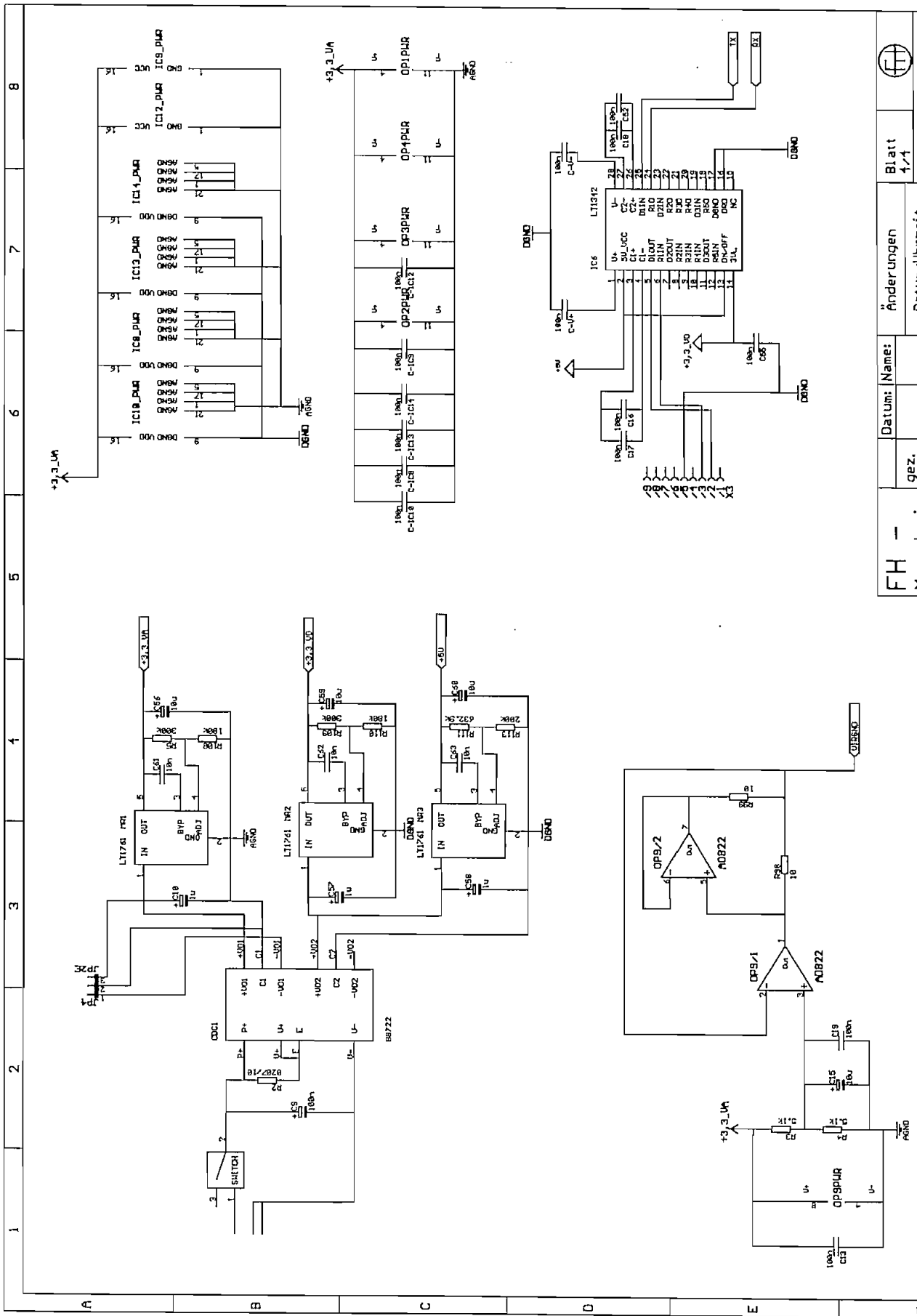


FH - Mannheim		Datum:	Name:	Änderungen:	Blatt:		
gez.	gepr.			Datum/Uhrzeit:	2/1	Zeichungs-Nr.:	
ETAPA DE AJUSTE DE GANANCIA Y NIVEL DE OFFSET CANALES DEL S AL 16				26/09/2000 08:30:40	Esqm_3		Artikel-Nr.:
					Masstab		

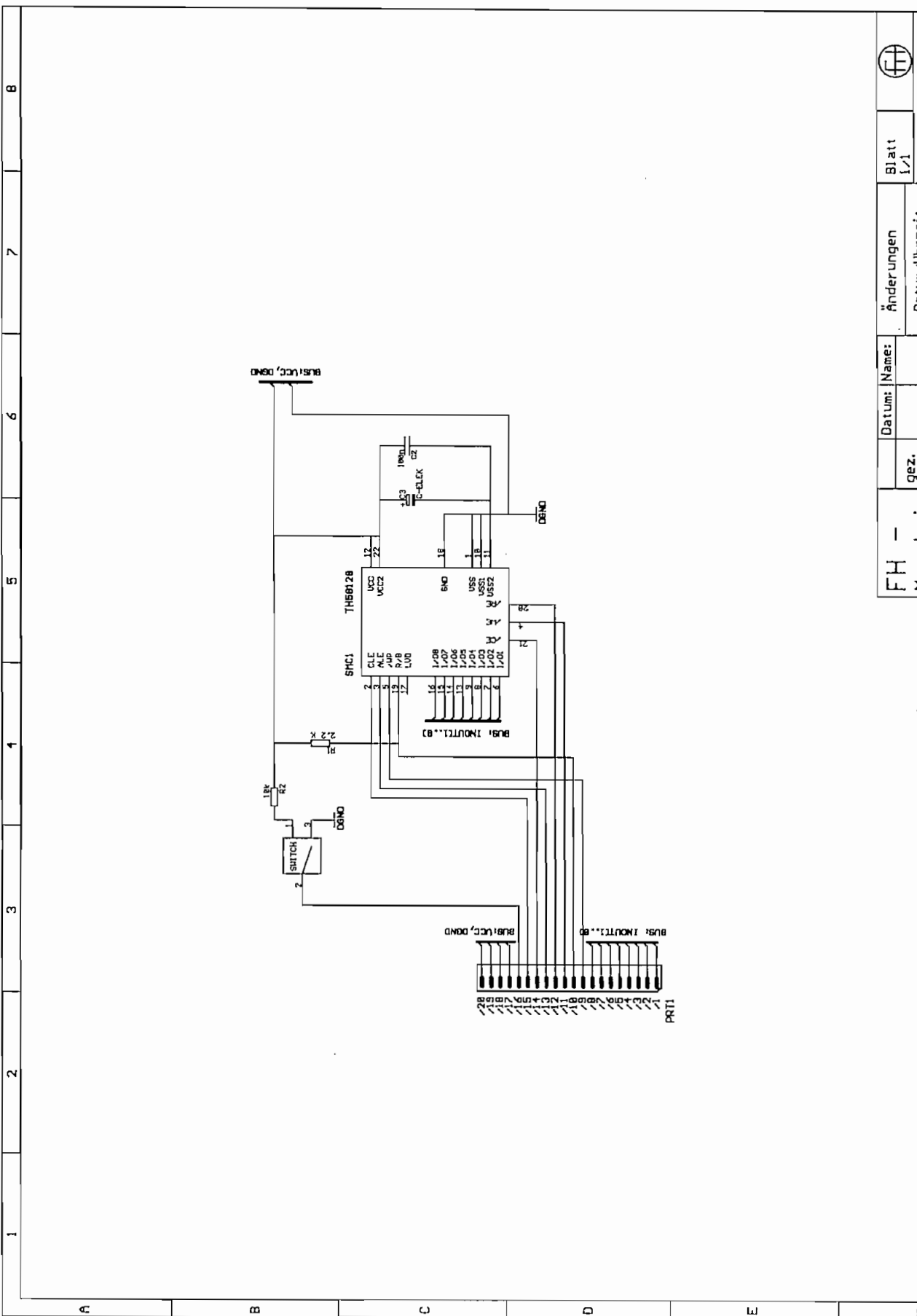


FH - Mannheim		Blatt 3/4	
Datum: Name:		Änderungen	
gez.	gepr.	Datum/Uhrzeit	
ETAPA DE AJUSTE DE GANANCIA Y NIVEL DE OFFSET CANALES DEL 1 AL 8		26/09/2000 08:30:10	
		Zeichnungs-Nr: Esqm_3	
		Massstab	
		Artikel-Nr:	






FH - Mannheim		Änderungen		Blatt 1/4	
gez.		Datum/Uhrzeit		Zeichnungs-Nr.	
gepr.		26/09/2008 08:30:10		Esqm_3	
FUENTE DE POLARIZACION, VI8ND		Masstab		Artikel-Nr.	
E INTERFACE RS-232					



1 2 3 4 5 6 7 8

FH - Mannheim	Datum:	Names:	Änderungen	Blatt 1/1	 Zeichnungs-Nr: memory
	gez.		Datum/Uhrzeit 10/05/2000 14:15:06	Masstab	
CIRCUITO PARA LA MEMORIA SMC					

## CAPITULO 3

### REALIZACION DEL SOFTWARE

Este capítulo describe una parte del software precedente, las modificaciones que se le hicieron al mismo y el software realizado para dar soporte a las nuevas funciones que esta tarjeta debe realizar.

Cabe aclarar aquí que el software precedente y el software diseñado se realizaron en el lenguaje C debido a las facilidades que este presta para futuras mejoras e innovaciones. Todos los programas son realizados en C y compilados utilizando el software de Microhip MP-LAB y de HI-TECH. Con la utilización de este compilador no es necesario realizar la tarea de programación en Assembler pues el compilador se encarga de generar automáticamente el archivo hexadecimal, el que luego es cargado en los microcontroladores a utilizar.

#### 3.1. DESCRIPCION DEL SOFTWARE PRECEDENTE

Debido a que el software precedente fue realizado por otras personas en la Fachhochschule Mannheim<sup>C</sup>, no se cuenta con la autorización para explicar a detalle las funciones de dicho programa. Se presenta a continuación solamente una descripción superficial de éstos.

---

<sup>C</sup> El software precedente fue desarrollado por el Ing. Dipl. (FH) Phuk Nguyen y el Ing. Dipl. (FH) Carsten Weber.



El software precedente está diseñado de tal manera que la computadora actúa siempre como Master y los dos microcontroladores como Slave. El trabajo total de la tarjeta es resultado de la actividad conjunta de los dos microcontroladores.

Este software se encarga de controlar el proceso de conversión A/D, de escribir los datos en la memoria FIFO y de transmitirlos hacia el computador. No está diseñado para que la tarjeta funcione sola, sino que siempre espera una instrucción del computador.

Presenta dos módulos principales, uno para cada microcontrolador, que se encargan de realizar una tarea específica, uno se encarga de la escritura de datos en la memoria FIFO luego de que se ha realizado una conversión A/D y el otro se encarga de la lectura de datos de la memoria FIFO y su transmisión hacia el computador. Estos a su vez utilizan un submódulo de comunicación serial común para los dos microcontroladores que es el encargado de la comunicación serial con el computador y que difiere de un microcontrolador a otro solamente en aspectos referentes a su función principal<sup>[3]</sup>.

El microcontrolador que realiza el control de la conversión A/D tiene además otro submódulo que se encarga de controlar este proceso.

### **3.1.1 SUBMODULO DE COMUNICACION SERIAL**

Este módulo trabaja conjuntamente con el computador y es ocupado tanto por el módulo de conversión A/D como por el módulo de transferencia de los datos hacia el computador; es decir, es ocupado por los dos microcontroladores<sup>[3]</sup>.

Las funciones que realiza este módulo son las siguientes:

- Define un sistema de comunicación con el computador por medio del puerto serial utilizando el protocolo RS-232.

- Define las instrucciones que el computador puede enviar hacia los microcontroladores y su equivalencia en valores hexadecimales.
- Recibe órdenes del computador y envía respuestas confirmando que la tarea fue realizada.
- Envía un caracter o una cadena de caracteres hacia el computador.

Este módulo de comunicación trabaja en el modo Master-Slave, en donde el trabajo de la tarjeta en su conjunto (ambos microcontroladores) depende de lo que le pida el computador. No puede trabajar sola. Uno de los objetivos de esta tesis es precisamente lograr que esta tarjeta trabaje sola sin apoyo del computador junto con el envío de los datos hacia un nuevo "disco duro", es decir la tarjeta de memoria Smart Media Card.

En el trabajo conjunto con el computador se ha definido un protocolo de comunicación el cual tiene las siguientes características:

- Se trabaja con el protocolo de comunicación serial RS232 a una velocidad de 115200 bps con ocho bytes de datos 1 bit de inicio y 1 bit de parada.
- El microcontrolador espera no un byte sino un conjunto de bytes los cuales tienen que cumplir con el siguiente formato:

COMANDO	PARAMETROS	FIN DE LINEA	RETORNO DE CARRO
---------	------------	--------------	------------------

En donde:

COMANDO: es el primer byte a transmitir y puede ser cualquiera de los comandos definidos y descritos en el archivo Key\_word.h. Describen cual es la función que el computador pide a la placa.

**PARAMETROS:** son bytes que contienen la información necesaria para el desarrollo de la función pedida por el computador. Dependiendo de la función, estos parámetros pueden ser necesarios o no.

**FIN DE LINEA y RETORNO DE CARRO:** Corresponden a caracteres hexadecimales que indican que es el fin de la instrucción.

- Como se explicó en el capítulo anterior el bus de comunicación serial es compartido por los dos PICs de manera que el mismo mensaje llegará a los dos PICs; sin embargo, en la programación de cada uno de ellos se establece una discriminación para saber si el mensaje fue dirigido hacia uno u otro.
- Luego de haber realizado la tarea encargada por el computador el PIC regresa un mensaje al computador en el que se confirma la realización de la tarea o no.

Para que este formato de los datos pueda tener efecto se define en este módulo un Buffer de recepción de manera que los datos que han llegado por el puerto serial sean almacenados para su análisis posterior.

Si los datos han llegado correctamente hacia el microcontrolador; es decir, si al final de la cadena de bytes los dos últimos bytes son los correspondientes a los caracteres Final de línea y Retorno de Carro se procede a analizarla

El análisis de esta instrucción lo realizan ambos microcontroladores y se podría decir simultáneamente puesto que trabajan a la misma velocidad; es decir, con un reloj de la misma frecuencia y que comparten el bus de comunicación serial. Sin embargo la tarea es realizada solamente por el PIC 16F87X que en su programación incluye la tarea pedida. Supongamos que el mensaje lleva la instrucción SetGain(), aunque los dos microcontroladores procesan todo el mensaje, solamente el segundo procede a realizarla pues el primero simplemente no reconoce la instrucción.

### 3.1.2 SUBMODULO DE CONVERSION A-D Y ESCRITURA DE DATOS EN LA MEMORIA FIFO

Este módulo del software presenta las funciones y definiciones necesarias para poder realizar el muestreo de los diferentes canales pedidos por el computador<sup>[3]</sup>.

A continuación se presentan una corta descripción de las funciones con los nombres de las tareas que se pueden realizar:

- **SampleRateList:** Transmite hacia el computador las frecuencias de muestreo posibles por el sistema.
- **SampleRate:** Se encarga de activar un canal para el muestreo con una frecuencia determinada por el usuario.
- **Ch\_off:** Se encarga de desactivar un canal.
- **Startmeasure:** Se encarga de iniciar la conversión A/D de los canales activados.
- **GetFifoLevel:** Entrega al computador el número de datos escritos en la memoria FIFO.
- **Stopmeasure:** Detiene la conversión.

Estas funciones utilizan a su vez otras funciones de ayuda para poder realizar todas estas actividades.

En este submódulo en particular se deben realizar cambios en la función que halla los valores a cargar en los registros del Timer1 para realizar el muestreo a la frecuencia pedida, debido a que el tiempo empleado por el microcontrolador para realizar este proceso es muy extenso y es considerable con respecto a la frecuencia de muestreo. Se realizará entonces un nuevo algoritmo que calcule los valores adecuados dependiendo del número de canales activos y de la frecuencia máxima de muestreo. Debido a uno de los objetivos se debe satisfacer la

condición de tener cuatro canales con una frecuencia máxima de muestreo de 256 Hz.

### 3.1.3 TRANSFERENCIA DE LOS DATOS HACIA EL COMPUTADOR.

Este submódulo del software presenta las funciones y definiciones necesarias para poder realizar la transmisión de datos hacia el computador.

A continuación se presentan una tabla con los nombres de las tareas que se pueden realizar, los parámetros necesarios y una corta descripción<sup>[3]</sup>:

FUNCIONES QUE PUEDEN SER ORDENADAS DIRECTAMENTE POR EL COMPUTADOR		
Nombre de la Función	Número de Parámetros necesarios	Descripción
GETDATA	2	Envía hacia el computador el número de palabras pedidas por el computador. Este número de palabras está definido por el valor de estos dos parámetros.

FUNCIONES AUTOMATICAS DEL MICROCONTROLADOR	
Nombre de la Función	Descripción
ComInit()	Inicializa los registros y variables necesarias para que la comunicación serial pueda realizarse. Ocurre en un Power ON
SendData()	Envía hacia el computador el número de words (2 Bytes) que este requiere.

Tabla 3.1 Funciones existentes en el módulo de transferencia de datos hacia el computador

En este módulo se utiliza el puerto D del PIC 16F877 para tomar los datos de la memoria FIFO, el pin RC1 para controlar la lectura de la memoria FIFO y el pin RC2 configurado como entrada para el chequeo de la bandera que indica que la FIFO esta vacía.

La función GETDATA ejecuta la función SendData() la cual transfiere los datos hacia el computador. Para esto lee el número que recibe en los parámetros y lo multiplica por dos ya que el computador espera palabras de dos bytes.

Es en este módulo es donde se deben realizar las mejoras necesarias para que sea este módulo el que pueda controlar tanto la ganancia de los amplificadores que se encuentran a la entrada como el nivel de offset que se le va a dar a la señal para evitar recortes debido a la amplificación y también debido al offset propio de los amplificadores operacionales.

Es este módulo también el que controlará el envío de datos hacia el computador o hacia la memoria propia de almacenamiento.

Una vez realizada la descripción del funcionamiento de cada uno de los PICs y de la comunicación con el computador se procede a explicar como se desarrollaron las mejoras que son objetivos de esta Tesis.

## **3.2 MODULOS A IMPLEMENTAR.**

Antes de pasar a la descripción de los nuevos módulos se empieza por la mejora realizada en el primer módulo.

### **3.2.1 MEJORAS EN EL SUBMODULO DE CONTROL DE LA CONVERSIÓN A/D.**

Para esta tarea el software utiliza el Tmer1 como contador con un reloj externo de frecuencia de 32768 Hz. Este Timer es de 16 bits utiliza dos registros los cuales llevan el registro de la cuenta. Cada vez que se produce un flanco positivo del reloj el valor de inicio de la cuenta aumenta en 1.

En este módulo el algoritmo empleado era el siguiente:

- Un canal es activado mediante el seteo de un bit en una máscara de 16 bits, y mediante la escritura de un valor en una tabla, la cual es analizada el momento de iniciar la escritura de datos en la memoria FIFO. Esta tabla contiene la frecuencia de muestreo deseada para cada canal.
- El muestreo de datos es realizado el momento que ocurre un desbordamiento del Timer1, el cual ha sido configurado para operar como un contador.
- El momento de iniciar la escritura de datos en la memoria FIFO; es decir, cuando el microcontrolador recibe la orden de StartMeasure, esta tabla es analizada de manera que se obtiene el valor más alto. Con este valor se calcula los valores que son escritos en los registros que utiliza el Timer1 (TMR1L y TMR1H) para empezar a contar hasta el valor 0xFFFF. Luego se activa el Timer1 y se espera la interrupción del mismo para realizar el muestreo de datos.
- Estos valores a cargar en los registros del Timer1 no toman en cuenta cuantos canales están activos.

Los valores a cargar en los registros del Timer1 se calculaban de la siguiente manera<sup>[3]</sup>:

$$\text{RELOAD} = 65535 - ( 32768 / \text{FREC} );$$

En donde RELOAD es cargado en los registros del Timer1 e indica cuantos ciclos del reloj externo equivalen a un ciclo de la frecuencia pedida FREC.

Por ejemplo si se requiere una frecuencia de 256 Hz, RELOAD toma el valor de 65407, lo que quiere decir que para producirse una interrupción (desbordamiento de los registros del Timer1 de 0xFFFF y 0x0000) se tienen que producir 128 flancos positivos en el reloj externo de 32768 Hz que equivale aproximadamente a 3.9 mseg. Este tiempo es exactamente el tiempo de un ciclo de 256 Hz.

El proceso de muestreo de los canales se realiza de la siguiente manera:

- Cada vez que ocurre la interrupción del Timer1 se procede a analizar bit por bit la máscara que contiene la información de los canales que están activos.
- El chequeo se lo hace empezando en el canal 0 y termina en el canal 15 (16 canales en total).
- Si el canal está activo se realiza el muestreo del mismo, de lo contrario se busca el siguiente canal.
- El muestreo de un canal consiste en setear el canal por medio del mux analógico de manera que el convertor A/D reciba en su entrada este canal, inicie la conversión, espere que la conversión se haya realizado y escriba su resultado en la memoria FIFO.
- Una vez que se han analizado todos los canales, se procede a cargar nuevamente en los registros del Timer1 los valores calculados anteriormente, se borra la bandera de interrupción y se espera a la siguiente interrupción.

El proceso de muestreo explicado anteriormente, cuando ningún canal está activo, es muy extenso y tiene una duración aproximada de 820 useg, a la frecuencia de trabajo del microcontrolador con un reloj de 14 745 600 Hz. Esta condición de que ningún canal esté activo no es posible en el funcionamiento normal y fue simulada en el computador.

Esto quiere decir que cuando se pedía una frecuencia de muestreo X por parte del computador a la tarjeta, la frecuencia real de muestreo era realmente más pequeña que la pedida debido a este tiempo de retardo en el análisis de los canales activos.

Este tiempo de 820 useg representa una frecuencia de 1.219 KHz, la cual es comparable con frecuencias de muestreo desde los 256 Hz en adelante. Esta es la razón por la cual la tarjeta anterior presentaba dificultades con la frecuencia ya mencionada.

El convertor A/D esta configurado de tal manera que trabaja con un reloj interno a una frecuencia teórica de 600 KHz, el tiempo de conversión para este convertor es de 17 ciclos de reloj, lo que equivale a 28.33 useg.



De lo explicado anteriormente se desprende que cada vez que cada proceso de muestreo se realiza, el tiempo que debe tomarse en cuenta es de 820 useg más el tiempo de una conversión por canal activo.

Para no cambiar el algoritmo de muestreo utilizado la opción más fácil consistió en no variar el algoritmo anterior sino también tomar en cuenta el número de canales activos y el tiempo de chequeo de canales en el cálculo de los valores a cargar en los registros del Timer1.

El tiempo de un ciclo de una frecuencia de 32768 Hz es igual a 30.5 useg con lo que se obtiene las siguientes aproximaciones:

- 820 useg equivalen aproximadamente a 27 ciclos de una frecuencia de 32768 Hz. (823.9 useg)
- Un ciclo de conversión (28.33 useg) equivale aproximadamente a un ciclo de 32768 Hz. (30.5 useg)

Esto da como resultado la siguiente ecuación:

$$\text{RELOAD} = 65535 + 27 + \text{nrOfActivChannel} - ( 32768 / \text{FREC} )$$

En donde nrOfActivChannel es el número de canales activos que se tiene en proceso. Esto da como resultado que las frecuencias de muestreo sean exactas pero también se tienen que cumplir la siguiente condición:

Máxima Frecuencia de muestreo: 1024 Hz para cuatro canales. Mientras la frecuencia disminuye se puede hacer un muestreo de más canales en el proceso.

Teóricamente, se desprende de la ecuación anterior la posibilidad de hacer un muestreo de 16 canales a 512 Hz. Sin embargo se debe considerar la capacidad limitada de la memoria FIFO de 8K, y además el tiempo de procesamiento de los datos por parte del computador. Esto reduce la capacidad de transmitir los resultados de los 16 canales hacia el computador, pues al desbordarse la

memoria FIFO se pierden datos. La máxima frecuencia de muestreo para 16 canales dependerá por otro lado de la velocidad del computador con que se trabaje.

### 3.2.2 NUEVOS SUBMODULOS.

Para las mejoras previstas para esta tesis es necesaria la implementación de tres nuevos submódulos los cuales van a ser controlados por el segundo PIC 16F87X, es decir por el PIC 16F87X que realiza el envío de datos hacia el computador, y que ahora también tendrá la posibilidad de enviar estos datos hacia una memoria de almacenamiento externa, en este caso, la memoria TH58V128DC de Toshiba.

El módulo principal existente es el módulo TRANSFER.C que es el que utiliza el submódulo SIOPIC.C para la comunicación con el computador, que fue descrito anteriormente.

Para este PIC la distribución de pines es la siguiente:

#### PUERTO A:

RA0	Output	Chip Select Potenciómetros
RA1	Output	Chip Select Conversores D/A
RA2	Output/In	Memory Control (WP)
RA3	Output/In	Memory Control (R/B)
RA4	Output/In	Memory Control (WE)
RA5	Output/In	Memory Control (RE)

#### PUERTO B:

RB0	Output/Input	MEMORY D.0
RB1	Output/Input	MEMORY D.1
RB2	Output/Input	MEMORY D.2
RB3	Output/Input	MEMORY D.3
RB4	Output/Input	MEMORY D.4
RB5	Output/Input	MEMORY D.5

RB6	Output/Input	MEMORY D.6
RB7	Output/Input	MEMORY D.7

**PUERTO C:**

RC0	Input	Switch (Stand-Alone o Trabajo con apoyo del computador)
RC1	Output	READ FIFO
RC2	Input	Empty FIFO
RC3	Output	SPI Serial Clock
RC4	Input	SPI Serial Data Input
RC5	Output	SPI Serial Data Output
RC6	Output	Transmisión Serial
RC7	Input	Recepción Serial

**PUERTO D:**

RD0	Input	FIFO Out.0
RD1	Input	FIFO Out.1
RD2	Input	FIFO Out.2
RD3	Input	FIFO Out.3
RD4	Input	FIFO Out.4
RD5	Input	FIFO Out.5
RD6	Input	FIFO Out.6
RD7	Input	FIFO Out.7

**PUERTO E:**

RE0	Output/Input	Memory Control (ALE)
RE1	Output/Input	Memory Control (CE)
RE2	Output/Input	Memory Control (CLE)

Tabla 3.2 Utilización de los diferentes puertos en el PIC 16F877

El siguiente diagrama presenta los nuevos bloques a implementar:

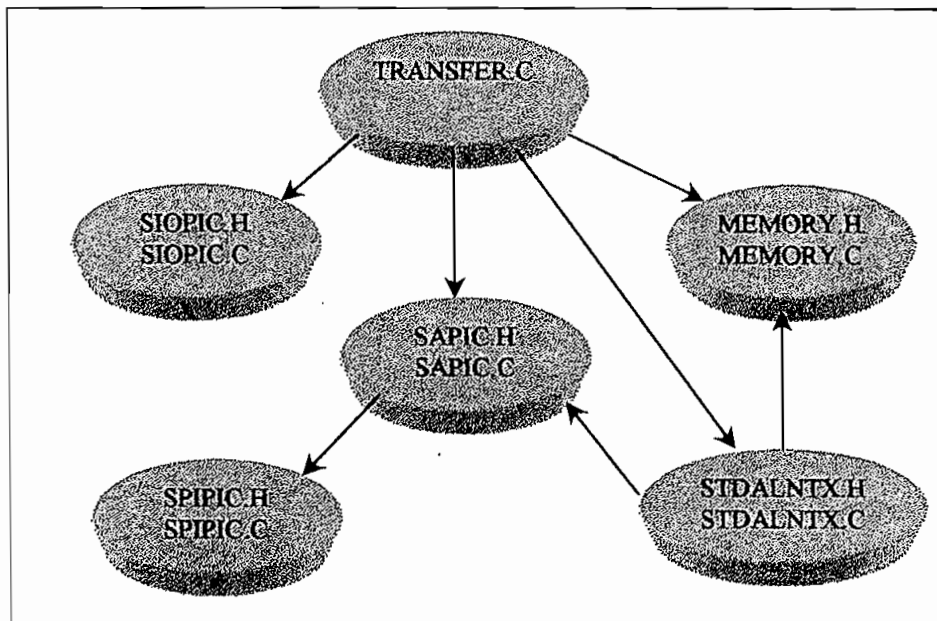


Figura 3.1 Diagrama de bloques a implementar

### 3.3 EL SUBMODULO SAPIIC.C

Este módulo se encarga de configurar el puerto de comunicaciones serial sincrónico que se encuentra presente en el PIC 16F87X. A continuación se presenta la configuración de este puerto utilizada para esta tesis.

Puerto SPI:

Velocidad de Transmisión:	$F_{osc}/4$ para el caso 3.6864 Mbps
Estado estable del reloj CLK:	Low. (Bajo)
Flanco de reloj en el que salen los datos:	Flanco positivo
Tiempo de muestreo de los datos de entrada:	Medio ciclo

Este puerto para este caso trabajará siempre como Master, los potenciómetros digitales y los convertidores D/A serán los elementos que actúen como Slave.

Para este módulo los registros utilizados del PIC 16F87X de esta etapa son los siguientes:

### SSPSTAT REGISTER:

Este registro y el siguiente configuran el Puerto Serial Sincrónico (SSP. Synchronous Serial Port). A Continuación se presenta la descripción de los bits de este registro:

Bit	Nombre	Readable or Writable	Descripción
7	SMP	R/W	Sample bit
6	CKE	R/W	SPI Clock edge select
5	D/A	R	Data/Address bit (I <sup>2</sup> C mode only)
4	P	R	Stop bit (I <sup>2</sup> C mode only)
3	S	R	Start bit (I <sup>2</sup> C mode only)
2	R/W	R	Read/Write bit information (I <sup>2</sup> C mode only)
1	UA	R	Update Address (10 bit I <sup>2</sup> C mode only)
0	BF	R	Buffer Full Status bit

Tabla 3.3 Descripción del registro SSPSTAT

### SSPCON REGISTER:

Bit	Nombre	Readable or Writable	Descripción
7	WCOL	R/W	Write collision detect
6	SSPOV	R/W	Receive overflow flag
5	SSPEN	R/W	Sync serial port enable
4	CKP	R/W	Clock polarity select
3	SSPM0	R/W	Synchronous serial port mode select bits
2	SSPM1	R/W	
1	SSPM2	R/W	
0	SSPM3	R/W	

Tabla 3.4 Descripción del registro SSPCON

Para la configuración explicada anteriormente los valores seteados son los siguientes:

- Pines RC3, y RC5 como salidas y RC4 como entrada.
- SSPSTAT = 0x40 H configura a 1 el bit CKE de manera que la transmisión de datos ocurra en el flanco positivo.
- SSPCON = 0x20 H habilita el puerto de comunicación SPI, configura la velocidad de transmisión a  $F_{osc}/4$ , y el estado estable del reloj a LOW.

Para ahorro de líneas necesarias para el control tanto de los potenciómetros digitales como para los conversores D/A el bus de comunicación SPI se comparte de manera que sea el pin de Chip Select el que diferencie para que elemento es dirigido el mensaje. La configuración del puerto SPI mencionada anteriormente satisface los requerimientos de grabación de datos tanto en los potenciómetros digitales como en los conversores D/A.

El puerto SPI y los elementos a controlar tendrán entonces la siguiente configuración:

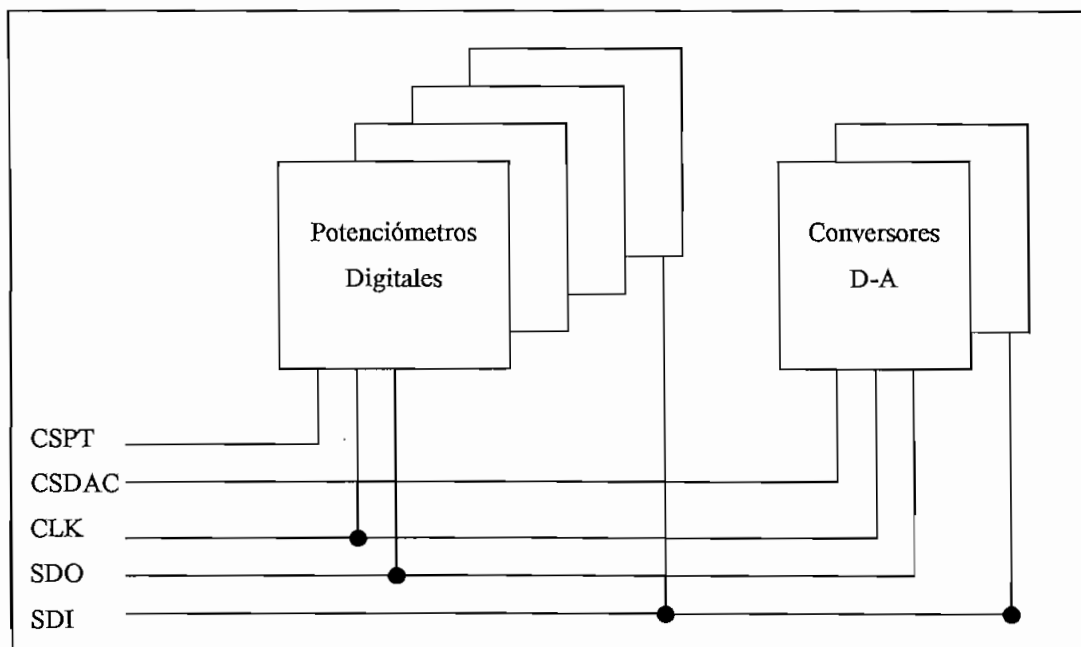


Figura 3.2 Configuración de los potenciómetros digitales, conversores D/A y el puerto SPI del PIC 16F877

En donde:

CSPT: es la línea de Chip Select para todos los potenciómetros digitales.

CSDAC: es la línea de Chip Select para todos los Conversores Digital-Analógicos.

CLK: es la línea de reloj común para todos los elementos tanto conversores como potenciómetros y que proviene del microcontrolador.

SDO: Serial Data Output para la entrada del primer conversor y el primer potenciómetro. Proviene del microcontrolador.

SDI: Serial Data Input para la salida del último conversor y el último potenciómetro. Se dirige hacia el microcontrolador.

CSPT y CSDAC son los pines RA0 y RA1 respectivamente.

Este módulo implementa las siguientes funciones:

FUNCIONES AUTOMATICAS DEL MICROCONTROLADOR	
Nombre de la Función	Descripción
Init_Spi()	Inicializa los registros y variables necesarias para realizar la transmisión en SPI. Ocurre en un Power ON
SpiPutChar()	Transmite un caracter por el módulo SPI
SpiGetChar()	Recibe un caracter por el módulo SPI
WaitSPI()	Indica sí el buffer para la transmisión esta lleno o vacío.

Tabla 3.5 Funciones automáticas del submódulo SPIPIC.C

Los caracteres que son transmitidos o recibidos por el puerto SPI siempre son de 8 bits.

Para comprobar que una transmisión ha terminado se define la función WaitSPI(), la cual espera que el buffer de transmisión (SSPBUF) este vacío para realizar una nueva transmisión. Esto se realiza simplemente esperando que el bit BF de SSPSTAT cambie de 1 a 0.

### 3.4 EL SUBMÓDULO SAPIC.C

El submódulo SAPIC se encarga del control de la ganancia para cada canal y también del control del nivel de offset. Para esto se supone la configuración anterior y las características de cada elemento explicadas a continuación.

#### 3.4.1 CONTROL DE LA GANANCIA DE LOS AMPLIFICADORES.

Para realizar el control de la ganancia de los amplificadores como se explicó en el capítulo anterior se optó por potenciómetros digitales en donde cada potenciómetro puede ser direccionados por medio de dos bits y cargados con un valor de resistencia el cual consta de 8 bits y que depende de la configuración en la que se encuentren. Para este caso la ecuación es la siguiente:

$$R_{PT} = \frac{D_x}{256} * R_{BA} + R_w$$

En donde:

$R_{PT}$ : es la resistencia final

$D_x$  : es el valor en decimal del valor enviado por el microcontrolador por el puerto SPI

$R_{BA}$ : (Resistencia End to End) es el valor de resistencia existente entre los extremos no variables del potenciómetro.

$R_w$  : es la resistencia que siempre se encuentra presente entre los pines B y W del potenciómetro.

Para el caso del potenciómetro digital AD8403  $R_{BA} = 100k$  y  $R_w = 50 \text{ ohm}$ .

Debido a que el control es digital los valores de resistencia a obtenerse son discretos; es decir, están dados por la resolución del circuito y por la magnitud de la resistencia End to End.



Para el Potenciómetro digital AD8403 este valor está dado por:

$$\text{Step\_res} = \frac{100\text{k}}{256} = 390.625 \text{ ohm}$$

en donde Step\_res es el valor correspondiente a la variación en una unidad en el valor del potenciómetro digital.

La siguiente tabla presenta los valores de resistencia de acuerdo a la Tabla 2.2 del capítulo anterior y los valores aproximados con que se fijarán en potenciómetros para las respectivas ganancias:

Ganancia Normalizada	Valor enviado por el PC	Valor calculado de R <sub>POT</sub> [ohm]	Valor Teórico de R <sub>POT</sub> [ohm]	Valor a cargar en el potenciómetro	
				Decimal	Hexadecimal
1	0	59	50	0	00
2	1	2721	2784	7	07
3	2	5288	5128	13	0D
4	3	8066	8253	21	15
5	4	10638	10596	27	1B
6	5	13311	13331	34	22
8	6	18495	18409	47	2F
10	7	23695	23878	61	3D
15	8	36847	36768	94	5E
20	9	50773	50831	130	82
25	10	64612	64503	165	A5
30	11	76303	76221	195	C3
35	12	92914	93018	238	EE

Tabla 3.6 Valores de resistencia de los potenciómetros digitales de acuerdo al índice enviado por el computador

La trama de bits a enviarse tiene que cumplir con el siguiente formato para cada potenciómetro:

A1	A0	B7	B6	B5	B4	B3	B2	B1	B0
----	----	----	----	----	----	----	----	----	----

En donde:

A1 y A0: indican el potenciómetro a variar.

B7 – B0: son los bits que indican el valor a cargar.

La identificación del potenciómetro es necesaria pues se tiene cuatro potenciómetros por circuito integrado, la identificación de los potenciómetros tiene el siguiente orden<sup>[7]</sup>:

A1	A0	Potenciómetro
0	0	1
0	1	2
1	0	3
1	1	4

Tabla 3.7 Direccionamiento de los potenciómetros en un circuito AD8403

Debido a la configuración en serie de los circuitos de los potenciómetros digitales se deben enviar cuatro tramas como las definidas anteriormente, tomando en cuenta que se debe variar solamente un valor de los 16 posibles y los demás deben “variar” a su estado anterior. Diagramas de tiempo y más características de este elemento se presentan en el Anexo A.

### 3.4.2 CONTROL DEL VOLTAJE DE OFFSET DE LOS CONVERSORES DIGITAL-ANALÓGICOS.

Para el caso del Conversor Digital-Analógico LTC1660 se tiene las siguientes condiciones:

$$V_{\text{out}_{\text{IDEAL}}} = \frac{K}{1024} \cdot V_{\text{REF}}$$

En donde:

$V_{\text{out}_{\text{IDEAL}}}$ : es el voltaje de salida

$K$  : es el valor en decimal del valor enviado por el microcontrolador por el puerto SPI

$V_{\text{REF}}$ : es el valor referencial de voltaje para el conversor, en este caso es 3.3 V.

Este elemento tiene 8 conversores D/A en su interior, los que se direccionan con cuatro bits. Para el valor del voltaje de salida se necesitan 10 bits.

La trama de bits que tiene que enviarse es la siguiente:

A3 A2 A1 A0 B9 B8 B7 B6 B5 B4 B3 B2 B1 B0 X X
---

En donde:

A3-A0: son los bits que direccionan el conversor.

B9-B0: son los bits que indican el valor a cargar en el conversor.

X : son bits de relleno de los cuales no interesa su valor.

Los bits A3, A2, A1 y A0 identifican al conversor de la siguiente manera<sup>[8]</sup>:

A3	A2	A1	A0	Convertor D/A
0	0	0	1	A
0	0	1	0	B
0	0	1	1	C
0	1	0	0	D
0	1	0	1	E
0	1	1	0	F
0	1	1	1	G
1	0	0	0	H
1	1	1	1	Todos
1	1	1	0	Sleep
0	0	0	0	No hay cambio
1	0	0	1	No hay cambio
1	0	1	0	No hay cambio
1	0	1	1	No hay cambio
1	1	0	0	No hay cambio
1	1	0	1	No hay cambio

Tabla 3.8 Direccionamiento de los convertidores en un circuito LTC1660

Diagramas de tiempo y más características de este elemento se presentan en el Anexo A.

El submódulo SAPIC contendrá entonces las funciones necesarias para poder programar los potenciómetros digitales y programar los convertidores D/A.

Además, debido a la disposición en serie de los potenciómetros digitales y de los convertidores, debe tomarse en cuenta que al programar un valor en cualquier potenciómetro o convertidor el valor anterior va a desplazarse en forma serial hacia el siguiente elemento, por lo que se hace necesario el programar nuevamente todos los elementos que se encuentren en serie. Para esto se crea una tabla en la que se encuentran almacenados los valores anteriores y con los que se reprograman los valores antiguos para no modificar su valor.

Las funciones implementadas son las siguientes:

FUNCIONES QUE PUEDEN SER ORDENADAS DIRECTAMENTE POR EL COMPUTADOR			
Nombre de la Función	Valor Hexadecimal	Número de Parámetros necesarios	Descripción
GAIN_LIST	0x95	0	Envía al computador una cadena de caracteres la cual contiene las posibles ganancias para cada canal.
SA_SETOFFSET	0x9A	3	Carga en los conversores D/A los valores necesarios para la configuración de un solo convertor. Los parámetros que recibe indican el canal y dos bytes que indican el valor.
SA_SETGAIN	0x82	2	Carga en los potenciómetros digitales el valor necesario para configurar la ganancia de un solo canal. Los parámetros que recibe son número de canal y un índice que indica el valor de ganancia a cargar

FUNCIONES AUTOMATICAS DEL MICROCONTROLADOR	
Nombre de la Función	Descripción
Init_SA()	Inicializa los registros y variables necesarias para que el control de la ganancia y offset pueda realizarse. Ocurre en un Power ON
InitPotiArray()	Inicia la tabla que contiene los valores a cargar en los potenciómetros. Ocurre en un Power ON.

Tabla 3.9 Funciones implementadas en el módulo SAPIC.C

En la función Init\_SA() se configuran los pines de salida y entrada necesarios para que se puedan controlar los potenciómetros digitales y conversores D/A. Primero

se ejecuta la función `InitSpi()` del módulo anterior y luego se da la distribución de pines siguiente:

RA0 y RA1 son salidas y definidos con la etiqueta de CSPT(Chip Select Potenciómetro) y CSDAC (Chip Select conversor D/A), respectivamente. Los pines necesarios para la transmisión SPI fueron ya configurados con la llamada de `InitSpi()`.

En esta función se inicializa además la tabla que contiene los valores a cargar en los potenciómetros digitales y que se relacionan con el índice enviado por el computador.

#### **3.4.2.1 La función SA\_SETGAIN.**

Esta función recibe dos parámetros: el primero indica el canal a variar la ganancia y el segundo es un índice que indica el valor de ganancia que se quiere. Una vez leídos estos parámetros se procede a realizar lo siguiente:

- Se lee el valor a cargar en el potenciómetro de la tabla ya inicializada.
- Se pregunta si se quiere actualizar un canal o todos.
- Si es un canal se actualiza en la tabla que llevará la configuración de todos los potenciómetros solamente el valor correspondiente.
- Se procede a configurar el mensaje que se enviará a los potenciómetros digitales.
- Para el punto anterior se debe tomar en cuenta que el módulo SPI solo permite la transmisión de bytes por lo que la configuración de este mensaje conlleva operaciones lógicas entre diferentes bytes así como desplazamiento de bits.
- Una vez configurado el mensaje se lo transmite valiéndose de la opción `SpiPutChar()`.
- Debido que para cada potenciómetro digital se necesita de 10 bits se transmite en total 5 bytes pues se tiene 4 chips en serie.

- Si se quieren configurar todos los canales se realiza el proceso anterior cuatro veces con el mismo valor de ganancia para todos los canales.
- Una vez realizado el proceso se transmite hacia el computador una cadena de caracteres que indican que la acción se ha realizado.

Antes de pasar a la representación de la función en diagrama de flujo, es importante antes el aclarar el significado de algunas de las diferentes figuras utilizadas en todos los diagramas:

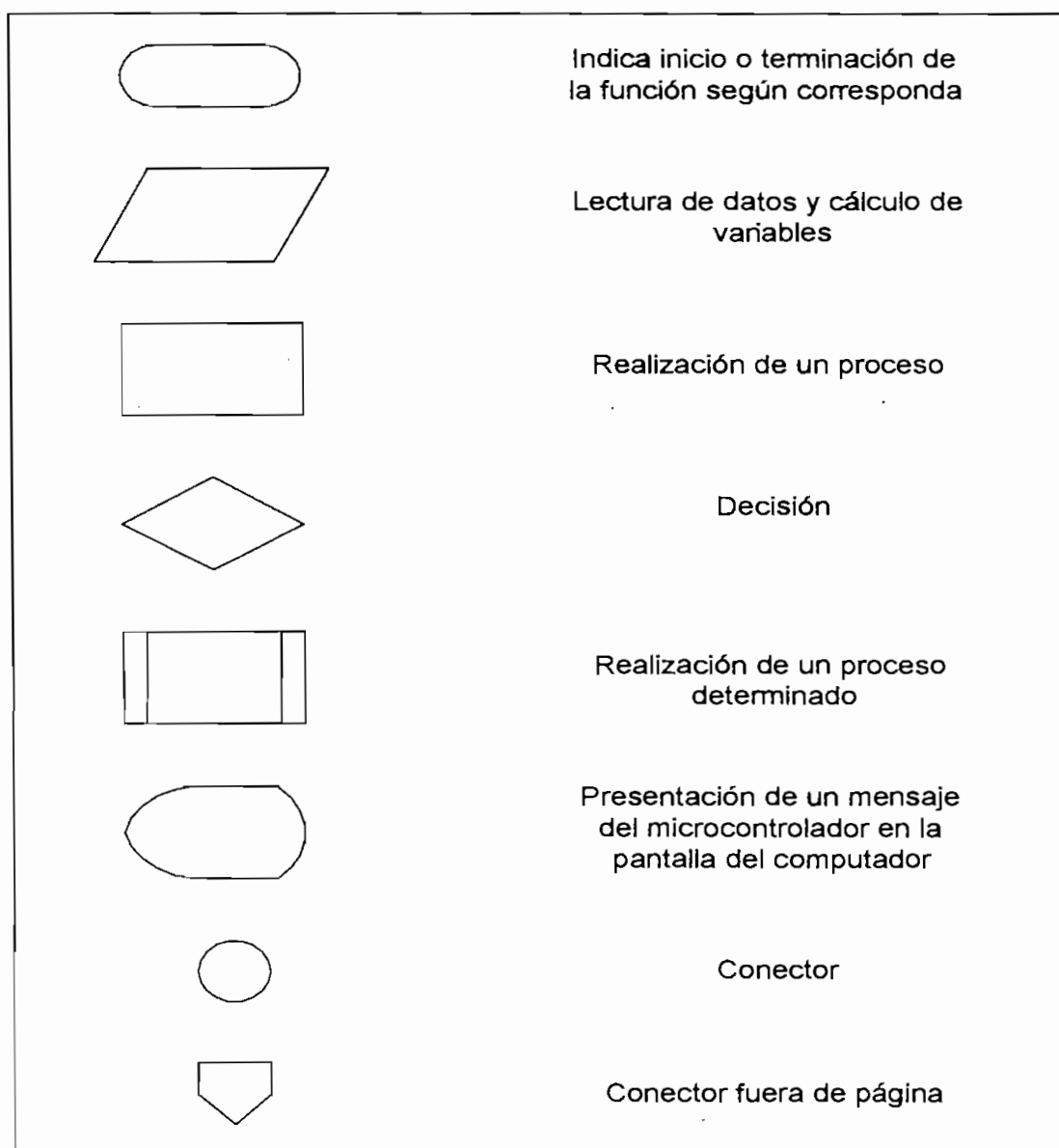


Figura 3.3 Descripción de las figuras utilizadas en los flujogramas

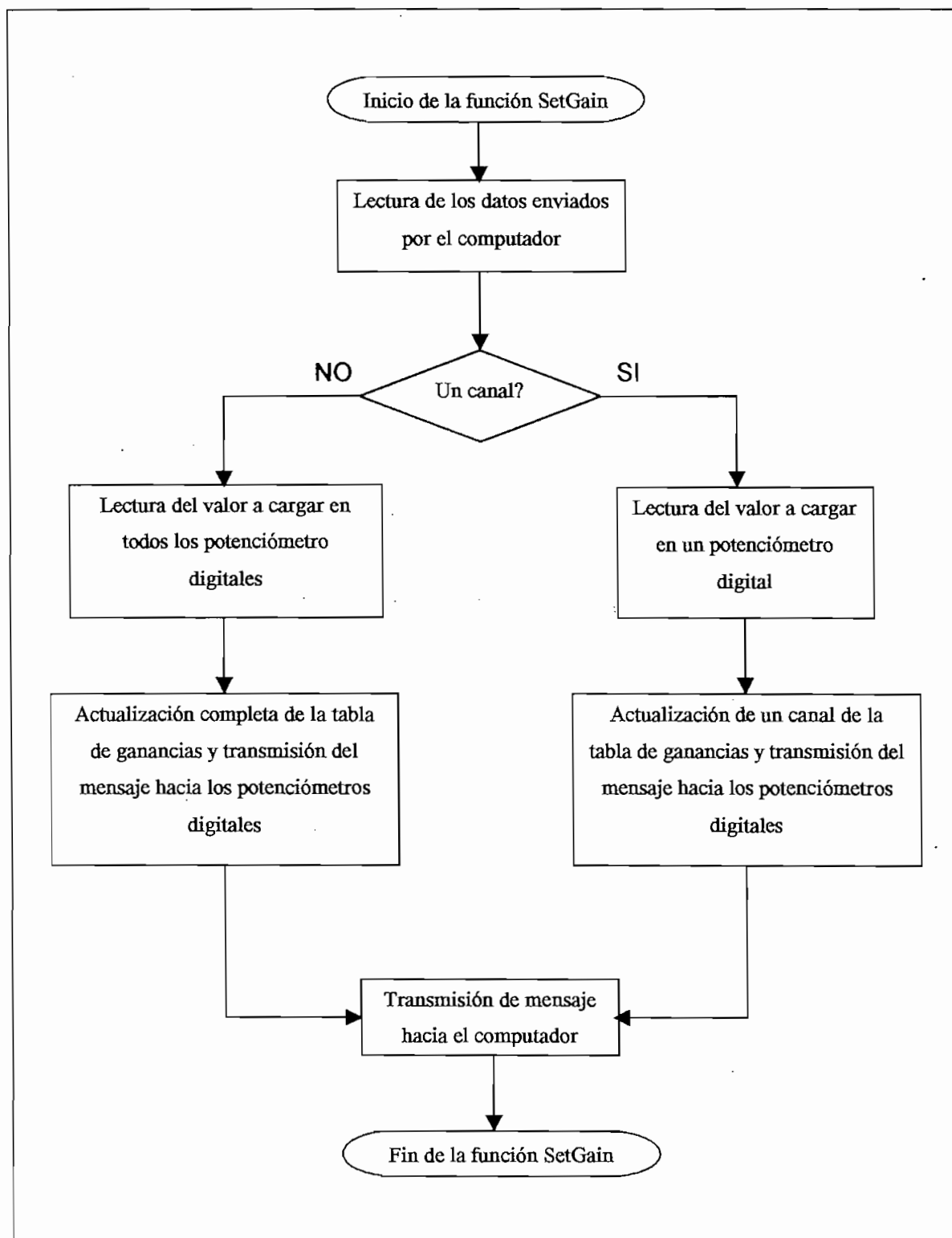


Figura 3.4 Diagrama de flujo de la función SetGain().



### 3.4.2.2 La función SA\_SETOFFSET.

Esta función recibe tres parámetros, el primero indica el canal a modificar el valor de offset, el segundo y tercer byte indican el valor de offset que se quiere. Una vez leídos estos parámetros se procede a realizar lo siguiente:

- Se pregunta si se quiere configurar un canal o todos los canales.
- Si es un canal se actualiza en la tabla solamente un canal, si son todos los canales se actualizan la tabla en su totalidad con el mismo valor.
- Una vez actualizada la tabla se calcula el valor a transmitir hacia el conversor. Esto se realiza mediante desplazamiento de bits y operaciones lógicas entre bytes.
- Una vez hecho esto se procede a construir el mensaje que será transmitido hacia los conversores D/A.
- Se utiliza la función SpiPutChar() para la transmisión de los datos.
- En total aquí se transmite 4 bytes debido que cada chip necesita 16 bits para su programación.
- Una vez realizado el proceso se transmite hacia el computador una cadena de caracteres que indican que la acción se ha realizado.

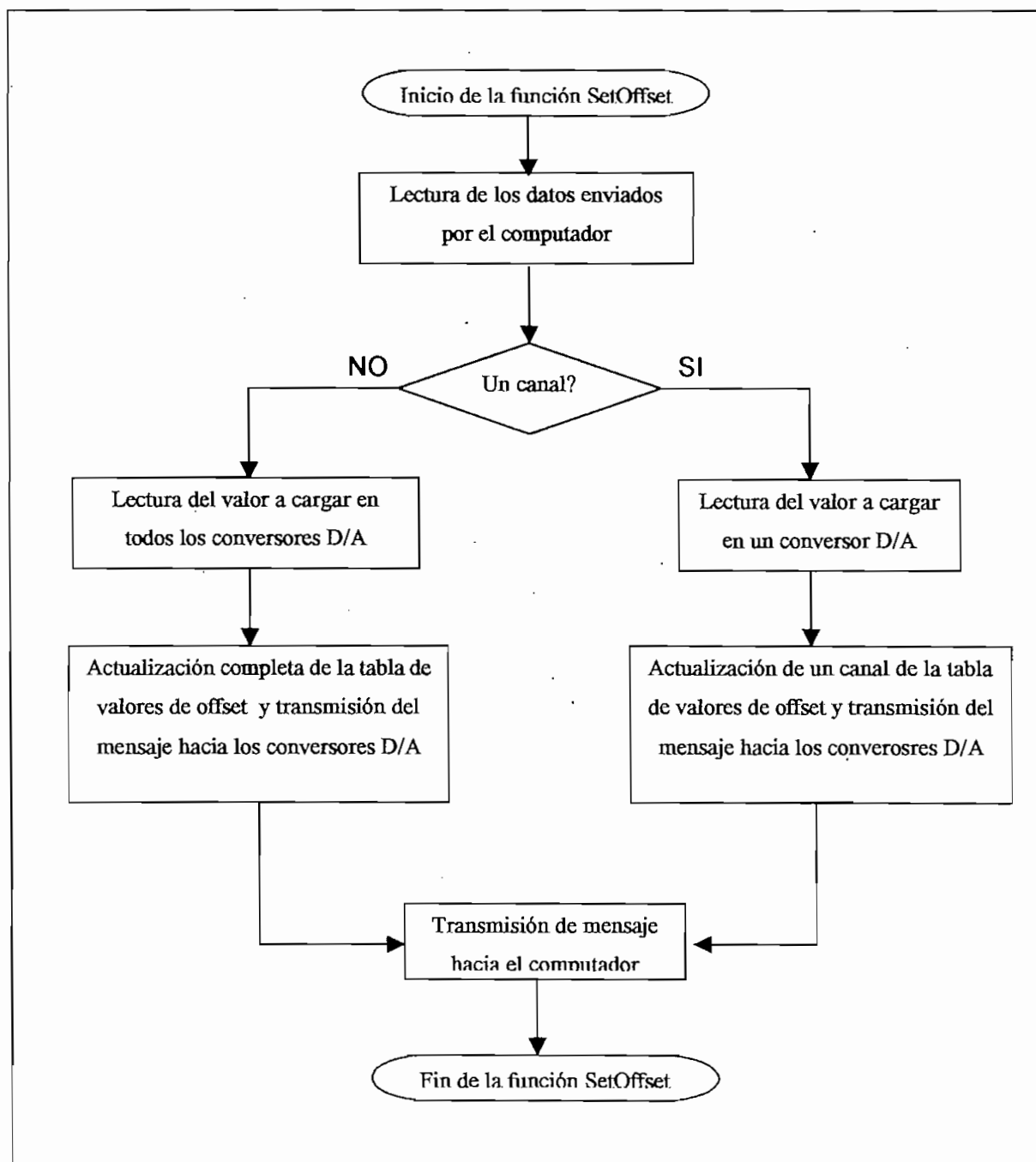


Figura 3.5 Diagrama de flujo de la función SetOffset

### 3.5 EL SUBMODULO MEMORY.C

Este es el submódulo más complejo y por ende el que llevas más funciones en su desarrollo. Para su desarrollo y explicación se ha dividido en dos grupos de funciones: Funciones Básicas, que son las encargadas de realizar las funciones descritas por el fabricante en las hojas de datos y que son ejecutadas automáticamente por el microcontrolador y las funciones principales que son las que el computador pide directamente a la tarjeta y que utilizan las funciones básicas.

Entre las funciones principales se encuentran también funciones que el computador no pide directamente sino que son utilizadas por estas funciones principales pero que a su vez utilizan las funciones básicas y son funciones que el microcontrolador realiza automáticamente el momento en que son requeridas.

Primeramente se describe a continuación los puertos y pines del PIC 16F877 ocupados en el manejo de la memoria SMC.

- Puerto de escritura y lectura de datos: PUERTO B
- Pin de habilitación de la memoria SMC (CS): pin RE1
- Pin de habilitación de escritura de código (CLE): pin RE2
- Pin de habilitación de escritura de dirección (ALE): pin RE0
- Pin de control de escritura o borrado (WP): pin RA2
- Pin de indicación de estado de la memoria (Ready/Busy): pin RA3
- Pin de escritura de datos (WE): pin RA4
- Pin de lectura de datos (RE): pin RA5

Para la implementación de las funciones básicas debe tomarse en cuenta las siguientes secuencias de comandos:

### DIAGRAMA DE TIEMPO DE ESCRITURA DE CODIGO.

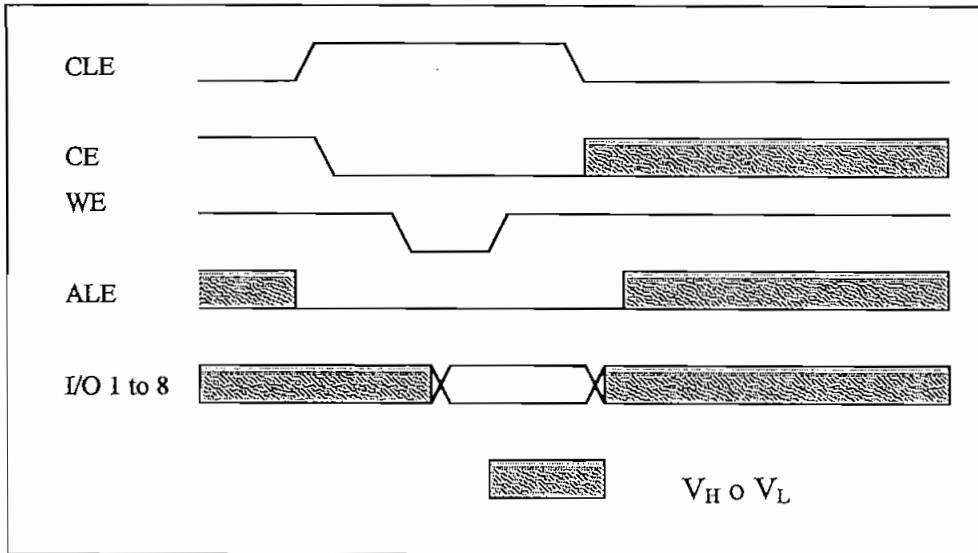


Figura 3.6 Diagrama de tiempo de escritura de código en la memoria SMC

### DIAGRAMA DE TIEMPO DE ESCRITURA DE DIRECCION.

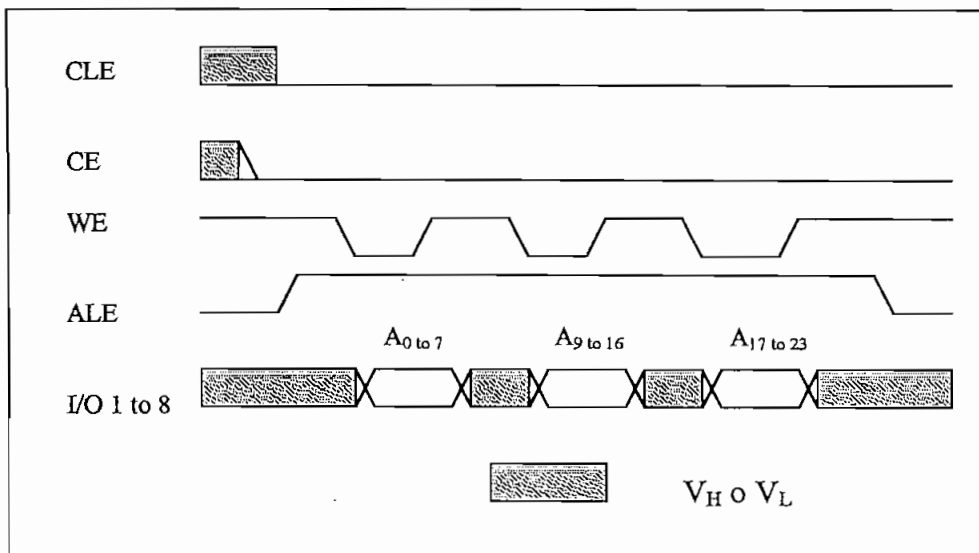


Figura 3.7 Diagrama de tiempo de escritura de dirección en la memoria SMC

## DIAGRAMA DE TIEMPO DE ESCRITURA O LECTURA DE DATOS.

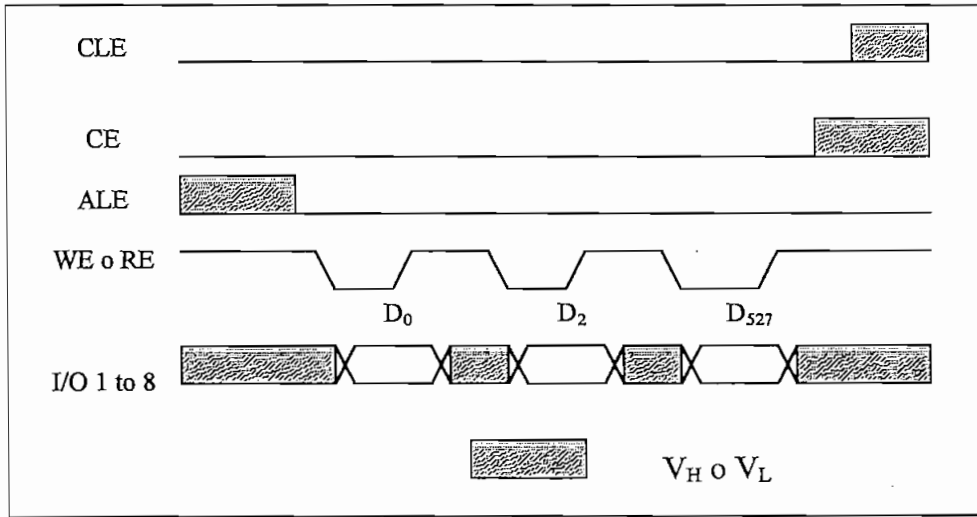


Figura 3.8 Diagrama de tiempo de escritura o lectura de datos en la memoria SMC

Para una exacta descripción de tiempos referirse al Anexo C <sup>[16]</sup>.

De acuerdo a las consideraciones anteriores y a las características de la memoria explicadas en el capítulo anterior las funciones básicas implementadas son las siguientes:

### 3.5.1 FUNCIONES BASICAS.

**Init\_memory().** Realiza la iniciación de los pines necesarios para el control de la memoria. Aquí se toma en cuenta los pines de control y cual va a ser el puerto de datos. Además se inicializa banderas que indican el estado de trabajo del equipo en su totalidad.

#### **Reset\_memory().**

Código: FF H.

Address: Ninguna.

Función: Realiza la operación de Reset mediante la escritura del código FF H.

**Unsigned char ID\_read( ).**

Código: 90 H.

Address: 00.

Función: Se encarga de leer el código de fabricante y el código de la memoria. Si las lecturas son las esperadas retorna el valor 00 H que indica que la lectura fue exitosa. Si alguna de las lecturas es distinta al valor esperado retorna el valor FF H. Esta función se la utiliza como medida de seguridad y para poder controlar que la memoria está correctamente en el drive.

**Enable\_programming().**

Código: 80 H y 10 H

Address: Ninguna.

Función: Esta función se encarga de activar la Autoprogramación.

En el inicio de las operaciones el estado del pin WP es LOW lo que desactiva automáticamente las operaciones de Erase y Autoprogram, es necesario entonces el activar estas operaciones para lo cual se realiza el proceso descrito en las hojas de datos. (Pag 27).

**Enable\_erasing().**

Código: 60 H y D0 H

Address: Ninguna.

Función: Se encarga de activar la posibilidad de borrado de bloques.

**Erase\_block(unsigned int block).**

Código: 60 H y D0 H

Address: A<sub>9 to 16</sub>, A<sub>17 to 23</sub>. (Dirección de Bloque)

Función: Realiza el procedimiento necesario para el borrado de un bloque, cuya dirección es el parámetro necesario para la función. Este parámetro es un entero pues su valor esta entre 0 y 1023.

**Unsigned char Status\_Read().**

Código: 70 H.

Address: Ninguna

Función: Se encarga de leer los bits de estado de la memoria, Retorna un caracter el cual puede ser utilizado para la comprobación de las operaciones de Borrado o Autoprogramación.

### **Autoprogram().**

Código: 10 H.

Address: Ninguna

Función: Realiza el procedimiento necesario para la autoprogramación de página. Se la realiza siempre en un proceso de escritura de datos luego de haber escrito una página; es decir, 528 datos.

### **Data\_input(unsigned int block, unsigned char page).**

Código: 80 H.

Address:  $A_0$  to 7,  $A_9$  to 16,  $A_{17}$  to 23. (Dirección de bloque, dirección de página)

Función: Realiza el procedimiento necesario para poder empezar a escribir datos en la memoria. Recibe como parámetros la dirección del bloque y la dirección de la página. La función esta diseñada de tal manera que siempre empieza a escribir desde la columna 00. Debe recordarse además que la función de escritura está diseñada para que siempre se almacenen 528 datos, es decir si los datos a escribir son 100 los restantes 428 datos deben también ser escritos. La recomendación del fabricante para esto valores es de FF H.

### **Data\_output(unsigned char mode, unsigned int block, unsigned char page, unsigned char column).**

Código: 00 H (Puede ser también 01 H o 50 H)

Address:  $A_0$  to 7,  $A_9$  to 16,  $A_{17}$  to 23. (Dirección de Bloque, dirección de página y dirección de columna)

Función: Realiza el procedimiento para poder leer datos de la memoria. Recibe parámetros los cuales indican el modo de lectura, es decir MODE 1, 2, o 3, la dirección del bloque, página y columna con lo que se puede acceder a cualquier dato de la memoria.

Todas las funciones anteriormente explicadas se necesitan para el funcionamiento de las funciones principales y las funciones de ayuda a éstas. En

los diagramas de flujo de las funciones principales estas funciones básicas serán representadas como funciones predefinidas.

### 3.5.2 FUNCIONES PRINCIPALES

Las Funciones Principales se realizaron tomando en cuenta los siguientes aspectos:

1. Se trata de mantener el uso de las funciones de transmisión de datos hacia el computador ya implementadas.
2. Mediante un acuerdo entre el programador del software del PIC 16F87X y el programador del software del PC se definieron las funciones que la placa sería capaz de realizar con la memoria en presencia del computador.
3. Las funciones tendrán un correcto funcionamiento mientras no se saque a la memoria de su lugar.
4. Debido a que no existe ninguna comunicación con el microcontrolador que realiza la tarea de muestreo y de escritura de datos en la memoria FIFO, este microcontrolador trabajará en una forma determinada para el modo de funcionamiento Stand-Alone; es decir, los canales a muestrear estarán fijos y su frecuencia también.

Para la explicación del funcionamiento de las funciones principales se debe tomar en cuenta el valor inicial de banderas que indican el estado de funcionamiento de la memoria, estas banderas son:

- `memory_mode` : Indica el estado de la memoria puede ser ACTIVE o INACTIVE
- `function_mode` : Indica la forma en que va a ser utilizada la memoria puede ser READ, WRITE o NOACTION
- `once` : es una bandera que indica si se ha recibido la instrucción `StartMeasure()`.



- stop : es una bandera que indica si se pueden seguir leyendo o grabando datos en la memoria.

Los valores por defecto adoptados en un Power ON son:

- memory\_mode = INACTIVE
- function\_mode = NOFUNCTION
- once = 00 H, indica que no se muestrean datos
- stop = 00 H, indica que se puede realizar la transmisión de datos hacia el computador

Las Funciones Principales implementadas son las siguientes:

FUNCIONES QUE PUEDEN SER ORDENADAS DIRECTAMENTE POR EL COMPUTADOR		
Nombre de la Función	Número de Parámetros necesarios	Descripción
INITIALIZE	0	Inicializa la memoria SMC el momento de ejecutar el programa en el computador
ACTIVE_MEMORY	1	Activa o desactiva la memoria SMC
ERASE_MEMORY	0	Borra totalmente la memoria SMC
GET_INFO_ERASE	0	Informa si la tarea de borrado total de la memoria ha sido terminada o no
READY_ERASE	0	Envía un mensaje confirmando que la memoria ha sido borrada
CONFIG_MEMORY	3	Escribe en la memoria la configuración con la cual trabajará tanto para escritura como para lectura
GET_WORDS_CONFIG	0	Envía al computador el número de palabras que contiene la memoria en la configuración
GET_CONF_MEMORY	0	Envía la configuración hacia el computador
READ_MEMORY	0	Prepara a la memoria para lectura
WRITE_MEMORY	0	Prepara a la memoria para escritura
STATUS_CARD	0	Informa al computador del estado actual de la memoria.
START_MEASURE	0	Establece los parámetros globales para el tiempo de lectura o escritura de acuerdo a la función deseada

		por el usuario
STOP_MEASURE	0	Establece los nuevos límites de tiempo si es que se detiene el proceso de escritura de datos en la memoria.

Tabla 3.10 Funciones del módulo MEMORY.C que pueden ser pedidas directamente por el computador

FUNCIONES AUTOMATICAS DEL MICROCONTROLADOR	
Nombre de la Función	Descripción
ReadandSend()	Lee de la memoria tantos datos como indique el computador y los transmite hacia el computador.
WriteandSend()	Escribe en la memoria tantos datos como indique el computador y los transmite hacia el computador.
Config_Key(param)	Escribe una secuencia especial de código que indica si existe una configuración válida o no.
ConfirmConfig()	Confirma si existe una configuración válida o no.
checkMemory()	Analiza la memoria y encuentra el número de páginas que han sido escritas. Escribe este dato en la configuración

Tabla 3.11 Funciones del módulo MEMORY.C implementadas automáticamente por el microcontrolador

### 3.5.2.1 Función Initialize().

Código enviado por el computador: 0x72.

Parámetros: Ninguno.

Función: Activa las banderas al inicio del trabajo con el computador y son los mismos valores que se explicaron anteriormente y que tienen lugar en un Power ON.

### 3.5.2.2 Función ActiveMemory().

Código enviado por el computador: 0x86.

Parámetros: 0 o 1.

Función: Activa y desactiva la memoria de la siguiente manera:

- Si el estado del parámetro es cero inicializa nuevamente los pines necesarios para el control de la memoria y el puerto para los datos.
- Ejecuta la función Reset\_memory().
- Ejecuta la función ID\_read(). Mediante el caracter que devuelve esta función se analiza si la memoria es la correcta o si existe memoria.
- Si el caracter que regresa la función indica que la memoria no es la correcta quiere decir que la memoria no se activará y envía un mensaje indicando el estado actual del equipo.
- Si el caracter que regresa la función ID\_read indica que la memoria es la correcta, entonces se ejecutan las funciones Enable\_programming() y Enable\_erasing() se modifica la bandera memory\_mode a ACTIVE y se transmite un mensaje hacia el computador indicando que la memoria está activa.
- Si el estado del parámetro es uno entonces se modifica la bandera memory\_mode a INACTIVE y se envía un mensaje indicando que se ha modificado la memoria.
- El envío del parámetro 0 o 1 por parte del computador se lo implementó debido a las condiciones iniciales del computador.

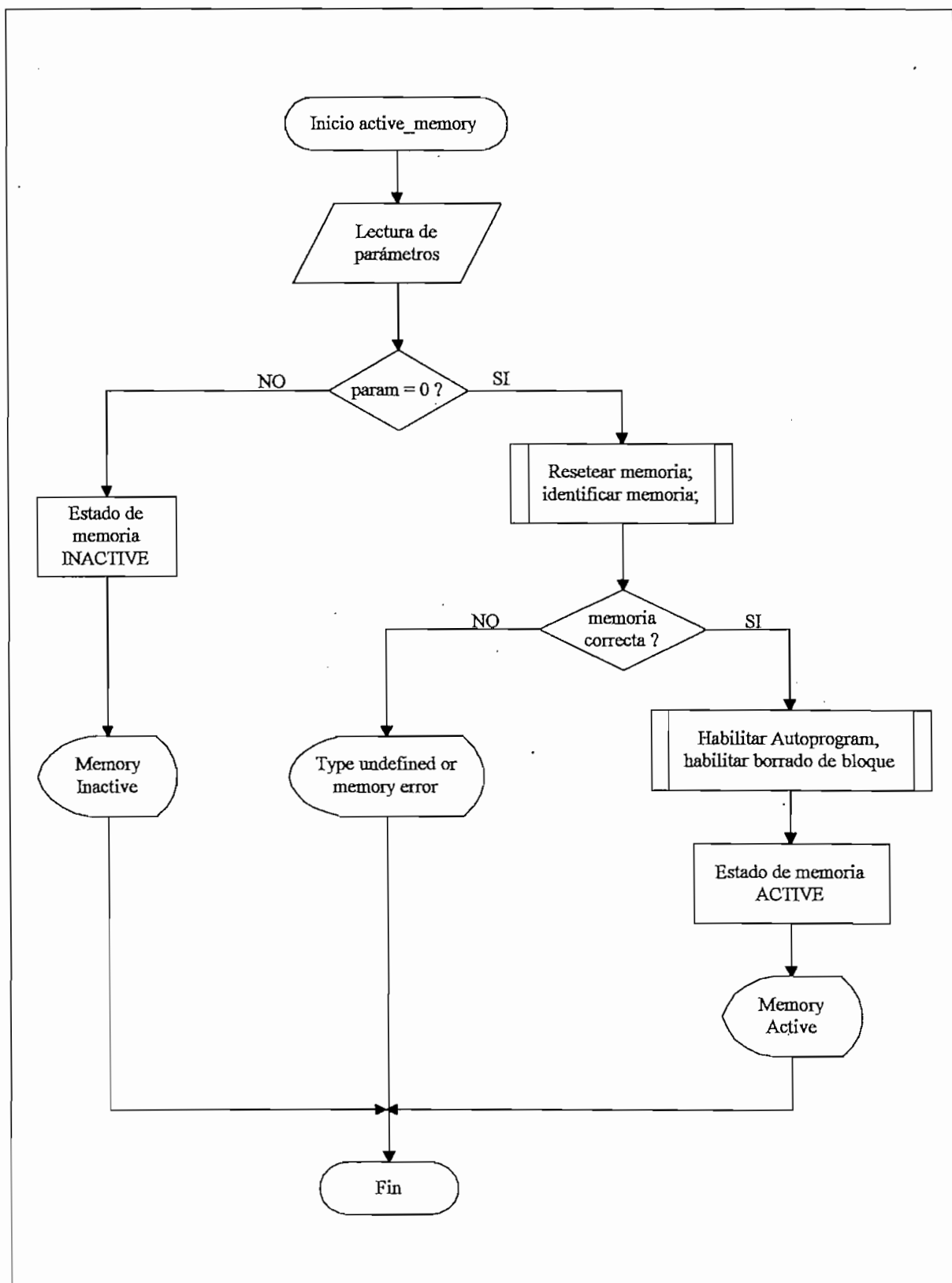


Figura 3.9 Diagrama de flujo de la función Active\_memory

### 3.5.2.3 Función EraseAll()

Código enviado por el computador: 0x9C

Parámetros: Ninguno.

Función: Borra totalmente la memoria de la siguiente manera:

- Una vez recibido el mensaje correspondiente se realiza un lazo en el que se ejecuta 1024 veces la función Erase\_block.
- Una vez borrado el bloque 1023 (0...1023) la función retorna un mensaje indicando que la memoria ha sido borrada.

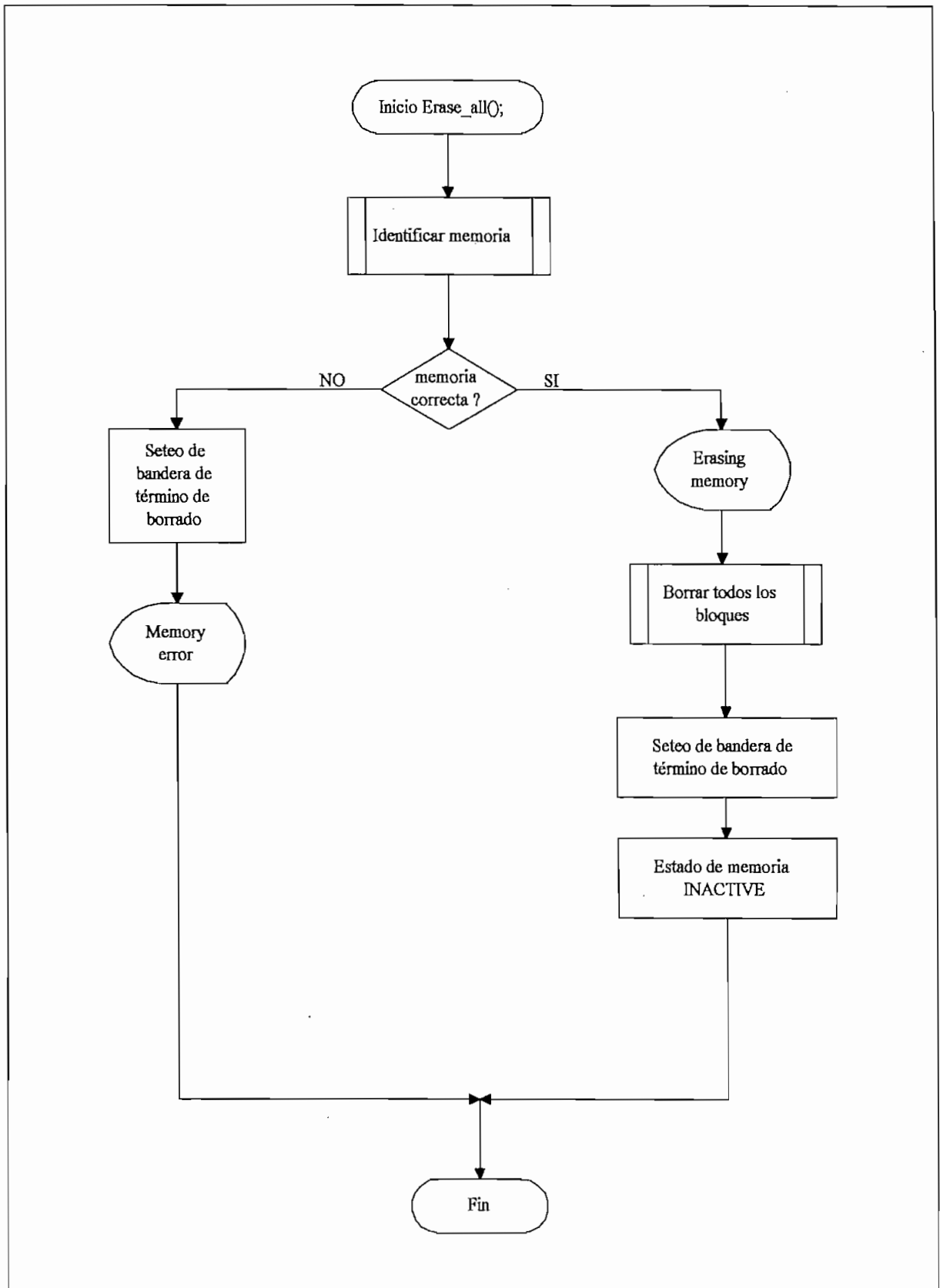


Figura 3.10 Diagrama de flujo de la función Erase\_all.

### 3.5.2.4 Función ConfigMemory(activechannel, blocks, page).

Código enviado por el computador: 0x9F

Parámetros: activechannel : que indica el número de canales que se quieren configurar.

Blocks : indica el bloque en el que se grabará la configuración.

Page : indica la página en la que se grabará la configuración.

Función : Se encarga de configurar la memoria de manera que los datos que luego se graben en la misma tengan relación con los datos grabados en la configuración. Debido a esto después de cada configuración se perderán los datos grabados anteriormente.

Antes de entrar a la descripción de esta función es necesario aclarar los siguientes puntos:

1. Si se trabaja con apoyo del computador se puede enviar cualquier configuración.
2. Para el modo de trabajo Stand Alone, como ya se explicó anteriormente, la ausencia de una comunicación entre los dos PICs obliga a que los canales a configurar sean fijos, estos canales son los identificados por el usuario como CH1, CH2, CH3 y CH4. Esta configuración no es controlada por la tarjeta, de manera que si se quiere trabajar en modo Stand Alone se debe configurar previamente solo los canales nombrados anteriormente.
3. La frecuencia de muestreo también es fija y se la ha dejado en 128 Hz.
4. Los valores que se pueden modificar son la ganancia y el nivel de offset.

Cabe aclarar en este punto también como se distribuye la información en la memoria SMC:

Bloque	Página	Información
1	0	Tiempo de grabación o lectura de datos
	1	Bandera de configuración
2	0	Configuración de los canales a muestrear
3 - 1023	Todas	Datos del muestreo de los canales

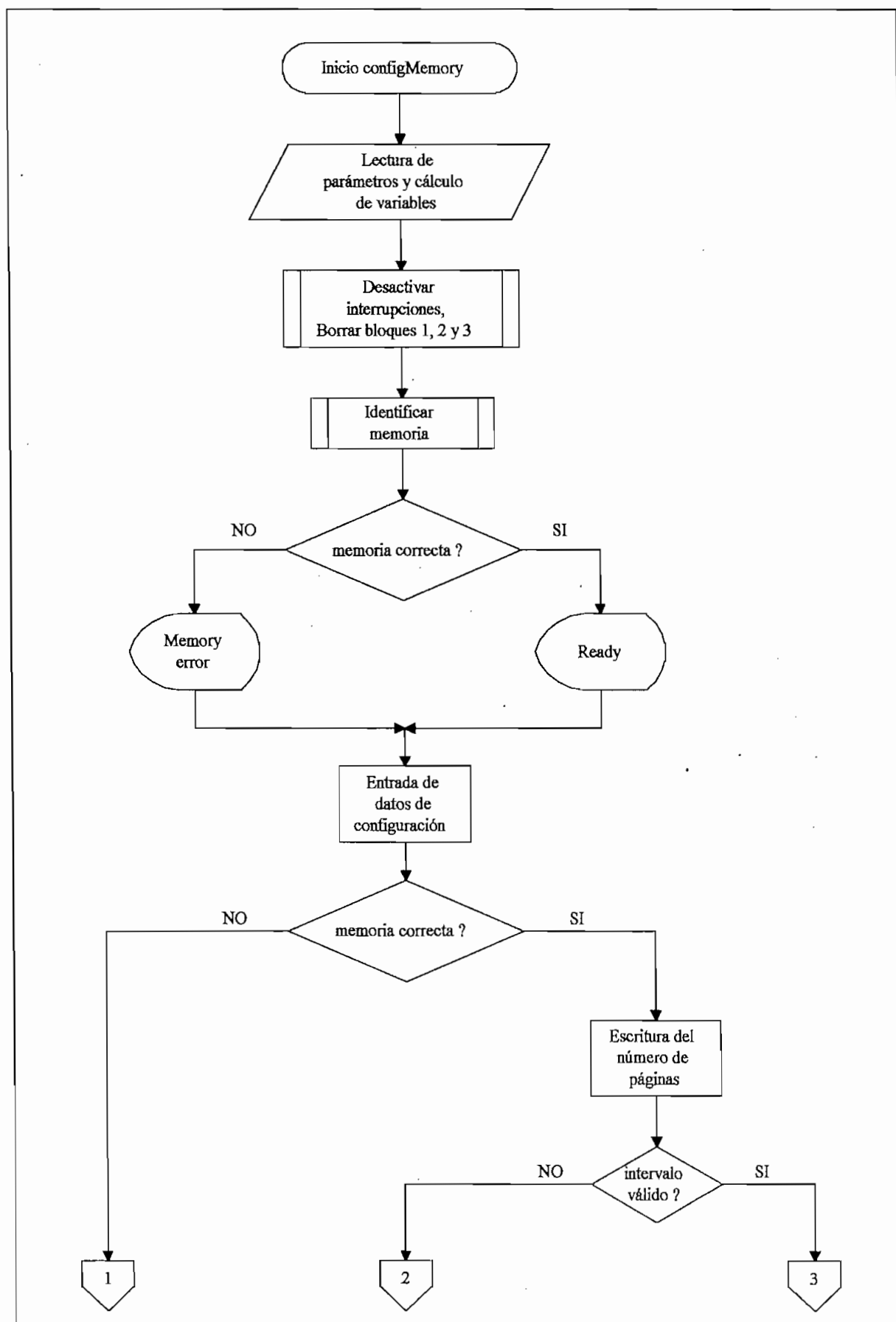
Tabla 3.12 Distribución de la información en la memoria SMC

El bloque 0 no es utilizado pues esta reservado para información sobre el estado de los bloques en la memoria.

Descripción de la función:

- Deshabilita todas las interrupciones.
- Borra los tres primeros bloques de la memoria
- La función primeramente lee el parámetro activechannel que indica el número de canales a configurar.
- En base a este dato calcula cuantos datos van a ser escritos, pues este es el número de datos enviado por el computador.
- Luego de haber escrito los datos se procede a verificar si la configuración ha sido correcta.
- Para esto compara el valor de activechannel preguntando si es mayor a cero y menor a 16. Si el resultado es falso entonces abandona la función y retorna un mensaje que indica que se tiene un número incorrecto de canales.
- Si el resultado es verdadero escribe en el bloque 1, página 1 una bandera indicando que se tiene una configuración correcta y se envía un mensaje al computador indicando que la configuración se ha realizado exitosamente.
- Si la comparación no se verifica correctamente entonces se escribe en el bloque 1, página 1 una bandera indicando que no hay configuración y se retorna un mensaje indicando que la memoria no está configurada.
- Habilita nuevamente las interrupciones.





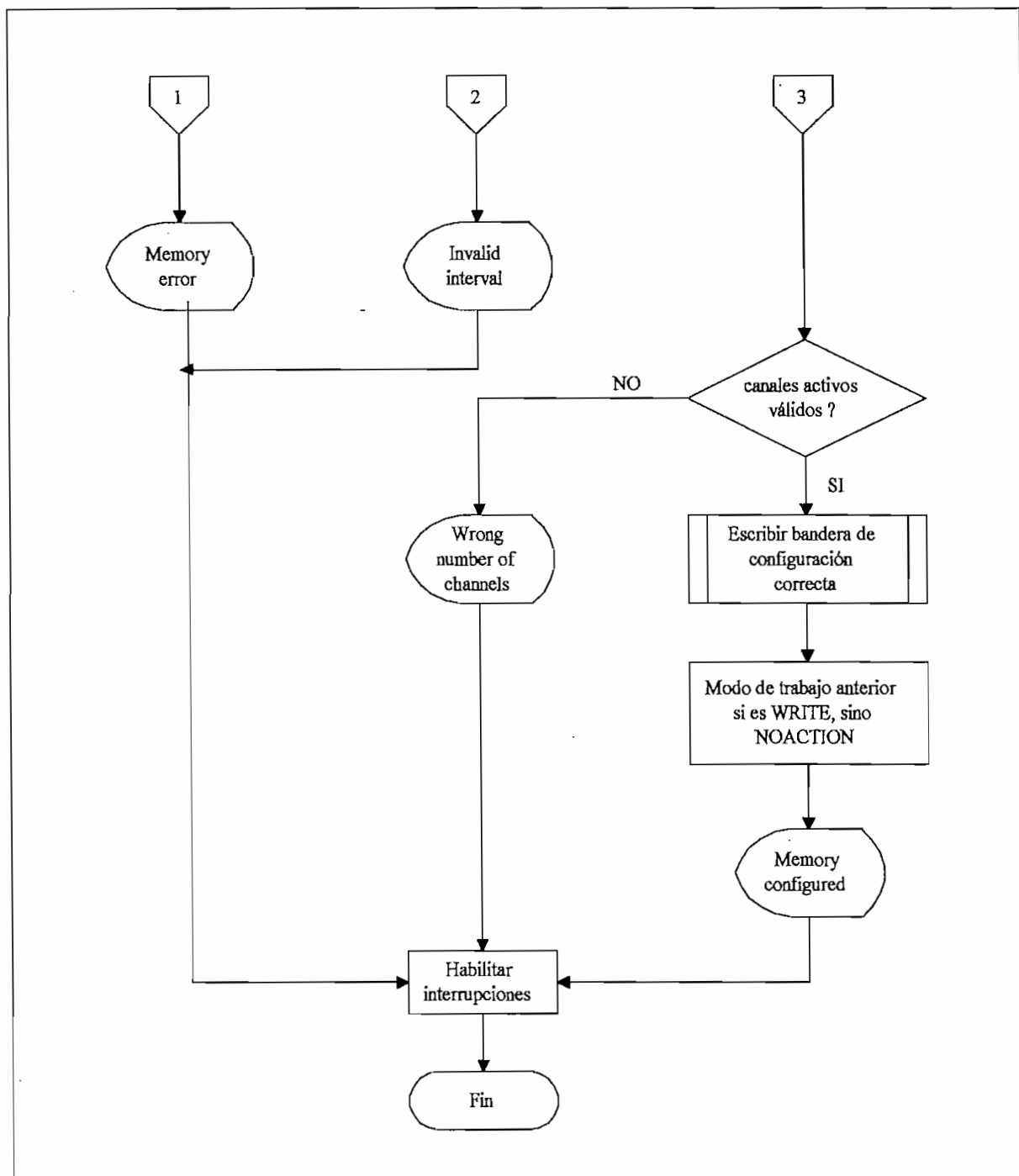


Figura 3.11 Diagrama de flujo de la función Config\_memory.

### 3.5.2.4.1 Descripción de la configuración

El resultado que se tendría luego de que la función ConfigMemory se ha realizado satisfactoriamente sería la siguiente:

Bloque 1
Página 0
Número de páginas a leer o escribir

Bloque 1
Página 1
Bandera que indica que se tiene una configuración correcta

Bloque 2
Página 0
Configuración de los canales activos

Tabla 3.13 Disposición de los datos y banderas luego de una configuración correcta

En el bloque 2, página 0 la configuración tiene como primer byte un número que indica cuantos canales están activos, el número de bytes siguientes depende del número de canales activos y es igual a Número de canales activos por diez, pues la información de cada canal consta de 10 bytes como se presenta a continuación:

Byte	Valor	Descripción
1	00	Valor fijo que indica el número del canal
2	00	
3	GG	2 bytes que indican la ganancia para el canal

4	GG	
5	OFF	2 bytes que indican el nivel de offset para el canal
6	OFF	
7	FREQ	2 bytes que indican la frecuencia de muestreo para el canal
8	FREQ	
9	01	Valor fijo que indica que el canal se representará gráficamente.
10	00	

Tabla 3.14 Representación de la información de configuración para un canal.

En la Tabla 3.8 los valores GG, OFF y FREQ son utilizados solo para indicación de que en ese lugar se tiene la configuración de ganancia, nivel de offset e índice de frecuencia respectivamente.

### 3.5.2.5 Función `SendWordsConfig()`.

Código enviado por el computador: 0x80.

Parámetros: Ninguno.

Función: Esta función retorna el número de palabras que contienen la configuración, en caso de que se haya comprobado que existe. Si no existe, se retorna el valor de 0. El número de palabras a enviar se calcula leyendo de la memoria el número de canales que están activos, multiplicando este valor por 5 y sumándole 1 debido a que también se envía la información de cuanto tiempo o que cantidad de datos se ha grabado o se quiere grabar.

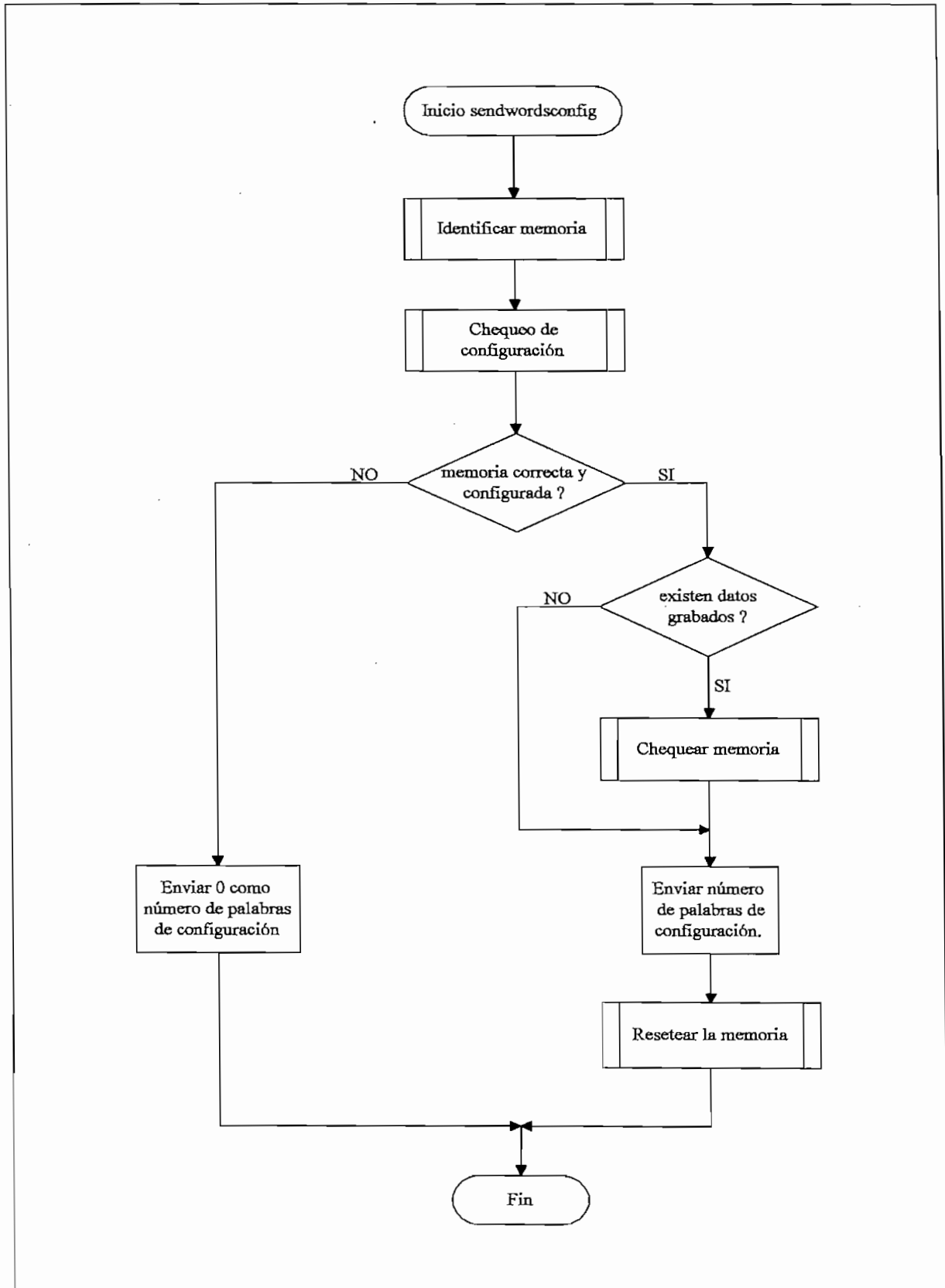


Figura 3.12 Diagrama de flujo de la función `sendwordsconfig`.

### 3.5.2.6 Función SendConfigMemory()

Código enviado por el computador: 0x81.

Parámetros: Ninguno.

Función: Realiza una transmisión de todos los bytes de configuración hacia el computador.

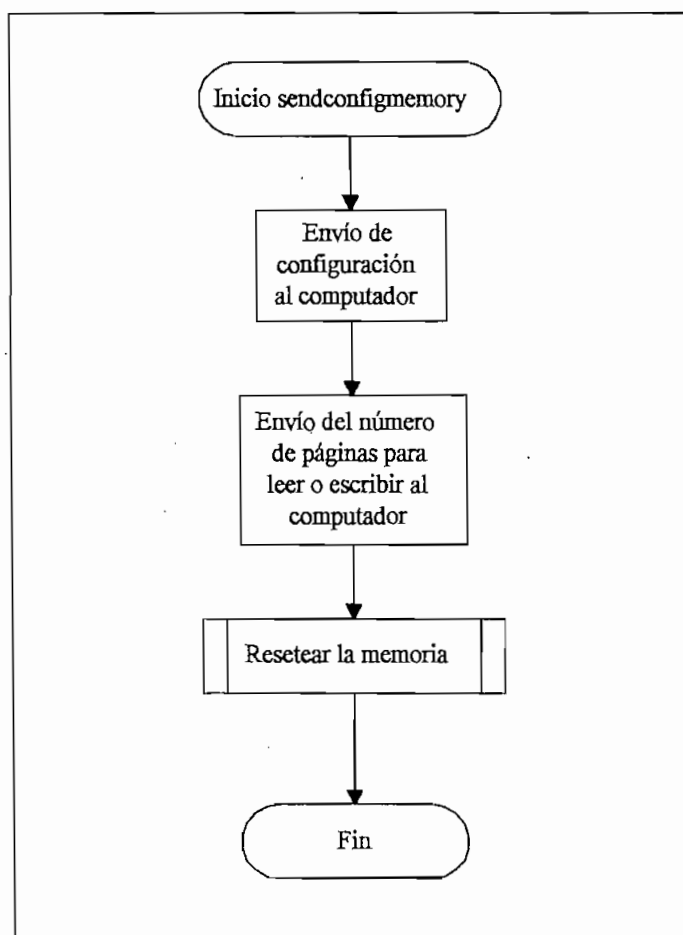


Figura 3.13 Diagrama de flujo de la función Sendconfigmemory.

### 3.5.2.7 Función ReadMemory()

Código enviado por el computador: 0x9E.

Parámetros: Ninguno.

Función: Setea la bandera function\_mode a READ y transmite un mensaje indicando que el modo elegido es el de lectura.

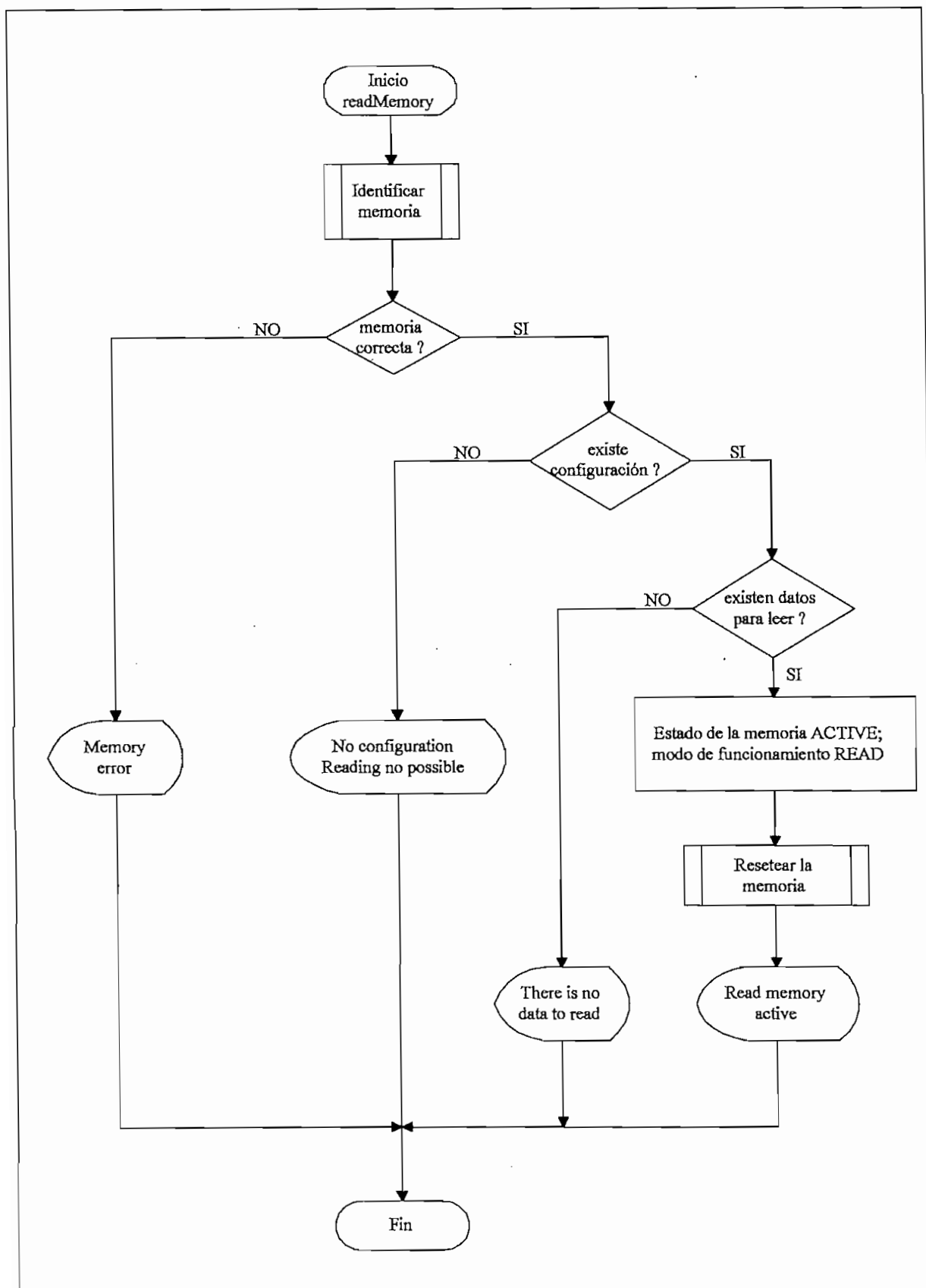


Figura 3.14 Diagrama de flujo de la función ReadMemory.

### 3.5.2.8 Función WriteMemory().

Código enviado por el computador: 0x9D.

Parámetros: Ninguno.

Función: Setea la bandera function\_mode a WRITE y transmite un mensaje indicando que el modo elegido es el de escritura.

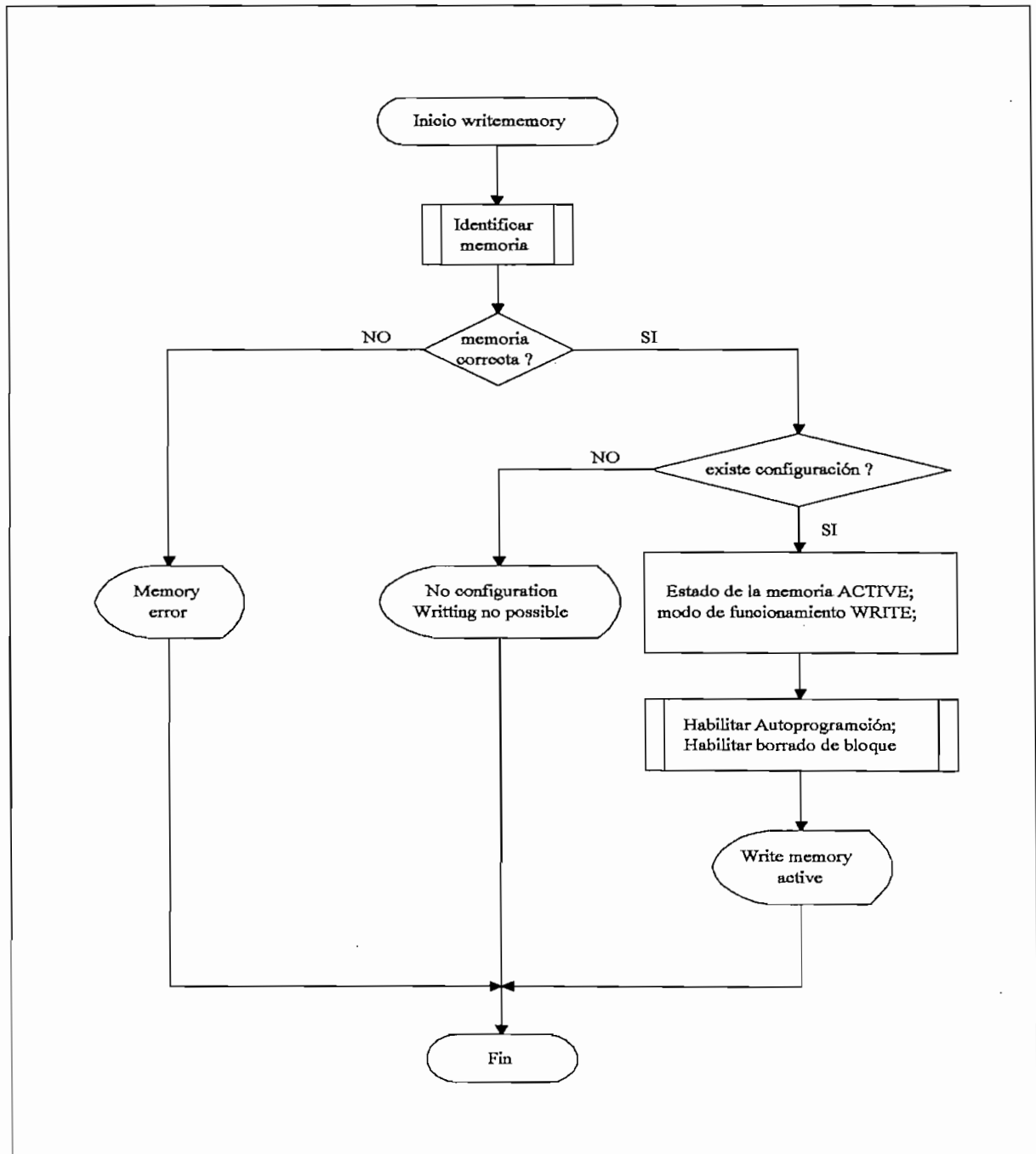


Figura 3.15 Diagrama de flujo de la función WriteMemory.



### 3.5.2.9 Función `Start_memory_measure()`

Código enviado por el computador: 0x81.

Parámetros: Ninguno.

Función: Inicializa la memoria para lectura o escritura de acuerdo al estado de las banderas seteadas por el computador.

- Primero pregunta si la memoria está activa y si además el modo de operación es de lectura o escritura, si el resultado es falso no realiza ningún proceso, si el resultado es verdadero realiza lo siguiente.
- Inicializa las variables `actual_block = 3` , `actaul_page = 0` y `actual_data = 0`. (parámetros actuales)
- Inicializa las variables que indican hasta donde debe escribir o leer.
- Luego controla el estado actual de la variable `function_mode`.
- Si la variable `function_mode` concuerda con `READ` prepara a la memoria para leer y transmitir datos hacia el computador ejecutando la función `Data_output` con los parámetros actuales.
- Si la variable `function_mode` concuerda con `WRITE` prepara a la memoria para escribir datos y transmitirlos hacia el computador ejecutando la función `Erase_block` con los parámetros actuales y luego la función `Data_input`.

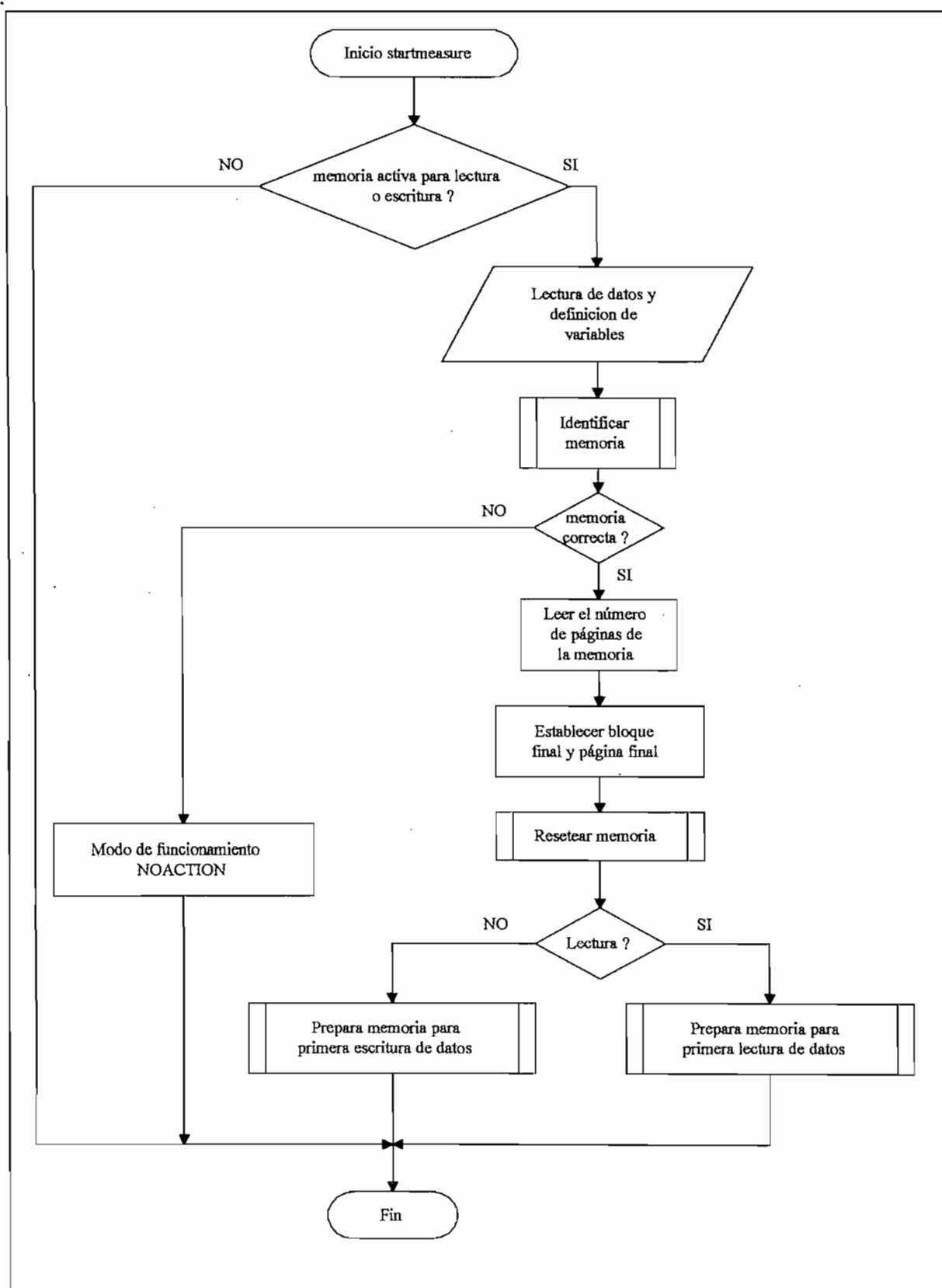


Figura 3.16 Diagrama de flujo de la función Start\_memory\_measure.

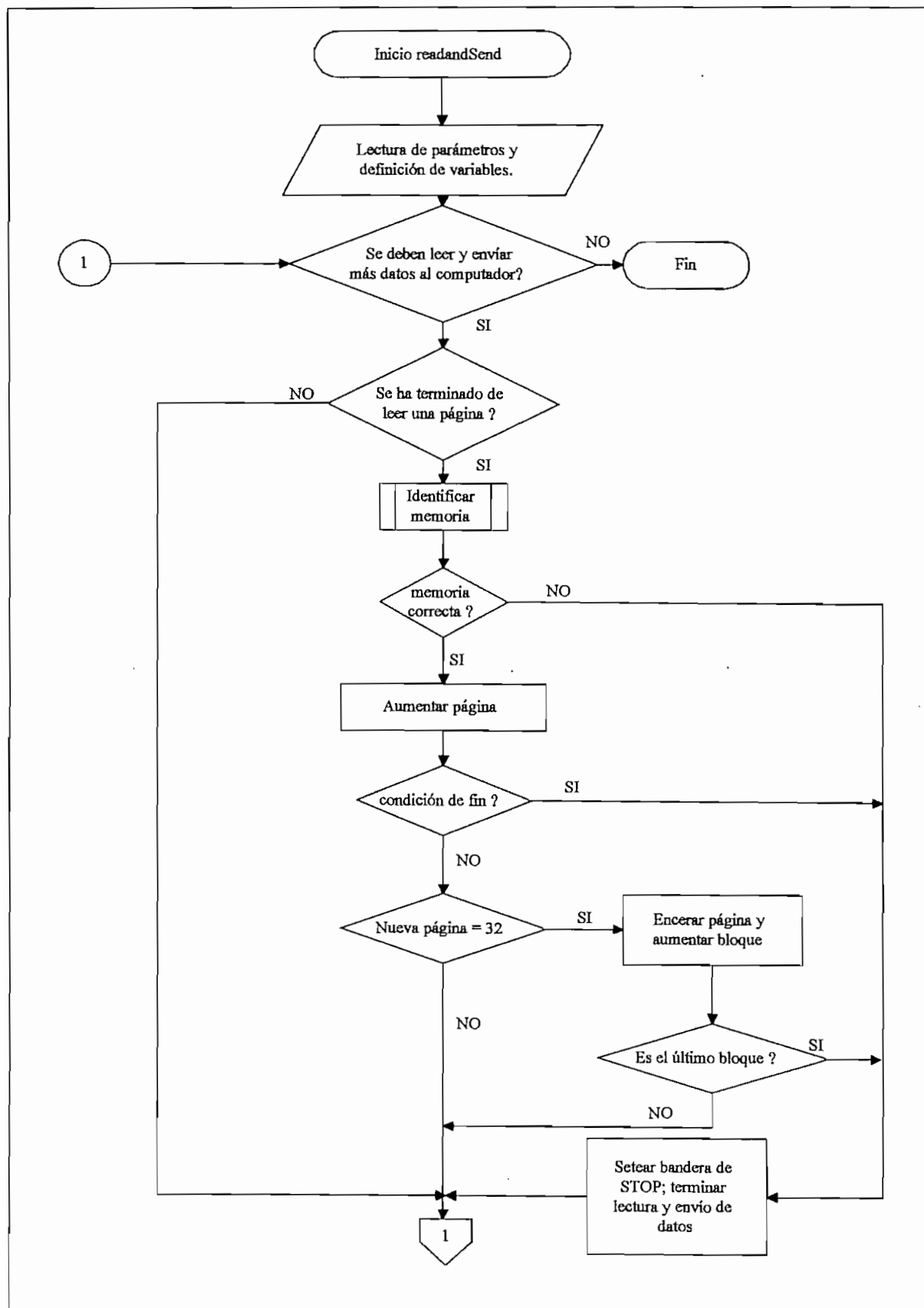
### 3.5.2.10 Función ReadandSend(count)

Parámetros: count.

Función: Está función es ejecutada por el microcontrolador cuando se tiene un pedido de transmisión de datos hacia el computador; es decir, cuando se ejecuta la función SendData del módulo SIOPIC.C que fue aclarada anteriormente y, además, cuando la bandera memory\_mode es igual a ACTIVE y function\_mode es igual a READ.

La función realiza los siguientes pasos:

- Entra en un lazo que se realizará tantas veces como indique la variable count.
- Compara el valor de actual\_data con 512. Si el valor es distinto realiza una comparación con la variable stop.
- Si la variable stop es igual a 00 H, entonces lee un dato de la memoria FIFO, lo transmite hacia el computador y aumenta en uno la variable actual\_data.
- Si la variable stop es igual a FF H, entonces deja de transmitir datos inmediatamente y el computador, al no recibir datos, detiene automáticamente el proceso de petición de datos.
- Si el valor actual\_data coincide con 512 quiere decir que se ha leído completamente una página y se vuelve a cero la variable actual\_data, se aumenta en uno la variable actual\_page y se procede a comparar las variables actual\_page y actual\_block con las variables final\_block y final\_page. Si la comparación es verdadera se para el proceso seteando la variable stop a FF y ejecutando la función Reset\_memory.
- Si la comparación de bloque y página es falsa, entonces se pregunta si la página actual es igual a 32. Si es que es igual se vuelve a cero la variable actual\_page y se aumenta en uno la variable actual\_block, y solamente si la variable actual\_block es distinta de 1024, se procede a ejecutar la función Data\_output con los parámetros actuales.
- Una vez hecho esto se procede a seguir leyendo y enviando datos hacia el computador hasta que cumpla con la condición de fin de lazo.



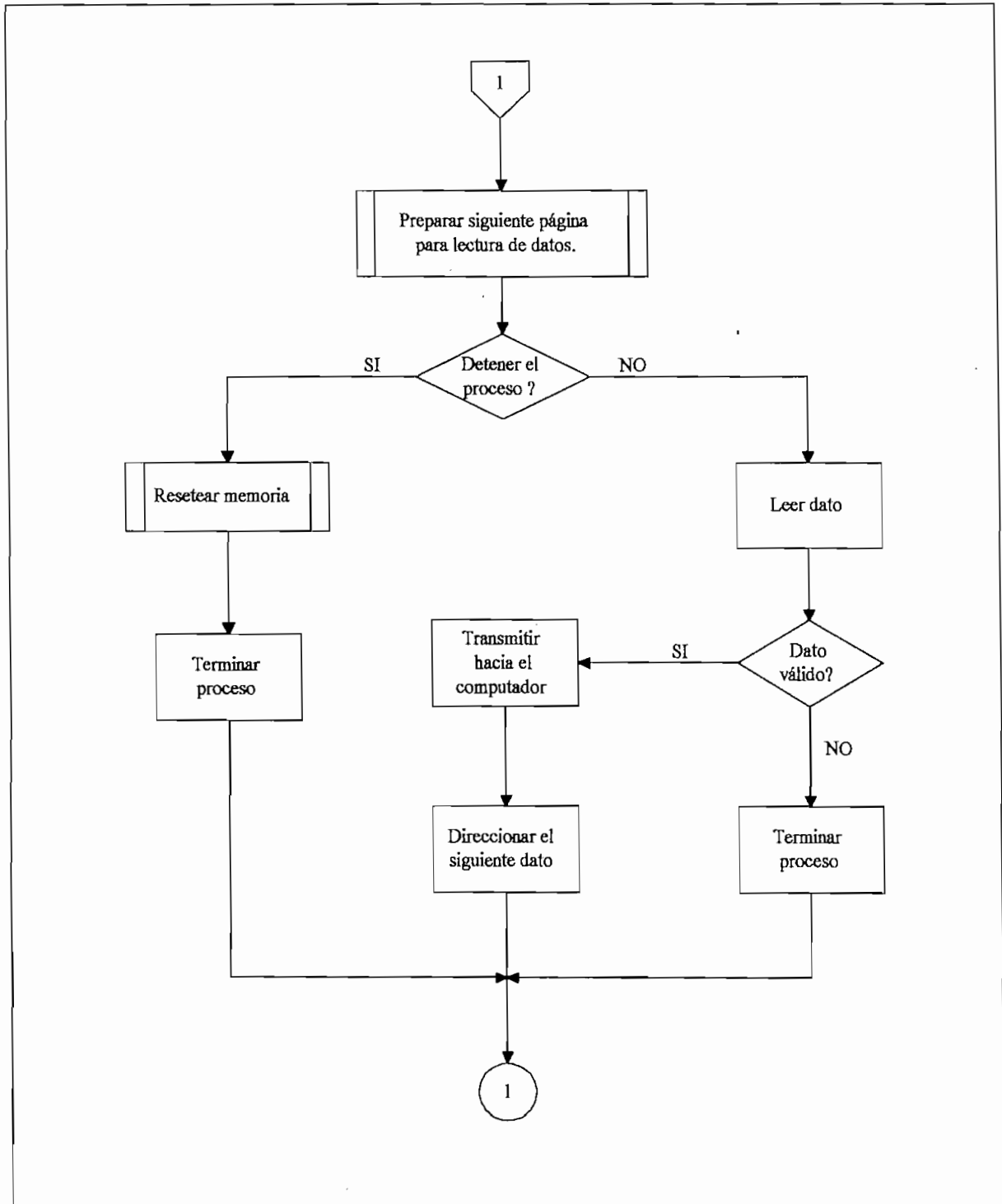


Figura 3.17 Diagrama de flujo de la función `readandsend`.

### 3.5.2.11 Función WriteandSend(count)

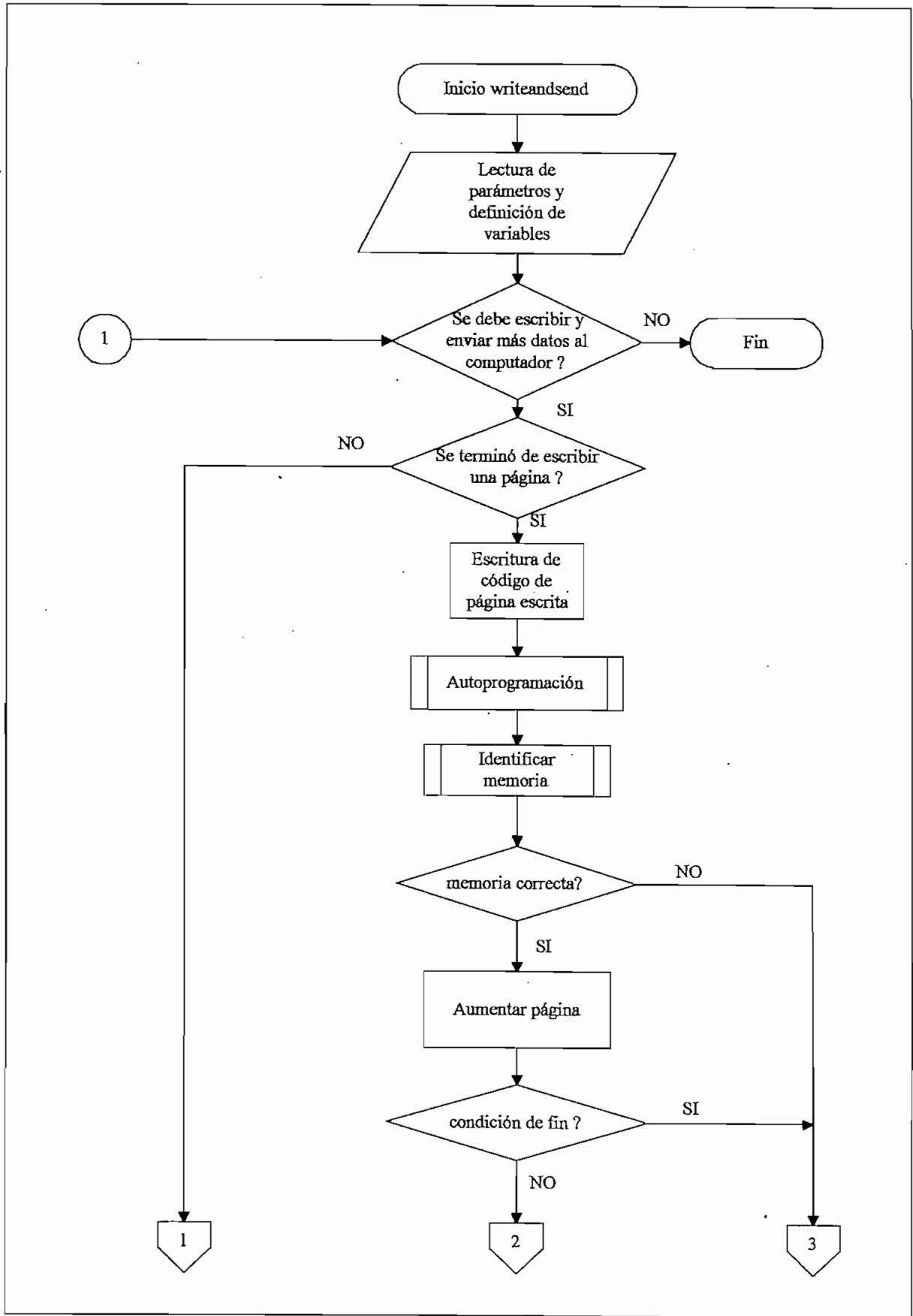
Parámetros: count.

Función: Está función es ejecutada por el microcontrolador cuando se tiene un pedido de transmisión de datos hacia el computador; es decir, cuando se ejecuta la función SendData del módulo SIOPI.C que fue aclarada anteriormente y además cuando la bandera memory\_mode es igual a ACTIVE y function\_mode es igual a WRITE. Esta función guarda en memoria los datos tomados en ese momento por el usuario.

La función realiza los siguientes pasos:

- Entra en un lazo que se realizará tantas veces como indique la variable count.
- Compara el valor de actual\_data con 528. Si el valor es distinto realiza una comparación con la variable stop.
- Si la variable stop es igual a 00 H, entonces escribe un dato en la memoria, lo transmite hacia el computador y aumenta en uno la variable actual\_data.
- Si la variable stop es igual a FF H, entonces deja de transmitir datos inmediatamente y el computador al no recibir datos detiene automáticamente el proceso de petición de datos.
- Si el valor actual\_data coincide con 512, quiere decir que se ha escrito completamente una página y se ejecuta la función Autoprogram, se vuelve a cero la variable actual\_data, se aumenta en uno la variable actual\_page y se procede a comparar las variables actual\_page y actual\_block con las variables final\_block y final\_page. Si la comparación es verdadera, se para el proceso seteando la variable stop a FF y ejecutando la función Reset\_memory.
- Si la comparación de bloque y página es falsa, entonces se pregunta si la página actual es igual a 32. Si es que es igual se vuelve a cero la variable actual\_page y se aumenta en uno la variable actual\_block y solamente si la variable actual\_block es distinta de 1024 se procede a ejecutar la función Data\_input con los parámetros actuales.

- Una vez hecho esto se procede a seguir escribiendo y enviando datos hacia el computador hasta que cumpla con la condición de fin de lazo, o alguna de las condiciones mencionadas anteriormente.





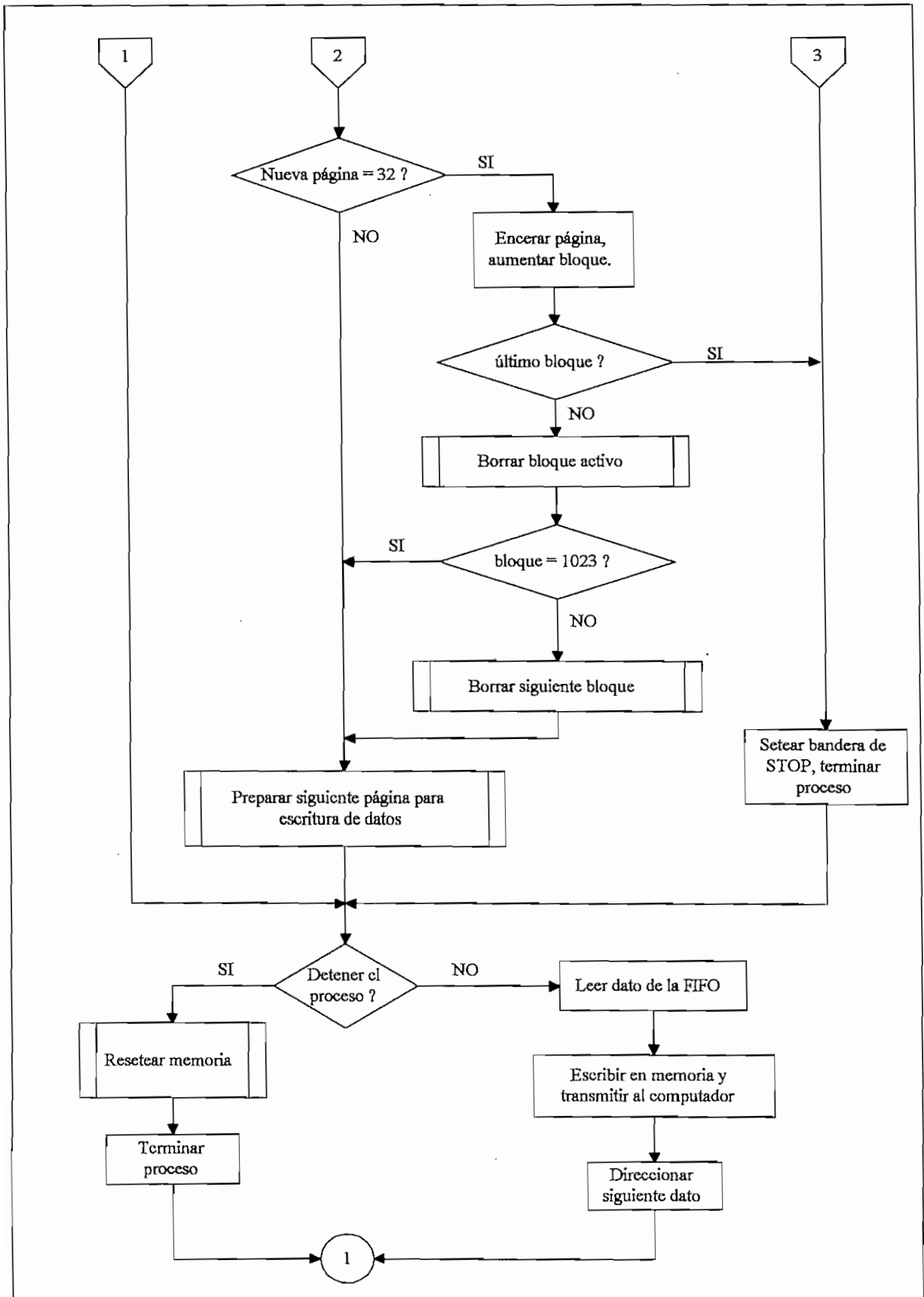


Figura 3.18 Diagrama de flujo de la función writeandsend

### **3.5.2.12 Función Stopmeasure()**

Código enviado por el computador: 0x8F.

Parámetros: Ninguno.

Función: Se encarga de guardar los datos actuales de información sobre el número de páginas escritas.

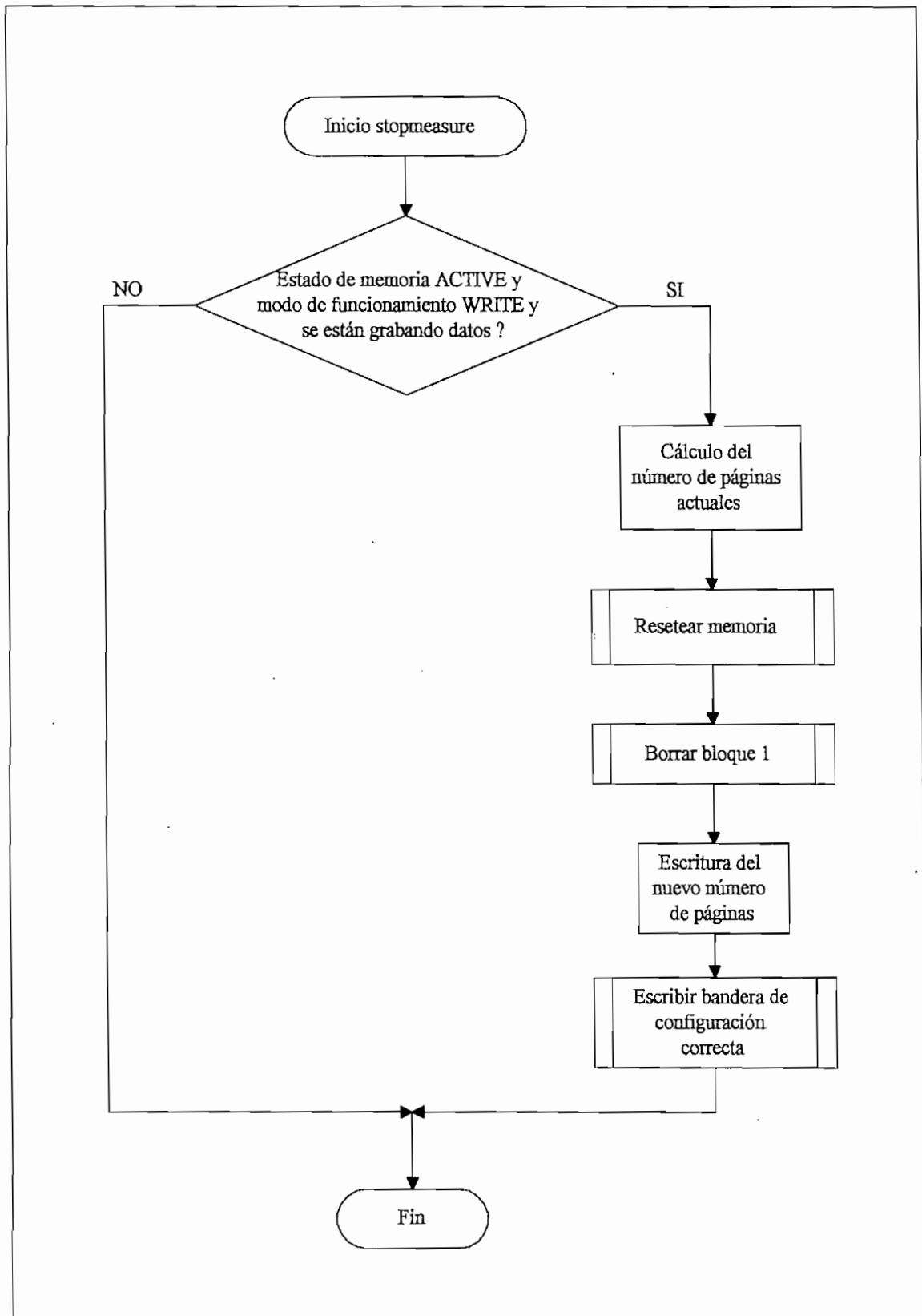


Figura 3.19 Diagrama de flujo de la función stopmeasure.

### **3.5.2.13 Función Sendstatuscard()**

Código enviado por el computador: 0x8F.

Parámetros: Ninguno.

Función: Envía información al computador de acuerdo al estado que en ese momento tiene la memoria.

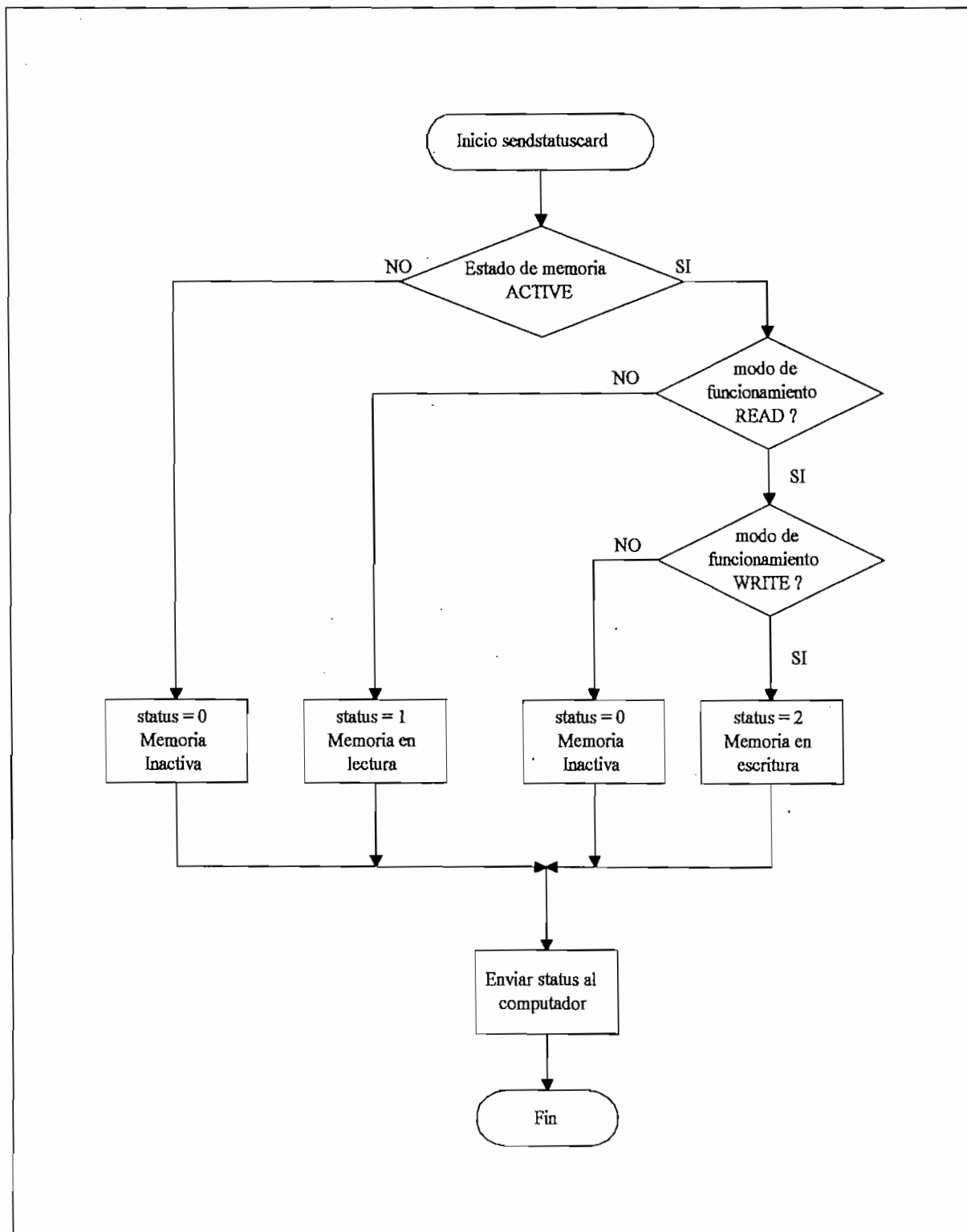
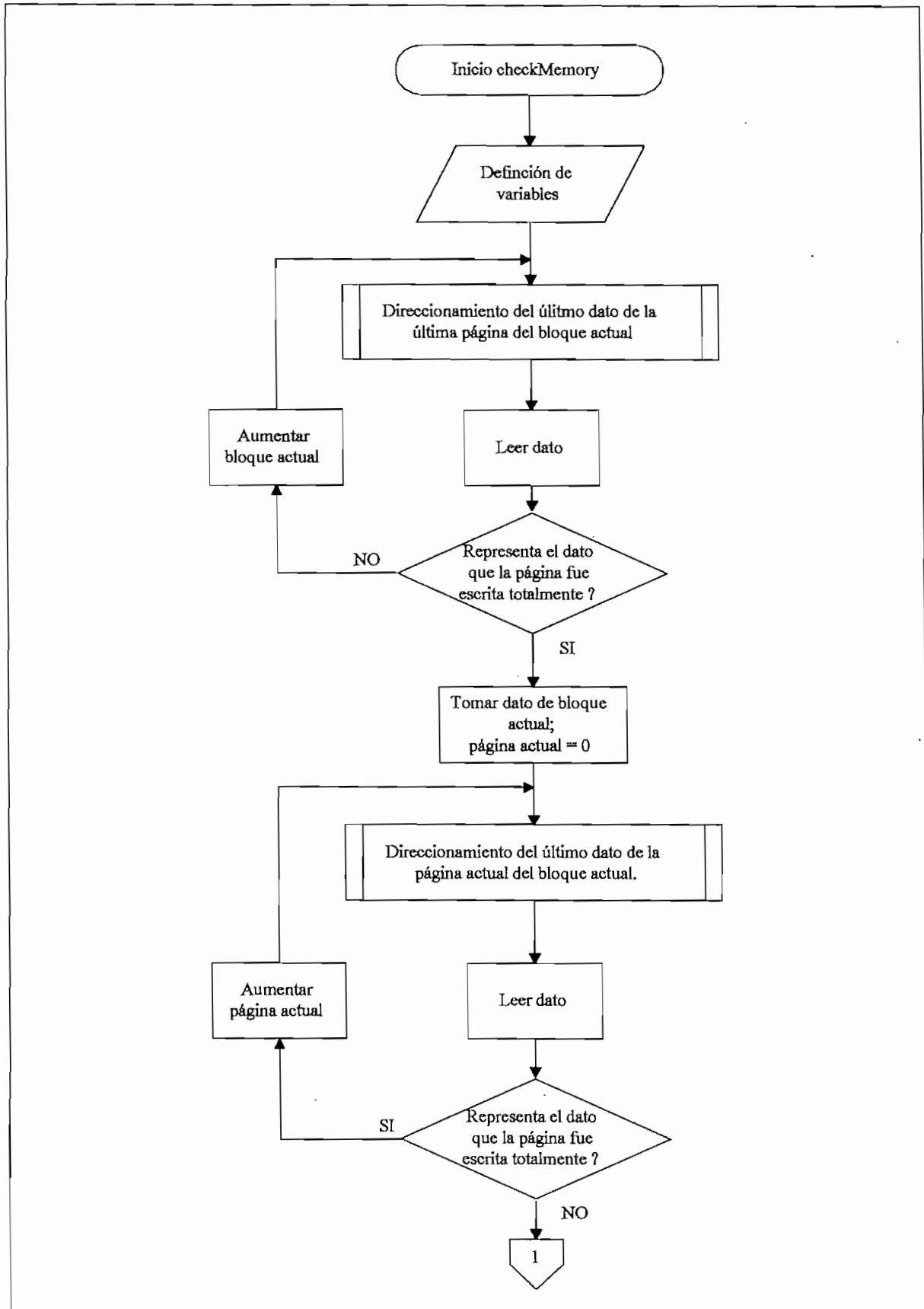


Figura 3.20 Diagrama de flujo de la función Sendstatuscard()

#### **3.5.2.14 Función checkMemory()**

Parámetros: Ninguno.

Función: Analiza la memoria y encuentra el número de páginas que han sido escritas si es que hay datos escritos. Luego borra el número de páginas anterior y coloca en su lugar el nuevo número de páginas. Esta función es parte de la secuencia de envío de configuración al computador. Primero se analiza la memoria y luego se envía la configuración.



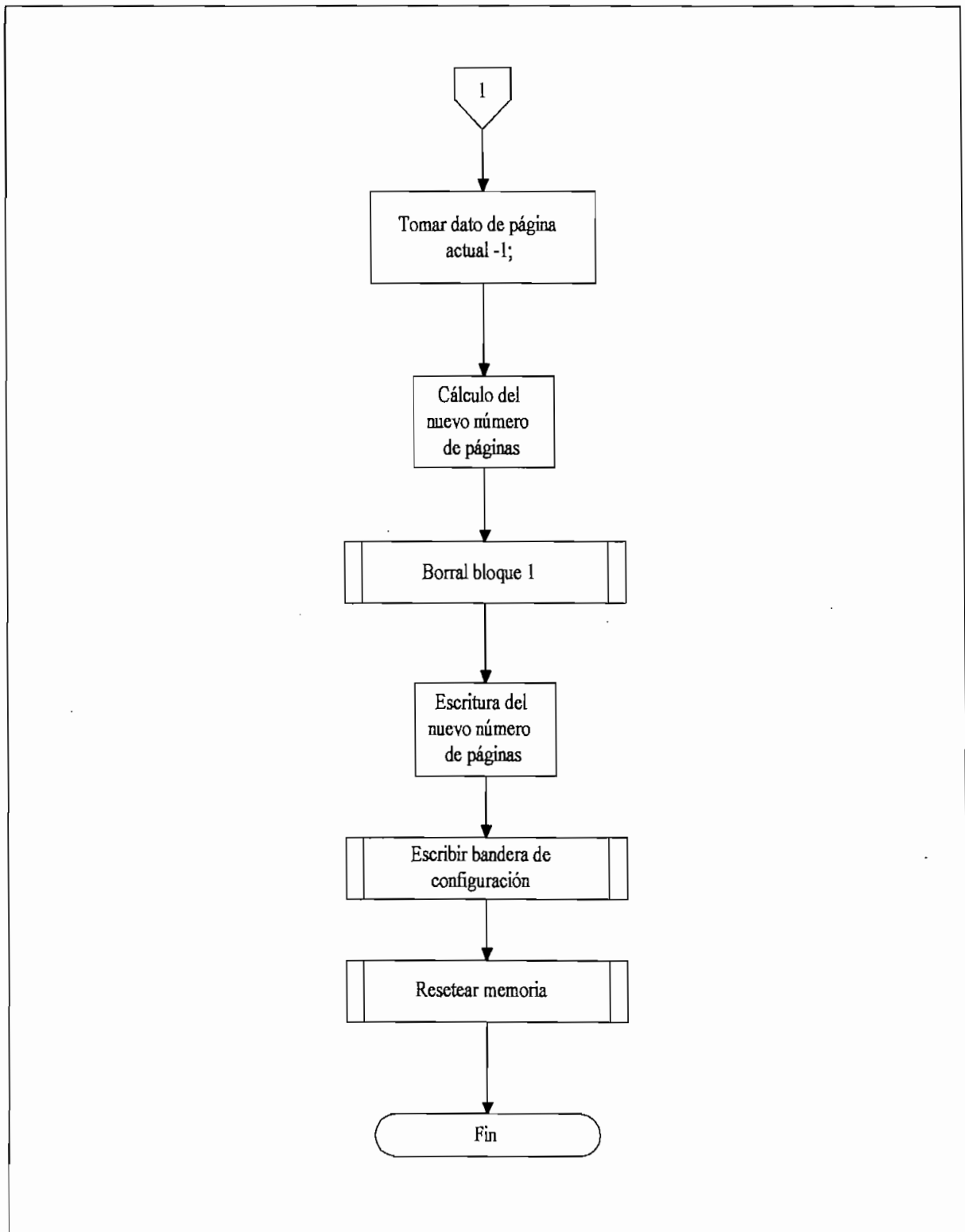


Figura 3.21 Diagrama de flujo de la función `checkMemory`.



### 3.6 LOS SUBMÓDULOS STDALNTX.C Y STDALNRX.C

Estos submódulos fueron realizados de manera que la tarjeta pueda almacenar datos sola, sin apoyo del computador. Para esta tarea, como ya se explicó anteriormente, debido a que no existe comunicación entre los PICs, el número de canales que pueden ser muestreados es fijo, e incluso está determinado cuales son estos canales y cual será la frecuencia de muestreo. Estos canales son los canales 1, 2, 3 y 4 y la frecuencia de muestreo es 128 Hz.

#### 3.6.1 STDALNTX.C

El microcontrolador 16F877 es el encargado de almacenar los datos en la memoria Flash. El submódulo correspondiente a este microcontrolador es el submódulo STDALNTX.C y las funciones que se implementaron para su funcionamiento son las siguientes:

FUNCIONES AUTOMATICAS DEL MICROCONTROLADOR 16F877	
Nombre de la Función	Descripción
Init_record()	Inicializa los controles necesarios para poder grabar datos en la memoria y comprueba las condiciones necesarias para que la grabación pueda realizarse correctamente.
Configure()	Se encarga de cargar la configuración en los canales activos..
Begin_record()	Realiza el proceso de grabación de datos en la memoria flash de Toshiba.
Alarm()	Se encarga de setear temporalmente un pin de manera que mediante un led se pueda interpretar el estado de la tarjeta.

Tabla 3.15 Funciones utilizadas para el modo de trabajo sin el computador por el PIC 16F877

### 3.6.1.1 Función `Init_record()` (para el PIC 16F877)

Parámetros: Ninguno

Función: Esta función es ejecutada por el microcontrolador cuando ha entrado al estado de trabajo sin apoyo del computador y se encarga de inicializar los elementos necesarios para el control del puerto SPI y para el control de la memoria SMC.

Verifica si la memoria es la correcta y si existe configuración válida. De ser así procede con el proceso de escritura de datos en la memoria SMC, de lo contrario presenta una señal en un led indicando que ha ocurrido algún problema.

El diagrama de flujo es el siguiente:

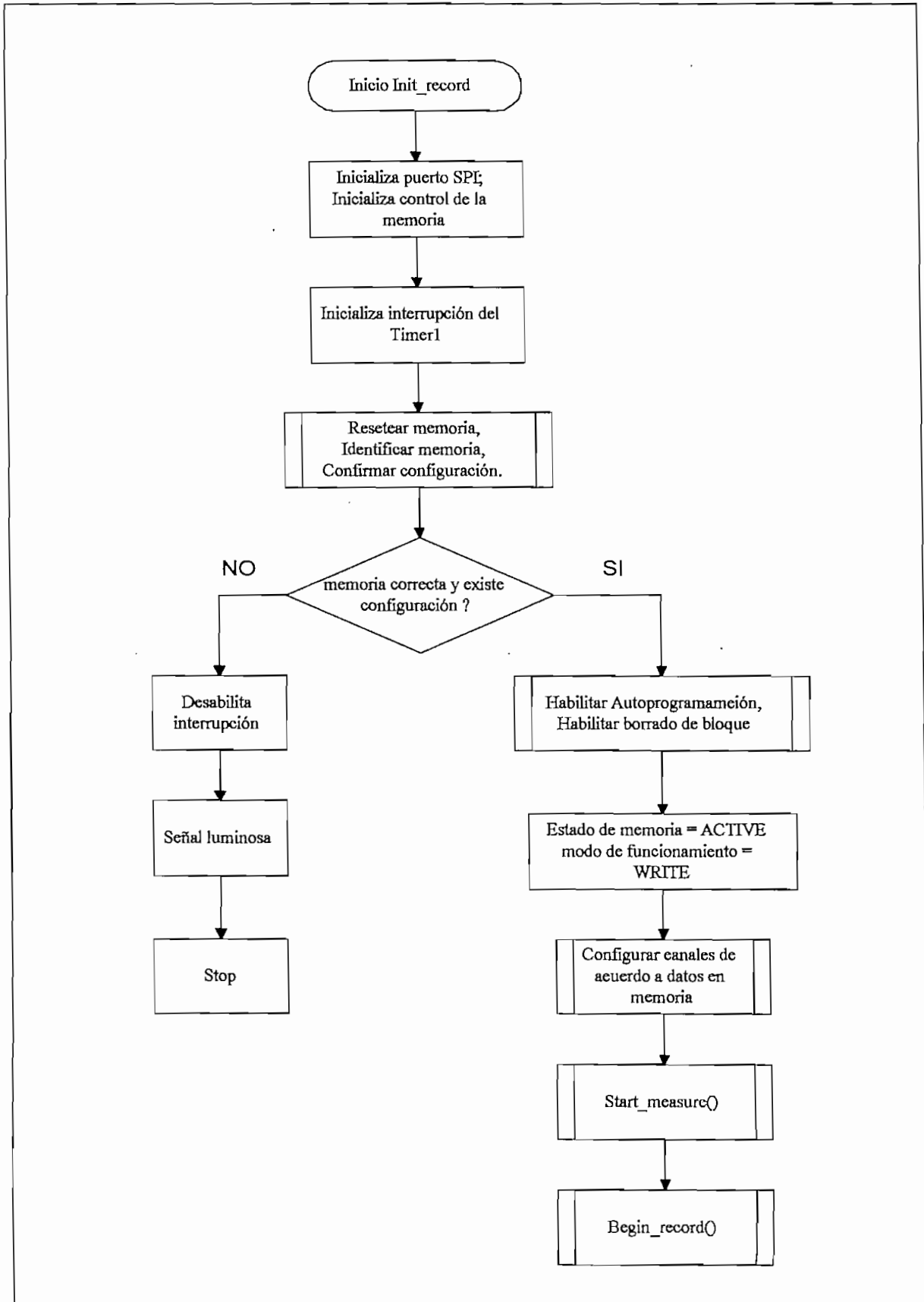


Figura 3.22 Diagrama de flujo de la función Init\_record para el PIC 16F877.

### **3.6.1.2 Función Configure()**

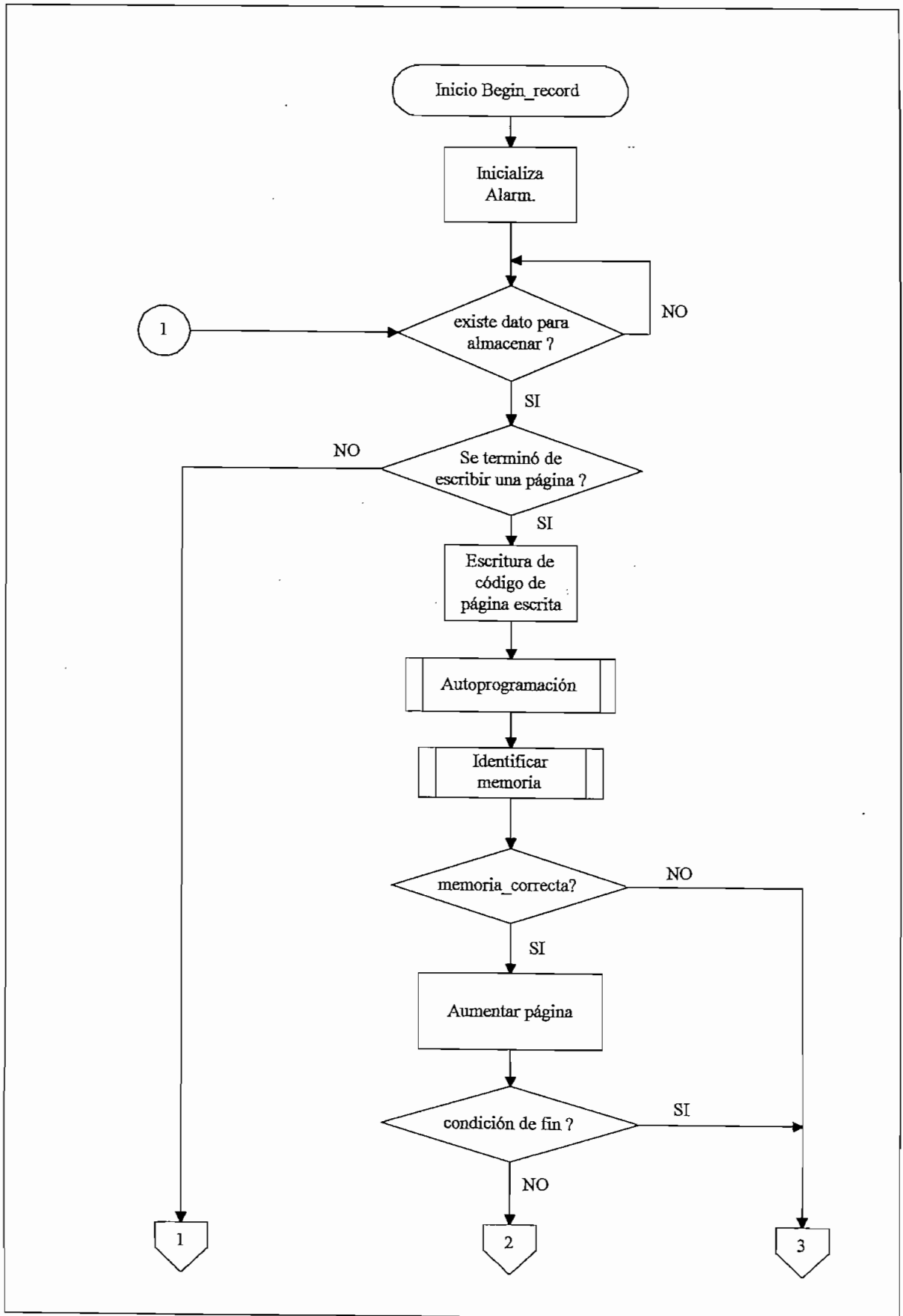
Parámetros: Ninguno

Función: Esta función es ejecutada por el microcontrolador y verifica si la configuración es válida para los canales 1, 2, 3 y 4. De ser así configura estos canales de acuerdo a los datos encontrados en la memoria SMC para luego pasar a grabar los datos resultantes de la conversión A/D en la memoria. Si no existe configuración válida se presenta una señal luminosa.

### **3.6.1.3 Función Begin\_record()**

Parámetros: Ninguno

Función: Esta función es ejecutada por el microcontrolador y realizada para el almacenamiento automático de los datos que se escriben en la memoria FIFO. Es muy parecida a la función writeandsend, la diferencia radica en que esta función no necesita parámetro alguno y espera simplemente que exista algún dato en la memoria FIFO para almacenarlo en la memoria SMC.



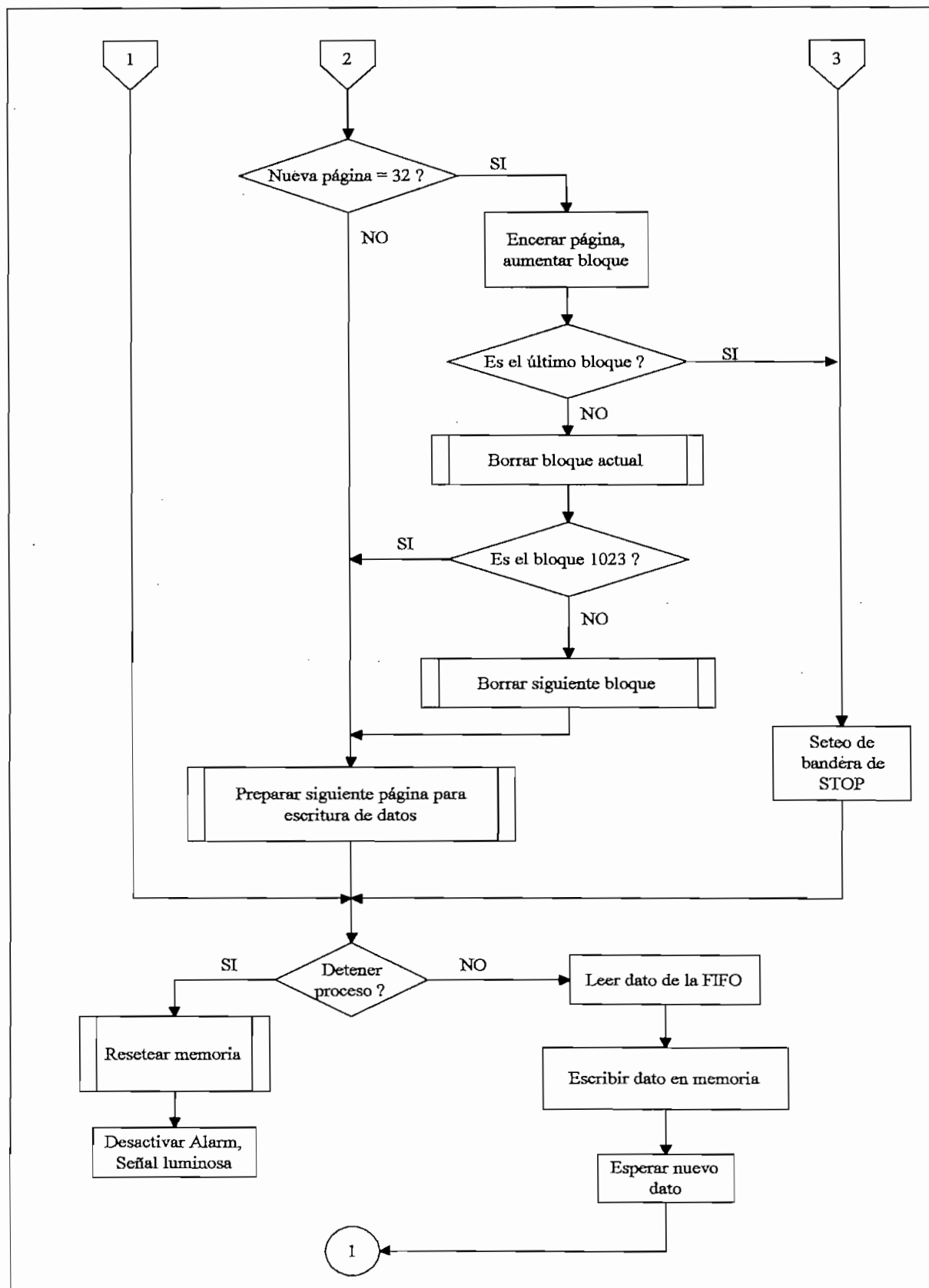


Figura 3.23 Diagrama de flujo de la función Begin\_record()

### 3.6.1.4 Función: Alarm().

Parámetros: Ninguno

Función: Esta función responde a la interrupción producida por el Timer1 en el PIC 16F877 y modifica el estado de un pin, que a su vez, modifica el estado de un led, el cual por medio de este cambio de estado continuo indica que la tarjeta está funcionando correctamente sin el apoyo del computador.

### 3.6.2 STDALNRX.C

El microcontrolador 16F876 es el encargado de realizar el muestreo de los canales y la escritura de los datos en la memoria FIFO. Debido a que la frecuencia de muestreo es fija, es seteada automáticamente al inicio cuando la tarjeta no trabaja con el computador. El submódulo correspondiente a este PIC es el submódulo STDALNRX.C La función que contiene este submódulo es la siguiente.

FUNCIONES AUTOMATICAS DEL MICROCONTROLADOR 16F876	
Nombre de la Función	Descripción
Init_record()	Inicializa los elementos necesarios para poder iniciar el muestreo de los primeros cuatro canales a una frecuencia de muestreo de 128 Hz y da inicio a la conversión de datos.

Tabla 3.16 Función utilizada para el modo de trabajo sin el apoyo del computador por el PIC 16F876

### 3.6.2.1 Función `Init_record()` (PIC 16F876)

Parámetros: Ninguno

Función: Esta función inicializa automáticamente los elementos necesarios para poder realizar el muestreo y conversión A/D de los canales 1, 2, 3 y 4 a la frecuencia de 128 Hz. Inicia el proceso de conversión y se mantiene en ese estado.



## **CAPITULO 4.**

### **PRUEBAS Y RESULTADOS**

Este capítulo presenta los resultados de las pruebas realizadas con el equipo ya construido para determinar si el mismo puede ejecutar correctamente los objetivos de este trabajo. Una parte de las pruebas se realizaron en el Laboratorio de Técnica de aparatos médicos de la FH Mannheim, otras pruebas tuvieron lugar en el Laboratorio de Instrumentación de la Facultad de Ingeniería Eléctrica.

Las mediciones que se realizaron fueron las siguientes:

- Mediciones del valor de voltaje en las fuentes de polarización
- Mediciones de valor de voltaje máximo y mínimo a la salida de la etapa de ajuste de ganancia y control de nivel de offset.
- Mediciones de frecuencia en el filtro pasabajos.
- Mediciones de ajustes de ganancia para cada canal.
- Mediciones de corriente.

Además se realizaron pruebas con el equipo para comprobar su capacidad de grabar datos en la memoria externa de almacenamiento y pruebas que determinan el tiempo de uso continuo del aparato en modo Stand-Alone.

#### **4.1 EQUIPOS UTILIZADOS.**

Los equipos utilizados en la FH Mannheim fueron los siguientes:

- Osciloscopio: Tektronik TDS 220, 2 Canales, 100 MHz, 1Gs/s
- Generador de Señales: Kontron 8020, 20 MHz.

En la Facultad de Ingeniería Eléctrica los elementos utilizados fueron los siguientes:

- Osciloscopio: Tektronix 2201. Digital Storage Oscilloscope.
- Generador de Señales: BK Precision 3011B, 2 MHz.
- Multímetro: GoldStar, DM-333.

Para la polarización se utilizó una fuente de DC ajustada a 9 V.

## **4.2 PRUEBAS EN EL CIRCUITO DE AJUSTE DE GANANCIA Y NIVEL DE OFFSET PARA CADA CANAL.**

Para empezar con las pruebas se empezó por medir los voltajes a la salida de los reguladores DC que entregan los voltajes para el funcionamiento de la tarjeta. Estos voltajes fueron los siguientes:

$$V_{\text{Analógico}_{3,3}} = 3.32 \text{ V}$$

$$V_{\text{Digital}_{3,3}} = 3.32 \text{ V}$$

$$V_{\text{Digital}_5} = 5.1 \text{ V}$$

Idealmente, la salida máxima y mínima de los amplificadores operacionales que realizan la tarea de amplificación en esta etapa estaría casi en los mismos niveles de polarización, sin embargo, debido a la carga que presentan los demás circuitos integrados involucrados en el diseño, los niveles de salida máximos y mínimos no llegan hasta los niveles de polarización.

Una de las primeras mediciones que se realizó indicó el valor de voltaje máximo y mínimo a la salida de la etapa de ajuste de ganancia y nivel de offset.

Estos valores fueron los siguientes para todos los canales:

$$\text{Voltaje máximo} = 3.21 \text{ V.}$$

$$\text{Voltaje mínimo} = 0.08 \text{ V.}$$

Esto obligó a calcular nuevamente los valores de resistencias en la etapa de acondicionamiento de la señal.

#### **4.2.1 MODIFICACIONES AL CIRCUITO DE AJUSTE DE GANANCIA Y NIVEL DE OFFSET**

Las modificaciones realizadas fueron las siguientes:

Para la mínima ganancia normalizada de 1; es decir, una ganancia real de 2.41, debe cumplirse que una señal de entrada de  $\pm 5\text{V}$  se represente completamente a la salida de este circuito sin recortes y con una amplitud entre los niveles máximo y mínimo de salida.

Esto quiere decir que a la entrada de la etapa de ajuste de ganancia se debe tener un nivel máximo de:

$$\frac{3.2 - 1.65}{2.41} \text{ V} = \frac{0.643}{2.41} \text{ V} = 0.643 \text{ V}$$

si ahora se toma en cuenta nuevamente el circuito de la Figura 2.2, en el segundo capítulo, en donde los valores actuales son:

$$R_1 = 1\text{Mohm} \quad R_2 = 330\text{kohm} \quad R_3 = 330\text{kohm} \quad C = 33\text{nF}$$

se debe por facilidad volver a calcular el valor de  $R_1$  de acuerdo a la siguiente condición:

$$0.643 \text{ V} = 5 \text{ V} \cdot \frac{165\text{k}}{165\text{k} + R_1}$$

En donde  $R_1$  toma el valor de 1.118 Mohm.

El valor de resistencia más cercano está dado por la suma de dos resistencias estándar, en este caso el valor escogido de resistencias es 330 Kohm más 820 Kohm que dan un total de 1.150 Mohm.

Debido a que en la etapa de preamplificación, de acuerdo a las indicaciones de las personas que trabajan en esta parte del proyecto, se puede llegar a tener señales de  $\pm 10V$ , se modificó la etapa de reducción de los dos últimos canales para que puedan recibir una señal de esta magnitud.

Para tener el mismo voltaje a la entrada de la etapa de ajuste de ganancia y offset para cada canal se tuvo que modificar los valores de  $R_1$ ,  $R_2$  y  $R_3$ .

Como  $R_2 = R_3$  se escoge un valor igual a 220 K.

El valor de  $R_1$  para los dos últimos canales quedaría entonces determinado por la siguiente ecuación:

$$0.643 \text{ V} = 10 \text{ V} \cdot \frac{110\text{k}}{110\text{k} + R_1}$$

De donde el valor de  $R_1$  resulta igual a 1.6 Mohm. Así mismo se obtiene un valor cercano mediante la suma de dos resistencias estándar de valor 560k y 1M, dando un total de 1.56 Mohm.

Los valores escogidos para estos dos últimos canales son los siguientes:

$$R_1 = 1.5\text{Mohm} \quad R_2 = 220\text{kohm} \quad R_3 = 220\text{kohm}$$

Además, debido a que en el laboratorio no se tenía disponibilidad de capacitores SMD 0805 de 33nF, se optó por sustituir en el diseño con capacitores SMD 0805 de 18nF lo cual conlleva una variación en la frecuencia de corte del filtro pasabajos.

La frecuencia de corte está dada por la siguiente ecuación:

$$f_c = \frac{1}{2\pi R_T \cdot C}$$

en donde para los canales 1 a 14:

$$R_T = 1150k \parallel 330k \parallel 330k = 144.3 k$$

y para los canales 15 y 16:

$$R_T = 1560k \parallel 220k \parallel 220k = 102.8 k$$

de donde para los canales 1 a 14:

$$f_c = 61.27 \text{ Hz}$$

y para los canales 15 y 16:

$$f_c = 86.01 \text{ Hz}$$

Las modificaciones para estos dos canales afectan simplemente la frecuencia de corte del filtro pasabajos, mas no las características de ganancia de la etapa siguiente.

El circuito utilizado para los canales 1 a 14 queda entonces como sigue:

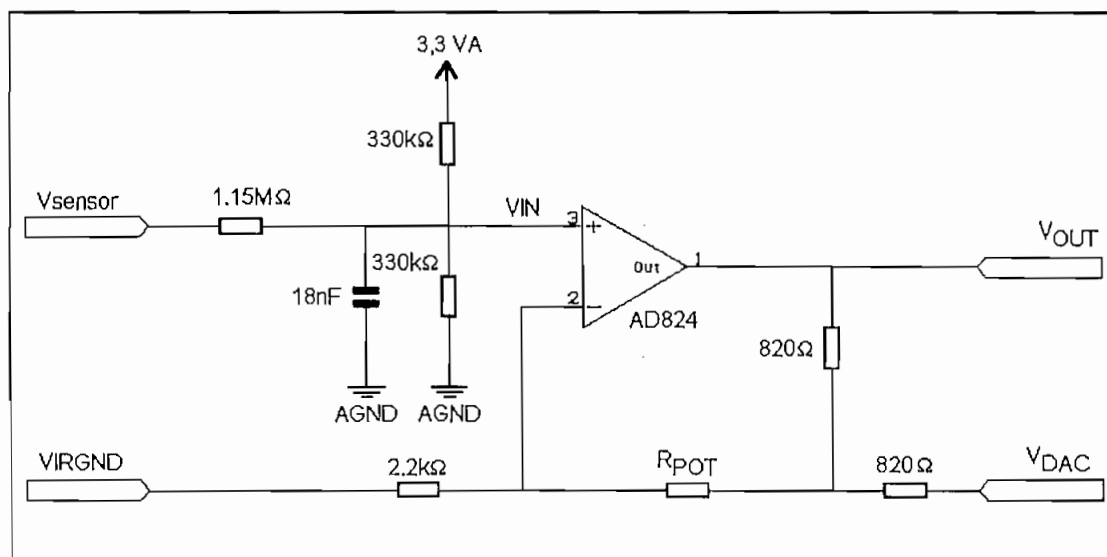


Figura 4.1 Circuito final utilizado para los canales 1 al 14.

El circuito definitivo para los dos últimos canales quedaría como sigue:

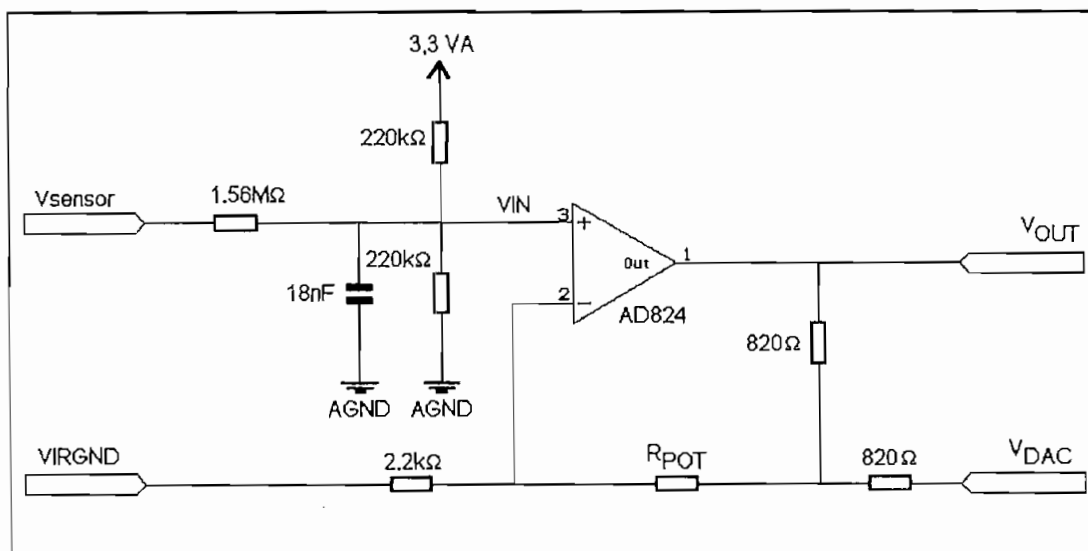


Figura 4.2 Circuito final utilizado para los canales 15 y 16

Con estos nuevos valores se procedió a realizar las mediciones de ganancia en las cuales se obtuvieron los siguientes resultados:

### 4.3 RESULTADOS DE LAS MEDICIONES

#### 4.3.1 MEDICIONES DEL VALOR DE VOLTAJE EN LAS FUENTES DE POLARIZACIÓN.

Como ya se describió anteriormente en la Fig. 2.20 del capítulo 2 existen tres fuentes de polarización: una de 3.3V para la parte analógica, otra de la misma magnitud para la parte digital y otra de 5V para la interface serial. Los voltajes obtenidos para polarización son los siguientes:

VAnalógico <sub>3,3</sub>	3.32 V
VDigital <sub>3,3</sub>	3.32 V
VDigital <sub>5</sub>	5.1 V

Tabla 4.1 Voltajes de polarización medidos en el circuito.

#### 4.3.2 MEDICIONES DE VALOR DE VOLTAJE MÁXIMO Y MÍNIMO A LA SALIDA DE LA ETAPA DE AJUSTE DE GANANCIA Y CONTROL DE NIVEL DE OFFSET.

Estas medidas también fueron nombradas anteriormente y son las siguientes:

Voltaje máximo	3.21 V
Voltaje mínimo	0.08 V

Tabla 4.2 Voltajes máximo y mínimo a la salida de la etapa de ajuste de ganancia.

#### 4.3.3 MEDICIONES DE FRECUENCIA EN EL FILTRO PASABAJOS.

Especificaciones de la señal de entrada:

- Señal senoidal del generador Kontron 8020  
Amplitud = 5 V pico.  
Frecuencia = 5 a 100 Hz.  
Voltaje de offset = 0 V

Canal	Frecuencia medida [Hz]	Error [%]
1 a 14	63	2.82
15 y 16	89	3.47

Tabla 4.3 Mediciones y error de la frecuencia de corte en el filtro pasabajos.

Se presenta además una simulación de los filtros en Work Bench:

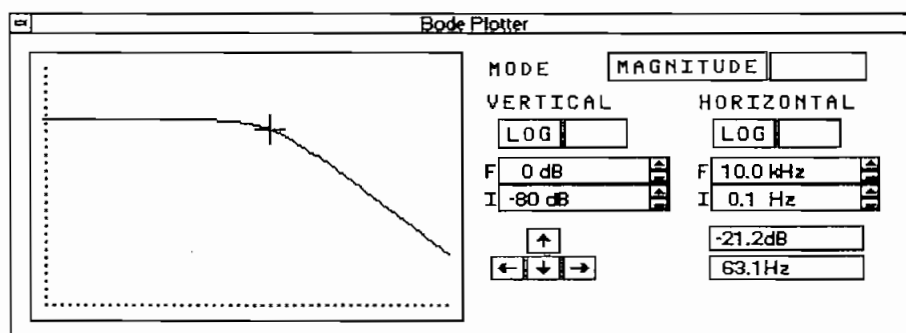


Figura 4.3 Simulación en Work Bench del filtro pasabajos para los canales 1 a 14

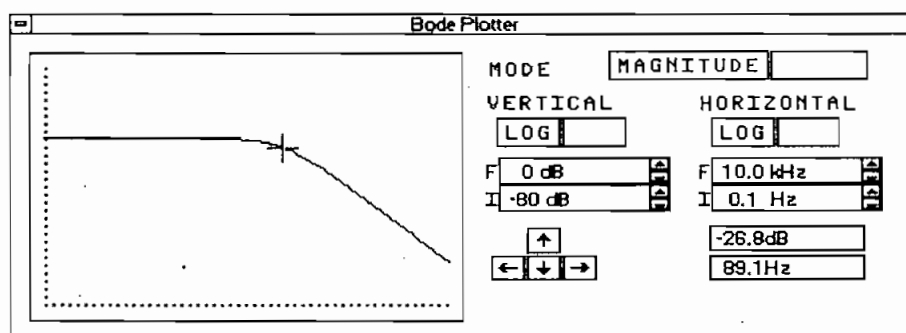


Figura 4.4 Simulación en Work Bench del filtro pasabajos para los canales 15 y 16

#### 4.3.4 MEDICIONES DE AJUSTES DE GANANCIA PARA CADA CANAL.

Primeramente en esta sección se desea mostrar la relación existente entre la ganancia real obtenida por el circuito de ajuste de ganancia y control de offset y la resistencia  $R_{POT}$  variable del potenciómetro digital.

La relación que se obtuvo es una relación lineal representada en la Figura 4.3



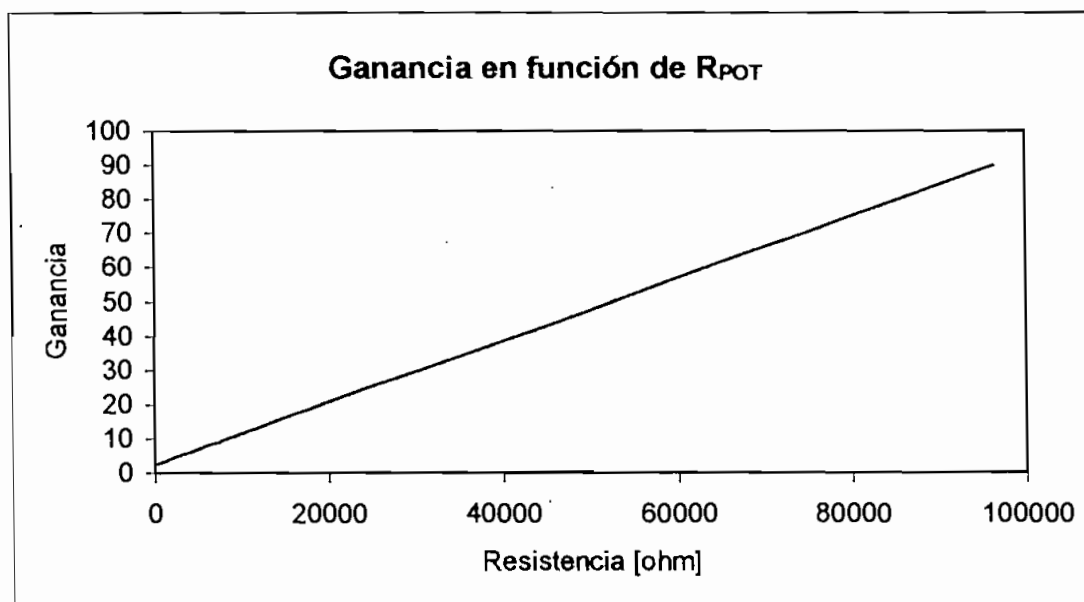


Figura 4.5 Gráfico de la Ganancia real en función de  $R_{POT}$

#### 4.3.4.1 Mediciones con varias ganancias

Las mediciones de ganancia real en función de la resistencia variable dan como resultado una relación lineal, presentada de la siguiente manera:

Especificaciones de la señal de entrada:

- Señal senoidal del generador Kontron 8020  
Amplitud = 0.3 V pp.  
Frecuencia = 5 Hz.  
Voltaje de offset = 0 V

Con una señal de estas características a la entrada de la tarjeta se esperarían los siguientes resultados:

Para los canales 1 a 14:

$$V_{OUT\ PP} = V_{IN\ PP} \cdot \frac{165}{1315} \cdot G_{NORM} \cdot 2.41$$

y para los canales 15 y 16:

$$V_{OUT\ PP} = V_{IN\ PP} \cdot \frac{110}{1670} \cdot G_{NORM} \cdot 2.41$$

	Ganancia	$V_{OUT\ PP}$
Canales 1 a 14	1	90.71 [mV]
	10	907.1 [mV]
	20	1.81 [V]
	35	3.17 [V]
Canales 15 y 16	1	47.62 [mV]
	10	476.2 [mV]
	20	952.5 [mV]
	35	1.66 [V]

Tabla 4.4 Voltajes esperados a la salida de cada uno de los canales.

La señal de salida fue medida a la salida de cada uno de los amplificadores operacionales correspondientes a cada uno de los canales.

La siguiente tabla presenta el resultado de estas mediciones:

Canal	Ganancia normalizada			
	1	10	20	35
	$V_{OUT\ PP}$ [mV]	$V_{OUT\ PP}$ [mV]	$V_{OUT\ PP}$ [V]	$V_{OUT\ PP}$ [V]
1	98	960	1.88	3.16
2	98	960	1.88	3.16
3	98	960	1.88	3.12
4	98	928	1.88	3.12
5	98	928	1.88	3.12

6	98	944	1.88	3.12
7	98	944	1.84	3.08
8	98	928	1.89	3.08
9	98	952	1.88	3.12
10	98	952	1.88	3.12
11	98	952	1.88	3.12
12	98	952	1.88	3.12
13	98	968	1.88	3.12
14	98	968	1.88	3.12
15	51	510	1.01	1.72
16	51	510	1.01	1.72

Tabla 4.5 Voltajes medidos a la salida de cada uno de los canales.

Los resultados anteriores dan como resultado el siguiente gráfico en donde se presenta el voltaje de salida real en función de la ganancia normalizada.

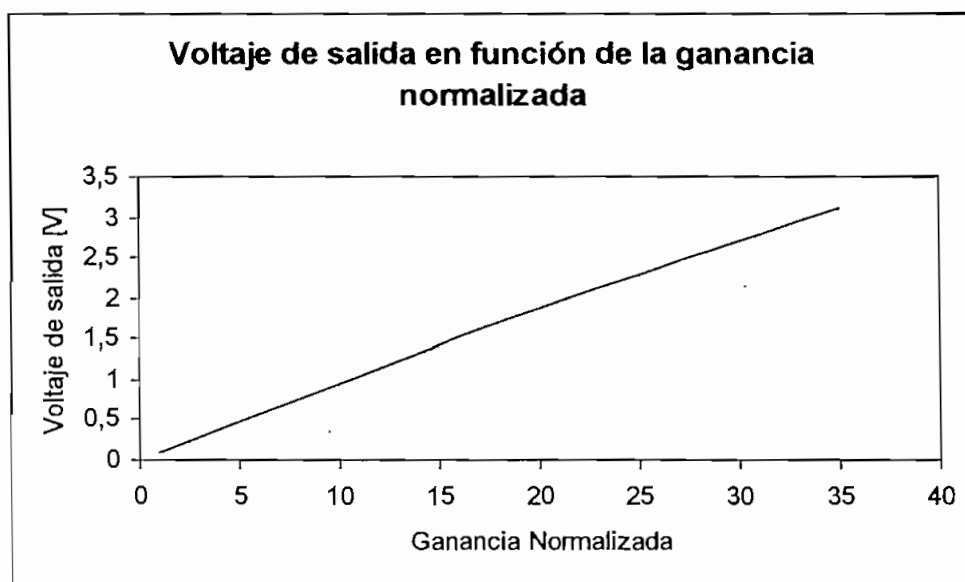


Figura 4.6 Voltaje de salida en función de la ganancia normalizada.

De acuerdo a la Tabla 4.4 y 4.5 se presentan errores entre los valores esperados y los valores medidos.

Los errores más considerables para cada ganancia se calcularon tomando en cuenta el valor teórico esperado y el resultado de las mediciones. La fórmula empleada es la siguiente:

$$\text{Error} = \frac{\text{Valor esperado} - \text{Valor real}}{\text{Valor esperado}} \cdot 100$$

	Ganancia	Error máximo[%]
Canales 1 a 14	1	8.03
	10	6.71
	20	4.42
	35	2.83
Canales 15 y 16	1	7.09
	10	7.09
	20	5.12
	35	3.01

Tabla 4.6 Errores máximos presentados en las salidas de todos los canales con respecto a los valores teóricos esperados.

#### 4.3.4.2 Mediciones con ganancia fija igual a 1

Especificaciones de la señal de entrada:

- Señal senoidal del generador Kontron 8020  
Amplitud = 10 V pp.

Frecuencia = 5 Hz.

Voltaje de offset = 0 V

Para estas mediciones la ganancia normalizada de todos los canales es uno.

El valor esperado del voltaje pico-pico de la señal de salida, bajo las condiciones ya mencionadas, es de 3.13 V. La siguiente tabla presenta los resultados de las mediciones y además el error de cada canal con respecto al valor teórico esperado.

La señal de salida fue medida a la salida de cada uno de los amplificadores operacionales correspondientes a cada uno de los canales.

Canal	Vout pp [V]	Error [%]
1	3.12	3.3
2	3.12	3.3
3	3.12	3.3
4	3.12	3.3
5	3.12	3.3
6	3.12	3.3
7	3.12	3.3
8	3.12	3.3
9	3.12	3.3
10	3.12	3.3
11	3.12	3.3
12	3.12	3.3
13	3.12	3.3
14	3.12	3.3
15	1.68	5.83
16	1.68	5.83

Tabla 4.7 Voltaje de salida para la máxima señal de entrada

### 4.3.5 MEDICIONES DE CORRIENTE

Para estimar la corriente de consumo del circuito se realizaron los cálculos basándose en las peores condiciones que los elementos puedan tener. Para esto se tomó los valores máximos de consumo de corriente especificadas en las hojas de datos. Las magnitudes obtenidas son las siguientes:

Elemento	Corriente máxima [mA]
LT1761ES5-BYP	1
AD822AN	1.5
AD824AN	2 x 4
AD8403AR100	4 x 4
LTC1660CN	0.5 x 2
MAX396CQI	0.03
ADS7832BN	3
IDT74LVC157DC	1
IDT74V05L35J	50
LT1342CSW	12
TH58V128DC	30
PIC 16F877	20
PIC 16F876	20
TOTAL	162.03

Tabla 4.8 Corriente de consumo de la tarjeta en las peores condiciones.

Los resultados de las mediciones de corriente son los siguientes:

#### 4.3.5.1 Modo de trabajo Stand-Alone

Número de canales: 4.

Frecuencia de muestreo: 128 Hz

Nivel de offset de los canales 5-16: 512

Ganancia para los canales 5 – 16: 1

Corriente que consume el circuito: 69 mA.

#### 4.3.5.2 Modo de trabajo con apoyo del computador

Nivel de offset setado para todo los canales: 512

Ganancia para todos los canales: 1

Número de canales	Frecuencia de Muestreo				
	64 Hz	128 Hz	256 Hz	512 Hz	1024 Hz
1	65.1 [mA]	65 [mA]	66.5 [mA]	68.1 [mA]	71.5 [mA]
2	65.6 [mA]	67 [mA]	67.8 [mA]	75.1 [mA]	84.3 [mA]
4	66.3 [mA]	69 [mA]	73 [mA]	89.0 [mA]	102.7 [mA]
8	68.8 [mA]	75 [mA]	98 [mA]	103.4 [mA]	-
12	72.5 [mA]	82 [mA]	-	-	-
16	76.7 [mA]	97 [mA]	-	-	-

Tabla 4.9 Mediciones de corriente para distintos canales activos y distintas frecuencias de muestreo.

En la tabla 4.7 las celdas que no presentan valor indican las combinaciones no posibles debido a que la frecuencia de muestreo es muy alta para ese número de canales.

Frecuencia de muestreo: 128 Hz

Número de canales activos: 4

Nivel de offset para todos los canales: 512

Ganancia	Corriente [mA]
1	69.5
2	70
5	70
10	70.5
20	71.2
35	73

Tabla 4.10 Mediciones de corriente para cuatro canales activos y distintas ganancias.

#### 4.3.5.3 Capacidad de grabación en la memoria TH58V128DC.

Para el modo Stand-Along se trabaja con cuatro canales activos a una frecuencia de muestreo de 128 Hz. Además se debe tomar en cuenta que en este modo de trabajo el consumo de energía es menor que en el modo de trabajo con el computador, puesto que no se tiene ningún tipo de transmisión de datos hacia el exterior.

El realizar el muestreo de 4 canales a la frecuencia de 128 Hz quiere decir que de acuerdo a las características de conversión y de identificación del canal el número total de bytes grabados por segundo sería:

$$\text{total de bytes grabados por segundo} = 128 \times 4 \times 2 = 1024$$

Esto equivale a un total de 2 páginas de 512 bytes cada una.

El tiempo de grabación total para este modo de trabajo sería entonces de:

$$\frac{1021 \text{ bloques} \times 32 \text{ páginas}}{2 \text{ páginas por segundo}} = 16636 \text{ segundos} = 4.53 \text{ horas}$$



Este tiempo de grabación se alcanzó sin problemas en las pruebas en este modo de trabajo. Se trabajo con la siguiente batería recargable:

- AKKU WA60-8 REF 104706. 9.6 V / 600 mAh NiMH

Debido a que esta batería es capaz de dar 9.6 V a 600 mAh se probó que con este tipo de baterías la tarjeta puede trabajar nuevamente 4.53 horas sin problema alguno.

## CAPITULO 5

### CONCLUSIONES Y RECOMENDACIONES

#### 5.1 CONCLUSIONES

Basándose en los alcances propuestos en el primer capítulo de esta tesis y en las pruebas realizadas en el Laboratorio de técnica de aparatos médicos de la FH Mannheim como en el Laboratorio de Instrumentación de la Escuela de Ingeniería Eléctrica de la E.P.N. se puede llegar a las siguientes conclusiones:

- El consumo de corriente en modo Stand-Alone es de 70mA y al trabajar con el computador puede llegar hasta 104mA. Estos datos indican que el consumo de corriente es bajo en comparación al equipo precedente que consume entre 400 y 450 mA.
- Se logró que la tarjeta funcione a baterías. Es necesario sin embargo el uso de una batería especial que pueda brindar el voltaje y la corriente necesaria; es decir 9.6 V y 70mA por el tiempo de trabajo máximo previsto para el diseño; es decir, 4.53 horas.
- Esta nueva tarjeta es capaz de realizar las tareas que realiza el equipo precedente; es decir, recibir a la entrada señales con niveles máximos entre +5V y -5V, realizar una conversión analógica/digital de estas señales y transmitir las hacia el computador. Este último punto demuestra también la compatibilidad de la nueva tarjeta con el software ya existente para el PC.

- El ajuste de ganancia y nivel de offset para cada canal funcionó de acuerdo al diseño con errores máximos de 8.03%. Este error se debe a que los valores teóricos exactos no pudieron ser representados con los valores estándar de los elementos utilizados, así también como a la tolerancia de los elementos utilizados.
- Puede procesar 4 canales a una frecuencia de muestreo de 1024 Hz sin que haya distorsiones de frecuencia en la presentación de estas señales en el computador. El objetivo fue poder llegar a hacer un muestreo de 4 canales a 256 Hz, por lo tanto se logró el objetivo esperado.
- El almacenamiento de datos en la memoria externa TH58V128DC de Toshiba, se comprobó satisfactoriamente, tanto para el trabajo con apoyo del computador, como para el trabajo en el modo Stand-Alone.
- El tamaño de la tarjeta (191mm x 134mm), aunque pequeño con relación a su equipo precedente, no es lo suficientemente pequeño como para llevarlo sin molestias. Es necesario sin embargo aclarar, que esta tarjeta es la primera construida y con la intención de ser la tarjeta de pruebas. Si ésta, al ser la primera, se hubiese diseñado de un tamaño más pequeño, las pruebas con los elementos y posibles cambios hubiesen sido simplemente más complicadas.

## 5.2 RECOMENDACIONES

- Una vez comprobado el correcto funcionamiento de esta tarjeta, el realizar un nuevo diseño involucra la responsabilidad de realizarlo en un espacio más pequeño, valiéndose para esto solamente de elementos de montaje superficial.
- Se debería además aplicar un nuevo software al microcontrolador, de manera que no se ocupe memoria con datos que no son de interés para el análisis.
- Analizar los elementos que consumen más corriente, de manera que puedan ser cambiados al momento de pensar en un nuevo diseño. Un ejemplo de este caso es la memoria FIFO IDT72V05.
- Investigar la posibilidad de nuevos elementos que, con menos consumo de energía, puedan realizar la misma función que los utilizados en este trabajo, con el objeto de conseguir el menor consumo de energía posible.
- Adentrarse en el campo del diseño, siempre pensando en la compatibilidad de un equipo con los nuevos y mejores circuito integrados que se ponen en el mercado cada día a disposición del investigador.

## REFERENCIAS BIBLIOGRAFICAS

- [1]. Schubert, A: "Sensorik in der medizinischen Diagnostik" (*Sensores en el diagnóstico médico*), Vorlag TÜV Rhimland, ISBN 3-88585-398-1.
- [2]. Corrales, Luis: "*Instrumentación Biomédica*", Escuela Politécnica Nacional, Departamento de Control, Quito, 1998.
- [3]. Weber, Carsten: "*Entwicklung eines Digitalrekorders zur Langzeitaufzeichnung von bioelektrischen Signalen, sowie eines Datenerfassungssystems mit PC Anbindung*" (*Desarrollo de un grabador digital para grabación de largo tiempo de señales bioeléctricas, así como también de un sistema de transmisión de datos con el computador*), Fachhochschule Mannheim, Hochschule für Technik und Gestaltung, Mannheim, 1998.
- [4]. Bullinger, Jörg: "*Entwicklung und Aufbau eines Meßsystems zur Erfassung bioelektrischer Signale*" (*Desarrollo y construcción de un sistema de medida para recolección de señales bioeléctricas*), Fachhochschule Mannheim, Hochschule für Technik und Gestaltung, Mannheim, 1997.
- [5]. [http://www.analog.com/pdf/1407\\_a/pdf](http://www.analog.com/pdf/1407_a/pdf), "AD822 Datasheet".
- [6]. [http://www.analog.com/pdf/1810\\_a/pdf](http://www.analog.com/pdf/1810_a/pdf), "AD824 Datasheet".
- [7]. [http://www.analog.com/pdf/1867\\_b/pdf](http://www.analog.com/pdf/1867_b/pdf), "AD8403 Datasheet".
- [8]. <http://www.linear-tech.com/pdf/166560f.pdf>, "LTC1660-1665 Datasheet".
- [9]. Microchip, "*PIC 16C7X Data Book*", Microchip, 1997.
- [10]. <http://www.microchip.com/download/lit/pline/picmicro/families/16f87x/datasheet/30292b.pdf>, "*PIC 16F87X Family Datasheets*".
- [11]. <http://pdfserv.maxim-ic.com/arpdf/1090.pdf>, "MAX396 Datasheet".
- [12]. <http://burr-brown.com/downlad//DataSheets/ADS7832.pdf>, "ADS7832 Datasheet".
- [13]. [http://www.idt.com/docs/74LVC157A\\_DS\\_22151.pdf](http://www.idt.com/docs/74LVC157A_DS_22151.pdf), "LT1342 Datasheet".
- [14]. [http://www.idt.com/docs/72V05\\_DS\\_79442.pdf](http://www.idt.com/docs/72V05_DS_79442.pdf), "IDT72V05 Datasheet".
- [15]. <http://www.linear-tech.com/pdf/1342fa.pdf>, "LT1342 Datasheet".

- [16]. <http://www.toshiba.com/taec/components/AppNote/TC58NSxxxDC-0.pdf>, "*TH58v128DC Datasheet*".
- [17]. <http://www.burr-brown.com/download/DataSheets/722.pdf>, "*BB722 Datasheet*".
- [18]. <http://www.linear-tech.com/pdf/1761f.pdf>, "*LT1761 Datasheet*".

#### OTROS LIBROS DE CONSULTA

- Cevallos, Francisco Xavier, "*Curso de programación con C*", Macrobit, Mexico DF, 1989.

#### OTRAS DIRECCIONES DE INTERES EN INTERNET:

- <http://www.microchip.com/dtools.htm> "*Tools: Software MPLAB*"
- <http://www.microchip.com/10/tools/picmicro/program/promate/30082h/index.htm> "*MPLAB PRO MATE II User's Guide*"
- <http://www.cadsoft.de/cgi-bin/download.pl?dir=pub/program> "*Eagle Manual*"
- <http://www.cadsoft.de/cgi-bin/download.pl?dir=pub/program> "*Eagle Tutorial*"
- [http://dbserv.maxim-ic.com/tarticle/view\\_article.cfm?article\\_id=17](http://dbserv.maxim-ic.com/tarticle/view_article.cfm?article_id=17), "*ESD Protection for I/O ports*".
- [http://dbserv.maxim-ic.com/tarticle/view\\_article.cfm?article\\_id=49](http://dbserv.maxim-ic.com/tarticle/view_article.cfm?article_id=49), "*How to Select the Right CMOS Analog Switch*"

## **ANEXOS**

**ANEXO A**

**HOJAS DE DATOS DE LOS ELEMENTOS:**

**MAX396**

**ADS7832**

**IDT74157**

**AD8403**

**LTC1660**





# Precision, 16-Channel/Dual 8-Channel, Low-Voltage, CMOS Analog Multiplexers

## General Description

The MAX396/MAX397 low-voltage, CMOS analog multiplexers (muxes) offer low on-resistance (100Ω max), which is matched to within 6Ω between switches and remains flat over the specified signal range (10Ω max). They also offer low leakage over temperature (input off-leakage current less than 1nA at +85°C) and fast switching speeds (transition time less than 250ns). The MAX396 is a 16-channel device, and the MAX397 is a dual 8-channel device.

The MAX396/MAX397 are fabricated with Maxim's low-voltage silicon-gate process. Design improvements yield extremely low charge injection (5pC max) and guarantee electrostatic-discharge (ESD) protection greater than 2000V per Method 3015.7

These muxes operate with a single +2.7V to +16V supply or with ±2.7V to ±8V dual supplies, while retaining CMOS-logic input compatibility and fast switching. The MAX396/MAX397 are pin compatible with the industry-standard MAX306/MAX307, DG406/DG407, and DG506A/DG507A.

## Applications

- Sample-and-Hold Circuits
- Automatic Test Equipment
- Avionics
- Communications Systems
- Battery-Operated Equipment
- Audio Signal Routing
- Low-Voltage Data Acquisition Systems
- Industrial Process Control Systems

## Features

- ◆ Pin Compatible with MAX306/MAX307, DG406/DG407, DG506A/DG507A
- ◆ Single-Supply Operation (+2.7V to +16V)  
Dual-Supply Operation (±2.7V to ±8V)
- ◆ Low On-Resistance (100Ω max)
- ◆ Guaranteed RON Match Between Channels (6Ω max)
- ◆ Guaranteed RON Flatness over Specified Signal Range (10Ω max)
- ◆ Guaranteed Low Charge Injection (5pC max)
- ◆ Input Off-Leakage Current < 1nA at +85°C
- ◆ Output Off-Leakage Current < 2.5nA at +85°C
- ◆ Low Power Consumption < 10μW
- ◆ TTL/CMOS Compatible

## Ordering Information

PART	TEMP. RANGE	PIN-PACKAGE
MAX396CPI	0°C to +70°C	28 Plastic DIP
MAX396CWI	0°C to +70°C	28 Wide SO
MAX396CAI	0°C to +70°C	28 SSOP
MAX396CQI	0°C to +70°C	28 PLCC**
MAX396C/D	0°C to +70°C	Dice*

Ordering Information continued on last page.

\*Contact factory for dice specifications.

\*\*Contact factory for package availability.

## Pin Configurations/Functional Diagrams/Truth Tables

**TOP VIEW**

DIP/SO  
N.C. = NO INTERNAL CONNECTION

MAX396 16-CHANNEL SINGLE-ENDED MULTIPLEXER

MAX396					
A3	A2	A1	A0	EN	ON SWITCH
X	X	X	X	0	NONE
0	0	0	0	1	1
0	0	0	1	1	2
0	0	1	0	1	3
0	0	1	1	1	4
0	1	0	0	1	5
0	1	0	1	1	6
0	1	1	0	1	7
0	1	1	1	1	8
1	0	0	0	1	9
1	0	0	1	1	10
1	0	1	0	1	11
1	0	1	1	1	12
1	1	0	0	1	13
1	1	0	1	1	14
1	1	1	0	1	15
1	1	1	1	1	16

LOGIC "0" =  $V_{AL} \leq 0.8V$ , LOGIC "1" =  $V_{AH} \geq 2.4V$   
Continued at end of data sheet.

MAX396/MAX397



# Precision, 16-Channel/Dual 8-Channel, Low-Voltage, CMOS Analog Multiplexers

MAX396/MAX397

## ELECTRICAL CHARACTERISTICS—Single +5V Supply (continued)

(V+ = +5V ±10%, V- = 0V, GND = 0V, V<sub>AH</sub> = V<sub>ENH</sub> = 2.4V, V<sub>AL</sub> = V<sub>ENL</sub> = 0.8V, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP (Note 2)	MAX	UNITS
<b>DYNAMIC</b>						
Transition Time (Note 3)	t <sub>TRANS</sub>	V <sub>NO</sub> = 3V, Figure 2	T <sub>A</sub> = +25°C	105	245	ns
			T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub>		350	
Break-Before-Make Interval	t <sub>OPEN</sub>	(Note 3)	T <sub>A</sub> = +25°C	10	65	ns
Enable Turn-On Time (Note 3)	t <sub>ON(EN)</sub>		T <sub>A</sub> = +25°C	125	200	ns
			T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub>		275	
Enable Turn-Off Time (Note 3)	t <sub>OFF(EN)</sub>		T <sub>A</sub> = +25°C	100	125	ns
			T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub>		200	
Charge Injection (Note 3)	V <sub>CTE</sub>	C <sub>L</sub> = 100pF, V <sub>NO</sub> = 0V, Figure 5	T <sub>A</sub> = +25°C	1.5	5	pC

## ELECTRICAL CHARACTERISTICS—Single +3V Supply

(V+ = +3V ±10%, V- = 0V, GND = 0V, V<sub>AH</sub> = V<sub>ENH</sub> = 2.4V, V<sub>AL</sub> = V<sub>ENL</sub> = 0.8V, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP (Note 2)	MAX	UNITS
<b>SWITCH</b>						
Analog Signal Range	V <sub>ANALOG</sub>	(Note 3)	V-		V+	V
On-Resistance	R <sub>ON</sub>	I <sub>NO</sub> = 1mA, V <sub>COM</sub> = 1.5V, V+ = 3V	T <sub>A</sub> = +25°C	315	550	Ω
			T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub>		650	
<b>DYNAMIC</b>						
Transition Time (Note 3)	t <sub>TRANS</sub>	Figure 2, V <sub>IN</sub> = 2.4V, V <sub>NO1</sub> = 1.5V, V <sub>NO8</sub> = 0V	T <sub>A</sub> = +25°C	230	575	ns
			T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub>		750	
Enable Turn-On Time (Note 3)	t <sub>ON(EN)</sub>	Figure 3, V <sub>INH</sub> = 2.4V, V <sub>INL</sub> = 0V, V <sub>NO1</sub> = 1.5V	T <sub>A</sub> = +25°C	260	500	ns
Enable Turn-Off Time (Note 3)	t <sub>OFF(EN)</sub>	Figure 3, V <sub>INH</sub> = 2.4V, V <sub>INL</sub> = 0V, V <sub>NO1</sub> = 1.5V	T <sub>A</sub> = +25°C	135	400	ns
Charge Injection (Note 3)	V <sub>CTE</sub>	C <sub>L</sub> = 100pF, V <sub>NO</sub> = 0V, Figure 5	T <sub>A</sub> = +25°C	1	5	pC

**Note 2:** The algebraic convention, where the most negative value is a minimum and the most positive value a maximum, is used in this data sheet.

**Note 3:** Guaranteed by design.

**Note 4:** ΔR<sub>ON</sub> = R<sub>ON(MAX)</sub> - R<sub>ON(MIN)</sub>.

**Note 5:** Flatness is defined as the difference between the maximum and minimum value of on-resistance as measured over the specified analog signal ranges, i.e., V<sub>NO</sub> = 3V to 0V and 0V to -3V.

**Note 6:** Leakage parameters are 100% tested at maximum rated hot operating temperature, and guaranteed by correlation at +25°C.

**Note 7:** Worst-case isolation is on channel 4 because of its proximity to the COM pin. Off-isolation = 20log V<sub>COM</sub>/V<sub>NO</sub>. V<sub>COM</sub> = output, V<sub>NO</sub> = input to off switch.

**Note 8:** Leakage testing at single supply is guaranteed by correlation testing with dual supplies.

# Precision, 16-Channel/Dual 8-Channel, Low-Voltage, CMOS Analog Multiplexers

## Pin Description

MAX396/MAX397

PIN		NAME	FUNCTION
MAX396	MAX397		
1	1	V+	Positive Supply-Voltage Input
2, 3, 13	—	N.C.	No Internal Connection
—	2	COMB	Analog Signal B Output* (bidirectional)
—	3, 13, 14	N.C.	No Internal Connection
4–11	—	NO16–NO9	Analog Signal Inputs* (bidirectional)
—	4–11	NO8B–NO1B	Analog Signal B Inputs* (bidirectional)
12	12	GND	Logic Ground
14–17	—	A3–A0	Logic Address Inputs
—	15, 16, 17	A2, A1, A0	Logic Address Inputs
18	18	EN	Logic Enable Input
19–26	—	NO1–NO8	Analog Signal Inputs* (bidirectional)
—	19–26	NO1A–NO8A	Analog Signal A Inputs* (bidirectional)
27	27	V-	Negative Supply-Voltage Input
28	—	COM	Analog Signal Output* (bidirectional)
—	28	COMA	Analog Signal A Output* (bidirectional)

\*Analog signal inputs and outputs are names of convenience only; they are identical and interchangeable.

## Applications Information

### Operation with Supply Voltages Other than $\pm 5V$

Using supply voltages less than  $\pm 5V$  reduces the analog signal range. The MAX396/MAX397 multiplexers (muxes) operate with  $\pm 3V$  to  $\pm 8V$  bipolar supplies or with a  $+3V$  to  $+15V$  single supply. Connect V- to GND when operating with a single supply. Both devices can also operate with unbalanced supplies, such as  $+10V$  and  $-5V$ . The *Typical Operating Characteristics* graphs show typical on-resistance with  $\pm 3V$ ,  $\pm 5V$ ,  $+3V$ , and  $+5V$  supplies. (Switching times increase by a factor of two or more for operation at  $5V$  or below.)

These muxes operate with a single supply as low as  $1V$ , although on-resistance and switching times become extremely high. Performance is not guaranteed below  $2.7V$ . This is useful information only because it assures proper switch state while power supplies ramp up or down slowly.

### Overvoltage Protection

Proper power-supply sequencing is recommended for all CMOS devices. Do not exceed the absolute maximum ratings, because stresses beyond the listed ratings can cause permanent damage to the devices. Always sequence V+ on first, then V-, followed by the logic inputs, NO, or COM. If power-supply sequencing

is not possible, add two small-signal diodes (D1, D2) in series with supply pins for overvoltage protection (Figure 1). Adding diodes reduces the analog-signal range to one diode drop below V+ and one diode drop above V-, but does not affect the devices' low switch resistance and low leakage characteristics. Device operation is unchanged, and the difference between V+ and V- should not exceed  $17V$ . These protection diodes are not recommended when using a single supply.

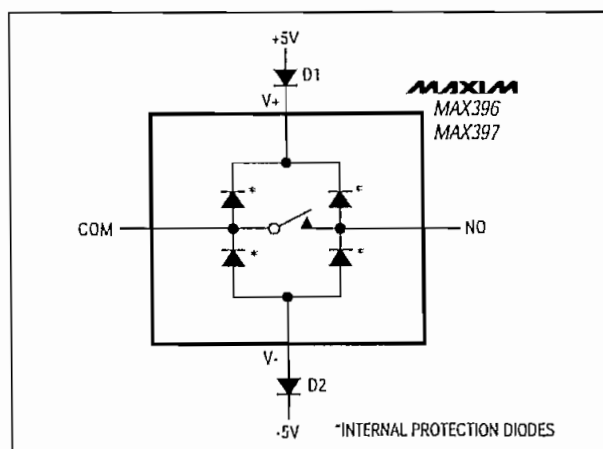


Figure 1. Overvoltage Protection Using External Blocking Diodes

# Precision, 16-Channel/Dual 8-Channel, Low-Voltage, CMOS Analog Multiplexers

## Test Circuits/Timing Diagrams (continued)

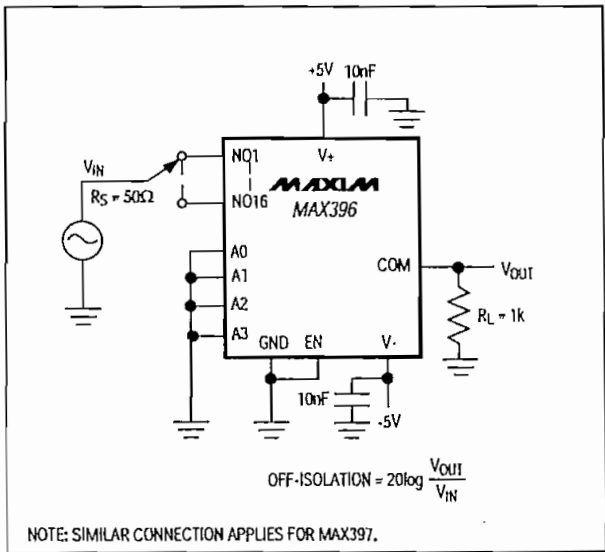


Figure 6. Off-Isolation ( $V_{ISO}$ )

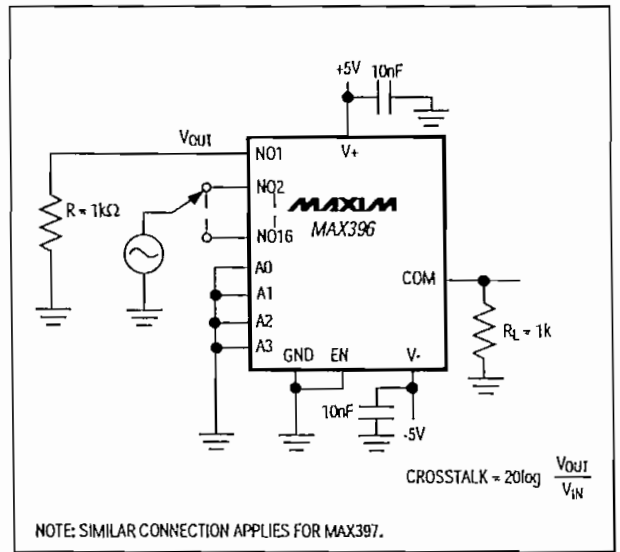


Figure 7. Crosstalk ( $V_{CT}$ )

## Pin Configurations (continued)

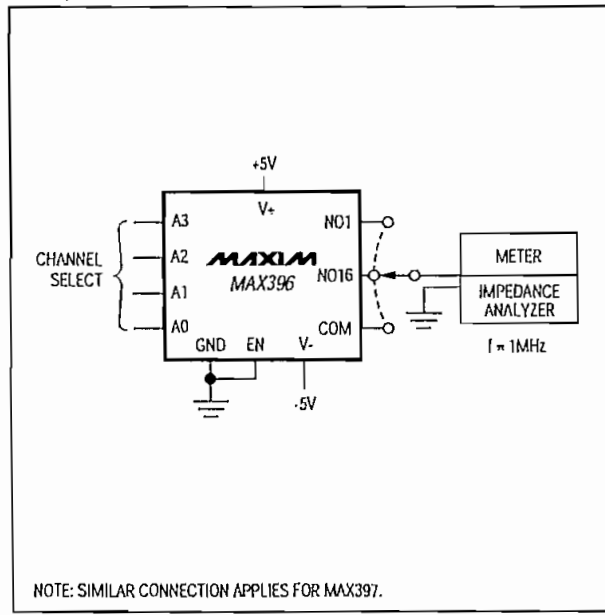
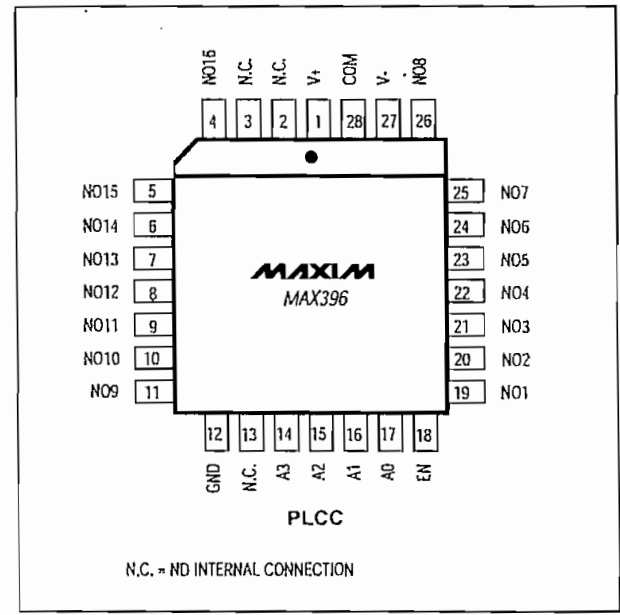
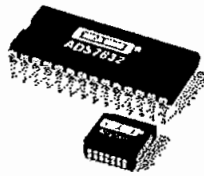


Figure 8. NO/COM Capacitance





ADS7832

## Autocalibrating, 4-Channel, 12-Bit ANALOG-TO-DIGITAL CONVERTER

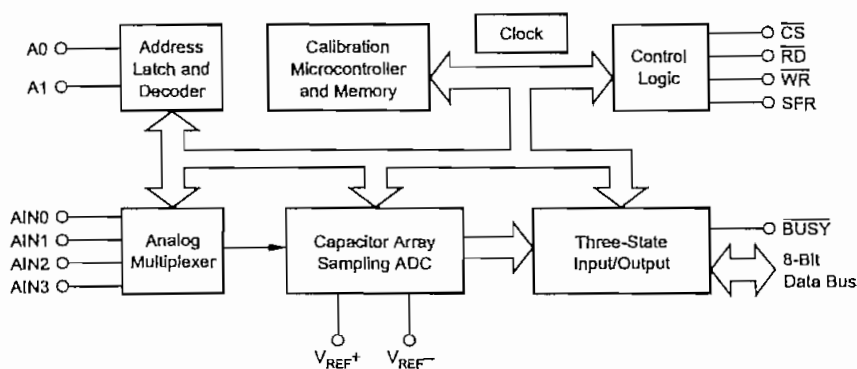
### FEATURES

- PIN COMPATIBLE TO ADC7802 AND ADS7803
- SINGLE SUPPLY: +5V OR +3.3V
- LOW POWER: 14mW plus Power Down
- SIGNAL-TO-(NOISE + DISTORTION) RATIO OVER TEMPERATURE:  
69dB min with  $f_{IN} = 1\text{kHz}$   
66dB min with  $f_{IN} = 50\text{kHz}$
- FAST CONVERSION TIME: 8.5 $\mu\text{s}$   
Including Acquisition (117kHz Sampling Rate)
- FOUR-CHANNEL INPUT MULTIPLEXER
- AUTOCAL: No offset or Gain Adjust Required

### DESCRIPTION

The ADS7832 is a monolithic CMOS 12-bit analog-to-digital converter with internal sample/hold and four-channel multiplexer. It is designed and tested for full dynamic performance with input signals to 50kHz. The 5V single-supply requirements and standard  $\overline{CS}$ ,  $\overline{RD}$ , and  $\overline{WR}$  control signals make the part easy to use in microprocessor applications. Conversion results are available in two bytes through an 8-bit three-state output bus.

The ADS7832 is available in a 28-pin plastic DIP and 28-lead PLCC, fully specified for operation over the industrial  $-40^{\circ}\text{C}$  to  $+85^{\circ}\text{C}$  temperature range.



International Airport Industrial Park • Mailing Address: PO Box 11400, Tucson, AZ 85734 • Street Address: 6730 S. Tucson Blvd., Tucson, AZ 85706 • Tel: (520) 746-1111 • Twx: 910-952-1111  
Internet: <http://www.burr-brown.com/> • FAXLine: (800) 548-6133 (US/Canada Only) • Cable: BBRCORP • Telex: 066-6491 • FAX: (520) 889-1510 • Immediate Product Info: (800) 548-6132

# SPECIFICATIONS

## ADS7832 Electrical Specifications with 3.3V Supply

$V_A = V_D = V_{REF+} = 3.3V \pm 10\%$ ;  $V_{REF-} = AGND = DGND = 0V$ ; CLK = 1MHz external,  $T_A = -40^\circ C$  to  $+85^\circ C$ , after calibration at any temperature, unless otherwise specified.

PARAMETER	CONDITIONS	ADS7832BP/ADS7832BN			UNITS
		MIN	TYP	MAX	
<b>RESOLUTION</b>				12	Bits
<b>ANALOG INPUT</b> Voltage Input Range Input Capacitance On State Bias Current Off State Bias Current  On Resistance Multiplexer Off Resistance Multiplexer Channel Separation	$V_A = V_D = V_{REF+} = 3.0V$  $T_A = +25^\circ C$ $T_A = -40^\circ C$ to $+85^\circ C$  $F_{IN} = 1kHz$ , $V_{REF+} = 3.0V$	0	40	$V_{REF+}$ 100 10 100	V pF nA nA nA  $\Omega$ M $\Omega$ LSB
<b>REFERENCE INPUT</b> For Specified Performance: $V_{REF+}$ $V_{REF-}$ For Derated Performance <sup>(2)</sup> : $V_{REF+}$ $V_{REF-}$ Input Reference Current	$(V_{REF+}) - (V_{REF-}) \geq 2.5V$	2.5 0	$V_A$ 0  100	$V_A$  0.5 200	V V V V $\mu A$
<b>THROUGHPUT SPEED</b> Conversion Time With External Clock (Including Multiplexer Settling Time and Acquisition Time)  With Internal Clock Using Recommended Clock Components Slew Rate Multiplexer Settling Time to 1/2 LSB Multiplexer Access Time	CLK = 1MHz CLK = 500kHz $T_A = +25^\circ C$ $T_A = -40^\circ C$ to $+85^\circ C$			17 34  30 30 2 0.5 20	$\mu s$ $\mu s$ $\mu s$ $\mu s$ V/ $\mu s$ $\mu s$ ns
<b>SAMPLING DYNAMICS</b> Full Power Bandwidth Aperture Jitter Aperture Delay	-3dB  SRF D2 LOW <sup>(3)</sup> SRF D2 HIGH		2  5 5		MHz ps $\mu s$ ns
<b>DC ACCURACY</b> Integral Nonlinearity, All Channels  Differential Nonlinearity No Missing Codes Gain Error Gain Error Drift Offset Error  Offset Error Drift  Channel-to-Channel Mismatch  Power Supply Sensitivity	SFR D2 LOW SFR D2 HIGH, Internal Clock or Sampling Command Synchronous to External Clock SFR D2 HIGH, Sampling Command Asynchronous to External Clock  All Channels Between Calibration Cycles All Channels SFR D2 LOW SFR D2 HIGH, Internal Clock or Sampling Command Synchronous to External Clock SFR D2 HIGH, Sampling Command Asynchronous to External Clock Between Calibration Cycles SFR D2 LOW SFR D2 HIGH, Internal Clock or Sampling Command Synchronous to External Clock SFR D2 HIGH, Sampling Command Asynchronous to External Clock SFR D2 LOW SFR D2 HIGH, Internal Clock or Sampling Command Synchronous to External Clock SFR D2 HIGH, Sampling Command Asynchronous to External Clock  SFR D2 LOW SFR D2 HIGH, Internal Clock or Sampling Command Synchronous to External Clock SFR D2 HIGH, Sampling Command Asynchronous to External Clock  $V_D = V_A = +3.3V \pm 10\%$ (without recalibration)		$\pm 0.5$ $\pm 0.6$  Guaranteed $\pm 0.2$  $\pm 1$ $\pm 4$  $\pm 0.2$ $\pm 0.5$  $\pm 1$ $\pm 0.25$ $\pm 0.5$  $\pm 1$ $\pm 0.125$	$\pm 0.75$   $\pm 0.75$  $\pm 0.5$  $\pm 0.75$  $\pm 0.2$ $\pm 0.5$  $\pm 1$  $\pm 0.25$ $\pm 0.5$  $\pm 1$ $\pm 0.125$	LSB <sup>(4)</sup> LSB LSB LSB ppm/ $^\circ C$ LSB LSB LSB ppm/ $^\circ C$ ppm/ $^\circ C$ LSB LSB LSB LSB
<b>AC ACCURACY</b> Signal-to-(Noise + Distortion) Ratio  Total Harmonic Distortion Signal-to-Noise Ratio Spurious Free Dynamic Range	$f_{IN} = 1kHz$ $f_{IN} = 50kHz$ $f_{IN} = 50kHz$ $f_{IN} = 50kHz$ $f_{IN} = 1kHz$ $f_{IN} = 50kHz$	69 66	71 69 -75 70 85 82		dB <sup>(1)</sup> dB dB dB dB dB

# SPECIFICATIONS (CONT)

## ADS7832 Electrical Specifications with 3.3V Supply

$V_A = V_D = V_{REF+} = 3.3V \pm 10\%$ ;  $V_{REF-} = AGND = DGND = 0V$ ;  $CLK = 1MHz$  external,  $T_A = -40^\circ C$  to  $+85^\circ C$ , after calibration at any temperature, unless otherwise specified.

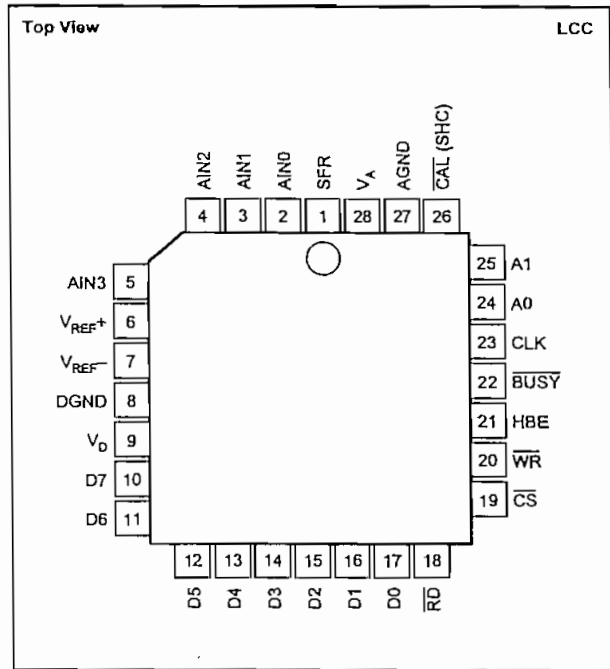
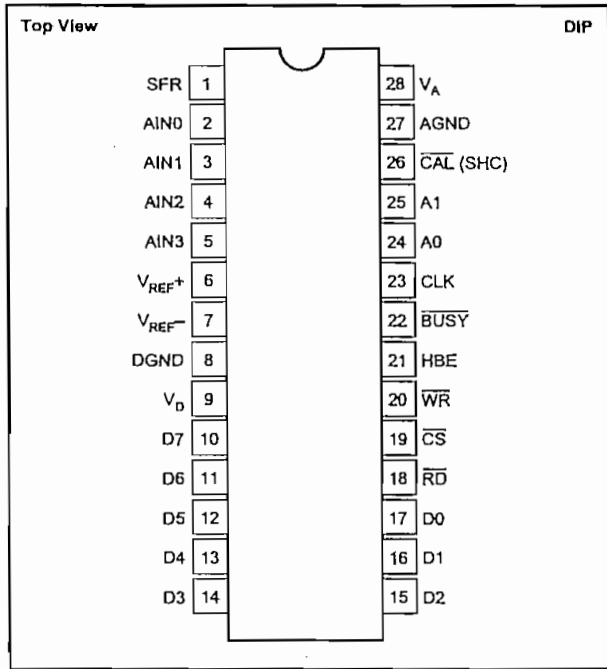
PARAMETER	CONDITIONS	ADS7832BP/ADS7832BN			UNITS
		MIN	TYP	MAX	
<b>DIGITAL INPUTS</b> Voltage Levels: $V_{IL}$ $V_{IH}$ Current Levels: $I_{IL}$ $I_{IL}$ $I_{IH}$ $I_{IH}$ $I_{IH}$ $I_{IH}$	CAL (Internal Pull-Up) All Other Inputs SFR (Internal Pull-Down) CLK All Other Inputs Power Down Mode (SFR D3 HIGH)	-0.3 $0.7 \cdot V_D$	10	+0.8 $V_D + 0.3V$ $\pm 10$ 1.5 $\pm 10$ $\pm 100$	V V $\mu A$ $\mu A$ $\mu A$ mA $\mu A$ nA
<b>DIGITAL OUTPUTS</b> Data Format Data Coding $V_{OL}$ $V_{OH}$ Leakage Current Output Capacitance	$I_{SINK} = 1.6mA$ $I_{SOURCE} = 200\mu A$ High-Z State, $V_{OUT} = 0V$ to $V_D$ High-Z State	$0.8 \cdot V_D$	Parallel 12 Bits in Two Bytes Straight Binary 4	$0.2 \cdot V_D$ $\pm 1$	V V $\mu A$ pF
<b>CALIBRATION TIMING</b> Calibration Cycle Calibration Cycle	Power On or Power Failure During Normal Operation			37393 4625	Clock Cycles Clock Cycles
<b>DIGITAL TIMING</b> Bus Access Time Bus Relinquish Time				83 83	ns ns
<b>POWER SUPPLIES</b> Supply Voltage for Specified Performance: $V_A$ $V_D$ Supply Current: $I_A$ $I_D$ Power Dissipation	Tested at 3.0V Tested at 3.0V  Power Up Mode or During Conversion Power Down Mode, No Clock Running	3 3	3.3 3.3 2.5 300 7.5 50	3 500	V V mA $\mu A$ mW $\mu W$
<b>TEMPERATURE RANGE</b> Specification Storage		-40 -65		+85 +150	$^\circ C$ $^\circ C$

\* These specifications need to be added based on performance of final silicon.

NOTES: (1) All specifications in dB are referred to a full-scale input range. (2) Over this range, total error will typically not exceed  $\pm 1LSB$ . (3) In this mode, the ADS7832 acquires the input signal for five clock cycles after a start command, before the input is held and conversion begins. (4) LSB means Least Significant Bit. For a 0V to 5V input range, one LSB is 1.22mV. For a 0V to 2.5V input range, one LSB is 610 $\mu V$ .

The information provided herein is believed to be reliable; however, BURR-BROWN assumes no responsibility for inaccuracies or omissions. BURR-BROWN assumes no responsibility for the use of this information, and all use of such information shall be entirely at the user's own risk. Prices and specifications are subject to change without notice. No patent rights or licenses to any of the circuits described herein are implied or granted to any third party. BURR-BROWN does not authorize or warrant any BURR-BROWN product for use in life support devices and/or systems.

## PIN CONFIGURATIONS



## PACKAGE/ORDERING INFORMATION

PRODUCT	MINIMUM SIGNAL-TO-(NOISE + DISTORTION) RATIO, dB	INTEGRAL NONLINEARITY MAXIMUM LSB	SPECIFICATION TEMPERATURE RANGE	PACKAGE	PACKAGE DRAWING NUMBER <sup>(1)</sup>
ADS7832BN	69	±3/4	-40°C to +85°C	28-Pin LCC	251
ADS7832BP	69	±3/4	-40°C to +85°C	28-Pin Plastic DIP	215

NOTE: (1) For detailed drawing and dimension table, please see end of data sheet, or Appendix C of Burr-Brown IC Data Book.

## ABSOLUTE MAXIMUM RATINGS

$V_A$ to Analog Ground .....	7V
$V_D$ to Digital Ground .....	7V
$V_A$ to $V_D$ .....	±0.3V
Analog Ground to Digital Ground .....	±0.3V
Control Inputs to Digital Ground .....	-0.3V to $V_D + 0.3V$
Analog Input Voltage to Analog Ground .....	-0.3V to $V_A + 0.3V$
Maximum Junction Temperature .....	150°C
Internal Power Dissipation .....	875mW
Lead Temperature (soldering, 10s) .....	+260°C
(soldering, 3s) .....	+360°C
Thermal Resistance, $\theta_{JA}$ .....	75°C/W
Maximum Input Current to Any Pin .....	±50mA
ESD: Human Body Model .....	1kV



## ELECTROSTATIC DISCHARGE SENSITIVITY

This integrated circuit can be damaged by ESD. Burr-Brown recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.



## PIN ASSIGNMENTS

PIN #	NAME	DESCRIPTION															
1	SFR	Special Function Register. When connected to a microprocessor address pin, allows access to special functions through D0 to D7. If not used, connect to DGND. This pin has an internal pull-down.															
2 to 5	AIN0 to AIN3	Analog inputs. Channel 0 to channel 3.															
6	V <sub>REF+</sub>	Positive voltage reference input. Must be $\leq (V_A + 0.3V)$ .															
7	V <sub>REF-</sub>	Negative voltage reference input.															
8	DGND	Digital ground. DGND = 0V.															
9	V <sub>D</sub>	Logic supply voltage. Must be $\leq (V_A + 0.3V)$ and applied after V <sub>A</sub> .															
10 to 17	D0 to D7	Data Bus Input/Output Pins. Normally used to read output data. When SFR is LOW, these function as follows:															
10	D7	Data Bit 7 if HBE is LOW; if HBE is HIGH, acts as converter status pin and is HIGH during conversion or calibration, goes LOW after the conversion is completed. (Acts as an inverted BUSY).															
11	D6	Data Bit 6 if HBE is LOW; LOW if HBE is HIGH.															
12	D5	Data Bit 5 if HBE is LOW; LOW if HBE is HIGH.															
13	D4	Data Bit 4 if HBE is LOW; LOW if HBE is HIGH.															
14	D3	Data Bit 3 if HBE is LOW; Data Bit 11 (MSB) if HBE is HIGH.															
15	D2	Data Bit 2 if HBE is LOW; Data Bit 10 if HBE is HIGH.															
16	D1	Data Bit 1 if HBE is LOW; Data Bit 9 if HBE is HIGH.															
17	D0	Data Bit 0 (LSB) if HBE is LOW; Data Bit 8 if HBE is HIGH.															
18	$\overline{RD}$	Read Input. Active LOW; used to read the data outputs in combination with $\overline{CS}$ and HBE.															
19	$\overline{CS}$	Chip Select Input. Active LOW.															
20	$\overline{WR}$	Write Input. Active LOW; used to start a new conversion and to select an analog channel via address inputs A0 and A1 in combination with $\overline{CS}$ . The minimum $\overline{WR}$ pulse LOW width is 100ns.															
21	HBE	High Byte Enable. Used to select high or low data output byte in combination with $\overline{CS}$ and $\overline{RD}$ , or to select SFR.															
22	$\overline{BUSY}$	$\overline{BUSY}$ is LOW during conversion or calibration. $\overline{BUSY}$ goes HIGH after the conversion is completed.															
23	CLK	Clock Input. For internal or external clock operation. For external clock operation, connect to a 74HC-compatible clock source. For internal clock operation, connect per the clock operation description.															
24 to 25	A0 to A1	Address Inputs. Used to select one of four analog Input channels in combination with $\overline{CS}$ and $\overline{WR}$ . The address inputs are latched on the rising edge of $\overline{WR}$ or $\overline{CS}$ . <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>A1</th> <th>A0</th> <th>Selected Channel</th> </tr> </thead> <tbody> <tr> <td>LOW</td> <td>LOW</td> <td>AIN0</td> </tr> <tr> <td>LOW</td> <td>HIGH</td> <td>AIN1</td> </tr> <tr> <td>HIGH</td> <td>LOW</td> <td>AIN2</td> </tr> <tr> <td>HIGH</td> <td>HIGH</td> <td>AIN3</td> </tr> </tbody> </table>	A1	A0	Selected Channel	LOW	LOW	AIN0	LOW	HIGH	AIN1	HIGH	LOW	AIN2	HIGH	HIGH	AIN3
A1	A0	Selected Channel															
LOW	LOW	AIN0															
LOW	HIGH	AIN1															
HIGH	LOW	AIN2															
HIGH	HIGH	AIN3															
26	$\overline{CAL}$ (SHC)	Calibration Input. A calibration cycle is initiated when $\overline{CAL}$ is LOW. The minimum pulse width of $\overline{CAL}$ is 100ns. If not used, connect to V <sub>D</sub> . In this case calibration is only initiated at power on, or with SFR. If D2 of the SFR is programmed HIGH, pin 26 will be an input to control the sample-to-hold timing. A rising edge on pin 26 will switch from sample-mode to hold-mode and initiate a conversion. This pin has an internal pull-up.															
27	AGND	Analog Ground. AGND = 0V.															
28	V <sub>A</sub>	Analog Supply. Must be $\geq (V_D - 0.3V)$ and $((V_{REF+}) - 0.3V)$															

# THEORY OF OPERATION

ADS7832 uses the advantages of advanced CMOS technology (logic density, stable capacitors, precision analog switches, and low power consumption) to provide a precise 12-bit analog-to-digital converter with on-chip sampling and four-channel analog-input multiplexer.

The input stage consists of an analog multiplexer with an address latch to select from four input channels.

The converter stage consists of an advanced successive approximation architecture using charge redistribution on a capacitor network to digitize the input signal. A temperature-stabilized differential auto-zeroing circuit is used to minimize offset errors in the comparator.

Linearity errors in the binary weighted main capacitor network are corrected using a capacitor trim network and correction factors stored in on-chip memory. The correction terms are calculated by an on-chip microcontroller during a calibration cycle, initiated either by power-up or by applying an external calibration signal at any time. During conversion, the correct trim capacitors are switched into the main capacitor array as needed to correct the conversion accuracy. With all of the capacitors in both the main array and the trim array on the same chip, excellent stability is achieved, both over temperature and over time.

For flexibility, timing circuits include both an internal clock generator and an input for an external clock to synchronize with external systems. Standard control signals and three-state input/output registers simplify interfacing ADS7832 to most micro-controllers, microprocessors or digital storage systems.

The on-chip sampling provides excellent dynamic performance for input signals to 50kHz, and has a full-power -3dB bandwidth of 4MHz. Full control over sample-to-hold timing is available for applications where this is critical.

Finally, this performance is matched with the low-power advantages of CMOS structures to allow a typical power consumption of 10mW, with a 50µW power down option.

## OPERATION

### BASIC OPERATION

Figure 1 shows the simple circuit required to operate ADS7832 in the Transparent Mode, converting a single input channel. A convert command on pin 20 ( $\overline{WR}$ ) starts a conversion. Pin 22 ( $\overline{BUSY}$ ) will output a LOW during the conversion process (including sample acquisition and conversion), and rises only after the conversion is completed. The two bytes of output data can then be read using pin 18 ( $\overline{RD}$ ) and pin 21 (HBE).

### STARTING A CONVERSION

A conversion is initiated on the rising edge of the  $\overline{WR}$  input, with valid signals on A0, A1 and  $\overline{CS}$ . The selected input channel is sampled for five clock cycles. The successive

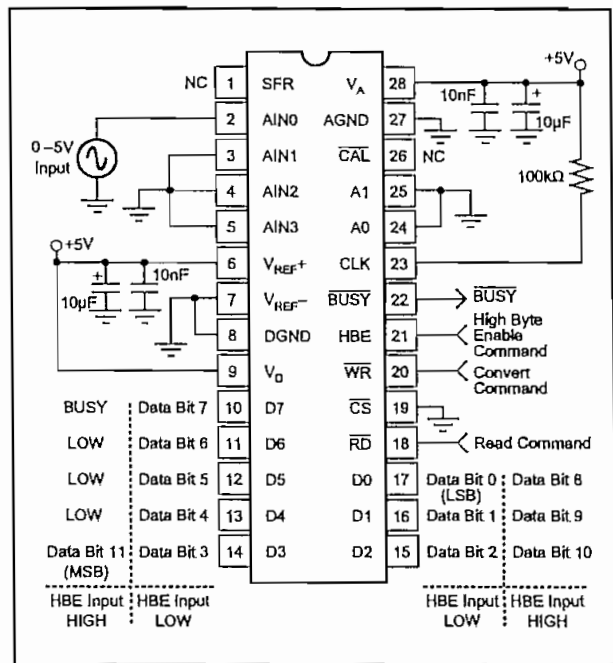


FIGURE 1. Basic Operation.

approximation conversion takes place during clock cycles 6 through 17.

Figures 2 and 3 show the full conversion sequence and the timing to initiate a conversion.

A conversion can also be initiated by a rising edge on pin 26, if a HIGH has been written to D2 of the Special Function Register, as discussed below.

### CALIBRATION

A calibration cycle is initiated automatically upon power-up (or after a power failure). Calibration can also be initiated by the user at any time by the rising edge of a minimum 100ns-wide LOW pulse on the  $\overline{CAL}$  pin (pin 26), or by setting D1 HIGH in the Special Function Register (see SFR section). A calibration command will initiate a calibration cycle, regardless of whether a conversion is in process. During a calibration cycle, convert commands are ignored.

Calibration takes 4608 clock cycles, and a normal conversion (17 clock cycles) is added automatically. Thus, at the end of a calibration cycle, there is valid conversion data in the output registers. For maximum accuracy, the supplies and reference need to be stable during the calibration procedure. To ensure that supply voltages have settled and are stable, an internal timer provides a waiting period of 37,393 clock cycles between power-up/power-failure and the start of the calibration cycle.

### READING DATA

Data from the ADS7832 is read in two 8-bit bytes, with the Low byte containing the 8 LSBs of data, and the High byte containing the 4 MSBs of data. The outputs are coded in



# 3.3V CMOS QUADRUPLE 2-LINE TO 1-LINE DATA SELECTOR/MULTIPLEXER, 5 VOLT TOLERANT I/O

**IDT74LVC157A**  
**ADVANCE**  
**INFORMATION**

## FEATURES:

- 0.5 MICRON CMOS Technology
- ESD > 2000V per MIL-STD-883, Method 3015;  
> 200V using machine model (C = 200pF, R = 0)
- 1.27mm pitch SOIC, 0.635mm pitch QSOP,  
0.65mm pitch SSOP, 0.65mm pitch TSSOP packages
- Extended commercial range of -40°C to +85°C
- Vcc = 3.3V ±0.3V, Normal Range
- Vcc = 2.3V to 3.6V, Extended Range
- CMOS power levels (0.4µW typ. static)
- Rail-to-Rail output swing for increased noise margin
- All inputs, outputs and I/O are 5 Volt tolerant
- Supports hot insertion

## Drive Features for LVC157A:

- High Output Drivers: ±24mA
- Reduced system switching noise

## DESCRIPTION:

This quadruple 2-line to 1-line data selector/multiplexer is built using advanced dual metal CMOS technology. The LVC157A features a common strobe ( $\overline{G}$ ) input. When the strobe is high, all outputs are low. When the strobe is low, a 4-bit word is selected from one of two sources and is routed to the four outputs. The device provides true data.

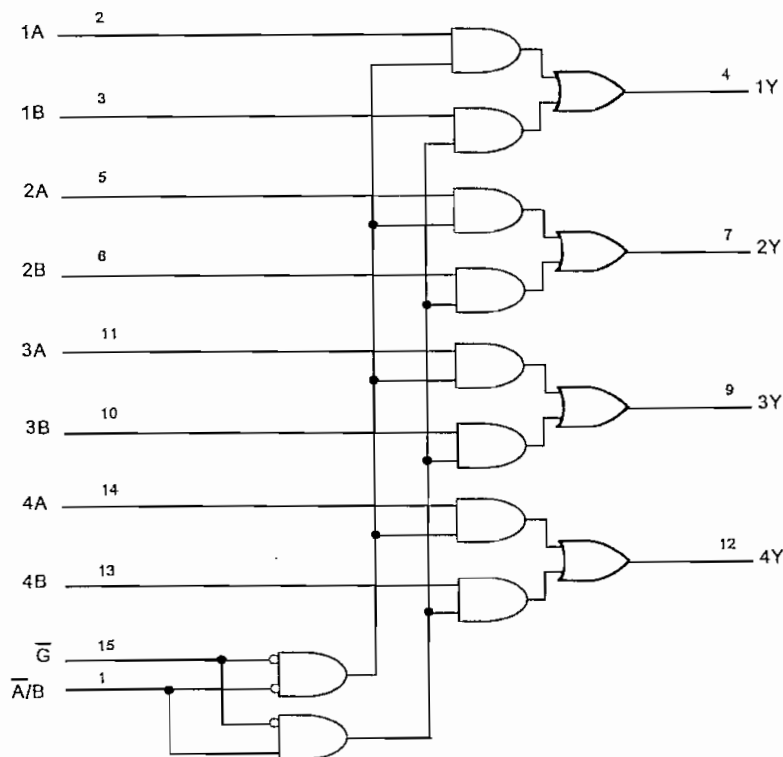
Inputs can be driven from either 3.3V or 5V devices. This feature allows the use of this device as a translator in a mixed 3.3V/5V supply system.

The LVC157A has been designed with a ±24mA output driver. This driver is capable of driving a moderate to heavy load while maintaining speed performance.

## APPLICATIONS:

- 5V and 3.3V mixed voltage systems
- Data communication and telecommunication systems

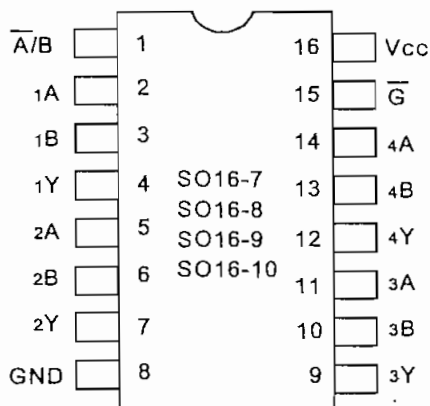
## Functional Block Diagram



**EXTENDED COMMERCIAL TEMPERATURE RANGE**

**APRIL 1999**

## PIN CONFIGURATION



SOIC/ SSOP/ TSSOP/ QSOP  
TOP VIEW

## ABSOLUTE MAXIMUM RATINGS <sup>(1)</sup>

Symbol	Description	Max.	Unit
V <sub>TERM</sub> <sup>(2)</sup>	Terminal Voltage with Respect to GND	-0.5 to +6.5	V
V <sub>TERM</sub> <sup>(3)</sup>	Terminal Voltage with Respect to GND	-0.5 to +6.5	V
T <sub>STG</sub>	Storage Temperature	-65 to +150	°C
I <sub>OUT</sub>	DC Output Current	-50 to +50	mA
I <sub>IK</sub> I <sub>OK</sub>	Continuous Clamp Current, V <sub>I</sub> < 0 or V <sub>O</sub> < 0	-50	mA
I <sub>CC</sub> I <sub>SS</sub>	Continuous Current through each Vcc or GND	±100	mA

### NOTES:

- Stresses greater than those listed under ABSOLUTE MAXIMUM RATINGS may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect reliability.
- Vcc terminals.
- All terminals except Vcc.

## PIN DESCRIPTION

Pin Names	Description
A/B	Select Input (Active LOW)
G-bar	Common Strobe Input (Active LOW)
xY	Data Output
xA, xB	Data Inputs

## CAPACITANCE (T<sub>A</sub> = +25°C, f = 1.0MHz)

Symbol	Parameter <sup>(1)</sup>	Conditions	Typ.	Max.	Unit
C <sub>IN</sub>	Input Capacitance	V <sub>IN</sub> = 0V	4.5	6	pF
C <sub>OUT</sub>	Output Capacitance	V <sub>OUT</sub> = 0V	5.5	8	pF
C <sub>VO</sub>	I/O Port Capacitance	V <sub>IN</sub> = 0V	6.5	8	pF

### NOTE:

- As applicable to the device type.

## FUNCTION TABLE<sup>(1)</sup>

Inputs				Outputs
G-bar	A/B	xA	xB	xY
H	X	X	X	L
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

### NOTE:

- H = HIGH Voltage Level  
L = LOW Voltage Level  
X = Don't Care

**DC ELECTRICAL CHARACTERISTICS OVER OPERATING RANGE**

Following Conditions Apply Unless Otherwise Specified:

Operating Condition:  $T_A = -40^\circ\text{C}$  to  $+85^\circ\text{C}$ 

Symbol	Parameter	Test Conditions		Min.	Typ. <sup>(1)</sup>	Max.	Unit
V <sub>IH</sub>	Input HIGH Voltage Level	V <sub>CC</sub> = 2.3V to 2.7V		1.7	—	—	V
		V <sub>CC</sub> = 2.7V to 3.6V		2	—	—	
V <sub>IL</sub>	Input LOW Voltage Level	V <sub>CC</sub> = 2.3V to 2.7V		—	—	0.7	V
		V <sub>CC</sub> = 2.7V to 3.6V		—	—	0.8	
I <sub>IH</sub> I <sub>IL</sub>	Input Leakage Current	V <sub>CC</sub> = 3.6V	V <sub>I</sub> = 0 to 5.5V	—	—	±5	μA
I <sub>OZH</sub> I <sub>OZL</sub>	High Impedance Output Current (3-State Output pins)	V <sub>CC</sub> = 3.6V	V <sub>O</sub> = 0 to 5.5V	—	—	±10	μA
I <sub>OFF</sub>	Input/Output Power Off Leakage	V <sub>CC</sub> = 0V, V <sub>IH</sub> or V <sub>O</sub> ≤ 5.5V		—	—	±50	μA
V <sub>IK</sub>	Clamp Diode Voltage	V <sub>CC</sub> = 2.3V, I <sub>IN</sub> = -18mA		—	-0.7	-1.2	V
V <sub>H</sub>	Input Hysteresis	V <sub>CC</sub> = 3.3V		—	100	—	mV
I <sub>CC1</sub> I <sub>CC2</sub> I <sub>CC3</sub>	Quiescent Power Supply Current	V <sub>CC</sub> = 3.6V	V <sub>IN</sub> = GND or V <sub>CC</sub>	—	—	10	μA
ΔI <sub>CC</sub>	Quiescent Power Supply Current Variation	One input at V <sub>CC</sub> - 0.6V other inputs at V <sub>CC</sub> or GND		—	—	500	μA

LVC QUAD LNK

**NOTE:**1. Typical values are at V<sub>CC</sub> = 3.3V, +25°C ambient.**OUTPUT DRIVE CHARACTERISTICS**

Symbol	Parameter	Test Conditions <sup>(1)</sup>		Min.	Max.	Unit
V <sub>OH</sub>	Output HIGH Voltage	V <sub>CC</sub> = 2.3V to 3.6V	I <sub>OH</sub> = -0.1mA	V <sub>CC</sub> - 0.2	—	V
		V <sub>CC</sub> = 2.3V	I <sub>OH</sub> = -6mA	2	—	
		V <sub>CC</sub> = 2.3V	I <sub>OH</sub> = -12mA	1.7	—	
		V <sub>CC</sub> = 2.7V		2.2	—	
		V <sub>CC</sub> = 3.0V		2.4	—	
		V <sub>CC</sub> = 3.0V	I <sub>OH</sub> = -24mA	2.2	—	
V <sub>OL</sub>	Output LOW Voltage	V <sub>CC</sub> = 2.3V to 3.6V	I <sub>OL</sub> = 0.1mA	—	0.2	V
		V <sub>CC</sub> = 2.3V	I <sub>OL</sub> = 6mA	—	0.4	
			I <sub>OL</sub> = 12mA	—	0.7	
		V <sub>CC</sub> = 2.7V	I <sub>OL</sub> = 12mA	—	0.4	
		V <sub>CC</sub> = 3.0V	I <sub>OL</sub> = 24mA	—	0.55	

LVC QUAD LNK

**NOTE:**1. V<sub>IH</sub> and V<sub>IL</sub> must be within the min. or max. range shown in the DC ELECTRICAL CHARACTERISTICS OVER OPERATING RANGE table for the appropriate V<sub>CC</sub> range. T<sub>A</sub> = -40°C to +85°C.

## AD8400/AD8402/AD8403

### FEATURES

256 Position  
Replaces 1, 2 or 4 Potentiometers  
1 k $\Omega$ , 10 k $\Omega$ , 50 k $\Omega$ , 100 k $\Omega$   
Power Shut Down—Less than 5  $\mu$ A  
3-Wire SPI Compatible Serial Data Input  
10 MHz Update Data Loading Rate  
+2.7 V to +5.5 V Single-Supply Operation  
Midscale Preset

### APPLICATIONS

Mechanical Potentiometer Replacement  
Programmable Filters, Delays, Time Constants  
Volume Control, Panning  
Line Impedance Matching  
Power Supply Adjustment

### GENERAL DESCRIPTION

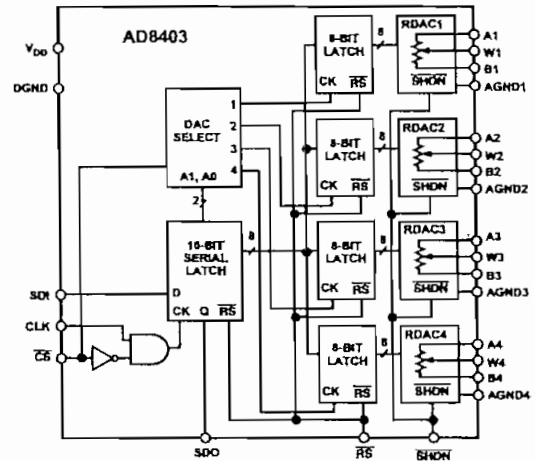
The AD8400/AD8402/AD8403 provide a single, dual or quad channel, 256 position digitally controlled variable resistor (VR) device. These devices perform the same electronic adjustment function as a potentiometer or variable resistor. The AD8400 contains a single variable resistor in the compact SO-8 package. The AD8402 contains two independent variable resistors in space saving SO-14 surface mount package. The AD8403 contains four independent variable resistors in 24-lead PDIP, SOIC and TSSOP packages. Each part contains a fixed resistor with a wiper contact that taps the fixed resistor value at a point determined by a digital code loaded into the controlling serial input register. The resistance between the wiper and either endpoint of the fixed resistor varies linearly with respect to the digital code transferred into the VR latch. Each variable resistor offers a completely programmable value of resistance, between the A terminal and the wiper or the B terminal and the wiper. The fixed A to B terminal resistance of 1 k $\Omega$ , 10 k $\Omega$ , 50 k $\Omega$  or 100 k $\Omega$  has a  $\pm 1\%$  channel-to-channel matching tolerance with a nominal temperature coefficient of 500 ppm/ $^{\circ}$ C. A unique switching circuit minimizes the high glitch inherent in traditional switched resistor designs avoiding any make-before-break or break-before-make operation.

Each VR has its own VR latch that holds its programmed resistance value. These VR latches are updated from an SPI compatible serial-to-parallel shift register that is loaded from a standard 3-wire serial-input digital interface. Ten data bits make up the data word clocked into the serial input register. The data word is decoded where the first two bits determine the address of the VR latch to be loaded, the last eight bits are data. A serial data output pin at the opposite end of the serial register allows simple daisy-chaining in multiple VR applications without additional external decoding logic.

### REV. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

### FUNCTIONAL BLOCK DIAGRAM



The reset ( $\overline{RS}$ ) pin forces the wiper to the midscale position by loading 80 $\Omega$  into the VR latch. The  $\overline{SHDN}$  pin forces the resistor to an end-to-end open circuit condition on the A terminal and shorts the wiper to the B terminal, achieving a microwatt power shutdown state. When  $\overline{SHDN}$  is returned to logic high, the previous latch settings put the wiper in the same resistance setting prior to shutdown. The digital interface is still active in shutdown so that code changes can be made which will produce new wiper positions when the device is taken out of shutdown.

The AD8400 is available in both the SO-8 surface mount and the 8-lead plastic DIP package.

The AD8402 is available in both surface mount (SO-14) and the 14-lead plastic DIP package, while the AD8403 is available in a narrow body 24-lead plastic DIP and the 24-lead surface mount package. The AD8402/AD8403 are also offered in the 1.1 mm thin TSSOP-14/TSSOP-24 package for PCMCIA applications. All parts are guaranteed to operate over the extended industrial temperature range of  $-40^{\circ}$ C to  $+85^{\circ}$ C.

# SPECIFICATIONS

## 50 kΩ & 100 kΩ VERSION

### ELECTRICAL CHARACTERISTICS

# AD8400/AD8402/AD8403

( $V_{DD} = +3\text{ V} \pm 10\%$  or  $+5\text{ V} \pm 10\%$ ,  $V_A = +V_{DD}$ ,  $V_B = 0\text{ V}$ ,  $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$  unless otherwise noted)

Parameter	Symbol	Conditions	Min	Typ <sup>1</sup>	Max	Units
<b>DC CHARACTERISTICS RHEOSTAT MODE</b> Specifications Apply to All VRs						
Resistor Differential NL <sup>2</sup>	R-DNL	$R_{WB}$ , $V_A = \text{NC}$	-1	$\pm 1/4$	+1	LSB
Resistor Nonlinearity <sup>2</sup>	R-INL	$R_{WB}$ , $V_A = \text{NC}$	-2	$\pm 1/2$	+2	LSB
Nominal Resistance <sup>3</sup>	R	$T_A = +25^\circ\text{C}$ , Model: AD840XYY50	35	50	65	kΩ
	R	$T_A = +25^\circ\text{C}$ , Model: AD840XYY100	70	100	130	kΩ
Resistance Tempco	$\Delta R_{AB}/\Delta T$	$V_{AB} = V_{DD}$ , Wiper = No Connect		500		ppm/°C
Wiper Resistance	$R_W$	$I_W = 1\text{ V/R}$		53	100	Ω
Nominal Resistance Match	$\Delta R/R_0$	CH 1 to 2, 3, or 4, $V_{AB} = V_{DD}$ , $T_A = +25^\circ\text{C}$		0.2	1	%
<b>DC CHARACTERISTICS POTENTIOMETER DIVIDER</b> Specifications Apply to All VRs						
Resolution	N		8			Bits
Integral Nonlinearity <sup>4</sup>	INL		-4	$\pm 1$	+4	LSB
Differential Nonlinearity <sup>4</sup>	DNL	$V_{DD} = +5\text{ V}$	-1	$\pm 1/4$	+1	LSB
	DNL	$V_{DD} = +3\text{ V}$ $T_A = +25^\circ\text{C}$	-1	$\pm 1/4$	+1	LSB
	DNL	$V_{DD} = +3\text{ V}$ $T_A = -40^\circ\text{C}, +85^\circ\text{C}$	-1.5	$\pm 1/2$	+1.5	LSB
Voltage Divider Tempco	$\Delta V_W/\Delta T$	Code = 80 <sub>H</sub>		15		ppm/°C
Full-Scale Error	$V_{WFSE}$	Code = FF <sub>H</sub>	-1	-0.25	0	LSB
Zero-Scale Error	$V_{WZSE}$	Code = 00 <sub>H</sub>	0	+0.1	+1	LSB
<b>RESISTOR TERMINALS</b>						
Voltage Range <sup>5</sup>	$V_{A, B, W}$		0		$V_{DD}$	V
Capacitance <sup>6</sup> Ax, Bx	$C_{A, B}$	$f = 1\text{ MHz}$ , Measured to GND, Code = 80 <sub>H</sub>		15		pF
Capacitance <sup>6</sup> Wx	$C_W$	$f = 1\text{ MHz}$ , Measured to GND, Code = 80 <sub>H</sub>		80		pF
Shutdown Current <sup>7</sup>	$I_{A\_SD}$	$V_A = V_{DD}$ , $V_B = 0\text{ V}$ , $\overline{\text{SHDN}} = 0$		0.01	5	μA
Shutdown Wiper Resistance	$R_{W\_SD}$	$V_A = V_{DD}$ , $V_B = 0\text{ V}$ , $\overline{\text{SHDN}} = 0$ , $V_{DD} = +5\text{ V}$		100	200	Ω
<b>DIGITAL INPUTS &amp; OUTPUTS</b>						
Input Logic High	$V_{IH}$	$V_{DD} = +5\text{ V}$	2.4			V
Input Logic Low	$V_{IL}$	$V_{DD} = +5\text{ V}$			0.8	V
Input Logic High	$V_{IH}$	$V_{DD} = +3\text{ V}$	2.1			V
Input Logic Low	$V_{IL}$	$V_{DD} = +3\text{ V}$			0.6	V
Output Logic High	$V_{OH}$	$R_L = 1\text{ k}\Omega$ to $V_{DD}$	$V_{DD}-0.1$			V
Output Logic Low	$V_{OL}$	$I_{OL} = 1.6\text{ mA}$ , $V_{DD} = +5\text{ V}$			0.4	V
Input Current	$I_{IL}$	$V_{IN} = 0\text{ V}$ or $+5\text{ V}$ , $V_{DD} = +5\text{ V}$			$\pm 1$	μA
Input Capacitance <sup>6</sup>	$C_{IL}$			5		pF
<b>POWER SUPPLIES</b>						
Power Supply Range	$V_{DD}$ Range		2.7		5.5	V
Supply Current (CMOS)	$I_{DD}$	$V_{IH} = V_{DD}$ or $V_{IL} = 0\text{ V}$		0.01	5	μA
Supply Current (TTL) <sup>8</sup>	$I_{DD}$	$V_{IH} = 2.4\text{ V}$ or $0.8\text{ V}$ , $V_{DD} = +5.5\text{ V}$		0.9	4	mA
Power Dissipation (CMOS) <sup>9</sup>	$P_{DISS}$	$V_{IH} = V_{DD}$ or $V_{IL} = 0\text{ V}$ , $V_{DD} = +5.5\text{ V}$			27.5	μW
Power Supply Sensitivity	PSS	$V_{DD} = +5\text{ V} \pm 10\%$		0.0002	0.001	%/%
	PSS	$V_{DD} = +3\text{ V} \pm 10\%$		0.006	0.03	%/%
<b>DYNAMIC CHARACTERISTICS<sup>6, 10</sup></b>						
Bandwidth -3 dB	BW_50K	$R = 50\text{ k}\Omega$		125		kHz
	BW_100K	$R = 100\text{ k}\Omega$		71		kHz
Total Harmonic Distortion	THD <sub>W</sub>	$V_A = 1\text{ V rms} + 2\text{ V dc}$ , $V_B = 2\text{ V dc}$ , $f = 1\text{ kHz}$		0.003		%
$V_W$ Settling Time	$t_{S\_50K}$	$V_A = V_{DD}$ , $V_B = 0\text{ V}$ , $\pm 1\%$ Error Band		9		μs
	$t_{S\_100K}$	$V_A = V_{DD}$ , $V_B = 0\text{ V}$ , $\pm 1\%$ Error Band		18		μs
Resistor Noise Voltage	$e_{NWB\_50K}$	$R_{WB} = 25\text{ k}\Omega$ , $f = 1\text{ kHz}$ , $\overline{\text{RS}} = 0$		20		nV/ $\sqrt{\text{Hz}}$
	$e_{NWB\_100K}$	$R_{WB} = 50\text{ k}\Omega$ , $f = 1\text{ kHz}$ , $\overline{\text{RS}} = 0$		29		nV/ $\sqrt{\text{Hz}}$
Crosstalk <sup>11</sup>	$C_T$	$V_A = V_{DD}$ , $V_B = 0\text{ V}$		-65		dB

#### NOTES FOR 50 kΩ and 100 kΩ VERSIONS

<sup>1</sup>Typicals represent average readings at  $+25^\circ\text{C}$  and  $V_{DD} = +5\text{ V}$ .

<sup>2</sup>Resistor position nonlinearity error R-INL is the deviation from an ideal value measured between the maximum resistance and the minimum resistance wiper positions. R-DNL measures the relative step change from ideal between successive tap positions. Parts are guaranteed monotonic. See Figure 30 test circuit.

$I_W = V_{DD}/R$  for  $V_{DD} = +3\text{ V}$  or  $+5\text{ V}$  for the 50 kΩ and 100 kΩ versions.

<sup>3</sup> $V_{AB} = V_{DD}$ , Wiper ( $V_W$ ) = No Connect.

<sup>4</sup>INL and DNL are measured at  $V_W$  with the RDAC configured as a potentiometer divider similar to a voltage output D/A converter.  $V_A = V_{DD}$  and  $V_B = 0\text{ V}$ .

<sup>5</sup>DNL Specification limits of  $\pm 1$  LSB maximum are Guaranteed Monotonic operating conditions. See Figure 29 test circuit.

<sup>6</sup>Resistor terminals A, B, W have no limitations on polarity with respect to each other.

<sup>7</sup>Guaranteed by design and not subject to production test. Resistor-terminal capacitance tests are measured with 2.5 V bias on the measured terminal. The remaining resistor terminals are left open circuit.

<sup>8</sup>Measured at the Ax terminals. All Ax terminals are open circuited in shutdown mode.

<sup>9</sup>Worst case supply current consumed when input logic level at 2.4 V, standard characteristic of CMOS logic. See Figure 21 for a plot of  $I_{DD}$  versus logic voltage.

<sup>10</sup> $P_{DISS}$  is calculated from  $(I_{DD} \times V_{DD})$ . CMOS logic level inputs result in minimum power dissipation.

<sup>11</sup>All Dynamic Characteristics use  $V_{DD} = +5\text{ V}$ .

<sup>12</sup>Measured at a  $V_W$  pin where an adjacent  $V_W$  pin is making a full-scale voltage change.

Specifications subject to change without notice.

# AD8400/AD8402/AD8403—SPECIFICATIONS

## ALL VERSIONS

### ELECTRICAL CHARACTERISTICS ( $V_{DD} = +3\text{ V} \pm 10\%$ or $+5\text{ V} \pm 10\%$ , $V_A = +V_{DD}$ , $V_B = 0\text{ V}$ , $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ unless otherwise noted)

Parameter	Symbol	Conditions	Min	Typ <sup>1</sup>	Max	Units
<b>SWITCHING CHARACTERISTICS<sup>2, 3</sup></b>						
Input Clock Pulse Width	$t_{CH}, t_{CL}$	Clock Level High or Low	10			ns
Data Setup Time	$t_{DS}$		5			ns
Data Hold Time	$t_{DH}$		5			ns
CLK to SDO Propagation Delay <sup>4</sup>	$t_{PD}$	$R_L = 1\text{ k}\Omega$ to $+5\text{ V}$ , $C_L \leq 20\text{ pF}$	1		25	ns
$\overline{\text{CS}}$ Setup Time	$t_{CSS}$		10			ns
$\overline{\text{CS}}$ High Pulse Width	$t_{CSW}$		10			ns
Reset Pulse Width	$t_{RS}$		50			ns
CLK Fall to $\overline{\text{CS}}$ Rise Hold Time	$t_{CSH}$		0			ns
$\overline{\text{CS}}$ Rise to Clock Rise Setup	$t_{CS1}$		10			ns

#### NOTES

<sup>1</sup>Typicals represent average readings at  $+25^\circ\text{C}$  and  $V_{DD} = +5\text{ V}$ .

<sup>2</sup>Guaranteed by design and not subject to production test. Resistor-terminal capacitance tests are measured with  $2.5\text{ V}$  bias on the measured terminal. The remaining resistor terminals are left open circuit.

<sup>3</sup>See timing diagram for location of measured values. All input control voltages are specified with  $t_R = t_F = 1\text{ ns}$  (10% to 90% of  $V_{DD}$ ) and timed from a voltage level of  $1.6\text{ V}$ . Switching characteristics are measured using  $V_{DD} = +3\text{ V}$  or  $+5\text{ V}$ . To avoid false clocking a minimum input logic slew rate of  $1\text{ V}/\mu\text{s}$  should be maintained.

<sup>4</sup>Propagation Delay depends on value of  $V_{DD}$ ,  $R_L$  and  $C_L$ —see applications text.

Specifications subject to change without notice.

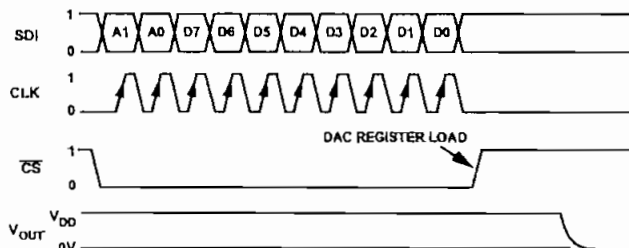


Figure 1a. Timing Diagram

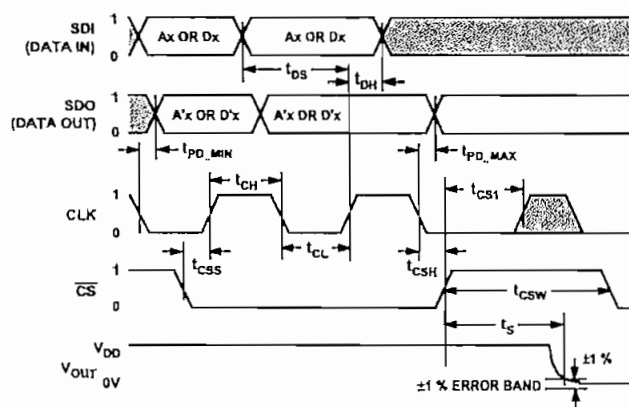


Figure 1b. Detail Timing Diagram

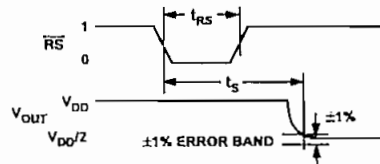


Figure 1c. Reset Timing Diagram

#### ABSOLUTE MAXIMUM RATINGS\*

( $T_A = +25^\circ\text{C}$ , unless otherwise noted)

$V_{DD}$ TO GND	-0.3 V, +8 V
$V_A, V_B, V_W$ TO GND	0 V, $V_{DD}$
$A_X-B_X, A_X-W_X, B_X-W_X$	$\pm 20\text{ mA}$
Digital Input and Output Voltage to GND	0 V, +8 V
Operating Temperature Range	$-40^\circ\text{C}$ to $+85^\circ\text{C}$
Maximum Junction Temperature ( $T_J$ max)	$+150^\circ\text{C}$
Storage Temperature	$-65^\circ\text{C}$ to $+150^\circ\text{C}$
Lead Temperature (Soldering, 10 sec)	$+300^\circ\text{C}$
Package Power Dissipation	$(T_J \text{ max} - T_A)/\theta_{JA}$
Thermal Resistance ( $\theta_{JA}$ )	
P-DIP (N-14)	$+83^\circ\text{C}/\text{W}$
P-DIP (N-24)	$+63^\circ\text{C}/\text{W}$
SOIC (SO-14)	$+70^\circ\text{C}/\text{W}$
SOIC (SOL-24)	$+120^\circ\text{C}/\text{W}$
TSSOP-14 (RU-14)	$+180^\circ\text{C}/\text{W}$
TSSOP-24 (RU-24)	$+143^\circ\text{C}/\text{W}$

\*Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only; functional operation of the device at these or any other conditions above those listed in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

#### CAUTION

ESD (electrostatic discharge) sensitive device. Electrostatic charges as high as  $4000\text{ V}$  readily accumulate on the human body and test equipment and can discharge without detection. Although the AD8400/AD8402/AD8403 feature proprietary ESD protection circuitry, permanent damage may occur on devices subjected to high energy electrostatic discharges. Therefore, proper ESD precautions are recommended to avoid performance degradation or loss of functionality.





# AD8400/AD8402/AD8403

## AD8400 PIN DESCRIPTIONS

Pin	Name	Description
1	B1	Terminal B RDAC
2	GND	Ground
3	$\overline{\text{CS}}$	Chip Select Input, Active Low. When $\overline{\text{CS}}$ returns high data in the serial input register is loaded into the DAC register.
4	SDI	Serial Data Input
5	CLK	Serial Clock Input, positive edge triggered
6	V <sub>DD</sub>	Positive power supply, specified for operation at both +3 V and +5 V.
7	W1	Wiper RDAC, addr = 00 <sub>2</sub>
8	A1	Terminal A RDAC

## AD8402 PIN DESCRIPTIONS

Pin	Name	Description
1	AGND	Analog Ground*
2	B2	Terminal B RDAC #2
3	A2	Terminal A RDAC #2
4	W2	Wiper RDAC #2, Addr = 01 <sub>2</sub>
5	DGND	Digital Ground*
6	$\overline{\text{SHDN}}$	Terminal A open circuit. Shutdown controls Variable Resistors #1 and #2
7	$\overline{\text{CS}}$	Chip Select Input, Active Low. When $\overline{\text{CS}}$ returns high data in the serial input register is decoded based on the address bits and loaded into the target DAC register.
8	SDI	Serial Data Input
9	CLK	Serial Clock Input, positive edge triggered
10	$\overline{\text{RS}}$	Active low reset to midscale; sets RDAC registers to 80 <sub>H</sub>
11	V <sub>DD</sub>	Positive power supply, specified for operation at both +3 V and +5 V
12	W1	Wiper RDAC #1, addr = 00 <sub>2</sub>
13	A1	Terminal A RDAC #1
14	B1	Terminal B RDAC #1

\*All AGNDs must be connected to DGND.

## AD8403 PIN DESCRIPTIONS

Pin	Name	Description
1	AGND2	Analog Ground #2*
2	B2	Terminal B RDAC #2
3	A2	Terminal A RDAC #2
4	W2	Wiper RDAC #2, addr = 01 <sub>2</sub>
5	AGND4	Analog Ground #4*
6	B4	Terminal B RDAC #4
7	A4	Terminal A RDAC #4
8	W4	Wiper RDAC #4, addr = 11 <sub>2</sub>
9	DGND	Digital Ground*
10	$\overline{\text{SHDN}}$	Active Low Input. Terminal A open circuit. Shutdown controls variable resistors #1 through #4
11	$\overline{\text{CS}}$	Chip Select Input, Active Low. When $\overline{\text{CS}}$ returns high data in the serial input register is decoded based on the address bits and loaded into the target DAC register.
12	SDI	Serial Data Input
13	SDO	Serial Data Output, Open Drain transistor requires pull-up resistor
14	CLK	Serial Clock Input, positive edge triggered
15	$\overline{\text{RS}}$	Active low reset to midscale; sets RDAC registers to 80 <sub>H</sub>
16	V <sub>DD</sub>	Positive power supply, specified for operation at both +3 V and +5 V
17	AGND3	Analog Ground #3*
18	W3	Wiper RDAC #3, addr = 10 <sub>2</sub>
19	A3	Terminal A RDAC #3
20	B3	Terminal B RDAC #3
21	AGND1	Analog Ground #1*
22	W1	Wiper RDAC #1, addr = 00 <sub>2</sub>
23	A1	Terminal A RDAC #1
24	B1	Terminal B RDAC #1

\*All AGNDs must be connected to DGND.

## FEATURES

- **Tiny: 8 DACs in the Board Space of an SO-8**
- **Micropower: 56 $\mu$ A per DAC Plus 1 $\mu$ A Sleep Mode for Extended Battery Life**
- **Pin Compatible 8-Bit LTC1665 and 10-Bit LTC1660**
- **Wide 2.7V to 5.5V Supply Range**
- **Rail-to-Rail Voltage Outputs Drive 1000pF**
- **Reference Range Includes Supply for Ratiometric 0V-to- $V_{CC}$  Output**
- **Reference Input Impedance is Constant—Eliminates External Buffer**

## DESCRIPTION

The 8-bit LTC<sup>®</sup>1665 and 10-bit LTC1660 integrate eight accurate, serially addressable digital-to-analog converters (DACs) in tiny 16-pin narrow SSOP packages. Each buffered DAC draws just 56 $\mu$ A total supply current, yet is capable of supplying DC output currents in excess of 5mA and reliably driving capacitive loads to 1000pF. Sleep mode further reduces total supply current to 1 $\mu$ A.

Linear Technology's proprietary, inherently monotonic voltage interpolation architecture provides excellent linearity while allowing for an exceptionally small external form factor.

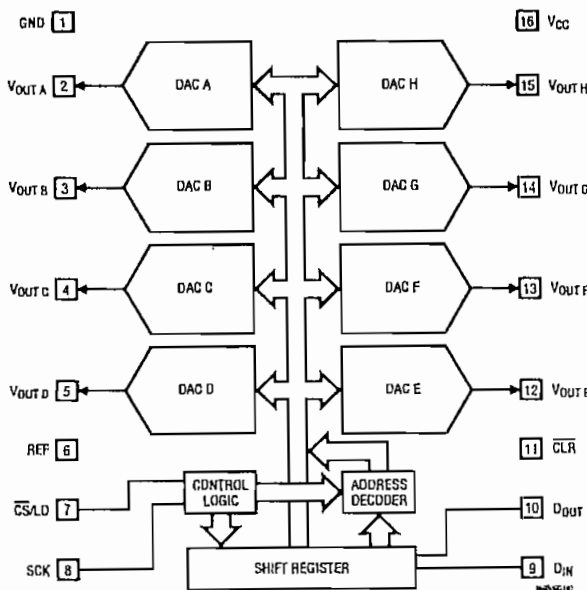
Ultralow supply current, power-saving Sleep mode and extremely compact size make the LTC1665 and LTC1660 ideal for battery-powered applications, while their ease of use, high performance and wide supply range make them excellent choices as general purpose converters.

LT, LTC and LT are registered trademarks of Linear Technology Corporation.

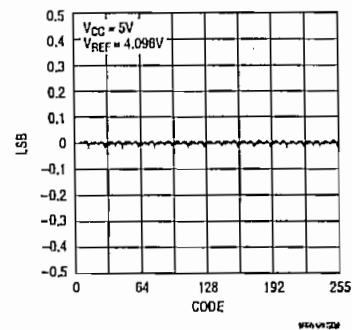
## APPLICATIONS

- Mobile Communications
- Remote Industrial Devices
- Automatic Calibration for Manufacturing
- Portable Battery-Powered Instruments
- Trim/Adjust Applications

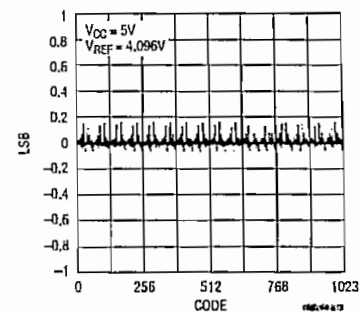
## BLOCK DIAGRAM



LTC1665 Differential Nonlinearity (DNL)



LTC1660 Differential Nonlinearity (DNL)



# LTC1665/LTC1660

## ABSOLUTE MAXIMUM RATINGS

(Note 1)

$V_{CC}$ to GND	-0.2V to 7.5V
Logic Inputs to GND	-0.2V to 7.5V
$V_{OUT A}, V_{OUT B} \dots V_{OUT H}$	
REF to GND	-0.2V to ( $V_{CC} + 0.2V$ )
Maximum Junction Temperature	125°C
Operating Temperature Range	
LTC1665C/LTC1660C	0°C to 70°C
LTC1665I/LTC1660I	-40°C to 85°C
Storage Temperature Range	-65°C to 150°C
Lead Temperature (Soldering, 10 sec)	300°C

## PACKAGE/ORDER INFORMATION

<p>GN PACKAGE 16-LEAD PLASTIC SSSDP</p> <p>N PACKAGE 16-LEAD PDIP</p> <p><math>T_{JMAX} = 125^{\circ}C, \theta_{JA} = 150^{\circ}C/W</math> (GN) <math>T_{JMAX} = 125^{\circ}C, \theta_{JA} = 100^{\circ}C/W</math> (N)</p>	ORDER PART NUMBER
	LTC1665CGN LTC1665CN LTC1665IGN LTC1665IN LTC1660CGN LTC1660CN LTC1660IGN LTC1660IN
	GN PART MARKING
	1665    1660 1665I   1660I

Consult factory for Military grade parts.

## ELECTRICAL CHARACTERISTICS

The ● denotes specifications which apply over the full operating temperature range, otherwise specifications are at  $T_A = 25^{\circ}C$ .  $V_{CC} = 2.7V$  to  $5.5V$ ,  $V_{REF} \leq V_{CC}$ ,  $V_{OUT}$  unloaded, unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS	LTC1665			LTC1660			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
<b>Accuracy</b>									
	Resolution		●	8			10		Bits
	Monotonicity	$V_{REF} \leq V_{CC} - 0.1V$ (Note 2)	●	8			10		Bits
DNL	Differential Nonlinearity	$V_{REF} \leq V_{CC} - 0.1V$ (Note 2)	●		$\pm 0.1$	$\pm 0.5$	$\pm 0.2$	$\pm 0.75$	LSB
INL	Integral Nonlinearity	$V_{REF} \leq V_{CC} - 0.1V$ (Note 2)	●		$\pm 0.2$	$\pm 1.0$	$\pm 0.6$	$\pm 2.5$	LSB
$V_{OS}$	Offset Error	(Note 7)	●		$\pm 10$	$\pm 30$	$\pm 10$	$\pm 30$	mV
	$V_{OS}$ Temperature Coefficient		●		$\pm 15$		$\pm 15$		$\mu V/^{\circ}C$
FSE	Full-Scale Error	$V_{CC} = 5V, V_{REF} = 4.096V$	●		$\pm 1$	$\pm 4$	$\pm 3$	$\pm 15$	LSB
	Full-Scale Error Temperature Coefficient		●		$\pm 30$		$\pm 30$		$\mu V/^{\circ}C$
PSR	Power Supply Rejection	$V_{REF} = 2.5V$			0.045		0.18		LSB/V

The ● denotes specifications which apply over the full operating temperature range, otherwise specifications are at  $T_A = 25^{\circ}C$ .  $V_{CC} = 2.7V$  to  $5.5V$ ,  $V_{REF} \leq V_{CC}$ ,  $V_{OUT}$  unloaded, unless otherwise noted.

SYMBOL	PARAMETER	CONDITONS	MIN	TYP	MAX	UNITS	
<b>Reference Input</b>							
	Input Voltage Range		●	0	$V_{CC}$	V	
	Resistance	Not in Sleep Mode	●	35	65	k $\Omega$	
	Capacitance	(Note 6)		15		pF	
$I_{REF}$	Reference Current	Sleep Mode	●	0.001	1	$\mu A$	
<b>Power Supply</b>							
$V_{CC}$	Positive Supply Voltage	For Specified Performance	●	2.7	5.5	V	
$I_{CC}$	Supply Current	$V_{CC} = 5V$ (Note 3)	●		450	730	$\mu A$
		$V_{CC} = 3V$ (Note 3)	●		340	550	$\mu A$
		Sleep Mode (Note 3)	●		1	3	$\mu A$

**TIMING CHARACTERISTICS** The ● denotes specifications which apply over the full operating temperature range, otherwise specifications are at  $T_A = 25^\circ\text{C}$ . (See Figure 1)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$t_6$	LSB SCK High to $\overline{\text{CS/LD}}$ High	(Note 6)	● 50	5		ns
$t_7$	$\overline{\text{CS/LD}}$ Low to SCK High	(Note 6)	● 100	27		ns
$t_8$	$D_{\text{OUT}}$ Propagation Delay	$C_{\text{LOAD}} = 15\text{pF}$ (Note 6)	● 5	47	150	ns
$t_9$	SCK Low to $\overline{\text{CS/LD}}$ Low	(Note 6)	● 30	0		ns
$t_{10}$	CLR Pulse Width	(Note 6)	● 120	41		ns
$t_{11}$	$\overline{\text{CS/LD}}$ High to SCK Positive Edge	(Note 6)	● 30	0		ns
	SCK Frequency	Continuous Square Wave (Note 6)	●		3.85	MHz
		Continuous 28% Duty Cycle Pulse	●		5.55	MHz
		Gated Square Wave	●		10	MHz

**Note 1:** Absolute maximum ratings are those values beyond which the life of a device may be impaired.

**Note 2:** Nonlinearity and monotonicity are defined from code 4 to code 255 for the LTC1665 and from code 20 to code 1023 for the LTC1660. See Applications Information.

**Note 3:** Digital inputs at 0V or  $V_{\text{CC}}$ .

**Note 4:** Load is 10k $\Omega$  in parallel with 100pF.

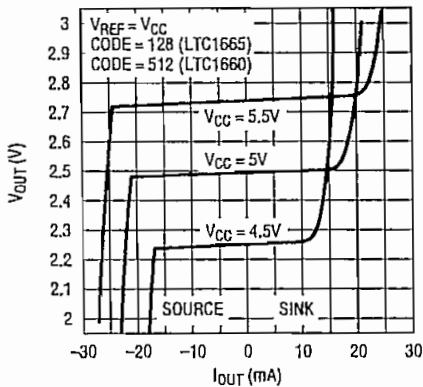
**Note 5:**  $V_{\text{CC}} = V_{\text{REF}} = 5\text{V}$ . DAC switched between 0.1 $V_{\text{FS}}$  and 0.9 $V_{\text{FS}}$ , i.e., codes 26 and 230 for the LTC1665 or codes 102 and 922 for the LTC1660.

**Note 6:** Guaranteed by design and not production tested.

**Note 7:** Measured at code 4 for the LTC1665 and code 20 for the LTC1660.

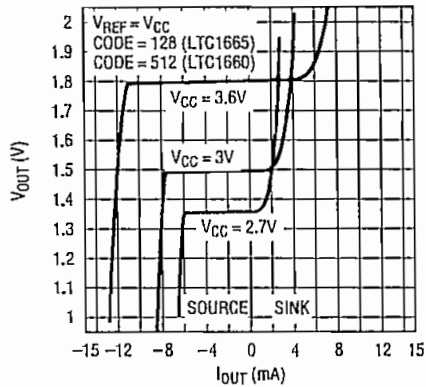
**TYPICAL PERFORMANCE CHARACTERISTICS (LTC1665/LTC1660)**

Midscale Output Voltage vs Load Current



1665 50 011

Midscale Output Voltage vs Load Current



1166 40 002

## TIMING DIAGRAM

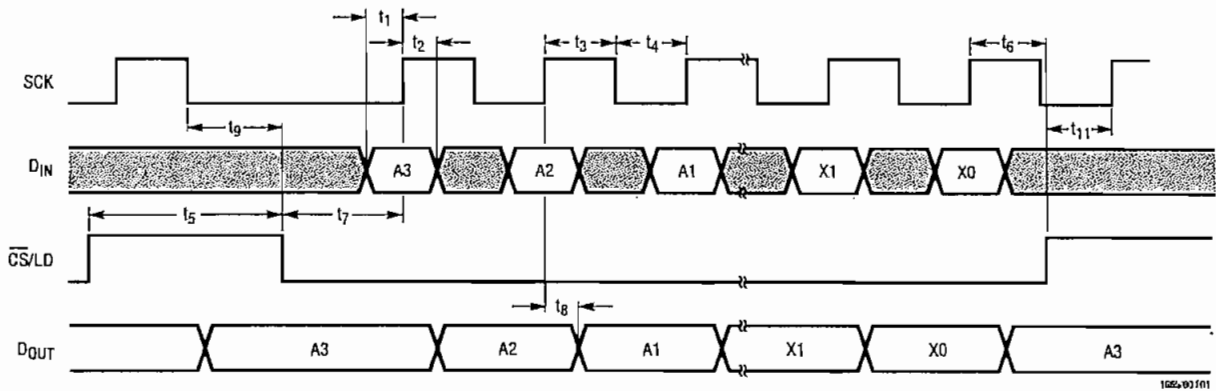


Figure 1

## OPERATION

## Transfer Function

The transfer function is

$$V_{\text{OUT(IDEAL)}} = \left( \frac{k}{256} \right) V_{\text{REF}} \text{ for the LTC1665}$$

$$V_{\text{OUT(IDEAL)}} = \left( \frac{k}{1024} \right) V_{\text{REF}} \text{ for the LTC1660}$$

where  $k$  is the decimal equivalent of the binary DAC input code and  $V_{\text{REF}}$  is the voltage at REF (Pin 6).

## Power-On Reset

The LTC1665 clears the outputs to zero scale when power is first applied, making system initialization consistent and repeatable.

## Power Supply Sequencing

The voltage at REF (Pin 6) should be kept within the range  $-0.2\text{V} \leq V_{\text{REF}} \leq V_{\text{CC}} + 0.2\text{V}$  (see Absolute Maximum Ratings). Particular care should be taken to observe these limits during power supply turn-on and turn-off sequences, when the voltage at  $V_{\text{CC}}$  (Pin 16) is in transition.

## Serial Interface

Referring to Figure 2a (2b): With  $\overline{\text{CS/LD}}$  held low, data on the  $D_{\text{IN}}$  input is shifted into the 16-bit shift register on the positive edge of SCK. The 4-bit DAC address, A3-A0, is loaded first (see Table 2), then the 8-bit (10-bit) input code, D7-D0 (D9-D0), ordered MSB-to-LSB in each case. Four (two) don't-care bits, X3-X0 (X1-X0), are loaded last. When the full 16-bit input word has been shifted in,  $\overline{\text{CS/LD}}$  is pulled high, loading the DAC register with the word and causing the addressed DAC output(s) to update. The clock is disabled internally when  $\overline{\text{CS/LD}}$  is high. Note: SCK must be low before  $\overline{\text{CS/LD}}$  is pulled low.

The buffered serial output of the shift register is available on the  $D_{\text{OUT}}$  pin, which swings from GND to  $V_{\text{CC}}$ . Data appears on  $D_{\text{OUT}}$  16 positive SCK edges after being applied to  $D_{\text{IN}}$ .

Multiple LTC1665/LTC1660's can be controlled from a single 3-wire serial port (i.e., SCK,  $D_{\text{IN}}$  and  $\overline{\text{CS/LD}}$ ) by using the included "daisy-chain" facility. A series of  $m$  chips is configured by connecting each  $D_{\text{OUT}}$  (except the last) to  $D_{\text{IN}}$  of the next chip, forming a single  $16m$ -bit shift register. The SCK and  $\overline{\text{CS/LD}}$  signals are common to all

**OPERATION**

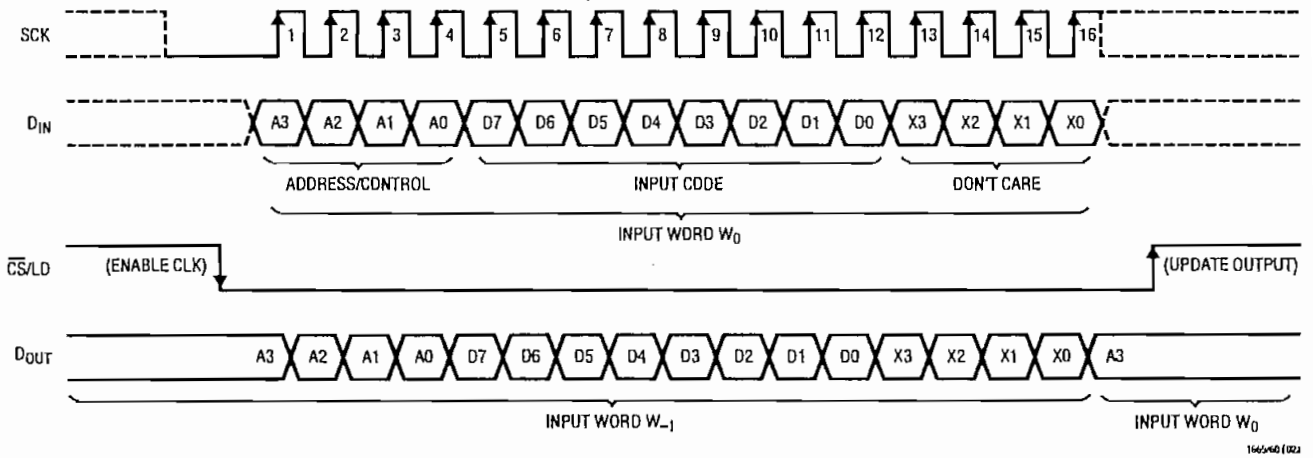


Figure 2a. LTC1665 Register Loading Sequence

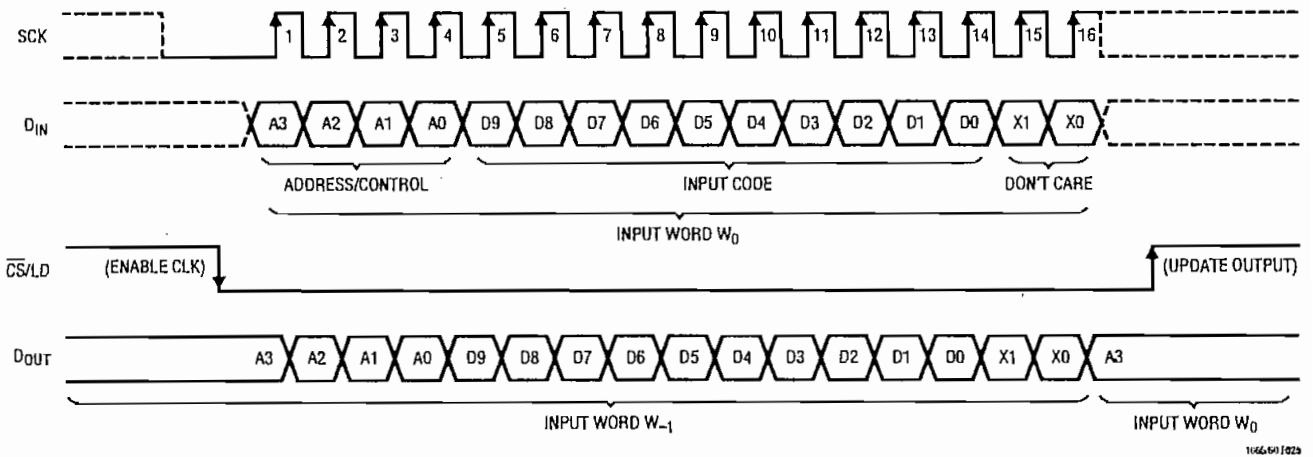


Figure 2b. LTC1660 Register Loading Sequence

Table 1a. LTC1665 Input Word

A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0	X3	X2	X1	X0
Address/Control				Input Code								Don't Care			

Table 1b. LTC1660 Input Word

A3	A2	A1	A0	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X1	X0
Address/Control				Input Code											Don't Care

chips in the chain. In use,  $\overline{CS/LD}$  is held low while  $m$  16-bit words are clocked to  $D_{IN}$  of the first chip;  $\overline{CS/LD}$  is then pulled high, updating all of them simultaneously.

**Sleep Mode**

DAC address  $1110_b$  is reserved for the special Sleep instruction (see Table 2). In this mode, the digital interface stays active while the analog circuits are disabled; static power consumption is thus virtually eliminated. The reference input and analog outputs are set in a high impedance

## OPERATION

Table 2. DAC Address/Control Functions

ADDRESS/CONTROL				DAC STATUS	SLEEP STATUS
A3	A2	A1	A0		
0	0	0	0	No Change	Wake
0	0	0	1	Load DAC A	Wake
0	0	1	0	Load DAC B	Wake
0	0	1	1	Load DAC C	Wake
0	1	0	0	Load DAC D	Wake
0	1	0	1	Load DAC E	Wake
0	1	1	0	Load DAC F	Wake
0	1	1	1	Load DAC G	Wake
1	0	0	0	Load DAC H	Wake
1	0	0	1	No Change	Wake
1	0	1	0	No Change	Wake
1	0	1	1	No Change	Wake
1	1	0	0	No Change	Wake
1	1	0	1	No Change	Wake
1	1	1	0	<b>No Change</b>	<b>Sleep</b>
1	1	1	1	Load <b>ALL</b> DACs with Same 8/10-Bit Code	Wake

state and all DAC settings are retained in memory so that when Sleep mode is exited, the outputs of DACs not updated by the Wake command are restored to their last active state.

Sleep mode is initiated by performing a load sequence to address  $1110_b$  (the DAC input word D7-D0 [D9-D0] is ignored). Once in Sleep mode, a load sequence to any other address (including "No Change" addresses  $0000_b$  and  $1001-1101_b$ ) causes the LTC1665/LTC1660 to Wake. It is possible to keep one or more chips of a daisy chain in continuous Sleep mode by giving the Sleep instruction to these chips each time the active chips in the chain are updated.

### Voltage Outputs

Each of the eight rail-to-rail output amplifiers contained in these parts can source or sink up to 5mA. The outputs swing to within a few millivolts of either supply rail when unloaded and have an equivalent output resistance of  $85\Omega$  when driving a load to the rails. The output amplifiers are stable driving capacitive loads up to 1000pF.

A small resistor placed in series with the output can be used to achieve stability for any load capacitance. A  $1\mu\text{F}$  load can be successfully driven by inserting a  $20\Omega$  resistor; a  $2.2\mu\text{F}$  load needs only a  $10\Omega$  resistor. In either case, larger values of resistance, capacitance or both may be safely substituted for the values given.

### Rail-to-Rail Output Considerations

In any rail-to-rail output voltage DAC, the output is limited to voltages within the supply range.

If the DAC offset is negative, the output for the lowest codes limits at 0V as shown in Figure 3b.

Similarly, limiting can occur near full scale when the REF pin is tied to  $V_{CC}$ . If  $V_{REF} = V_{CC}$  and the DAC full-scale error (FSE) is positive, the output for the highest codes limits at  $V_{CC}$  as shown in Figure 3c. No full-scale limiting can occur if  $V_{REF}$  is less than  $V_{CC} - \text{FSE}$ .

Offset and linearity are defined and tested over the region of the DAC transfer function where no output limiting can occur.

## **ANEXO B**

### **HOJAS DE DATOS DE LA MEMORIA FIFO 72V05**





# 3.3 VOLT CMOS ASYNCHRONOUS FIFO

512 x 9, 1,024 x 9,  
2,048 x 9, 4,096 x 9,  
8,192 x 9, 16,384 x 9

IDT72V01  
IDT72V02  
IDT72V03  
IDT72V04  
IDT72V05  
IDT72V06

## FEATURES:

- 3.3V family uses less power than the 5 Volt 7201/7202/7203/7204/7205/7206 family
- 512 x 9 organization (72V01)
- 1,024 x 9 organization (72V02)
- 2,048 x 9 organization (72V03)
- 4,096 x 9 organization (72V04)
- 8,192 x 9 organization (72V05)
- 16,384 x 9 organization (72V06)
- Functionally compatible with 720x family
- Low-power consumption
  - Active: 180 mW (max.)
  - Power-down: 18 mW (max.)
- 15 ns access time
- Asynchronous and simultaneous read and write
- Fully expandable by both word depth and/or bit width
- Status Flags: Empty, Half-Full, Full
- Auto-retransmit capability
- Available in 32-pin PLCC
- Industrial temperature range (-40°C to +85°C) is available

## DESCRIPTION:

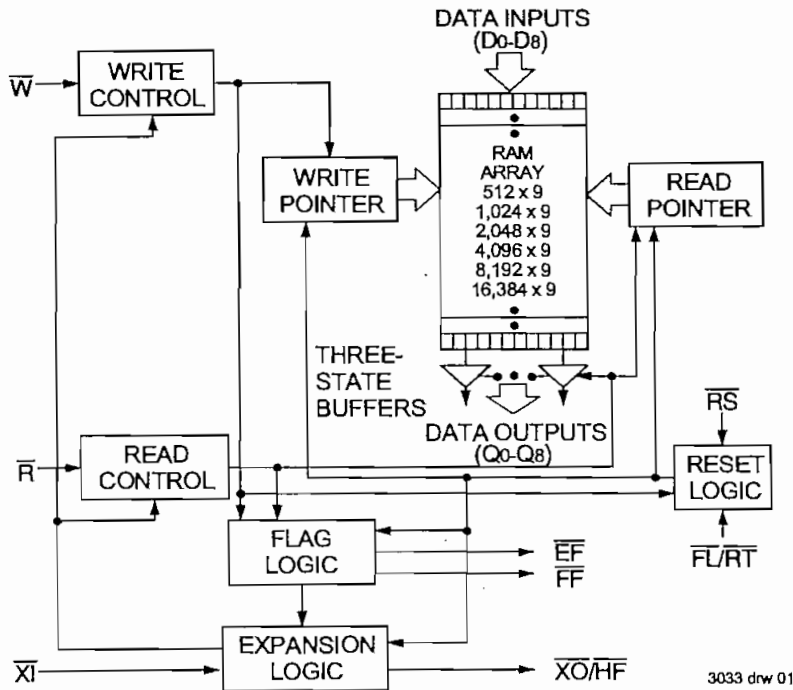
The IDT72V01/72V02/72V03/72V04/72V05/72V06 are dual-port FIFO memories that operate at a power supply voltage ( $V_{CC}$ ) between 3.0V and 3.6V. Their architecture, functional operation and pin assignments are identical to those of the IDT7201/7202/7203/7204/7205/7206. These devices load and empty data on a first-in/first-out basis. They use Full and Empty flags to prevent data overflow and underflow and expansion logic to allow for unlimited expansion capability in both word size and depth.

The reads and writes are internally sequential through the use of ring pointers, with no address information required to load and unload data. Data is toggled in and out of the devices through the use of the Write ( $\bar{W}$ ) and Read ( $\bar{R}$ ) pins. The devices have a maximum data access time as fast as 25 ns.

The devices utilize a 9-bit wide data array to allow for control and parity bits at the user's option. This feature is especially useful in data communications applications where it is necessary to use a parity bit for transmission/reception error checking. They also feature a Retransmit ( $\bar{RT}$ ) capability that allows for reset of the read pointer to its initial position when  $\bar{RT}$  is pulsed LOW to allow for retransmission from the beginning of data. A Half-Full Flag is available in the single device mode and width expansion modes.

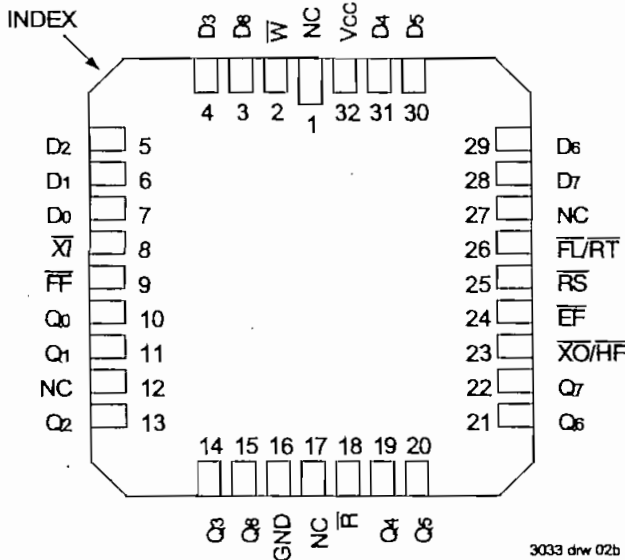
These FIFOs are fabricated using IDT's high-speed CMOS technology. It has been designed for those applications requiring asynchronous and simultaneous read/writes in multiprocessing and rate buffer applications.

## FUNCTIONAL BLOCK DIAGRAM



August 1999

**PIN CONFIGURATION**



PLCC (J32-1, order code: J)  
TOP VIEW

3033 drw 02b

**ABSOLUTE MAXIMUM RATINGS**

Symbol	Rating	Com'l & Ind'l	Unit
VTERM	Terminal Voltage with Respect to GND	-0.5 to +7.0	V
TSTG	Storage Temperature	-55 to +125	°C
IOUT	DC Output Current	-50 to +50	mA

**NOTE:**

1. Stresses greater than those listed under ABSOLUTE MAXIMUM RATINGS may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect reliability.

**RECOMMENDED DC OPERATING CONDITIONS**

Symbol	Rating	Min.	Typ.	Max.	Unit
VCC	Supply Voltage	3.0	3.3	3.6	V
GND	Supply Voltage	0	0	0	V
V <sub>IH</sub> <sup>(1)</sup>	Input High Voltage	2.0	—	V <sub>CC</sub> +0.5	V
V <sub>IL</sub> <sup>(2)</sup>	Input Low Voltage	—	—	0.8	V
T <sub>A</sub>	Operating Temperature Commercial	0	—	70	°C
T <sub>A</sub>	Operating Temperature Industrial	-40	—	85	°C

**NOTES:**

- For RT/RS/XI input, V<sub>IH</sub> = 2.6V (commercial). For RT/RS/XI input, V<sub>IH</sub> = 2.8V (military).
- 1.5V undershoots are allowed for 10ns once per cycle.

**DC ELECTRICAL CHARACTERISTICS**

(Commercial: VCC = 3.3V ± 0.3V, TA = 0°C to +70°C; Industrial: VCC = 3.3V ± 0.3V, TA = -40°C to +85°C)

Symbol	Parameter	IDT72V01 IDT72V02 IDT72V03 IDT72V04 IDT72V05 Com'l & Ind'l <sup>(1)</sup> t <sub>A</sub> = 15, 25, 35 ns		IDT72V06 Com'l & Ind'l <sup>(1)</sup> t <sub>A</sub> = 15, 25, 35 ns		Unit
		Min.	Max.	Min.	Max.	
I <sub>I</sub> <sup>(2)</sup>	Input Leakage Current (Any Input)	-1	1	-1	1	μA
I <sub>LO</sub> <sup>(3)</sup>	Output Leakage Current	-10	10	-10	10	μA
V <sub>OH</sub>	Output Logic "1" Voltage I <sub>OH</sub> = -2mA	2.4	—	2.4	—	V
V <sub>OL</sub>	Output Logic "0" Voltage I <sub>OL</sub> = 8mA	—	0.4	—	0.4	V
I <sub>CC1</sub> <sup>(4,5)</sup>	Active Power Supply Current	—	50	—	65	mA
I <sub>CC2</sub> <sup>(4,6)</sup>	Standby Current (R=W=RS=FL/RT=V <sub>IH</sub> )	—	5	—	5	mA

**NOTES:**

- Industrial temperature range product for the 25ns speed grade is available as a standard device and by special order for the 15ns speed grade.
- Measurements with 0.4 ≤ V<sub>IH</sub> ≤ V<sub>CC</sub>.
- R ≥ V<sub>IH</sub>, 0.4 ≤ V<sub>OUT</sub> ≤ V<sub>CC</sub>.
- Tested with outputs open (I<sub>OUT</sub> = 0).
- Tested at f = 20 MHz.
- All Inputs = V<sub>CC</sub> - 0.2V or GND + 0.2V.

**CAPACITANCE** (TA = +25°C, f = 1.0 MHz)

Symbol	Parameter <sup>(1)</sup>	Condition	Max.	Unit
C <sub>IN</sub>	Input Capacitance	V <sub>IN</sub> = 0V	8	pF
C <sub>OUT</sub>	Output Capacitance	V <sub>OUT</sub> = 0V	8	pF

**NOTE:**

- Characterized values, not currently tested.

**AC ELECTRICAL CHARACTERISTICS<sup>(1)</sup>**

(Commercial: VCC = 3.3V ± 0.3V, TA = 0°C to +70°C; Industrial: VCC = 3.3V ± 0.3V, TA = -40°C to +85°C)

Symbol	Parameter	Commercial <sup>(1)</sup>		Com1 and Ind1		Commercial		Unit
		Min.	Max.	Min.	Max.	Min.	Max.	
fS	Shift Frequency	—	50	—	28.5	—	22.2	MHz
tRC	Read Cycle Time	20	—	35	—	45	—	ns
tA	Access Time	—	12	—	25	—	35	ns
tRR	Read Recovery Time	8	—	10	—	10	—	ns
tRPW	Read Pulse Width <sup>(3)</sup>	12	—	25	—	35	—	ns
tRLZ	Read Pulse Low to Data Bus at Low Z <sup>(4)</sup>	3	—	3	—	3	—	ns
tWLZ	Write Pulse High to Data Bus at Low Z <sup>(4,5)</sup>	5	—	5	—	5	—	ns
tDV	Data Valid from Read Pulse High	5	—	5	—	5	—	ns
tRHZ	Read Pulse High to Data Bus at High Z <sup>(4)</sup>	—	12	—	18	—	20	ns
tWC	Write Cycle Time	20	—	35	—	45	—	ns
tWPW	Write Pulse Width <sup>(3)</sup>	12	—	25	—	35	—	ns
tWR	Write Recovery Time	8	—	10	—	10	—	ns
tDS	Data Setup Time	9	—	15	—	18	—	ns
tDH	Data Hold Time	0	—	0	—	0	—	ns
tRSC	Reset Cycle Time	20	—	35	—	45	—	ns
tRS	Reset Pulse Width <sup>(3)</sup>	12	—	25	—	35	—	ns
tRSS	Reset Setup Time <sup>(4)</sup>	12	—	25	—	35	—	ns
tRSR	Reset Recovery Time	8	—	10	—	10	—	ns
tRTC	Retransmit Cycle Time	20	—	35	—	45	—	ns
tRT	Retransmit Pulse Width <sup>(3)</sup>	12	—	25	—	35	—	ns
tRTS	Retransmit Setup Time <sup>(4)</sup>	12	—	25	—	35	—	ns
tRTR	Retransmit Recovery Time	8	—	10	—	10	—	ns
tEFL	Reset to Empty Flag Low	—	12	—	35	—	45	ns
tHFH,FFH	Reset to Half-Full and Full Flag High	—	17	—	35	—	45	ns
tRTF	Retransmit Low to Flags Valid	—	20	—	35	—	45	ns
tREF	Read Low to Empty Flag Low	—	12	—	25	—	30	ns
tRFF	Read High to Full Flag High	—	14	—	25	—	30	ns
tRPE	Read Pulse Width after EF High	12	—	25	—	35	—	ns
tWEF	Write High to Empty Flag High	—	12	—	25	—	30	ns
tWFF	Write Low to Full Flag Low	—	14	—	25	—	30	ns
tWHF	Write Low to Half-Full Flag Low	—	17	—	35	—	45	ns
tRHF	Read High to Half-Full Flag High	—	17	—	35	—	45	ns
tWPF	Write Pulse Width after FF High	12	—	25	—	35	—	ns
tXOL	Read/Write to X0 Low	—	12	—	25	—	35	ns
tXOH	Read/Write to X0 High	—	12	—	25	—	35	ns
tXI	XI Pulse Width <sup>(3)</sup>	12	—	25	—	35	—	ns
tXOR	XI Recovery Time	8	—	10	—	10	—	ns
tXIS	XI Setup Time	8	—	10	—	10	—	ns

**NOTES:**

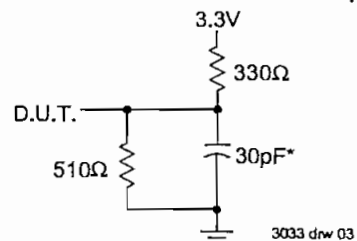
1. Industrial temperature range product is available by special order for the 15ns speed grade.
2. Timings referenced as in AC Test Conditions.
3. Pulse widths less than minimum value are not allowed.
4. Values guaranteed by design, not currently tested.
5. Only applies to read data flow-through mode.

2679 04 06

**AC TEST CONDITIONS**

Input Pulse Levels	GND to 3.0V
Input Rise/Fall Times	5ns
Input Timing Reference Levels	1.5V
Output Reference Levels	1.5V
Output Load	See Figure 1

2679 04 08



or equivalent circuit

Figure 1. Output Load

\* Includes scope and jig capacitances.

## SIGNAL DESCRIPTIONS

### INPUTS:

#### DATA IN (D<sub>0</sub> – D<sub>8</sub>)

Data inputs for 9-bit wide data.

### CONTROLS:

#### RESET ( $\overline{RS}$ )

Reset is accomplished whenever the Reset ( $\overline{RS}$ ) input is taken to a LOW state. During reset, both internal read and write pointers are set to the first location. A reset is required after power up before a write operation can take place. **Both the Read Enable ( $\overline{R}$ ) and Write Enable ( $\overline{W}$ ) inputs must be in the HIGH state during the window shown in Figure 2, (i.e., t<sub>RSR</sub> before the rising edge of  $\overline{RS}$ ) and should not change until t<sub>RSR</sub> after the rising edge of  $\overline{RS}$ . Half-Full Flag ( $\overline{HF}$ ) will be reset to HIGH after Reset ( $\overline{RS}$ ).**

#### WRITE ENABLE ( $\overline{W}$ )

A write cycle is initiated on the falling edge of this input if the Full Flag ( $\overline{FF}$ ) is not set. Data setup and hold times must be adhered to with respect to the rising edge of the Write Enable ( $\overline{W}$ ). Data is stored in the RAM array sequentially and independently of any ongoing read operation.

After half of the memory is filled and at the falling edge of the next write operation, the Half-Full Flag ( $\overline{HF}$ ) will be set to LOW and will remain set until the difference between the write pointer and read pointer is less than or equal to one half of the total memory of the device. The Half-Full Flag ( $\overline{HF}$ ) is then reset by the rising edge of the read operation.

To prevent data overflow, the Full Flag ( $\overline{FF}$ ) will go LOW, inhibiting further write operations. Upon the completion of a valid read operation, the Full Flag ( $\overline{FF}$ ) will go HIGH after t<sub>RF</sub>, allowing a valid write to begin. When the FIFO is full, the internal write pointer is blocked from  $\overline{W}$ , so external changes in  $\overline{W}$  will not affect the FIFO when it is full.

#### READ ENABLE ( $\overline{R}$ )

A read cycle is initiated on the falling edge of the Read Enable ( $\overline{R}$ ) provided the Empty Flag ( $\overline{EF}$ ) is not set. The data is accessed on a First-In/First-Out basis, independent of any ongoing write operations. After Read Enable ( $\overline{R}$ ) goes HIGH, the Data Outputs (Q<sub>0</sub> – Q<sub>8</sub>) will return to a high impedance condition until the next Read operation. When all data has been read from the FIFO, the Empty Flag ( $\overline{EF}$ ) will go LOW, allowing the "final" read cycle but inhibiting further read operations with the data outputs remaining in a high impedance state. Once a valid write operation has been accomplished, the Empty Flag ( $\overline{EF}$ ) will go HIGH after t<sub>WEF</sub> and a valid Read can then begin. When the FIFO is empty, the internal read pointer is blocked from  $\overline{R}$  so external changes in  $\overline{R}$  will not affect the FIFO when it is empty.

#### FIRST LOAD/RETRANSMIT ( $\overline{FL}/\overline{RT}$ )

This is a dual-purpose input. In the Depth Expansion Mode, this pin is grounded to indicate that it is the first loaded (see Operating Modes). In the Single

Device Mode, this pin acts as the retransmit input. The Single Device Mode is initiated by grounding the Expansion In ( $\overline{XI}$ ).

These FIFOs can be made to retransmit data when the Retransmit Enable control ( $\overline{RT}$ ) input is pulsed LOW. A retransmit operation will set the internal read pointer to the first location and will not affect the write pointer. Read Enable ( $\overline{R}$ ) and Write Enable ( $\overline{W}$ ) must be in the HIGH state during retransmit. This feature is useful when less than 512/1,024/2,048/4,096/8,192/16,384 writes are performed between resets. The retransmit feature is not compatible with the Depth Expansion Mode and will affect the Half-Full Flag ( $\overline{HF}$ ), depending on the relative locations of the read and write pointers.

#### EXPANSION IN ( $\overline{XI}$ )

This input is a dual-purpose pin. Expansion In ( $\overline{XI}$ ) is grounded to indicate an operation in the single device mode. Expansion In ( $\overline{XI}$ ) is connected to Expansion Out ( $\overline{XO}$ ) of the previous device in the Depth Expansion or Daisy Chain Mode.

### OUTPUTS:

#### FULL FLAG ( $\overline{FF}$ )

The Full Flag ( $\overline{FF}$ ) will go LOW, inhibiting further write operation, when the write pointer is one location less than the read pointer, indicating that the device is full. If the read pointer is not moved after Reset ( $\overline{RS}$ ), the Full-Flag ( $\overline{FF}$ ) will go LOW after 512/1,024/2,048/4,096/8,192/16,384 writes to the IDT72V01/72V02/72V03/72V04/72V05/72V06.

#### EMPTY FLAG ( $\overline{EF}$ )

The Empty Flag ( $\overline{EF}$ ) will go LOW, inhibiting further read operations, when the read pointer is equal to the write pointer, indicating that the device is empty.

#### EXPANSION OUT/HALF-FULL FLAG ( $\overline{XO}/\overline{HF}$ )

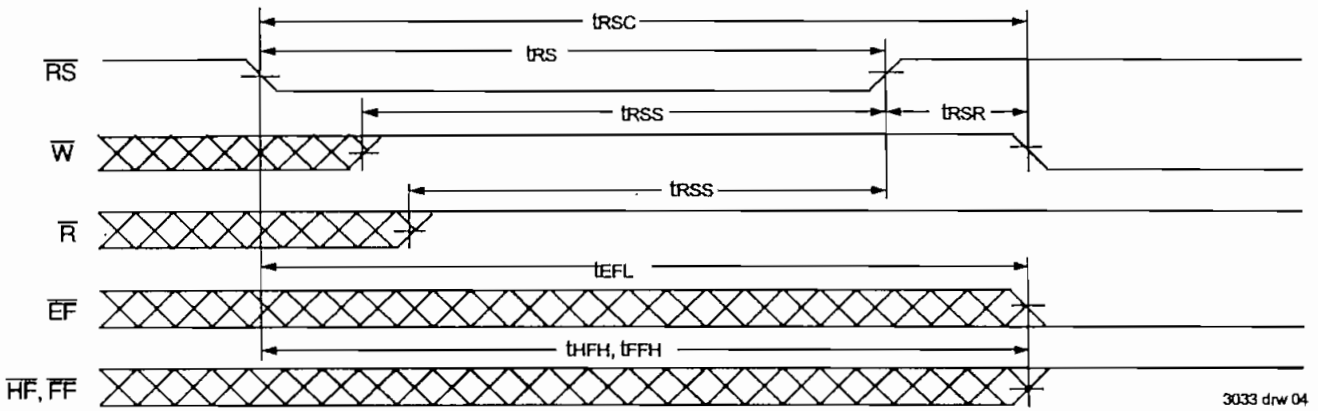
This is a dual-purpose output. In the single device mode, when Expansion In ( $\overline{XI}$ ) is grounded, this output acts as an indication of a half-full memory.

After half of the memory is filled and at the falling edge of the next write operation, the Half-Full Flag ( $\overline{HF}$ ) will be set LOW and will remain set until the difference between the write pointer and read pointer is less than or equal to one half of the total memory of the device. The Half-Full Flag ( $\overline{HF}$ ) is then reset by using rising edge of the read operation.

In the Depth Expansion Mode, Expansion In ( $\overline{XI}$ ) is connected to Expansion Out ( $\overline{XO}$ ) of the previous device. This output acts as a signal to the next device in the Daisy Chain by providing a pulse to the next device when the previous device reaches the last location of memory.

#### DATA OUTPUTS (Q<sub>0</sub> – Q<sub>8</sub>)

Data outputs for 9-bit wide data. This data is in a high impedance condition whenever Read ( $\overline{R}$ ) is in a HIGH state.

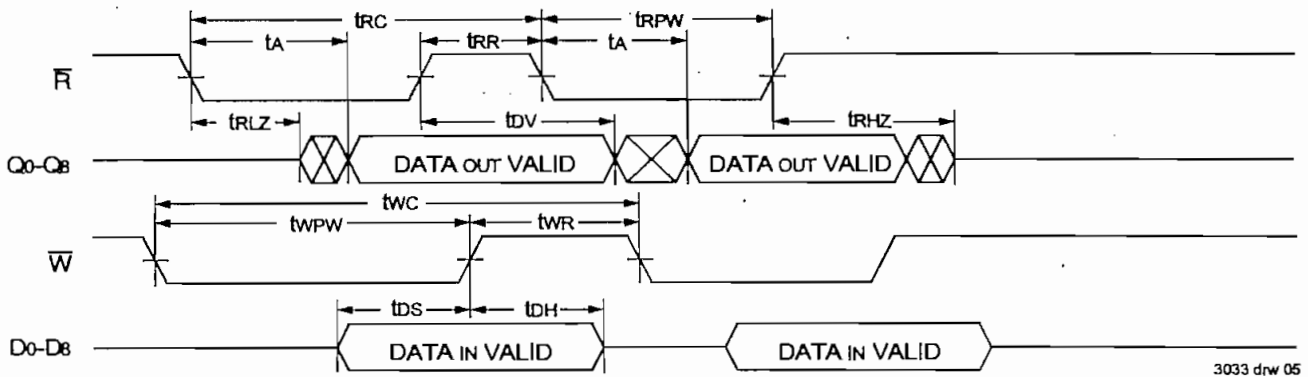


3033 drw 04

NOTES:

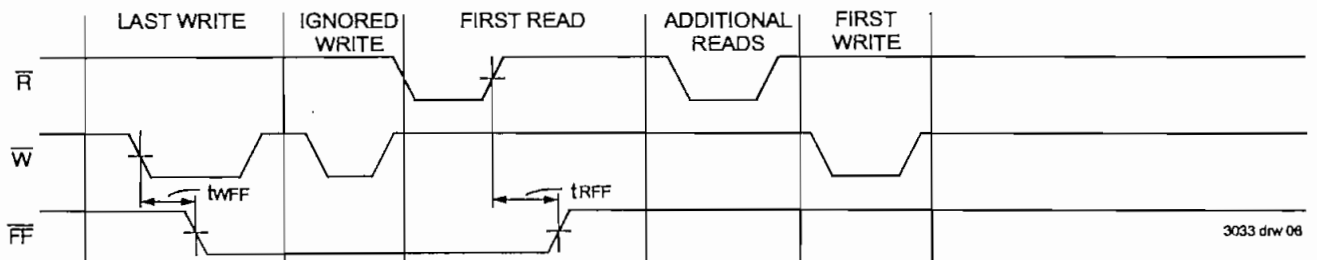
1.  $\overline{EF}$ ,  $\overline{FF}$ ,  $\overline{HF}$  may change status during Reset, but flags will be valid at  $t_{RSC}$ .
2.  $\overline{W}$  and  $\overline{R}$  =  $V_{IH}$  around the rising edge of  $\overline{RS}$ .

Figure 2. Reset



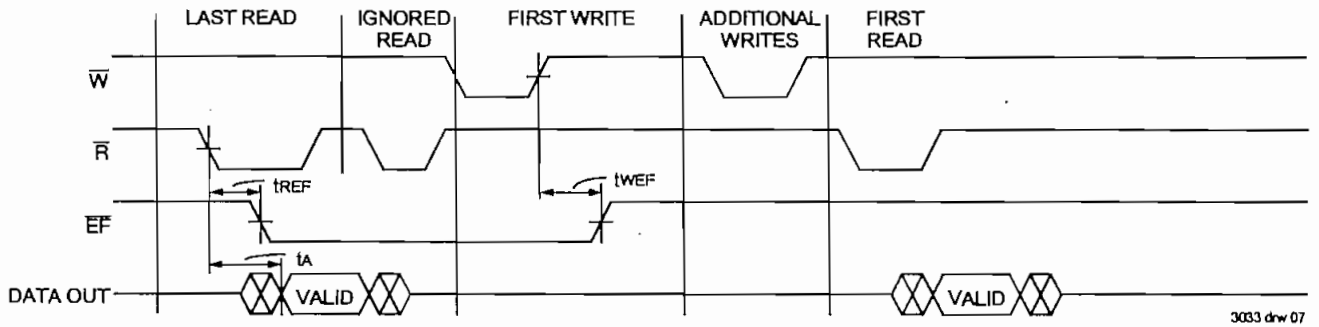
3033 drw 05

Figure 3. Asynchronous Write and Read Operation



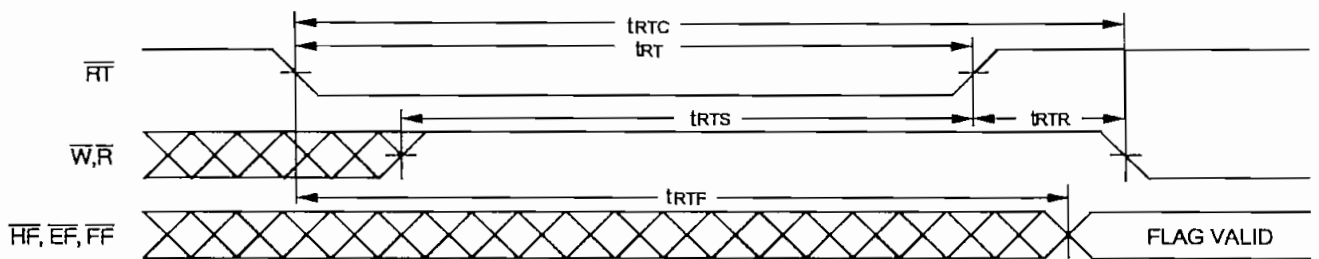
3033 drw 06

Figure 4. Full Flag From Last Write to First Read



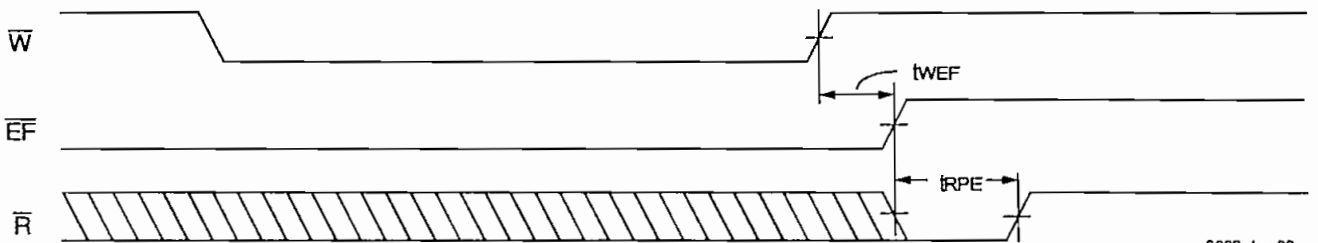
3033 drw 07

Figure 5. Empty Flag From Last Read to First Write



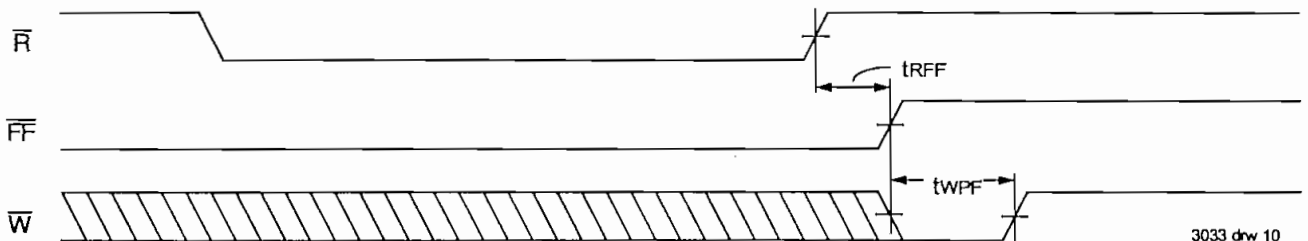
3033 drw 08

Figure 6. Retransmit



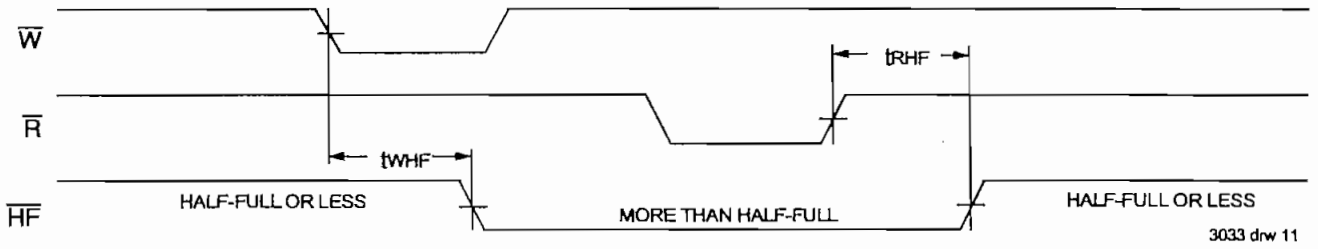
3033 drw 09

Figure 7. Minimum Timing for an Empty Flag Coincident Read Pulse



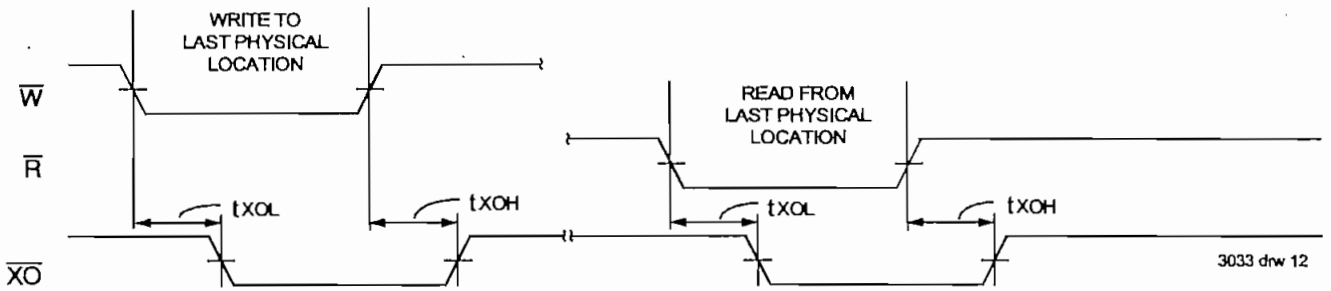
3033 drw 10

Figure 8. Minimum Timing for a Full Flag Coincident Write Pulse



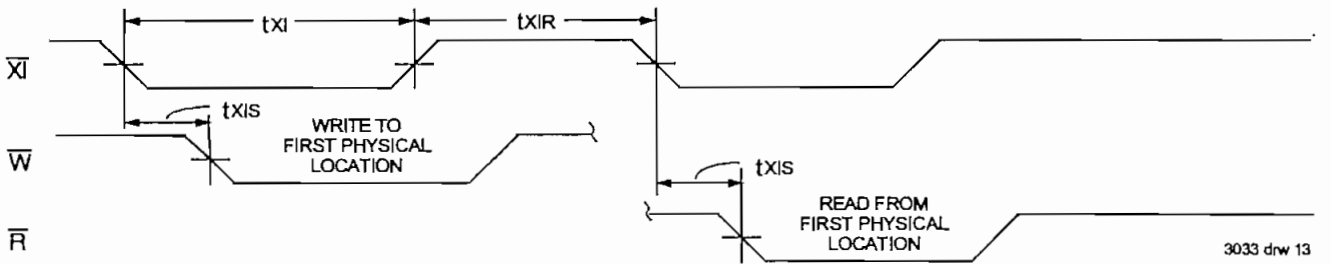
3033 drw 11

Figure 9. Half-Full Flag Timing



3033 drw 12

Figure 10. Expansion Out



3033 drw 13

Figure 11. Expansion In

## OPERATING MODES:

Care must be taken to assure that the appropriate flag is monitored by each system (i.e.  $\overline{FF}$  is monitored on the device where  $\overline{W}$  is used;  $\overline{EF}$  is monitored on the device where  $\overline{R}$  is used). For additional information, refer to Tech Note 8: *Operating FIFOs on Full and Empty Boundary Conditions* and Tech Note 6: *Designing with FIFOs*.

### Single Device Mode

A single IDT72V01/72V02/72V03/72V04/72V05/72V06 may be used when the application requirements are for 512/1,024/2,048/4,096/8,192/16,384 words or less. These devices are in a Single Device Configuration when the Expansion In ( $\overline{XI}$ ) control input is grounded (see Figure 12).

These FIFOs can easily be adapted to applications when the requirements are for greater than 512/1,024/2,048/4,096/8,192/16,384 words. Figure 14 demonstrates Depth Expansion using three IDT72V01/72V02/72V03/72V04/72V05/72V06s. Any depth can be attained by adding additional IDT72V01/72V02/72V03/72V04/72V05/72V06s. These devices operate in the Depth Expansion mode when the following conditions are met:

1. The first device must be designated by grounding the First Load ( $\overline{FL}$ ) control input.
2. All other devices must have  $\overline{FL}$  in the HIGH state.
3. The Expansion Out ( $\overline{XO}$ ) pin of each device must be tied to the Expansion In ( $\overline{XI}$ ) pin of the next device. See Figure 14.
4. External logic is needed to generate a composite Full Flag ( $\overline{FF}$ ) and Empty Flag ( $\overline{EF}$ ). This requires the ORing of all  $\overline{EF}$ s and ORing of all  $\overline{FF}$ s (i.e. all must be set to generate the correct composite  $\overline{FF}$  or  $\overline{EF}$ ). See Figure 14.
5. The Retransmit ( $\overline{RT}$ ) function and Half-Full Flag ( $\overline{HF}$ ) are not available in the Depth Expansion Mode.

For additional information, refer to Tech Note 9: *Cascading FIFOs or FIFO Modules*.

## USAGE MODES:

### Width Expansion

Word width may be increased simply by connecting the corresponding input control signals of multiple devices. Status flags ( $\overline{EF}$ ,  $\overline{FF}$  and  $\overline{HF}$ ) can be detected from any one device. Figure 13 demonstrates an 18-bit word width by using two IDT72V01/72V02/72V03/72V04/72V05/72V06s. Any word width can be attained by adding additional IDT72V01/72V02/72V03/72V04/72V05/72V06s (Figure 13).

### Bidirectional Operation

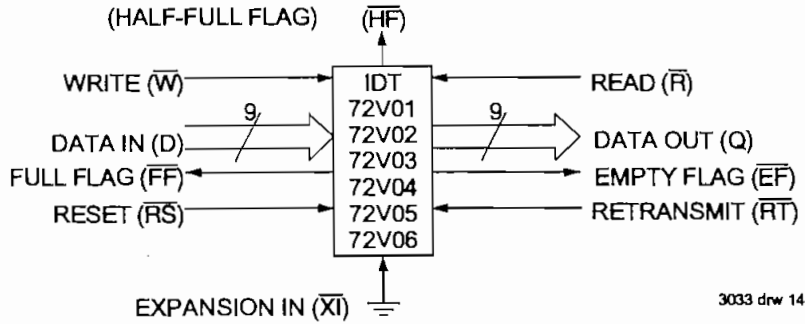
Applications which require data buffering between two systems (each system capable of Read and Write operations) can be achieved by pairing IDT72V01/72V02/72V03/72V04/72V05/72V06s as shown in Figure 16. Both Depth Expansion and Width Expansion may be used in this mode.

### Data Flow-Through

Two types of flow-through modes are permitted, a read flow-through and write flow-through mode. For the read flow-through mode (Figure 17), the FIFO permits a reading of a single word after writing one word of data into an empty FIFO. The data is enabled on the bus in ( $t_{WEF} + t_A$ ) ns after the rising edge of  $\overline{W}$ , called the first write edge, and it remains on the bus until the  $\overline{R}$  line is raised from LOW-to-HIGH, after which the bus would go into a three-state mode after  $t_{RHZ}$  ns. The  $\overline{EF}$  line would have a pulse showing temporary deassertion and then would be asserted.

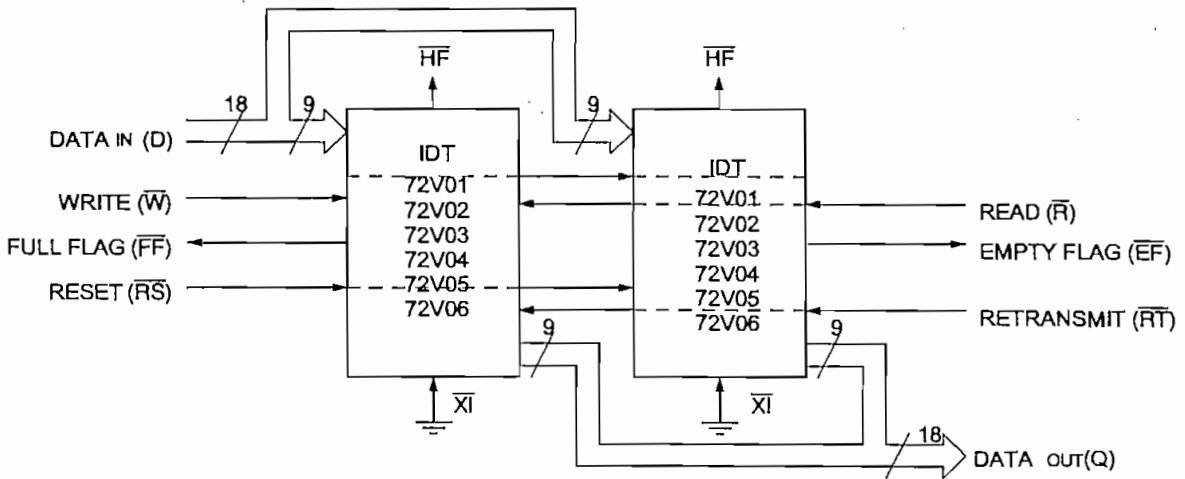
In the write flow-through mode (Figure 18), the FIFO permits the writing of a single word of data immediately after reading one word of data from a full FIFO. The  $\overline{R}$  line causes the  $\overline{FF}$  to be deasserted but the  $\overline{W}$  line being LOW causes it to be asserted again in anticipation of a new data word. On the rising edge of  $\overline{W}$ , the new word is loaded in the FIFO. The  $\overline{W}$  line must be toggled when  $\overline{FF}$  is not asserted to write new data in the FIFO and to increment the write pointer.





3033 drw 14

Figure 12. Block Diagram of Single 512 x 8, 1,024 x 8, 2,048 x 8, 4,096 x 8, 8,192 x 8 and 16,384 x 8 FIFO



3033 drw 15

Figure 13. Block Diagram of 512 x 18, 1,024 x 18, 2,048 x 18, 4,096 x 18, 8,192 x 18 and 16,384 x 18 FIFO Memory Used in Width Expansion Mode

**TABLE I—RESET AND RETRANSMIT**

Single Device Configuration/Width Expansion Mode

Mode	Inputs			Internal Status		Outputs		
	RS	RT	XI	Read Pointer	Write Pointer	EF	FF	HF
Reset	0	X	0	Location Zero	Location Zero	0	1	1
Retransmit	1	0	0	Location Zero	Unchanged	X	X	X
Read/Write	1	1	0	Increment <sup>(1)</sup>	Increment <sup>(1)</sup>	X	X	X

**NOTE:**

1. Pointer will increment if flag is HIGH

3033 tbl 09

## **ANEXO C**

### **HOJAS DE DATOS DE LA MEMORIA TH58V128DC**



TENTATIVE TOSHIBA MOS DIGITAL INTEGRATED CIRCUIT SILICON GATE CMOS  
 128 Mbit (16 M × 8 bit) CMOS NAND E<sup>2</sup>PROM (16M BYTE SmartMedia™)

## DESCRIPTION

The TH58V128DC device is a single 3.3 volt 128 M (138,412,032) bit NAND Electrically Erasable and Programmable Read Only Memory (NAND EEPROM) organized as 528 bytes × 32 pages × 1024 blocks. The device has a 528 byte static register which allows the program and read data to be transferred between the register and the memory cell array in 528 byte increments. The erase operation is implemented in a single block unit (16K bytes + 512 bytes : 528 bytes × 32 pages).

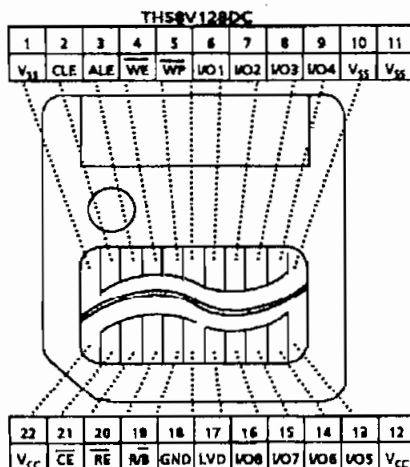
The TH58V128DC is a serial type of memory device which utilizes the I/O pins for both address and data input/output as well as command inputs. The erase and program operations are automatically executed making the device most suitable for applications such as Solid State File Storage, Voice Recording, Image File Memory for digital still cameras and other systems which require a high-density non-volatile removable memory device.

The data stored in the TH58V128DC needs to comply with the data format standardized by the SSFDC Forum in order to maintain compatibility with other SmartMedia™ systems.

## FEATURES

- Organization
  - Memory cell array 528 × 16 K × 8 × 2
  - Register 528 × 8
  - Page size 528 bytes
  - Block size (16 K + 512) bytes
- Mode
  - Read, Reset, Auto page program
  - Auto block erase, Status read
- Mode control
  - Serial input/output
  - Command control
- Complies with the SmartMedia™ Electrical Specification and Data Format Specification issued by the SSFDC Forum
- Power supply
  - V<sub>CC</sub> = 3.3 V ± 0.3 V
- Access time
  - Cell array - Register 7 μs max
  - Serial Read Cycle 80 ns min
- Operating current
  - Read (80ns cycle) 10 mA typ
  - Program (ave.) 10 mA typ
  - Erase (ave.) 10 mA typ
  - Standby(CMOS) 100 μA max
- Package
  - TH58V128DC : FDC - 22C
  - (Weight : 2.2g typ.)

## PIN ASSIGNMENT (TOP VIEW)



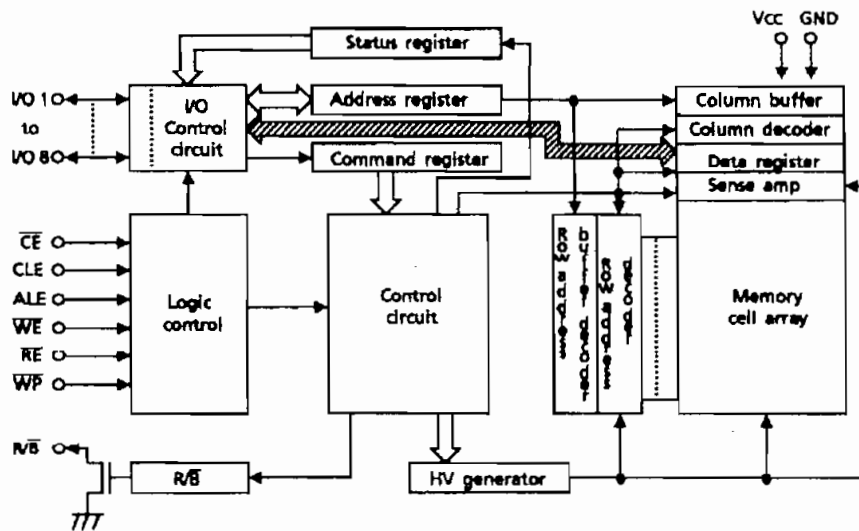
## PIN NAMES

I/O <sub>1</sub> to 8	I/O port
CE	Chip enable
WE	Write enable
RE	Read enable
CLE	Command latch enable
ALE	Address latch enable
WP	Write protect
R/B	Ready/Busy
GND	Ground Input
LVD	Low Voltage Detect
V <sub>CC</sub>	Power supply
V <sub>SS</sub>	Ground

961001EBA1

- TOSHIBA is continually working to improve the quality and the reliability of its products. Nevertheless, semiconductor devices in general can malfunction or fail due to their inherent electrical sensitivity and vulnerability to physical stress. It is the responsibility of the buyer, when utilizing TOSHIBA products, to observe standards of safety, and to avoid situations in which a malfunction or failure of a TOSHIBA product could cause loss of human life, bodily injury or damage to property. In developing your designs, please ensure that TOSHIBA products are used within specified operating ranges as set forth in the most recent products specifications. Also, please keep in mind the precautions and conditions set forth in the TOSHIBA Semiconductor Reliability Handbook.
- The products described in this document are subject to foreign exchange and foreign trade control laws.
- The information contained herein is presented only as a guide for the applications of our products. No responsibility is assumed by TOSHIBA CORPORATION for any infringements of intellectual property or other rights of the third parties which may result from its use. No license is granted by implication or otherwise under any intellectual property or other rights of TOSHIBA CORPORATION or others.
- The information contained herein is subject to change without notice.

**BLOCK DIAGRAM**



**ABSOLUTE MAXIMUM RATINGS**

SYMBOL	RATING	VALUE	UNIT
V <sub>CC</sub>	Power supply Voltage	-0.6 to 4.6	V
V <sub>IN</sub>	Input Voltage	-0.6 to 4.6	V
V <sub>IO</sub>	Input / Output Voltage	-0.6V to V <sub>CC</sub> + 0.3V (≤ 4.6V)	V
P <sub>D</sub>	Power Dissipation	0.3	W
T <sub>STG</sub>	Storage Temperature	-20 to 65	°C
T <sub>OPR</sub>	Operating Temperature	0 to 55	°C

**CAPACITANCE** \*(T<sub>a</sub> = 25°C, f = 1 MHz)

SYMBOL	PARAMETER	CONDITION	MIN	MAX	UNIT
C <sub>IN</sub>	Input	V <sub>IN</sub> = 0 V	-	70	pF
C <sub>OUT</sub>	Output	V <sub>OUT</sub> = 0 V	-	70	pF

\* This parameter is periodically sampled and is not tested for every component.

## VALID BLOCKS \*

SYMBOL	PARAMETER	MIN	TYP	MAX	UNIT
N <sub>VB</sub>	Valid Block Number	1004	1016	1024	Blocks

\* The TH58V128 occasionally contains unusable blocks. Refer to Application Note (14) toward the end of this document.

## DC RECOMMENDED OPERATING CONDITIONS

SYMBOL	PARAMETER	MIN	TYP	MAX	UNIT
V <sub>CC</sub>	Power Supply Voltage	3.0	3.3	3.6	V
V <sub>IH</sub>	High Level Input Voltage	2.2	-	V <sub>CC</sub> + 0.3	V
V <sub>IL</sub>	Low Level Input Voltage	-0.3*	-	0.8	V

\* - 2 V (pulse width ≤ 20 ns)

## DC CHARACTERISTICS

(T<sub>a</sub> = 0° to 55 °C, V<sub>CC</sub> = 3.3 V ± 0.3 V)

SYMBOL	PARAMETER	CONDITION	MIN	TYP	MAX	UNIT
I <sub>IL</sub>	Input Leakage Current	V <sub>IH</sub> = 0 V to V <sub>CC</sub>	-	-	± 10	μA
I <sub>LO</sub>	Output Leakage Current	V <sub>OUT</sub> = 0.4 V to V <sub>CC</sub>	-	-	± 10	μA
I <sub>CC01</sub>	Operating Current (Serial Read)	$\overline{CE} = V_{IL}$ , I <sub>OUT</sub> = 0 mA, t <sub>cycle</sub> = 80 ns	-	10	30	mA
I <sub>CC03</sub>	Operating Current (Command Input)	t <sub>cycle</sub> = 80 ns	-	10	30	mA
I <sub>CC04</sub>	Operating Current (Data Input)	t <sub>cycle</sub> = 80 ns	-	10	30	mA
I <sub>CC05</sub>	Operating Current (Address Input)	t <sub>cycle</sub> = 80 ns	-	10	30	mA
I <sub>CC07</sub>	Programming Current	-	-	10	30	mA
I <sub>CC08</sub>	Erasing Current	-	-	10	30	mA
I <sub>CCS1</sub>	Standby Current (TTL)	$\overline{CE} = V_{IH}$	-	-	1	mA
I <sub>CCS2</sub>	Standby Current (CMOS)	$\overline{CE} = V_{CC} - 0.2 V$	-	-	100	μA
V <sub>OH</sub>	High Level Output Voltage	I <sub>OH</sub> = - 400 μA	2.4	-	-	V
V <sub>OL</sub>	Low Level Output Voltage	I <sub>OL</sub> = 2.1 mA	-	-	0.4	V
I <sub>OL(R/B)</sub>	Output Current of (R/B) Pin	V <sub>OL</sub> = 0.4 V	-	8	-	mA

## AC CHARACTERISTICS AND OPERATING CONDITIONS

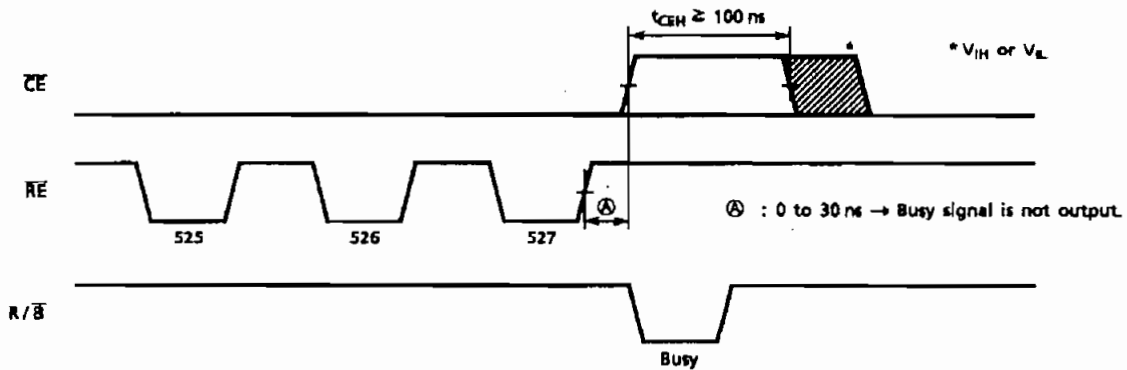
(Ta = 0° to 55 °C, V<sub>CC</sub> = 3.3 V ± 0.3 V)

SYMBOL	PARAMETER	MIN	MAX	UNIT	NOTE
t <sub>CLS</sub>	CLE Set-Up Time	20	—	ns	
t <sub>CLH</sub>	CLE Hold Time	40	—	ns	
t <sub>CS</sub>	CE Set-Up Time	20	—	ns	
t <sub>CH</sub>	CE Hold Time	40	—	ns	
t <sub>WP</sub>	Write Pulse Width	40	—	ns	
t <sub>ALS</sub>	ALE Set-Up Time	20	—	ns	
t <sub>ALH</sub>	ALE Hold Time	40	—	ns	
t <sub>DS</sub>	Data Set-Up Time	30	—	ns	
t <sub>DH</sub>	Data Hold Time	20	—	ns	
t <sub>WC</sub>	Write Cycle Time	80	—	ns	
t <sub>WH</sub>	WE High Hold Time	20	—	ns	
t <sub>WW</sub>	WP High to WE Low	100	—	ns	
t <sub>WR</sub>	Ready to RE Falling Edge	20	—	ns	
t <sub>RP</sub>	Read Pulse Width	60	—	ns	
t <sub>RC</sub>	Read Cycle Time	80	—	ns	
t <sub>REA</sub>	RE Access Time (Serial Data Access)	—	45	ns	
t <sub>CEH</sub>	CE High Time for the Last Address in Serial Read Cycle	100	—	ns	(3)
t <sub>READ</sub>	RE Access Time (ID Read)	—	45	ns	
t <sub>OH</sub>	Data Output Hold Time	10	—	ns	
t <sub>OHZ</sub>	RE High to Output High Impedance	—	30	ns	
t <sub>CHZ</sub>	CE High to Output High Impedance	—	20	ns	
t <sub>REH</sub>	RE High Hold Time	20	—	ns	
t <sub>IR</sub>	Output High Impedance to RE Rising Edge	0	—	ns	
t <sub>RSTO</sub>	RE Access Time (Status Read)	—	45	ns	
t <sub>CSTO</sub>	CE Access Time (Status Read)	—	55	ns	
t <sub>RHW</sub>	RE High to WE Low	0	—	ns	
t <sub>WHC</sub>	WE High to CE Low	50	—	ns	
t <sub>WHR</sub>	WE High to RE Low	50	—	ns	
t <sub>AR1</sub>	ALE Low to RE Low (ID Read)	100	—	ns	
t <sub>CR</sub>	CE Low to RE Low (ID Read)	100	—	ns	
t <sub>R</sub>	Memory Cell Array to Starting Address	—	7	μs	
t <sub>WB</sub>	WE High to Busy	—	100	ns	
t <sub>AR2</sub>	ALE Low to RE Low (Read Cycle)	50	—	ns	
t <sub>RB</sub>	RE Last Clock Rising Edge to Busy (in Sequential Read)	—	150	ns	
t <sub>CRY</sub>	CE High to Ready (in Case of Interception by CE in Read Mode)	—	100 + t <sub>R</sub> (R/B)	ns	(2)
t <sub>RST</sub>	Device Resetting Time (Read/Program/Erase)	—	6/10/500	μs	

## AC TEST CONDITIONS

Input level : 2.4 V/0.4 V  
 Input comparison level : 1.5 V/1.5 V  
 Output data comparison level : 1.5 V/1.5 V  
 Output load : 1TTL & C<sub>L</sub>(100 pF)

- (1) Transition time ( $t_T$ ) = 5 ns
- (2)  $\overline{CE}$  High to Ready time depends on the pull-up resistor tied to the  $R/\overline{B}$  pin. (Refer to Application Note (7) toward the end of this document.)
- (3) If the delay between  $\overline{RE}$  and  $\overline{CE}$  is less than 200 ns and  $t_{CEH}$  is greater than or equal to 100 ns, reading will stop.  
If the  $\overline{RE}$ -to- $\overline{CE}$  delay is less than 30 ns, the device will not turn to the Busy state.



**PROGRAMMING AND ERASING CHARACTERISTICS**

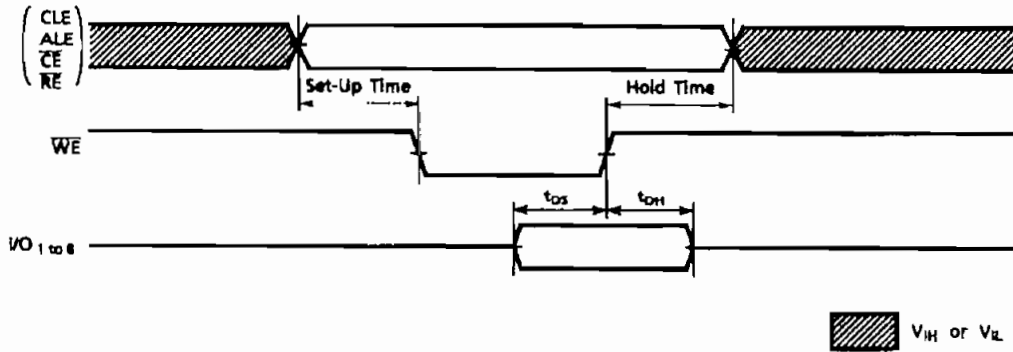
( $T_a = 0^\circ$  to  $55^\circ\text{C}$ ,  $V_{CC} = 3.3\text{V} \pm 0.3\text{V}$ )

SYMBOL	PARAMETER	MIN	TYP	MAX	UNIT	NOTE
$t_{\text{PROG}}$	Average Programming Time		200	1000	$\mu\text{s}$	
N	Number of Programming Cycles on Same Page			10		(1)
$t_{\text{ERASE}}$	Block Erasing Time		2	20	ms	
P/E	Number of Program/Erase Cycles			$1 \times 10^6$		(2)

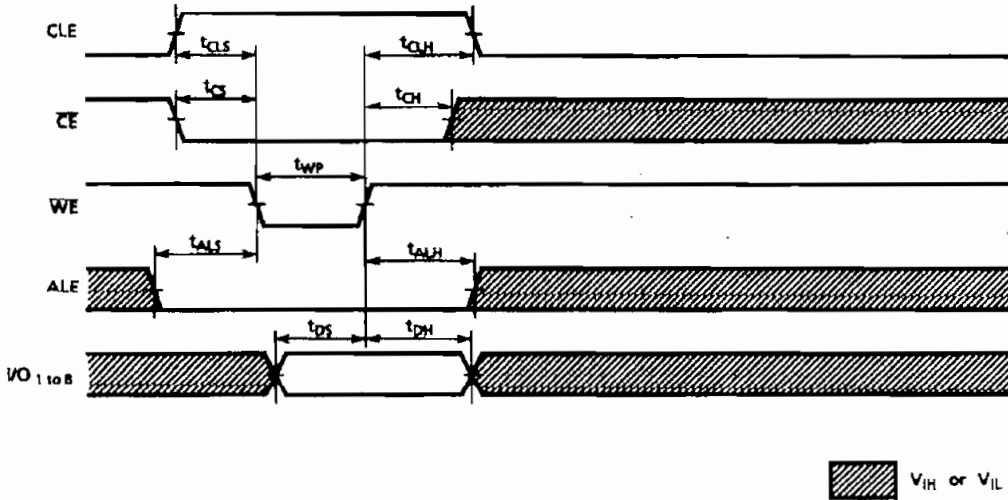
- (1) Refer to Application Note (12) toward the end of this document.
- (2) Refer to Application Note (15) toward the end of this document.

TIMING DIAGRAMS

Latch Timing Diagram for Command/Address/Data

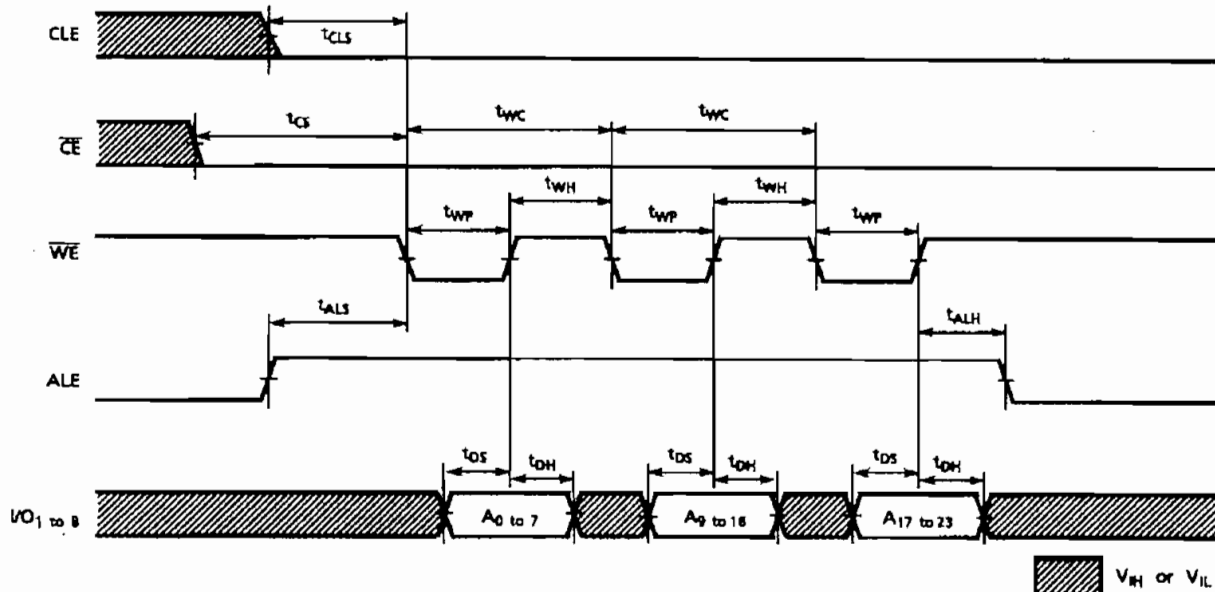


Command Input Cycle Timing Diagram

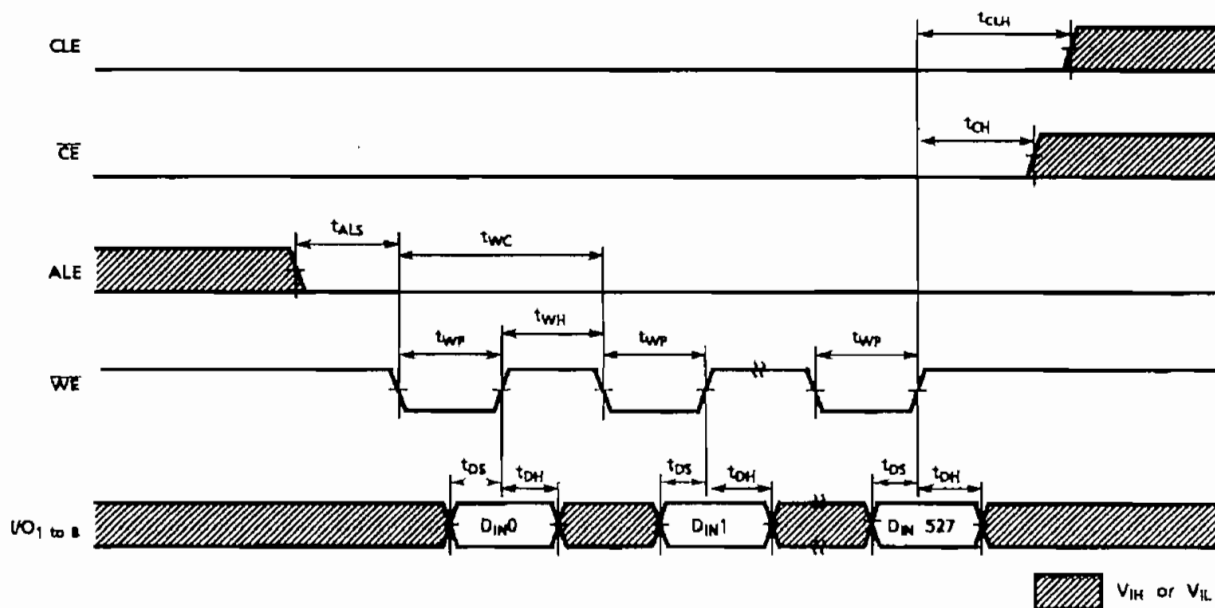




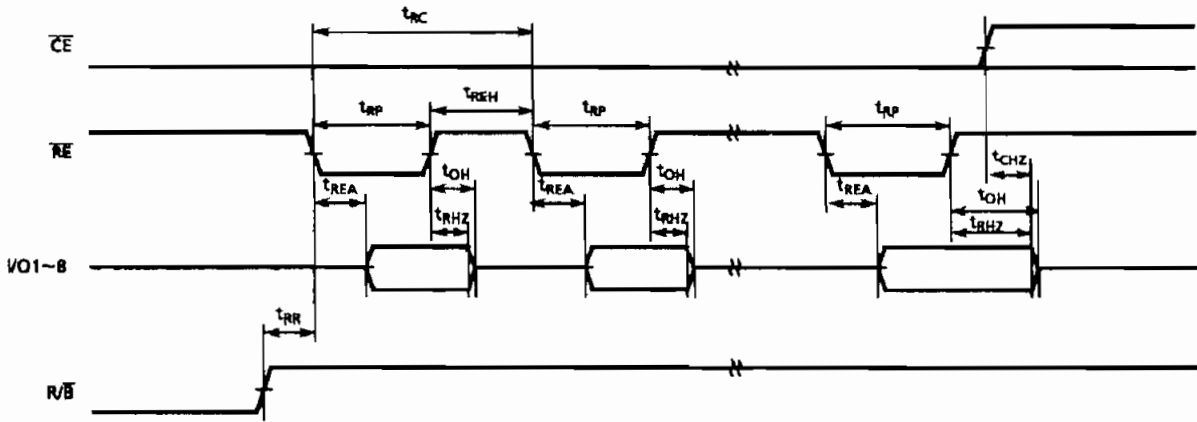
Address Input Cycle Timing Diagram



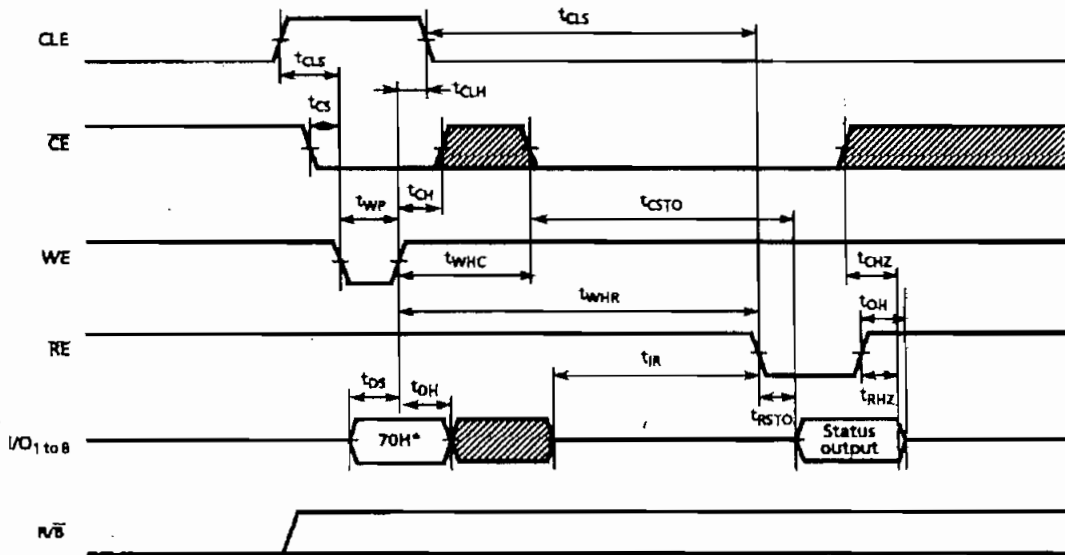
Data Input Cycle Timing Diagram




Serial Read Cycle Timing Diagram



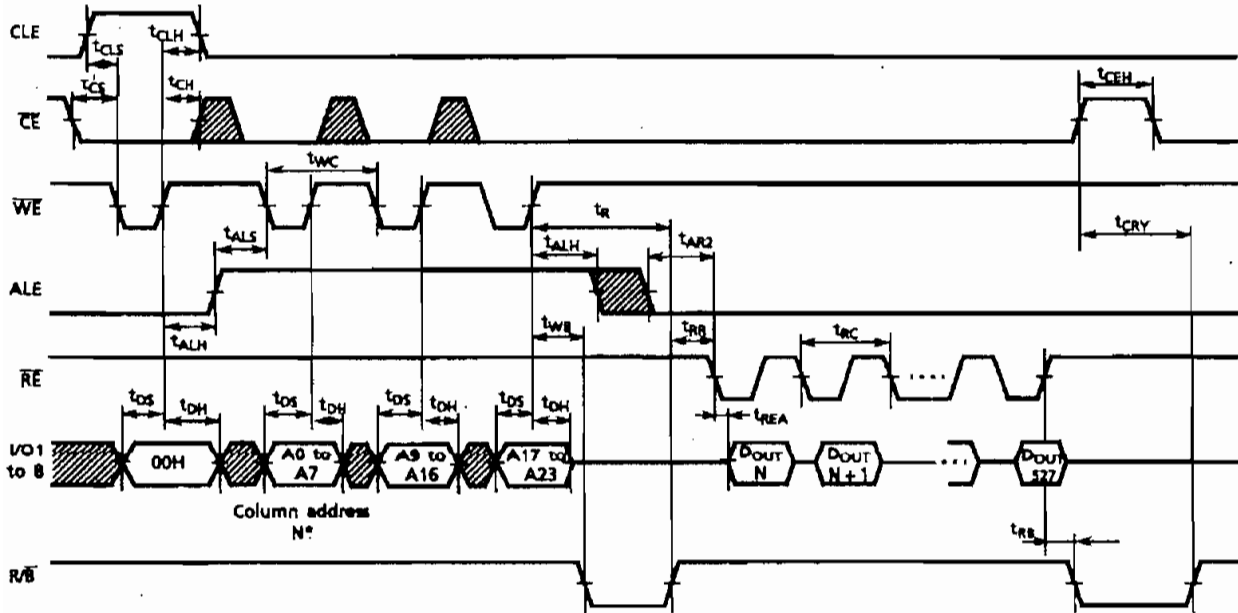
Status Read Cycle Timing Diagram



\* 70H - 70 in HEX data

 :  $V_{IH}$  or  $V_{IL}$

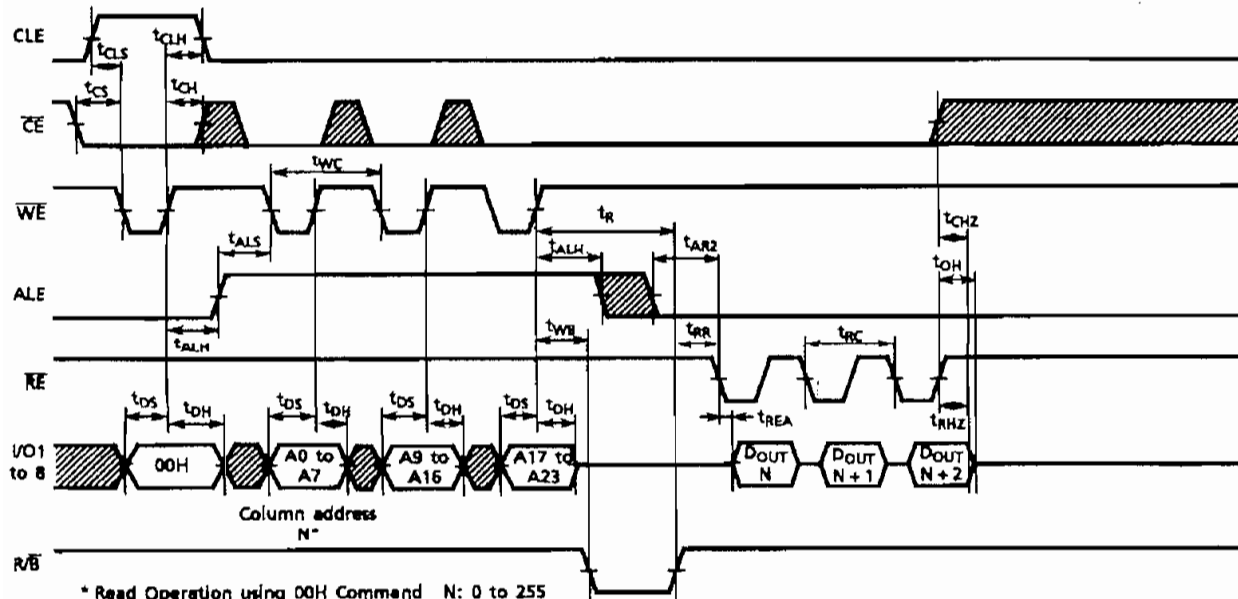
**Read Cycle (1) Timing Diagram**



\* Read Operation using 00H Command N: 0 to 255

▨ :  $V_{IH}$  or  $V_{IL}$

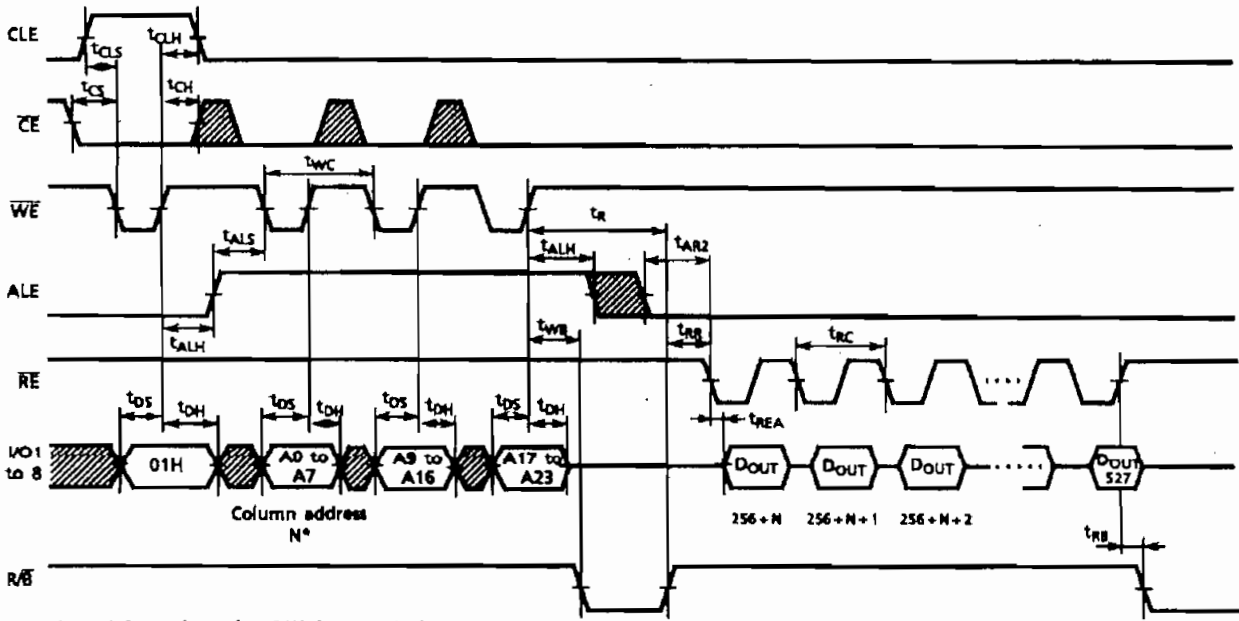
**Read Cycle (1) Timing Diagram: Interrupted by CE**



\* Read Operation using 00H Command N: 0 to 255

▨ :  $V_{IH}$  or  $V_{IL}$

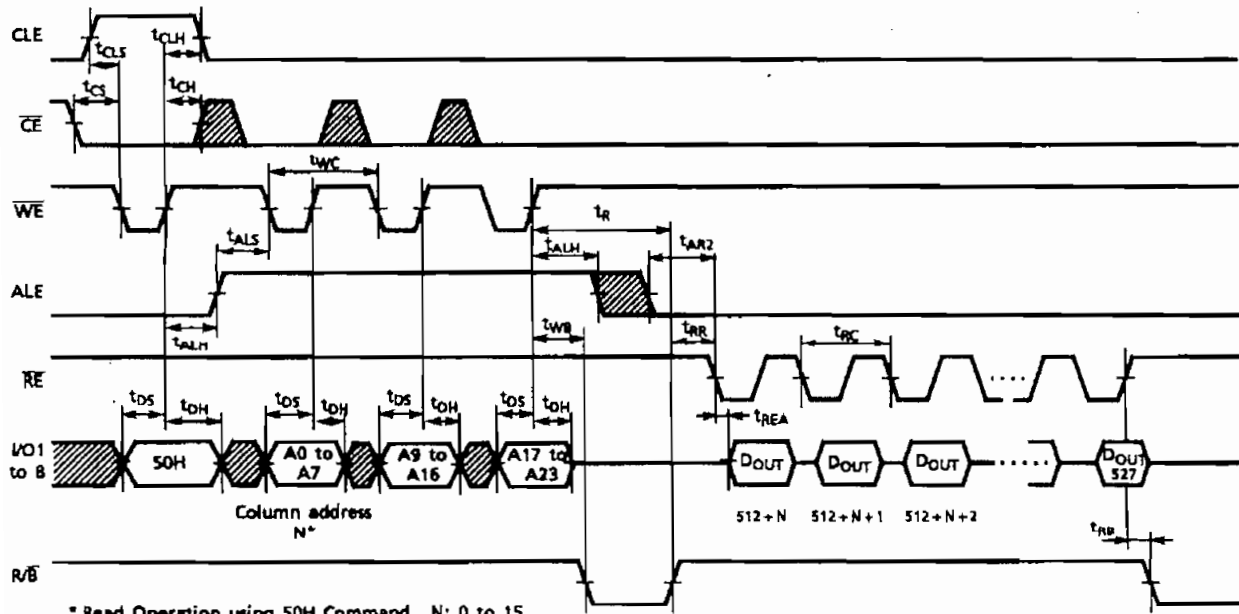
Read Cycle (2) Timing Diagram



\* Read Operation using 01H Command N: 0 to 255

▨ : V<sub>IH</sub> or V<sub>IL</sub>

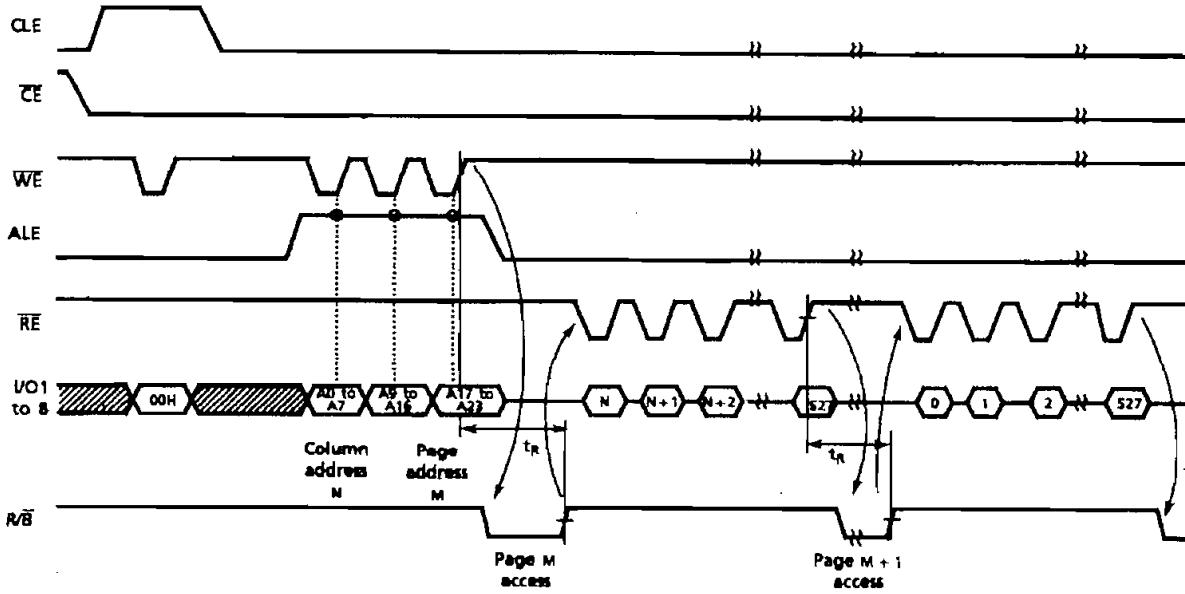
Read Cycle (3) Timing Diagram



\* Read Operation using 50H Command N: 0 to 15

▨ : V<sub>IH</sub> or V<sub>IL</sub>

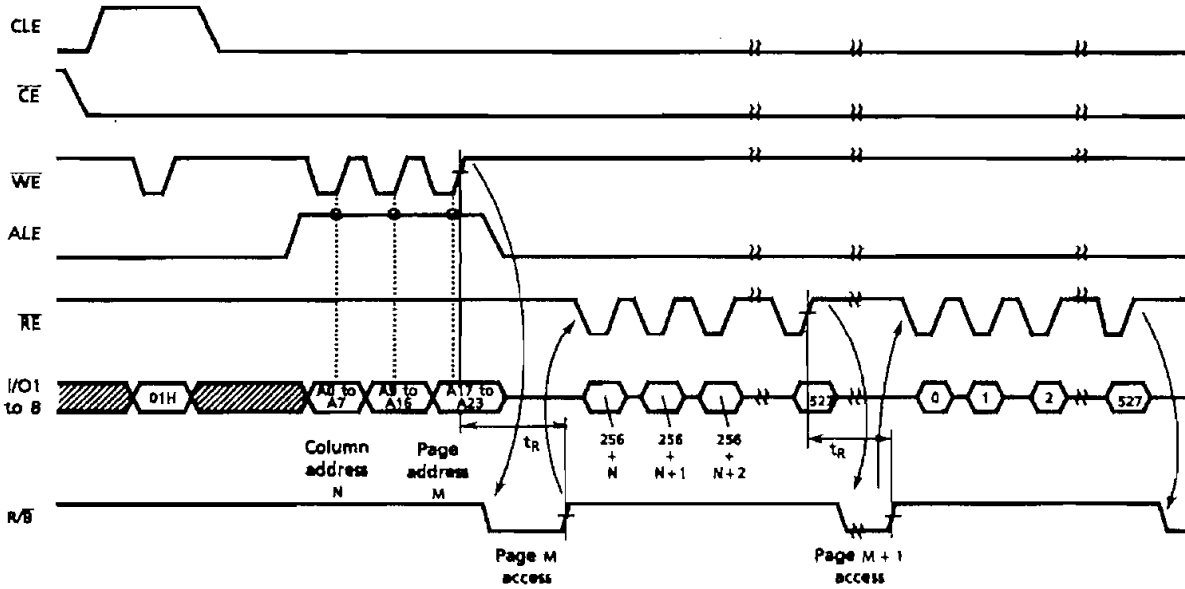
**Sequential Read (1) Timing Diagram**



\* Read Operation using 00H Command N: 0 to 255

:  $V_{IH}$  or  $V_{IL}$

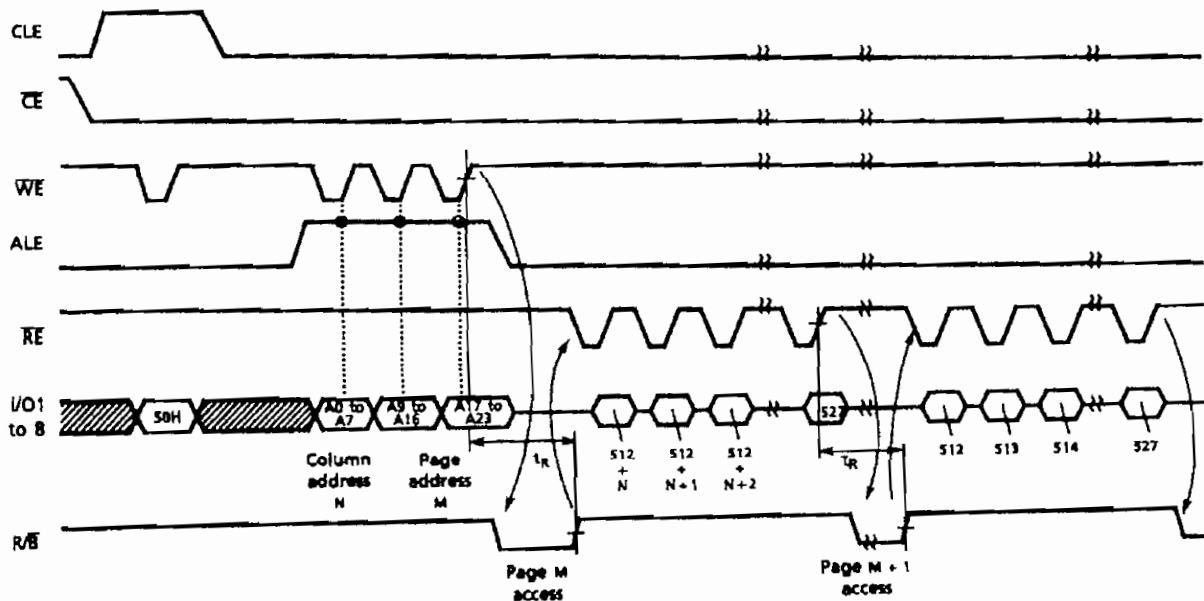
**Sequential Read (2) Timing Diagram**




\* Read Operation using 01H Command N: 0 to 255

:  $V_{IH}$  or  $V_{IL}$

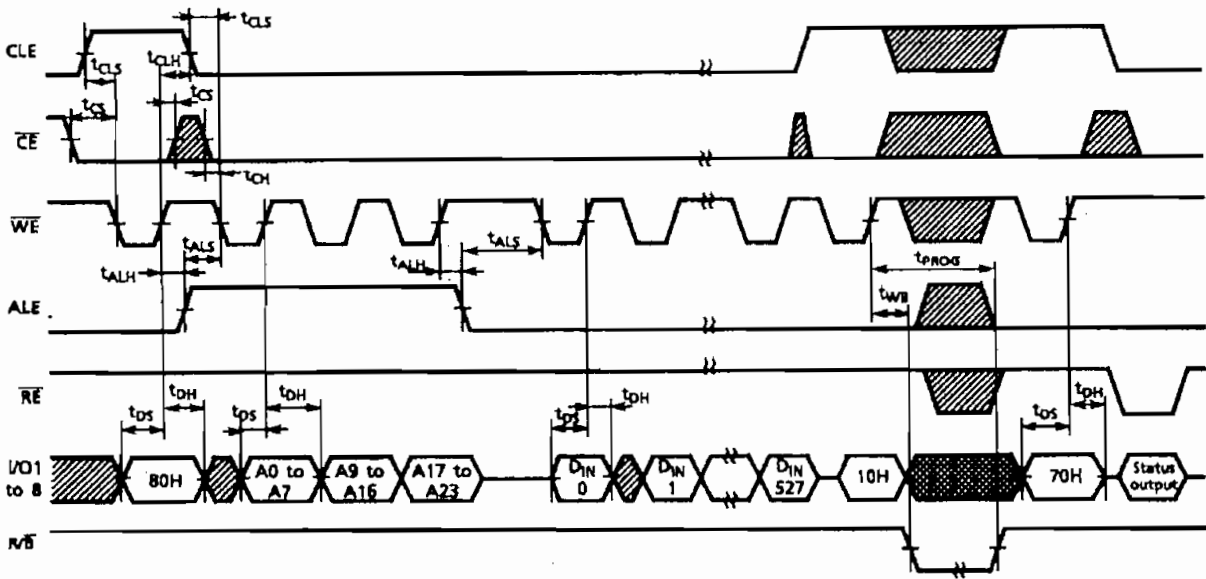
Sequential Read (9) Timing Diagram



\* Read Operation using 50H Command N: 0 to 15

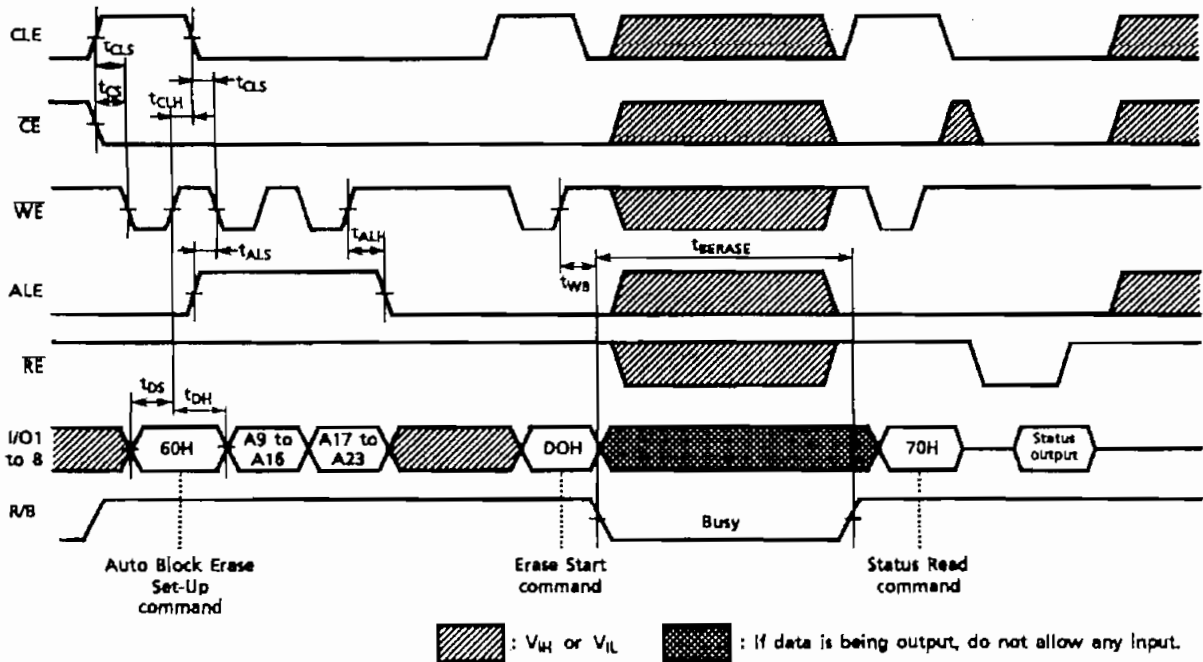
 :  $V_{IH}$  or  $V_{IL}$



Auto Program Operation Timing Diagram



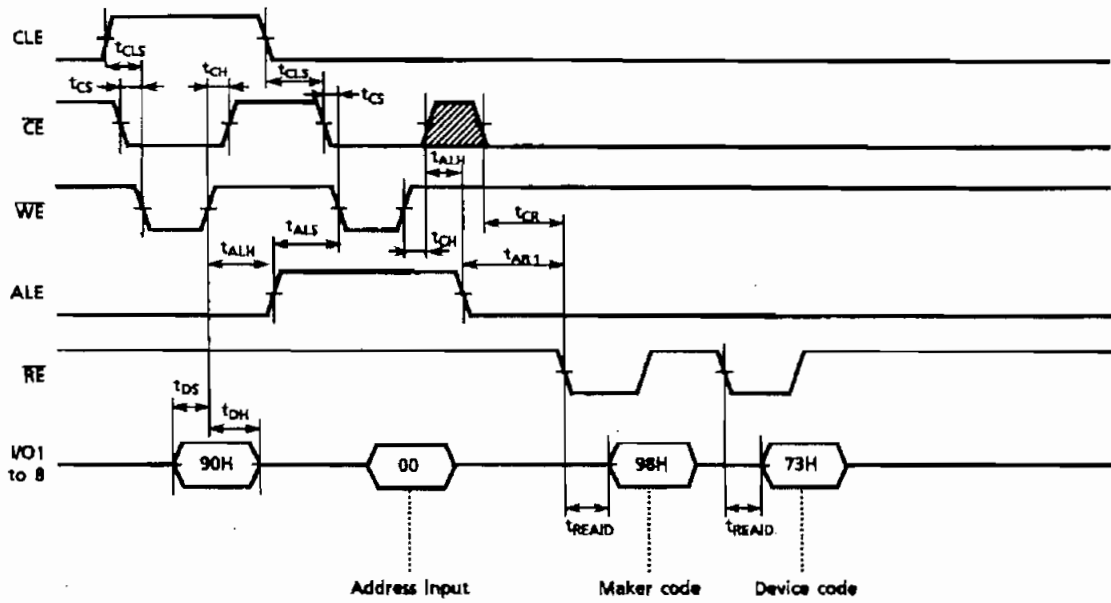
 :  $V_{IH}$  or  $V_{IL}$ 
 : If data is being output, do not allow any input.


Auto Block Erase Timing Diagram



 :  $V_{IH}$  or  $V_{IL}$ 
 : If data is being output, do not allow any input.

ID Read Operation Timing Diagram



 :  $V_{IH}$  or  $V_{IL}$



**PIN FUNCTIONS**

The device is a serial access memory which utilizes time-sharing input of address information. The device pin-outs are configured as shown in Figure 1.

**Command Latch Enable: CLE**

The CLE input signal is used to control the acquisition of the operation mode command into the internal command register. The command is latched into the command register from the I/O port on the rising edge of the WE signal while CLE is High.

**Address Latch Enable: ALE**

The ALE signal is used to control the acquisition of either address information or input data into the internal address/data register. Address information is latched on the rising edge of WE if ALE is High. Input data is latched if ALE is Low.

**Chip Enable: CE**

The device goes into a low power Standby mode when CE goes High during a Read operation. The CE signal must stay Low during the Read mode Busy state to ensure that memory array data is correctly transferred to the data register. However, the CE signal is ignored when the device is in Busy state (R/B = L) during a Program or Erase operation, and will not go into Standby mode even if the CE input goes High.

**Write Enable: WE**

The WE signal is used to control the acquisition of data from the I/O port.

**Read Enable: RE**

The RE signal controls serial data output. Data is available TREA after the falling edge of RE. The internal column address counter is also incremented (Address + 1) on this falling edge.

**I/O Port: I/O 1 to 8**

The I/O 1 to 8 pins are used as the port for transferring address, command and input/output data to or from the device.

**Write Protect: WP**

The WP signal is used to protect the device from accidental programming or erasing. The internal voltage regulator is reset when WP is Low. This signal is usually used for protecting the data during the power on/off sequence when input signals are invalid.

**Ready/Busy: R/B**

The R/B output signal is used to indicate the operating condition of the device. The R/B signal is in Busy state (R/B = L) during the Program, Erase or Read operations and will return to Ready state (R/B = H) after completion of the operation. The output buffer for this signal is an open drain.

**Low Voltage Detect: LVD**

The LVD is used to detect the proper supply voltage. By connecting this pin to V<sub>SS</sub> via a pull-down resistor, it is possible to distinguish 3.3V product from 5V product. When 3.3V is applied as V<sub>CC</sub> to pins 12 and 22, a High level can be detected on the system side if the device is a 3.3V product, and a Low level if it is a 5V product.

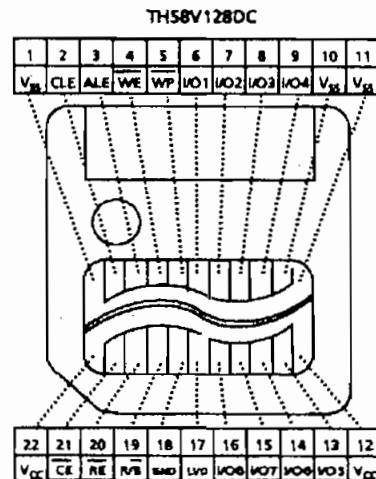


Figure 1. Pinout