

ESCUELA POLITÉCNICA NACIONAL

ESCUELA DE INGENIERÍA

DISEÑO E IMPLEMENTACIÓN DE UN ECUALIZADOR DIGITAL GRAFICO

PROYECTO PREVIO A LA OBTENCIÓN DEL TÍTULO DE INGENIERO
ELÉCTRICO ESPECIALIDAD ELECTRÓNICA Y TELECOMUNICACIONES

FERNANDO RAMIRO PACHECO CORAL

DIRECTOR: ING. RAMIRO MOREJON
CO DIRECTOR: ING. FERNANDO VÁSQUEZ

Quito, mayo del 2002

DECLARACIÓN

Yo, Fernando Ramiro Pacheco Coral, declaro que el trabajo aquí descrito es de mi autoría; que no ha sido previamente presentado para ningún grado o calificación personal; y que, he consultado las referencias bibliográficas que se incluyen en este documento.

La Escuela Politécnica Nacional, puede hacer uso de los derechos correspondientes a este trabajo, según lo establecido por la Ley, Reglamento de Propiedad Intelectual y por la normatividad institucional vigente.



Fernando Ramiro Pacheco Coral

CERTIFICACIÓN

Certifico que el siguiente trabajo fue realizado por Fernando Ramiro Pacheco Coral bajo mi supervisión.

A handwritten signature in black ink, appearing to read 'Ramiro Morejón', is written over a horizontal line. The signature is stylized and cursive.

Ing. Ramiro Morejón
DIRECTOR DE PROYECTO

AGRADECIMIENTO

Mi sincero agradecimiento para la Escuela de Ingeniería Eléctrica y la Escuela Politécnica Nacional, donde tuve la fortuna de estudiar y cultivar el conocimiento, aprender responsabilidad y moldear el carácter.

A los maestros que con mucho empeño y trabajo honesto compartieron sus conocimientos y sus experiencias; y a las grandes personas que conocí durante todo este tiempo en especial las que llegaron a ser muy buenos amigos.

Un agradecimiento muy especial es el que deseo expresar hacia el Ingeniero Ramiro Morejón y el Ingeniero Fernando Vásquez quienes con su trabajo, consejo y muy buena dirección constituyen un pilar fundamental en el desarrollo y éxito de este proyecto de titulación.

DEDICATORIA

Este trabajo está dedicado a Dios y especialmente a mi madre que estuvo apoyandome desde siempre, y que con mucho esfuerzo y dedicación luchó conmigo para alcanzar todas las metas y dejar atrás todos los obstáculos que el destino puso en mi camino.

CONTENIDO

DECLARACIÓN	i
CERTIFICACIÓN	ii
AGRADECIMIENTO	iii
DEDICATORIA	iv
CONTENIDO	v
RESUMEN	x
PRESENTACIÓN	xi

CAPITULO I

CONCEPTOS GENERALES	1
1. SONIDO	1
2. ECUALIZACIÓN	2
2.1 ECUALIZACIÓN DE SISTEMAS DE MEGAFONÍA	2
2.2 MODELOS DE LOS ECUALIZADORES	3
2.2.1 EL ECUALIZADOR GRÁFICO	3
2.2.2 EL ECUALIZADOR PARAMÉTRICO	4
3. FILTROS	4
3.1 FILTROS ANALÓGICOS	4
3.2 FILTROS DIGITALES	5
3.3 PARÁMETROS DE LOS FILTROS EN EL DOMINIO DE LA FRECUENCIA	5
3.4 COMPARACIÓN ENTRE FILTROS DIGITALES Y FILTROS ANALÓGICOS	8
3.4.1 VENTAJAS	9
3.4.2 DESVENTAJAS	11
4. PROCESAMIENTO DIGITAL DE SEÑALES	12
5. PROCESADOR DIGITAL DE SEÑALES (D.S.P.)	16
5.1 VENTAJAS SOBRE LOS MICROPROCESADORES COMUNES	17
5.1.1 IMPLEMENTACIÓN DE OPERACIONES POR HARDWARE.	17
5.1.2 INSTRUCCIONES POCO COMUNES QUE EJECUTAN VARIAS OPERACIONES EN UN SOLO CICLO.	17
5.1.3 MODOS ESPECIALES DE DIRECCIONAMIENTO.	17
5.1.4 UNA MEMORIA DE PROGRAMA QUE PUEDE TENER MAS DE 8 BITS	18

6. EL PROCESADOR DIGITAL DE SEÑALES ADSP 2181	18
6.1 CARACTERÍSTICAS DE LA ADSP 2181	19
6.2 ARQUITECTURA DE LA ADSP. 2181	21
7. LOS DSP'S DE ALTO RENDIMIENTO	23

CAPITULO 2

FILTROS DIGITALES	25
1. INTRODUCCION	25
2. CLASES DE FILTROS DIGITALES	27
2.1 FILTROS FIR (FINITE IMPULSE RESPONSE)	27
2.2 FILTROS IIR (INFINITE IMPULSE RESPONSE)	28
2.2.1 FILTROS AR (AUTOREGRESIVO)	28
2.2.2 FILTROS ARMA (AUTOREGRESIVO Y MEDIA EN MOVIMIENTO)	29
2.3 OPINION SOBRE FILTROS IIR	29
3. DESCRIPCION DEL SISTEMA SOBRE EL QUE SE IMPLEMENTARAN LOS FILTROS	30
3.1 DESCRIPCION DEL SISTEMA DE ALMACENAMIENTO	31
3.2 IMPLEMENTACION DE LOS ALGORITMOS DE FILTRADO	32
4. PROCESO DE DISEÑO DE FILTROS DIGITALES	33
4.1 TÉCNICAS DE DISEÑO DE FILTROS IIR	34
4.2 TRANSFORMACIONES DEL PLANO S AL Z	34
4.2.1 ETAPAS DEL DISEÑO	35
4.3 APROXIMACIONES PARA EL DISEÑO DE FILTROS IIR	35
4.3.1 APROXIMACIONES DE BUTTERWORTH	35
4.3.2 FILTRO PASA-ALTO BUTTERWORTH	38
4.3.3 APROXIMACIÓN DE CHEBYSHEV I	38
4.3.4 APROXIMACIÓN DE CHEBYSHEV II	40
4.4 MÉTODOS PARA TRANSFORMAR UNA FUNCIÓN DE S EN OTRA FUNCIÓN DE Z.	41
4.4.1 TRANSFORMACIÓN INVARIANTE A LA RESPUESTA (TIR)	41
4.4.2 TRANSFORMADA Z PAREADA (TZR)	43
4.4.3 TRANSFORMACION A TRAVES DE ALGORITMOS DE DIFERENCIA (TAD)	44
4.4.4 TRANSFORMACION A TRAVES DE ALGORITMOS DE INTEGRACIÓN NUMÉRICA (TAI)	45
4.4.5 TRANSFORMACION BILINEAL (TBL)	46
4.5 TRANSFORMACION DESDE UN PROTOTIPO DE FILTRO PASABAJOS A OTRO TIPO DE FILTROS	46

CAPITULO 3

IMPLEMENTACION DEL ECUALIZADOR DIGITAL	49
1. INTRODUCCIÓN.	49
1.1. DISEÑO Y PROBLEMAS DE LOS ECUALIZADORES CONVENCIONALES.	50
1.2 ECUALIZADORES GRÁFICOS DE Q CONSTANTE.	50
1.3 INTERPOLANDO Q CONSTANTE.	51
1.4 INTERPOLANDO VS. COMBINANDO.	52
2. REALIZACIÓN DE FILTROS DIGITALES	53
2.1 PROPIEDADES DE LAS OPERACIONES REPRESENTADAS EN DIAGRAMAS DE BLOQUES	53
3. EFECTOS DE CUANTIZACIÓN.	62
3.1 CUANTIZACIÓN DE SEÑALES.	62
3.2 ERRORES DE TRUNCAMIENTO.	62
3.3 OSCILACIONES DE CICLO LÍMITE.	65
3.4 CUANTIZACIÓN DE COEFICIENTES.	67
3.5 EJEMPLO GRAFICO DEL EFECTO DE CUANTIZACIÓN.	69
4. PLATAFORMA DE DESARROLLO.	71
4.1 DESCRIPCIÓN GENERAL.	71
4.1.1 ARITMÉTICA DE LA ALU.	74
4.1.2 ARITMÉTICA DE LA MAC.	75
4.1.3 ARITMÉTICA DEL "CAMBIADOR" SHIFTER.	76
4.1.4 GENERADORES DE DIRECCIONES DE DATOS	78
4.1.5 SECUENCIADOR DE PROGRAMA	79
4.2 INTERFACE ANALOGICO	80
4.2.1 CONVERSION A/D	82
4.2.2 ENTRADA ANALÓGICA	82
4.2.3 ADC	82
4.2.4 CONVERSION D/A	83
4.2.5 DAC	83
4.2.6 AMPLIFICADOR DE GANANCIA PROGRAMABLE	83
4.2.7 CONECTORES DE EXPANSIÓN	83
5. DISEÑO	85
5.1 DIAGRAMA DE FLUJO DEL PROGRAMA PRINCIPAL	86
5.2 TECLADO	87
5.3 DISPLAY DE CRISTAL LIQUIDO (LCD)	89
5.3.1 HARDWARE INTERFAZ	90

5.3.2 SOFTWARE	90
5.4 OPERACIÓN DEL TECLADO Y DISPLAY	91
5.4.1 PRESENTACIÓN INICIAL	91
5.4.2 PANTALLA DE VOLUMEN.	91
5.4.3 PANTALLA PARA VARIACION DE PARÁMETROS	92
5.5 DIAGRAMA DE SUBROUTINA DE INTERRUPCIÓN	94
5.6 DIAGRAMA DE SUBROUTINA DE COEFICIENTES	94
5.6 DIAGRAMA DE SUBROUTINA DE COEFICIENTES	95
5.7 DIAGRAMA DE SUBROUTINA DE FILTRADO	96

CAPITULO 4

RESULTADOS Y APLICACIONES	97
1. COEFICIENTES	97
2. PROGRAMA UTILIZADO PARA EL ANALISIS CUANTITATIVO DEL ECUALIZADOR	99
3. ANÁLISIS CUANTITATIVO DE LOS RESULTADOS	100
3.1 SEÑAL UTILIZADA EN EL ANÁLISIS	100
3.2 FILTROS DE Q CONSTANTE	101
3.3 ANALISIS DE LOS FILTROS	103
3.4 CARACTERISTICAS	109
3.5 CASO DE RESPUESTA PLANA 0 DB.	109
3.6 RESPUESTA DE FRECUENCIA TIPICA.	109
4. APLICACIONES	110

CAPITULO 5

CONCLUSIONES Y RECOMENDACIONES	111
--------------------------------	-----

ANEXOS

ANEXO NO. 1	
FUENTES DE INTERRUPCION DE LOS PROCESADORES DE LA FAMILIA 2100	116

ANEXO NO. 2	
ESTADO DE CONSUMO BAJO DE ENERGIA (POWERDOWN)	119
ANEXO NO. 3	
CONJUNTO DE INSTRUCCIONES	123
ANEXO NO. 4	
EL ADSP-2181	131
ANEXO NO. 5	
FUNCIONAMIENTO AD1847	137
ANEXO NO. 6	
MM74C373, MM74C374, 3-STATE Octal D-Type Flip-Flop	141
ANEXO NO. 7	
MM74C922, MM74C923, 16-Key Encoder	152
ANEXO NO. 8	
CALCULO DE LOS COEFICIENTES FILTROS ECUALIZADORES	162
REFERENCIA BIBLIOGRAFICA	163

RESUMEN

En todos los sistemas avanzados de comunicación de voz, imagen y datos de alta velocidad y en sistemas de transmisión de estos que existen hoy en día, se requiere del uso de subsistemas de ecualización del canal y cancelación de ecos mas o menos sofisticados, es así que se estudian y desarrollan algoritmos de adaptación capaces de gobernar eficientemente los coeficientes y parámetros de estos sistemas.

La necesidad de utilizar ecualizadores en todos los sistemas de voz, audio, video y multimedia hacen indispensable utilizar una herramienta esencial para obtener una respuesta de alta calidad.

Sin los ecualizadores de audio no se podrían corregir problemas por defectos acústicos provocados por diferentes ambientes y formas de habitaciones, o simplemente establecer preferencias individuales de cada individuo.

El Ecualizador Digital Gráfico implementado es del tipo de Q constante, con filtros digitales de segundo orden IIR, que resuelve uno de los problemas más molestos que se presentan en el diseño de ecualizadores de audio pues permite que la amplitud de la señal sea absoluta con respecto a la medida que controla este parámetro.

Así en los filtros IIR existe la ventaja de poder diseñar una gran variedad de filtros selectivos en frecuencia utilizando fórmulas preestablecidas, que cumplirán las especificaciones mediante sustitución directa en un sistema de ecuaciones de diseño.

PRESENTACION

El desarrollo de microprocesadores con arquitecturas especializadas para la implementación de técnicas de procesamiento digital de señales ha permitido el desarrollo de ecualizadores que con el uso de estas técnicas posibilita crear un dispositivo versátil, económico y flexible.

El ecualizador digital gráfico de Q constante divide toda la banda de audio en un número fijo de 10 bandas de frecuencia, en las cuales se controla la ganancia de cada una de ellas por medio de un filtro digital pasabanda IIR.

Este dispositivo electrónico de alta eficiencia implementado sobre una plataforma de desarrollo con un procesador DSP (Digital Signal Processor) ADSP-2181 de la compañía Analog Devices, utiliza dos canales independientes; canal derecho y canal izquierdo y las señales de cada canal se procesan por separado, los filtros digitales que realizan este proceso tienen las frecuencias centrales fijas y pueden variar la amplitud de la señal en ± 20 dB en pasos de 2dB independientemente de los otros filtros tomando la información para variar los parámetros desde un teclado.

Además se han implementado subrutinas de control del ecualizador para su versatilidad manejadas por medio del teclado, que permiten aumentar y disminuir el volumen de la señal, silencio total y respuesta plana.

La información del estado de los parámetros del ecualizador se pueden visualizar en un display de cristal líquido en todo momento para tener un mejor control y poder interactuar con el dispositivo de la forma más simple posible.

CONCEPTOS GENERALES

1. SONIDO¹

El sonido es un fenómeno físico que estimula el sentido del oído. En los seres humanos, esto ocurre siempre que una vibración con frecuencia comprendida entre unos 20 Hz y 20.000 Hz llega al oído interno. Estas vibraciones llegan al oído interno transmitidas a través del aire, y a veces se restringe el término "sonido" a la transmisión en este medio. Sin embargo, en la física moderna se suele extender el término a vibraciones similares en medios líquidos o sólidos.

En general, las ondas pueden propagarse de forma transversal o longitudinal. En ambos casos, solo la energía y la cantidad de movimiento de la onda se propagan en el medio, ninguna parte del propio medio se mueve físicamente a una gran distancia.

Todos los sistemas avanzados de comunicación de voz, imagen y datos de alta velocidad requieren del uso de subsistemas de ecualización del canal y cancelación de ecos mas o menos sofisticados. En esta línea de trabajo se estudian y desarrollan algoritmos de adaptación capaces de gobernar eficientemente los coeficientes y parámetros de estos sistemas. Los requisitos deseados incluyen alta velocidad de convergencia, estabilidad aseguradora, buen comportamiento en situaciones estáticas, robustez. La técnica que se va a desarrollar, es la estructura IIR trabajando en el dominio transformado de frecuencia.

Otra línea de trabajo, con muchos puntos de coincidencia con la anterior, pero con importantes particularidades, se refiere a la cancelación de ecos acústicos, de suma importancia en las aplicaciones de audio conferencia y de telefonía de manos libres. La cancelación de ecos producidos en recepción para que no

¹ Tomado del libro Tecnología Básica del Sonido I

retornen al punto de emisión, son una necesidad ineludible en aplicaciones como las indicadas. La gran duración de estos ecos, de hasta 100 mseg, en salas no específicamente tratadas, junto a la necesidad de detectar la presencia de conversación local en recepción, requieren de soluciones sofisticadas y bastante complejas.

2. ECUALIZACIÓN

El ecualizador es un elemento que permite modificar a nuestro gusto la respuesta en frecuencia de nuestro sistema de audio. Esta modificación se la realiza con el empleo de filtros que alteran la señal recibida.

La curva de respuesta de frecuencia de una instalación de audio es la representación gráfica de la intensidad sonora respecto a la frecuencia a la cual se emite. Se puede obtener con un análisis matemático en el dominio de la frecuencia o con un analizador de espectros.

Si esta representación es una línea horizontal (ideal) se supone que no hay ninguna pérdida ni ganancia para ninguna frecuencia. Realmente para algunas frecuencias hay una atenuación y para otros una ganancia, para lo cual el trabajo del ecualizador será el de corregir estas variaciones realizando la acción inversa a la respuesta inicial en frecuencia.

Este proceso se realiza con la ayuda de filtros. Los filtros pueden ser analógicos o digitales y permiten modificar la señal que reciben. Dejan pasar o rechazan a través de ellos una parte específica de la señal de entrada con sus parámetros previamente definidos dependiendo de su funcionamiento.

2.1 ECUALIZACIÓN DE SISTEMAS DE MEGAFONÍA

En estos sistemas se presentan de manera habitual problemas de *inteligibilidad*, realimentación acústica, volumen, entre otros. Precisamente lo único que se

desea es conseguir que se escuche con mayor claridad posible a la persona que esta hablando a través de un micrófono por ejemplo, o música en general.

Para aumentar la calidad lo que haremos es mejorar la respuesta del sistema para las frecuencias audibles por medio de los ecualizadores una zona comprendida entre 20 Hz hasta 20 KHz.

2.2 MODELOS DE LOS ECUALIZADORES²

Primero especificaremos que los ecualizadores estereofónicos, se componen de dos ecualizadores monofónicos totalmente independientes, es decir se tiene una señal diferente para cada canal, izquierdo y derecho y los cuales pueden procesar la señal cambiando indistintamente los parámetros de ecualización.

Los ecualizadores pueden ser gráficos o paramétricos:

2.2.1 EL ECUALIZADOR GRÁFICO

El ecualizador gráfico esta compuesto por un cierto número de filtros selectivos cuyas frecuencias centrales están dispuestas en forma logarítmica. Esta distribución será a intervalos de una octava, en los modelos más comunes, en tercios de octava en los de mayor calidad, etc. El conjunto de todos estos filtros abarca en toda su amplitud el espectro audible.

Cada filtro tiene un control de ganancia con el que se puede atenuar o amplificar la amplitud de la banda de frecuencia sobre la que actúa, es decir los mecanismos que se utilizan para cambiar este parámetro pueden ser potenciómetros en el caso de los ecualizadores analógicos o mediante un teclado digital en conjunto con una pantalla de cristal líquido que es la que presenta la información sobre el estado de los parámetros de los filtros en el ecualizador digital. Estos potenciómetros o pantallas indican de manera gráfica la cantidad de decibelios que se pueden atenuar o amplificar las señales. El calificativo de

² Tomado del libro Sonido Profesional

gráfico a este tipo de ecualizador se debe a este hecho en particular y no a la presentación del espectro procesado por el ecualizador.

2.2.2 EL ECUALIZADOR PARAMÉTRICO

Es de manejo mucho más complejo que el anterior. Se diferencia del ecualizador gráfico en que todos sus parámetros son ajustables por el usuario.

Podemos escoger la frecuencia central de cada filtro, su ancho de banda, y podemos amplificar o atenuar la ganancia. El factor Q suele ser constante para eliminar la interacción que hay entre los otros tres parámetros y se utiliza para corregir problemas puntuales, localizando su frecuencia y actuando inmediatamente sobre ella.

Un ecualizador paramétrico permite posicionar los filtros en aquellos lugares exactos de la curva de respuesta de frecuencia en los que haya componentes que se deseen anular o amplificar.

Así se mejora de manera ostensible la respuesta del equipo.

3. FILTROS

3.1 FILTROS ANALÓGICOS

Los filtros analógicos utilizan circuitos electrónicos analógicos formados por componentes, como resistencias, condensadores y amplificadores operacionales necesarios para producir los requerimientos de filtrado. Estos tipos de filtros se utilizan en aplicaciones como reducción del ruido, perfeccionamiento de señales de video, ecualizadores gráficos en sistemas de alta fidelidad, y en muchas otras áreas.

3.2 FILTROS DIGITALES

Un filtro digital es un sistema discreto utilizado para extraer características desde el dominio de la frecuencia sobre señales muestreadas. La operación de filtrado se realiza por medio de cálculos directos con las señales muestreadas.

Estos filtros son una clase de sistemas lineales e invariantes con el tiempo particularmente importante. Pues un filtro selectivo en frecuencia nos sugiere un sistema que deja pasar ciertas componentes de frecuencia y rechaza completamente otras, pero en un contexto más amplio cualquier sistema que modifique ciertas frecuencias con respecto a otras se denomina también filtro.

3.3 PARÁMETROS DE LOS FILTROS EN EL DOMINIO DE LA FRECUENCIA

La Figura 1.1 muestra las cuatro respuestas de frecuencia básicas. El propósito de estos filtros es permitir que algunas frecuencias pasen inalteradas, mientras otras frecuencias sean bloqueadas completamente.

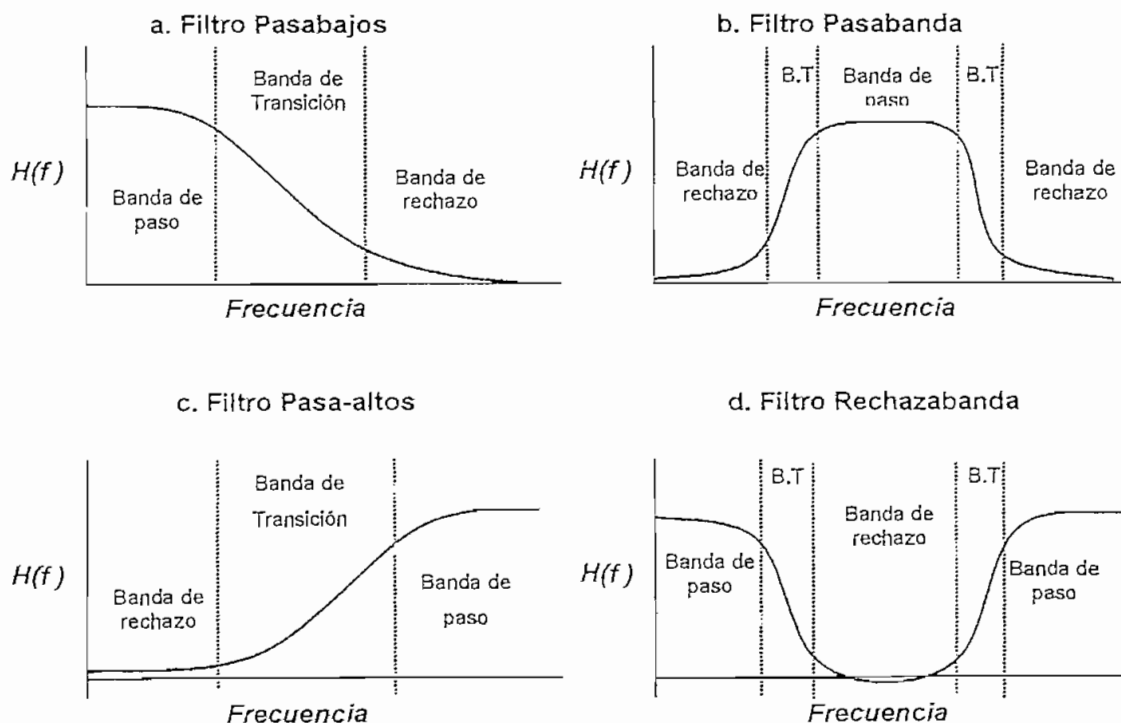


Figura 1.1 Las cuatro respuestas de frecuencia más comunes

La banda de paso o pasabanda se refiere a esas frecuencias que pasan, mientras la banda de paro o parabanda o banda de rechazo contiene las frecuencias que se bloquean. La banda de transición es la que se encuentra entre ellas.

Los parámetros de un filtro digital:

- δ_1 es el rizado de pasabanda o de la banda de paso.
- δ_2 es el rizado de parabanda o banda de rechazo.
- f_p es la frecuencia límite de pasabanda o banda de paso.
- f_s es la frecuencia límite de parabanda o banda de rechazo.

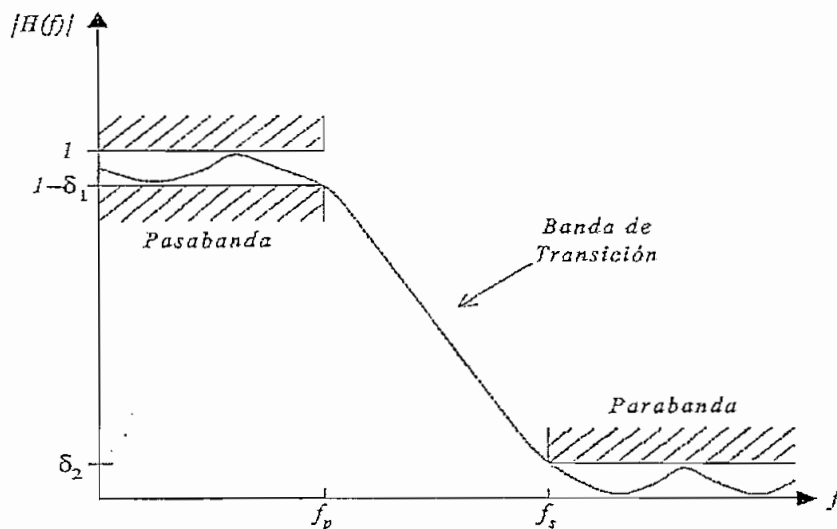


Figura 1.2 Esquema de un filtro Pasabajos Digital donde se pueden apreciar la f_p , y la f_s

Un roll-off rápido significa que la banda de transición es muy estrecha. La división entre, la pasabanda y la banda de la transición se llama frecuencia de corte. En el diseño de filtros analógicos, la frecuencia de corte se define normalmente donde la amplitud se reduce a 0,707 (es decir, -3dB), los filtros digitales son menos estandarizados, y es común ver 99%, 90%, 70.7%, y 50% niveles de amplitud definidos para la frecuencia de corte.

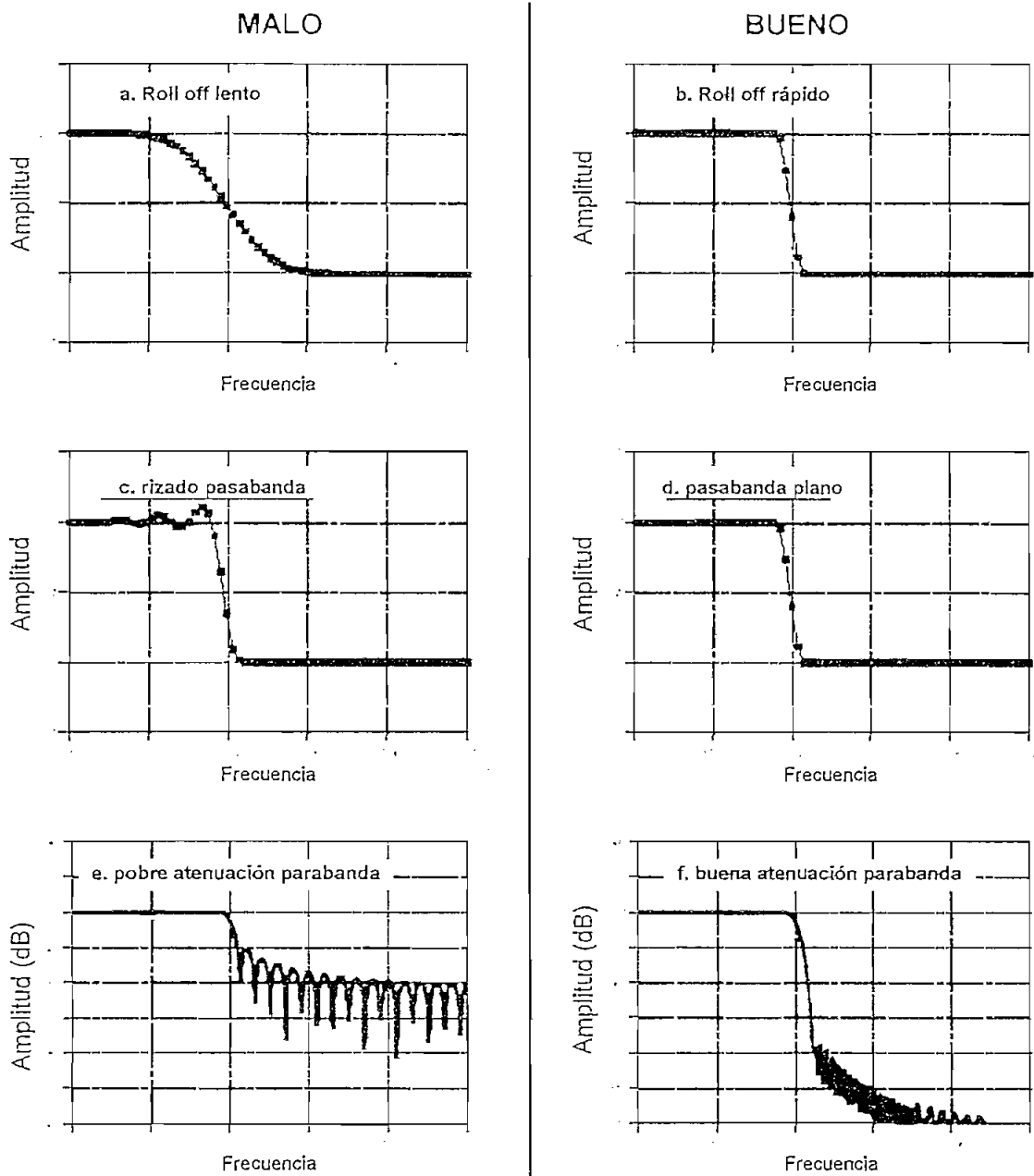


Figura 1.3 Parámetros del desempeño de los filtros en el dominio de la frecuencia

La Figura, 1.3 muestra tres parámetros que miden qué tan bien un filtro se desempeña en el dominio de la frecuencia.

Para separar las frecuencias estrechamente espaciadas, el filtro debe tener un rápido roll-off, como se ilustra en (a) y (b).

Para que las frecuencias de la pasabanda atraviesen el filtro sin ser alteradas no debe haber ningún rizo en esta banda, como se muestra en (c) y (d).

Por último para bloquear las frecuencias de la banda de paro adecuadamente es necesario tener una buena atenuación como se puede ver en (e) y (f).

No se trata nada sobre la respuesta de la fase, primero porque la fase no es importante en aplicaciones del dominio de frecuencia. Por ejemplo, la fase de una señal de audio es casi completamente aleatoria, y contiene muy poca información útil; segundo, si la fase es importante, es muy fácil hacer filtros Digitales con una perfecta respuesta de fase, para que todas las frecuencias atraviesen el filtro con un cambio de la fase nulo. En comparación, con los filtros analógicos que tienen una respuesta muy pobre con respecto a la fase.

3.4 COMPARACIÓN ENTRE FILTROS DIGITALES Y FILTROS ANALÓGICOS³

Los filtros se utilizan para dos fines en general:

- Separar señales que han sido combinadas.
- Reconstruir o mejorar señales que han sido distorsionadas.

Los filtros digitales aunque tienen el mismo propósito han desplazado completamente a los analógicos porque tienen un desempeño mucho mejor y pueden alcanzar resultados muy superiores.

Se utiliza la restauración de una señal cuando se produce de alguna manera distorsión de la misma. Por ejemplo, en una grabación de sonido realizada con equipos ineficaces, mediante el filtrado se podría representar de mejor manera el sonido como ocurre actualmente. Estos problemas podrían ser resueltos con filtros analógicos o digitales.

³ Tomado del Internet <http://www.ece.rutgers.edu/~orfanidi/intro2sp.html>

Los filtros analógicos son bajos en costo, rápidos, y tienen un rango dinámico⁴ grande, en amplitud y frecuencia. Los filtros digitales, en comparación, son inmensamente superiores en cuanto a la rapidez en la transición que pueden alcanzar. Por ejemplo un filtro digital pasabajos puede tener una ganancia DC de 1 ± 0.0002 a una frecuencia de 1000 hertz, y una ganancia menor que 0.0002 para frecuencias superiores a 1001 hertz. La transición ocurre dentro de tan sólo 1 hertz.

Los filtros digitales actúan mejor sobre una señal. Esto hace una diferencia extrema en cuanto al filtrado de señales, ya que con filtros analógicos el problema radica en las limitaciones en cuanto al manejo de los elementos electrónicos, tal como la exactitud y estabilidad de las resistencias y condensadores. En comparación, los filtros digitales son tan eficientes que frecuentemente se ignora el rendimiento de los mismos.

3.4.1 VENTAJAS

Los filtros digitales superan a los filtros analógicos por:

- Los filtros digitales son fáciles de diseñar, probar e implementar en computadoras de propósito general o en estaciones de trabajo pues pueden implementarse por software o hardware.
- Son programables por software y esta operación es determinada por un programa almacenado en la memoria del procesador, esto significa que los filtros digitales pueden ser cambiados fácilmente sin afectar el hardware.
- Los filtros analógicos pueden ser cambiados únicamente rediseñando los parámetros y cambiando los elementos del filtro.

⁴ Un elemento puede producir un rango constante en Amplitud entre valores máximos y mínimos, al que se le denomina Rango Dinámico este valor es medido en Decibelios

- Los filtros digitales no son afectados por cambios en la temperatura o humedad, son extremadamente estables con respecto a estos factores, en contraste con los filtros analógicos que tienen elementos activos que son dependientes de la temperatura y de las variaciones que se producen durante su tiempo de vida.
- Se los utiliza sin problemas con señales de baja frecuencia, ya que los filtros digitales son implementados mediante tecnologías DSP, es decir por software, no existe inconveniente en trabajar con señales de baja frecuencia. Esto no ocurre con los filtros analógicos en los cuales se produce inestabilidad.
- Pueden manejarse combinaciones complejas, gracias a la velocidad de los procesadores DSP's. se pueden implementar por software filtros en paralelo o cascada afectando en forma mínima el tiempo de respuesta.
- Tienen alta precisión, limitada solamente por los errores de redondeo en la aritmética empleada en el D.S.P.
- Intervalo dinámico. En filtros analógicos aparecen restricciones que limitan el rango de trabajo y se saturan con la alimentación. En cambio en los filtros digitales es fijado por el número de bits que representa la secuencia y los errores de redondeo.
- Respuesta dinámica. El ancho de banda del filtro digital está limitado por la frecuencia de muestreo⁵, mientras que en los filtros analógicos con componentes activos suelen estar restringidos por la respuesta de los amplificadores operacionales.

⁵ El muestreo consiste en evaluar la señal analógica cada ciertos valores *periódicos de su variable independiente*, generalmente el tiempo. Las muestras se toman espaciadas igualmente a lo largo de la variable independiente, el teorema del muestreo establece que un período de muestreo debe ser menor a la mitad del tiempo requerido por la señal.

- Gran versatilidad; pues los filtros digitales tienen la habilidad de procesar señales de varias maneras, esto incluye la capacidad de adaptar cambios en las características de la señal.
- Absoluta inmunidad al ruido en cambio en filtros analógicos la utilización de dispositivos electrónicos incrementan la posibilidad de tener la presencia de anomalías dentro del sistema, así como es el ruido.
- Muy bajo costo comparándolos con los filtros analógicos, pues en estos si se desea modificar los parámetros de funcionamiento, para poder obtener los resultados deseados se debe cambiar los dispositivos electrónicos que lo conforman en consecuencia se incrementa el costo del mismo.

3.4.2 DESVENTAJAS

- Las desventajas que pueden afectar a los filtros digitales radican básicamente en inconvenientes de aproximación que se obtengan en cada uno de los diferentes métodos matemáticos de diseño dependiendo de cada tipo de filtro y de las características deseadas, un determinado método se adaptará de mejor manera que otro.
- Las desventajas que se generen dependerán de la elección e implementación adecuada de estos métodos, es decir, las desventajas que acarree un determinado método no necesariamente lo ocasionará otro.
- Por ejemplo para determinados filtros no es posible aprovechar las ventajas de la FFT en la implementación, ya que para esto es necesario un número de puntos finito.
- Otros filtros alcanzan una magnífica respuesta en amplitud a expensas de un comportamiento no lineal en fase.

4. PROCESAMIENTO DIGITAL DE SEÑALES

El Procesamiento de señales posee una larga y rica historia. Es una tecnología que se une con un inmenso conjunto de disciplinas entre las que se encuentran las telecomunicaciones, el control, la exploración del espacio, la medicina y la arqueología, por nombrar solo unas pocas. Hoy en día, esta afirmación es incluso más cierta con la televisión digital, los sistemas de información y el entretenimiento multimedia. Es más, a medida que los sistemas de comunicación se van convirtiendo cada vez más en sistemas inalámbricos, móviles y multifunción, la importancia de un procesamiento digital de señales sofisticado en dichos equipos se hace cada vez más relevante.

Cada vez tiene mayor importancia en la ingeniería el procesado de señales digitales, sobre todo, por el aumento de potencia de los computadores con una bajada drástica de los precios. Tanto es así que hay en el mercado desde hace algunos años procesadores específicos para el procesamiento digital, denominados por las siglas D.S.P. (Digital Signal Processor).

Por sólo hablar de las aplicaciones que se sustentan en procesamiento digital de señales se podrían citar algunas tales como:

- **Instrumentación electrónica:**

- a) Filtrado de señales.
- b) Osciloscopios digitales.
- c) Analizadores de espectro.

- **En el espacio:**

- a) Fotografías espaciales
- b) Compresión de datos
- c) Análisis sensorial inteligente

- **Electrónica de Potencia:**

- a) Señales de disparo sobre SCRs, IGBTs, MOSFET,

- **Medicina:**

- a) Diagnóstico de imágenes (ultrasonido, etc.).
- b) Análisis de electrocardiogramas.
- c) Imágenes médicas.

- **Control:**

- a) Reguladores discretos.
- b) Controladores de robots

- **Comerciales:**

- a) Compresión de imágenes y sonido para multimedia.
- b) Efectos especiales para películas.
- c) Videoconferencia.

- **Procesamiento de imágenes:**

- a) Filtrado de imágenes.
- b) Reconocimiento de Formas.
- c) Compresión y descompresión de imágenes.

- **Procesamiento de sonido:**

- a) Identificación de fonemas.
- b) Voz sintética.

- **Telefonía:**

- a) Compresión de voz y datos.
- b) Cancelación de eco.
- c) Multiplexación de señales.
- d) Filtrado.

- **Militar:**

- a) Radar.
- b) Sonar.
- c) Comunicaciones encriptadas.

- **Industria:**

- a) Búsqueda de minerales y petróleo.
- b) Procesos de monitoreo y control.

- **Ciencia:**

- a) Adquisición de datos.
- b) Análisis espectral.
- c) Simulación y modelación.

El Procesamiento de señales trata la representación, transformación y manipulación de señales y de la importancia que contienen. Cuando se refiere al procesado digital de señales, se refiere a la representación mediante secuencias de números de precisión finita y el procesado se realiza utilizando un computador digital.

A menudo es deseable que estos sistemas funcionen en tiempo real, lo que significa que el sistema en tiempo discreto se implementa de forma que las muestras a la salida se calculan a la misma velocidad a la que se muestrea la

señal en tiempo continuo. Son muchas las aplicaciones que requieren esta especificación.

El tratamiento en tiempo discreto y en tiempo real de señales en tiempo continuo es práctica común en sistema de control, comunicaciones, radar, sonar, codificación y realce de voz y video, ingeniería biomédica y una larga lista antes expuesta solo para dar algunos ejemplos.

Otro tipo de problemas del tratamiento de señales al que se enfrenta es la interpretación de señales. Por ejemplo, en un sistema de reconocimiento de voz el objetivo es comprender la señal de entrada. Típicamente, un sistema como éste aplicará un procesado digital previo (filtrado, estimación de parámetros, etc.) seguido por un sistema de reconocimiento de patrones que produzca una representación simbólica.

Los problemas de tratamiento de señales no están confinados, por supuesto, a señales unidimensionales. Aunque hay algunas diferencias fundamentales entre las teorías del tratamiento de señales unidimensionales y multidimensionales, una buena parte del material que se presenta aquí tiene su contrapartida en sistemas multidimensionales. Entre ellas destaca las aplicadas al procesamiento de imágenes digitales.

En este documento solo se va a tratar sobre los filtros digitales lineales e invariantes en el tiempo, abreviados por la sigla LTI⁶ (Linear Time Invariant).

La elección de estos filtros viene dada por su gran difusión actual. Se profundiza más sobre los filtros digitales y procesamiento digital de señales en el capítulo dos de este documento.

Los filtros digitales LTI son, por ejemplo, usuales en el procesamiento del audio.

⁶ LTI Lineal e Invariante en el tiempo

Los equipos de música vienen dotados con filtros que le permite al oyente modificar las cantidades relativas de energía de baja frecuencia (graves) y la energía de alta frecuencia (agudos). Estos filtros varían sus respuestas en frecuencias mediante la manipulación de los controles de tono.

Otra clase común de filtros LTI son aquellos en los que la salida del filtro es una aproximación de la derivada de su entrada.

5. PROCESADOR DIGITAL DE SEÑALES (D.S.P.)

En los últimos años el uso de Procesadores Digitales de Señal es dominante en las aplicaciones de procesado avanzado de una señal. En las dos últimas décadas estas técnicas se han estudiado y utilizado crecientemente.

Actualmente los Procesadores Digitales de Señal son elementos indispensables para diseño electrónico, sustituyendo en algunas aplicaciones a los microprocesadores y microcontroladores, principalmente encontraremos D.S.P. en el diseño de sistemas de telecomunicaciones, sistemas de audio y en algoritmos avanzados de control de motores, así por citar algunos ejemplos tenemos:

- Tarjetas con múltiples puertos serie en servidores para proveedores de acceso a Internet.
- Compresión de voz en telefonía móvil
- Filtros complejos de sonido.
- Líneas de retardo.
- Generadores de eco.
- Decodificación de canales en telefonía celular (GSM).

Los DSP's son sistemas programables que nos permiten implementar muchos tipos de aplicaciones para los microprocesadores, en función de las posibilidades del sistema y de las facultades del programador.

En la arquitectura interna de estos procesadores, podemos darnos cuenta que un DSP es un microprocesador (o un microcontrolador) optimizado internamente para realizar los cálculos con la mayor velocidad y eficiencia que son necesarios para implementar algoritmos de proceso de señal.

5.1 VENTAJAS SOBRE LOS MICROPROCESADORES COMUNES

5.1.1 IMPLEMENTACIÓN DE OPERACIONES POR HARDWARE.

La implementación de algunas operaciones mediante hardware, esto consigue mejorar la velocidad media de cálculo normalmente, las instrucciones que se implementan son aquellas que se usan más a menudo.

5.1.2 INSTRUCCIONES POCO COMUNES QUE EJECUTAN VARIAS OPERACIONES EN UN SOLO CICLO.

La ejecución de varias operaciones en un sólo ciclo es posible ya que están implementadas como circuitería adicional y no como código microprogramado en la propia unidad central. Un ejemplo típico es la instrucción MAC (multiply and accumulate) que puede realizarse como un conjunto de puertas lógicas que estarán conectadas a uno o más registros especiales del procesador.

5.1.3 MODOS ESPECIALES DE DIRECCIONAMIENTO.

Los modos de direccionamiento especiales se implementan para facilitar y acelerar el tratamiento de estructuras de datos (como por ejemplo, buffers circulares) similares a las que conocemos de lenguajes de programación de nivel medio alto, Estos modos son:

- Direccionamiento, circular.
- Direccionamiento con bits invertidos.

Pre y post modificación de los punteros de direcciones (similar al n++, ++n, n-- y --n del lenguaje C).

5.1.4 MEMORIA DE PROGRAMA QUE PUEDE TENER MAS DE 8 BITS

El uso de juego de instrucciones con palabras "anchas" nos permite codificar en una sola palabra datos e instrucciones, disminuyendo de este modo el número de accesos a memoria por instrucción y aumentando así el rendimiento del sistema.

6. EL PROCESADOR DIGITAL DE SEÑALES ADSP 2181⁷

El ADSP 2181 es un microprocesador especializado para desarrollar las operaciones fundamentales utilizadas en Procesamiento Digital de Señales (multiplicaciones, sumas, restas) tan rápido como sea posible.

Estas optimizaciones son necesarias para ejecutar la inmensa cantidad de operaciones matemáticas requeridas por los algoritmos DSP para realizar aplicaciones en tiempo real.

Fabricado con tecnología CMOS, el ADSP-2181 opera con una sola fuente de alimentación de +5 VDC; ejecuta 33 MIPS, en el que todas las instrucciones requieren un solo ciclo de procesador.

El ADSP-2181 de Analog Devices está sustentado por un módulo de desarrollo de bajo costo denominado EZ-KIT Lite. Este módulo incluye una tarjeta de evaluación (EZ-Lab) y un paquete de desarrollo de software.

Esta tarjeta puede trabajar sola o conectarse al puerto RS-232 de un computador, para que un programa monitor que se ejecuta en el ADSP-2181, conjuntamente

⁷ Tomado del libro ADSP-2100 Family User's Manual

con un programa Host en el PC interactúen para almacenar programas de usuario y examinar los contenidos de la memoria interna del procesador.

En la memoria EPROM se graba el programa monitor, esta memoria se encuentra alojada en un zócalo la cual puede ser removida para insertar una nueva memoria que contenga códigos de programa desarrollados por el usuario.

6.1 CARACTERÍSTICAS DE LA ADSP 2181

Tiempo por instrucción en un ciclo de máquina 25 ns, de un cristal de 20 MHz.

Desempeño de 33 MIPS.

Instrucciones multifunción.

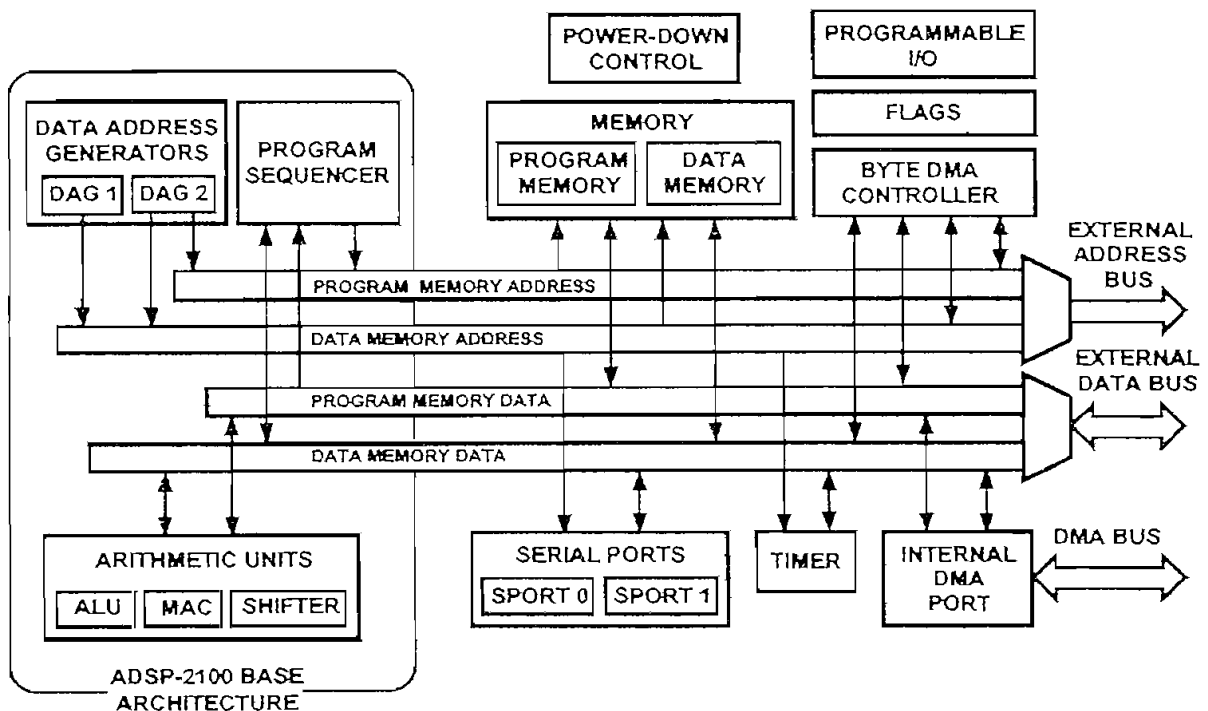


Figura 1.4 Diagrama de Bloques del ADSP-2181

Además 80 Kbytes, en un chip de memoria RAM, 16 mil palabras en un chip para memoria RAM de programa y 16 mil palabras en un chip para memoria RAM de

Datos. Unidades computacionales individuales que procesan datos de 16-bit directamente y también proveen soporte de hardware para cálculos de multiprecisión.

- Unidad aritmética lógica (ALU (Arihtmetic Logic Unit)) .
- Multiplicador acumulador (MAC (Multiplier Acumulator)) y;
- Shifter.

Dos generadores de dirección de datos que permiten al procesador establecer direcciones simultáneas para producir operandos dobles, los generadores de dirección de datos mantienen las unidades computacionales en continuo funcionamiento, maximizando de esta manera la velocidad de procesamiento de datos.

La memoria de datos almacena datos, y la memoria de programa almacena datos y programas. ADSP 2181 contiene una RAM que comprende una parte del espacio para la memoria de programas y otra parte para la memoria de datos. La velocidad de la memoria permite al procesador extraer dos operandos (uno de memoria de datos y otro de memoria de programa) y una instrucción (de memoria de programa) en un solo ciclo de máquina.

La plataforma de desarrollo EZ-KIT Lite tiene un Interfaz analógico con una circuitería para procesamientos analógicos y digitales de señales. Esta circuitería incluye un conversor analógico-digital, un conversor digital-analógico, filtros analógicos y digitales, y un interfaz paralelo al centro del procesador, además en un solo ciclo de máquina el ADSP 21XX puede:

- Generar la siguiente dirección de programa. Sacar la instrucción siguiente. Ejecutar uno o dos movimientos de datos.
- Actualizar uno o dos punteros de dirección de datos.
- Ejecutar una operación.

Durante el mismo ciclo el procesador puede:

- Recibir y/o transmitir datos vía puerto(s) serial(es).
- Recibir y/o transmitir datos vía el interfaz puerto Host.
- Recibir y/o transmitir datos vía los puertos DMA.
- Recibir y/o transmitir datos vía el interfaz analógico.

Tiene un temporizador, que es contador programable con 8-bit el cual provee una generación de interrupciones periódicas y los puertos seriales proveen un completo interfaz serial con el hardware para la compresión y expansión de datos, Cada puerto serie podría generar un reloj interno programable o aceptar un reloj externo, el puerto serie 0 incluye una opción de multicanal.

El Interfaz Host - Puerto (HIP) permite la conexión directa a un procesador Host, y los puertos DMA (Acceso Directo a Memoria) internos (IDMA) y los puertos DMA de Byte (BDMA) en los ADSP-2181 proveen eficientes transferencias de datos hacia y desde la memoria interna.

6.2 ARQUITECTURA DE LA ADSP 2181

El ADSP utiliza la arquitectura denominada "Arquitectura Harvard" como se observa en la Figura 1.5

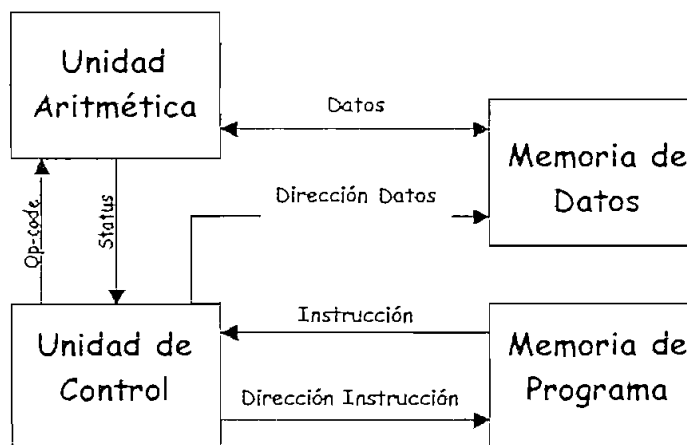


Figura 1.5 Arquitectura básica de los DSP
Arquitectura Harvard

En la arquitectura Harvard existen bloques de memoria físicamente separados para datos y programas. Cada uno de estos bloques de memoria se direccionan mediante buses separados tanto de direcciones como de datos, e incluso es posible que la memoria de datos tenga distinta longitud de palabra que la memoria de programa.

Con este diseño se consigue acelerar la ejecución de las instrucciones, ya que el sistema puede ejecutar simultáneamente la lectura de datos de la instrucción "n" y comenzar a decodificar la instrucción "n+1", disminuyendo el tiempo total de ejecución de cada instrucción.

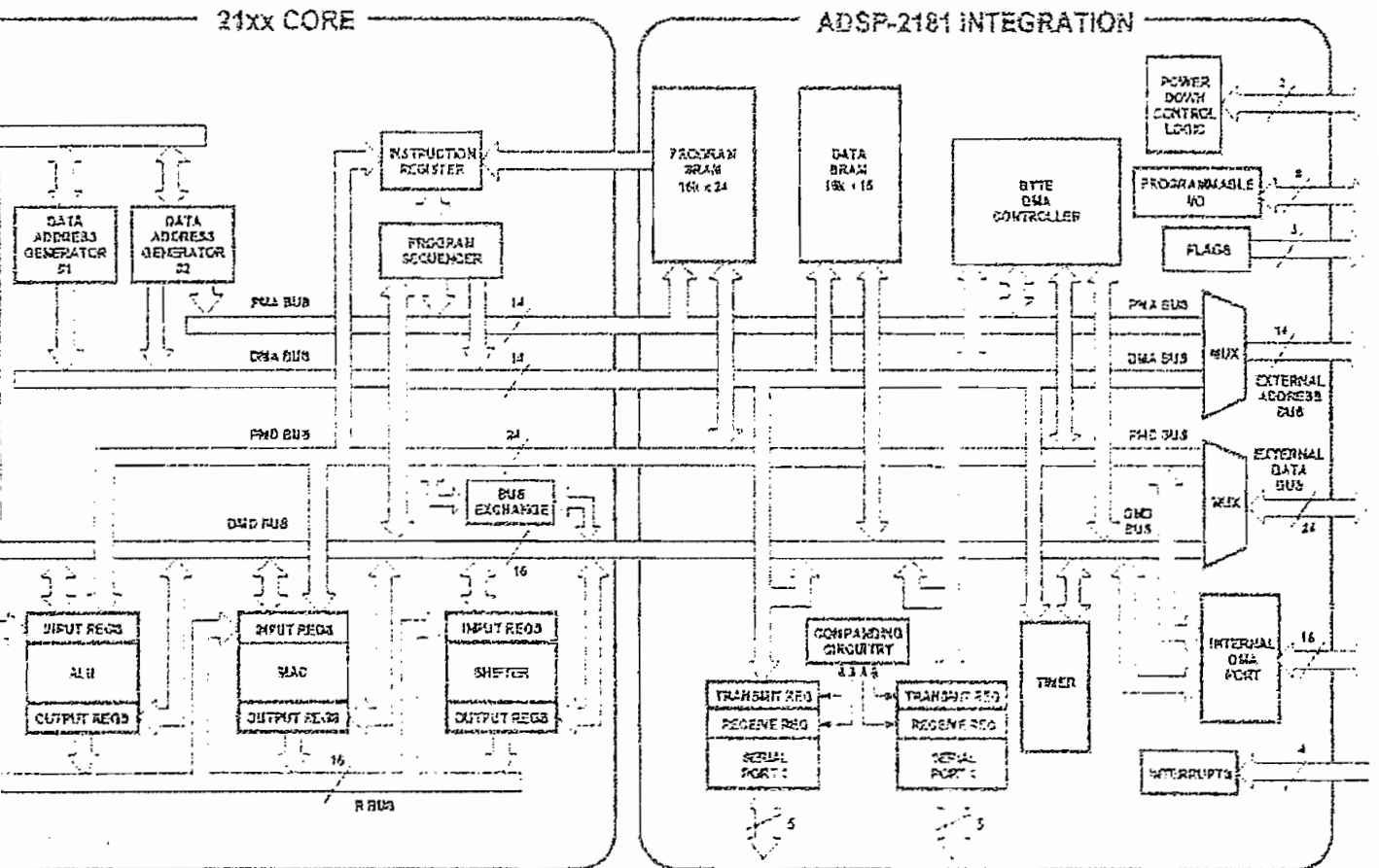


Figura 1.6 ADSP 2181 Diagrama de bloques

7. LOS DSP's DE ALTO RENDIMIENTO⁸

Para las aplicaciones más exigentes los fabricantes han desarrollado una gama de DSP's con una enorme capacidad de cálculo, de unos 1600 MIPS, cuando lo típico en un DSP es alcanzar unos 150 MIPS como máximo.

Estos circuitos están concebidos especialmente para aplicaciones relacionadas con el mundo de las telecomunicaciones, como estaciones base de radio, servidores de acceso remoto, módems de cable o sistemas de telefonía celular.

En realidad, estos DSP's están formados por varias unidades funcionales (8 en el TMS 320C6201 de Texas Instruments), altamente optimizadas, que trabajan en paralelo. De este modo es posible alcanzar un rendimiento de cálculo de 1600 MIPS con un reloj de 200 MHz.

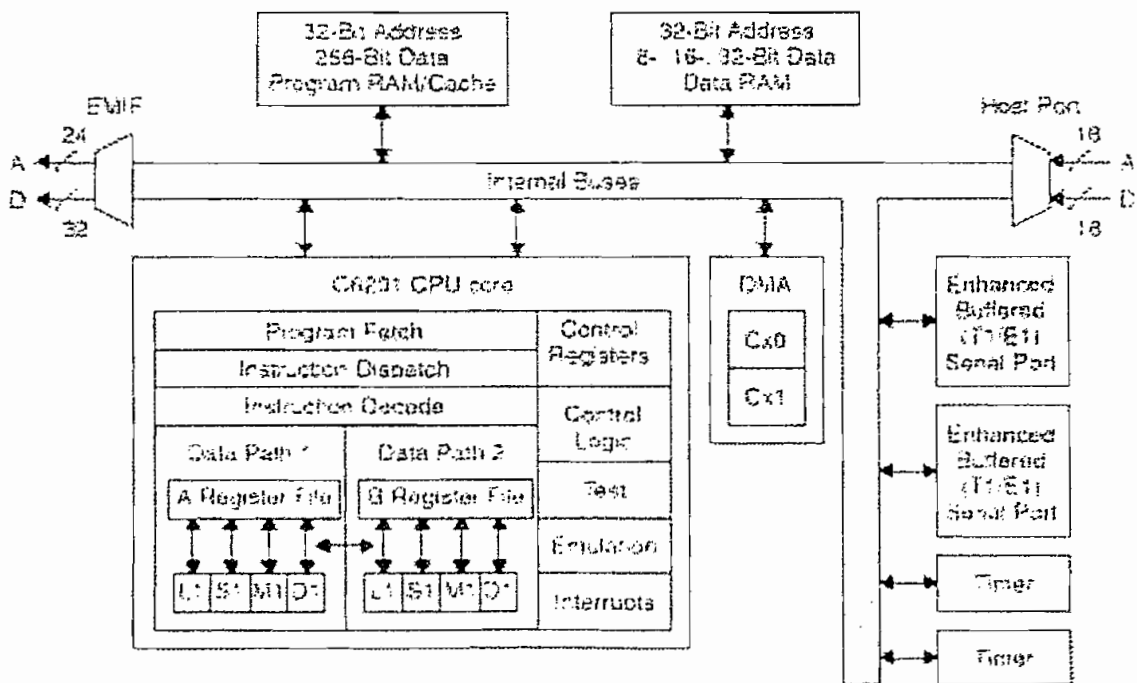


Figura 1.7 Esquema de un DSP de alto rendimiento

⁸Tomado del Internet <http://www.ece.rutgers.edu/~orfanidi/intro2sp.html>

Este circuito incorpora en su interior una memoria SRAM de 1 Mbit (y 256 bits de ancho) que se divide en 512 Kbits para datos y 512 Kbits para programa/caché.

La memoria tiene una anchura de 256 bits para así poder leer 8 instrucciones de 32 bits en un solo acceso a memoria. En el caso de no disponer de suficiente memoria interna, podemos añadir memoria externa de 32 bits de ancho; en este caso la memoria interna de programa se configura para usarse como caché, de modo que no disminuya en exceso el rendimiento por usar una memoria con una anchura de palabra menor.

Para minimizar la circuitería incorporada en el DSP encargada de la coordinación entre procesadores, la paralelización es responsabilidad en gran medida de las herramientas de programación, que en este caso son ensambladores y compiladores de C. Por tanto, es evidente que tendremos que usar exclusivamente las herramientas que nos proporciona el mismo fabricante, ya que de ellas depende fundamentalmente el rendimiento del sistema.

FILTROS DIGITALES

1. INTRODUCCION

Los filtros digitales implementados sobre Procesadores Digitales de Señales (DSP's) tienen un muy alto desempeño, se pueden obtener variaciones del orden de 100 dB en una transición de un solo hertz. Esta es una de las razones por las que los DSP se han vuelto tan populares.

Los filtros digitales son una clase de sistemas discretos LTI utilizados para extraer características desde el dominio de la frecuencia sobre señales muestreadas. El diseño de los filtros se realiza de acuerdo a:

- Detalles de las características deseadas del sistema.
- Aproximaciones de las especificaciones mediante un sistema causal en tiempo discreto.
- La implementación del sistema.

El primero es altamente dependiente de la aplicación y el tercero de la tecnología utilizada para la implementación.

Para la aplicación, el filtro que se necesita implementar se realiza mediante un cálculo digital y se lo realiza sobre una señal que proviene del tiempo continuo seguido por una conversión analógico-digital.

Cuando se utiliza un filtro digital para realizar el tratamiento de señales en tiempo continuo, se emplea una configuración en donde primero se digitaliza la señal, luego se la procesa y al final se la convierte de nuevo en otra señal continua en el tiempo, tanto las especificaciones del filtro en tiempo discreto como las que se indica en tiempo continuo se suelen dar en el dominio de la frecuencia. Si se usa un sistema LTI y si la entrada es de banda limitada y la frecuencia de muestreo es lo suficientemente alta para evitar que la señal se distorsione, el sistema completo

se comporta como un sistema LTI continuo en el tiempo cuya respuesta en frecuencia es:

$$G_C = \begin{cases} G_d(\omega) & |\omega| < \frac{\pi}{T} \\ 0 & |\omega| > \frac{\pi}{T} \end{cases}$$

En estos casos es inmediato convertir las especificaciones del filtro efectivo de tiempo continuo, $G_C(\omega)$ en especificaciones del filtro en tiempo discreto, $G_d(\omega)$.

Para la arquitectura de estos filtros parece evidente que es más compleja y costosa que el uso de configuraciones para implementar filtros analógicos.

Sin embargo, los filtros digitales exhiben abrumadoras ventajas respecto a los sistemas de tiempo continuo, una enumeración de los beneficios puede enmarcarse dentro de la comparación entre estos dos tipos de filtros:

- **Respuesta dinámica:** El ancho de banda del filtro digital está limitado por la frecuencia de muestreo, mientras que en los filtros analógicos con componentes activos suelen estar restringidos por los amplificadores operacionales.
- **Intervalo dinámico:** En los filtros analógicos aparecen fluctuaciones que limitan el rango de trabajo y se saturan con la alimentación. En cambio en los filtros digitales es fijado por el número de bits que representa la secuencia, y el límite inferior por el ruido de cuantificación y por los errores de redondeo.
- **Conmutabilidad:** Si los parámetros de un filtro se conservan en registros, los contenidos de dichos registros pueden ser modificados a voluntad. De esta forma, estos filtros se pueden transformar, pudiéndose multiplexar en el tiempo para procesar varias señales de entrada a la vez.

- **Adaptabilidad:** Un filtro digital puede ser implementado en soporte físico (hardware) o mediante un programa de ordenador (software).
- **Ausencia de problemas de componentes:** Los parámetros de los filtros se representan por medio de números binarios y no fluctúan con el tiempo. Al no haber componentes, no hay problemas de tolerancia de componentes, y ningún otro problema asociado con un comportamiento no ideal de resistencias, condensadores, bobinas o amplificadores. Tampoco existen problemas de impedancia de entrada ni salida, ni efectos de adaptación de impedancias entre etapas.
- **Complejidad:** La potencia de cálculo de los computadores actuales y de los algoritmos desarrollados, permiten implementar prestaciones casi imposibles de diseñar con filtros analógicos.

2. CLASES DE FILTROS DIGITALES

Una distinción fundamental en los sistemas discretos dinámicos lineales e invariantes, y en particular en los filtros digitales, es la duración de la respuesta ante el impulso. Se habla de sistemas de respuesta de pulso finito o no recursivo (FIR, Finite Impulse Response) y de sistemas de respuesta infinita o recursivo (IIR, Infinite Impulse Response).

2.1 FILTROS FIR (FINITE IMPULSE RESPONSE)

Un filtro FIR de orden M se describe por la siguiente ecuación de diferencias:

$$y[n] = B_0 x[n] + B_1 x[n-1] + \dots + B_M x[n-M]$$

lo que da lugar a una función de transferencia:

$$H(z) = B_0 + B_1 z^{-1} + \dots + B_M z^{-M}$$

en donde la secuencia $\{B_k\}$ y $K = 0 \dots M$ son los coeficientes del filtro.

En esta clase de filtros no hay recursión, es decir, la salida depende sólo de la entrada y no de valores pasados de la salida.

La respuesta es por tanto una suma ponderada de valores pasados y presentes de la entrada. De ahí que se denomine Media en Movimiento (Moving Average).

La función de Transferencia tiene un denominador constante y sólo tiene ceros y la respuesta es de duración finita ya que si la entrada se mantiene en cero durante M periodos consecutivos, la salida será también cero.

2.2 FILTROS IIR (INFINITE IMPULSE RESPONSE)

Este tipo de filtros tiene dos variaciones: AR y ARMA

2.2.1 FILTROS AR (AUTOREGRESIVO)

La ecuación de diferencias que describe a un filtro Autoregresivo es:

$$y[n] + A_1 y[n-1] + A_2 y[n-2] + \dots + A_N y[n-N] = x[n]$$

lo que da una función de transferencia:

$$H(z) = \frac{1}{1 + A_1 z^{-1} + A_2 z^{-2} + \dots + A_N z^{-N}}$$

y esta función de transferencia solo contiene polos.

Este filtro es recursivo ya que la salida depende no solo de la entrada actual sino además de valores pasados de la salida, es decir filtros con realimentación. El término autoregresivo tiene un sentido estadístico en que la salida $y[n]$ tiene una regresión hacia sus valores pasados, la respuesta al impulso es normalmente de duración infinita, de ahí su nombre.

2.2.2 FILTROS ARMA (AUTOREGRESIVO Y MEDIA EN MOVIMIENTO)

Es el filtro más general y es una combinación de los filtros MA y AR descritos anteriormente. La ecuación que describe un filtro ARMA de orden N es:

$$y[n] + A_1 y[n-1] + A_2 y[n-2] + \dots + A_N y[n-N] = B_0 x[n] + B_1 x[n-1] + \dots + B_M x[n-M]$$

y su función de transferencia es:

$$H(z) = \frac{B_0 + B_1 z^{-1} + \dots + B_M z^{-M}}{1 + A_1 z^{-1} + \dots + A_N z^{-N}}$$

Un filtro de este tipo se denomina por ARMA(N,M), es decir es Autoregresivo de orden N y Media en Movimiento de orden M. Su respuesta al impulso es también de duración infinita y por tanto es un filtro del tipo IIR.

<i>Ecuación Diferencia</i>	<i>Tipo de Filtro</i>
$y[n] = \sum_m B_m x[n-m]$	<i>FIR (Finite Impulse Response), No Recursivo, Moving Average (MA) orden M, Todo ceros</i>
$\sum_k A_k y[n-k] = x[n]$	<i>IIR (Infinite Impulse Response), Recursivo, Autoregresivo (AR) orden N, Todo polos</i>
$\sum_k A_k y[n-k] = \sum_m B_m x[n-m]$	<i>IIR Recursivo, ARMA(N,M), Polos y Ceros</i>

Tabla 2.1 Clasificación de los Filtros Digitales

2.3 OPINION SOBRE FILTROS IIR

Entre la variedad de métodos tanto para sistemas IIR como para sistemas FIR, no existe un tipo de filtro ni un método de diseño que sea mejor en todas las circunstancias, es decir que la elección del filtro depende de las ventajas que ofrece cada filtro para la solución de un problema en específico.

Así en los filtros IIR existe la ventaja de poder diseñar una gran variedad de filtros selectivos en frecuencia utilizando fórmulas preestablecidas, determinando el orden del filtro que cumplirá las especificaciones necesarias mediante sustitución directa en un sistema de ecuaciones de diseño. En esta simplicidad en el procedimiento de diseño hace que se puedan diseñar filtros IIR de forma natural y produce programas de computador no iterativos.

Estos métodos se limitan a filtros selectivos en frecuencia y solo se permite especificar el módulo, o es necesario aproximar una respuesta de fase o retardo de grupo predeterminado.

3. DESCRIPCION DEL SISTEMA SOBRE EL QUE SE IMPLEMENTARAN LOS FILTROS¹

El DSP utilizado posee un CODEC (Codificador-Decodificador) con el que se implementan los conversores. El DSP (donde se implementan los filtros) se comunica con el CODEC usando el puerto del procesador, puerto que es configurado como Interfaz Sincrónica Serial (SSI). Esta configuración requiere una etapa de inicialización que comprende:

- Selección de los pines de entrada-salida del puerto para ser usados como SSI y controlar al CODEC.
- Inicialización de los registros de control de dicho puerto, para que pueda recibir y transmitir data por los convertidores.
- Habilitación de las interrupciones del puerto SSI para que pueda darse la comunicación serial.

¹ Información tomada de la pagina web de la sección de postgrado, facultad de Ingeniería Eléctrica y Electrónica, Universidad Nacional de Ingeniería, Lima, Perú.

Este sistema de procesamiento en tiempo real consiste de un conversor Análogo-Digital (A/D), de un DSP y de un conversor Digital-Análogo (D/A). Las etapas las podemos observar en la Figura 2.1.

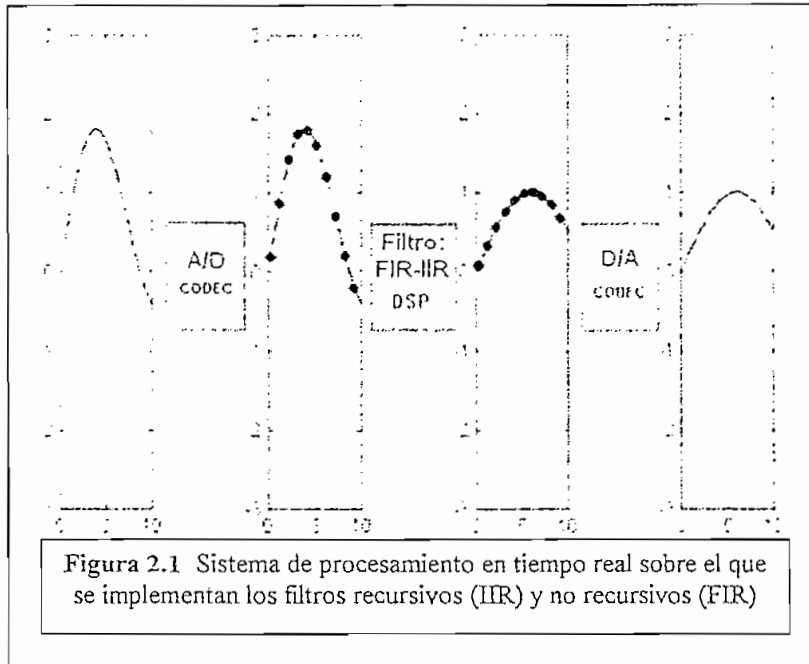


Figura 2.1 Sistema de procesamiento en tiempo real sobre el que se implementan los filtros recursivos (IIR) y no recursivos (FIR)

3.1 DESCRIPCION DEL SISTEMA DE ALMACENAMIENTO

En ambas implementaciones para poder calcular la muestra de salida en tiempo real, se necesita que el sistema de procesamiento tenga acceso inmediato a los valores más recientes de los estados. En el caso de los filtros no recursivos, estos estados son los $N-1$ valores de las entradas pasadas $x(n)$ y en el caso de los filtros recursivos, son los valores $x_i(n-1)$ y $x_i(n-2)$ de cada una de las M secciones bicuadradas; estos valores cambian continuamente según varía la señal procesada. La mejor manera de manejar este almacenamiento es utilizando buffers circulares y en el DSP eso puede realizarse.

Se usa para tal efecto un espacio de memoria RAM apuntado por uno de ocho registros de dirección R y se define un valor, indicando el tamaño del buffer en un registro de módulo M . Obsérvese en la Figura 2.2 estos buffers en el DSP.

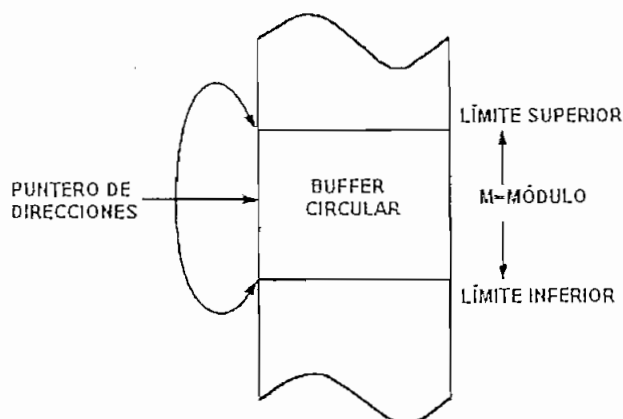


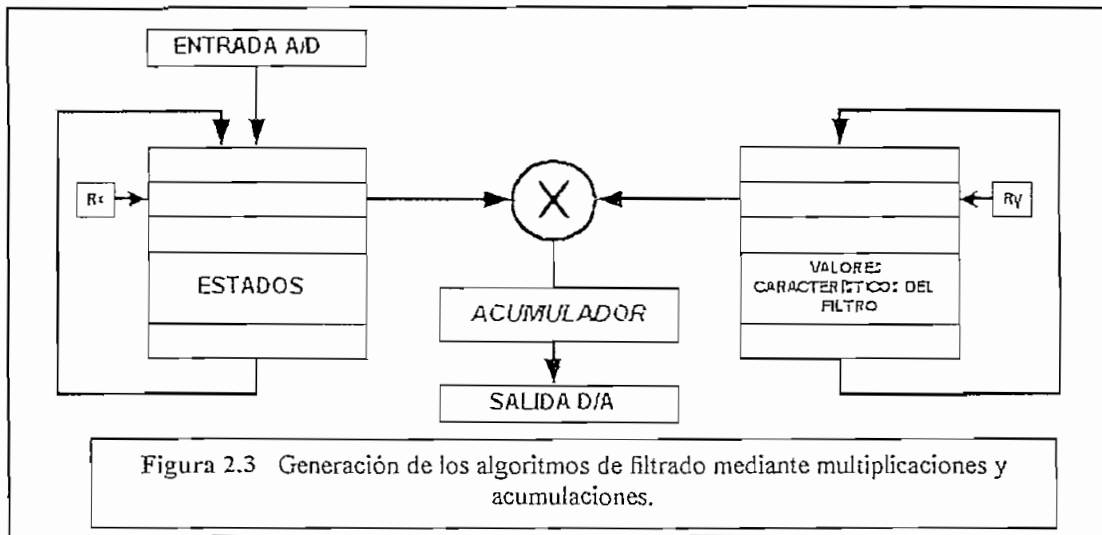
Figura 2.2 Sistema de almacenamiento basado en buffers circulares, los cuales en la ADSP 2181 se definen por el registro de dirección R y por el registro de modulo M

Para poder optimizar al máximo el tiempo de procesamiento, tanto los estados como los valores característicos de los filtros son almacenados en buffers circulares.

3.2 IMPLEMENTACION DE LOS ALGORITMOS DE FILTRADO

Como observamos en la Figura 2.1, ambos algoritmos trabajan sobre el sistema de procesamiento en tiempo real. Es decir toman una muestra de entrada del CODEC, la procesan, y entregan como resultado una muestra de salida también al CODEC. Los dos algoritmos usan igualmente un sistema de almacenamiento basado en buffers circulares, dividido en un sistema de almacenamiento de estados y en otro de almacenamiento de los valores característicos del filtro. Ambas implementaciones, tanto la de los filtros recursivos como la de los filtros no recursivos, están basadas en sumas realizadas sobre un acumulador. Estas sumas corresponden a un cierto número de productos de los valores almacenados en el buffer de estados, multiplicados por los valores almacenados en el buffer de valores característicos.

Estos valores irán multiplicándose según sean apuntados por el registro de dirección característico de cada uno de los buffers. En la Figura 2.3, podemos observar como se han implementado este tipo de algoritmos.



La idea de este conjunto de sumas y multiplicaciones es conseguir generar las ecuaciones características de los filtros. En el caso de los filtros no recursivos, se desea generar la ecuación. En el caso de los filtros recursivos, se desea obtener primeramente la ecuación de entrada y después generar las secciones bicuadradas; es decir, se debe realizar una cadena de las ecuaciones.

Una gran cantidad de movimientos paralelos permitidos, y la multiplicación - acumulación - redondeo - movimientos paralelos en un sólo ciclo de instrucción son características del ensamblador DSP que han permitido realizar de una manera muy eficiente estos algoritmos.

4. PROCESO DE DISEÑO DE FILTROS DIGITALES

El proceso de diseño de un filtro digital requiere tres pasos:

- Establecer las especificaciones del filtro para unas determinadas prestaciones. Estas especificaciones son las mismas que las requeridas por un filtro analógico: frecuencias de rechaza banda y pasabanda, atenuaciones, ganancia, etc.
- Determinar la función de transferencia que cumpla las especificaciones.
- Realizar la función de transferencia en hardware o software.

4.1 TÉCNICAS DE DISEÑO DE FILTROS IIR

Existen dos métodos para realizar el diseño de filtros IIR.

- Mediante métodos de diseño analógico, seguido de una transformación del plano s al plano z (Método I).
- Diseñar un prototipo de filtro pasabajos digital y hacer las oportunas transformaciones (Método II).

4.2 TRANSFORMACIONES DEL PLANO S AL Z

Aplicaremos este método para el diseño de filtros pasabajos. Empezaremos el análisis del proceso de diseño de filtros analógicos para luego transformarlo al dominio discreto, el diseño analógico se realiza a partir de unas especificaciones como las dadas en la Figura 2.4

- δ_1 es el rizado de pasabanda.
- δ_2 es el rizado de parabanda.
- f_p es la frecuencia límite de pasabanda.
- f_s es la frecuencia límite de parabanda.

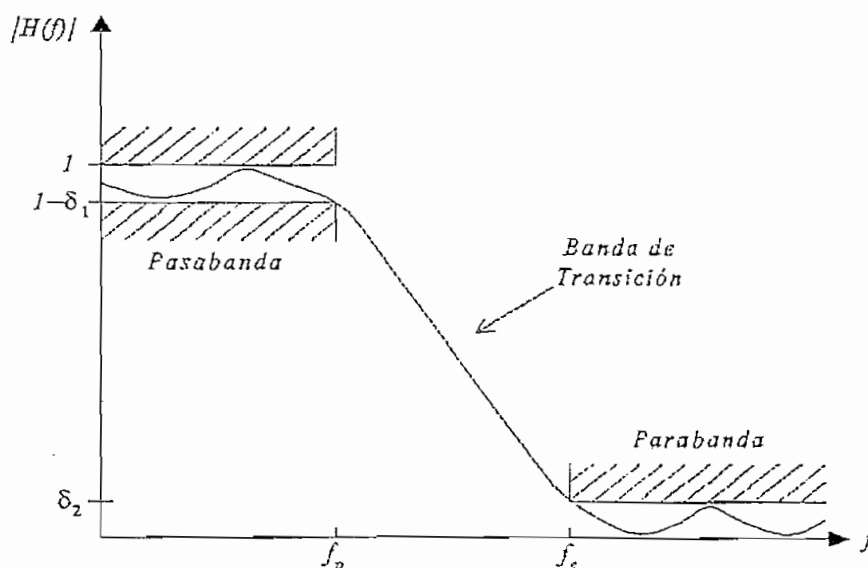


Figura 2.4 Esquema de un filtro Pasabajos Digital

Partimos de un prototipo de filtro pasabajos normalizado en el que usamos una frecuencia normalizada. Para otro tipo de filtro se requerirá la consiguiente transformación de frecuencia. Para ese filtro pasabajos normalizado la función de Transferencia es:

$$|H(v)|^2 = \frac{1}{1 + L_n^2(v)}$$

donde L_n , es un polinomio de grado n .

El objetivo del diseño de un filtro es encontrar L que mejor cumple las especificaciones. Para ello se utilizan algunas aproximaciones (Butterworth, Chebyshev, etc).

4.2.1 ETAPAS DEL DISEÑO

1. Normalizar la frecuencia de acuerdo a las especificaciones.
2. Determinar el orden del prototipo de filtro pasabajos.
3. Determinar la función de Transferencia normalizada.
4. Desnormalizar a través de las transformaciones de frecuencia en 3 y 1 .
5. Aproximación de Butterworth

4.3 APROXIMACIONES PARA EL DISEÑO DE FILTROS IIR

4.3.1 APROXIMACIONES DE BUTTERWORTH

Consiste en hacer $L_n(v) = \varepsilon \cdot v^n$. Esta aproximación es tal que:

$$L_n(0) = 0, L_n'(0) = 0, \dots, L_n^{n-1}(0) = 0$$

Por lo tanto:

$$|H(v)|^2 = \frac{1}{1 + \varepsilon^2 v^{2n}}$$

1. Normalizamos las frecuencias por la frecuencia límite de pasabanda f_p , de forma que $v_p = 1$ y $v_s = f_s / f_p$.
2. A partir de δ_1 (en $v=1$), podemos calcular los valores de ε y n .

$$\delta_1 = 10 \log |H(v)|_{v=1}^2 = 10 \log \frac{1}{1 + \varepsilon^2} = -10 \log(1 + \varepsilon^2) \Rightarrow \varepsilon^2 = 10^{-0.1\delta_1} - 1$$

$$\delta_2 = 10 \log |H(v)|_{v=v_s}^2 = 10 \log \frac{1}{1 + \varepsilon^2 v_s^{2n}} = -10 \log(1 + \varepsilon^2 v_s^{2n})$$

$$n = \frac{\log \left[\frac{10^{-0.1\delta_2} - 1}{10^{-0.1\delta_1} - 1} \right]^{\frac{1}{2}}}{\log v_s}$$

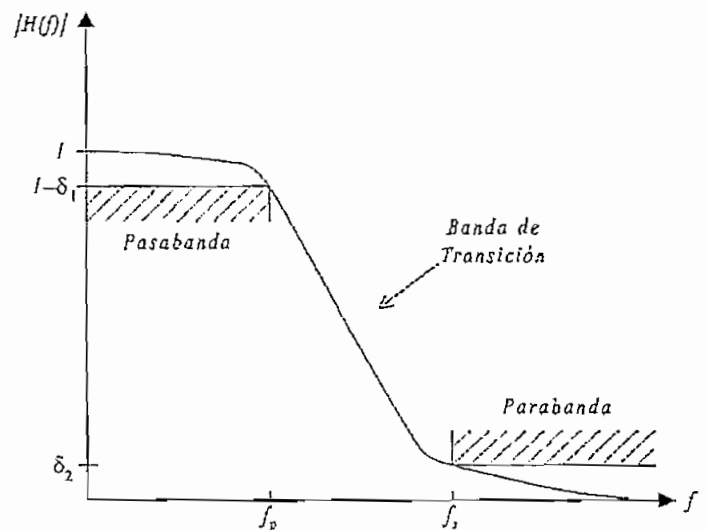


Figura 2.5 Diseño de un filtro pasabajo digital sin rizado

Estos resultados muestran que:

- Los polos normalizados están sobre un círculo de radio 1 en el plano s .

- Los polos están equiespaciados π/n radianes con $\theta_k = (2 \cdot k - 1) \pi / 2 \cdot n$, donde se mide con respecto al eje positivo del eje.
- Los polos nunca estarán sobre el eje $j\omega$ ($2k - 1$ nunca puede ser par).
- Si n es impar, siempre hay un par de polos reales en $s = \pm 1$.

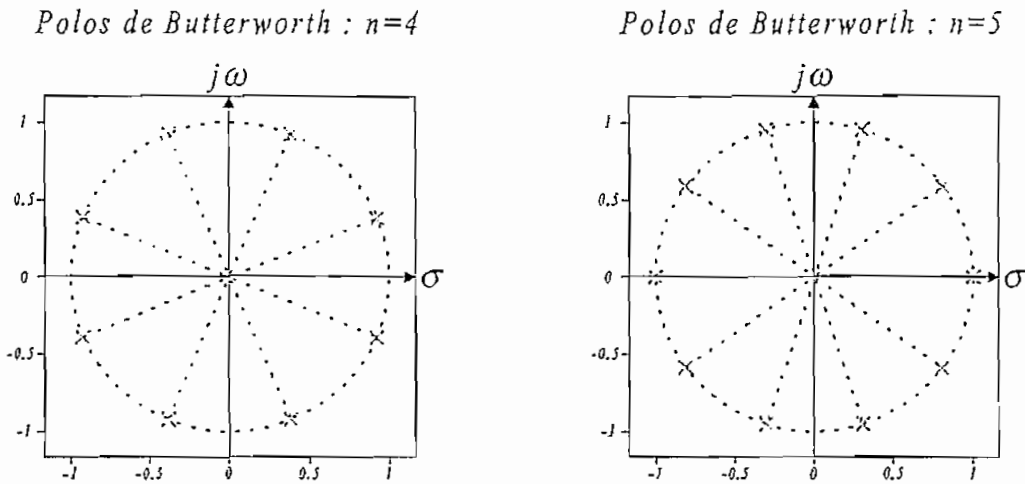


Figura 2.6 Comparación entre polos de Butterworth

De los $2n$ polos de que consta $H(s)H(-s)$ sólo estamos interesados en los polos de la parte izquierda del plano s , que son los que dan estabilidad al filtro. De las figuras se puede observar que cada polo tiene su conjugado, excepto en el caso de que n sea impar donde tenemos un polo adicional en $s = -1$.

El polinomio $Q_N(s)$ viene en tablas para cada valor de n , por lo que solo tenemos que determinar el valor de n , ir a las tablas para obtener $H_N(s)$ y desnormalizar para determinar la $H(s)$ de nuestro filtro.

4. Desnormalización: Si $|H(v)|^2 = |H_N(v/v_3)|^2$, entonces $H(s) = H_N(s/v_3)$. Si desnormalizamos $H(s)$ a $H_A(s) = H(s/w_p)$, $H_A(s)$ cumple las transformaciones dadas. Esto es equivalente a desnormalizar directamente

$$H_N(s) \text{ a } H_A(s) = H_N(s/w_p \cdot v_3).$$

4.3.2 FILTRO PASA-ALTO BUTTERWORTH

Se hace la transformación $v \rightarrow 1/v$ lo que da lugar a $|H_{HP}(v)|^2 = |H_{LP}(1/v)|^2$, también equivale a hacer $1 - |H_{LP}(v)|^2$.

$$1 - |H_{LP}(v)|^2 = 1 - \frac{1}{1+v^{2n}} = \frac{v^{2n}}{1+v^{2n}} = \frac{1}{1+(1/v)^{2n}} = |H_{LP}(1/v)|^2$$

4.3.3 APROXIMACIÓN DE CHEBYSHEV I

$$|H(v)|^2 = \frac{1}{1+L_n^2(v)} = \frac{1}{1+\varepsilon^2 T_n^2(v)}$$

donde $T_n(v)$ es el polinomio de Chebyshev de orden n .

<i>Polinomios de Chebyshev</i> $T_n(x) = \cosh(n \cosh^{-1} x)$	
Orden n	$T_n(x)$
0	1
1	x
2	$2x^2 - 1$
3	$4x^3 - 3x$
4	$8x^4 - 8x^2 + 1$
5	$16x^5 - 20x^3 + 5x$
6	$32x^6 - 48x^4 + 18x^2 - 1$
7	$64x^7 - 112x^5 + 56x^3 - 7x$
8	$128x^8 - 256x^6 + 160x^4 - 32x^2 + 1$

Tabla 2.2 Polinomios de Chebyshev utilizados para diseño de filtros IIR

Para el proceso de diseño de los filtros de Chebyshev I partiremos del filtro prototipo pasabajos mediante la apropiada transformación de frecuencia, así tendremos las especificaciones para el filtro en forma de las frecuencias límites de pasabanda y parabanda así como sus respectivas atenuaciones.

En los filtros de Chebyshev I se especifica también para un determinado rizado en la banda pasabanda, con esas especificaciones calculamos n y ε .

Determinamos la función de transferencia normalizada en v_3 , desnormalizamos y obtenemos $H_A(s)$, después procedemos de la misma forma que en el filtro de Butterworth.

$$H_N(s)H_N(-s) = |H(v)|_{v=\frac{s}{j}}^2 = \frac{1}{1 + \varepsilon^2 T_n^2(s/j)}$$

Los polos de $H_N(s)$ se obtienen de

$$1 + \varepsilon^2 \cos^2[n \cos^{-1}(s/j)] = 0 \Rightarrow \cos[n \cos^{-1}(s/j)] = \pm j/\varepsilon$$

Llamamos $z = \theta + j\alpha = \cos^{-1}(s/j)$

$$\cos(nz) = \cos(n\theta + jn\alpha) = \cos(n\theta)\cosh(n\alpha) - j\sin(n\theta)\sinh(n\alpha) = \pm j/\varepsilon$$

$$\cos(n\theta)\cosh(n\alpha) = 0 \quad (1)$$

$$\sin(n\theta)\sinh(n\alpha) = \pm 1/\varepsilon \quad (2)$$

Ya que $\cosh(n\alpha) \geq 1$ para todo $n\alpha$, la ecuación (1) nos dice que

$$\cos(n\theta) = 0 \Rightarrow \theta_k = \frac{(2k-1)\pi}{2n} \quad k=1,2,\dots,2n$$

Para estos valores de θ_k , $\sin(n\theta) = 1$, por lo que la ecuación (2) queda

$$\sinh(n\alpha) = 1/\varepsilon \Rightarrow \alpha = \frac{1}{n} \sinh^{-1}\left(\frac{1}{\varepsilon}\right)$$

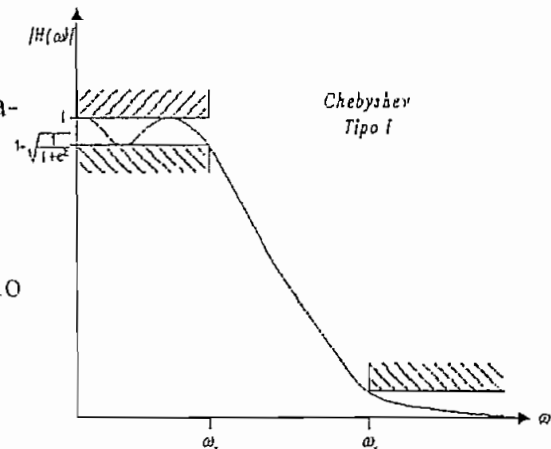


Figura 2.7 Filtro Pasabajos con aproximaciones de Chebyshev tipo I con rizado

$$s/j = \cos z$$

$$s = j \cos z = j \cos(\theta_k + j\alpha) = \sin(\theta_k) \sinh(\alpha) + j \cos(\theta_k) \cosh(\alpha)$$

Los polos estarán a la izquierda del plano s para garantizar la estabilidad del filtro.

$$p_k = -\sin(\theta_k) \sinh(\alpha) + j \cos(\theta_k) \cosh(\alpha) \quad k=1,2,\dots,n$$

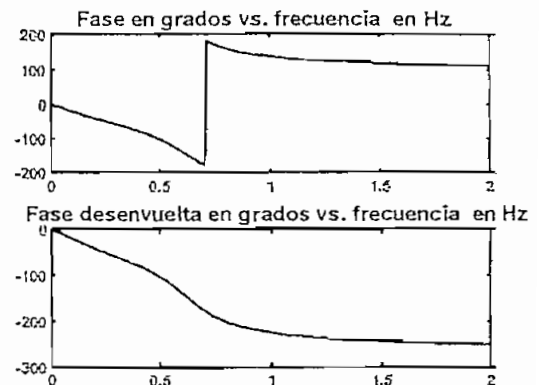
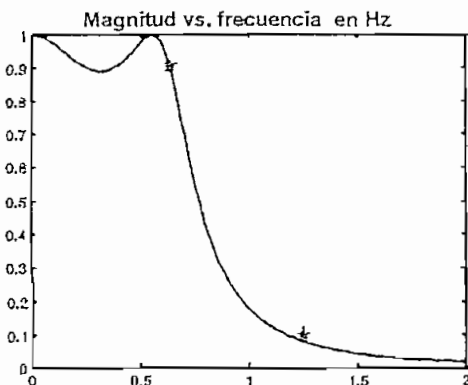


Figura 2.8 Respuesta de Frecuencia y de Fase de un filtro pasabajos con aproximación de Chebyshev I

4.3.4 APROXIMACIÓN DE CHEBYSHEV II

Si se desea disponer de un filtro con una fuerte transición como es el caso de filtro de Chebyshev tipo I, pero que a la vez tenga una respuesta lo más plana posible en la pasabanda, se logra transfiriendo el rizado del pasabanda en el filtro de Chebyshev I al parabanda y viceversa.

De esta forma, mediante una transformación de frecuencia, logramos un filtro con unas características inversas a las del filtro Chebyshev I.

Hacemos la Transformación $v \rightarrow 1/v$, partiendo del filtro de Chebyshev II.

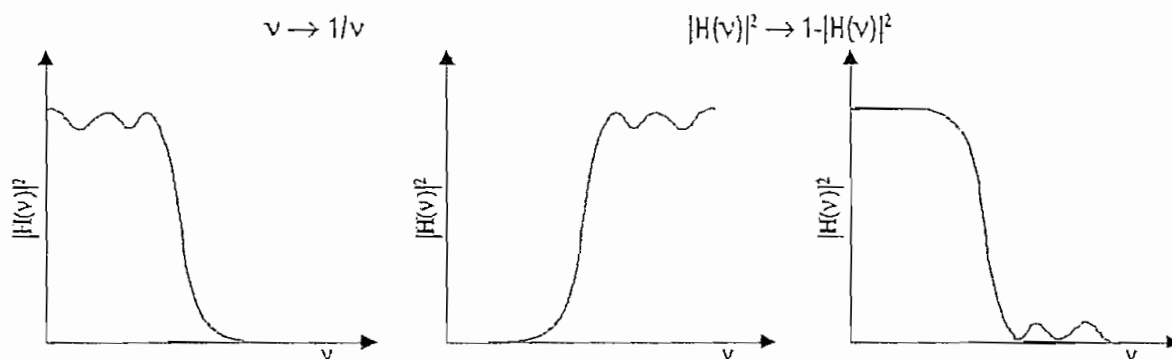


Figura 2.9 Transformación de un filtro pasabajos a pasa-altos y luego a pasabajos de Chebyshev II

Chebyshev I $\rightarrow |H(v)|^2 = \frac{1}{1 + \varepsilon^2 T_n^2(v)}$ Mediante la Transformación $v \rightarrow 1/v$ obtenemos

$$|H(1/v)|^2 = \frac{1}{1 + \varepsilon^2 T_n^2(1/v)}$$

$$|H(v)|^2 = 1 - |H(1/v)|^2 = \frac{\varepsilon^2 T_n^2(1/v)}{1 + \varepsilon^2 T_n^2(1/v)} = \frac{1}{1 + [1/\varepsilon^2 T_n^2(1/v)]} = \frac{1}{1 + L_n^2(v)}$$

La función $L_n^2(v)$ es ahora una función racional y no polinomial.

4.4 MÉTODOS PARA TRANSFORMAR UNA FUNCIÓN DE S EN OTRA FUNCIÓN DE Z.

Estamos interesados en transformaciones que hagan que la función en z sea también racional, esto hace que las transformaciones que vamos a ver sean sólo aproximaciones.

$$L_2^2(v) = \frac{1}{\varepsilon^2 T_2^2 (1/v)} = \frac{1}{\varepsilon^2 \left[2\left(\frac{1}{v}\right)^2 - 1\right]^2} = \frac{1}{\varepsilon^2 \left[\frac{2-v^2}{v^2}\right]^2} = \frac{1}{\varepsilon^2 \frac{4-4v^2+v^4}{v^4}} = \frac{v^4}{\varepsilon^2 (4-4v^2+v^4)}$$

Una transformación z debe cumplir dos condiciones fundamentales: Estabilidad, la mitad izquierda del plano s debe transformarse dentro del círculo unidad en el plano z, y a cada frecuencia analógica dentro del intervalo $(-\infty, \infty)$ le debe corresponder una única frecuencia digital en el intervalo $(-f_s/2, f_s/2)$. Esto evita el problema del "aliasing"².

Los métodos que vamos a mencionar son:

- Igualar las respuestas temporales como un impulso, un escalón, una rampa, etc. (Transformación Invariante a la Respuesta).
- Igualar términos en una $H(s)$ factorizada (Transformada Z Pareada).
- Conversión de ecuaciones diferenciales a ecuaciones diferencia utilizando operadores diferencia.
- Integración numérica de ecuaciones diferenciales usando algoritmos de integración.
- Aproximaciones racionales a $z \rightarrow \exp(s \cdot t_s)$ o $s \rightarrow (1/t_s) \ln(z)$

4.4.1 TRANSFORMACIÓN INVARIANTE A LA RESPUESTA (TIR)

Se elige una entrada $x(t)$ (impulso, escalón o rampa) y se determina la respuesta $y(t)$ como la $L^{-1}\{H(s) X(s)\}$ y se toma muestras $y(t)$ a intervalos t_s y se obtiene la ecuación de diferencias $y[n]$ y su transformada Z, $Y(z)$.

² Si el periodo de muestreo es superior, $T > \pi/\omega_0$, la transformada de la secuencia será otra donde $X_c(\omega)$ y $X_d(\omega)$ no coinciden, y por lo tanto la transformada de la secuencia no permite obtener la transformada de la señal continua. A este fenómeno se llama solapamiento en frecuencias o *aliasing*.

Se muestrea $x(t)$ para obtener $x[n]$ y $X(z)$ y se evalúa $H(z)$ como $Y(z)/X(z)$. Este tipo de transformación está limitada por la frecuencia de muestreo f_s que restringe su aplicación a aquellos sistemas cuya respuesta está limitada por $\pm 1/2 f_s$, por problemas de aliasing ya que la función de transferencia transformada es una función periódica de periodo $1/t_s$. Esto hace que este tipo de transformación sea más apropiada para filtros pasabajos de Butterworth y Chebyshev I que para filtros de Chebyshev II.

Un caso particular de este tipo es la Transformación Invariante a Impulso. Supongamos que tenemos $H(s)$ en forma de fracciones parciales, para cada término podemos determinar su equivalente en z a través de su respuesta al impulso. Los términos y sus equivalencias en z están tabulados en la siguiente tabla.

<i>Transformaciones Invariantes al Impulso</i>		
<i>Término</i>	$H(s)$	$H(z)$ $a = \exp(-pt_s)$
Unico	$\frac{A}{(s+p)}$	$\frac{Az}{(z-a)}$
Complejo Conjugado	$\frac{A \exp(j\Omega)}{(s+p+jq)} + \frac{A \exp(-j\Omega)}{(s+p-jq)}$	$\frac{2z^2 A \cos(\Omega) - 2Aaz \cos(\Omega + qt_s)}{z^2 - 2az \cos(qt_s) + a^2}$
Repetido	$\frac{A}{(s+p)^M}$	$\frac{A}{(M-1)!} t_s^{(M-1)} \left(-z \frac{d}{dz} \left(-z \frac{d}{dz} \dots -z \frac{d}{dz} \left[\frac{z}{z-a} \right] \right) \right)$
Repetido	$\frac{A}{(s+p)^2}$	$A t_s^2 \frac{az}{(z-a)^2}$
Repetido	$\frac{A}{(s+p)^3}$	$\frac{1}{2} A t_s^3 \frac{za(z+a)}{(z-a)^3}$
Modificado	$\frac{A}{(s+p)}$	$\frac{Az}{(z-a)} - \frac{1}{2} A = \frac{1}{2} \frac{z+a}{z-a}$
Modificado	$\frac{A \exp(j\Omega)}{(s+p+jq)} + \frac{A \exp(-j\Omega)}{(s+p-jq)}$	$\frac{2z^2 A \cos(\Omega) - 2Aaz \cos(\Omega + qt_s)}{z^2 - 2az \cos(qt_s) + a^2} - A \cos(\Omega)$

Tabla 2.3 Transformaciones de la función de transferencia del dominio de s al de z método TIR

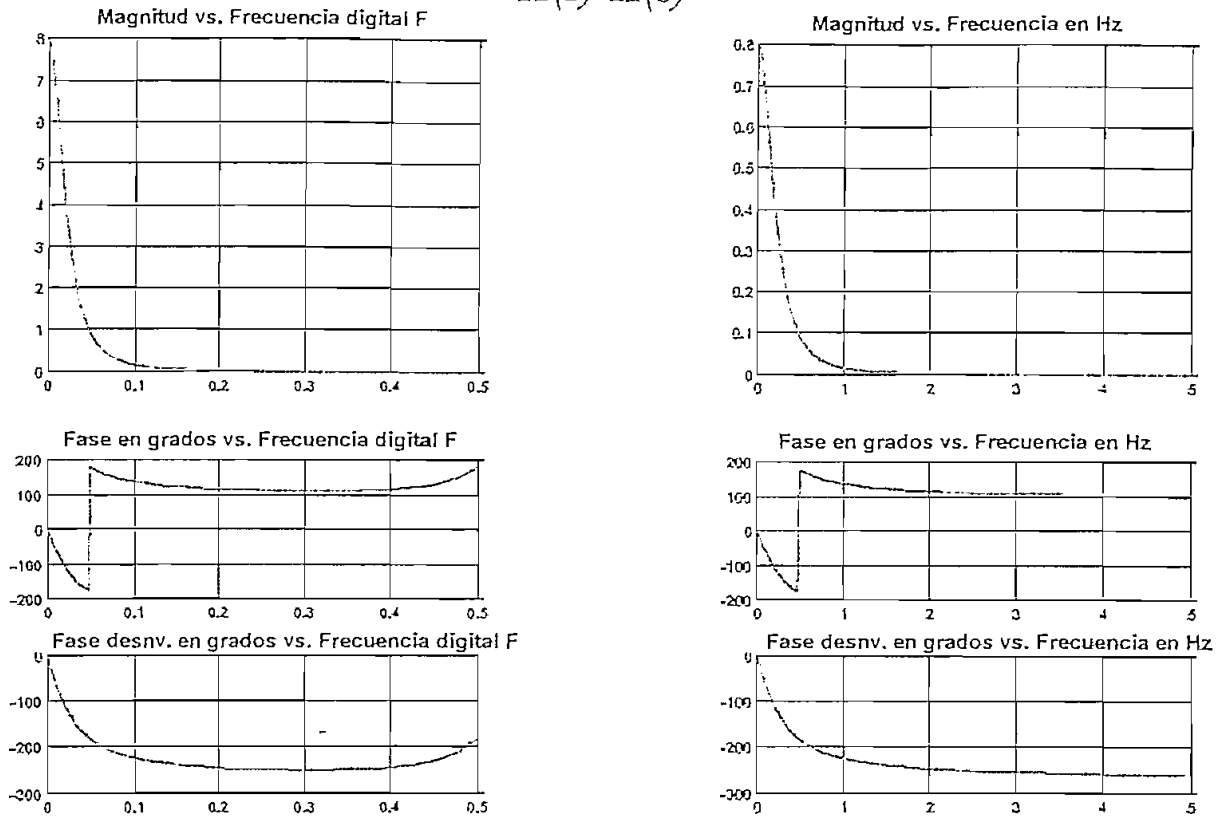
$$H(z) - H(s)$$


Figura 2.10 Gráficos de comparación entre funciones de transferencia $H(z)$ y $H(s)$ por el método TIR

4.4.2 TRANSFORMADA Z PAREADA (TZR)

Surge a partir de la Transformación Invariante al Impulso de $1/(s+a)$.

$$\frac{1}{s+a} \rightarrow \frac{z}{z - \exp(-at_s)} \Rightarrow (s+a) \rightarrow \frac{z - \exp(-at_s)}{z}$$

Esta transformación usa esta forma para sustituir cada término del numerador y del denominador en una $H(s)$ factorizada y generar el consiguiente $H(z)$:

$$H(s) = K_0 \frac{\prod_{i=1}^M (s - z_i)}{\prod_{k=1}^N (s - p_k)} \rightarrow H(z) = K \cdot z^{(N-M)} \frac{\prod_{i=1}^M [z - \exp(z_i t_s)]}{\prod_{k=1}^N [z - \exp(p_k t_s)]}$$

La constante k se escoge para que las ganancias sean iguales a una frecuencia determinada. En el caso de haber raíces complejas, podemos hacer la siguiente transformación :

$$(s + p - jq)(s + p + jq) \rightarrow \frac{[z^2 - 2ze^{-pt_s} \cos(qt_s) + e^{-2pt_s}]}{z^2}$$

4.4.3 TRANSFORMACION A TRAVES DE ALGORITMOS DE DIFERENCIA (TAD)

Se trata de convertir una operación de derivada en su correspondiente ecuación diferencia.

Existen varias formas de calcular la derivada a partir de datos discretos.

<i>Algoritmos para la Diferenciación Discreta</i>		
<i>Diferencia</i>	<i>Algoritmo</i>	<i>Transformación</i>
<i>Hacia Atrás</i>	$y[n] = \frac{x[n] - x[n-1]}{t_s}$	$s \rightarrow \frac{z-1}{zt_s}$
<i>Central</i>	$y[n] = \frac{x[n+1] - x[n-1]}{2t_s}$	$s \rightarrow \frac{z^2 - 1}{2zt_s}$
<i>Hacia Adelante</i>	$y[n] = \frac{x[n+1] - x[n]}{t_s}$	$s \rightarrow \frac{z-1}{t_s}$

Tabla 2.4 Transformaciones de la función de transferencia del dominio de s al de z método TAD

El algoritmo que mejor se comporta en cuanto a la estabilidad es el algoritmo hacia atrás. Por tanto, esta transformación consistirá en sustituir el valor de s en $H(s)$ por $(z-1)/zt_s$ siendo el resultado $H(z)$.

4.4.4 TRANSFORMACION A TRAVES DE ALGORITMOS DE INTEGRACIÓN NUMÉRICA (TAI)³

Aquí tenemos bastantes más algoritmos para hacer una integración numérica, la Tabla muestra algunos algoritmos típicos:

<i>Algoritmos de Integración numérica</i>	
<i>Entre paréntesis se indica el orden del algoritmo</i>	
<i>Algoritmo</i>	<i>Fórmula para y[n]</i>
<i>Rectangular(1)</i>	$y[n] = y[n-1] + x[n]t_s$
<i>Trapezoidal(1)</i>	$y[n] = y[n-1] + \frac{\{x[n] - x[n-1]\}t_s}{2}$
<i>Adams(2)</i>	$y[n] = y[n-1] + \frac{\{5x[n] + 8x[n-1] - x[n-2]\}t_s}{12}$
<i>Adams(3)</i>	$y[n] = y[n-1] + \frac{\{9x[n] + 19x[n-1] - 5x[n-2] + x[n-3]\}t_s}{24}$
<i>Simpson(2)</i>	$y[n] = y[n-2] + \frac{\{x[n] + 4x[n-1] + x[n-2]\}t_s}{3}$
<i>Tick(2)</i>	$y[n] = y[n-2] + \{0.3584x[n] + 1.2832x[n-1] + 0.3584x[n-2]\}t_s$

Tabla 2.5 Algoritmos de Integración numérica para el diseño de filtros IIR

Las transformaciones para cada algoritmo son:

<i>Transformación s→z</i>	
<i>Algoritmo</i>	<i>Transformación</i>
<i>Rectangular (1)</i>	$s \rightarrow \frac{1}{t_s} \frac{z-1}{z}$
<i>Trapezoidal (1)</i>	$s \rightarrow \frac{2}{t_s} \frac{z-1}{z+1}$
<i>Adams (2)</i>	$s \rightarrow \frac{12}{t_s} \frac{z^2 - z}{5z^2 + 8z - 1}$
<i>Adams (3)</i>	$s \rightarrow \frac{24}{t_s} \frac{z^3 - z^2}{9z^3 + 19z^2 - 5z + 1}$
<i>Simpson (2)</i>	$s \rightarrow \frac{3}{t_s} \frac{z^2 - 1}{z^2 + 4z + 1}$
<i>Tick (2)</i>	$s \rightarrow \frac{1}{t_s} \frac{z^2 - 1}{0.3584z^2 + 1.2832z + 0.3584}$

Tabla 2.6 Transformaciones de la función de transferencia del dominio de s al de z método de integración numérica

³ Tomado del Internet <http://elei.uach.cl/www/matlab/dsp.html>

Excepto los algoritmos de Simpson y Tick, el resto producen $H(z)$ estables a partir de un $H(s)$ estable para cualquier valor de t_s .

4.4.5 TRANSFORMACION BILINEAL (TBL)

Es la transformación dada por el algoritmo trapezoidal:

$$z \rightarrow \frac{2 + st_s}{2 - st_s} \Rightarrow s \rightarrow \frac{2}{t_s} \frac{z - 1}{z + 1}$$

Tomamos $t_s=2$, para simplificar las expresiones. Sustituimos s por $j\omega$ en la expresión anterior:

$$z = \frac{1 + j\omega}{1 - j\omega}$$

Esta expresión nos dice que un punto del eje imaginario de s , se transforma en un punto en el círculo unidad en el plano z .

Generalizando, para $s = \sigma + j\omega$, $z = \frac{1 + (\sigma + j\omega)}{1 - (\sigma + j\omega)} = \frac{(1 + \sigma) + j\omega}{(1 - \sigma) - j\omega} \Rightarrow |z|^2 = \frac{(1 + \sigma)^2 + \omega^2}{(1 - \sigma)^2 + \omega^2}$

lo que implica que un punto de la mitad del plano s donde $\sigma < 0$, se transforma en un punto dentro del círculo unidad en el plano z . Por lo tanto, un diseño estable en s , será también estable en z bajo la transformación bilineal, además no hay aliasing, ya que a cada frecuencia analógica le corresponde una única frecuencia digital.

4.5 TRANSFORMACION DESDE UN PROTOTIPO DE FILTRO PASABAJOS A OTRO TIPO DE FILTROS

Utilizaremos este método para realizar el diseño de filtros IIR tipo pasa-altos, pasabanda y rechazabanda, así primero diseñaremos un filtro pasabajos con los parámetros y especificaciones que se necesiten y luego realizaremos los cambios

necesarios para tener los filtros deseados, utilizando los criterios tabulados a continuación:

<i>Transformación</i>	<i>Regla</i>	<i>Comentarios</i>
<i>LP2LP</i>	$s \rightarrow s/\omega_x$	$\omega_x = \omega_{new} / \omega_{old}$
<i>LP2HP</i>	$s \rightarrow \omega_x/s$	$\omega_x = \omega_{new} / \omega_{old}$
<i>LP2BP</i>	$s \rightarrow \frac{s^2 + \omega_x^2}{sB_w}$	$\omega_x = \text{frecuencia central}$ $B_w = \omega_2 - \omega_1, \quad \omega_1 \omega_2 = \omega_x^2$
<i>LP2SP</i>	$s \rightarrow \frac{sB_w}{s^2 + \omega_x^2}$	$\omega_x = \text{frecuencia central}$ $B_w = \omega_2 - \omega_1, \quad \omega_1 \omega_2 = \omega_x^2$

Tabla 2.7 Transformaciones desde el prototipo de un filtro pasabajos analógico

Transformación de un Prototipo de Filtro Pasabajo a Filtros Pasabanda y Parabanda; [$\omega_1 \omega_2 \omega_3 \omega_4$] = frecuencias en los bordes de las bandas. En los filtros Pasabanda, los bordes pasabanda son ω_2 y ω_3 . En los filtros Parabanda, los bordes pasabanda son ω_1 y ω_4 .		
<i>Requerimientos</i>	<i>Frecuencia Central</i>	<i>Elección de frecuencias en los bordes de la banda</i>
<i>Fijadas ω_2, ω_3</i>	$\omega_x^2 = \omega_2 \omega_3$	<i>Si $\omega_1 \omega_4 < \omega_x^2$, $\omega_1 = \omega_x^2 / \omega_4$</i> <i>Si $\omega_1 \omega_4 > \omega_x^2$, $\omega_4 = \omega_x^2 / \omega_1$</i>
<i>Fijadas ω_1, ω_4</i>	$\omega_x^2 = \omega_1 \omega_4$	<i>Si $\omega_2 \omega_3 < \omega_x^2$, $\omega_3 = \omega_x^2 / \omega_2$</i> <i>Si $\omega_2 \omega_3 > \omega_x^2$, $\omega_2 = \omega_x^2 / \omega_3$</i>
<i>Fijada ω_x</i>	ω_x	<i>Si $\omega_1 \omega_4 < \omega_x^2$, $\omega_1 = \omega_x^2 / \omega_4$</i> <i>Si $\omega_1 \omega_4 > \omega_x^2$, $\omega_4 = \omega_x^2 / \omega_1$</i>
<i>Compromiso</i>	$\omega_x^2 = (\omega_1 \omega_2 \omega_3 \omega_4)^{1/2}$	<i>Si $\omega_1 \omega_4 > \omega_2 \omega_3$, $\omega_3 = \omega_x^2 / \omega_2$, $\omega_4 = \omega_x^2 / \omega_1$</i> <i>Si $\omega_1 \omega_4 < \omega_2 \omega_3$, $\omega_2 = \omega_x^2 / \omega_3$, $\omega_1 = \omega_x^2 / \omega_4$</i>

Tabla 2.8 Transformaciones desde el prototipo de un filtro pasabajos a filtros pasabanda y parabanda analógicos

Se necesitan determinar las especificaciones para realizar el cambio entre los filtros.

Parámetros de entrada W_p, W_s, A_p, A_s

Especificaciones: w_p , w_s (filtros Pasabajos y Paso-altos), $[w_{p1} \ w_{p2}]$, $[w_{s1} \ w_{s2}]$ (filtros Pasabanda y Parabanda), a_p y a_s .

Salidas : $[N \ W_n]$

<i>PasoBajo</i>	$W_p=w_p, W_s=w_s, A_p=a_p, A_s=a_s \rightarrow [B1,A1]=lp2lp(B,A,W_n)$
<i>PasoAlto</i>	$W_p=w_p, W_s=w_s, A_p=a_p, A_s=a_s \rightarrow [B1,A1]=lp2hp(B,A,W_n)$
<i>PasaBanda</i>	$W_p=[w_{p1} \ w_{p2}], W_s=[w_{s1} \ w_{s2}], A_p=a_p, A_s=a_s \rightarrow [B1,A1]=lp2bp(B,A,w_x,B_w),$ $w_x^2=w_{p1}-w_{p2}, B_w=w_{p2}-w_{p1}$
<i>ParaBanda</i>	$W_p=[w_{p1} \ w_{p2}], W_s=[w_{s1} \ w_{s2}], A_p=a_p, A_s=a_s \rightarrow [B1,A1]=lp2bs(B,A,w_x,B_w),$ $w_x^2=w_{p1}-w_{p2}, B_w=w_{p2}-w_{p1}$

Tabla 2.9 Utilización de la función para calcular el orden de los filtros IIR (Butterworth, Chebyshev I y II)

CAPITULO 3

IMPLEMENTACION DEL ECUALIZADOR DIGITAL

1. INTRODUCCIÓN.

La necesidad de ecualizadores en todos los sistemas de voz, audio, y transmisión de éstas, son una herramienta esencial e indispensable para obtener sonido de alta calidad.

Sin los ecualizadores no se podrían corregir problemas por defectos acústicos provocados por diferentes ambientes y formas de habitaciones, o simplemente establecer preferencias individuales de cada individuo.

El Ecualizador Gráfico Digital a ser implementado es un tipo de ecualizador con Q constante, que resuelve uno de los problemas más molestos que se presentan en el diseño de ecualizadores de 1 octava, $2/3$ y sobretodo $1/3$ de octava.

La nueva topología del Ecualizador Gráfico de Q Constante permite que la amplitud de la señal sea absoluta con respecto a la medida que controla este parámetro. Así el ecualizador es exactamente "gráfico" en el cuadro formado por las medidas que controlan las ganancias de los filtros ecualizadores.

Las ventajas diseño con filtros de Q Constante van más allá que el rendimiento con respecto a los datos de control de parámetros, aunque estos proporcionan un grado de ajuste imposible de obtener con otro tipo de ecualizadores como los analógicos. Los refinamientos cruciales de respuesta de frecuencia que se tienen con este tipo de ecualizadores permiten una altísima claridad y reproducción legítima.

1.1. DISEÑO Y PROBLEMAS DE LOS ECUALIZADORES CONVENCIONALES.¹

El ecualizador convencional con Q variable padece de mucha interferencia con los filtros que se encuentran juntos, cambiando los parámetros de respuesta de frecuencia deseados como se muestra en la Figura 3.1 haciendo que su funcionamiento sea muy imprevisible.

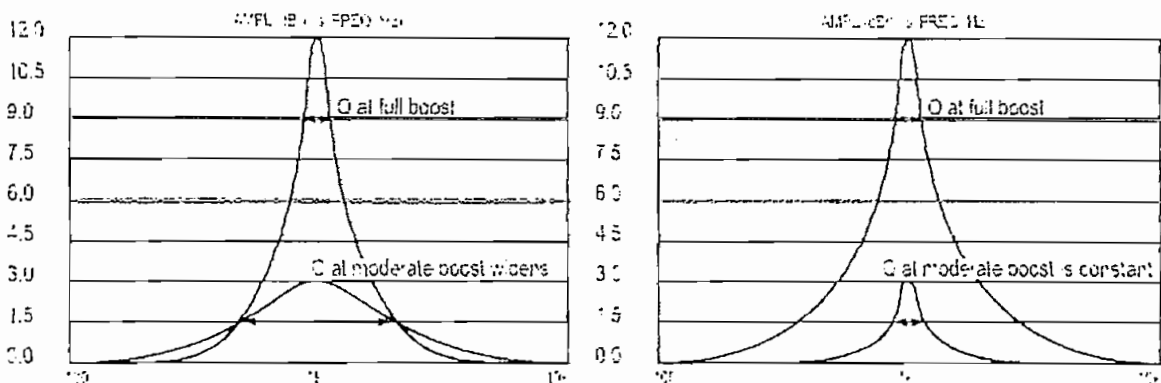


Figura 3.1 Comparación entre filtros de Q variable y Q constante

1.2 ECUALIZADORES GRÁFICOS DE Q CONSTANTE.

Los ecualizadores de Q constante son el resultado de aplicar la topología de los ecualizadores paramétricos mejoradamente a los ecualizadores gráficos.

Las secciones de los filtros son totalmente aisladas de los efectos de la amplitud y la banda de transición de los filtros, así como de la frecuencia central y el ancho de banda, permitiendo diseñar cada filtro para la frecuencia central precisa y el ancho de banda estrecho que es requerido.

El resultado es la libertad de una desigual relación entre el ancho de banda y la medida del parámetro de amplitud. Una libertad que permite hacer ajustes sutiles sin acudir al cambio de parámetros o forzar al sistema.

¹ Tomado del Internet <http://www.rane.com>

Por lo tanto estos ecualizadores tienen un rendimiento mucho más alto y una respuesta de frecuencia notable como se muestra en la Figura 3.2.

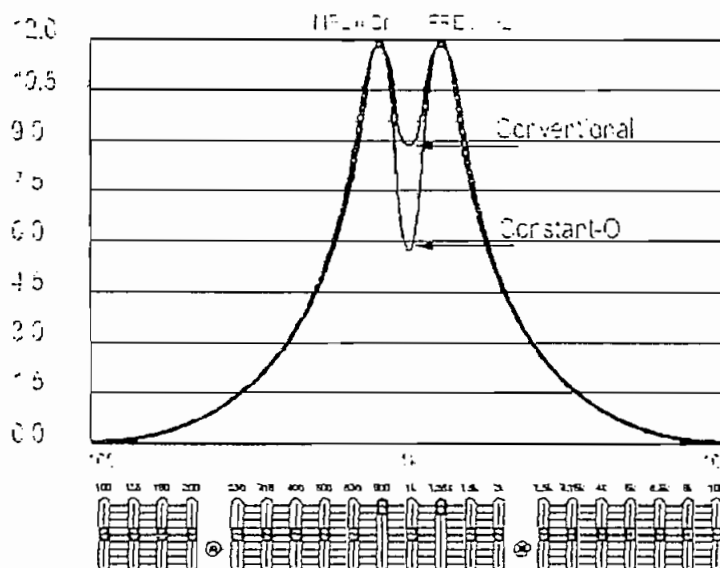


Figura 3.2 Respuesta de frecuencia de dos filtros juntos en los ecualizadores, convencional y de Q constante

1.3 INTERPOLANDO Q CONSTANTE.

El término "interpolar" en la ecualización, significa que se trata de hallar una curva de respuesta, la cual se puede intuir o calcular en cualquier instante conociendo las ganancias de los filtros que intervienen durante el proceso y solo se puede conseguir este efecto con filtros de Q constante.

El ancho de banda del ecualizador de Q constante no cambia con la amplitud. Su ancho de banda fijo requiere, sin embargo, permitir que las señales pequeñas se desarrollen entre dos bandas adyacentes, como se puede apreciar en la Figura 3.3. Se puede ver un valle muy pequeño entre las crestas de las frecuencias centrales, ésta es la "onda" que el ecualizador evita interpolando.

Esta clase de ecualizadores proporciona entonces el mejor desempeño entre los otros tipos de sistemas de ecualización para audio. Los anchos de banda de sus filtros no variarán durante el cambio de valores en los parámetros de control.

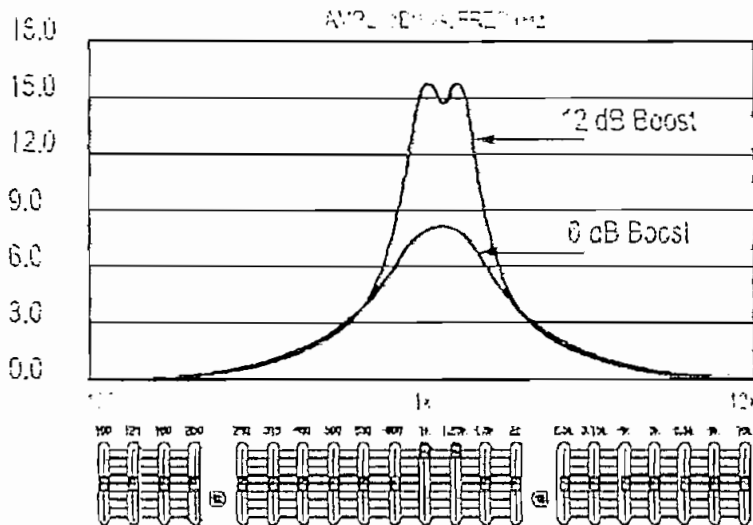


Figura 3.3 Gráfico de la interpolación de un Ecuador Digital con Q constante

1.4 INTERPOLANDO VS. COMBINANDO.

El término combinando se ha repetido siempre en el mundo del audio para tratar sobre ecualizadores, este término es equivocado pues los filtros no se combinan entre ellos.

Por otro lado la curva resultante producida por un ecualizador es una combinación de las magnitudes de los filtros individuales que son fijados por los mandos del ecualizador, la curva de rendimiento será entonces la combinación, sin tener en cuenta la filosofía del diseño del ecualizador.

Como estos efectos son un resultado directo del ancho de banda del filtro, cualquier ecualizador que tiene filtros con el ancho de banda variable no se le puede predecir su respuesta.

Sólo un ecualizador que interpola entregará en todo momento los resultados absolutos necesarios para el procesamiento óptimo, así no habrá ninguna degradación de ancho de banda y ningún cambio en el filtro adyacente y su respuesta será fiable.

2. REALIZACIÓN DE FILTROS DIGITALES²

Los Filtros Digitales se consiguen implementando la función de transferencia.

Hay dos formas de realizar filtros digitales: por software y por hardware.

En los dos casos deberemos hacer un diagrama con las operaciones a realizar; en software se habla de un diagrama de flujo, mientras que en hardware es un diagrama de bloques, que especifica los elementos del circuito y sus interconexiones.

Una correcta elección del diagrama de bloques puede optimizar significativamente las prestaciones de la realización (tiempo de computación, memoria necesaria, minimizar los efectos de cuantización, etc).

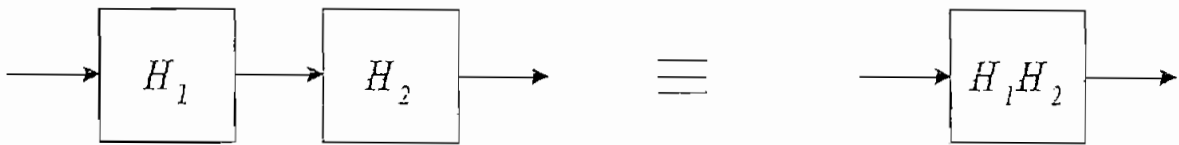
2.1 PROPIEDADES DE LAS OPERACIONES REPRESENTADAS EN DIAGRAMAS DE BLOQUES

- *Conexiones en cascada:* La función de transferencia global de una conexión en cascada es el producto de las funciones de Transferencia individuales.
- *Conexiones en paralelo:* La función de transferencia global de una conexión en paralelo es la suma de las funciones de Transferencia individuales.

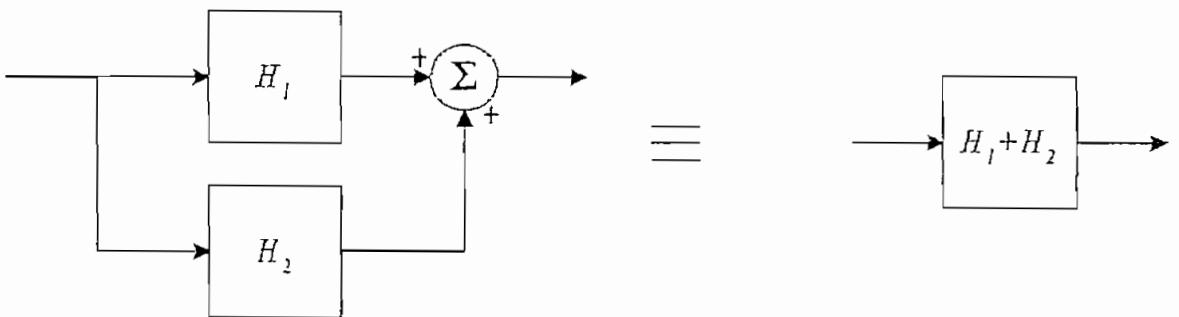
² Tomado del Internet <http://elei.uach.cl/www/matlab/dsp.html>

- *Conexión en realimentación:* La salida se realimenta en la entrada directamente o a través de otro subsistema. La función de transferencia global viene dada por la relación:

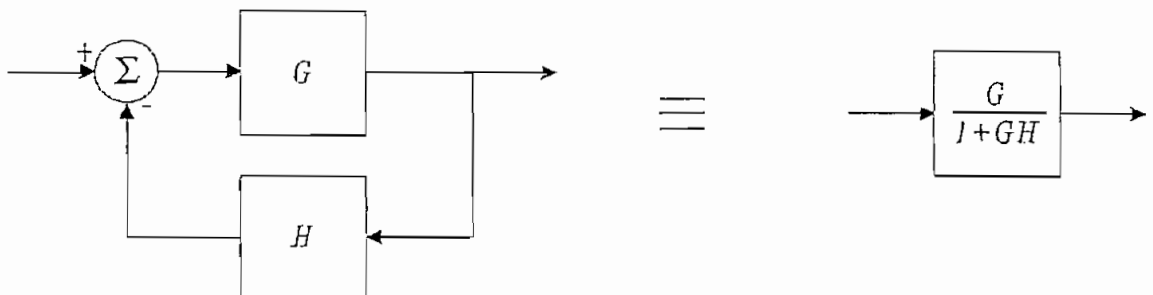
$$H_T(z) = \frac{G(z)}{1 + G(z)H(z)}$$



Conexión de dos sistemas en Cascada



Conexión en paralelo de dos sistemas



Un sistema sencillo con realimentación

Figura 3.4 Diferentes configuraciones para realizar Diagramas de bloques

Los filtros digitales pueden realizarse usando elementos correspondientes a las operaciones de multiplicación, adición y almacenaje de datos.

El almacenaje de un dato significa retrasar su uso una cantidad normalmente igual al período de muestreo. Este retraso se representa mediante z^{-1} (retraso de una unidad), z^{-2} (dos unidades, etc).

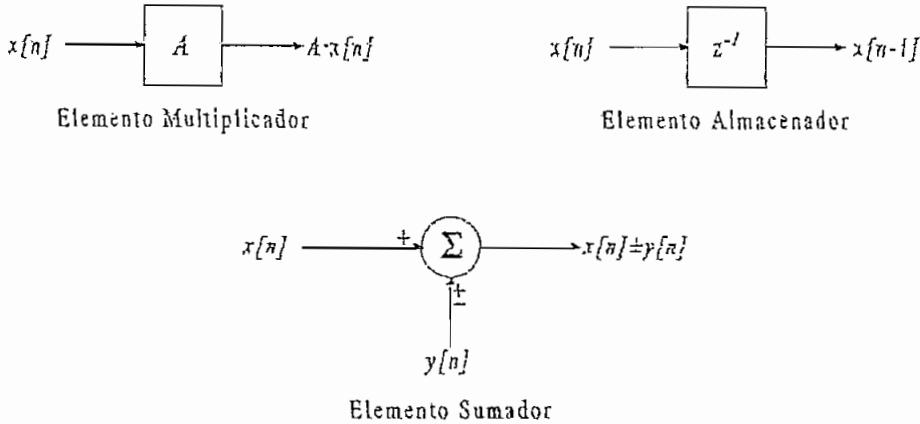


Figura 3.5 Diagrama de bloques de las operaciones básicas

Filtros FIR (MA): Son filtros no recursivos cuya función de transferencia $H_{MA}(z)$ y su correspondiente ecuación de diferencia $y[n]$ son de la forma:

$$H_{MA}(z) = B_0 + B_1 z^{-1} + \dots + B_M z^{-M} \quad y[n] = B_0 x[n] + B_1 x[n-1] + \dots + B_M x[n-M]$$

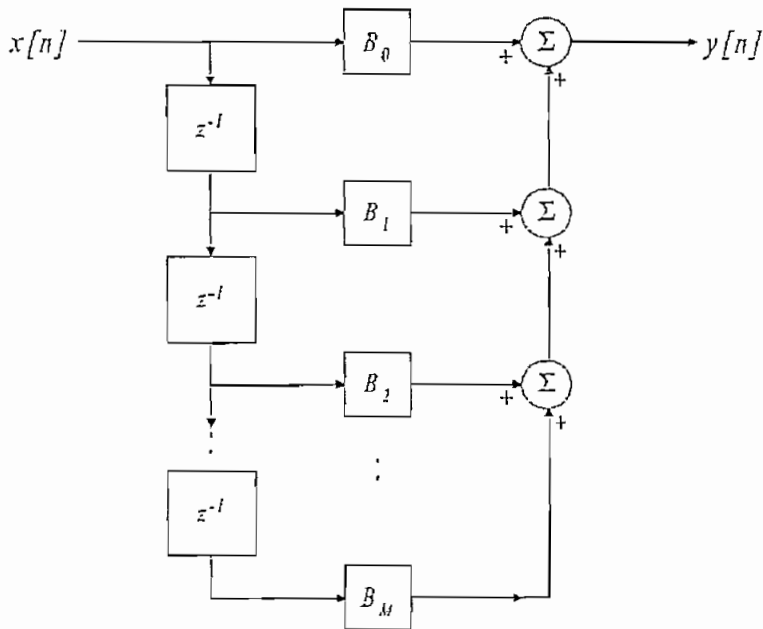


Figura 3.6 Diagrama de bloques de un filtro FIR (MA)

Filtros Autoregresivos: Son filtros recursivos cuya función de transferencia $H_{AR}(z)$ y su correspondiente ecuación diferencia $y[n]$ son de la forma:

$$H_{AR}(z) = \frac{1}{1 + A_1 z^{-1} + \dots + A_N z^{-N}} \quad y[n] = -A_1 y[n-1] - \dots - A_N y[n-N] + x[n]$$

Este filtro puede realizarse utilizando el diagrama de la Figura 3.7:

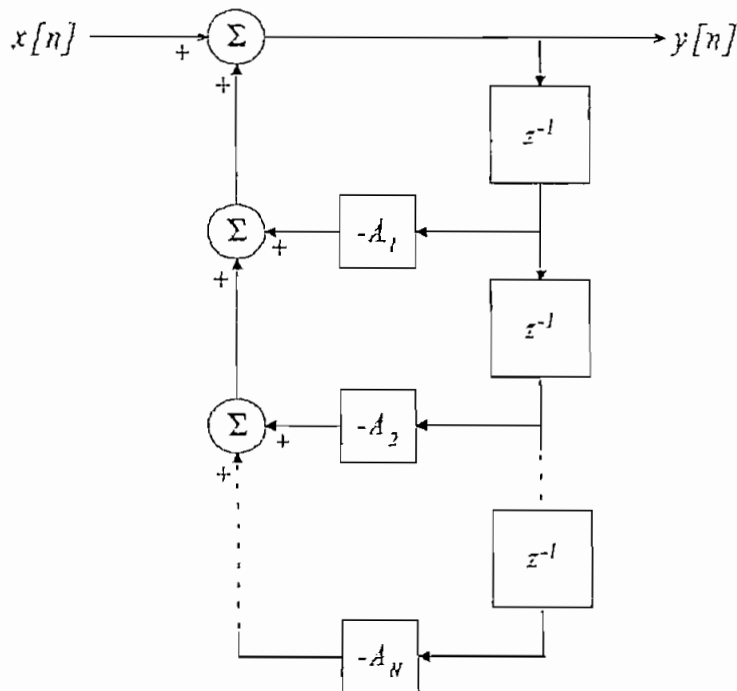


Figura 3.7 Diagrama de bloques de los filtros Autoregresivos

Filtros ARMA: Son la combinación de los dos anteriores. Su función de transferencia y ecuación diferencia son:

$$H(z) = \frac{B_0 + B_1 z^{-1} + \dots + B_M z^{-M}}{1 + A_1 z^{-1} + \dots + A_N z^{-N}} = H_{AR}(z) H_{MA}(z)$$

$$y[n] = -A_1 y[n-1] - \dots - A_N y[n-N] + B_0 x[n] + \dots + B_M x[n-M]$$

El diagrama de filtro puede hacerse de varias formas como se muestra en la Figura 3.8:

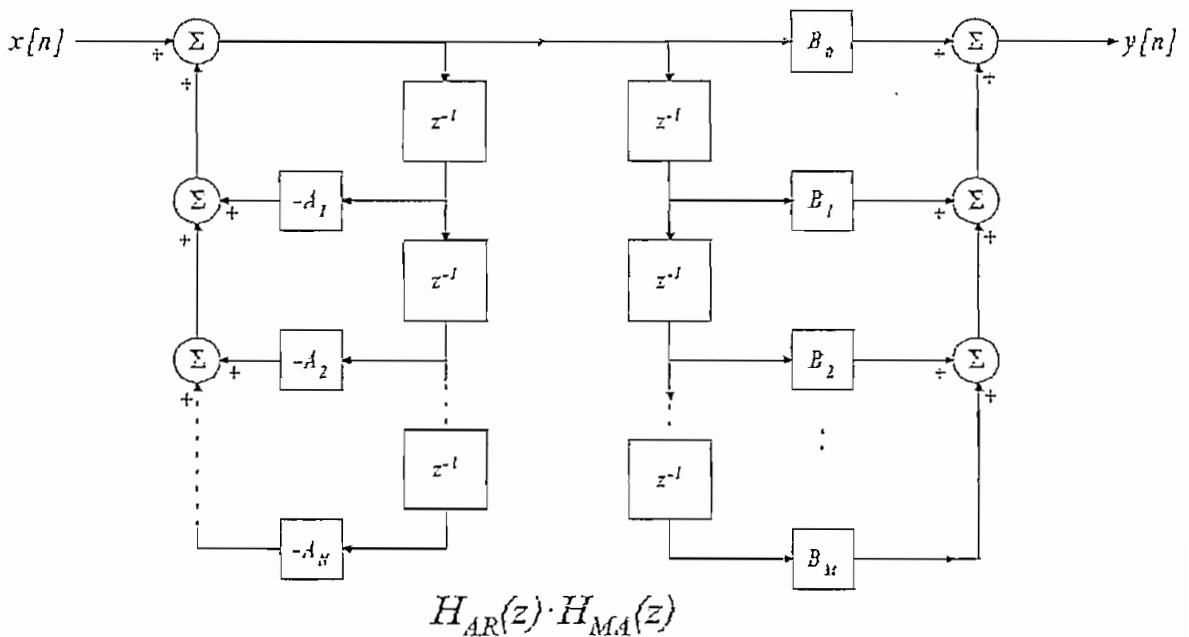
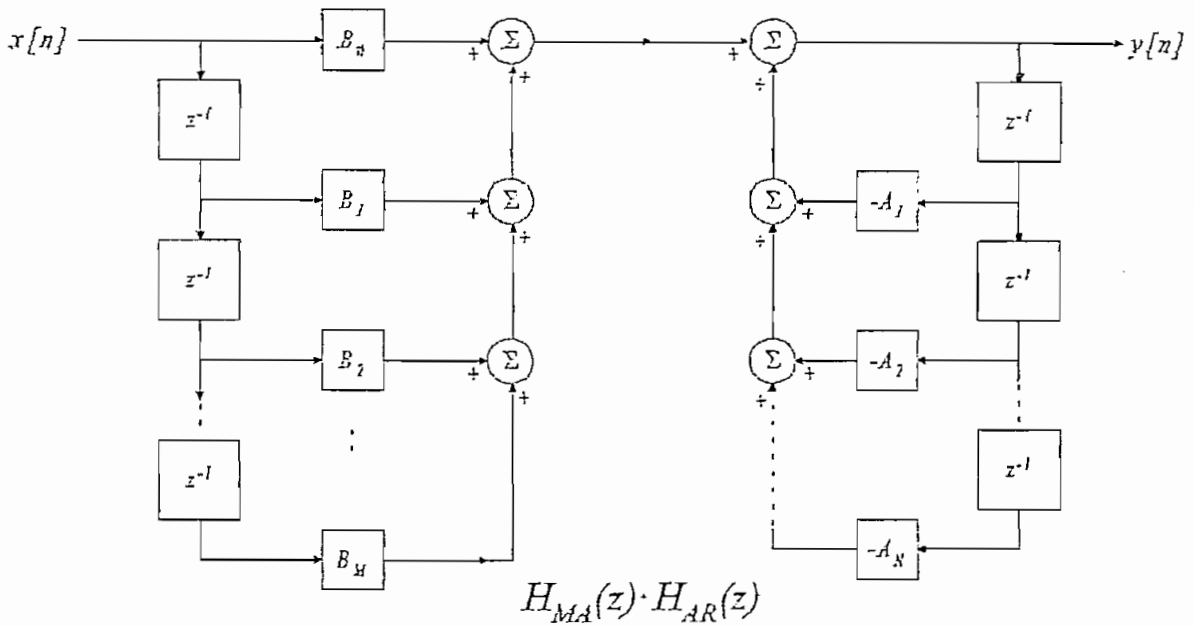


Figura 3.8 Diagramas de bloque para filtros ARMA

FORMA DIRECTA I

Estas dos formas son lógicamente idénticas. Se denominan forma directa I.

Requieren el uso de $(N+M)$ elementos de memoria, $(N+M)$ sumadores y $(N+M+1)$ multiplicadores, donde N es el número de coeficientes del denominador y M es el número de coeficientes del numerador de la función de transferencia.

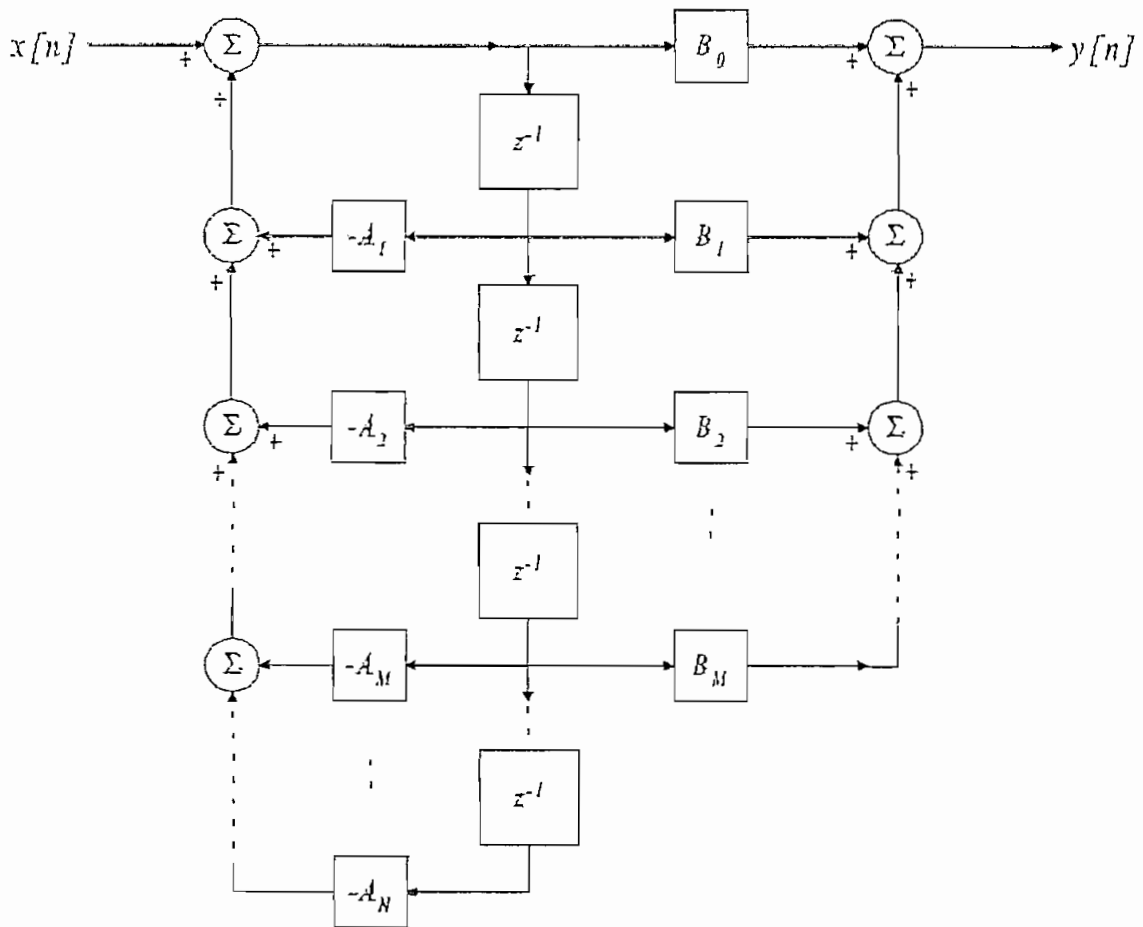


Figura 3.9 Diagramas de bloques para filtros ARMA
FORMA DIRECTA II

Esta última forma mostrada en la Figura 3.9 sugiere la eliminación M elementos de memoria, ya que están repetidos. El diagrama resultante se denomina forma directa II.

De la forma directa II pasamos a la forma transpuesta o canónica. Consiste en sustituir los nodos por sumas, las sumas por nodos, invertir el sentido de las flechas y finalmente intercambiar los coeficientes $x[n]$ e $y[n]$ como se puede observar en la Figura 3.10.

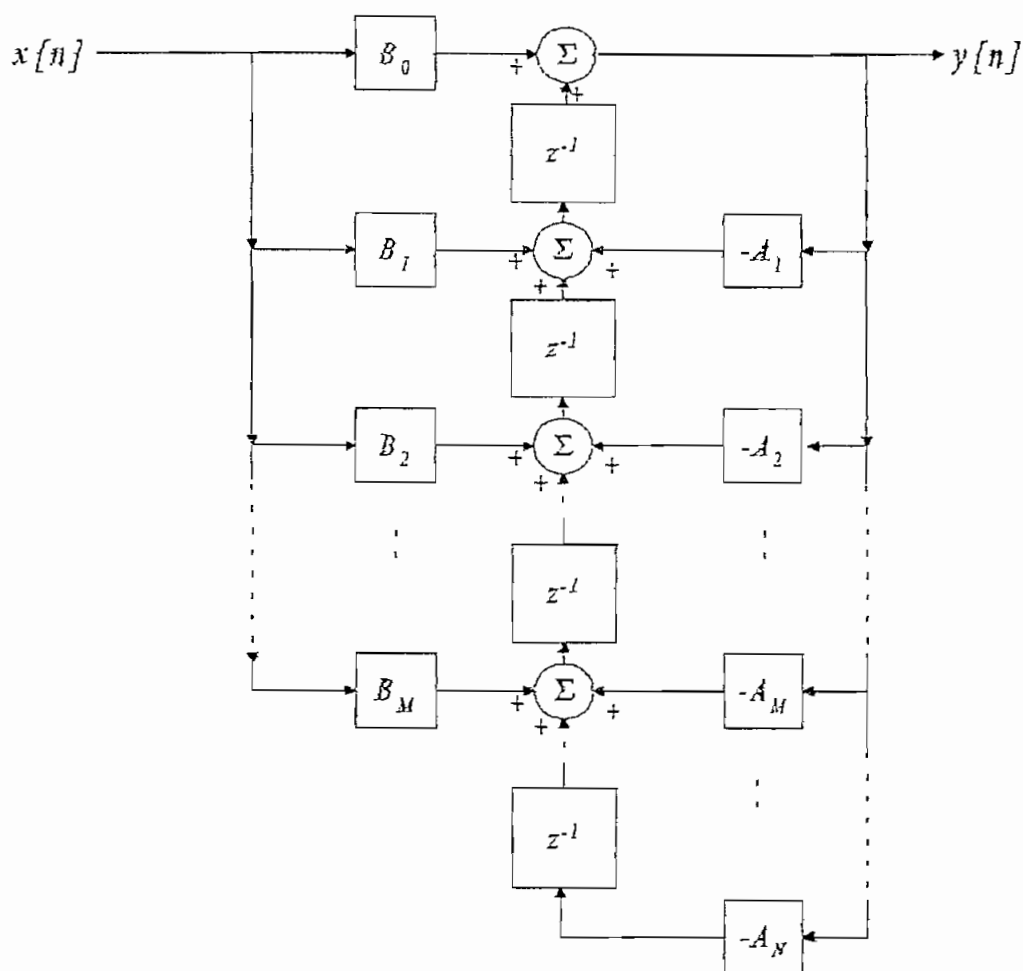


Figura 3.10 Diagramas de bloques para filtros ARMA
FORMA TRANSPUESTA O CANONICA

Esta forma da lugar a una realización con N elementos de memoria, $(N+M+1)$ multiplicadores y N sumadores.

Las funciones de transferencia pueden representarse mediante sumas de fracciones parciales (en paralelo), o mediante producto de factores (en cascada).

Supongamos una función de transferencia $H(z)$, expresada como suma de fracciones. Los pares de polos complejos conjugados deben ser combinados en términos de 2º orden:

$$H(z) = b_0 + \sum_{i=1}^L \frac{b_{1i}z^{-1} + b_{0i}}{a_{2i}z^{-2} + a_{1i}z^{-1} + 1} \quad L = \text{int}\left(\frac{N+1}{2}\right)$$

Esta función de transferencia puede representarse a través de la forma directa I o de la forma transpuesta, dando lugar a las formas Paralela II y Paralela Transpuesta Figura 3.11.

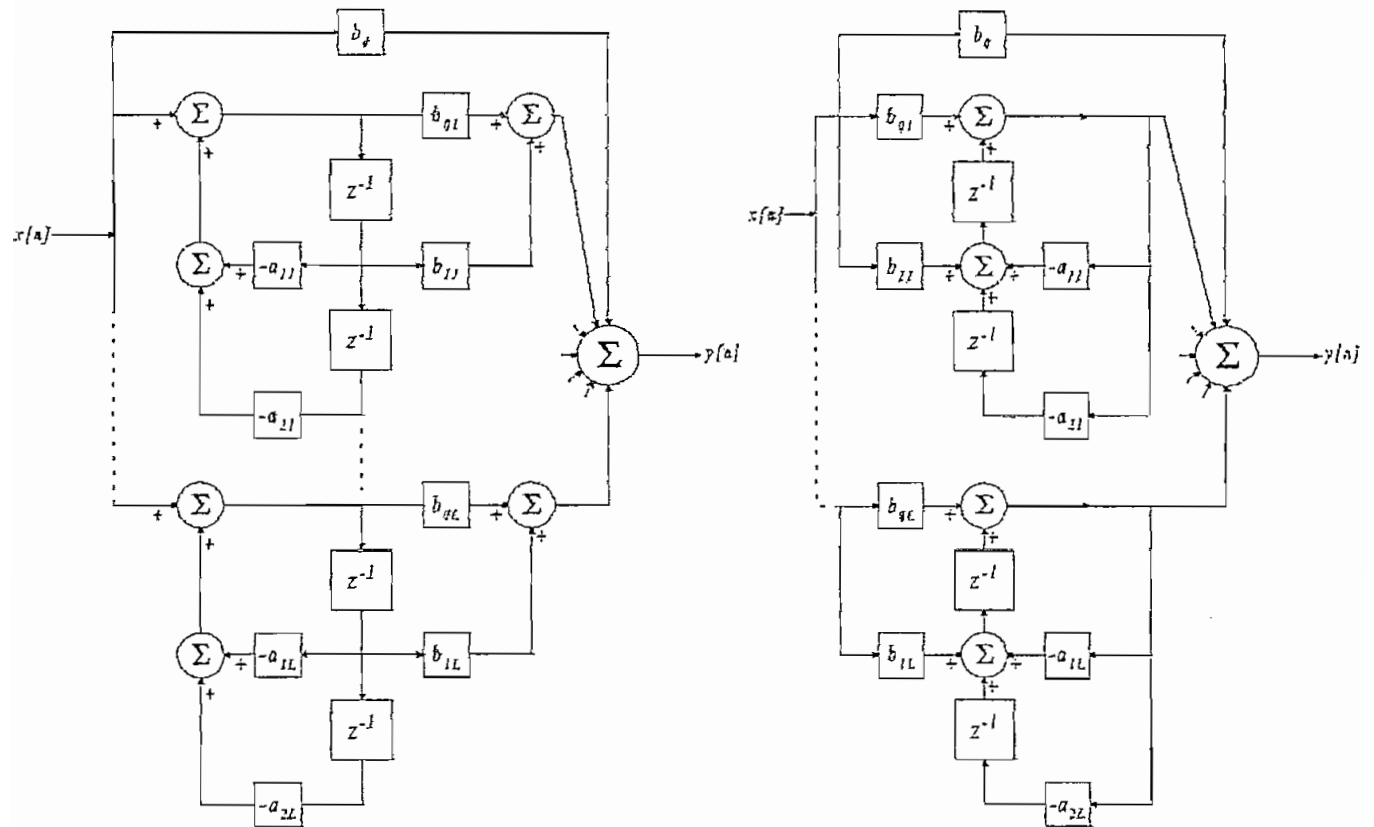


Figura 3.11 FORMA PARALELA II Y PARALELA TRANSPUESTA

La función de Transferencia puede expresarse también como producto de términos, así:

$$H(z) = \beta_0 \prod_{i=0}^L H_i(z) = \beta_0 \prod_{i=0}^L \frac{\beta_{2i}z^{-2} + \beta_{1i}z^{-1} + 1}{\alpha_{2i}z^{-2} + \alpha_{1i}z^{-1} + 1}$$

lo que da lugar a las formas en cascada, Cascada II y Cascada Transpuesta Figura 3.12:

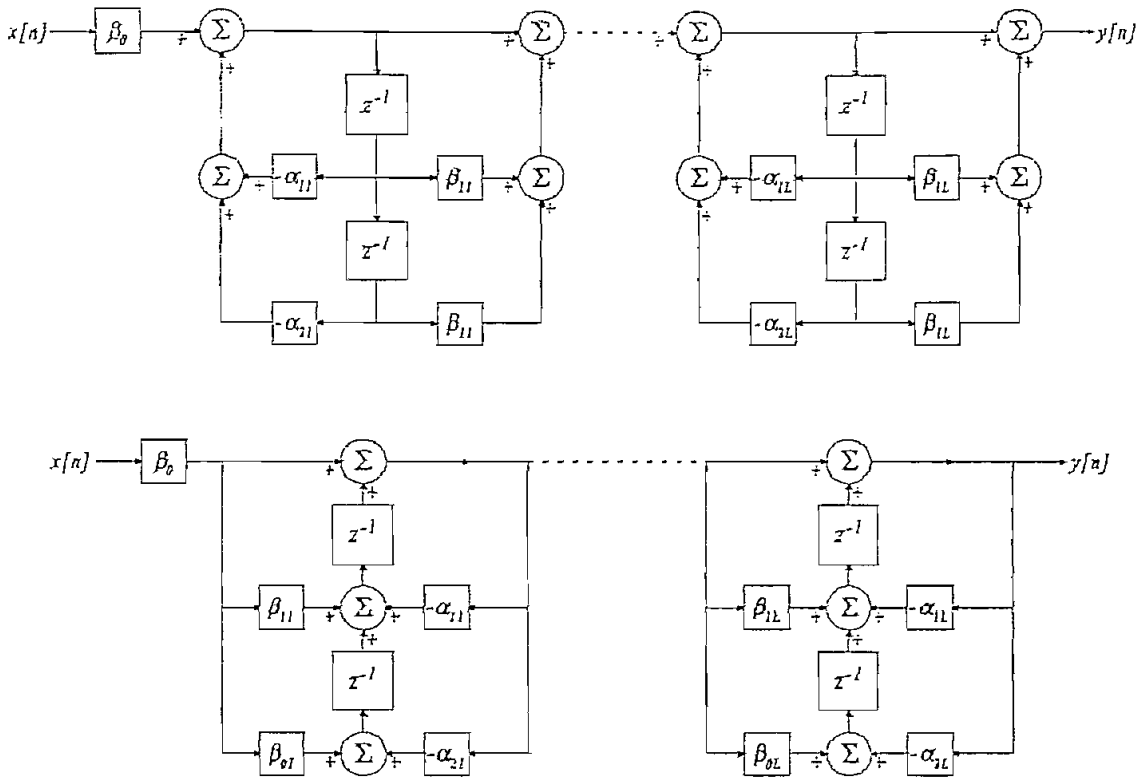


Figura 3.12 FORMA EN CASCADA II Y CASCADA TRANSPUESTA

Cada una de estas formas tienen sus ventajas e inconvenientes en el momento de realizar el filtro. Uno de los problemas más importantes que debe tener en cuenta una realización son los efectos de cuantización.

Los efectos de cuantización se producen al tener obligatoriamente que truncar (o cuantizar) los coeficientes del filtro y las señales de entrada y salida. Esta cuantización puede dar lugar a que las características del filtro realizado difieran de las especificaciones del filtro diseñado.

Los efectos de cuantización deben ser tenidos muy en cuenta cuando el diseño se realiza en microprocesadores con aritmética de punto fijo (por ejemplo, DSPs). En caso de utilizar micros de 32 bits con aritmética en punto flotante, los efectos de cuantización pueden ser despreciados.

Dividiremos los efectos de cuantización en dos partes: los debidos a la cuantización de las señales (de entrada $x[n]$ o de salida $y[n]$, que incluyen los errores de redondeo o truncamiento en las operaciones aritméticas) y los debidos a la cuantización de los coeficientes.

3. EFECTOS DE CUANTIZACIÓN.

3.1 CUANTIZACIÓN DE SEÑALES.

El efecto de cuantizar la señal puede estudiarse como el efecto de añadir un error o una señal de ruido $e[n]$ a la salida ideal del filtro digital. Este ruido se considera como el efecto conjunto de varios errores producidos en el procesamiento:

- Error de cuantización en el convertidor A/D a la entrada del filtro.
- Errores de redondeo o truncamiento en las operaciones (multiplicaciones, sumas).
- Error en la cuantización de la salida en el convertidor D/A (menos bits en la salida que en las operaciones).

3.2 ERRORES DE TRUNCAMIENTO.

Cuando se implementa un filtro en hardware (DSPs o ASICs) suele ser habitual trabajar en un punto fijo ya que es considerablemente más barato en términos de área de silicio y complejidad en el diseño. Por ejemplo, las variables del filtro (entradas, salidas y coeficientes) pueden estar cuantizadas en 16 bits.

Al hacer una multiplicación necesitaremos 32 bits, que es posteriormente truncado de nuevo a 16 bits. Este tipo de error puede ser analizado mejor desde un punto

de vista estadístico. Supongamos que truncamos un número de $(\beta+1)$ bits a $(b+1)$ bits, tal y como indica la Figura 3.13.

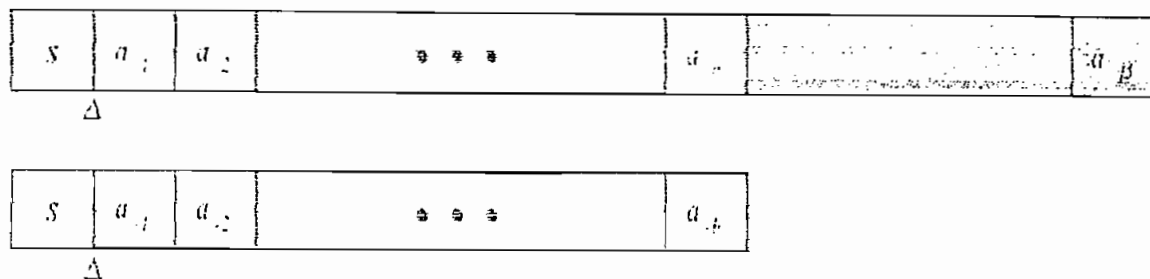


Figura 3.13 Representación del truncamiento de un número de $\beta+1$ bits

El error producido al truncar x es:

$$\varepsilon_t = Q(x) - x.$$

El error es cero si todos los bits rechazados son cero, y será máximo si todos los bits rechazados son 1. El error máximo es por tanto:

$$\sum_{i=b+1}^{\beta} a_{-i} 2^{-i} = 2^{-b} + 2^{-\beta}$$

El error de truncamiento será siempre negativo para números en complemento de 2, y su valor es $-(2^{-b} + 2^{-\beta}) \leq \varepsilon_t \leq 0$. Si suponemos que $\beta \gg b$:

$$-2^{-b} \leq \varepsilon_t \leq 0$$

A la hora de analizar los errores producidos por el truncamiento se recurre al análisis estadístico. Suponiendo una distribución uniforme de los errores en el rango $(-2^{-b}, 0)$, la media del error es $-2^{-(b+1)}$ y su varianza es $2^{-b}/12$, estos valores son ciertos en caso de utilizar complemento de 2, lo cual es bastante habitual.

El análisis se hace sumando una señal de ruido a la señal sin truncar. Esa señal de error tiene la media y varianzas calculadas previamente.

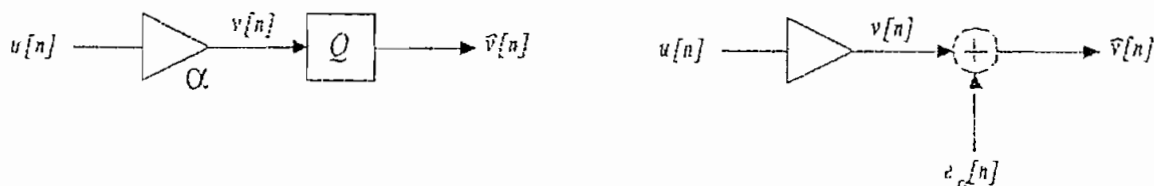


Figura 3.14 Representación gráfica del truncamiento de un número

Los tipos de realizaciones estudiadas (en paralelo y cascada) tienen un impacto parecido en los errores de truncamiento, utilizando formas en cascada podemos mejorar la varianza del ruido de truncamiento puede disminuirse emparejando polos y ceros de acuerdo a ciertos criterios y modificando el orden al cual se realizan las operaciones en cascada.

Una consecuencia de las operaciones aritméticas es el overflow³, en tal caso la señal debe mantenerse en ese nivel máximo, lo que produce fuertes distorsiones en las señales.

Una ventaja de la aritmética de complemento de 2 es la mostrada en el siguiente ejemplo.

Se quiere hacer la suma $0.6875_{10} + 0.8125_{10} - 0.5625_{10}$ con un código digital de 5 bits en complemento de 2, la suma de los dos primeros operando da overflow; sin embargo, si eliminamos el bit de signo y continuamos sumando el resultado será correcto:

$01011 + 01101 = 11000$ Eliminamos el bit de signo porque hay overflow 01000 .

$01000 + 10111 = 01111$ Lo que equivale a 0.9375 , el resultado correcto.

³ Overflow significa desbordamiento cuando el resultado de una operación sobrepasa el máximo número admitido por una cierta representación digital.

Una forma de evitar el overflow, es multiplicar las operaciones por un factor que evite el overflow, este factor debe ser lógicamente menor que 1, lo que empeora la relación señal ruido del filtro.

La relación señal / ruido en una señal cuantizada es:

$$SNR_Q = 10 \log P_s + 10.8 - 20 \log D + 6b$$

P_s es la potencia de la señal de entrada, D es el fondo de escala y b es el número de bits, P_s es proporcional a la varianza de la señal, σ_x^2 , entonces si multiplicamos la señal por un factor A , la potencia de la señal será $A^2 \sigma_x^2$.

Sustituyendo en la ecuación vemos que si $A > 1$, mejora la SNR_Q , pero se corre el peligro de producir overflow, por el contrario, un valor de $A < 1$, evita el overflow pero empeora la SNR_Q .

3.3 OSCILACIONES DE CICLO LÍMITE.

Este tipo de inestabilidades se da en los filtros IIR, debido a la realimentación de la salida. Las oscilaciones de ciclo límite se denominan a menudo granulares, ya que dan lugar a oscilaciones de pequeña amplitud.

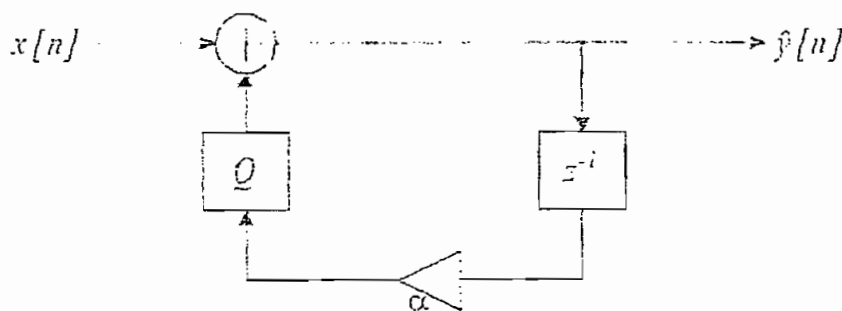


Figura 3.15 Diagrama de bloques de un Filtro IIR de 1er orden.

En el ejemplo del filtro de 1^{er} orden de la figura, la ecuación diferencia es:

$$\hat{y}[n] = Q(\alpha \cdot \hat{y}[n-1]) + x[n]$$

Sin perder generalidad utilizamos una representación digital de 5 bits con signo y haremos redondeo en las operaciones en vez de truncamiento.

Veamos la respuesta del filtro a una entrada impulso $x[0] = 0.1101$.

	$\alpha = 0.1011, y[-1] = 0$		$\alpha = 1.1011, y[-1] = 0$	
n	$\alpha y[n-1]$	$y[n]$	$\alpha y[n-1]$	$y[n]$
0	0	0.1101	0	0.1101
1	0.10001111	0.1001	1.10001111	1.1001
2	0.01100011	0.0110	0.01100011	0.0110
3	0.01000010	0.0100	1.01000011	1.0100
4	0.00101100	0.0011	0.00101110	0.0011
5	0.00100001	0.0010	1.00100000	1.0010
6	0.00010110	0.0001	0.00010111	0.0001
7	0.00001011	0.0001	1.00001011	1.0001
8	0.00001011	0.0001	0.00001011	0.0001

Tabla 3.1 Ejemplos de números redondeados a 5 bits

Para los dos valores de a se observa que cuando $a > 0$, la salida tiende a un valor constante distinto de cero, mientras que si $a < 0$, la salida oscila entre dos valores.

Esto se debe a que el sistema tiene un polo efectivo en el círculo unidad, en este caso el sistema tiene un polo en $z=1$ para $a > 0$, y en $z=-1$ para $a < 0$; esto implica:

$$Q(\alpha \cdot \hat{y}[n-1]) = \begin{cases} \hat{y}[n-1], & \alpha > 0 \\ -\hat{y}[n-1], & \alpha < 0 \end{cases}$$

El error de cuantización debido al redondeo es:

$|Q(\alpha \cdot \hat{y}[n-1]) - \alpha \cdot \hat{y}[n-1]| \leq \frac{\delta}{2}$, y sustituyendo la anterior expresión,

$$|\hat{y}[n-1]| \leq \frac{\delta}{2(1-|\alpha|)}.$$

Con esta fórmula tenemos delimitado el rango de variación de los ciclos límite, por tanto al utilizar un mayor número de bits de cuantización disminuye la amplitud del ciclo límite, esto no es siempre posible, por lo que existen técnicas de eliminación de los ciclos límites basadas en realizaciones en espacio de estado.

3.4 CUANTIZACIÓN DE COEFICIENTES.

Este es el impacto de la cuantización de los coeficientes del filtro en la función de transferencia del mismo.

Una función de transferencia $H(z) = 1 / (1 + a_1 \cdot z^{-1} + a_2 \cdot z^{-2})$, cuyos polos complejos son p y p^* cumpliéndose que $a_1 = -2 \cdot \text{Re}(p)$ y $a_2 = |p|^2$:

Por tanto, cuantizar a_1 significa cuantizar la parte real del polo, mientras que cuantizar a_2 significa cuantizar el radio del polo. Esto se muestra en la Figura 3.16:

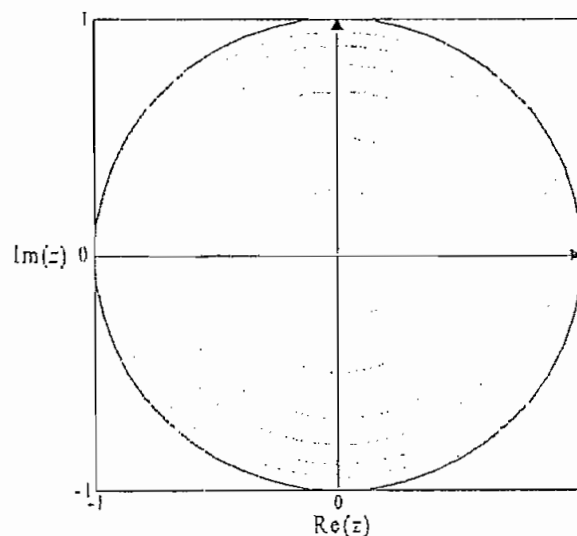


Figura 3.16 Circunferencia en el Plano Z

El polo estará definido por la intersección de las líneas verticales y los círculos.

Se pueden sacar dos conclusiones:

- En la vecindad de $z=\pm 1$, los posibles polos están más separados entre sí. Se dice que estos polos son muy sensibles a la cuantización.
- Si hacemos un muestreo a una frecuencia mucho mayor que la señalada por el teorema del muestreo, los polos son empujados hacia $z=1$. Por tanto, aumentar la frecuencia de muestreo hace a los polos más sensibles a la cuantización.

Para sistemas de mayor orden es previsible que la sensibilidad de los coeficientes vaya a peor, por lo que realizar filtros que contengan polos (filtros IIR) de forma directa (formas directa I o II) no es aconsejable.

Los coeficientes en estas formas no nos dicen nada acerca de la situación de sus polos y mucho menos acerca de las consecuencias de su cuantización, entonces la solución es, lógicamente, utilizar las formas Paralelo o Cascada para tener un mayor control sobre la situación de los polos al cuantizar.

Ahora el efecto de la cuantización sobre los ceros. En el caso de filtros FIR (compuesto exclusivamente por ceros), sabemos que se caracterizan por ser de fase lineal. Esto es debido a que los coeficientes son simétricos (o asimétricos). Por tanto cuantizar los coeficientes no va a variar la linealidad de fase del filtro.

Lo que sí variará es la magnitud de la respuesta. Se puede demostrar que los ceros de un filtro FIR o bien están sobre la circunferencia de radio 1, o están en parejas con radios recíprocos. Por tanto, en los filtros FIR lo normal es utilizar la forma directa (I o II). También se podría utilizar la forma en cascada pero se utiliza menos.

El hecho de que los ceros en un filtro digital estén sobre el círculo unidad, hace que los coeficientes del numerador sean $+1$ ó -1 , por lo que en las formas en cascada se pueden ahorrar desde un 25% a un 50% en multiplicaciones comparado con un diseño en paralelo.

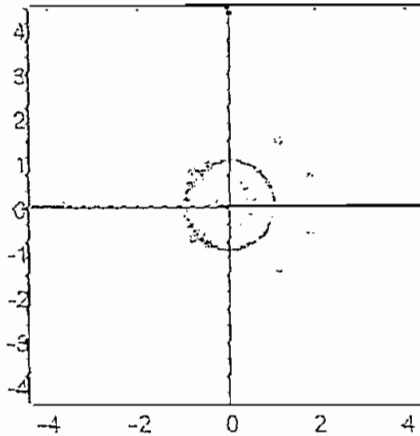


Figura 3.17 Círculo donde se encuentran los polos y ceros de un filtro IIR.

Los ceros en un filtro IIR son más problemáticos, pues aquí no tenemos la seguridad de que los coeficientes son simétricos, por lo que habrá que tener las mismas consideraciones que las explicadas en el caso de los polos, además hay que tener en cuenta el caso habitual en que varios ceros estén en $z=\pm 1$, por lo que su cuantización no tendría efectos graves.

Lo más normal es utilizar la forma en cascada, aunque se puede utilizar la forma en paralelo siempre que no haya unas especificaciones demasiado exigentes.

3.5 EJEMPLO GRAFICO DEL EFECTO DE CUANTIZACIÓN.

Dado el filtro digital IIR con $F_s=25$ KHz, cuyos coeficientes B y A son tratados primero sin tratamiento y luego con redondeo a 3 bits

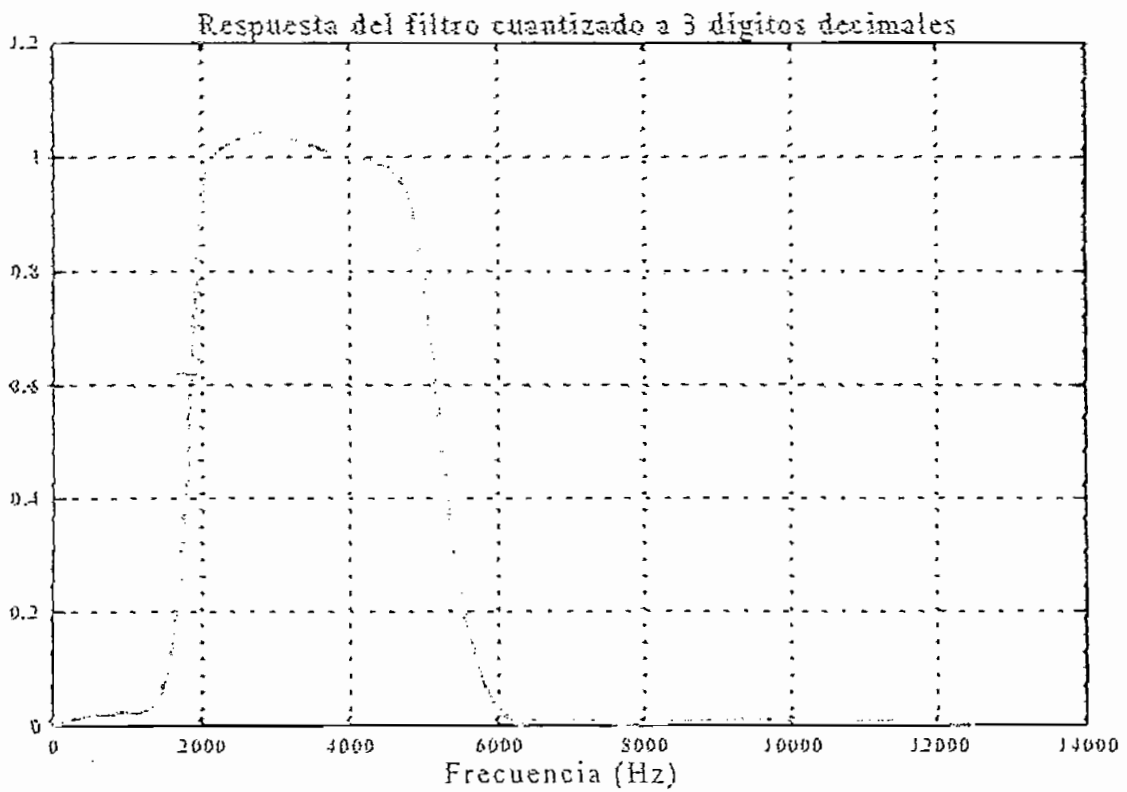
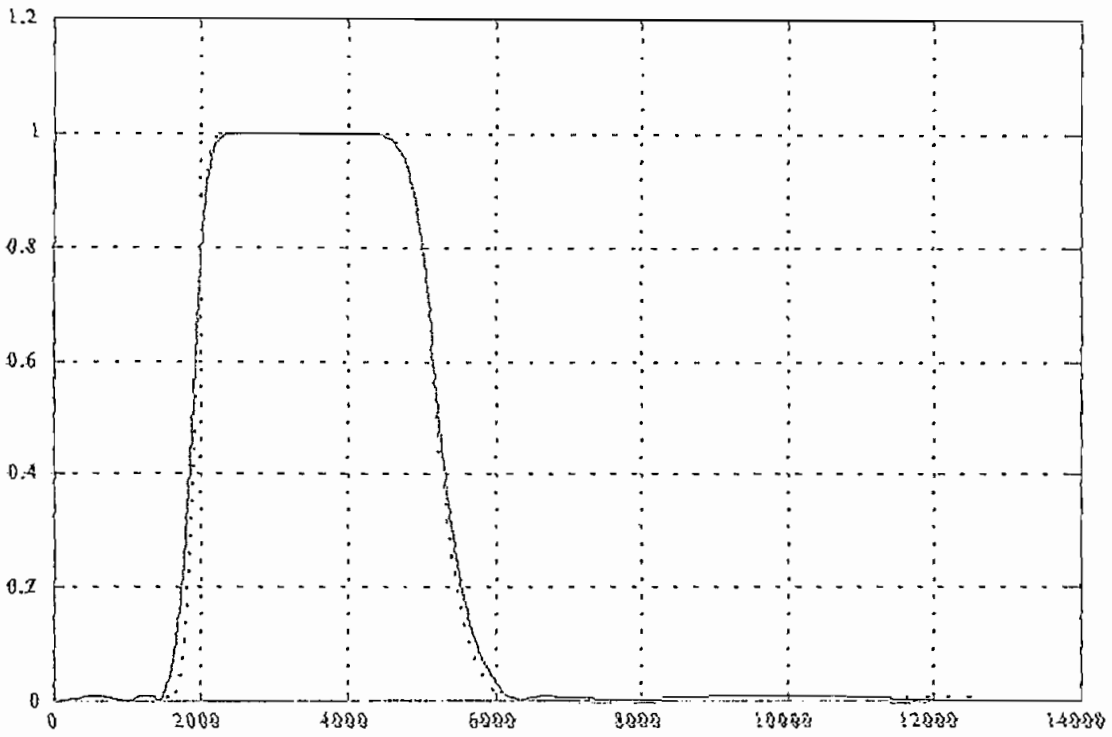


Figura 3.18 Comparación entre Filtros IIR idénticos, pero el segundo con redondeo

4. PLATAFORMA DE DESARROLLO⁴

La plataforma en la que se implementará el Ecuilizador Gráfico Digital con Q Constante es el Procesador Digital de Señales (DSP) construido por la compañía ANALOG DEVICES modelo ADSP-2181.

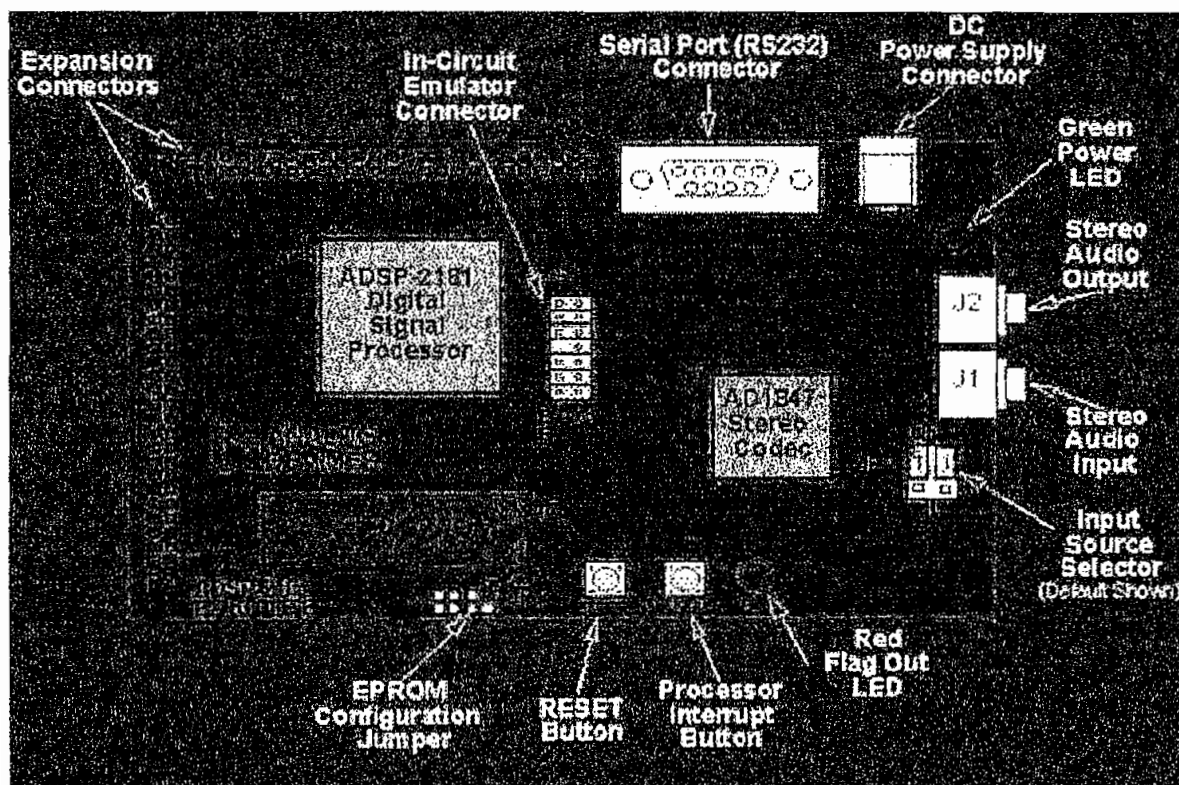


Figura 3.19 Diagrama físico ADSP-2181

4.1 DESCRIPCIÓN GENERAL.

El ADSP-2181 es un microordenador de un chip perfeccionado para el procesamiento digital de señales (DSP) y otras aplicaciones de procesos numéricos de alta velocidad.

⁴ Tomado del Libro ADSP-2100 Family User's Manual.

El ADSP-2181 combina la arquitectura básica de la familia ADSP-2100 (tres unidades de cálculo, generadores de direcciones de datos y un secuenciador de programa) con dos puertos en serie, un puerto interior de 16 bits DMA, un puerto de un byte DMA, un cronómetro programable, Bandera de E/S⁵, capacidades de interrupción extensas, chip de programa y memoria de datos.

El ADSP-2181 integra 80 Kbytes de memoria del chip configurado como 16 mil palabras (de 24 bits) de memoria RAM de programa, y 16 mil palabras (de 16 bits) de memoria RAM de datos. Circuitería de bajo consumo de potencia para implementar equipos portátiles que funcionan con baterías.

El ADSP-2181 tiene disponibles 128 pines en un encapsulado TQFP y 128 pines para paquetes PQFP.

Fabricado a alta velocidad, metal doble, baja potencia, proceso CMOS, que hace que el ADSP-2181 opere con un tiempo de ciclo de instrucción de 30 ns. Cada instrucción se ejecuta en un solo ciclo del procesador.

La arquitectura flexible del ADSP-2181 y el conjunto de instrucciones comprensivo permiten al procesador realizar los funcionamientos múltiples en paralelo. En un ciclo del procesador el ADSP-2181 al mismo tiempo se puede:

- Generar la próxima dirección del programa.
- Leer la próxima instrucción .
- Movimiento de uno o dos datos.
- Actualizar uno o dos punteros de direcciones de datos.
- Una operación computacional.

Estas operaciones tienen lugar mientras el procesador continúa :

- Recibiendo y transmitiendo datos a través de los dos puertos en serie.

⁵ E/S Puertos de Entrada y Salida en inglés I/O Input and Output

- Recibiendo y/o transmitiendo datos a través del puerto interno DMA.
- Recibiendo y/o transmitiendo datos a través del puerto byte DMA.
- Decrementando el timer.

Los dispositivos en este procesador son de 16 bits, y ésta es una máquina con punto fijo, y la mayoría de operaciones se asumen con una representación de complemento de dos, mientras otras operaciones se asumen como números sin signo o simples cadenas binarias.

Una especial característica es el sustento de una aritmética multipalabra y un bloque de punto flotante, detalle concerniente a varios formatos numéricos soportado por la ADSP-2181, en este procesador los números con signo son siempre en complemento de dos.

La notación de una cadena simple de bits es utilizada para operaciones lógicas como NOT, AND, OR, XOR, etc, estas operaciones de la ALU y no toman en cuenta un bit de signo o la colocación de un punto binario.

Una representación muy importante es la fraccional 1.15 pues este procesador está optimizado para valores numéricos en un formato fraccionario denominado por 1.15, un bit de la señal (el MSB) y quince bits fraccionarios que representan los valores de -1 o un LSB menos $+1$.

1.15 Número	Equivalente Decimal
0x0001	0.000031
0x7FFF	0.999969
0xFFFF	-0.000031
0x8000	-1.000000

Figura 3.20 Peso de los bits en formato 1.15

4.1.1 ARITMÉTICA DE LA ALU.

Todas las operaciones sobre la ALU dan como resultado una simple cadena de 16 bits, excepto la división con signo primitiva (llamada DIVS), aunque existen varias operaciones que dan resultados con signo como la condición de overflow (AV), y la bandera negativa (AN).

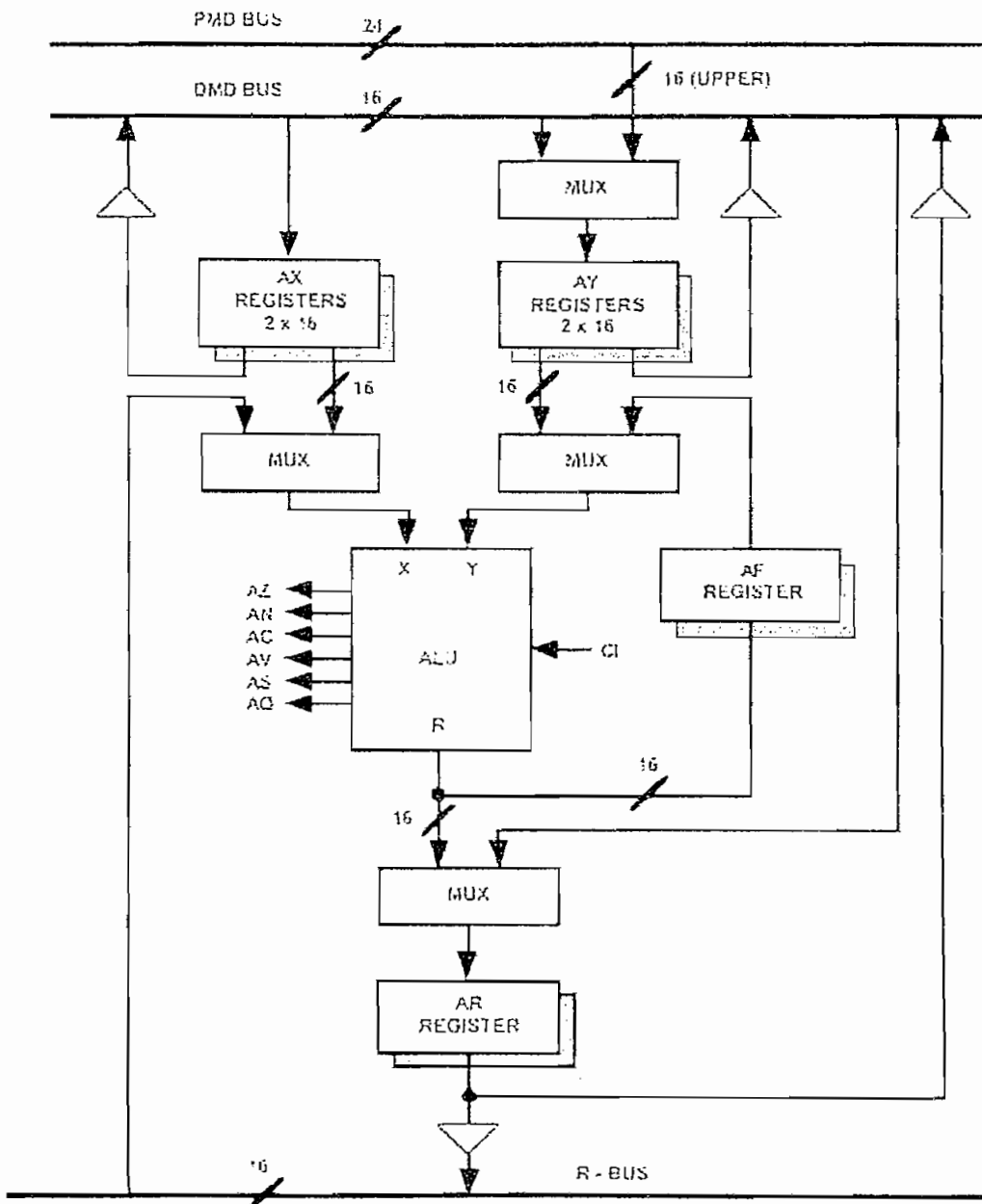


Figura 3.21 Diagrama de Bloques de la ALU

La lógica del bit de overflow (AV) está basada en aritmética de complemento de dos, los cambios en el MSB⁶ son de manera no predecible, y la determina los signos de los operandos y la naturaleza de la operación, por ejemplo si se suman dos números positivos y se produce overflow entonces cambia el bit AV, pero si se suman un número negativo con un positivo el resultado puede ser positivo o negativo pero no produce overflow, por otro lado la lógica del bit de "llevo" carry (AC) está basado en una aritmética de magnitud sin signo y este bit es generado cuando un número sobrepasa los 16 bits.

4.1.2 ARITMÉTICA DE LA MAC.

El multiplicador produce resultados que son cadenas binarias. Las entradas son "interpretadas" según la información dada por la propia instrucción (números con signo con números con signo, números sin con números con signo, mezclados, o una operación del redondeo). El resultado de 32 bits del multiplicador es con signo, con este signo extendido se llena de 40 bits el registro MR.

LA ADSP-2181 soporta dos modos de ajustar el formato: el modo fraccional por operandos fraccionales, formato 1.15 (un bit de signo, 15 bits fraccionales), y el modo entero por operandos enteros, formato 16.0 .

Cuando el procesador multiplica dos operandos 1.15, el resultado es un número con formato 2.30 (2 bits de signo, 30 bits fraccionales), en el modo fraccional, la MAC automáticamente cambia el producto (P) a partir de un bit antes de transferir el resultado al registro (MR). Este cambio causa que el resultado quede con formato 1.31, el cual es redondeado a formato 1.15 .

En el modo entero, este cambio no ocurre, pues la multiplicación de dos números con formato 16.0 dan como producto un número con formato 32.0 y no hay necesidad de hacer el cambio pues no existe bit de signo repetido.

⁶ MSB Bit más significativo

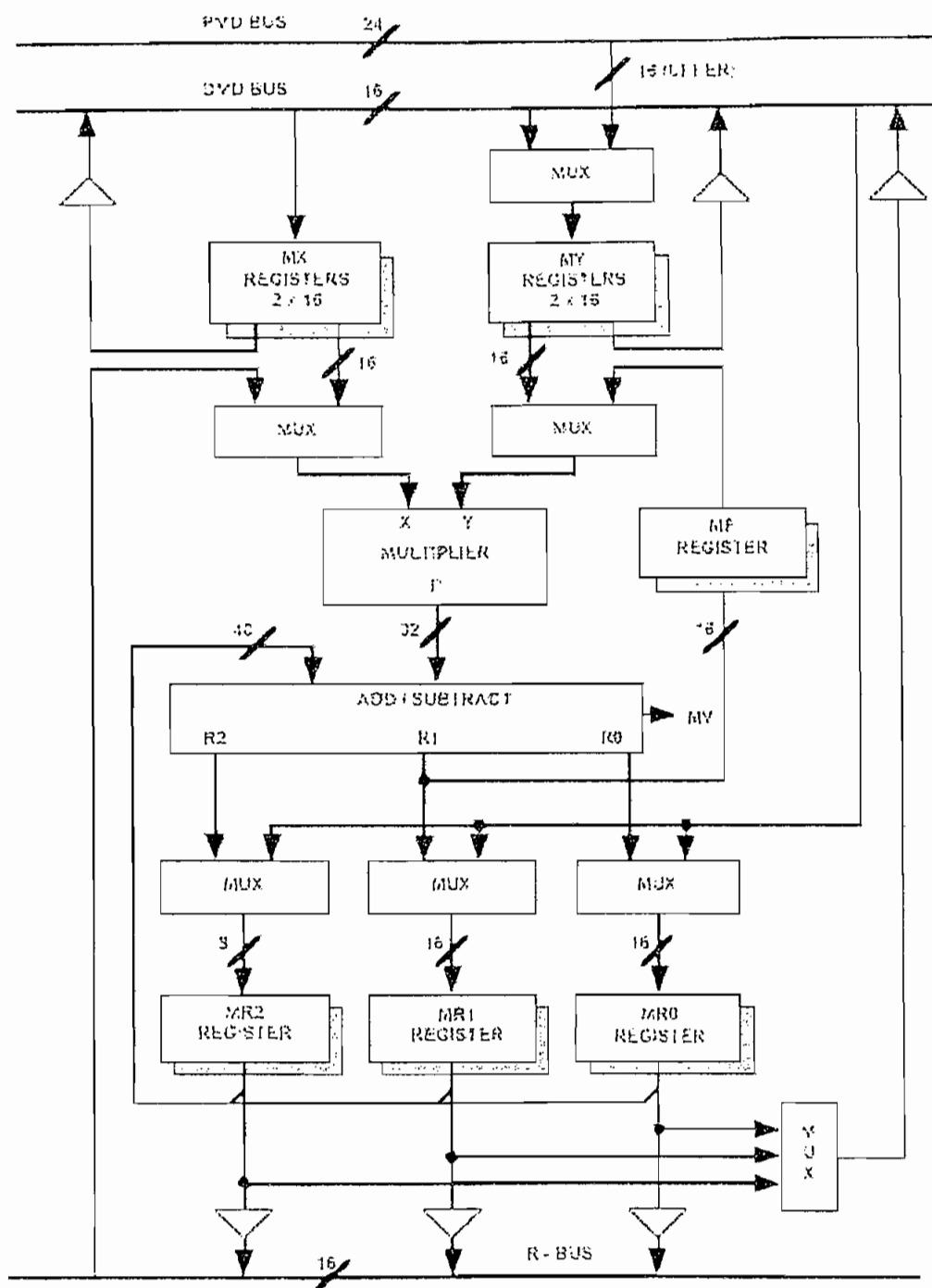


Figura 3.22 Diagrama de Bloques de la MAC

4.1.3 ARITMÉTICA DEL "CAMBIADOR" SHIFTER.

Muchas operaciones en el shifter tienen signo (complemento de dos) o valores sin signo, el shifter lleva a cabo cambios lógicos de magnitudes sin signos o valores de cadenas binarias y cambios aritméticos, así por ejemplo el exponente lógico

asume números con complemento de dos, el exponente lógico tienen punto flotante el cual es basado en fracciones con complemento de dos, y necesariamente se tienen que realizar cambios en esos números.

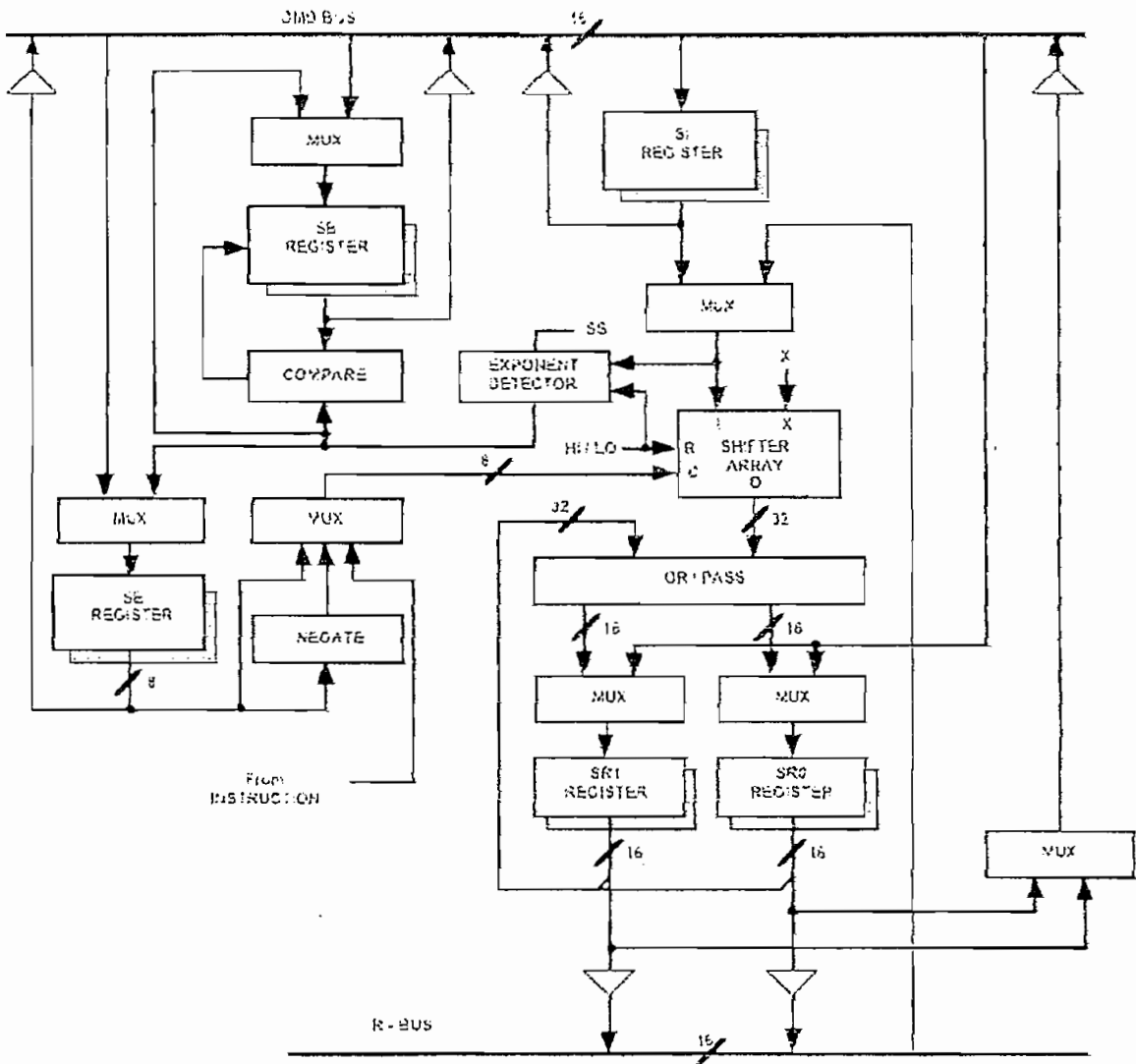


Figura 3.23 Diagrama de Bloques del SHIFTER

La unidad de desplazamiento también llamada *shifter*, proporciona una completa gama de funciones de desplazamiento para entradas de 16 bits, con salidas de hasta 32 bits. Estas funciones incluyen desplazamientos aritméticos, desplazamientos lógicos, normalización y denormalización. Estas funciones

básicas pueden ser combinadas eficientemente para implementar un control de formatos numéricos, que incluyen representaciones en punto flotante.

El arreglo del shifter está formado por un desplazador de barril de 16x32. Este acepta una entrada de 16 bits y la puede colocar en cualquier del campo de salida de 32 bits, en un solo ciclo de máquina. Esto da lugar a 49 posibles posiciones dentro del campo de 32 bits. La ubicación de las entradas de 16 bits está determinada por un código de control (C) y una señal de referencia (HI/LO).

4.1.4 GENERADORES DE DIRECCIONES DE DATOS

El ADSP-2181 contiene dos generadores de direcciones de datos (DAGs) totalmente independientes, estas unidades permiten controlar el movimiento de los datos en el procesador de modo que la memoria de datos y de programas puedan ser accesadas simultáneamente. El DAG1 genera únicamente direcciones de memoria de datos, en tanto que el DAG2 puede generar ambas direcciones de datos y programas.

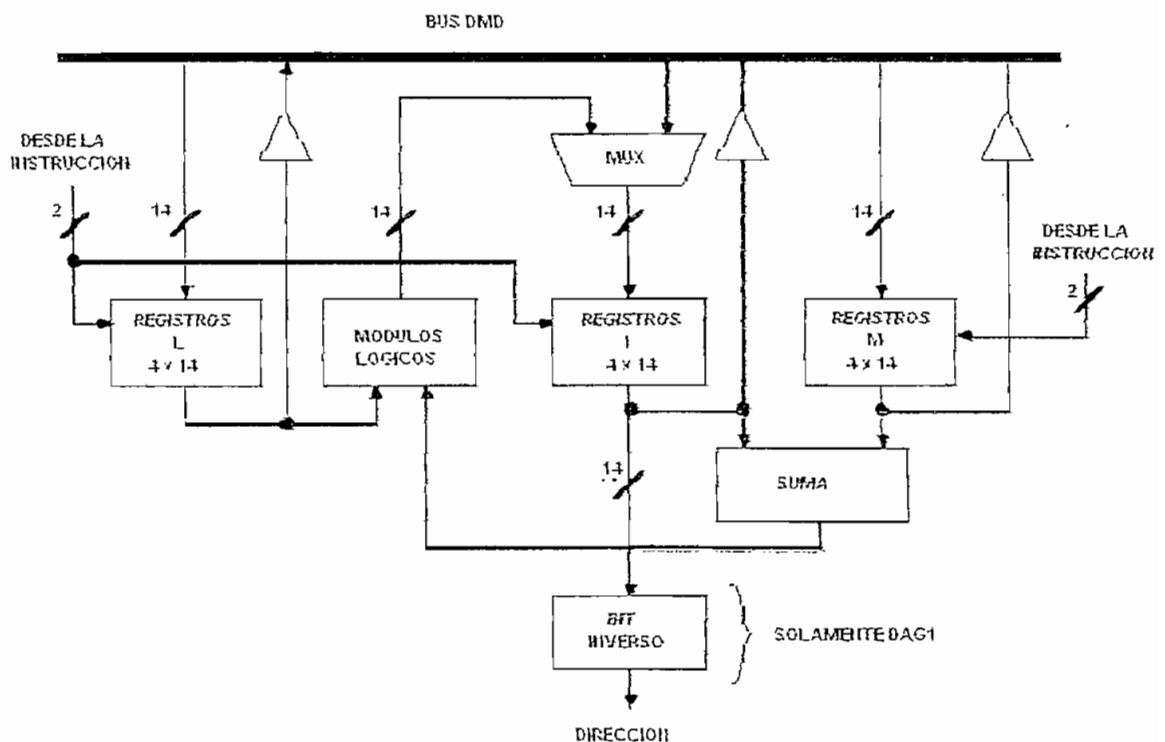


Figura 3.24 Diagrama de Bloques de un Generador de Direcciones de Datos

La figura 3.24 indica el diagrama de bloques del generador de direcciones de datos. Existen tres archivos de registros en un DAG: el archivo de registros de modificación (M), el archivo de registros de indexados (I), y el archivo de registros de longitud (L). Cada uno de estos archivos contiene cuatro registros de 14 bits los cuales pueden ser leídos y escritos por medio del bus DMD.

4.1.5 SECUENCIADOR DE PROGRAMA

El secuenciador de programa genera las direcciones de las instrucciones, ejecuta saltos condicionales e incondicionales, llamadas y retorno de subrutinas, procesamiento automático de interrupciones y otros mecanismos de control de flujo del programa.

El secuenciador de programa es manejado por el registro de instrucciones, el cual almacena la instrucción que esta siendo ejecutada. Mientras el procesador está ejecutando una instrucción, el secuenciador de programa realiza una traída previa (pre-fetch) de la siguiente instrucción de programa. La lógica de selección de la siguiente dirección en el secuenciador genera una dirección de memoria de programa de una de las siguientes fuentes:

- La salida del Sumador del Contador de Programa
- La pila del Contador de Programa (PC Stack)
- El registro de instrucciones
- El controlador de interrupciones.

El circuito de selección de la dirección siguiente escoge una de estas fuentes, basado en las entradas de: el registro de instrucciones, la lógica de condición, el comparador de lazos y el controlador de interrupciones. La dirección escogida para la siguiente instrucción es llevada entonces hacia el bus PMA. La figura 3.25 ilustra el diagrama de bloques del secuenciador de programa.

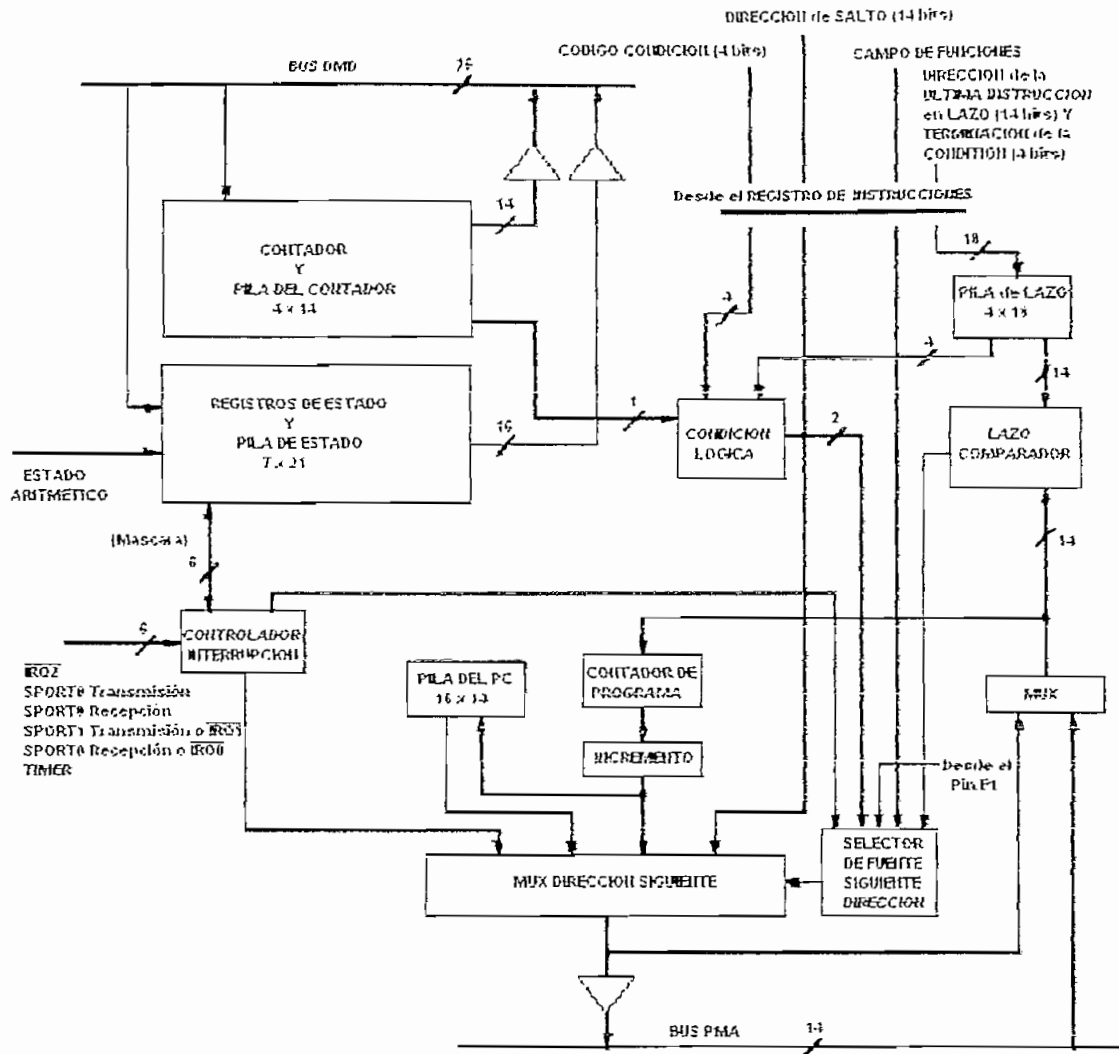


Figura 3.25 Secuenciador de Programas ADSP-2181

4.2 INTERFAZ ANALOGICO

El EZ-KIT Lite incluye un interfaz de señal analógico que consiste en un convertor A/D⁷ sigma-delta de 16 bits y un convertor D/A⁸ sigma-delta de 16 bits, y un set de control de mapeo de memoria y registros de datos. Las características del interfaz analógico son:

⁷ Convertor A/D. Convertidor de señal analógica a señal digital o ADC.

⁸ Convertor D/A. Convertidor de señal digital a señal analógica o DAC.

- Codificador Lineal de 16 bits sigma / delta ADC.
- Codificador Lineal de 16 bits sigma / delta ADC.
- Chip anti-aliasing y filtros anti-imaging.
- Frecuencia de muestreo de 8 KHz a 48 KHz.
- Ganancia programable para el DAC y ADC.
- Chip de voltaje de referencia.

El interfaz analógico trabaja en todo el ancho de banda de las frecuencias audibles para aplicaciones DSP de alto rendimiento.

Los ADC y DAC operan a una tasa fija de muestreo de 8 kHz y sus componentes: un chip con filtros anti-aliasing y anti-imaging, conversores de sigma-delta de 16 bits, y los amplificadores de ganancia programables aseguran una solución favorablemente integrada para cumplir los procesos en la banda audible. La tecnología de conversión de sigma-delta elimina la necesidad de chips complejos para anti-aliasing y gran circuitería para el muestreo.

El interfaz analógico se opera usando algunos controles de mapeo de memoria y registros de datos, las entradas y salidas del ADC y DAC pueden transmitirse recibirse vía registros individuales de mapeo de memoria, o los datos pueden ser directamente auto almacenados en la memoria de los datos del procesador, este auto almacenado es similar al del puerto de serie.

Dos interrupciones de los procesadores están dedicados para la conversión ADC y DAC, una interrupción es utilizada para la ADC y la otra interrupción para la DAC y ocurren a la tasa de muestreo cuando los buffers de transferencia están llenos.

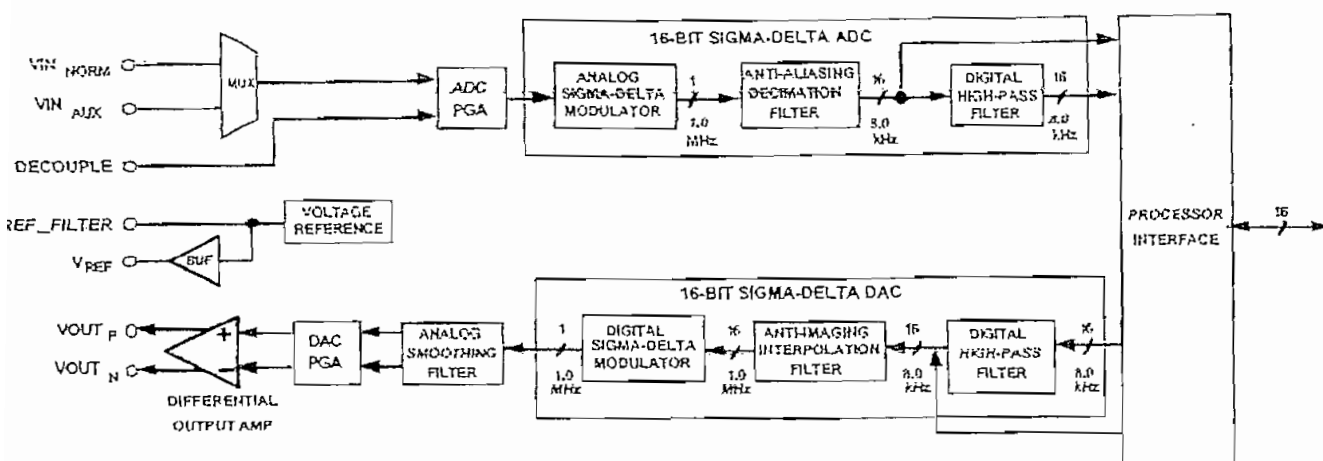


Figura 3.26 Diagrama de bloques del interfaz analógico

4.2.1 CONVERSION A/D

La circuitería del interfaz de conversión A/D consiste en una entrada multiplexada y un amplificador programable (PGA) y un convertor analógico digital sigma-delta (ADC).

4.2.2 ENTRADA ANALÓGICA

La entrada analógica está basada en un chip de voltaje de referencia en conjunto a la tarjeta con una fuente de poder de +5V.

4.2.3 ADC

El interfaz analógico consiste en un modulador analógico de 4^{to} orden sigma-delta, un filtro anti-aliasing y un filtro digital pasa altos. El modulador sigma-delta amolda el ruido y produce 1 bit de muestras a una tasa de 1 MHz. Este flujo de bits representa la señal analógica de entrada y representa el filtro de decimación anti-aliasing.

4.2.4 CONVERSION D/A

La circuitería de la conversión D/A en las ADSP consiste en un convertidor sigma-delta digital-analógico DAC y un filtro alisador analógico, un amplificador de ganancia controlable y un amplificador diferencial a la salida.

4.2.5 DAC

El interfaz analógico DAC implementa filtros digitales y un modulador con las mismas características que los filtros y modulador del ADC. El DAC consiste en un filtro digital pasa altos y un filtro de interpolación anti-imaging, estos filtros tienen la misma característica anti-aliasing.

La salida es un filtro de interpolación que convierte información de 16 bits a muestras de 1 bit con una tasa de 1 MHz .

4.2.6 AMPLIFICADOR DE GANANCIA PROGRAMABLE

El amplificador con ganancia controlable (PGA) puede ser usado ajustando el nivel de la señal desde -15 dB a $+6$ dB, esta ganancia es seleccionada por 2–4 bits (OG0,OG1,OG2) de un registro de control analógico.

4.2.7 CONECTORES DE EXPANSIÓN

P2 y P3 son lugares para conectores *header* de 50 pines los cuales proveen acceso a señales de la ADSP–2181 para propósitos de expansión o de prueba.

Los números de los pines sobre estos conectores son arreglados como indica la Figura 3.27 y serán utilizados para la conexión de hardware adicional, el teclado y el display.

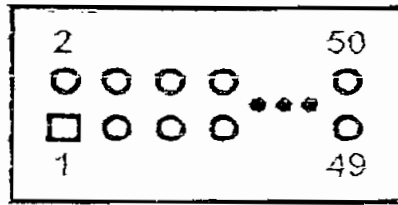


Figura 3.27. Arreglo de un conector tipo header de 50 pines

Las señales disponibles en estos pines son mostradas a continuación:

P2 NUMERO DE PIN	NOMBRE DE LA SEÑAL	P2 NUMERO DE PIN	NOMBRE DE LA SEÑAL
1	A0	2	A1
3	A2	4	A3
5	A4	6	A5
7	A6	8	A7
9	A8	10	A9
11	A10	12	A11
13	A12	14	A13
15	D0	16	D1
17	D2	18	D3
19	D4	20	D5
21	D6	22	D7
23	D8	24	D9
25	D10	26	D11
27	D12	28	D13
29	D14	30	D15
31	D16	32	D17
33	D18	34	D19
35	D20	36	D21
37	D22	38	D23
39	<u>WR</u>	40	<u>RD</u>
41	<u>IOMS</u>	42	<u>BMS</u>
43	<u>DMS</u>	44	<u>CMS</u>
45	<u>PMS</u>	46	<u>BR</u>
47	<u>BGH</u>	48	<u>BG</u>
49	VCC	50	GND

Tabla 3.1 Nombre de los Pines de expansión y su tipo de señal, P2

P3 NUMERO DE PIN	NOMBRE DE LA SEÑAL	P3 NUMERO DE PIN	NOMBRE DE LA SEÑAL
1	GND-	2	IAD0
3	IAD1	4	IAD2
5	IAD3	6	IAD4
7	IAD5	8	IAD6
9	IAD7	10	IAD8
11	IAD9	12	IAD10
13	IAD11	14	IAD12
15	IAD13	16	IAD14
17	IAD15	18	GND
19	<u>IACK</u>	20	IAL
21	<u>IS</u>	22	<u>IWR</u>
23	<u>IRD</u>	24	GND
25	PF0	26	PF1
27	PF2	28	PF3
29	PF4	30	PF5
31	PF6	32	PF7
33	FL0	34	FL1
35	FL2	36	CLKOUT
37	<u>RESET</u>	38	<u>IRQL0</u>
39	IRQL1	40	<u>IRQ2</u>
41	<u>PWD</u>	42	PWDACK
43	<u>CODECDIS</u>	44	TXD0
45	TFS0	46	RFS0
47	RXD0	48	SCK0
49	VCC	50	GND

Tabla 3.2 Nombre de los Pines de expansión y su tipo de señal, P3

5. DISEÑO

Para implementar el ecualizador digital tenemos primero el diagrama de flujo para la configuración de la tarjeta ADSP-2181 para que la tarjeta cumpla con las especificaciones deseadas y cumpla con los requerimientos necesarios para la entrada de datos por teclado, salida de datos por una pantalla de cristal liquido y la codificación de la señal analógica sea óptima.

5.1 DIAGRAMA DE FLUJO DEL PROGRAMA PRINCIPAL

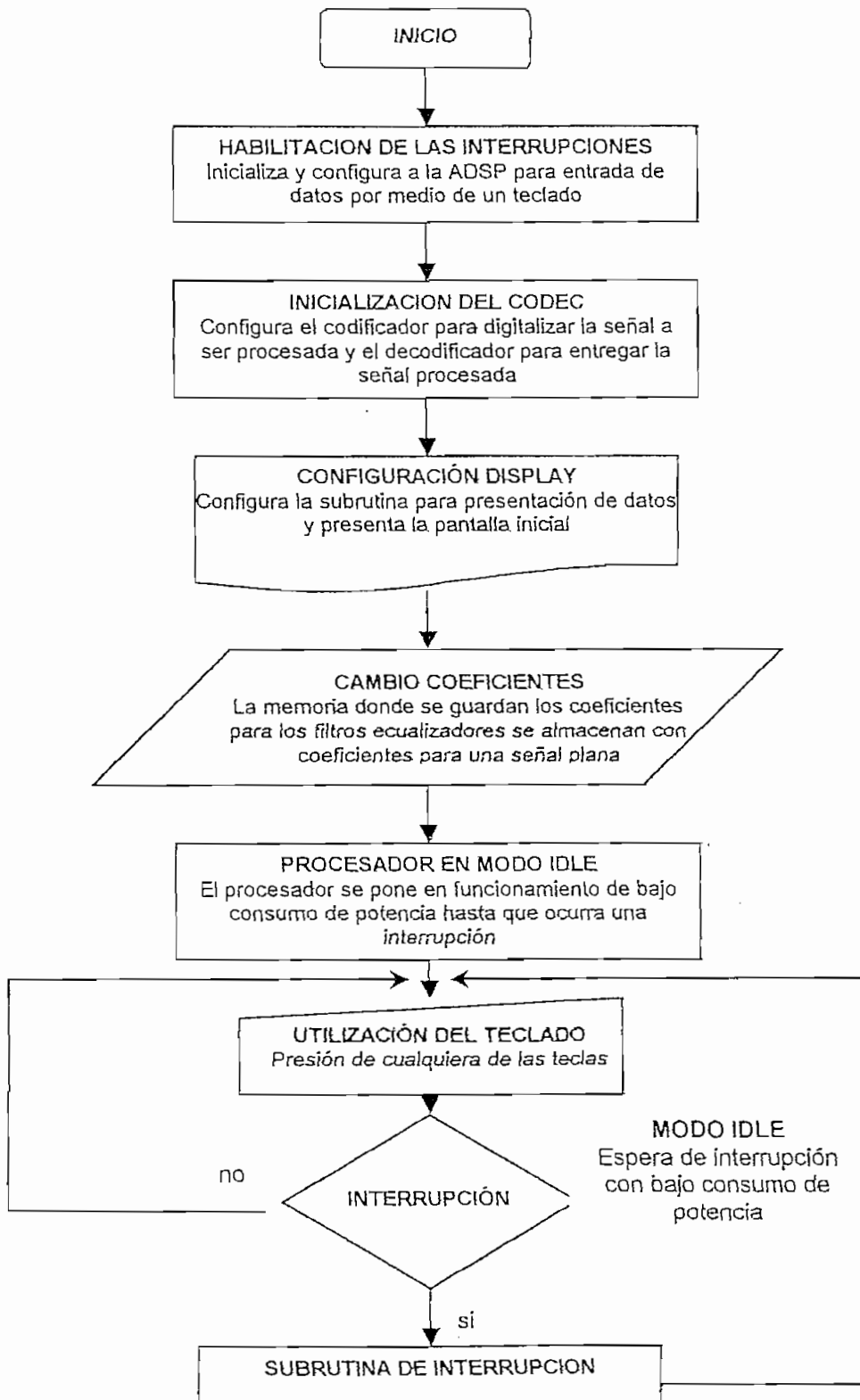


Figura 3.28 Diagrama de Flujo del programa implementado en el ADSP-2181.

5.2 TECLADO

Para un perfecto control sobre los parámetros que deben ser variados por el usuario y utilizados por el procesador para subrutinas como aumento o disminución del volumen de la señal, cálculo de los coeficientes de los filtros ecualizadores, control de ganancia, frecuencia central, o simplemente para la presentación del proyecto se ha acoplado a la tarjeta un teclado como hardware adicional para el efecto.

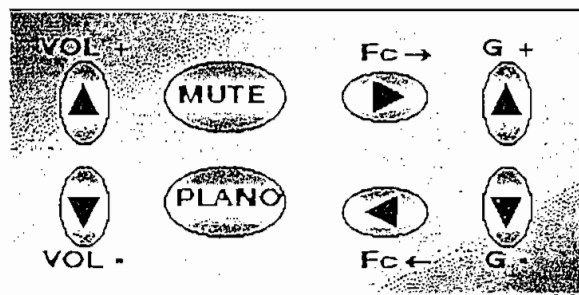


Figura 3.29 Esquema del teclado integrado a la tarjeta ADSP-2181

El teclado consta de 8 teclas:

- ▲ Tecla primera fila, primera columna; sirve para aumentar el volumen de la señal procesada.
- ▼ Tecla segunda fila, primera columna; sirve para reducir el volumen de la señal procesada.
- Tecla primera fila, segunda columna; sirve para poner en silencio total el ecualizador, con la primera presión, y vuelve a su estado normal si se vuelve a presionar.
- Tecla segunda fila, segunda columna; sirve para volver al ecualizador en respuesta plana que es la condición inicial de este dispositivo

- ▶ Tecla primera fila, tercera columna; sirve para la selección del filtro ecualizador escogiendo la frecuencia central del filtro y aumentando la secuencia de estos hasta llegar al mayor y empezar de nuevo el ciclo de elección.
- ▶ Tecla segunda fila, tercera columna; sirve para la selección del filtro ecualizador escogiendo la frecuencia central del filtro y disminuyendo la secuencia de estos hasta llegar al menor y empezar de nuevo el ciclo de elección.

Este teclado utiliza un codificador para 16 teclas con salidas de tres estados compatibles con TTL el MMT4C922 y este integrado provee toda la lógica necesaria para una total codificación del teclado.

La búsqueda o "scan" del teclado puede ser implementada por un reloj externo o un capacitor externo y no necesita utilizar diodos para eliminar los efectos por rebotes. Un pequeño registro interior en el circuito interno recuerda la última tecla.

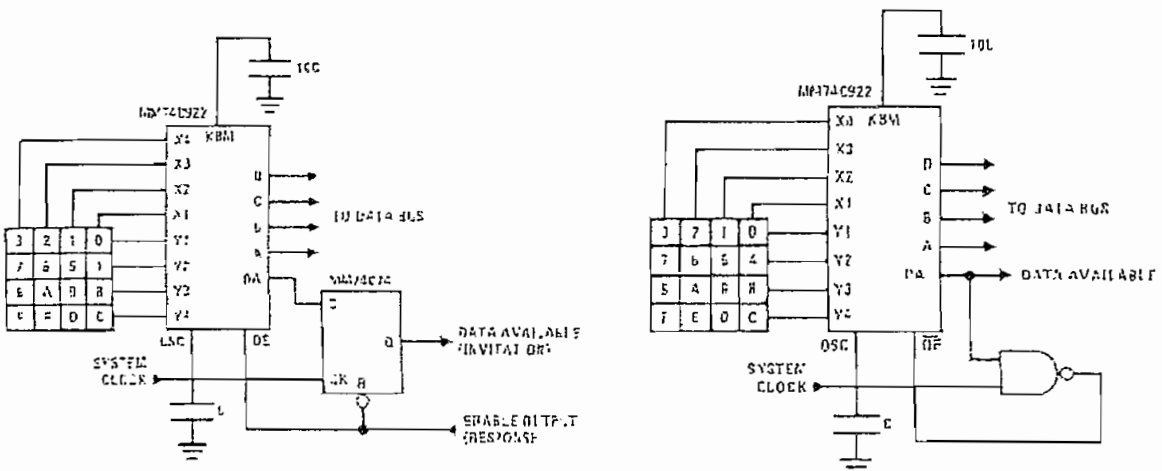


Figura 3.30 Formas de conexión del teclado forma sincrónica y forma asincrónica

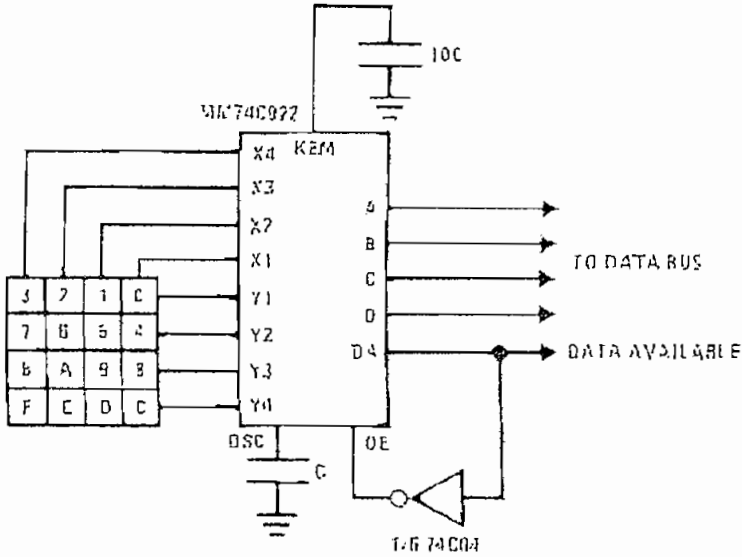


Figura 3.31 Entrada de los Datos asíncrona hacia el Autobús

5.3 DISPLAY DE CRISTAL LIQUIDO (LCD)

La presentación de la información se la realiza visualmente mediante un display de cristal líquido con un arreglo de 4 líneas por 16 caracteres con las siguientes características:

- 192 diferentes clases de caracteres.
- RAM de caracteres programable.
- Varias funciones del display; clear display, cursor to home, on/off cursor, blink character, shift display, shift character, read write characters.
- Compacto y ligero.
- Bajo consumo de potencia.

5.3.1 HARDWARE INTERFAZ

Por causa del microcontrolador del LCD que trabaja a una velocidad mínima muchísimo mayor al tiempo máximo especificado para la tarjeta ADSP se trabaja con un circuito integrado CMOS flip-flop tipo D para compensar el problema pues ambas señales de control pasan a través del CMOS octal flip-flop tipo-D lo que hace que ellos puedan mantenerse tanto como sea necesario.

Este diseño es el más simple y barato y solo requiere de un octal flip-flop (74HC574), el único inconveniente que se tienen con este diseño es que no se pueden leer los datos que se encuentren en el display, pero para esta aplicación no se necesita.

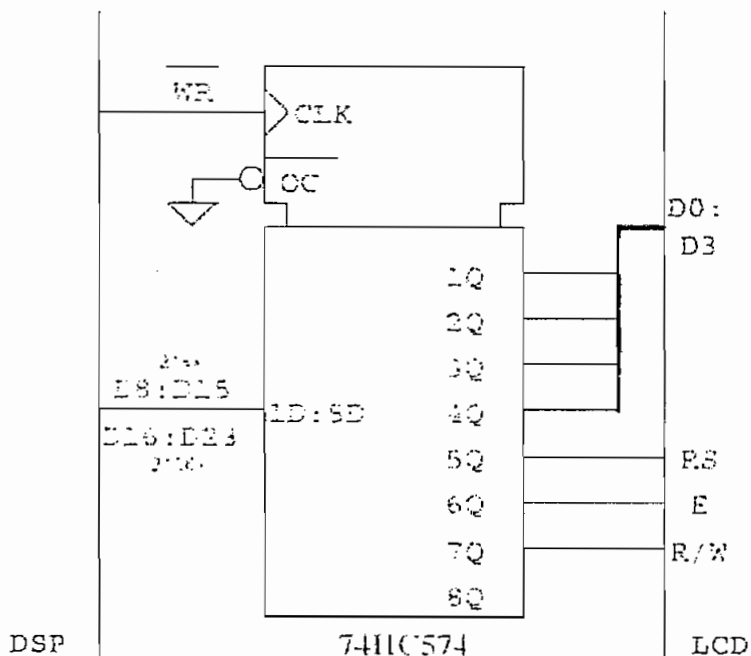


Figura 3.32 Esquema simple de la conexión del CMOS

5.3.2 SOFTWARE

Cada LCD tiene una secuencia de inicialización que debe realizarse previamente, esto configura el modo de despliegue y ancho de datos (4 o 8 bits).

La secuencia de inicialización y la configuración del display se encuentra en una subrutina del programa principal, con especificaciones en los anexos.

5.4 OPERACIÓN DEL TECLADO Y DISPLAY

Con este circuito se tiene el interfaz necesario para conectar una matriz de hasta 16 teclas al sistema digital de la tarjeta ADSP y realizar una tarea en específico por cada tecla.

5.4.1 PRESENTACIÓN INICIAL.

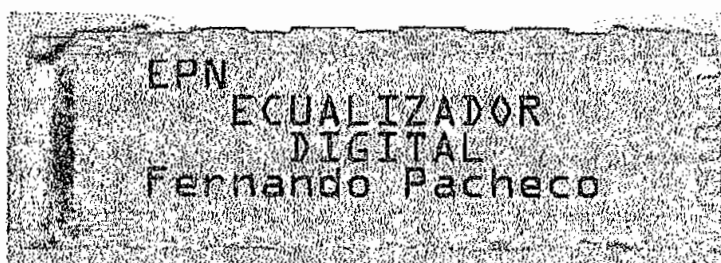


Figura 3.33 Mensaje en el LCD de Presentación

Esta pantalla se presentará al iniciar el programa.

5.4.2 PANTALLA DE VOLUMEN.

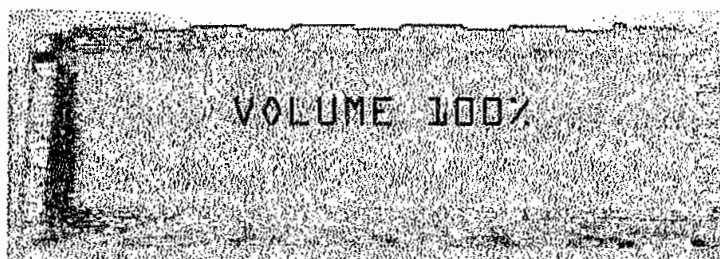


Figura 3.34 Mensaje en el LCD al presionar cualquiera de las dos teclas de volumen.

Esta pantalla se presentará al presionar cualquiera de las dos teclas relacionadas con el volumen y los parámetros de volumen aparecerán, los cuales varían entre 0% y 100% en pasos de 10% y cambia de acuerdo con la pulsación de las teclas hasta que llegue el sistema al máximo o al mínimo dependiendo del caso donde dejará de hacer cambios.

5.4.3 PANTALLA PARA VARIACION DE PARÁMETROS

Utiliza las teclas ◀ y ▶ para variar la frecuencia central del filtro y seleccionar el filtro que puede ser tratado, pero no hace ningún cambio en el procesamiento de las señales.

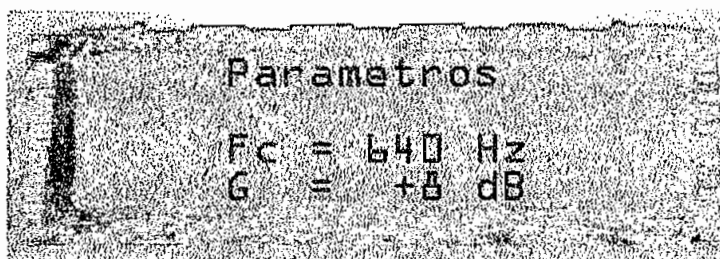


Figura 3.35 Mensaje en el LCD al presionar una de las dos teclas de selección de filtro

Al presionar las teclas de izquierda o derecha los valores de la frecuencia central variaran a la frecuencia central inmediata, determinando las frecuencias centrales y actualizando los registros donde se almacenan los coeficientes de los filtros automáticamente.

Las frecuencias centrales predefinidas que pueden seleccionarse para el ecualizador digital son:

Banda	1	2	3	4	5	6	7	8	9	10
Frec. Central [Hz]	120	200	400	800	1.5K	3K	6K	12K	14K	16K

Tabla 3.3 Numero de bandas con sus respectivas frecuencias centrales

Al presionar la tecla de desplazamiento <<derecha>> las frecuencias varían presentando en el display la secuencia 120, 200, 400....14K, 16K y nuevamente 120, 200, ...etc.

Al presionar la tecla de desplazamiento <<izquierda>> las frecuencias varían presentando en el display la secuencia 16K, 14K, 12K....200, 120 y nuevamente 16K, 14K, ...etc.

Existen frecuencias centrales normalizadas, pero escoger las frecuencias exactas están abiertas a libre voluntad del fabricante según las normas internacionales, así estas frecuencias varían de acuerdo al modelo y marca.

Se utilizan las teclas de incremento y decremento de ganancia para variar este parámetro del filtro en la misma forma que con el volumen, el parámetro de la ganancia varía entre +20 dB y -20 dB y el cambio se da en pasos de 2 dB.

Todas las teclas funcionan en base a subrutinas por interrupción, estas interrupciones funcionan correlacionadas con subrutinas para presentar datos en el LCD y así poder tener un control permanente y visualización de la información de forma interactiva.

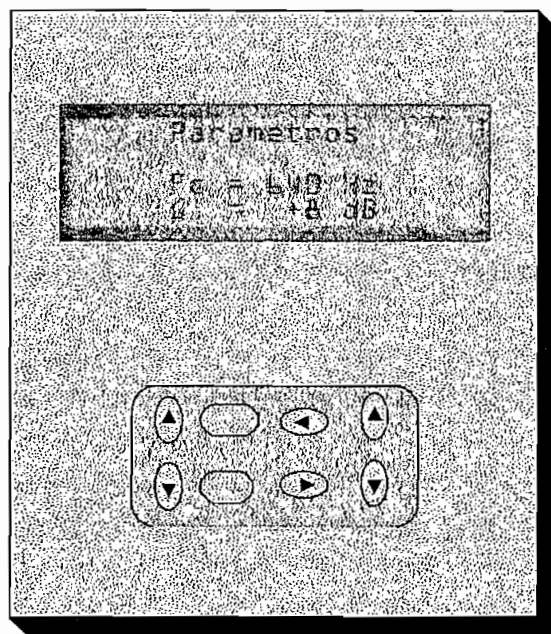


Figura 3.36 Esquema del equipo en su etapa final

5.5 DIAGRAMA DE SUBROUTINA DE INTERRUPCIÓN

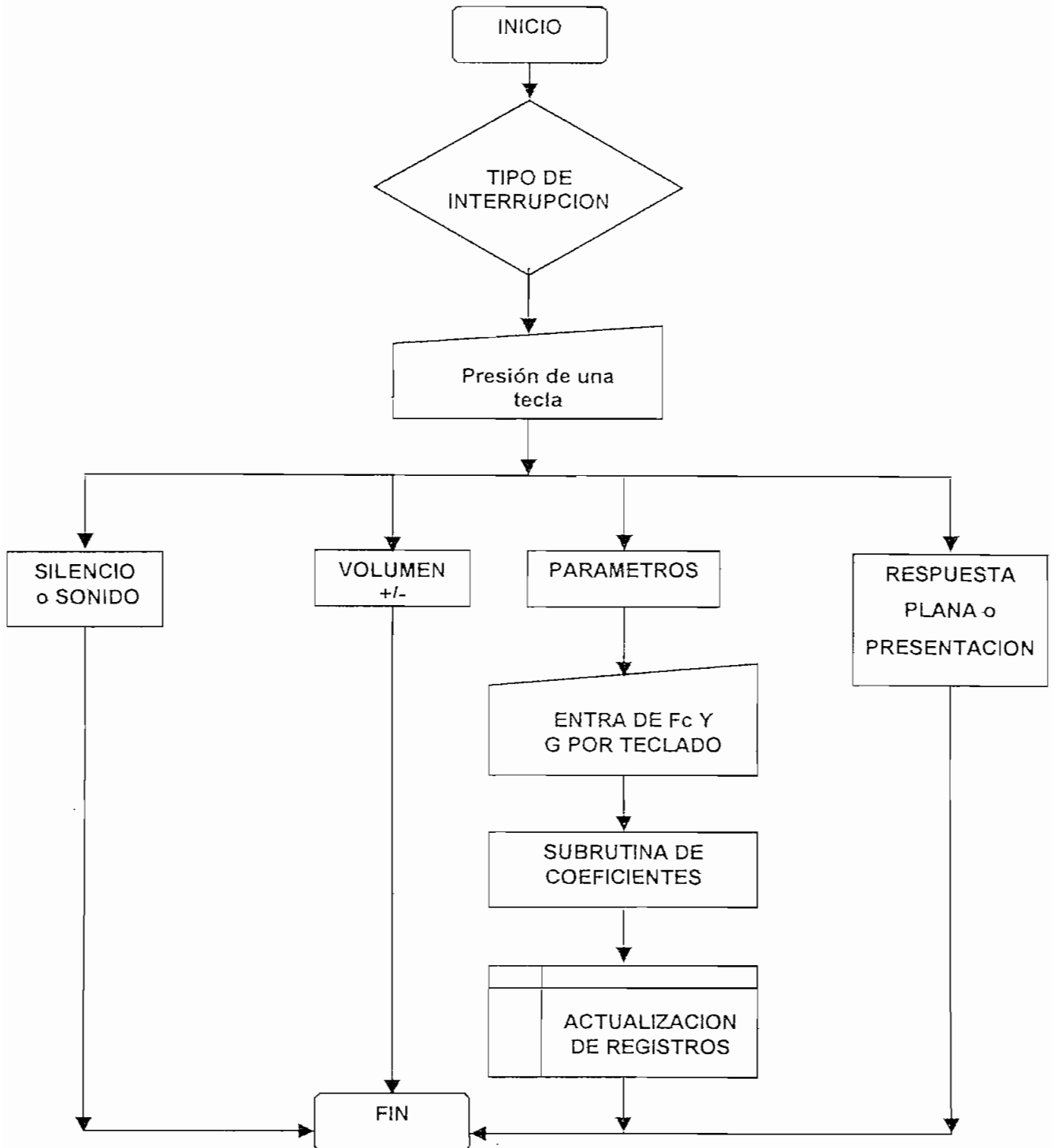


Figura 3.37 Diagrama de bloques de la subrutina de interrupción

5.6 DIAGRAMA DE SUBROUTINA DE COEFICIENTES

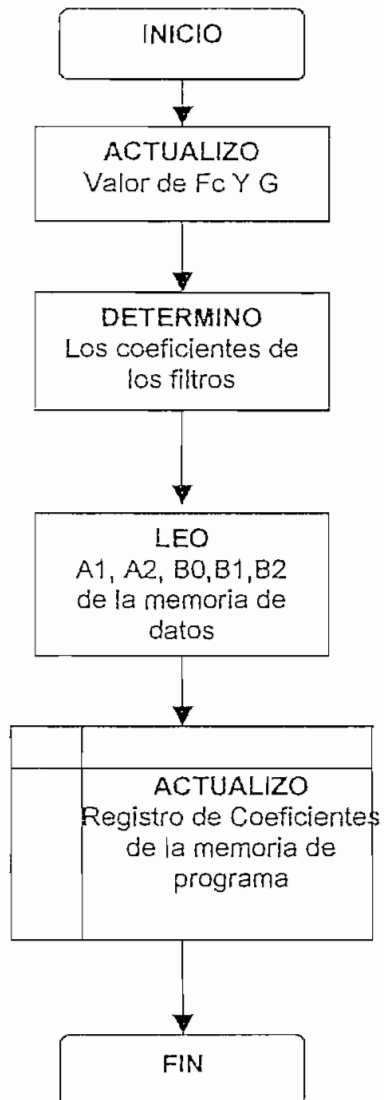


Figura 3.38 Diagrama de subrutina de coeficientes

5.7 DIAGRAMA DE SUBROUTINA DE FILTRADO

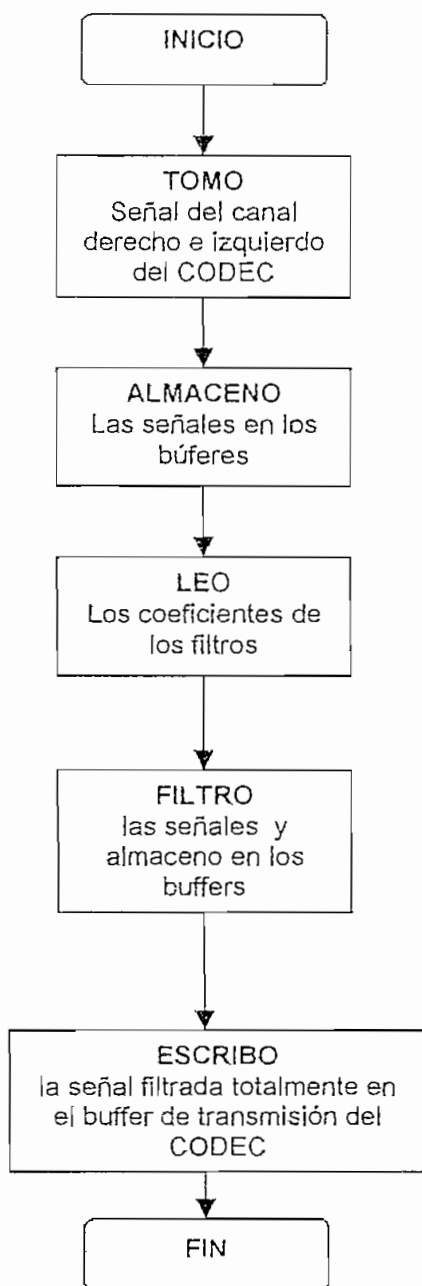


Figura 3.39 Diagrama de subrutina de filtrado

CAPITULO 4

RESULTADOS Y APLICACIONES

1. COEFICIENTES

Durante el proceso de implementación de los filtros digitales ecualizadores como primera idea se tenía previsto realizar un programa que ejecute el cálculo de los coeficientes con el que trabajarían los filtros, durante este proceso se presentaron problemas como el trabajar con funciones trigonométricas, exponenciales, etc, funciones que la tarjeta solo puede hacer con subrutinas de aproximación.

Estas subrutinas utilizadas para el cálculo de estas operaciones (funciones) acarrearán problemas de saturación de la MAC y sobretodo utilizaban muchos recursos de memoria y un gran tiempo de procesamiento al tener que utilizar solo sumas restas multiplicaciones y divisiones, sin contar con los errores por truncamiento que se tienen por trabajar con representaciones binarias con un finito número de dígitos y realizar operaciones entre estos.

Así que se creó una pequeña base de datos en la memoria de datos de la tarjeta donde se encuentran localizados todos los coeficientes con los que trabajan los filtros, y una pequeña subrutina que encuentra y ubica estos coeficientes en la memoria de programa, de donde son tomados por el microprocesador para el procesamiento de las señales.

De esta manera se ahorró muchísimos recursos de la tarjeta y se minimizó el tiempo de procesamiento de la tarjeta al máximo.

Los coeficientes fueron calculados en un programa de computadora llamado MATHCAD utilizando las ventajas de un procesador de punto flotante y luego convertidos a hexadecimal y organizados para el uso de la ADSP 2181.

GANANCIA		FRECUENCIA		COEFICIENTE	COEFICIENTES		
DEC	HEX	DEC	HEX		DEC	HEX	DEC
					Número Exacto		Número truncado
		120	00f0	B2	0.945668538473	0f21	0.945556640625
				B1	-1.900980976255	e19b	-1.900878906250
				B0	0.955546986023	0f4a	0.955566406250
				A2	-0.901215524496	f195	-0.901123046875
				A1	1.900980976255	1e6a	1.900878906250
		200	0190	B2	0.932913730511	0eed	0.932861328125
				B1	-1.877381412315	e1fb	-1.877441406250
				B0	0.945111234054	0f1f	0.945068359375
				A2	-0.878024964566	f1f4	-0.877929687500
				A1	1.877381412315	1e0a	1.877441406250
		400	0320	B2	0.873535151126	0dfa	0.873535156250
				B1	-1.767638100067	e3b8	-1.767578125000
				B0	0.896528760013	0e58	0.896484375000
				A2	-0.770063911139	f3ae	-0.770019531250
				A1	1.767638100067	1c48	1.767578125000
		800	0640	B2	0.773119858615	0c5f	0.773193359375
				B1	-1.578794212134	e6bd	-1.578857421875
				B0	0.814370793412	0d08	0.814453125000
				A2	-0.587490652028	f69a	-0.587402343750
				A1	1.578794212134	1943	1.578857421875
		1500	0bb8	B2	0.639496327694	0a3b	0.639404296875
				B1	-1.318703842026	ea7	-1.318603515625
				B0	0.705042449931	0b48	0.705078325000
				A2	-0.344482421875	fa7d	-0.344482421875
				A1	1.318703842026	1519	1.318603515625
-20	d800	3000	1770	B2	0.456298222335	074d	0.456298228125
				B1	-0.934459166523	f10c	-0.934570312500
				B0	0.555153091001	08e2	0.555175781250
				A2	-0.011451313336	ffd1	-0.011474609375
				A1	0.934459166523	0ef4	0.934570312500
		6000	2ee0	B2	0.269889527990	0451	0.269775390625
				B1	-0.475547988239	f8b4	-0.475585937500
				B0	0.402636886537	0671	0.402587890625
				A2	0.327473585473	053d	0.327392578125
				A1	0.475547988239	079c	0.475585937500
		12000	5dc0	B2	0.115249338751	01d8	0.115234375000
				B1	0.000000000000	0000	0.000000000000
				B0	0.276113095342	046b	0.276123046875
				A2	0.608637565907	09bd	0.608642578125
				A1	0.000000000000	0000	0.000000000000
		14000	6db0	B2	0.086642675450	0163	0.086669921875
				B1	0.087830325519	0168	0.087890625000
				B0	0.252707643550	040b	0.252685546875
				A2	0.660649681001	0a92	0.660644531250
				A1	-0.087830325519	fe98	-0.087890625000
		16000	7d00	B2	0.063466636163	0104	0.063476562500
				B1	0.148606032875	0261	0.148681640625
				B0	0.233745429588	03bd	0.233642578125
				A2	0.702787934250	0b3f	0.702880859375
				A1	-0.148606032875	fd9f	-0.148681640625

Tabla 4.1 Ejemplo de los coeficientes utilizados en los filtros y el efecto por truncamiento a 16 bits por el formato 4.12

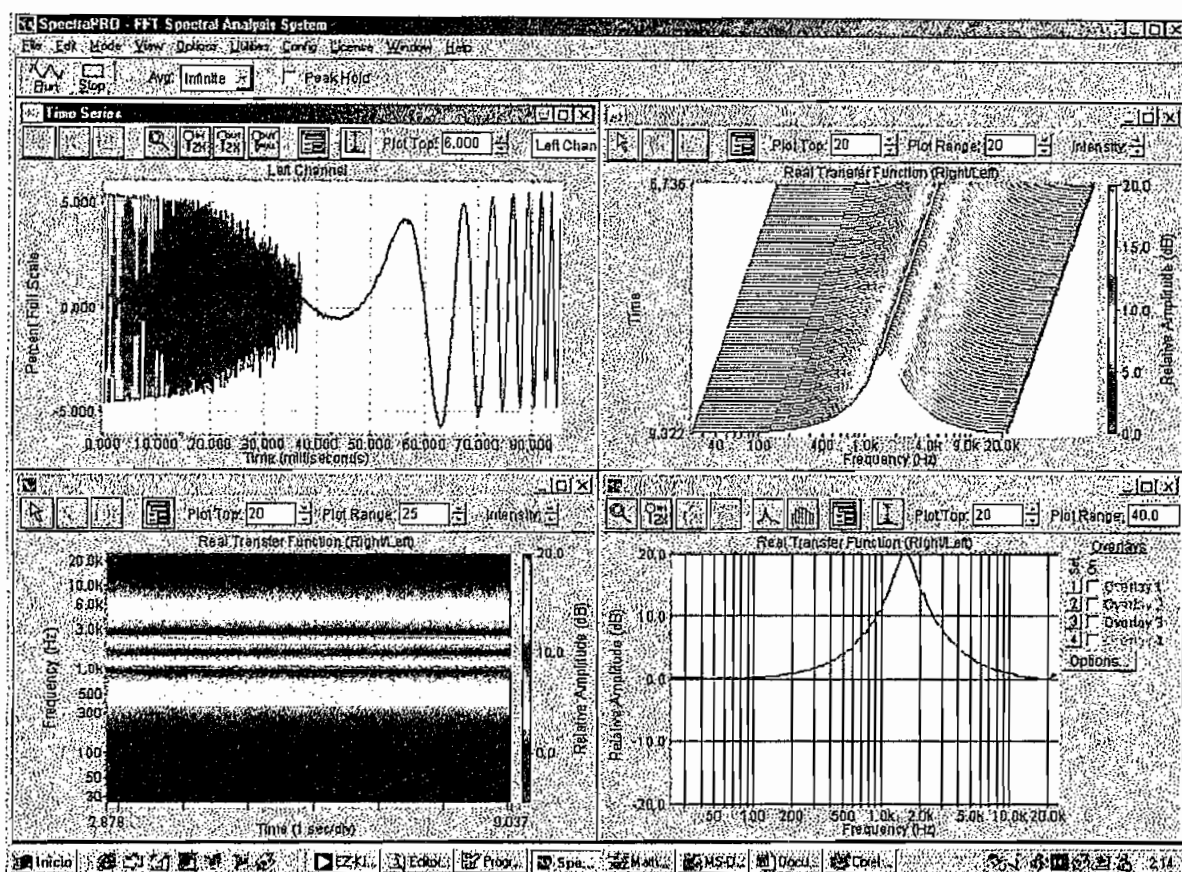


Figura 4.2 Programa utilizado y sus diversas funciones para el análisis de señales de audio.

3. ANÁLISIS CUANTITATIVO DE LOS RESULTADOS

3.1 SEÑAL UTILIZADA EN EL ANÁLISIS

La señal utilizada en el análisis del ecualizador digital consiste en la combinación de muchas frecuencias creadas por el generador de frecuencias del programa y van desde los 50 Hz hasta los 20 KHz las cuales se repiten periódicamente cada 100 ms.

Para realizar el análisis se tuvo que modificar el programa de filtraje y para poder obtener la función de transferencia real, se procesó solamente la señal del canal derecho y se dejó pasar la señal del canal izquierdo sin modificaciones.

2. PROGRAMA UTILIZADO PARA EL ANALISIS CUANTITATIVO DEL ECUALIZADOR

Para poder realizar un análisis comparativo entre los cálculos teóricos y los resultados reales el uso de un analizador de espectros es indispensable, y para el efecto se utilizó un programa llamado SpectraPRO que convierte a la tarjeta de sonido en un analizador de espectro en todo el rango del espectro audible mediante la transformada rápida de Fourier (FFT).

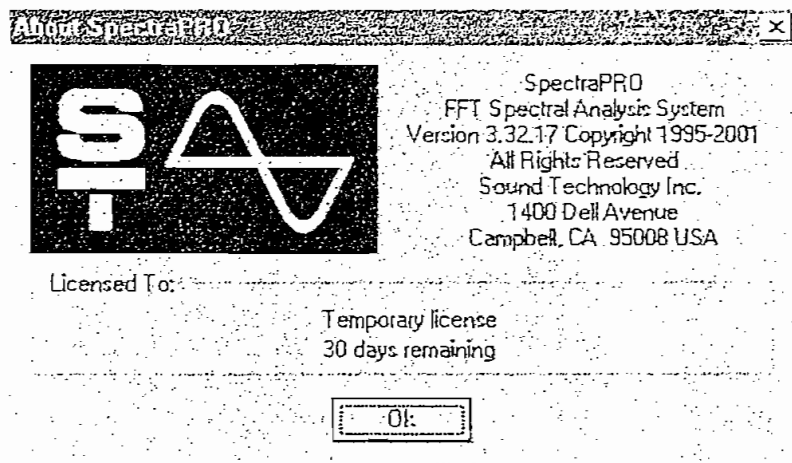


Figura 4.1 Presentación del Programa

Este programa que se permite utilizar solo por treinta días, es muy especializado para el análisis en frecuencia de todo tipo de señal de audio y sus prestaciones son excelentes, así tenemos que se puede hacer el análisis independientemente de cada canal en el dominio de la frecuencia y del tiempo, el análisis puede ser en dos dimensiones y hasta en tres dimensiones, la presentación puede ser en líneas o en barras y se pueden realizar cálculos muy complejos como la función de transferencia entre el canal derecho e izquierdo, función que para el análisis de la respuesta en frecuencia del dispositivo implementado es muy útil con la ayuda de un generador de frecuencias.

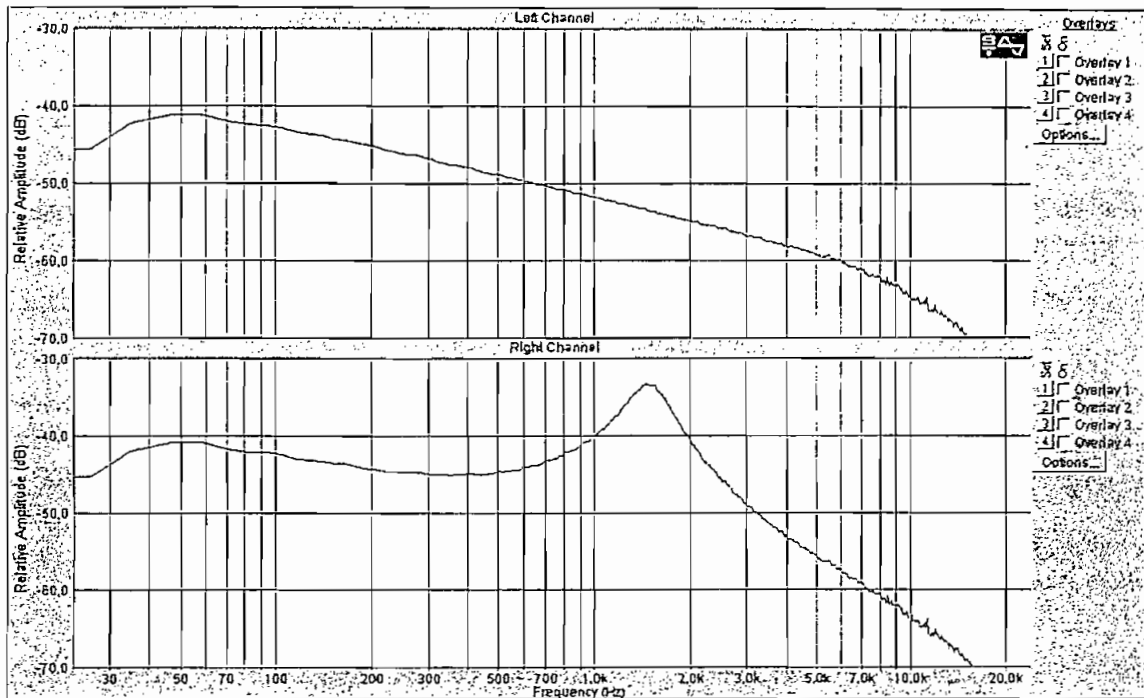


Figura 4.3 Análisis de respuesta de frecuencia de los dos canales

Como podemos observar en la Figura 4.3 en la parte superior tenemos la señal que nos da el generador de frecuencias del programa sin procesar en el canal izquierdo y en la parte inferior la señal procesada con un filtro digital pasabanda con frecuencia central de 1.5 KHz y un ancho de banda de 500 Hz utilizado por el dispositivo para la ecualización en el canal derecho.

3.2 FILTROS DE Q CONSTANTE

Para el análisis de los filtros y comprobar que son de Q constante, utilizamos como ejemplo el filtro de 1.5 KHz de frecuencia central con un ancho de banda de 500 Hz y con ganancias de +20 dB, -15 dB, +10 dB y +4 dB, datos de diseño y los comparamos con los filtros obtenidos en MATHCAD.

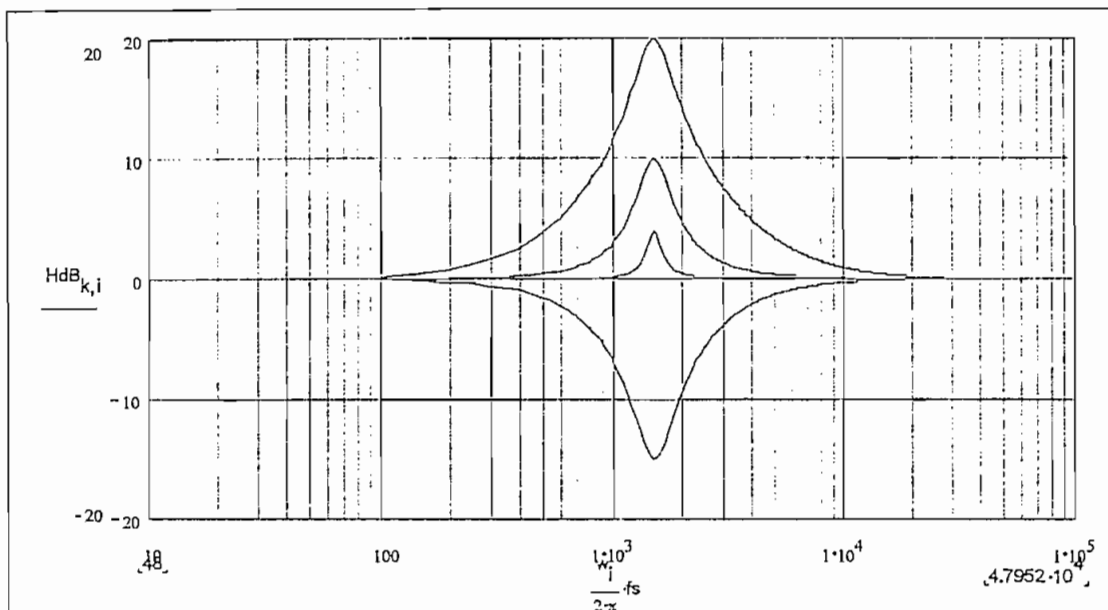


Figura 4.4 Filtros teóricos calculados en MATHCAD

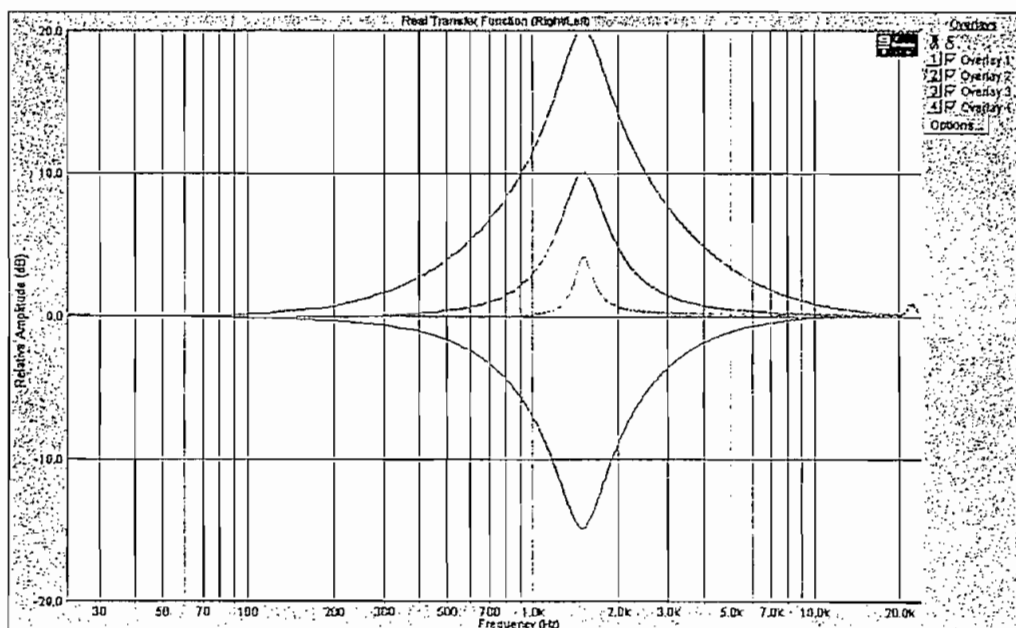


Figura 4.5 Filtros reales procesados por el ecualizador

Si comparamos la Figura 4.4 con la Figura 4.5 podemos darnos cuenta que la amplitud, el ancho de banda, y la frecuencia central son exactamente a los propuestos en el diseño.

Comprobamos con esta comparación que los cuatro filtros aunque tienen ganancias diferentes tienen el mismo factor Q , que es una de las principales características en el diseño de estos filtros ecualizadores.

3.3 ANALISIS DE LOS FILTROS

Para realizar el estudio del funcionamiento del ecualizador digital gráfico se han tomado como ejemplo los casos extremos; filtros con ganancia de +20dB y -20dB.

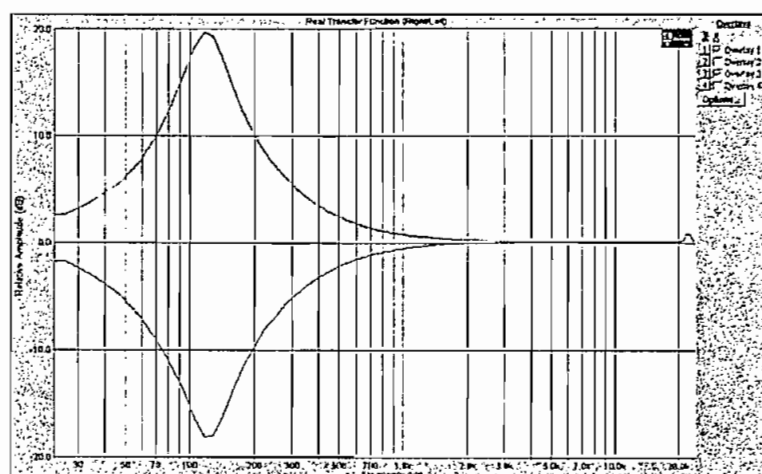


Figura 4.6 Filtro con $f_c=120\text{Hz}$, $AB=40\text{ Hz}$, $g=20\text{ dB}$ y $g=-20\text{ dB}$

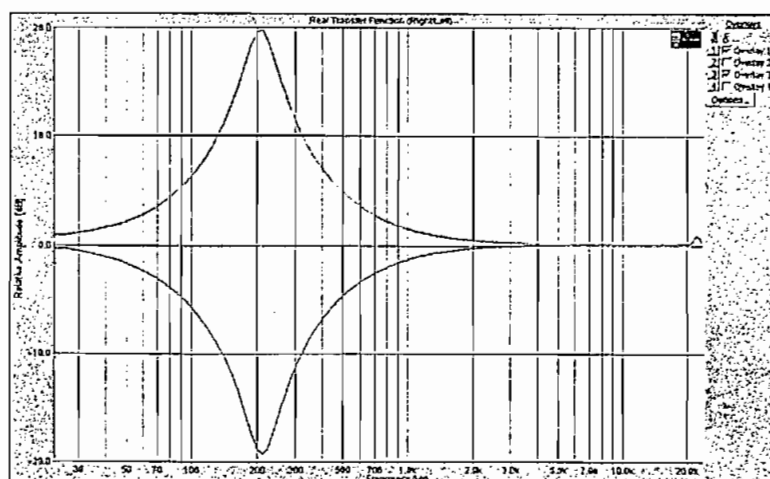


Figura 4.7 Filtro con $f_c=200\text{Hz}$, $AB=60\text{ Hz}$, $g=20\text{ dB}$ y $g=-20\text{ dB}$

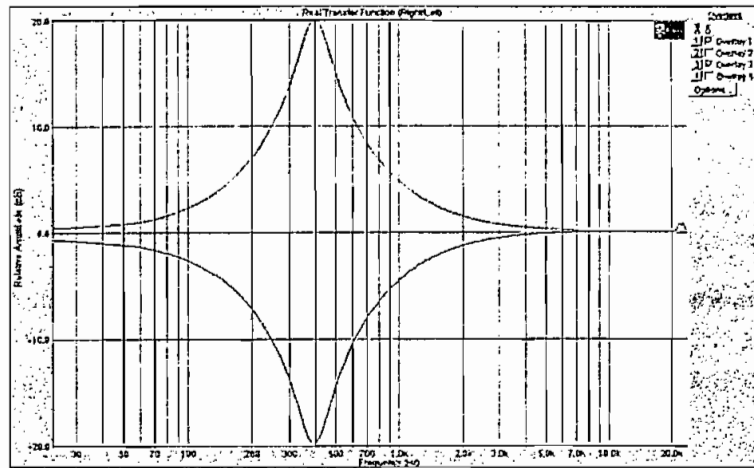


Figura 4.8 Filtro con $f_c=400\text{Hz}$, $AB=120\text{ Hz}$, $g=20\text{ dB}$ y $g=-20\text{ dB}$

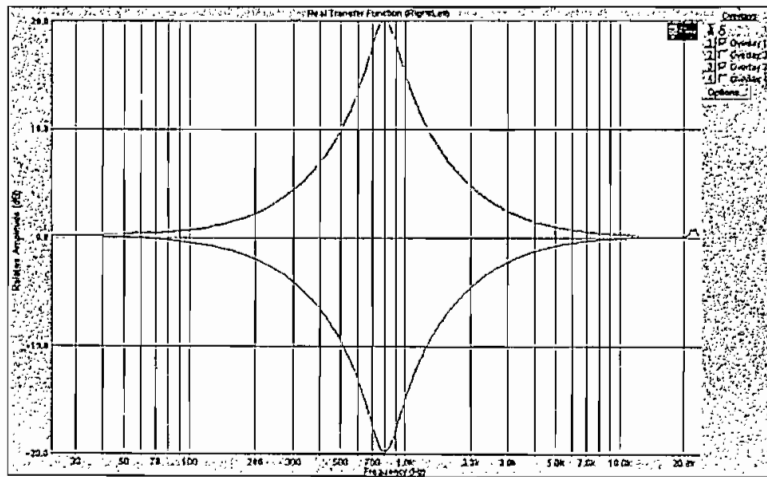


Figura 4.9 Filtro con $f_c=800\text{Hz}$, $AB=240\text{ Hz}$, $g=20\text{ dB}$ y $g=-20\text{ dB}$

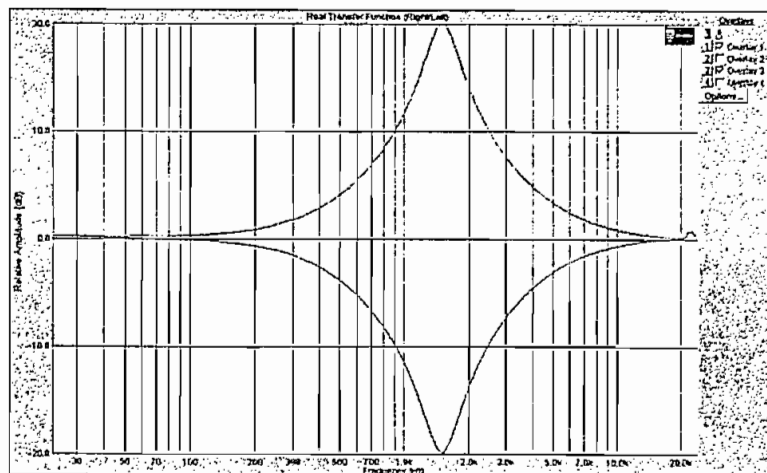


Figura 4.10 Filtro con $f_c=1500\text{Hz}$, $AB=500\text{ Hz}$, $g=20\text{ dB}$ y $g=-20\text{ dB}$

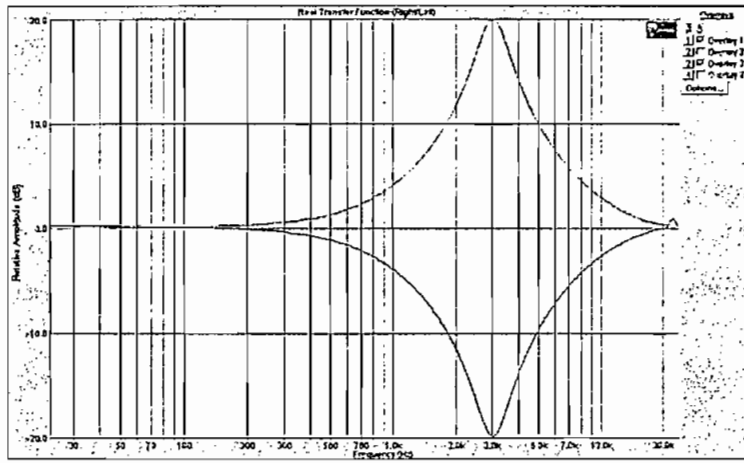


Figura 4.11 Filtro con $f_c=3000\text{Hz}$, $AB=1000\text{ Hz}$, $g=20\text{ dB}$ y $g=-20\text{ dB}$

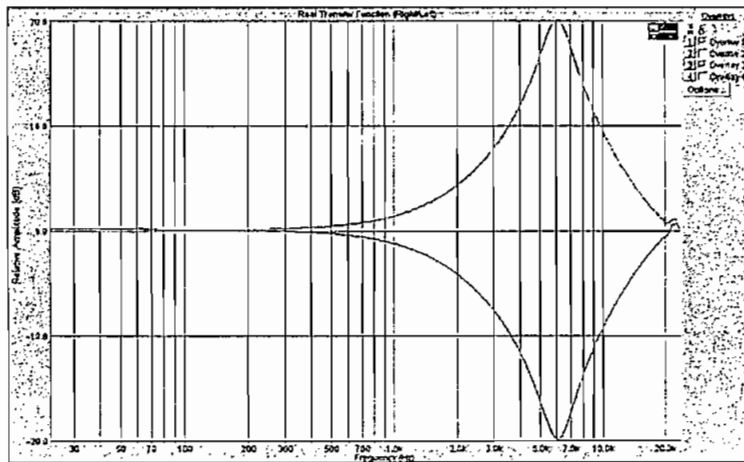


Figura 4.12 Filtro con $f_c=6000\text{Hz}$, $AB=2000\text{ Hz}$, $g=20\text{ dB}$ y $g=-20\text{ dB}$

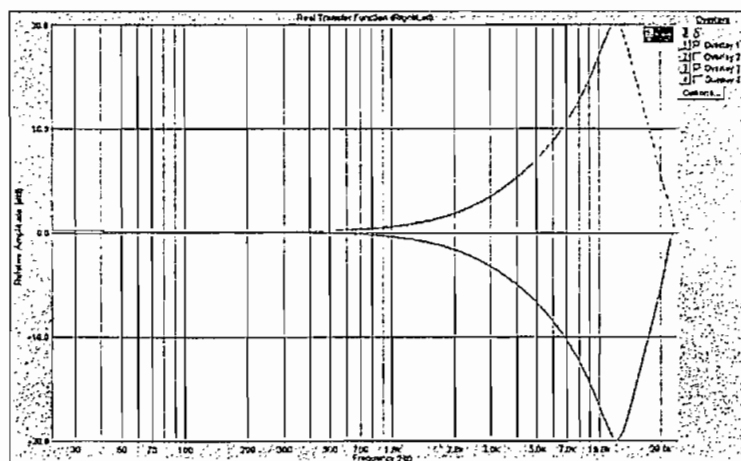


Figura 4.13 Filtro con $f_c=12000\text{Hz}$, $AB=4000\text{ Hz}$, $g=20\text{ dB}$ y $g=-20\text{ dB}$

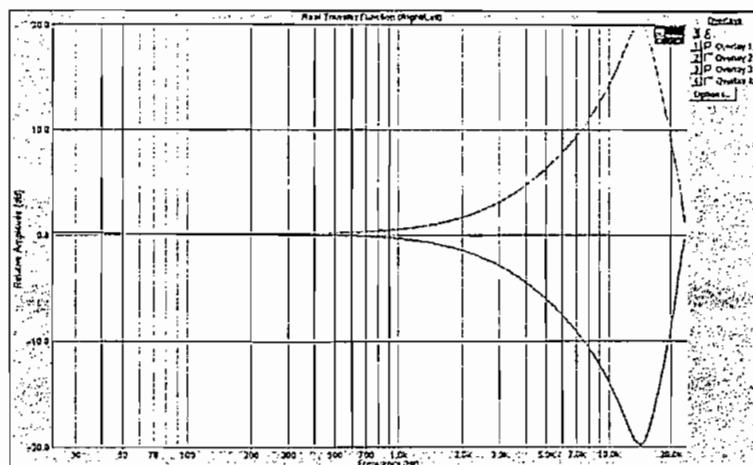


Figura 4.14 Filtro con $f_c=14000\text{Hz}$, $AB=4700\text{ Hz}$, $g=20\text{ dB}$ y $g=-20\text{ dB}$

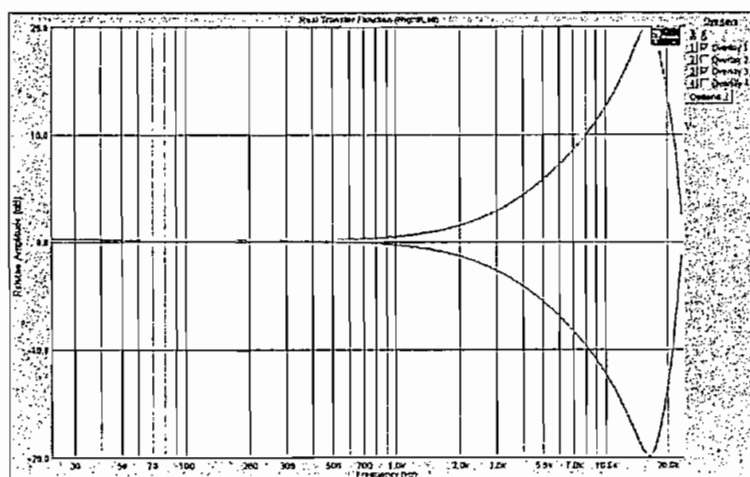


Figura 4.15 Filtro con $f_c=16000\text{Hz}$, $AB=5300\text{ Hz}$, $g=20\text{ dB}$ y $g=-20\text{ dB}$

Comparando las figuras desde la 4.6 a la 4.15 con las figuras 4.16 y 4.17 tenemos que los filtros del ecualizador son iguales a los filtros simulados con MATHCAD y cumplen con todas las especificaciones de diseño, aunque con pequeñísimas variaciones imperceptibles en el oído humano.

Estas variaciones corresponden a los efectos de trabajar con un procesador con registros de 16 bits de punto flotante que acarrear errores de cuantificación y redondeo.

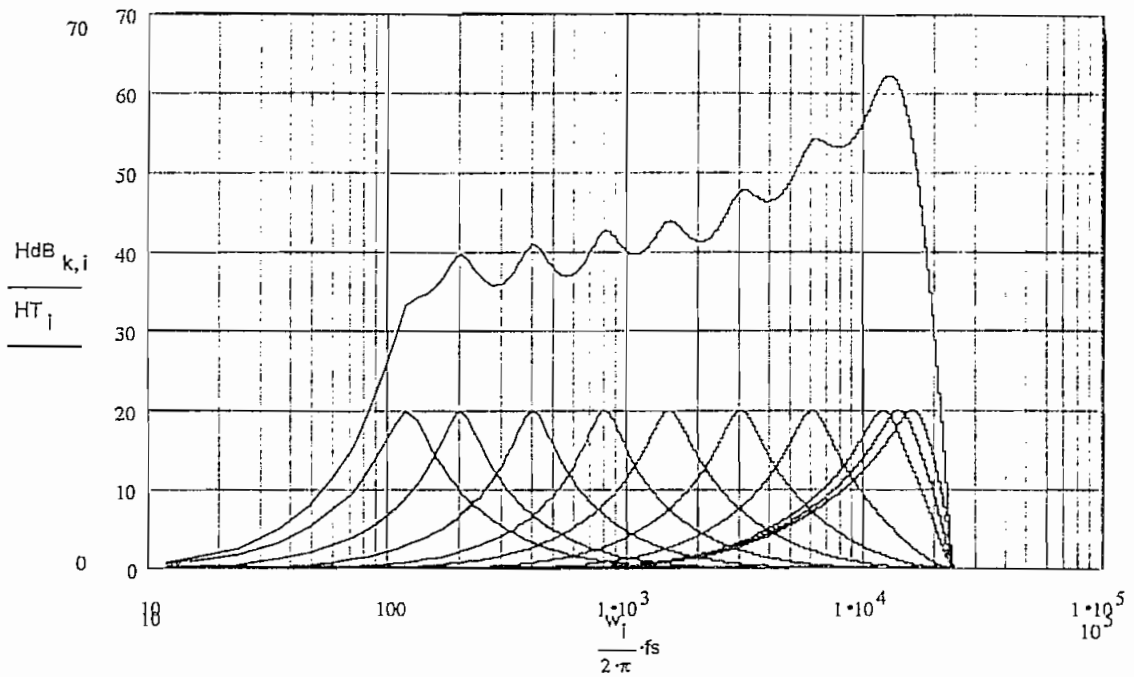


Figura 4.16 Filtros ecualizadores teóricos en su máximo nivel y respuesta de frecuencia total al utilizar todos los filtros al mismo tiempo.

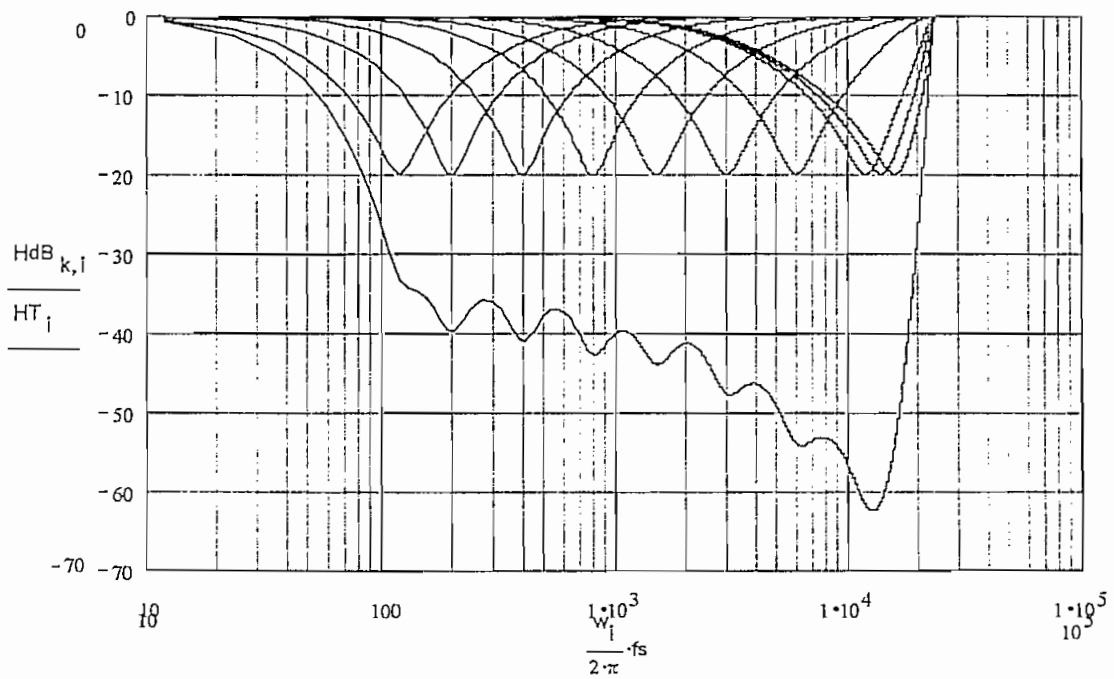


Figura 4.17 Filtros ecualizadores teóricos en su mínimo nivel y respuesta de frecuencia total al utilizar todos los filtros al mismo tiempo.

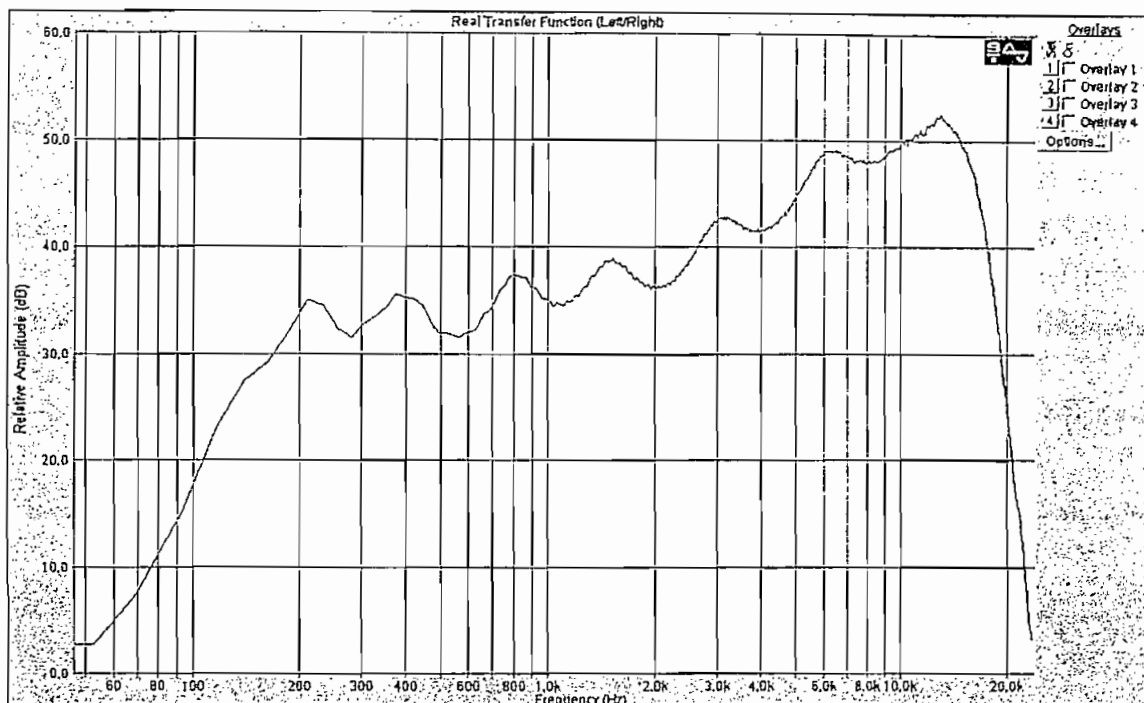


Figura 4.18 Respuesta de frecuencia real para el máximo nivel.

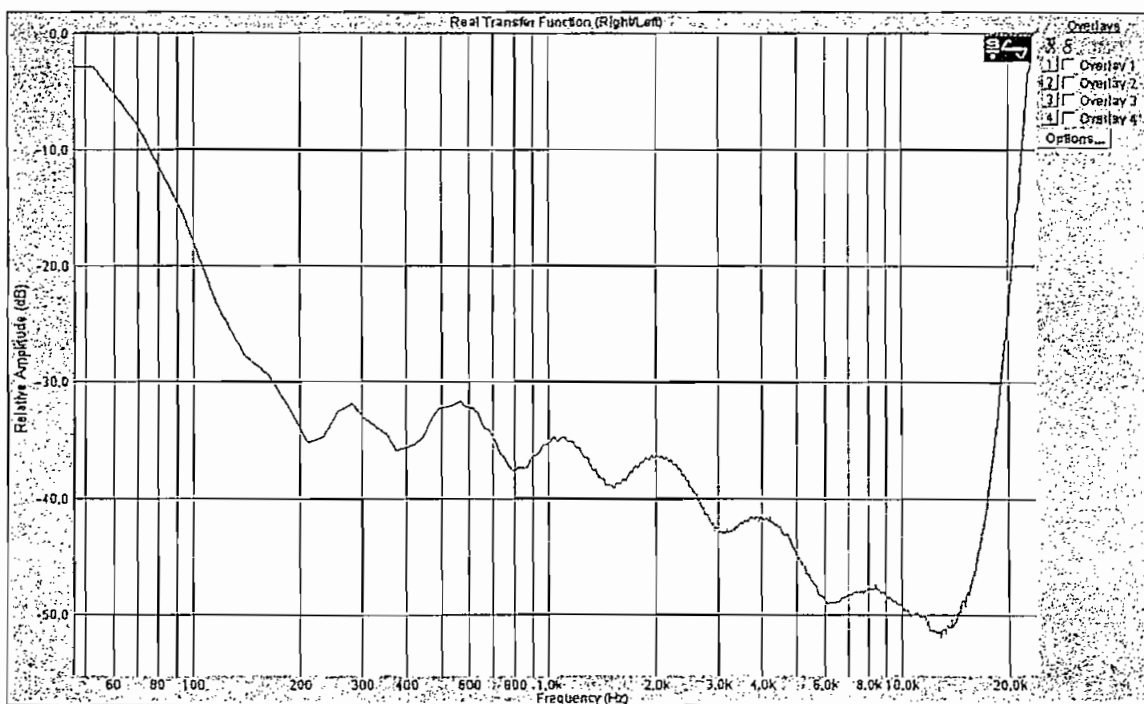


Figura 4.19 Respuesta de frecuencia real para el mínimo nivel.

3.4 CARACTERISTICAS

Cuando los filtros están todos a su máximo nivel de ganancia, +20dB, la respuesta de frecuencia total del ecualizador es muy alta y con señales de entrada de gran amplitud tiende a saturarse, por lo que los filtros incluyen una subrutina automática para evitar que el sistema se vuelva inestable y llegue a bloquearse, aunque manualmente se puede reducir el volumen de la señal para resolver este mismo problema, de la misma manera que en el caso anterior se puede apreciar la respuesta de frecuencia y el efecto que tiene cada filtro sobre la señal y en conjunto, cuando los filtros se encuentran en su mínimo nivel o máxima atenuación.

Se puede observar en la figura 4.18 que las altas frecuencias tienen un mayor nivel de señal después de ser procesadas y se debe a las características de diseño del ecualizador. La ganancia de los filtros son variables y su Q constante, y con los ejemplos de los casos extremos ya se puede tener una idea de los resultados que se pueden tener al variar al azar las ganancias de los filtros, un ejemplo en la Figura 4.20

3.5 CASO DE RESPUESTA PLANA 0 dB.

En este caso en especial la respuesta de frecuencia es ideal, y el ecualizador no altera la señal de entrada y la entrega a la salida igual, sin ningún cambio por lo que su respuesta está exactamente sobre el eje de las abscisas.

3.6 RESPUESTA DE FRECUENCIA TIPICA.

En la figura 4.20 podemos apreciar la respuesta de frecuencia típica utilizada en la gran mayoría de sistemas de audio para enfatizar los sonidos graves y tener

algo de sonidos agudos y obtener así un buen matiz y una sensación agradable en el oído.

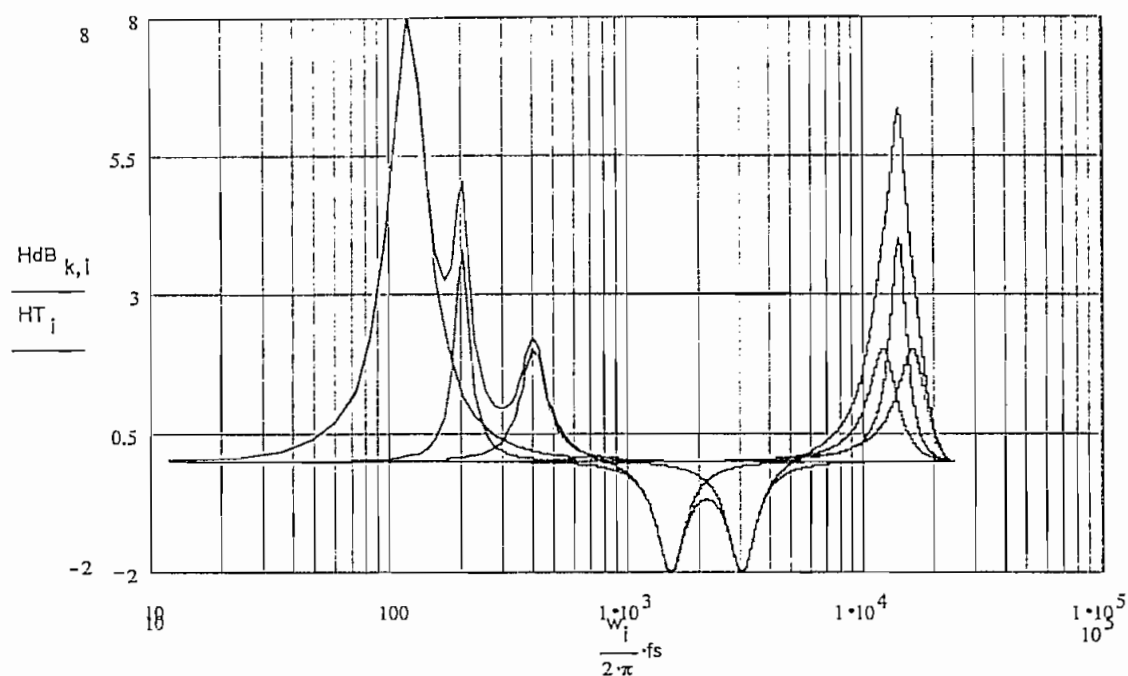


Figura 4.20 Filtros en un caso típico teórico

4. APLICACIONES

Normalmente se utiliza las ganancias de los filtros entre los +12 dB y los -12dB y así es como están diseñados los ecualizadores comerciales, pero con este ecualizador en particular se pueden realizar ecualizaciones especiales para anular o enfatizar mucho ciertas frecuencias para resolver situaciones poco comunes o muy exigentes como reproducir grabaciones antiguas en mal estado, grabar en salas de con mala acústica, sistemas karaoke, etc.

CAPITULO 5

CONCLUSIONES Y RECOMENDACIONES

- Un filtro digital es la implementación en hardware o software de una ecuación de diferencias, y la unión de algunos de estos filtros sobre una tarjeta diseñada para el procesamiento digital de señales de la Analog Devices ADSP 2181 constituyen la base del ecualizador digital gráfico.
- El ecualizador digital está implementado por filtros pasabanda digitales selectivos del tipo IIR y que procesan las señales de audio mediante un cálculo digital y se lo realiza sobre señales que provienen del tiempo continuo seguido por una conversión analógico-digital, estos filtros cubren completamente el rango de frecuencias de audio entre 20 Hz y 20 KHz.
- Los parámetros de los filtros se representan por medio de números binarios y no varían con el paso con el tiempo. Al no haber componentes, no hay problemas de tolerancia o cambio en las especificaciones de los componentes, y ningún otro problema asociado con el comportamiento no ideal de elementos discretos o amplificadores operacionales. Tampoco existen problemas de impedancia de entrada ni salida, ni efectos de adaptación de impedancias entre etapas.
- No existe un tipo de filtro ni un método de diseño que sea mejor en todas las circunstancias, es decir, la elección del filtro depende de las

ventajas que ofrece este para la solución de un problema en específico.

- En los filtros IIR utilizados existe la ventaja de poder diseñar una gran variedad de filtros selectivos en frecuencia utilizando fórmulas preestablecidas, determinando el orden del filtro que cumplirá las especificaciones necesitadas mediante sustitución directa en un sistema de ecuaciones de diseño.
- Con la utilización de filtros de Q constante se trata de evitar de la mejor forma el traslape entre bandas que permite tener un gran rendimiento con respecto a los datos de control de parámetros y además nos proporciona un grado de ajuste imposible de obtener con otro tipo de ecualizadores como los analógicos, además los refinamientos cruciales de respuesta de frecuencia que se tienen con este tipo de ecualizadores permiten una altísima claridad y reproducción legítima.
- Este dispositivo trabaja con una frecuencia de muestreo de 48 KHz lo que nos permite la máxima calidad de audio posible y gracias a su capacidad de control nos ofrece una gran facilidad de manejo.
- Por su tamaño, costo y rendimiento que tiene, el ecualizador digital se convierte en una gran herramienta de trabajo para la ingeniería del sonido de alta precisión que está limitada solamente por los errores de redondeo en la aritmética empleada.

- En el ecualizador, la fácil modificación de las características del filtro, permiten que se puedan implementar ecualizadores de $2/3$ de octava y hasta de $1/3$ de octava, y añadir otras funciones que puedan ser necesarias durante el proceso de una señal de audio, este es el motivo por el que las frecuencias centrales en este equipo no son exactamente de una octava y se enfatiza en las altas frecuencias, tomando en cuenta que para el diseño de los ecualizadores de las casas comerciales el ente normalizador no exige, ni es estricto en estos parámetros, sobre todo porque el ecualizador puede estar especializado para un tipo de ambiente en especial.
- El establecer las especificaciones del filtro digital para unas determinadas prestaciones son las mismas que las requeridas por un filtro analógico: frecuencias de rechazabanda y pasabanda, atenuaciones, ganancia, etc.
- Las ganancias de los filtros varían entre +20 dB y -20 dB en este dispositivo y normalmente en todo dispositivo con el mismo propósito solo se varía entre +12 dB y -12 dB y es una de las grandes ventajas de este ecualizador en particular.
- El ecualizador es un sistema completo de procesamiento digital de señales diseñado para demostrar los beneficios del procesador de señales ADSP-2181, el cual puede ser utilizado como plataforma para el desarrollo de nuevas aplicaciones.
- Los procesadores ADSP-2181 proporcionan una característica de baja energía que permite al procesador entrar en un estado inactivo

de poder muy bajo a través de hardware o control de software. La característica powerdown es útil para aplicaciones donde la conservación de energía es necesaria, por ejemplo el funcionamiento con batería.

ANEXOS

ANEXO No. 1

FUENTES DE INTERRUPCIÓN DE LOS PROCESADORES DE LA FAMILIA 2100

Fuente de Interrupción	Dirección del Vector
$\overline{\text{RESET}}$	Arranque (startup) 0x0000
$\overline{\text{IRQ2}}$	0x0004 (mayor prioridad)
SPORT0	Transmisión 0x0008
SPORT0	Recepción 0x000C
SPORT1 Transmisión o $\overline{\text{IRQ1}}$	0x0010
SPORT1 Recepción o $\overline{\text{IRQ0}}$	0x0014
Temporizador	0x0018 (menor prioridad)

Interrupciones & Direcciones del Vector de interrupciones para los ADSP-2101/2115

Fuente de Interrupción	Dirección del Vector
$\overline{\text{RESET}}$	arranque (startup) 0x0000
$\overline{\text{IRQ2}}$	0x0004 (mayor prioridad)
SPORT1 Transmisión o $\overline{\text{IRQ1}}$	0x0010
SPORT1 Recepción o $\overline{\text{IRQ0}}$	0x0014
Temporizador	0x0018 (menor prioridad)

Interrupciones & Direcciones del Vector de interrupciones para el ADSP- 2105

Fuente de Interrupción	Dirección del Vector
$\overline{\text{RESET}}$	arranque (startup) 0x0000
$\overline{\text{IRQ2}}$	0x0004 (mayor prioridad)
HIP escritura (desde el Host)	0x0008
HIP lectura (para el Host)	0x000C
SPORT0 Transmisión	0x0010
SPORT0 Recepción	0x0014
SPORT1 Transmisión o $\overline{\text{IRQ1}}$	0x0018
SPORT1 Recepción o $\overline{\text{IRQ0}}$	0x001C
Temporizador	0x0020 (menor prioridad)

Interrupciones & Direcciones del Vector de interrupciones para el ADSP-2111

Fuente de Interrupción	Dirección del Vector
$\overline{\text{RESET}}$ arranque (startup) (o encendido (powerup) w/PUCR=1)	0x0000 (mayor prioridad)
Apagado (Powerdown) (sin - mascara)	0x002C
$\overline{\text{IRQ2}}$	0x0004
HIP Escritura(desde el Host)	0x0008
HIP lectura (para el Host)	0x000C
SPORT0 Transmisión	0x0010
SPORT0 Recepción	0x0014
Software Interrupción 1	0x0018
Software Interrupción 2	0x001C
SPORT1 Transmisión o $\overline{\text{IRQ1}}$	0x0020
SPORT1 Recepción o $\overline{\text{IRQ0}}$	0x0024
Temporizador	0x0028 (menor prioridad)

Interrupciones & Direcciones del Vector de interrupciones para el ADSP-2171

Fuente de Interrupción	Dirección del Vector
$\overline{\text{RESET}}$ arranque (startup) (o encendido (powerup) w/PUCR=1) Apagado (powerdown) (sin - mascara)	0x0000 (mayor prioridad)
$\overline{\text{IRQ2}}$	0x0004
$\overline{\text{IRQL1}}$ (sensible a nivel)	0x0008
$\overline{\text{IRQL0}}$ (sensible a nivel)	0x000C
SPORT0 Transmisión	0x0010
SPORT0 Recepción	0x0014
$\overline{\text{IRQE}}$ (sensible a flanco)	0x0018
Byte DMA Interrupción	0x001C
SPORT1 Transmisión o $\overline{\text{IRQ1}}$	0x0020
SPORT1 Recepción o $\overline{\text{IRQ0}}$	0x0024
Temporizador	0x0028 (menor prioridad)

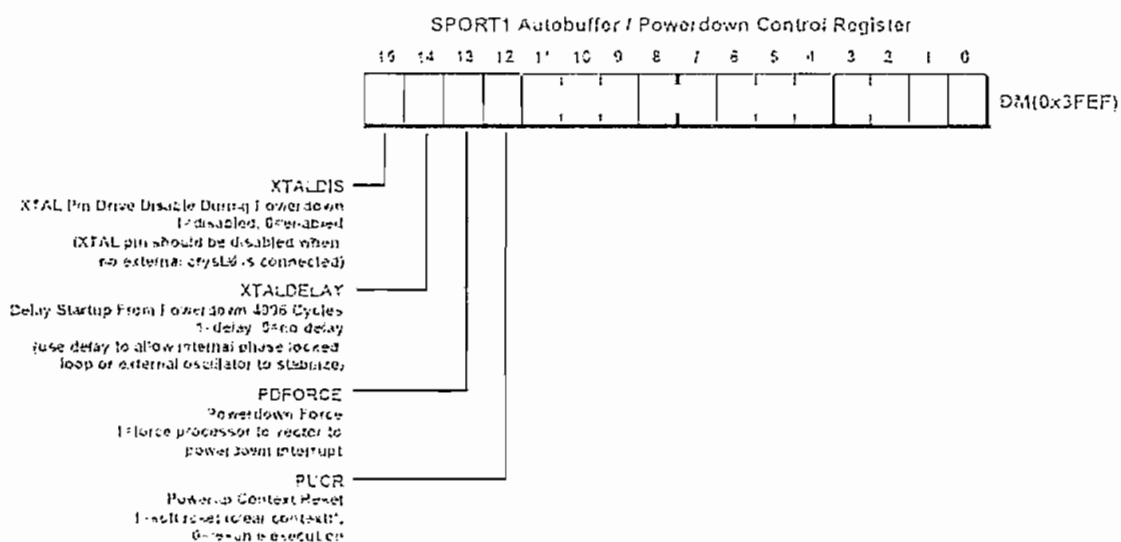
Interrupciones & Direcciones del Vector de interrupciones para el ADSP-2181

ANEXO No. 2

ESTADO DE CONSUMO BAJO DE ENERGÍA (POWERDOWN)

Control del Powerdown

Se puede controlar varios parámetros de funcionamiento del powerdown a través de los bits de control en el registro de control Autobuffer /Powerdown del SPORT1. Este registro de control es almacenado en memoria en la localidad 0x3FEF y se muestra en la figura:



Registro de control Autobuffer /Powerdown del SPORT1

* PUCR=1: borra el PC, las pilas de ESTADO, LAZO y CNTR. Los registros IMASK y ASTAT se ponen a 0 y SSTAT se pone a 0x55. El procesador iniciará ejecutando instrucciones desde la dirección 0x0000.

Ingreso al Powerdown.

La secuencia del powerdown se define como sigue:

1) Iniciar la secuencia del powerdown aplicando una transición de alto a bajo al pin $\overline{\text{P\!W\!D}}$ o poniendo a uno el bit de forzar al powerdown (PDFORCE) en el registro de control autobuffer / powerdown del SPORT1.

2) El dirección del vector de la interrupción no enmascarada del powerdown es 0x002C. (La interrupción del powerdown nunca es enmascarada. Se debe tener cuidado de no crear múltiples interrupciones del powerdown pues podría causar desbordamiento de la pila. Múltiples interrupciones del powerdown pueden ocurrir si la entrada $\overline{\text{P\!W\!D}}$ se pulsa mientras el procesador ya está en servicio de la interrupción del powerdown).

3) Cualquier número de instrucciones de preparación, iniciando desde la localidad 0x002C, pueden ejecutarse previo al ingreso del procesador en el modo powerdown. Típicamente, esta sección de código se usa para: configurar el estado del powerdown, deshabilitar periféricos y borrar las interrupciones pendientes.

4) El procesador entra en el modo powerdown cuando se ejecuta una instrucción IDLE (mientras $\overline{\text{P\!W\!D}}$ se afirma). Al procesador le puede tomar uno o dos ciclos para el powerdown dependiendo de los estados del reloj interno durante la ejecución de la instrucción IDLE. Todos los registros y contenidos de memoria se mantienen en el powerdown. También, todas las salidas activas son retenidas en cualquier estado en que ellas se encuentren antes de entrar al powerdown.

Si un RTI se ejecuta antes de la instrucción IDLE, entonces el procesador retorna desde la interrupción del powerdown y la secuencia del powerdown es abortada. Mientras el procesador está en el modo powerdown, el procesador está en el estado de espera CMOS. Esto permite un nivel más bajo de consumo de energía donde la mayoría de los pines de entrada se ignoran. Las entradas activas necesitan ser sostenidas a los niveles CMOS lograr en menor consumo.

Saliendo del Powerdown.

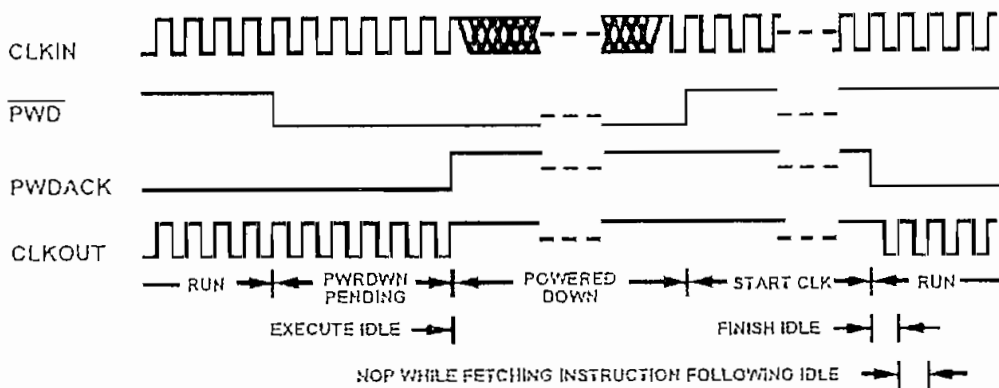
El modo powerdown puede terminarse con el uso del pin $\overline{\text{P\text{W}D}}$ o RESET. Hay también varios modos de salida del powerdown seleccionable por el usuario, que especifica una salida así como especifica el flujo del programa después de la salida. Esto permite al programa reasumir desde donde fue interrumpido antes del powerdown.

Pin PWDACK.

El pin de reconocimiento del powerdown (PWDACK) es una salida que indica cuando el procesador está en powerdown. Este pin es conducido a alto por el procesador cuando este se encuentra en powerdown y es conducido a bajo cuando el procesador ha completado su sucesión de encendido. Un nivel bajo en el pin PWDACK también indica que existe una señal CLKOUT válida y la ejecución de la instrucción ha empezado. La figura muestra un ejemplo de tiempo para el powerdown y la sucesión de reinicio.

El procesador está ejecutando código cuando el pin $\overline{\text{P\text{W}D}}$ se lleva a bajo. Los vectores del procesador: el vector de interrupción del powerdown y una instrucción IDLE es ejecutada causa al procesador entrar en potencia baja (powerdown). Las señales CLKOUT y PWDACK son conducidas a alto por el procesador. En este punto el pin del reloj de entrada se ignora.

El reloj de entrada es iniciado y el pin $\overline{\text{P\text{W}D}}$ es llevado a alto. Después de ciclos necesarios para arrancar, el procesador lleva la salida PWDACK a bajo, inicia manejando el pin CLKOUT con una señal de reloj y empieza a sacar la instrucción después de la instrucción IDLE. El procesador reasume entonces el normal funcionamiento.



Ejemplo de tiempo del powerdown

Cuando el powerdown se termina con el pin de RESET se selecciona un retraso de arranque, un nivel bajo en el pin PWDACK sólo indica el inicio de oscilaciones en el pin CLKOUT. Esto necesariamente no indicará el inicio de la ejecución de la instrucción. El estado de PWDACK y también de la señal CLKOUT es indefinido durante los primeros 100 ciclos del reset inicial.

Powerdown Usado Como Una Interrupción No Enmascarada.

La interrupción del powerdown nunca se enmascara. Es posible usar esta interrupción para otros propósitos si se desea. El procesador no irá al powerdown hasta que una instrucción IDLE se ejecute. Entonces si un RTI se ejecuta antes de la instrucción IDLE, el procesador retorna de la interrupción powerdown y la sucesión del powerdown se aborta. Es posible poner una serie de instrucciones en el vector de la interrupción del powerdown situada en la 0x002C. Esta rutina debe acabar con una instrucción RTI y no debe contener una instrucción IDLE si la interrupción será usada para otros propósitos que de powerdown.

ANEXO No. 3

CONJUNTO DE INSTRUCCIONES

Instrucciones de la ALU.

{IF condition}	AR AF	=	xop	+ yop + C + yop - C + constant + constant + C	:
{IF condition}	AR AF	=	xop	- yop - yop - C - 1 + C - 1 - constant - constant + C - 1	:
{IF condition}	AR AF	=	yop -xop + C - 1 -xop + constant -xop + constant + C - 1	-xop -xop + C - 1	:
{IF condition}	AR AF	=	xop	AND OR XOR	yop constant
{IF condition}	AR AF	=	1STBIT n OF xop SETBIT n OF xop CLRBIT n OF xop TGLBIT n OF xop		:
{IF condition}	AR AF	=	PASS	xop yop constant	:
{IF condition}	AR AF	=	-	xop yop	:
{IF condition}	AR AF	=	NOT	xop yop	:
{IF condition}	AR AF	=	ABS	xop	:
{IF condition}	AR AF	=	yop	+ 1	:
{IF condition}	AR AF	=	yop	- 1	:

DIVS yop, xop :

DIVQ xop :

NONE = <ALL> ;

Códigos de condición IF

Cond	
EQ	Equal zero
NE	Not equal zero
LT	Less than zero
GT	Greater than or equal zero
LE	Less than or equal zero
GE	Greater or equal zero
V	Overflow
NOTAL	Not ALU carry
AV	ALU overflow
NOTAV	Not ALU overflow
MV	MAC overflow
NOTMV	Not MAC overflow
NEG	As operand sign negative
POS	As operand sign positive
NOTCCL	Not counter expired
FLAG INC	Flag 1
NOT FLAG INC	Flag 2

* Only for JUMP, CALL

Registros XOP, YOP permitidos para las instrucciones de la ALU

xop	AX0, AX1, AX2, AX3, AX4, AX5, AX6, AX7, AX8, AX9, AX10, AX11, AX12, AX13, AX14, AX15
yop	AX0', AX1', AX2', AX3'

* XOPs pueden no usar el operador: XOP como YOP.

Instrucciones de la ALU.

Instrucciones del MAC.

$$\{IF\ condition\} \begin{matrix} MR \\ MF \end{matrix} = xop + \begin{matrix} yop \\ xop \end{matrix} \left(\begin{matrix} SS \\ SU \\ US \\ UU \\ RND \end{matrix} \right);$$

$$\{IF\ condition\} \begin{matrix} MR \\ MF \end{matrix} = MR + xop + \begin{matrix} yop \\ xop \end{matrix} \left(\begin{matrix} SS \\ SU \\ US \\ UU \\ RND \end{matrix} \right);$$

$$\{IF\ condition\} \begin{matrix} MR \\ MF \end{matrix} = MR - xop + \begin{matrix} yop \\ xop \end{matrix} \left(\begin{matrix} SS \\ SU \\ US \\ UU \\ RND \end{matrix} \right);$$

$$\{IF\ condition\} \begin{matrix} MR \\ MF \end{matrix} = 0;$$

$$\{IF\ condition\} \begin{matrix} MR \\ MF \end{matrix} = MR \{RND\};$$

IF MV SAT MR :

(S) entrada con signo (xop, yop)

(U) entrada sin signo (xop, yop)

(RND) Salida redondeada

Códigos de condición IF

Cond

EQ	Equal zero
NE	Not equal zero
LE	Less than zero
GE	Greater than or equal zero
LT	Less than -1 or equal zero
GT	Greater than zero
AC	Arithmetic
NOT AC	Not Arithmetic
AV	Arithmetic overflow
NOT AV	Not Arithmetic overflow
MV	MAC overflow
NOT MV	Not MAC overflow
NEG	Not input sign negative
POS	Not input sign positive
NOT CE	Not counter expired
FLAG IN *	Flag in 1
NOT FLAG IN *	Flag in 0

* Only for JUMP, CALL

Registros NOP, YOP permitidos para las instrucciones del MAC

<i>nop</i>	MR0, MR1, MR2 Acc SR0, SR1
<i>yop</i>	MY0, MY1 MP

Instrucciones del MAC.

Instrucciones de Desplazamiento (Shifter).

[IF condition]	SR	=	[SR OR] ASHIFT <exp>	(HI LO)
[IF condition]	SR	=	[SR OR] LSHIFT <exp>	(HI LO)
[IF condition]	SR	=	[SR OR] NORM <exp>	(HI LO)
[IF condition]	SE	=	EXP <exp>	(HI LO HIX)
[IF condition]	SB	=	EXPADJ <exp>			
SR	=		[SR OR] ASHIFT <exp> BY <exp>	(HI LO)
SR	=		[SR OR] LSHIFT <exp> BY <exp>	(HI LO)

(HI) El desplazamiento es referenciado a SR1 (16 bits más significantes)

(LO) El desplazamiento es referenciado a SR0 (16 bits menos significantes)

(HIX) HI extend (bit AV de desbordamiento leído por el detector de exponente)

Códigos de condición IF

Cond

EQ	Equal zero
NE	Not equal zero
LT	Less than zero
GE	Greater than or equal zero
LE	Less than or equal zero
GT	Greater than zero
AC	All carry
NOT AC	Not All carry
OV	MAC overflow
NOT OV	Not MAC overflow
OV	MAC overflow
NOT OV	Not MAC overflow
NIG	Xop input sign negative
POS	Xop input sign positive
NOT CE	Not counter expired
FLAG IN *	F1 pin=1
NOT FLAG IN *	F1 pin=0

* Only for RAMP, CALL.

Registros XOP, YOP permitidos para las instrucciones del Shifter

xop	SR, SR0, SR1 AR MR0, MR1, MR2
-----	-------------------------------------

Instrucciones de desplazamiento.

Instrucciones de Movimiento

Registros: reg

SB PX I0 - I7, M0 - M7, L0 - L7 CNTL ASTAT, MSTAT, SSTAT IMASK, ICNTL, IFC TX0, TX1, RX0, RX1	Registros de datos: dreg AX0, AX1, AY0, AY1, AR MX0, MX1, MY0, MY1, MK0, MK1, MK2 SL, SE, SR0, SR1
---	---

Registros del procesador: reg y dreg.

reg = reg;

reg = DM (<address>);

dreg = DM (10	,	M0)
	11	,	M1	
	12	,	M2	
	13	,	M3	

	14	,	M4	
	15	,	M5	
	16	,	M6	
	17	,	M7	

DM (10	,	M0) =	dreg	;
	11	,	M1		<data>	
	12	,	M2			
	13	,	M3			

	14	,	M4			
	15	,	M5			
	16	,	M6			
	17	,	M7			

DM (<address>) = reg;

reg = <data>;

dreg = PM (14	,	M4)
	15	,	M5	
	16	,	M6	
	17	,	M7	

PM (14	,	M4) =	dreg;
	15	,	M5		
	16	,	M6		
	17	,	M7		

Instrucciones de Movimiento

Instrucciones Multifunción.

<ALU>* <MAC>†	ALU	DM1	0	MR0	AY0	PM0	14	MR4
	MAC		1	MR1	AY1		15	MR5
			2	MR2	MY0		16	MR6
			3	MR3	MY1		17	MR7

AY0	DM1	0	MR0	AY0	PM0	14	MR4
AY1		1	MR1	AY1		15	MR5
MY0		2	MR2	MY0		16	MR6
MY1		3	MR3	MY1		17	MR7

<ALU>* <MAC>† <SHIFT>*	DM1	10	MR0	1
		11	MR1	1
		12	MR2	1
		13	MR3	1
		14	MR4	1
		15	MR5	1
		16	MR6	1
	17	MR7	1	
	PM1	14	MR4	1
		15	MR5	1
		16	MR6	1
		17	MR7	1

DM1	10	MR0) = drég. <ALL>* <MAC>* <SHIFT>*	
	11	MR1		
	12	MR2		
	13	MR3		
	14	MR4		
	15	MR5		
	16	MR6		
	17	MR7		
	PM1	14		MR4
		15		MR5
		16		MR6
		17		MR7

<ALU>* <MAC>† <SHIFT>*	drég.	drég.
------------------------------	-------	-------

- <ALU> Cualquier instrucción de la ALU (excepto DIVS, DIVQ).
 <MAC> Cualquier instrucción de multiplicación / acumulación.
 <SHIFT> Cualquier instrucción de desplazamiento (excepto desplazamiento inmediato)

* Podría no ser una instrucción condicional.

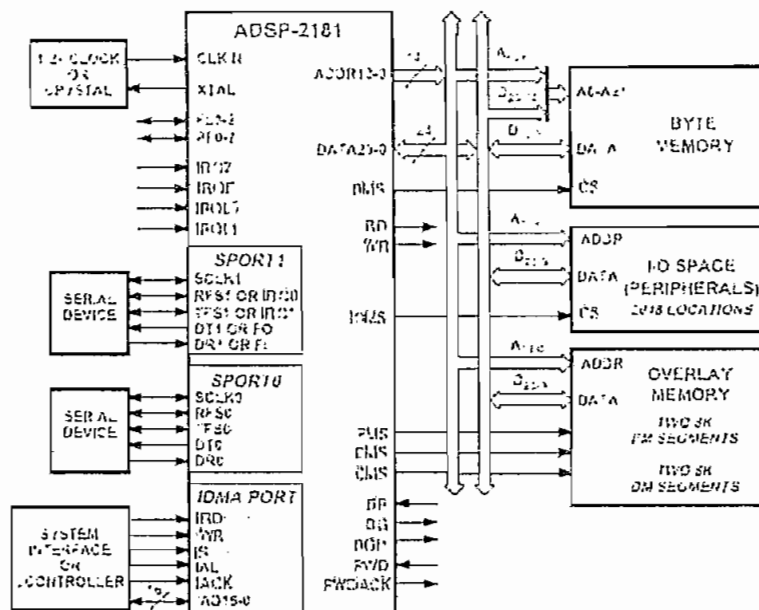
† Los registros de resultados AR, MR deben usarse, no los registros de realimentación AF, MF.

Instrucciones de multifunción.

ANEXO No. 4

El ADSP-2181

Arquitectura de la memoria.



Sistema básico de configuración del ADSP-2181.

Memoria de Programa.

El ADSP-2181 tiene 16K de 24 bits de memoria RAM de programa y la capacidad de acceder hasta 8K de palabras de 24bits, en espacios de memoria externa utilizando el bus de datos externo. La tabla muestra la organización de memoria

Memoria de programa	Dirección
8K internos (PMOVLAY = 0, MMAP = 0)	0x3FFF
0	
8K externos (PMOVLAY = 1, MMAP = 0 o MMAP = 0)	0x2000
	0x1FFF
8K internos	0x0000

Organización de la memoria de programa

Memoria de Datos.

La memoria de datos de 16 bits, almacena datos y los registros de control mapeados en memoria. ADSP-2181 tiene 16K de memoria de datos RAM, consistentes de 16532 localidades par datos y 32 registros de control mapeados en memoria. Todos los accesos de memoria interna de datos son completados en un solo ciclo de procesador.

Memoria de datos	Dirección
	0x3FFF
32 registros de control mapeados en memoria	
	0x3FE0
	0x3FDF
8160 palabras internas	
	0x2000
8K interna (DMOVLAY = 0)	0x1FFF
o	
8k externa (DMOVLAY = 1 o 2)	0x0000

Configuración de la memoria de datos

Si DMOVLAY es 1 o 2, el acceso de memoria externa ocurre en las direcciones 0000 hasta FFFF.

Memoria Byte

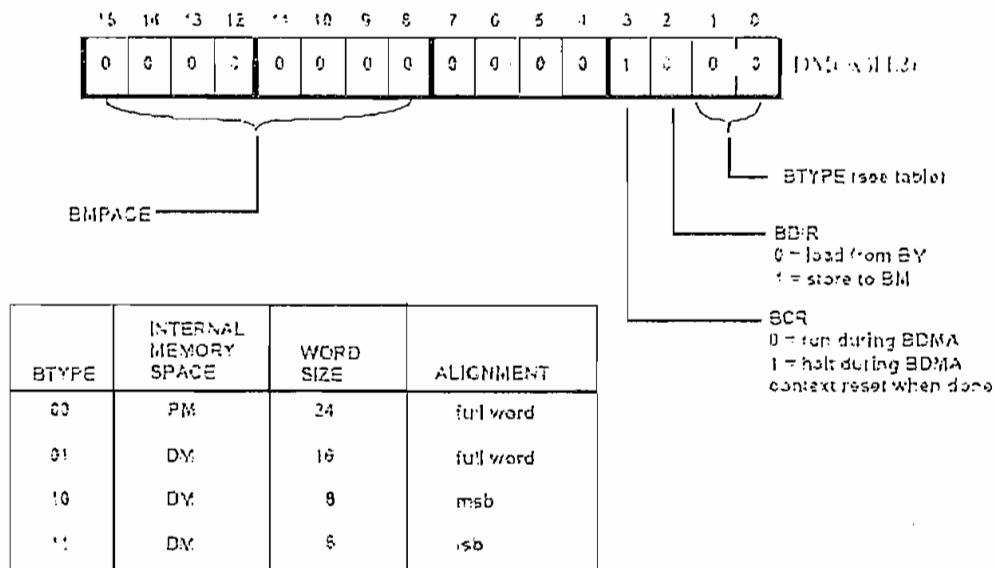
Proporciona el acceso a un espacio de memoria de 8 bits a través del puerto byte DMA (BDMA). La interfaz de memoria byte proporciona acceso a 4 Mbytes de memoria al utilizar 8 líneas del bus de datos (líneas 16 hasta la 23) como líneas de direcciones adicionales). El espacio de memoria byte consiste de 256 páginas de 16Kbytes. Esta memoria se puede leer y escribir en cuatro diferentes formatos : 24 bits, 16 bits, 8 bits (alineando el MSB) y 8 bits (alineando el LSB).

El controlador BDMA.

El controlador BDMA permite cargar y grabar instrucciones de programa y de datos, utilizando el espacio de memoria byte. El circuito BDMA también está disponible mientras el ADSP-2181 está en funcionamiento normal, el controlador BDMA lee o escribe código de programa o datos desde o hacia la memoria byte "robando" solamente un ciclo cuando es necesario escribir o leer

una palabra de la memoria interna. El registro BIAD (BDMA internal address register) especifica la dirección inicial (de 14 bits) de la memoria byte externa involucrada en la transferencia. El registro de control BDMA permite especificar:

- El tipo de transferencia BDMA (BTYPE)
- La dirección de la transferencia BDMA (BDIR)
- El funcionamiento del puerto BDMA durante el reset (BCR)
- La página BDMA (BMPAGE)



Registro de Control BDMA

El campo BDIR selecciona la dirección de la transferencia: BDIR = 0, implica la lectura del espacio de memoria byte y BDIR = 1, implica escritura en el espacio de memoria byte. El campo BMPAGE de 8 bits indica la página del espacio de memoria byte externa.

El registro BWCOUNT de 14 bits establece el número de palabras que serán transferidas e inicializa el circuito de transferencia BDMA, cuando en este registro se escribe un valor distinto de cero. Este registro es actualizado luego de cada transferencia (se disminuye en uno luego que se ha accedido una palabra completa) y cuando se hace igual a cero, se termina la transferencia y se genera una interrupción (interrupción BDMA). El destino o fuente de las transferencias BDMA será siempre la memoria de programas o la memoria de

datos en el chip, sin importar el valor del pin MMAP, ni de los registros MOVLAY o DMOVLAY.

Espacio de Entrada / Salida.

Permite acceder a 2048 localidades de 16 bits. Está diseñado para ser utilizado en conexiones simples a periféricos paralelos o como registro de datos para interfaces con sistemas HOST.

Puerto IDMA.

El puerto IDMA proporciona un medio eficiente de comunicación entre un sistema Host y el ADSP-2181. El puerto se utiliza para acceder a la memoria de programa y la memoria de datos en el chip con solamente un ciclo de sobrecarga para el procesador.

El puerto IDMA no requiere ninguna intervención del ADSP-2181 para mantener el flujo de datos, es completamente asincrónico y puede ser escrito mientras el procesador está operando a toda velocidad.

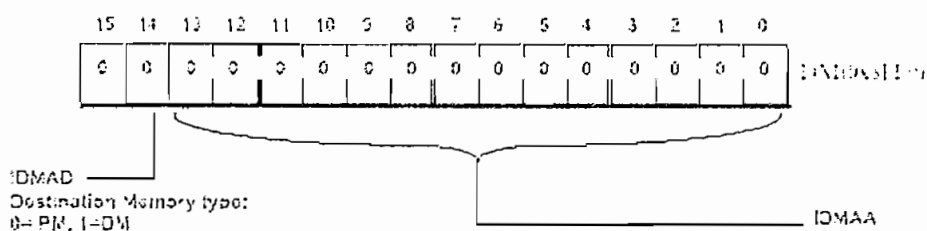
El puerto IDMA tiene líneas de direcciones y de datos multiplexados en un bus de 16 bits y la memoria de programa de 24 bits. La tabla resume los pines del puerto IDMA.

Pin	E/S	Función
IRD	E	Habilitación de lectura del puerto IDMA
IWR	E	Habilitación de escritura del puerto IDMA
IS	E	Selección del puerto IDMA
IAL	E	Habilitación segura de la dirección del puerto IDMA
AIAD0 A IAD15	E/S	Bus direcciones / datos del puerto IDMA
IACK	S	Reconocimiento listo del acceso del puerto IDMA.

Pines del puerto IDMA

Para realizar una transferencia IDMA, el sistema host inicia chequeando la línea IACK para determinar el estado del puerto (0 = listo, 1 = ocupado). Cuando el puerto está listo, el sistema host indica al ADSP-2181 para que asegure (latch) la dirección presente en el bus IDMA (IAD0 a IAD15) y la escriba en el registro de control IDMA. Este registro se muestra en la figura

2.35, está mapeado en memoria en la dirección DM (0x3FE0). Luego si el sistema host activa las señales \overline{IS} e \overline{IRD} , (o \overline{IS} e \overline{IWR}), se comienza la lectura (o escritura) de la memoria interna del DSP. Si se trata de una operación de lectura, el ADSP 2181 lleva a la salida del bus IDMA el contenido el contenido de la localidad de memoria apuntada en el registro de control IDMA. En una operación de escritura los valores presentes en el bus IDMA son escritos en la dirección de memoria interna en el registro de control IDMA.



Registro de control IDMA.

La dirección de memoria del procesador es asegurada y luego automáticamente incrementada después de una transferencia IDMA. Un aparato externo entonces puede acceder a un bloque de memoria direccionada secuencialmente especificando solamente la dirección inicial del bloque. Esto incrementa la cantidad de trabajo total realizada por el procesador en un tiempo dado, puesto que no es necesario enviar la dirección de memoria en cada acceso a ésta.

Almacenamiento de Código de Programa Después de un RESET (BOOTSTRAP LOADING)

El ADSP-2181 tiene dos mecanismos que permiten el almacenamiento automático de memoria de programa en el procesador después de un reset. El método de almacenamiento después del reset es controlado por los pines MMAP y BMODE. Después de un reset, si los pines BMODE y MMAP especifican almacenamiento BDMA (BMODE = 0, MMAP = 0) el puerto BDMA es utilizado para almacenar las 32 primeras palabras de la memoria de programa del espacio de memoria byte.

La interfaz del BDMA se setea durante el reset a los siguientes valores por defecto: los registros BDIR, BMPAGE, BIAD, BEAD son puestos en 0, el registro BTYPE se setea a 0 para especificar palabras de memoria de programa de 24 bits, y el registro BWCOUNT se carga con 32. Esto ocasiona que las 32 primeras palabras de la memoria de programa en el procesador sean almacenadas desde la memoria byte. Estas 32 palabras son utilizadas para configurar al puerto BDMA de tal manera que se pueda cargar el código de programa restante. El bit BCR es puesto a uno, lo que ocasiona que la ejecución del programa se detenga hasta que se almacenan las 32 palabras en la memoria de programa interna del procesador, luego la ejecución del programa empieza en la dirección cero. Si BMODE = 0 y MMAP = 0, después de un reset el ADSP-2181 puede almacenar código de programa por medio de su puerto IDMA. Por este puerto se puede almacenar la cantidad de memoria necesaria para la ejecución de un programa en el procesador. La ejecución del programa es detenida hasta que escriba la localidad 0 de la memoria de programa en el procesador.

ANEXO No. 5

FUNCIONAMIENTO DEL AD1847

Funcionamiento del AD1847.

El AD1847 acepta hasta cuatro entradas estéreo: LINE1, LINE2, AUX1 y AUX2. El CODEC opera en modo estéreo global (con señales en los canales derecho e izquierdo) o en modo mono global (con las entradas del canal izquierdo apareciendo en los dos canales de salida).

Las entradas LINE1, LINE2, AUX1 y la señal estéreo de salida post – mezclada del DAC; Son multiplexadas hacia la etapa amplificadora de ganancia programable (PGA). Esta etapa permite seleccionar la ganancia independiente de cada canal, desde 0 hasta 22.5 dB en pasos de +1.5 dB. La salida del PGA se lleva hacia los ADCs, que proporcionan datos PCM de 16 bits, que se pueden comprimir a 8 bits utilizando los estándares de telecomunicaciones A-law (Europa) y μ -law (USA, Japón). Los datos digitalmente codificados son llevados hacia el puerto serial del CODEC. La figura muestra el diagrama de bloque del AD1847.

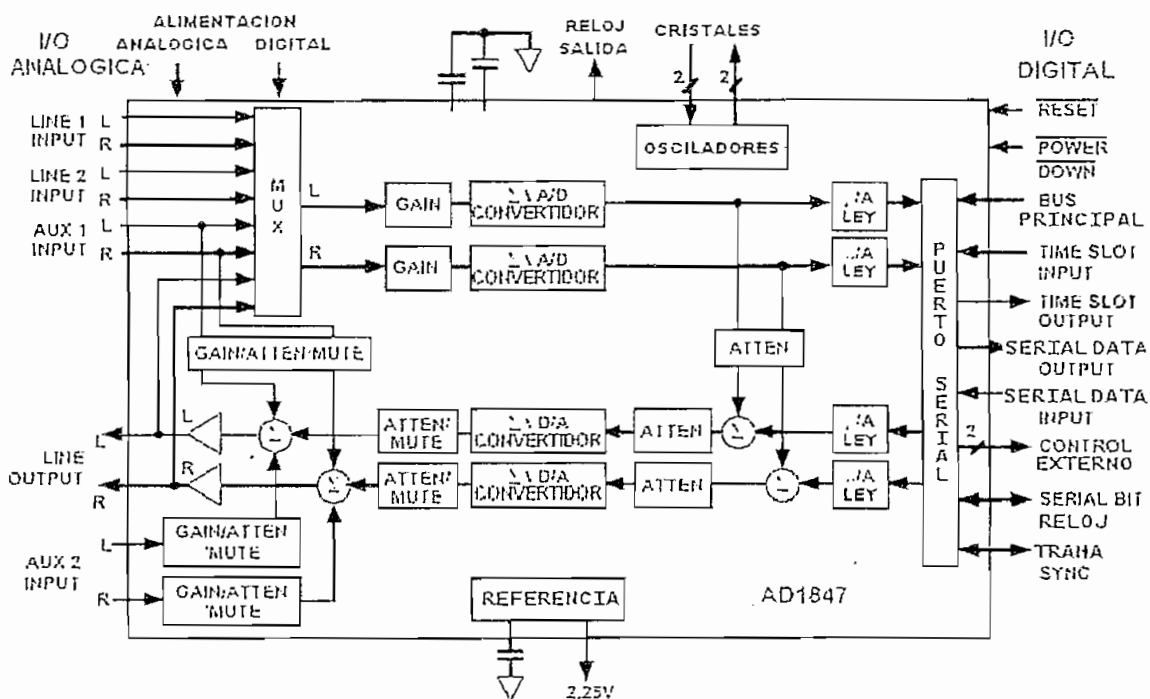


Diagrama de bloque del AD1847.

Las salidas estereo AUX1 y AUX2 se pueden: mezclarse analógicamente con la salida de los DACs, amplificarse o atenuarse independientemente; con valores de ganancia de +12 dB hasta -34.5 dB en pasos de -1.5 dB, o ser completamente silenciados. La salida de la señal mezclada está disponible exactamente en los pines L_OUT y R_OUT del CODEC y puede utilizarse nuevamente como entrada a los DACs a través del MUX. L_OUT y R_OUT es la salida estereo analógica de línea.

El AD1847 acepta los siguientes tipos de formatos de datos:

- PCM lineal de 16 bits en complemento dos
- PCM lineal de 8 bits codificados de acuerdo al estándar A-law y datos de 8 bits codificados de acuerdo al estándar μ -law. Los 8 bits se alinean a la izquierda del campo de 16 bits

La conversión de los formatos ocurre solamente en la entrada y la salida.

El AD1847 opera con dos cristales externos XTAL1 y XTAL2. Como mínimo se debe utilizar XTAL1, y si no se utiliza la entrada XTAL2; debe ser cortocircuitada a tierra. Las frecuencias recomendadas del cristal son 16.9344 MHz y 24.576 MHz.

Con estas frecuencias se puede seleccionar las siguientes tasas de muestreo: 5.5125 Khz., 6.6125 Khz., 8 Khz., 9.6 Khz., 11.025 Khz., 16 Khz., 18.9 Khz., 22.05 Khz., 27.42857 Khz., 32 Khz., 33.075 Khz., 37.8 Khz., 44.1 Khz. y 48 Khz.

Interfaz Serial

Las salidas de los ADCs (canal izquierdo y derecho) están disponibles en la interfaz serial, el cual también proporciona entradas digitales para los DACs y la información de control. La interfaz serial utiliza un esquema TDM. La tabla resume la descripción de los pines de la interfaz serial del AD1847.

NOMBRE DEL PIN	E/S	DESCRIPCIÓN
SCLK (Reloj Serial)	E/S	Señal bidireccional. Es una salida hacia el bus serial cuando el pin Bus Master (BM) está en 1 lógico y como una entrada cuando el pin BM está en 0 lógico.
SDFS (Sincronización de Trama de Datos Seriales)	E/S	Señal bidireccional. Proporciona la señal de sincronización de trama hacia el bus serial cuando el pin Bus Master (BM) está en 1 lógico y recepta las señales de sincronización de trama como cuando el pin BM está en 0 lógico.
SDI (Entrada de Datos Seriales)	E	Es utilizado por los periféricos para proporcionar la información de control y datos hacia el CODEC. Todas las transferencias por este pin son de 16 bits empezando por el MSB.
SDO (Salida de Datos Seriales)	S	SDO proporciona la información de estado y lectura indexada a los periféricos y los datos capturados.
RESET	E	Se activa en bajo e inicializa los registros del AD1847 a sus valores de defecto.
PWRDOWN	E	Se activa en bajo e inicializa los registros de control en el CODEC y lo deja en un modo de consumo de baja potencia.
BM (Bus Master)	E	BM = 1; el AD1847 proporciona las señales de reloj (SCLK) y de sincronización de trama para el bus serial. BM = 0 (para sistemas que utilizan varios CODECs); el AD1847 recibe las señales de reloj y de sincronización de trama.
TSO (Salida de las ranuras de tiempo)	E	El AD1847 mantiene esta señal en alto coincidentemente con el LSB del último slot de tiempo utilizado por el CODEC. Esta señal se usa en sistemas que utilizan varios CODECs.
TSI (Entrada de las ranuras de tiempo)	E	TSSEL=1; indica al AD1847 que debe utilizar inmediatamente los siguientes tres slots de tiempo. TSSEL=0; el AD1847 debe utilizar los siguientes seis slots de tiempo. TSI debe ser puesto en 0 lógico si el AD1847 es el bus master o si está utilizando un solo CODEC. Después activa al pin TSO para habilitar al siguiente CODEC siguiente, en sistemas que utilizan varios AD1847.
CLOCKOUT (Salida de Reloj)	S	La frecuencia de esta señal de salida es 12.288 MHz cuando se selecciona XTAL1 y 16.9344 MHz si se selecciona a XTAL2.

Descripción de los pines de la Interfaz Serial

Registros De Control

El AD1847 tiene: 6 registros de 16 bits y 13 registros de 8 bits (Registros Indexados).

Los registros de 16 bits son:

- La palabra de control se utiliza para almacenar la información de control que fue enviada por el ADSP-2181.
- La palabra de estado almacena la información de estado que es enviada por el CODEC al ADSP-2181.
- Los Datos de Entrada se almacenan en 2 registros de 16 bits. Un registro para los datos del canal izquierdo y otro para los datos del canal derecho. Los Datos de Salida se almacenan en 2 registros de 16 bits.

Los registros de 8 bits son utilizados para configurar:

- Entradas al CODEC los conversores A/D y D/A.
- Formato de datos
- Configuración de la interfaz serial
- Configuración de la frecuencia de muestreo.

Los registros de 8 bits se acceden por direccionamiento indirecto en la Palabra de Control. Los registros de 16 bits, tienen asignados su propio slot de tiempo, de tal forma que el AD1847 siempre utiliza 6 slots de tiempo de 16 bits en la transmisión y recepción de los datos seriales.

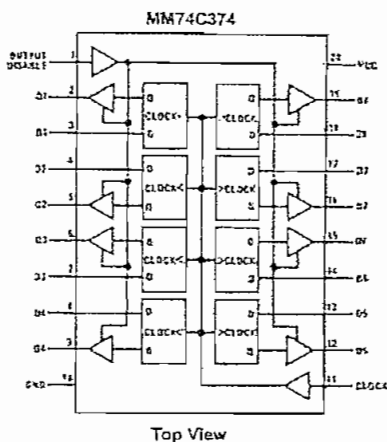
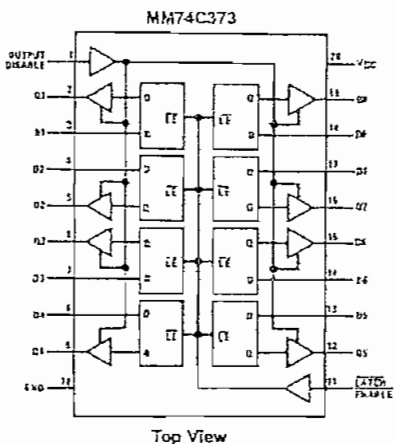
Auto - calibración

El AD1847 puede calibrar los ADCs y DACs, este proceso toma por lo menos unos 384 períodos de muestreo. Se realiza una auto calibración cuando el CODEC termina la Habilitación del Modo de Cambio y el bit ACAL del Registro de Configuración de la Interfaz es uno lógico. El bit ACI en la Palabra de Estado permanecerá en 1 lógico mientras la autocalibración esté en progreso y se pondrá en cero una vez que la autocalibración se complete.

MM74C373 • MM74C374

Connection Diagrams

Pin Assignments for DIP and SOIC



Truth Tables

MM74C373

Output Disable	LATCH ENABLE	D	Q
L	H	H	H
L	H	L	L
L	L	X	Q
H	X	X	HI-Z

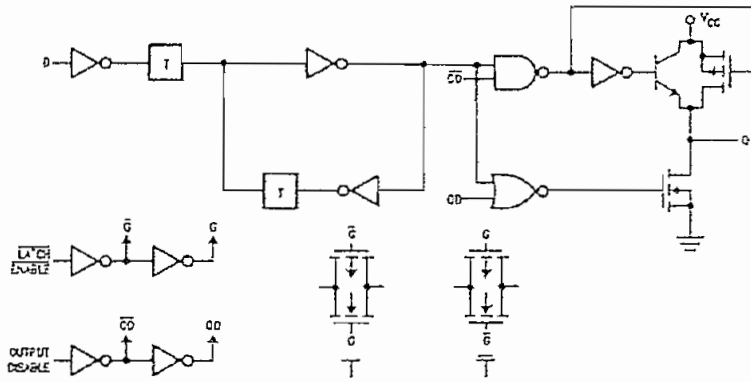
MM74C374

Output Disable	Clock	D	Q
L	↗	H	H
L	↘	L	L
L	L	X	Q
L	H	X	Q
H	X	X	HI-Z

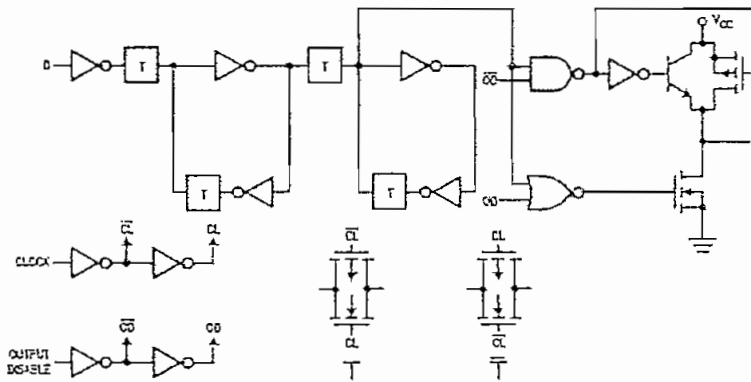
L = LOW logic level
 H = HIGH logic level
 X = Irrelevant
 ↗ = LOW-to-HIGH logic level transition
 ↘ = Preexisting output level
 HI-Z = High impedance output state

Block Diagrams

MM74C373 (1 of 8 Latches)



MM74C374 (1 of 8 Flip-Flops)



Absolute Maximum Ratings (Note 1)		Operating V_{CC} Range	3V to 15V
Voltage at Any Pin	-0.3V to $V_{CC} + 0.3V$	Absolute Maximum V_{CC}	18V
Operating Temperature Range (T_A)	-40°C to +85°C	Lead Temperature (T_L)	260°C
MM74C373	-40°C to +85°C	(Soldering, 10 seconds)	
Storage Temperature Range (T_S)	-65°C to +150°C		
Power Dissipation			
Dual-In-Line	700 mW		
Small Outline	500 mW		

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

DC Electrical Characteristics

Min/Max limits apply across temperature range unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CMOS TO CMOS						
$V_{IH(1)}$	Logical "1" Input Voltage	$V_{CC} = 5V$ $V_{CC} = 10V$	3.5 8.0			V
$V_{IH(0)}$	Logical "0" Input Voltage	$V_{CC} = 5V$ $V_{CC} = 10V$			1.5 2.0	V
$V_{OUT(1)}$	Logical "1" Output Voltage	$V_{CC} = 5V, I_O = -10 \mu A$ $V_{CC} = 10V, I_O = -10 \mu A$	4.5 9.0			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$V_{CC} = 5V, I_O = 10 \mu A$ $V_{CC} = 10V, I_O = 10 \mu A$			0.5 1.0	V
$I_{IH(1)}$	Logical "1" Input Current	$V_{CC} = 15V, V_{IN} = 15V$		0.005	1.0	μA
$I_{IH(0)}$	Logical "0" Input Current	$V_{CC} = 15V, V_{IN} = 0V$	-1.0	-0.005		μA
I_{OZ}	3-STATE Leakage Current	$V_{CC} = 15V, V_O = 15V$ $V_{CC} = 15V, V_O = 0V$	-1.0	0.005	1.0	μA
I_{CC}	Supply Current	$V_{CC} = 15V$		0.05	300	μA
CMOS/LPTTL INTERFACE						
$V_{IH(1)}$	Logical "1" Input Voltage	$V_{CC} = 4.75V$	$V_{CC} - 1.5$			V
$V_{IH(0)}$	Logical "0" Input Voltage	$V_{CC} = 4.75V$			0.8	V
$V_{OUT(1)}$	Logical "1" Output Voltage	$V_{CC} = 4.75V, I_O = -360 \mu A$ $V_{CC} = 4.75V, I_O = -1.6 mA$	$V_{CC} - 0.4$ 2.4			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$V_{CC} = 4.75V, I_O = 1.6 mA$			0.4	V
OUTPUT DRIVE (Short Circuit Current)						
I_{SOURCE}	Output Source Current	$V_{CC} = 5V, V_{OUT} = 0V$ $T_A = 25^\circ C$ (Note 2)	-12	-24		mA
I_{SOURCE}	Output Source Current	$V_{CC} = 10V, V_{OUT} = 0V$ $T_A = 25^\circ C$ (Note 2)	-24	-48		mA
I_{SNK}	Output Sink Current (N-Channel)	$V_{CC} = 5V, V_{OUT} = V_{CC}$ $T_A = 25^\circ C$ (Note 2)	6	12		mA
I_{SNK}	Output Sink Current (N-Channel)	$V_{CC} = 10V, V_{OUT} = V_{CC}$ $T_A = 25^\circ C$ (Note 2)	24	48		mA

Note 2: These are peak output current capabilities. Continuous output current is rated at 12 mA max.

AC Electrical Characteristics (Note 3)						
MM74C373, $T_A = 25^\circ\text{C}$, $C_L = 50\text{ pF}$, $t_r = t_f = 20\text{ ns}$, unless otherwise noted						
Symbol	Parameter	Conditions	Min	Typ	Max	Units
$t_{\text{PQD}}, t_{\text{PQ1}}$	Propagation Delay, LATCH ENABLE to Output	$V_{\text{CC}} = 5\text{V}$, $C_L = 50\text{ pF}$		165	330	ns
		$V_{\text{CC}} = 10\text{V}$, $C_L = 50\text{ pF}$		70	140	ns
		$V_{\text{CC}} = 5\text{V}$, $C_L = 150\text{ pF}$		195	390	ns
		$V_{\text{CC}} = 10\text{V}$, $C_L = 150\text{ pF}$		85	170	ns
$t_{\text{PQD}}, t_{\text{PQ1}}$	Propagation Delay Data In to Output	LATCH ENABLE = V_{CC}				
		$V_{\text{CC}} = 5\text{V}$, $C_L = 50\text{ pF}$		155	310	ns
		$V_{\text{CC}} = 10\text{V}$, $C_L = 50\text{ pF}$		70	140	ns
		$V_{\text{CC}} = 5\text{V}$, $C_L = 150\text{ pF}$		185	370	ns
	$V_{\text{CC}} = 10\text{V}$, $C_L = 150\text{ pF}$		85	170	ns	
$t_{\text{SET-UP}}$	Minimum Set-Up Time Data In to CLOCK/LATCH ENABLE	$t_{\text{HOLD}} = 0\text{ ns}$				
		$V_{\text{CC}} = 5\text{V}$		70	140	ns
		$V_{\text{CC}} = 10\text{V}$		35	70	ns
f_{MAX}	Maximum LATCH ENABLE Frequency	$V_{\text{CC}} = 5\text{V}$	3.5	6.7		MHz
		$V_{\text{CC}} = 10\text{V}$	4.5	9.0		MHz
t_{PWH}	Minimum LATCH ENABLE Pulse Width	$V_{\text{CC}} = 5\text{V}$		75	150	ns
		$V_{\text{CC}} = 10\text{V}$		55	110	ns
t_r, t_f	Maximum LATCH ENABLE Rise and Fall Time	$V_{\text{CC}} = 5\text{V}$		NA		μs
		$V_{\text{CC}} = 10\text{V}$		NA		μs
$t_{\text{TH}}, t_{\text{OH}}$	Propagation Delay OUTPUT DISABLE to High Impedance State (from a Logic Level)	$R_L = 10\text{k}$, $C_L = 5\text{ pF}$				
		$V_{\text{CC}} = 5\text{V}$		105	210	ns
		$V_{\text{CC}} = 10\text{V}$		60	120	ns
$t_{\text{HL}}, t_{\text{LO}}$	Propagation Delay OUTPUT DISABLE to Logic Level (from High Impedance State)	$R_L = 10\text{k}$, $C_L = 50\text{ pF}$				
		$V_{\text{CC}} = 5\text{V}$		105	210	ns
		$V_{\text{CC}} = 10\text{V}$		45	90	ns
$t_{\text{THL}}, t_{\text{TLH}}$	Transition Time	$V_{\text{CC}} = 5\text{V}$, $C_L = 50\text{ pF}$		55	130	ns
		$V_{\text{CC}} = 10\text{V}$, $C_L = 50\text{ pF}$		35	70	ns
		$V_{\text{CC}} = 5\text{V}$, $C_L = 150\text{ pF}$		110	220	ns
		$V_{\text{CC}} = 10\text{V}$, $C_L = 150\text{ pF}$		70	140	ns
C_{LE}	Input Capacitance	$\overline{\text{LE}}$ Input (Note 4)		7.5	10	μF
C_{OD}	Input Capacitance	OUTPUT DISABLE Input (Note 4)		7.5	10	μF
C_{IN}	Input Capacitance	Any Other Input (Note 4)		5	7.5	μF
C_{OUT}	Output Capacitance	High Impedance State (Note 4)		10	15	μF
C_{PD}	Power Dissipation Capacitance	Per Package (Note 5)		200		μF

Note 3: AC Parameters are guaranteed by DC correlated testing.

Note 4: Capacitance is guaranteed by periodic testing.

Note 5: C_{PD} determines the no load AC power consumption of any CMOS device. For complete explanation see Family Characteristics Application Note AN-90.

MM74C373 • MM74C374

AC Electrical Characteristics (Note 6)						
MM74C374, $T_A = 25^\circ\text{C}$, $C_L = 50\text{ pF}$, $t_r = t_f = 20\text{ ns}$, unless otherwise noted						
Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{pd} , t_{pd1}	Propagation Delay, CLOCK to Output	$V_{\text{CC}} = 5\text{V}$, $C_L = 50\text{ pF}$		150	300	ns
		$V_{\text{CC}} = 10\text{V}$, $C_L = 50\text{ pF}$		65	130	ns
		$V_{\text{CC}} = 5\text{V}$, $C_L = 150\text{ pF}$		180	360	ns
		$V_{\text{CC}} = 10\text{V}$, $C_L = 150\text{ pF}$		80	160	ns
$t_{\text{SET-UP}}$	Minimum Set-Up Time Data In to CLOCK/LATCH ENABLE	$t_{\text{HOLD}} = 0\text{ ns}$		70	140	ns
		$V_{\text{CC}} = 5\text{V}$		35	70	ns
t_{PWH} , t_{PWL}	Minimum CLOCK Pulse Width	$V_{\text{CC}} = 5\text{V}$		70	140	ns
		$V_{\text{CC}} = 10\text{V}$		50	100	ns
f_{MAX}	Maximum CLOCK Frequency	$V_{\text{CC}} = 5\text{V}$	3.5	7.0		MHz
		$V_{\text{CC}} = 10\text{V}$	5	10		MHz
t_{1H} , t_{0H}	Propagation Delay OUTPUT DISABLE to High Impedance State (from a Logic Level)	$R_L = 10\text{k}$, $C_L = 50\text{ pF}$		105	210	ns
		$V_{\text{CC}} = 5\text{V}$		60	120	ns
t_{1H} , t_{0}	Propagation Delay OUTPUT DISABLE to Logic Level (from High Impedance State)	$R_L = 10\text{k}$, $C_L = 50\text{ pF}$		105	210	ns
		$V_{\text{CC}} = 10\text{V}$		45	90	ns
t_{THL} , t_{TLH}	Transition Time	$V_{\text{CC}} = 5\text{V}$, $C_L = 50\text{ pF}$		65	130	ns
		$V_{\text{CC}} = 10\text{V}$, $C_L = 50\text{ pF}$		35	70	ns
		$V_{\text{CC}} = 5\text{V}$, $C_L = 150\text{ pF}$		110	220	ns
		$V_{\text{CC}} = 10\text{V}$, $C_L = 150\text{ pF}$		70	140	ns
t_r , t_f	Maximum CLOCK Rise and Fall Time	$V_{\text{CC}} = 5\text{V}$	15	>2000		μs
		$V_{\text{CC}} = 10\text{V}$	5	>2000		μs
C_{CLK}	Input Capacitance	CLOCK Input (Note 7)		7.5	10	pF
C_{OD}	Input Capacitance	OUTPUT DISABLE Input (Note 7)		7.5	10	pF
C_{IN}	Input Capacitance	Any Other Input (Note 7)		5	7.5	pF
C_{OUT}	Output Capacitance	High Impedance State (Note 7)		10	15	pF
C_{PD}	Power Dissipation Capacitance	Per Package (Note 8)		250		pF

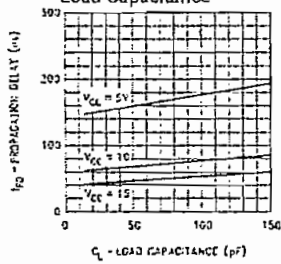
Note 6: AC Parameters are guaranteed by DC correlated testing.

Note 7: Capacitance is guaranteed by periodic testing.

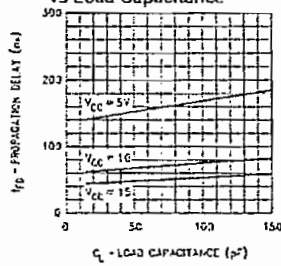
Note 8: C_{PD} determines the no load AC power consumption of any CMOS device. For complete explanation see Family Characteristics Application Note AN-90.

Typical Performance Characteristics

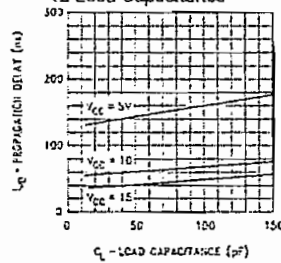
MM74C373
Propagation Delay, LATCH ENABLE to Output vs Load Capacitance



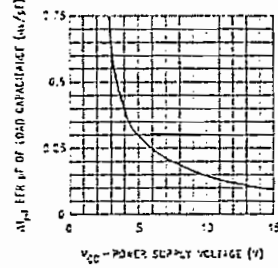
MM74C373
Propagation Delay, Data In to Output vs Load Capacitance



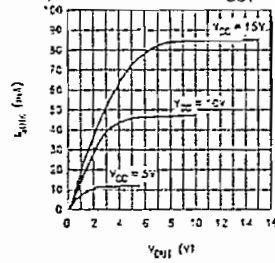
MM74C373
Propagation Delay, CLOCK to Output vs Load Capacitance



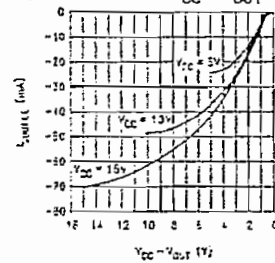
MM74C373, MM74C374
Change in Propagation Delay per pF of Load Capacitance ($\Delta t_{PD}/pF$) vs Power Supply Voltage



MM74C373, MM74C374
Output Sink Current vs VOUT

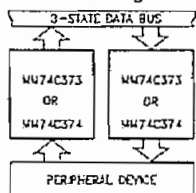


MM74C373, MM74C374
Source Current vs VCC - VOUT

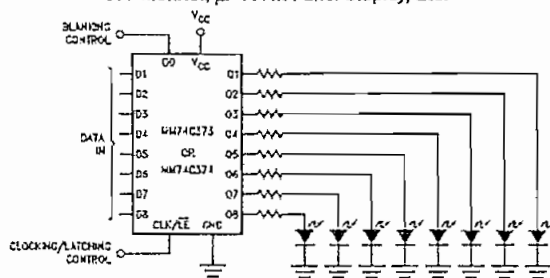


Typical Applications

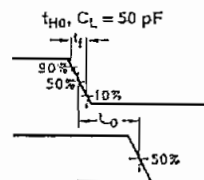
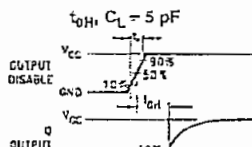
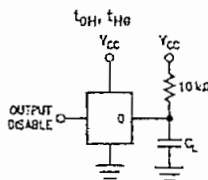
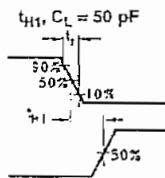
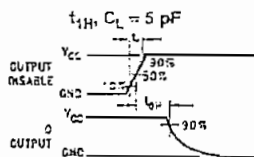
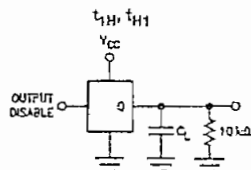
Data Bus Interfacing Element



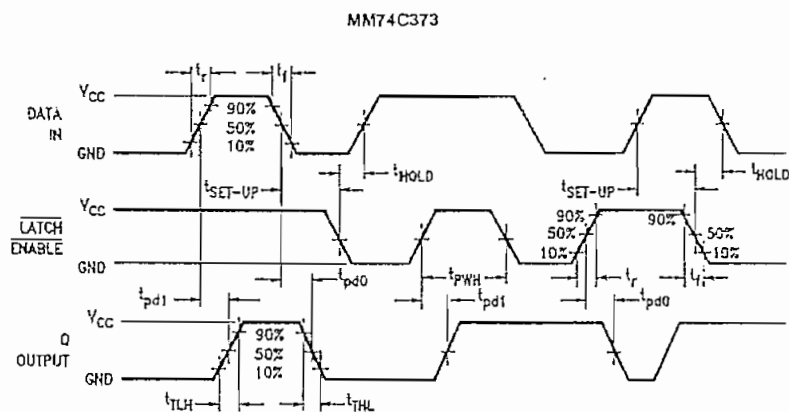
Simple, Latching, Octal, LED Indicator Driver with Blanking for Use as Data Display, Bus Monitor, μ P Front Panel Display, Etc.



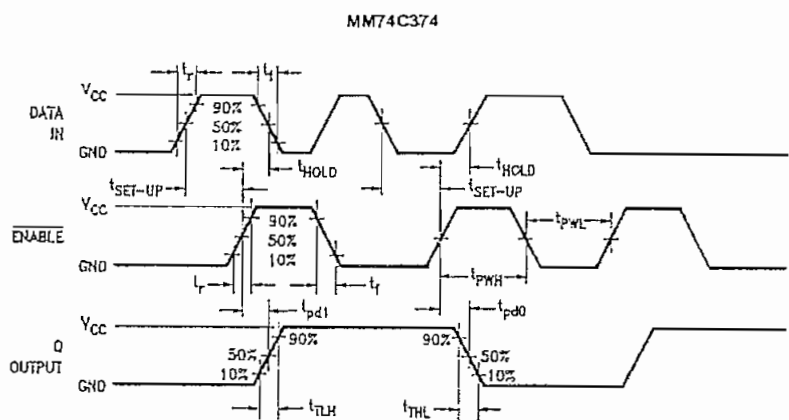
3-STATE Test Circuits and Switching Time Waveforms



Switching Time Waveforms



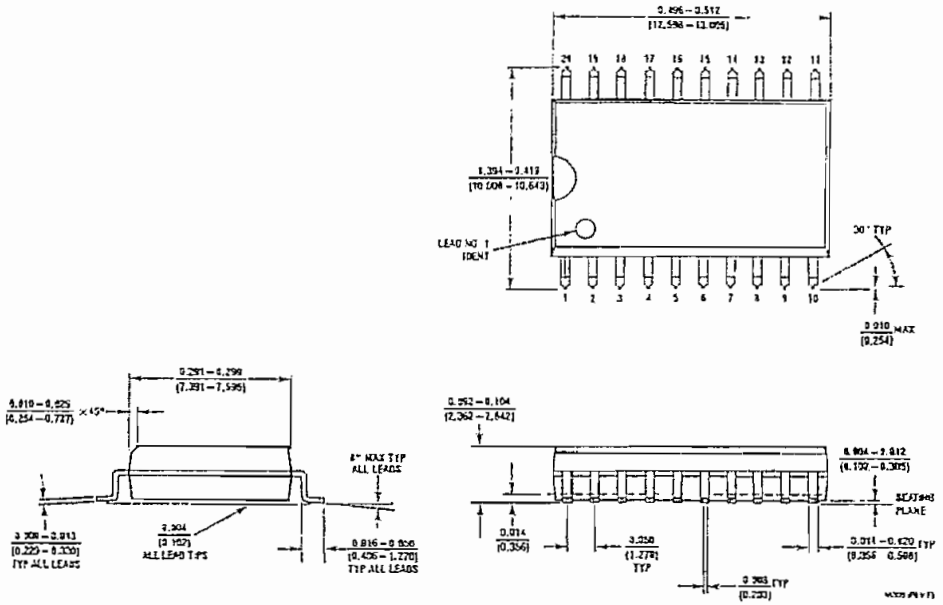
Output Disable = GND



Output Disable = GND

MM74C373 • MM74C374

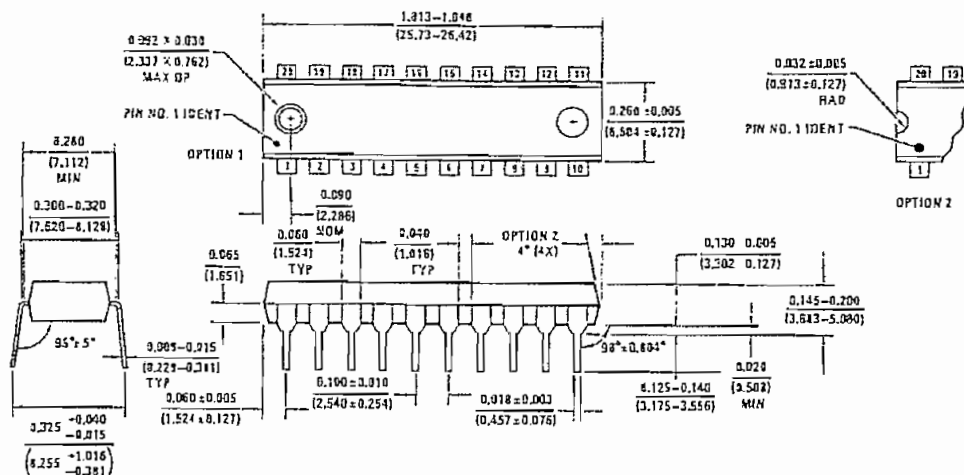
Physical Dimensions inches (millimeters) unless otherwise noted



20-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-013, 0.300" Wide
Package Number M20B

MM74C373 • MM74C374 3-STATE Octal D-Type Latch • 3-STATE Octal D-Type Flip-Flop

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



20-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide Package Number N20A

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

www.fairchildsemi.com

Reproduction of this document is prohibited for use of any company, device, or system, and Fairchild reserves the right at any time without notice to change and modify its specifications.

ANEXO No. 7

FAIRCHILD
SEMICONDUCTOR

October 1987
Revised January 1999

MM74C922 • MM74C923 16-Key Encoder • 20-Key Encoder

General Description

The MM74C922 and MM74C923 CMOS key encoders provide all the necessary logic to fully encode an array of SPST switches. The keyboard scan can be implemented by either an external clock or external capacitor. These encoders also have on-chip pull-up devices which permit switches with up to 50 k Ω on resistance to be used. No diodes in the switch array are needed to eliminate ghost switches. The internal debounce circuit needs only a single external capacitor and can be defeated by omitting the capacitor. A Data Available output goes to a high level when a valid keyboard entry has been made. The Data Available output returns to a low level when the entered key is released, even if another key is depressed. The Data Available will return high to indicate acceptance of the new key after a normal debounce period; this two-key roll-over is provided between any two switches.

An internal register remembers the last key pressed even after the key is released. The 3-STATE outputs provide for easy expansion and bus operation and are LPTTL compatible.

Features

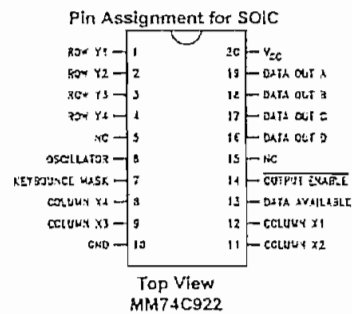
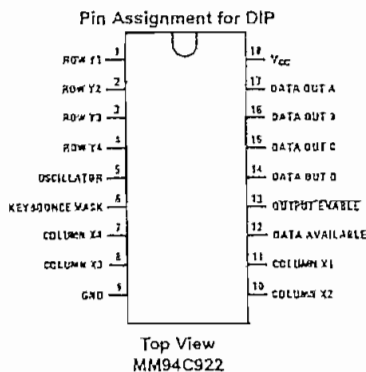
- 50 k Ω maximum switch on resistance
- On or off chip clock
- On-chip row pull-up devices
- 2 key roll-over
- Keybounce elimination with single capacitor
- Last key register at outputs
- 3-STATE output LPTTL compatible
- Wide supply range: 3V to 15V
- Low power consumption

Ordering Code:

Order Number	Package Number	Package Description
MM74C922N	N18A	18-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
MM74C922WM	M20B	20-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-013, 0.300" Wide
MM74C923WM	M20B	20-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-013, 0.300" Wide
MM74C923N	N20A	20-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Device also available in Tape and Reel. Specify by appending suffix letter "X" to the ordering code.

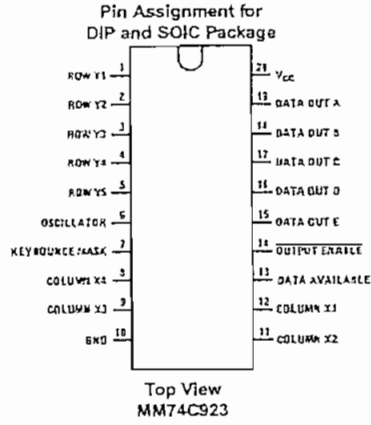
Connection Diagrams



MM74C922 • MM74C923 16-Key Encoder • 20-Key Encoder

MM74C922 • MM74C923

Connection Diagrams (Continued)



Truth Tables

(Pins 0 through 11)

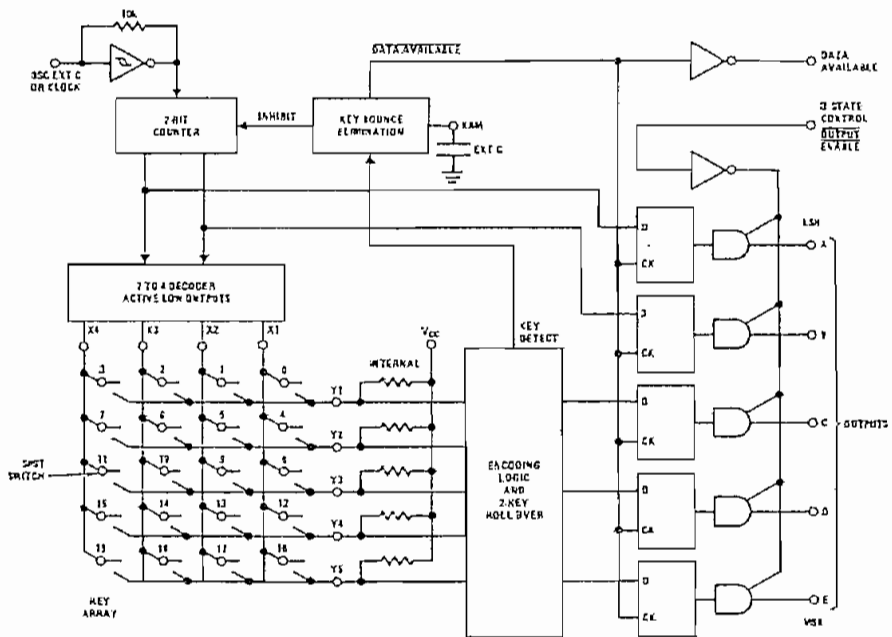
Switch Position	0	1	2	3	4	5	6	7	8	9	10	11
	Y1,X1	Y1,X2	Y1,X3	Y1,X4	Y2,X1	Y2,X2	Y2,X3	Y2,X4	Y3,X1	Y3,X2	Y3,X3	Y3,X4
D												
A A	0	1	0	1	0	1	0	1	0	1	0	1
T B	0	0	1	1	0	0	1	1	0	0	1	1
A C	0	0	0	0	1	1	1	1	0	0	0	0
O D	0	0	0	0	0	0	0	0	1	1	1	1
U E (Note 1)	0	0	0	0	0	0	0	0	0	0	0	0
T												

(Pins 12 through 19)

Switch Position	12	13	14	15	16	17	18	19
	Y4,X1	Y4,X2	Y4,X3	Y4,X4	Y5 (Note 1), X1	Y5 (Note 1), X2	Y5 (Note 1), X3	Y5 (Note 1), X4
D								
A A	0	1	0	1	0	1	0	1
T B	0	0	1	1	0	0	1	1
A C	1	1	1	1	0	0	0	0
O D	1	1	1	1	0	0	0	0
U E (Note 1)	0	0	0	0	1	1	1	1
T								

Note 1: Omit for MM74C922

Block Diagram



MM74C922 • MM74C923

Absolute Maximum Ratings (Note 2)		Operating V_{CC} Range	3V to 15V
Voltage at Any Pin	$V_{CC} - 0.3V$ to $V_{CC} + 0.3V$	V_{CC}	18V
Operating Temperature Range	MM74C922, MM74C923 -40°C to +85°C	Lead Temperature (Soldering, 10 seconds)	260°C
Storage Temperature Range	-65°C to +150°C		
Power Dissipation (P_D)			
Dual-In-Line	700 mW		
Small Outline	500 mW		

Note 2: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

DC Electrical Characteristics

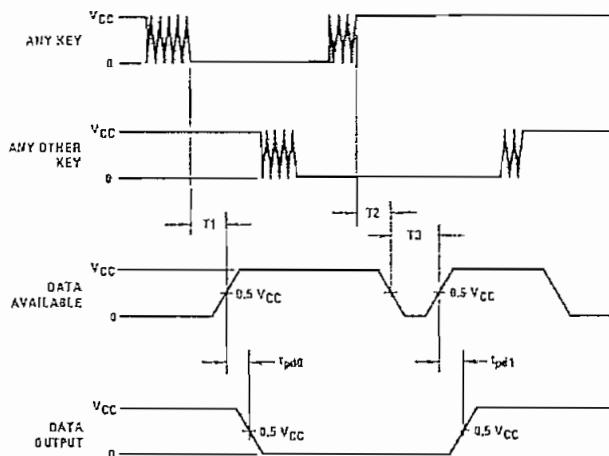
Min/Max limits apply across temperature range unless otherwise specified

Symbol	Parameter	Conditions	Min	Typ	Max	Units
CMOS TO CMOS						
V_{T+}	Positive-Going Threshold Voltage at Osc and KBM Inputs	$V_{CC} = 5V, I_{IH} \geq 0.7 \text{ mA}$ $V_{CC} = 10V, I_{IH} \geq 1.4 \text{ mA}$ $V_{CC} = 15V, I_{IH} \geq 2.1 \text{ mA}$	3.0 6.0 9.0	3.6 6.8 10	4.3 8.6 12.9	V
V_{T-}	Negative-Going Threshold Voltage at Osc and KBM Inputs	$V_{CC} = 5V, I_{IH} \geq 0.7 \text{ mA}$ $V_{CC} = 10V, I_{IH} \geq 1.4 \text{ mA}$ $V_{CC} = 15V, I_{IH} \geq 2.1 \text{ mA}$	0.7 1.4 2.1	1.4 3.2 5	2.0 4.0 6.0	V
$V_{IH(1)}$	Logical "1" Input Voltage, Except Osc and KBM Inputs	$V_{CC} = 5V$ $V_{CC} = 10V$ $V_{CC} = 15V$	3.5 8.0 12.5	4.5 9 13.5		V
$V_{IH(0)}$	Logical "0" Input Voltage, Except Osc and KBM Inputs	$V_{CC} = 5V$ $V_{CC} = 10V$ $V_{CC} = 15V$		0.5 1 1.5	1.5 2 2.5	V
I_{IP}	Row Pull-Up Current at Y1, Y2, Y3, Y4 and Y5 Inputs	$V_{CC} = 5V, V_{IH} = 0.1 V_{CC}$ $V_{CC} = 10V$ $V_{CC} = 15V$		-2 -10 -22	-5 -20 -45	μA
$V_{OUT(1)}$	Logical "1" Output Voltage	$V_{CC} = 5V, I_O = -10 \mu\text{A}$ $V_{CC} = 10V, I_O = -10 \mu\text{A}$ $V_{CC} = 15V, I_O = -10 \mu\text{A}$	4.5 9 13.5			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$V_{CC} = 5V, I_O = 10 \mu\text{A}$ $V_{CC} = 10V, I_O = 10 \mu\text{A}$ $V_{CC} = 15V, I_O = 10 \mu\text{A}$			0.5 1 1.5	V
R_{ON}	Column "ON" Resistance at X1, X2, X3 and X4 Outputs	$V_{CC} = 5V, V_O = 0.5V$ $V_{CC} = 10V, V_O = 1V$ $V_{CC} = 15V, V_O = 1.5V$		500 300 200	1400 700 500	Ω
I_{CC}	Supply Current Osc at 0V, (one Y low)	$V_{CC} = 5V$ $V_{CC} = 10V$ $V_{CC} = 15V$		0.55 1.1 1.7	1.1 1.9 2.6	mA
$I_{IH(1)}$	Logical "1" Input Current at Output Enable	$V_{CC} = 15V, V_{IH} = 15V$		0.005	1.0	μA
$I_{IH(0)}$	Logical "0" Input Current at Output Enable	$V_{CC} = 15V, V_{IH} = 0V$	-1.0	-0.005		μA
CMOS/LPTTL INTERFACE						
$V_{IN(1)}$	Except Osc and KBM Inputs	$V_{CC} = 4.75V$	$V_{CC} - 1.5$			V
$V_{IN(0)}$	Except Osc and KBM Inputs	$V_{CC} = 4.75V$			0.2	V
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_O = -360 \mu\text{A}$ $V_{CC} = 4.75V$ $I_O = -360 \mu\text{A}$	2.4			V
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_O = -360 \mu\text{A}$ $V_{CC} = 4.75V$ $I_O = -360 \mu\text{A}$			0.4	V

DC Electrical Characteristics (Continued)						
Symbol	Parameter	Conditions	Min	Typ	Max	Units
OUTPUT DRIVE (See Family Characteristics Data Sheet) (Short Circuit Current)						
I_{SOURCE}	Output Source Current (P-Channel)	$V_{CC} = 5V, V_{OUT} = 0V,$ $T_A = 25^\circ C$	-1.75	-3.3		mA
I_{SOURCE}	Output Source Current (P-Channel)	$V_{CC} = 10V, V_{OUT} = 0V,$ $T_A = 25^\circ C$	-8	-15		mA
I_{SINK}	Output Sink Current (N-Channel)	$V_{CC} = 5V, V_{OUT} = V_{CC},$ $T_A = 25^\circ C$	1.75	3.6		mA
I_{SINK}	Output Sink Current (N-Channel)	$V_{CC} = 10V, V_{OUT} = V_{CC},$ $T_A = 25^\circ C$	8	16		mA
AC Electrical Characteristics (Note 3)						
$T_A = 25^\circ C, C_L = 50 \text{ pF}$, unless otherwise noted						
Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{PD0}, t_{PD1}	Propagation Delay Time to Logical '0' or Logical '1' from D.A.	$C_L = 50 \text{ pF}$ (Figure 1) $V_{CC} = 5V$ $V_{CC} = 10V$ $V_{CC} = 15V$		60 35 25	150 80 60	ns ns ns
t_{OH}, t_{IH}	Propagation Delay Time from Logical '0' or Logical '1' into High Impedance State	$R_L = 10k, C_L = 10 \text{ pF}$ (Figure 2) $V_{CC} = 5V, R_L = 10k$ $V_{CC} = 10V, C_L = 10 \text{ pF}$ $V_{CC} = 15V$		80 65 50	200 150 110	ns ns ns
t_{F0}, t_{F1}	Propagation Delay Time from High Impedance State to a Logical '0' or Logical '1'	$R_L = 10k, C_L = 50 \text{ pF}$ (Figure 2) $V_{CC} = 5V, R_L = 10k$ $V_{CC} = 10V, C_L = 50 \text{ pF}$ $V_{CC} = 15V$		100 55 40	250 125 90	ns ns ns
C_{IN}	Input Capacitance	Any Input (Note 4)		5	7.5	pF
C_{OUT}	3-STATE Output Capacitance	Any Output (Note 4)		10		pF
Note 3: AC Parameters are guaranteed by DC correlated testing.						
Note 4: Capacitance is guaranteed by periodic testing.						

MM74C922 • MM74C923

Switching Time Waveforms



$T_1 - T_2 \sim RC, T_3 \sim 0.7 RC$, where $R \sim 10k$ and C is external capacitor at KBM input.

FIGURE 1.

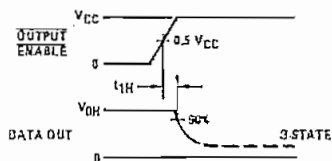
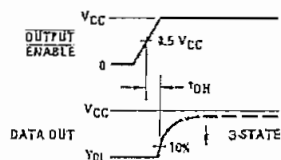
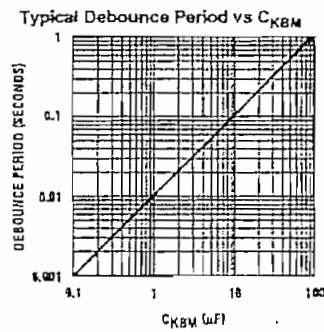
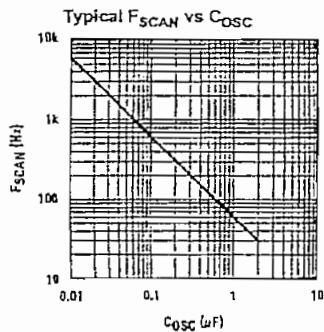
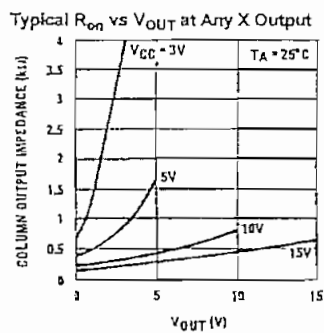
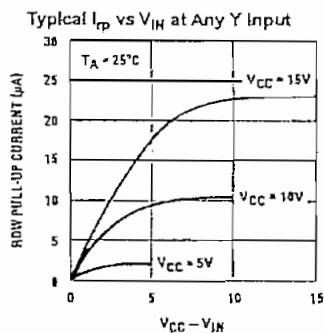


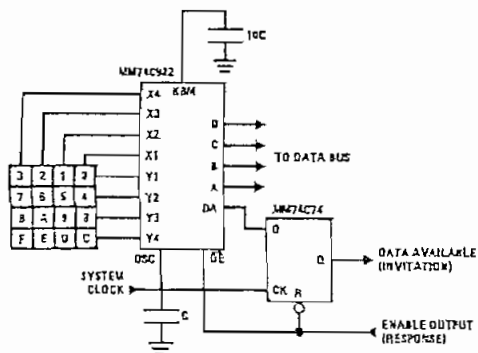
FIGURE 2.

Typical Performance Characteristics



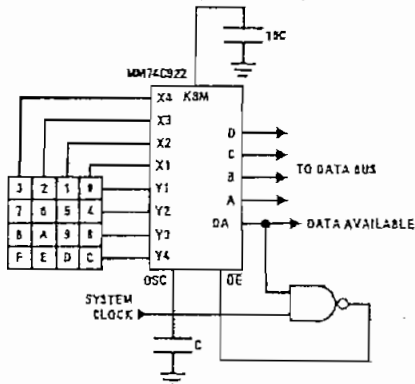
Typical Applications

Synchronous Handshake (MM74C922)



The keyboard may be synchronously scanned by omitting the capacitor at osc, and driving osc, directly if the system clock rate is lower than 10 kHz.

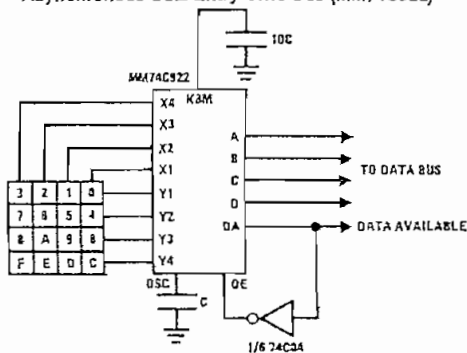
Synchronous Data Entry Onto Bus (MM74C922)



Outputs are enabled when valid entry is made and go into 3-STATE when key is released.

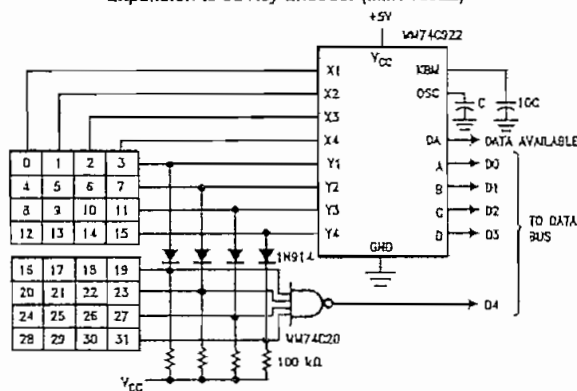
The keyboard may be synchronously scanned by omitting the capacitor at osc, and driving osc, directly if the system clock rate is lower than 10 kHz.

Asynchronous Data Entry Onto Bus (MM74C922)



Outputs are in 3-STATE until key is pressed, then data is placed on bus. When key is released, outputs return to 3-STATE.

Expansion to 32 Key Encoder (MM74C922)



Theory of Operation

The MM74C922/MM74C923 Keyboard Encoders implement all the logic necessary to interface a 16 or 20 SPST key switch matrix to a digital system. The encoder will convert a key switch closer to a 4 (MM74C922) or 5 (MM74C923) bit nibble. The designer can control both the keyboard scan rate and the key debounce period by altering the oscillator capacitor, C_{OSC} , and the key bounce mask capacitor, C_{MSK} . Thus, the MM74C922/MM74C923's performance can be optimized for many keyboards.

The keyboard encoders connect to a switch matrix that is 4 rows by 4 columns (MM74C922) or 5 rows by 4 columns (MM74C923). When no keys are depressed, the row inputs are pulled high by internal pull-ups and the column outputs sequentially output a logic "0". These outputs are open drain and are therefore low for 25% of the time and otherwise off. The column scan rate is controlled by the oscillator input, which consists of a Schmitt trigger oscillator, a 2-bit counter, and a 2-4-bit decoder.

When a key is depressed, key 0, for example, nothing will happen when the X1 input is off, since Y1 will remain high. When the X1 column is scanned, X1 goes low and Y1 will go low. This disables the counter and keeps X1 low, Y1

going low also initiates the key bounce circuit limiting and locks out the other Y inputs. The key code to be output is a combination of the frozen counter value and the decoded Y inputs. Once the key bounce circuit times out, the data is latched, and the Data Available (DAV) output goes high.

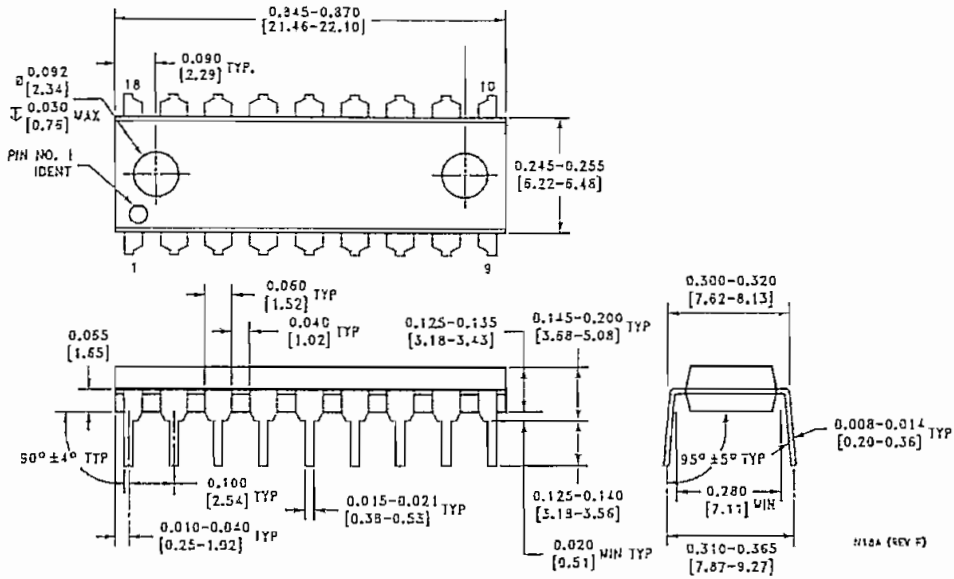
If, during the key closure the switch bounces, Y1 input will go high again, restarting the scan and resetting the key bounce circuitry. The key may bounce several times, but as soon as the switch stays low for a debounce period, the closure is assumed valid and the data is latched.

A key may also bounce when it is released. To ensure that the encoder does not recognize this bounce as another key closure, the debounce circuit must time out before another closure is recognized.

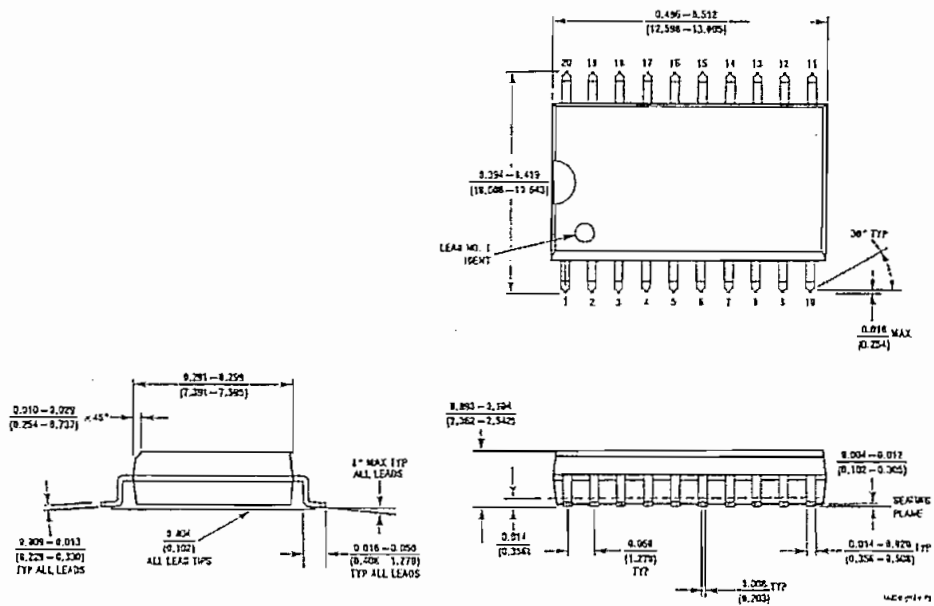
The two-key roll-over feature can be illustrated by assuming a key is depressed, and then a second key is depressed. Since all scanning has stopped, and all other Y inputs are disabled, the second key is not recognized until the first key is lifted and the key bounce circuitry has reset.

The output latches feed 3-STATE, which is enabled when the Output Enable (\overline{OE}) input is taken low.

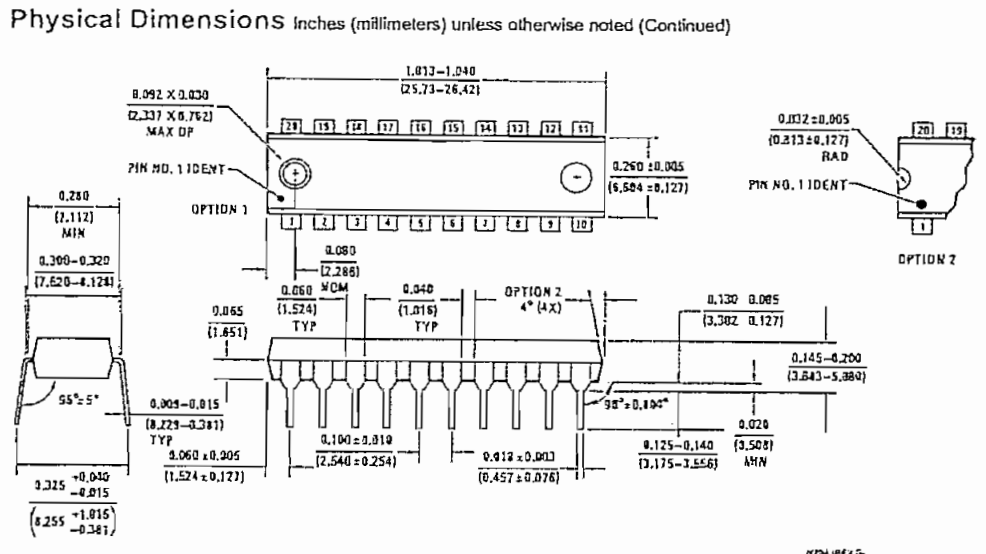
Physical Dimensions Inches (millimeters) unless otherwise noted



18-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide Package Number N18A



20-Lead Plastic Small Outline LC. Package (M) Package Number M20B



20-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
Package Number N20A

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

www.fairchildsemi.com

ANEXO No. 8

Filtros Ecuiladores de segundo orden dise~ados mediante la transformada bilineal¹FILTROS ECUALIZADORES

Parámetros

fs := 48000

k := 1..10

k	fo _k =	Δf _k :=
1	120	60
2	200	100
3	400	200
4	800	400
5	1500	750
6	3000	1500
7	6000	3000
8	12000	6000
9	14000	7000
10	16000	8000

$$g_k := 20 \quad G_k := 10^{\frac{g_k}{20}} \quad \text{exp1}_k := \text{if}(|g_k| > 3, 1, \frac{1}{2})$$

$$\text{exp2}_k := \text{if}(|g_k| \leq 3, 0, 1) \quad \text{exp3}_k := \text{if}(g_k > 3, -1, 1)$$

$$G_{b_k} := \left(10^{\frac{3}{20} \cdot \text{exp3}_k \cdot \text{exp2}_k \cdot G_k} \right)^{\text{exp1}_k} \quad \omega_{o_k} := 2 \cdot \pi \cdot \frac{f_{o_k}}{f_s}$$

$$\Delta \omega_k := 2 \cdot \pi \cdot \frac{\Delta f_k}{f_s} \quad \beta_k := \sqrt{\frac{(G_{b_k})^2 - 1}{(G_k)^2 - (G_{b_k})^2}} \cdot \tan\left(\frac{\Delta \omega_k}{2}\right)$$

$$B_{0_k} := \frac{1 + G_k \cdot \beta_k}{1 + \beta_k} \quad B_{1_k} := -2 \cdot \frac{\cos(\omega_{o_k})}{1 + \beta_k} \quad B_{2_k} := \frac{1 - G_k \cdot \beta_k}{1 + \beta_k} \quad A_{1_k} := -B_{1_k} \quad A_{2_k} := -\frac{1 - \beta_k}{1 + \beta_k}$$

k	B2 _k	B1 _k	B0 _k	A2 _k	A1 _k
1	0.957301	-1.991991	1.034936	-0.992236	1.991991
2	0.929018	-1.986413	1.058077	-0.987094	1.986413
3	0.858939	-1.971647	1.115413	-0.974353	1.971647
4	0.721404	-1.938668	1.227942	-0.949346	1.938668
5	0.488678	-1.870389	1.418354	-0.907032	1.870389
6	0.020627	-1.683246	1.801305	-0.821932	1.683246
7	-0.813322	-1.181084	2.483627	-0.670305	1.181084
8	-2.204305	0	3.621704	-0.417399	0
9	-2.614285	0.347557	3.957142	-0.342857	-0.347557
10	-3.006638	0.63576	4.278159	-0.27152	-0.63576

WRITEPRN("c:\curso\data.dat") :=

B2 _k
B1 _k
B0 _k
A2 _k
A1 _k

REFERENCIA BIBLIOGRAFICA

- i. IGUASI , David, EDWARD Juan, "Tecnología Básica del Sonido I", Editorial Paraninfo, edición México 2001.
- ii. TRIVALDOS, Clemente, "Sonido Profesional", Editorial Paraninfo, edición México 1999.
- iii. SAMIR S, Soliman, "Señales y Sistemas continuos y Discretos ", edición Prentice-Hall, 2^{da} edición.
- iv. ANALOG DEVICES, "ADSP-2100 Family User's Manual", edición USA 1995.
- v. ANALOG DEVICES, "ADSP-2100 Family DSP Microcomputers ADSP-21xx Data Sheet", edición USA 1996.
- vi. ANALOG DEVICES, "ADSP-2100 Family EZ-KIT Lite Reference Manual ", edición Canadá 1995.
- vii. ANALOG DEVICES, "DPS Microcomputer ADSP-2181 Data Sheet", edición USA 1995.
- viii. ANALOG DEVICES, "Digital Signal Processing Applications using the ADSP-2100 Family", edición USA 1995.
- ix. ORFANIDIS, Sophocles J., " Introduction to Signal Processing "
- x. OPPENHEIN, Alan V., SCHAFFER, "Ronald W., Digital Signal Processing ", edición Prentice-Hall, 1975.

- xi. OPPENHEIN, Alan V., SCHAFER, "Ronald W., Discrete-Time Signal Processing ", edición Prentice-Hall, New Jersey , 1985.
- xii. RABINER, Lawrence R., " Digital Signal Processing ", IEEE Press, edición New York 1972.
- xiii. RORABAUGH, C. Britton. , "Digital Filter designer's Handbook ", edición McGraw-Hill, New York 1997.
- xiv. Internet <http://www.ece.rutgers.edu/~orfanidi/intro2sp.html>
- xv. Internet <ftp://ftp.analog.com>
- xvi. Internet <http://www.dspguide.com> (The Scientist and Engineer's Guide to Digital Signal Processing)
- xvii. Internet <http://www.redeya.com>
- xviii. Internet <http://www1.ceit.es>
- xix. Internet <http://www.rane.com> (note 101 Contant-Q Graphic Equalizers), (note 112 Ezpozing Equalizer Mythology), (note 115 Operator Adjustable Equalizers).
- xx. Internet <http://www.ibis.com.co/spanish/ventajas.html>
- xxi. Internet <http://www.fiee.uni.edu.pe>