

ESCUELA POLITÉCNICA NACIONAL

FILTRO DIGITAL  
(PROCESADOR DIGITAL DE SEÑALES)

Tesis Previa a la Obtención del Título de  
Ingeniero en la Especialización de Electrónica de la  
Escuela Politécnica Nacional

\* \* \* \* \*

Daniel E. Rodríguez T.

Quito, diciembre de 1973

Certifico que el presente trabajo ha sido realizado en su totalidad por el señor DANIEL E. RODRIGUEZ T.

Herbert Jacobson M

Ingeniero Heróert Jacobson  
DIRECTOR DE TESIS

## P R E F A C I O

En este trabajo se presenta un tema de actualidad: todavía no lo he hallado recopilado en ningún libro; la información, por el momento, se halla repartida en numerosos artículos publicados en revistas de los últimos años.

Al Doctor Kanti Hore, Decano Encargado de la Facultad, y que constituyó una inyección de espíritu nuevo en el departamento de Electrónica, es a quien debo el impulso inicial que me enrumbo en este trabajo. Al principio la palabra "filtro" me inspiró cierta desconfianza, pero, el tema y el desarrollo han resultado fascinantes y sólo con cierta pena he tenido que recortarlo para darle dimensiones compatibles con las de una tesis.

A pesar de que aparezco como autor no es mi trabajo exclusivo: estas líneas no revelan sino la inspiración de mi director de tesis -Ingeniero Herbert Jacobson-. Yo, sábado a sábado, me he limitado a ver, por encima de su hombro, como surgía el proyecto.

Una tesis no es el resultado del esfuerzo de un individuo ni de un instante. Es un trabajo de grupo que madura lentamente. Y, el presente trabajo que en sí no tiene mayor significación, la adquiere cuando se lo mira co-

mo fruto del departamento de Electrónica, de la Escuela Politécnica, del conglomerado social que le da su razón de ser y la nutre económica y espiritualmente.

Así, pues, como fruto del esfuerzo colectivo de la Escuela, presento esta tesis.

Quito, diciembre de 1973

D. Rodríguez T

## C O N T E N I D O

CAPITULO I: INTRODUCCION . . . . .	1
1. Análisis en el dominio de la frecuencia . . . . .	4
1.1 Serie de Fourier . . . . .	4
1.2 Transformada de Fourier. . . . .	4
1.3 Transformada de Laplace. . . . .	4
1.4 Transformada discreta de Fourier . . . . .	4
1.5 Transformada-z . . . . .	9
1.6 Ejemplo. . . . .	11
1.7 Resumen. . . . .	13
2. Sistemas analógicos y sistemas digitales. . . . .	14
2.1 Sistemas analógicos. . . . .	14
2.2 Sistemas digitales. . . . .	17
3. Filtros en general. . . . .	22
3.1 Filtros pasivos. . . . .	24
3.2 Filtros activos. . . . .	31
3.3 Filtros digitales. . . . .	36
CAPITULO II: FILTROS DIGITALES. . . . .	41
1. Generalidades . . . . .	41
1.1 Simulación . . . . .	41
1.2 Filtrado a tiempo real . . . . .	50
2. Estructuras básicas . . . . .	52
2.1 Filtros no-recursivos. . . . .	53
2.2 Filtros recursivos . . . . .	54
2.3 Otras estructuras. . . . .	56
2.4 Cuadro comparativo de filtros recursivos y no recursivos . . . . .	58
3. Respuesta de duración finita e infinita . . . . .	59

CAPITULO III: DISEÑO DE FILTROS DIGITALES. . . . .	61
1. Diseño en el dominio del tiempo . . . . .	64
2. Muestreo en la frecuencia . . . . .	65
3. Serie de Fourier. . . . .	65
4. Diseño en base a errores constantes . . . . .	68
5. Invariancia impulso . . . . .	69
6. Serie de potencias. . . . .	71
7. Transformación bilineal . . . . .	72
8. Diseños logaritmo-magnitud. . . . .	73
9. Ventanas. . . . .	75
CAPITULO IV: DISEÑO DEL PROCESADOR . . . . .	77
1. Criterios generales . . . . .	78
2. Organización funcional. . . . .	81
3. Características del procesador. . . . .	87
4. Diseño de cada etapa. . . . .	91
4.1 Sistema de tiempos . . . . .	92
4.2 Conversión A/D . . . . .	93
4.3 Interface. . . . .	93
4.4 Memoria principal de muestras. . . . .	94
4.5 Memoria de coeficientes. . . . .	95
4.6 Sistema de carga de coeficientes . . . . .	97
4.7 Resumen. . . . .	100
4.8 El multiplicador/acumulador. . . . .	101
A. Algoritmo de la multiplicación. . . . .	101
B. Diseño del multiplicador. . . . .	105
4.9 Retenedores de datos . . . . .	111
4.10 Conversión D/A. . . . .	111
CAPITULO V: ESTUDIO DEL COMPORTAMIENTO . . . . .	113
1. Experimentación . . . . .	114
1.1 Disposición del experimento. . . . .	114
1.2 Procedimientos de medición . . . . .	116
1.3 Diseño de los filtros probados . . . . .	117

2. Pruebas . . . . .	118
2.1 Filtro pasabajos . . . . .	118
2.2 Influencia de la ventana . . . . .	124
2.3 Filtro pasabanda . . . . .	133
2.4 Diseño en base a las características de fase: línea de demora . . . . .	140
2.5 Simulación: filtro RC de un polo . . . . .	143
2.6 Diferenciador. . . . .	149
2.7 Integrador de tiempo finito. . . . .	152
3. Evaluación del filtro . . . . .	154
3.1 Desarrollo del proyecto. . . . .	154
3.2 Comparación con filtros activos. . . . .	158
4. Aplicaciones. . . . .	160
4.1 Telecomunicaciones . . . . .	160
4.2 Control. . . . .	162
4.3 Otros. . . . .	163
APENDICES . . . . .	167
Apéndice A: Lista de materiales y costo del proyecto	
Apéndice E: Hojas de data de los circuitos más importantes	

## BIBLIOGRAFIA

## SÍMBOLOS UTILIZADOS

- $\mathbb{Z}$  Conjunto de los números enteros  
 $\mathbb{R}$  Conjunto de los números reales  
 $\mathbb{C}$  Conjunto de los números complejos  
 $=$  Igual  
 $\stackrel{\Delta}{=}$  Igual por definición  
 $\in$  Es un elemento del conjunto...  
 $j = \sqrt{-1}$ , unidad imaginaria



CAPITULO I

INTRODUCCION

La tecnología actual al prestar atención preferente a la miniaturización de circuitos de estado sólido ha producido una enorme resonancia -directa e indirecta- en el desarrollo cultural contemporáneo. Difícilmente se podrá encontrar una situación cultural que se haya permitido mantenerse al margen de esta influencia. Y es en el campo de lo técnico donde las repercusiones son más palpables e inmediatas.

La disminución de costo de los circuitos integrados (B51), su mayor confiabilidad, su enorme variedad hace que la aceptación que tengan sea cada vez mayor. De simples entes de laboratorio se convierten en importantes piezas de la industria. Aunque sus aplicaciones a telecomunicaciones se hallan en sus comienzos (B16), (B40), empiezan a popularizarse. Quizá no llame la atención que un país de la capacidad industrial de Estados Unidos haya adoptado sistemas telefónicos que utilicen procesamiento digital en una proporción que está cerca del 20% con relación a la totali-

dad de los sistemas en uso, pero, ya resulta más significativo que países sudamericanos -Venezuela, Brasil, México- estén estudiando contratos con la Ericcson para la instalación de centrales con sistemas de conmutación electrónica.

Algún capítulo entresacado de campo tan prolífico como el de los sistemas digitales resulta digno de estudio. En el presente trabajo se considera la realización de filtros utilizando como piezas básicas los circuitos integrados. Lo que primero llama la atención es la versatilidad. La revista "Electronic Design" (B1) trae a modo de información un artículo que describe las posibilidades de un modelo experimental identificado como ECCI 999. Resulta fascinante su capacidad para producir todo tipo de características de filtrado. En otro artículo (B25) Kurth habla de las aplicaciones que podrían tener filtros digitales para los sistemas de modulación en banda lateral única en el que el problema del filtrado es tan crítico. El último capítulo de este trabajo analizará algunas de las aplicaciones que se puede dar a esta computadora de objeto especializado que es un filtro digital.

En esta introducción se presenta algunos fundamentos matemáticos del análisis de señales tanto en el campo digital como en el analógico. A continuación se hace un recuento de los filtros utilizados en la actualidad y se introduce la idea general de filtro digital.

El capítulo segundo presenta al filtro digital como resultado de una evolución histórica cuyo punto de partida es la simulación de filtros en computadora. Termina dando una idea de las formas en que se puede implementar filtros digitales.

El capítulo tercero es la "teoría del diseño". La literatura da ese nombre a lo que viene a constituir el "software" del filtro digital. Es decir, un procesador digital requiere de programas para su funcionamiento. La teoría del diseño suministra los principios que guían la elaboración de "programas" para la utilización del aparato.

El siguiente capítulo, el cuarto, detalla el funcionamiento del procesador digital. Hace referencia al "hardware". Explica la organización del aparato construido y sus importantes circuitos de control.

El último capítulo, el quinto, presenta y analiza los resultados obtenidos con el filtro digital construido.

## 1. ANALISIS EN EL DOMINIO DE LA FRECUENCIA

La tendencia de los algoritmos que nos permiten pasar del dominio del tiempo al de la frecuencia es expresar una función como suma -o integral- de coeficientes que multipliquen términos de sus respectivas frecuencias. Para efecto de aclarar conceptos y de uniformar notación se pueden resumir las principales características y fórmulas de los desarrollos mencionados.

1.1 SERIE DE FOURIER. Una función periódica  $x: \mathcal{R} \rightarrow \mathcal{C}$  de período  $L$

$$x(t) = x(t-kL) \quad k \in \mathbb{Z}$$

se puede expresar como la suma (B27)

$$x(t) = \sum_{k=-\infty}^{+\infty} \xi_k \exp(j2\pi kt/L) \quad (1.1)$$

llamada desarrollo en serie de Fourier de  $x(t)$ .

La serie converge al valor  $x(t)$  en los puntos de continuidad y al valor medio en los de discontinuidad.

Los  $\xi_n$  son los coeficientes del desarrollo y están dados por

$$\xi_n = \frac{1}{L} \int_0^L x(t) \exp(-j2\pi nt/L) \quad (1.2)$$

1.2 TRANSFORMADA DE FOURIER. Cuando la función no es periódica el desarrollo se convierte en una integral que se conoce como transformada de Fourier de  $x(t)$ .

$$X(\omega) \triangleq \int_{-\infty}^{+\infty} x(t) \exp(-j\omega t) dt \quad (1.3)$$

Y la transformada inversa resulta

$$x(t) = \frac{1}{2\pi} \int_{-\infty}^{+\infty} X(\omega) \exp(j\omega t) d\omega \quad (1.4)$$

1.3 TRANSFORMADA DE LAPLACE. Cuando la frecuencia es compleja ( $s = \sigma + j\omega$ ,  $\sigma, \omega \in \mathbb{R}$ ), tenemos la transformada de Laplace definida por (B27)

$$X(s) \triangleq \int_0^{+\infty} x(t) \exp(-st) dt \quad (1.5)$$

y  $x(t)$  se puede obtener con la fórmula de la inversión compleja

$$x(t) = \frac{1}{2\pi j} \int_{\gamma-j\infty}^{\gamma+j\infty} X(s) \exp(st) ds \quad (1.6)$$

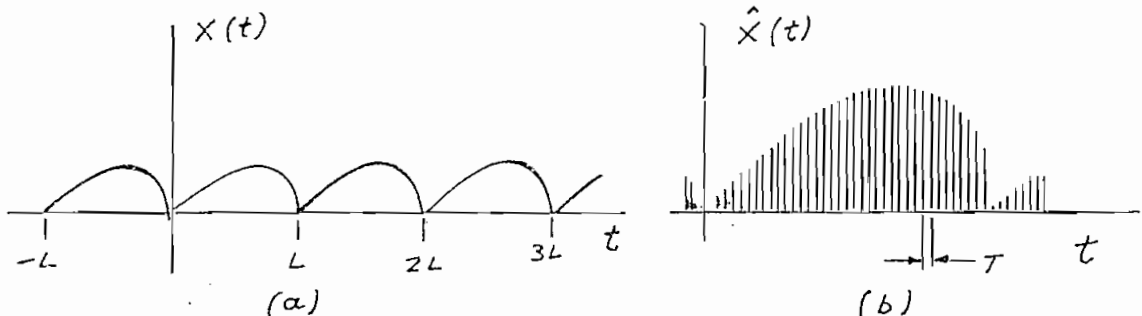
1.4 TRANSFORMADA DISCRETA DE FOURIER. Al observar las fór-

mulas anteriores nos podemos dar cuenta de que se refieren fundamentalmente a funciones continuas; o, por lo menos, seccionalmente continuas en un intervalo. Los métodos anteriores resultaron satisfactorios hasta que el desarrollo de los sistemas digitales creó la necesidad de introducir nuevos algoritmos para manejar funciones discretas.

En el procesamiento de funciones en sistemas digitales se trabaja exclusivamente con una aproximación a la función que se obtiene por muestreo. Esto da lugar a que la matemática de lo discreto ocupe el lugar de la matemática de lo continuo: diferencias discretas en lugar de diferenciales, sumatorios en lugar de integrales.

Consideremos la función continua  $x: \mathbb{R} \rightarrow \mathbb{C}$  y periódica -con período  $L$ - (figura F1.1)

Figura F1.1: Muestreo de una señal periódica



En cada período tomemos N muestras equiespaciadas (F1.1(b)) y formemos una nueva función  $x: \mathbb{R} \rightarrow \mathbb{C}$

$$x(t) = x(t) \delta_T(t)$$

en donde  $\delta_T(t)$  es un tren de impulsos tomados cada T unidades de tiempo.

Como  $x(t)$  es periódica se la puede desarrollar en serie de Fourier. Los coeficientes del desarrollo (según (1.2)) resultan

$$= \frac{1}{NT} \sum_{k=0}^{N-1} x(kT) \exp(-j2\pi nk/N) \quad (1.7)$$

En la práctica resulta más cómodo escoger el valor  $1/N$  en lugar de  $1/(NT)$  como coeficiente del sumatorio\* y la nueva ecuación define lo que se conoce como transformada discreta de Fourier

$$X(n) \triangleq \frac{1}{N} \sum_{k=0}^{N-1} x(kT) \exp(-j2\pi nk/N) \quad (1.8)$$

La transformada inversa será

$$x(nT) = \frac{1}{T} \sum_{k=-\infty}^{+\infty} X(k) \exp(j2\pi nk/N) \quad (1.9)$$

(\*) La definición de transformada discreta no es completamente uniforme en este punto: algunos autores afectan el sumatorio con un factor N o  $N^{-1}$ , otros toman como positivo el exponente.



en forma enteramente análoga al caso continuo.

La transformación discreta es, en consecuencia, una aproximación que calcula los coeficientes de la serie de Fourier en base a muestras tomadas de la señal en lugar de seguir variaciones analógicas. El grado de aproximación que se logra está determinando por la densidad de muestras en cada período.

La ventaja de utilizar muestras radica en que al llevarnos a métodos numéricos amplía enormemente el campo de aplicación de los métodos disponibles para calcular coeficientes. Raras son las funciones periódicas en que los coeficientes de la serie pueden ser obtenidos en forma cerrada, pero, prácticamente para todas las funciones se pueden hallar buenas aproximaciones por medio de suficiente número de muestras.

Para los casos en que se desea calcular gran número de muestras (1024 o más) se utiliza un algoritmo llamado transformada rápida de Fourier que en base a iteraciones permite reducir substancialmente el tiempo de ejecución cuando se utiliza una computadora. En el presente trabajo se hizo uso de una subrutina Fortran proporcionada por el paquete de subrutinas científicas del sistema IBM 360 (B56)

1.5 TRANSFORMADA Z. La transformada de Laplace también tiene su contraparte para funciones discretas. Siguiendo los linamientos anteriores consideremos la función  $\hat{x}: \mathbb{R} \rightarrow \mathbb{C}$  obtenida por muestreo de una función continua y definida sólo para valores positivos de  $t$ ,  $x: \mathbb{R} \rightarrow \mathbb{C}$ , es decir,

$$\hat{x}(t) = x(t) \delta_T(t)$$

La transformada de Laplace resulta:

$$\hat{X}(s) = \sum_{k=0}^{\infty} x_k \exp(-skT) \quad s \in \mathcal{C}$$

Por lo que se puede definir como transformada  $z$  de una función discreta  $\hat{x}: \mathbb{R} \rightarrow \mathbb{C}$  la ecuación

$$X(z) \triangleq \sum_{k=0}^{\infty} x_k z^{-k} \quad z \in \mathcal{C} \quad (1.10)$$

Resulta claro, entonces, que la transformada  $z$  es una transformación del plano- $s$  al plano- $z$  según la ecuación

$$z = \exp(sT)$$

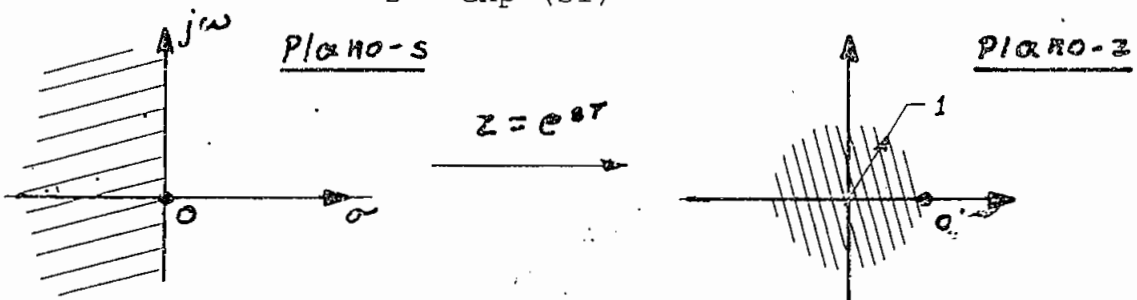


Figura F1.2: Correspondencia entre los planos s y z.

Algunas de las características de la transformación son:

1) El eje imaginario del plano-s se transforma en la circunferencia unitaria. Consecuencia: en el plano-z todas las funciones resultan periódicas, con período  $2\pi/T$ , siendo T el intervalo de muestreo. Ya se conocía que el espectro de frecuencia de una señal muestreada es periódico (B27); el estudio de la transformada-z nos lleva automáticamente a esa conclusión.

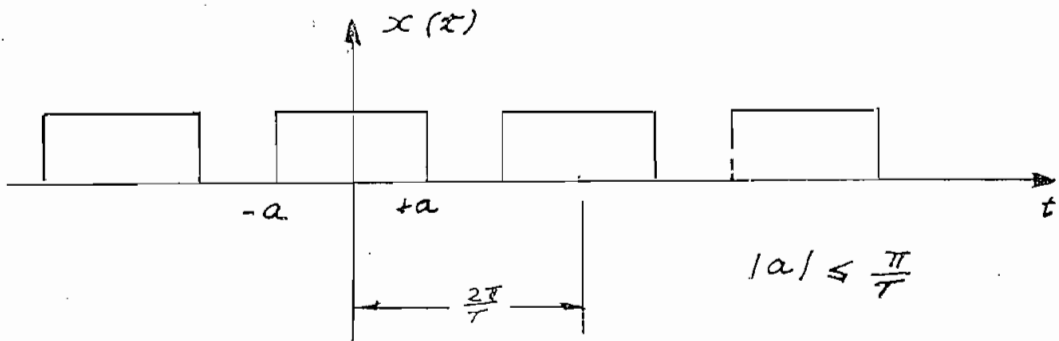
2) El eje real del plano-s se transforma en el punto  $1 + j0$ .

3) El semiplano izquierdo se transforma en el círculo unitario. Consecuencia: como todo sistema estable debe tener sus polos sobre el semiplano izquierdo del plano-s, los deberá tener dentro del círculo unitario del plano-z. El caso límite, sistema oscilante, que se tiene cuando los polos son pares conjugados en el eje imaginario del plano-s queda representado por polos sobre la circunferencia unitaria del plano-z.

La transformada inversa se la puede hallar multiplicando ambos miembros de (1.10) por  $z^{n-1}$ , e integrando a lo largo de un contorno cerrado, C, que contenga todos los polos de X(z) y el origen:

$$x_n = \frac{1}{2\pi j} \oint_C X(z) z^{n-1} dz \quad (1.12)$$

1.6 EJEMPLOS. Aclararemos lo expuesto con un ejemplo. Consideremos la función de la figura F1.3



F1.3 Pulso rectangular

a) Desarrollo en serie de Fourier. Llamemos  $c_n$  a los coeficientes del desarrollo:

$$\begin{aligned} c_n &= \frac{T}{2\pi} \int_{-\pi/T}^{+\pi/T} x(t) \exp(-j2\pi tn / (T)) dt \\ &= \frac{T}{2\pi} \int_{-a}^{+a} \frac{1}{T} \exp(-jtTn) dt \end{aligned}$$

que son los coeficientes correspondientes a la expansión en cosenos de la serie de Fourier.

Se tiene:

$$c_n = \frac{\text{sen}(aTn)}{nT}$$

b) Serie discreta de Fourier. Para comparar, tomemos  $N$  muestras en cada período. Ancho de cada muestra:

$$\Delta t = \frac{2\pi/T}{N} = \frac{2\pi}{NT}$$

El "ancho de banda" comprende M muestras

$$M = \text{Parte entera} \left[ \frac{aNT}{\pi} \right]$$

Llamando  $d_n$  a los coeficientes de la serie discreta, según (1.8) se tiene:

$$d_n = \frac{1}{N} \sum_{k=-(M-1)/2}^{+(M-1)/2} x_k \exp(-j2\pi nk/N)$$

es decir:

$$d_n = \frac{\text{sen}(\pi nM/N)}{NT \text{sen}(\pi n/N)}$$

con la aproximación  $M/N \approx aT/\pi$

se tiene

$$d_n = \frac{\text{sen}(aTn)}{NT \text{sen}(\pi n/N)}$$

c) Paso al límite. ¿Qué pasaría si hubiéramos tomado mayor número de muestras? Para establecerlo tomemos el límite cuando N tiende a infinito.

$$\lim_{N \rightarrow \infty} d_n = \lim_{N \rightarrow \infty} \frac{\text{sen}(aTn)}{NT \text{sen}(\pi n/N)}$$

Para levantar la indeterminación podemos introducir la nueva variable K:  $K = 1/N$

$$\lim_{N \rightarrow \infty} d_n = \lim_{K \rightarrow 0} d_n = \frac{\text{sen}(aTn)}{T \lim_{K \rightarrow 0} \left( \frac{\text{sen}(\pi nK)}{K} \right)}$$

Y, finalmente,

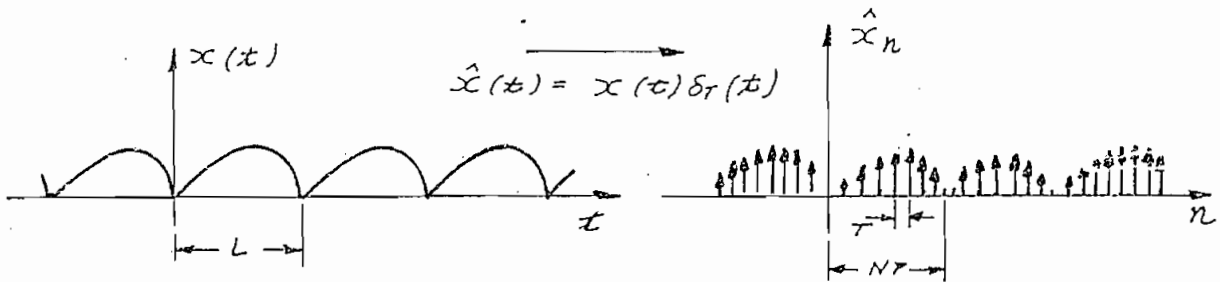
$$\lim_{N \rightarrow \infty} d_n = \frac{\text{sen}(aTn)}{\pi nT}$$

Llegamos a la significativa conclusión de que en el límite ambos desarrollos coinciden.

1.7 RESUMEN. En forma gráfica, figura Fl.4, se presenta un resumen del material tratado.

DESARROLLO EN SERIE  
DE FOURIER

TRANSFORMADA DISCRETA  
DE FOURIER



Coeficientes:

$$\xi_n = \frac{1}{L} \int_0^L x(t) e^{-j2\pi n t/L} dt$$

$$\hat{\xi}_n = \frac{j}{N} \sum_{k=0}^{N-1} \hat{x}_k e^{-j2\pi n k/N}$$

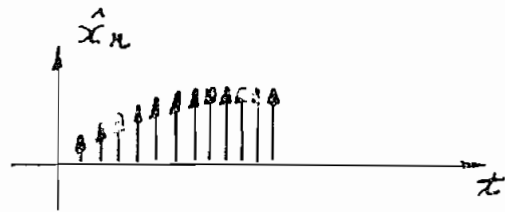
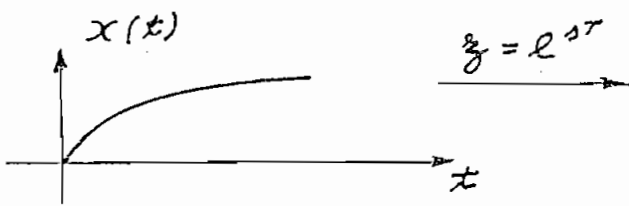
Serie:

$$x(t) = \sum_{n=-\infty}^{+\infty} \xi_n e^{j2\pi n t/L}$$

$$\hat{x}_n = \sum_{k=-\infty}^{+\infty} \hat{\xi}_k e^{j2\pi n k/N}$$

TRANSFORMADA DE  
LAPLACE

TRANSFORMADA-Z



$$X(s) = \int_0^{+\infty} e^{-s t} x(t) dt$$

$$\hat{X}(z) = \sum_{k=0}^{\infty} x_k z^{-k}$$

$$x(t) = \frac{1}{2\pi j} \int_{r-j\infty}^{r+j\infty} e^{s t} X(s) ds$$

$$\hat{x}_n = \frac{1}{2\pi j} \oint \hat{X}(z) z^{n-1} dz$$

Fl.4 Correspondencia entre el dominio del tiempo y el de la frecuencia

## 2. SISTEMAS ANALOGICOS Y SISTEMAS DIGITALES

2.1 SISTEMA ANALOGICO. Entre la enorme variedad de sistemas físicos existentes tienen particular importancia los sistemas lineales invariantes en el tiempo. Si el sistema es además continuo se lo puede describir con ecuaciones diferenciales lineales de coeficientes constantes. La respuesta,  $y(t)$ , a la excitación  $x(t)$  es la solución general de la ecuación diferencial

$$y(t) + \sum_{k=1}^{N-1} b_k \frac{d^k y}{dt^k} = \sum_{k=0}^{M-1} a_k \frac{d^k x}{dt^k} \quad (1.13)$$

Los autovalores de este tipo de ecuación (B7) son funciones de la forma:

$$x(t) = \exp(\lambda t)$$

es decir, que la respuesta a una excitación de esa forma es también, de esta forma, y sólo difiere en una constante de proporcionalidad:

$$y(t) = Ax(t) = A \exp(\lambda t)$$

La representación del sistema puede hacerse en el



dominio de la frecuencia tomando la transformada de Laplace de ambos miembros de (1.13). Suponiendo condiciones iniciales cero se tiene:

$$Y(s) + \sum_{k=1}^{N-1} b_k s^k Y(s) = \sum_{k=0}^{M-1} a_k s^k X(s)$$

lo que da la función de transferencia

$$H(s) \triangleq \frac{Y(s)}{X(s)} = \frac{\sum_{k=0}^{M-1} a_k s^k}{1 + \sum_{k=1}^{N-1} b_k s^k}$$

Es decir,  $H(s)$  es el cociente de dos polinomios en  $s$ , y, es, por tanto, una función racional.

$$H(s) = \frac{A(s)}{B(s)}$$

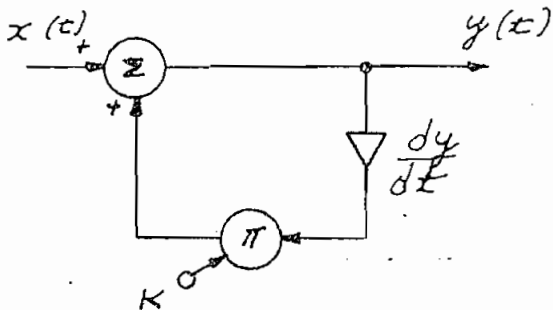
$$A(s) = \sum_{k=0}^{M-1} a_k s^k \quad B(s) = \sum_{k=0}^{N-1} b_k s^k, \quad b_0=1$$

Una función de este tipo queda caracterizada por sus  $M-1$  ceros y sus  $N-1$  polos.

La respuesta a la frecuencia de un sistema analógico es, simplemente,  $H(j\omega)$ .

Como ejemplo ilustrativo se puede estudiar el sistema representado en la figura F1.5, y descrito por la ecuación diferencial

$$K \frac{dy}{dt} - y(t) = -x(t)$$



F1.5 Sistema Analógico

Bajo condiciones iniciales

$$y(0) = 1$$

y excitación impulso

$$x(t) = \delta(t)$$

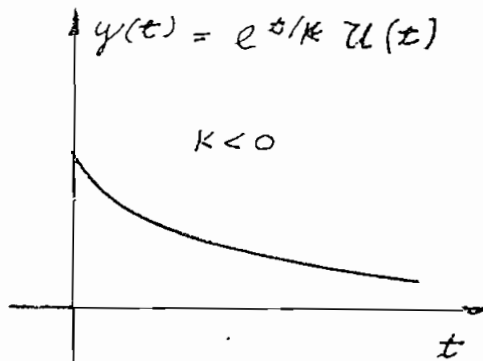
la respuesta resulta:

$$y(t) = \exp(t/K)$$

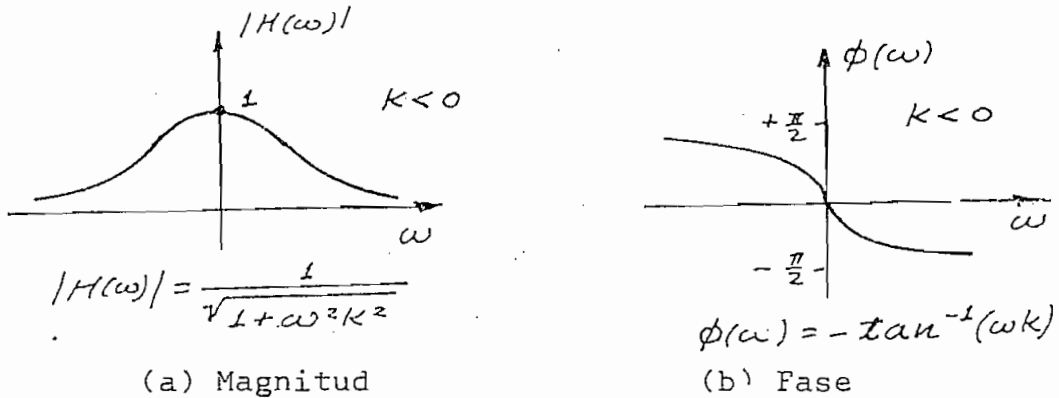
Ver la figura F1.6

La respuesta de frecuencia se la puede obtener a partir de la transformada de Laplace de la ecuación que define el sistema:

$$KsY(s) - Y(s) = -X(s)$$



F1.6 Respuesta del sistema analógico



F1.7 Respuesta a la frecuencia del sistema analógico

La función de transferencia es

$$H(s) = \frac{-1}{1 - Ks}$$

La respuesta a la frecuencia se obtiene mediante la sustitución de  $s$  por  $j\omega$

$$H(j\omega) = \frac{-1}{1 - j\omega K}$$

La función  $H(j\omega)$  aparece representada en la figura F1.7 en magnitud ( $|H(\omega)|$ ) y en fase ( $\phi(\omega)$ )

2.2 SISTEMA DIGITAL. Un sistema digital difiere de un analógico en que las variables de entrada y salida no son continuas sino discretas, es decir, están dadas sólo en ins-

tantes y no durante lapsos. La incidencia que este tiene en la representación matemática es que la ecuación diferencial vista anteriormente se transforma en ecuación de diferencias finitas

$$y_n + \sum_{k=1}^{N-1} b_k y_{n-k} = \sum_{k=0}^{M-1} a_k x_{n-k}$$

Los autovalores de esta ecuación son funciones de la forma (B7):

$$y_n = z^n, \quad z \in \mathcal{C}, \quad n \in \mathbb{Z}$$

Tomada la transformada-z de la ecuación se obtiene

$$H(z) = \frac{Y(z)}{X(z)} = z^{N-M} \frac{\sum a_k z^k}{1 + \sum b_k z^k}$$

Se conoce como respuesta a la frecuencia de un sistema digital -en forma similar a la de un sistema analógico- la respuesta a funciones sinusoidales muestreadas

$$x_n = \exp(j\omega Tn)$$

en donde T es el período de muestreo. Debido a que tienen formas de autovalores la respuesta será de la misma forma

$$y_n = Ax_n = A \exp(j\omega Tn)$$

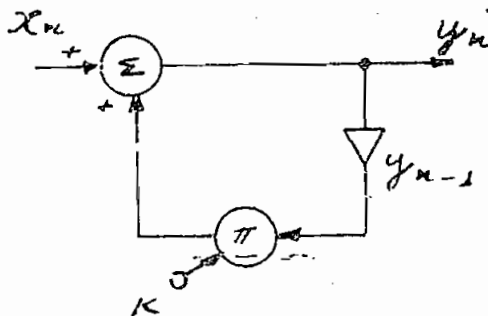
Se demuestra (B7), (B33) que la respuesta de frecuencia de un sistema digital es  $H(\exp(j\omega T))$  siendo T el período

do de muestreo.

Este resultado tiene gran importancia. En primer lugar, nos dice que la respuesta de frecuencia de un sistema digital es continua. Es decir, el hecho de que tanto la entrada como la salida del sistema sean discretas no implica que el sistema responda en puntos de frecuencia sino que es capaz de manejar todo el espectro.

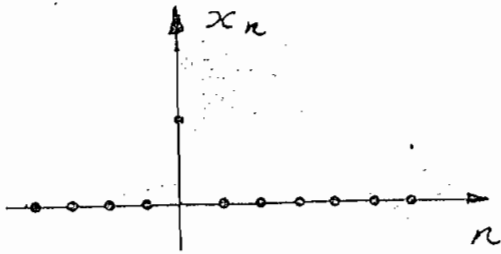
Una segunda consecuencia se deduce de la periodicidad de la función  $\exp(j\omega T)$ . Cada incremento de  $2\pi/T$  radianes en el argumento de la función nos lleva al mismo valor de ésta: la respuesta es periódica y de período  $2\pi/T$ .

Como ejemplo de ilustración se ha tomado uno similar al presentado al estudiar el caso analógico y está descrito en la siguiente figura (F1.8).

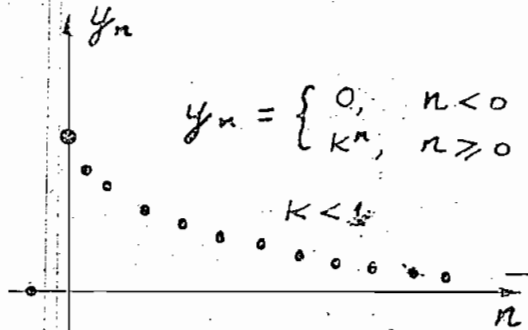


$$Ky_{n-1} + x_n = y_n$$

F1.8 Sistema Digital



(a)



(b)

F1.9 (a) Excitación y (b) Respuesta del sistema digital

Suponiendo condiciones iniciales de reposo:  $y_n = 0$  para todo  $n$  menor que cero; y excitación mediante la secuencia (F1.9(a))

$$x_n = \begin{cases} 1, & n = 0 \\ 0, & n \neq 0 \end{cases}$$

que juega un papel similar a la función impulso en los sistemas analógicos.

La secuencia respuesta es:

$$y_n = \begin{cases} 0, & n < 0 \\ K^n, & n \geq 0 \end{cases}$$

representada en la figura F1.9(b).

La función de transferencia en el plano  $z$  es

$$H(z) = \frac{1}{1 - Kz^{-1}}$$

La respuesta de frecuencia del sistema será entonces:

$$H(\exp(j\omega T)) = \frac{1}{1 - K \exp(-j\omega T)}$$

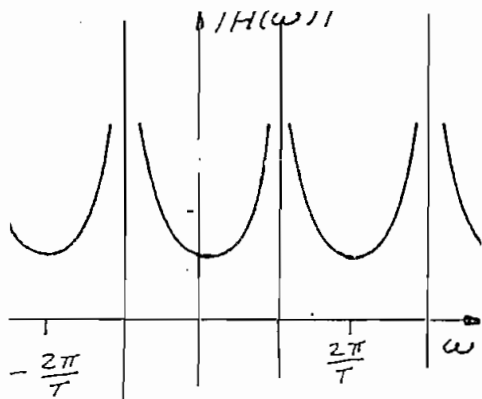
En la figura F1.10 se han trazado las curvas correspondientes a la magnitud y a la fase para el valor  $K=-1$ .

Magnitud:

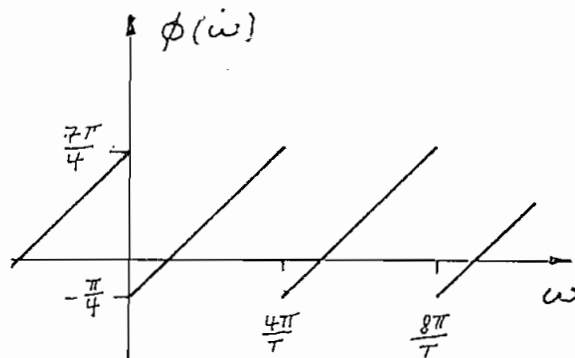
$$|H(e^{j\omega T})| = \frac{1}{\sqrt{1 + K^2 - 2K \cos(\omega T)}}$$

Fase:

$$\phi(\omega) = -\tan^{-1} \left( \frac{\sin(\omega T)}{\cos(\omega T) - K} \right)$$



(a) Magnitud



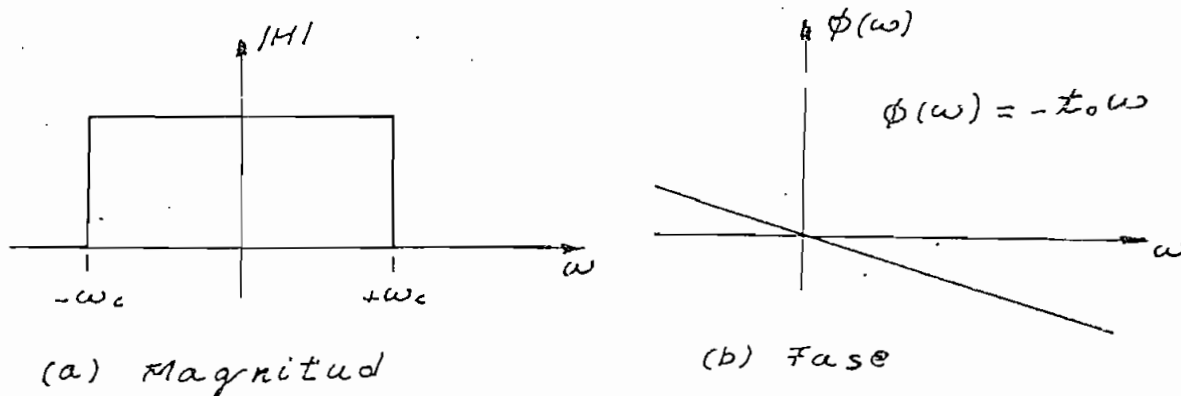
(b) Fase

F1.10 Características de frecuencia del sistema digital, para  $K = -1$ .

### 3. FILTROS EN GENERAL

En el campo de telecomunicaciones, más que en otros, se destaca la importancia de los filtros. No es posible imaginar ningún tipo de modulación en el que no se utilicen éstos elementos como bloques esenciales del proceso. Sin embargo, son los elementos que en la actualidad más dificultad presentan en ajustarse a sus modelos ideales. Si se logran filtros más perfectos la simplificación de los sistemas de telecomunicaciones sería un hecho.

Consideremos el caso concreto de un filtro pasa-bajos a modo de ejemplo. La función de transferencia en la frecuencia indicase en la figura F1.11.



F1.11 Función de transferencia de un filtro pasabajos



La magnitud es una función compuesta y la fase es lineal. Ahora bien, resulta que esa función no es físicamente realizable: no satisface el criterio de Paley-Wiener (B27, pág. 252). Lo mismo sucede con otros tipos de filtros: pasa-altos, pasa-banda, elimina-banda, etc.

El problema de construir filtros ideales es, pues, un problema sin solución, pero, queda el recurso de contentarse con una aproximación que satisfaga restricciones que creamos convenientes: en algunos casos se necesitará gran ancho de banda y habrá que sacrificar la ganancia, por ejemplo. Pero, inclusive este tipo de aproximaciones presenta dificultades y de los resultados a que se llega no puede decirse que sean altamente satisfactorios.

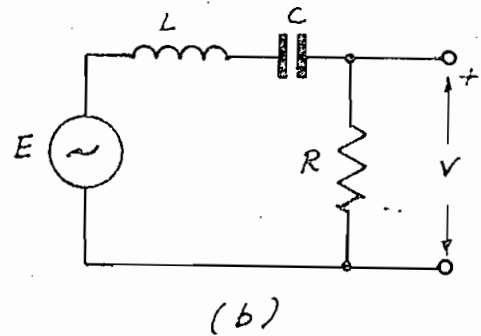
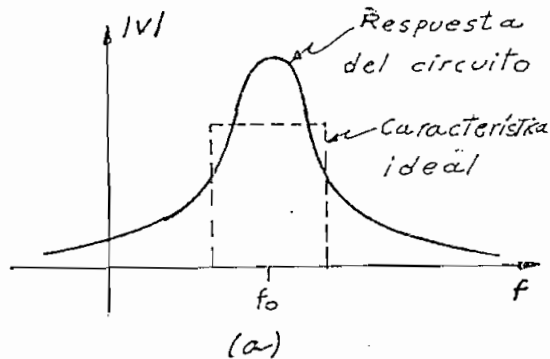
La naturaleza del problema que se presenta cuando se requiere un filtro está estrechamente vinculado al rango de frecuencia de operación. A grosso modo se puede decir que en baja frecuencia los filtros activos son los más utilizados (B18), para alta frecuencia los pasivos resultan casi siempre satisfactorios (B17) y en rangos más altos -micro-ondas- se aprovechan las capacitancias e inductancias distribuídas de las líneas de transmisión y guías de onda (B22), complementándose, en caso de que haga falta, con circuitos de estado sólido especiales para dicha frecuencia. Además,

tenemos, -tema del presente estudio- los filtros digitales que tienen aplicación en frecuencias inferiores a unos 40MHZ (B25), límite de operación de los circuitos digitales actuales.

Tanto filtros activos como pasivos se construyen a base de elementos inductivos y capacitativos que tiene la peculiaridad de almacenar energía en forma de campos magnéticos o eléctricos. En consecuencia, la respuesta de este sistema en un instante dado depende no solo de las condiciones -voltajes, corrientes- en ese instante, sino, también, de las que obraron sobre él en el pasado y le forzaron a acumular energías: el efecto del filtrado depende de la señal y del pasado de la señal.

En los filtros digitales también se logrará que la respuesta dependa de las condiciones anteriores: simplemente se tomarán muestras de la señal y se las almacenará en registros digitales (o memorias estáticas) en forma de números binarios. De ahí la posibilidad de obtener una acción filtrante en estos sistemas.

2.1 FILTROS PASIVOS. La idea básica es aprovechar las características selectivas de un circuito resonante para considerarlas como filtro ideal. La aproximación no es buena: la figura F1.12 lo demuestra.

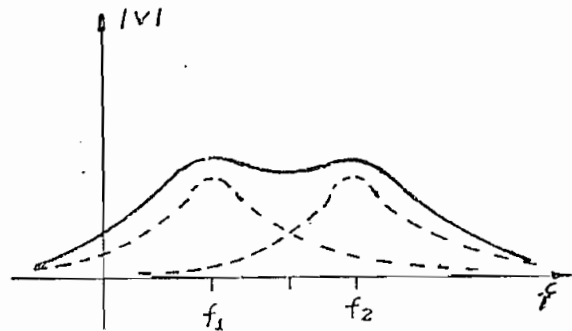


F1.12 Circuito resonante interpretado como filtro pasabanda

En la práctica para mejorar la respuesta se utilizan varias etapas, cada una con su respectiva frecuencia central (figura F1.13) y se consigue mejores resultados, pero, no olvidemos: se trata de aproximaciones más o menos buenas; el problema en sí no tiene solución.

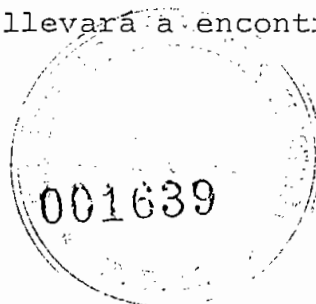
Para analizar brevemente el principio de operación de los filtros pasivos consideremos el esquema de la figura

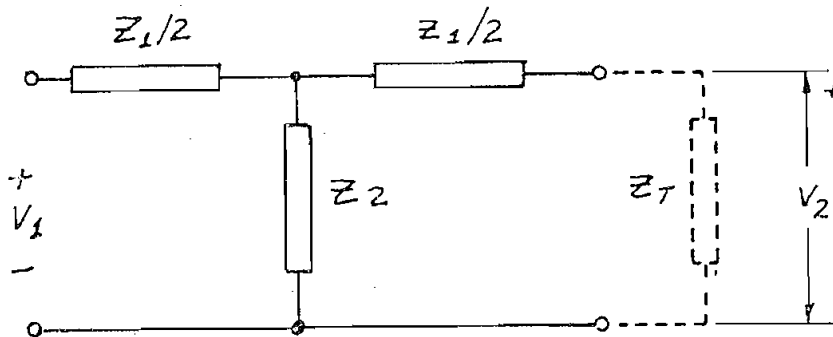
F1.14, llamada configuración T-simétrica.



F1.13 Aproximación a un filtro con dos etapas

Un análisis elemental nos llevará a encontrar la





F1.14 T-simétrica

función de transferencia (H) de voltajes, considerando que la T-simétrica está terminada en su impedancia característica ( $Z_T$ ):

$$H \triangleq \frac{V_2}{V_1} = \frac{1}{2u + 1 + \sqrt{2u + u^2}} \quad (1.11)$$

siendo u el parámetro:  $u \triangleq Z_1/4Z_2$

Es interesante analizar (1.11). El radical de H determina las características de la función de transferencia.

(\*) Impedancia característica para la sección T-simétrica

$$Z_T = \sqrt{Z_1 Z_2} \sqrt{1 + \frac{Z_1}{4Z_2}}$$

Según (B21), pág. 277, eq. 12.12

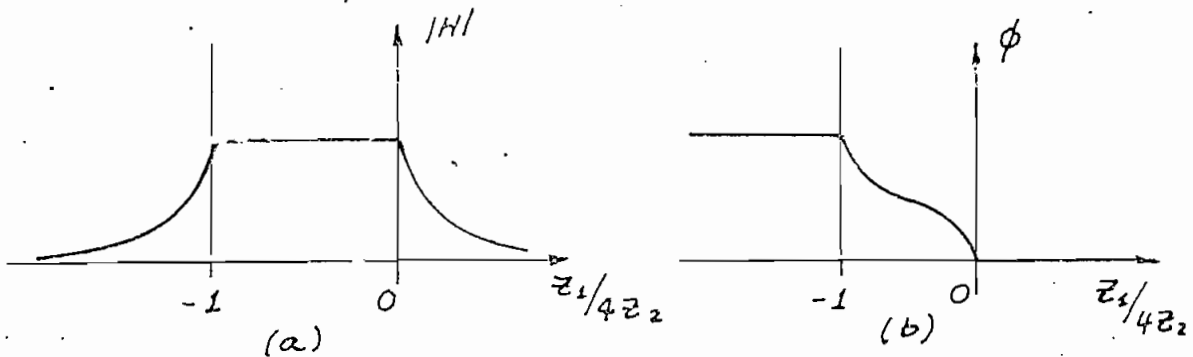
Consideremos dos casos muy generales:

(a) Si  $2u + u^2$  es positivo, entonces, H es real:

la fase sólo puede ser  $0$  ó  $\pi$

(b) Si  $2u + u^2$  es negativo, H es complejo.

Ahondando un poco más el análisis y siguiendo esta misma línea de razonamiento (B21) nos sorprenderemos al encontrar una cierta región ( $-1 \leq u \leq 0$ ) en que las señales pasan sin ninguna atenuación. Esta región constituye la banda de paso, y las otras dos laterales, las de atenuación. El gráfico se presenta en la figura F1.15.

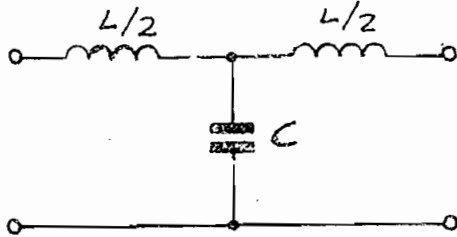


F1.15 Función de transferencia de la sección T-simétrica

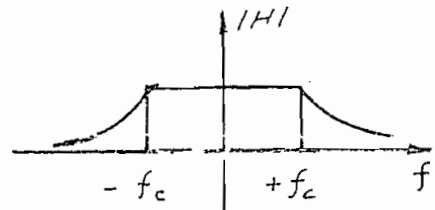
Dentro de la banda de paso todavía no se tiene un filtro ideal: la fase no resulta lineal. Sin embargo, este fenómeno es, en la mayor parte de los casos, de menor importancia, y lo que realmente resulta molesto es que el lími-

te entre las bandas de paso y de atenuación resulte tan impreciso.

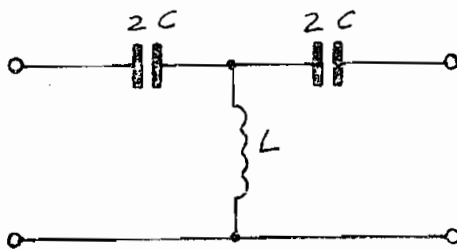
En los circuitos prácticos se excluyen sistemáticamente los elementos resistivos por ser causantes de pérdidas y las impedancias dibujadas en los diagramas anteriores son mas bien impedancias puras y por lo tanto función de la frecuencia. Escogiendo adecuadamente los valores de las capacitancias e inductancias se pueden conseguir filtros que realicen diversas funciones. La figura F1.16 presenta esquemas básicos frecuentemente utilizados.



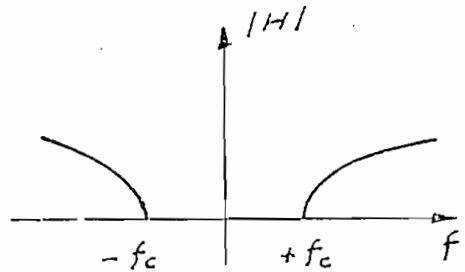
FILTRO PASABAJOS



(a)

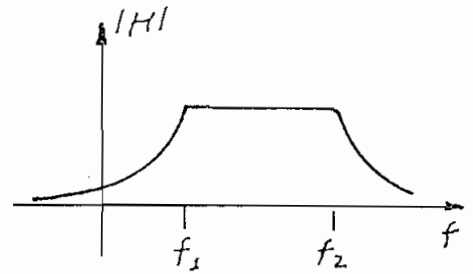
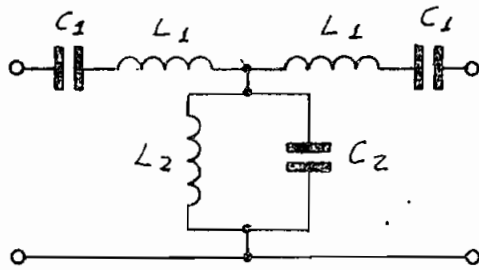


FILTRO PASA-ALTOS



(b)

F1.16 Etapas típicas de filtros pasivos

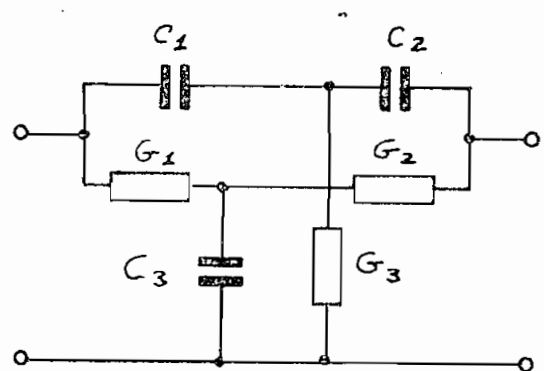
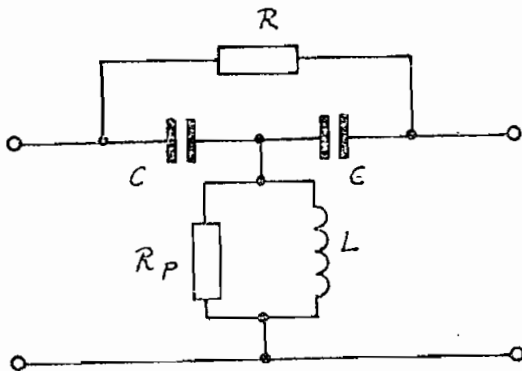


FILTRO PASABANDA

(c)

F1.16 Etapas típicas de filtros pasivos

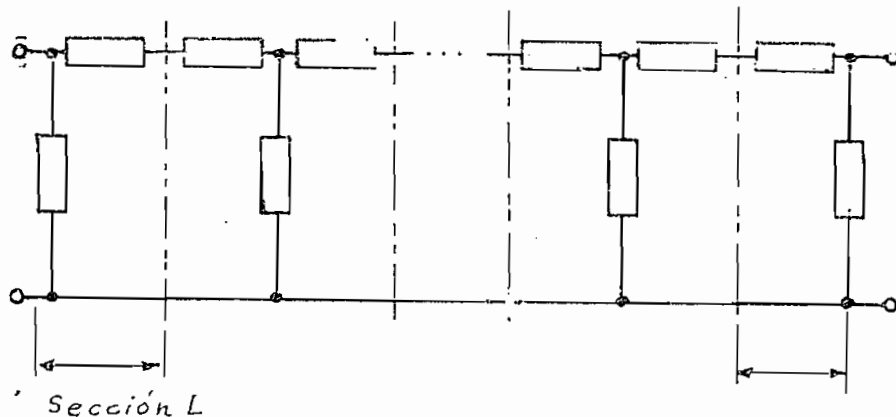
Lo usual es no conformarse con una sólo de las estructuras básicas sino encadenarlas dando lugar a "escaleras". Cada sección tiene frecuencias de corte diferentes con lo que se puede aumentar el ancho de banda. Se logra mejorar las características utilizando eslabones más elaborados como la T-punteada y la T-paralelo de la figura F1.17. El circuito F1.17(b), por ejemplo, es más apropiado para bajas frecuencias por carecer de inductancias.



F1.17 (a) T-punteada

(b) T-paralelo

Una dificultad adicional se presenta en la práctica. El desarrollo teórico anterior se hizo para el supuesto de que el filtro estaba perfectamente acoplado con la carga, es decir, terminaba en su impedancia característica. Sin embargo, como esta impedancia es función de la frecuencia esta situación se mantiene solamente en una frecuencia dada y fuera de ella ya se presentan problemas de acoplamiento. Una solución parcial a la dificultad es construir secciones de acoplamiento, por lo general secciones L, y entonces el filtro recibe el nombre de prototipo-m, presentando la configuración indicada en la figura F1.18.



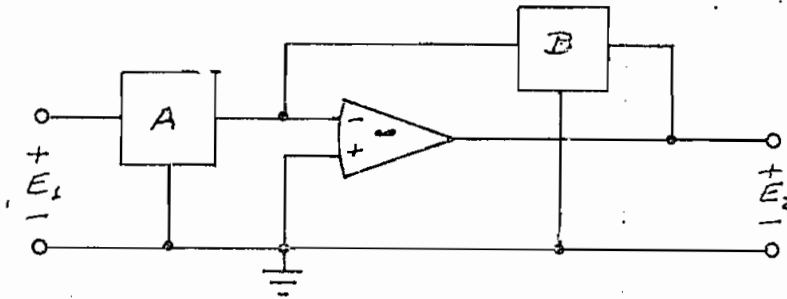
F1.18 Filtro con secciones L de acoplamiento

La ligera descripción anterior nos da idea de las dificultades con las que topa -desde el punto de vista teórico- la construcción de filtros pasivos ideales.



Limitaciones en los valores que en la práctica podemos obtener para inductancias, resistencias parásitas, desajustes en el acoplamiento, etcétera, son factores que también perjudican la respuesta que se puede obtener de un filtro pasivo.

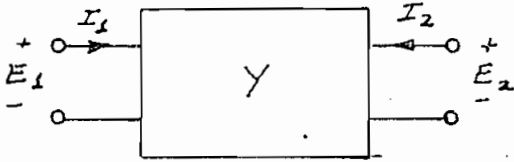
2.2 FILTROS ACTIVOS. Para aprovechar las ventajas de las redes pasivas se puede pensar en un sistema de amplificación que acentúe las características favorables de la respuesta e inhiba las desfavorables (B18). Muchos circuitos a base de amplificadores operacionales se han propuesto; uno de los más elementales es el de la figura F1.19.



F1.19 Circuito con realimentación simple

Los bloques "A" y "B" representan redes pasivas de dos pares de terminales caracterizadas por sus parámetros de admitancia.

La función de transferencia del circuito de la figura



$$I = YE$$

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} \begin{bmatrix} E_1 \\ E_2 \end{bmatrix}$$

F1.20 Red de dos pares de terminales

F1.19 es:

$$H \triangleq \frac{E_2}{E_1} = - \frac{Y_{12A}}{Y_{12B}} \quad (1.12)$$

(Según Huelsman, (B18), pág. 19, fórmula (5))

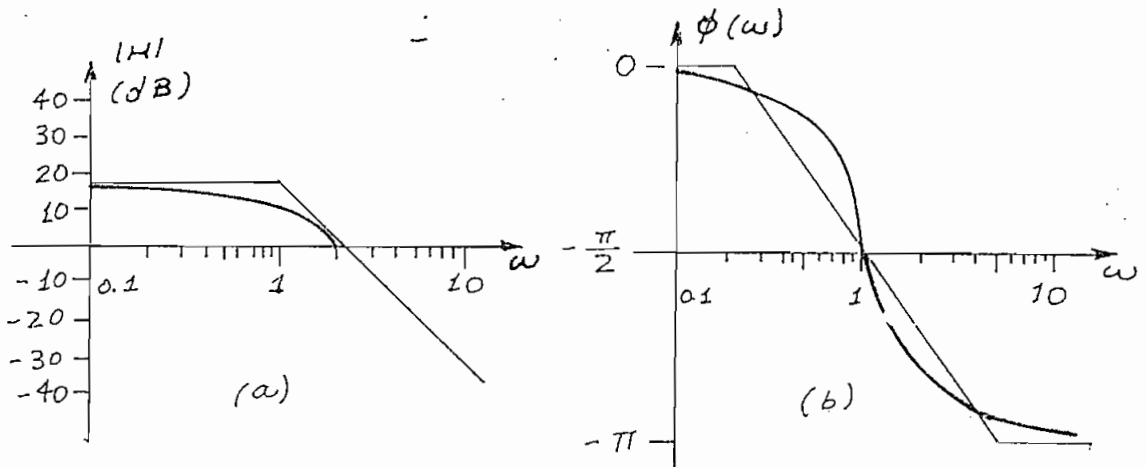
Es decir, se tiene el significativo resultado de que las características de los filtros activos vienen determinadas únicamente por las admitancias de transferencia de las redes de realimentación.

La función que el filtro deba realizar se conseguirá dándole a la respuesta una forma que se aproxime, en lo posible, a la característica del filtro ideal. Como ejemplo ilustrativo consideremos el caso de un filtro pasabajos.

La figura F1.21 es una gráfica, en escalas logarítmicas de

$$H = - \frac{P}{s^2 + as + 1} \quad (1.13)$$

Podemos, con cierta elasticidad de criterio, considerar a (1.13) como una aproximación a la función compuerta

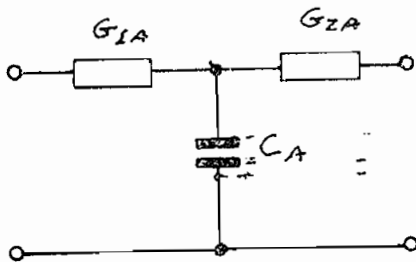


F1.21 Diagram de Bode de la ecuación (1.13) típica de un filtro pasabajos.

El parámetro "a" añade la posibilidad de obtener diversas respuestas. El valor dibujado,  $a = \sqrt{2}$  corresponde a un filtro Butterworth, es decir, el que produce la respuesta "más plana posible".

Para que la respuesta del filtro F1.19 corresponda a la ecuación (1.13) basta seleccionar redes de realimentación adecuadas.

1. La red "A" puede ser una T-simétrica (F1.22) cuya admitancia de transferencia ( $Y_{12A}$ ) es:

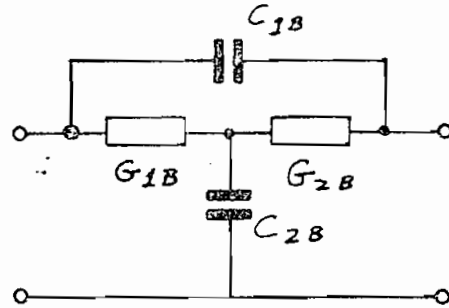


$$Y_{12A} = \frac{G_{1A}G_{2A}/C_A}{s + \frac{G_{1A} + G_{2A}}{C_A}}$$

F1.22 T-simétrica

(1.14)

$$- Y_{12B} = \frac{A(s^2 + as + b)}{s + a} \quad (1.15)$$



F1.23 T-punteada

2. Para la red "B" tomemos la configuración de la figura F1.23 con admitancia de transferencia ( $y_{12B}$ ) según la ecuación (1.15), en que los parámetros tienen los siguientes valores:

$$A = C_{1B}, \quad a = \frac{G_{1B} + G_{2B}}{G_{2B}}, \quad b = \frac{G_{1B} G_{2B}}{C_{1B} C_{2B}}$$

Con lo anterior, para la función de transferencia del circuito de F1.19, según (1.12), se tiene:

$$H = - \frac{y_{12A}}{y_{12B}} = - \frac{G_{1A} G_{2A} / C_A}{s + (G_{1A} + G_{2A}) / C_A} \times \frac{s + a}{A(s^2 + as + b)} \quad (1.16)$$

Ahora es claro que podemos seleccionar los valores adecuados para los parámetros de las redes F1.22 y F1.23 de tal manera que (1.16) adopte una forma que se acerque a las

características del filtro ideal (1.13). Bastan, en este caso, los siguientes valores:

$$a = \frac{G_{1A} + G_{2A}}{C_A}$$

$$p = \frac{G_{1A} G_{2A}}{A C_A} \quad (1.17)$$

$$b = 1 \text{ seg}^{-2}$$

Desde el punto de vista matemático la solución del sistema de ecuaciones anteriores (1.17) no está determinado. Esto nos deja en libertad de seleccionar varios parámetros en atención a otros factores: posibilidad de realización física, costo, durabilidad, entre otros.

Se ha mencionado, como ejemplo, el diseño de un filtro pasabajos. Para otros casos el procedimiento es básicamente el mismo:

1) Se determina una función que aproximadamente reproduzca la característica deseada.

2) Se seleccionan redes con configuración de ceros y polos adecuada para que el cociente de las admitancias de transferencia conduzca a obtener la respuesta deseada (La figura F1.24 -tomada de (B43), pág. 7- da una idea de la variedad de posibilidades).

Transfer Admittance of Some Representative Second-Order RC Networks 1

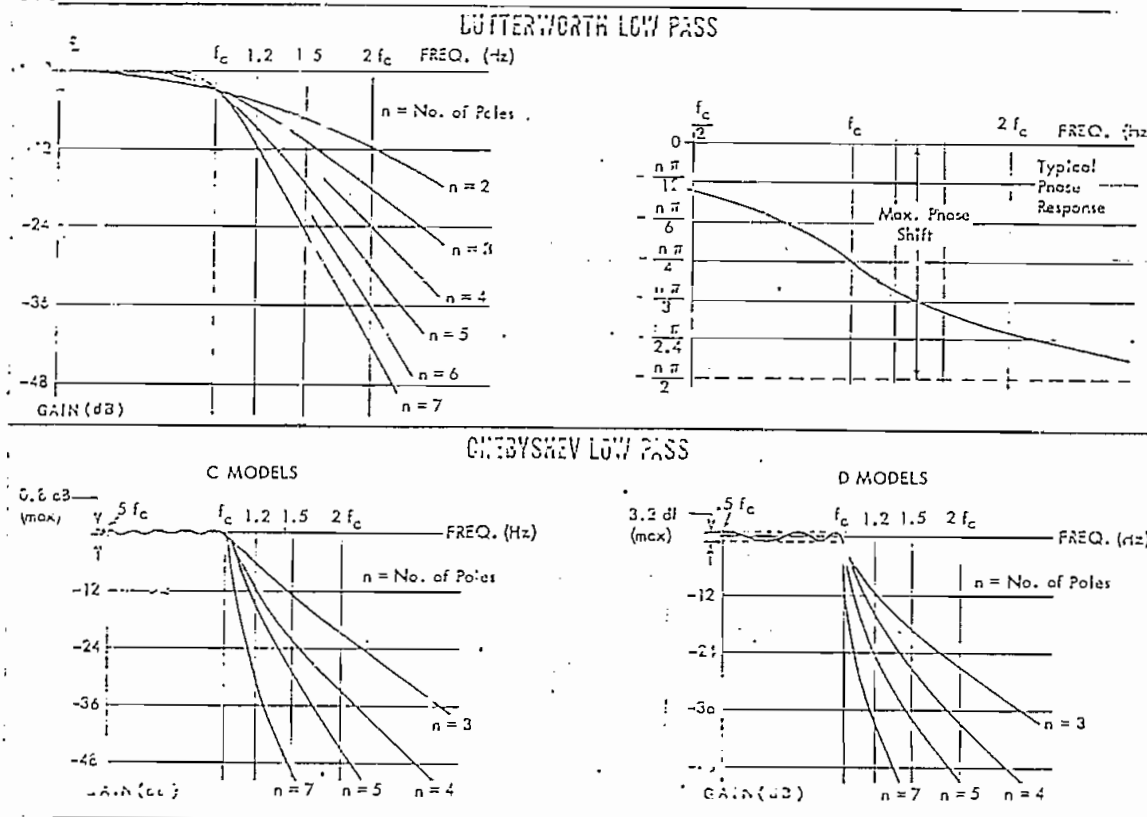
TRANSFER ADMITTANCE	RC NETWORK	PARAMETER-COMPONENT RELATIONS	TRANSFER ADMITTANCE	RC NETWORK	PARAMETER-COMPONENT RELATIONS
(1) $K_R \frac{1}{s^2 + \frac{\omega_D}{q_R}s + \omega_D^2}$		$K_R = \frac{1}{R_1 R_2 R_3 C_1 C_2}$ $\omega_D^2 = \frac{R_1 + R_2 + R_3}{R_1 R_2 R_3 C_1 C_2}$ $q_R = \frac{\sqrt{R_1 R_2 R_3 (R_1 + R_2 + R_3) C_1 C_2}}{R_1 (R_2 + R_3) C_1 + R_3 (R_1 + R_2) C_2}$	(5) $K_R \frac{1}{s^2 + \frac{\omega_D}{q_R}s + \omega_D^2}$		$K_R = \frac{1}{R_0} ; \omega_D^2 = \frac{1}{R_0^2 C_3 C_4}$ $q_R = \frac{\sqrt{(1 + \frac{R_4}{R_1 + R_2}) R_0 R_1 R_2 C_3 C_4}}{R_0 C_3 + R_4 C_4}$ $\omega_D^2 = \frac{1}{R_0^2 C_3 C_4} (1 + \frac{R_0}{R_m})$ $q_R = \frac{\sqrt{(1 + \frac{R_4}{R_1 + R_2}) R_0 R_1 R_2 R_4 C_3 C_4}}{R_4 C_4 + R_0 C_3 [1 + \frac{R_4}{R_1} \frac{R_0}{R_m}]}$ WHERE $R_p = \frac{R_1 R_2}{R_1 + R_2}$ $R_m = \frac{R_0 R_D}{R_0 + R_D} ; R_q = \frac{R_2 (R_1 + R_2)}{R_1 + R_2 + R_2}$
(2) $K_R \frac{s^2}{s^2 + \frac{\omega_D}{q_R}s + \omega_D^2}$		$K_R = \frac{1}{R_2} ; \omega_D^2 = \frac{1}{R_1 R_2 C_1 C_2}$ $q_R = \frac{\sqrt{R_1 R_2 C_1 C_2}}{R_1 (C_1 + C_2) + R_2 C_2}$			$K_R = \frac{1}{R_1} ; \omega_D^2 = \frac{1}{R_1 R_2 C_1 C_2}$ $q_R = \frac{\sqrt{R_1 R_2 C_1 C_2}}{(R_1 + R_2) C_1 + R_2 C_2}$
(3) $K_R \frac{s}{s^2 + \frac{\omega_D}{q_R}s + \omega_D^2}$		$K_R = \frac{1}{R_1 R_2 C_1} ; \omega_D^2 = \frac{1}{R_1 R_2 C_1 C_2}$ $q_R = \frac{\sqrt{R_1 R_2 C_1 C_2}}{R_1 (C_1 + C_2) + R_2 C_2}$			$K_R = \frac{1}{R_0} ; \omega_D^2 = \frac{1}{R_0^2 C_3 C_4}$ $q_R = \frac{\sqrt{R_0 R_1 R_2 R_4 C_3 C_4}}{R_0 C_3 + R_4 C_4}$ $\omega_D^2 = \frac{1}{R_0^2 C_3 C_4} (1 + \frac{R_0}{R_m})$ $q_R = \frac{\sqrt{(1 + \frac{R_4}{R_1 + R_2}) R_0 R_1 R_2 R_4 C_3 C_4}}{R_4 C_4 + R_0 C_3 [1 + \frac{R_4}{R_1} \frac{R_0}{R_m}]}$ WHERE: $C_0 = C_1 + C_2$ $C_0 C_4 = \frac{C_1 C_2}{C_1 + C_2} ; P_m = \frac{R_0 R_D}{R_0 + R_D}$
(4) $K_R \frac{s + \omega_2}{s^2 + \frac{\omega_D}{q_R}s + \omega_D^2}$		$K_R = \frac{1}{R_1 R_3 C_1} ; \omega_D^2 = \frac{1}{R_2 C_2}$ $\omega_D^2 = \frac{R_1 + R_2 + R_3}{R_1 R_2 R_3} \frac{1}{C_1 C_2}$ $q_R = \frac{\sqrt{R_1 R_2 R_3 (R_1 + R_2 + R_3) C_1 C_2}}{R_1 (R_2 + R_3) C_1 + R_2 (R_1 + R_3) C_2}$	(6) $K_R \frac{s^2 + \omega_2^2}{s^2 + \frac{\omega_D}{q_R}s + \omega_D^2}$		$K_R = \frac{1}{R_1} ; \omega_D^2 = \frac{1}{R_2^2 C_2^2 (1 + \alpha)}$ $q_R = \frac{\sqrt{(1 + \alpha) R_1 R_2}}{R_2 C_2 (1 + \alpha)}$ WHERE: $\alpha = \frac{C_1 (1 + P)}{C_2}$ $\beta = R(1 + P) / (R_1 + R_2)$

Courtesy of G. S. Moschytz from "Active RC Filter Building Blocks Using Frequency Phasizing Networks," June 1967, IEEE Journal of Solid-State Circuits.

F1.24 Bloques básicos para la construcción de filtros activos

3) Se establece el valor de los parámetros teniendo en cuenta, a más de las restricciones impuestas por el análisis matemático, factores económicos y de realizabilidad física.

Los resultados a los que puede llegarse con el desarrollo de la teoría aquí esbozada, pueden juzgarse por la figura F1.25 que presenta las características de los filtros comercialmente obtenibles de la casa Burr-Brown, corporación norteamericana de investigación científica. (Tomado de (B50)).



F1.25 Características de filtros activos comerciales (Burr-Brown)

Los filtros activos tienen algunas ventajas (B29), (B52). A consecuencia de la utilización de amplificadores operacionales la impedancia de entrada es grande -del orden de 1 megohmio- y la de salida pequeña -1 ohmio es un valor típico- con lo que por lo general no se presentan problemas de acoplamiento. La posibilidad de excluir el uso de inductancias permite mejorar el comportamiento en baja frecuencia: las inductancias son elementos de difícil obtención en este rango; las redes de realimentación RC son más compactas y estables lo que tiene como consecuencia la reducción del costo y tamaño de los circuitos y mayor resistencia a choque o vibraciones mecánicas.

Un parámetro bastante crítico en un filtro es la pendiente que se puede conseguir en las secciones de atenuación. Con filtros activos se pueden conseguir pendientes de 36 db/octava (Figura Fl.25) que es una mejora con respecto a los filtros pasivos.

3.3 FILTROS DIGITALES.- La investigación en el campo de los filtros activos parece que ha llegado a un límite que difícilmente podrá superar. El avance científico ha puesto en manos de los diseñadores herramientas poderosas para la optimización de circuitos. La computadora digital introducida en esta área de la electrónica ha obligado a



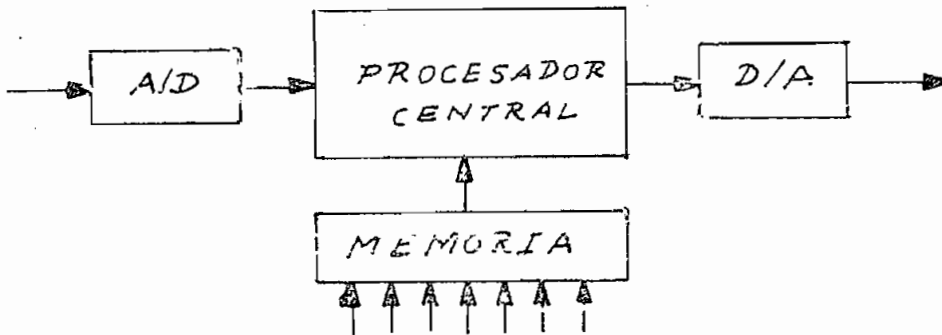
un nuevo enfoque a la cuestión. En el análisis matemático esto se traduce en el uso, por ejemplo, de ecuaciones de diferencias finitas con preferencia sobre las ecuaciones diferenciales tradicionalmente utilizadas, o, la aparición frecuente de sumatorios en lugar de integrales continuas. En la realización física vemos el predominio de circuitos integrados, en la que la tecnología todavía no llega a su tope: se siguen incrementando la capacidad y velocidad al mismo tiempo que los métodos de producción masiva y los diseños con asistencia de computadora permiten que los precios bajen continuamente (B51), (B53).

Ya se señaló que el efecto del filtrado se puede interpretar en base a la capacidad de almacenar energía de los elementos reactivos. Se pensó en la posibilidad de almacenar muestras de esta energía en una computadora. Así, históricamente el embrión de los filtros digitales fue la simulación de filtros en computadora digital. El desarrollo de la tecnología de circuitos integrados alcanzó, posteriormente, un nivel de madurez tal que posibilitó el que en lugar de la simulación se pueda procesar la señal a tiempo real, es decir, a cada muestra de la señal se la procesa con tanta velocidad que cuando se toma la siguiente -50 microsegundos después- por ejemplo- ya se ha terminado todas las

operaciones en la anterior y el sistema está en capacidad de procesar la nueva muestra.

Un filtro digital, en consecuencia, no es más que una computadora especializada. La facilidad que preste para ser programada depende del grado de perfeccionamiento que alcance.

La Figura Fl.26, en diagramas de bloque, destaca partes fundamentales del sistema.



Fl.26 Diagrama de bloques de un filtro digital

Los capítulos siguientes están destinados a desglosar cada uno de los bloques presentados en la Figura Fl.26, pero, por lo pronto, una idea general será valiosa. En primer lugar nos encontramos con un convertidor analógico-digital (A/D). Por las funciones que desempeña se puede decir que el convertidor más que un circuito electrónico es una frontera entre dos mundos: el de lo analógico, en donde las se-

ñales quedan caracterizadas por ondas de magnitudes físicas bien definidas -voltajes, corrientes, tiempos, etc.- y, por otro, un mundo sin formas -el de los discreto- constituido por secuencias de números -data, información-. Las señales constituyen un lenguaje ininteligible para el procesador digital, por eso la etapa de conversión es esencial: nos permite pasar del mundo de las formas al mundo de los números.

De la misma manera, la última etapa cumple con la finalidad de devolver al sistema original la señal en forma analógica mediante un proceso de conversión digital-analógico (D/A).

El procesador tiene a su cargo el realizar operaciones aritméticas -sumas, multiplicaciones- en cada muestra bajo control de un pseudo programa que se almacena en la memoria.

La función que ha de realizar el filtro se determina a voluntad desde afuera con el programa que se carga en la memoria. Debido a esto es que prácticamente no se tienen limitaciones en las funciones de transferencia que se quieren: obtener.

En comparación con los filtros mencionados en párrafos anteriores se puede notar que son mucho más precisos y ver-

sátiles. Modelos en vías de experimentación para producción comercial son capaces de alcanzar pendientes laterales de atenuación del orden de 60 dB en 200 Hz (B1). Como cosa notable se puede mencionar la facilidad de obtener características de fase lineal.

De lo expuesto es fácil comprender las ventajas que se podría tener al introducirlos en sistemas de telecomunicaciones. La modulación en banda lateral única es uno de los procesos que requiere filtros con bandas de corte muy precisas; Kirth (B25) presenta un proyecto de esta naturaleza que por lo pronto no resulta realizable por las limitaciones de velocidad de los circuitos actuales.

En contraposición a estas ventajas encontramos que los modelos actuales son relativamente lentos: manejan frecuencias hasta de 10 kHz. El precio todavía es bastante alto. En la actualidad sólo tienen aplicación en situaciones en que las restricciones son muy exigentes y en las que el rendimiento que presta justifique el alto costo de la inversión: radares, reconocimiento de señales de audio en computadora, láser (B2), (B28), procesamiento de datos geofísicos (B33), son algunas de las situaciones en que se emplean actualmente.

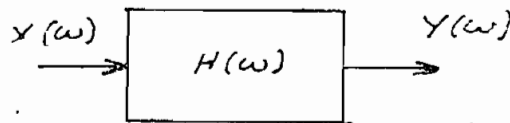
CAPITULO II

FILTROS DIGITALES

## 1. GENERALIDADES

### 1.1 SIMULACION

La figura presenta el esquema de un filtro con función de transferencia  $H(\omega)$  en el dominio de la frecuencia.

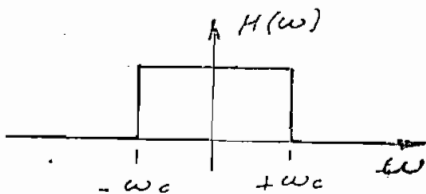


$$Y(\omega) = H(\omega) X(\omega)$$

F2.1 Filtro

El problema del análisis es determinar la forma de la respuesta conociendo la función de transferencia y la señal de entrada.

Para demostrar las técnicas utilizadas consideremos un filtro pasabajos con característica ideal (Figura F2.2)

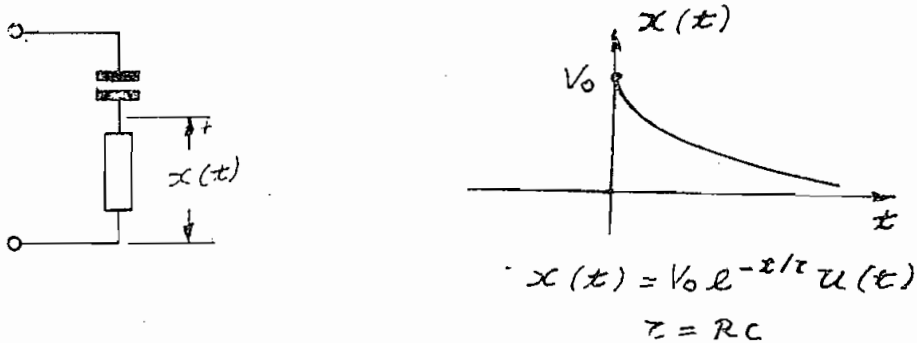


$$H(\omega) = \begin{cases} 1 & |\omega| \leq \omega_c \\ 0 & |\omega| > \omega_c \end{cases}$$

F2.2

F2.2 Función de transferencia de un filtro pasabajos

Tomemos como ejemplo de señal de entrada la que resulta de la descarga de un capacitor a través de un resistencia (Figura F2.3)



F2.3 Descarga de un condensador a través de una resistencia

La transformada de Fourier de  $x(t)$  es:

$$X(\omega) = \tau V_0 / (1 + j\omega \tau) \quad (2.1)$$

cuya gráfica aparece en F1.7 (pág. 17).

La respuesta,  $Y(\omega)$ , será el producto de la señal de entrada,  $X(\omega)$ , por la función de transferencia,  $H(\omega)$ :

$$Y(\omega) = H(\omega) X(\omega)$$

$$Y(\omega) = \tau V_0 G_{2\omega_c}(\omega) / (1 + j\omega \tau) \quad (2.2)$$

La respuesta en el dominio del tiempo es la transformada inversa:

$$y(t) = \frac{1}{2\pi} \int_{-\infty}^{+\infty} Y(\omega) \exp(j\omega t) d\omega$$

es decir,

$$y(t) = \frac{1}{2\pi} \int_{-\infty}^{+\infty} \tau V_0 G_{2\omega_c}(\omega) \exp(j\omega t) / (1+j\omega\tau) d\omega$$

que puede expresarse como:

$$y(t) = (\tau V_0 / 2\pi) \int_{-\infty}^{+\infty} \exp(j\omega t) / (1+j\omega\tau) d\omega$$

La ecuación anterior no se puede evaluar en forma de una expresión cerrada, pero, recurriendo a un desarrollo en serie -caso común al tratar este tipo de problemas- se obtiene

$$y(t) = \frac{V_0 e^{-t/\tau}}{2\pi j} \left[ \ln(1+j\omega\tau) + \frac{(1/\tau + j\omega)t}{1!} + \frac{(1/\tau + j\omega)^2 t^2}{2 \times 2!} + \frac{(1/\tau + j\omega)^3 t^3}{3 \times 3!} + \dots \right]_{\omega=-\omega_c}^{+\omega_c}$$

y después de reemplazar los límites:

$$y(t) = \frac{V_0 e^{-t/\tau}}{\pi j} \left[ \ln \left( \frac{1+j\omega_c\tau}{1-j\omega_c\tau} \right) + \sum_{n=1}^{+\infty} \frac{t^n}{n \times n!} \left( \frac{1}{\tau^2} + \omega_c^2 \right)^{n/2} \cdot \cos(\tan^{-1} \omega_c \tau n) \right]$$



La evaluación de la respuesta según la fórmula obtenida presenta dificultades inclusive si se la trata con métodos numéricos. Todavía habría que trabajar un poco más para llegar a una forma adecuada para el procesamiento en computadora. Sería de estudiar, sobre todo, las inestabilidades que podrían surgir en torno a la función  $\tan^{-1}$  y la velocidad de convergencia del sumatorio. En resumen: las técnicas en el dominio de la frecuencia nos han llevado a resultados de dudosa eficiencia.

Por otra parte, en este tipo de aproximación la solución al problema es muy poco general. Si después quisiéramos analizar otra función de entrada tendríamos que repetir el procedimiento desde el principio: el haberlo resuelto antes no representaría ninguna ventaja.

Intentemos una solución en el dominio del tiempo para establecer comparaciones.

La multiplicación en la frecuencia es una convolución en el tiempo

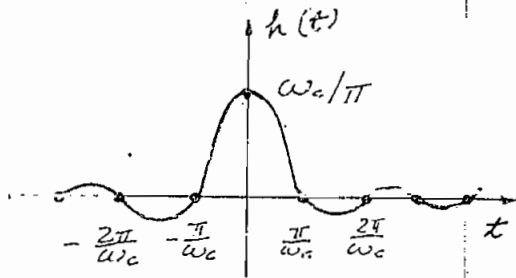
$$Y(\omega) = H(\omega)X(\omega)$$
$$y(t) = h(t)*x(t) = \int_{-\infty}^{+\infty} h(\tau)x(t-\tau) d\tau \quad (2.3)$$

El tratamiento numérico de la ecuación anterior no presenta dificultades. La integral se convierte en un sumatorio.

$$y_n = T \sum_{k=-M}^{+M} h_k x_{n-k} \quad (2.4)$$

en donde T es el intervalo de muestreo, y la suma se hace sobre un número finito de muestras (2M+1 muestras).

Es muy simple programar la fórmula (2.4). En primera instancia hace falta sólo conocer la respuesta impulso del filtro. Si consideramos, como en el ejemplo anterior, un filtro pasabajos, se tiene, en el dominio del tiempo, la función h(t) de la figura F2.4



Bajo la consideración de que h(t) es una función par se puede escribir (2.4) en la siguiente forma:

$$h(t) = \frac{\text{sen } \omega_c t}{\pi t}$$

F2.4 Respuesta impulso de un filtro pasabajos

$$y_n = T (y_0 h_n + \sum_{k=1}^M h_k (x_{n+k} + x_{n-k}))$$

Ahora se ve que esta fórmula es mucho más simple que la que se obtuvo del análisis en el dominio de la frecuencia y es muy general. A continuación se transcribe un programa que calcula los coeficientes del filtro digital.

El programa lee una tarjeta de especificaciones que contiene la frecuencia angular de corte (rad/seg), el intervalo de muestreo (T, seg), el número de iteraciones que se harán antes de truncar la suma (2M+1) y, además, como indicación de la forma en que se requiere la impresión de los resultados, un entero que indica el máximo número de muestras que han de calcularse (NMAX) y el intervalo (INC) con el que se imprimirán.

La función de entrada, X(N), se copia en un subprograma independiente.

He aquí el programa:

```
C SIMULACION DE UN FILTRO PASABAJOS
C
      INTEGER UWC(3), UT(3)
      COMMON T, WC
C DEFINICION DE FUNCIONES
C RESPUESTA IMPULSO DEL FILTRO- H(T)
      H(N) = SIN(WC*T*FLOAT(N))/ (3.141592654*FLOAT(N))
C SI SE DESEA PUEDE DEFINIRSE LA FUNCION DE ENTRADA A
C CONTINUACION, EN LUGAR DE UTILIZAR UN SUBPROGRAMA
C INDEPENDIENTE
C
C .....
C LECTURA DE LOS PARAMETROS
      READ(2,1) WC, UWC, T, UT, NMAX, IN
1  FORMAT (2(E15.5, 2A2, A1), 3I10)
      WRITE(3,3) WC, UWC, T, UT
3  FORMAT (// '0' T46, 'FILTRO PASABAJOS'// '0' 10X,
A      'FRECUENCIA DE CORTE' E16.5, 2A2, A1/ ' '
B      10X, 'INTERVALO DE MUESTREO' E14.5, 2A2,
C      A1// '0' T19, 'N' T35, 'T' T54, 'X(N)'
D      T74, 'Y(N)' T94, 'H(N)'//)
      IF(IN) 5,5,6
5  INC = 1
```

```
GO TO 8
6 INC = IN
C INICIALIZACION DE LOS PROMEDIOS
8 PX = 0.
  PY = 0.
  PH = 0.
  XB = 0.
  YB = 0.
  HB = 0.
  NMAX = NMAX + 1
  DO 9 NA=1,NMAX,INC
    N = NA - 1
    TIEMP = T*FLOAT(N)
    IrF(N) 14.14,15
14 XN = 0.3183099*WC
    GO TO 16
15 XN = X(N)
16 YN = 0.3183098862*WC*XN
    HN = H(N)
C
C*****
C ITERACION PARA UNA MUESTRA
  DO 10 K=1,M
    10 YN = YN + h(K)*(X(N+K) + X(N-K))
    YN = YN*T
C FIN DE LA ITERACION
C*****
C
C ACUMULACION DE LOS PROMEDIOS
  PX = PX + XN
  PY = PY + YN
  PH = PH + HN
  XB = XB + XN*XN
  YB = YB + YN*YN
  HB = HB + HN*HN
C SALIDA DE LOS RESULTADOS
  9 WRITE(3,11) N, TIEMP, XN, YN, HN
  11 FORMAT (' ' 10X, I10, 4E20.5)
C SALIDA DE LOS PROMEDIOS
  AN = (NMAX-1)/INC + 1
  PX = PX/AN
  PY = PY/AN
  PH = PH/AN
  WRITE(3,12) PX, PY, PH
12 FORMAT ('O' T23, 'PROMEDIO' T42, 3E20.5)
```

```
C VALOR CUADRATICO MEDIO
  XB = SQRT(XB/AN)
  YB = SQRT(YB/AN)
  HB = SQRT(HB/AN)
  WRITE(3,2) XB, YB, HB
2  FORMAT ('0' T15, 'VALOR CUADRATICO MEDIO' T42,
A     3E20.5// 'DR/')
  CALL EXIT
  END
```

La función de entrada,  $x(t)$  quedó definida por el siguiente subprograma:

```
C FUNCION DE ENTRADA - EXPONENCIAL DECRECIENTE
  REAL FUNCION X(N)
  COMMON I
  X = 0.0
  IF(N) 1,1,2
2  X = EXP(-10.0*T*N)
1  RETURN
  END
```

La tarjeta de datos con que se corrió. el programa tenía los siguientes parámetros:

Frecuencia de corte: 100 Hz = 628.32 rad/seg

Período de muestreo: 1 milisegundo

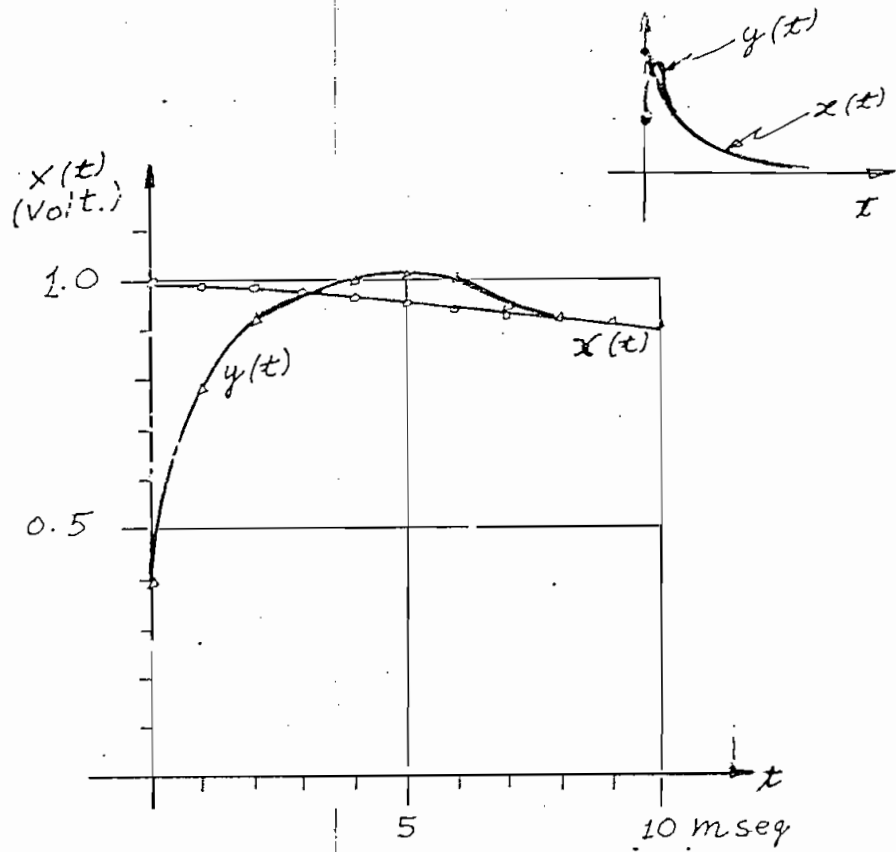
Número de iteraciones: 127

Subíndice máximo: 10

Incremento: 1

Los resultados producidos por el programa aparecen a continuación y estan representados en la figura F2.5.

T	X(T)	Y(T)	H(T)
0	0.10000E 01	0.39748E 00	0.20000E 03
1	0.99004E 00	0.77863E 00	0.18709E 03
2	0.98019E 00	0.92225E 00	0.15136E 03
3	0.97044E 00	0.10139E 01	0.10091E 03
4	0.96078E 00	0.10506E 01	0.46774E 02
5	0.95122E 00	0.10402E 01	-0.46752E-03
6	0.94176E 00	0.99868E 00	-0.31183E 02
7	0.93239E 00	0.94550E 00	-0.43247E 02
8	0.92311E 00	0.89825E 00	-0.37841E 02
9	0.91393E 00	0.86852E 00	-0.20788E 02
10	0.90483E 00	0.95170E 00	0.46752E-03
PROMEDIO		0.95170E 00	0.90673E 00



F5.2 Señal exponencial filtrada

Se ha presentado con tanto detalle el tratamiento de la simulación porque constituye la raíz histórica del filtro digital.

En el listado del programa Fortran se han destacado -en el recuadro de asteriscos- las instrucciones que por iteraciones permiten el cálculo del sumatorio

$$y_n = T \sum_{k=-M}^{+M} h_k x_{n-k}$$

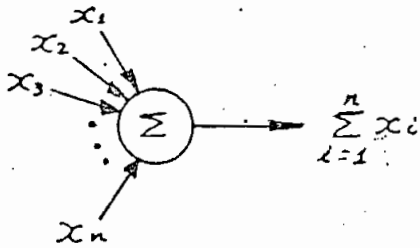
y son el corazón del programa. El resto es manejo de entrada y salida. El cálculo de los promedios y valores cuadrático medio tiene como objeto el presentar índices de control de calidad.

1.2 FILTRADO A TIEMPO REAL. La máquina utilizada fue una IBM 1130. El tiempo promedio para una multiplicación (B55) es de 40 microsegundos y el de una suma 12 microsegundos, es decir, que el tiempo que emplea en calcular una muestra es de unos 6600 microsegundos, o, en números redondos 7 milisegundos. De ahí se concluye que si tomamos muestras de la señal de entrada a intervalos mayores de este lapso podemos procesar la señal a tiempo real: tomar una muestra, efectuar las operaciones necesarias y devolverla antes de que la siguiente muestra haya llegado.

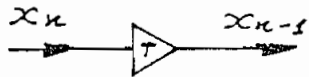
Los tiempos de ejecución pueden reducirse substancialmente si la computadora es de objeto especializado, es decir, si el único programa que puede ejecutar es el que le permite efectuar el sumatorio (2.4)

Un filtro digital es, precisamente, una computadora de objeto especializado que permite efectuar convoluciones según la aproximación (2.4). Los siguientes capítulos están destinados a tratar el problema desde un doble punto de vista: el del "software" y el del "hardware".





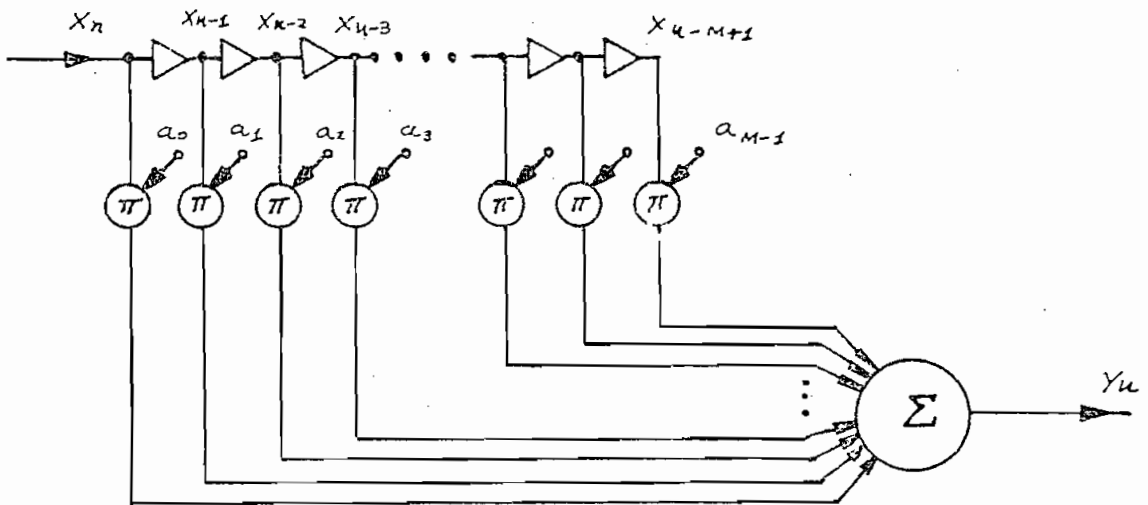
Sumadores: Suman las señales provenientes de las entradas.



Defasadores (o demoras): La salida es el valor de la señal a un tiempo T anterior al de la entrada.

F2.7 (b) y (c)

2.1 FILTROS NO RECURSIVOS. Con los elementos anteriores la ecuación (2.4) puede ser representada gráficamente como en la figura F2.8.



F2.8 Esquema de un filtro no-recursivo

Se puede notar que la respuesta depende únicamente de las muestras  $x_{n-1}, x_{n-2}, \dots, x_{M-1}$ , es decir, depende del pasado de la señal. A este tipo de realización se la llama filtro no-recursivo porque la respuesta sólo depende de la señal de entrada.

La función de transferencia es:

$$H(z) = \sum_{k=0}^{M-1} a_k z^{-k}$$

donde puede notarse que, a excepción del polo múltiple del origen, la función tiene únicamente ceros.

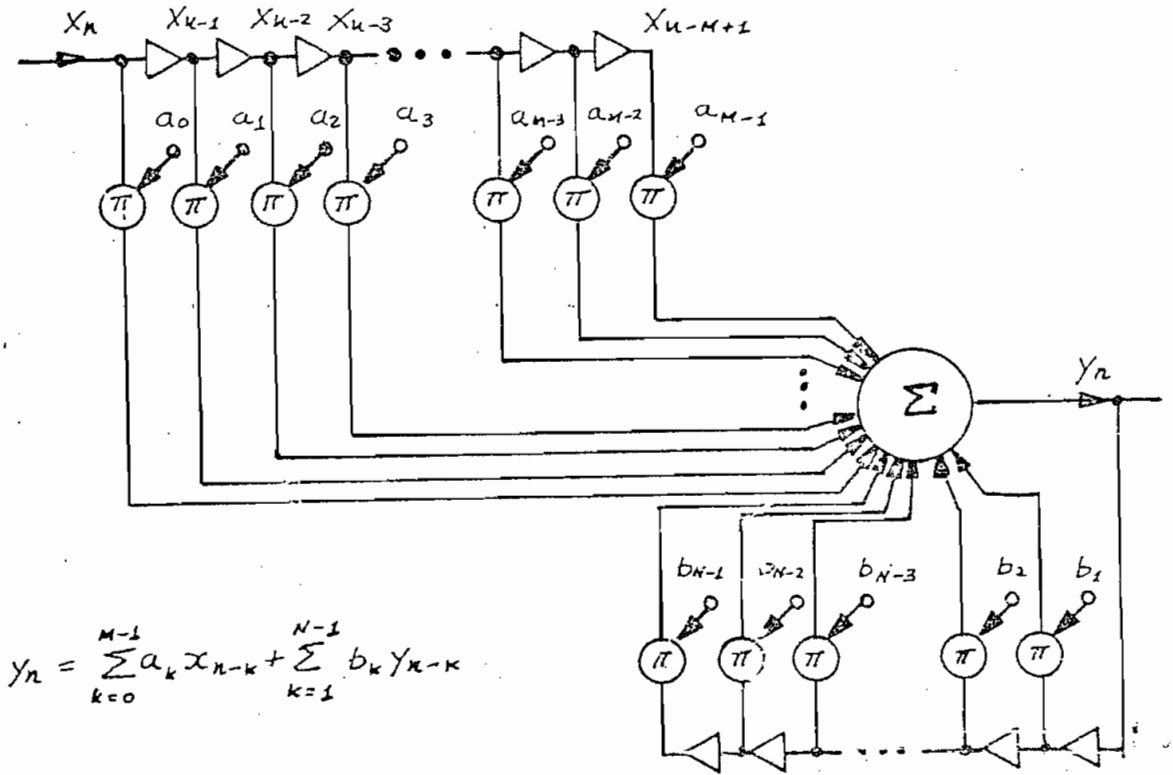
2.2 FILTROS RECURSIVOS. Es frecuente en la técnica utilizar lazos de realimentación para corregir la respuesta de un sistema. Esta práctica también se aplica a los filtros digitales constituyendo los filtros recursivos representados por la figura F2.9

Cuando se emplean lazos de realimentación la salida depende tanto de las muestras de entrada como de las de salida:

$$Y_n = f(x_n, x_{n-1}, \dots, x_{M-1}, Y_{n-1}, Y_{n-2}, \dots, Y_{N-1})$$

La función de transferencia de este tipo de filtros es:

$$H(z) = \left( \sum_{k=0}^{M-1} a_k z^{-k} \right) / \left( \sum_{k=0}^{N-1} b_k z^{-k} \right)$$

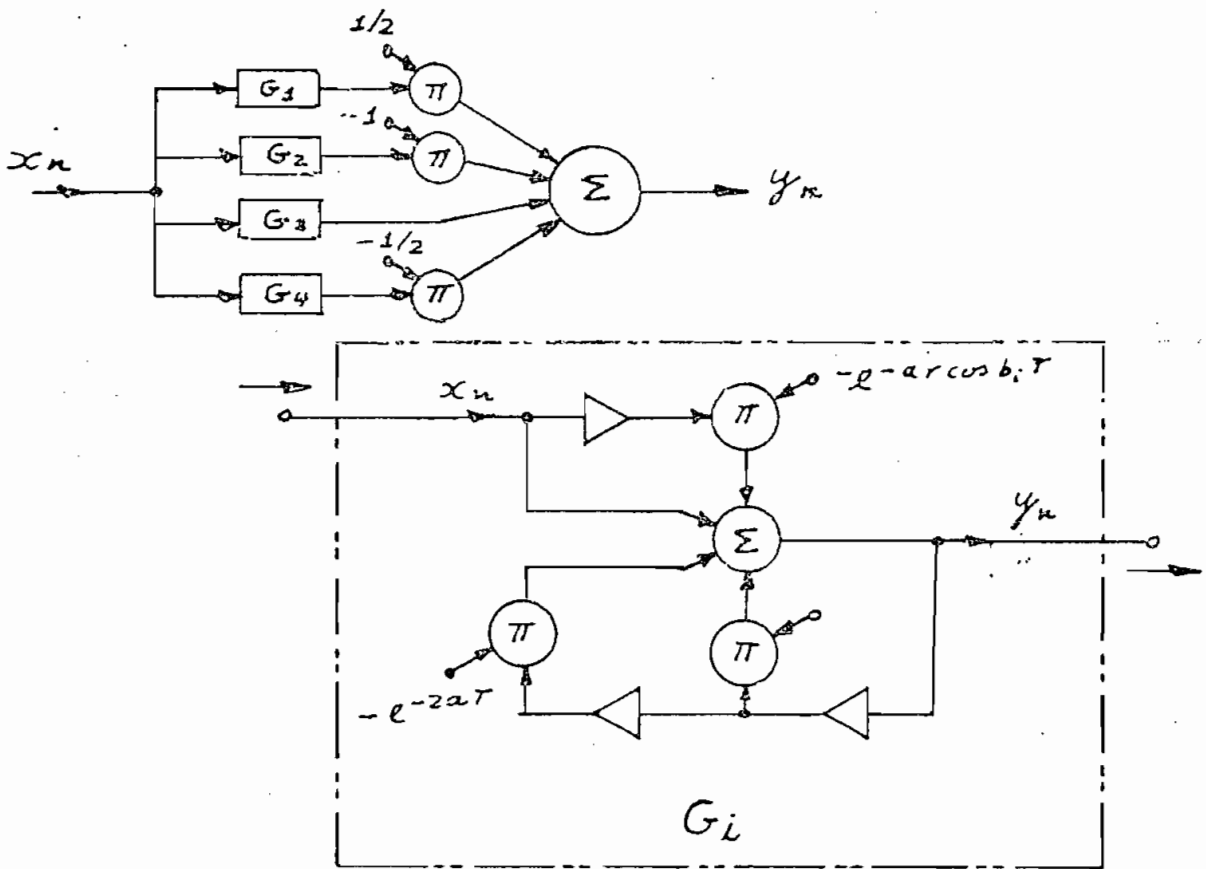


F2.9 Filtro recursivo

Es interesante notar que los filtros no recursivos resultan ser un caso particular de los recursivos, cuando todos los coeficientes  $b_k$  son ceros. Desde el punto de vista de la implementación física los filtros recursivos, por lo general, requieren menos circuitos para su realización, producen menos errores de redondeos aritméticos, pero algunas veces su estabilidad es cuestionable por el hecho de que su función de transferencia tiene polos que pueden, en

algún caso, caer fuera del círculo unitario.

3.3 OTRAS ESTRUCTURAS. Los tipo básicos -recursivo, no recursivo- se pueden combinar para dar lugar a realizaciones mixtas. La figura F2.10 presenta una combinación conocida como configuración en paralelo.



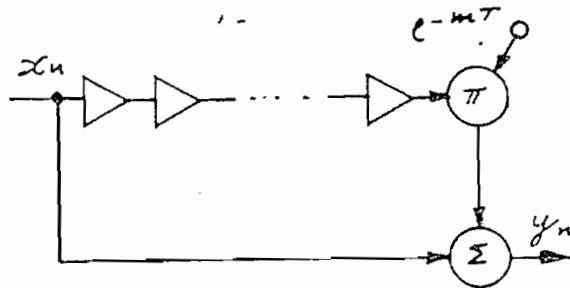
F2.10 Filtro Lerner

El ejemplo constituye un filtro  $L e r n e r^*$ . Sin entrar en detalles se puede decir que estos filtros se caracterizan por su gran linealidad de fase. La realización se ha hecho combinando cuatro secciones ( $G_i$ ) en paralelo que contribuyen a la suma con sus respectivos coeficientes de ponderación. Cada uno de los bloques, a su vez, es una realización recursiva que tiene la característica de frecuencia apropiada.

Otra estructura que se usa con frecuencia como bloque elemental para armar circuitos más complejos es el "comb filter" caracterizado por la ecuación:

$$Y_n = x_n - x_{n-m}$$

y que puede verse en la figura F2.11



F2.11 Filtro "comb"

---

(\*) El ejemplo ha sido tomado de (B33), pág. 155

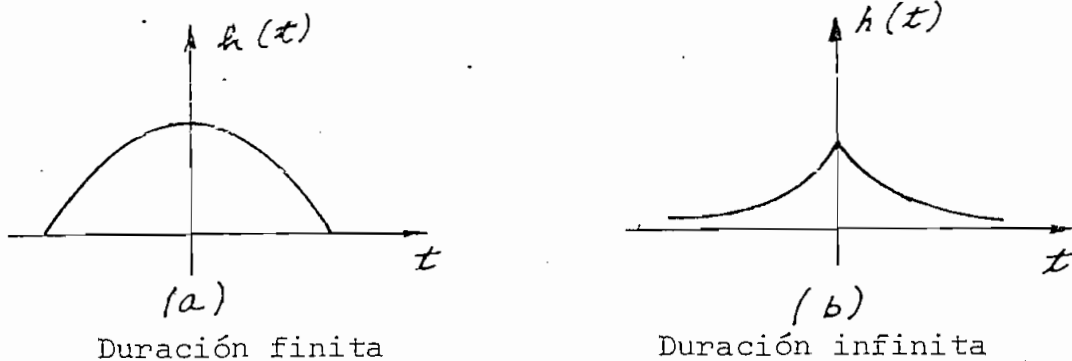
2.4 CUADRO COMPARATIVO DE LOS FILTROS RECURSIVOS Y NO RECURSIVOS.

<u>Características</u>	<u>No-recursivo</u>	<u>Recursivo</u>
Facilidad de diseño	Gran facilidad	Dificultad
Estabilidad	Siempre estables	A veces inestables
Errores de redondeo	Despreciables	Requieren de análisis adicional
Duración de la respuesta impulso	Finita	Infinita
Complejidad	Relativamente simples	De construcción más elaborada, pero requieren menos elementos
Versatilidad	Enorme	Limitada
Campo de aplicación	Alta técnica: radar, reconocimiento optico, etc.	Pueden reemplazar a filtros activos corrientes
Costo	Alto	Comparable al de los filtros activos

### 3. RESPUESTA DE DURACION FINITA E INFINITA

Es interesante establecer una distinción en atención a la duración de la respuesta impulso del filtro.

Las dos categorías fundamentales están representadas en la figura F2.12



F2.12 Duración de la respuesta impulso

Ya se habrá notado que la técnica para la realización de filtros recursivos sigue de cerca los lineamientos propuestos para filtros activos: se construyen etapas primarias y se las arregla en conjuntos que mejoran las características. Este punto en común hace que la respuesta de frecuen-

cia de los filtros recursivos es similar a la de los activos, y por lo general, la respuesta impulso resulta de duración infinita.

Los filtros no-recursivos, por lo general, debido a que su memoria tiene capacidad limitada necesitan truncar la respuesta impulso y producen respuesta impulso de duración infinita.



## CAPITULO III

### DISEÑO DEL FILTRO DIGITAL

En todo sistema digital es interesante destacar dos realidades:

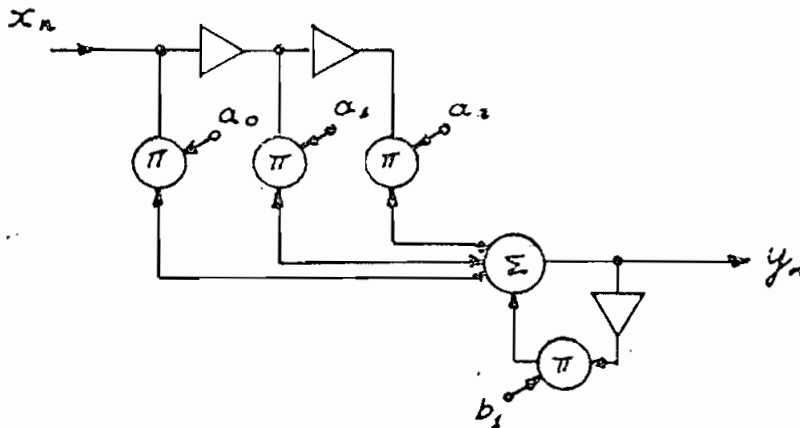
La una es la base física formada por circuitos en los que circulan corrientes y se manifiestan voltajes ("hardware").

La otra es un conjunto de programas ("software") encaminados a activar y dirigir las acciones del sistema.

A esta segunda parte la literatura pertinente le ha dado el nombre de "diseño del filtro digital".

En un procesador digital como el de la figura F3.1 la ecuación que describe el sistema es

$$y_n = a_0 x_n + a_1 x_{n-1} + a_2 x_{n-2} - b_1 y_{n-1} \quad (3.1)$$



F3.1 Procesador digital

Diseñar el filtro quiere decir hallar el valor de los coeficientes  $a_0$ ,  $a_1$ ,  $a_2$ , y  $b_1$  para que el filtro tenga la característica de frecuencia apropiada. En este tipo de problemas los datos estarían constituidos por la característica de frecuencia pedida y la configuración del procesador (recursivo, no-recursivo, etc.); los resultados serían los valores numéricos de los coeficientes.

En el diseño del filtro tiene gran importancia la interpretación de la función de transferencia digital  $H(z)$ .

Por ejemplo, para el procesador de la figura F3.1 la función  $H(z)$  es

$$H(z) = \frac{a_0 + a_1 z^{-1} + a_2 z^{-2}}{1 + b_1 z^{-1}} \quad (3.2)$$

que demuestra claramente que el factor  $z^{-1}$  puede ser interpretado como una demora en el tiempo. Una vez conocida la transformada-z del sistema es inmediato el valor de los coeficientes de los multiplicadores.

Gran parte de los métodos de diseño presentados posteriormente tiene como objetivo el obtener la transformada-z del sistema en la forma general (3.3):

$$H(z) = \frac{\sum_{k=0}^{M-1} a_k z^{-k}}{\sum_{k=0}^{M-1} b_k z^{-k}} \quad (3.3)$$

en donde los  $a_k$  son los coeficientes de multiplicación correspondientes a las ramas de alimentación directa (figura F2.9, pág. 55) y los  $b_k$  son los factores de realimentación.

1. DISEÑO EN EL DOMINIO DEL TIEMPO (B19). Es poco frecuente pero resulta muy instructivo el caso de que las características del filtro estén especificadas directamente por la respuesta impulso ( $h(t)$ ) del sistema.

Utilizando la nomenclatura usual se tiene

$$y(t) = \int_0^{\infty} h(\tau) x(t-\tau) d\tau$$

que puede aproximarse por

$$y(nT) = T \sum_{k=0}^{M-1} h(nT) x(nT-kT) \quad (3.4)$$

si  $M$  es lo suficientemente grande como para que la respuesta impulso se haya aproximado a cero al tiempo  $t=MT$ .

Por otra parte, considerando un filtro no-recursivo, definido por la ecuación

$$Y_n = \sum_{k=0}^{M-1} a_k x_{n-k} \quad (3.5)$$

es inmediato que los coeficientes del filtro están dados por

$$a_n = T h(nT) \quad (3.6)$$

Es decir, los coeficientes del filtro son, simplemente, muestras equiespaciadas de la respuesta impulso deseada.

2. MUESTREO EN LA FRECUENCIA. Es más frecuente que las características del filtro se den en el dominio de la frecuencia. Se puede reducir al método anterior si se encuentra la respuesta impulso,  $h(t)$ , mediante la transformada inversa de Fourier

$$h(t) = \frac{1}{2\pi} \int_{-\pi/T}^{+\pi/T} H(\omega) \exp(j\omega t) d\omega$$

y los coeficientes del filtro ( $a_n$ ) serán

$$a_n = Th(nT) = \frac{T}{2\pi} \int_{-\pi/T}^{+\pi/T} H(\omega) \exp(j\omega nT) d\omega \quad (3.7)$$

Si la integral no resulta reducible por métodos analíticos se recurre a la transformada discreta como aproximación:

$$a_n = \sum_{k=0}^{M-1} H_k \exp(j2\pi nk/M) \quad (3.8)$$

En donde los coeficientes se calculan en base a  $M$  muestras,  $H_k$ , de la característica de frecuencia.

Rabiner (B32) encuentra que este método es uno de los más eficientes para el diseño por cuanto, con un poco más de profundización en el estudio, se puede optimizar la respuesta mediante técnicas lineales.

3. DESARROLLO EN SERIE DE FOURIER. Una de las propiedades características de la respuesta de frecuencia de un

sistema digital es el ser periódica:

$$H(\omega) = H(\omega - 2\pi k/T) \quad (3.9)$$

En consecuencia podemos desarrollarla en serie de Fourier. Los coeficientes del desarrollo,  $\eta_n$ , son:

$$\eta_n = \frac{T}{2\pi} \int_{-\pi/T}^{+\pi/T} H(\omega) \exp(-j\omega nT) d\omega \quad (3.10)$$

Comparando la ecuación (3.10) con la (3.7), y teniendo en cuenta (1) que  $\eta_n$  es real y (2) que si  $h(t)$  es real se cumple que  $\overline{H(\omega)} = -H(-\omega)$  (donde la barra significa conjugada compleja), se llega al resultado

$$a_n = \eta_{-n} \quad (3.11)$$

Es decir, los coeficientes del filtro son proporcionales a los coeficientes del desarrollo en serie de Fourier.

Wait (B19) elabora un poco más este método y llega a resultados adecuados para tratarse por métodos numéricos.

Si llamamos  $U(\omega)$  a la parte real de  $H(\omega)$  y  $V(\omega)$  a la parte imaginaria:

$$H(\omega) = U(\omega) + jV(\omega)$$

como consecuencia de que  $\overline{H(\omega)} = -H(-\omega)$  se tiene que  $U(\omega)$  es una función par y que  $V(\omega)$  es impar. El desarrollo de Fourier de  $U(\omega)$  dará sólo términos en coseno y el de  $V(\omega)$  sólo en seno:

$$U(\omega) = \frac{1}{2} \xi_0 + \sum_{k=1}^{\infty} \xi_k \cos(k\omega T)$$
$$V(\omega) = \sum_{k=1}^{\infty} \eta_k \sin(k\omega T)$$

Es decir, como  $H(\omega) = U(\omega) + jV(\omega)$

$$H(\omega) = \frac{1}{2} \xi_0 + \sum_{k=1}^{\infty} \xi_k \frac{e^{j\omega kT} + e^{-j\omega kT}}{2} + \sum_{k=1}^{\infty} \eta_k \frac{e^{j\omega kT} - e^{-j\omega kT}}{2}$$

Agrupando:

$$H(\omega) = \frac{1}{2} \xi_0 + \frac{1}{2} \sum_{k=1}^{\infty} e^{j\omega kT} (\xi_k + \eta_k) + \frac{1}{2} \sum_{k=1}^{\infty} e^{-j\omega kT} (\xi_k + \eta_k)$$

Cambiando el signo del índice de sumación del segundo sumatorio y recordando que  $\xi_k = \xi_{-k}$ ,  $\eta_k = -\eta_{-k}$  se llega al resultado

$$H(\omega) = \frac{1}{2} \sum_{k=-\infty}^{+\infty} (\xi_k + \eta_k) e^{j\omega kT}$$

que es el desarrollo en serie de  $H(\omega)$ . Los coeficientes del desarrollo, que, según se vió, tienen la misma forma que los del filtro, son:

$$a_n = (\xi_n + \eta_n)/2 \quad (3.12)$$

en donde los  $\xi_n$  son los coeficientes del desarrollo de la parte real y  $\eta_n$  los de la parte imaginaria de  $H(\omega)$ .

Actualmente hay métodos muy eficientes para el cálculo del desarrollo de Fourier de una función. Kahaner presenta, por ejemplo, un programa Fortran de unas 60 instrucciones para la obtención de estos coeficientes.

4. DISEÑO EN BASE A ERRORES CONSTANTES (B32). Conociendo la función  $H(\omega)$  se puede plantear un sistema de ecuaciones no lineales en que las incógnitas son las muestras de la respuesta impulso ( $h_n$ ) y un conjunto de frecuencias ( $\omega_n$ ) en que la función buscada alcanza su valor máximo o mínimo.

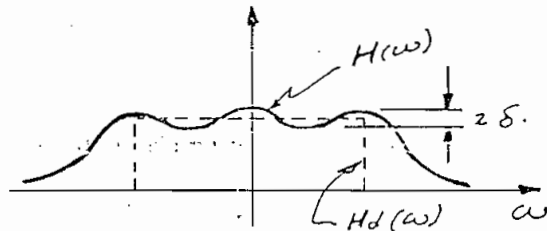
En cada punto de frecuencia la función a hallarse  $H(\omega)$  difiere de la función deseada,  $H_d(\omega)$ , en un error constante:

$$H(\omega_n) = H_d(\omega_n) \pm \delta \quad (3.13)$$

Por otra parte, como cada uno de los puntos es un extremo (máximo o mínimo) la derivada se anula en dichos puntos

$$H'(\omega_n) = 0 \quad (3.14)$$

Con ecuaciones de la forma (3.13) y (3.14) se puede formar un sistema que por técnicas de optimización no lineal da los coeficientes del filtro y las frecuencias críticas.



F3.2 Aproximación por errores constantes



Por simplicidad supongamos una respuesta impulso simétrica, se tiene

$$H(\omega) = \sum_{k=-(M-1)/2}^{+(M-1)/2} h_k e^{-j\omega kT}$$
$$= h_0 + 2 \sum_{k=1}^{(M-1)/2} h_k \cos(k\omega T)$$

La derivada es

$$H'(\omega) = -2T \sum_{k=1}^{(M-1)/2} h_k \operatorname{sen}(k\omega T)$$

Como ejemplo ilustrativo tomemos el caso en que  $M=3$ . El sistema de ecuaciones será

$$\begin{cases} h_0 + 2h_1 \cos(\omega_0 T) = A_0 \\ h_1 \operatorname{sen}(\omega_0 T) = 0 \end{cases}$$

En donde  $A_0$  es una constante conocida y las incógnitas son:  $h_0$ ,  $h_1$  y  $\omega_0$ .

5. INVARIANCIA IMPULSO (B33). El método de invariancia impulso recibe su nombre del hecho de que la respuesta impulso del sistema digital ( $\hat{h}_n$ ) es la versión muestreada de la respuesta impulso continua ( $h(t)$ )

$$\hat{h}_n = h(nT)$$

El procedimiento, en la práctica, es transformar la respuesta de frecuencia correspondiente al sistema continuo en la función de transferencia ( $\hat{H}(z)$ ) del sistema digital mediante tablas de transformaciones establecidas.

A modo de ejemplo se establecerá la correspondencia que existe entre un filtro RC de un polo con característica de frecuencia

$$H(s) = A/(s+a)$$

Podemos hallar la respuesta impulso del sistema mediante la transformada inversa de Laplace

$$h(t) = \mathcal{L}^{-1}\{H(s)\} = A \exp(-at)$$

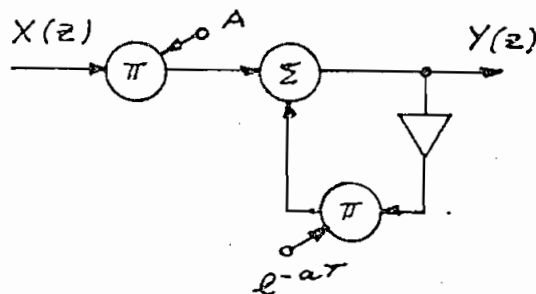
Como queremos que la respuesta del sistema digital tenga la misma forma

$$\hat{h}_n = h(nT) = A \exp(-anT)$$

La transformada-z correspondiente a esta secuencia es

$$H(z) = \mathcal{Z}\{\hat{h}_n\} = A/(1-\exp(-aT) z^{-1}) \quad (3.15)$$

El filtro que tiene esta función de transferencia aparece en la figura F3.4



F3.4 Filtro con función de transferencia (3.15)

Otras correspondencias utilizadas son las siguientes (tomado de (B32)):

$$\sum_{k=1}^m \frac{A_k}{s + s_k} \longleftrightarrow \sum_{k=1}^m \frac{A_k}{1 - e^{-s_k T} z^{-1}}$$

$$\frac{s+a}{(s+a)^2 + b^2} \longleftrightarrow \frac{1 - e^{-aT} \cos(bT) z^{-1}}{1 - 2e^{-aT} \cos(bT) z^{-1} + e^{-2aT} z^{-2}}$$

$$\frac{b}{(s+a)^2 + b^2} \longleftrightarrow \frac{e^{-aT} \cos(bT) z^{-1}}{1 - 2e^{-aT} \cos(bT) z^{-1} + e^{-2aT} z^{-2}}$$

6. EXPANSION EN SERIE DE POTENCIAS. Los métodos que dan la transformada-z de la respuesta de un filtro en forma de una fracción racional en  $z^{-1}$  son adecuados para el diseño de filtros recursivos pero no se prestan a la utilización en modelos no-recursivos.

Cuando se los quiere utilizar en procesadores no-recursivos se puede buscar la forma de desarrollarlos en serie (Taylor o McLaurin, por ejemplo) o proceder por división algebraica.

El filtro del ejemplo anterior (3.15) puede desarrollarse en la serie:

$$H(z) = A(1 - e^{-aT}z^{-1} + e^{-2aT}z^{-2} - \dots)$$

y en esta forma resulta apropiada para introducirla a un filtro no-recursivo.

7. TRANSFORMACION BILINEAL. La correspondencia entre el plano  $s$  y el plano  $z$  descrita en el método de invariancia de impulso no es la única que puede ser utilizada.

Una transformación que también se usa con frecuencia es

$$s = (z-1)/(z+1) \quad (3.16)$$

que convierte el eje imaginario del plano- $s$  en el círculo unitario del plano- $z$ . Esta transformación lleva los puntos  $j\omega$  del eje imaginario a los puntos  $\exp(j\omega T/2)$  del círculo unitario del plano  $z$ .

Este método de diseño se utiliza de ordinario para transformar un filtro analógico ya conocido (Butterworth o Chebyshev, por ejemplo) en filtros digitales. El procedimiento es diseñar en primer lugar el filtro analógico (para lo que existen extensas tablas como (B17) y (B37)) y luego sustituir la variable  $s$  (ó  $j\omega$ ) por la variable  $(z-1)/(z+1)$ .

Para que el filtro tenga los mismos puntos críticos

(frecuencia de corte, ancho de banda, etc.) se utiliza la relación

$$\omega_A = \tan\left(\frac{\omega_D T}{2}\right)$$

en donde  $\omega_A$  es la frecuencia del prototipo analógico y  $\omega_D$  la del modelo digital.

El inconveniente de este método de diseño es que no conserva las características de fase del filtro analógico y por lo tanto es inadecuado cuando mantener las características de fase es de importancia.

8. DISEÑOS DE LOGARITMO-MAGNITUD (B20). Uno de los métodos más novedosos en la materia de diseño es el presentado por Johnson (B20).

A continuación se describe únicamente el procedimiento de diseño. Para la justificación y los detalles referirse a la publicación original.

El procedimiento es aplicable cuando el filtro se ha definido mediante el logaritmo,  $U(\omega)$ , de la magnitud de la característica de frecuencia

$$U(\omega) = \log |H(\omega)|$$

El diseño de Johnson se hace en base a los coeficientes  $\xi_k$  del desarrollo de Fourier de  $U(\omega)$ .

Los coeficientes del filtro se obtienen por procedimien-

to iterativo a partir de

$$n a_n + \sum_{k=0}^{N-1} (n-k) \xi_{n-k} a_k = 0, \quad n=1, 2, \dots, N$$

El método puede ser utilizado con ventaja para el diseño de equalizadores, tanto en procesadores recursivos como no recursivos.

## 9. VENTANAS

Los métodos de diseño que dan lugar a series tienen el inconveniente de presentar efectos secundarios indeseables en las vecindades del punto en que se trunca la serie. Uno de los más marcados es el fenómeno de Gibbs: la presencia de bruscas oscilaciones en torno a los puntos en que la derivada es discontinua.

La forma de reducir estos efectos es la de truncar gradualmente la serie. Cada uno de los coeficientes se modifica mediante una función de ponderación a la que se la suele llamar "ventana".

Las ventanas deben tener concentrada su energía en el lóbulo central de su espectro de frecuencia y los lóbulos laterales lo más reducidos posible. Una de las ventanas más frecuentemente utilizadas y que tiene el 99.96% de su energía en el lóbulo central (B32) es la de Hamming:

$$w_n = 0.54 + 0.46 \cos(2\pi n/(N-1))$$
$$-(N-1)/2 \leq n \leq +(N-1)/2$$

La variedad de ventanas que la matemática aplicada

actual ha estudiando es enorme y cada una tiene peculiaridades que le hacen atractiva para un tipo particular de situación, pero, no se puede decir que haya una que se pueda aplicar irrestrictamente a todo caso. Para información más especializada en la materia se sugiere (B31) y (B41).



# CAPITULO IV

## DISEÑO DEL PROCESADOR

## 1. CRITERIOS GENERALES

Este capítulo constituye la médula del trabajo de tesis\*. Presenta los criterios que guiaron la construcción y el diseño del procesador y da detalles del funcionamiento de cada una de las secciones.

El problema se planteó en estos términos:

Se requiere un procesador digital para fines de demostración pequeño y económico que sin embargo sea capaz de procesar eficientemente señales.

Con criterios de ingeniería se tomaron las siguientes decisiones previas:

1. La realización se haría en base a circuitos integrados, pues se preveía que la complejidad que iba a alcanzar el sistema sería bastante grande.

---

(\*) NOTA GENERAL AL CAPITULO. Todas las ideas presentadas en este capítulo fueron planteadas y estudiadas por mi director de tesis: Ing. Herbert Jacobson; debido a esto las referencias bibliográficas son escasas.

Las ventajas de este tipo de circuitos son claras: enorme confiabilidad, estabilidad térmica, variedad de circuitos disponibles, tamaño cómodo y consumo reducido.

Frente a estas ventajas de orden técnico están las desventajas de orden práctico: dificultad de conseguir los circuitos en el mercado local\* y precio relativamente alto de los circuitos algo complejos.

2. Desde el punto de vista técnico es igualmente valioso el filtro recursivo o el no recursivo para los fines de demostración previstos. Se optó -más bien por motivos de preferencia personal- por un procesador no-recursivo.

3. Entre las familias de circuitos integrados se trabajó con la de lógica transistor-transistor (TTL) por las conocidas ventajas que ofrece: facilidad de acoplamiento directo, variedad de circuitos obtenibles, alimentación de un sólo nivel de voltaje.

4. El procesador digital iba a trabajar con señales analógicas por lo que son indispensables etapas de conver-

---

(\*) Esta dificultad la puede superar gracias a la ayuda de mi director de tesis que obtuvo los elementos utilizados en el exterior. Nuevamente le manifiesto mi agradecimiento.

si3n anal3gico-digital (A/D) y digital-anal3gico (D/A). Sería demasiado complicado y distraería la atención de lo que constituye la parte fundamental del procesador el construir los convertidores a base de circuitos integrados. Se decidió utilizar convertidores A/D y D/A suministrados en forma modular y que están disponibles en el mercado.

5. También se encontraron disponibles en el mercado multiplicadores (por ejemplo, el Am 2505 de la Advanced Micro Devices, 4-bits por 2-bits, U\$20.00) pero en vista del costo se decidió implementarlos a partir de sumadores y registros de desplazamiento.

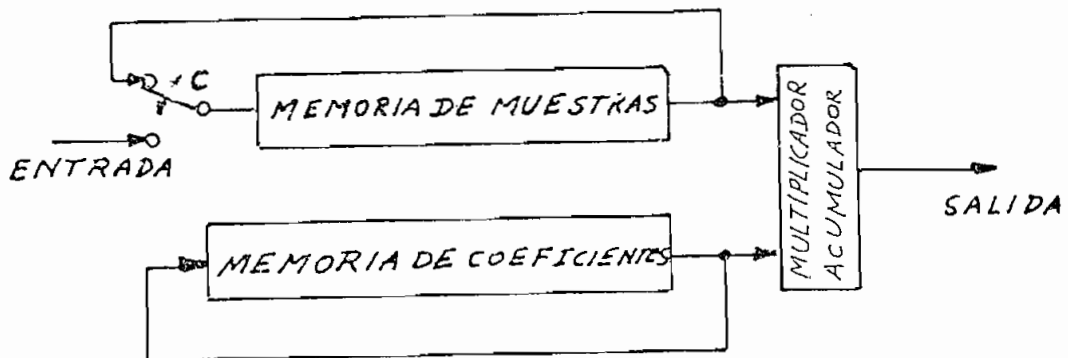
6. El rango de frecuencias debe ser bajo (1 ó 2 kHz) por la dificultad de encontrar convertidores lo suficientemente rápidos a un precio razonable.

## 2. ORGANIZACION FUNCIONAL

El procesador tiene como funciones básicas:

- (a) Obtener muestras de una señal de entrada mediante el convertidor A/D.
- (b) Efectuar la convolución según la aproximación.

$$y_n = \sum_{k=0}^{M-1} a_k x_{n-k}$$



F4.1: Diagrama de bloques del procesador

(c) Reconstruir la señal de salida mediante un convertidor D/A

Los convertidores se adquirieron en forma de módulos y la parte que se ha implementado aparece en el diagrama de la figura F4.1

La descripción del sistema es la siguiente:

Consta de dos memorias de acceso serial, una para las muestras y otra para los coeficientes ( $a_n$ ) del filtro. Un multiplicador/acumulador efectúa los productos parciales de una muestra con un coeficiente y los va sumando y conservando en el acumulador.

La memoria para muestras tiene a la entrada un conmutador C -electronicamente controlado- que en una de sus posiciones da acceso a las muestras de la señal de entrada y en la otra permite la recirculación.

La memoria de coeficientes es sólo de recirculación. Tiene capacidad para un coeficiente más que el número de muestras. Esta diferencia de longitudes permite un desplazamiento relativo de muestras con relación a los coeficientes en cada ciclo de recirculación (Para detalles véase la figura F4.2).

Después de cada desplazamiento el multiplicador/acumulador toma una muestra y un coeficiente salientes para ob-

tener un producto parcial que lo va acumulando.

Esquema de funcionamiento. Para explicar el funcionamiento del procesador se presenta la figura F4.2. En ella se ha realizado, paso a paso, la convolución para  $M=3$ .

$$y_n = \sum_{k=0}^2 a_k x_{n-k}$$

A la izquierda se ha establecido un contador módulo tres, es decir, cuenta según la secuencia 0, 1, 2, 0, 1, 2, 0, ...

La mitad de la figura presenta el estado del procesador y en la derecha se anota el contenido del acumulador.

Nótese que la memoria para las muestras tiene capacidad para  $M-1$  ( $=2$ ) muestras y la de los coeficientes para  $M$  ( $=3$ ) coeficientes.

F4.2(a) Posición inicial: En la memoria para muestras se han almacenado ceros y el contenido del acumulador también es cero. En la memoria de los coeficientes se han almacenado ordenadamente los coeficientes:  $a_0, a_1, a_2$ .

F4.2(b) Comienzo del primer ciclo. El contador marca cero. Se admite una muestra ( $x_0$ ) a la memoria correspondiente. Los coeficientes recirculan: el coeficiente

$a_3$  pasa simultáneamente al multiplicador y al comienzo de la memoria empujando al resto de coeficientes y obligándolos a recircular. El multiplicador efectúa el producto  $0.a_2$  y los suma al contenido anterior del acumulador. El contenido del acumulador es 0.

F4.2(c) El contador marca 1. La muestra que está a la cabeza de la memoria (0) pasa simultáneamente al acumulador y se introduce por la entrada de la memoria empujando al resto de muestras. Los coeficientes recirculan como en el caso anterior. El contenido del acumulador es 0.

F4.2(d) El contador marca 2. Nuevo paso de recirculación. Esta vez una muestra ( $x_0$ ) y un coeficiente ( $a_0$ ) pasan al multiplicador que calcula el producto  $a_0x_0$  y obtiene la primera muestra de salida:  $y_0 = a_0x_0$ . El acumulador almacena  $y_0$ .

F4.2(e) Segundo ciclo. El contador y el acumulador regresan a cero. Se admite una nueva muestra ( $x_1$ ). Los coeficientes recirculan normalmente. Nótese el efecto de la diferencia de longitud de las memorias:



en el ciclo anterior el coeficiente  $a_0$  marchaba sincronismo con la muestra  $x_0$ ; en este segundo ciclo el coeficiente  $a_0$  marcha con la muestra  $x_1$ , es decir, se ha producido un corrimiento relativo de la secuencia de muestras con relación a la secuencia de coeficientes. El acumulador almacena 0.

F4.2(f) El contador marca 1. Recirculación de muestras y coeficientes. El multiplicador efectúa el producto  $a_1x_0$ . El acumulador almacena  $a_1x_0$ .

F4.2(g) El contador marca 2. Recirculación de las muestras y coeficientes. El multiplicador obtiene un nuevo producto parcial:  $a_0x_1$ . En el acumulador se suma el nuevo producto al anterior y se obtiene otra muestra de salida:  $y_1 = a_0x_1 + a_1x_0$ .

F4.2(h) Comienzo del tercer ciclo. El contador y el acumulador regresan a cero. Se admite una muestra a la memoria y recirculan los coeficientes. Se forma el primer producto parcial ( $a_2x_0$ ) de la nueva muestra a calcularse. El acumulador almacena  $a_2x_0$ .

F4.2(i) El contador marca 1. Recirculan muestras y coeficientes. El multiplicador efectúa el producto  $a_1x_1$ . El contenido del acumulador es  $a_1x_1 + a_2x_0$ .

F4.2(j) El contador marca 2. Recirculan las muestras y coeficientes. El multiplicador efectúa el producto  $a_0x_2$ . El contenido del acumulador es  $a_0x_1 + a_1x_1 + a_2x_0$  que es la próxima muestra de salida:  $y_2$ .

Con esto se completa un ciclo y comienza el siguiente admitiendo una nueva muestra. El proceso se repite cíclicamente. Cada paso incrementa el contador en uno. Cada ciclo comienza admitiendo una muestra de entrada y termina devolviendo una de salida. Un ciclo completo, en este ejemplo, se efectúa en tres pasos ( $M=3$ ): cada muestra de salida requiere tres productos parciales. En el comienzo de cada ciclo el contador y el acumulador regresan a cerc.

### 3. CARACTERISTICAS DEL PROCESADOR

Antes de implementar un sistema como el descrito anteriormente hay que determinar algunas características que deberá tener el procesador. La asignación de éstas se hace teniendo en mente los propósitos a que está destinado el aparato y las facilidades o limitaciones que se presenten.

A. Longitud de palabra. Por razones de precisión sería conveniente utilizar un número grande de bits (unos 16 bits) para representar cada una de las muestras. Sin embargo, el costo y complejidad del sistema aumentan desproporcionadamente al aumento del número de bits por palabra. Por ejemplo, un convertidor digital analógico que obtenga muestras con diez bits es cuatro veces más preciso que uno de ocho bits, ocupa, por lo menos, el doble de volumen y cuesta casi el doble.

Una longitud de palabra conveniente para fines de demostración y trabajos de mediana precisión es la de ocho bits

por palabra. Con esta longitud se pueden representar números con un error inferior al 0.8%. Sin embargo, para reducir los errores de redondeo en el multiplicador, éste trabajará con palabras de 12 bits, lo que garantiza errores menores al 0.02%.

B. Tipo de aritmética. La representación en punto fijo y la representación de número negativos en complemento de dos parece apropiada. La posibilidad de operar en punto flotante se desechó porque la complicación a que daría lugar no se justificaría por los fines a que está destinado el aparato.

C. Selección de memorias. Punto de enorme trascendencia para el diseño y para la eficiencia del sistema es el tipo de memoria utilizada para almacenar muestras y coeficientes.

La idea general sugerida por los comentarios a la figura F4.2 es la de memorias seriales, lo que excluye otro tipo de posibilidades: memorias de lectura unicamente (ROM), memorias de acceso al azar (RAM).

Entre las memorias seriales pueden considerarse líneas de retardo y registros de recirculación.

Las líneas de retardo presentan las siguientes caracte-

rísticas generales:

- (a) El flujo de la información es asincrónico
- (b) Los retardos obtenidos son relativamente pequeños  
(De 100 a 200 nanosegundos)
- (c) Termicamente inestables
- (d) Requieren de circuitos para la reconstrucción de pulsos

Una memoria serial implementada con registros de desplazamiento tiene las siguientes características:

- (a) Operación sincrónica
- (b) Volumen muy reducido por bit
- (c) Operación en frecuencias hasta de 10 MHz
- (d) Consumo de energía sumamente reducido

El factor determinante para la elección es la posibilidad de poder acoplar las memorias facilmente al resto del sistema. Por la capacidad de operación sincrónica y la posibilidad de obtener retardos relativamente grandes (del orden de los microsegundos) se decidió implementar las memorias con registros de desplazamiento.

Entre los disponibles en el mercado se eligió el registro de recirculación INTEL 2405 fabricado con tecnología MOS, pero compatible con circuitos TTL. Este registro

tiene conexiones internas y circuitos de control que permiten la recirculación de 128 palabras de 8 bits cada una.

D. Resumen de las características. Las principales características que tendrá el procesador son:

- (a) Procesador no-recursivo
- (b) Construcción a base de circuitos TTL
- (c) Aritmética de punto fijo
- (d) Representación de números negativos en complemento de dos
- (e) Memorias constituídas por registros INTEL 2405
- (f) Convertidores A/D y D/A de tipo modular
- (g) Implementación del multiplicador/acumulador a partir de sumadores y registros de desplazamiento
- (h) Operación en el rango de baja frecuencia

#### 4. DISEÑO DE CADA SECCION

La figura F4.3 (plegada) es un plano general del procesador.

La señal entra al convertidor A/D (1) y éste obtiene 8 bits de una muestra. Una interface (2) convierte esta información de la forma paralelo a la forma serie para introducirla secuencialmente en la memoria de muestras constituida por registros de recirculación INTEL (3).

Por otra parte, la memoria para los coeficientes del filtro (4) está constituida por un registro de recirculación gemelo, pero, prolongado con dos registros adicionales (TEXAS SN74195) que le dan una palabra (8 bits) más de longitud (5).

Los coeficientes del filtro pueden introducirse manualmente a este par de registros mediante interruptores y el correspondiente circuito de control (6) activado por un botón pulsador.

Muestras y coeficientes pasan al multiplicador/acumulador (7) y cada muestra de salida se almacena provisional-

mente en tres retenedores de datos (8) de donde son tomados por el convertidor D/A (9) para llevarlos a la forma analógica.

4.1 SISTEMA DE TIEMPOS. Todas las acciones del procesador se efectúan controladas por un sistema de señales de tiempo (figura F4.4, plegada).

Un multivibrador (formado por un disparador de Schmitt SN7413) genera una onda cuadrada de 2 MHz aproximadamente. Esta señal ( $\emptyset$ ) pasa por una cadena de contadores (tres SN7493) dividiéndose para dos en cada biestable.

Después de la primera división es la señal  $\emptyset 0$  que constituye el reloj maestro del sistema.

Las siguientes tres divisiones ( $Y 0$ ,  $Y 1$ ,  $Y 2$ ) se utilizan como contador módulo 8 para los bits de cada palabra. Las subsiguientes divisiones ( $W 0$ ,  $W 1$ ,  $W 2$ , ...,  $W 7$ ) forman un contador módulo 129 que cuenta el número de palabras.

La señal  $W 7$ , que permanece en su nivel alto durante ocho pulsos del reloj maestro y en su nivel bajo durante el resto del ciclo, tiene particular importancia porque se la puede tomar como referencia de tiempo para el diseño, o como señal de sincronización cuando se efectúan pruebas con el osciloscopio.



4.2 CONVERTIDOR A/D. Se escogió el modelo ADC-D10B de la casa DATEL que tiene capacidad de tomar muestras a la frecuencia de 1 kHz y salida de 10 bits. Un convertidor de mediana velocidad y precio moderado. En el procesador se utilizaron únicamente los 8 bits más significativos.

La única señal de control que requiere es  $\phi_4$  que marca el principio de una conversión

$$\phi_4 = \phi_0.\phi_3$$

La señal alcanza su nivel alto hacia el final de  $W_7$  y al hacerlo repone a cero las salidas del convertidor. Al bajar -cuando comienza el siguiente ciclo- toma una nueva muestra (el tiempo que utiliza en la conversión es de 50 microsegundos) y la mantiene hasta que, al final del ciclo,  $\phi_4$  pasa a su nivel alto.

4.3 INTERFACE. La muestra aparece en el convertidor A/D en forma paralelo. La memoria de muestras (registro INTEL 2405) requiere que la información se introduzca en forma serial. Una interface se encarga de hacer la transformación. Se utilizó dos registros SN74195 con sus entradas paralelo conectadas al convertidor y su salida serie conectada al los INTEL 2405.

Los SN74195 son registros de desplazamiento de cuatro

bits con entradas serie/paralelo y salidas también serie/paralelo. Tiene una entrada de control S/L: en su nivel alto desplaza la información almacenada y opera como registro serial; con S/L en el nivel bajo carga la información de sus entradas en paralelo y las transmite a las salidas en paralelo.

La interface funciona de la siguiente manera: con un pulso del reloj  $\phi_2$  y mientras el control S/L está en su condición de carga (nivel bajo) los 8 bits que están en el convertidor D/A se cargan por las entradas en paralelo. En el siguiente ciclo esta palabra se introduce bit a bit, en forma serial, en la memoria principal, para lo que se necesitan 8 pulsos del reloj  $\phi_2$  y el control S/L ( $\phi_3$ ) en condición de desplazamiento (nivel alto). El control  $\phi_3$  se obtuvo de la siguiente manera:

$$\phi_3 = \overline{W7.Y0.Y1.Y2}$$

4.4 MEMORIA DE LAS MUESTRAS. Está constituida por un registro de recirculación MOS de gran escala de integración identificado como INTEL 2405. Tiene capacidad para 128 palabras de 8 bits cada una.

Este registro requiere como reloj una onda no simétrica con ciclo de trabajo del 25%:

$$\phi_1 = \phi_0.\phi$$

Trabaja en dos modos:

A. Entrada de una palabra. Cuando el contador de palabras marca 128 es tiempo de admitir una nueva muestra de la señal de entrada a la memoria de muestras: el control W/R (escriba/recircule) del INTEL activado por W7 se mantiene alto durante 8 pulsos de  $\phi_1$ .

B. Recirculación. El resto del tiempo el registro funciona en el modo de recirculación: mediante conexión interna las muestras van pasando (un bit con cada pulso de  $\phi_1$ ) de la salida hacia la entrada. El control W/R se mantiene en su condición de recircule (nivel bajo).

En ambos modos de trabajo las muestras salen, también, ininterrumpidamente, hacia el multiplicador. Para el efecto las entradas  $\overline{CX}_x$  y  $\overline{CX}_y$  del circuito están permanentemente conectadas a tierra (nivel bajo).

4.5 MEMORIA DE COEFICIENTES. Básicamente es de la misma naturaleza que la de las muestras pero prolongada con dos registros TEXAS SN74195 de cuatro bits cada uno para alcanzar la capacidad de 129 palabras. Consideremos dos modos de operación: normal y de carga.

7. A. Modo normal. Los coeficientes recirculan a través del registro completo formado por el INTEL 2405 y los dos TEXAS SN74195. En el registro INTEL se inhibe la capacidad de recirculación manteniendo la entrada W/R en su condición de escriba (nivel alto) permanentemente. En estas condiciones cada pulso del reloj  $\phi 1$  provoca las siguientes acciones:

- (a) Desplaza la información en el registro INTEL
- (b) Transmite un bit de la corriente de salida del INTEL al registro SN74195
- (c) Acepta, en su entrada, un bit proveniente de la salida del SN74195

La entrada S/L (desplace/carge) de los SN74195 se mantiene en su condición desplace (nivel alto) para permitir la circulación del flujo de bits. El reloj que controla este registro es el reloj maestro  $\phi 0$ : cada pulso de  $\phi 0$  produce en los SN74195 las mismas acciones que un pulso de  $\phi 1$  en los INTEL.

B. Modo de carga. Antes de que el procesador esté dispuesto a su trabajo se requiere que los coeficientes hayan sido almacenados -en forma de números binarios- en la memoria de coeficientes.

El proceso se cumple según las siguientes fases:

(a) Se aplica un coeficiente como número binario a las entradas en paralelo de los SN74195 mediante ocho interruptores: interruptores de "MAGNITUD".

(b) Se especifica la dirección en que se deberá cargar el coeficiente dentro de la memoria mediante siete interruptores adicionales: interruptores de "DIRECCION".

(c) Mediante un botón pulsador se establece momentáneamente el nivel de carga (nivel bajo) en la entrada S/L de los SN74195. Esto causa que durante el pulso del reloj indicado en los interruptores de "DIRECCION" se interrumpa la circulación de la corriente de bits y se cargue el número aplicado por los interruptores de "MAGNITUD".

Los detalles se estudian a continuación.

4.6 CARGA DE LOS COEFICIENTES. El sistema de carga de los coeficientes (Figura F4.4) se encarga de lograr que la señal V6 conectada a la entrada S/L de los registros SN74195 asuma su condición de carga (nivel bajo) cuando los contadores marcan el número seleccionado en los interruptores de "DIRECCION" y se ha operado el botón pulsador de carga.

A. Controles de dirección. El control de dirección es

un comparador que mantiene la señal V4 en su nivel alto durante el lapso en que el contador de palabras (W0, W1, ..., W7) marca el mismo número que el seleccionado en los interruptores de "DIRECCION". En estas circunstancias todas las señales U0, U1, U2, ..., U6 están en su nivel alto, V2 y V3 están en su nivel bajo y, en consecuencia, V4 en el alto.

La señal V4 va a una de las dos entradas de un circuito NAND; a la otro va una señal (V5) proveniente del botón pulsador. La salida de este NAND, V6, va directamente a la entrada S/L de los registros de desplazamiento SN74195.

Esto implica que para que el control S/L asuma su nivel de carga (nivel bajo) es necesario que al mismo tiempo V4 y V5 estén altos, es decir, la carga del coeficiente se hace cuando el contador de palabras marca el número indicado en "DIRECCION" y ha sido accionado el botón pulsador.

B. El pulso de carga. El pulso de carga se aplica mediante un biestable R-S. La una entrada (V9) siente la condición del botón pulsador mientras que la otra (V7) es una realimentación que desconecta el biestable cuando el correspondiente comando de carga (V6) ha sido exitosamente aplicado.

Mientras el botón pulsador mantiene circuito abierto -condición normal- V9 se mantiene en su nivel alto debido

a la corriente que circula a través de las resistencias de 3.3 y 6.8 kilohomios. Por otra parte, debido a que V6 está normalmente en su nivel alto, también V7 mantiene su voltaje alto.

Cuando se pulsa el botón la capacitancia se descarga rápidamente a tierra (se supone que el interruptor S se halla cerrado), cambia el nivel de V9 (pasa a su nivel bajo) y, a través del circuito NOR se tiene

$$V5 = \overline{V1}$$

Cuando el contador de bits marca el comienzo de una nueva palabra ( $Y0=1, Y1=1, Y2=1$ ) V1 toma su nivel bajo, V5 toma -en consecuencia- su nivel alto, y se envía el comando de carga: V6 cambia a su nivel bajo (Todas estas acciones tienen lugar únicamente durante la palabra señalada en los interruptores de dirección).

La señal V6 se mantiene en la condición de carga hasta que la señal de realimentación V7 avisa que el comando de carga ha tenido lugar. El biestable cambia nuevamente de estado y se repone las condiciones iniciales.

Cada vez que se selecciona una nueva dirección y se pulsa el botón de carga se desencadena la misma secuencia de acciones, lo que permite ubicar los coeficientes a voluntad en cualquier localidad de la memoria.

4.7 RESUMEN. Los párrafos anteriores describen el funcionamiento del procesador en la que se refiere a la primera sección: conversión A/D, interface, y memorias. Faltaría la descripción de la segunda sección: multiplicador/acumulador, y conversión D/A.

En esta primera sección, teniendo los diagramas de tiempo a la vista (figura F4.5), podemos seguir el curso de las acciones de la siguiente manera:

- (a) Comienzo de un ciclo: W7 toma su nivel alto.
- (b) El reloj  $\phi 2$  entra en acción y con ocho pulsos transmite una palabra de los SN74195 al registro INTEL de muestras.
- (c) Durante el último pulso de  $\phi 2$  el control  $\phi 3$  asume su condición de carga y almacena ocho bits de la muestra que se halla a la salida del convertidor A/D en el par de registros SN74195 que constituyen la interface.
- (d) Una vez que la muestra ha sido cargada en los SN74195 el convertidor A/D empieza un nuevo proceso de conversión cuando  $\phi 4$ , después de haber tomado su nivel alto (hacia el final de W7) retorna a su nivel bajo.
- (e) Durante el tiempo precedente W7 se ha mantenido



alto lo que implica que el tren de bits que salió de la interface (b) se introdujo en el registro INTEL.

- (f) Cuando W7 retorna a su nivel bajo, se interrumpen las oscilaciones de  $\phi_2$ ;  $\phi_3$  se estaciona en su nivel alto y  $\phi_4$  en el bajo. las señales que continúan activas son  $\phi_0$  y  $\phi_1$  que desplazan, hacen recircular y transmiten al multiplicador el contenido de las memorias, tanto de coeficientes como de muestras.

4.8 EL MULTIPLICADOR/ACUMULADOR. En este párrafo se van a tratar dos cuestiones separadamente: (a) el algoritmo que se escogió para la multiplicación y (b) el diseño del multiplicador.

A. Algoritmo de la multiplicación. Numerosos métodos se han propuesto para multiplicar número binarios mediante sumas y desplazamientos (B14), (B13). Por lo general los algoritmos difieren algo cuando se trata de multiplicar números positivos entre sí o un número positivo y uno negativo. Esto obliga a aumentar el número de circuitos necesarios en el caso de que se tenga que hacer aritmética con números negativos.

En este trabajo se busca un algoritmo de multiplicación que se aplique indistintamente a números positivos o negativos para implementar un sólo circuito con el consiguiente ahorro de costo y complejidad\*.

La idea básica es llegar a un mismo tipo de representación para números positivos y negativos, de tal manera que el procesador no los pueda distinguir y los manipule siempre de la misma manera.

Hay algunas posibilidades: por ejemplo, en lugar de utilizar un sistema de numeración binario convencional utilizar una base negativa:  $-2$ . Esta sugestiva idea ha sido considerada ultimamente y ha dado lugar a interesantes artículos: (B35), (B47), (B48), (B36).

La desventaja que tiene, para nuestros fines, es la de que necesitaría una modificación de todo el sistema ya estudiado, comenzando por la etapa de conversión A/D.

La representación que se utilizará en este multiplicador es la siguiente:

Si  $x$  es un número y su representación en binario es

---

(\*) El algoritmo explicado ha sido sugerido por mi director de tesis.

$$x = \sum_{k=0}^N x_k 2^k, \quad x_k \in \{0, 1\}$$

El duplo del número será:

$$2x = \sum_{k=-1}^N x_k 2^{k+1} = \sum_{k=0}^{N+1} x_{k-1} 2^k, \quad x_{-1} = 0$$

Como se tiene que  $x = 2x - x$  resulta

$$x = 2x - x = \sum_{k=0}^{N+1} x_{k-1} 2^k - \sum_{k=0}^N x_k 2^k$$
$$x = \sum_{k=0}^{N+1} (x_{k-1} - x_k) 2^k, \quad x_{N+1} = 0$$

Si definimos:  $u_k = x_{k-1} - x_k$ , se tiene:

$$x = \sum_{k=0}^{N+1} u_k 2^k, \quad u_k \in \{-1, 0, +1\}$$
$$u_0 = -x_0$$
$$u_{N+1} = x_N$$

Es decir, el número  $x$  en lugar de estar representado por la secuencia  $\langle x_N, x_{N-1}, \dots, x_2, x_1, x_0 \rangle$  en donde los  $x_k$  pueden ser 0 ó 1, queda representado por  $\langle u_{N+1}, u_N, u_{N-1}, \dots, u_2, u_1, u_0 \rangle$  y los  $u_k$  pueden ser +1, 0 ó -1.

Por ejemplo, el número 101 (=5) vendría dado por

$$x = 101$$
$$x = 101$$

$$\begin{array}{l} 2x = 1010 \\ x = \begin{array}{l} 101 \\ \downarrow \\ \downarrow \\ \downarrow \\ \downarrow \end{array} \end{array} \begin{array}{l} \rightarrow 0-1 = -1 = u_0 \\ \rightarrow 1-0 = +1 = u_1 \\ \rightarrow 0-1 = -1 = u_2 \\ \rightarrow 1-0 = +1 = u_3 \end{array}$$

En base decimal se tiene:

$$\begin{aligned} x &= \sum_{k=0}^3 u_k 2^k = 1.2^3 - 1.2^2 + 1.2 - 1 \\ &= 8 - 4 + 2 - 1 = 5 \end{aligned}$$

La representación es aplicable a números negativos con la única precaución de "extender el signo", es decir, considerar que el número se extiende indefinidamente hacia la izquierda precedido por el bit que representa el signo (0: signo positivo, 1: signo negativo).

Ejemplo: 1011 (= -5)

$$\begin{array}{l} 2x = \dots 111110110 \\ x = \dots 11111011 \end{array} \begin{array}{l} \rightarrow 0-1 = -1 = u_0 \\ \rightarrow 1-1 = 0 = u_1 \\ \rightarrow 1-0 = +1 = u_2 \\ \rightarrow 0-1 = -1 = u_3 \\ \rightarrow 1-1 = 0 \\ \rightarrow 1-1 = 0 \\ \dots \\ \dots \end{array}$$

Reduciéndolo al sistema decimal:

$$x = \sum_{k=0}^3 u_k 2^k = -1.2^3 + 1.2^2 + 0.2^1 - 1.2^0$$
$$= -8 + 4 + 0 - 1 = -5$$

La ventaja del método radica en que a primera vista no se puede reconocer en  $\langle -1, +1, 0, -1 \rangle$  un número negativo.

El algoritmo de la multiplicación es similar al convencional y se diferencia únicamente en la doble posibilidad de que cada producto parcial pueda ser sumado o restado.

Ejemplo: 011x101 (3x5)

1010		10	011	(=3)
101			101	(=5)
		→	0-1 = -1	-011
		→	1-0 = +1	+011
		→	0-1 = -1	-011
		→	1 = +1	+011
				001111 (=15)

B. El multiplicador/acumulador. El multiplicador lleva a cabo las tareas anteriormente descritas. El sistema trabaja únicamente con los 12 bits más significativos del producto, lo que dará una aproximación suficiente.

El multiplicador /acumulador está formado por dos re-

gistros SN74195 (figuras F4.6 y F4.7, plegadas) que extienden el signo y producen desplazamientos correspondientes a cada cifra del multiplicador. El contenido de los registros pasa a sumadores (SN7483) a través de los circuitos OR-exclusivo (SN7486) que se encargan de tomar el complemento a 2 cuando hace falta efectuar una resta. Ocho de los OR-exclusivo están conectados a las salidas del registro de desplazamiento (SN74195) y el restante a un circuito de control adicional (señal Z3) para producir redondeo del error en el bit menos significativo.

Tres sumadores SN7483 suman el número que les llega de los OR-exclusivo con el contenido previo del acumulador. Este está formado por biestables tipo D (SN74174). Las salidas de los sumadores están conectadas a las entradas de los biestables. Las salidas de los biestables están conectadas, por una parte, a los retenedores de datos (SN7475) y por otra, retornan la información hacia los sumadores para formar la suma del producto acumulado con el nuevo producto parcial que se va formando.

Los resultados se acumulan, provisionalmente, en tres retenedores de datos (SN7475) de donde salen hacia la etapa de conversión D/A.

Debido a que el sistema trabaja con aritmética de pun-

to fijo es posible que algún resultado supere el valor de 1; para evitar que esto produzca el desborde de los registros se han destinado los tres bits más significativos para la parte entera de la muestra de salida, los ocho bits siguientes se destinan a la parte fraccionaria y el último se ocupa para acumular los arrastres debidos al redondeo.

La figura F4.6 presenta el esquema de la multiplicación. En la parte inferior se han identificado las posiciones mediante números. Las doce primeras posiciones se utilizan en los registros de multiplicador, el resto, se desecha. La posición 13 es la que se destina a un bit para los redondeos; las posiciones 4, 5, 6, ..., 11 corresponden a la parte fraccionaria del resultado; las posiciones 1, 2 y 3 almacenan la parte entera.

El funcionamiento es el siguiente:

Al comienzo de cada nueva multiplicación es necesario extender el signo. La señal  $\emptyset 7$ :

$$\emptyset 7 = \overline{Y_0} \cdot \overline{Y_1} \cdot \overline{Y_2}$$

conectada a la entrada S/L (desplace/carge) de los registros SN74195 asume la condición de carga (nivel bajo) y el bit del signo que viene de la memoria de muestras se carga por las entradas en paralelo de los SN74195.

Una vez que el número ha sido admitido a los registros de desplazamiento es necesario saber si va a ser sumado o restado del producto. Esto se deduce del análisis de la última cifra del multiplicador  $a_n$  (coeficiente del filtro) según el siguiente cuadro:

$a_{n-1}$	$a_n$	
0	0	ninguna operación
0	1	resta
1	0	suma
1	1	ninguna operación

Se pueden sacar conclusiones si la última cifra ( $a_n$ ) del coeficiente es cero la siguiente operación puede ser suma o ninguna-operación. Si la última cifra es uno la siguiente operación puede ser resta o ninguna-operación.

El mecanismo de decisión mediante el que el multiplicador puede efectuar sumas o restas es un sistema de OR-exclusivos. Una de las entradas de cada circuito está conectada a un punto común: la salida de la memoria de coeficientes (INTEL 2405) por donde empiezan a aparecer los bits de cada coeficiente empezando por el menos significativo. La otra entrada de cada OR-exclusivo está individualmente conectada a una salida paralelo de los registros de desplazamiento (SN74195) de la primera etapa del multipli-



plicador por donde aparece el multiplicando. Lo que llega al sumador es, entonces,  $x \oplus a_n$  donde  $x$  es la muestra de la señal (multiplicando) y  $a_n$  es uno de los bits del coeficiente respectivo (multiplicador). Cuando el bit del coeficiente que está llegando es 0, lo que pasa al sumador es:

$$x \oplus 0 = x$$

es decir, el número no cambia. El sistema efectúa una suma.

Cuando el bit correspondiente del multiplicador (coeficiente) es 1, se tiene:

$$x \oplus 1 = \bar{x}$$

en donde  $\bar{x}$  es el complemento a 1 de  $x$ . En la entrada "carry" (llevo) del sumador se añade otro 1 y se obtiene el complemento a 2. El sumador suma el complemento a 2 de  $x$ , es decir, efectúa una resta.

La exploración de la última cifra no basta para decidir si el producto parcial debe sumarse al acumulador o no. El acumulador (registros SN74175) tiene su reloj conectado a la señal  $\phi 5$ :

$$\phi 5 = \overline{a_n \oplus (a_{n-1} \cdot \phi 7) \cdot \phi 0 \cdot \phi}$$

(basicamente la acción de  $\phi 5$  es  $a_n \oplus a_{n-1}$ . Las señales  $\phi 7$ ,  $\phi 0$  y  $\phi$  tienen la función de lograr que  $\phi 5$  ocurra en el momento oportuno)

La señal  $\phi 5$  establece un comando de carga en el caso

de que  $a_n$  y  $a_{n-1}$  sean diferentes, es decir, en el caso de que la suma o resta obtenida anteriormente deba acumularse. Cuando  $a_n$  y  $a_{n-1}$  son iguales no debe efectuarse ninguna operación y el acumulador permanece inactivo.

Nótese, por ejemplo, que siempre que el último bit es 1 la resta se efectúa, si, además, el penúltimo bit es 1 la resta -ya efectuada anteriormente- no se acumula al total porque  $\phi_5$  no entra en acción. El resultado es como si no se hubiera efectuado ninguna operación.

El multiplicador funciona ininterrumpidamente admitiendo un bit adicional de las muestras y desplazando la información correspondiente con cada pulso de  $\phi_0$ . Suma o resta el producto parcial según el bit correspondiente de los coeficientes indique. Añade el resultado al acumulador o lo deja pasar de acuerdo al penúltimo bit del coeficiente.

Cuando el multiplicador ha efectuado 128 multiplicaciones ha formado una muestra de salida que se almacena en los retenedores de datos con el pulso  $Z_2$ . Después de que la muestra ha sido almacenada el acumulador regresa a cero con el pulso  $Z_1$ :

$$Z_1 = \overline{W_7 \cdot \phi_7 \cdot \phi_0}$$

preparándose para el cálculo de la nueva muestra.

A la entrada de la primera etapa del sumador está conectada la señal Z3 que viene de un par de circuitos NAND:

$$Z3 = x_n \cdot \emptyset 6$$

Esta señal introduce al sumador el último bit de las muestras para lograr redondeo del resultado. Al final de palabra (ver la figura F4.6) se requiere de un cero adicional que se logra por el cambio de nivel de  $\emptyset 6$ .

4.9 RETENEDORES DE DATOS. La transferencia del contenido del acumulador a los retenedores de datos se hace con la señal Z2:

$$Z2 = W7 \cdot \overline{Y0} \cdot \overline{Y1} \cdot \overline{Y2} \cdot \emptyset 0$$

que se produce al final de cada ciclo.

Sin que se requieran señales de control adicionales la muestra calculada pasa a la etapa de conversión D/A.

4.10 CONVERTIDOR D/A. Para esta última etapa se escogió un convertidor modular: el DAC-49-10B de la DATEL. Es un convertidor de la misma familia del convertidor de entrada; no requiere señales de control y la alimentación se hace de una fuente bipolar de  $\pm 15$  voltios. La entrada de 10 bits se convierte en una señal analógica bipolar. (mediante programación externa por conexiones se puede ob-

tener salida unipolar.)

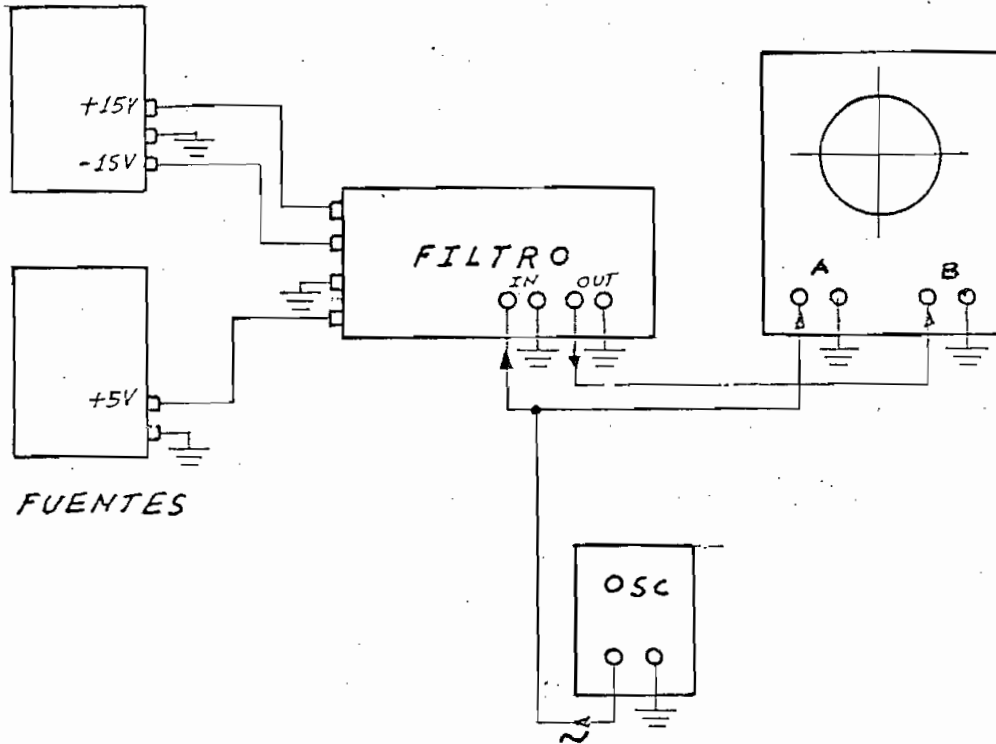
CAPITULO V

ESTUDIO DEL COMPORTAMIENTO

## 1. EXPERIMENTACION

1.1 DISPOSICION EXPERIMENTAL. Una vez construido el aparato se pasó a la etapa de pruebas. El procesador requiere alimentación de una fuente unipolar de +5 voltios y otra bipolar de +15 voltios. El aparato demostró ser muy sensible a los voltajes de alimentación cuando éstos no estaban dentro de las tolerancias determinadas por el fabricante. El consumo total es de 8 vatios aproximadamente.

Las pruebas en la mayor parte de los casos se hicieron utilizando señales de entrada sinusoidales para mantenerse dentro de los límites de frecuencia impuestos por el aparato. El período de muestreo es de 1 milisegundo aproximadamente por lo que el límite superior de frecuencias es de 500 Hz. El factor limitante, con relación a la frecuencia, es el tiempo de recirculación de los registros INTEL 2405. Estos registros se hallan trabajando a plena capacidad.



### F5.1 Disposición experimental

Las pruebas se realizaron según el esquema de conexiones indicado en la figura F5.1

El equipo utilizado fue el siguiente:

1. Fuente de  $\pm 15$  voltios\*
2. Fuente de +5 voltios\*
3. Oscilador (OSC), HP-208A

---

(\*) Fuentes proporcionadas por mi director de tesis.

4. Osciloscopio: Tektronix, tipo 453 (No. 000415)
5. Para algunas pruebas se sustituyó el oscilador por un generador de pulsos Tektronix, Tipo 114 (No. 224)

#### 1.2 PROCEDIMIENTOS DE MEDICION.

A. Medida de ganancia. La señal de entrada se introdujo al canal A del osciloscopio y la de salida al canal B. Con señal de entrada de frecuencia lo más baja posible se ajustaba la sensibilidad del canal B del osciloscopio -ayudándose del calibrador variable- de tal manera que las señales de entrada y salida aparecieran del mismo tamaño sobre la pantalla. Esta situación representaba ganancia 1. Luego se tomaron diferentes puntos de frecuencia y en cada uno se midió la amplitud de la onda de salida con relación al tamaño inicial con lo que se obtenían directamente medidas de ganancia relativa (g) de voltaje.

Para la ganancia en decibeles se consideró una relación de potencias y se la calculó con la fórmula

$$G = 20 \log_{10}(g) \quad (\text{decibeles})$$

B. Medidas de fase. Las medidas de fase resultaron particularmente difíciles a bajas frecuencias. Se prefirió medir las frecuencias en las cuales se notaba un desfase de 180° ó 360° según los casos.

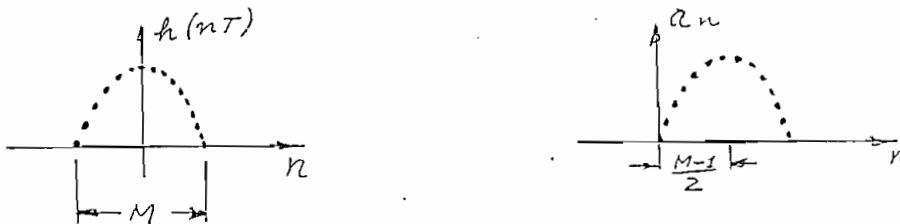


1.3 DISEÑO DE LOS FILTROS PROBADOS. Para calcular los coeficientes de los filtros probados se utilizó un programa Fortran que calcula los coeficientes del filtro a partir de la respuesta impulso. El programa multiplica la respuesta impulso por la ventana de Hamming para truncar suavemente la serie, luego explora los coeficientes calculados en busca del mayor valor absoluto para normalizar el resto dividiéndolo para este máximo, introduce un desplazamiento para que los coeficientes queden centrados en la memoria (figura F5.2) y, por último, imprime los resultados en forma decimal y en forma binaria (Los números binarios negativos los entrega como complemento a 1).

El que la respuesta impulso sea desplazada por el programa para poder ser introducida a la memoria produce un defasamiento adicional  $\theta$  en la característica de fase:

$$\theta(\omega) = (M-1)T\omega/2$$

en donde T es el período de muestreo y M el número de muestras calculadas.



F5.2 Desplazamiento introducido por el programa Fortran

## 2. PRUEBAS

2.1 FILTRO PASABAJOS. La respuesta impulso de un filtro pasabajos con frecuencia de corte  $\omega_c$  (rad/seg) es:

$$h(t) = \text{sen}(\omega_c t) / \pi nT$$

Para frecuencia de corte de 72 Hz (453rad/seg) se tiene:

$$h_n = \begin{cases} 0.5 & n = 0 \\ \text{sen}(0.5n) / n & n \neq 0 \end{cases}$$

Los coeficientes que se obtiene son los siguientes:

COEFICIENTES PARA UN FILTRO DIGITAL DE ORDEN- 127  
PASABAJOS

N	A(N)	A(N)	N
0	0.26659E-02	0.0000000	00000000

1	-0.13033E-01	1.1111110	00000001
2	-0.26004E-01	1.1111100	00000010
3	-0.32934E-01	1.1111011	00000011
4	-0.31899E-01	1.1111011	00000100
5	-0.22893E-01	1.1111101	00000101
6	-0.78510E-02	1.1111110	00000110
7	0.96752E-02	0.0000001	00000111
8	0.25426E-01	0.0000011	00001000
9	0.35421E-01	0.0000100	00001001
10	0.36956E-01	0.0000100	00001010
11	0.29329E-01	0.0000101	00001011
12	0.14080E-01	0.0000001	00001100
13	-0.52940E-02	1.1111111	00001101
14	-0.24137E-01	1.1111100	00001110
15	-0.37732E-01	1.1111011	00001111
16	-0.42471E-01	1.1111010	00010000
17	-0.36792E-01	1.1111011	00010001
18	-0.21552E-01	1.1111101	00010010
19	-0.40233E-03	1.1111111	00010011
20	0.21936E-01	0.0000010	00010100
21	0.39840E-01	0.0000101	00010101
22	0.48625E-01	0.0000110	00010110
23	0.45647E-01	0.0000101	00010111
24	0.31053E-01	0.0000011	00011000
25	0.78882E-02	0.0000001	00011001
26	-0.18512E-01	1.1111101	00011010
27	-0.41721E-01	1.1111010	00011011
28	-0.55750E-01	1.1111000	00011100
29	-0.56552E-01	1.1111000	00011101
30	-0.43138E-01	1.1111010	00011110
31	-0.17993E-01	1.1111101	00011111
32	0.13320E-01	0.0000001	00100000
33	0.43352E-01	0.0000101	00100001
34	0.64475E-01	0.0001000	00100010
35	0.70757E-01	0.0001001	00100011
36	0.59539E-01	0.0000111	00100100
37	0.32320E-01	0.0000100	00100101
38	-0.53057E-02	1.1111111	00100110
39	-0.44714E-01	1.1111010	00100111
40	-0.76126E-01	1.1110110	00101000
41	-0.90903E-01	1.1110100	00101001
42	-0.83780E-01	1.1110101	00101010
43	-0.54402E-01	1.1111001	00101011
44	-0.79106E-02	1.1111110	00101100
45	0.45790E-01	0.0000101	00101101
46	0.93939E-01	0.0001100	00101110

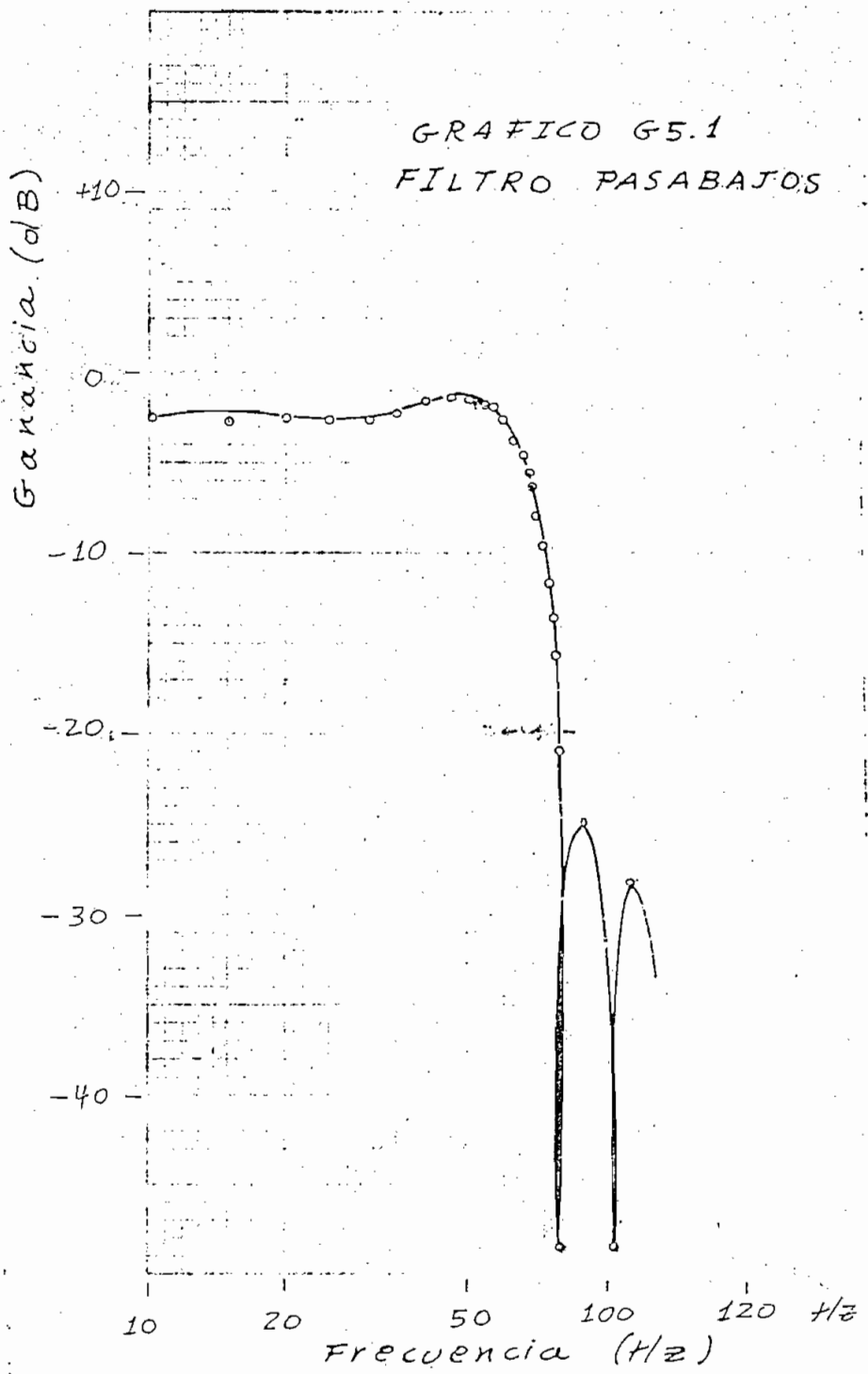
47	0.12366E 00	0.0001111	00101111
48	0.12506E 00	0.0010000	00110000
49	0.93855E-01	0.0001100	00110001
50	0.33095E-01	0.0000100	00110010
51	-0.46569E-01	1.1111010	00110011
52	-0.12828E 00	1.1101111	00110100
53	-0.19178E 00	1.1100111	00110101
54	-0.21722E 00	1.1100100	00110110
55	-0.18920E 00	1.1100111	00110111
56	-0.10022E 00	1.1110011	00111000
57	0.47040E-01	0.0000110	00111001
58	0.23938E 00	0.0011110	00111010
59	0.45464E 00	0.0111010	00111011
60	0.66499E 00	0.1010101	00111100
61	0.84147E 00	0.1101011	00111101
62	0.95895E 00	0.1111010	00111110
63	0.10000E 01	.....	00111111
64	0.95885E 00	0.1111010	01000000
65	0.84147E 00	0.1101011	01000001
66	0.66499E 00	0.1010101	01000010
67	0.45464E 00	0.0111010	01000011
68	0.23938E 00	0.0011110	01000100
69	0.47040E-01	0.0000110	01000101
70	-0.10022E 00	1.1110011	01000110
71	-0.18920E 00	1.1100111	01000111
72	-0.21722E 00	1.1100100	01001000
73	-0.19178E 00	1.1100111	01001001
74	-0.12828E 00	1.1101111	01001010
75	-0.46569E-01	1.1111010	01001011
76	0.33095E-01	0.0000100	01001100
77	0.93855E-01	0.0001100	01001101
78	0.12506E 00	0.0010000	01001110
79	0.12366E 00	0.0001111	01001111
80	0.93939E-01	0.0001100	01010000
81	0.45790E-01	0.0000101	01010001
82	-0.79106E-02	1.1111110	01010010
83	-0.54402E-01	1.1111001	01010011
84	-0.83780E-01	1.1110101	01010100
85	-0.90908E-01	1.1110100	01010101
86	-0.76126E-01	1.1110110	01010110
87	-0.44714E-01	1.1111010	01010111
88	-0.53057E-02	1.1111111	01011000
89	0.32320E-01	0.0000100	01011001
90	0.59539E-01	0.0000111	01011010
91	0.70757E-01	0.0001001	01011011
92	0.64475E-01	0.0001000	01011100

93	0.43352E-01	0.0000101	01011101
94	0.13320E-01	0.0000001	01011110
95	-0.17993E-01	1.1111101	01011111
96	-0.43138E-01	1.1111010	01100000
97	-0.56552E-01	1.1111000	01100001
98	-0.55750E-01	1.1111000	01100010
99	-0.41721E-01	1.1111010	01100011
100	-0.19512E-01	1.1111101	01100100
101	0.78892E-02	0.0000001	01100101
102	0.31053E-01	0.0000011	01100110
103	0.45647E-01	0.0000101	01100111
104	0.48625E-01	0.0000110	01101000
105	0.39840E-01	0.0000101	01101001
106	0.21936E-01	0.0000010	01101010
107	-0.40233E-03	1.1111111	01101011
108	-0.21652E-01	1.1111101	01101100
109	-0.26792E-01	1.1111011	01101101
110	-0.42471E-01	1.1111010	01101110
111	-0.37732E-01	1.1111011	01101111
112	-0.24137E-01	1.1111100	01110000
113	-0.52940E-02	1.1111111	01110001
114	0.14080E-01	0.0000001	01110010
115	0.29129E-01	0.0000011	01110011
116	0.36956E-01	0.0000100	01110100
117	0.35421E-01	0.0000100	01110101
118	0.25426E-01	0.0000011	01110110
119	0.96752E-02	0.0000001	01110111
120	-0.78510E-02	1.1111110	01111000
121	-0.22883E-01	1.1111101	01111001
122	-0.31899E-01	1.1111011	01111010
123	-0.32934E-01	1.1111011	01111011
124	-0.26004E-01	1.1111100	01111100
125	-0.13033E-01	1.1111110	01111101
126	0.26658E-02	0.0000000	01111110

Los resultados obtenidos aparecen en la tabla T5.1

TABLA T5.1  
CARACTERISTICA DE FRECUENCIA DE UN FILTRO PASABAJOS

N	f (Hz)	g (-)	G (dB)
1	10	0.775	- 2.214
2	15	0.750	- 2.498
3	20	0.750	- 2.498
4	25	0.750	- 2.498
5	30	0.750	- 2.498
6	35	0.775	- 2.214
7	40	0.825	- 1.770
8	46	0.875	- 1.160
9	48	0.850	- 1.412
10	50	0.825	- 1.670
11	52	0.825	- 1.670
12	54	0.825	- 1.670
13	56	0.969	- 1.838
14	58	0.750	- 2.458
15	60	0.725	- 2.800
16	62	0.625	- 3.742
17	64	0.600	- 4.436
18	66	0.525	- 5.596
19	68	0.462	- 6.698
20	70	0.400	- 7.958
21	72	0.338	- 9.434
22	74	0.263	-11.618
23	76	0.210	-13.556
24	78	0.150	-16.478
25	80	0.090	-20.916
26	84	0.00375	-48.520
27	91.8	0.0700	-23.098
28	106	0.00375	-48.520
29	115	0.0388	-28.234



La característica de este filtro aparece en la gráfica G5.1

El ancho de la banda de paso, si convenimos en definirla como la frecuencia a  $-3\text{dB}$ , es de 66 Hz. El filtro fue diseñado para 72 Hz, lo que representa un error del 8.3%. El error es pequeño: la exactitud obtenida es inalcanzable por otros medios.

La pendiente en la transición es tan alta (190 dB/década) que puede considerarse ideal.

El filtro obtenido ha resultado de extraordinariamente buenas cualidades. Las objeciones que se le pueden hacer es que presenta ondulaciones en la banda de paso y fuertes oscilaciones en la banda de atenuación.

Estos problemas son los que se había mencionado como efectos indeseables del truncamiento brusco de la serie. Se subsanan, parcialmente, introduciendo una "ventana" para el truncamiento gradual de la serie.

2.2 INFLUENCIA DE LA VENTANA. Se probó el mismo filtro anterior, pero, introduciendo la ventana de Hamming. Los resultados obtenidos aparecen tabulados en T5.2 y grafizados en G5.2(a) y G5.2(b).

Los coeficientes calculados se presentan a continuación.



FILTRO PASBAJOS DE ORDEN - 127  
PASABAJOS. CON VENTANA DE HAMMING

N	A(N)	A(N)	N
0	0.21326E-03	0.0000000	00000000
1	-0.10501E-02	1.1111111	00000001
2	-0.21397E-02	1.1111111	00000010
3	-0.28039E-02	1.1111111	00000011
4	-0.28428E-02	1.1111111	00000100
5	-0.21562E-02	1.1111111	00000101
6	-0.78853E-03	1.1111111	00000110
7	0.10424E-02	0.0000000	00000111
8	0.29525E-02	0.0000000	00001000
9	0.44473E-02	0.0000000	00001001
10	0.50263E-02	0.0000000	00001010
11	0.43254E-02	0.0000000	00001011
12	0.22519E-02	0.0000000	00001100
13	-0.91756E-03	1.1111111	00001101
14	-0.45285E-02	1.1111111	00001110
15	-0.76519E-02	1.1111111	00001111
16	-0.92932E-02	1.1111110	00010000
17	-0.86691E-02	1.1111110	00010001
18	-0.54822E-02	1.1111111	00010010
19	-0.10922E-03	1.1111111	00010011
20	0.63710E-02	0.0000000	00010100
21	0.12350E-01	0.0000001	00010101
22	0.16003E-01	0.0000010	00010110
23	0.16013E-01	0.0000010	00010111
24	0.11550E-01	0.0000001	00011000
25	0.31040E-02	0.0000000	00011001
26	-0.74903E-02	1.1111111	00011010
27	-0.18259E-01	1.1111101	00011011
28	-0.25651E-01	1.1111100	00011100
29	-0.27303E-01	1.1111100	00011101
30	-0.21811E-01	1.1111101	00011110
31	-0.95103E-02	1.1111110	00011111
32	0.73453E-02	0.0000000	00100000
33	0.24900E-01	0.0000011	00100001
34	-0.38504E-01	0.0000100	00100010
35	0.43861E-01	0.0000101	00100011
36	0.38245E-01	0.0000100	00100100
37	0.21479E-01	0.0000010	00100101
38	-0.36424E-02	1.1111111	00100110
39	-0.31660E-01	1.1111011	00100111
40	-0.55510E-01	1.1111000	00101000
41	-0.63168E-01	1.1110111	00101001

CEROS

42	-0.64511E-01	1.1110111	00101010
43	-0.42954E-01	1.1111010	00101011
44	-0.63959E-02	1.1111111	00101100
45	0.37860E-01	0.0000100	00101101
46	0.79320E-01	0.0001010	00101110
47	0.10650E 00	0.0001101	00101111
48	0.10970E 00	0.0001110	00110000
49	0.83754E-01	0.0001010	00110001
50	-0.30006E-01	0.0000011	00110010
51	-0.42846E-01	1.1111010	00110011
52	-0.11962E 00	1.1110000	00110100
53	-0.18104E 00	1.1101000	00110101
54	-0.20733E 00	1.1100101	00110110
55	-0.18236E 00	1.1101000	00110111
56	-0.97443E-01	1.1110011	00111000
57	0.46073E-01	0.0000101	00111001
58	0.23593E 00	0.0011110	00111010
59	0.45050E 00	0.0111001	00111011
60	0.66158E 00	0.1010100	00111100
61	0.83954E 00	0.1101011	00111101
62	0.95340E 00	0.1111010	00111110
63	0.10007E 01	.....	00111111
64	0.95830E 00	0.1111010	01000000
65	0.83954E 00	0.1101011	01000001
66	0.66158E 00	0.1010100	01000010
67	0.45050E 00	0.0111001	01000011
68	0.23599E 00	0.0011110	01000100
69	0.46073E-01	0.0000101	01000101
70	-0.97443E-01	1.1110011	01000110
71	-0.18236E 00	1.1101000	01000111
72	-0.20733E 00	1.1100101	01001000
73	-0.13104E 00	1.1101000	01001001
74	-0.11962E 00	1.1110000	01001010
75	-0.42846E-01	1.1111010	01001011
76	0.30006E-01	0.0000011	01001100
77	0.83754E-01	0.0001010	01001101
78	0.10970E 00	0.0001110	01001110
79	0.10650E 00	0.0001101	01001111
80	0.79320E-01	0.0001010	01010000
81	0.37860E-01	0.0000100	01010001
82	-0.63959E-02	1.1111111	01010010
83	-0.42954E-01	1.1111010	01010011
84	-0.64511E-01	1.1110111	01010100
85	-0.68168E-01	1.1110111	01010101
86	-0.55510E-01	1.1111000	01010110
87	-0.31660E-01	1.1111011	01010111
88	-0.36424E-02	1.1111111	01011000

89	0.21479E-01	0.0000010	01011001
90	0.38245E-01	0.0000100	01011010
91	0.43861E-01	0.0000101	01011011
92	0.38504E-01	0.0000100	01011100
93	0.24900E-01	0.0000011	01011101
94	0.73458E-02	0.0000000	01011110
95	-0.95103E-02	1.1111110	01011111
96	-0.21911E-01	1.1111101	01100000
97	-0.27303E-01	1.1111100	01100001
98	-0.25651E-01	1.1111100	01100010
99	-0.13259E-01	1.1111101	01100011
100	-0.76903E-02	1.1111111	01100100
101	0.31040E-02	0.0000000	01100101
102	0.11550E-01	0.0000001	01100110
103	0.16013E-01	0.0000010	01100111
104	0.16053E-01	0.0000010	01101000
105	0.12350E-01	0.0000001	01101001
106	0.63710E-02	0.0000000	01101010
107	-0.10922E-03	1.1111111	01101011
108	-0.54822E-02	1.1111111	01101100
109	-0.86601E-02	1.1111110	01101101
110	-0.92932E-02	1.1111110	01101110
111	-0.76519E-02	1.1111111	01101111
112	-0.45285E-02	1.1111111	01110000
113	-0.91756E-03	1.1111111	01110001
114	0.22519E-02	0.0000000	01110010
115	0.43256E-02	0.0000000	01110011
116	0.50268E-02	0.0000000	01110100
117	0.44473E-02	0.0000000	01110101
118	0.29525E-02	0.0000000	01110110
119	0.10424E-02	0.0000000	01110111
120	-0.78853E-03	1.1111111	01111000
121	-0.21562E-02	1.1111111	01111001
122	-0.26428E-02	1.1111111	01111010
123	-0.23039E-02	1.1111111	01111011
124	-0.21397E-02	1.1111111	01111100
125	-0.10501E-02	1.1111111	01111101
126	0.21326E-03	0.0000000	01111110

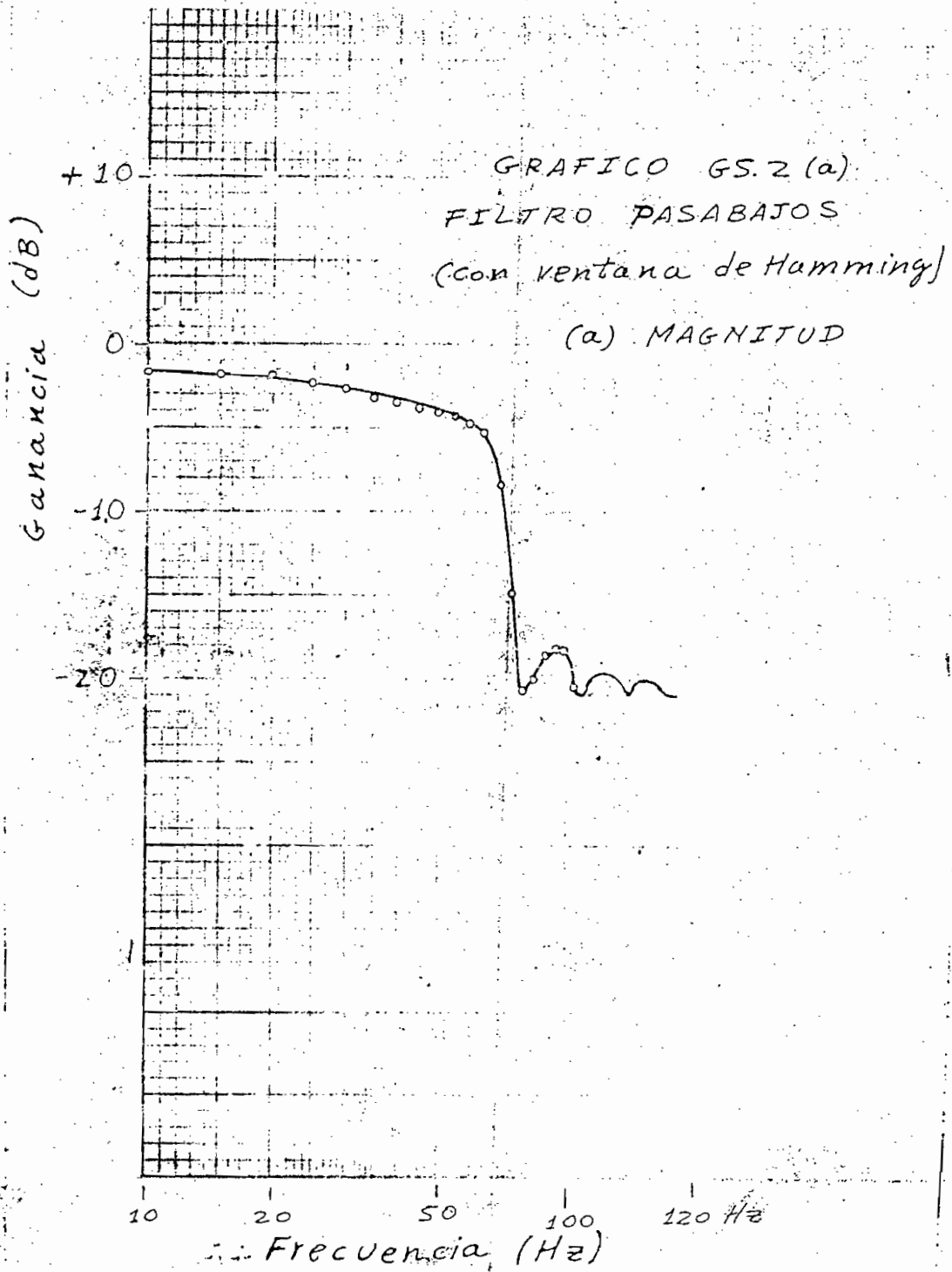
CELOS

TABLA T5.2(a)  
CARACTERISTICA DE UN FILTRO PASABAJOS, CON VENTANA DE  
HAMMING

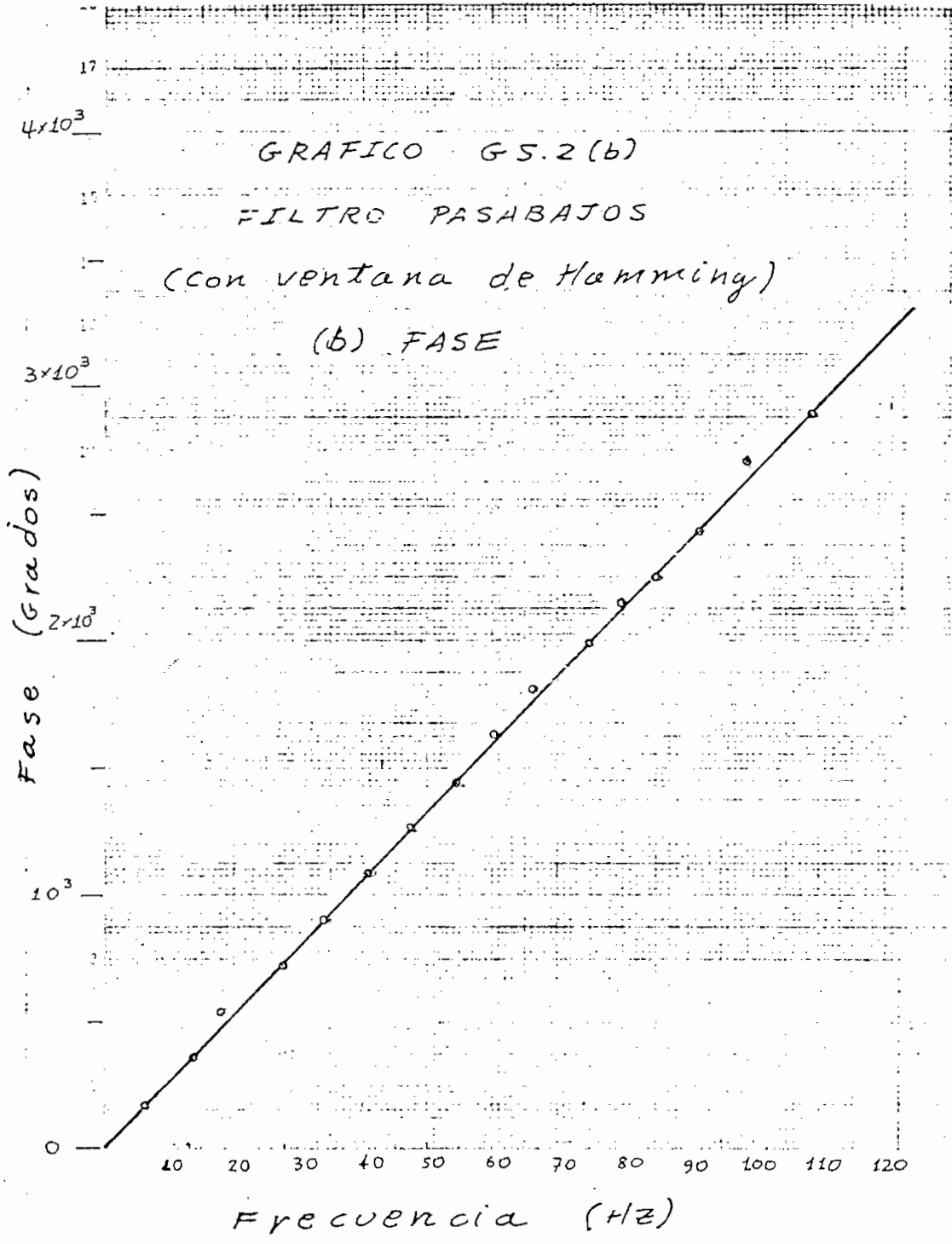
N	f (Hz)	g (-)	G (dB)
1	10	0.800	- 1.92
2	15	0.800	- 1.92
3	20	0.800	- 1.92
4	25	0.760	- 2.38
5	30	0.760	- 2.38
6	35	0.690	- 3.20
7	40	0.680	- 3.34
8	45	0.650	- 3.72
9	50	0.630	- 4.00
10	55	0.610	- 4.28
11	60	0.610	- 4.28
12	65	0.540	- 5.34
13	70	0.380	- 8.40
14	75	0.180	-14.88
15	80	0.082	-21.72
16	85	0.100	-20.00
17	90	0.120	-18.40
18	95	0.125	-18.06
19	100	0.120	-18.40
20	105	0.095	-20.44

TABLA T5.2(b)  
FASE DE UN FILTRO PASABAJOS, CON VENTANA DE HAMMING

N	$\emptyset$ ( $^{\circ}$ )	f (Hz)
1	180	7.0
2	360	13.8
3	540	18.0
4	720	27.8
5	900	34.2
6	1080	41.0
7	1260	47.5
8	1440	55.0
9	1620	61.0
10	1800	66.6
11	1980	74.5
12	2160	79.6
13	2340	86.1
14	2420	92.6
15	2700	99.0
16	2880	108.0



10



Este ejemplo nos permite apreciar la forma en que la respuesta del filtro puede ser modificada mediante las ventanas.

El nuevo diseño ha atenuado bastante los lóbulos laterales aunque sin llegar a suprimirlos por completo. Han desaparecido las ondulaciones de la banda de paso, pero, se nota una pendiente adicional en esta región. El ancho de banda ha disminuído. La atenuación en la banda lateral alcanza sólo -20dB en lugar de los -40 dB del caso anterior.

La ventana ha mejorado las características del filtro en ciertos aspectos: ha suprimido ondulaciones y lóbulos laterales. En cambio, la transición entre la banda de paso y la de atenuación resulta menos precisa.

En el gráfico G5.2(b) se ve la característica de fase. Es de excelente linealidad. Con otros procedimientos es muy difícil obtener fase lineal. Esta es una de las grandes ventajas de los filtros digitales: se diseña no sólo la característica de magnitud, sino también las de fase.



2.3 FILTRO PASABANDA. La respuesta impulso de un filtro pasabanda con frecuencia angular central  $\omega_0$ , y ancho de banda B (rad/seg) es:

$$h(t) = \text{sen}(Bt/2) \cos(\omega_0 t) / t$$

Las muestras serán de la forma:

$$h_n = \begin{cases} BT/2 & n = 0 \\ \text{sen}(BTn/2) \cos(\omega_0 Tn) / n, & n \neq 0 \end{cases}$$

Para la frecuencia central de 72 Hz y ancho de banda de 29 Hz se tiene:

$$\omega_0 = 0.5$$

$$BT/2 = 0.2$$

Los coeficientes calculados, con la ventana de Hamming resultan:

FILTRO DIGITAL DE ORDEN - 127  
PASABAJOS. CON VENTANA DE HAMMING

N	A(N)	A(N)	N
0	0.21275E-03	0.000000	00000000
1	-0.98772E-03	1.111111	00000001
2	-0.14966E-02	1.111111	00000010
3	-0.61157E-03	1.111111	00000011
4	0.19106E-02	0.000000	00000100

5	0.56461E-02	0.0000000	00000101
6	0.94572E-02	0.0000001	00000110
7	0.11691E-01	0.0000001	00000111
8	0.10648E-01	0.0000001	00001000
9	0.52489E-02	0.0000000	00001001
10	-0.43174E-02	1.1111111	00001010
11	-0.15209E-01	1.1111101	00001011
12	-0.27096E-01	1.1111100	00001100
13	-0.32947E-01	1.1111011	00001101
14	-0.30335E-01	1.1111100	00001110
15	-0.17852E-01	1.1111101	00001111
16	0.28818E-02	0.0000000	00010000
17	0.27120E-01	0.0000011	00010001
18	0.48032E-01	0.0000110	00010010
19	0.58711E-01	0.0000111	00010011
20	0.54564E-01	0.0000110	00010100
21	0.35235E-01	0.0000100	00010101
22	0.52424E-02	0.0000000	00010110
23	-0.27085E-01	1.1111100	00010111
24	-0.52199E-01	1.1111001	00011000
25	-0.62643E-01	1.1110111	00011001
26	-0.55889E-01	1.1111000	00011010
27	-0.35522E-01	1.1111011	00011011
28	-0.10119E-01	1.1111110	00011100
29	0.99848E-02	0.0000001	00011101
30	0.16976E-01	0.0000010	00011110
31	0.92332E-02	0.0000001	00011111
32	-0.72375E-02	1.1111111	00100000
33	-0.20525E-01	1.1111101	00100001
34	-0.17486E-01	1.1111101	00100010
35	0.10140E-01	0.0000001	00100011
36	0.60490E-01	0.0000111	00100100
37	0.11957E 00	0.0001111	00100101
38	0.16397E 00	0.0010100	00100110
39	0.16816E 00	0.0010101	00100111
40	0.11426E 00	0.0001110	00101000
41	0.12195E-02	0.0000000	00101001
42	-0.15051E 00	1.1101100	00101010
43	-0.30120E 00	1.1011001	00101011
44	-0.40154E 00	1.1001100	00101100
45	-0.40757E 00	1.1001011	00101101
46	-0.29652E 00	1.1011010	00101110
47	-0.78280E-01	1.1110101	00101111
48	0.20220E 00	0.0011001	00110000

49	0.47355E 00	0.0111100	00110001
50	0.65629E 00	0.1010100	00110010
51	0.68615E 00	0.1010111	00110011
52	0.53540E 00	0.1000100	00110100
53	0.22532E 00	0.0011100	00110101
54	-0.17511E 00	1.1101001	00110110
55	-0.56494E 00	1.0110111	00110111
56	-0.83792E 00	1.0010100	00111000
57	-0.91261E 00	1.0001011	00111001
58	-0.75725E 00	1.0011111	00111010
59	-0.40144E 00	1.1001100	00111011
60	0.69322E-01	0.0001000	00111100
61	0.53548E 00	0.1000100	00111101
62	0.87561E 00	0.1110000	00111110
63	0.10000E 01	.....	00111111
64	0.87561E 00	0.1110000	01000000
65	0.53548E 00	0.1000100	01000001
66	0.69322E-01	0.0001000	01000010
67	-0.40144E 00	1.1001100	01000011
68	-0.75725E 00	1.0011111	01000100
69	-0.91261E 00	1.0001011	01000101
70	-0.83792E 00	1.0010100	01000110
71	-0.56494E 00	1.0110111	01000111
72	-0.17511E 00	1.1101001	01001000
73	0.22532E 00	0.0011100	01001001
74	0.53540E 00	0.1000100	01001010
75	0.68615E 00	0.1010111	01001011
76	0.65629E 00	0.1010100	01001100
77	0.47355E 00	0.0111100	01001101
78	0.20220E 00	0.0011001	01001110
79	-0.78280E-01	1.1110101	01001111
80	-0.29652E 00	1.1011010	01010000
81	-0.40757E 00	1.1001011	01010001
82	-0.40154E 00	1.1001100	01010010
83	-0.30120E 00	1.1011001	01010011
84	-0.15051E 00	1.1101100	01010100
85	0.12195E-02	0.0000000	01010101
86	0.11426E 00	0.0001110	01010110
87	0.16816E 00	0.0010101	01010111
88	0.16397E 00	0.0010100	01011000
89	0.11957E 00	0.0001111	01011001
90	0.60490E-01	0.0000111	01011010
91	0.10140E-01	0.0000001	01011011
92	-0.17486E-01	1.1111101	01011100
93	-0.20525E-01	1.1111101	01011101

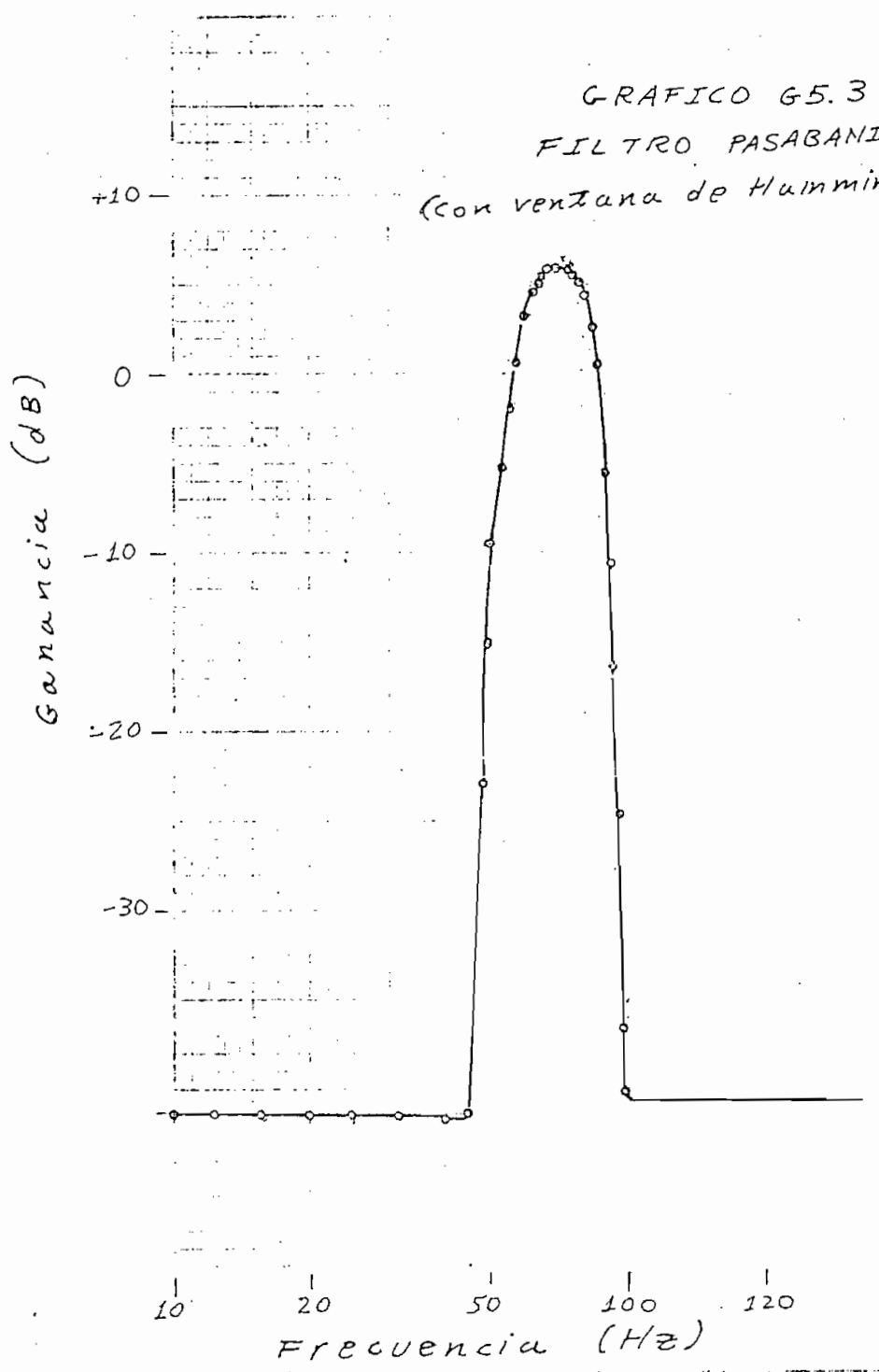
94	-0.72375E-02	1.1111111	01011110
95	0.92332E-02	0.0000001	01011111
96	0.16976E-01	0.0000010	01100000
97	0.99348E-02	0.0000001	01100001
98	-0.10119E-01	1.1111110	01100010
99	-0.35522E-01	1.1111011	01100011
100	-0.55889E-01	1.1111000	01100100
101	-0.62643E-01	1.1110111	01100101
102	-0.52199E-01	1.1111001	01100110
103	-0.27085E-01	1.1111100	01100111
104	0.52424E-02	0.0000000	01101000
105	0.35235E-01	0.0000100	01101001
106	0.54504E-01	0.0000110	01101010
107	0.58711E-01	0.0000111	01101011
108	0.48037E-01	0.0000110	01101100
109	0.27120E-01	0.0000011	01101101
110	0.28818E-02	0.0000000	01101110
111	-0.17852E-01	1.1111101	01101111
112	-0.30325E-01	1.1111100	01110000
113	-0.32947E-01	1.1111011	01110001
114	-0.27093E-01	1.1111100	01110010
115	-0.16209E-01	1.1111101	01110011
116	-0.43174E-02	1.1111111	01110100
117	0.52489E-02	0.0000000	01110101
118	0.10648E-01	0.0000001	01110110
119	0.11691E-01	0.0000001	01110111
120	0.94572E-02	0.0000001	01111000
121	0.56461E-02	0.0000000	01111001
122	0.19106E-02	0.0000000	01111010
123	-0.01157E-03	1.1111111	01111011
124	-0.14966E-02	1.1111111	01111100
125	-0.98772E-03	1.1111111	01111101
126	0.21275E-03	0.0000000	01111110

TABLA T5.3  
 CARACTERISTICAS DE FRECUENCIA DE UN FILTRO PASABANDA

N	f (Hz)	g (-)	G (dB)
1	10	0.00667	-42.52
2	12.5	0.00667	-42.52
3	16	0.00667	-42.52
4	20	0.00667	-42.52
5	25	0.00667	-42.52
6	31.5	0.00667	-42.52
7	40	0.00667	-42.52
8	45	0.00667	-42.52
9	48	0.0700	-23.10
10	50	0.1667	-15.56
11	52	0.3333	- 9.54
12	54	0.5555	- 5.20
13	56	0.8170	- 1.76
14	58	1.1333	+ 1.08
15	60	1.4333	+ 3.12
16	62	1.7200	+ 4.72
17	64	1.8400	+ 5.30
18	66	1.9500	+ 5.80
19	68	2.0000	+ 6.02
20	70	2.0000	+ 6.02
21	72	2.0000	+ 6.02
22	74	2.0500	+ 6.24
23	76	2.0000	+ 6.02
24	78	1.9500	+ 5.80
25	80	1.8000	+ 5.10
26	82	1.7500	+ 4.86
27	84	1.5000	+ 2.52
28	86	1.0670	+ 0.56
29	88	1.1333	- 1.08
30	90	0.5333	- 5.46
31	92	0.2867	-10.86
32	94	0.1533	-16.28
33	96	0.0583	-24.68
34	98	0.01467	-36.68
35	100*	0.0100	-40.00

(\*) La característica se mantiene constante en adelante

GRAFICO G5.3  
FILTRO PASABANDA  
(con ventana de Hamming)



El filtro (gráfico G5.3) resultó de buenas características. El ancho de banda a -3 dB es de 34 Hz, lo que está en correspondencia con el diseño teórico (29 Hz).

No se presentaron lóbulos laterales marcados y la atenuación en las bandas laterales es mayor que el del filtro pasabajos con ventana probado anteriormente. La banda de paso no es muy plana y el efecto se debe a la ventana. En un filtro sin ventana la característica sería más plana, pero, se presentarían ondulaciones y el fenómeno de Gibbs.

Además se trató de probar un filtro de banda sumamente estrecha:  $BT/2 = 0.01$ , lo que da un ancho de banda de fracciones de ciclo, pero, resultó insuficiente la capacidad de la memoria: el diseño dió como resultado más de los 129 coeficientes que pueden ser almacenados en el procesador.

2.4 DISEÑO EN BASE A LAS CARACTERISTICAS DE FASE:

LINEA DE DEMORA. Una de las posibilidades que se presenta en el filtro digital es la de poder definir un filtro por sus características de fase. Como ejemplo, tomemos una línea de demora en que la magnitud de la función de transferencia es constante y la fase varía linealmente:

$$H(\omega) = \exp(-j\omega A)$$

Los coeficientes para el filtro serán:

$$a_n = \begin{cases} 1 & n = 64 \\ 0 & n \neq 64 \end{cases}$$

Las medidas que se tomaron aparecen en la tabla T5.4

TABLA T5.4  
CARACTERISTICA DE LA LINEA DE DEMORA

N	f (Hz)	$\phi$ (°)
1	11.8	180
2	20.1	360
3	24.7	540
4	32.8	720
5	39.6	900
6	46.4	1080
7	52.5	1260
8	65.8	1620
9	79.4	1980
10	92.2	2340



(Tabla T5.4, continuación)

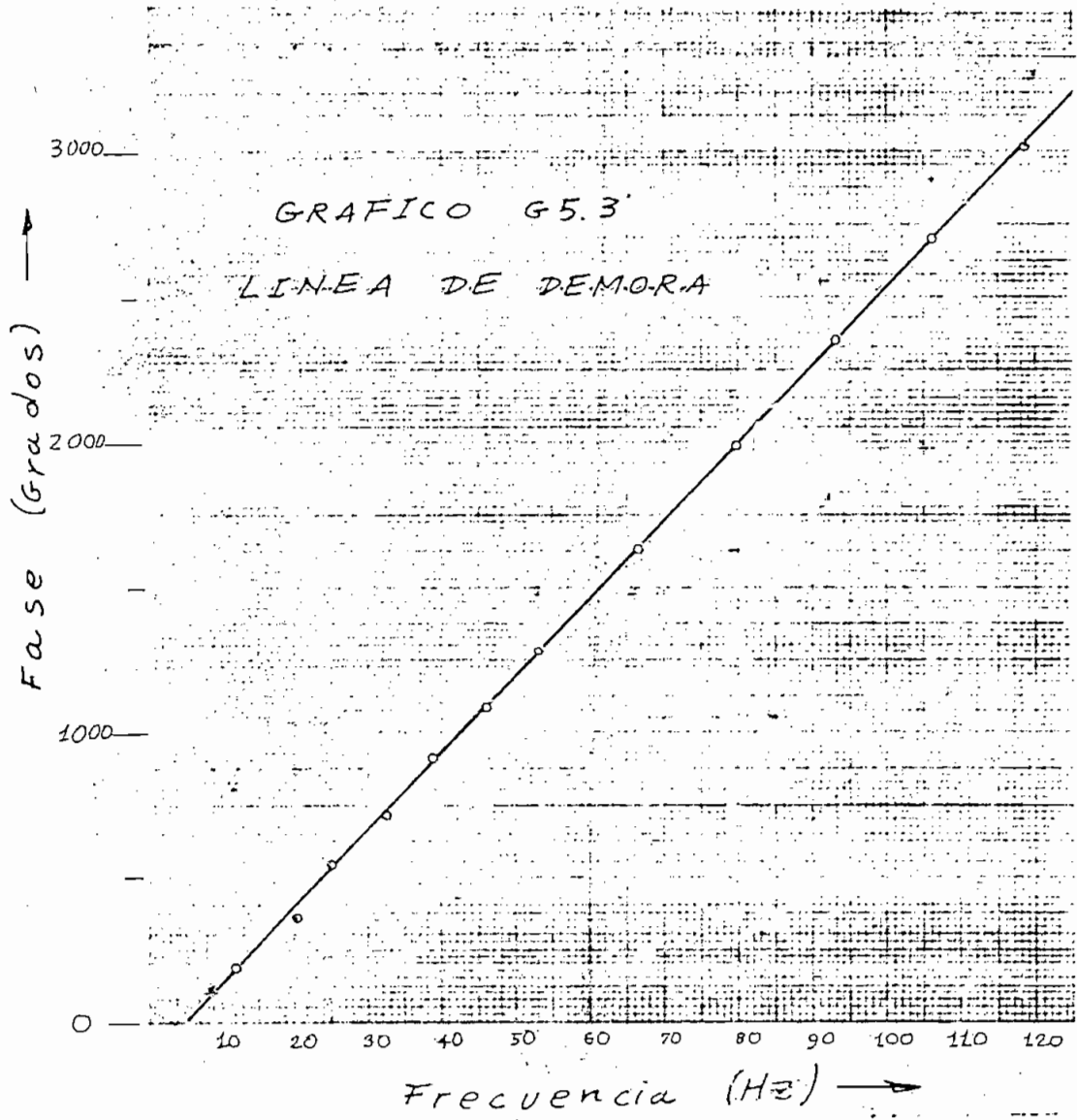
11	106.0	2700
12	118.0	3060
13	133.0	3420

---

---

Los valores de la tabla aparecen grafizados en G5.3

Se observa una gran linealidad de fase. La ganancia se mantuvo constante durante toda la experiencia de acuerdo a las previsiones teóricas. Se ha conseguido una línea de demora que produce demoras significativas; del gráfico se puede obtener que la constante para la línea diseñada es de 44 milisegundos aproximadamente.



2.5 SIMULACIÓN: FILTRO PASABAJOS RC. Otra de las aplicaciones que puede tener un filtro digital es la de simular otro tipo de filtros.

Un filtro RC de un polo tiene como función de transferencia

$$H(\omega) = \frac{a}{a + j\omega}$$

La respuesta impulso resulta:

$$h(t) = \exp(-at)$$

Se calcularon los coeficientes truncando la serie con la ventana de Hamming y se obtuvieron los siguientes:

COEFICIENTES PARA UN FILTRO DIGITAL DE ORDEN - 127  
PASABAJOS RC DE UN POLO. CON VENTANA DE HAMMING

-----  
A(N)-----A(N)-----  
-----

0	0.10000E 01	.....	00000000
1	0.02458E 00	0.1101001	00000001
2	0.009-7E 00	0.1011000	00000010

3	0.58405E-00	0.1001010	00000011
4	0.50055E-00	0.1000000	00000100
5	0.43329E-00	0.0110111	00000101
6	0.37813E-00	0.0110000	00000110
7	0.33210E-00	0.0101010	00000111
8	0.29305E-00	0.0100101	00001000
9	0.25942E-00	0.0100001	00001001
10	0.23010E-00	0.0011101	00001010
11	0.20427E-00	0.0011010	00001011
12	0.18135E-00	0.0010111	00001100
13	0.16091E-00	0.0010100	00001101
14	0.14261E-00	0.0010010	00001110
15	0.12620E-00	0.0010000	00001111
16	0.11149E-00	0.0001110	00010000
17	0.98295E-01	0.0001100	00010001
18	0.86478E-01	0.0001011	00010010
19	0.75915E-01	0.0001001	00010011
20	0.66492E-01	0.00001000	00010100
21	0.58108E-01	0.0000111	00010101
22	0.50666E-01	0.0000110	00010110
23	0.44076E-01	0.0000101	00010111
24	0.38262E-01	0.0000100	00011000
25	0.33142E-01	0.0000100	00011001
26	0.28645E-01	0.0000101	00011010
27	0.24708E-01	0.0000111	00011011
28	0.21268E-01	0.0000110	00011100
29	0.18271E-01	0.0000100	00011101
30	0.15366E-01	0.0000100	00011110
31	0.12407E-01	0.0000101	00011111
32	0.11459E-01	0.0000001	00100000
33	0.97571E-02	0.0000001	00100001
34	0.83143E-02	0.0000001	00100010
35	0.70657E-02	0.0000000	00100011
36	0.59947E-02	0.0000000	00100100
37	0.50770E-02	0.0000000	00100101
38	0.42745E-02	0.0000000	00100110
39	0.36264E-02	0.0000000	00100111
40	0.30577E-02	0.0000000	00101000
41	0.25744E-02	0.0000000	00101001
42	0.21643E-02	0.0000000	00101010
43	0.18170E-02	0.0000000	00101011
44	0.15234E-02	0.0000000	00101100
45	0.12754E-02	0.0000000	00101101
46	0.10554E-02	0.0000000	00101110
47	0.89052E-03	0.0000000	00101111

48	0.74265E-03	0.0000000	00110000
49	0.61255E-03	0.0000000	00110001
50	0.51454E-03	0.0000000	00110010
51	0.42749E-03	0.0000000	00110011
52	0.35473E-03	0.0000000	00110100
53	0.29400E-03	0.0000000	00110101
54	0.24333E-03	0.0000000	00110110
55	0.20123E-03	0.0000000	00110111
56	0.16618E-03	0.0000000	00111000
57	0.13708E-03	0.0000000	00111001
58	0.11274E-03	0.0000000	00111010
59	0.92953E-04	0.0000000	00111011
60	0.76709E-04	0.0000000	00111100
61	0.62738E-04	0.0000000	00111101
62	0.51753E-04	0.0000000	00111110
63	0.42150E-04	0.0000000	00111111
64	0.34290E-04	0.0000000	01000000
65	0.28170E-04	0.0000000	01000001
66	0.23014E-04	0.0000000	01000010
67	0.18756E-04	0.0000000	01000011
68	0.15235E-04	0.0000000	01000100
69	0.12436E-04	0.0000000	01000101
70	0.10105E-04	0.0000000	01000110
71	0.82027E-05	0.0000000	01000111
72	0.66501E-05	0.0000000	01001000
73	0.53849E-05	0.0000000	01001001
74	0.43552E-05	0.0000000	01001010
75	0.35192E-05	0.0000000	01001011
76	0.28385E-05	0.0000000	01001100
77	0.22873E-05	0.0000000	01001101
78	0.18408E-05	0.0000000	01001110
79	0.14726E-05	0.0000000	01001111
80	0.11878E-05	0.0000000	01010000
81	0.95225E-06	0.0000000	01010001
82	0.76240E-06	0.0000000	01010010
83	0.60757E-06	0.0000000	01010011
84	0.48670E-06	0.0000000	01010100
85	0.38305E-06	0.0000000	01010101
86	0.30895E-06	0.0000000	01010110
87	0.24562E-06	0.0000000	01010111
88	0.19497E-06	0.0000000	01011000
89	0.15453E-06	0.0000000	01011001
90	0.12229E-06	0.0000000	01011010
91	0.96620E-07	0.0000000	01011011
92	0.76211E-07	0.0000000	01011100
93	0.60012E-07	0.0000000	01011101

94	0.47174E-07	0.0000000	01011110
95	0.37016E-07	0.0000000	01011111
96	0.28993E-07	0.0000000	01100000
97	0.22666E-07	0.0000000	01100001
98	0.17685E-07	0.0000000	01100010
99	0.13772E-07	0.0000000	01100011
100	0.10703E-07	0.0000000	01100100
101	0.83007E-08	0.0000000	01100101
102	0.64238E-08	0.0000000	01100110
103	0.49605E-08	0.0000000	01100111
104	0.38220E-08	0.0000000	01101000
105	0.29383E-08	0.0000000	01101001
106	0.22738E-08	0.0000000	01101010
107	0.17248E-08	0.0000000	01101011
108	0.13170E-08	0.0000000	01101100
109	0.10035E-08	0.0000000	01101101
110	0.76298E-09	0.0000000	01101110
111	0.57875E-09	0.0000000	01101111
112	0.43653E-09	0.0000000	01110000
113	0.33167E-09	0.0000000	01110001
114	0.25057E-09	0.0000000	01110010
115	0.18919E-09	0.0000000	01110011
116	0.14285E-09	0.0000000	01110100
117	0.10796E-09	0.0000000	01110101
118	0.81749E-10	0.0000000	01110110
119	0.62101E-10	0.0000000	01110111
120	0.47396E-10	0.0000000	01111000
121	0.35405E-10	0.0000000	01111001
122	0.28191E-10	0.0000000	01111010
123	0.22049E-10	0.0000000	01111011
124	0.17448E-10	0.0000000	01111100
125	0.13987E-10	0.0000000	01111101
126	0.11370E-10	0.0000000	01111110

Las medidas tomada aparecen en la tabla T5.5

TABLA T5.5  
FILTRO RC DE UN POLO, CON VENTANA DE HAMMING

N	f (Hz)	g (-)	G (dB)
1	5.0	1.00	0.000
2	6.3	0.98	- 0.160
3	8.0	0.98	- 0.160
4	10.0	0.96	- 0.360
5	12.5	0.90	- 0.900
6	16.0	0.82	- 1.52
7	20.0	0.70	- 3.08
8	25.0	0.60	- 4.44
9	31.5	0.54	- 5.36
10	40.0	0.46	- 6.74
11	50.0	0.40	- 7.96
12	55.0	0.34	- 9.36
13	60.0	0.34	- 9.36
14	65.0	0.34	- 9.36
15	120.0	0.20	-12.60
16	300.0	0.10	-20.00*

(\*) Se nota algo de ruido

FILTRO RC DE UN POLO

GANANCIA (dB)

10

0

-10

-20

GRAFICO 6.5.4

FRECUENCIA (Hz)

1 2 5 10 20 50 100 200 500 1000

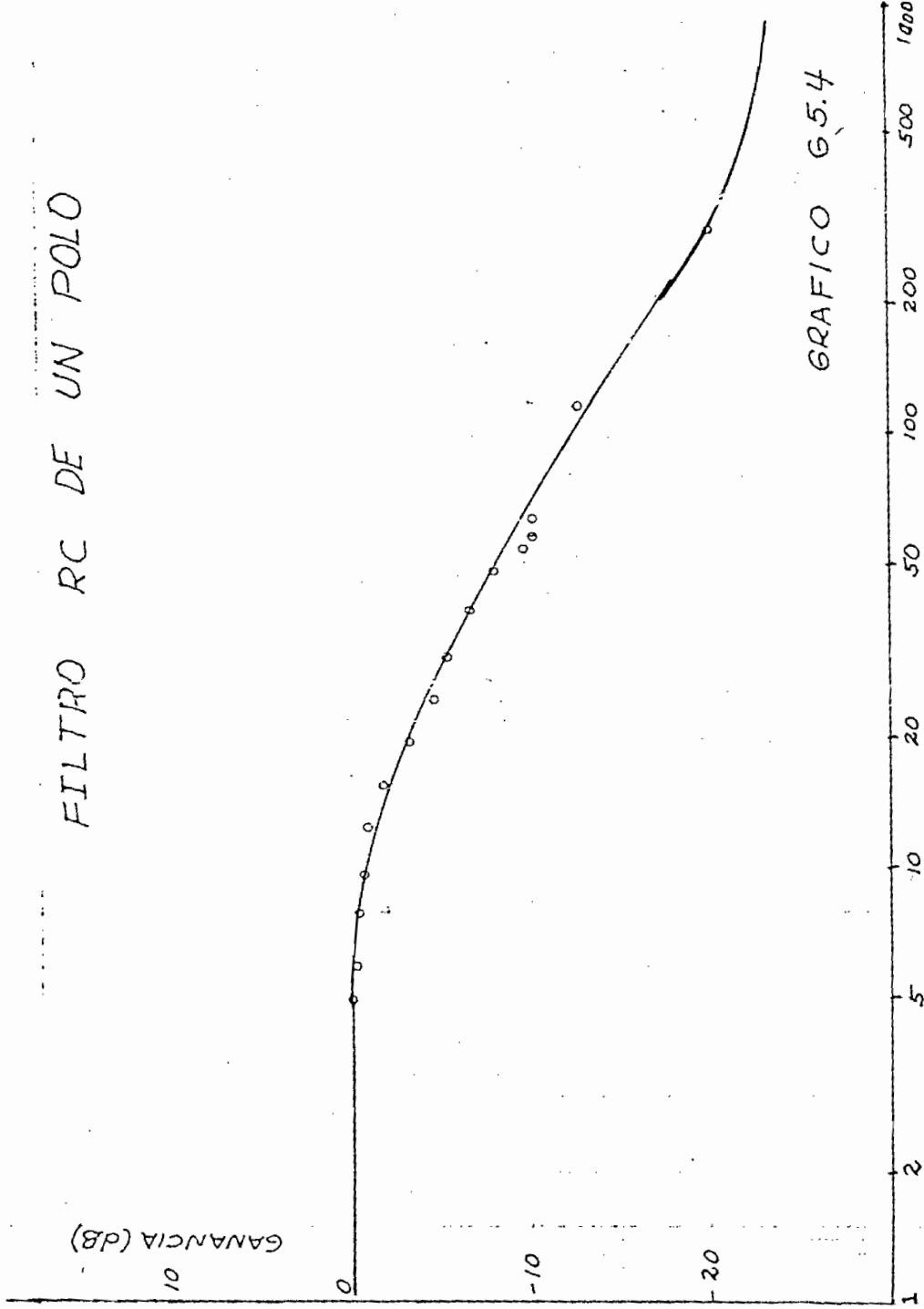
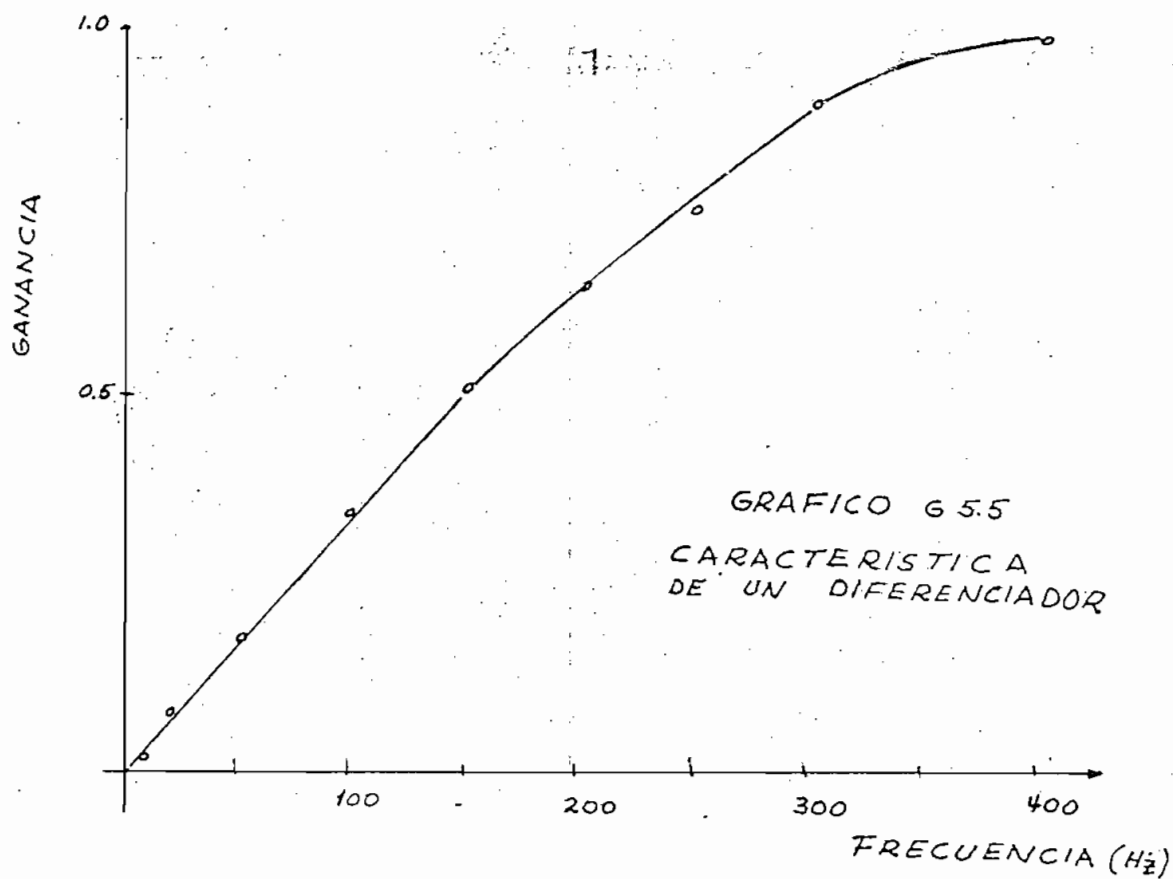




TABLA T5.6  
CARACTERISTICA DE UN DIFERENCIADOR

N	f (Hz)	g (-)
1	400	1.00
2	300	0.90
3	250	0.76
4	200	0.66
5	150	0.52
6	100	0.35
7	50	0.18
8	20	0.07
9	10	0.02
10	5	*

(\*) Se presenta ruido que imposibilita una medida confiable



El gráfico G5.5 es la característica del diferenciador. Se observa una gran linealidad en la región de baja frecuencia, y, a medida que la frecuencia va en aumento el diferenciador se aparta del modelo ideal de comportamiento.

Esta característica, por otra parte, es común a todos los filtros experimentados y es una de las propiedades de los sistemas digitales: su respuesta de frecuencia es periódica. Si fuera posible tomar medidas hasta frecuencias mayores se observaría en los gráficos este fenómeno.

2.7 INTEGRADOR DE TIEMPO FINITO. La función de transferencia de un integrador es

$$H(\omega) = -1/(j\omega)$$

En el dominio del tiempo:

$$h(t) = \begin{cases} 1/2 & t > 0 \\ 0 & t = 0 \\ -1/2 & t < 0 \end{cases}$$

Para introducirlo en el filtro se aproximó con los siguientes coeficientes

$$a_n = \begin{cases} 1 & n=0,1,2,3,4,\dots,7 \\ 0 & \text{otro valor de } n \end{cases}$$

Las pruebas se hicieron introduciendo pulsos rectangulares de 10 milisegundos de duración aproximadamente. Ver la gráfica G5.6

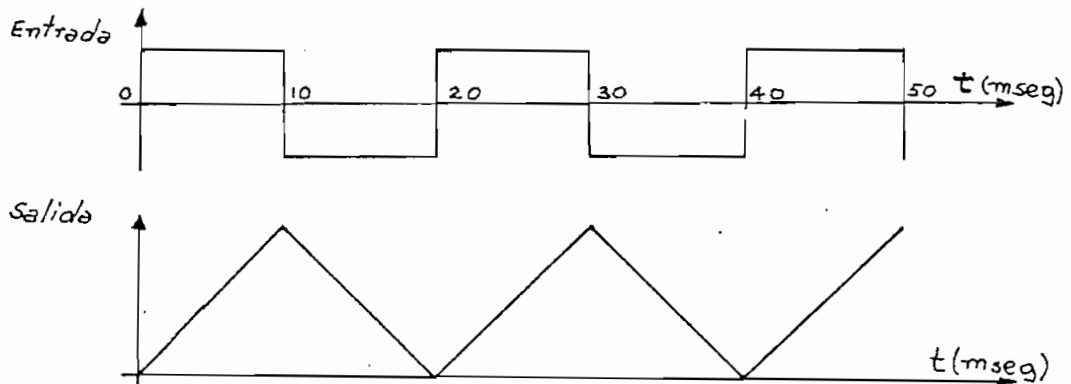


GRAFICO 5.6 PRUEBA DEL INTEGRADOR

Se pensó que más representativo sería demostrar el funcionamiento del integrador introduciendo una señal cuya integral sea conocida. La señal de entrada escogida fue una onda cuadrada y la salida, como se esperaba, una onda triangular.

El generador de pulsos utilizado tenía la capacidad de producir pulsos de ancho variable. La salida observada era entonces una onda de forma trapezoidal. El funcionamiento del aparato fue satisfactorio.

### 3. EVALUACION DEL FILTRO

El presente párrafo tiene como objeto el presentar ideas sobre la forma en que se desarrolló el proyecto y analizar la calidad de los resultados que se obtuvieron.

3.1 DESARROLLO DEL PROYECTO. Este se desarrollaba en dos tiempos. En el primero se diseñaba una sección en el papel y se estudiaba el sistema de señales de control. En el segundo se armaba el circuito, se lo probaba, y, en caso de que hiciera falta, se modificaba el circuito, o, en último caso, el diseño previo.

Los circuitos integrados probaron ser altamente confiables dentro de su rango de operación y resistentes a condiciones no usuales fuera de él. Uno de los puntos que más se destacó fue la necesidad de alimentarlos con voltajes señalados: cualquier pequeña variación de los límites especificados provocaba la interrupción del funcionamiento. Como ejemplo curioso, se puede decir que hacia el final del trabajo, cuando la carga de corriente ya era relativamente alta, se instalaron fusibles de protección.

El resultado inmediato fue que el sistema después de trabajar uno o dos segundos después de conectado a la fuente decaía gradualmente hasta que se perdían las oscilaciones del reloj. Lo que había sucedido es que el fusible intercalado producía una caída de potencial del orden de algunas décimas de voltio que eran suficientes para bajar el voltaje de los 4.75 voltios -límite especificado por el fabricante- hasta los 4.5 o 4.4 voltios, nivel de voltaje que cae fuera del rango "recomendado" por las hojas de data. La solución fue simple: se intercalaron los fusibles en la fuente, antes del circuito de regulación de voltaje, y no se presentaron nuevas dificultades.

El sistema de carga de los coeficientes fue el que más complicaciones presentó para el diseño. Se requería de un comando de carga que se mantenga únicamente durante un ciclo para evitar que se puedan introducir errores por cargas reiteradas del mismo coeficiente. La solución fue utilizar un biestable R-S y un sistema de realimentación para interrumpir el pulso de carga cuando este había tenido la duración necesaria. Con esta última configuración el sistema de carga funcionó muy eficientemente. Para probar la estabilidad que podía mantener se lo mantuvo funcionando durante unas 20 horas seguidas (es decir, unos 80

millones de ciclos) y al final se revisó el contenido de los registros encontrándose que no se habían producido alteraciones.

Durante este largo período de prueba tampoco se presentaron inconvenientes de otra índole, ni recalentamientos de ningún tipo.

En resumen, cuando los voltajes de alimentación son adecuados el aparato funciona correctamente.

El inconveniente que presenta el modelo construido es la cierta incomodidad que representa el tener que introducir manualmente los coeficientes. Sería recomendable -y no demasiado complicado- el dotar al procesador de la capacidad de poder cargar los coeficientes leyéndolos de una cinta de papel perforada del tipo utilizado por los teletipos.

El hecho de que el procesador haya sido construido casi exclusivamente con circuitos integrados explica el pequeñísimo consumo de energía que tiene, tomando en cuenta que existen unos 10000 transistores y el consumo es de menos de 8 vatios, También puede verse así: el consumo es de 60 milivatios por cada cero de la función de transfe-

rencia.

Este mínimo consumo conduce a que el volumen ocupado sea también muy reducido y que el sistema pueda operar permanentemente sin necesidad de disipadores de calor.

El procesador tiene una característica muy atractiva para ser utilizado en sistemas multiplex en el tiempo: debido a que el flujo de la información dentro del sistema está controlado por el reloj maestro se sabe exactamente a que momento hay que admitir una nueva muestra por lo que el sistema se puede sincronizar fácilmente con órganos externos.

El aparato construido podría trabajar con frecuencias de muestreo más bajas utilizando un reloj externo, pero no en más altas, a menos que se cambien los registros de recirculación INTEL 2405. Cuando se hizo el diseño se consideró la posibilidad de trabajar con registros MOS/LSI que alcanzaba frecuencias de operación mayores que las de los utilizados, pero se desechó la idea porque los registros disponibles no resultaban compatibles con la lógica TTL y habría sido necesario introducir circuito de acoplamiento.



En cuanto a los filtros digitales podemos anotar las limitaciones, que en la actualidad, son principalmente dos:

(a) El rango de operación está restringido a frecuencias relativamente bajas, y,

(b) El costo de un procesador de esta naturaleza es más alto que el que tienen los circuitos convencionales.

Por otra parte, el imperativo de truncar la serie de bits para obtener palabras de longitud finita que puedan ser almacenadas en un registro introduce errores de cuantización que deterioran la calidad de la señal. Sin embargo, mediante análisis matemáticos adecuados, se puede determinar la cota máxima del error (ver, por ejemplo, (B33)) Es decir, se puede determinar la longitud de palabra requerida para que los errores no sobrepasen un máximo admisible.

En resumen, el filtro digital actual es un aparato que procesa con suma precisión señales de baja frecuencia y puede ser utilizado en cualquier situación en que la calidad del filtrado sea de primera importancia y se pueda sacrificar el costo en favor de la calidad.

3.2 COMPARACION CON FILTROS ACTIVOS. La comparación de un filtro activo con uno digital no resulta del todo

apropiada: el filtro digital en realidad no es simplemente un filtro, sino un aparato con mucha mayor capacidad que entre algunas de sus funciones puede ser equiparado a un filtro.

En estas circunstancias el filtro digital es capaz de lograr características mucho más precisas que los filtros activos.

Lo que más se aproxima a las características de un filtro digital, entre las logradas con filtros activos, es una realización en multiplex de tiempo de un filtro Butterworth de orden 16 (B8) que alcanza pendientes de 93 dB/década en su transición. Comparando con el valor logrado en el procesador construido (190 dB/década) se ve que todavía está lejos.

A diferencia de los filtros activos, un procesador digital es capaz de producir funciones de transferencia de toda índole; no existe el problema de que se produzcan inestabilidades debido a la sensibilidad de los parámetros porque los circuitos integrados tienen redes internas para comensar los efectos de la temperatura. En cuanto al costo, que es un punto en que los filtros activos están todavía en ventaja, es de esperarse que el continuo decrecimiento de precios de circuitos integrados pronto nivele las diferencias actuales.

#### 4. APLICACIONES

Las favorables características que se logran con los filtros digitales hacen que su campo de aplicación sea bastante extenso.

4.1 TELECOMUNICACIONES. Las aplicaciones de filtros en telecomunicaciones son fundamentales. Los digitales -es- pecialmente los recursivos- empiezan a ser utilizados en los rangos de baja frecuencia. En sistemas telefónicos se considera que son suficientes frecuencias de hasta 3 kHz para reproducir la voz con claridad.

En los sistemas de telecomunicaciones que trabajan normalmente bajo el principio de modulación en amplitud, mediante pasos internacionalmente estandarizados se desplaza el espectro de la señal hacia el rango de frecuencias altas. Para transmisiones de voz el ancho previsto es de 4 kHz por canal, de los cuales 3.2 kHz se destinan a la información y

el resto (0.8 kHz) da un margen para separar los canales entre si. Un primer paso de modulación lleva doce de estos canales a ocupar frecuencias comprendidas entre los 60 y 108 kHz. En cada modulación hace falta filtrar la mitad del espectro para eliminar la banda redundante.

Un siguiente paso de modulación formaría un supergrupo (unión de cuatro grupos) y lo ubicaría entre los 312 y 552 kHz. Se suelen utilizar más pasos de modulación cuando el volumen de la información a transmitirse lo justifique.

En un sistema de esta naturaleza los filtros digitales pueden competir adecuadamente con las tecnologías convencionales -filtros LRC, filtros activos- únicamente en los primeros pasos de modulación en que las frecuencias de trabajo son bajas; las ventajas de los filtros digitales se hacen presentes y el precio resulta competitivo si la utilización es en gran escala.

Un obstáculo que topan los filtros digitales es que, a pesar de que sus características son favorables, es difícil que su uso se extienda rápidamente puesto que los sistemas actuales están diseñados con otra orientación. El éxito con que en el futuro puedan ser aplicados radica, en gran parte, en la posibilidad de contar con convertidores A/D y D/A de alta velocidad, confiables y eficientes (B26).

Sin embargo, no parece estar lejano el día en que los filtros digitales se puedan producir en un sólo sustrato LSI. Buie y Breuer publican (B9) la descripción de un correlacionador de estado sólido -que con algunas modificaciones podría convertirse en un procesador digital- que opera en frecuencias de hasta 20 MHz y podría ser construído en un sustrato de 5.60 mm por 5.80 mm.

4.2 CONTROL. Los sistemas de control actúan sobre sistemas mecánicos mucho más lentos que los circuitos electrónicos. En general, para fines de control, se requieren circuitos que puedan procesar información cuya frecuencia sea del orden de fracciones de hertz. En este rango el filtro digital es particularmente adaptable.

Entre las aplicaciones industriales que tiene se puede mencionar la utilización para la estabilización de sistemas. Un sistema de control queda definido por la posición de los polos y ceros de su función de transferencia. Es conocido que si algún polo está sobre el semiplano derecho el sistema es inestable. Cuando, en la práctica, se presenta este caso es necesario diseñar redes de adelanto y atraso que reubiquen los polos de la función de transferencia en el semiplano izquierdo con lo que el sistema se estabi-

lice.

Por ejemplo, Kuo (citado en (B44)) calcula un sistema que requiere un compensador

$$G(s) = \frac{1}{s(1+0.1s)(1+0.5s)}$$

para garantizar su estabilidad.

La transformación bilineal ( $z=(s-1)/(s+1)$ ) lo convierte en

$$D(z) = \frac{0.25 - 0.24z^{-1}}{1 - 0.99z^{-1}}$$

Obtener esa función de transferencia con un filtro digital es inmediato. Para obtenerla por otros medios habría que recurrir a las sofisticadas técnicas de síntesis de redes.

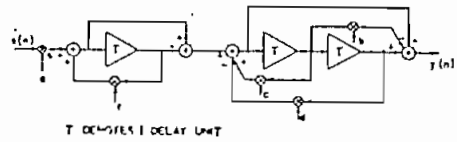
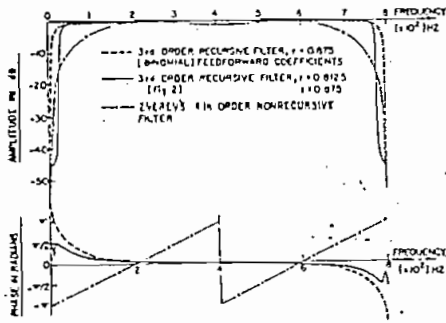
4.3 OTRAS APLICACIONES. (a) Otra aplicación es la simulación de circuitos. Por ejemplo, se han hecho estudios de líneas telefónicas utilizando un filtro para simular la línea (B1); para estudiar el efecto de cada uno de los parámetros basta cargar otro juego de coeficientes y tomar nuevas medidas.

(b) Un filtro digital puede ser utilizado como generador de funciones. Si se aplica un impulso a la entrada del filtro se obtiene, a la salida, la respuesta impulso, es decir, la función cuyas muestras están almacenadas en la memoria de coeficientes.

De esta manera se puede generar ondas de forma totalmente arbitraria, e, inclusive, determinadas por sus características de fase.

(c) Los sistemas de radar para la detección de objetivos en movimiento requieren de filtros que les permitan distinguir y extraer reflejos de señales emitidas por cuerpos en movimiento entre reflejos de señales provenientes de cuerpos estacionarios. Estos filtros son conocidos con las siglas MTI ("moving target indicator": indicador de objetivos móviles); se basan en el principio de que las señales emitidas por cuerpos en movimiento manifiestan un desplazamiento de frecuencias debido al efecto Doppler.

Básicamente un filtro MTI es un filtro pasabajos que presenta, además, gran atenuación a frecuencias cercanas a cero. Las exigencias adicionales que deben satisfacer son rigurosas: brusca transición entre la banda de paso y la



### F5.3 Características y realización de un filtro MTI (tomado de (B28))

de atenuación, característica de frecuencia casi plana en la banda de paso, manejo de bajas frecuencias y fase lineal.

W. Shradcr y J. M. Mark han estudiado el problema desde el punto de vista de los filtros digitales (B28).

Ambos proponen como solución filtros recursivos de tercer orden (con tres demoras). El de Mark se presenta en la figura F5.3

Los resultados obtenidos mediante simulación con computadora digital demuestran que el filtro propuesto satisface en buena forma las exigencias de magnitud y fase planteadas.

Los ejemplos anteriores demuestran que la capacidad de los filtros digitales sobrepasa en mucho a lo que uno podría esperarse de un "filtro". En un tema tan actual como el expuesto es de esperarse que pronto se encuentren



aplicaciones totalmente nuevas a este versátil aparato electrónico.

APENDICES

APENDICE A. LISTA DE MATERIALES Y COSTO DEL PROYECTO

<u>Función</u>	<u>Nº de serie</u>	<u>Cant.</u>	<u>Precio unit.</u>	<u>Precio total</u>
NAND de dos entradas	SN7400	7	U\$0.58	U\$4.06
NOR de dos entradas	SN7402	3	0.58	1.74
Disparador de Schmitt	SN7413	1	1.89	1.89
NAND de cuatro entradas	SN7420	2	0.58	1.16
Reteneóres de datos	SN7475	3	2.75	8.25
Sumadores	SN7483	3	3.10	9.30
OR-exclusivos	SN7486	3	1.16	3.48
Contadores binarios	SN7493	3	1.60	4.80
Biestables tipo D	SN74174	2	4.73	9.46
Registros de desplazamiento	SN74195	6	2.24	13.44
Registros de recirculación	INTEL 2405	2	18.70	37.40
Convertidor A/D	DATEL ADC-D-10B		89.00	89.00
Convertidor D/A	DATEL DAC-49-10B		39.00	39.00
Conmutadores		17	0.70	11.90
TOTAL:.....				U\$234.80

A P E N D I C E B

HOJAS DE DATA DE LOS CIRCUITOS MAS  
IMPORTANTES DEL DISEÑO

TTL  
MSI

TYPES SN54195, SN54LS195, SN54S195,  
SN74195, SN74LS195, SN74S195  
4-BIT PARALLEL-ACCESS SHIFT REGISTERS  
BULLETIN NO. DL-S 7211820, DECEMBER 1972

- Synchronous Parallel Load
- Positive-Edge-Triggered Clocking
- Parallel Inputs and Outputs from Each Flip-Flop
- Direct Overriding Clear
- J and  $\bar{K}$  Inputs to First Stage
- Complementary Outputs from Last Stage
- For Use in High-Performance:  
Accumulators/Processors  
Serial-to-Parallel, Parallel-to-Serial Converters

description

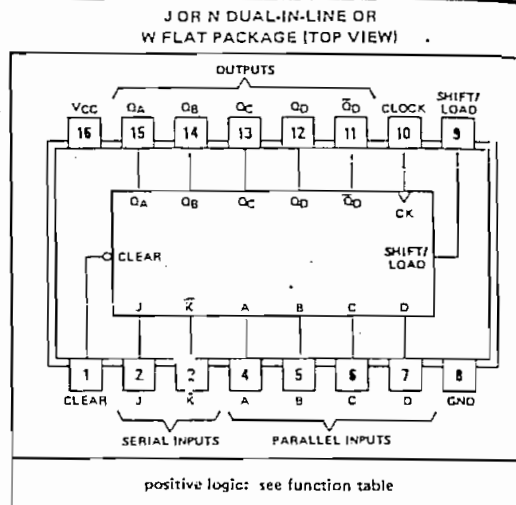
These 4-bit registers feature parallel inputs, parallel outputs, J- $\bar{K}$  serial inputs, shift/load control input, and a direct overriding clear. All inputs are buffered to lower the input drive requirements. The registers have two modes of operation:

Parallel (Broadside) Load  
Shift (In direction  $Q_A$  toward  $Q_D$ )

Parallel loading is accomplished by applying the four bits of data and taking the shift/load control input low. The data is loaded into the associated flip-flop and appears at the outputs after the positive transition of the clock input. During loading, serial data flow is inhibited.

Shifting is accomplished synchronously when the shift/load control input is high. Serial data for this mode is entered at the J- $\bar{K}$  inputs. These inputs permit the first stage to perform as a J- $\bar{K}$ , D-, or T-type flip-flop as shown in the function table.

The high-performance 'S195, with a 105-megahertz typical maximum shift-frequency, is particularly attractive for very-high-speed data processing systems. In most cases existing systems can be upgraded merely by using this Schottky-clamped shift register.



TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'195	39 MHz	195 mW
'LS195	28 MHz	50 mW
'S195	105 MHz	375 mW

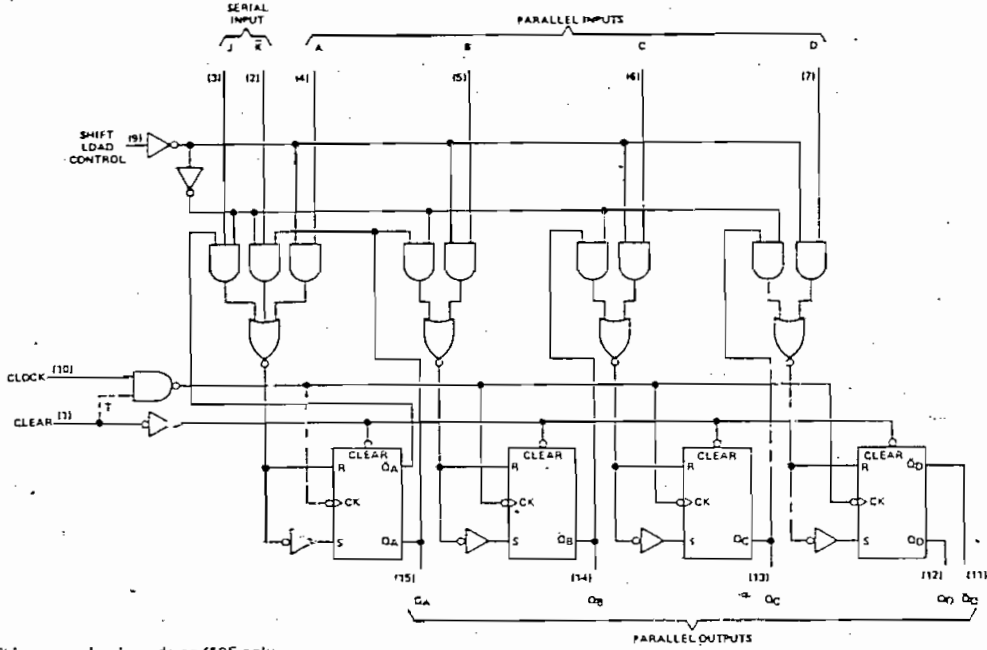
FUNCTION TABLE

CLEAR	SHIFT/ LOAD	CLOCK	INPUTS				OUTPUTS						
			SERIAL		PARALLEL		$Q_A$	$Q_B$	$Q_C$	$Q_D$	$\bar{Q}_D$		
			J	$\bar{K}$	A	B	C	D					
L	X	x	X	X	X	X	X	X	L	L	L	L	H
H	L	↑	X	X	a	b	c	d	$Q_{A0}$	$Q_{B0}$	$Q_{C0}$	$Q_{D0}$	$\bar{Q}_{D0}$
H	H	↑	L	H	X	X	X	X	$Q_{A0}$	$Q_{A0}$	$Q_{Bn}$	$Q_{Cn}$	$\bar{Q}_{Cn}$
H	H	↑	L	L	X	X	X	X	L	$Q_{An}$	$Q_{Bn}$	$Q_{Cn}$	$\bar{Q}_{Cn}$
H	H	↑	H	H	X	X	X	X	H	$Q_{An}$	$Q_{Bn}$	$Q_{Cn}$	$\bar{Q}_{Cn}$
H	H	↑	H	L	X	X	X	X	$\bar{Q}_{An}$	$Q_{An}$	$Q_{Bn}$	$Q_{Cn}$	$\bar{Q}_{Cn}$

H = high level (steady state)  
L = low level (steady state)  
X = irrelevant (any input, including transitions)  
↑ = transition from low to high level  
a, b, c, d = the level of steady-state input at A, B, C, or D, respectively  
 $Q_{A0}, Q_{B0}, Q_{C0}, Q_{D0}$  = the level of  $Q_A, Q_B, Q_C,$  or  $Q_D$ , respectively, before the indicated steady-state input conditions were established  
 $Q_{An}, Q_{Bn}, Q_{Cn}$  = the level of  $Q_A, Q_B,$  or  $Q_C$ , respectively, before the most recent transition of the clock

# TYPES SN54195, SN54LS195, SN54S195, SN74195, SN74LS195, SN74S195 4-BIT PARALLEL-ACCESS SHIFT REGISTERS

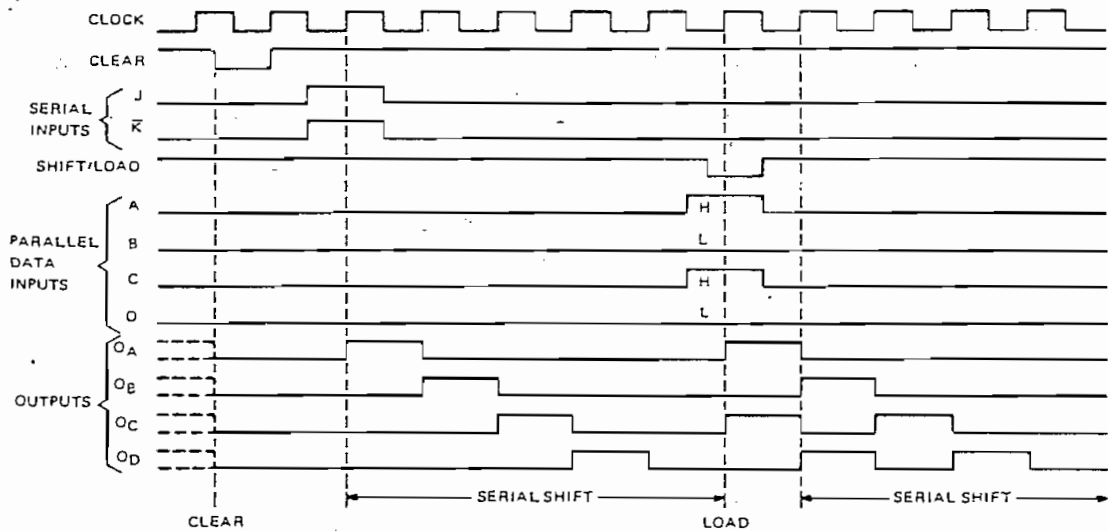
functional block diagram



† This connection is made on '195 only.

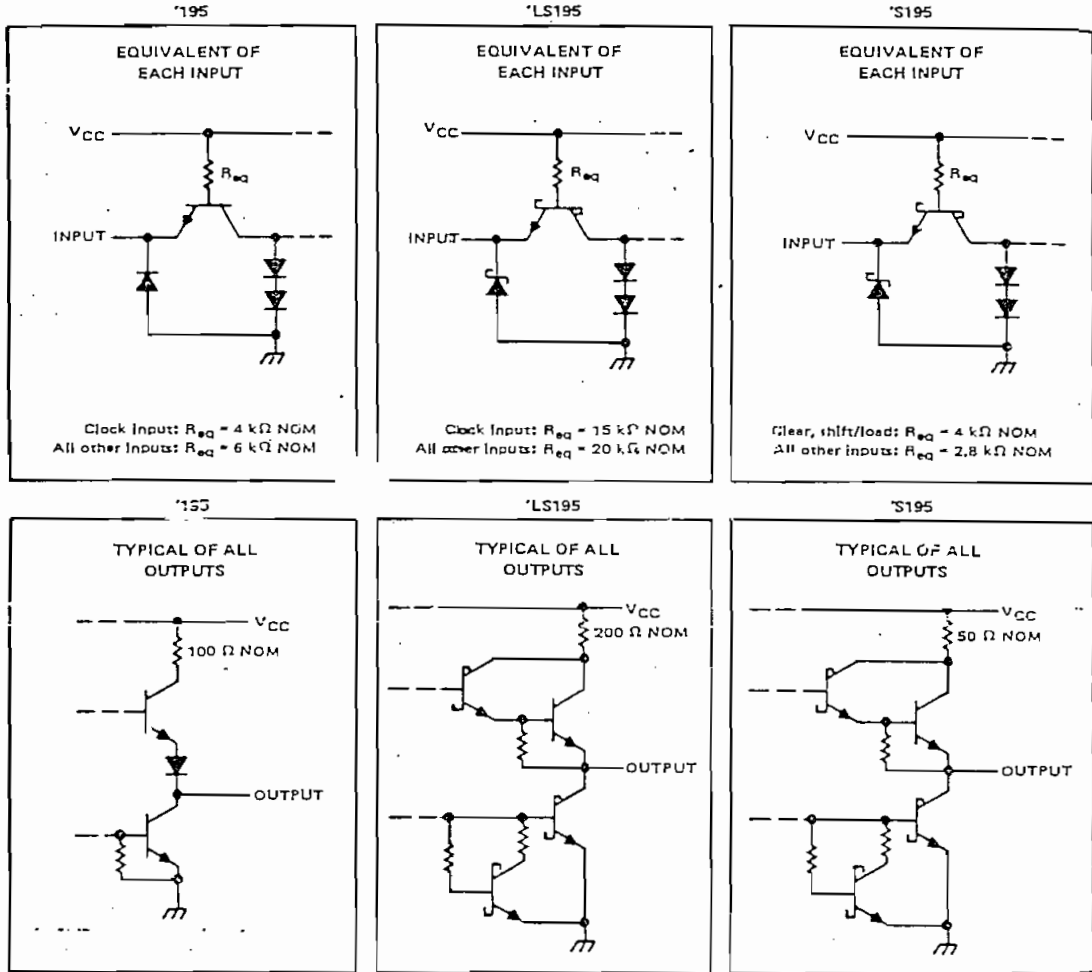
◊ . . . dynamic Input activated by a transition from a high level to a low level.

typical clear, shift, and load sequences



# TYPES SN54195, SN54LS195, SN54S195, SN74195, SN74LS195, SN74S195 4-BIT PARALLEL-ACCESS SHIFT REGISTERS

schematics of inputs and outputs



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Note 1)	7 V
Input voltage	5.5 V
Operating free-air temperature range: SN54', SN54LS', SN54S' Circuits	-55°C to 125°C
SN74', SN74LS', SN74S' Circuits	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network grounded terminal.

TYPES SN54195, SN74195  
4-BIT PARALLEL-ACCESS SHIFT REGISTERS

recommended operating conditions

	SN54195			SN74195			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, $V_{CC}$	4.5	5	5.5	4.75	5	5.25	V
High-level output current, $I_{OH}$			-800			-800	$\mu$ A
Low-level output current, $I_{OL}$			16			16	mA
Clock frequency, $f_{clock}$	0		30	0		30	MHz
Width of clock input pulse, $t_w(\text{clock})$	16			16			ns
Width of clear input pulse, $t_w(\text{clear})$	12			12			ns
Setup time, $t_{setup}$ (see Figure 1)	Shift/load	25		25			ns
	Serial and parallel data	15		15			
	Clear inactive-state	25		25			
Shift/load release time, $t_{release}$ (see Figure 1)			10			10	ns
Serial and parallel data hold time, $t_{hold}$ (see Figure 1)	6			0			ns
Operating free-air temperature, $T_A$	-55		125	0		70	$^{\circ}$ C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
$V_{IH}$ High-level input voltage		2			V
$V_{IL}$ Low-level input voltage				0.8	V
$V_I$ Input clamp voltage	$V_{CC} = \text{MIN}$ , $I_I = -12 \text{ mA}$			-1.5	V
$V_{OH}$ High-level output voltage	$V_{CC} = \text{MIN}$ , $V_{I4} = 2 \text{ V}$ , $V_{IL} = 0.8 \text{ V}$ , $I_{OH} = -800 \mu\text{A}$	2.4	3.4		V
$V_{OL}$ Low-level output voltage	$V_{CC} = \text{MIN}$ , $V_{I4} = 2 \text{ V}$ , $V_{IL} = 0.8 \text{ V}$ , $I_{OL} = 16 \text{ mA}$		0.2	0.4	V
$i_I$ Input current at maximum input voltage	$V_{CC} = \text{MAX}$ , $V_I = 5.5 \text{ V}$			1	mA
$I_{IH}$ High-level input current	$V_{CC} = \text{MAX}$ , $V_I = 2.4 \text{ V}$			40	$\mu$ A
$I_{IL}$ Low-level input current	$V_{CC} = \text{MAX}$ , $V_I = 0.4 \text{ V}$			-1.6	mA
$I_{OS}$ Short-circuit output current§	$V_{CC} = \text{MAX}$			-57	mA
				-18	
$I_{CC}$ Supply current	$V_{CC} = \text{MAX}$ , See Note 2		39	63	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.

‡ All typical values are at  $V_{CC} = 5 \text{ V}$ ,  $T_A = 25^{\circ}\text{C}$ .

§ Not more than one output should be shorted at a time.

NOTE: 2. With all outputs open, shift/load grounded, and 4.5 V applied to the J, K, and data inputs,  $I_{CC}$  is measured by applying a momentary ground, followed by 4.5 V, to clear and then applying a momentary ground, followed by 4.5 V, to clock.

switching characteristics,  $V_{CC} = 5 \text{ V}$ ,  $T_A = 25^{\circ}\text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$f_{max}$ Maximum clock frequency		30	39		MHz
$t_{PHL}$ Propagation delay time, high-to-low-level output from clear	$C_L = 15 \text{ pF}$ , $R_L = 400 \Omega$ , See Figure 1		19	30	ns
$t_{PLH}$ Propagation delay time, low-to-high-level output from clock		6	14	22	ns
$t_{PHL}$ Propagation delay time, high-to-low-level output from clock		7	17	26	ns



TYPES SN54S195, SN74S195  
4-BIT PARALLEL-ACCESS SHIFT REGISTERS

recommended operating conditions

	SN54S195			SN74S195			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, $V_{CC}$	4.5	5	5.5	4.75	5	5.25	V
High-level output current, $I_{OH}$			-1			-1	mA
Low-level output current, $I_{OL}$			20			20	mA
Clock frequency, $f_{clock}$	0		70	0		70	MHz
Width of clock input pulse, $t_w(\text{clock})$	7			7			ns
Width of clear input pulse, $t_w(\text{clear})$	12			12			ns
Setup time, $t_{setup}$ (see Figure 1)	Shift/load	8		2			ns
	Serial and parallel data	5		5			
	Clear inactive-state	9		9			
Shift/load release time, $t_{release}$ (see Figure 1)			6			6	ns
Serial and parallel data hold time, $t_{hold}$ (see Figure 1)	3			3			ns
Operating free-air temperature, $T_A$	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
$V_{IH}$ High-level input voltage			2		V
$V_{IL}$ Low-level input voltage				0.8	V
$V_I$ Input clamp voltage	$V_{CC} = \text{MIN}, I_I = -1 \text{ mA}$			-1.2	V
$V_{OH}$ High-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = 0.8 \text{ V}, I_{OH} = -1 \text{ mA}$	SN54S195	2.5	3.4	V
		SN74S195	2.7	3.4	
$V_{OL}$ Low-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = 0.8 \text{ V}, I_{OL} = 20 \text{ mA}$			0.5	V
$I_I$ Input current at maximum input voltage	$V_{CC} = \text{MAX}, V_I = 5.5 \text{ V}$			1	mA
$I_{IH}$ High-level input current	$V_{CC} = \text{MAX}, V_I = 2.7 \text{ V}$			50	µA
$I_{IL}$ Low-level input current	$V_{CC} = \text{MAX}, V_I = 0.5 \text{ V}$			-2	mA
$I_{OS}$ Short-circuit output current‡	$V_{CC} = \text{MAX}$		-40	-100	mA
$I_{CC}$ Supply current	$V_{CC} = \text{MAX},$ See Note 2	SN54S195	70	99	mA
		SN74S195	70	109	

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.

‡All typical values are at  $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$ .

§Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.

NOTE 2: With all outputs open, shift/load grounded, and 4.5 V applied to the J, K, and data inputs,  $I_{CC}$  is measured by applying a momentary ground, followed by 4.5 V, to clear, and then applying a momentary ground, followed by 4.5 V, to clock.

switching characteristics,  $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$f_{max}$ Maximum input clock frequency		70	105		MHz
$t_{PHL}$ Propagation delay time, high-to-low-level output from clear	$C_L = 15 \text{ pF}, R_L = 280 \Omega,$ See Figure 1		12.5	18.5	ns
$t_{PLH}$ Propagation delay time, low-to-high-level output from clock			8	12	ns
$t_{PHL}$ Propagation delay time, high-to-low-level output from clock			11	16.5	ns

## TYPES SN54LS195, SN74LS195 4-BIT PARALLEL-ACCESS SHIFT REGISTERS

recommended operating conditions

	SN54LS195			SN74LS195			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, $V_{CC}$	4.5	5	5.5	4.75	5	5.25	V
High-level output current, $I_{OH}$			-400			-400	$\mu$ A
Low-level output current, $I_{OL}$			4			8	mA
Clock frequency, $f_{clock}$	0		20	0		20	MHz
Width of clock or clear pulse, $t_w(\text{clock})$	16			16			ns
Width of clear input pulse, $t_w(\text{clear})$	12			12			ns
Setup time, $t_{setup}$ (see Figure 1)	Shift/load	25		25			ns
	Serial and parallel data	15		15			
	Clear inactive-state	25		25			
Shift/load release time, $t_{release}$ (See Figure 1)			10			10	ns
Serial and parallel data hold time, $t_{hold}$ (see Figure 1)	0			0			ns
Operating free-air temperature, $T_c$	-55		125	0		70	$^{\circ}$ C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS <sup>†</sup>	SN54LS195			SN74LS195			UNIT
		MIN	TYP <sup>‡</sup>	MAX	MIN	TYP <sup>‡</sup>	MAX	
$V_{IH}$ High-level input voltage		2			2			V
$V_{IL}$ Low-level input voltage				0.7			0.8	V
$V_I$ Input clamp voltage	$V_{CC} = \text{MIN.}, I_I = -18 \text{ mA}$			-1.5			-1.5	V
$V_{OH}$ High-level output voltage	$V_{CC} = \text{MIN.}, V_{IH} = 2 \text{ V}, V_{IL} = V_{IL \text{ max}}, I_{OH} = -400 \mu\text{A}$	2.5	3.4		2.7	3.4		V
$V_{OL}$ Low-level output voltage	$V_{CC} = \text{MIN.}, V_{IH} = 2 \text{ V}, V_{IL} = V_{IL \text{ max}}, I_{OL} = 4 \text{ mA}$		0.25	0.4				V
	$V_{CC} = \text{MIN.}, V_{IH} = 2 \text{ V}, V_{IL} = V_{IL \text{ max}}, I_{OL} = 8 \text{ mA}$				0.35	0.5		
$I_I$ Input current at maximum input voltage	$V_{CC} = \text{MAX.}, V_I = 5.5 \text{ V}$			0.1			0.1	mA
$I_{IH}$ High-level input current	$V_{CC} = \text{MAX.}, V_I = 2.7 \text{ V}$			20			20	$\mu$ A
$I_{IL}$ Low-level input current	Clock input			-0.44			-0.44	mA
	Other inputs			-0.36			-0.36	
$I_{OS}$ Short-circuit output current <sup>§</sup>	$V_{CC} = \text{MAX.}$	-6		-40	-5		-42	mA
$I_{CC}$ Supply current	$V_{CC} = \text{MAX.},$ See Note 2		10	17		10	17	mA

<sup>†</sup> For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.

<sup>‡</sup> All typical values are at  $V_{CC} = 5 \text{ V}, T_A = 25^{\circ}\text{C}$ .

<sup>§</sup> Not more than one output should be shorted at a time.

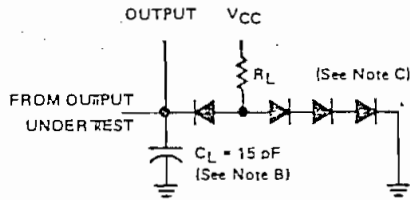
NOTE 2: With all outputs open, shift/load grounded, and 4.5 V applied to the J, K, and data inputs,  $I_{CC}$  is measured by applying a momentary ground, followed by 4.5 V, to clear, and then applying a momentary ground, followed by 4.5 V, to clock.

switching characteristics,  $V_{CC} = 5 \text{ V}, T_A = 25^{\circ}\text{C}$

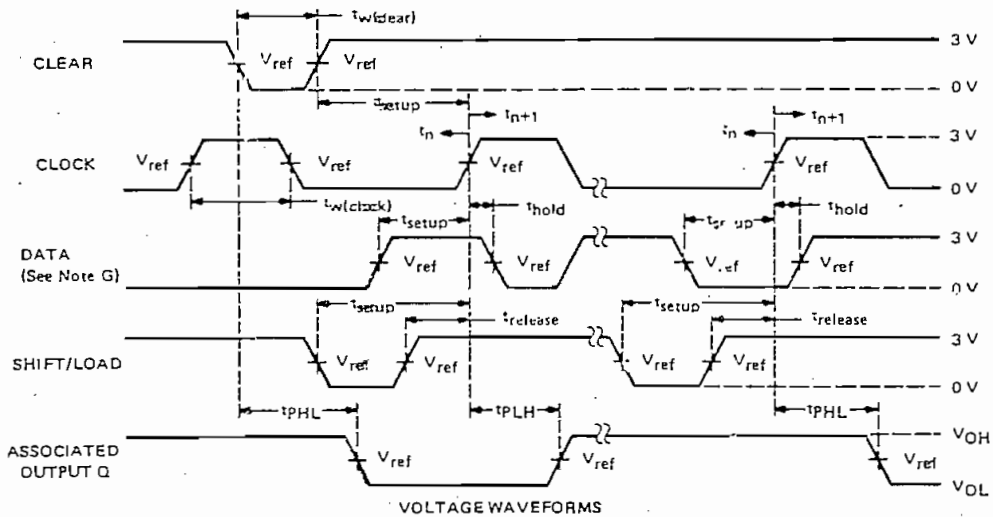
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$f_{max}$ Maximum clock frequency		20	28		MHz
$t_{PHL}$ Propagation delay time, high-to-low-level output from clear	$C_L = 15 \text{ pF}, R_L = 2 \text{ k}\Omega,$ See Figure 1		31	47	ns
$t_{PLH}$ Propagation delay time, low-to-high-level output from clock			19	29	ns
$t_{PHL}$ Propagation delay time, high-to-low-level output from clock			23	35	ns

TYPES SN54195, SN54LS195, SN54S195, SN74195, SN74LS195, SN74S195  
4-BIT PARALLEL-ACCESS SHIFT REGISTERS

PARAMETER MEASUREMENT INFORMATION



LOAD FOR OUTPUT UNDER TEST



- NOTES:
- A. The clock pulse generator has the following characteristics:  $Z_{out} \approx 50 \Omega$  and  $PRR < 1 \text{ MHz}$ . For '195,  $t_r < 7 \text{ ns}$  and  $t_f < 7 \text{ ns}$ . For 'LS195,  $t_r < 15 \text{ ns}$  and  $t_f < 6 \text{ ns}$ . For 'S195,  $t_r = 2.5 \text{ ns}$  and  $t_f = 2.5 \text{ ns}$ . When testing  $f_{max}$ , vary the clock PRR.
  - B.  $C_L$  includes probe and jig capacitance.
  - C. All diodes are 1N3064.
  - D. A clear pulse is applied prior to each test.
  - E. For '195 and 'S195,  $V_{ref} = 1.5 \text{ V}$ ; for 'LS195,  $V_{ref} = 1.3 \text{ V}$ .
  - F. Propagation delay times ( $t_{PLH}$  and  $t_{PHL}$ ) are measured at  $t_{n+1}$ . Proper shifting of data is verified at  $t_{n+4}$  with a functional test.
  - G. J and K inputs are tested the same as data A, B, C, and D inputs except that shift/load input remains high.
  - H.  $t_n$  - bit time before clocking transition.  
 $t_{n+1}$  - bit time after one clocking transition.  
 $t_{n+4}$  - bit time after four clocking transitions.

FIGURE 1—SWITCHING TIMES

TTL  
MSI

TYPES SN5483A, SN54LS83, SN7483A, SN74LS83  
4-BIT BINARY FULL ADDERS

BULLETIN NO. DL-5 7211853, DECEMBER 1972

- For applications in:  
Digital Computer Systems  
Data-Handling Systems  
Control Systems
- SN54283/SN74283 Are Recommended For New Designs as They Feature Supply Voltage and Ground on Corner Pins to Simplify Board Layout

TYPE	TYPICAL ADD TIMES		TYPICAL POWER DISSIPATION PER 4-BIT ADDER
	1 WORD 8-BIT	2 WORDS 16-BIT	
'83A	23 ns	43 ns	310 mW
'LS83	89 ns	165 ns	75 mW

description

These full adders perform the addition of two 4-bit binary numbers. The sum ( $\Sigma$ ) outputs are provided for each bit and the resultant carry ( $C_4$ ) is obtained from the fourth bit. The adders are designed so that logic levels of the input and output, including the carry, are in their true form. Thus the end-around carry is accomplished without the need for level inversion. Designed for medium-to-high-speed, the circuits utilize high-speed, high-fanout transistor-transistor logic (TTL) but are compatible with both DTL and TTL families.

The '83A circuits feature full look-ahead across four bits to generate the carry term in typically 10 nanoseconds to achieve partial look-ahead performance with the economy of ripple carry.

The 'LS83 can reduce power requirements to less than 20 mW/bit for power-sensitive applications. These circuits are implemented with single-inversion, high-speed, Darlington-connected serial-carry circuits within each bit.

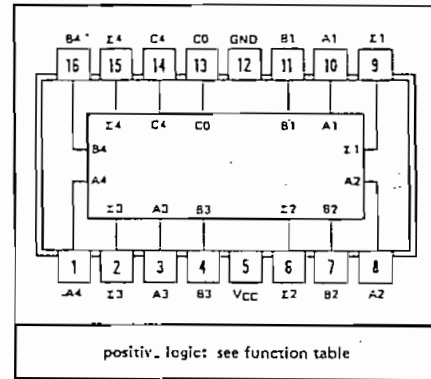
Series 54 and 54LS circuits are characterized for operation over the full military temperature range of  $-55^{\circ}\text{C}$  to  $125^{\circ}\text{C}$ ; Series 74 and 74LS are characterized for  $0^{\circ}\text{C}$  to  $70^{\circ}\text{C}$  operation.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Note 1)	7V
Input voltage	5.5V
Intermitter voltage (see Note 2)	5.5V
Operating free-air temperature range: SN54', SN54LS' Circuits	$-55^{\circ}\text{C}$ to $125^{\circ}\text{C}$
SN74', SN74LS' Circuits	$0^{\circ}\text{C}$ to $70^{\circ}\text{C}$
Storage temperature range	$-65^{\circ}\text{C}$ to $150^{\circ}\text{C}$

- NOTES: 1. Voltage values, except intermitter voltage, are with respect to network ground terminal.  
2. This is the voltage between two emitters of a multiple-emitter transistor. For the '83A, this rating applies between the following pairs: A1 and B1, A2 and B2, A3 and B3, A4 and B4. For the 'LS83, this rating applies between the following pairs: A1 and C1, A1 and C0, B1 and C0, A3 and B3.

JORN DUAL-IN-LINE OR W FLAT PACKAGE (TOP VIEW)



positive logic: see function table

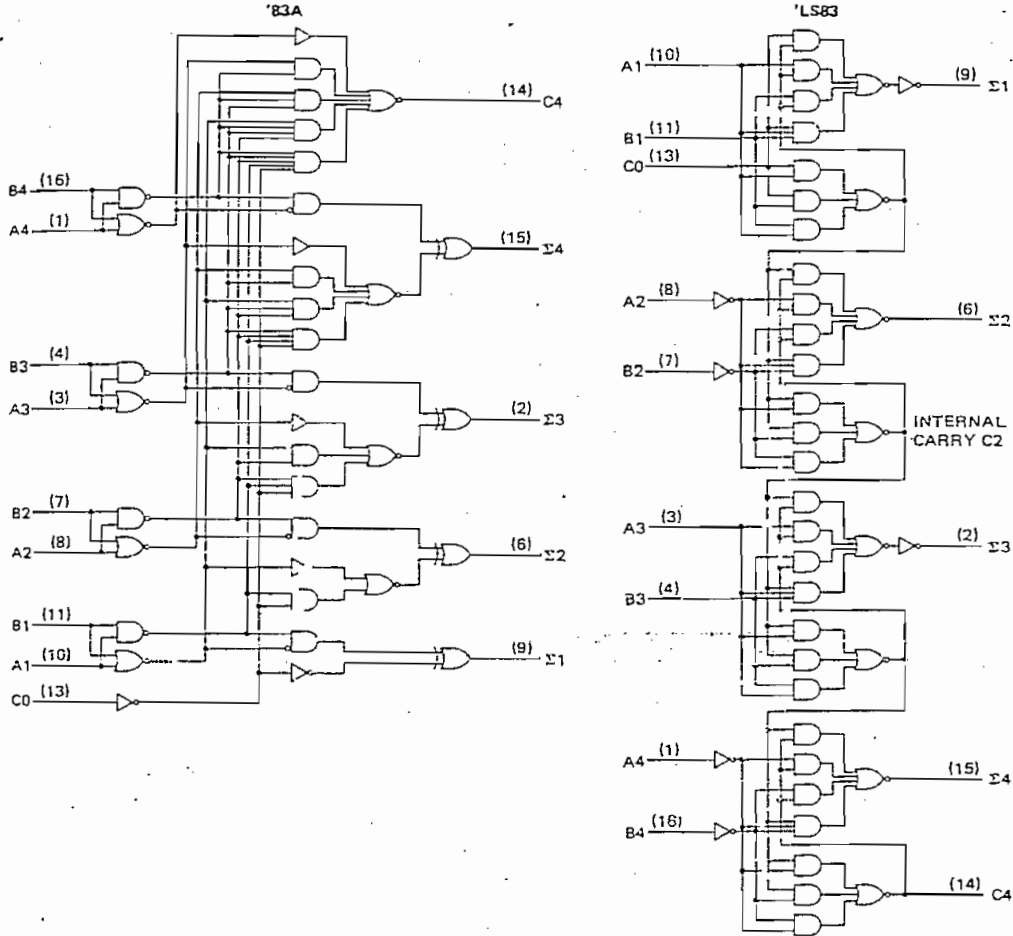
FUNCTION TABLE

INPUT		OUTPUT								
		WHEN C0 = L				WHEN C0 = H				
		WHEN C2 = L				WHEN C2 = H				
A1	B1	A2	B2	Σ1	Σ2	C2	C1	Σ3	Σ4	C4
L	L	L	L	L	L	L	L	L	L	L
L	L	L	L	L	L	L	L	L	L	L
L	L	L	L	L	L	L	L	L	L	L
L	L	L	L	L	L	L	L	L	L	L
L	L	L	L	L	L	L	L	L	L	L
L	L	L	L	L	L	L	L	L	L	L
L	L	L	L	L	L	L	L	L	L	L
L	L	L	L	L	L	L	L	L	L	L
L	L	L	L	L	L	L	L	L	L	L
L	L	L	L	L	L	L	L	L	L	L
L	L	L	L	L	L	L	L	L	L	L
L	L	L	L	L	L	L	L	L	L	L
L	L	L	L	L	L	L	L	L	L	L
L	L	L	L	L	L	L	L	L	L	L
L	L	L	L	L	L	L	L	L	L	L

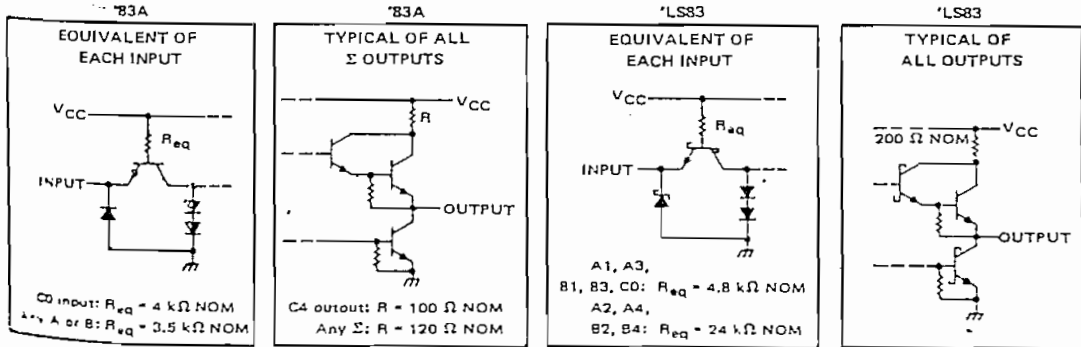
H = high level, L = low level  
NOTE: Input conditions at A3, A2, B2, and C0 are used to determine outputs Σ1 and Σ2 and the value of the internal carry C2. The values at C2, A3, B3, A4, and B4 are used to determine outputs Σ3, Σ4, and C4.

# TYPES SN5483A, SN54LS83, SN7483A, SN74LS83 4-BIT BINARY FULL ADDERS

functional block diagrams



schematics of inputs and outputs



TYPES SN5483A, SN7483A,  
4-BIT BINARY FULL ADDERS

recommended operating conditions

		SN5483A			SN7483A			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply Voltage, $V_{CC}$		4.5	5	5.5	4.75	5	5.25	V
High-level output current, $I_{OH}$	Any output except C4	-800			-800			$\mu$ A
	Output C4	-400			-400			
Low-level output current, $I_{OL}$	Any output except C4	16			16			mA
	Output C4	8			8			
Operating free-air temperature, $T_A$		-55			125			$^{\circ}$ C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN5483A			SN7483A			UNIT	
		MIN	TYP‡	MAX	MIN	TYP‡	MAX		
$V_{IH}$ High-level input voltage		2			2			V	
$V_{IL}$ Low-level input voltage		0.8			0.8			V	
$V_I$ Input tripping voltage	$V_{CC} = \text{MIN}, I_I = -12 \text{ mA}$	-1.5			-1.5			V	
$V_{OH}$ High-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V},$ $V_{IL} = 0.8 \text{ V}, I_{OH} = \text{MAX}$	2.4	3.6		2.4	3.6		V	
$V_{OL}$ Low-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V},$ $V_{IL} = 0.8 \text{ V}, I_{OL} = \text{MAX}$	0.2	0.4		0.2	0.4		V	
$I_I$ Input current at maximum input voltage	$V_{CC} = \text{MAX}, V_I = 5.5 \text{ V}$	1			1			mA	
$I_{IH}$ High-level input current	$V_{CC} = \text{MAX}, V_I = 2.4 \text{ V}$	40			40			$\mu$ A	
$I_{IL}$ Low-level input current	$V_{CC} = \text{MAX}, V_I = 0.4 \text{ V}$	-1.6			-1.6			mA	
$I_{OS}$ Short-circuit output current‡	Any output except C4	$V_{CC} = \text{MAX}$			-20	-55	-18	-55	mA
	Output C4	$V_{CC} = \text{MAX}$			-20	-70	-18	-70	
$I_{CC}$ Supply current	$V_{CC} = \text{MAX},$ Outputs open	All B low, other inputs at 4.5 V			56			mA	
		All inputs at 4.5 V			66	99	66		110

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.

‡ All typical values are at  $V_{CC} = 5 \text{ V}, T_A = 25^{\circ}\text{C}$ .

§ Only one output should be shorted at a time.

switching characteristics,  $V_{CC} = 5 \text{ V}, T_A = 25^{\circ}\text{C}$

PARAMETER‡	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{PLH}$	C0	Any $\Sigma$	$C_L = 15 \text{ pF}, R_L = 400 \Omega,$ See Note 3	14	21	ns	
$t_{PHL}$				12	21		
$t_{PLH}$	$A_i$ or $B_j$	$\Sigma_j$		16	24	ns	
$t_{PHL}$				16	24		
$t_{PLH}$	C0	C4		$C_L = 15 \text{ pF}, R_L = 780 \Omega,$ See Note 3	9	14	ns
$t_{PHL}$					11	16	
$t_{PLH}$	$A_i$ or $B_j$	C4	9		14	ns	
$t_{PHL}$			11		16		

‡  $t_{PLH}$  = Propagation delay time, low-to-high-level output

‡  $t_{PHL}$  = Propagation delay time, high-to-low-level output

NOTE 3: Load circuit and voltage waveforms are shown on page 148.

TYPES SN54LS83, SN74LS83  
4-BIT BINARY FULL ADDERS

recommended operating conditions

	SN54LS83			SN74LS83			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, $V_{CC}$	4.5	5	5.5	4.75	5	5.25	V
High-level output current, $I_{OH}$			-200			-400	$\mu$ A
Low-level output current, $I_{OL}$			4			8	mA
Operating free-air temperature, $T_A$	-55		125	0		70	$^{\circ}$ C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS <sup>1</sup>	SN54LS83			SN74LS83			UNIT
		MIN	TYP <sup>2</sup>	MAX	MIN	TYP <sup>2</sup>	MAX	
$V_{IH}$ High-level input voltage		2			2			V
$V_{IL}$ Low-level input voltage				0.2			0.9	V
$V_I$ Input clamp voltage	$V_{CC} = \text{MIN.}$ , $I_I = -18 \text{ mA}$			-1.5			-1.5	V
$V_{OH}$ High-level output voltage	$V_{CC} = \text{MIN.}$ , $V_{IH} = 2 \text{ V.}$ $V_{IL} = V_{IL \text{ max}}$		$I_{OH} = -200 \mu\text{A}$ $I_{OH} = -400 \mu\text{A}$	2.4 3.4		2.7 3.4		V
$V_{OL}$ Low-level output voltage	$V_{CC} = \text{MIN.}$ , $V_{IH} = 2 \text{ V.}$ $V_{IL} = V_{IL \text{ max}}$		$I_{OL} = 4 \text{ mA}$ $I_{OL} = 8 \text{ mA}$	0.7 0.5		0.7 0.5		V
$I_I$ Input current at maximum input voltage	A1, A3, B1, B3, or C0		$V_{CC} = \text{MAX.}$ , $V_I = 5.5 \text{ V}$	0.4		0.4		mA
	A2, A4, B2, C, B4			0.1		0.1		mA
$I_{IH}$ High-level input current	A1, A3, B1, B3, or C0		$V_{CC} = \text{MAX.}$ , $V_I = 2.7 \text{ V}$	80		80		$\mu$ A
	A2, A4, B2, B4			20		20		$\mu$ A
$I_{IL}$ Low-level input current	A1, A3, B1, B3, or C0		$V_{CC} = \text{MAX.}$ , $V_I = 0.5 \text{ V}$	-1.44		-1.44		mA
	A2, A4, B2, or B4			-0.36		-0.36		mA
$I_{OS}$ Short-circuit output current <sup>3</sup>	$V_{CC} = \text{MAX.}$			-6		-40		mA
$I_{CC}$ Supply current	$V_{CC} = \text{MAX.}$ , See Note 4			15	22	15	26	mA

<sup>1</sup> For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

<sup>2</sup> All typical values are at  $V_{CC} = 5 \text{ V}$ ,  $T_A = 25^{\circ}\text{C}$ .

<sup>3</sup> Not more than one output should be shorted at a time.

<sup>4</sup> NOTE:  $I_{CC}$  is measured with all outputs open, all B inputs grounded, and all A inputs and C0 at 4.5 V.

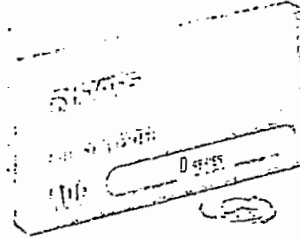
switching characteristics,  $V_{CC} = 5 \text{ V}$ ,  $T_A = 25^{\circ}\text{C}$

PARAMETER <sup>1</sup>	FROM INPUT	TO OUTPUT	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$t_{PLH}$	C0	$\Sigma 1$	$C_L = 15 \text{ pF}$ , $R_L = 2 \text{ k}\Omega$ , See Note 5	23	44		ns
$t_{PHL}$				29	49		ns
$t_{PLH}$	C0	$\Sigma 2$		31	54		ns
$t_{PHL}$				23	54		ns
$t_{PLH}$	C0	$\Sigma 3$		41	60		ns
$t_{PHL}$				48	68		ns
$t_{PLH}$	C0	$\Sigma 4$		53	75		ns
$t_{PHL}$				49	72		ns
$t_{PLH}$	C0	C4		40	59		ns
$t_{PHL}$				35	55		ns
$t_{PLH}$	A2 or B2	$\Sigma 2$		27	56		ns
$t_{PHL}$				21	56		ns
$t_{PLH}$	A4 or B4	$\Sigma 4$		26	63		ns
$t_{PHL}$				21	55		ns
$t_{PLH}$	A1	C4	35	55		ns	
$t_{PHL}$			35	55		ns	

<sup>1</sup>  $t_{PLH}$  = propagation delay time, low-to-high-level output

<sup>2</sup>  $t_{PHL}$  = propagation delay time, high-to-low-level output

<sup>3</sup> Load circuit and voltage waveforms are shown on page 149.



## ANALOG-TO-DIGITAL CONVERTERS

**ADC-D** SERIES

**ADC-K** SERIES

### GENERAL DESCRIPTION

Moderate accuracy, medium conversion speed and relatively low cost is the theme behind the ADC-D and K series. Both use the successive approximation conversion technique. This encoding method is the most popular of all the A/D conversion techniques because it offers a favorable combination of a full monotonic conversion with excellent linearity over the full scale input range.

ADC-D and K series have a total conversion speed of 20KHz (50  $\mu$ sec). Voltage input can be unipolar (0 to +10V) or bipolar ( $\pm 5V$ ) by external pin strapping. Output coding can be straight binary, offset binary or two's complement with word lengths of 8, 10, and 12 binary bits.

Specified accuracy is  $\pm 0.05\%$  for ADC-D series and  $\pm 0.02\%$  for ADC-K series. Model ADC-D and ADC-K feature 50 ppm/ $^{\circ}C$  and 30 ppm/ $^{\circ}C$  temperature coefficients respectively and need not be adjusted over an operating temperature range of 0 $^{\circ}$  to +70 $^{\circ}C$ . Digital outputs include up to 12 parallel lines, serial output and an end of conversion status.

Overall dimensions are 2"W x 4"L x 0.4"H. Input power requirements are  $\pm 15VDC$  and +5VDC and all input control lines and digital outputs are DTL/TTL compatible.

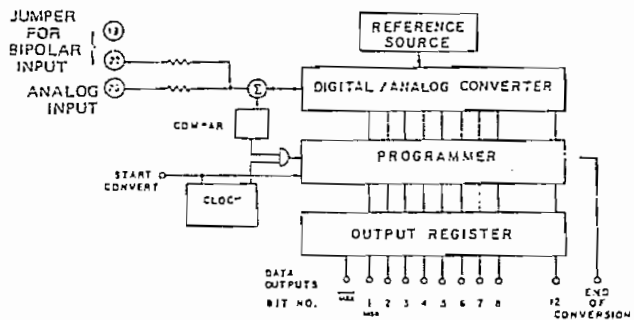
Basic ingredients of each series is a temperature compensated voltage reference source, successive approximation logic, output storage register/programmer, a low noise voltage comparator and a precision digital to analog converter.

All models feature dual-in-line pinning compatibility on .100" grid pin spacing.

## MODERATE ACCURACY AND SPEED AT LOW COST PRICED FROM \$59.00

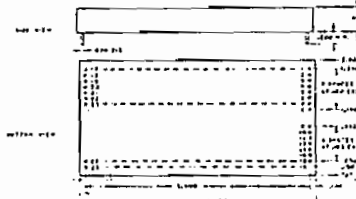
### FEATURES

- Highly accurate . . . . .  $\pm 0.025\%$
- Moderate conversion rate . . . . . 20 KHz word rate
- High resolution . . . . . Up to 12 binary bits.
- Ultra-Stable . . . . .  $\pm 0.003\%/^{\circ}C$
- Adjustment-Free . . . . . From 0 $^{\circ}C$  to +70 $^{\circ}C$
- Small size . . . . . 3.2 cubic inches.
- Low profile package . . . . . 0.4 inches
- Completely self-contained . . . . . Simply apply D.C. power.
- Hardware compatible . . . . . Will mount on 0.5" card file centers. Compatible with dual in-line pinning
- OEM designed . . . . . Generous discounts available.



MODEL ADC-D and K SERIES BLOCK DIAGRAM

### MECHANICAL DIMENSIONS (INCHES)



### INPUT/OUTPUT CONNECTIONS





**SPECIFICATIONS**

**ELECTRICAL**

**Inputs:**

Analog input voltage range . . . Standard ranges of 0V to +10V FS,  $\pm 5V$  FS via ext. pin strapping.

Input Overvoltages . . . . .  $\pm 15V$  DC without damage of unit.

Input Impedance . . . . . Standard 10K ohms  $\pm 1\%$  shunted with 10 pf single-ended to ground.

Start of Conversion . . . . . 2V min. to 7V max. positive pulse with duration of 100 nsec min. "1" resets the converter. "0" initiates conversion. Loading of one TTL load.

**Outputs:**

Parallel output data . . . . . Up to 12 parallel lines of data held until next conversion command.  $V_{out} ("0") < +0.8V$   $V_{out} ("1") > +2.4V$  Each output capable of driving up to 6 TTL loads.

Coding . . . . . Straight Binary (Unipolar Input) Offset Binary (Bipolar Input) Two's Complement (Bipolar Input)

Serial Output . . . . . N/2 successive decision pulse output generated during conversion, with MSB first.

End of Conversion . . . . . Conversion Status Signal  $V_{out} ("0") < +0.8V$  conversion complete.  $V_{out} ("1") > +2.4V$  during reset and conversion period.

**Performance:**

Resolution . . . . . One part in  $2^n$  (max. resolution 12 binary bits or 3 digit BCD). (n = number of binary bits).

Accuracy (@25°C) . . . . . ADC-D Series  
8 Binary Bits -  $\pm 0.05\%$  of FS  $\pm 1/2$  LSB  
10 Binary Bits -  $\pm 0.05\%$  of FS  $\pm 1/2$  LSB  
12 Binary Bits -  $\pm 0.025\%$  of FS  $\pm 1/2$  LSB  
ADC-K Series  
8 Binary Bits }  $\pm 0.025\%$  of FS  $\pm 1/2$  LSB  
10 Binary Bits }  
12 Binary Bits }

Total Conversion Time . . . . . 100  $\mu$ sec - ADC-D Series  
50  $\mu$ sec - ADC-K Series

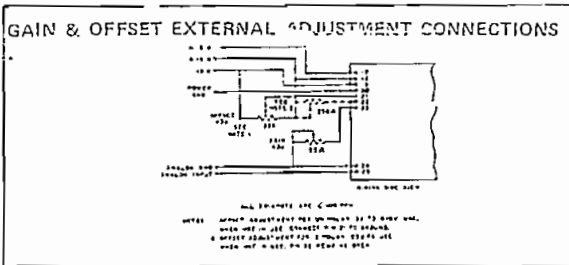
Input Power Requirements . . . . .  $\pm 15VDC$ ,  $\pm 0.5VDC @ \pm 35$  ma (3)  
 $+5VDC$ ,  $\pm 0.5VDC @ 300$  ma

**PHYSICAL-ENVIRONMENTAL**

Operating temperature range . . . . . 0°C to +70°C  
Storage temperature range . . . . . -55°C to +85°C  
Relative Humidity . . . . . Up to 100% Non-condensing  
Size . . . . . 2" W x 4" L x 0.4" H  
Pins . . . . . 0.020" round gold plated, 0.250" long min.  
Case Material . . . . . Black Diallyl Phthalate Per MIL-M-14.  
Weight . . . . . 4 oz.

Model ADC-D and K Series A/D converter modules are fully encapsulated and feature dual in-line pinning compatibility (i.e. 0.100" grid pin spacing and 2.800" or 3.600" between rows of pins) permitting direct plug-in to AUGA's, CAM-BION, EECO, etc., circuit boards.

Note 3: See power supply catalog #PSC 3-73-1



**ORDERING INFORMATION**

ADC-D  
or  
ADC-K

**NUMBER OF BITS AND CODING**

8B = 8 BINARY BITS  
10B = 10 BINARY BITS  
12B = 12 BINARY BITS

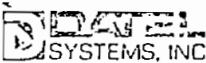
**CODING FOR ADC-D AND K SERIES CONVERTERS**

Analog Input Range $\pm 5V$ , FS	Offset Binary	2's Complement	Analog Input Range (0 to +10V, FS)	Straight Binary
+4.9975	1111111111	0111111111	+9.9975	1111111111
+4.3750	1111000000	0111000000	+8.7500	1110000000
+3.7500	1110000000	0110000000	+7.5000	1100000000
+2.5000	1100000000	0100000000	+5.0000	1000000000
0.0000	1000000000	0000000000	+2.5000	0100000000
-2.5000	0100000000	1100000000	+1.2500	0010000000
-3.7500	0010000000	1010000000	0.0000	0000000000
-4.3750	0001000000	1001000000		
-4.9975	0000000001	1000000001		
-5.0000	0000000000	1000000000		

**PRICE:**

ADC-08B	- \$ 69.00 ea.
ADC-010B	- \$ 89.00 ea.
ADC-012B	- \$109.00 ea.
ADC-K8B	- \$ 99.00 ea.
ADC-K10B	- \$109.00 ea.
ADC-K12B	- \$129.00 ea.

Mating Connector - DILS-2,  
2 per module, \$4.00/pair.



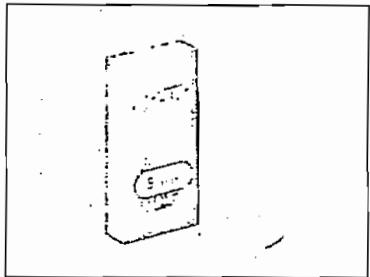
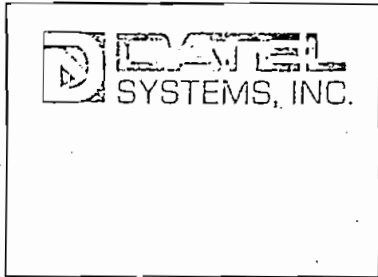
2020 TURNPIKE STREET, CANTON, MASS. 02021

PRICES AND SPECIFICATIONS SUBJECT TO CHANGE WITHOUT NOTICE

TEL: (617) 828-6395 TWX: 710-348-0135 TELEX: 924461

PRINTED IN U.S.A. COPYRIGHT © 1973, DATEL SYSTEMS INC.

Bulletin 201117110 K



**DIGITAL-TO-ANALOG CONVERTERS**  
**DAC-9 SERIES**

**DESCRIPTION**

Datel's DAC-9 series Digital/Analog Converters offer a significant breakthrough in cost/performance which makes them ideally suited for OEM applications.

The combination of low cost and moderate performance recommends the DAC-9 series for applications in computer display systems, data transmission, semiconductor test equipment and programmed/feedback control systems or any requirement where moderate accuracy and settling time will suffice.

DAC-9 series converters incorporate the latest solid state technology and design concepts and are completely self contained in compact plastic cases measuring no larger than 2" x 2 x 0.4" which can mount on any printed circuit board much like any electronic component.

Two versions of DAC-9 series converters are available - current output (300 nanosec. settling time) whose output may be terminated with a resistive load to develop an output voltage or a low impedance voltage output whose output is buffered with an operational amplifier.

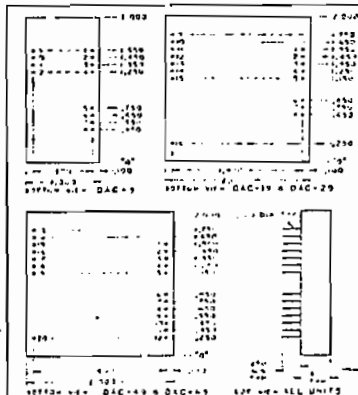
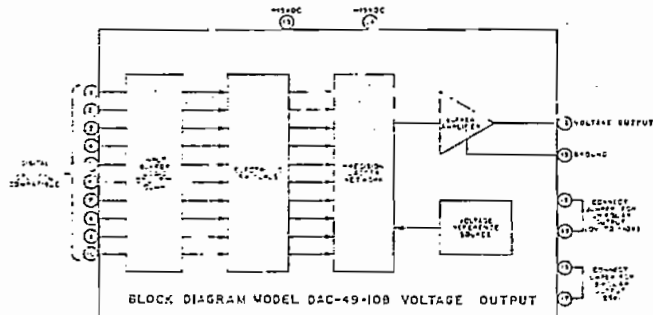
DAC-9 series converters have input resolutions of 8, 10, or 12 binary bits and those who require binary coded decimal, BCD, or straight BCD. Input coding can be straight binary, two's complement, or binary coded decimal. Full scale voltage output can be either unipolar (0 to +10V @ 5 ma) or bipolar ( $\pm 5V$  @  $\pm 5$  ma) by means of externally programming (pin strapping) the unit. The current output models have full scale output current of +2.6 ma at a maximum voltage compliance of +1.2V.

All digital inputs are compatible with DTL/TTL logic levels and each D/A Converter will operate over a temperature range of 0° to +70°C and most can be supplied with extended temperature range of -25°C to +35°C at additional cost.

**FIRST B/A UNDER \$10.00 IN SINGLE QTY.**

**FEATURES**

- Low Cost ..... \$9.95 Ea./8 Binary Bits
- Choice Of Output ..... Current Or Voltage
- High Resolution ..... Up To 12 Binary Bits
- Programmable Output ..... 0 To +10V or  $\pm 5V$
- Fast Settling Time ..... 300 Nanosec - Current Output  
5  $\mu$ sec - Voltage Output
- Variety Of Input Formats ..... Straight Binary, 2's Complement Or BCD
- Complete ..... Requires Only D.C. Power For Operation



**MODULE INPUT/OUTPUT CONNECTIONS**

Pin	FUNCTION DAC-49-08	FUNCTION DAC-49-10	FUNCTION DAC-49-12	FUNCTION DAC-49-12	FUNCTION DAC-49-12	FUNCTION DAC-49-12	FUNCTION DAC-49-12
1	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>
2	CS	CS	CS	CS	CS	CS	CS
3	D <sub>11</sub>	D <sub>11</sub>	D <sub>11</sub>	D <sub>11</sub>	D <sub>11</sub>	D <sub>11</sub>	D <sub>11</sub>
4	D <sub>10</sub>	D <sub>10</sub>	D <sub>10</sub>	D <sub>10</sub>	D <sub>10</sub>	D <sub>10</sub>	D <sub>10</sub>
5	D <sub>9</sub>	D <sub>9</sub>	D <sub>9</sub>	D <sub>9</sub>	D <sub>9</sub>	D <sub>9</sub>	D <sub>9</sub>
6	D <sub>8</sub>	D <sub>8</sub>	D <sub>8</sub>	D <sub>8</sub>	D <sub>8</sub>	D <sub>8</sub>	D <sub>8</sub>
7	D <sub>7</sub>	D <sub>7</sub>	D <sub>7</sub>	D <sub>7</sub>	D <sub>7</sub>	D <sub>7</sub>	D <sub>7</sub>
8	D <sub>6</sub>	D <sub>6</sub>	D <sub>6</sub>	D <sub>6</sub>	D <sub>6</sub>	D <sub>6</sub>	D <sub>6</sub>
9	D <sub>5</sub>	D <sub>5</sub>	D <sub>5</sub>	D <sub>5</sub>	D <sub>5</sub>	D <sub>5</sub>	D <sub>5</sub>
10	D <sub>4</sub>	D <sub>4</sub>	D <sub>4</sub>	D <sub>4</sub>	D <sub>4</sub>	D <sub>4</sub>	D <sub>4</sub>
11	D <sub>3</sub>	D <sub>3</sub>	D <sub>3</sub>	D <sub>3</sub>	D <sub>3</sub>	D <sub>3</sub>	D <sub>3</sub>
12	D <sub>2</sub>	D <sub>2</sub>	D <sub>2</sub>	D <sub>2</sub>	D <sub>2</sub>	D <sub>2</sub>	D <sub>2</sub>
13	D <sub>1</sub>	D <sub>1</sub>	D <sub>1</sub>	D <sub>1</sub>	D <sub>1</sub>	D <sub>1</sub>	D <sub>1</sub>
14	D <sub>0</sub>	D <sub>0</sub>	D <sub>0</sub>	D <sub>0</sub>	D <sub>0</sub>	D <sub>0</sub>	D <sub>0</sub>
15	CS	CS	CS	CS	CS	CS	CS
16	V <sub>EE</sub>	V <sub>EE</sub>	V <sub>EE</sub>	V <sub>EE</sub>	V <sub>EE</sub>	V <sub>EE</sub>	V <sub>EE</sub>
17	OUT	OUT	OUT	OUT	OUT	OUT	OUT
18	OUT	OUT	OUT	OUT	OUT	OUT	OUT
19	OUT	OUT	OUT	OUT	OUT	OUT	OUT
20	OUT	OUT	OUT	OUT	OUT	OUT	OUT
21	OUT	OUT	OUT	OUT	OUT	OUT	OUT
22	OUT	OUT	OUT	OUT	OUT	OUT	OUT
23	OUT	OUT	OUT	OUT	OUT	OUT	OUT
24	OUT	OUT	OUT	OUT	OUT	OUT	OUT
25	OUT	OUT	OUT	OUT	OUT	OUT	OUT
26	OUT	OUT	OUT	OUT	OUT	OUT	OUT
27	OUT	OUT	OUT	OUT	OUT	OUT	OUT
28	OUT	OUT	OUT	OUT	OUT	OUT	OUT
29	OUT	OUT	OUT	OUT	OUT	OUT	OUT
30	OUT	OUT	OUT	OUT	OUT	OUT	OUT
31	OUT	OUT	OUT	OUT	OUT	OUT	OUT
32	OUT	OUT	OUT	OUT	OUT	OUT	OUT
33	OUT	OUT	OUT	OUT	OUT	OUT	OUT
34	OUT	OUT	OUT	OUT	OUT	OUT	OUT
35	OUT	OUT	OUT	OUT	OUT	OUT	OUT
36	OUT	OUT	OUT	OUT	OUT	OUT	OUT
37	OUT	OUT	OUT	OUT	OUT	OUT	OUT
38	OUT	OUT	OUT	OUT	OUT	OUT	OUT
39	OUT	OUT	OUT	OUT	OUT	OUT	OUT
40	OUT	OUT	OUT	OUT	OUT	OUT	OUT
41	OUT	OUT	OUT	OUT	OUT	OUT	OUT
42	OUT	OUT	OUT	OUT	OUT	OUT	OUT
43	OUT	OUT	OUT	OUT	OUT	OUT	OUT
44	OUT	OUT	OUT	OUT	OUT	OUT	OUT
45	OUT	OUT	OUT	OUT	OUT	OUT	OUT
46	OUT	OUT	OUT	OUT	OUT	OUT	OUT
47	OUT	OUT	OUT	OUT	OUT	OUT	OUT
48	OUT	OUT	OUT	OUT	OUT	OUT	OUT
49	OUT	OUT	OUT	OUT	OUT	OUT	OUT
50	OUT	OUT	OUT	OUT	OUT	OUT	OUT
51	OUT	OUT	OUT	OUT	OUT	OUT	OUT
52	OUT	OUT	OUT	OUT	OUT	OUT	OUT
53	OUT	OUT	OUT	OUT	OUT	OUT	OUT
54	OUT	OUT	OUT	OUT	OUT	OUT	OUT
55	OUT	OUT	OUT	OUT	OUT	OUT	OUT
56	OUT	OUT	OUT	OUT	OUT	OUT	OUT
57	OUT	OUT	OUT	OUT	OUT	OUT	OUT
58	OUT	OUT	OUT	OUT	OUT	OUT	OUT
59	OUT	OUT	OUT	OUT	OUT	OUT	OUT
60	OUT	OUT	OUT	OUT	OUT	OUT	OUT
61	OUT	OUT	OUT	OUT	OUT	OUT	OUT
62	OUT	OUT	OUT	OUT	OUT	OUT	OUT
63	OUT	OUT	OUT	OUT	OUT	OUT	OUT
64	OUT	OUT	OUT	OUT	OUT	OUT	OUT
65	OUT	OUT	OUT	OUT	OUT	OUT	OUT
66	OUT	OUT	OUT	OUT	OUT	OUT	OUT
67	OUT	OUT	OUT	OUT	OUT	OUT	OUT
68	OUT	OUT	OUT	OUT	OUT	OUT	OUT
69	OUT	OUT	OUT	OUT	OUT	OUT	OUT
70	OUT	OUT	OUT	OUT	OUT	OUT	OUT
71	OUT	OUT	OUT	OUT	OUT	OUT	OUT
72	OUT	OUT	OUT	OUT	OUT	OUT	OUT
73	OUT	OUT	OUT	OUT	OUT	OUT	OUT
74	OUT	OUT	OUT	OUT	OUT	OUT	OUT
75	OUT	OUT	OUT	OUT	OUT	OUT	OUT
76	OUT	OUT	OUT	OUT	OUT	OUT	OUT
77	OUT	OUT	OUT	OUT	OUT	OUT	OUT
78	OUT	OUT	OUT	OUT	OUT	OUT	OUT
79	OUT	OUT	OUT	OUT	OUT	OUT	OUT
80	OUT	OUT	OUT	OUT	OUT	OUT	OUT
81	OUT	OUT	OUT	OUT	OUT	OUT	OUT
82	OUT	OUT	OUT	OUT	OUT	OUT	OUT
83	OUT	OUT	OUT	OUT	OUT	OUT	OUT
84	OUT	OUT	OUT	OUT	OUT	OUT	OUT
85	OUT	OUT	OUT	OUT	OUT	OUT	OUT
86	OUT	OUT	OUT	OUT	OUT	OUT	OUT
87	OUT	OUT	OUT	OUT	OUT	OUT	OUT
88	OUT	OUT	OUT	OUT	OUT	OUT	OUT
89	OUT	OUT	OUT	OUT	OUT	OUT	OUT
90	OUT	OUT	OUT	OUT	OUT	OUT	OUT
91	OUT	OUT	OUT	OUT	OUT	OUT	OUT
92	OUT	OUT	OUT	OUT	OUT	OUT	OUT
93	OUT	OUT	OUT	OUT	OUT	OUT	OUT
94	OUT	OUT	OUT	OUT	OUT	OUT	OUT
95	OUT	OUT	OUT	OUT	OUT	OUT	OUT
96	OUT	OUT	OUT	OUT	OUT	OUT	OUT
97	OUT	OUT	OUT	OUT	OUT	OUT	OUT
98	OUT	OUT	OUT	OUT	OUT	OUT	OUT
99	OUT	OUT	OUT	OUT	OUT	OUT	OUT
100	OUT	OUT	OUT	OUT	OUT	OUT	OUT

NOTE: NOT USED ON CURRENT OUTPUT MODELS

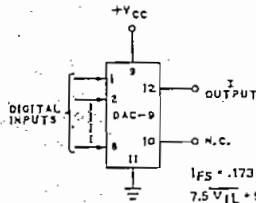
PARAMETERS	DAC-9 SERIES	DAC-19 SERIES	DAC-29 SERIES	DAC-40 SERIES	DAC-60 SERIES
DIGITAL INPUTS	8 Binary Bits or 2 Digit BCD	8 Binary Bits or 2 Digit BCD	8 Binary Bits or 2 Digit BCD	10 Binary Bits or 3 Digit BCD	12 Binary Bits
RESOLUTION	Straight Binary (Unipolar Output) BCD (Unipolar Output) Two's Complement (Bipolar Output)	Straight Binary (Unipolar Output) BCD (Unipolar Output) Two's Complement (Bipolar Output)	Straight Binary (Unipolar Output) BCD (Unipolar Output) Two's Complement (Bipolar Output)	Straight Binary (Unipolar Output) BCD (Unipolar Output) Two's Complement (Bipolar Output)	Straight Binary (Unipolar Output) Two's Complement (Bipolar Output)
CODING	See Note 1 on the following formats				
DATA INPUTS	DTL or TTL Compatible Positive Logic Loading: One Standard TTL Load	DTL or TTL Compatible Positive Logic Loading: One Standard TTL Load	DTL or TTL Compatible Positive Logic Loading: One Standard TTL Load	DTL or TTL Compatible Positive Logic Loading: One Standard TTL Load	DTL or TTL Compatible Positive Logic Loading: One Standard TTL Load
UPDATE RATE	5 MHz typical	5 MHz typical	5 MHz typical	5 MHz typical	5 MHz typical
ANALOG OUTPUT (245 CI)	Adj. to $\pm 0.2\%$ of FS	Adj. to $\pm 0.2\%$ of FS	Adj. to $\pm 0.2\%$ of FS	Adj. to $\pm 0.1\%$ of FS	Adj. to $\pm 0.025\%$ of FS
ACCURACY	$\pm 1/2$ LSB	$\pm 1/2$ LSB	$\pm 1/2$ LSB	$\pm 1/2$ LSB	$\pm 1/2$ LSB
LINEARITY	Optional - Current or Voltage	Optional - Current or Voltage	Optional - Current or Voltage	Optional - Current or Voltage	Optional - Current or Voltage
TYPE OF OUTPUT	Current	Current	Voltage	Voltage	Optional - Current or Voltage
OUTPUT	Current output models 0 to $\pm 16$ mA $\pm 2\%$ @ $\pm 1.2V$ max. 0 to $\pm 2.6$ mA $\pm 2\%$ @ $\pm 1.2V$ max. No load output model N.A.	Current output models 0 to $\pm 16$ mA $\pm 2\%$ @ $\pm 1.2V$ max. 0 to $\pm 2.6$ mA $\pm 2\%$ @ $\pm 1.2V$ max. No load output model N.A.	Voltage output models 0 to $\pm 1.54$ mA $\pm 0.05$ mA @ $\pm 1.2V$ max. 0 to $\pm 2.5$ mA $\pm 0.1$ mA @ $\pm 1.2V$ max. 0 to $\pm 10V$ FS @ 5mA $\pm 5V$ @ 15mA	Voltage output models 0 to $\pm 1.54$ mA $\pm 0.05$ mA @ $\pm 1.2V$ max. 0 to $\pm 2.5$ mA $\pm 0.1$ mA @ $\pm 1.2V$ max. 0 to $\pm 10V$ FS @ 5mA $\pm 5V$ @ 15mA	Voltage output models 0 to $\pm 1.54$ mA $\pm 0.05$ mA @ $\pm 1.2V$ max. 0 to $\pm 2.5$ mA $\pm 0.1$ mA @ $\pm 1.2V$ max. 0 to $\pm 10V$ FS @ 5mA $\pm 5V$ @ 15mA
OUTPUT LOADING	416 Ohms For $\pm 10V$ Output (Bipolar) 704 Ohms For $\pm 0.99V$ Output (BCD) N.A.	416 Ohms For $\pm 10V$ Output (Bipolar) 704 Ohms For $\pm 0.99V$ Output (BCD) N.A.	416 Ohms For $\pm 10V$ Output (Bipolar) 704 Ohms For $\pm 0.99V$ Output (BCD) N.A.	416 Ohms For $\pm 10V$ Output (Bipolar) 704 Ohms For $\pm 0.99V$ Output (BCD) N.A.	416 Ohms For $\pm 10V$ Output (Bipolar) 704 Ohms For $\pm 0.99V$ Output (BCD) N.A.
OUTPUT SETTLING TIME	Current output models 1 $\mu$ sec to $\pm 0.2\%$ of FS N.A.	Current output models 1 $\mu$ sec to $\pm 0.2\%$ of FS N.A.	Current output models 1 $\mu$ sec to $\pm 0.2\%$ of FS N.A.	Current output models 1 $\mu$ sec to $\pm 0.1\%$ of FS 5 $\mu$ sec to $\pm 0.1\%$ of FS	Current output models 1 $\mu$ sec to $\pm 0.025\%$ of FS 70 $\mu$ sec to $\pm 0.025\%$ of FS
OUTPUT RESOLUTION	Current output models 10 $\mu$ A (1 LSB) N.A.	Current output models 10 $\mu$ A (1 LSB) N.A.	Current output models 10 $\mu$ A (1 LSB) N.A.	Current output models 25 $\mu$ A (1 LSB) 10 mV For 10 Binary Bits (1 LSB) 10 mV For 3 Digit BCD (1 LSB)	Current output models 0.025 $\mu$ A (1 LSB) 2.5 mV For 12 Binary Bits (1 LSB)
TEMPERATURE COEFFICIENT	$\pm 100$ ppm/C	$\pm 100$ ppm/C	$\pm 100$ ppm/C	$\pm 100$ ppm/C	$\pm 100$ ppm/C
LONG TERM STABILITY	$\pm 0.1\%/Yr$	$\pm 0.1\%/Yr$	$\pm 0.05\%/Yr$	$\pm 0.05\%/Yr$	$\pm 0.025\%/Yr$
REFERENCE SOURCE	Derived from $\pm 15VDC$ Power Supply	Derived from $\pm 15VDC$ Power Supply	Derived from $\pm 15VDC$ Power Supply	Derived from $\pm 15VDC$ Power Supply	Derived from $\pm 15VDC$ Power Supply
INPUT POWER REQUIREMENTS	$\pm 15VDC$ @ 10mA $\pm 15VDC$ @ 10mA (for $\pm 10V$ output) only	$\pm 15VDC$ @ 10mA $\pm 15VDC$ @ 10mA	$\pm 15VDC$ @ 10mA $\pm 15VDC$ @ 10mA	$\pm 15VDC$ @ 20mA $\pm 15VDC$ @ 20mA	$\pm 15VDC$ @ 20mA $\pm 15VDC$ @ 20mA
PHYSICAL ENVIRONMENTAL					
OPERATING TEMPERATURE RANGE	0 to $\pm 70$ C	0 to $\pm 70$ C	0 to $\pm 70$ C	0 to $\pm 70$ C	0 to $\pm 70$ C
STORAGE TEMPERATURE RANGE	$-55$ to $\pm 105$ C	$-55$ to $\pm 105$ C	$-55$ to $\pm 105$ C	$-55$ to $\pm 105$ C	$-55$ to $\pm 105$ C
RELATIVE HUMIDITY	Up to 100% Non-Condensing	Up to 100% Non-Condensing	Up to 100% Non-Condensing	Up to 100% Non-Condensing	Up to 100% Non-Condensing
SIZE	7" L x 1" W x 0.4" H Plug in Module	7" L x 1" W x 0.4" H Plug in Module	7" L x 1" W x 0.4" H Plug in Module	7" L x 1" W x 0.4" H Plug in Module	7" L x 1" W x 0.4" H Plug in Module
FINISH	0.025" Round Gold Plated 0.250" Long Minimum	0.025" Round Gold Plated 0.250" Long Minimum	0.025" Round Gold Plated 0.250" Long Minimum	0.025" Round Gold Plated 0.250" Long Minimum	0.025" Round Gold Plated 0.250" Long Minimum
CASE MATERIAL	Flame Retardant Phenolic	Flame Retardant Phenolic	Flame Retardant Phenolic	Flame Retardant Phenolic	Flame Retardant Phenolic
WEIGHT	7 oz	7 oz	7 oz	7 oz	7 oz
REMARKS	For Bipolar Current Output See Application Notes Figure 4 for Mounting Applications	For Bipolar Current Output See Application Notes Figure 4	For Bipolar Current Output See Application Notes Figure 4	For Bipolar Current Output See Application Notes Figure 4	For Bipolar Current Output See Application Notes Figure 4
PRICE	\$ 9.95 ea	\$ 10.00 ea	\$ 20.00 ea	\$ 30.00 ea	\$ 50.00 ea

\* INTERNAL REFERENCE AVAILABLE AT ADDITIONAL COST OF \$2.00 ADD SUFFIX "IR" TO MODEL NUMBER WHEN ORDERING.

APPLICATION NOTES

DAC-9-6BI ONLY  
DAC-9-6DI

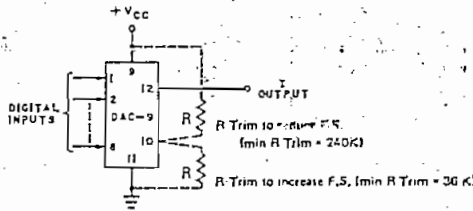
LIMITED RANGE MULTIPLYING DAC FIG. A



$I_{FS} = .173 V_{cc}$   
 $7.5 V_{IL} + 9 < V_{cc} < 7.5 V_{IH}$

WHERE  
 $V_{cc}$  = Input Voltage (Volts)  
 $I_{FS}$  = DAC F.S. current output (mA)  
 $V_{IL}$  = Max. Digital Input LOW Voltage (Volts)  
 $V_{IH}$  = Min. Digital Input HIGH Voltage (Volts)

FULL SCALE ADJUSTMENT FIG. B



ORDERING INFORMATION

DAC 9	DAC 29
12-BIT 1/2 RATE 100mA 100% 100% 100% 100% 100% 100% 100% 100%	12-BIT 1/2 RATE 100mA 100% 100% 100% 100% 100% 100% 100% 100%
DAC 10	DAC 12
12-BIT 1/2 RATE 100mA 100% 100% 100% 100% 100% 100% 100% 100%	12-BIT 1/2 RATE 100mA 100% 100% 100% 100% 100% 100% 100% 100%
DAC 19	
12-BIT 1/2 RATE 100mA 100% 100% 100% 100% 100% 100% 100% 100%	

INPUT CODING FOR DAC-9 SERIES  
VOLTAGE OUTPUT VERSIONS

ANALOG OUTPUT RANGE (±5V, F.S.)			BINARY (ONLY) 2'S COMPLEMENT	ANALOG OUTPUT RANGE (±10V TO +10V, F.S.)			STRAIGHT BINARY	ANALOG OUTPUT RANGE (0 TO +10V, F.S.)		BCD (8-4-2-1)
8 BITS	10 BITS	12 BITS	3 10 12	8 BITS	10 BITS	12 BITS	8 10 12	2 DIGIT	3 DIGIT	8 12
+4.960	+4.990	+4.9975	01111111 11 11	+9.920	+9.990	+9.9975	11111111 11 11	-9.90	+9.990	10011001 1001
+4.375	+4.375	+4.3750	01110100 00 00	+8.750	+8.750	+8.7500	11100000 00 00	+8.70	+8.700	10010111 0101
+3.750	+3.750	+3.7500	01100100 00 00	+7.500	+7.500	+7.5000	11000000 00 00	+7.50	+7.500	01111010 0000
+2.500	+2.500	+2.5000	01000100 00 00	+5.000	+5.000	+5.0000	10000000 00 00	+5.00	+5.000	01010000 0000
0.000	0.000	0.0000	00000100 00 00	+2.500	+2.500	+2.5000	01000000 00 00	+2.50	+2.500	00100101 0000
-2.500	-2.500	-2.5000	11000000 00 00	+1.250	-1.250	+1.2500	00100000 00 00	+1.20	+1.250	00010010 0101
-3.750	-3.750	-3.7500	10100000 00 00	0.000	0.000	0.0000	00000000 00 00	0.00	0.000	00000000 0000
-4.375	-4.375	-4.3750	10010000 00 00							
-5.000	-5.000	-5.0000	10000000 00 00							

APPLICATION NOTES — CURRENT OUTPUT MODELS ONLY

DAC-9 SERIES CURRENT EQUIVALENT CIRCUIT

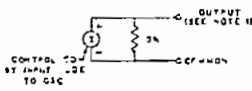


FIG. 1

DAC-9 SERIES VOLTAGE EQUIVALENT CIRCUIT

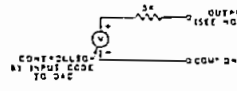
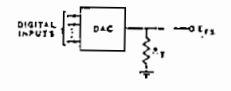


FIG. 2

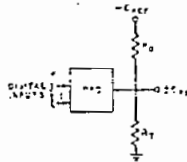
USING THE DAC-9 SERIES WITHOUT AMPLIFIER, UNIPOLAR POSITIVE OUTPUT



DAC CODE	R <sub>L</sub>	E <sub>FS</sub>
BINARY	418 Ω	+1.2V
BCD	291 Ω	+0.2V

FIG. 3

USING THE DAC-9 SERIES (CURRENT OUTPUTS ONLY) WITHOUT AMPLIFIER BIPOLAR OUTPUT.



$$E_{FS} = \frac{0.5 I_{REF} R_L}{5kR_T + 0.5R_T} = E_{REF} \cdot R_T$$

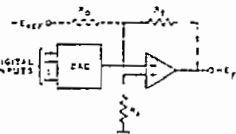
$$R_L = \frac{E_{REF}}{I_{FS}}$$

NOTE: I<sub>FS</sub> not to exceed 10 mA  
1kV recommended for best linearity

WHERE:  
E<sub>REF</sub> = Full Scale output voltage (volts)  
E<sub>REF</sub> = Offset reference voltage (volts)  
R<sub>L</sub> = Load resistor (k)  
R<sub>T</sub> = DAC termination resistor (k)

FIG. 4

USING AN INVERTING AMPLIFIER.



$$-E_{FS} = -R_2 \cdot I_{FS}$$

$$R_2 = \frac{3R_T}{5 - R_1} \quad (I)$$

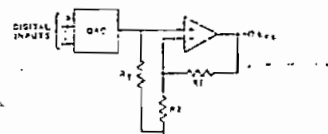
NOTE: -E<sub>REF</sub> and R<sub>0</sub> must be for bipolar output only

WHERE:  
E<sub>FS</sub> = -F.S. output voltage (volts)  
R<sub>1</sub> = Feedback resistor (k)  
R<sub>2</sub> = Input resistor (k)  
I<sub>FS</sub> = DAC F.S. current output (mA)

(I) Recommended for good temp. stability

FIG. 5

USING A NON INVERTING AMPLIFIER.



$$E_{FS} = \frac{R_1 + R_2}{R_2} \cdot R_T \cdot I_{FS}$$

$$\frac{3R_T}{5 - R_T} = \frac{R_1 + R_2}{R_2} \quad (I)$$

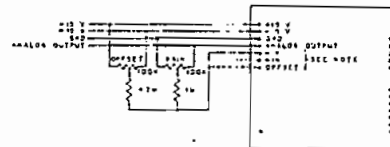
NOTE: See Application (2) for Bipolar output.

WHERE:  
E<sub>FS</sub> = F.S. output voltage (volts)  
I<sub>FS</sub> = DAC F.S. current output (mA)  
R<sub>1</sub>, R<sub>2</sub> = Gain setting resistors (k)  
R<sub>T</sub> = DAC termination resistor (k)  
2mA units = .418 Ω  
500µA units = .204 Ω

(I) Recommended for good temp. stability.

FIG. 6

DAC-9 SERIES (VOLTAGE OUTPUT VERSIONS ONLY)  
EXTERNAL ADJUSTMENT



NOTE:  
FOR BIPOLAR OUTPUT CONNECT "MIN" TO OFFSET  
FOR UNIPOLAR OUTPUT CONNECT "MIN" TO OFFSET



BIBLIOGRAFIA

- (B1) A. T. Anderson, "PROGRAMABLE DIGITAL FILTER PERFORMS MULTIPLE FUNCTIONS", Electronics, Vol. 43, N° 20, Octubre 26, 1970, pág. 78-84
- (B2) Carl Benning, "COEFFICIENTS FOR FEED-FORWARD MTI RADAR FILTERS", Procc. of the IEEE, Vol. 57, N° 10, Octubre 1969, pág. 1788-1789
- (B3) G. D. Bergland, "A GUIDED TOUR OF THE FAST FOURIER TRANSFORM", IEEE Spectrum, Vol. 6, N° 7, Julio 1969
- (B4) Leo I. Bluestein, "A LINEAR FILTERING APPROACH TO THE COMPUTATION OF DISCRETE FOURIER TRANSFORM", IEEE Trans. on Audioelectroacoustics, Vol. AU-18, N° 4, Diciembre 1973, pág. 451-455
- (B5) Gösta Blume, "INTRODUCCION A LA TELEFONIA", 4ta. ed., Libro editado por la L. M. Ericcson, N° EHB 40-1-00h
- (B6) E. O. Brigham, R. E. Morrow, "THE FAST FOURIER TRANSFORM", IEEE Spectrum, Vol. 4, N° 12, Diciembre 1967
- (B7) James D. Bruce, "DIGITAL SIGNAL PROCESSING CONCEPTS", IEEE Trans. on Audioelectroacoustics, Vol. AU-18, N° 4, Diciembre de 1970, pp. 344-353
- (B8) Leonard T. Bruton, Roger T. Pederson, "TIME-MULTIPLEXED ACTIVE FILTERS", IEEE Journal of Solid-State Circuits, Vol. SC-7, N° 3, pág. 259-265
- (B9) J. L. Buie and D.R. Breuer, "A LARGE-SCALE INTEGRATED CORRELATOR", IEEE Journal of Solid-State Circuits, Vol. SC-7, N° 5, Octubre 1972, pág. 357-363
- (B10) Mihai Caprini, Sorin Cohn-Sfetcu, Ana Maria Manof, "APPLICATION OF DIGITAL FILTERING IN IMPROVING RESOLUTION AND THE SIGNAL-TO-NOISE RATIO ON NUCLEAR AND MAGNETIC RESONANCE SPECTRUM", Trans. of Audioelectroacoustics Vol. AU-18, N° 4, Diciembre 1970, pág. 389-393
- (B11) W. T. Cochram, J. W. Cooley, D. L. Favin, H. D. Helms, R. A. Kaenel, W. W. Lang, G. C. Maling Jr., D. E. Nelson, C. M. Rader, and P. D. Welch, "WHAT IS THE FAST FOURIER TRANSFORM?", Procc. of the IEEE, Vol. 55, N° 10, Octubre 1967

- (B12) B. Gold, K. L Jordan Jr., "A NOTE ON DIGITAL FILTER SYNTHESIS", Procc. of the IEEE, Vol. 56, N° 10, Octubre 1968, pág. 1717-1718
- (B13) Flores Ivan, "COMPUTER LOGIC", Prentice-Hall Inc., New Jersey, 1960
- (B14) Flores Ivan, "THE LOGIC OF THE COMPUTER ARITHMETIC", Prentice-Hall Inc., 1963
- (B16) George Flynn, "DIGITAL VOICE COMMUNICATIONS", Electronic Products, Marzo 1968, pág. 14-18
- (B17) José Luis Herrero, Gideon Willoner, "SYNTHESIS OF FILTERS", Prentice-Hall Inc., New Jersey, 1966
- (B18) L. P. Huelsman, "HANBOOK OF OPERATIONAL AMPLIFIER ACTIVE RC NETWORKS", Burr-Brown Reserch Corporation, 1966
- (B19) L. P. Huelsman, "ACTIVE FILTERS: LUMPED, DISTRIBUTED, INTEGRATED, DIGITAL AND PARAMETRIC", McGraw-Hill Book Company, 1970
- (B20) Alfred T. Johnson Jr., "MAGNITUDE EQUALIZATION USING DIGITAL FILTERS", IEEE Trans. on Circuit Theory, Vol. CT-20, N° 3, Mayo 1973, pág. 308
- (B21) Walter C. Johnson, "TRANSMISSION LINES AND NETWORKS" McGraw-Hill Book Company, Tokyo, 1950
- (B22) Edward C. Jordan, Keith G. Balmain, "ELECTROMAGNETIC WAVES AND RADIATING SYSTEMS", 2da. ed., Prentice-Hall Inc., New Jersey, 1968
- (B23) R. D. Joseph, "MAXIMALY LINEAR BANDPASS FRECUENCY DISCRIMINATOR", Procc. of the IEEE, Vol. 59, N° 12, Diciembre 1971, pág. 1712-1713
- (B24) Albert Kunding, "DIGITAL FILTERING IN PCM THELEPHONE SYSTEMS"; IEEE Trans. of Audioelectroacustics, Vol. AU-18, N° 4, Diciembre 1970, pág. 412-417
- (B25) C. F. Kurth, "SDB/FDM UTILIZING TDM DIGITAL FILTERS", IEEE Trans. on Communication Technology, Vol. COM-19, N° 1, February 1971



- (B26) C. F. Kurth, "ANALOG AND DIGITAL FILTERING IN MULTIPLEX COMMUNICATION SYSTEMS", IEEE Trans. on Circuit Theory, Vol. CT-20, N° 4, Julio 1973
- (B27) B. P. Lathi, "SIGNALS, SYSTEMS AND COMMUNICATIONS", John Wiley and Sons Inc., 1965
- (B28) J. W. Mark, "A RECURSIVE DIGITAL MTI RADAR FILTER", Procc. of the IEEE, Vol. 60, N° 6, Junio 1972, pág. 728
- (B29) Lucidna Mattera, "ACTIVE FILTERS GET MORE OF THE ACTION", Electronics, Vol. 45, N° 13, June 19, 1972, pág. 04-09
- (B30) Enrique Mandado Pérez, "APLICACION DE LAS LINEAS DE RETARDO DE CRISTAL A LA REALIZACION DE UNIDADES DE MEMORIA", Regulación y mando automático, Año V, N° 23, Abril 1972, pág. 64-68
- (B31) Athanasios Papoulis, "A NEW CLASS OF FOURIER SERIES KERNELS", IEEE Trans. of Circuit Theory, Vol. CT-20 N° 2, Marzo de 1973, pág. 101-107
- (B32) I. R. Rabiner, "TECHNIQUES FOR DESIGNING FINITE DURATION IMPULSE-RESPONSE DIGITAL FILTERS", IEEE Trans. on Communication Technology, Vol. COM-19, N° 2, Abril 1971, pp. 188-195
- (B33) C. M. Rader, B. Gold, "DIGITAL FILTER DESIGN TECHNIQUES IN THE FREQUENCY DOMAIN", Procc. IEEE, Vol. 55, pág. 149-171, Febrero 1967
- (B34) Julio Rey Pastor, Pedro Pi Calleja, César A. Trejo, "ANALISIS MATEMATICO", 8va. ed., Julio 1969, Ed. Kapeluz, Argentina
- (B35) P. V. Sankar, S. Chakrabarti and E. V. Krishnamurty, "ARITHMETIC ALGORITHMS IN NEGATIVE BASE", IEEE Trans. on Computers, Vol. C-22, N° 2, Febrero 1973, pág. 120-124
- (B36) P. V. Sankar, S. Chakrabarti, E. V. Krishnamurty, "DETERMINISTIC DIVISION ALGORITHM IN NEGATIVE BASE", IEEE Trans. on Computer, Vol. C-22, N° 2, Febrero 1973, pág. 125-134

- (B37) J. K. Skwirzynski, "DESIGN THEORY AND DATA FOR ELECTRICAL FILTERS", D. Van Nostrand Company Ltd., London, 1965
- (B38) D. A. Smith, C. M. Puckette and W. J. Butler, "ACTIVE BANDPASS FILTERING BUCKET-BRIGADE DELAY LINES", IEEE Journal of Solid-State Circuits, Vol. SC-7, N° 5, Diciembre 1972, pág. 421-425
- (B39) Murray R. Spiegel, "LAPLACE TRANSFORMS", Schaum Publishing Co. 1965
- (B40) John W. Stumpe, "DIGITAL VOICE COMMUNICATIONS", "A look to military requirements", Electronic Products, Marzo 1968, pág. 22-30
- (B41) G. C. Temes, V. Varcilon and F. J. Marshall III, "THE OPTIMIZATION OF BANDLIMITED SYSTEMS", Procc. of the IEEE, Vol. 61, N° 2, Febrero 1973, pág. 196-234
- (B42) S. B. Weinstein, P. M. Ebert, "DATA TRANSMISSION BY FREQUENCY-DIVISION MULTIPLEXING USING DISCRETE FOURIER TRANSFORM", IEEE Transactions on Communication Technology, Vol. COM-19, N° 5, Octubre 1971
- (B43) Brent Welling, "ANALYSIS AND DESIGN OF ACTIVE FILTERS USING OPERATIONAL AMPLIFIERS", Application Note AN-438, Motorola Semiconductor Products Inc.
- (B44) D. P. Wilson, D. R. Corrall and R. F. Mathias, "THE DESIGN AND APPLICATION ON DIGITAL FILTERS", IEEE Trans. on Industrial Electronics and Control Instrumentation, Vol. IECI-20, N° 2, Mayo 1973
- (B45) S. Yakowitz, S. R. Parker, "COMPUTATION OF BOUNDS FOR DIGITAL FILTER QUANTIZATION ERRORS", IEEE Trans. on Circuit Theory, Vol. CT-20, N° 4, pág. 391-396
- (B46) Arnold Ziermann, "CALCULATING WITH PHYSICAL QUANTITIES USING THEIR LOGARITHM", Procc. of the IEEE, Vol. 61, N° 4, Abril 1973, pág. 494
- (B47) Shalvar Zohar, "NEW HARDWARE REALIZATIONS OF NON RECURSIVE DIGITAL FILTERS", IEEE Trans. on Computers, Vol. C-22, N° 4, Abril 1973, pág. 328-338

- (B48) Shalvar Zohar, "THE COUNTING RECURSIVE DIGITAL FILTER", IEEE Trans. on Computers, Vol. C-22, N° 4, Abril 1973, pág. 338-347
- (B49) Shalvar Zohar, "A/D CONVERSION FOR RADIX (-2)", IEEE Trans. on Computers, Vol. C-22, N° 7, Julio 1973, pág. 698-701
- (B50) \_\_\_\_\_, "GENERAL CATALOG, 1970", Burr-Brown Research Corporation, Arizona
- (B51) \_\_\_\_\_, "WILL IC'S EVER SELL FOR A PENNY PER ACTIVE DEVICE?", Electronics, Vol. 45, N° 12, Junio 5, 1972, pág. 46
- (B52) \_\_\_\_\_, "ENGINEER'S NEWSLETTER: ACTIVE FILTERS GAIN POPULARITY", Electronics, Vol. 45, N° 13, Junio 19/72, pág. 116
- (B53) \_\_\_\_\_, "ELECTRONICS NEWSLETTER: PACKAGE-IN-SOCKET CUTS MOS/LSI COST", Electronics, Vol. 45, N° 16, Julio 31, 1972, pág. 18
- (B54) \_\_\_\_\_, "NEW PRODUCTS. COMPONENTS: ACTIVE FILTERS USE IC OP AMPS", Electronics, Vol. 45, N° 16, Julio 31, 1972, pág. 93
- (B55) \_\_\_\_\_, "IBM 1130 FUNCTIONAL CHARACTERISTICS", File Number 1130-01, For.126-5881-4
- (B56) \_\_\_\_\_, "SYSTEMS/360 SCIENTIFIC SUBROUTINE PACKAGE", 360A-CM--03X, Version III.