

*ESCUELA POLITECNICA NACIONAL
FACULTAD DE INGENIERIA ELECTRICA*

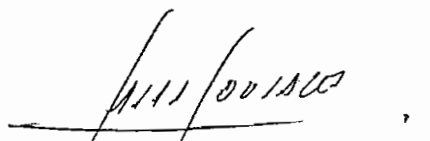
*SISTEMA DE ADQUISICION DE DATOS
Y PROCESAMIENTO DIGITAL DE
LARINGOGRAMAS*

OLGA, LIDIA RIVERA RIVERA

*TESIS PREVIA A LA OBTENCION DEL TILTULO DE INGENIERO
EN LA ESPECIALIZACION DE ELECTRONICA Y
TELECOMUNICACIONES*

QUITO, JULIO DE 1993

*Certifico que este trabajo ha
sido realizado en su totalidad
por la Srta. Olga L. Rivera R.*

A handwritten signature in black ink, appearing to read "Luis Corrales", written over a horizontal line.

Dr. Luis Corrales
DIRECTOR DE TESIS

DEDICATORIA

A mis padres quienes con su sacrificio y consejos diarios, hicieron posible la culminación de mis estudios.

AGRADICIMIENTO

Mi más profundo agradecimientos a todas las personas que de una u otra forma han contribuido con su consejos, y apoyo desinteresado para la culminación de éste mi más caro anhelo. A la ESCUELA POLITECNICA NACIONAL. A todos los profesores quienes me brindaron sus conocimientos, especialmente en la persona del Sr. Dr. Luis Corrales por su valioso aporte humano y científico en el desarrollo de la presente tesis.

TABLA DE CONTENIDO

CAPITULO 1.FUNDAMENTOS TEORICOS.	- 1 -
1.1.ANTECEDENTES Y JUSTIFICACION.	- 2 -
1.2.EL LARINGOGRAMA: CARACTERISTICAS Y APLICACIONES.	- 4 -
1.2.1.Generación de la Voz Humana.	- 5 -
1.2.2.Características del Larlngograma.	- 12 -
1.2.3.APLICACIONES.	- 15 -
CAPITULO 2. DISEÑO Y CONSTRUCCION DEL HARDWARE.	- 23 -
2.1 DISEÑO DEL INTERFAZ.	- 23 -
2.1.1.EL Transductor.	- 25 -
2.1.2.EL AMPLIFICADOR.	- 27 -
2.1.4. Regulador de Voltaje.	- 32 -
2.2. ACOPLAMIENTO AL PORTICO PARALELO.	- 33 -
2.2.1.Características del Pórtico Paralelo.	- 34 -
2.2.2.Módulo Digital del Sistema.	- 41 -
2.2.2.1 Conversor A/D 0804.	- 42 -
2.2.2.2 Multiplexer Analógico 74LS258.	- 44 -
2.3.CONSTRUCCION.	- 46 -
2.2.1.El transductor.	- 46 -
2.3.2.El Amplificador.	- 47 -
2.3.3.Circuito del Filtro Análogo.	- 48 -
2.3.4.CIRCUITO DE CONVERSION A/D.	- 49 -
2.3.5.Etapa del Multiplexer.	- 50 -
2.3.6.EL CONECTOR DB25.	- 51 -
2.4. RESULTADOS EXPERIMENTALES.	- 57 -
2.4.1.Pruebas de la respuesta de frecuencia.	- 57 -
2.4.2.Pruebas del Pórtico Paralelo.	- 67 -

CAPITULO 3.DESARROLLO DEL SOFTWARE.	75
3.1 ESPECIFICACIONES DEL SOFTWARE.	77
3.1.1.Lenguaje Assembly: Especificaciones.	77
3.1.2.Lenguaje C: Especificaciones.	78
3.2.DESARROLLO DEL SOFTWARE.	78
3.2.1.Desarrollo del Software en Lenguaje Assembly.	79
3.2.1.1.Rutina de adquisición de datos: ADC1.	80
3.2.1.2.Rutina de graficación de datos: VDOUT.	83
3.2.1.3.Rutina de Borrado de Pantalla: VDCANC.	84
3.2.1.4.Rutina de escritura en el disco: WRDSK.	85
3.2.1.5.Creación de un archivo de datos.	88
3.2.1.6.Rutina de escalas de pantalla: SCALES.	89
3.2.1.7.Rutina de comandos del usuario: CMMD.	90
3.2.2.Desarrollo Del Software en Lenguaje C.	91
3.2.2.1.Funciones para creación de menús (ARCHIVO: ESQUEMA.I). ...	92
3.2.2.2Funciones para despliegue de archivos de laringogramas.	98
3.2.2.3.Funciones para manejo de bases de datos.	99
3.3. INTEGRACION DEL SISTEMA (HARDWARE Y SOFTWARE)	109
 CAPITULO 4. RESULTADOS	 113
4.1. PRUEBAS DEL SISTEMA.	113
4.2. RESULTADOS OBTENIDOS.	114
4.3. ANALISIS DE LOS RESULTADOS OBTENIDOS.	118
 CAPITULO 5. COMENTARIOS Y CONCLUSIONES	 120
5.1.COMENTARIOS.	120
5.2.CONCLUSIONES.	122
 ANEXOS..	 125

LISTA DE FIGURAS

CAPITULO 1.

1.1	Corte Transversal de la Laringe.....	6
1.2	Componentes Anatómicos de la Voz.....	7
1.3	Organos que Producen la Voz.....	9
1.4	Capas de los Pliegues Vocales.....	13
1.5	Pliegues Vocales.....	14
1.6	Laringograma Ideal.....	17
1.7	Laringograma Real.....	19

CAPITULO 2.

2.1.	Transductor y Componente de Soporte.....	24
2.2.	Diagrama del Amplificador de Laringograma.....	29
2.3	Filtro Analógico.....	32
2.4	Regulador de Volaje.....	33
2.5	Conexiones de Pórtico MDA.....	36
2.6	Registros del Pórtico Paralelo.....	38
2.7	Convertor A/D 0804.....	43
2.8	Multiplexer 74LS258.....	46
2.9	Circuito Analógico Total.....	49
2.10	Diagrama de Bloques de la Etapa Digital.....	52
2.11	Circuito Digital Total.....	53
2.12	Circuito Total de Adquisición de Datos.....	55
2.13	Circuito Total Para el Diseño del Circuito Impreso	56
2.14	Respuesta de Frecuencia sin Filtro Pasa Bajos.....	58
2.15	Respuesta de Frecuencia Microcap sin Filtro....	60

2.16	Respuesta de Frecuencia con Filtro Pasa Bajos	62
2.17	Respuesta de Frecuencia Microcap con Filtro...	64

CAPITULO 3

3.1	Laringograma Capturado.....	111
3.2	Onda Sinusoidal de Referencia.....	111
3.3	Laringograma Desde la Base de Datos.....	112

CAPITULO 4

4.1	Laringograma de una Persona con Diferentes Vocales	114
4.2	Laringograma de Varias Personas con Igual Vocal	115
4.3	Laringograma de Varias Personas con Igual Vocal	116
4.4	Laringograma de un Individuo con afecciones....	117
4.5	Señal Desplegada con diferente Escala Horizontal	118

LISTADO DE TABLAS

2.1	Cuadro de Funcionamiento del Multiplexer 8/4..	45
2.2	Conexiones del Conversor A/D 0804.....	50
2.3	Conexiones del Multiplexer 74LS258.....	51
2.4	Conexiones del Conector DB25.....	52
2.5	Ancho de banda del Circuito de Adquisición de Datos.	57
2.6	Pendientes de la Respuesta de Frecuencia.....	66
2.7	Especificaciones del Pórtico MDA (LPT1).....	68
2.8	Direcciones del Pórtico Paralelo.....	69
2.9	Relaciones Pin/Bit de los Pórticos Paralelo.....	70
2.10	Resultados de Análisis del Pórtico Paralelo.....	72
2.11	Diagrama de Bloques del Sistema de Adquisición de Datos	91

2.12	Cuadro de Menú Principal.....	95
2.13	Edición de Datos de Paciente.....	96
2.14	Listado de Pacientes.....	97
2.15	Estructura CB1.....	100
2.16	Estructura CB2.....	101
2.17	Cuadro de Pacientes Nuevos.....	104
2.18	Cuadro de Edición de Nuevo Laringograma.....	105
2.19	Edición de Pacientes.....	107
3.1	Diagrama de Flujo del Programa de Adquisición de Datos.	91

CAPITULO 1

INTRODUCCION

CAPITULO 1. FUNDAMENTOS TEORICOS.

El trabajo que aquí se reporta se refiere a un sistema que permite la captura y presentación de electrolaringogramas en el monitor de un computador. Con tal propósito se ha diseñado y construido un circuito que le permite a un estetoscopio comercial capturar los laringogramas y adecuar la señal de tal manera que pueda ser ingresada a un computador tipo PC, o compatible.

Una de las características importantes del sistema desarrollado es el empleo del pórtico paralelo como medio de comunicación entre el mundo externo y el computador. Desviar la utilización de este pórtico, empleado primordialmente como salida para el impresor, requirió la investigación y desarrollo de algoritmos que permitieron proporcionar al pórtico las características esenciales que se requieren para la adquisición de datos.

Tomando en consideración los requerimientos de velocidad necesarios para capturar, en tiempo real, los laringogramas, las rutinas de adquisición de datos se desarrollaron en lenguaje assembly. Como complemento del sistema, se implementó, en lenguaje C, un sistema de administración que permite desplegar en la pantalla laringogramas previamente grabados e ingresar datos personales de los pacientes.

En el primer capítulo se comienza por exponer las razones por las que se optó por el tema. A continuación se hace una descripción de los órganos que participan en la generación de los laringogramas con el fin de obtener un conocimiento adecuado de las estructuras de las que se desea captar la información, así como también, para obtener parámetros técnicos de referencia en base a los cuales proceder al diseño electrónico del equipo a emplearse.

En el segundo capítulo se describe en detalle los pasos seguidos para el diseño y construcción del equipo electrónico que constituye el hardware del laringógrafo.

En el tercer capítulo, se procede a explicar los pormenores del desarrollo de los programas encargados de capturar la información de los laringogramas y de la administración de los mismos. En su parte final se exponen los resultados que se obtuvieron al interconectar el equipo y sus programas de control.

En el cuarto capítulo se describen las pruebas a las que se sometió al sistema así como los resultados que se obtuvieron. Esto, tanto a nivel de laboratorio como en situaciones reales.

Finalmente, en el quinto capítulo, se exponen comentarios y sugerencias extraídos de la experiencia que se obtuvo durante el desarrollo y construcción del sistema, y se termina con una serie de conclusiones que permitan evaluar el trabajo desarrollado y orientar, de así hacerlo, cualquier trabajo posterior que se realice en este campo.

1.1. ANTECEDENTES Y JUSTIFICACION.

La computación tiene cada vez mayor influencia en más áreas del conocimiento humano, la electrónica y la medicina no se han podido escapar a esta tendencia.

En la electrónica, como tal, han surgido una nueva serie de aplicaciones que giran alrededor de componentes microprocesados. Adicionalmente, otras áreas del saber cada día presionan para que la misma se oriente a resolver sus problemas particulares; tal es el caso de la medicina. Grandes avances en el campo del diagnóstico médico se han logrado gracias a la introducción de sistemas que han dotado, en mayor o menor grado, de poder de procesamiento automatización a los equipos de diagnóstico o terapia.

La posibilidad de poder captar las señales biológicas por medio de un sistema "inteligente" para su posterior análisis, no es algo nuevo. Contando con un sistema inteligente y poderoso, se ha

hecho factible obtener resultados que antes o permanecían ocultos a otros medios de análisis o simplemente no era posible extraerlos por no contar con las herramientas adecuadas. Por otro lado, se ha hecho posible introducir una serie de innovaciones más científicas al análisis de muestras y exámenes médicos con el objeto de quitar cierta subjetividad que existe cuando un médico efectúa una inspección visual de los mismos. De esta forma, los diagnósticos se han hecho más rápidos, más precisos y/o permiten un mejor seguimiento de un tratamiento.

En el caso específico del presente trabajo, el laringógrafo permite a un computador, en conjunción con circuitos para el acondicionamiento de la señal y acoplamiento a su pórtico paralelo, registrar la forma de onda que se genera a nivel de la laringe: el laringograma (Lx).

Existen varias ventajas al usar un computador para reproducir los laringogramas en la pantalla. Por ejemplo, se podría capturar en forma "permanente" el laringograma de un paciente, en un diskette, y eventualmente volver a reproducirlo en la pantalla, a voluntad. Este método es más fácil que recurrir a tomar fotografías de la pantalla de un osciloscopio. A más de ser este un sistema versátil para mostrar y grabar ondas Lx, sería posible hacer un análisis cuantitativo de otras variables fundamentales como, por ejemplo, determinar la frecuencia fundamental de Lx, efectuar análisis espectrales, etc.

Con estos antecedentes, se justifica que en la Facultad de Ingeniería Eléctrica exista interés por mantenerse al día en los avances tecnológicos que se producen en este nuevo campo y, de hecho, tiene incluido dentro de su pensum académico la materia de Electromedicina. Con mayor razón si se considera que en el país no existe un ente que se encargue de entrenar adecuadamente a los ingenieros en las nuevas demandas que exige el diseñar, operar y mantener equipos para ambientes hospitalarios, o, en ambientes donde uno de los componentes es un ser humano. La realización del presente trabajo se ubica dentro de ese interés y espera contribuir con experiencias que ayuden a la cristalización de objetivos tan altos.

1.2. EL LARINGOGRAMA: CARACTERÍSTICAS Y APLICACIONES.

Las variables físicas en general, y en este caso los laringogramas, tienen características especiales que las hacen diferentes desde el punto de vista electrónico. Por esta razón, como punto de partida para empezar el diseño, es imprescindible conocer las características eléctricas de la señal que se desea capturar. Con este propósito se hace a continuación una descripción de las estructuras biológicas que están involucradas en la generación de los laringogramas, buscando descubrir o justificar características eléctricas que eventualmente se atribuyan al laringograma. Al final se incluye una serie de posibles aplicaciones que, desde un punto de vista médico, se podrían dar a los mismos.

Cabe indicar que hasta solo 20 años atrás (Sataloff, 1992) la voz humana y los mecanismos que la hacen posible, eran un misterio. Poco se conocía acerca de cómo operaban sus diferentes estructuras y cómo poder cuidarlas, a pesar de siglos de fascinación con las voces de cantantes y actores y la importancia crucial de la comunicación oral para la sociedad. La literatura respecto a la medicina de la voz y, particularmente, respecto al cuidado de la voz profesional, era muy escasa.

Los conocimientos terapéuticos eran igualmente débiles. Los tratamientos no-quirúrgicos de problemas benignos de los pliegues vocales (Nota: desde hace 10 años los especialistas decidieron reemplazar el término cuerda por el de pliegue, por ser éste un término más descriptivo) eran controvertidos, y la cirugía de que se disponía implicaba el despellejamiento de los pliegues vocales. Por medio de este procedimiento se desprendían las capas superficiales de los pliegues vocales bajo la creencia de que tejido saludable crecería para reemplazar al tejido enfermo. Desafortunadamente, muchos pacientes terminaron con voces permanentemente ásperas o roncos, a pesar de que, en su interior, sus pliegues vocales tenían un aspecto normal.

Desde hace 21 años, sin embargo, una nueva subespecialidad médica ha aparecido, impulsada por el interés en los problemas de los cantantes profesionales y actores, avances científicos y tecnológicos han mejorado el nivel del cuidado para los pacientes con problemas en la voz. Estas mejoras se han cristalizado gracias a la colaboración interdisciplinaria entre profesionales de diferentes áreas, quienes, en un comienzo, ni siquiera hablaban una misma "lengua". **"La Fundación de la Voz (THE VOICE FOUNDATION)"**, establecida por el fisiólogo nuevayorkino Wilbur James Gould, para promover tales intercambios, sostuvo su primer simposium en 1972, y reunió a laringólogos, científicos de la voz, patólogos del lenguaje, profesores de canto y actuación e interpretes. El intercambio de ideas en tal reunión condujo a nuevas colaboraciones, nuevas orientaciones en la investigación y nuevos grandes avances.

Hoy día, 21 años más tarde, es posible para un cantante que adolece de unas cuantas "notas perdidas", un candidato en campaña para la presidencia, un vendedor con una voz débil, un fumador con un tumor, o cualquiera que tenga alguna queja con su voz, obtener atención médica sofisticada. La calidad de este cuidado se debe primordialmente a los avances que se han producido en el conocimiento de cómo trabaja la voz.

1.2.1. Generación de la Voz Humana.

El mecanismo vocal requiere la acción coordinada de muchos músculos, órganos y estructuras en el abdomen, pecho, garganta y cabeza. De hecho, virtualmente todo el cuerpo humano influye en algo al sonido de la voz, sea directa o indirectamente. Para percibir las vulnerabilidades del tracto vocal, se hace necesario una breve revisión de este complejo y delicado mecanismo,

La primera estructura, y la parte más conocida del mecanismo, es la laringe o caja de la voz. En la Figura 1.1 se muestra un corte transversal donde se indica la posición de la laringe con relación a otras estructuras involucradas en la generación de la voz.

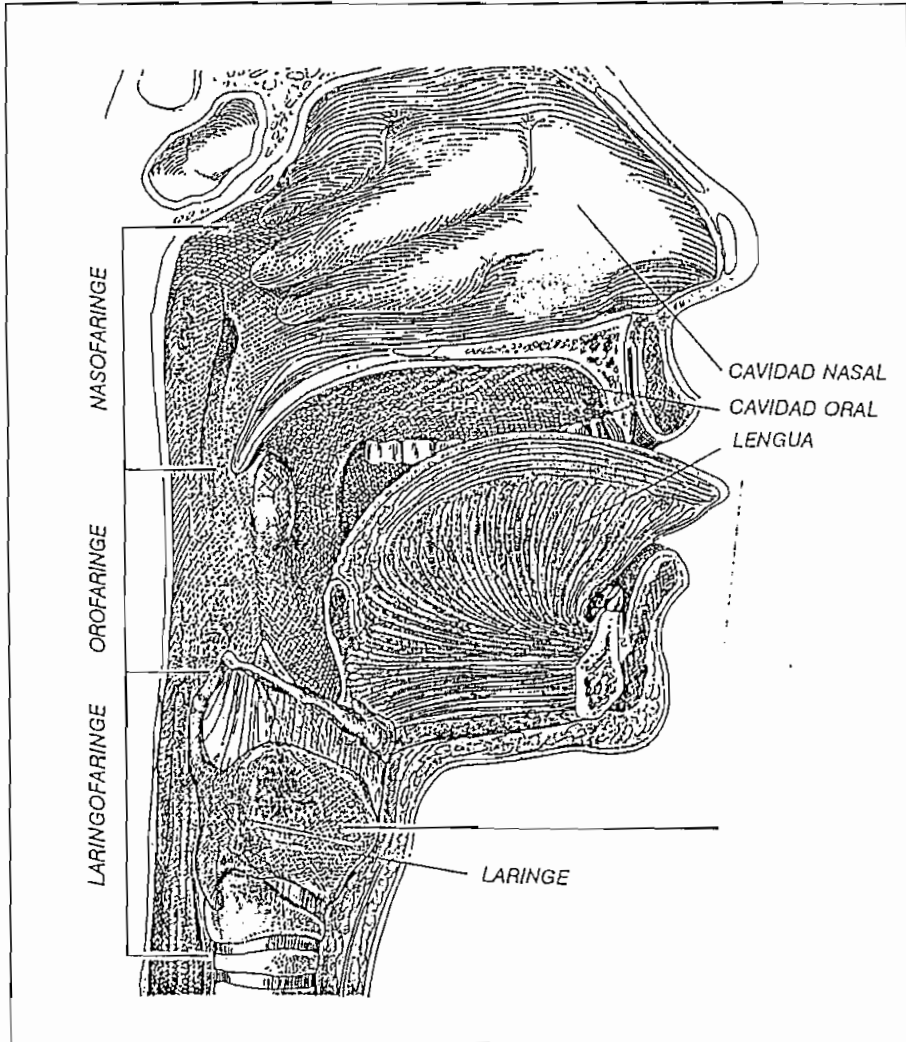


Fig. 1.1. Corte Transversal de la Laringe

Para tener una idea acerca de los mecanismos involucrados en la generación de los sonidos vocales y, sobre todo, el papel de la laringe en dicho proceso, se realiza, aunque en forma breve una revisión, de sus diferentes estructuras anatómicas.

ANATOMIA DE LA LARINGE.

La laringe está formada de cuatro componentes anatómicos básicos: un esqueleto cartilaginoso, los músculos intrínsecos, los músculos extrínsecos y la mucosa o envoltura suave. En las Figuras 1.1. y 1.2 se muestran la ubicación de estas estructuras.

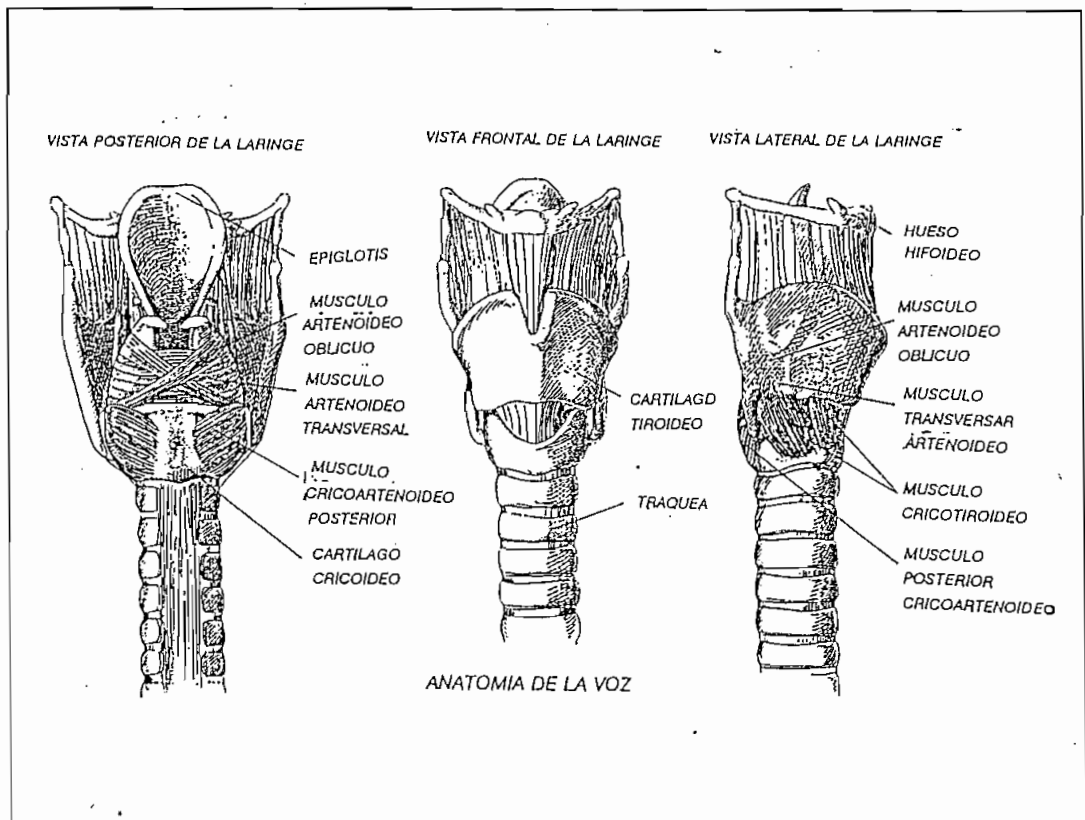


fig. 1.2. Componentes Anatómicos de la Voz.

La parte más importante del esqueleto de la laringe es:

- 1) el cartílago tiroideo,
- 2) el cartílago cricoideo, y
- 3) dos cartílagos artenoideos.

Los músculos extrínsecos conectan los cartílagos a otras estructuras de la garganta; mientras que los músculos intrínsecos son los que unen entre si a los cartílagos.

Un par de músculos intrínsecos se extiende desde el cartílago artenoideo a un punto dentro del cartílago tiroideo, justo abajo y detrás de la "manzana de Adán". Los músculos tiroartenoideos forman el cuerpo de los pliegues vocales; el espacio entre ellos es el glotis. Los pliegues vocales son normalmente la fuente de la voz humana.

Los músculos intrínsecos pueden cambiar la posición relativa de los cartílagos y extenderlos dentro de un cierto rango. Estos cambios alteran a su vez la forma, posición y tensión de los pliegues vocales que se hallan suspendidos. El músculo cricotiroideo, por ejemplo, participa en el control del tono de la voz al incrementar la tensión longitudinal de los pliegues vocales.

Los músculos extrínsecos, también conocidos como los músculos envolventes del cuello, elevan y bajan el esqueleto de la laringe. El resultado de este "efecto de acordeón" a su vez cambia los ángulos y distancias entre los cartílagos y altera aún más la longitud de los músculos intrínsecos. La laringe tiene una tendencia natural a elevarse y bajar mientras el tono de la voz sube y baja. Estos cambios tan grandes en posición, interfieren con el control fino de los pliegues vocales, lo cual es esencial para dar suavidad a la voz. Por esta razón, a los cantantes clásicos se los enseña a usar sus músculos extrínsecos para mantener el esqueleto de la laringe a una altura aproximadamente constante, independientemente del tono. Esta técnica mejora y unifica la calidad vocal a lo largo de todo el rango del cantante.

Los tejidos suaves que recubren la laringe son mucho más complejos de lo que se pensaba. Uno de estos tejidos es la mucosa que forma la superficie fina y lubricada de los pliegues vocales que hacen contacto cuando están cerrados. La mucosa que se extiende sobre los pliegues vocales es diferente de la que cubre el resto de la laringe y el tracto respiratorio; está compuesta de epitelio escamoso estratificado el cual esta mejor preparado para soportar el constante contacto entre los pliegues vocales.

GENERACION DE LA VOZ.

La generación del habla o canciones, o aún un elemental sonido vocal comprende una compleja orquestación de acciones físicas y mentales. La "idea" para producir los sonidos se originan en la corteza del cerebro, en el área del lenguaje. El movimiento de la laringe es controlado por el área de la voz la misma que trasmite sus ordenes a la laringe por los nervios, produciendo finalmente la vibración de los pliegues vocales. En la Figura 1.3 se puede observar una representación esquemática de estos organismos.

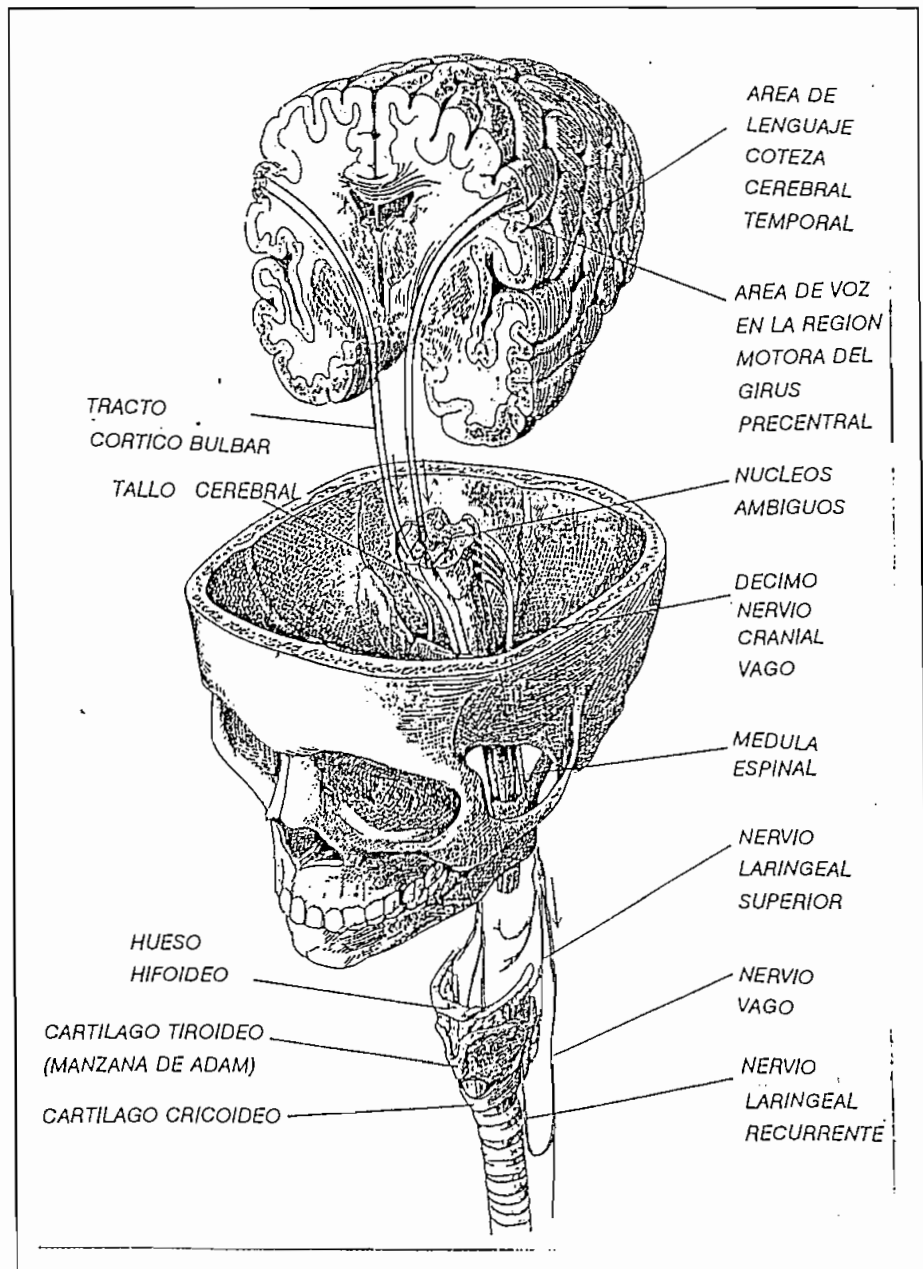


Fig. 1.3. Organos que Producen la Voz.

Cuando los pliegues vocales vibran producen solamente un zumbido. Este zumbido viaja a lo largo del trato vocal supraglótico, el cual incluye la faringe, lengua, paladar, cavidad oral y la nariz. La resonancia que se añade en el tracto vocal produce la mayoría del carácter y timbre o cualidad vocal de todos los sonidos durante el habla y el canto.

La fuente de poder de la voz es el tracto vocal infraglótico: los pulmones, las cajas torácica y abdominal, y los músculos del pecho y la espalda que generan y dirigen el flujo del aire a través de los pliegues vocales. Cuando el glotis se cierra, se abre y altera su forma, la resistencia al flujo del aire cambia continuamente. La fuente de poder debe, por consiguiente, hacer rápidos y complejos ajustes para mantener una cualidad vocal estable. Para los cantantes y actores este conjunto de poder es conocido como su "Soporte" o su "diafragma". En realidad, la anatomía del conjunto es complicada y no está todavía entendida, y los actores que usan tales términos no necesariamente se refieren a lo mismo.

Los músculos principales de la inhalación y exhalación son el diafragma y los músculos intercostales externos. La inhalación y exhalación son actividades en su mayoría pasivas durante la respiración normal. Típicamente, las propiedades mecánicas de los pulmones y la cavidad torácica forzan el aire hacia afuera de los pulmones, sin esfuerzo, después de una respiración total. Por supuesto, exhalación activa es también posible y algunos de los músculos involucrados en tal proceso son empleados también para la producción de la voz.

Durante la exhalación activa, los músculos pueden elevar la presión con el abdomen y con ello forzar el diafragma hacia arriba. Alternativamente, ellos pueden bajar las costillas y el esternón para decrementar las dimensiones del tórax. Los músculos principales de la exhalación son los del abdomen, pero los músculos intercostales y otros del pecho y la espalda también contribuyen.

Lesiones u operaciones que alteran la estructura o funciones de estos músculos disminuyen la fuente de poder de la voz, como también lo hacen el asma, y otras enfermedades que alteran la exhalación. La gente a menudo compensa las deficiencias de sus mecanismos de soporte forzando los músculos de su laringe, los cuales no son diseñados para actuar como la fuente de poder de la voz. Tal comportamiento puede dar como resultado una disminución de la función, fatiga rápida, dolor e incluso problemas estructurales, tal como la formación abscesos en los pliegues vocales.

Al igual que los sistemas muscular y esquelético, el sistema nervioso también contribuye a la producción de la voz. La "orden" de un sonido vocal se origina en la corteza cerebral y viaja a los núcleos motrices en la médula espinal. Estas áreas envían mensajes complicados que coordinan las actividades de la laringe, los músculos torácicos y abdominales y los articuladores del tracto vocal. Las señales desde ciertas divisiones en el sistema nervioso, llamadas el tracto extrapiramidal y el sistema autónomo nervioso, también refinan dichas actividades.

Los nervios que controlan los músculos del tracto vocal son fuentes potenciales de problemas en la voz. Por ejemplo, los dos nervios laringeales recurrentes controlan la mayoría de los músculos intrínsecos de la laringe. Debido a que estos nervios (especialmente los de la izquierda) corren a través del cuello, hacia abajo dentro del pecho y luego vuelven hacia arriba hasta la laringe, son fácilmente lesionados por traumas u operaciones en la garganta y el pecho.

Los nervios también proveen realimentación al cerebro acerca de la producción de la voz. La realimentación auditiva, que es transmitida desde el oído, a través de la médula cerebral, hasta la corteza cerebral, le permiten a un vocalista empatar el sonido producido con aquel que se intentaba generar. La realimentación de tacto desde la garganta y los músculos también pueden ayudar para realizar ajustes finos del sonido que sale, aunque este proceso no se lo entiende totalmente. Los cantantes y declamadores entrenados cultivan su habilidad para usar la

realimentación de tacto en forma efectiva, debido a que ellos conocen que una mala acústica del escenario, instrumentos musicales muy altos o ruidos de la multitud interferirán con la realimentación que viene desde el auditorio.

Durante la entonación, todas estas estructuras y sistemas anatómicos deben trabajar en conjunto. La fisiología de la producción de la voz es extremadamente compleja, pero puede hacerse una analogía con lo que ocurre en una trompeta. La fuerza para el sonido es generada por la musculatura del pecho, abdomen y espalda, los que producen una corriente de aire a alta presión. Los labios del trompetista se abren y cierran en frente de la boquilla para crear un zumbido similar al que es producido por los pliegues vocales. Este sonido luego resuena a través del resto de la trompeta, la misma que podría compararse al tracto supraglótico vocal.

1.2.2. Características del Laríngrafo.

La mayoría del progreso durante los pasados 21 años provienen de llenar los detalles respecto a cómo los sonidos vocales se originan y cambian. Parte de este esfuerzo incluso a implicado el modelamiento de los movimientos de los pliegues vocales. A pesar de que los pliegues vocales conforman una estructura anatómica de 5 capas, se comportan mecánicamente como una estructura de 3 capas:

- 1) una cubierta (epitelio y capa superficial de la lámina propia),
- 2) una capa de transición (capa intermedia y profunda de la lámina propia), y
- 3) un cuerpo (el músculo tiroartenoideo).

Estas estructuras se muestran en la Figura 1.4.

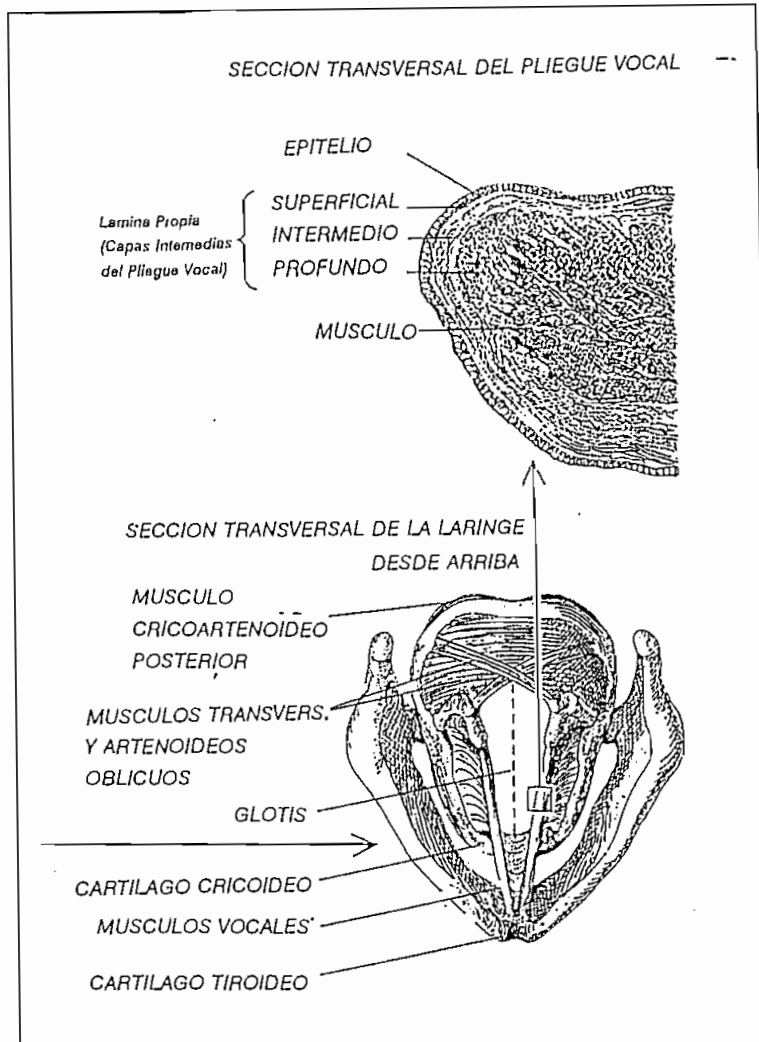


Figura 1.4. Capas de los Pliegues Vocales.

Estudios de modelos y observaciones han revelado cómo la laringe produce un sonido. Inicialmente los pliegues vocales están en contacto y el glotis está cerrado, tal como se muestra en la Figura 1.5 (1). Cuando los pulmones expelen aire la presión en el glotis aumenta, típicamente a un nivel de cerca a 7 cm de H₂O para una conversación normal. Esta presión empuja progresivamente los pliegues vocales apartándolos desde abajo hacia arriba (2 y 3), hasta que el glotis se abre y el aire comienza a fluir (4). La elasticidad y otras fuerzas resisten la separación del margen superior de los pliegues vocales, pero el flujo de aire finalmente vence a tal oposición. Este produce, al mismo tiempo, un efecto de Bernoulli; esto es, una reducción en la presión de aire lateral provocada por su movimiento hacia adelante. El efecto tiende a halar los pliegues vocales y cerrarlos (5), contribuyendo esto la propiedad elástica de sus

tejidos. La presión del flujo de aire debajo del glotis también disminuye cuando éste se abre para dejar salir el aire. Debido a este conjunto de efectos los bordes inferiores de los pliegues vocales comienzan a cerrarse casi inmediatamente, aunque los bordes superiores están todavía separados (6, 7 y 8). El cerramiento disminuye aún más la fuerza del flujo de aire. Los márgenes superiores de los pliegues vocales regresan luego a su posición intermedia y cierran el glotis. Si la presión subgloteal comienza nuevamente a subir, los eventos descritos se repiten nuevamente. En la realidad, siempre existe presión directa y las variaciones muy rara vez dejan que la presión subgloteal bajen a cero.

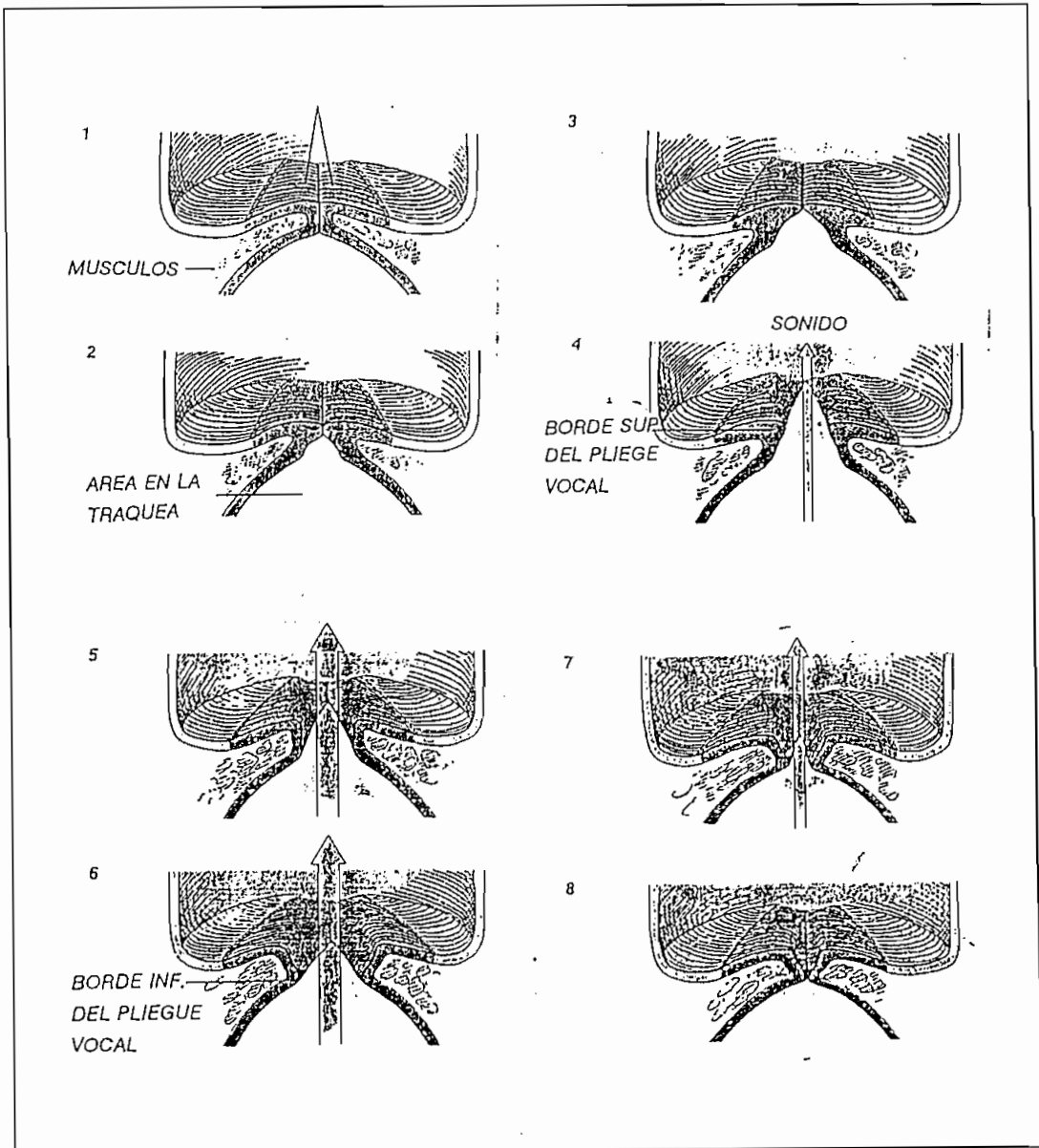


Figura 1.5. Pliegues Vocales.

Un aspecto importante del proceso descrito es que la parte más baja de los pliegues vocales se abre y se cierra antes que su parte más alta. El desplazamiento ondulante de la cubierta de los pliegues vocales produce un movimiento ondulatorio en la mucosa. Si la vibración de la onda gloteal no es normal es entonces que se producen problemas como el enronquesimiento u otros cambios en la calidad de la voz.

Los pliegues vocales no excitan el aire vibrando como ocurre con las cuerdas de un violín; por el contrario, al abrir y cerrar el glotis, los pliegues crean soplos de aire en el tracto vocal. La terminación repentina del flujo de aire al final de cada soplo produce una vibración acústica. El mecanismo es similar al que causa el sonido durante los aplausos.

El sonido de la laringe es un tono complejo que contiene una frecuencia fundamental, o tono, y algunos sobretonos, o armónicas altas (la frecuencia, medida en Hertz, es el número de ciclos de abertura y cierre de la glotis por cada segundo). Se ha comprobado (Baken, 1987), con verdadera sorpresa, que tanto vocalistas entrenados como los que no lo son producen casi los mismos espectros de frecuencia a la altura de los pliegues vocales.

Resumiendo, son los sonidos que se producen a la altura de la laringe, cuando el glotis se abre y se cierra, lo que constituyen los laringogramas, la señal que se desea captar en el presente trabajo. La frecuencia producida por el glotis al abrir y cerrarse esta comprendida entre los 300 y 500 Hz (DCPB, 1988).

1.2.3. APLICACIONES.

Existen laringógrafos comerciales, lo que demuestra que se trata de un instrumento médico ya establecido. Como tal, un laringógrafo es definido como un instrumento no-invasivo que permite examinar el contacto de los pliegues vocales durante la generación de la voz.

La importancia médica de estudiar la fase de contacto de los pliegues vocales radica en que la correcta vibración de los mismos determina el tono de la voz, su calidad y regularidad. Adicionalmente, la información que se puede obtener desde el laringograma tiene la ventaja de que no es afectada por ruidos acústicos extraños y muestra la actividad de los pliegues vocales independientemente de lo que pase en el tracto resonante.

La faringe (el área de la garganta comprendida entre la boca y el esófago), la cavidad oral y nasal, actúan para la voz como una serie de resonadores interconectados. Se tiene así un sistema más complejo que el de una trompeta debido a que sus paredes, y de allí la forma de la cavidad, son flexibles. Es conocido que en cualquier "resonador", algunas frecuencias son atenuadas mientras otras reciben un cierto nivel de amplificación. Debido a este hecho, la voz sale de los "resonadores" con ciertas armónicas relativamente reducidas mientras otras salen amplificadas.

Johan Sundberg, del Instituto Real de Tecnología de Stockholmo, ha demostrado que, en algunos cantantes, el tracto vocal genera cuatro o cinco frecuencias de resonancia importantes llamadas "formantes". La intensidad de la fuente de la voz disminuye uniformemente a lo largo de su espectro excepto en las frecuencias formantes donde aparecen unos valores pico. Las frecuencias formantes son determinadas por la forma del tracto vocal, la cual puede ser alterada por la musculatura de la laringe, la faringe y la cavidad oral.

En resumen, la longitud y forma de tracto vocal es única para cada individuo y depende de la edad y el sexo: las mujeres y niños tienen tractos vocales más cortos que los hombres y, consecuentemente, tienen frecuencia formantes más altas. De todas maneras, las dimensiones del tracto vocal pueden ser cambiadas a voluntad, hasta un cierto grado, y el dominio de tales ajustes es fundamental en el adiestramiento de la voz.

Idealmente, un laringógrafo debe emplear dos electrodos superficiales, los mismos que deben colocarse en el cuello, a la altura del cartílago tiroideo. Los electrodos pueden sujetarse al cuello sea con la mano o por medio de un sujetador especialmente diseñado para este propósito. Nuevamente, la función de los electrodos es detectar la fase de apertura y cierre de los pliegues vocales.

El laringograma resultante, conocido también como la forma de onda Lx, muestra el comportamiento completo del cerramiento de los pliegues vocales durante cada ciclo de vibración. El fisiólogo especialista analiza luego la forma de onda obtenida buscando los detalles siguientes:

- 1) la duración de la fase de cierre,
- 2) cuando el cierre se completa,
- 3) la velocidad con que se produce el cierre, y
- 4) la coordinación de la fase de cierre.

En la Figura 1.6 se muestra un laringograma ideal en el que se relacionan segmentos del mismo con lo que en ese momento está ocurriendo con los pliegues vocales.

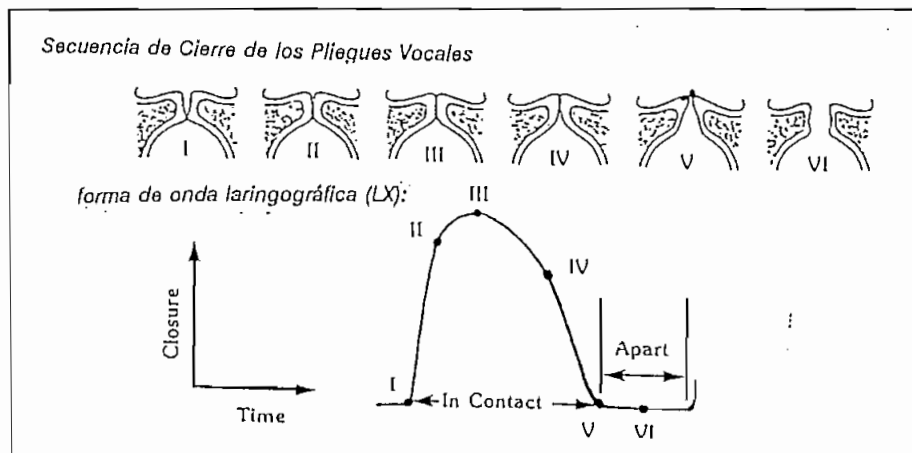


Figura 1.6. Laringograma Ideal.

La fase de cerramiento empieza, I, cuando el borde inferior de los pliegues hacen contacto. Debido al efecto de Bernoulli (descrito más arriba), los pliegues vocales se cierran rápidamente, lo cual explica el cambio brusco de la onda hasta llegar a II. El contacto total de los pliegues se produce al tiempo III, y determina el pico de la onda Lx.

A partir del punto máximo de la fase de cierre, los pliegues entran en su fase de apertura. Cabe indicar que ésta es más lenta que la de cierre y, por lo mismo, la onda Lx tiene en esta zona una pendiente menor (IV y V). En VI, los pliegues están totalmente separados y se mantienen así por un cierto tiempo.

Se ha llegado a determinar que las secuencias de cierre y apertura son regulares y de igual forma lo cual quiere decir que los laringogramas son periódicos. Esto concuerda con la descripción médica que define a las cuerdas vocales como normales cuando estas poseen igual masa, forma y firmeza; implicando que, por esta razón, los laringogramas deben ser periódicos.

Debido a que el laringograma es un excelente extractor del tono de la voz, una de sus aplicaciones científicas más importantes está alrededor de comparar otras formas de obtención del tono de la voz con los algoritmos que hacen igual trabajo pero tomando como punto de partida el laringograma.

Dentro del campo médico, una de las aplicaciones importantes del laringograma es en el campo terapéutico. Un terapeuta del lenguaje podría emplear la señal que se obtiene en la pantalla del computador para guiar a pacientes a cambiar una forma de onda defectuosa hacia aquella que es considerada como normal. Una muestra de esta onda se ilustra en la Figura 1.7.

En esta figura se observa el laringograma de un individuo afónico. Note que el intervalo de apertura del glotis es demasiado largo.

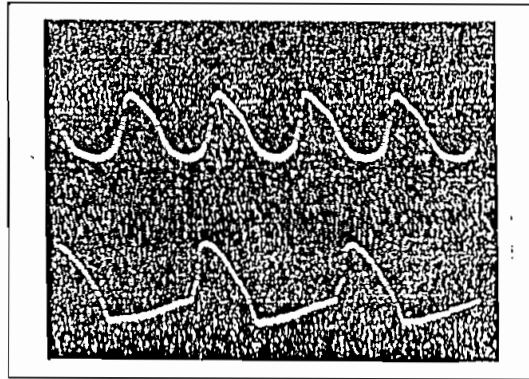


Figura 1.7. Laringograma Real.

Un útil indicador biofísico de la eficiencia de estrategias del control vocal pueden ser observadas en el flujo de muestras durante cada ciclo de fonación. Por ejemplo un vocalista puede ensayar para incrementar la intensidad vocal por excesivos incrementos de la presión de aire y la resistencia de la glotis para el flujo de aire, usando los músculos del tracto vocal infraglotico y la fuerza abductora (glotis cerrada) de los pliegues vocales. Dando resultado a la llamada fonación forzada en la cual la amplitud de la frecuencia fundamental de la voz demanda un considerable esfuerzo físico.

La amplitud de la fuente de la voz puede ser también baja si las fuerzas abductoras son tan débiles que los pliegues vocales no hacen contacto y el glotis se hace ineficiente. Esta condición resulta en una fonación aspirada. En contraste, una tercera y más deseable condición, conocida como fonación de flujo, es caracterizada por una baja presión de aire y una fuerza abductora baja, la cual incrementa la intensidad de la frecuencia fundamental y hace la voz ruidosa. Voces especializadas pueden diagramar cambios en el flujo del aire en la glotis, tales cambios producen un gráfico llamado glotograma del flujo.

Pero, entender el mecanismo del control vocal ha hecho posible que fisiólogos puedan detectar y corregir los problemas de abuso de la voz y traumatización de los pliegues vocales, y el conocer las funciones de cada componente del tracto vocal permite el desarrollo de óptimas estrategias para la rehabilitación de los daños vocales.

Los descubrimientos de nuevas herramientas han sido críticas para la ciencia de la voz. Hasta los años ochenta los científicos estaban acostumbrados a utilizar su oído como su único instrumento para evaluar la calidad y funciones de la voz, ya que se carecía de técnicas de cuantificación de la misma.

En 1854 un profesor de canto Manuel García ideó la técnica de un laringoscopio indirecto, el utilizó el sol como una fuente de luz y un espejo dental colocaba en la boca de un estudiante para mirar las cuerdas vocales. Indirectamente este laringoscopio sirvió de herramienta para los fisiólogos. Este procedimiento se lo usa actualmente (reemplazando la luz solar por una luz eléctrica).

Sin embargo a pesar de lo valiosa de esta técnica ha tenido alguna oposición. Comúnmente la primera técnica para analizar las vibraciones de los pliegues vocales, es la estroboscópicolaringoscopia, esta utiliza un micrófono colocado cerca de la laringe para provocar que el estroboscopio ilumine las cuerdas vocales. Si la frecuencia de la luz estroboscópica se encuentra defasada cerca de los dos Hertz de la vibración, un observador puede mirar que las cuerdas vocales están simulando un movimiento lento. Una versión temprana de esta técnica fue descubierta en el siglo XIX.

El efecto del estroboscopio permite la evaluación detallada de los pliegues vocales, permitiendo observar pequeñas masas vibratorias asimétricas, cicatrices, carcinomas tempranos y otras anomalías de la laringe, algunas de las cuales no son detectados bajo la luz normal. El análisis digital de las imágenes puede ser también complementado con la evaluación visual. Aunque la pobre resolución de las imágenes y algunos otros problemas limitan el valor de esta técnica.

Otro método de monitoreo de las cuerdas vocales es la electroglotografía en la cual se coloca un débil voltaje de alta frecuencia entre dos electrodos colocados en el cuello al rededor de

la laringe, cambiando la medida de voltaje permite generar una onda sobre la electroglotografía que ilustra el contacto de los pliegues vocales, midiendo la luz que pasa por debajo de los pliegues vocales o el flujo glotigráfico.

Medidas de las funciones aerodinámicas, incluyen chequeos de las funciones pulmonares y el flujo laringeal, son valoradas especialmente, ya que ellas revelan la función de la fuente de potencia vocal y la eficiencia de los pliegues vocales para controlar el flujo de aire. Las medidas de la habilidad de fonación, habilidad de producir sonidos son muy útiles para cuantificar la difusión vocal y evaluar el resultado de un tratamiento. Tales chequeos determinan el rango de frecuencia e intensidad de la voz, la profundidad que puede producir un sonido y otros factores.

Otra técnica para estudio de la función de la voz es el electromiógrafo laringeal que implica la inserción de delgados electrodos en los músculos de la laringe. Esto es muy útil, en circunstancias especiales, para una total evaluación neuromuscular y funcional. La medida de la actividad eléctrica en los músculos de la laringe en un paciente permite predecir la recuperar de un parálisis de las cuerdas vocales, evitando de esta forma considerar una operación.

Una hábil laringólogo o un oyente entrenado pueden deducir acerca del sonido de la voz, sin embargo, los clínicos e investigadores necesitan equipos capaces de cuantificar las características vocales que no son significativas para el oído. La disponibilidad del equipo es muy útil, pero existe todavía limitaciones.

Las técnicas descubiertas han contribuido para la rehabilitación de la voz, la cual ha sido dañada por el mal uso; estas terapias ayudan a eliminar la fuerza innecesaria de los músculos del cuello y la laringe, esto puede curar algunos problemas estructurales de las cuerdas vocales y problemas más agudos (dureza, callosidades y crecimientos).

Las terapias ayudan al paciente a entender como usar cada componente del trato vocal en forma apropiada así como evitar forzamiento y abuso de sus voces manteniendo los niveles correctos de humedad y mucosidad en su tracto vocal para mitigar el efecto del humo y otros peligros ambientales.

Más aún, al educar a los pacientes, estudiantes de canto y actuación, profesores de la voz y público en general acerca de la importancia de la misma y sus enfermedades, los resultados obtenidos han sido gratificantes. La educación es a menudo la mejor medicina preventiva y ha disminuido desde ya la prevalencia de problemas evitables de la voz.

Para que el progreso médico continúe se necesitará aún más de un entendimiento básico de la ciencia de la voz, de las herramientas para mejores evaluaciones clínicas y cuantificaciones y de mejores instrumentos quirúrgicos. Esperando contribuir de alguna manera con este propósito se ha desarrollado el presente trabajo.

CAPITULO 2

DISEÑO Y CONSTRUCCION

DEL HARDWARE

CAPITULO 2. DISEÑO Y CONSTRUCCION DEL HARDWARE.

Por su naturaleza, el desarrollo del sistema de adquisición de datos, uno de los temas de esta tesis, involucró el diseño de dos partes: hardware y software; dos subsistemas que deben mantener una estrecha relación para obtener como resultado un producto que satisfaga los propósitos deseados. Esto es precisamente lo que se hizo en la práctica pero, por facilidad de exposición, en este capítulo se detallan los pormenores relacionados con el diseño del hardware y en un capítulo siguiente lo referente al software.

El hardware de esta tesis constituye un interfaz que permite captar las vibraciones generadas desde la laringe, durante el habla, y adecuar las mismas a niveles de voltaje y corriente tales que puedan ser acopladas a un computador tipo PC o compatible. Durante su diseño se identificaron dos módulos principales:

- 1) el módulo de acondicionamiento de la señal, y
- 2) el módulo de acoplamiento al computador.

El diseño de los circuitos de acondicionamiento de señal, incluyendo una descripción breve de otros circuitos y técnicas que se exploraron antes de optar por las alternativas que finalmente se escogieron, se cubre a continuación. Por su relativa importancia, se prefirió tratar lo referente al acoplamiento en un subcapítulo aparte. Al final de este capítulo se reportan las pruebas que se realizaron para comprobar si los circuitos cumplen con los cálculos teóricos realizados durante el diseño.

2.1 DISEÑO DEL INTERFAZ.

El módulo de acondicionamiento de señales de un sistema de adquisición de datos típico emplea uno o más de los siguientes circuitos:

- 1) transductores,
- 2) amplificadores, y
- 3) filtros.

En la Figura 2.1 se muestra, en un diagrama de bloques, los circuitos mencionados.

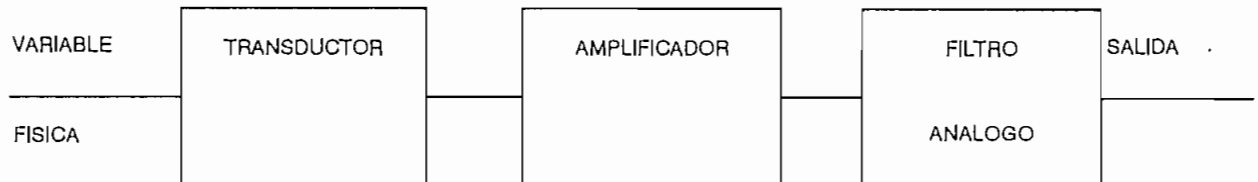


Figura 2.1. Transductor y componentes de soporte.

Cuando la entrada a un sistema es una variable física; temperatura, presión, flujo, aceleración, posición, etc., la variable es convertida primeramente en señales eléctricas; esta es la función que desempeña un transductor. Una vez que adquiere características eléctricas se la puede procesar por medio de circuitos electrónicos.

El siguiente paso suele ser amplificar la señal entregada por el transductor para elevarla a un nivel acorde con el procesamiento posterior al que se piense someter a la misma. En el presente caso, la salida del transductor se reporta estar en el orden de $0.1 V_{p-p}$ y, puesto que debe acoplarse a un computador, deberá ser amplificada de tal forma que se ubique dentro del rango comprendido entre 0 y 5 V (niveles TTL). En ciertos casos, el amplificador requiere de características muy especiales para poder manejar, por ejemplo, transductores de elevada impedancia. En otras ocasiones, los amplificadores necesitan de circuitos con funciones no lineales que proporcionan operaciones de cuadratura, multiplicación, división, conversión RMS, conversiones logarítmicas, o linealización.

Al amplificador generalmente sigue un filtro analógico. La función del filtro es eliminar componentes de frecuencia indeseables como, por ejemplo, las originadas por el ruido de interferencia. Dependiendo de la señal a captarse, el filtro puede ser pasa-altos, pasa-bajos o pasa-banda; por razones que se detallarán a continuación, se emplearon dos filtro análogos: un pasa-altos y un pasa-bajos.

El diseño que se presenta a continuación responde al análisis detallado de la variable física (los laringogramas) que se desea captar. Esto se realizó en el capítulo anterior, en el que determinó sus características fisiológicas y eléctricas, pero, por facilidad de comprensión, a continuación se anotan las principales:

RANGO DE FRECUENCIA: 300 A 500 Hz.

AMPLITUD: $0.1 V_{p-p}$

2.1.1. EL Transductor.

Para detectar los laringogramas es necesario emplear un transductor que se ajuste a los requerimientos físicos impuestos por la variable a convertirse. Esto implica, en el presente caso, la necesidad de un dispositivo capaz de detectar las vibraciones de la laringe o, más precisamente, las fases de cierre y apertura del glotis, durante el habla.

El transductor ideal, se mencionó ya en el capítulo anterior, esta conformado por 2 electrodos superficiales específicamente diseñados para captar las vibraciones que se producen a la altura de la laringe, cuando son colocados a los dos lados del cartílago cricoideo. Se intentó en primera instancia emplear estos electrodos pero, lamentablemente, la consecución local de los mismos no fue posible. De la investigación que se hizo en algunas casas comerciales dedicadas a la importación de equipo médico, se descubrió que no se habían recibido pedidos

de laringógrafos comerciales; por lo mismo, las casas visitadas no tenían en existencia los electrodos que vienen con tales equipos. La única alternativa viable que se ofrecía fue la de una importación directa, con los costos adicionales que tal gestión implica. Ante esta situación, antes que pensar en concretar la importación, se pensó en buscar otra solución.

Para orientar la búsqueda de una salida adecuada, se buscó el asesoramiento de un médico especializado en el área. Las indagaciones pertinentes nos condujeron al Dr. Edwin Andrade, Director del Centro Médico PROAUDIO.

Juntando los criterios médicos del mencionado especialista al análisis de la señal que se deseaba captar, se llegó a la alternativa que se describe a continuación.

El estetoscopio es un instrumento médico de chequeo que permite captar y amplificar ciertos parámetros biológicos internos, en forma no invasiva. A más de estas características y debido a la concepción de su diseño, tiene la propiedad de actuar como un filtro pasabajos. En pruebas realizadas, con la asesoría del mencionado galeno, se comprobó que al ser colocado el estetoscopio a la altura de la laringe, efectivamente captaba las componentes de baja frecuencia de los sonidos generados en esta región. Basados en estas experiencias iniciales, se decidió adoptar al estetoscopio como el transductor del presente sistema.

Para completar la conversión a señales eléctricas de los sonidos captados por el estetoscopio, se procedió a acoplar un micrófono al ducto de plástico del mismo. Tomando en cuenta que los sonidos a captarse, idealmente deberían ser tan solo aquellos que vengan a través del ducto plástico, se buscó un micrófono de tipo unidireccional. Desafortunadamente, no se pudo hallar un micrófono comercial que satisfaga este requerimiento y que sea del tamaño adecuado. Adicionalmente, micrófonos de instrumentación con esta característica resultaron ser extremadamente caros (sobre los 150.000 sucres).

Realizando un análisis de costo-beneficio, análisis que a la postre se convirtió en factor relevante durante la toma de decisiones, finalmente se seleccionó un micrófono tipo corbata de bajo precio con las especificaciones siguientes:

Marca:	SKY
Modelo:	EK2003
Tipo:	CONDENSER ELECTRET OMNI-DIRECCIONAL
Respuesta de Frecuencia:	50 - 18 KHz
Impedancia:	1 KOhm
Sensibilidad:	- 65 dB \pm 3 dB a 1 KHz
Voltaje de Alimentación:	1,5 V

El conjunto así formado resultó ser, tomando en consideración la amplitud de la señal obtenida, eficaz para captar las señales desde la laringe. Mediciones realizadas dieron como resultado señales en el orden de $2 V_{p-p}$.

2.1.2. EL AMPLIFICADOR.

Para racionalizar la búsqueda del amplificador, y su configuración ideal, en primer lugar se procedió a determinar sus respectivas especificaciones:

1) Ganancia.-

$$G_v = \frac{V_{sal}}{V_{ent}} = \frac{5 V_{p-p}}{2 V_{p-p}} = 2.5$$

Ec. 2.1

2) Ancho de Banda.-

300 a 500 Hz

3) Polarización.-

Posibilidad de operación desde baterías. De esta forma, se aumentaría notablemente la diversidad de uso del equipo.

Lo anterior impone (aunque no es estrictamente necesario) la condición adicional de que el amplificador debe operar desde una sola fuente de polarización. Es posible diseñar una fuente de polarización doble desde baterías, pero el diseño se simplifica significativamente si se puede evitar la fuente doble.

La selección final recayó sobre el amplificador LM158 de la NATIONAL SEMICONDUCTORS.

El LM158 es un circuito integrado que contiene dos amplificadores independientes, de alta ganancia e internamente compensados en frecuencia. Las características del amplificador seleccionado se adjuntan en los anexos, pero, entre las más relevantes para esta aplicación cabe destacar que este dispositivo no solo que puede trabajar desde una fuente de alimentación simple sino que, además, puede hacerlo desde un voltaje relativamente pequeño, desde $3 V_{DC}$ hasta $30 V_{DC}$.

A más de que entre sus áreas de aplicación se incluyen a los amplificadores de transductores, la serie del LM158 puede ser directamente operada desde una fuente de voltaje normal de $+5 V_{DC}$, del tipo de las que se usan en sistemas digitales y, por lo mismo, proveen con mucha facilidad la interfaz electrónica requerida sin recurrir a fuentes de $\pm 15 V_{DC}$.

Otra característica importante es que tiene un bajo consumo de potencia lo cual lo convierte inmediatamente en el dispositivo ideal para trabajar desde baterías.

Como se verá más adelante, se hizo necesaria la inclusión de un filtro activo. Esto permitió optimizar el uso del LM158, ya que posee dos amplificadores operacionales internamente compensados, en un solo paquete.

La configuración que se empleó se muestra en la Figura 2.2. Básicamente, corresponde a la de un amplificador no inversor con acoplamiento capacitivo.

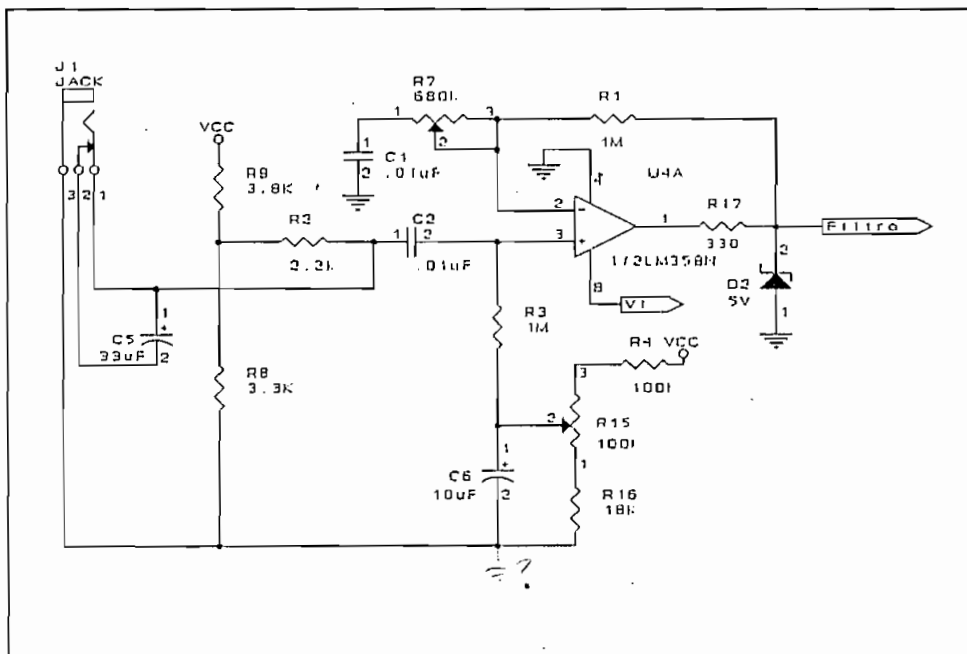


Figura. 2.2. Diagrama del Amplificador de laringogramas.

La ganancia del amplificador esta determinada por la expresión:

$$A_v = 1 + \frac{R_1}{R_7} \quad \text{Ec. 2.2}$$

Asumiendo, $R_1 = 1 \text{ MOhmios}$, y considerando que se requiere una ganancia de voltaje, $G_v = 2,5$ entonces resulta:

$$R_7 = 680 \text{ KOhmios (valor normalizado)}$$

El voltaje de polarización, V_{cc} , seleccionado fue de $5 V_{dc}$. Según ésto, el voltaje dc de operación a la salida del amplificador debía estar en $2,5 V$, para permitir que la señal de salida pueda variar desde 0 hasta $5 V$. Con estas consideraciones se obtuvo un valor de $100 K\Omega$ para R_4 y R_{15} .

En el lazo de realimentación se incluye un filtro pasa-altos, R_7 y C_1 , con el propósito de eliminar componentes de baja frecuencia indeseables, especialmente la frecuencia de $60 Hz$ de la línea de servicio. Esta suele ser una medida imprescindible cuando se diseña equipos que deben trabajar cerca o conectados a seres humanos. El cuerpo suele constituirse en una excelente antena para captar, coincidentemente, la señal de $60 Hz$ de la red de servicio.

Tomando en cuenta que el límite inferior del ancho de banda de los laringogramas es de $200 Hz$, se decidió que la frecuencia de corte del filtro sea de $120 Hz$. Se esperaba con ésto atenuar hasta la 2a. armónica de la frecuencia de la red.

La frecuencia de corte inferior, F_{cinf} , del filtro está dada por:

$$f_{cinf} = \frac{1}{2\pi R_7 C_1} \quad \text{Ec. 2.3}$$

Más arriba se determinó que $R_7 = 680 K\Omega$; por lo tanto, despejando de la Ec.2.3 se obtiene:

$$C_1 = \frac{1}{2\pi f_{cinf} R_7} = \frac{1}{2\pi \cdot 120Hz \cdot 680K\Omega} \approx 0.002 \mu F$$

En cuanto al voltaje de polarización, cabe mencionar que se decidió alimentar al amplificador con el voltaje DC existente antes del regulador de voltaje de $5 V$. Esta medida se tomó para

evitar la limitación que tiene el LM158 en cuanto a que el máximo voltaje de salida es de $V_{cc} - 1.5$ V. Esto quiere decir que el voltaje no regulado puede llegar como mínimo hasta:

$$5 \text{ V} + 1,5 \text{ V} = 6,5 \text{ V}.$$

2.1.3. El Filtro Analógico.

En aplicaciones donde existe un proceso de conversión analógico a digital, es necesario un filtro pasa-bajos para eliminar componentes de alta frecuencia que son las que generan los conocidos y molestos efectos del desdoblamiento de frecuencias (frequency folding o anti-aliasing). La frecuencia de corte superior del filtro pasa-bajos, F_{csup} , se obtiene a partir del Teorema de Nyquist que establece que la frecuencia de corte máxima del filtro debe ser menor o igual a $\frac{1}{2}$ la frecuencia de muestreo, f_m ; esto es:

$$f_{csup} \leq \frac{f_{muestreo}}{2} \quad \text{Ec. 2.4}$$

La frecuencia de muestreo en este caso está determinada por el conversor analógico digital que se piensa emplear. Como se verá más adelante, el conversor seleccionado fue el AD0804. Este conversor tiene un tiempo de conversión, T_C , en el peor de los casos, de $114 \mu s$; por consiguiente, la máxima frecuencia de muestreo que se puede obtener sería:

$$f_{m_{max}} = \frac{1}{T_C} = \frac{1}{114} \mu s \approx 8.8 \text{ KHz} \quad \text{Ec. 2.5}$$

Tomando en consideración este valor y el ancho de banda de los laringogramas, se fijó como la frecuencia de corte del filtro el valor de 1 KHz.

Se empleó inicialmente un filtro R-C, con una frecuencia de corte de 1 KHz pero, después de pruebas iniciales, y en vista de su pobre rendimiento, especialmente en lo que a la pendiente de atenuación se refiere, se desistió de su empleo.

Puesto que se tenía disponible el segundo amplificador del LM158, se procedió entonces a diseñar un filtro activo con el mismo. La configuración final se muestra en la Figura 2.3.

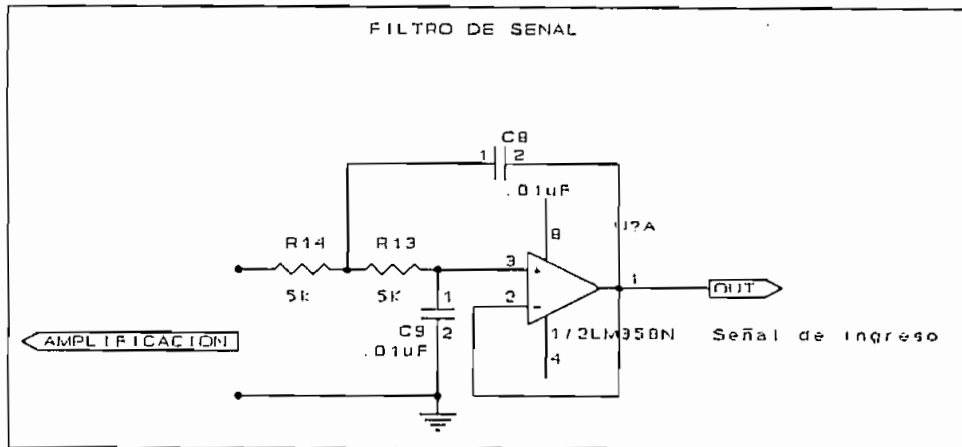


figura 2.3. Filtro Analógico.

2.1.4. Regulador de Voltaje.

La función del regulador de voltaje es la de generar los $5 V_{dc}$ necesarios para polarizar los circuitos tanto analógicos como digitales, y de esta forma garantizar la estabilidad del punto de operación de los componentes.

Para determinar su potencia, y así poder seleccionar el regulador apropiado, se procedió a medir el consumo de corriente por medio de un miliamperímetro marca FLUKE modelo 87. El valor total de consumo fue de 20 mA.

Con este valor se pasó a seleccionar el regulador adecuado y se escogió el regulador de voltaje LM518.

Las características del regulador se encuentran en los anexos, pero, los parámetros más relevantes para la presente aplicación fueron, entre otros:

- 1) su potencia de trabajo (100 mA), ideal para el circuito que se estaba probando, y

- 2) el hecho de que el LM158 es un regulador de 5 voltios diseñado especialmente para trabajar como regulador local en tarjetas de lógica digital.

La utilidad del regulador es apreciable debido a que es capaz de operar con un voltaje no regulado desde 7 V hasta 30 V. Esto eventualmente facilitaría que el equipo opere no solo desde una batería de 9 V sino también desde un adaptador AC/DC.

La conexión del regulador se muestra en la Figura 2.4.

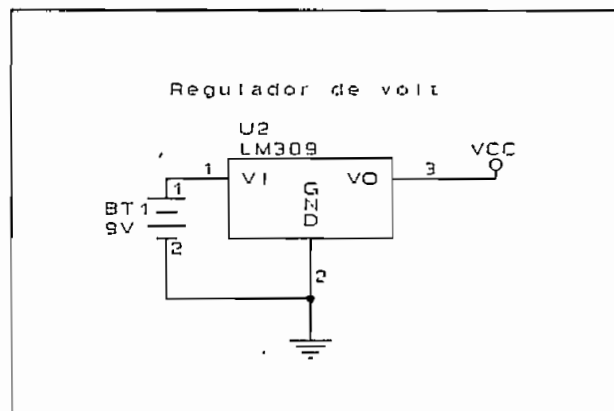


Figura 2.4. Regulador de Voltaje.

2.2. ACOPLAMIENTO AL PORTICO PARALELO.

Cabe empezar resaltando la importancia de este punto. Dentro de las alternativas que existen para acoplar una señal análoga a un computador (el pòrtico serial o las ranuras de expansión) el pòrtico paralelo ha sido, por lo general, excluido. Es muy típico relacionar a este pòrtico única y exclusivamente con las tareas de impresión y muy poco se ha investigado en cuanto a invertir su rol.

Tomando en consideración la frecuencia de la señal a detectarse, y el hecho de que se pretendía desarrollar un sistema que permita trabajar con los laringogramas en tiempo real, se optó por dejar de lado al pòrtico serial como la puerta de ingreso de datos al computador.

En cuanto a la posibilidad de emplear una tarjeta de adquisición de datos comercial, se desechó esta opción, entre otras, por las razones siguientes:

- 1) las tarjetas comerciales suelen tener un costo relativamente alto (sobre los S/. 250.000).
- 2) la subutilización de la tarjeta:

Tomando en cuenta que este es un trabajo al que se debe promover, se decidió que el producto debía resultar lo más barato posible para lograr atraer a interesados potenciales, especialmente si se considera que aparte se debe realizar una fuerte inversión para adquirir un computador. Por esta razón, incluir un componente de costo elevado hubiese encarecido innecesariamente el producto.

Por otro lado, una tarjeta comercial viene con varias entradas/salidas, tanto digitales como analógicas, la gran mayoría de las cuales habrían quedado sin uso en vista de las características particulares de esta aplicación.

Por lo expuesto, la alternativa del pÓrtico paralelo se presentó como una buena opción y, finalmente, se decidió explorarla.

2.2.1. Características del PÓrtico Paralelo.

Cabe empezar indicando que los pÓrticos paralelos, al contrario de los pÓrticos seriales, permiten transmitir datos a grandes velocidades aunque solo pueden cubrir distancias pequeñas.

La velocidad de un pÓrtico paralelo reside en su diseño. Cuando el computador envía un byte de datos al pÓrtico paralelo, ocho líneas de datos transmiten todo el byte al mismo tiempo. El pÓrtico empareja los ocho bits del byte a ocho diferentes pines del conector y el dispositivo externo, acoplado al conector, recibe la información deseada en grupos de 8 bits. En la

práctica, se usa generalmente una línea extra para validar la información presente sobre los pines.

Al pòrtico paralelo se lo asocia comùnmente con tareas de impresi3n, aunque se le puede conectar una variedad de dispositivos externos. Sin embargo, en los comienzos de la computaci3n, cuando los mayoría de los computadores eran kits a ser ensamblados por aficionados, el pòrtico paralelo, al igual que los pòrticos seriales, eran bidireccionales. De hecho, se lo empleaba tanto para leer el estado de interruptores o para conmutar relés para el control de máquinas o pequeñas lámparas. Adicionalmente, la mayoría de los computadores para aficionados usaba el pòrtico paralelo para barrer la matriz de interruptores que forman el teclado y, de hecho, a los teclados de la mayoría de los computadores actuales todavía se los lee a través de un pòrtico paralelo que está instalado en el controlador del teclado.

Pero, cuando IBM diseñó su PC, siempre pensó en una pequeña computadora para negocios; por lo mismo, nunca consideró la posibilidad de que sus usuarios emplearan el pòrtico paralelo para aplicaciones de control. Incluso, puesto que en negocios es primordial imprimir documentos, el pòrtico paralelo genérico fue modificado para que pueda comunicarse al interfaz centronics estandar del impresor.

A manera de referencia, cabe indicar que la IBM ofreció dos versiones de pòrtico paralelo en su PC original. Una versi3n fue incluida en el adaptador del monitor monocromático (Monochrome Display Adapter, MDA), al cual de ahora en adelante se denominará "pòrtico MDA" y al otro lo ubicó aparte en el adaptador para impresor paralelo (Parallel Printer Adapter), al cual de ahora en adelante se denominará "pòrtico del adaptador".

El pòrtico MDA fue el más popular ya que proporcionaba una conexi3n al impresor sin la necesidad de una tarjeta de expansi3n extra. Se le añaadieron líneas de control a las ocho líneas de datos que permitían al PC controlar al impresor y éste a su vez podfa regresar a la PC

información referente a su estado. En la Figura 2.5 se muestran las líneas del pòrtico MDA con sus respectivos números de pin.

Otro cambio importante fue que se hizo a las líneas de datos unidireccionales de salida. La naturaleza "solo de salida" del pòrtico proveía suficiente funcionalidad para enviar información al impresor, pero limitaba la utilidad del pòrtico para otras tareas.

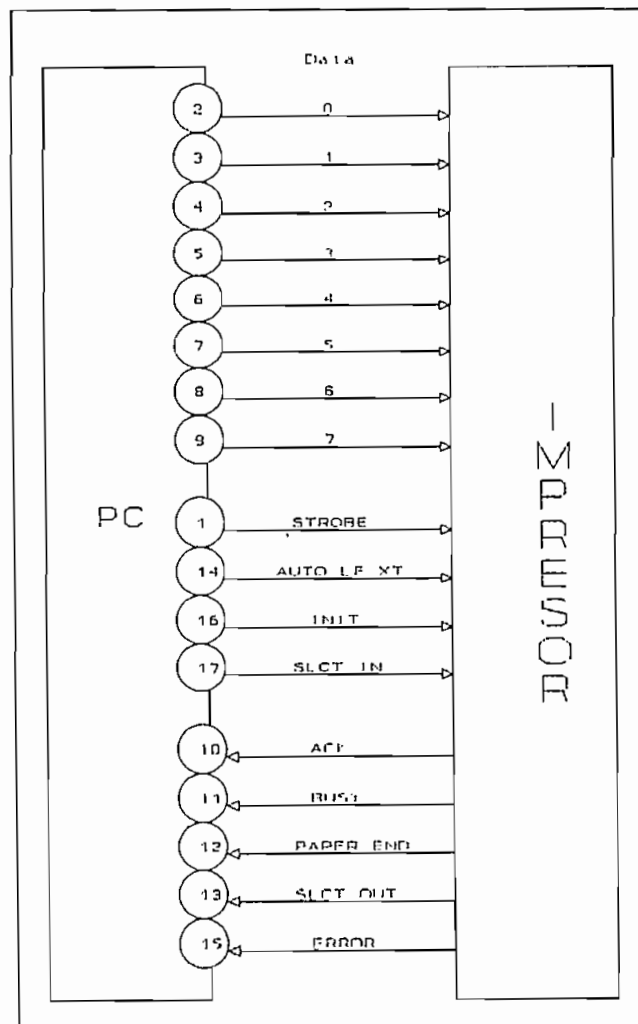


Figura 2.5. Conexión del pòrtico MDA.

Desde el punto de vista eléctrico el pÓrtico MDA, y el del adaptador, siguen las convenciones usuales. Los niveles de voltaje en los pines siguen la norma TTL; esto es, se tiene un cero si el voltaje varía desde 0 hasta 0.8 V y un 1 si el voltaje varía entre 2 y 5 V.

Tal como se muestra en la Figura 2.5, las líneas de datos del pÓrtico MDA son unidireccionales. Las líneas de control y de estado permiten que se efectúe un protocolo mínimo de handshaking durante el envío de la información hacia el impresor. De las cuatro líneas de control las tres primeras: **SLCT IN**, **INIT**, y **AUTO LF XT** inicializan y configuran el impresor. La línea **SLCT IN** indica a la impresora que debe estar lista para aceptar información, la línea **INIT** inicializa el impresor y la línea **AUTO LF XT** ordena al impresor moverse automáticamente a la siguiente línea cuando una línea de texto se ha terminado de imprimir. La cuarta línea, **STROBE** le dice a la computadora que un nuevo byte de datos está listo para ser leído.

Las cinco líneas de estado del impresor regresan información al PC. La línea **SLCT OUT** indica que el printer conoce que ha sido seleccionado, la línea **BUSY** indica que el impresor está ocupado y no puede aceptar más datos, la línea **PAPER END** indica que el impresor se ha quedado sin papel y la línea **ERROR** indica que el impresor ha detectado una condición de error.

La quinta línea, **ACK**, indica que el impresor ha aceptado los datos desde el computador y está listo para leer otro byte. Esta línea es especial ya que el pÓrtico del impresor puede ser configurado para interrumpir al procesador con un pedido de más datos cuando la línea **ACK** cambia a cero.

Al igual que con otros periféricos, tales como controladores de disco, pÓrticos seriales, etc. el CPU controla al pÓrtico paralelo a través de registros de E/S. La Figura 2.6 detalla los tres registros que constituyen el interfaz normalizado a nivel de registro para pÓrticos paralelos en el PC. El registro de datos envía información al impresor, el registro de estado lee el estado de

una variedad de direcciones de E/S, aunque típicamente comienzan en 378h (888) y 278h (632).

Cuando se escribe un byte al registro de datos del p \acute{o} rtico paralelo se env \acute{i} a ese byte al p \acute{o} rtico. Sin embargo, cuando el registro de datos es le \acute{i} do, el byte que retorna es el dato que en ese momento es enviado por el p \acute{o} rtico del impresor. Esto parecer \acute{i} a indicar que el p \acute{o} rtico MDA es inherentemente bidireccional. El problema es que no existe forma de decirle al p \acute{o} rtico MDA que deje de enviar datos; en otras palabras, el p \acute{o} rtico del impresor no puede recibir datos que vienen desde otros dispositivos conectados a \acute{e} ste, simplemente por que no hay manera de indicarle que deje de enviar datos. Si otro dispositivo intenta enviar informaci \acute{o} n a trav \acute{e} s de las l \acute{i} neas de datos (algo que no debe hacerse con el p \acute{o} rtico MDA), los datos que finalmente se leen ser \acute{a} n el resultado de una operaci \acute{o} n **OR** entre los datos que env \acute{i} a el p \acute{o} rtico MDA y los datos que se env \acute{i} an al mismo.

Cuando la IBM introdujo la serie PS/2 en 1987, el p \acute{o} rtico paralelo se redise \acute{n} o para dotarle nuevamente de caracter \acute{i} sticas bidireccionales. Por supuesto, se mantuvo compatibilidad con los p \acute{o} rticos paralelos anteriores.

Para dotarle de bidireccionalidad al p \acute{o} rtico, se introdujo un modo de "desconectar" las l \acute{i} neas de datos desde el PC, lo que permit \acute{i} a a una fuente cualquiera enviar datos por tales l \acute{i} neas. Puesto que el PC ya no puede enviar datos, cualquier lectura del registro de datos del p \acute{o} rtico paralelo equivaldr \acute{i} a a leer los datos enviados por otro dispositivo al p \acute{o} rtico.

Para proporcionar al p \acute{o} rtico paralelo de las PS/2 de capacidad de lectura, se emplea un bit, el n \acute{u} mero 5, en el registro de control del impresor para establecer la direcci \acute{o} n de los datos. Con un 1 en el bit 5, se configura el p \acute{o} rtico paralelo como entrada.

En las PS/2 se puede fijar el modo bidireccional del p rtico por medio del disco de configuraci n que viene con estas m quinas. Otros fabricantes tambi n han introducido esta caracter stica bidireccional al p rtico paralelo, pero, de las que as  lo han hecho, algunas (como la Toshiba) emplean el bit 7 en vez del 5.

Al igual que las PS/2, las "clones" deben ser configuradas para proveer la bidireccionalidad al p rtico paralelo. En pruebas (que se incluyen en el subcap tulo 2.4) hechas con algunas m quinas, se comprob  que no todas estaban configuradas de esa manera. En la pr ctica, es un tanto dif cil configurar un computador, por los conocimientos indispensables que se necesitan; por lo mismo, se opt  por otra alternativa que tambi n permite usar el p rtico paralelo para ingresar informaci n.

Se menciono ya que el registro de estado del p rtico paralelo esta dise ado espec ficamente para leer las l neas de estado: SLCT, BUSY, PAPER END, ERROR y ACK. Por lo tanto, estas l neas son las ideales para proveer al p rtico paralelo de capacidad para ingresar datos. Esta habilidad para poder leer datos, aunque se tenga que hacerlo en lotes de 4 bits, se emplea en programas de transferencia de datos y tambi n en el presente trabajo.

Por ejemplo, 2 p rticos MDA podr an comunicarse entre ellos si se conectan sus pines especialmente con ese prop sito. Si los 4 bits m s bajos del p rtico paralelo de un PC son conectados a las l neas SLCT, BUSY, PAPER END y ERROR del otro PC, el primero puede enviar 4 bits de datos por su p rtico MDA y el segundo leerlos por medio de las l neas de estado de su p rtico MDA. Para enviar datos en sentido inverso deber a invertirse el sentido de las conexiones. La l nea ACK podr a emplearse para enviar un 5to. bit, pero es una mejor alternativa emplearla para que un PC pueda interrumpir al otro, indicando que los datos han sido o est n listos para ser le dos.

Para emplear el registro de datos como un p rtico de entrada, se deben tomar en consideraci n ciertos aspectos importantes. El registro de control permite al μ procesador

manipular las líneas de control del interfaz hacia el impresor y ejecutar directamente todo el *handshaking*. Al igual que con el registro de datos, la información que se escribe en el registro de control pasa inmediatamente a los pines del *pórtico paralelo*. Note eso si que el bit 4 del registro de control no está conectado a una línea de control; en lugar de eso, se la emplea para habilitar la interrupción del *pórtico paralelo*. Una vez habilitado, el *pórtico paralelo* interrumpirá al μ procesador cuando se ponga un cero en la línea **ACK**. La interrupción de hardware que generalmente se asignan al *pórtico paralelo* es la 7. Cuando se lee este registro se obtiene el estado de las mismas líneas de control que se envían al impresor.

Otro aspecto importante que debe tenerse claro es el concepto de "señal de activado negativa"; particularmente si se desea relacionar el estado de los bits de los registros de control y estado del *pórtico* con los valores de voltaje de los pines correspondientes en el conector del *pórtico*.

Señal de activado negativa significa que una línea está presente en una línea cuando en la misma hay un 0 en vez de un 1 lógico. Para aumentar la confusión, debe tomarse en cuenta que algunas de las líneas de control son invertidas antes de llegar a los pines del conector. Esto quiere decir que al escribir un 1 al registro de control aparece un 0 lógico en la línea.

Específicamente, las líneas que están invertidas con respecto a los bits del registro de control son: **STROBE**, **AUTO LF XT Y SLCT IN**. **BUSY** también esta invertida. Las líneas **ACK** y **ERROR** del registro de estado son activadas negativamente pero sus respectivos bits no están invertidos con respecto a sus pines en el conector. Tomando en consideración todos estos detalles se procedió a seleccionar los circuitos que conforman la parte digital del hardware diseñado en esta tesis.

2.2.2. Módulo Digital del Sistema.

La etapa digital del circuito de adquisición de datos está constituida principalmente de 2 componentes:

- 1) un conversor A/D, y
- 2) un multiplexer de 8 entradas/4 salidas.

Un conector paralelo tipo DB25 conecta el conjunto al p rtico paralelo del computador.

A continuaci n se da una descripci n de cada uno de estos componentes, enfocando sus caracter sticas m s importantes:

2.2.2.1 Conversor A/D 0804.

La serie de conversores A/D AD0804 son CMOS de 8 bits. Para la conversi n emplea la t cnica de aproximaciones sucesivas, para lo cual utiliza una escalera potenciom trica diferencial. Estos convertidores son dise ados para operar con buses de control derivativos y latches de salida tipo tres-estados (tri_state) manejan directamente al bus de datos. Adicionalmente, la entrada del voltaje de referencia pueda ser ajustada para permitir la codificaci n de cualquier peque a muestra de voltaje anal gico a la resoluci n total de 8 bits.

Posee como nueva entrada de voltaje an logo diferencial permite incrementar el factor de rechazo en modo com n y anula el valor del voltaje an logo de entrada cero.

Quiz s entre sus caracter sticas m s importantes se puede mencionar su compatibilidad con el microprocesador 8080 y derivados. Estos convertidores AD aparecen como localidades de memoria o p rticos de E/S para el microprocesador y por ende no necesitan de interfaz l gico. Exhiben un tiempo de acceso de 135ns y un tiempo de conversi n de 100 μ s.

La figura 2.7 muestra el circuito empleado para el conversor AD0804.

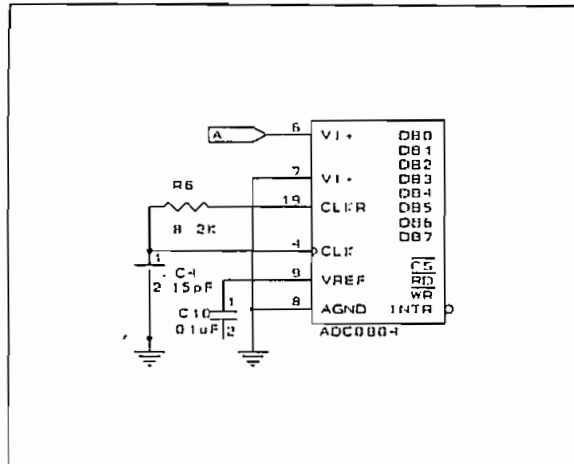


Figura 2.7 Conversor A/D 0804.

El dispositivo puede operar en "modo de carrera-libre (free-running mode)" si se conecta $\overline{\text{INTR}}$ a $\overline{\text{WR}}$. Un impulso externo $\overline{\text{WR}}$ se requiere durante el primer ciclo de su encendido para asegurar el arranque del dispositivo bajo todas las condiciones posibles.

La muestra ingresada es comparada primero con el bit más significativo, mediante de 8 comparaciones (64 ciclos de reloj) asignándole su correspondencia digital en un código binario de 8bits (1111 1111 = escala total) este resultado es transferido a la salida de un latch, lo que ocasiona una interrupción ($\overline{\text{INTR}}$ hace una transición de alto a bajo) iniciando el proceso de conversión, el mismo que puede ser interrumpido mediante un segundo comando de inicio.

El conversor A/D convierte la señal de la laringe, previamente amplificada y filtrada, a un valor digital que puede ser ingresado al computador.

Entre las características que debe cumplir el conversor A/D para nuestro circuito tenemos:

La señal ingresa por el pin 6 $V_{in}(+)$ del conversor, y esta debe estar entre 0 y 5 V. Es necesario, como complemento, poner la entrada $V_{in}(-)$ (pin 7) a tierra.

El voltaje de referencia (pin 9) que se seleccionó es de 2.5 V, de tal manera que permita una variación de la señal de entrada sobre y bajo esta referencia.

De ser necesario ajustar la frecuencia de trabajo del conversor, puede utilizarse un circuito Schmitt Trigger, colocado entre los pines 4 y 19, que permite variar la frecuencia a través de un circuito RC. Hay que tener presente eso sí, que los fabricantes garantizan la precisión del integrado solamente a una frecuencia de reloj de 640 KHz (favor ver anexos de A/D 0804).

El voltaje de polarización (5 volts) se lo obtiene a través del regulador de voltaje.

La pines que deben conectarse a tierra deben estar unidos a un mismo punto común de referencia.

El control de la señal \overline{WR} , \overline{CS} e \overline{INTR} debe realizarse a través del computador, o hacerse la conexión necesaria para conversión automática.

2.2.2.2 Multiplexer Analógico 74LS258.

Este multiplexer posee tecnología de tres-estados de alta ejecución, y puede ser conectado directamente como interfaz de línea para conducción de datos por el bus de un sistema.

El multiplexer tiene un control de salida que habilita la salida de los datos cuando se pone un bajo (L) o los deshabilita, poniéndolos en alta impedancia, cuando pone un alto (H). Mediante otro selector es posible seleccionar la salida de datos que ha de ser habilitada, con lo que se minimiza la posibilidad de que dos salidas puedan tomar un bus común. Los tiempos de habilitación de cada salida son relativamente cortos.

La característica de la salida de tres-estados, permite que selectores de datos de n-bits (en paralelo) con hasta 258 fuentes puedan ser implementados para bases de datos. También permite el uso de registros TTL estandar para retención de datos fuera del sistema.

Sus características mas relevantes son:

Voltaje de alimentación	5 \bar{V}_{DC}
Potencia de disipación	60 mw
Tiempo de ingreso de datos	12ms
temperatura funcionamiento	0 a 70 °C

Tabla 2.1. CUADRO DE FUNCIONAMIENTO.

Entradas				Salida Y
Control Salida G	Selector AB	A	B	74LS258
H	X	X	X	Z
L	L	L	X	H
L	L	H	X	L
L	H	X	L	H
L	H	X	H	L

barato de una sola campana. Debe aclararse que existen versiones más caras de doble campana: una pequeña diseñada para captar frecuencias más altas y otra mas grande para frecuencias más bajas. Puesto que nos Interesaba captar señales de relativamente baja frecuencia el modelo de una sola campana se considero apropiado para nuestro propósito.

El micrófono es un modelo que funciona con una batería de 1.5 V. Puesto que se tuvo que destruir el micrófono para aprovechar tan solo la cápsula sensora, se decidió sacar el voltaje de polarización del mismo desde la tarjeta del circuito. El arreglo resultó satisfactorio en lo que a proporcionar un buen nivel de voltaje se refiere (alrededor de $2 V_{p-p}$). Se debe aclarar sin embargo que un micrófono unidireccional puede dar mejores resultados ya que el omnidireccional tiende a captar señales que viene desde fuera del ducto plástico del estetoscopio. En este caso, es fácil deducir que los laringogramas son contaminados por la voz del paciente.

2.3.2. El Amplificador.

Al circuito original se hicieron los siguientes cambios de orden práctico. La resistencia fija de 680 KOhmios fue reemplazada por un potenciómetro de 1 MOhmio para poder ajustar la ganancia del amplificador en el caso eventual de encontrar pacientes que entreguen niveles de señal muy altos o muy bajos.

Se admite que estos ajustes hacen correr la frecuencia de corte inferior, f_{cinf} , de la respuesta de frecuencia del amplificador, pero se analizó que éste no es un parámetro muy crítico. Para las pruebas que se describen en la subcapítulo siguiente, se decidió ajustar la ganancia final del amplificador en 2.

Se empleó también un potenciómetro de 100 K Ω (R_{15}) más una resistencia de 18 K Ω (R_{16}) para reemplazar a la resistencia única R_{15} de 100 K Ω . La función del potenciómetro es permitir ajustes en caso de corrimientos del punto de operación (2,5 V) del amplificador y la de la resistencia fija es la de evitar que por el potenciómetro haya una conexión directa a tierra.

Para proteger al conversor A/D, se incluyó a la salida del amplificador un zener de 5 V.

2.3.3. Circuito del Filtro Análogo.

En esta etapa no se efectuaron modificaciones al circuito. Tan solo hay que mencionar que, al igual que en el amplificador, se debieron conectar capacitores de desacoplamiento de 0.1 μ F, para evitar interferencia desde la etapa digital.

La ganancia del filtro se mantuvo unitaria, en vista de los niveles de señal entregados por el micrófono y transductor.

Para dar mayor versatilidad a la tarjeta, se puso un puente de conexión (jumper) que permite conectar y desconectar el filtro análogo.

En general, en el diseño del circuito impreso se tuvo el cuidado de separar, de la mejor forma posible, la parte analógica de la parte digital, en vista de la interferencia que se suele introducir en las etapas análogas.

El diagrama del circuito análogo total se presenta en la figura 2.9.

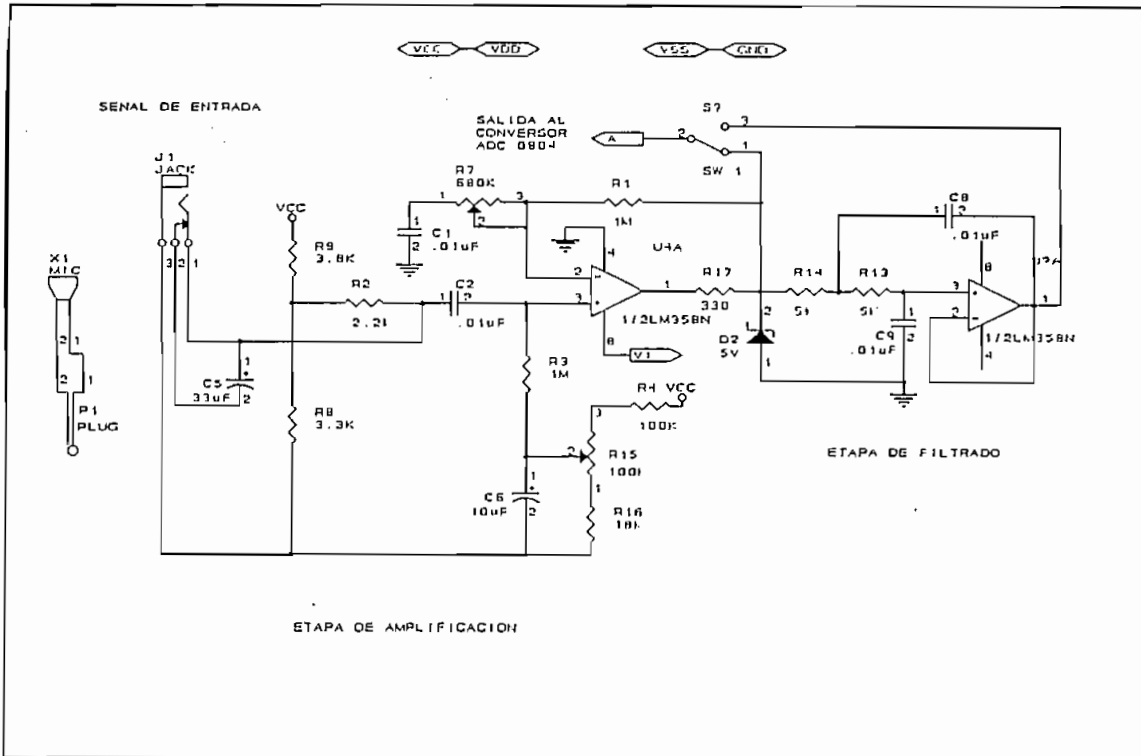


Figura 2.9. Circuito Analógico Total.

2.3.4. CIRCUITO DE CONVERSIÓN A/D.

Para facilidad del lector se presenta una tabla que resume los pines del convertor y sus respectivas conexiones. En la construcción no se hicieron modificaciones al diseño original, pero, por transmitir una experiencia práctica cabe mencionar la dificultad que existe para cambiar la frecuencia del reloj en concordancia con la expresión:

$$f_{CLK} = \frac{1}{1.1 R_6 C_4} \quad \text{Ec. 2.6}$$

Al emplear un osciloscopio para medir la frecuencia del reloj se obtenían valores muy inusuales. Se llegó a establecer que en esto intervenía la capacidad parásita de la punta de prueba del osciloscopio.

Tabla 2.2 Conexiones del Conversor A/D 0804	
Número de pin	Descripción
1,2,7,8,10	tierra
3	\overline{WR}
4	CLK
5	\overline{INTR}
6	VIN+
9	VREF
11,12,13,14,15,16,17,18	SALIDAS DB
19	CLKR
20	VCC

2.3.5. Etapa del Multiplexer.

No se modificó el diseño original de esta etapa durante la construcción del circuito impreso. Así mismo, para referencia del lector se incluye una tabla con las conexiones hechas.

Tabla 2.3. Conexiones del Multiplexer 74LS258	
Número de pin	Descripción
1	Habilitación A/B
2,3,5,6,11,10,14,13	8 Entradas
4,7,9,12	4 Salidas
8	Tierra
15	Tierra
16	VCC

2.3.6. EL CONECTOR DB25.

El acoplamiento de la tarjeta de adquisición de datos al pÓrtico paralelo se realiza por medio de un cable plano de 25 hilos, de 1.5 m de longitud, en cuyos extremos se encuentran conectados dos terminales estÁndar tipo DB25.

En un extremo se tiene un conector DB25 "macho", de los normales para conexi3n en el pÓrtico paralelo de un computador. En el otro extremo se emple3 un conector DB25 "hembra", que se acopla al conector DB25 "macho" en el circuito impreso del interfaz. Como referencia se incluye una tabla con las conexiones del conector.

Número de pin	Descripción
1,2,3,4,5,6,7,8,9	No utilizados
10,11,12,13	Entradas al PC
14	Habilitación MUX.
15	Entrada de $\overline{\text{INTR}}$
16	$\overline{\text{WR}}$
17,19,20,21,22,23,24,25	No conectado
18	Tierra

A continuación, en la Figura 2.10 se presenta un diagrama de bloques de la etapa digital.

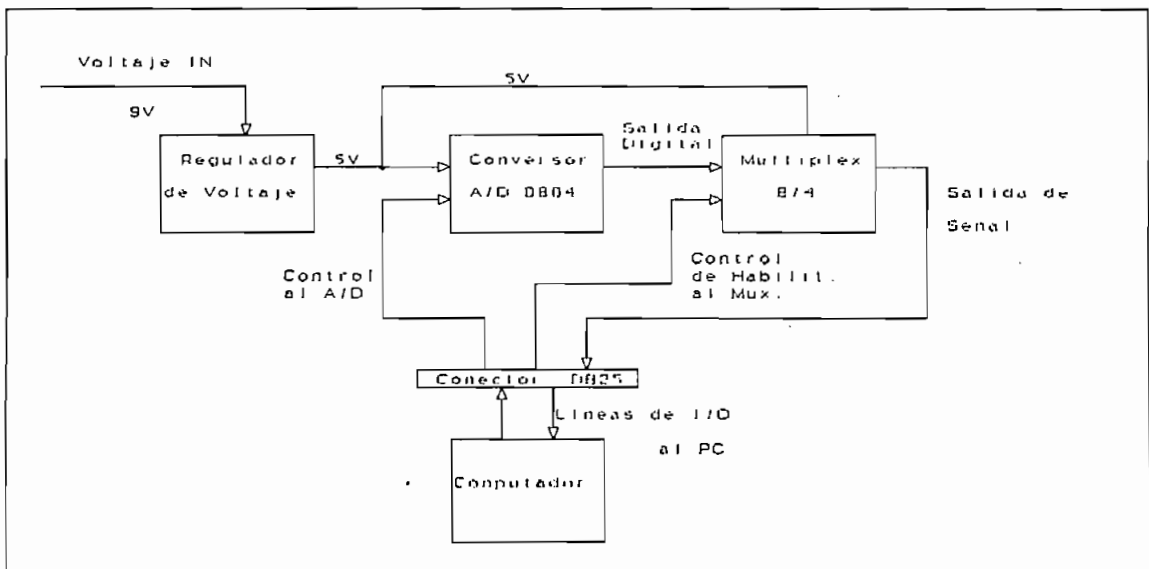


Figura 2.10. Diagrama de Bloques: Etapa Digital.

No está por demás hacer notar que las 8 líneas de salida del conversor A/D: pines 11, 12, 13, 14, 15, 16, 17 y 18, correspondientes a las bits DB7, DB5, DB6, DB4, DB3, DB2, DB1 y DB0, respectivamente, se conectan a las entradas del multiplexer: pines 3, 6, 10, 13, 2, 5, 11 y 14, correspondientes a las líneas 1A, 2A, 3A, 4A, 1B, 2B, 3B, 4B, respectivamente. La frecuencia de reloj del conversor, se regula a través de los pines 4 y 19 de este, mediante variación de un circuito RC.

La línea de control \overline{WR} , pin 3 del A/D, se conecta al pin 16 del conector DB25. La línea de control \overline{INTR} , pin 5 del A/D, se la conecta al pin 15 del conector DB25. La línea de habilitación del multiplexer A/B, pin 1, se conecta al pin 14 del conector DB25.

El circuito resultante de la etapa digital se muestra en la Figura 2.11.

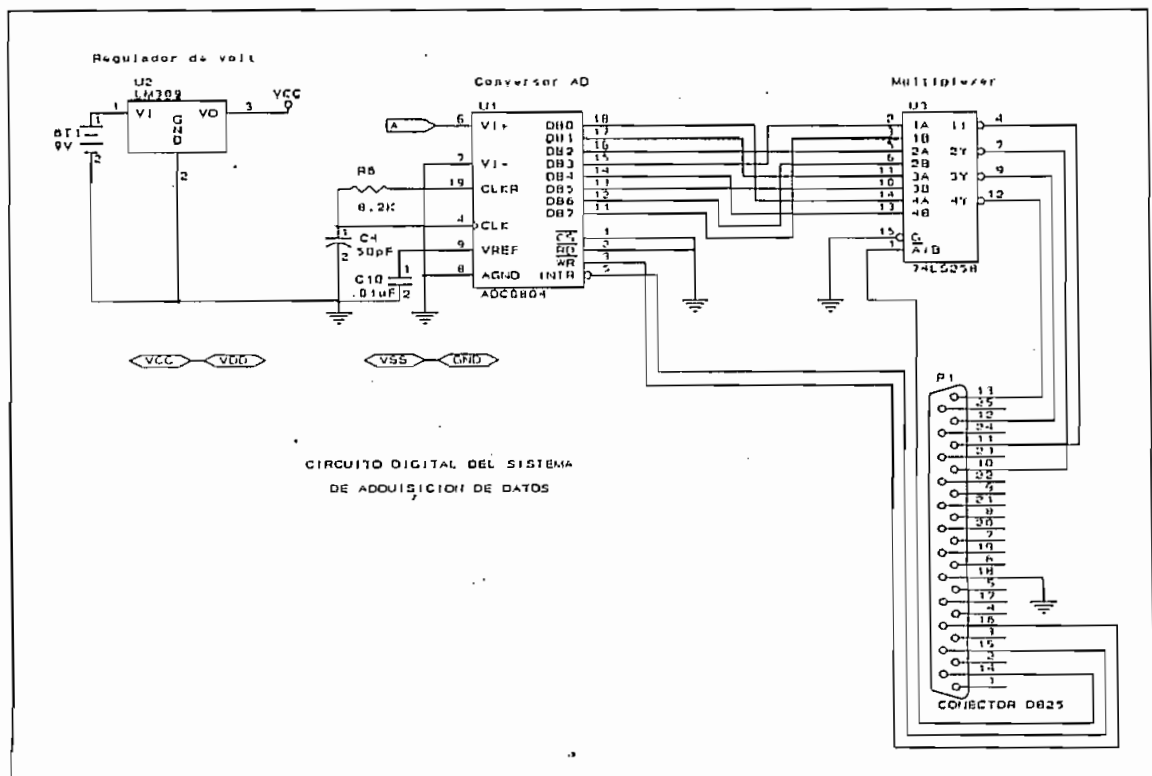


Figura 2.11. Circuito Digital Total.

Cabe mencionar que antes de realizar la conexión total del circuito, se realizaron pruebas por separado de las 2 etapas: analógica y digital. Esto dio un cierto grado de seguridad al diseño y, eventualmente, ayudó a solucionar rápidamente problemas que aparecieron durante el desarrollo.

Una copia del diagrama del circuito impreso, en TANGO, así como una fotografía del mismo se incluyen en los anexos.

Es este punto se puede hacer un recuento general de lo que ha constituido el proceso total de diseño y creación del circuito impreso hasta llegar a lo que finalmente se denominaría un sistema de adquisición de datos por medio del pórtico paralelo.

A pesar que en los puntos anteriores de este capítulo se hace primeramente la descripción del circuito análogo y luego el digital, el orden seguido durante el desarrollo y las pruebas experimentales fue totalmente a la inversa.

La razón de esta secuencia es necesaria, e inevitable, debido a que se requiere primeramente tener definida la etapa digital y así verificar si el sistema en proyecto tiene el potencial para realizar la función deseada.

Posteriormente, luego de obtener resultados iniciales satisfactorios, se procedió con el problema del transductor y finalmente con el diseño de la etapa análoga.

El diagrama del circuito total resultante se presenta en dos diagramas esquemáticos. En la Figura 2.12 se tienen todos los elementos del sistema de adquisición de datos, incluyendo el jack del micrófono, el micrófono, la batería, etc. El segundo diagrama esquemático, Figura 2.13, presenta el circuito que se tomo como patrón para el diseño y elaboración del circuito impreso.

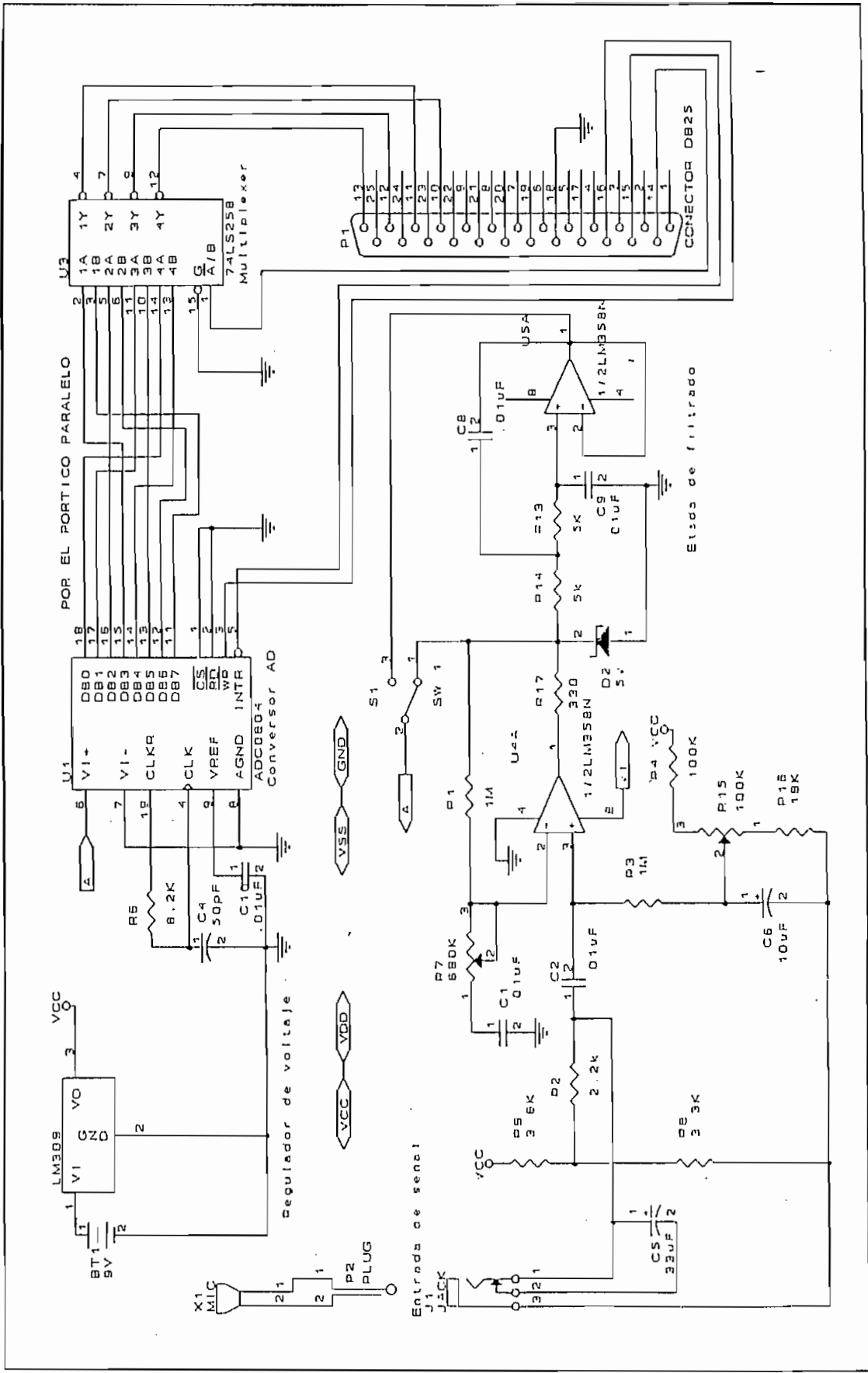


Figura 2.12. Circuito Total de Adquisición de Datos.

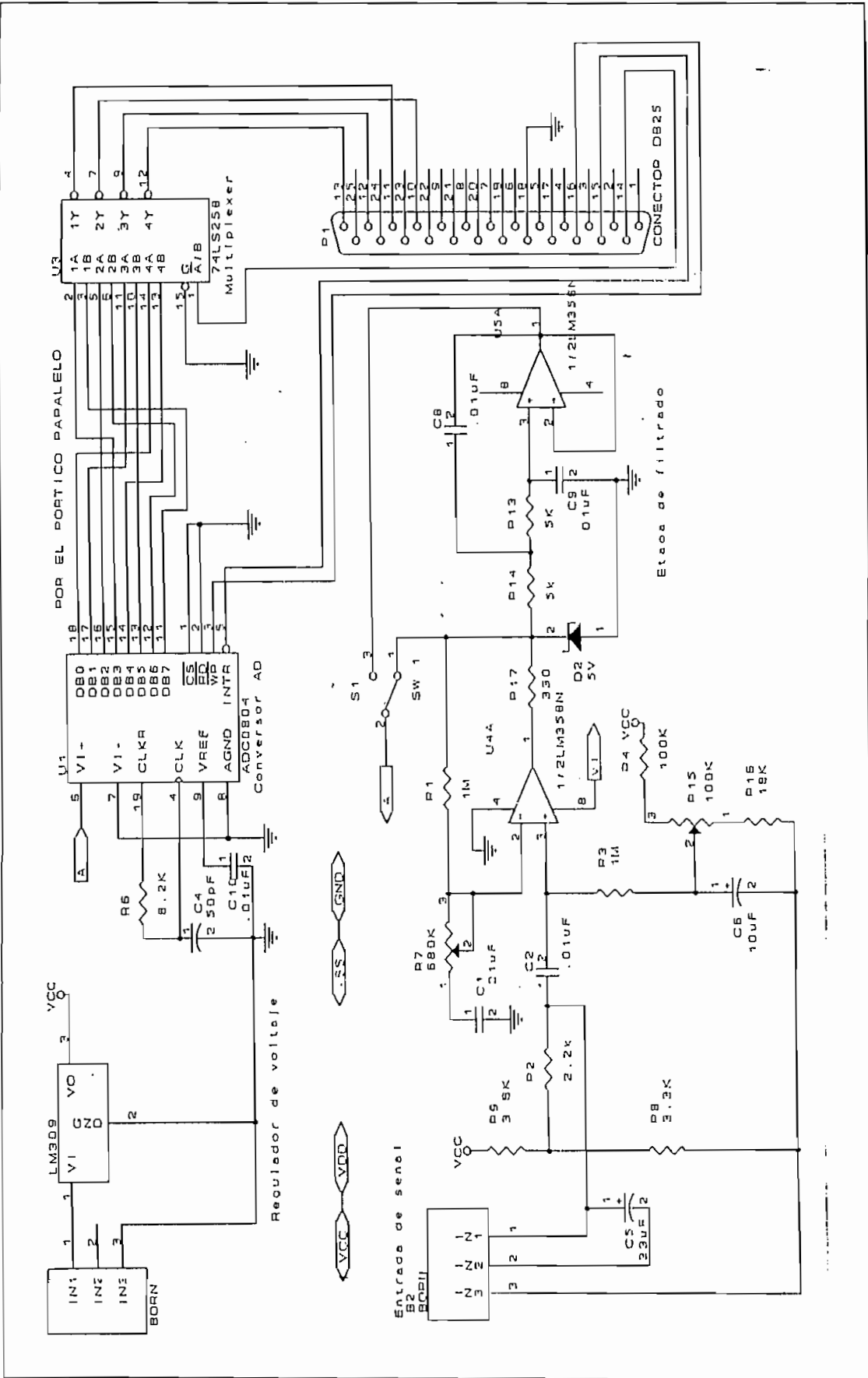


Figure 2.13. Circuito Total para Diseño de Circuito Impreso.

2.4. RESULTADOS EXPERIMENTALES.

Se hicieron pruebas para comprobar que el circuito cumplía con las características suficientes como para detectar los laringogramas. Sin estas pruebas no se puede, frente a resultados conflictivos, aseverar si lo que se obtiene es correcto o es una falla del hardware en su función. Entre los resultados experimentales obtenidos podemos anotar los siguientes:

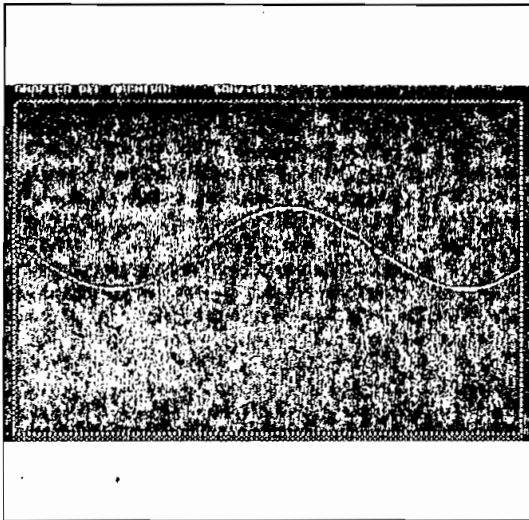
2.4.1. Pruebas de la respuesta de frecuencia.

Un análisis importante del sistema se refiere a la respuesta de frecuencia del mismo. Con este propósito se han presentado ya las fórmulas matemáticas respectivas, pero aquí se presentan los resultados de una comprobación experimental mediante la toma de medidas en el circuito, y un análisis mediante un programa de simulación (MICROCAP). A continuación se presentan los resultados obtenidos.

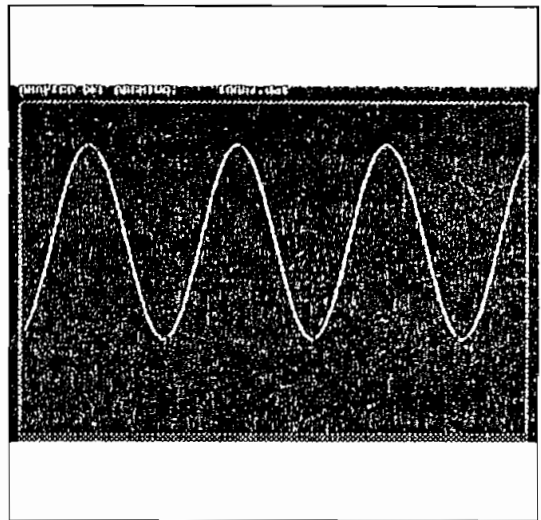
Método	Frec.Infer.-3db(Hz)	Frec.Super.-3db(Hz)
Experm. sin filtro	66.6	30.2 K
Experm. con filtro	40.8	2.2 K
Calculado	39.8	2 K
MICROCAP sin filtro	39.3	30 K
MICROCAP con filtro	39.3	2 K

Análisis de frecuencia del sistema sin filtro.

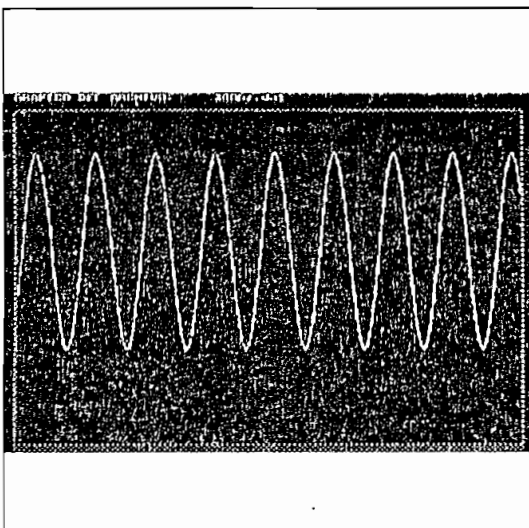
Para analizar la respuesta de frecuencia del sistema, antes de conectar el filtro pasa bajos, se ingresaron señales sinusoidales desde un generador comercial (HAMEC INSTRUMENTS). Cabe mencionar que para hacer estas pruebas se tuvieron que desarrollar programas que permitían captar las muestras y graficarlas. A continuación se presentan unas muestras tomadas desde el computador:



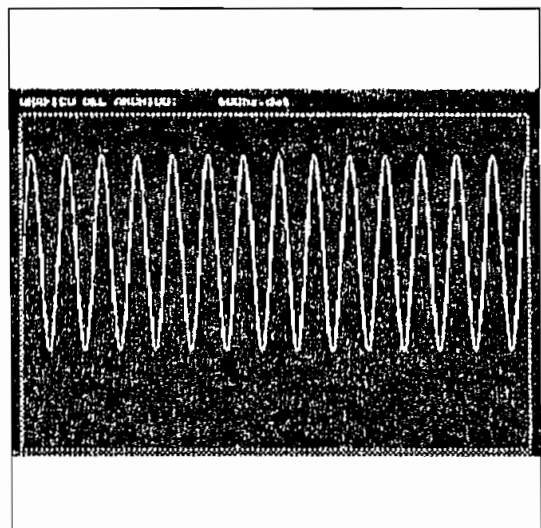
Señal a 50HZ.



Señal a 100 Hz.



Señal de 300 Hz.



Señal de 500 Hz.

mismo, y los registros de control controlan las líneas de control del impresor. Las características nuevas que se han añadido en las últimas modificaciones hechas a la estructura del pórtico se muestran en las áreas sombreadas de la Figura 2.6.

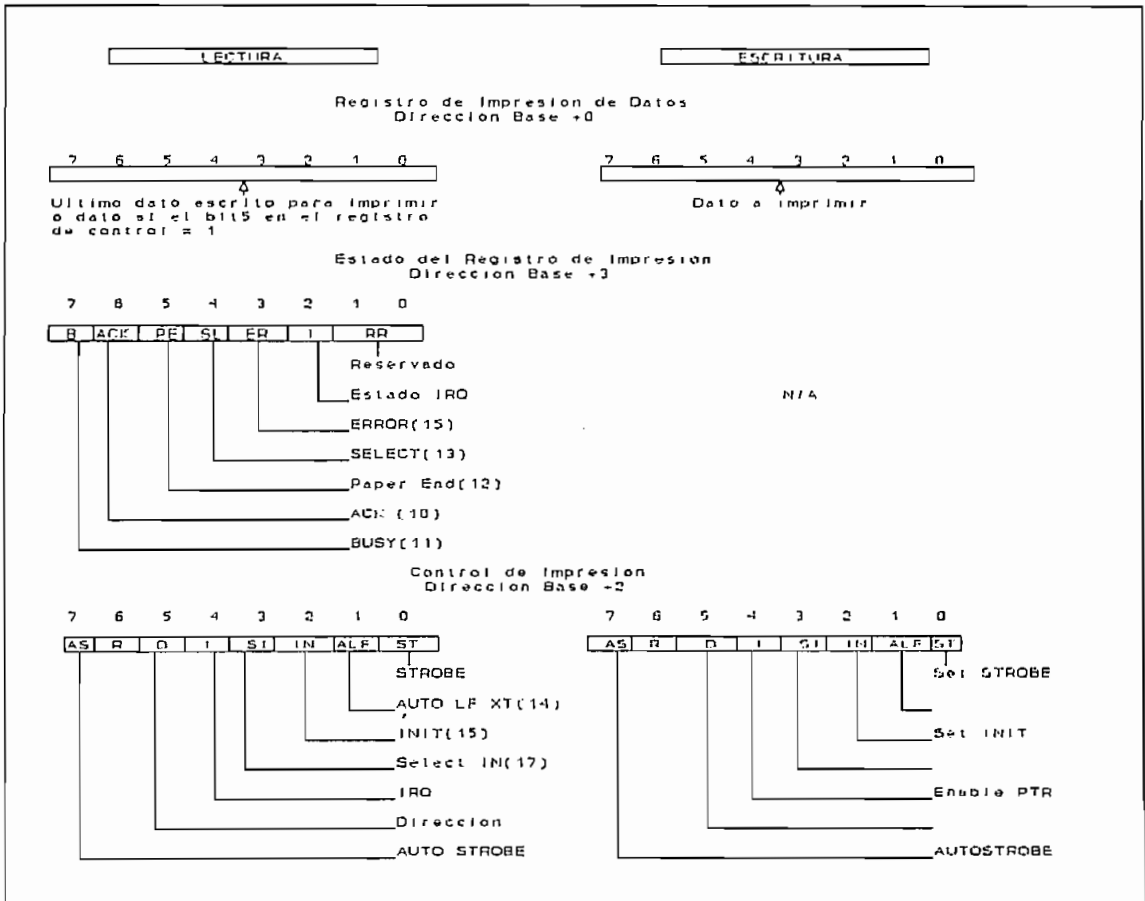
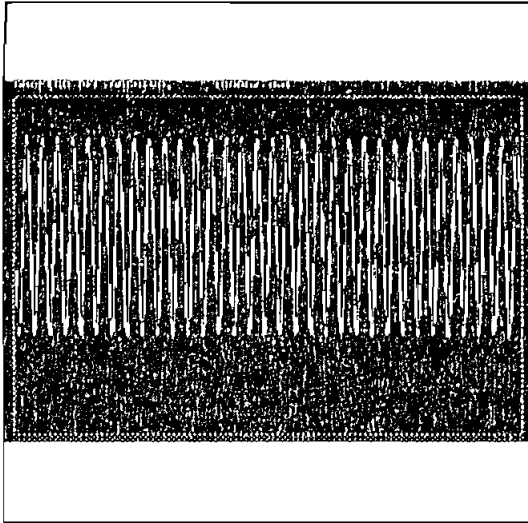
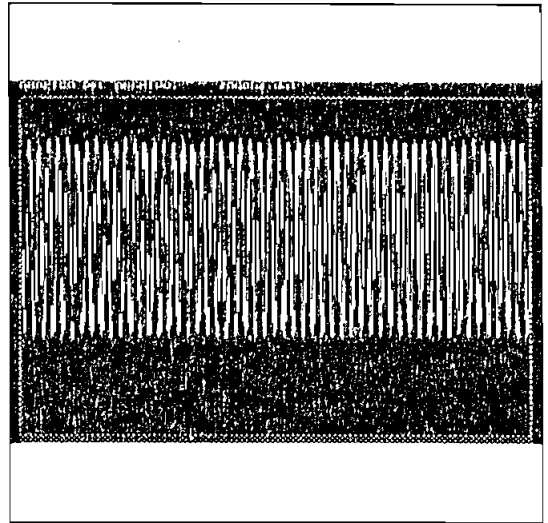


Figura 2.6. Registros del Pórtico Paralelo MDA.

Al igual que los registros del pórtico serial, los del pórtico paralelo se accesan por medio de las instrucciones de E/S IN y OUT. El diseño del pórtico paralelo en la tarjeta MDA y aquel del adaptador eran casi idénticos, solamente se diferencian en la dirección inicial de los registros de Entrada/Salida (E/S) que se usan para controlar el pórtico. La dirección de comienzo de los registros del pórtico paralelo se encuentran listadas en el segmento de datos del BIOS, empezando en 40:08. Los registros del pórtico MDA comienzan en 3BCh (956) y no pueden ser alterados; por el contrario, aquellos de pórticos en los adaptadores nuevos tienen asignados



Señal de 1000 Hz.

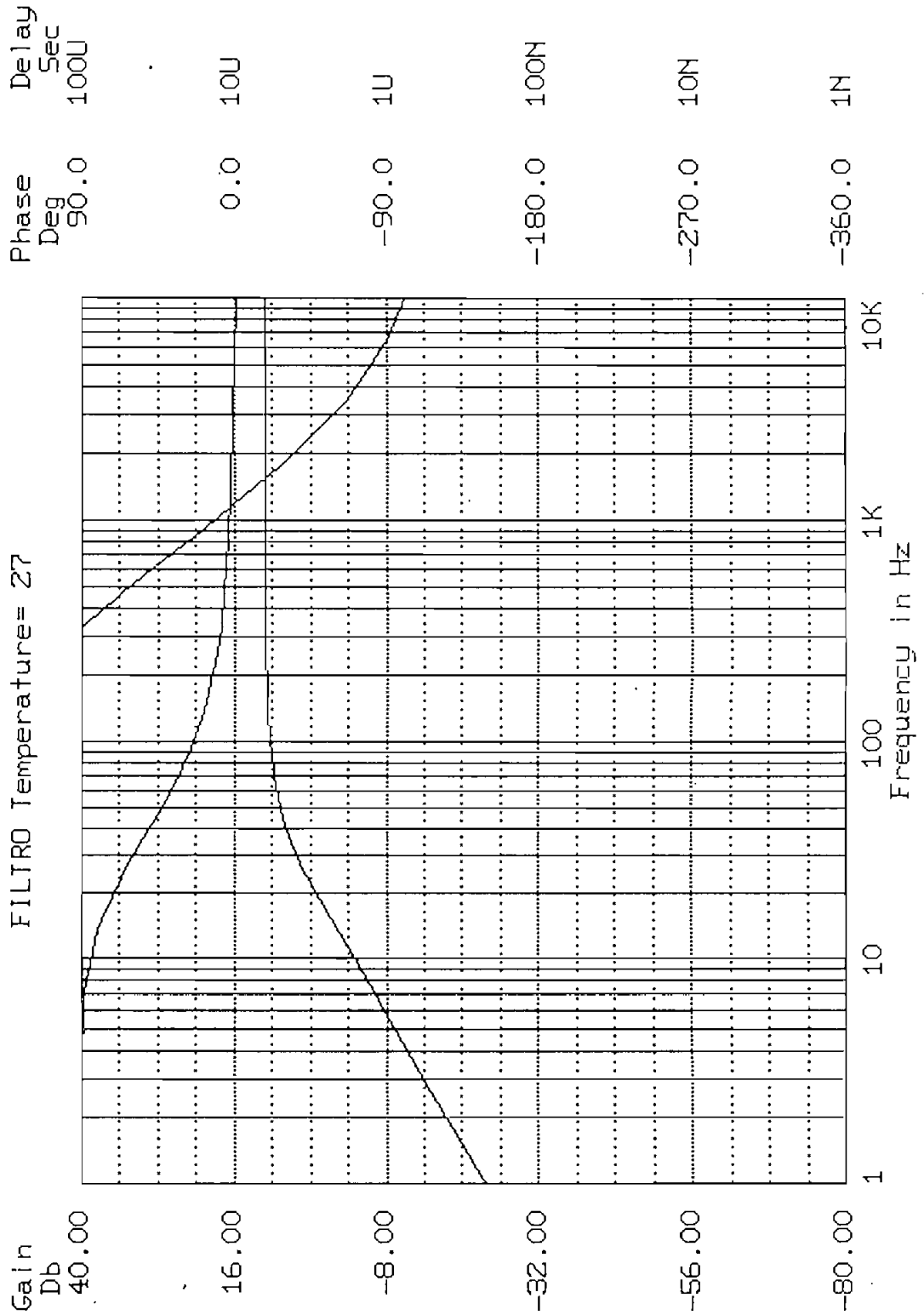


Señal de 2000 Hz.

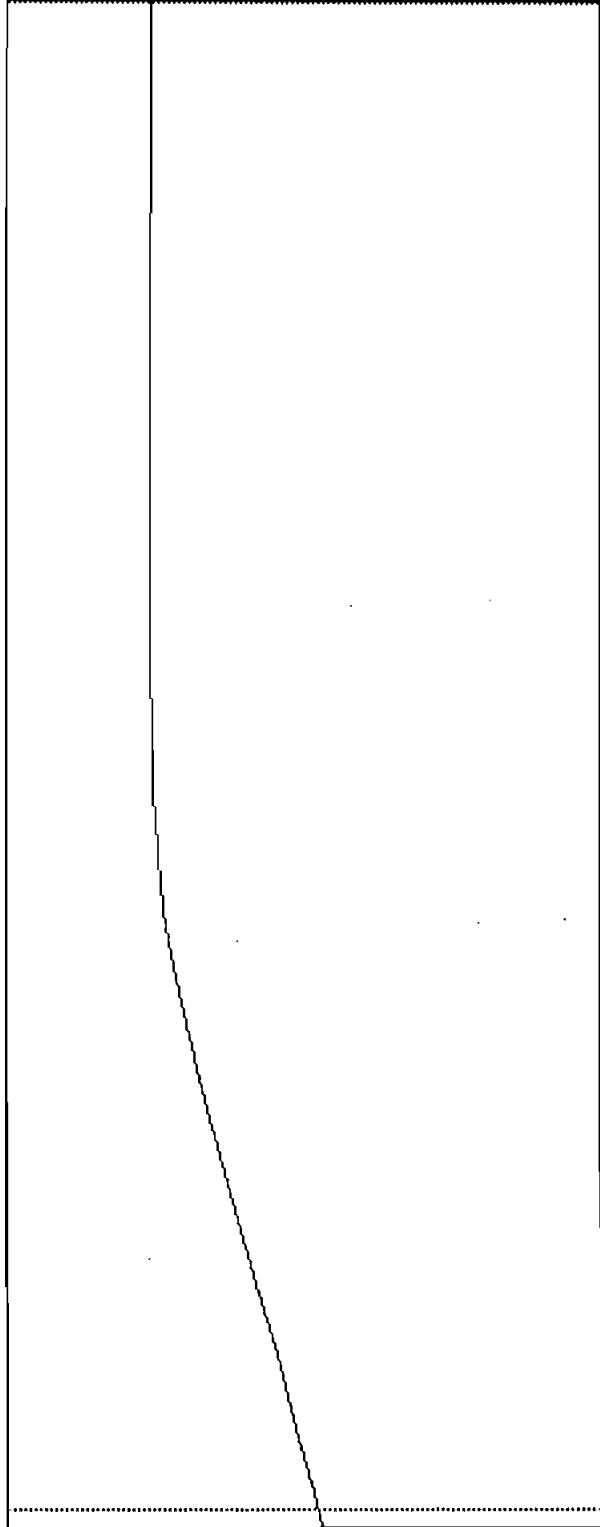
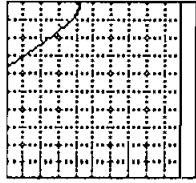
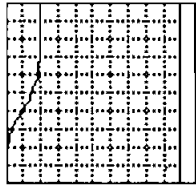
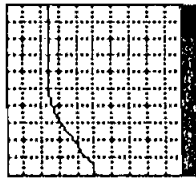
Las señales mostradas anteriormente corresponden a diferentes frecuencias, lo que permite tener una idea del poder de captación de señales del sistema.

Como se puede observar, las señales correspondientes a frecuencias bajas, entre los 50 Hz y 500 Hz pueden verse con una resolución adecuada. Como este es el rango en el que va a trabajar el sistema, se puede concluir que el mismo está en condiciones de captar las señales de interés: los laringogramas. Sin embargo, el sistema permite también captar señales que van mucho más allá de este rango, como es el caso de 1000 Hz o 2000 Hz. No aparecen con la misma resolución en pantalla pero se ve que el sistema todavía responde.

Los gráficos obtenidos con el MICROCAP de la respuesta de frecuencia del circuito, tomando la señal a la salida del circuito análogo, sin filtro, se presenta a continuación.



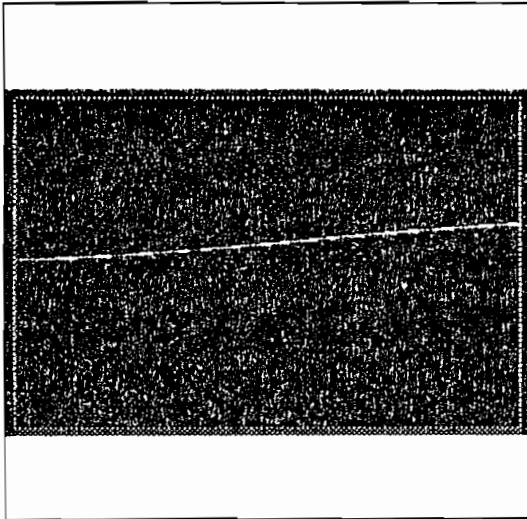
FILTRO Temperature= 27



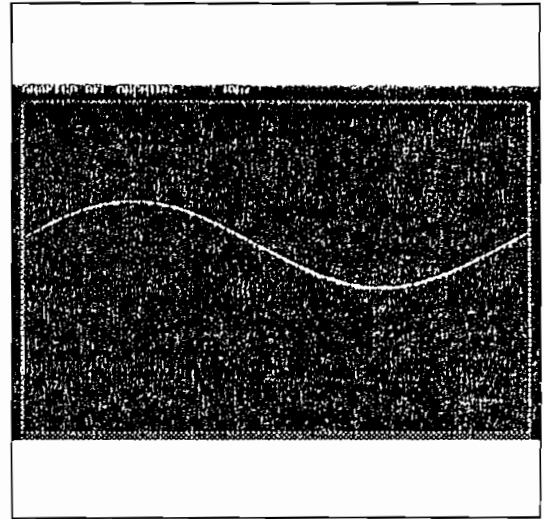
Frequency in Hz Left: 1.1 Right: 10K Dif: 9.999K
Gain Db Left: -23.192 Right: 10.880 Dif: 34.072

Análisis del Sistema con Filtro Pasa Bajos.

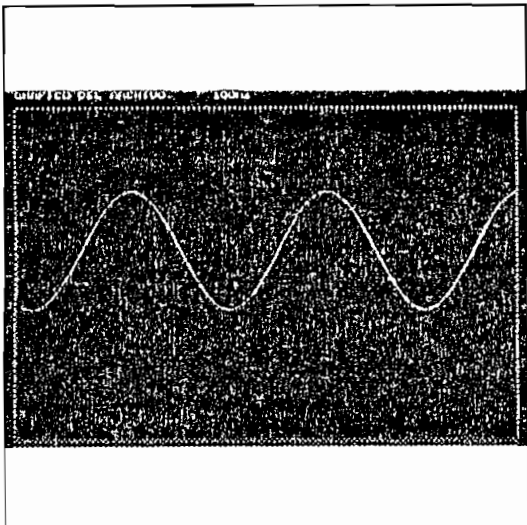
A continuación se presentan las muestras que se obtuvieron cuando se repitió el proceso anterior pero conectando el filtro pasabajos. Se ve que el mismo no afectó el rendimiento del sistema dentro del rango de las frecuencias de interés.



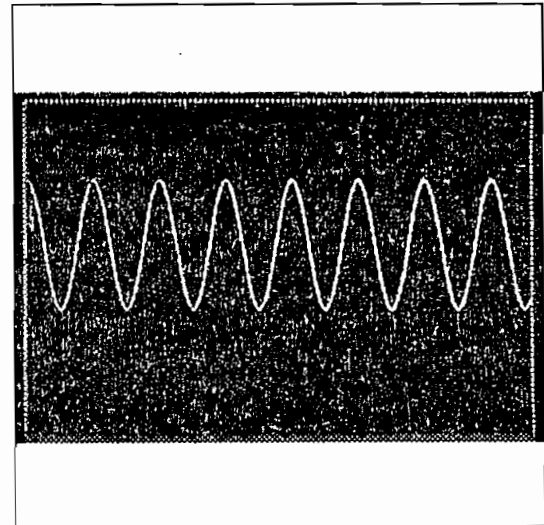
Señal de 15 Hz.



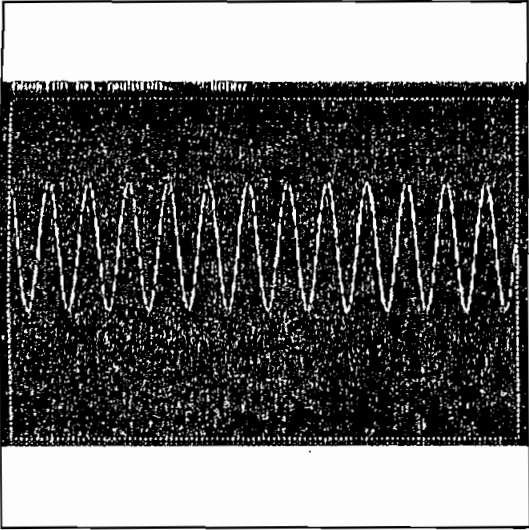
Señal de 40 Hz.



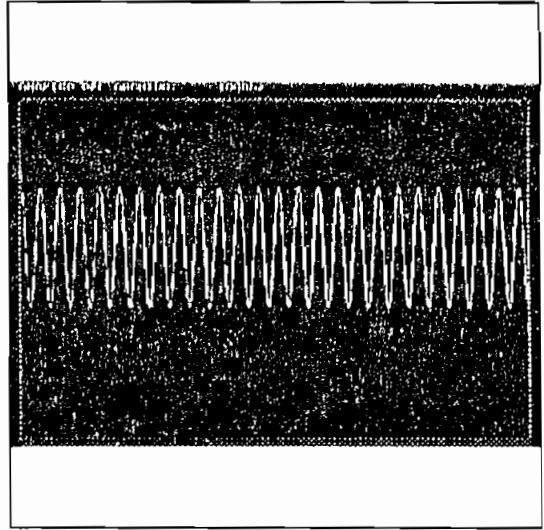
Señal de 100 Hz.



Señal de 300 Hz.



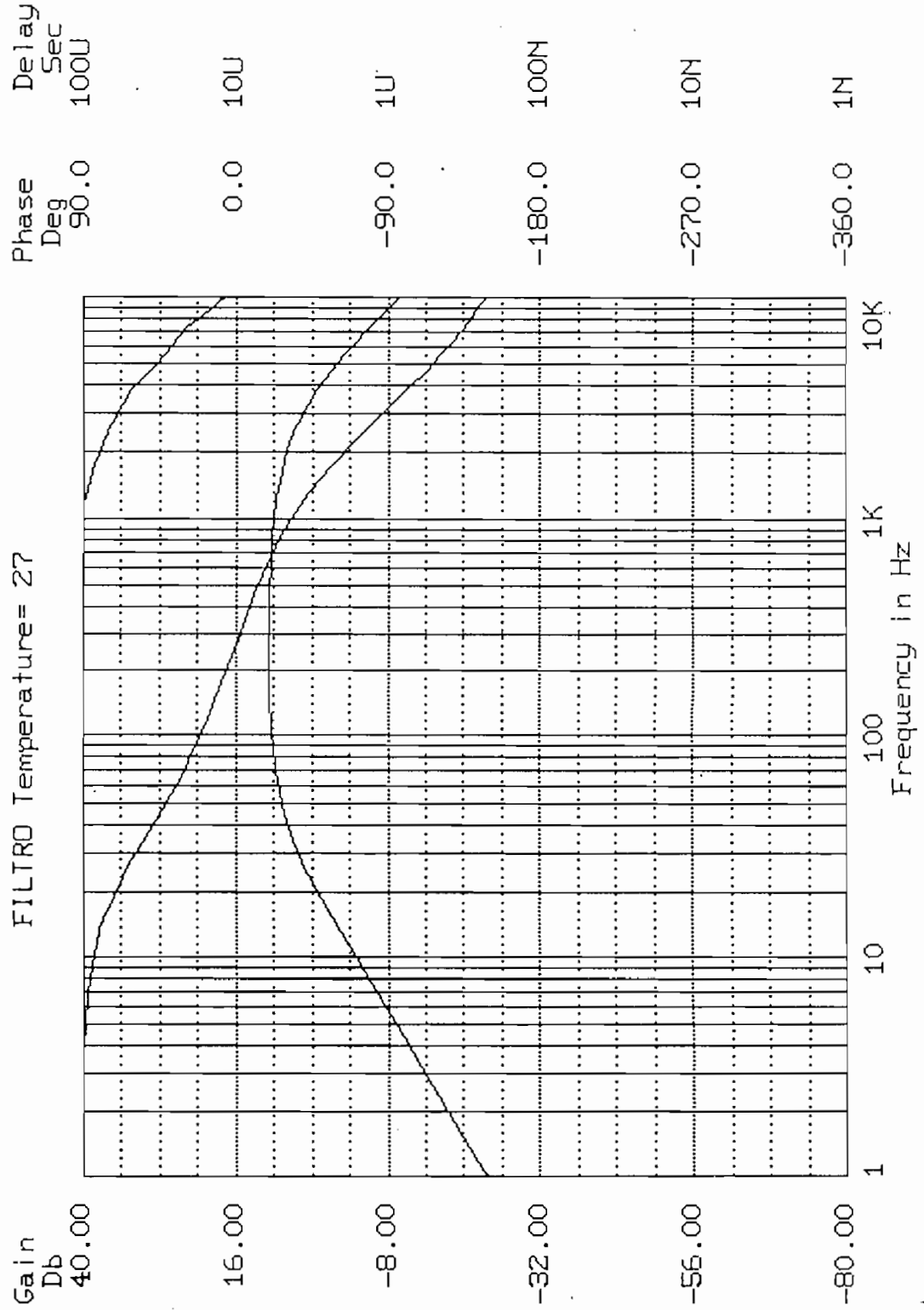
Señal de 500 Hz.



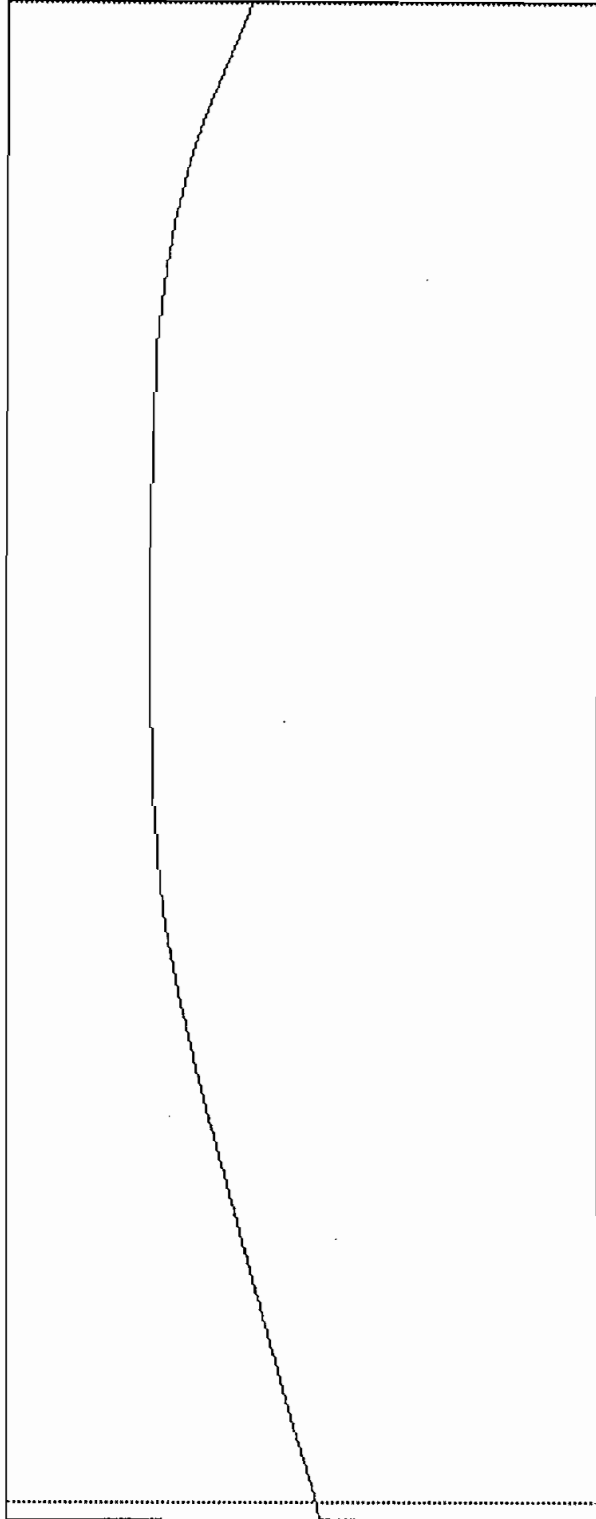
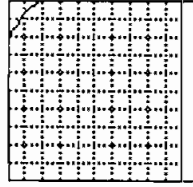
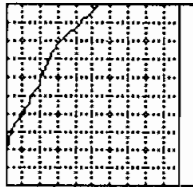
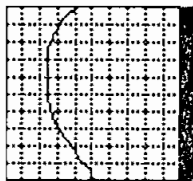
Señal de 1000 Hz.

En capítulos posteriores se presentarán gráficos de laringogramas obtenidos desde diferentes personas.

Los resultados gráficos de la respuesta de frecuencia obtenidos por medio del programa de simulación MICROCAP se muestran a continuación.



FILTR0 Temperature= 27



Frequency in Hz Left: 1.1 Right: 10K DIF: 9.999K
Gain Db Left: -23.192 Right: -9.868 DIF: 13.324

Para complementar el análisis de la respuesta de frecuencia del sistema, durante el proceso experimental, se tomaron medidas de la amplitud de la señal en puntos cercanos a los de -3db con el filtro conectado, que es el que interesa. El propósito era tener puntos de referencia que permitan calcular y tener una idea de la pendiente de atenuación de la respuesta de frecuencia.

La Tabla 2.6 muestra estos resultados:

Tabla 2.6. Pendientes de la Respuesta de frecuencia.	
Frecuencia(Hz)	Voltaje(V)
15	1.5
25	2.5
Pendiente	10% (+)
3.58K	2.5
5K	1.6
Pendiente	0.04 % (-)

Un recuento general de los resultados obtenidos nos permiten afirmar que los circuitos construidos, en su versión definitiva, cumplen con las especificaciones del diseño planteadas. Las frecuencias de corte que se han obtenido en forma teórica, experimental y por simulación no muestran diferencias substanciales.

Las escalas de la cuadrícula que aparece en la pantalla del computador fueron determinadas experimentalmente. Para ésto se aplicó una señal de valor y frecuencia conocidos y se analizó la forma de onda que se obtuvo en el monitor. La frecuencia escogida fue de 500 Hz, doblemente chequeada por medio de la lectura que aparecía en el display digital del generador

de funciones y por medio de un osciloscopio. Relacionando los resultados obtenidos se tiene que una división horizontal en la pantalla del computador corresponde a una frecuencia de 681.81 Hz.

En cuanto a la amplitud, se tomaron en cuenta los siguientes detalles: el sistema de adquisición de datos toma las muestras desde el exterior, y mediante el conversor A/D, pasan a su equivalente digital entre 0 y 255, la correspondencia que se tiene es la siguiente:

0 V = 0 valor digital

5 V = 255 valor digital.

A estos valores hay que relacionarlos a su vez con el número de pixels que utiliza el sistema para la representación gráfica en sentido vertical. Haciendo una relación matemática muy simple se obtuvo que cada división de la cuadrícula vertical (compuesta de 50 pixels), es equivalente a 0.98 V.

2.4.2. Pruebas del Pórtico Paralelo.

Puesto que esta alternativa constituye una de las partes novedosas del presente trabajo, a continuación se hace una descripción detallada de las pruebas que se hicieron con este pórtico; análisis a partir del cual se optó por la decisión que se ha descrito hasta aquí.

Con el fin de hacer las pruebas correspondientes de verificación del comportamiento de cada una de las líneas del pórtico paralelo, se colocó un conector tipo DB25 estándar en el pórtico de impresor del computador bajo prueba. En el otro extremo se arregló los alambres del conector de manera que fuera posible hacer fácilmente conexiones entre ellos.

Luego, se procedió a determinar la dirección del registro del pórtico paralelo del computador. Se mencionó que, dependiendo del tipo de PC, la dirección varía y por lo mismo, el anterior se constituye en paso previo a la verificación.

Un método fácil de determinar la dirección del pórtico paralelo consiste en ingresar desde el Quick BASIC o GWBASIC las siguientes instrucciones:

```
DEFSEG = 0
```

```
PRINT PEEK(1032) + 256* PEEK(1033)
```

Después de ejecutarlas, aparece en la pantalla la dirección del pórtico paralelo. En la Tabla 2.7 y 2.8 se muestran los valores más usuales.

Para el pórtico DMA, las direcciones del pórtico (LPT1) son:

Tabla 2.7. Especificaciones del Pórtico MDA (LPT1).			
Direcciones Hexadecimal	Dirección Decimal	Tipo de Registro	Designación Pórtico
03BC	956	8 bits salida	LPT1
03BD	957	5 bits entrada	LPT1
03BE	958	4 BITS I/O	LPT1

Si se tiene una tarjeta separada (pórtico en adaptador), las direcciones usuales son las de la tabla 2.8.

Dirección Hexadecimal	Dirección Decimal	Tipo de Registro	Destinación del pórtico
0378	888	8 bits salida	LPT1 o LPT2
0379	889	5 bits entrada	LPT1 o LPT2
037A	890	4 bits I/O	LPT1 o LPT2
0278	632	8 bits salida	LPT2 o LPT3
0279	633	5 bits entrada	LPT2 o LPT3
027A	634	4 bits I/O	LPT2 o LPT3

Si se desea escribir un dato específico a uno de los bits del pórtico paralelo, se puede emplear el comando **OUT** del BASIC. Para cada bit, de cada registro, se requiere emplear una "máscara" que permita escribir un 1 o un 0 lógico al mismo.

La sintaxis general de la instrucción a emplearse es:

OUT dir_port, máscara

donde **dir_port** es la dirección del pórtico. Por ejemplo: **OUT 956,1**

A continuación se necesita un multímetro, analógico o digital, para medir el voltaje en cada pin a medida que se va escribiendo un 0 o 1 lógico. Si el pin recibe un 0 lógico debería leerse un valor igual a 0.1 V, si recibe un 1 lógico debería leer de +3 V +5 V (típicamente un valor cercano a los 3.5 voltios, medidos con multímetro con una sensibilidad en dc de 20,000 Ohm/V).

A continuación, en la Tabla 2.9, se hace un resumen del código binario que debe emplearse para poner un 'alto' lógico en un pin y su correspondiente versión del comando OUT.

Tabla 2.9. Relación Pin/Bit y Sintaxis para Escribir 1 Lógico.			
Pin en DB-25	Código Binario	Bit de pòrtico	Comando direcc
2	0000 0001	0	OUT 956,1
3	0000 0010	1	OUT 956,2
4	0000 0100	2	OUT 956,4
5	0000 1000	3	OUT 956,8
6	0001 0000	4	OUT 956,16
7	0010 0000	5	OUT 956,32
8	0100 0000	6	OUT 956,64
9	1000 0000	7	OUT 956,128

la instrucción **OUT 956,0**, escribe en todos los 8 bits, desde el pin 2 al pin 9, un "bajo (0 lógico)" para ponerlos en bajo (+ 0.1 voltios).

Para leer un dato se puede emplear, así mismo desde BASIC la instrucción **INP**. Su sintaxis completa es:

INP dir_port, máscara

Donde **dir_port** es la dirección del registro de entrada respectivo. Sus valores típicos suelen ser: 957, 889 o 663.

Se podría ingresar manualmente las instrucciones vistas hasta aquí para leer (o escribir) un bit desde los registros del p \acute{o} rtico. Sin embargo, es m \acute{a} s pr \acute{a} ctico hacer un peque \tilde{n} o programa de prueba como el que sigue:

Programa para Chequeo del P \acute{o} rtico Paralelo: Instrucci \acute{o} n INP().

```
Do
IN1 = -((INP(958) AND 1) = 0)
IN14 = -((INP(958) AND 2) = 0)
IN16 = -((INP(958) AND 4) = 4)
IN17 = -((INP(958) AND 8) = 0)
IN15 = -((INP(958) AND 8) = 8)
IN13 = -((INP(958) AND 16) = 16)
IN12 = -((INP(958) AND 32) = 32)
IN10 = -((INP(958) AND 64) = 64)
IN11 = -((INP(958) AND 128) = 0)
LOCATE 11,1
PRINT * PIN# 1 = "; IN1
PRINT * PIN# 14 = "; IN14
PRINT * PIN# 16 = "; IN16
PRINT * PIN# 17 = "; IN17
PRINT * PIN# 15 = "; IN15
PRINT * PIN# 13 = "; IN13
PRINT * PIN# 12 = "; IN12
PRINT * PIN# 10 = "; IN10
PRINT * PIN# 11 = "; IN11
LOOP
```

En los cuadros que a continuación se presentan se dan a conocer los resultados obtenidos en diferentes computadores, cuando las líneas de entrada, y las de I/O del pódico paralelo han sido conectadas o desconectadas a tierra.

Instrucción INP(957) Computador PACKARD BELL			
Dirección	Número de Pin	Pin a Tierra	Pin Abierto
957	10	63	127
	11	255	127
	12	95	127
	13	111	127

Instrucción INP() Computador PACKARD BELL		
Pin Número	Pin Desconectado	Pin a Tierra
1	1	0
14	1	1
16	1	1
17	1	1
15	1	1
13	1	0
12	1	0
11	1	0
10	1	0

Instrucción INP() Computador T2200SX TOSHIBA 386

Pin Número	Pin a Tierra	V(V)	I (mA)
1	1	4.46	4.4
14	1	4.46	0.92
16	1	4.46	0.92
17	0	0.011	0.78
15	1	4.45	0.92
13	1	4.45	0.94
12	1	4.45	0.94
11	1	4.45	0.94
10	1	4.45	1.2

Instrucción INP() Computador AT 386

Pin número	Pin a Tierra	V (V)	I (mA)
1	0	5	1.064
14	1	5	1.064
16	1	0	1.064
17	1	5	1.14
15	1	5	1.06
13	0	5	0.04
12	0	5	0.04
11	0	5	0.04
10	0	5	0.04

Después de analizar los resultados en tres tipos diferentes de computadores, y tomando en consideración que estos son XT, AT y 386 se obtuvieron las conclusiones siguientes:

- Las líneas del "registro de 8 bits" son sólo de salida en la mayoría de los computadores, sea porque pertenecen a una tecnología antigua o porque no vienen configurados para aprovechar su nueva característica bidireccional. Del análisis se ve que 2 de los 3 computadores probados no tenían esta característica. Por consiguiente se optó por prescindir de esta ventaja hasta que se tenga una normalización al respecto.
- Las líneas pertenecientes al registro de E/S de 4 bits podrían servir para ingreso de datos al computador pero esa posibilidad no fue explorada en este trabajo. Los bits correspondientes a estas líneas son: 1, 14, 16 y 17 y corresponden a las líneas de control STROBE, AUTO LF XT, INIT y SLCT IN.
- Es más seguro emplear como líneas de entrada en el pórtico paralelo las que corresponden al registro de entrada de 5 bits; esto es, bits: 10, 11, 12, 13 y 15 que corresponden a: ACK, BUSY, PAPER END, SLCT OUT y ERROR. Estas están normalizadas en esta función en cualquier computador y por lo mismo su función para recibir datos estaría garantizada. Por lo mismo esta fue la opción que se empleó en el trabajo que aquí se reporta.

CAPÍTULO 3

DESARROLLO DEL SOFTWARE

CAPITULO 3. DESARROLLO DEL SOFTWARE.

En este capítulo se enfocan los pasos tomados para satisfacer básicamente 3 aspectos:

- 1) la captura de la información a través del pórtico paralelo,
- 2) la administración de los datos personales de pacientes, sus respectivos laringogramas, y
- 3) La visualización de los laringogramas capturados.

Todo esto debería integrarse en un conjunto que permita manejar el sistema de una forma sencilla, especialmente tomando en cuenta que las personas que eventualmente manipularan el programa no necesariamente tendrán conocimientos de computación.

Por las características especiales de esta aplicación fue necesario recurrir a la utilización de varios lenguajes de programación para obtener el máximo rendimiento de cada uno de ellos. Por ejemplo, se utilizó el lenguaje assembly para reducir el tiempo de ejecución del proceso de adquisición de datos al mínimo posible. Esta técnica de programación se conoce con el nombre de "programación mixta (mixing programming)".

La programación mixta es muy útil para hacer uso de los lenguajes de programación de una forma más efectiva, puesto que permite recurrir al lenguaje apropiado para resolver un problema en particular, sin necesidad de complicar el desarrollo de los respectivos algoritmos.

La programación mixta también permite particularizar el desarrollo de un programa al dejar a criterio del autor la creación de sus propias bibliotecas de procedimientos en los lenguajes más apropiados para resolver un problema.

Los módulos fuente, escritos en diferentes lenguajes, no deben utilizar el mismo compilador, por ejemplo si se desea enlazar dos diferentes lenguajes se debe compilar cada uno de los módulos con su respectivo compilador, y luego enlazar los archivos objeto.

La programación mixta involucra una llamada específica a una función, procedimiento o subrutina.

Es necesario, antes de hacer una combinación, tener en cuenta tres requerimientos fundamentales:

- 1) convención de nombramiento,
- 2) convención de llamada, y
- 3) parámetros pasados.

En el momento que se hace una llamada para mezclar lenguajes, es importante adoptar una "convención de nombramiento" en la forma como se ha de nombrar a la rutina. Si no se siguen estos delineamientos se puede ocasionar un lazo externo insoluble.

El término "convención de llamada" se refiere al camino que un lenguaje sigue para efectuar una llamada. Esta afecta a las instrucciones de máquina que el compilador genera y el orden de ejecución (y retorno) de un procedimiento, función o llamada a subrutina. La convención de llamada es un protocolo de bajo nivel y es crucial durante la emisión de una llamada entre dos rutinas permitiendo la comunicación de las mismas, y que pueda ser reconocida; de otra manera se recibe instrucciones inconsistentes que pueden causar un bloqueo en el sistema.

Durante la ejecución de una llamada debe existir total acuerdo respecto a los parámetros que han de ser enviados, si esto no es así, los datos recibidos no son correctos y ocasionan también bloqueos en el sistema.

3.1 ESPECIFICACIONES DEL SOFTWARE.

En el desarrollo de la presente tesis se ha utilizado 2 lenguajes: el Lenguaje Assembly, y Lenguaje C.

Una razón obvia del uso del lenguaje assembly es que éste se comunica directamente con el corazón de un PC; por lo mismo, es ideal cuando es consideración prioritaria la velocidad de ejecución de un programa, como en el presente caso, debido a que este trabaja con instrucciones a nivel de lenguaje de máquina. Comparándolo con otros lenguajes de programación es uno de los que menos se emplea debido a la complejidad en el desarrollo y depuración de un programa ya que demanda un conocimiento general de la familia del microprocesador 8086, sus instrucciones y arquitectura. Sin embargo, venciendo las dificultades que implican conocer, y si es posible dominar, lo referente a un microprocesador, el programador puede conseguir su objetivo con máxima flexibilidad y eficacia.

C se dice que es el lenguaje de los programadores. Al contrario de la mayoría de los lenguajes de alto nivel, C impone pocas restricciones a lo que se puede hacer con el. Puede usarse en vez del lenguaje ensamblador en la mayoría de las situaciones, es un lenguaje moderno que incorpora las características de control apuntadas como deseables en la teoría y la práctica de la informática, su diseño hacen que resulten naturales para el usuario aspectos como la planificación escalonada, programación estructurada y diseño modular, resultando un programa fácil y confiable.

3.1.1. Lenguaje Assembly: Especificaciones.

Con este lenguaje se desarrollo el programa principal de adquisición de datos. Para este propósito, se definió que el programa debía satisfacer las siguientes funciones:

- 1) habilitar y controlar los componentes del circuito de la interfaz, tal que este pueda captar los datos desde el medio externo,
- 2) manipular con seguridad los datos capturados dentro de la memoria del computador,
- 3) mostrarlos en la pantalla del computador, de manera parecida a lo que se obtiene en un osciloscopio; rutinas para manejo de archivos y almacenamiento de datos en un disco, o similar, con posibilidad de recuperación de la información grabada desde cualquier otro programa sin necesidad de realizar procedimientos complejos.

3.1.2. Lenguaje C: Especificaciones.

El lenguaje C se utilizó en el presente trabajo debido a que este presenta mejores facilidades de programación y manejo que el assembly, sin que su velocidad de procesamiento se reduzca notablemente. Básicamente, los programas a ser desarrollados en este lenguaje tienen como función: administrar la información capturada por medio del programa en assembly y administrar datos personales de pacientes. Para cumplir con este propósito, las áreas que se encuentra dividido son las siguientes:

- 1) manejo general de menús de usuario,
- 2) manejo de gráficos en el monitor, y
- 3) manejo de base de datos.

3.2. DESARROLLO DEL SOFTWARE.

El programa que se presenta a continuación responde a la necesidad de cumplir con las condiciones requeridas por el hardware del sistema de adquisición de datos, y que conjuntamente con este permite cumplir con dicho objetivo en este trabajo. A continuación se

presentan las características más relevantes del hardware y que se han tomado en cuenta para el desarrollo del software:

Para que se entienda mejor el *porqué* de las alternativas seleccionadas durante el desarrollo del software, se hace un resumen de las características de la señal con la que se va operar.

La señal proveniente de la laringe es una señal que posee un rango dinámico de 5 V y viene con su nivel de referencia en 2,5 V. El conversor A/D convierte la señal analógica en 512 muestras sucesivas. La resolución del proceso de digitalización es de 8 bits.

A continuación se describe en detalle los procedimientos de cada uno de los lenguajes utilizados, y las condiciones que se tomaron en cuenta durante el desarrollo de los mismos.

3.2.1 Desarrollo del Software en Lenguaje Assembly.

Como se mencionó en la descripción de los pórtilos paralelos, Boling (1992) reporta que a partir del modelo AT, el ***Registro de Salida de 8 bits (Eight-bit Output Register)** de los microcomputadores debe ser bidireccional. Sin embargo, en pruebas realizadas con dos máquinas tipo 80386 (una TOSHIBA T2200SX y una "clone" 80386 de 40 MHz) los resultados obtenidos no satisfacen tal aseveración. En vista de esto, y para garantizar que el programa trabaje incluso con microcomputadores tipo XT, se decidió emplear los 4 bits correspondientes al así denominado ***Registro de Entrada de 5 bits (Five-bit Input Register)***. Esto, tal como se verá a continuación, impuso ciertas condiciones en el desarrollo del programa de control respectivo.

Seleccionar el registro de entrada de 5 bits implica tomar en consideración que para leer una palabra (de 8 bits), el programa de adquisición de datos debe dividirla en dos grupos de 4 bits.

Esto quiere decir introducir en el algoritmo instrucciones que permitan la lectura de la palabra en dos grupos de 4 bits, con la utilización de un multiplexer que mediante habilitaciones respectivas, selecciona los bits a enviarse.

Para captar los datos hacia el computador, se usaron las 4 líneas de entrada del pórtico paralelo (pines 10, 11, 12 y 13) correspondientes a las señales de control **ACK**, **BUSY**, **PE**, **SLCT**, respectivamente. Líneas de entrada que son estándar en cualquier tipo de computador. Esto evita correr el riesgo de producir un producto que no sea compatible con un determinado computador.

El multiplexer, que realiza la selección del grupo de 4 bits, debe ser controlado en forma conjunta con el conversor A/D por medio de las líneas de control del pórtico paralelo.

3.2.1.1 Rutina de adquisición de datos: ADC1.

De acuerdo a las especificaciones del conversor A/D, y dada la necesidad de trabajar con el conversor en forma automática, fue necesario hacer una conexión a tierra de las señales \overline{CS} y \overline{RD} . Esto significa que el proceso de inicio de conversión se limita básicamente al cambio de estado de la señal \overline{WR} con una transición de estado de alto a bajo, obviamente, por medio del computador.

Cuando el sistema está listo para captar las señales, internamente se realiza una interrupción al sistema por medio de CLI que detiene, momentáneamente, al microprocesador para que se dedique a la captación de datos. En este instante se ubica en DX la dirección del pórtico de salida de comandos del PC (037AH) enviando la información necesaria por el registro AL (8 bits = 111111011, bit 2 cero) a través del pin 16 (INIT) del pórtico paralelo, hacia el pin 3 del conversor A/D correspondiente a la señal de habilitación \overline{WR} , produciéndose la transición

deseada (cambio de estado alto a bajo), que obliga al conversor A/D a iniciar la conversión de los datos que recibe.

Como respuesta a esta habilitación, el pin 5 del conversor A/D, **INTR**, envía información hacia el computador que confirma que el proceso de conversión se ha iniciado sin ningún problema. En este momento se capta la primera muestra analógica de la señal, a través de la entrada diferencial positiva V+, convirtiéndola en un valor digital equivalente expresado en 8 bits, desde el más significativo (MSB) al menos significativo (LSB).

Ahora, para el ingreso de los datos hacia el computador es necesario seleccionar cuál de los 8 bits de información han de ingresar primero; por lo tanto, es necesario enviar una habilitación desde el computador al multiplexer analógico.

Por la misma dirección de salida del pórtico se envía a continuación una segunda señal de control (8 bits = 11111101, bit 1 cero) por el registro AL, a través del pin 14 del pórtico paralelo, dirigida hacia el pin 1 del multiplexer. Este pin corresponde a la entrada de habilitación que permite el paso de los primeros cuatro bits, provenientes del conversor A/D, hacia el computador. Es entonces cuando los datos pueden ser conducidos directamente a través de las líneas de entrada del pórtico paralelo, previo el direccionamiento de las mismas (dirección 0397AH).

Debido a que la habilitación inicial en el bit de selección del multiplexer es 0L, los cuatro primeros datos transportados son los más significativos; es decir, los bits B7, B6, B5, B4, respectivamente. Estos son traídos al registro de datos DX, y almacenados en AL.

Si se observa el diagrama del circuito, se puede ver que las salidas del multiplexer están invertidas; por lo tanto, es necesario hacer una doble inversión de los datos al momento en el que ingresan al computador; esto se lo realiza con una NAND. Sin embargo, la señal de la línea

BUSY (bit 7), que corresponde a la línea de entrada 11 en el pórtilo paralelo, es la única entrada del PC originalmente invertida y debe ser corregida. Para ello se efectúa una segunda inversión, solamente de la información que llega a esta línea; proceso que se lo realiza mediante la suma de la información con 80 decimal, dando como resultado la inversión solo del bit7.

Los datos así obtenidos se los transfiere al registro **BL** (8 bits). De éstos, interesan solo los 4 bits más significativos, ya que es donde se halla almacenada la información. Para recuperarla se hace una operación AND con el valor hexadecimal 0F0H. Luego, se guarda el resultado en el registro BL donde permanecerá almacenado momentáneamente.

En una segunda fase de la adquisición de datos, se debe ingresar la información correspondiente a las cifras menos significativas. Esto se consigue mediante una habilitación procedente del computador (1L) hacia el pin 1 de habilitación del multiplexer, en un proceso similar al descrito anteriormente y que se detallan a continuación.

Se localiza la dirección de salida de control del PC enviando, mediante el registro AL, (8bits = 11111111); es decir, bit 1 alto. Esto permite habilitar con 1L al pin 1 del multiplexer el cual enviará los siguientes cuatro datos B3, B2, B1 y B0 hacia el computador, a través de la dirección de entrada del computador (0379H). Los datos ingresados se almacenan en el registro AL (8 bits). Posteriormente se los invierte adecuadamente hasta obtener la información correcta.

Los 8 bits resultantes contienen las 4 cifras menos significativas del resto de la información que nos interesa. Para recuperar dicha información, se desplazan los 8 bits cuatro veces a la derecha para ubicar la información correspondiente a las cifras menos significativas hacia el extremo derecho. Luego, mediante una operación AND con el valor 0FH, se eliminan los datos más significativos que corresponden a la información no deseada.

Obtenidos los dos segmentos de información en los registros BL y AL, los juntamos mediante una compuerta OR para ubicar los 8 bits en un solo byte. En este momento el proceso de adquisición de datos se ha completado y el dato pasa a ser almacenado en un arreglo de datos (ARRAY), definido previamente. El arreglo de datos incrementa su dirección, cada vez que almacena un dato, mediante un contador (registro DI). El programa regresa entonces a adquirir un nuevo dato y repetir el proceso total, hasta completar 512 puntos que es la extensión del arreglo. Cuando el proceso concluye se deshabilita la interrupción STI, volviendo al microcomputador a su estado normal para que pueda continuar con tareas de graficación de los datos captados, grabado, comandos de control de los mismos, etc.

Quizás sea valido aclarar que todo lo descrito fue concebido pensando en un proceso en tiempo real.

3.2.1.2. Rutina de graficación de datos: VDOUT.

Para graficar la información recolectada, básicamente lo que se realiza es localizar la dirección de almacenamiento de los datos (ARRAY) y presentarlos en la pantalla del computador, la cual estará trabajando en un modo gráfico. La rutina que ejecuta esta función, VDOUT, se describe a continuación:

Se inicializa el registro CX con 100 para manejo de las coordenadas en X y el registro DI con 0 para contar el número de datos que van saliendo del ARRAY. Adicionalmente, para el eje Y se tomó un valor base de 350 que permite ubicar al mismo aproximadamente en la mitad de una pantalla VGA (el estándar mínimo en las computadoras actuales). Esto se hizo pensando en la posibilidad de variar a voluntad la posición del eje Y en sentido vertical. Si se desea desplazarlo hacia arriba o hacia abajo, bastará con escoger un valor diferente a 350.

Luego de extraído el primer dato desde el ARRAY, se lo resta del valor base; el valor resultante se asigna a la variable (o coordenada) Y_0 , cuyo valor se gráfica como el primer punto en la pantalla. La instrucción que se seleccionó para pintar un punto en la pantalla es la 0C0EH (pintar pixel en la pantalla con color amarillo), y se la ejecuta mediante la interrupción de la ROM, INT VIDEO (10H).

A continuación, se toma el siguiente dato y se lo resta también del valor base; el resultado se coloca en Y_1 . Inmediatamente se realiza una comparación aritmética entre Y_1 y Y_0 . El valor que se obtiene como diferencia sirve para determinar si el punto Y_1 se encuentra arriba o abajo de Y_0 . La unión de estos dos puntos se realiza mediante la colocación de puntos sucesivos en la pantalla, desde Y_0 hasta Y_1 , dando la impresión de una graficación continua. Este proceso se repite cada vez que ingresa un dato nuevo desde el ARRAY previa la comparación con el valor máximo de X (600) del contador CX que es el límite escogido.

3.2.1.3. Rutina de Borrado de Pantalla: VDCANC.

El borrado de un gráfico de la pantalla se realiza mediante un proceso similar al empleado para graficarlo, con la única diferencia que se utiliza un color de pixel igual al de la pantalla; en otras palabras, se hace una sobre escritura de los datos graficados anteriormente. Este método resulta ser más real y efectivo que utilizar un comando de limpieza de pantalla.

Para conseguir el efecto indicado se llama en forma consecutiva las dos rutinas: la de graficación (VIDEOOUT) y de borrado (VDCANC) para producir un efecto continuo en la aparición de los datos.

3.2.1.4. Rutina de escritura en el disco: WRDSK.

Esta parte del programa permite almacenar un laringograma en un diskette o dispositivo de almacenamiento de datos similar.

El procedimiento para almacenar información en un disco generalmente implica la apertura de un archivo seleccionado con este propósito. El ROM BIOS y el DOS presentan una serie de funciones para la creación de los mismos.

La selección previamente de una estructura del archivo, es talvés una forma fácil de almacenamiento. Sin embargo, esta estructura presenta ciertos inconvenientes debido a que, por ser fija, el nombre y extensión del archivo deben ser únicos y definidos dentro del programa. Esto vuelve muy complicado cambiar los nombres desde el exterior, algo imprescindible en el presente caso en el que se requiere trabajar con un gran número de archivos, en cada sesión de trabajo. Lo ideal es poder determinar a voluntad el nombre de cada archivo.

Por los inconvenientes mencionados fue necesario realizar un estudio exhaustivo de las posibilidades que permitan asignar nombres de archivo de una forma más flexible. La rutina que resolvió el problema consta de 2 partes o procedimientos que se los describe a continuación:

En el primero se determina el nombre que debe llevar el archivo, el mismo que debe ser ingresado (desde el teclado) por el usuario. Este procedimiento se ejecuta al inicio del programa, que es cuando el usuario escoge el nombre del archivo con el que desea almacenar sus datos.

En un segundo proceso se realiza el almacenamiento de estos datos. Para ésto se debe crear y abrir un archivo con el nombre que fue seleccionado previamente por el usuario. El archivo tiene una extensión fija, en el caso presente 512 bytes.

Los dos procedimientos se ejecutan al mismo tiempo con la opción Grabar. Por las dificultades que se tuvieron hasta encontrar los algoritmos adecuados y a manera de referencia para lectores interesados en este asunto, a continuación se describe en forma más detallada cada una de las 2 estas partes.

Selección del Nombre del archivo:

El programa comienza solicitando el nombre del archivo mediante la petición " INGRESE NOMBRE DEL ARCHIVO : *".

Para el ingreso mismo de los caracteres, por medio del teclado, existen varias alternativas entre las que se pueden mencionar:

Utilizando funciones del ROM BIOS para teclado con los comandos 01H (informar si existe carácter listo) y 00H (leer el siguiente carácter de teclado) de la interrupción INT 16H. Estos dos comandos deben trabajar conjuntamente para ingresar uno a uno los caracteres previa verificación de la tecla pulsada. Esta opción; sin embargo, tiene el inconveniente que no permite visualizar en la pantalla los caracteres presionados, característica conocida como "eco". Mas aún, es necesario para cada lectura de carácter hacer una comparación del mismo, para verificar su validez, y a la vez hacer otra comparación con el código de la tecla ENTER para determinar que se llegó al fin del nombre del archivo.

Una segunda alternativa constituye emplear funciones del DOS. Entre ellas, la función 01H de la INT 21H (ingreso de carácter con eco) es bastante adecuada, ya que permite ingresar caracteres y visualizarlos al mismo tiempo en la pantalla. Al igual que en el primer método, es necesario hacer comparaciones de cada uno de los caracteres pulsados 1) para verificar si estos son válidos y 2) para determinar cuando el usuario ha terminado de ingresar el nombre del archivo. Esta alternativa, sin embargo, también tiene una gran desventaja: no es posible corregir errores cuando se ha pulsado una tecla equivocada. Para corregir errores de tipeado se usan las teclas **BACKSPACE**, -> o <-. Cuando se emplea la función 01H, el computador asume que al pulsar las teclas de corrección se pulsó otro carácter más, lo acepta como tal y lo ingresa inmediatamente, sin dar la "oportunidad" para corregir posibles errores.

La alternativa que finalmente se seleccionó resuelve las necesidades de nuestro problema y se la describe a continuación.

La función del DOS (0AH) INT 21H (entrada de teclado con buffer), permite ingresar una cadena de caracteres desde el teclado hacia un "buffer". Mientras no se presione la tecla ENTER (que indicaría que se ha completado el ingreso de la cadena) es factible corregir cualquier error de pulsación. Cuando el ingreso del nombre del archivo se ha completado, con ENTER se transfiere la cadena al programa.

Esta función proporciona muchas ventajas, particularmente para programas que necesitan cadena de caracteres de entrada completas y coherentes, en vez de entradas byte por byte.

Para poder utilizar esta función se debe empezar por crear el buffer de entrada donde se pueda construir la cadena. Este fue denominado, **cbuffer**. El par de registros, DS:DX, apunta a esa área cuando se llama a la función. Luego debe medirse la longitud del buffer mediante un puntero "**nlongitud**" para poder dimensionar el espacio de memoria, **FILNAM**, que es donde finalmente se guarda el nombre del archivo.

3.2.1.5. Creación de un archivo de datos.

La parte principal de la rutina **WRDSK** es la creación del archivo donde han de almacenarse los datos seleccionados. Así mismo, existen varias funciones dentro del assembly que permiten crearlos y se las describe a continuación.

La función **16H** permite abrir un archivo vacío con un nombre específico. Si el archivo ya existe, reduce su longitud a cero. Esta función se desechó debido a que utiliza una estructura FCB (Bloque de control de Archivo) que debe ser definida con anterioridad obligando a que el nombre del archivo deba formar parte del programa.

La función **15FH** permite abrir un archivo utilizando también un bloque de control de archivo (FCB). La estructura del archivo es determinada por el DOS para seguir la pista de su entrada y salida. Puesto que debe el programa contener el nombre y la unidad de disco, también fue desechada.

La función **5BH** permite la creación de un archivo nuevo, y cumple con parte de las características deseadas. Puesto que es una función puramente de creación de archivo, falla si encuentra otro archivo con el mismo nombre. Esto podría representar una ventaja en ciertas aplicaciones pero, en el caso presente, se constituye en una limitación. En una situación real, es deseable que el usuario pueda repetir varias veces la acción de grabado sobre un mismo archivo, hasta que la muestra que haya tomado se considere la correcta.

La función que se ajusta a nuestros requerimientos es **3CH**: abrir un archivo vacío utilizando un nombre especificado. Si el archivo ya existe trunca su longitud a cero, y si no existe crea un nuevo archivo.

Para implementar esta función, en el registro CX se colocan los atributos del archivo, y en DS:DX la dirección de la trayectoria y los nombres del archivo (almacenados en ASCII). En la función **3CH** también es necesario utilizar manejadores de archivos (handles) que utiliza el sistema operativo DOS. Si la función se ejecuta con éxito desactiva el indicador de acarreo y devuelve un handle en AX; caso contrario, activa un código de error.

En el momento en que se solicita la creación de un archivo nuevo, es necesario colocar en éste el nombre que ha de llevar, por lo se ubica la dirección en la cual se almacenó previamente el nombre del archivo (FILNAM), así como la extensión del mismo. Una vez realizado esto, se efectúa un encadenamiento al ARRAY que contiene los datos para que sean transferidos al archivo.

Cuando todos los datos han sido grabados en el archivo, se procede a cerrarlo con la función 3EH. Inmediatamente una pito indica que el proceso ha concluido y retorna nuevamente al programa de adquisición de datos.

3.2.1.6. Rutina de escalas de pantalla: SCALES.

Esta rutina permite dibujar en la pantalla una cuadrícula parecida a la de un osciloscopio. Para el efecto, se empleó el registro CX para manipular los ejes de coordenados en X y el registro DX para las coordenadas en Y.

El procedimiento que se realiza es el de delimitar los niveles mínimo y máximo para los ejes X e Y. Se selecciona un tipo de color de píxel para la escritura y mediante un contador incrementa, CX y DX, respectivamente, se va graficando punto a punto las coordenadas, de forma similar a la graficación de los datos en VDOUT o VDCANC.

Esta subrutina se realiza en dos procesos separados uno para las coordenadas horizontales y otro para las verticales.

La página de video sobre la que se realiza este gráfico es la 00H que se selecciona al inicio del proceso. Cabe indicar que solo una página puede ser visualizada en un momento dado; por lo mismo, es necesario llamar en forma consecutiva y alteradamente las rutinas de VDOOUT y VDCANC. Con ésto se evita que al coincidir un dato con la ubicación de los puntos de las escalas, los últimos sean borrados.

3.2.1.7. Rutina de comandos del usuario: CMMD.

La rutina de comandos CMMD chequea el estado del teclado durante la ejecución del programa para detectar si, en un determinado momento, el usuario desea interrumpir el mismo, para ejecutar una de las opciones que se muestran en la pantalla. Mediante la interrupción del teclado se comprueba si se presionó un carácter, si esto es verdadero, entonces continúa el proceso de comandos, en caso contrario el sistema automáticamente continúa con la adquisición de datos.

El procedimiento principal de esta rutina es la revisión del estado del teclado utilizando las funciones 01H y 00H de la interrupción 16H descrita anteriormente, que analiza si un carácter a sido presionado o no. Si se lo ha hecho, procede a leerlo y compararlo con los caracteres que se han escogido para las opciones del menú.

El proceso de comparación se realiza ingresando el carácter al registro AL y comparándolo con las opciones que se detallan a continuación:

Carácter presionado:

AL = 53H -> S

= 73H -> s Opción fin de proceso, se llama a la subrutina OUT

AL = 52H -> R

= 72H -> r Opción redibujar señal (salto a RDRW)

AL = 47H -> G

= 67H -> g Opción grabar en el disco (salto a WRDISK)

AL = 4DH -> M

= 6DH -> m Opción memorizar pantalla (salto a MEM)

AL = 42H -> B

= 62H -> b Opción borrar la pantalla, redibujando las escalas. Llama CLSCRE

Se ha adecuado la rutina para que se las opciones puedan seleccionarse independientemente de si se presiona la letra en mayúsculas o minúsculas.

A continuación se presenta el diagrama de flujo total del programa de adquisición de datos, que permite dar una idea total de dicho proceso.

3.2.2. Desarrollo Del Software en Lenguaje C.

Tal como se mencionó en las especificaciones, el programa desarrollado en C abarca los siguientes aspectos específicos:

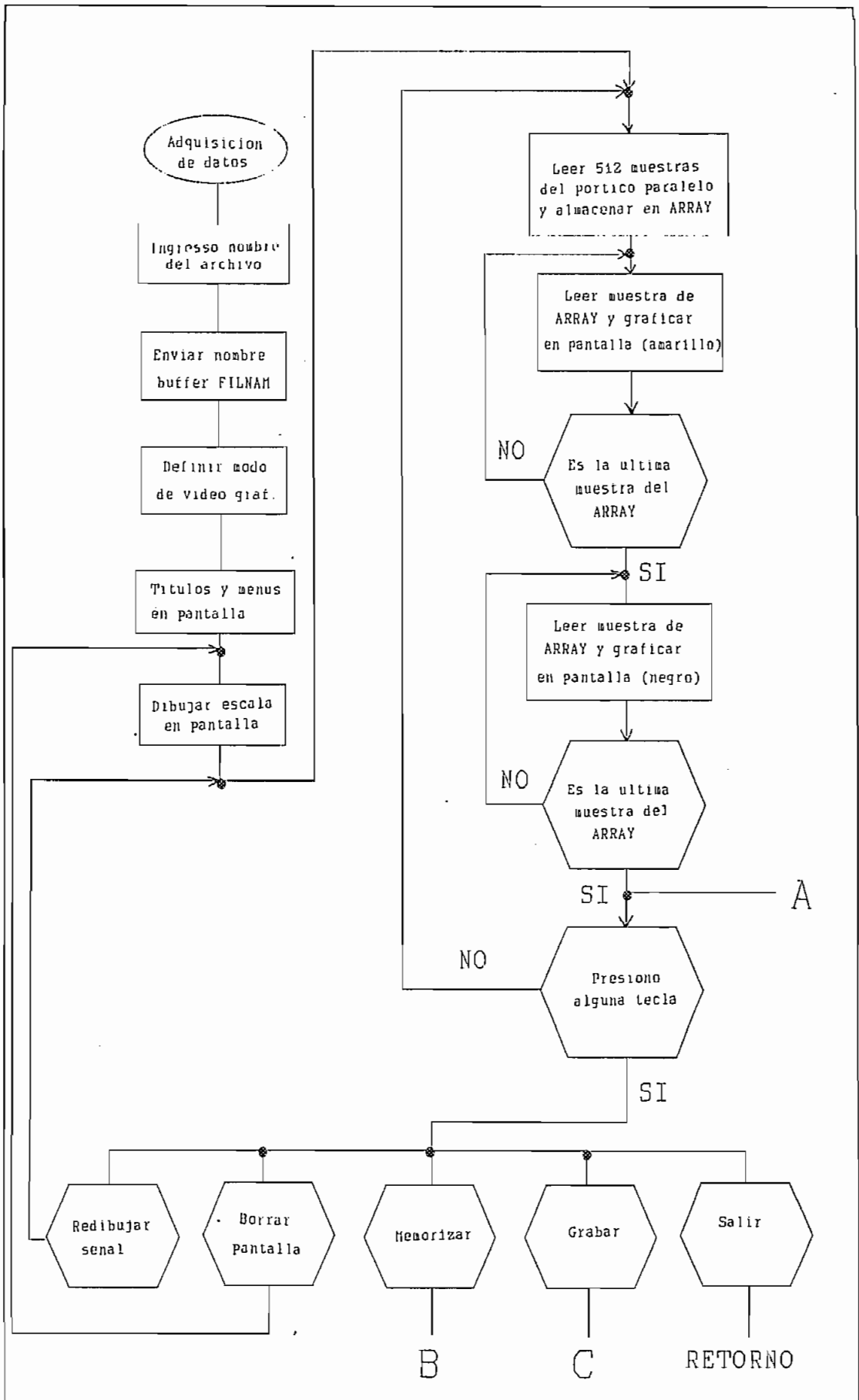
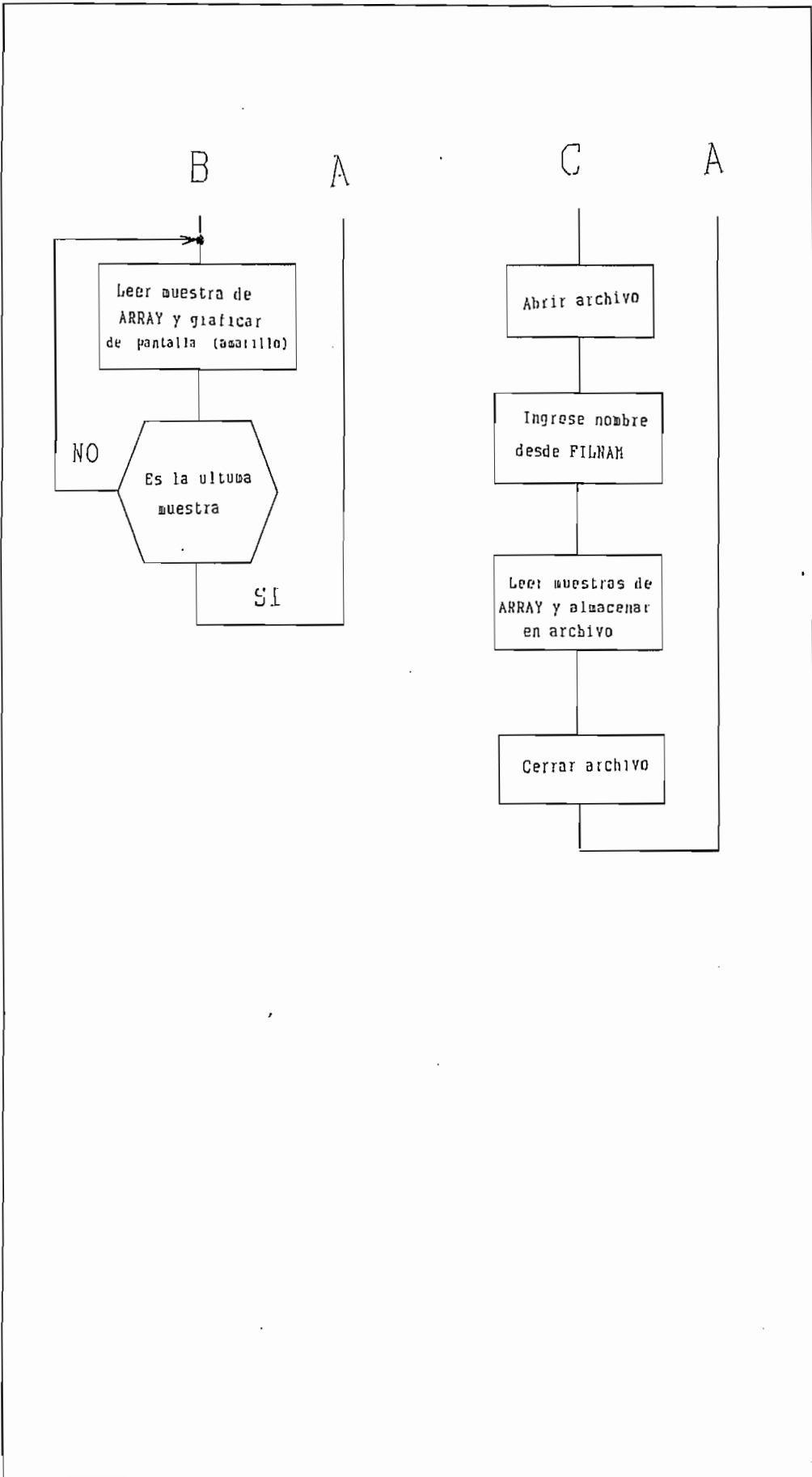


Diagrama de Flujo del Sistema de Adquisición de Datos.



- 1) **Rutinas para manejo de menús de usuario.**- Los menús se encargan de guiar de la mejor forma posible al usuario para que éste pueda tener acceso a las diferentes opciones del programa.
- 2) **Rutinas para visualización de gráficos.**- Cubre uno de los aspectos más importantes del sistema: permitir la visualización de datos, previamente grabados, en lenguaje assembly, desplegándolos en la pantalla del computador.
- 3) **Rutinas para manejo de los datos de los pacientes.**- Se refiere a la administración de los datos personales de los pacientes, de tal forma que el usuario pueda mantener un seguimiento razonable de las sesiones de trabajo que realiza con los mismos, en particular en lo que se refiere a los laringogramas que se vayan capturando.

Para el desarrollo de los programas deben aplicarse los conceptos de programación estructurada y modular. El objetivo que se persigue es crear, en donde sea posible y adecuado, bibliotecas de procedimientos que resuelvan un problema en particular, pero que al mismo tiempo puedan ser empleadas en otras aplicaciones. En esta tesis se procuró seguir esta metodología de desarrollo y a continuación se describen las funciones más relevantes que fueron creadas durante este trabajo. No se describen las instrucciones y funciones propias del lenguaje puesto que estas se encuentran detalladas en un gran número de libros relacionados con el tema.

3.2.2.1. Funciones para creación de menús (ARCHIVO: ESQUEMA.I).

En este archivo de programa se tiene una serie de funciones para el despliegue de una "pantalla de presentación", despliegue de menús, selección de color y borrados de pantalla.

Estas funciones son llamadas desde el programa principal ya que constituyen bibliotecas de procedimientos.

A continuación se realiza una descripción de cada una de ellas.

Función para definir color de texto, y fondo de pantalla: `Color()`.

Esta es una función pequeña que tiene dos argumentos, `c1`, que selecciona el color del texto (`textcolor(c1)`) y, `c2`, para el color de fondo de pantalla (`textbackground(c2)`).

Función para dibujar un cuadro: `Cuadro()`.

Esta función permite hacer un cuadro en la pantalla como borde de cualquier menú de opciones. Tiene como argumentos las coordenadas X, Y representadas por los puntos `x1`, `x2`, `y1`, `y2` (valores enteros).

Función `Ventana()`.

Hace uso de las funciones `color()` y `cuadro()` para rellenar un cuadro con un cierto color.

Función `Esquemar()`.

Permite borrar un cuadro de la pantalla, cuando tal acción se requiera. Para ello usa las funciones `window()` y `color()`.

Función Esquemar1().

Inserta la línea de texto: " **Presione cualquier tecla para continuar** " en la pantalla de trabajo sirviendo de guía al usuario. La línea puede ser llamada en cualquier momento.

Función Esquemar2().

Ubica en la pantalla el texto de la presentación inicial de este trabajo de tesis, en la cual se especifica: nombre de la Institución, Facultad, Título de Tesis, Nombre de autor.

Utiliza como función principal, **gotoxy()**, que permite ubicar en un lugar determinado de la pantalla una cadena de caracteres.

Función para creación de menús de pantalla: menuxy().

Esta es una función que permite colocar una cadena de caracteres en una determinada posición de la pantalla, mediante la ubicación de coordenadas X,Y de la función "goto(x,y)", y **printf()**.

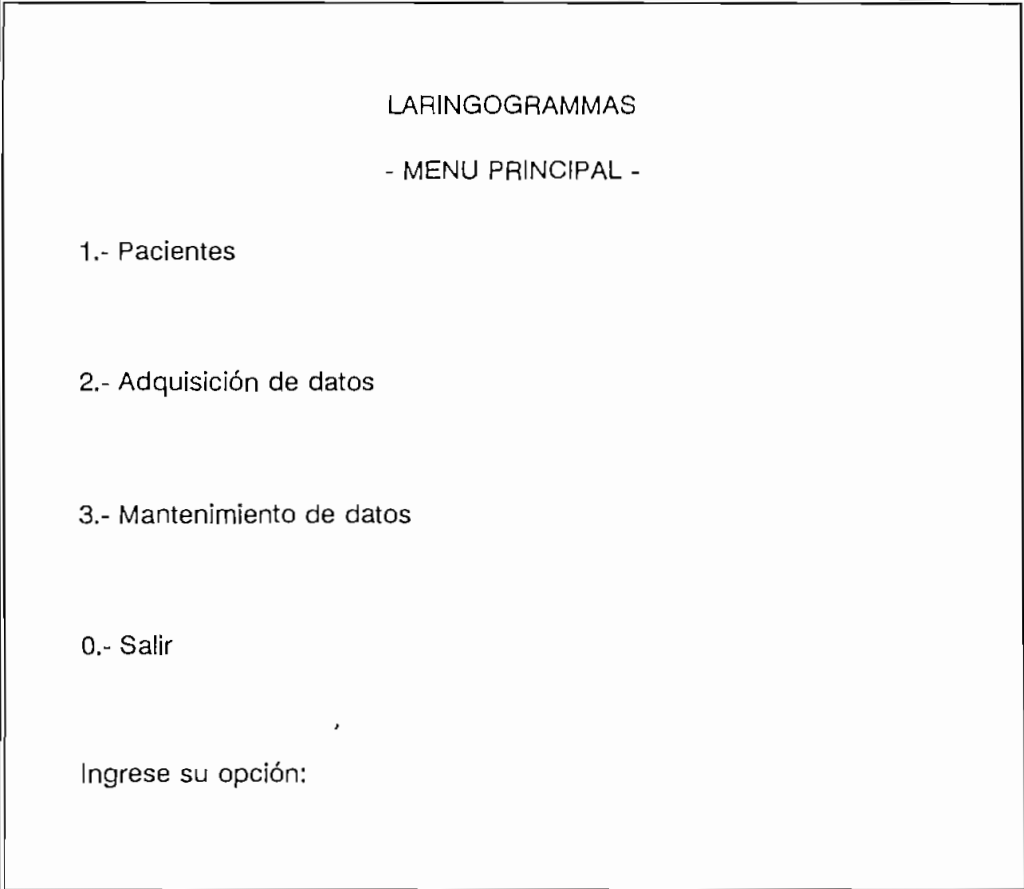
Función para colocar líneas de menú: menu().

Esta función permite colocar una línea de texto, en cualquier lugar de la pantalla. Tiene dos argumentos, una cadena de caracteres, y un valor entero: **menu(char *S, int p)**.

El primer argumento permite colocar en la pantalla un línea de texto, mientras que el segundo es una variable que ingresa dentro de la función, **goto(x,y)**, para ubicación del texto en un determinado lugar de la pantalla.

Función para el menú principal: `menuprincipal()`.

Esta permite colocar en la pantalla, el título 'menú principal' y las diferentes opciones para el usuario. Utiliza la función, `ventana()`, con sus respectivas coordenadas, que permite hacer un recuadro en la pantalla, con el color deseado. La función, `menu()`, ubica en la pantalla las diferentes líneas de texto para las opciones del usuario. `scanf()`, permite ingresar, por medio del teclado, la selección deseada, finalizando la función, `menuprincipal()`.



The image shows a terminal window with a double-line border. The text inside is centered and reads:

```
LARINGOGRAMMAS
- MENU PRINCIPAL -

1.- Pacientes

2.- Adquisición de datos

3.- Mantenimiento de datos

0.- Salir

Ingrese su opción:
```

Función de acceso a opción pacientes: `pacientes()`.

Al seleccionar "pacientes", se ingresa a un menú secundario, el cual tiene a su vez varias opciones.

Cuando se escoge la opción pacientes, el sistema automáticamente debe seleccionar un puntero del campo pacientes, **F4FIELD *field_ptr**, y ubicarlo en la posición mas alta del archivo de datos, **d4top(data1)**. En este momento se despliegan en la pantalla las opciones:

Función paciente():

Edición de datos del paciente:

1. Listado

2. editar paciente

3. nuevo paciente

4. terminar

Ingrese su opción:

Si la selección es 1, Listado, entonces mediante la función, **d4top()**, se realiza un revisión desde la parte más alta de la base hasta el final de la misma, permitiéndole retornar cuando se ha revisado el último registro. Para todo este movimiento se utiliza el puntero de la estructura de datos, **data1**.

Cada puntero de los campos: código, nombre y observación del paciente, accesa a cada uno de los registros y luego permite visualizarlos en la pantalla mediante la función **menuxy()**.

Es entonces cuando se presenta en la pantalla una lista completa de todos los paciente que, hasta ese momento, han sido ingresados en el sistema. El formato del registro es el siguiente:

LISTADO DE PACIENTES		
<u>cod</u>	<u>nombre</u>	<u>observaciones</u>
Fin de archivo de datos.		

Si se selecciona el caso 2, editar paciente, con la función `menuxy()` se presenta en pantalla una línea de texto solicitando el código del paciente que se desea editar con, `scanf()`. Mediante la función, `d4seek(data1, mcodigo)`, se busca dentro de la estructura de datos, `data1`, el registro cuyo campo código corresponde al ingresado por el usuario. Si éste existe entonces se llama a la función, `feditareg(mcodigo)`, que permite hacer la edición completa del paciente. Si el número de código está incorrecto, o no existe, entonces en la pantalla se presente un advertencia:

"No existe este código, presione cualquier tecla".

Con la opción, 3, nuevo paciente, se llama a la función, `nuevopaciente()`, que permite el ingreso de los nuevos datos del paciente.

Finalmente, con la opción 0, salir, el programa sale de este menú y regresa al principal.

3.2.2.2 Funciones para despliegue de archivos de laringogramas.

Están relacionadas con el despliegue en pantalla de los archivos capturados con el programa de adquisición de datos.

Función para recuadro de gráfico (laringograma): PANTALLA().

Esta función permite hacer un recuadro en el que se despliega el gráfico de los laringogramas de cada paciente. Utiliza las funciones: `moveto(x,y)`, `lineto(x,y)`, `bar(x1,y1,x2,y2)`, `setcolor()` y `setlinestyle()`.

En la parte inferior presenta una barra de menús con opciones para que el usuario pueda escoger el porcentaje (100, 50, 20%) de expansión de la escala horizontal.

Función para graficar laringogramas: Graficar().

Esta función es la que dibuja en pantalla archivos que han sido previamente almacenados en una base de datos diseñada con ese propósito. La opción (G)raficar del menú permite al usuario desplegar un laringograma determinado.

Para la graficación del archivo de datos se utiliza las funciones: `moveto(x,y)` y `lineto(x,y)`, que permiten hacer el gráfico uniendo con una línea las coordenadas entre el punto inicial de referencia dado por las coordenadas de `moveto(x,y)`, con las coordenadas de `lineto(x,y)`. Por la cantidad de puntos con que se trabaja, el gráfico aparece en pantalla como si se hubiese empleado un sistema de graficación continua.

Respecto a las opciones de expansión de la escala horizontal (100, 50 y 20%) se utiliza una estructura SWITCH, que permite llamar los diferentes procedimientos en el orden deseado. Cada uno de los mismos, dependiendo del porcentaje escogido, determina un factor, que es el que permite escoger el número de puntos que deben tomarse para graficar el laringograma.

3.2.2.3. Funciones para manejo de bases de datos.

Para el manejo y control de la información referente a los datos de pacientes, y de sus respectivos archivos, es necesario crear una pequeña base de datos, que facilite el manejo de información cuando esta sobrepasa ciertos límites, como es nuestro caso; debido a que durante el sistema de adquisición de datos, cada paciente que sea ingresado en el sistema, debe tener su respectivo registro, en el cual constan sus datos personales, y muestras de laringogramas.

Este es el motivo principal por el cual se ha utilizado el programa CODEBASE, del Lenguaje C que es la herramienta necesaria para este propósito, este programa permite crear una base de datos y ser compilado en Lenguaje C, que es mismo lenguaje que se utiliza para visualizar y administrar todo el sistema.

Creación de la Base de Datos (BDD.I)

Para el manejo de los archivos de datos de paciente y de los laringogramas de cada uno de ellos es necesario generar una base de datos (BDD.I). Esta utiliza dos estructuras:

La primera estructura de datos se denomina, **cb1**, y permite administrar los registros de los pacientes. Está constituida por de los siguientes campos:

ESTRUCTURA DE CB1			
# DE CAMPO	NOMBRE	TIPO	LONGITUD
1	PACIENTE1	C	30
2	CODIGO1	C	3
3	OBS1	C	40

Sus respectivos punteros de localización de campo dentro de la estructura son: ***paciente1**, ***código1** y ***obs1**.

Para esta primera estructura se creó un archivo índice, que permite el manejo de la base de datos de acuerdo al código de paciente, **CODIGO1**.

La segunda estructura, **cb2**, permite administrar los archivos de los laringogramas de cada paciente. Tiene cuatro campos, a saber: código, fecha, observación, datos, con sus respectivos punteros de campo: **codigo2**, **fecha2**, **obs2** y **datos2**, con características similares a la primera estructura.

ESTRUCTURA DE CB2			
# DE CAMPO	NOMBRE	TIPO	LONGITUD
1	CODIGO2	C	3
2	FECHA2	D	8
3	OBS2	C	40
4	DATOS2	M	10

Donde: C = Literal

D = Fecha

M = Memo

El archivo índice de esta base también tiene como ordenador a CODIGO1 (código del paciente); es decir, las dos estructuras están relacionadas por el campo CODIGO1.

Como punteros manejadores de las estructuras de datos se han definido: ***data1** para **cb1** y ***data2** para **cb2**.

Los punteros utilizados por los archivos índices son: ***name** y ***class_llst**.

Función para crear un archivo de datos y su índice: fcrear().

Esta función permite la creación de un archivo de datos, con sus respectivos índices. Para la creación del archivo se utiliza la función, **d4create()**, que contiene los punteros de la base de datos, puntero de índices, información del campo, e información de los índices.

La estructura de la base de datos de paciente se llamará, en adelante, **fpaciente**, que es el nombre del puntero a utilizarse, ***paciente**; y la estructura de laringogramas se llamará, **flaringo**, con su puntero ***flaringo**.

Función para abrir un archivo de datos: `fabrir()`.

Permite la apertura de un archivo de datos cuando así se lo requiera. La función utilizada es **d4open**, cuyos elementos son, el puntero de la estructura de datos, y nombre del archivo que se desea abrir.

Después de abrir el archivo de datos es necesario asignar a cada uno de los campos, sus respectivos punteros, usando la función, **d4field()**. Por ejemplo la siguiente Línea:

```
codigo1 = d4field(data1, "CODIGO1")
```

Permite asignar el puntero, **codigo1**, al campo, **CODIGO1**, de la estructura, **cb1**, identificada por el puntero, **data1**.

De manera similar al ejemplo descrito anteriormente, se designan uno a uno los punteros, con sus respectivos campos, a cada una de las estructuras.

Función para cerrar un archivo de datos: `fcerrar()`.

La función, **d4close_all()**, permite cerrar un archivo previamente abierto. Tiene como argumento único el puntero a la estructura de datos, **cb1** y **cb2**, respectivamente.

Función para Ingreso de un nuevo paciente al sistema: `nuevopaciente()`.

Esta función permite crear un nuevo paciente dentro de la base de datos. No tiene ningún argumento. Para la creación de un nuevo registro de paciente, se asignan valores iniciales a cada campo de la estructura con **NULL**.

Para diferenciar los punteros se antepone al nombre de cada puntero la letra m. Así, para código se tiene ***mcodigo**, para nombre ***mnombre** y para observación ***mobs**. Es necesario trabajar en modo dinámico con esta función debido a que, al momento de aumentar un nuevo paciente en la estructura, se debe reservar un espacio de memoria para el mismo. Esto se hace con la función, **calloc()**.

Mediante la función, **menú()**, creada inicialmente, se presenta un menú en la pantalla que guía al usuario a ingresar los datos del paciente. Con este propósito se tiene la función **gets()**.

En el momento en que ingresa el primer dato del paciente a **CODIGO**, este es comparado con el resto de códigos de pacientes que ya han ingresado en el sistema, con la función **"d4seek()**".

En caso de que exista repetición del código, se despliega un mensaje en la pantalla que indica la existencia de un código repetido y, consecuentemente, el dato repetido no ingresa.

Si no existen problemas de repetición de código, la función del Codebase, **m4assing()**, asigna una cadena de caracteres al dato ingresado en la memoria del computador. Luego, los datos ingresan a la base de datos, **cb1**.

Cuando el ingreso de información a concluido, se libera el espacio de memoria reservado inicialmente, esto lo realiza la función, **free()**.

Función Nuevopaciente():

codigo.....:
nombre.....:
observaciones.....:

Función para el ingreso de un laringograma en el archivo de un paciente: Nuevolaringo().

Como su nombre lo indica, esta función permite ingresar un nuevo laringograma dentro de un archivo de un paciente. Tiene como un argumento el código del paciente, ya que este es el símbolo que diferencia a dos pacientes.

Para ingresar a esta función se solicita el código de paciente. Si éste no existe entonces se crea un nuevo archivo de paciente en forma similar a lo que hace la función `nuevopaciente()`, creando un espacio de memoria, para el ingreso del paciente, con la función `*calloc()`

Si al solicitar la opción de aumento de laringograma, el código de paciente no ha sido ingresado anteriormente, entonces se abre la estructura de datos y con ayuda de la función `memu()`, se despliega en pantalla la petición de datos del paciente; a saber: código de paciente, fecha, observaciones y nombre de laringograma que se desea almacenar. En esta última se parte se ingresa el nombre de un laringograma que ha sido previamente grabado. Si el nombre del archivo está equivocado, o no existe, se presenta en la pantalla un mensaje de error. Si el

nombre está correcto el laringograma es agregado al paciente. A continuación, el programa asigna los datos ingresados en la estructura de datos, **cb2**, respectiva. Libera el espacio que reservó en memoria y finaliza el procedimiento con el retorno al menú anterior.

Función nuevo laringo():

codigo.....:
fecha.....:
observaciones.....:
Archivo laringograma...:

Función para editar un registro de paciente: feditar().

Esta función permite visualizar en pantalla los datos de un paciente después que estos han sido ingresados en un registro para permitir la modificación, de así requerirlo. La función tiene como argumento el código de paciente.

Cuando se selecciona esta opción se ingresa el código de paciente, la función ***d4seek()** lo compara con todos los códigos existentes dentro de la base de datos, **cb2**, mediante el puntero ***data2**. Si el código no existe, llama a la función **laringo** para ingreso de nuevo paciente, pero si este ha sido ingresado anteriormente entonces, con la función, **d4field()**, retorna al campo

código de esta estructura, y accesa a la información del paciente. Luego, con la función `menu()` lo presenta en pantalla.

En la parte inferior de la misma pantalla de edición de paciente se presenta un menú de opciones, que permite escoger entre:

(G)RAFICAR, (N)UEVO, (B)ORRAR, (S)ALIR.

(G)RAFICAR, permite visualizar en la pantalla el laringograma seleccionado del paciente. La función que ejecuta el trabajo es, `graficar()`.

(N)UEVO, ingresa un nuevo laringograma al paciente, en proceso, hace una llamada a la función, `nuevolaringo()`.

(B)ORRAR, permite marcar el archivo de datos presente para posteriormente ser borrado. Utiliza la función, `d4delete()`.

(S)ALIR, permite salir de esta opción al menú anterior.

Función feditar():

<p>Edición de paciente</p> <p>codigo de paciente...:</p> <p>fecha.....:</p> <p>observaciones.....:</p> <p>(G) GRAFICAR (N) NUEVO (B) BORRAR (S) SALIR</p>

FUNCION PRINCIPAL DEL SISTEMA DE ADQUISICION DE DATOS Y MANEJO DE LARINGOGRAMAS.

A continuación se realiza una descripción de la función principal de todo el sistema desarrollado en esta tesis, `main()`, que permite enlazar cada una de las diferentes subrutinas desarrolladas tanto en lenguaje assembly como en lenguaje C, administrando totalmente el proceso.

La descripción inicial de cada una de las diferentes subrutinas del assembly, y funciones del C, facilitará la comprensión del lector en la descripción que se hace a continuación.

El programa empieza por inicializar los manejadores de archivos para la base de datos del Codebase, utilizando las funciones, `d4InIt(&cb1)` y `d4InIt(&cb2)`. Una vez que ha realizado la inicialización, abre el archivo de datos de paciente y de laringogramas. Si estos no existen, los crea. Las funciones empleadas son: `fabrir()`, y `fcrear()`. Cada una de ellas con argumentos `paciente` y `laringo`.

Cuando todo este proceso se ha realizado, se puede proceder a llamar las diferentes funciones de presentación de menús, visualización de datos y laringogramas etc. en el siguiente orden:

Presentación de pantallas.

La presentación principal del sistema se hace llamando a las funciones de C en el siguiente orden.

`esquema1()`

`esquema2()`

`esquemar()`

A continuación se presenta el menú principal con la función, `menuprincipal()`. La selección de las opciones de usuario las realiza con la estructura `switch` que está direccionada de la siguiente forma:

Caso 1: Pacientes. Permite el ingreso a un segundo menú con opciones de paciente, descrito anteriormente en la función `pacientes()`.

Caso 2: Adquisición de datos. En esta opción se hace una llamada al archivo ejecutable `OCS1.EXE`, realizado en assembly, y que realiza todo el proceso de adquisición de archivos de laringograma.

Caso 3: Mantenimiento de datos. Esta opción permite hacer una revisión de los cambios que han ocurrido durante una sesión de trabajo. Si alguno de los archivos fue marcado para ser borrado, etc., las funciones: **d4pack()** y **d4reindex()**, permiten el empaquetamiento de la estructura de datos, y la indexación de los archivos índices.

La opción (0), permite la salida del programa, después de que el archivo ha sido cerrado con la función, **fcerrar**.

3.3. INTEGRACION DEL SISTEMA (HARDWARE Y SOFTWARE)

El diseño y construcción de un sistema que contiene hardware y software, necesariamente implica que en un momento dado se hizo ya una integración, aunque parcial, entre los dos subsistemas. De todas maneras, se llega al punto donde se debe realizar una prueba de todo el conjunto. En este acápite se detallan las pruebas que se hicieron para determinar si el sistema cumple con las especificaciones que se fijaron en un principio.

El sistema debía permitir básicamente lo siguiente:

- 1) luego de seleccionar la opción respectiva, desde el menú principal, ingresar los datos de un paciente,
- 2) capturar, del paciente bajo inspección, un laringograma y grabarlo,
- 3) comprobar que el laringograma efectivamente tiene la forma y frecuencia esperados, y
- 4) mostrar el laringograma capturado en la pantalla.

Los pasos 1 y 2 se efectuaron sin ningún contratiempo, tal como se podrá comprobar en la demostración práctica. De entre los datos que se debieron ingresar durante estas dos fases,

es importante mencionar, a manera de aclaración, lo siguiente respecto al denominado código del paciente.

En primer lugar, hay que indicar que se incluye en el sistema la posibilidad de asociar un código para cada paciente, para cumplir con una legislación (se desconoce si la misma se aplica en nuestro país) que prohíbe mostrar en una misma pantalla datos de un paciente, que permitan su fácil identificación, con detalles de sus dolencias. Es obligatorio en otros países el empleo de códigos junto a datos de sus enfermedades. Una vez aclarado este punto, en el presente sistema se dejó toda libertad para que el eventual usuario del sistema pueda escoger su forma de asignar códigos para cada paciente. Se sugiere una combinación de las iniciales del paciente con un número que diferencie los laringogramas capturados en una misma o diferentes sesiones de trabajo.

Respecto al tercer punto, se procedió a capturar un laringograma y luego se lo comparó con la respuesta obtenida al alimentar una onda sinusoidal de 400 Hz. Los resultados se muestran a continuación, en las Figuras 3.1 y 3.2.

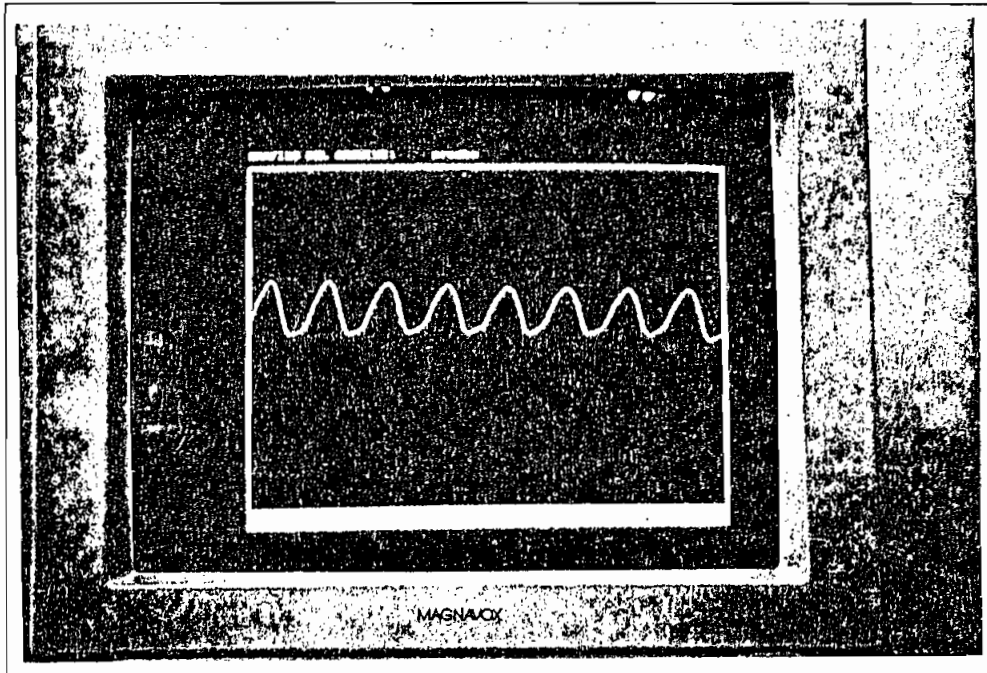


Figura 3.1. Laringograma Capturado.

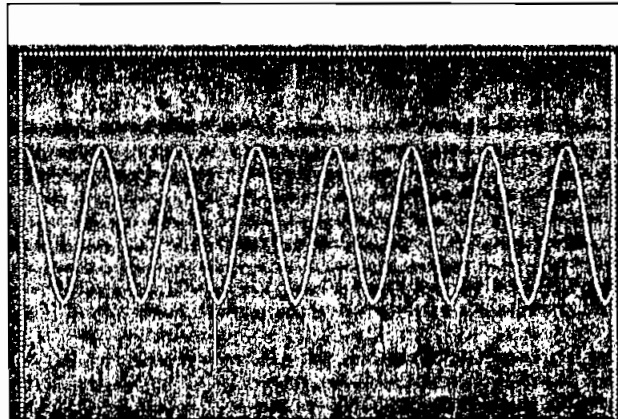


Figura 3.2. Onda Sinusoidal de Referencia.

Tal como se puede ver, la señal tiene una forma de onda que se aproxima a lo que se esperaba y su frecuencia también está dentro de lo previsto.

Finalmente, la Figura 3.3 muestra al mismo laringograma, pero esta vez desplegado en la pantalla por el subsistema encargado de la administración de los mismos.

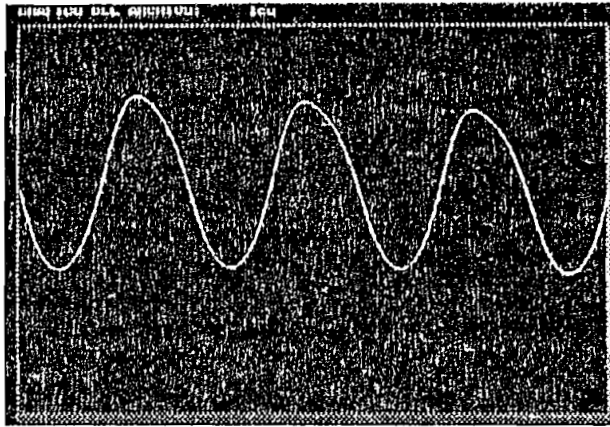


Figura 3.3. Laringograma desde la Base de Datos.

Analizando estos resultados se llegó a la conclusión de que el sistema era capaz de cumplir con su función: capturar y administrar laringogramas pertenecientes a diferentes sujetos. Función que se corroborará más aún en el siguiente capítulo.

CAPITULO 4

RESULTADOS

CAPITULO 4. RESULTADOS

Es este capítulo se hace una descripción general y justificación de las pruebas realizadas con el sistema, se detallan los resultados obtenidos y, finalmente, se hace un análisis de los mismos.

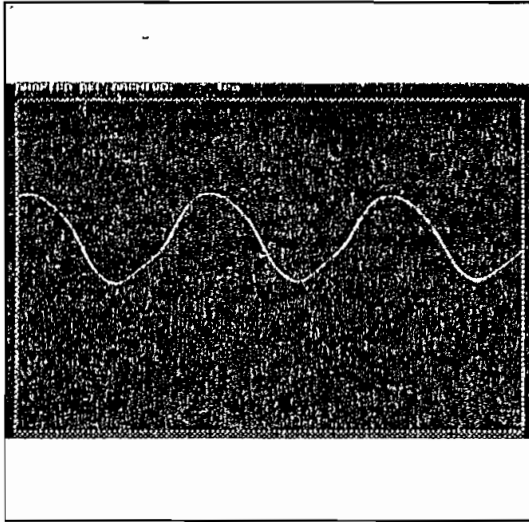
4.1. PRUEBAS DEL SISTEMA.

Las pruebas que a continuación se describen fueron diseñadas para demostrar que el sistema es en realidad una herramienta que permite captar los laringogramas y de esa forma puede ser un instrumento útil para diagnóstico y seguimiento de una dolencia en los pliegues vocales, así como punto de partida para que personas que tengan tal interés puedan efectuar análisis de las formas de onda obtenidas.

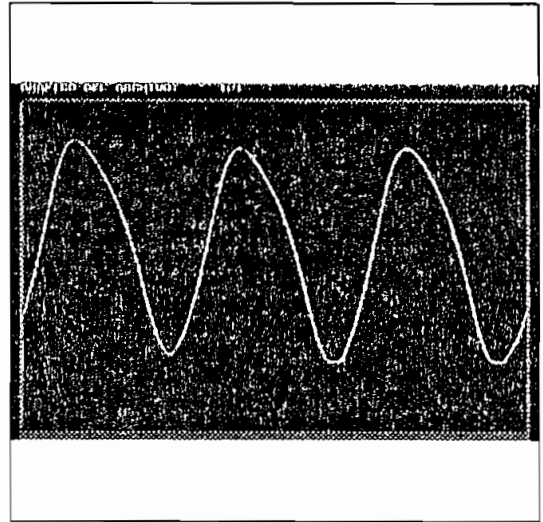
Con este propósito, se recurrió a una de las características más importantes de los laringogramas y que se menciona en el primer capítulo: existen diferencias entre los laringogramas de personas de distinto sexo y edad, vocalizando cualquier sonido pero, al mismo tiempo, estas diferencias no son tan grandes; a tal punto que el rango de frecuencias cubierto por los laringogramas es relativamente estrecho (300 a 500 Hz). El tono de voz, característico de cada persona, fundamentalmente depende de las estructuras supraglóticas. Por lo tanto, se pensó en obtener laringogramas de personas de diferente sexo, mientras pronuncien las vocales ya que los sonidos correspondientes a la S, P, N; es decir, las consonantes, son producidos por las estructuras supraglóticas. Si el rango de frecuencia de los laringogramas capturados se mantienen dentro del rango establecido por otros investigadores y métodos, entonces este sistema se constituiría en una herramienta alternativa. Adicionalmente, si la forma de onda del laringograma se mantiene razonablemente dentro de la norma, al tomarse las diferentes muestras, entonces el sistema resultaría ser confiable. Por último, si se consigue captar un laringograma que refleje un problema en los pliegues vocales, significaría que el sistema puede servir como herramienta de diagnóstico.

4.2. RESULTADOS OBTENIDOS.

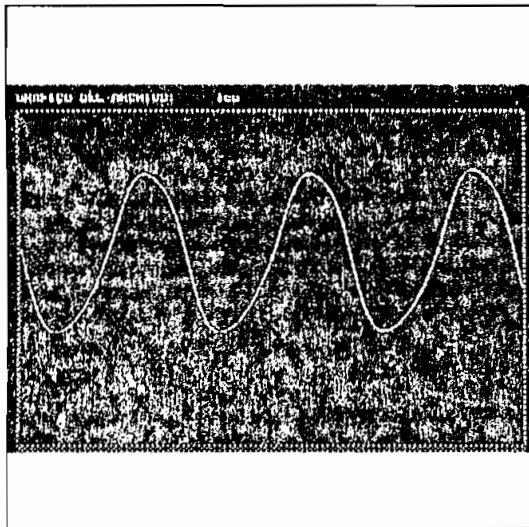
A continuación, en la Figura 4.1, se muestran los laringogramas de una sola persona cuando pronuncia diferentes vocales.



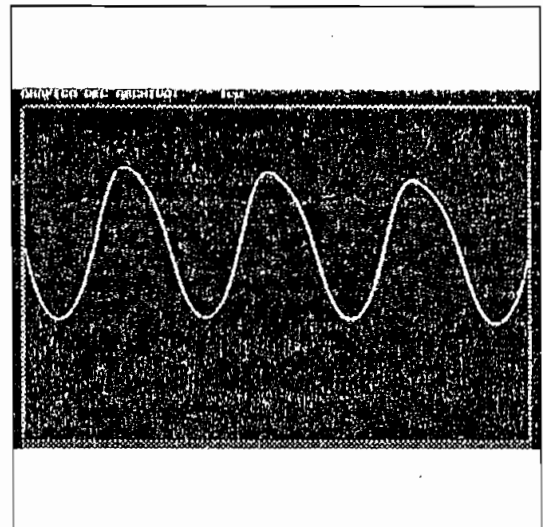
Paciente: 3
Sexo: M
Código: LCA



Paciente: 3
Sexo: M
Código: LCI



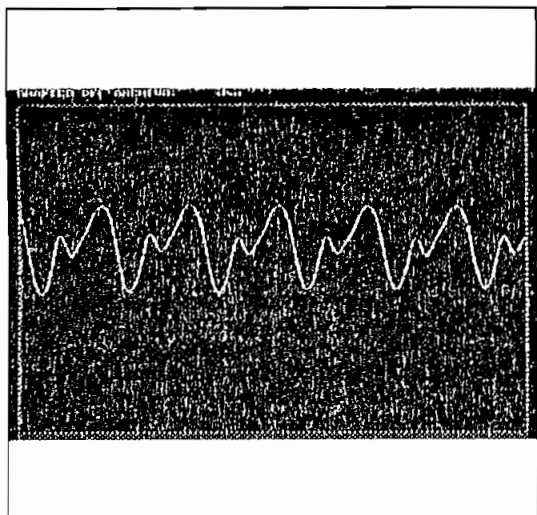
Paciente: 3
Sexo: M
Código: LCO



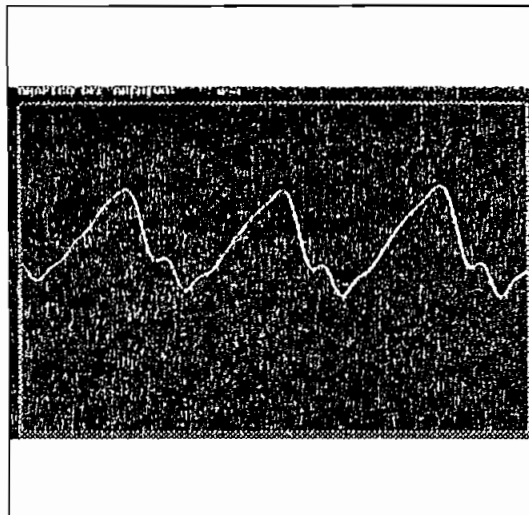
Paciente: 3
Sexo: M
Código: LCU

Figura 4.1. Laringogramas de un mismo Individuo.

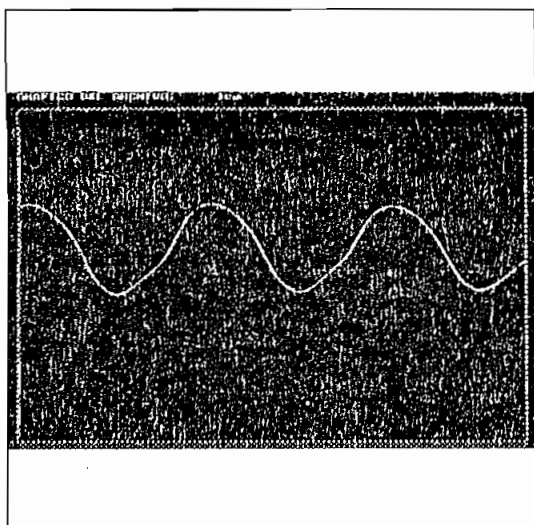
Los laringogramas que se muestran a continuación, en las Figura 4.2 y 4.3, corresponden a diferentes individuos pronunciando una misma vocal.



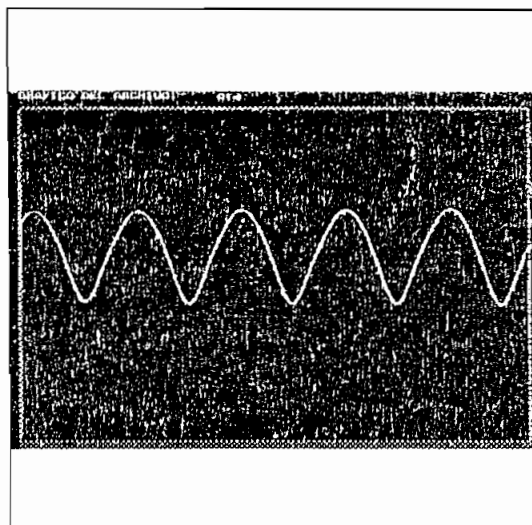
Paciente: 1
Sexo: F
Código: DSA



Paciente: 2
Sexo: M
Código: GSA

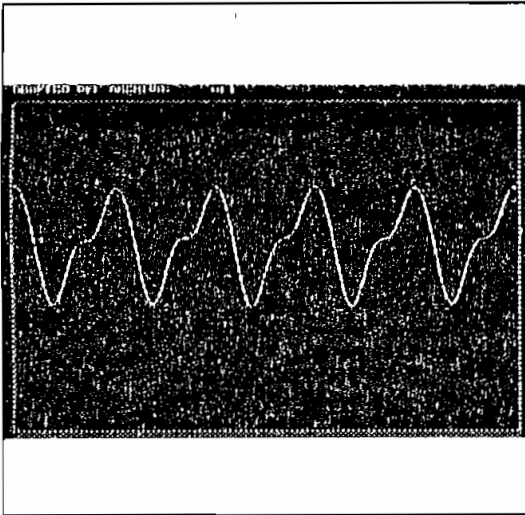


Paciente: 3
Sexo: M
Código: LCA

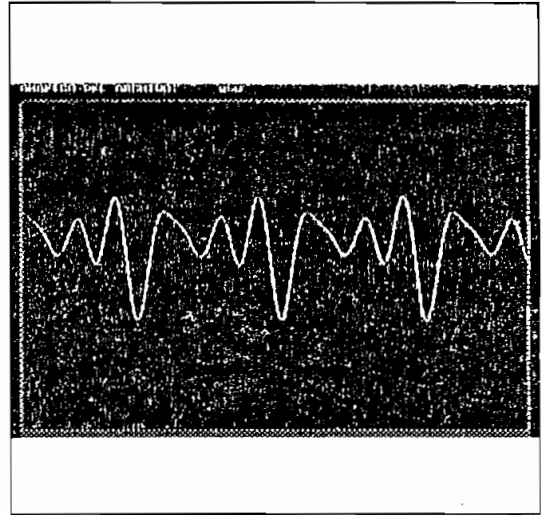


Paciente: 4
Sexo: F
Código: ORA

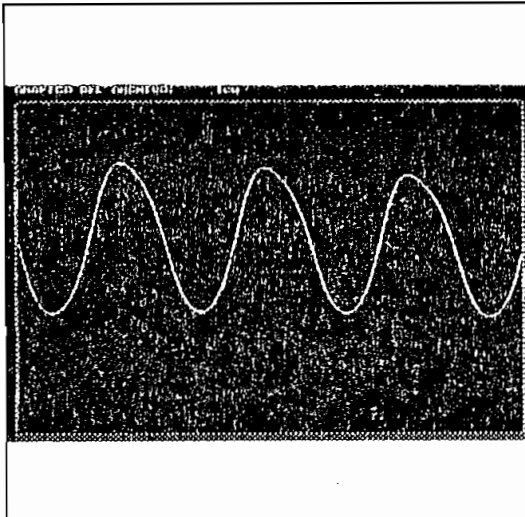
Figura 4.2. Laringograma de Diferentes Individuos Pronunciando la A.



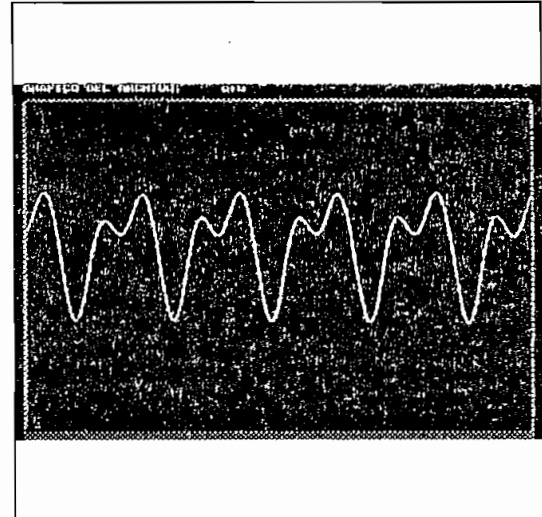
Paciente: 1
Sexo: F
Código: DSU



Paciente: 2
Sexo: M
Código: GSU



Paciente: 3
Sexo: M
Código: LCU



Paciente: 4
Sexo: F
Código: ORU

Figura 4.3. Laringogramas de Diferentes Individuos Pronunciando la U.

El laringograma de la Figura 4.4, corresponde a una persona que se quejaba de irritación en la garganta.

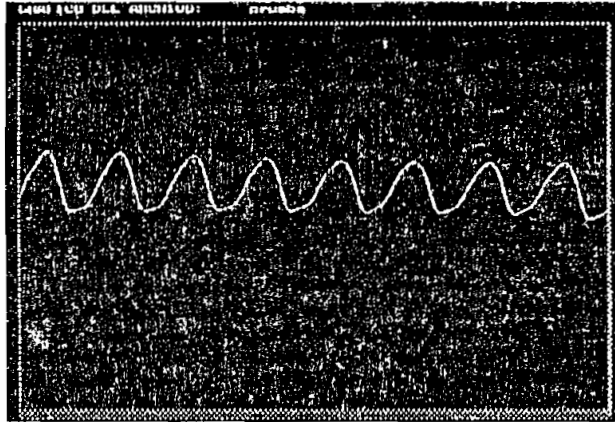
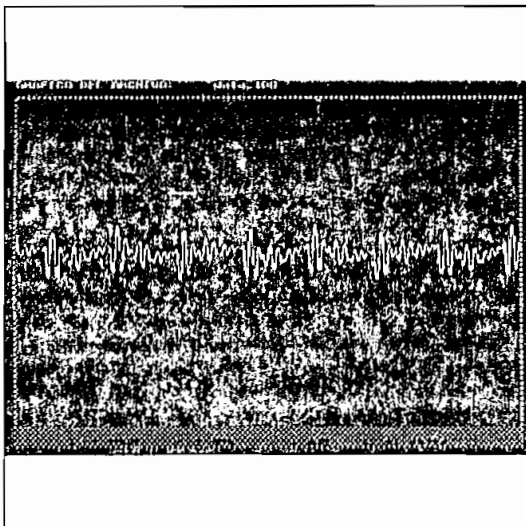
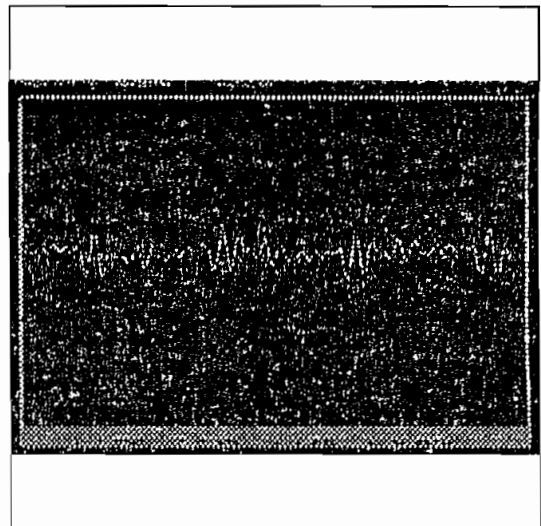


Figura 4.4. Laringograma de Individuo con Afección en la Garganta.

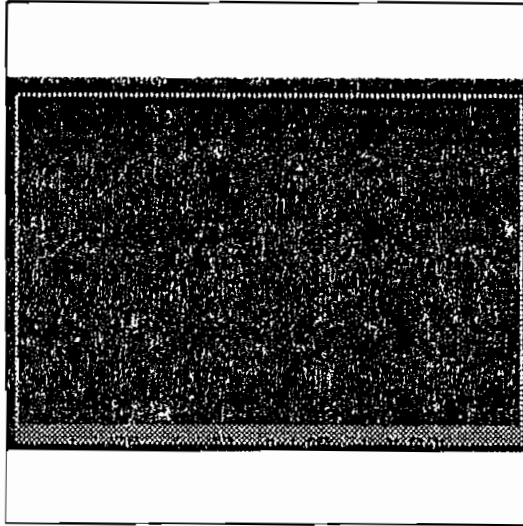
A continuación, en la Figura 4.5, se muestran gráficas, de una señal cualquiera, que permiten observar las bondades del programa para desplegar archivos, con 3 niveles de expansión: 100%, 50% y 20%.



Graficación de la muestra al 100%.



Graficación de la muestra en un 50%.



Graficación de la muestra en un 20%.

Figura 4.5. Señal Desplegada con Diferentes Escala Horizontal.

4.3. ANALISIS DE LOS RESULTADOS OBTENIDOS.

De las muestras en la Figura 4.1 se puede deducir que la frecuencia y forma de onda no varían apreciablemente, cuando un mismo individuo pronuncia diferentes vocales. La frecuencia fundamental se mantiene constante y tan solo se aprecian variaciones en la amplitud, producto del cambio de volumen al pronunciar las diferentes vocales.

En las muestras de las Figura 4.2 y 4.3, se demuestra que varios individuos, al pronunciar las mismas vocales, generan frecuencias parecidas si son del mismo sexo mientras que en opuestos, existen variaciones pero no son tan dramáticas. Esto concuerda con la tesis que dice que la frecuencia de los laringogramas no determinan el tono de la voz de un individuo.

El tiempo de apertura del glotis de un paciente que sufre de una afección en la garganta se muestra claramente, más ancho, en la Figura 4.4.

El programa de administración para la visualización de los laringogramas grabados, permite observar con mejor detalle señales que así lo requieran, tal como se muestra en la Figura 4.5.

CAPITULO 5

COMENTARIOS Y CONCLUSIONES

CAPITULO 5. COMENTARIOS Y CONCLUSIONES

En el primer capítulo se definió el objetivo general del trabajo que aquí se reporta; para facilidad del lector, nuevamente se lo vuelve a enunciar: Desarrollar un sistema que permita la captura de electrolaringogramas de individuos diferentes, por medio del pórtico paralelo de un computador PC, almacenarlos en un diskette o dispositivo similar y administrar los mismos asociándolos a datos personales de los pacientes. Con este objetivo único se han debido cumplir varias metas intermedias:

- 1) desarrollar el hardware para detectar laringogramas,
- 2) desarrollar el hardware para acoplar la señal resultante a un computador PC por medio de su pórtico paralelo,
- 3) y desarrollar un sistema que permita administrar tanto los datos técnicos como personales de los pacientes.

Tratando de resolver los problemas que se presentaron hasta llegar a la solución que aquí se propone, se ha acumulado una buena cantidad de experiencias, tanto humanas como técnicas, algunas de las cuales, y a juicio de la autora, valen la pena mencionar.

5.1. COMENTARIOS.

Desde un punto de vista estrictamente técnico me permito indicar que:

- Realizar un trabajo relacionado con temas ajenos a la especialidad de uno, considero que es realmente interesante. Constituye un verdadero reto utilizar los conocimientos técnicos

de una especialidad para interpretar descripciones de otra en la que incluso se emplean términos muy diferentes a lo que se está acostumbrado. La construcción de este sistema ha servido como lazo de unión entre una ciencia importantísima como es la medicina, y los conocimientos de la electrónica e ingeniería en general.

- El trabajo interdisciplinario puede resultar muy provechoso. De pronto se descubre que en la nueva área en que se incursiona, existen otras necesidades por cubrirse, sean a nivel profesional o como temas de tesis o investigación. Esto, por otro lado, hace que aumenten las posibilidades de trabajo de alguien que está a punto de empezar a desarrollar su vida profesional. En el caso presente, por ejemplo, durante las entrevistas que se tuvo con el Dr. Edwin Andrade se mencionaron de hecho algunas necesidades que honestamente creo que pueden resolverse sin recurrir a tecnología importada.
- La programación mixta es en realidad una buena estrategia para, como se mencionó, aprovechar al máximo las bondades ofrecidas por los diferentes lenguajes de programación. Sin embargo, para una persona sin experiencia, como creo es el caso de la mayoría de los graduandos, resulta mucho trabajo resolver los problemas que se presentan cuando se mezclan lenguajes. Por lo mismo, desearía sugerir la implementación dentro del curriculum académico de nuestra Facultad, capítulos que cubran estos aspectos.
- Lo mismo debería decirse de temas relacionados con el acoplamiento a microcomputadores y hardware de microcomputadores.
- El lenguaje assembly es en realidad el adecuado para aplicaciones donde se requiera de gran velocidad de procesamiento, pero es muy difícil llegar a emplearlo con la profundidad que se requiere para aplicaciones como la presente.

- Desarrollar los programas de apoyo en lenguaje C me han satisfecho de dos formas. Empezando por que siempre fue una ilusión personal aprender este lenguaje, el desarrollo de esta tesis fue la oportunidad, ojalá no la última, para lograr ese anhelo. Por otro lado, considero que un profesional en la actualidad debe tratar de involucrarse, con la profundidad que él considere adecuada, con un lenguaje de programación que poco a poco está convirtiéndose en una herramienta imprescindible de trabajo.
- Este tema de tesis me ha permitido involucrarme con aspectos prácticos de mi profesión, topar temas que no tuve la oportunidad de recibirlos en el aula de clase, como es el caso de acoplar un equipo a un computador, me ha obligado a aprender 3 lenguajes, o al menos conceptos, de programación como es: assembly, C y CodeBase por lo que considero que ha sido una valiosa experiencia para mi futura carrera profesional.
- Finalmente, he encontrado muy gratificante el hecho de contribuir, aunque en una mínima parte, a resolver problemas, que ayudan a mitigar en algo males y enfermedades.

5.2. CONCLUSIONES.

Tomando como referencia los objetivos expuestos al comienzo de este capítulo, se puede concluir lo siguiente:

- El sistema de adquisición de datos para captar señales de la laringe, en mi criterio cumple con lo esperado. La solución del micrófono acoplado a un estetoscopio resultó adecuada y creo que se podrían mejorar sus resultados si se reemplaza el micrófono por uno unidireccional, algo que me permito recomendar se haga en el caso de que los fisiólogos tengan algún reparo respecto al rendimiento del actual.

- La alternativa del p3rtico paralelo definitivamente result3 ser ideal. El sistema es relativamente peque1o y port3til, lo que quiz3s incentive su uso. Un dispositivo conmutador de datos resolver3a el problema de conexiones y desconexiones, cada vez que se desee emplear el presente sistema o el impresor.

- En comparaci3n con un sistema basado en una tarjeta comercial de adquisici3n de datos, la ventaja econ3mica de esta alternativa se puede concluir que es substancial. El costo en materiales del sistema es alrededor de 150.000 sucres, una cifra peque1a comparada con la de las tarjetas comerciales. Obviamente que hay que considerar el costo del trabajo intelectual empleado en la soluci3n de los problemas que se presentaron, en el desarrollo de los programas, pero, debe notarse que la Instituci3n es ahora due1a de los archivos fuente.

- El programa de adquisici3n de datos cumple con su tarea de captar los laringogramas, tal como as3 lo demuestran los archivos y fotograf3as que se obtuvieron durante las pruebas. Con seguridad que se puede mejorar su algoritmo pero se espera al menos haber dado la pauta en lo que a explotar el p3rtico paralelo se refiere. Puesto que la tecnolog3a de los microcomputadores sigue avanzado a un ritmo vertiginoso, es posible que se llegue a normalizar la configuraci3n de los computadores para que el registro de 8 bits sea bidireccional. Si ese es el caso, se recomienda modificar el programa en assembly para emplear tal registro como el de entrada puesto que as3 se lograr3a aumentar la frecuencia de muestreo del sistema.

- Para mejorar a1n m3s la velocidad en la adquisici3n de datos se podr3a emplear otro conversor con un tiempo de conversi3n m3s peque1o. El problema que se tendr3a es que no hay un chip con un tiempo de conversi3n mas corto pero que, al mismo tiempo, incluya la circuiter3a que tiene el AD0804 y que simplifica su acoplamiento a un computador.

- La frecuencia de los laringogramas resultaron estar: para las mujeres, en el orden de los 200 Hz y para los hombres, en el orden de los 250 Hz. La diferencia con respecto a los datos tomados como referencias, pueden deberse a diferencias en la fonética de nuestro lenguaje respecto al inglés y a características anatómicas propias de nuestra raza. No se debe olvidar que por vivir a alturas elevadas, nuestra caja torácica, una de las fuentes principales del flujo de aire que pasa por la laringe, suele ser más grande que la de aquellos que viven en regiones bajas.

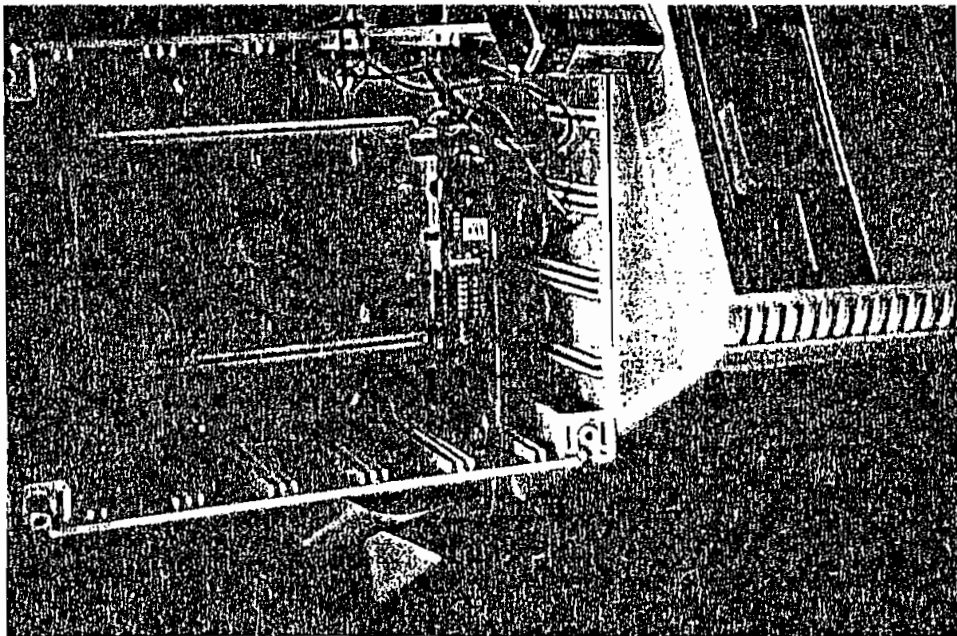
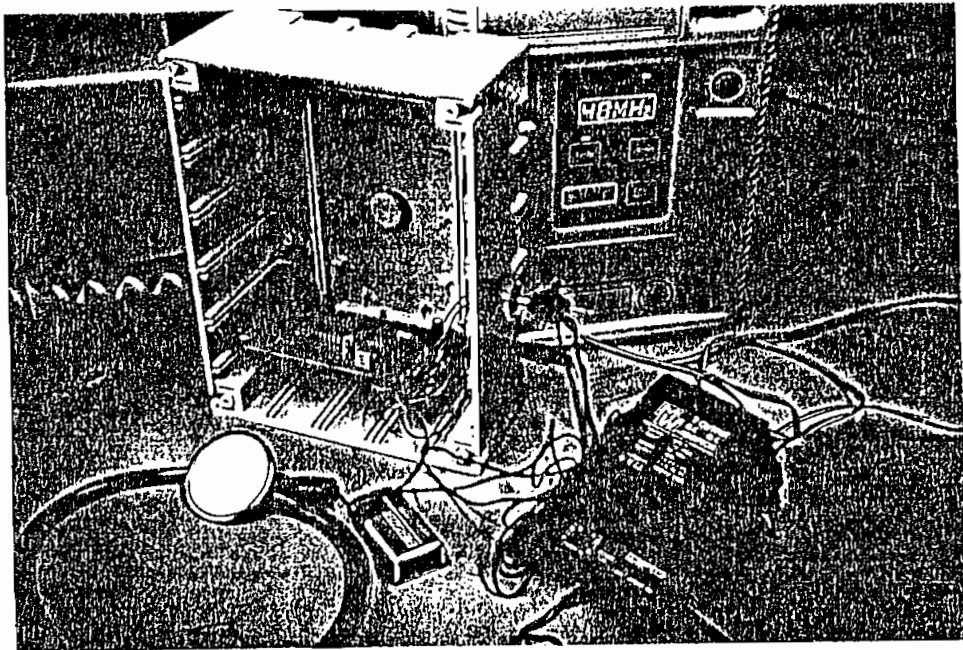
- El sistema aquí propuesto sirve también para detectar laringograms de personas que tienen algún problema en los pliegues vocales. Así lo demuestra uno de los gráficos que se obtuvieron durante las pruebas.

- El programa de apoyo desarrollado en C ofrece un sistema de menús los más "amigable" posible, cubre la necesidades básicas en cuanto a desplegar laringograms grabados, datos de los pacientes, etc. Por lo tanto se puede concluir que cumple con su función de administrar adecuadamente la información.

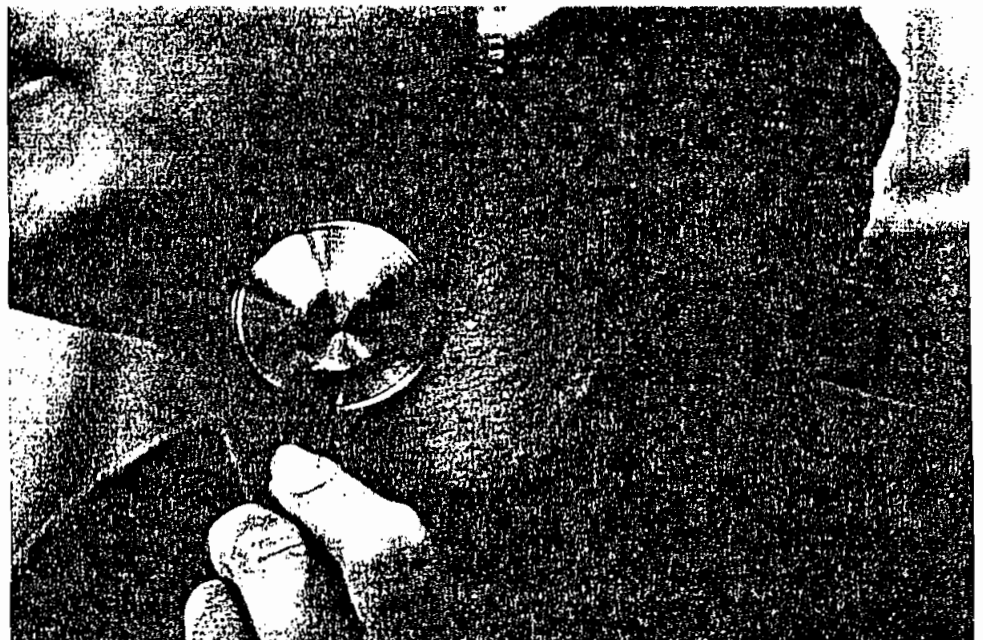
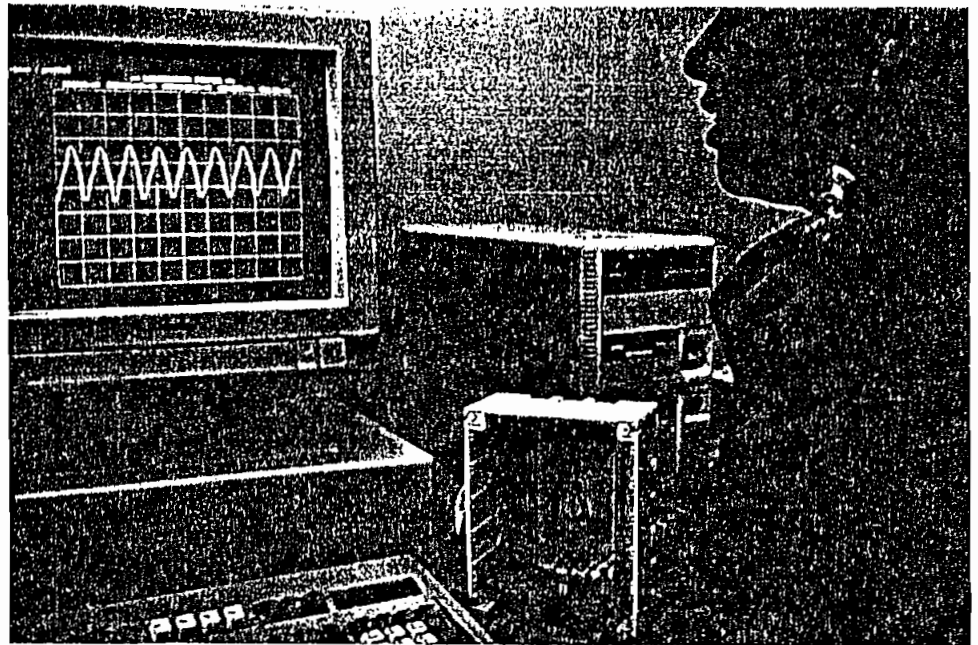
- Como conclusión final puedo indicar que he sentido que la Escuela Politécnica Nacional prepara a sus alumnos para que puedan enfrentar problemas que, ojalá, de alguna manera contribuyan al progreso de la misma y, por ende, de nuestro país.

ANEXOS

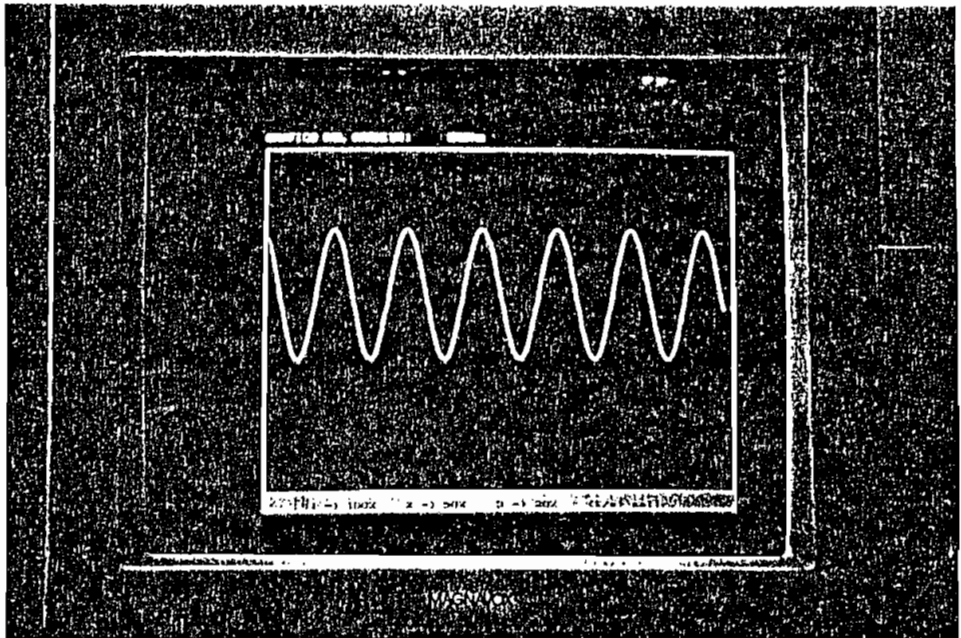
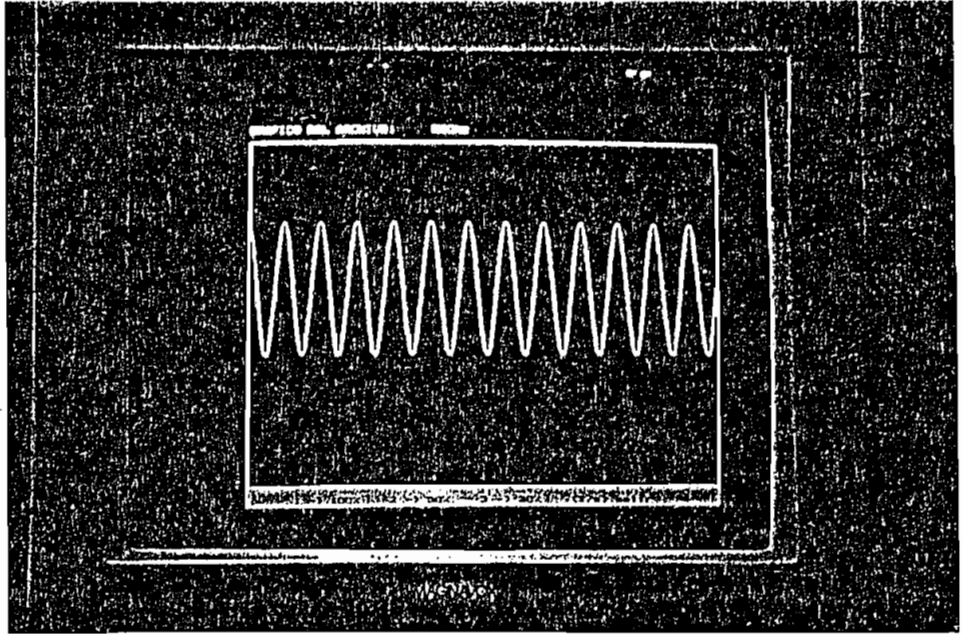
TARJETA DEL SISTEMA

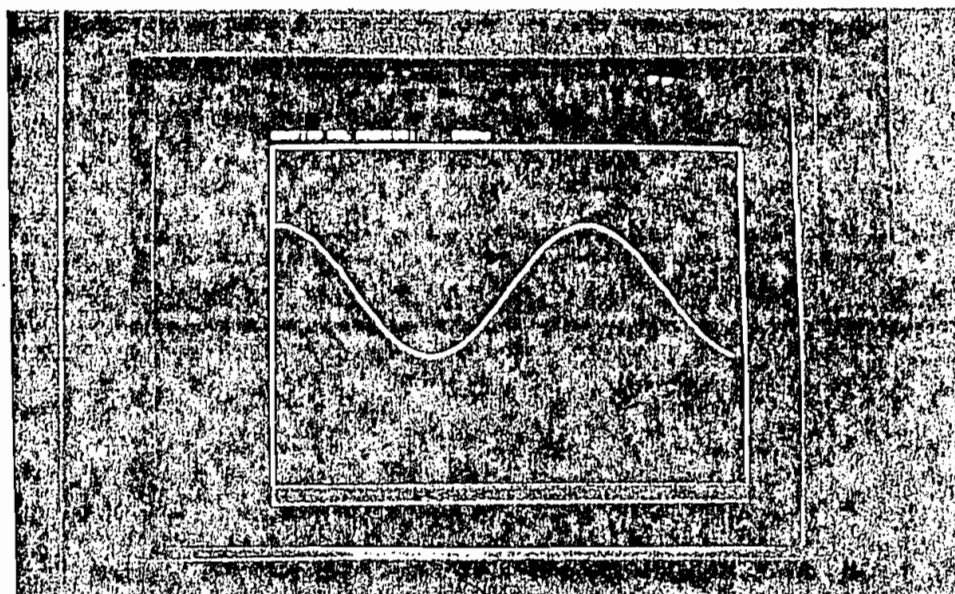
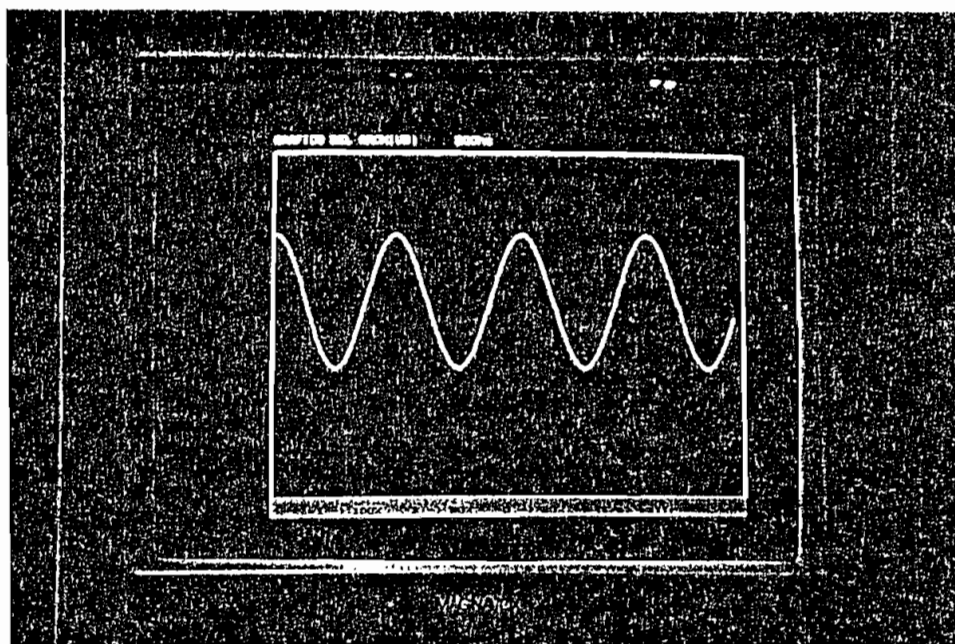
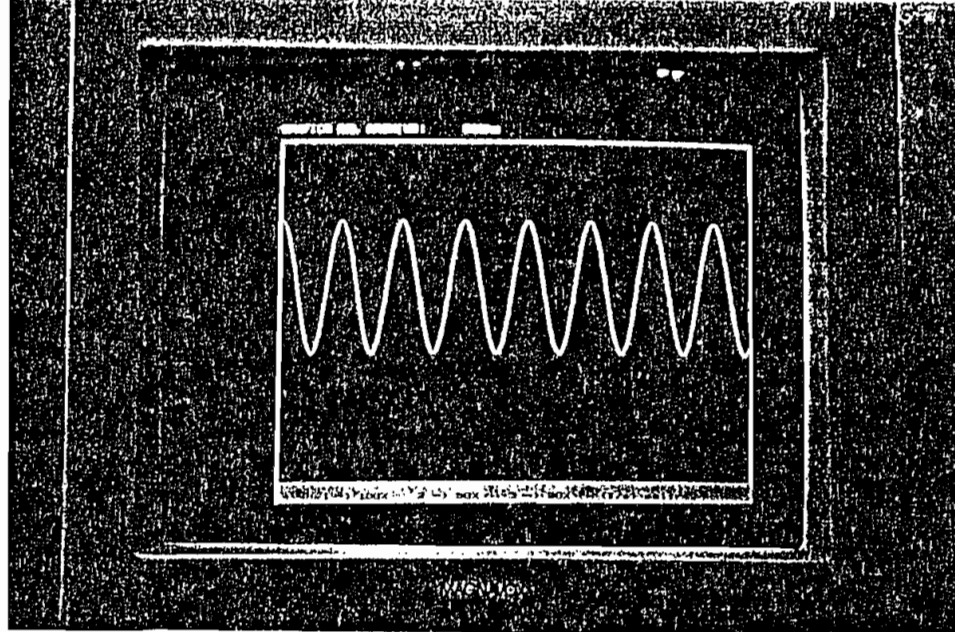


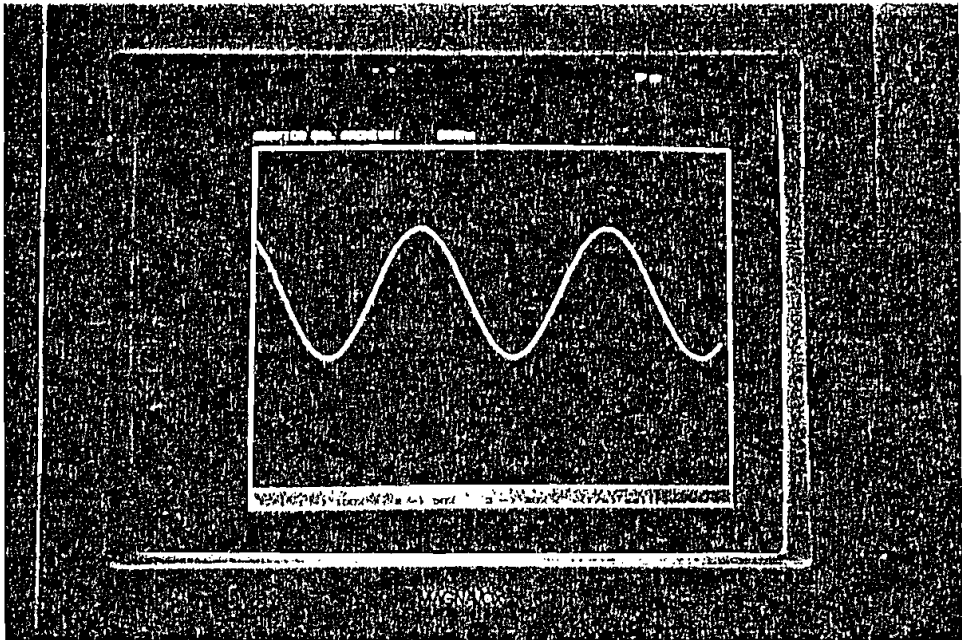
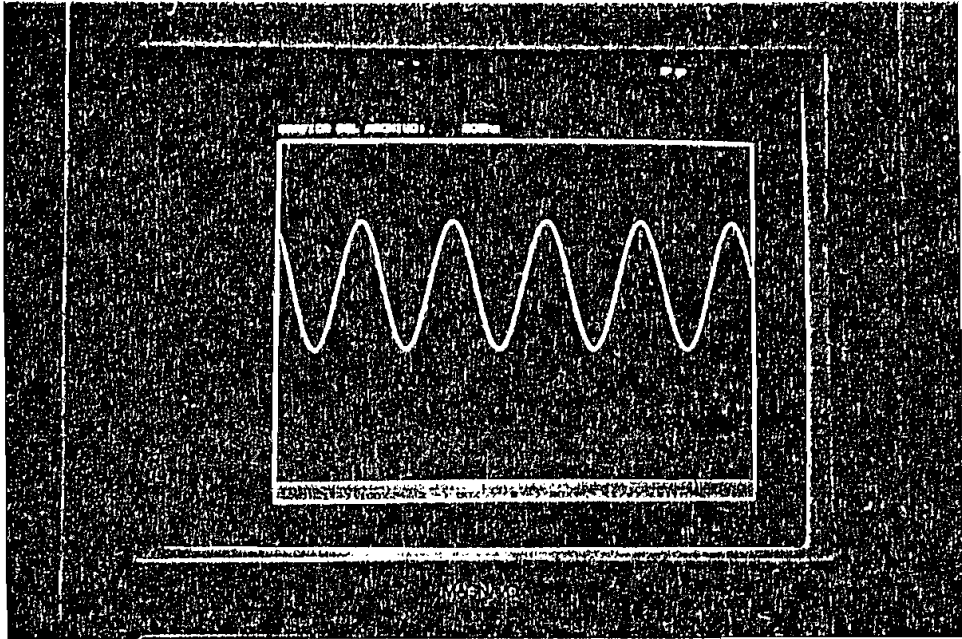
LOCALIZACION DEL TRANSDUCTOR



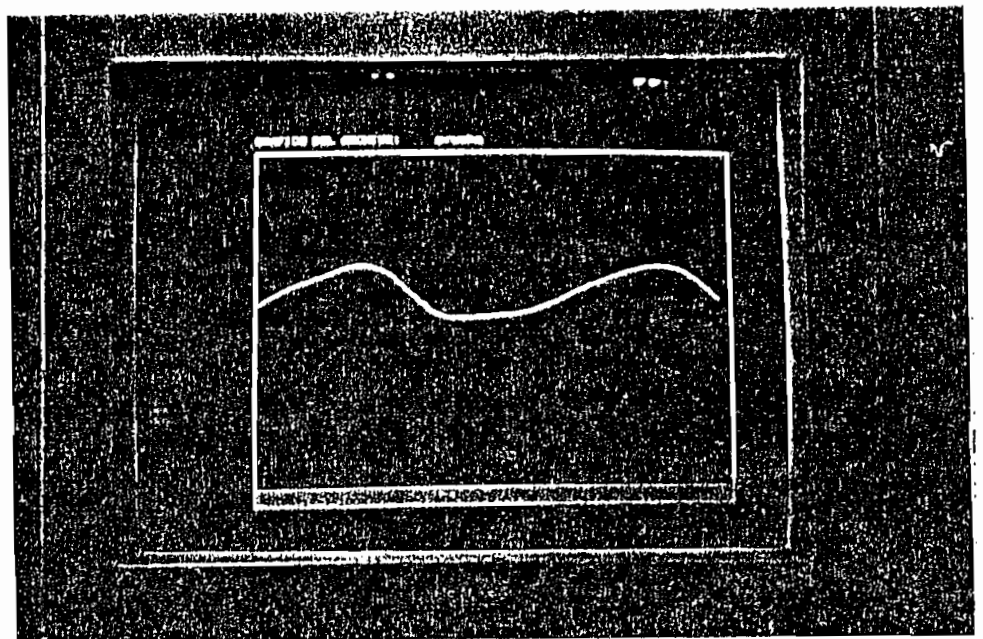
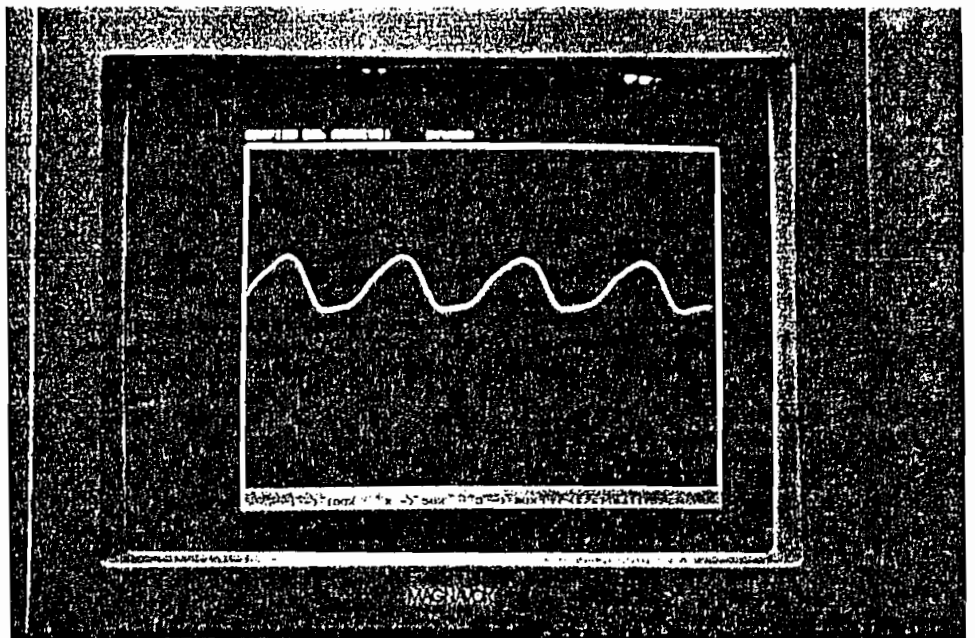
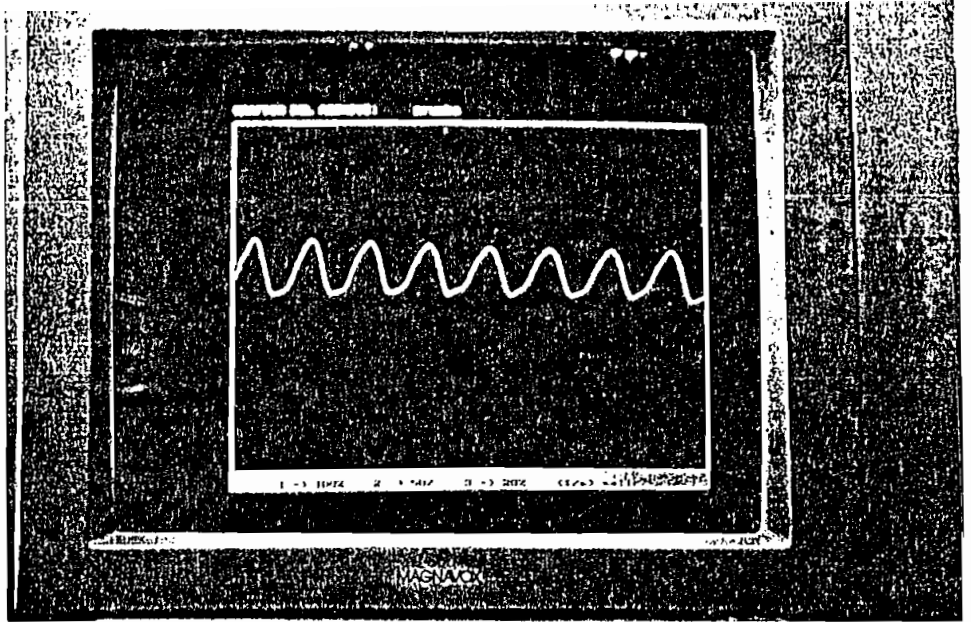
RESPUESTA DE FRECUENCIA DEL SISTEMA







MUESTRAS DE LARINGOGRAMAS



MENUS DEL PROGRAMA

ESCUELA POLITÉCNICA NACIONAL
FACULTAD DE INGENIERÍA ELÉCTRICA
PROGRAMA PARA EL CONTROL DE SARDINEROS

por: ALBA RIVERA
Bata, Julio de 1973.

Presione cualquier tecla para continuar

— SARDINEROS —

- MENÚ PRINCIPAL -

- 1.- Recibirte
- 2.- Adquisición de datos
- 3.- Mantenimiento de datos

0.- Salir

Ingrese su opción: _

LISTADO DE PACIENTES
con nombre

observaciones

001 DAICY BARRERA
002 GALE SILLAS

PRIMER PACIENTE
SEGUNDO PACIENTE

Fin del archivo de datos...

Edición de datos del paciente:

- 1. listado
- 2. editar paciente
- 3. nuevo paciente
- 4. borrar paciente

0. terminar

Ingrese su opción: ..

Edición de paciente

Código paciente...: 001

Fecha.....: 02/07/93

Observaciones.....: muestra de lista

Archivo: del

(S)IMPLICI, (O)RDENAS, (C)HALAR (FINIZO)

*ESPECIFICACIONES TÉCNICAS
DE LOS
COMPONENTES EMPLEADOS*

LM158/LM258/LM358, LM158A/
LM258A/LM358A, LM2904



Operational Amplifiers/Buffers

LM158/LM258/LM358, LM158A/LM258A/LM358A, LM2904 Low Power Dual Operational Amplifiers

General Description

The LM158 series consists of two independent, high gain, internally frequency compensated operational amplifiers which were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low-power supply current drain is independent of the magnitude of the power supply voltage.

Application areas include transducer amplifiers, dc gain blocks and all the conventional op amp circuits which now can be more easily implemented in single power supply systems. For example, the LM158 series can be directly operated off of the standard +5 V_{DC} power supply voltage which is used in digital systems and will easily provide the required interface electronics without requiring the additional ±15 V_{DC} power supplies.

Unique Characteristics

- In the linear mode the input common-mode voltage range includes ground and the output voltage can also swing to ground, even though operated from only a single power supply voltage.
- The unity gain cross frequency is temperature compensated.
- The input bias current is also temperature compensated.

Advantages

- Eliminates need for dual supplies
- Two internally compensated op amps in a single package

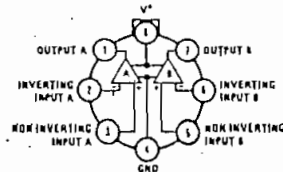
- Allows directly sensing near GND and V_{OUT} also goes to GND
- Compatible with all forms of logic
- Power drain suitable for battery operation
- Pin-out same as LM1558/LM1458 dual operational amplifier

Features

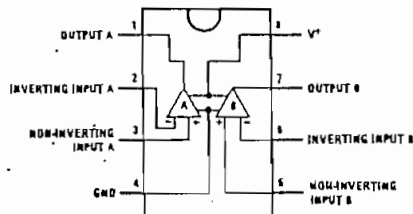
- Internally frequency compensated for unity gain
- Large dc voltage gain 100 dB
- Wide bandwidth (unity gain) 1 MHz (temperature compensated)
- Wide power supply range:
Single supply 3 V_{DC} to 30 V_{DC}
or dual supplies ±1.5 V_{DC} to ±15 V_{DC}
- Very low supply current drain (500μA) – essentially independent of supply voltage (1 mW/op amp at +5 V_{DC})
- Low input biasing current 45 nA_{DC} (temperature compensated)
- Low input offset voltage 2 mV_{DC} and offset current 5 nA_{DC}
- Input common-mode voltage range includes ground
- Differential input voltage range equal to the power supply voltage
- Large output voltage swing 0 V_{DC} to V₊ – 1.5 V_{DC}

Connection Diagrams (Top Views) Schematic Diagram (Each Amplifier)

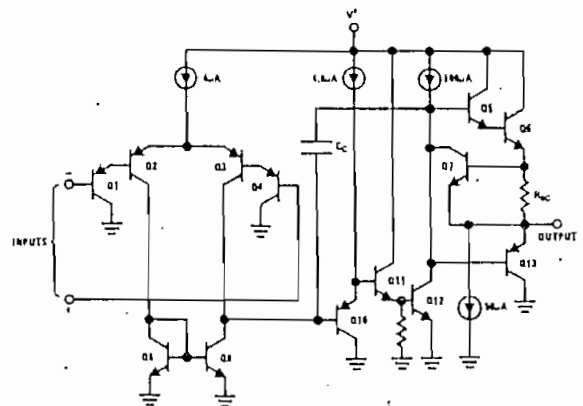
Metal Can Package



Order Number LM158AH, LM158H, LM258AH,
LM258H, LM358AH or LM358H
See NS Package H08C



Order Number LM358AN, LM358N or LM2904N
See NS Package N08B



Absolute Maximum Ratings

	LM158/LM258/LM358 LM158A/LM258A/LM358A	LM2904
Supply Voltage, V^+	32 VDC or ± 16 VDC	26 VDC or ± 13 VDC
Differential Input Voltage	32 VDC	26 VDC
Input Voltage	-0.3 VDC to +32 VDC	-0.3 VDC to +26 VDC
Power Dissipation (Note 1)	570 mW	.570 mW
Molded DIP (LM358N)	830 mW	
Metal Can (LM158H/LM258H/LM358H)	Continuous	Continuous
Output Short-Circuit to GND (One Amplifier) (Note 2)	50 mA	50 mA
$V^+ \leq 15$ VDC and $T_A = 25^\circ\text{C}$		
Input Current ($V_{IN} < -0.3$ VDC) (Note 3)		
Operating Temperature Range	0°C to +70°C	-40°C to +85°C
LM358	-25°C to +85°C	
LM258	-55°C to +125°C	
LM158	-65°C to +150°C	
Storage Temperature Range	-65°C to +150°C	
Lead Temperature (Soldering, 10 seconds)	300°C	300°C

Electrical Characteristics ($V^+ = +5.0$ VDC, Note 4)

PARAMETER	LM158A		LM258A		LM358A		LM158/LM258		LM258		LM2904		UNITS	
	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
Input Offset Voltage	TA = 25°C, (Note 5)													
Input Bias Current	1	2	3	1	3	2	3	45	100	45	150	45	250	μA
Input Offset Current	20	50	80	40	80	45	100	45	150	45	150	45	250	nADC
Input Common-Mode Voltage Range	2	10	15	2	15	5	30	± 3	± 30	± 5	± 50	± 5	± 50	nADC
Supply Current	0	$V^+ - 1.5$	0	$V^+ - 1.5$	0	$V^+ - 1.5$	0	$V^+ - 1.5$	0	$V^+ - 1.5$	0	$V^+ - 1.5$	0	VDC
Large Signal Voltage Gain	1	2	2	1	2	1	2	1	2	1	2	1	2	mADC
Common-Mode Rejection Ratio	0.7	1.2	0.7	1.2	0.7	1.2	0.7	1.2	0.7	1.2	0.7	1.2	0.7	mADC
Output Voltage Swing	50	100	100	50	100	25	100	50	100	25	100	100	100	V/mV
Power Supply Rejection Ratio	0	$V^+ - 1.5$	0	$V^+ - 1.5$	0	$V^+ - 1.5$	0	$V^+ - 1.5$	0	$V^+ - 1.5$	0	$V^+ - 1.5$	0	VDC
Amplifier-to-Amplifier Coupling	70	85	85	70	85	65	85	70	85	65	85	70	70	dB
Output Current Source	65	100	100	65	100	65	100	65	100	65	100	100	100	dB
	-120	-120	-120	-120	-120	-120	-120	-120	-120	-120	-120	-120	-120	dB
	20	40	40	20	40	20	40	20	40	20	40	20	20	mADC

LM158/LM258/LM358, LM158A/
LM258A/LM358A, LM2904



LM158/LM258/LM358, LM158A/
LM258A/LM358A, LM2904

Electrical Characteristics (Continued) ($V^+ = +5.0 V_{DC}$, Note 4)

PARAMETER	CONDITIONS			LM158A		LM258A		LM358A		LM158/LM258		LM358		LM2904		UNITS
	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Sink	$V_{IN}^- = +1 V_{DC}$, $V_{IN}^+ = 0 V_{DC}$															
	$V^+ = 15 V_{DC}$, $T_A = +25^\circ C$															
	$V_{IN}^- = +1 V_{DC}$, $V_{IN}^+ = 0 V_{DC}$															
Short Circuit to Ground	$T_A = +25^\circ C$, $V_O = +200 mV_{DC}$															
	$T_A = +25^\circ C$, (Note 2)															
Input Offset Voltage	(Note 5)															
Input Offset Voltage Drift	$R_S = 0 \Omega$															
Input Offset Current	$ I_{IN(+)} = I_{IN(-)} $															
Input Offset Current Drift	$V^+ = 30 V_{DC}$, (Note 7)															
Input Bias Current	$ I_{IN(+)} $ or $ I_{IN(-)} $															
Input Common-Mode Voltage Range	$V^+ = 30 V_{DC}$, (Note 7)															
Large Signal Voltage Gain	$V^+ = +15 V_{DC}$ (For Large V_O Swing) $R_L \geq 2 k\Omega$															
Output Voltage Swing	$V^+ = +30 V_{DC}$, $R_L = 2 k\Omega$															
	$R_L \geq 10 k\Omega$															
	$V^+ = 5 V_{DC}$, $R_L \leq 10 k\Omega$															
Output Current	$V_{IN}^+ = +1 V_{DC}$, $V_{IN}^- = 0 V_{DC}$, $V^+ = 15 V_{DC}$															
	$V_{IN}^- = +1 V_{DC}$, $V_{IN}^+ = 0 V_{DC}$, $V^+ = 15 V_{DC}$															
Differential Input Voltage	(Note 7)															
	$V^+ = 15 V_{DC}$															

Note 1: For operating at high temperatures, the LM358/LM358A, LM2904 must be derated based on a $+125^\circ C$ maximum junction temperature and a thermal resistance of $175^\circ C/W$ which applies for the device soldered in a printed circuit board, operating in a still air ambient. The LM258/LM258A and LM158/LM158A can be derated based on a $+150^\circ C$ maximum junction temperature. The dissipation is the total of all four amplifiers—use external resistors, where possible, to allow the amplifier to saturate or to reduce the power which is dissipated in the integrated circuit.

Note 2: Short circuits from the output to V^+ can cause excessive heating and eventual destruction. The maximum output current is approximately 40 mA independent of the magnitude of V^+ . At values of supply voltage in excess of $+15 V_{DC}$, continuous short-circuits can exceed the power dissipation ratings and cause eventual destruction. Destructive dissipation can result from simultaneous shorts on all amplifiers.

Note 3: This input current will only exist when the voltage at any of the input leads is driven negative. It is due to the collector-base junction of the input PNP transistors becoming forward biased and thereby acting as input diode clamps. In addition to this diode action, there is also lateral NPN parasitic transistor action on the IC chip. This transistor action can cause the output voltages of the op amps to go to the V^+ voltage level (or to ground for a large overdrive) for the time duration that an input is driven negative. This is not destructive and normal output states will re-establish when the input voltage, which was negative, again returns to a value greater than $-0.3 V_{DC}$ (at $25^\circ C$).

Note 4: These specifications apply for $V^+ = +5 V_{DC}$ and $-65^\circ C \leq T_A \leq +125^\circ C$, unless otherwise stated. With the LM258/LM258A, all temperature specifications are limited to $-25^\circ C \leq T_A \leq +85^\circ C$, the LM358/LM358A temperature specifications are limited to $0^\circ C \leq T_A \leq +70^\circ C$, and the LM2904 specifications are limited to $-40^\circ C \leq T_A \leq +85^\circ C$.

Note 5: $V_O \approx 1.4 V_{DC}$, $R_S = 0 \Omega$ with V^+ from $5 V_{DC}$ to $30 V_{DC}$ and over the full input common-mode range ($0 V_{DC}$ to $V^+ - 1.5 V_{DC}$).

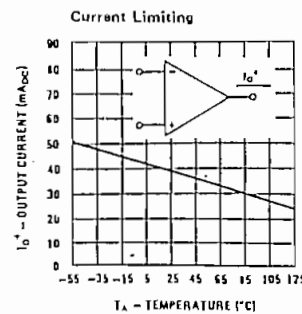
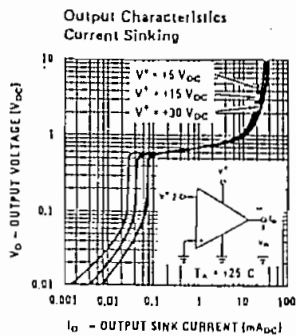
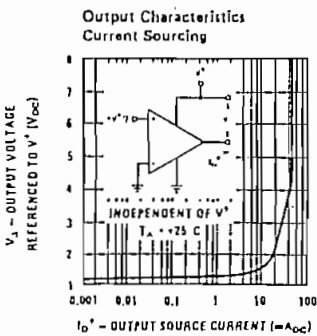
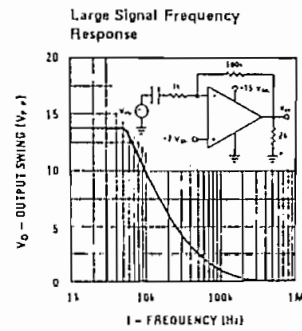
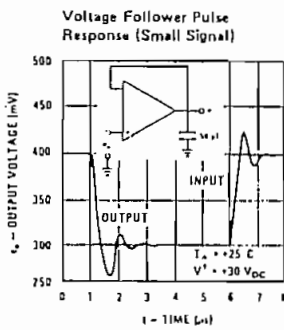
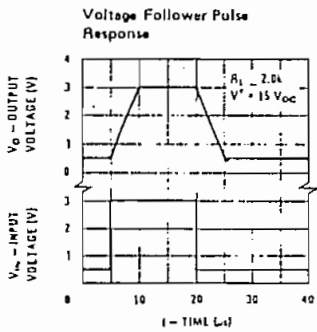
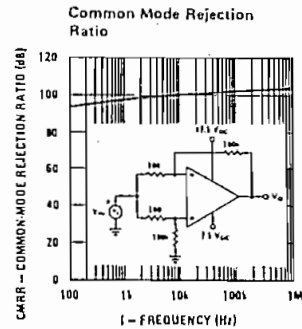
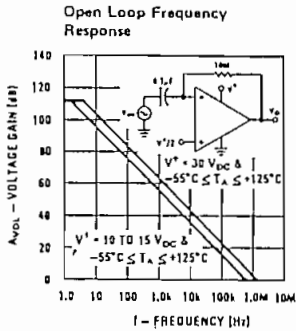
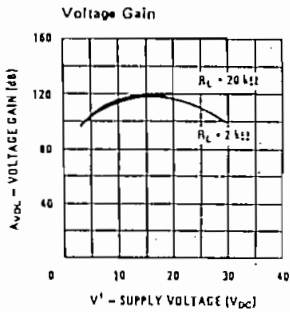
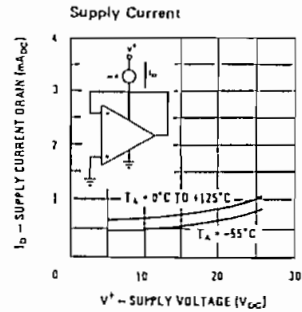
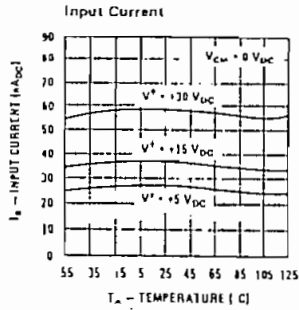
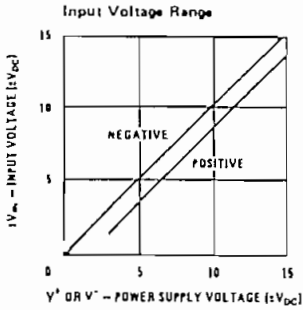
Note 6: The direction of the input current is out of the IC due to the PNP input stage. This current is essentially constant, independent of the state of the output so no loading change exists on the input lines.

Note 7: The input common-mode voltage of either input signal voltage should not be allowed to go negative by more than $0.3 V$ (at $25^\circ C$). The upper end of the common-mode voltage range is $V^+ - 1.5 V$, but either of both inputs can go to $+32 V_{DC}$ without damage (at $25^\circ C$ for LM2904).

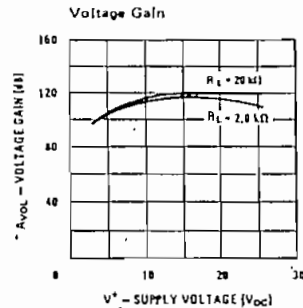
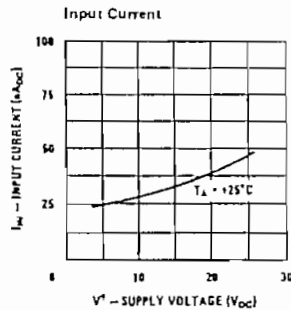
Typical Performance Characteristics

LM158/LM258/LM358, LM158A/
LM258A/LM358A, LM2904

3



Typical Performance Characteristics (Continued) (LM2902 only)



Application Hints

The LM158 series are op amps which operate with only a single power supply voltage, have true-differential inputs, and remain in the linear mode with an input common-mode voltage of 0 V_{DC} . These amplifiers operate over a wide range of power supply voltage with little change in performance characteristics. At 25°C amplifier operation is possible down to a minimum supply voltage of 2.3 V_{DC} .

Precautions should be taken to insure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a test socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Large differential input voltages can be easily accommodated and, as input differential voltage protection diodes are not needed, no large input currents result from large differential input voltages. The differential input voltage may be larger than V^+ without damaging the device. Protection should be provided to prevent the input voltages from going negative more than $-0.3 V_{DC}$ (at 25°C). An input clamp diode with a resistor to the IC input terminal can be used.

To reduce the power supply current drain, the amplifiers have a class A output stage for small signal levels which converts to class B in a large signal mode. This allows the amplifiers to both source and sink large output currents. Therefore both NPN and PNP external current boost transistors can be used to extend the power capability of the basic amplifiers. The output voltage needs to raise approximately 1 diode drop above ground to bias the on-chip vertical PNP transistor for output current sinking applications.

For ac applications, where the load is capacitively coupled to the output of the amplifier, a resistor should be used, from the output of the amplifier to ground to increase the class A bias current and prevent crossover

distortion. Where the load is directly coupled, as in dc applications, there is no crossover distortion.

Capacitive loads which are applied directly to the output of the amplifier reduce the loop stability margin. Values of 50 pF can be accommodated using the worst-case non-inverting unity gain connection. Large closed loop gains or resistive isolation should be used if larger load capacitance must be driven by the amplifier.

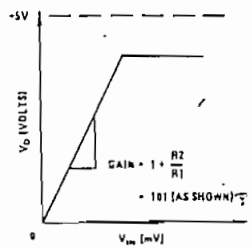
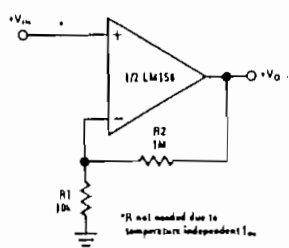
The bias network of the LM158 establishes a drain current which is independent of the magnitude of the power supply voltage over the range of from 3 V_{DC} to 30 V_{DC} .

Output short circuits either to ground or to the positive power supply should be of short time duration. Units can be destroyed, not as a result of the short circuit current causing metal fusing, but rather due to the large increase in IC chip dissipation which will cause eventual failure due to excessive junction temperatures. Putting direct short-circuits on more than one amplifier at a time will increase the total IC power dissipation to destructive levels, if not properly protected with external dissipation limiting resistors in series with the output leads of the amplifiers. The larger value of output source current which is available at 25°C provides a larger output current capability at elevated temperatures (see typical performance characteristics) than a standard IC op amp.

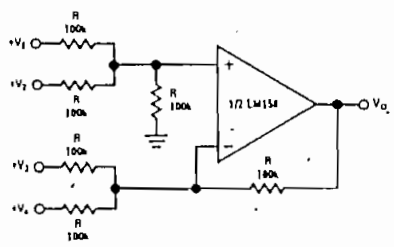
The circuits presented in the section on typical applications emphasize operation on only a single power supply voltage. If complementary power supplies are available, all of the standard op amp circuits can be used. In general, introducing a pseudo-ground (a bias voltage reference of $V^+/2$) will allow operation above and below this value in single power supply systems. Many application circuits are shown which take advantage of the wide input common-mode voltage range which includes ground. In most cases, input biasing is not required and input voltages which range to ground can easily be accommodated.

Typical Single-Supply Applications ($V^+ = 5.0 V_{DC}$)

Non-Inverting DC Gain (0V Input = 0V Output)

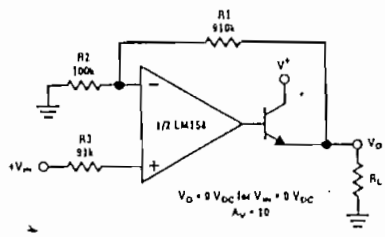


DC Summing Amplifier
($V_{IN}'S \geq 0 V_{DC}$ AND $V_O \geq 0 V_{DC}$)

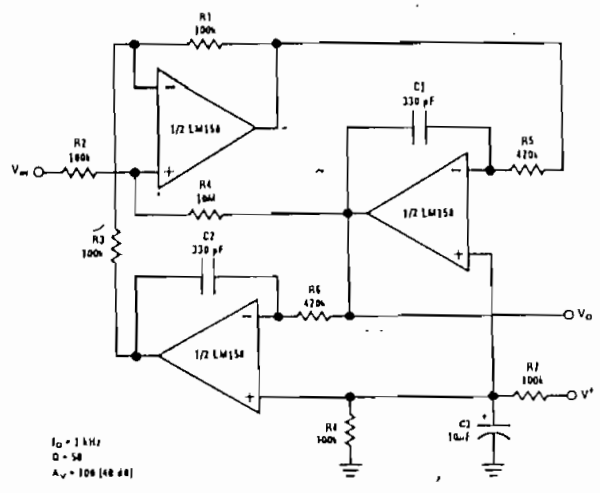


Where: $V_O = V_1 + V_2 + V_3 + V_4$
 $(V_1 + V_2) \geq (V_3 + V_4)$ to keep $V_O > 0 V_{DC}$

Power Amplifier

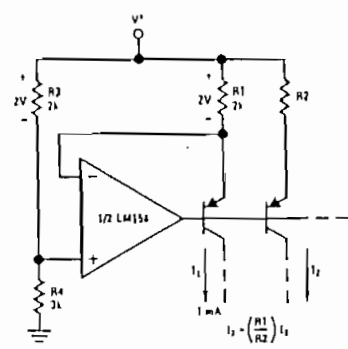


"BI-OUAD" RC Active Bandpass Filter



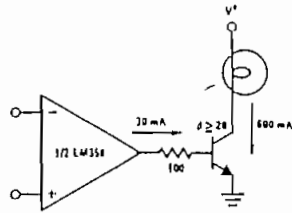
$f_0 = 1.1 \text{ kHz}$
 $Q = 54$
 $A_v = 108 \text{ (dB @ } f_0)$

Fixed Current Sources

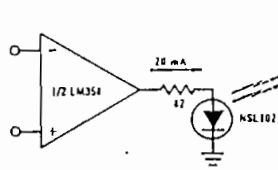


Typical Single-Supply Applications (Continued) ($V^+ = 5.0 V_{DC}$)

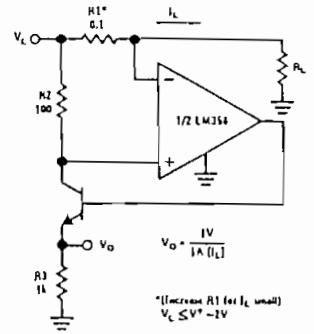
Lamp Driver



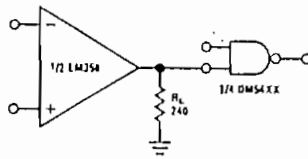
LED Driver



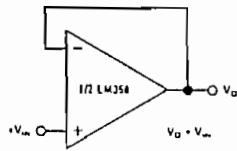
Current Monitor



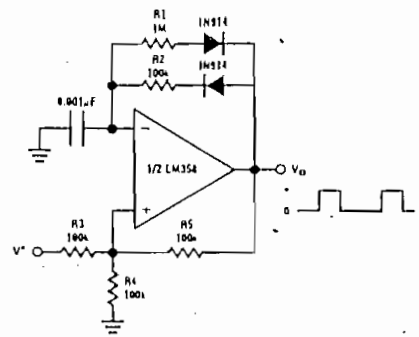
Driving TTL



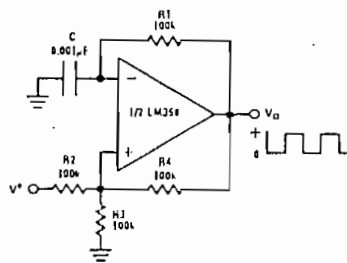
Voltage Follower



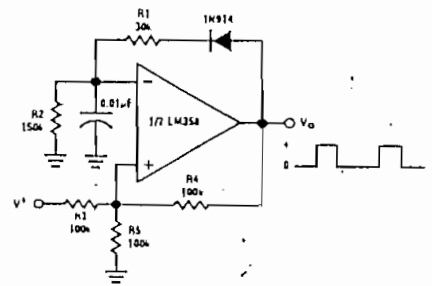
Pulse Generator



Squarewave Oscillator

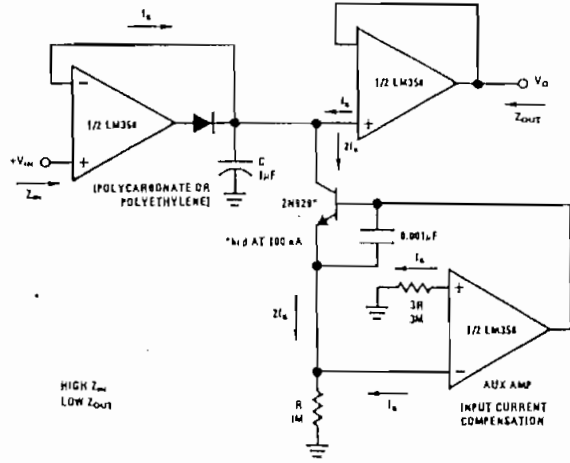


Pulse Generator

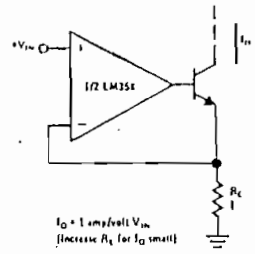


Typical Single-Supply Applications (Continued) ($V^+ = 5.0 V_{DC}$)

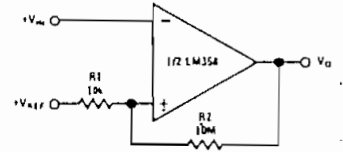
Low Drift Peak Detector



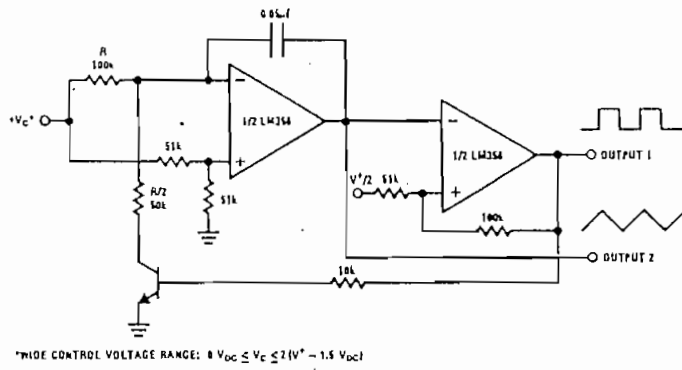
High Compliance Current Sink



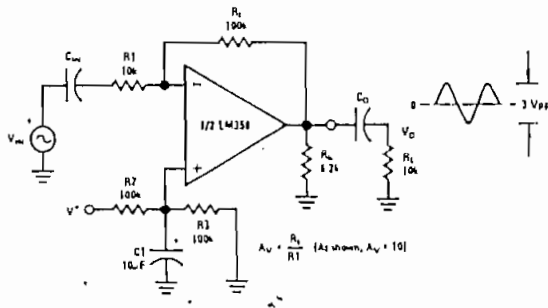
Comparator with Hysteresis



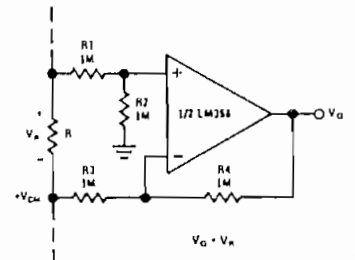
Voltage Controlled Oscillator (VCO)



AC Coupled Inverting Amplifier

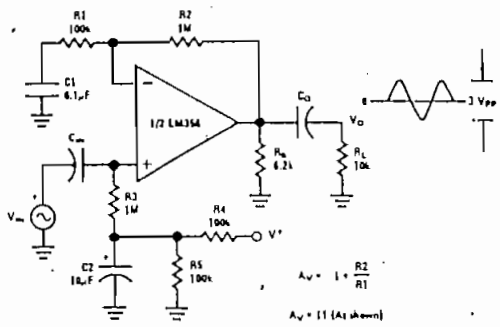


Ground Referencing A Differential Input Signal

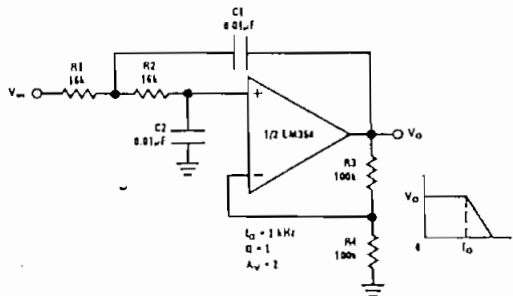


Typical Single-Supply Applications (Continued) ($V^+ = 5.0 V_{DC}$)

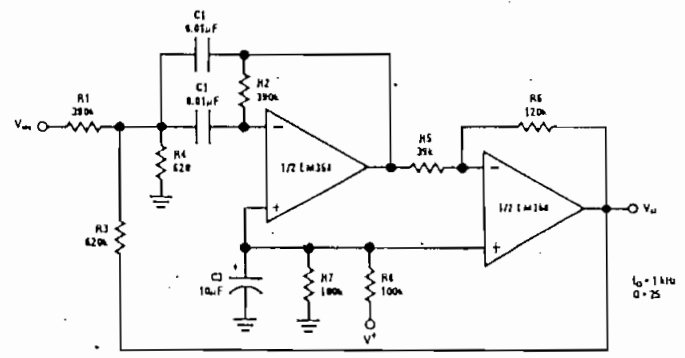
AC Coupled Non-Inverting Amplifier



DC Coupled Low-Pass RC Active Filter



Bandpass Active Filter



High Input Z, DC Differential Amplifier

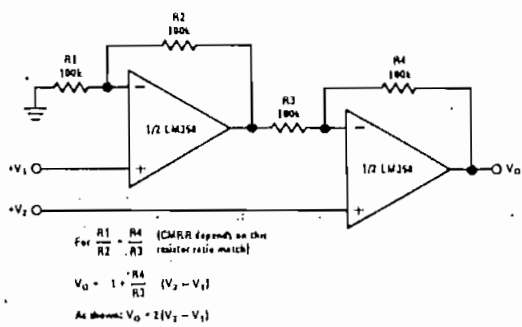
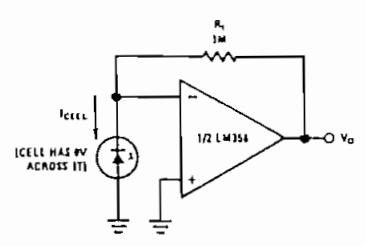
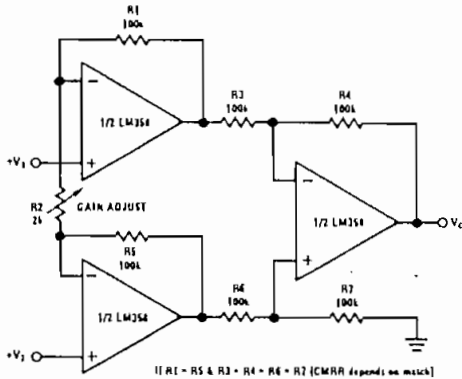


Photo Voltaic-Cell Amplifier



Typical Single-Supply Applications (Continued) ($V^+ = 5.0 V_{DC}$)

High Input Z Adjustable-Gain DC Instrumentation Amplifier

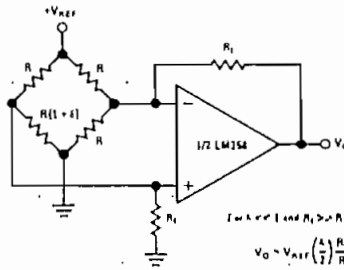


If $R1 = R5$ & $R3 = R4 = R6 = R7$ (CMRR depends on match)

$$V_0 = 1 + \frac{2R1}{R2} (V_2 - V_1)$$

As shown $V_0 = 101 (V_2 - V_1)$

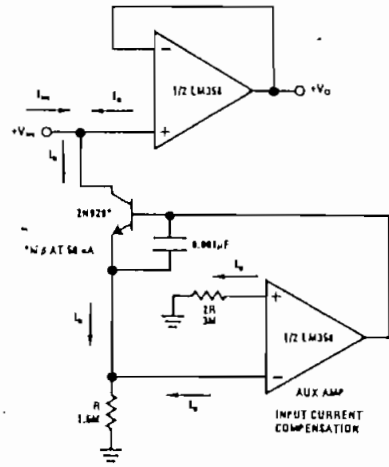
Bridge Current Amplifier



(with $R1 \gg R2$ and $R1 \gg R$)

$$V_0 = V_{REF} \left(\frac{R_2}{R} \right)$$

Using Symmetrical Amplifiers to Reduce Input Current (General Concept)





ADC0801, ADC0802, ADC0803, ADC0804, ADC0805 8-Bit μ P Compatible A/D Converters

General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters which use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus, and TRI-STATE[®] output latches directly drive the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

A new differential analog voltage input allows increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM1336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- Operates ratiometrically or with 5 VDC, 2.5 VDC or analog span adjusted voltage reference

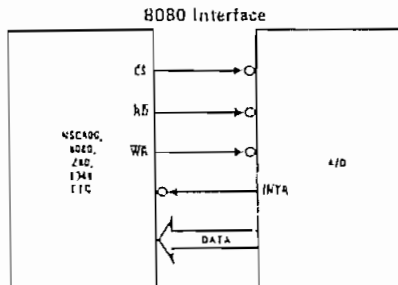
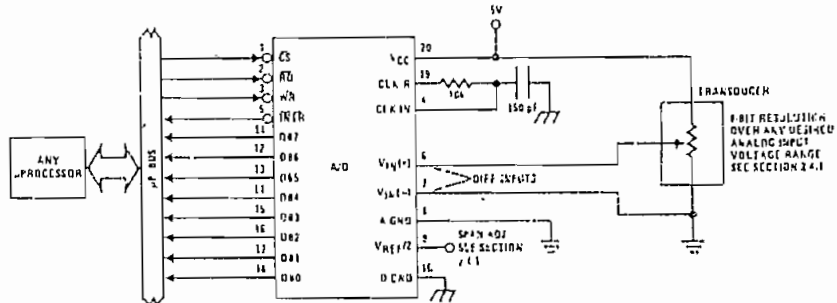
Features

- Compatible with 8080 μ P derivatives—no interfacing logic needed—access time—135 ns
- Easy interface to all microprocessors, or operates "stand alone"

Key Specifications

- Resolution 8 bits
- Total error $\pm 1/4$ LSB, $\pm 1/2$ LSB and ± 1 LSB
- Conversion time 100 μ s

Typical Applications



8-BIT SPECIFICATION INCLUDES FULL-SCALE, ZERO ERROR, AND 100% LINEARITY

PART NUMBER	FUL. SCALE ADJUSTED	V _{REF} = 2.50 VDC (NO ADJUSTMENT)	V _{REF} = 1.0 VDC (NO ADJUSTMENT)
ADC0801	± 1 LSB	$\pm 1/2$ LSB	
ADC0802	$\pm 1/2$ LSB	± 1 LSB	
ADC0803			± 1 LSB
ADC0804			
ADC0805			± 1 LSB

TRI-STATE[®] is a registered trademark of National Semiconductor Corp.

Absolute Maximum Ratings (Notes 1 and 2)

Supply Voltage (V _{CC}) (Note 3)	6.5V
Voltage	
Logic Control Inputs	-0.3V to +18V
At Other Input and Outputs	-0.3V to (V _{CC} + 0.3V)
Storage Temperature Range	-65°C to +150°C
Package Dissipation at T _A = 25°C	875 mW
Lead Temperature (Soldering, 10 seconds)	300°C

Operating Ratings (Notes 1 and 2)

Temperature Range	T _{MIN} ≤ T _A ≤ T _{MAX}
ADC0801/02LD	-55°C ≤ T _A ≤ +125°C
ADC0801/02/03/04LCD	-40°C ≤ T _A ≤ +85°C
ADC0801/02/03/05LCN	-40°C ≤ T _A ≤ +85°C
ADC0804LCN	0°C ≤ T _A ≤ +70°C
Range of V _{CC}	4.5 V _{DC} to 6.3 V _{DC}

Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC}, T_{MIN} ≤ T_A ≤ T_{MAX} and f_{CLK} = 640 kHz unless otherwise specified.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
ADC0801:					
Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±1/4	LSB
ADC0802:					
Total Unadjusted Error (Note 8)	V _{REF/2} = 2.500 V _{DC}			±1/2	LSB
ADC0803:					
Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±1/2	LSB
ADC0804:					
Total Unadjusted Error (Note 8)	V _{REF/2} = 2.500 V _{DC}			±1	LSB
ADC0805:					
Total Unadjusted Error (Note 8)	V _{REF/2} - No Connection			±1	LSB
V _{REF/2} Input Resistance (Pin 9)	ADC0801/02/03/05 ADC0804 (Note 9)	2.5 1.0	8.0 1.3		kΩ kΩ
Analog Input Voltage Range	(Note 4) V(+) or V(-) Gnd-0.05			V _{CC} +0.05	V _{DC}
DC Common-Mode Error	Over Analog Input Voltage Range		±1/16	±1/8	LSB
Power Supply Sensitivity	V _{CC} = 5 V _{DC} ±10% Over Allowed V _{IN} (+) and V _{IN} (-) Voltage Range (Note 4)		±1/16	±1/8	LSB

AC Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC} and T_A = 25°C unless otherwise specified.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
T _c	Conversion Time (Note 5, 6)	103		114	μs
T _c	Conversion Time (Note 5, 6)	66		73	1/f _{CLK}
f _{CLK}	Clock Frequency (Note 5)	100	640	1460	kHz
	Clock Duty Cycle (Note 5)	40		60	%
CR	Conversion Rate In Free-Running Mode			8770	conv/s
W _{I(WR)IL}	Width of \overline{WR} Input (Start Pulse Width)	100			ns
t _{ACC}	Access Time (Delay from Falling Edge of \overline{RD} to Output Data Valid)		135	200	ns
t _{1H} , t _{1H}	TRI-STATE Control (Delay from Rising Edge of \overline{RD} to Hi-Z State)		125	200	ns
t _{WI} , t _{RI}	Delay from Falling Edge of \overline{WR} or \overline{RD} to Reset of \overline{INTR}		300	450	ns
C _{IN}	Input Capacitance of Logic Control Inputs		5	7.5	pF
C _{OUT}	TRI-STATE Output Capacitance (Data Buffers)		5	7.5	pF

Electrical Characteristics

The following specifications apply for $V_{CC} = 5\text{ VDC}$ and $T_{MIN} \leq T_A \leq T_{MAX}$, unless otherwise specified.

PARAMETER		CONDITIONS*	MIN	TYP	MAX	UNITS
CONTROL INPUTS [Note. CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately.]						
V _{IN} (1)	Logical "1" Input Voltage (Except Pin 4 CLK IN)	V _{CC} = 5.25 VDC	2.0		15	V _{DC}
V _{IN} (0)	Logical "0" Input Voltage (Except Pin 4 CLK IN)	V _{CC} = 4.75 VDC			0.8	V _{DC}
I _{IN} (1)	Logical "1" Input Current (All Inputs)	V _{IN} = 5 VDC		0.005	1	μA _{DC}
I _{IN} (0)	Logical "0" Input Current (All Inputs)	V _{IN} = 0 VDC	-1	-0.005		μA _{DC}
CLOCK IN AND CLOCK R						
V _{T+}	CLK IN (Pin 4) Positive Going Threshold Voltage		2.7	3.1	3.5	V _{DC}
V _{T-}	CLK IN (Pin 4) Negative Going Threshold Voltage		1.5	1.8	2.1	V _{DC}
V _H	CLK IN (Pin 4) Hysteresis (V _{T+}) - (V _{T-})		0.6	1.3	2.0	V _{DC}
V _{OUT} (0)	Logical "0" CLK R Output Voltage	I _O = 360 μA V _{CC} = 4.75 VDC			0.4	V _{DC}
V _{OUT} (1)	Logical "1" CLK R Output Voltage	I _O = -360 μA V _{CC} = 4.75 VDC	2.4			V _{DC}
DATA OUTPUTS AND INTR						
V _{OUT} (0)	Logical "0" Output Voltage Data Outputs INTR Output	I _{OUT} = 1.6 mA, V _{CC} = 4.75 VDC I _{OUT} = 1.0 mA, V _{CC} = 4.75 VDC			0.4 0.4	V _{DC} V _{DC}
V _{OUT} (1)	Logical "1" Output Voltage	I _O = -360 μA, V _{CC} = 4.75 VDC	2.4			V _{DC}
V _{OUT} (1)	Logical "1" Output Voltage	I _O = -10 μA, V _{CC} = 4.75 VDC	4.5			V _{DC}
I _{OUT}	TRI-STATE Disabled Output Leakage (All Data Buffers)	V _{OUT} = 0 VDC V _{OUT} = 5 VDC	-3		3	μA _{DC} μA _{DC}
I _{SOURCE}		V _{OUT} Short to Gnd, T _A = 25°C	4.5	6		mA _{DC}
I _{SINK}		V _{OUT} Short to V _{CC} , T _A = 25°C	9.0	16		mA _{DC}
POWER SUPPLY						
I _{CC}	Supply Current (Includes Ladder Current)	f _{CLK} = 640 kHz, V _{REF/2} = NC, T _A = 25°C and CS = "1" ADC0801/02/03/05 ADC0804 (Note 9)		1.1 1.9	1.8 2.5	mA mA

Note 1: Absolute maximum ratings are those values beyond which the life of the device may be impaired.

Note 2: All voltages are measured with respect to Gnd, unless otherwise specified. The separate A Gnd point should always be wired to the D Gnd.

Note 3: A zener diode exists, internally, from V_{CC} to Gnd and has a typical breakdown voltage of 7 V_{DC}.

Note 4: For V_{IN(-)} ≥ V_{IN(+)} the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. Be careful during testing at low V_{CC} levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct—especially at elevated temperatures and cause errors for analog inputs near full-scale. The spec allows 50 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of 4.950 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Accuracy is guaranteed at f_{CLK} = 640 kHz. At higher clock frequencies accuracy can degrade. For lower clock frequencies, the duty cycle limits can be extended so long as the minimum clock high time interval or minimum clock low time interval is no less than 275 ns.

Note 6: With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched, see Figure 2 and section 2.0.

Note 7: The CS input is assumed to bracket the WR strobe input and therefore timing is dependent on the WR pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the WR pulse (see timing diagrams).

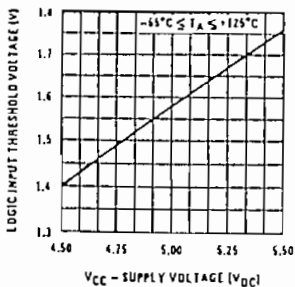
Note 8: None of these A/Ds requires a zero adjust (see section 2.5.1). To obtain zero code at other analog input voltages see section 2.5 or Figure 5.

Note 9: For ADC0804 LCD typical value of V_{REF/2} input resistance is 8 kΩ and of I_{CC} is 1.1 mA.

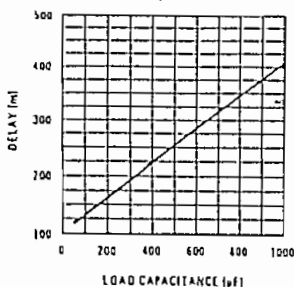
2,5 mA

Typical Performance Characteristics

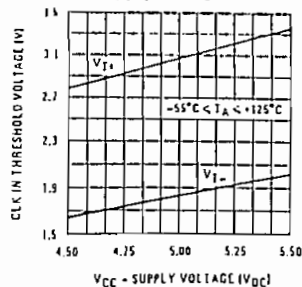
Logic Input Threshold Voltage vs. Supply Voltage



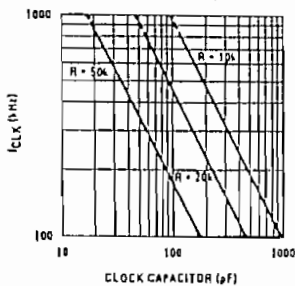
Delay From Falling Edge of RD to Output Data Valid vs. Load Capacitance



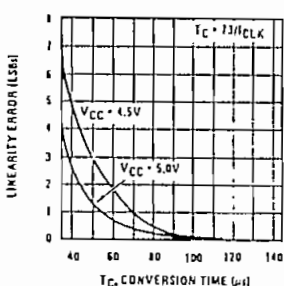
CLK IN Schmitt Trip Levels vs. Supply Voltage



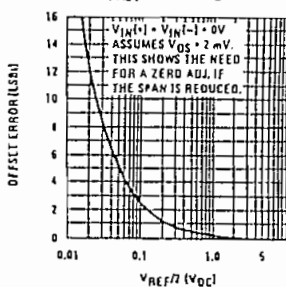
fCLK vs. Clock Capacitor



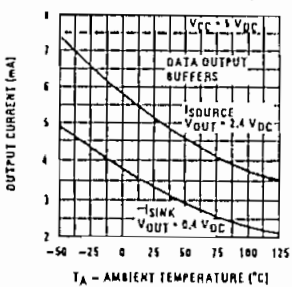
Full-Scale Error vs Conversion Time



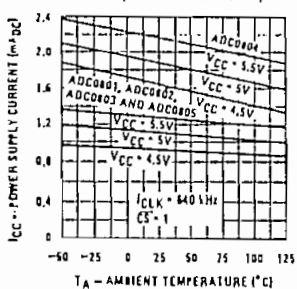
Effect of Unadjusted Offset Error vs. VREF/2 Voltage



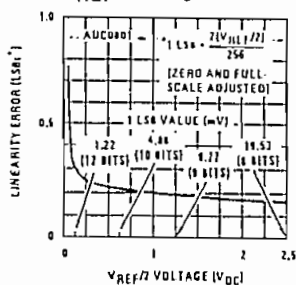
Output Current vs Temperature



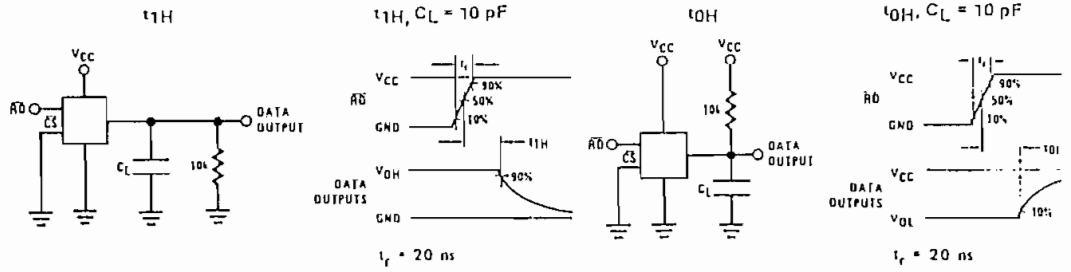
Power Supply Current vs Temperature (Note 9)



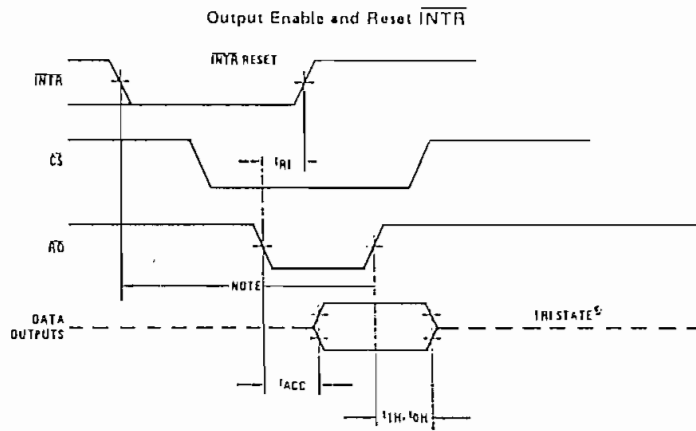
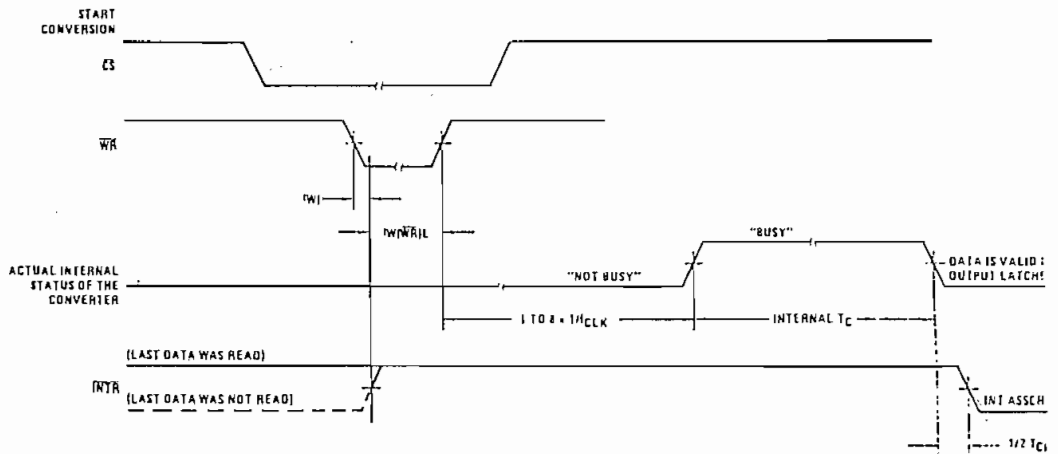
Linearity Error at Low VREF/2 Voltages



TRI-STATE® Test Circuits and Waveforms



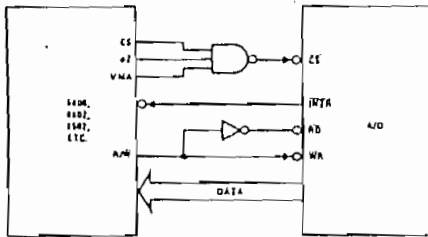
Timing Diagrams (All timing is measured from the 50% voltage points)



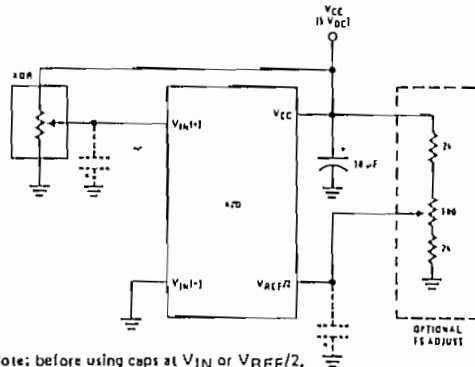
Note: Read strobe must occur 8 clock periods ($8/CLK$) after assertion of interrupt to guarantee reset of \overline{INTR} .

Typical Applications (Continued)

6800 Interface

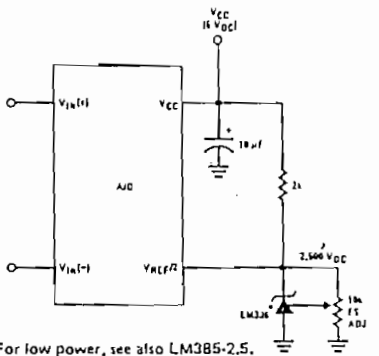


Ratiometric with Full-Scale Adjust



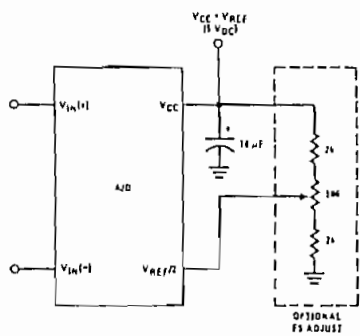
*Note: before using caps at V_{IN} or V_{REF/2}, see section 2.3.2 Input Bypass Capacitors.

Absolute with a 2.500V Reference

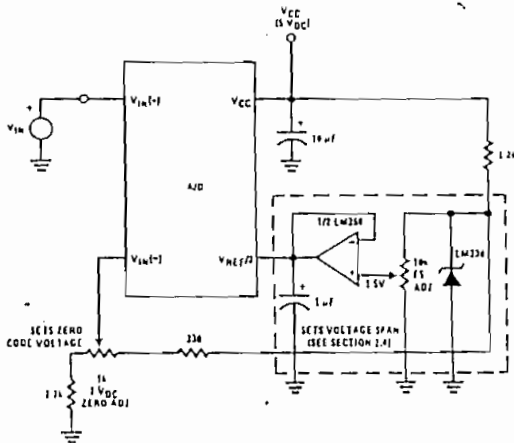


For low power, see also LM385-2.5.

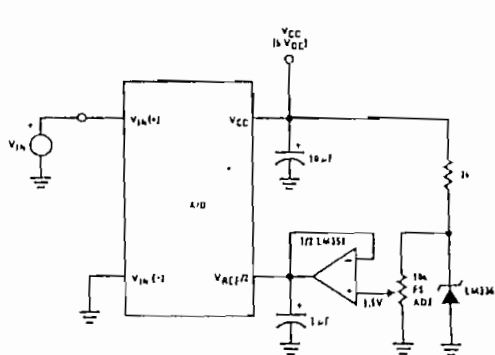
Absolute with a 5V Reference



Zero-Shift and Span Adjust: $2V \leq V_{IN} \leq 5V$

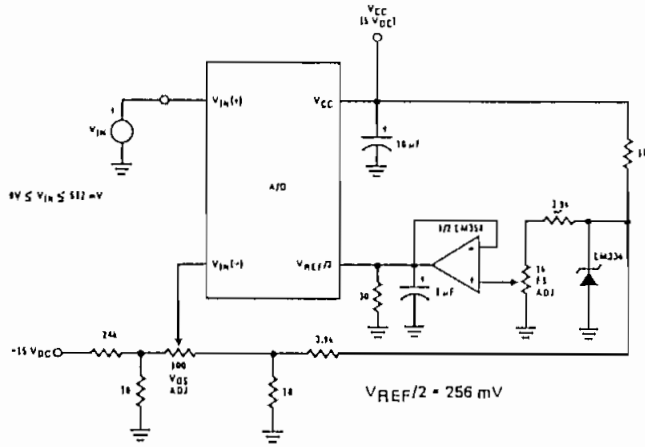


Span Adjust: $0V \leq V_{IN} \leq 3V$

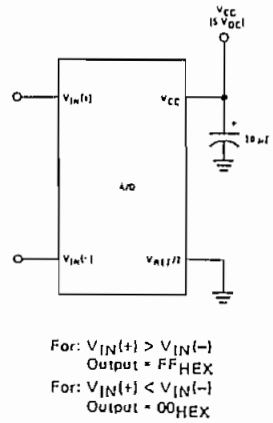


Typical Applications (Continued)

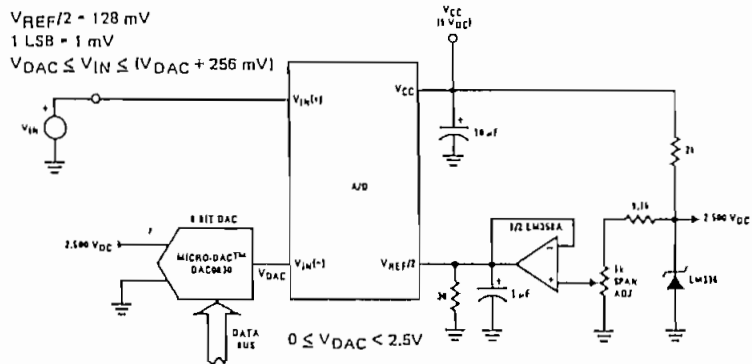
Directly Converting a Low-Level Signal



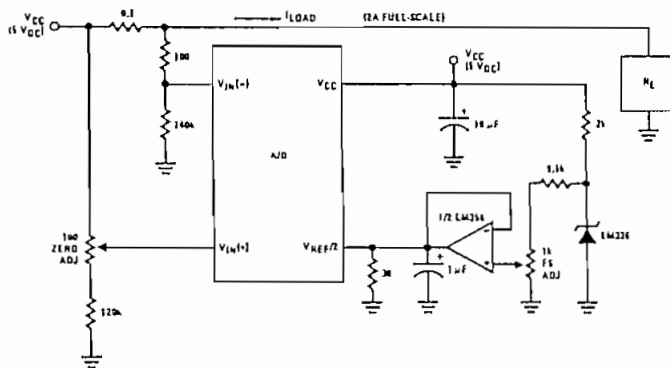
A μP Interfaced Comparator



1 mV Resolution with μP Controlled Range

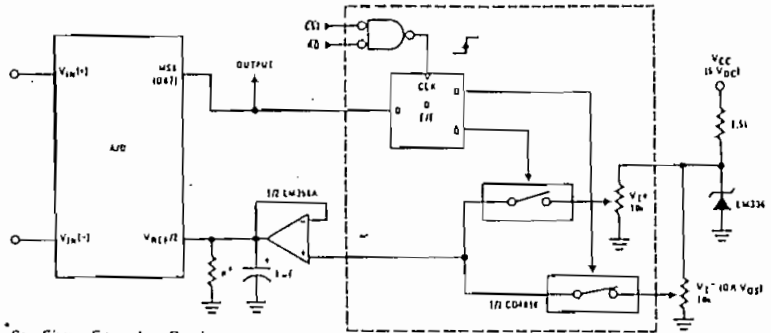


Digitizing a Current Flow



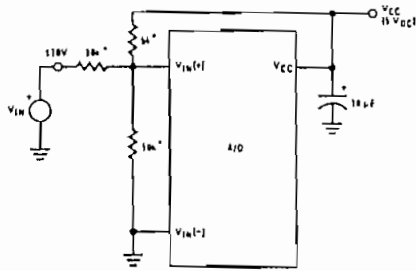
Typical Applications (Continued)

μ P Compatible Differential-Input Comparator with Pre-Set V_{OS} (with or without Hysteresis)



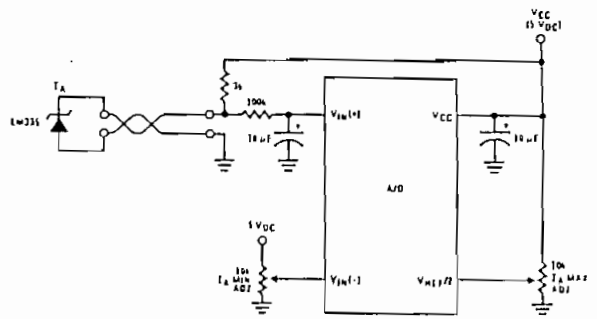
* See Figure 5 to select R value
 DB7 = "1" for $V_{IN}(+) > V_{IN}(-) + (V_{REF}/2)$
 Omit circuitry within the dotted area if hysteresis is not needed

Handling $\pm 10V$ Analog Inputs

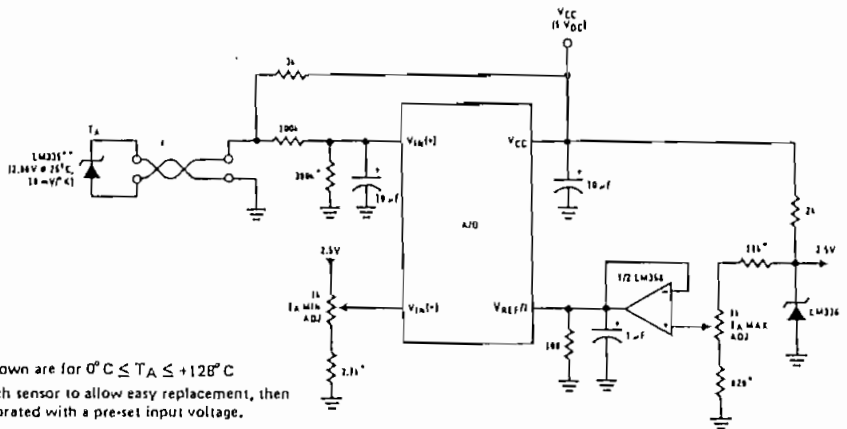


* Beckman Instruments #694-J-R10K resistor array

Low-Cost, μ P Interfaced, Temperature-to-Digital Converter



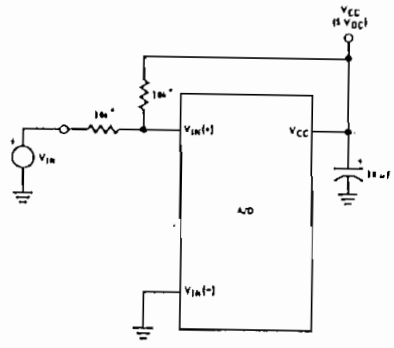
μ P Interfaced Temperature-to-Digital Converter



* Circuit values shown are for $0^\circ C \leq T_A \leq +128^\circ C$
 ** Can calibrate each sensor to allow easy replacement, then A/D can be calibrated with a pre-set input voltage.

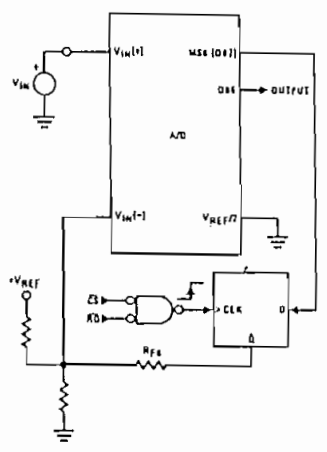
Typical Applications (Continued)

Handling $\pm 5V$ Analog Inputs

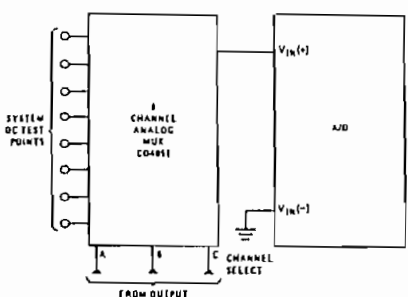


Beckman Instruments #694-3-R10K resistor array

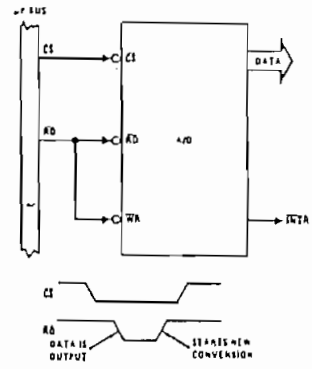
μP Interfaced Comparator with Hysteresis



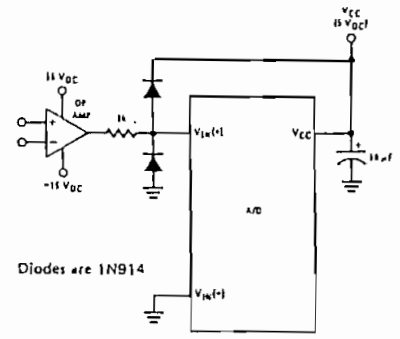
Analog Self-Test for a System



Read-Only Interface

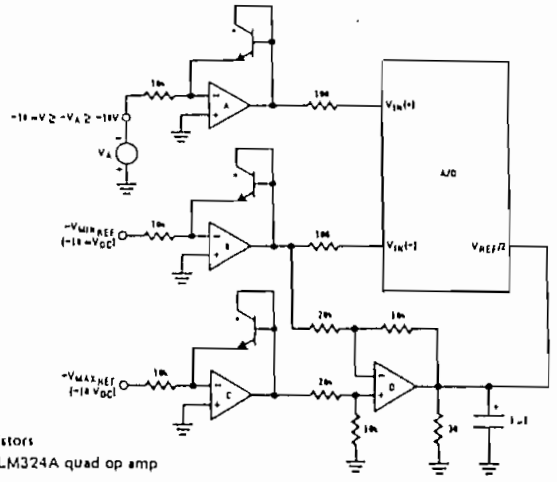


Protecting the Input



Diodes are 1N914

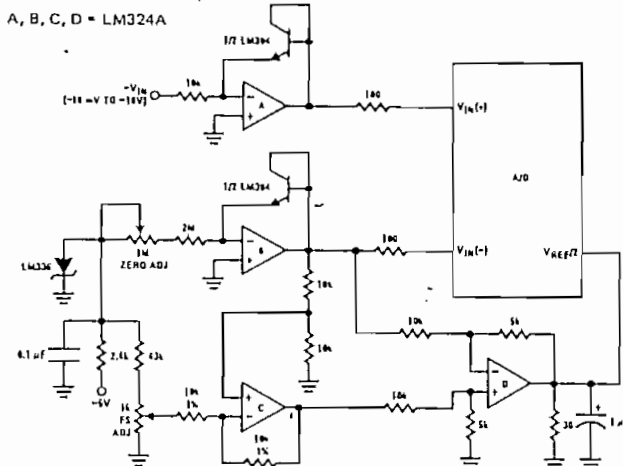
A Low-Cost, 3-Decade Logarithmic Converter



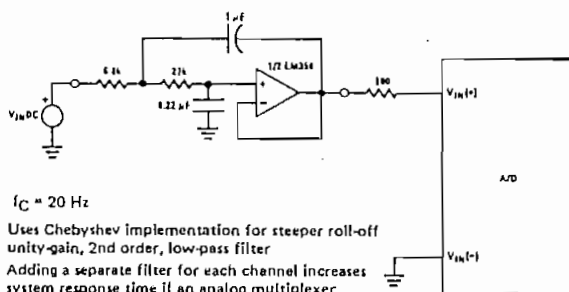
LM389 transistors
A, B, C, D - LM324A quad op amp

Typical Applications (Continued)

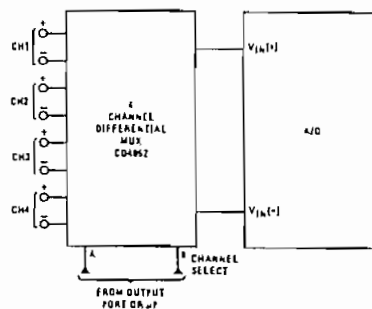
3-Decade Logarithmic A/D Converter



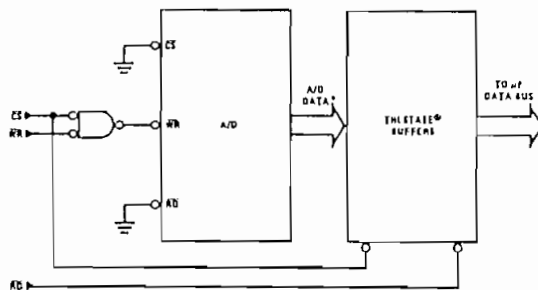
Noise Filtering the Analog Input



Multiplexing Differential Inputs

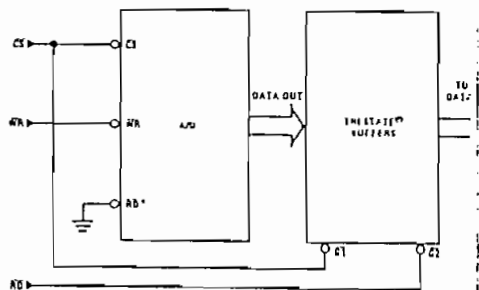


Output Buffers with A/D Data Enabled



*A/D output data is updated 1 CLK period prior to assertion of INTR

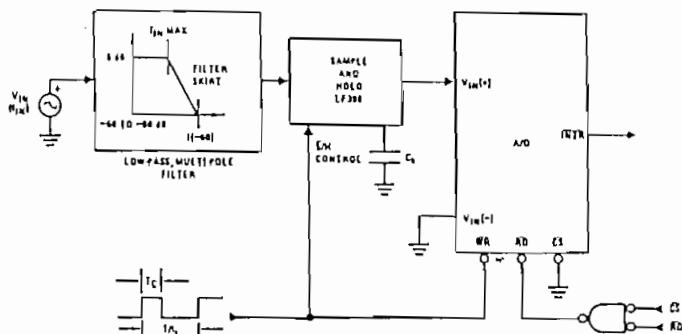
Increasing Bus Drive and/or Reducing Time on Bus



*Allows output data to set-up at falling edge of \overline{CS}

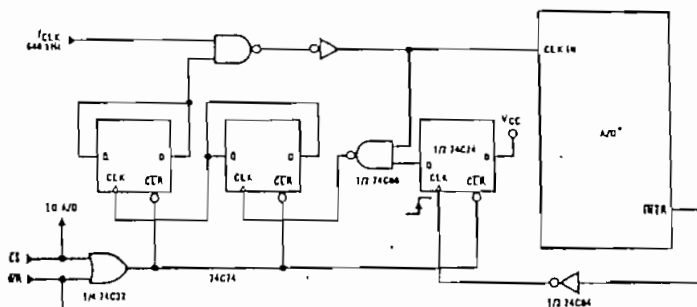
Typical Applications (Continued)

Sampling an AC Input Signal



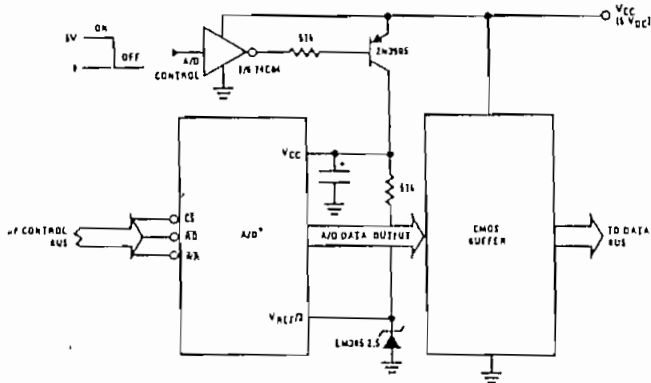
Note 1: Oversample whenever possible (keep $f_s > 2f(-60)$) to eliminate input frequency folding (aliasing) and to allow for the skirt response of the filter.
 Note 2: Consider the amplitude errors which are introduced within the passband of the filter.

70% Power Savings by Clock Gating



(Complete shutdown takes \approx 30 seconds.)

Power Savings by A/D and VREF Shutdown



*Use ADC0801, 02, 03 or 05 for lowest power consumption.
 Note: Logic inputs can be driven to V_{CC} with A/D supply at zero volts.
 Buffer prevents data bus from overdriving outputs of A/D when in shutdown mode.

1.0 UNDERSTANDING A/D ERROR SPECS

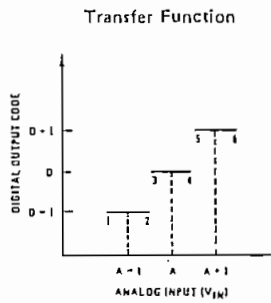
A perfect A/D transfer characteristic (staircase waveform) is shown in *Figure 1a*. The horizontal scale is analog input voltage and the particular points labeled are in steps of 1 LSB (19.53 mV with 2.5V tied to the $V_{REF}/2$ pin). The digital output codes which correspond to these inputs are shown as D-1, D, and D+1. For the perfect A/D, not only will center-value (A-1, A, A+1, . . .) analog inputs produce the correct output digital codes, but also each riser (the transitions between adjacent output codes) will be located $\pm 1/2$ LSB away from each center-value. As shown, the risers are ideal and have no width. Correct digital output codes will be provided for a range of analog input voltages which extend $\pm 1/2$ LSB from the ideal center-values. Each tread (the range of analog input voltage which provides the same digital output code) is therefore 1 LSB wide.

Figure 1b shows a worst case error plot for the ADC0801. All center-valued inputs are guaranteed to produce the correct output codes and the adjacent risers are guaranteed to be no closer to the center-value points than

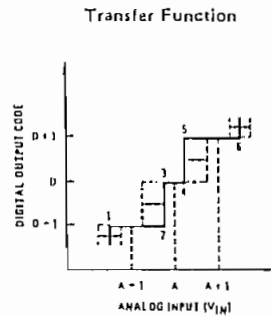
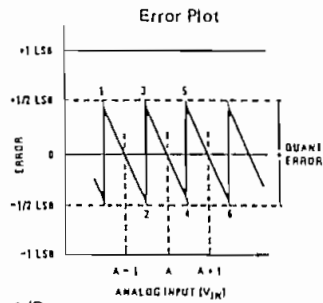
$\pm 1/4$ LSB. In other words, if we apply an analog input equal to the center-value $\pm 1/4$ LSB, we guarantee that the A/D will produce the correct digital code. The maximum range of the position of the code transition is indicated by the horizontal arrow and it is guaranteed to be no more than $1/2$ LSB.

The error curve of *Figure 1c* shows a worst case error plot for the ADC0802. Here we guarantee that if we apply an analog input equal to the LSB analog voltage center-value the A/D will produce the correct digital code.

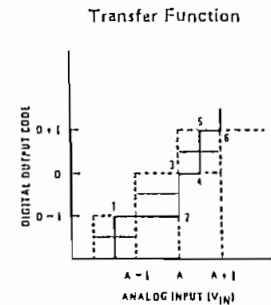
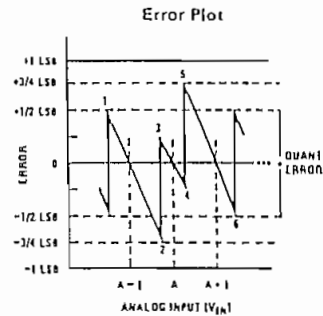
Next to each transfer function is shown the corresponding error plot. Many people may be more familiar with error plots than transfer functions. The analog input voltage to the A/D is provided by either a linear ramp or by the discrete output steps of a high resolution DAC. Notice that the error is continuously displayed and includes the quantization uncertainty of the A/D. For example the error at point 1 of *Figure 1a* is $\pm 1/2$ LSB because the digital code appeared $1/2$ LSB in advance of the center-value of the tread. The error plots always have a constant negative slope and the abrupt upside steps are always 1 LSB in magnitude.



a) Accuracy = ± 0 LSB A Perfect A/D



b) Accuracy = $\pm 1/4$ LSB



c) Accuracy = $\pm 1/2$ LSB

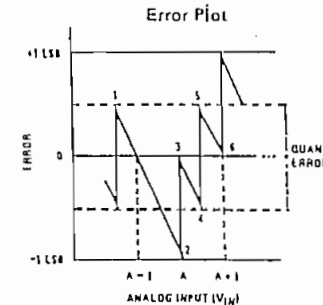
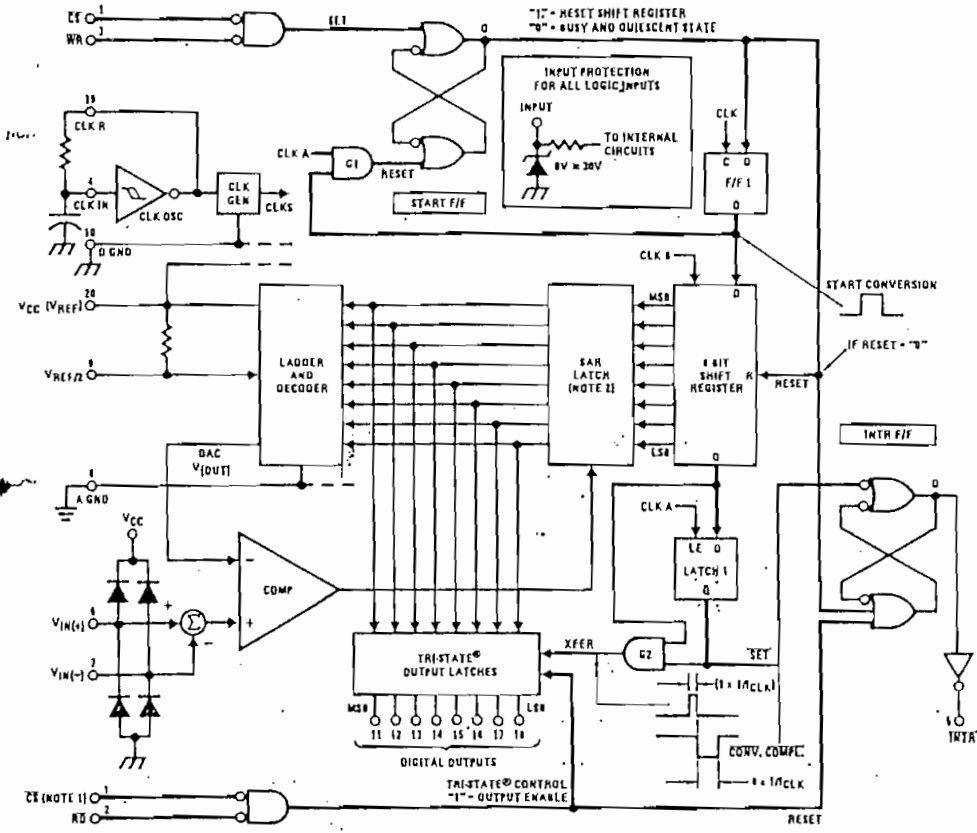


FIGURE 1. Clarifying the Error Specs of an A/D Converter

scale) is transferred to an output latch and then an interrupt is asserted (INTR makes a high-to-low transition). A conversion in process can be interrupted by issuing a second start command. The device may be operated in the free-running mode by connecting INTR to the WR input with CS = 0. To insure start-up under all possible conditions, an external WR pulse is required during the first power-up cycle.

On the high-to-low transition of the WR input the internal SAR latches and the shift register stages are reset. As long as the CS input and WR input remain low, the A/D will remain in a reset state. Conversion will start from 1 to 8 clock periods after at least one of these inputs makes a low-to-high transition.

(up, F/F1, which is at the input end of the 8-bit shift register. Internal clock signals then transfer this "1" to the O output of F/F1. The AND gate, G1, combines this "1" output with a clock signal to provide a reset signal to the start F/F. If the -set signal is no longer present (either WR or CS is a "1") the start F/F is reset and the 8-bit shift register then can have the "1" clocked in, which starts the conversion process. If the set signal were to still be present, this reset pulse would have no effect (both outputs of the start F/F would momentarily be at a "1" level) and the 8-bit shift register would continue to be held in the reset mode. This logic therefore allows for wide CS and WR signals and the converter will start after at least one of these signals returns high and the internal clocks again provide a reset signal for the start F/F.



Note 1: CS shown twice for clarity.
 Note 2: SAR = Successive Approximation Register.

FIGURE 2. Block Diagram

After the "1" is clocked through the 8-bit shift register (which completes the SAR search) it appears as the input to the D-type latch, LATCH 1. As soon as this "1" is output from the shift register, the AND gate, G2, causes the new digital word to transfer to the TRI-STATE output latches. When LATCH 1 is subsequently enabled, the Q output makes a high-to-low transition which causes the INTR F/F to set. An inverting buffer then supplies the INTR output signal.

Note that this SET control of the INTR F/F remains low for 8 of the external clock periods (as the internal clocks run at 1/8 of the frequency of the external clock). If the data output is continuously enabled (CS and RD both held low), the INTR output will still signal the end of conversion (by a high-to-low transition), because the SET input can control the Q output of the INTR F/F even though the RESET input is constantly at a "1" level in this operating mode. This INTR output will therefore stay low for the duration of the SET signal, which is 8 periods of the external clock frequency (assuming the A/D is not started during this interval).

When operating in the free-running or continuous conversion mode (INTR pin tied to WR and CS wired low—see also section 2.8), the START F/F is SET by the high-to-low transition of the INTR signal. This resets the SHIFT REGISTER which causes the input to the D-type latch, LATCH 1, to go low. As the latch enable input is still present, the Q output will go high, which then allows the INTR F/F to be RESET. This reduces the width of the resulting INTR output pulse to only a few propagation delays (approximately 300 ns).

When data is to be read, the combination of both CS and RD being low will cause the INTR F/F to be reset and the TRI-STATE output latches will be enabled to provide the 8-bit digital outputs.

2.1 Digital Control Inputs

The digital control inputs (CS, RD, and WR) meet standard TTL logic voltage levels. These signals have been renamed when compared to the standard A/D Start and Output Enable labels. In addition, these inputs are active low to allow an easy interface to microprocessor control buses. For non-microprocessor based applications, the CS input (pin 1) can be grounded and the standard A/D Start function is obtained by an active low pulse applied at the WR input (pin 3) and the Output Enable function is caused by an active low pulse at the RD input (pin 2).

2.2 Analog Differential Voltage Inputs and Common-Mode Rejection

This A/D has additional applications flexibility due to the analog differential voltage input. The VIN(-) input (pin 7) can be used to automatically subtract a fixed voltage value from the input reading (tare correction). This is also useful in 4 mA–20 mA current loop conversion. In addition, common-mode noise can be reduced by use of the differential input.

The time interval between sampling VIN(+) and VIN(-) is 4-1/2 clock periods. The maximum error voltage due

to this slight time difference between the input voltage samples is given by:

$$\Delta V_e(\text{MAX}) = (V_p) (2\pi f_{cm}) \left(\frac{4.5}{f_{CLK}} \right)$$

where:

- ΔV_e is the error voltage due to sampling delay
- V_p is the peak value of the common-mode voltage
- f_{cm} is the common-mode frequency

As an example, to keep this error to 1/4 LSB (~5 mV) when operating with a 60 Hz common-mode frequency, f_{cm}, and using a 640 kHz A/D clock, f_{CLK}, would allow a peak value of the common-mode voltage, V_p, which is given by:

$$V_p = \frac{\Delta V_e(\text{MAX}) (f_{CLK})}{(2\pi f_{cm}) (4.5)}$$

or

$$V_p = \frac{(5 \times 10^{-3}) (640 \times 10^3)}{(6.28) (60) (4.5)}$$

which gives

$$V_p \cong 1.9V.$$

The allowed range of analog input voltages usually places more severe restrictions on input common-mode noise levels.

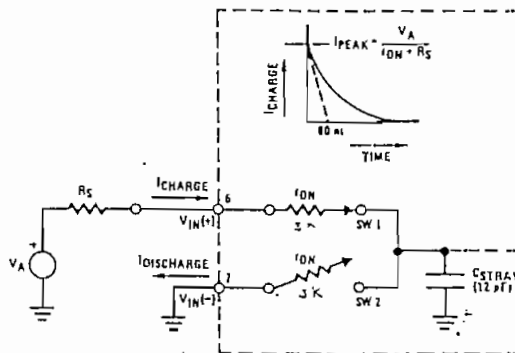
An analog input voltage with a reduced span and a relatively large zero offset can be easily handled by making use of the differential input (see section 2.4 Reference Voltage).

2.3 Analog Inputs

2.3.1 Input Current

Normal Mode

Due to the internal switching action, displacement currents will flow at the analog inputs. This is due to on-chip stray capacitance to ground as shown in Figure 3



r_{ON} of SW 1 and SW 2 ≈ 5 kΩ
 r = r_{ON} C_{STRAY} ≈ 5 kΩ × 12 pF = 60 ns
 FIGURE 3. Analog Input Impedance

The voltage on this capacitance is switched and will result in currents entering the $V_{IN}(+)$ input pin and leaving the $V_{IN}(-)$ input which will depend on the analog differential input voltage levels. These current transients occur at the leading edge of the internal clocks. They rapidly decay and *do not cause errors* as the on-chip comparator is strobed at the end of the clock period.

Fault Mode

If the voltage source which is applied to the $V_{IN}(+)$ pin exceeds the allowed operating range of $V_{CC} + 50$ mV, large input currents can flow through a parasitic diode to the V_{CC} pin. If these currents could exceed the 1 mA max allowed spec, an external diode (1N914) should be added to bypass this current to the V_{CC} pin (with the current bypassed with this diode, the voltage at the $V_{IN}(+)$ pin can exceed the V_{CC} voltage by the forward voltage of this diode).

2.3.2 Input Bypass Capacitors

Bypass capacitors at the inputs will average these charges and cause a DC current to flow through the output resistances of the analog signal sources. This charge pumping action is worse for continuous conversions with the $V_{IN}(+)$ input voltage at full-scale. For continuous conversions with a 640 kHz clock frequency with the $V_{IN}(+)$ input at 5V, this DC current is at a maximum of approximately 5 μ A. Therefore, bypass capacitors should not be used at the analog inputs or the $V_{REF}/2$ pin for high resistance sources (> 1 k Ω). If input bypass capacitors are necessary for noise filtering and high source resistance is desirable to minimize capacitor size, the detrimental effects of the voltage drop across this input resistance, which is due to the average value of the input current, can be eliminated with a full-scale adjustment while the given source resistor and input bypass capacitor are both in place. This is possible because the average value of the input current is a precise linear function of the differential input voltage.

2.3.3 Input Source Resistance

Large values of source resistance where an input bypass capacitor is not used, *will not cause errors* as the input currents settle out prior to the comparison time. If a low pass filter is required in the system, use a low valued series resistor (≤ 1 k Ω) for a passive RC section or add an op amp RC active low pass filter. For low source resistance applications, (≤ 1 k Ω), a 0.1 μ F bypass capacitor at the inputs will prevent pickup due to series lead inductance of a long wire. A 100 Ω series resistor can be used to isolate this capacitor—both the R and C are placed outside the feedback loop—from the output of an op amp, if used.

2.3.4 Noise

The leads to the analog inputs (pins 6 and 7) should be kept as short as possible to minimize input noise coupling. Both noise and undesired digital clock coupling to these inputs can cause system errors. The source resistance for these inputs should, in general, be kept below 5 k Ω . Larger values of source resistance can cause undesired system noise pickup. Input bypass capacitors, placed from the analog inputs to ground, will eliminate

system noise pickup but can create analog scale errors as these capacitors will average the transient input switching currents of the A/D (see section 2.3.1). This scale error depends on both a large source resistance and the use of an input bypass capacitor. This error can be eliminated by doing a full-scale adjustment of the A/D (adjust $V_{REF}/2$ for a proper full-scale reading—see section 2.5.2 on Full-Scale Adjustment) with the source resistance and input bypass capacitor in place.

2.4 Reference Voltage

2.4.1 Span Adjust

For maximum applications flexibility, these A/Ds have been designed to accommodate a 5 V_{DC} , 2.5 V_{DC} or an adjusted voltage reference. This has been achieved in the design of the IC as shown in Figure 4.

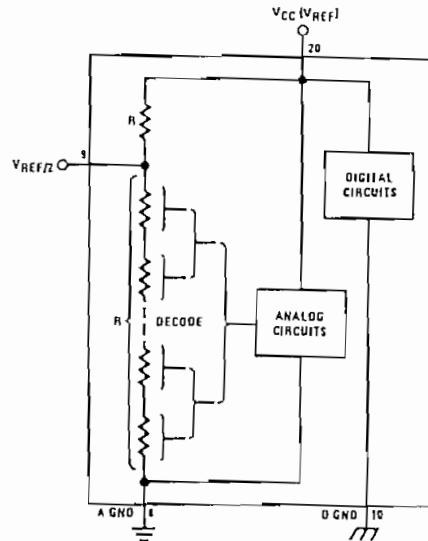


FIGURE 4. The $V_{REFERENCE}$ Design on the IC

Notice that the reference voltage for the IC is either 1/2 of the voltage which is applied to the V_{CC} supply pin, or is equal to the voltage which is externally forced at the $V_{REF}/2$ pin. This allows for a ratiometric voltage reference using the V_{CC} supply, a 5 V_{DC} reference voltage can be used for the V_{CC} supply or a voltage less than 2.5 V_{DC} can be applied to the $V_{REF}/2$ input for increased application flexibility. The internal gain to the $V_{REF}/2$ input is 2 making the full-scale differential input voltage twice the voltage at pin 9.

An example of the use of an adjusted reference voltage is to accommodate a reduced span—or dynamic voltage range of the analog input voltage. If the analog input voltage were to range from 0.5 V_{DC} to 3.5 V_{DC} , instead of 0V to 5 V_{DC} , the span would be 3V as shown in Figure 5. With 0.5 V_{DC} applied to the $V_{IN}(-)$ pin to absorb the offset, the reference voltage can be made equal to 1/2 of the 3V span or 1.5 V_{DC} . The A/D now will encode the $V_{IN}(+)$ signal from 0.5V to 3.5V with the 0.5V input corresponding to zero and the 3.5 V_{DC} input corresponding to full-scale. The full 8 bits of resolution are therefore applied over this reduced analog input voltage range.

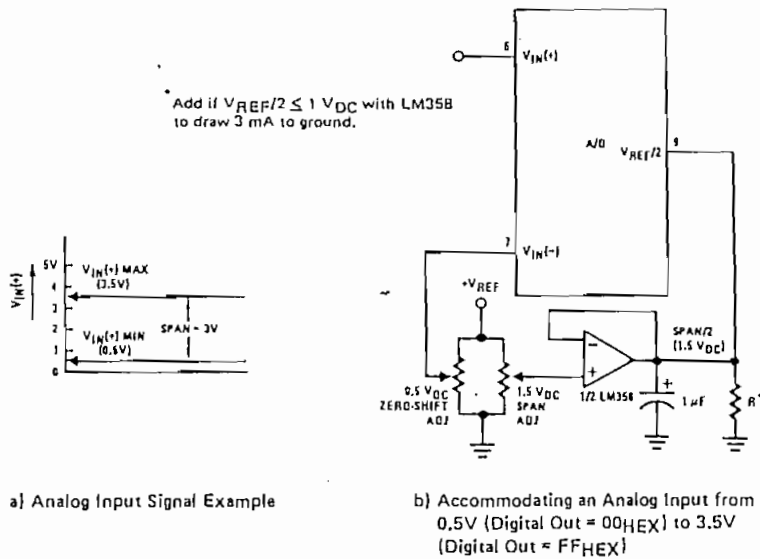


FIGURE 5. Adapting the A/D Analog Input Voltages to Match an Arbitrary Input Signal Range

2.4.2 Reference Accuracy Requirements

The converter can be operated in a ratiometric mode or an absolute mode. In ratiometric converter applications, the magnitude of the reference voltage is a factor in both the output of the source transducer and the output of the A/D converter and therefore cancels out in the final digital output code. The ADC0805 is specified particularly for use in ratiometric applications with no adjustments required. In absolute conversion applications, both the initial value and the temperature stability of the reference voltage are important accuracy factors in the operation of the A/D converter. For $V_{REF}/2$ voltages of 2.5 VDC nominal value, initial errors of $\pm 10 \text{ mVDC}$ will cause conversion errors of $\pm 1 \text{ LSB}$ due to the gain of 2 of the $V_{REF}/2$ input. In reduced span applications, the initial value and the stability of the $V_{REF}/2$ input voltage become even more important. For example, if the span is reduced to 2.5V, the analog input LSB voltage value is correspondingly reduced from 20 mV (5V span) to 10 mV and 1 LSB at the $V_{REF}/2$ input becomes 5 mV. As can be seen, this reduces the allowed initial tolerance of the reference voltage and requires correspondingly less absolute change with temperature variations. Note that spans smaller than 2.5V place even tighter requirements on the initial accuracy and stability of the reference source.

In general, the magnitude of the reference voltage will require an initial adjustment. Errors due to an improper value of reference voltage appear as full-scale errors in the A/D transfer function. IC voltage regulators may be used for references if the ambient temperature changes are not excessive. The LM336B 2.5V IC reference diode

(from National Semiconductor) is available which has a temperature stability of 1.8 mV typ (6 mV max) over $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$. Other temperature range parts are also available.

2.5 Errors and Reference Voltage Adjustments

2.5.1 Zero Error

The zero of the A/D does not require adjustment. If the minimum analog input voltage value, $V_{IN(MIN)}$, is not ground, a zero offset can be done. The converter can be made to output 0000 0000 digital code for the minimum input voltage by biasing the A/D $V_{IN}(-)$ input at this $V_{IN(MIN)}$ value (see Applications section). This utilizes the differential mode operation of the A/D

The zero error of the A/D converter, relates to the location of the first riser of the transfer function and can be measured by grounding the $V_{IN}(-)$ input and applying a small magnitude positive voltage to the $V_{IN}(+)$ input. Zero error is the difference between the actual DC input voltage which is necessary to just cause a output digital code transition from 0000 0000 to 0000 0001 and the ideal 1/2 LSB value (1/2 LSB = 9.8 mV for $V_{REF}/2 = 2.500 \text{ VDC}$).

2.5.2 Full-Scale

The full-scale adjustment can be made by applying differential input voltage which is 1-1/2 LSB down from the desired analog full-scale voltage range and then adjusting the magnitude of the $V_{REF}/2$ input (pin or the V_{CC} supply if pin 9 is not used) for a digital output code which is just changing from 1111 111 to 1111 1111.

2.5.3 Adjusting for an Arbitrary Analog Input Voltage Range

If the analog zero voltage of the A/D is shifted away from ground (for example, to accommodate an analog input signal which does not go to ground) this new zero reference should be properly adjusted first. A $V_{IN}(+)$ voltage which equals this desired zero reference plus 1/2 LSB (where the LSB is calculated for the desired analog span, 1 LSB = analog span/256) is applied to pin 6 and the zero reference voltage at pin 7 should then be adjusted to just obtain the 00HEX to 01HEX code transition.

The full-scale adjustment should then be made (with the proper $V_{IN}(-)$ voltage applied) by forcing a voltage to the $V_{IN}(+)$ input which is given by:

$$V_{IN}(+)_{fs\ adj} = V_{MAX} - 1.5 \left[\frac{(V_{MAX} - V_{MIN})}{256} \right]$$

where:

V_{MAX} = The high end of the analog input range

and

V_{MIN} = the low end (the offset zero) of the analog range. (Both are ground referenced.)

The $V_{REF}/2$ (or V_{CC}) voltage is then adjusted to provide a code change from FEHEX to FFHEX. This completes the adjustment procedure.

2.6 Clocking Option

The clock for the A/D can be derived from the CPU clock or an external RC can be added to provide self-clocking. The CLK IN (pin 4) makes use of a Schmitt trigger as shown in Figure 6.

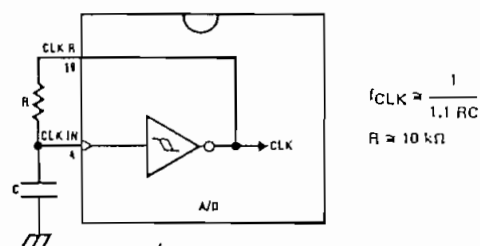


FIGURE 6. Self-Clocking the A/D

Heavy capacitive or DC loading of the clock R pin should be avoided as this will disturb normal converter operation. Loads less than 50 pF, such as driving up to 7 A/D converter clock inputs from a single clock R pin of 1 converter, are allowed. For larger clock line loading, a CMOS or low power T²L buffer or PNP input logic should be used to minimize the loading on the clock R pin (do not use a standard T²L buffer).

2.7 Restart During a Conversion

If the A/D is restarted (\overline{CS} and \overline{WR} go low and return high) during a conversion, the converter is reset and a new conversion is started. The output data latch is not updated if the conversion in process is not allowed to

be completed, therefore the data of the previous conversion remains in this latch. The \overline{INTR} output also simply remains at the "1" level.

2.8 Continuous Conversions

For operation in the free-running mode an initializing pulse should be used, following power-up, to insure circuit operation. In this application, the \overline{CS} input is grounded and the \overline{WR} input is tied to the \overline{INTR} output. This \overline{WR} and \overline{INTR} node should be momentarily forced to logic low following a power-up cycle to guarantee operation.

2.9 Driving the Data Bus

This MOS A/D, like MOS microprocessors and memories, will require a bus driver when the total capacitance of the data bus gets large. Other circuitry, which is tied to the data bus, will add to the total capacitive loading, even in TRI-STATE (high impedance mode). Backplane bussing also greatly adds to the stray capacitance of the data bus.

There are some alternatives available to the designer to handle this problem. Basically, the capacitive loading of the data bus slows down the response time, even though DC specifications are still met. For systems operating with a relatively slow CPU clock frequency, more time is available in which to establish proper logic levels on the bus and therefore higher capacitive loads can be driven (see typical characteristics curves).

At higher CPU clock frequencies time can be extended for I/O reads (and/or writes) by inserting wait states (8080) or using clock extending circuits (6800).

Finally, if time is short and capacitive loading is high, external bus drivers must be used. These can be TRI-STATE buffers (low power Schottky is recommended such as the DM74LS240 series) or special higher drive current products which are designed as bus drivers. High current bipolar bus drivers with PNP inputs are recommended.

2.10 Power Supplies

Noise spikes on the V_{CC} supply line can cause conversion errors as the comparator will respond to this noise. A low inductance tantalum filter capacitor should be used close to the converter V_{CC} pin and values of 1 μ F or greater are recommended. If an unregulated voltage is available in the system, a separate LM340LAZ-5.0, TO-92, 5V voltage regulator for the converter (and other analog circuitry) will greatly reduce digital noise on the V_{CC} supply.

2.11 Wiring and Hook-Up Precautions

Standard digital wire wrap sockets are not satisfactory for breadboarding this A/D converter. Sockets on PC boards can be used and all logic signal wires and leads should be grouped and kept as far away as possible from the analog signal leads. Exposed leads to the analog inputs can cause undesired digital noise and hum pickup, therefore shielded leads may be necessary in many applications.

A single point analog ground should be used which is separate from the logic ground points. The power supply bypass capacitor and the self-clocking capacitor (if used) should both be returned to digital ground. Any $V_{REF/2}$ bypass capacitors, analog input filter capacitors, or input signal shielding should be returned to the analog ground point. A test for proper grounding is to measure the zero error of the A/D converter. Zero errors in excess of 1/4 LSB can usually be traced to improper board layout and wiring (see section 2.5.1 for measuring the zero error).

3.0 TESTING THE A/D CONVERTER

There are many degrees of complexity associated with testing an A/D converter. One of the simplest tests is to apply a known analog input voltage to the converter and use LEDs to display the resulting digital output code as shown in Figure 7.

For ease of testing, the $V_{REF/2}$ (pin 9) should be supplied with 2.560 V_{DC} and a V_{CC} supply voltage of 5.12 V_{DC} should be used. This provides an LSB value of 20 mV.

If a full-scale adjustment is to be made, an analog input voltage of 5.090 V_{DC} (5.120 - 1/2 LSB) should be applied to the $V_{IN}(+)$ pin with the $V_{IN}(-)$ pin grounded. The value of the $V_{REF/2}$ input voltage should then be adjusted until the digital output code is just changing from 1111 1110 to 1111 1111. This value of $V_{REF/2}$ should then be used for all the tests.

The digital output LED display can be decoded by dividing the 8 bits into 2 hex characters, the 4 most significant (MS) and the 4 least significant (LS). Table I shows the fractional binary equivalent of these two 4-bit groups. By adding the decoded voltages which are obtained from the column: Input voltage value for a 2.560 V_{REF/2} of both the MS and the LS groups, the value of

the digital display can be determined. For example, for an output LED display of 1011 0110 or B6 (in hex), the voltage values from the table are 3.520 + 0.120 or 3.640 V_{DC}. These voltage values represent the center-values of a perfect A/D converter. The effects of quantization error have to be accounted for in the interpretation of the test results.

For a higher speed test system, or to obtain plotted data, a digital-to-analog converter is needed for the test set-up. An accurate 10-bit DAC can serve as the precision voltage source for the A/D. Errors of the A/D under test can be provided as either analog voltages or differences in 2 digital words.

A basic A/D tester which uses a DAC and provides the error as an analog output voltage is shown in Figure 8. The 2 op amps can be eliminated if a lab DVM with a numerical subtraction feature is available to directly readout the difference voltage, "A-C". The analog input voltage can be supplied by a low frequency ramp generator and an X-Y plotter can be used to provide analog error (Y axis) versus analog input (X axis). The construction details of a tester of this type are provided in the NSC application note AN-179, "Analog-to-Digital Converter Testing".

For operation with a microprocessor or a computer based test system, it is more convenient to present the errors digitally. This can be done with the circuit of Figure 9, where the output code transitions can be detected as the 10-bit DAC is incremented. This provides 1/4 LSB steps for the 8-bit A/D under test. If the results of this test are automatically plotted with the analog input on the X axis and the error (in LSB's) as the Y axis, a useful transfer function of the A/D under test results. For acceptance testing, the plot is not necessary and the testing speed can be increased by establishing internal limits on the allowed error for each code.

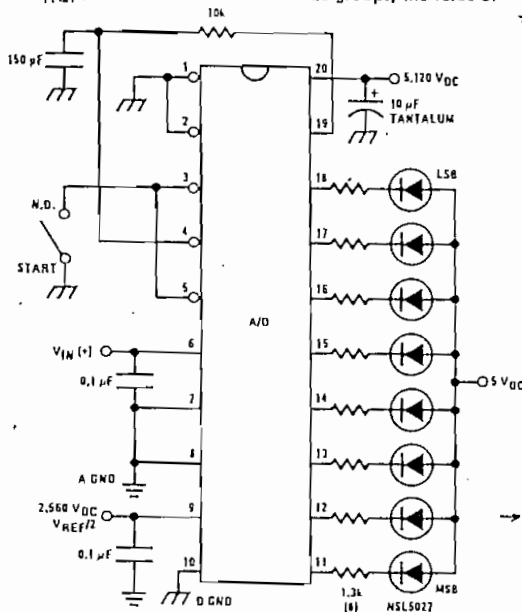


FIGURE 7. Basic A/D Tester

4.0 MICROPROCESSOR INTERFACING

To discuss the interface with 8080A and 6800 microprocessors, a common sample subroutine structure is used. The microprocessor starts the A/D, reads and stores the results of 16 successive conversions, then returns to the user's program. The 16 data bytes are stored in 16 successive memory locations. All Data and Addresses will be given in hexadecimal form. Software and hardware details are provided separately for each type of microprocessor.

4.1 Interfacing 8080 Microprocessor Derivatives (8048, 8085)

This converter has been designed to directly interface with derivatives of the 8080 microprocessor. The A_7 can be mapped into memory space (using standard memory address decoding for \overline{CS} and the \overline{MEMR} or \overline{MEMW} strobes) or it can be controlled as an I/O device by using the $\overline{I/O R}$ and $\overline{I/O W}$ strobes and decoding the address bits $A_0 - A_7$ (or address bits $A_8 - A_7$ as they will contain the same 8-bit address information to obtain the \overline{CS} input). Using the I/O space provides 256 additional addresses and may allow a simple 8-bit address decoder but the data can only be input to the accumulator. To make use of the additional memory reference instructions, the A/D should be mapped into memory space. An example of an A/D in I/O space is shown in Figure 10.

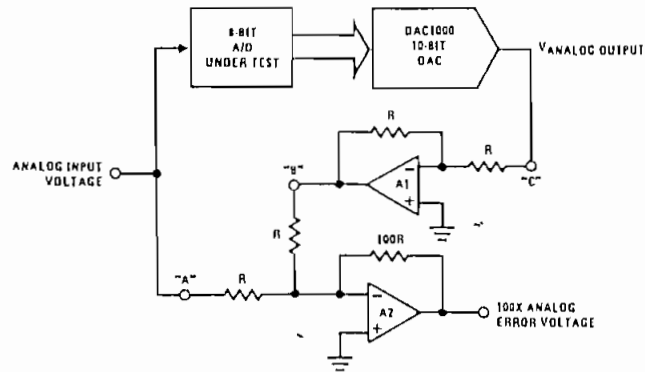


FIGURE 8. A/D Tester with Analog Error Output

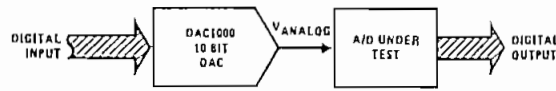


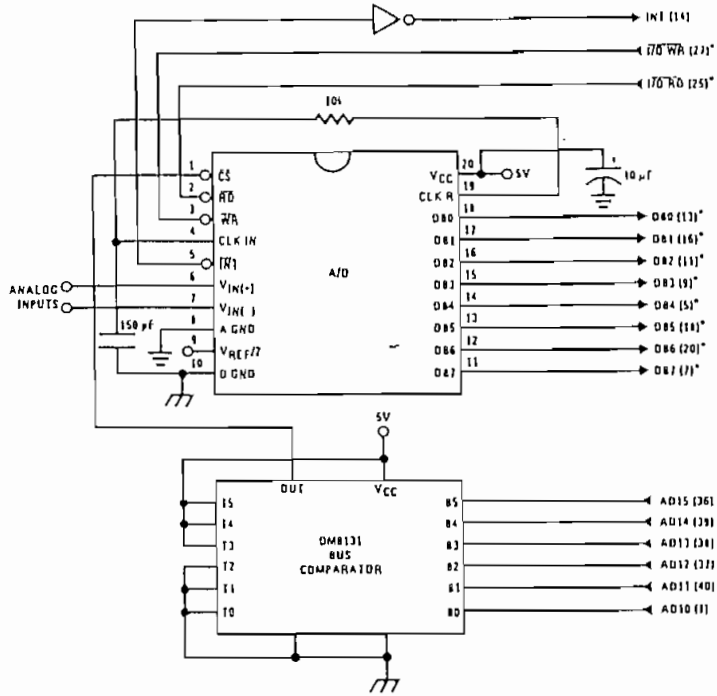
FIGURE 9. Basic "Digital" A/D Tester

TABLE I. DECODING THE DIGITAL OUTPUT LED_s

HEX	BINARY	FRACTIONAL BINARY VALUE FOR		OUTPUT VOLTAGE CENTER VALUES WITH $V_{REF/2} = 2.560 V_{DC}$	
		MS GROUP	LS GROUP	VMS GROUP*	VLS GROUP*
F	1 1 1 1	15/16	15/256	4.800	0.300
E	1 1 1 0	7/8	7/128	4.480	0.280
D	1 1 0 1	13/16	13/256	4.160	0.260
C	1 1 0 0	3/4	3/64	3.840	0.240
B	1 0 1 1	11/16	11/256	3.520	0.220
A	1 0 1 0	5/8	5/128	3.200	0.200
9	1 0 0 1	9/16	9/256	2.880	0.180
8	1 0 0 0	1/2	1/32	2.560	0.160
7	0 1 1 1	7/16	7/256	2.240	0.140
6	0 1 1 0	3/8	3/128	1.920	0.120
5	0 1 0 1	5/16	5/256	1.600	0.100
4	0 1 0 0	1/4	1/64	1.280	0.080
3	0 0 1 1	3/16	3/256	0.960	0.060
2	0 0 1 0	1/8	1/128	0.640	0.040
1	0 0 0 1	1/16	1/256	0.320	0.020
0	0 0 0 0			0	0

*V Display Output = VMS Group + VLS Group

ADC0801, ADC0802, ADC0803, ADC0804, ADC0805



Note 1: *Pin numbers for the INS822B system controller, others are INS8080A.
 Note 2: Pin 23 of the INS822B must be tied to +12V through a 1 k Ω resistor to generate the RST 7 instruction when an interrupt is acknowledged as required by the accompanying sample program

FIGURE 10. ADC0801-INS8080A CPU Interface

SAMPLE PROGRAM FOR FIGURE 10 ADC0801-INS8080A CPU INTERFACE

```

0038    C3 00 03    RST 7:          JMP     LD DATA
.
.
.
0100    21 00 02    START:          LXI H 0200H          ; HL pair will point to
.                                     ; data storage locations
0103    31 00 04    RETURN:         LXI SP 0400H       ; Initialize stack pointer (Note 1)
0106    7D          MOV A, L          ; Test # of bytes entered
0107    FE 0F          CPI 0F H         ; If  $\neq$  16, JMP to
.                                     ; user program
0109    CA 13 01          JZ CONT        ; user program
010C    D3 E0          OUT E0 H       ; Start A/D
010E    FB          EI          ; Enable interrupt
010F    00          LOOP:         NOP          ; Loop until end of
0110    C3 0F 01          JMP LOOP      ; conversion
0113    .           CONT:          .
.
.           (User program to
.           process data)
.
.
0300    DB E0          LD DATA:       IN E0 H          ; Load data into accumulator
0302    77          MOV M, A         ; Store data
0303    23          INX H          ; Increment storage pointer
0304    C3 03 01          JMP RETURN
    
```

Note 1: The stack pointer must be dimensioned because a RST 7 instruction pushes the PC onto the stack.
 Note 2: All addresses used were arbitrarily chosen.

The standard control bus signals of the 8080 (\overline{CS} , \overline{RD} and \overline{WR}) can be directly wired to the digital control inputs of the A/D and the bus timing requirements are met to allow both starting the converter and outputting the data onto the data bus. A bus driver should be used for larger microprocessor systems where the data bus leaves the PC board and/or must drive capacitive loads larger than 100 pF.

4.1.1 Sample 8080A CPU Interfacing Circuitry and Program

The following sample program and associated hardware shown in Figure 10 may be used to input data from the converter to the INS8080A CPU chip set (comprised of the INS8080A microprocessor, the INSB228 system controller and the INS8224 clock generator). For simplicity, the A/D is controlled as an I/O device, specifically an 8-bit bi-directional port located at an arbitrarily chosen port address, E0. The TRI-STATE output capability of the A/D eliminates the need for a peripheral interface device, however address decoding

is still required to generate the appropriate \overline{CS} for the converter.

It is important to note that in systems where the A/D converter is 1-of-8 or less I/O mapped devices, no address decoding circuitry is necessary. Each of the 8 address bits (A0 to A7) can be directly used as \overline{CS} inputs—one for each I/O device.

4.1.2 INS8048 Interface

The INS8048 interface technique with the ADC0801 series (see Figure 11) is simpler than the 8080A CPU interface. There are 24 I/O lines and three test input lines in the 8048. With these extra I/O lines available, one of the I/O lines (bit 0 of port 1) is used as the chip select signal to the A/D, thus eliminating the use of an external address decoder. Bus control signals \overline{RD} , \overline{WR} and \overline{INT} of the 8048 are tied directly to the A/D. The 16 converted data words are stored at on-chip RAM locations from 20 to 2F (Hex). The \overline{RD} and \overline{WR} signals are generated by reading from and writing into a dummy address, respectively. A sample interface program is shown below.

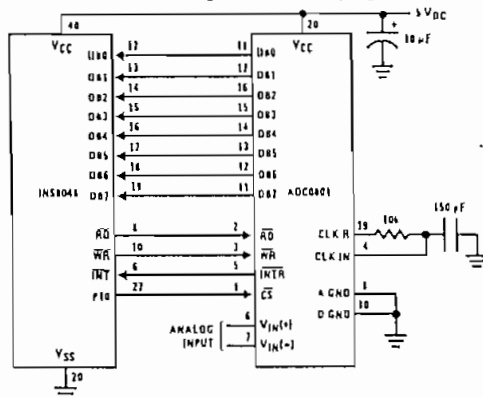


FIGURE 11. INS8048 Interface

SAMPLE PROGRAM FOR FIGURE 11 INS8048 INTERFACE

```

04 10      JMP          10H          ; Program starts at addr 10
          ORG          3H
04 50      JMP          50H          ; Interrupt jump vector
          ORG          10H          ; Main program
'99 FE     ANL          P1, #0FEH   ; Chip select
81         MOVX        A, @R1      ; Read in the 1st data
          ; to reset the intr
89 01     START:     ORL          P1, #1      ; Set port pin high
88 20     MOV          R0, #20H     ; Data address
89 FF     MOV          R1, #0FFH   ; Dummy address
BA 10     MOV          R2, #10H    ; Counter for 16 bytes
23 FF     AGAIN:    MOV          A, #0FFH  ; Set ACC for intr loop
99 FE     ANL          P1, #0FEH   ; Send CS (bit 0 of P1)
91        MOVX        @R1, A      ; Send WR out
05        EN         I           ; Enable interrupt
96 21     LOOP:     JNZ          LOOP    ; Wait for interrupt
EA 18     DJNZ        R2, AGAIN    ; If 16 bytes are read
00        NOP
00        NOP
          ORG          50H
81        INDATA:   MOVX        A, @R1    ; Input data, CS still low
A0        MOV          @R0, A      ; Store in memory
18        INC          R0          ; Increment storage counter
89 01     ORL          P1, #1      ; Reset CS signal
27        CLR          A          ; Clear ACC to get out of
93        RETR       ; the interrupt loop
    
```



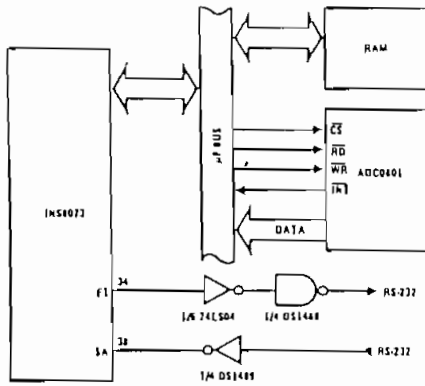


FIGURE 12. INS8073 Interface

4.1.3 INS8073 Interface

The INS8073 allows users to program directly in Tiny Basic. DS1488/1489 driver/receiver chips are used for level buffering to communicate via RS-232. (For a detailed description of the INS8073 and the Tiny Basic, see INS8073 data sheet.) The ADC0801 is mapped into the memory space of the 8073 system (see Figure 12). A RAM of 1k bytes is provided in which the first 256 bytes are used by the Tiny Basic micro-interpretter. Address 3000 (Hex) is assigned to the A/D and the 16 converted data bytes are stored at external RAM locations from 13D0 to 13DF (Hex). STAT function is used to examine the interrupt signal from the A/D. A sample Tiny Basic subroutine is given in the sample program for Figure 12 — INS8073 Interface.

4.2 Interfacing the Z-80

The Z-80 control bus is slightly different from that of the 8080. General RD and WR strobes are provided and separate memory request, MREQ, and I/O request, IORQ, signals are used which have to be combined with the generalized strobes to provide the equivalent 8080 signals. An advantage of operating the A/D in I/O space with the Z-80 is that the CPU will automatically insert one wait state (the RD and WR strobes are extended one clock period) to allow more time for the I/O devices to respond. Logic to map the A/D in I/O space is shown in Figure 13.

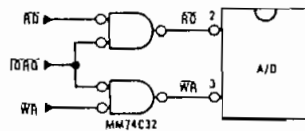


FIGURE 13. Mapping the A/D as an I/O Device for Use with the Z-80 CPU

Additional I/O advantages exist as software DMA routines are available and use can be made of the output data transfer which exists on the upper 8 address lines (A8 to A15) during I/O input instructions. For example, MUX channel selection for the A/D can be accomplished with this operating mode.

SAMPLE PROGRAM FOR FIGURE 12 — INS8073 INTERFACE

```

100 C = 16 ; REM C is the 16 bytes count
110 D = #13D0 ; REM D points to data address
120 @ #3000 = A ; REM start A/D
130 A = STAT AND #20 ; REM wait until interrupt
140 IF A <> 0 THEN GO TO 130 ; REM from A/D
150 @ D = @ #3000 ; REM input converted data
160 D = D + 1 ; REM increment data address
170 C = C - 1 ; REM check counter
180 IF C > 0 THEN GO TO 120 ; REM if 16 data have been re
190 RETURN ; REM return to main program
    
```

4.3 Interfacing 6800 Microprocessor Derivatives (6502, etc.)

The control bus for the 6800 microprocessor derivatives does not use the RD and WR strobe signals. Instead it employs a single R/W line and additional timing, if needed, can be derived from the φ2 clock. All I/O devices are memory mapped in the 6800 system, and a special signal, VMA, indicates that the current address is valid. Figure 14 shows an interface schematic where the A/D is memory mapped in the 6800 system. For simplicity, the CS decoding is shown using 1/2 DM8092. Note that in many 6800 systems, an already decoded 4/5 line is brought out to the common bus at pin 21. This can be tied directly to the CS pin of the A/D, provided that no other devices are addressed at HEX ADDR: 4XXX or 5XXX.

The following subroutine essentially performs the same function as in the case of the 8080A interface and it can be called from anywhere in the user's program.

In Figure 15 the ADC0801 series is interfaced to the M6800 microprocessor through (the arbitrarily chosen) Port B of the MC6820 or MC6821 Peripheral Interface Adapter, (PIA). Here the CS pin of the A/D is grounded since the PIA is already memory mapped in the M6800 system and no CS decoding is necessary. Also notice that the A/D output data lines are connected to the microprocessor bus under program control through the PIA and therefore the A/D RD pin can be grounded.

A sample interface program equivalent to the previous one, is shown below Figure 15. The PIA Data and Control Registers of Port B are located at HEX addresses 8006 and 8007, respectively.

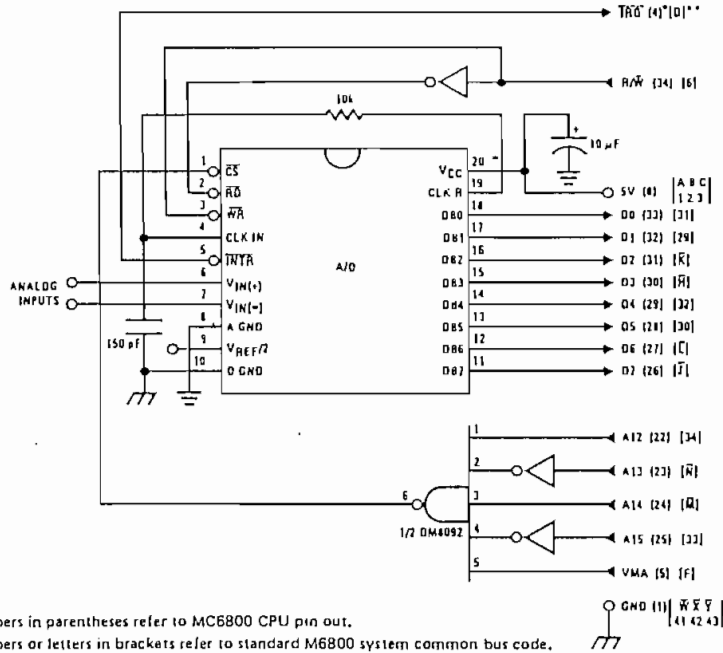
5.0 GENERAL APPLICATIONS

The following applications show some interesting uses for the A/D. The fact that one particular microprocessor is used is not meant to be restrictive. Each of these application circuits would have its counterpart using any microprocessor which is desired.

5.1 Multiple ADC0801 Series to MC6800 CPU Interface

To transfer analog data from several channels to a single microprocessor system, a multiple converter scheme presents several advantages over the conventional multiplexer single-converter approach. With the ADC0801

series, the differential inputs allow individual span adjustment for each channel. Furthermore, all analog input channels are sensed simultaneously, which essentially divides the microprocessor's total system servicing time by the number of channels, since all conversions occur simultaneously. This scheme is shown in Figure 16.



Note 1: Numbers in parentheses refer to MC6800 CPU pin out.
 Note 2: Numbers or letters in brackets refer to standard M6800 system common bus code.

FIGURE 14. ADC0801—MC6800 CPU Interface

SAMPLE PROGRAM FOR FIGURE 14 ADC0801—MC6800 CPU INTERFACE

```

0010 DF 36          DATAIN   STX   TEMP2      ; Save contents of X
0012 CE 00 2C      LD      X   =S002C      ; Upon ITRQ low CPU
0015 FF FF F8      STX   SFFF8      ; jumps to 002C
0018 B7 50 00      STAA  S5000      ; Starts ADC0801
001B 0E            CLI
001C 3E            CONVRT   WAI          ; Wait for interrupt
001D 0E 34          LD      X   TEMP1
001F 8C 02 0F      CPX   =S020F      ; Is final data stored?
0022 27 14          BEQ   ENDP
0024 B7 50 00      STAA  S5000      ; Restarts ADC0801
0027 08            INX
0028 DF 34          STX   TEMP1
002A 20 F0          BRA   CONVRT
002C DE 34          LD      X   TEMP1
002E B6 50 00      LDAA  S5000      ; Read data
0031 A7 00          STAA  X           ; Store it at X
0033 3B            RTI
0034 02 00          TEMP1   FDB   S0200      ; Starting address for
                                ; data storage
0036 00 00          TEMP2   FDB   S0000
0038 CE 02 00      LD      X   =S0200      ; Reinitialize TEMP1
003B DF 34          STX   TEMP1
003D DE 36          LD      X   TEMP2
003F 39            RTS          ; Return from subroutine
                                ; To user's program
    
```

Note 1: In order for the microprocessor to service subroutines and interrupts, the stack pointer must be dimensioned in the user's program.



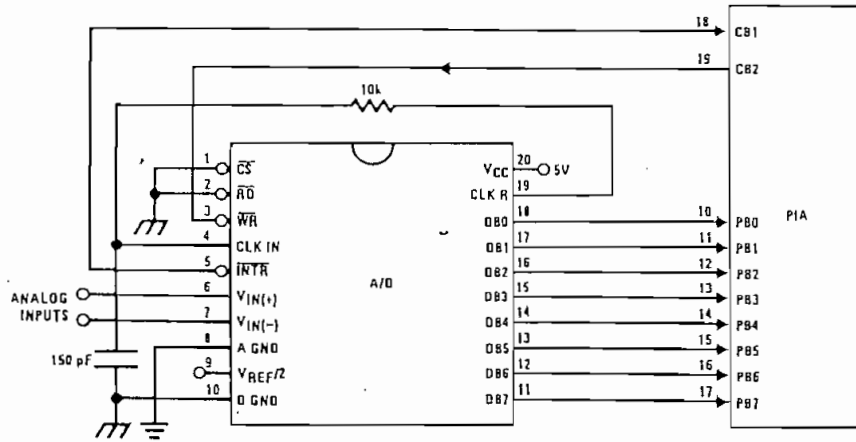


FIGURE 15. ADC0801-MC6820 PIA Interface

SAMPLE PROGRAM FOR FIGURE 15 ADC0801-MC6820 PIA INTERFACE

```

0010      CE 00 38      DATAIN      LDX      =S0038      ; Upon  $\overline{TRQ}$  low CPU
0013      FF FF F8      STX          SFFF8      ; jumps to 0038
0016      B6 80 06      LDAA         PIAORB      ; Clear possible  $\overline{TRQ}$  flags
0019      4F              CLRA
001A      B7 80 07      STAA         PIACRB
001D      B7 80 06      STAA         PIAORB      ; Set Port B as input
0020      0E              CLI
0021      C6 34          LDAB         =S34
0023      86 30          LDAA         =S3D
0025      F7 80 07      CONVRT       STAB         PIACRB      ; Starts ADC0801
0028      B7 80 07      STAA         PIACRB
002B      3E              WAI              ; Wait for interrupt
002C      DE 40          LDX          TEMP1
002E      8C 02 0F      CPX          =S020F      ; Is final data stored?
0031      27 0F          BEQ          ENDP
0033      08              INX
0034      DF 40          STX          TEMP1
0036      20 ED          BRA          CONVRT
0038      DE 40          INTRPT      LDX          TEMP1
003A      B6 80 06      LDAA         PIAORB      ; Read data in
003D      A7 00          STAA         X            ; Store it at X
003F      3B              RTI
0040      02 00          TEMP1      FDB         S0200      ; Starting address for
                                ; data storage
0042      CE 02 00      ENDP       LDX          =S0200      ; Reinitialize TEMP1
0045      DF 40          STX          TEMP1
0047      39              RTS              ; Return from subroutine
                                PIAORB      EQU          S8006      ; To user's program
                                PIACRB      EQU          S8007
    
```

The following schematic and sample subroutine (DATA IN) may be used to interface (up to) 8 ADC0801's directly to the MC6800 CPU. This scheme can easily be extended to allow the interface of more converters. In this configuration the converters are (arbitrarily) located at HEX address 5000 in the MC6800 memory space. To save components, the clock signal is derived from just one RC pair on the first converter. This output drives the other A/Ds.

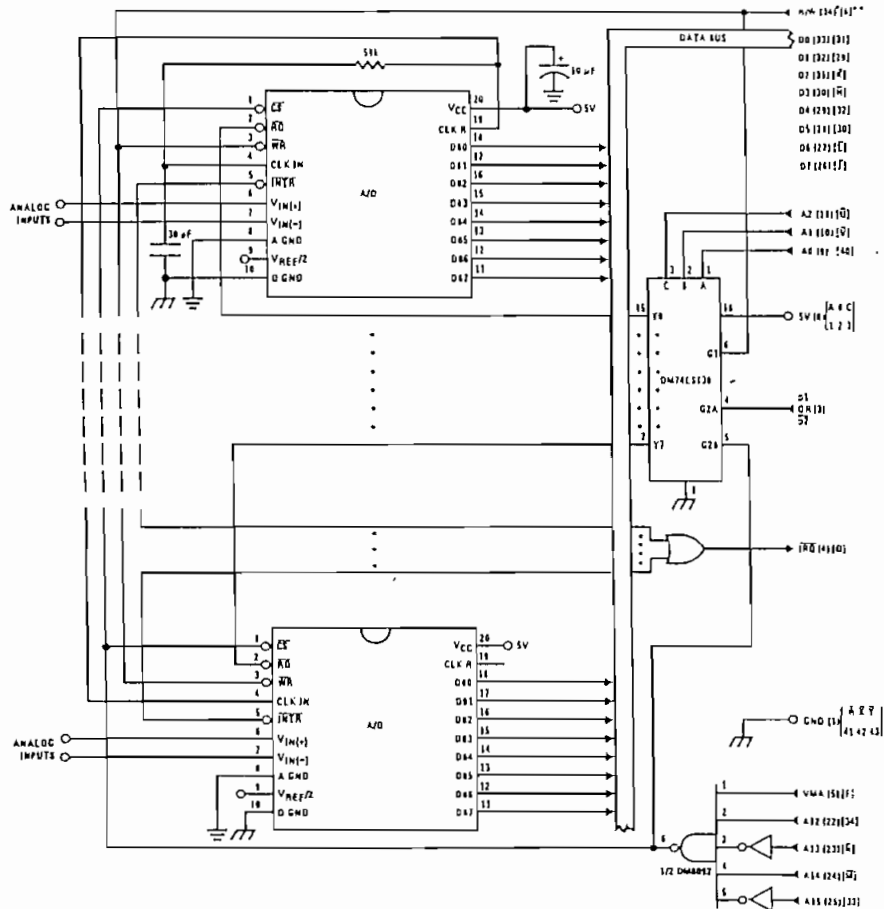
All the converters are started simultaneously with a STORE instruction at HEX address 5000. Note that any other HEX address of the form 5XXX will be decoded by the circuit, pulling all the CS inputs low. This can easily be avoided by using a more definitive address decoding scheme. All the interrupts are ORed together to insure that all A/Ds have completed their conversion before the microprocessor is interrupted.

The subroutine, DATA IN, may be called from anywhere in the user's program. Once called, this routine initializes

the CPU, starts all the converters simultaneously and waits for the interrupt signal. Upon receiving the interrupt, it reads the converters (from HEX addresses 5000 through 5007) and stores the data successively at (arbitrarily chosen) HEX addresses 0200 to 0207, before returning to the user's program. All CPU registers then recover the original data they had before servicing DATA IN.

5.2 Auto-Zeroed Differential Transducer Amplifier and A/D Converter

The differential inputs of the ADC0801 series eliminate the need to perform a differential to single ended conversion for a differential transducer. Thus, one op amp can be eliminated since the differential to single ended conversion is provided by the differential input of the ADC0801 series. In general, a transducer preamp is required to take advantage of the full A/D converter input dynamic range.



Note 1: Numbers in parentheses refer to MC6800 CPU pin out.
 Note 2: Numbers or letters in brackets refer to standard M6800 system common bus code.

FIGURE 16. Interfacing Multiple A/Ds in an MC6800 System

SAMPLE PROGRAM FOR FIGURE 16 INTERFACING MULTIPLE A/Ds IN AN MC6800 SYSTEM

ADDRESS	HEX CODE	MNEMONICS	COMMENTS
0010	DF 44	DATAIN STX TEMP	;Save Contents of X
0012	CE 00 2A	LOX #S002A	;Upon IRO LOW CPU
0015	FF FF F8	STX \$FFF8	;Jumps to 002A
0018	B7 50 00	STAA \$5000	;Starts all A/D's
001B	0E	CLI	
001C	3E	WAI	;Wait for interrupt
001D	CE 50 00	LOX #S5000	
0020	DF 40	STX INDEX1	;Reset both INDEX
0022	CE 02 00	LOX #S0200	;1 and 2 to starting
0025	DF 42	STX INDEX2	;addresses
0027	DE 44	LOX TEMP	
0029	39	RTS	;Return from subroutine
002A	DE 40	INTRPT LOX INOEX1	;INDEX1 -- X
002C	A6 00	LDAA X	;Read data in from A/D at X
002E	08	INX	;Increment X by one
002F	DF 40	STX INDEX1	;X -- INDEX1
0031	DE 42	LOX INDEX2	;INDEX2 -- X
0033	A7 00	STAA X	;Store data at X
0035	8C 02 07	CPX #S0207	;Have all A/D's been read?
0038	27 05	BEQ RETURN	;Yes: branch to RETURN
003A	08	INX	;No: increment X by one
003B	DF 42	STX INDEX2	;X -- INDEX2
003D	20 EB	BRA INTRPT	;Branch to 002A
003F	38	RETURN RTI	
0040	50 00	INDEX1 FDB \$5000	;Starting address for A/D
0042	02 00	INDEX2 FDB \$0200	;Starting address for data storage
0044	00 00	TEMP FDB \$0000	

Note 1: In order for the microprocessor to service subroutines and interrupts, the stack pointer must be dimensioned in the user's program.

For amplification of DC input signals, a major system error is the input offset voltage of the amplifiers used for the preamp. Figure 17 is a gain of 100 differential preamp whose offset voltage errors will be cancelled by a zeroing subroutine which is performed by the INS8080A microprocessor system. The total allowable input offset voltage error for this preamp is only 50 μV for 1/4 LSB error. This would obviously require very precise amplifiers. The expression for the differential output voltage of the preamp is:

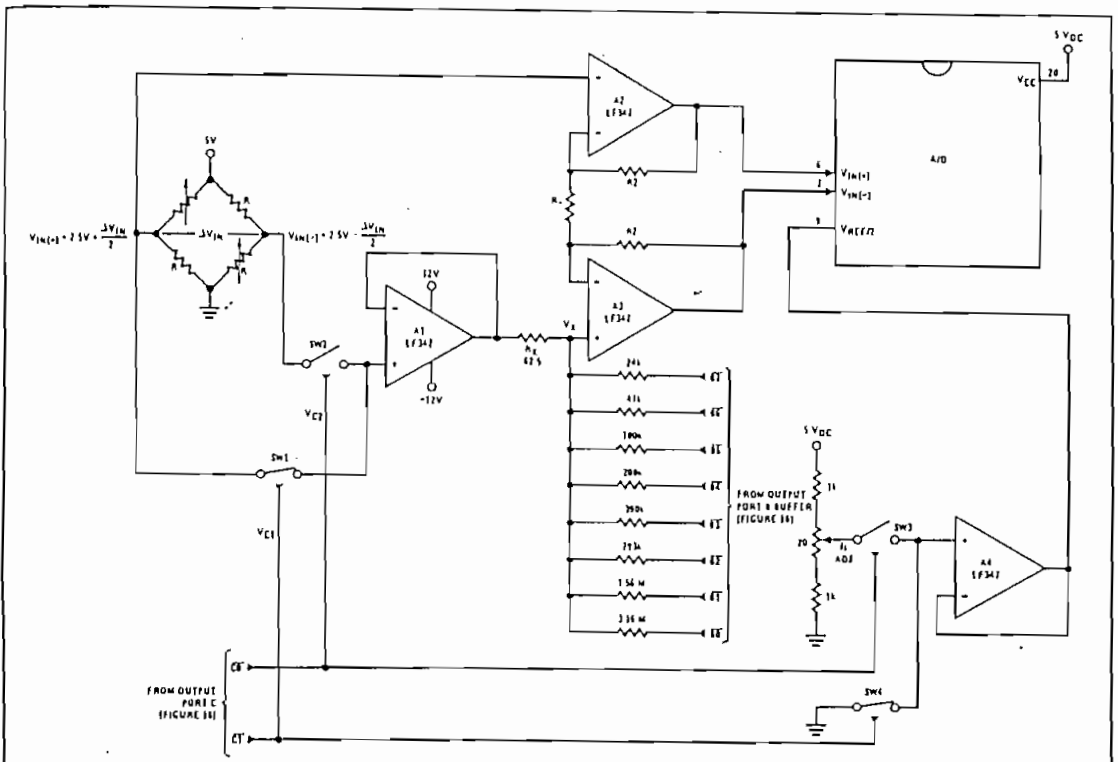
$$V_o = \underbrace{[V_{IN(+)} - V_{IN(-)}]}_{\text{SIGNAL}} \underbrace{\left[1 + \frac{2R_2}{R_1}\right]}_{\text{GAIN}} + \underbrace{[V_{os2} - V_{os1} - V_{os3} \pm I_x R_x]}_{\text{DC ERROR TERM}} \underbrace{\left(1 + \frac{2R_2}{R_1}\right)}_{\text{GAIN}}$$

where I_x is the current through resistor R_x . All of the offset error terms can be cancelled by making $\pm I_x R_x = V_{os1} + V_{os3} - V_{os2}$. This is the principle of this auto-zeroing scheme.

The INS8080A uses the 3 I/O ports of an INS8255 Programmable Peripheral Interface (PPI) to control the auto zeroing and input data from the ADC0801 as shown in Figure 18. The PPI is programmed for basic I/O operation (mode 0) with Port A being an input port and Ports B and C being output ports. Two bits of Port C are used to alternately open or close the 2 switches at the input

of the preamp. Switch SW1 is closed to force the preamp's differential input to be zero during the zeroing subroutine and then opened and SW2 is then closed for conversion of the actual differential input signal. Using 2 switches in this manner eliminates concern for the ON resistance of the switches as they must conduct only the input bias current of the input amplifiers.

Output Port B is used as a successive approximation register by the 8080 and the binary scaled resistors in series with each output bit create a D/A converter. During the zeroing subroutine, the voltage at V_x increases or decreases as required to make the differential output voltage equal to zero. This is accomplished by insuring that the voltage at the output of A1 is approximately 2.5V so that a logic "1" (5V) on any output of Port B will source current into node V_x thus raising the voltage at V_x and making the output differential more negative. Conversely, a logic "0" (0V) will pull current out of node V_x and decrease the voltage, causing the differential output to become more positive. For the resistor values shown, V_x can move ±12 mV with a resolution of 50 μV which will null the offset error term to 1/4 LSB of full-scale for the ADC0801. It is important that the voltage levels which drive the auto-zero resistors be constant. Also, for symmetry, a logic swing of 0V to 5V is convenient. To achieve this, a CMOS buffer is used for the logic output signals of Port B and this CMOS package is powered with a stable 5V source. Buffer amplifier A1 is necessary so that it can source or sink the D/A output current.



- Note 1: $R2 = 49.5 R1$
- Note 2: Switches are CD4066BC CMOS analog switches.
- Note 3: The 9 resistors used in the auto-zero section can be $\pm 5\%$ tolerance.

FIGURE 17. Gain of 100 Differential Transducer Preamp

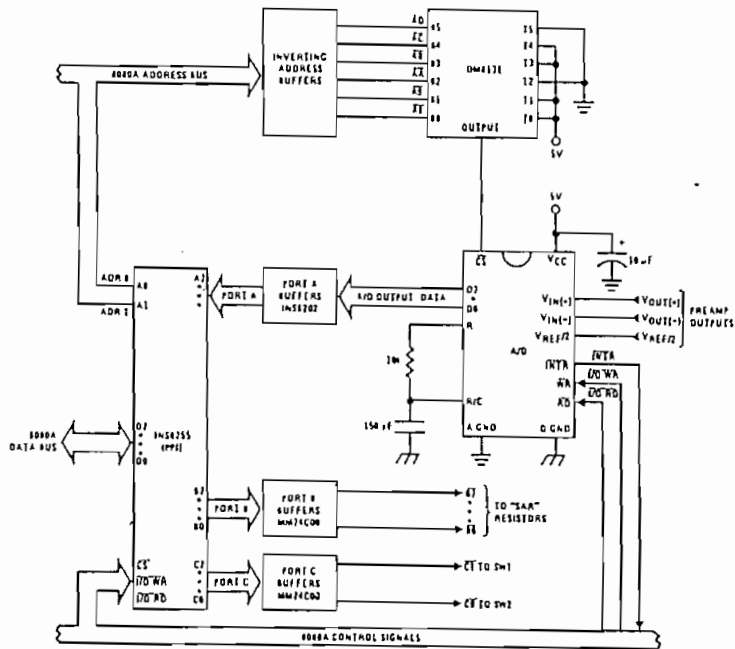


FIGURE 18. Microprocessor Interface Circuitry for Differential Preamp

A flow chart for the zeroing subroutine is shown in Figure 19. It must be noted that the ADC0801 series will output an all zero code when it converts a negative input [$V_{IN(-)} \geq V_{IN(+)}$]. Also, a logic inversion exists as all of the I/O ports are buffered with inverting gates.

Basically, if the data read is zero, the differential output voltage is negative, so a bit in Port B is cleared to pull V_x more negative which will make the output more positive for the next conversion. If the data read is not zero, the output voltage is positive so a bit in Port B is set to make V_x more positive and the output more negative. This continues for 8 approximations and the differential output eventually converges to within 5 mV of zero.

The actual program is given in Figure 20. All addresses used are compatible with the BLC 80/10 microcomputer system. In particular:

- Port A and the ADC0801 are at port address E4
- Port B is at port address E5
- Port C is at port address E6
- PPI control word port is at port address E7
- Program Counter automatically goes to ADDR:3C3D upon acknowledgement of an interrupt from the ADC0801

5.3 Multiple A/D Converters in a Z-80 Interrupt Driven Mode

In data acquisition systems where more than one A/D converter (or other peripheral device) will be interrupting program execution of a microprocessor, there is obviously a need for the CPU to determine which device requires servicing. Figure 21 and the accompanying software is a method of determining which of 7 ADC0801 converters has completed a conversion (INTR asserted) and is requesting an interrupt. This circuit allows starting the A/D converters in any sequence, but will input and store valid data from the converters with a priority sequence of A/D 1 being read first, A/D 2 second, etc., through A/D 7 which would have the lowest priority for data being read. Only the converters whose INT is asserted will be read.

The key to decoding circuitry is the DM74LS373, 8-bit D type flip-flop. When the Z-80 acknowledges the interrupt, the program is vectored to a data input Z-80 subroutine. This subroutine will read a peripheral status word from the DM74LS373 which contains the logic state of the INTR outputs of all the converters. Each converter which initiates an interrupt will place a logic "0" in a unique bit position in the status word and the subroutine will determine the identity of the converter and execute a data read. An identifier word (which indicates which A/D the data came from) is stored in the next sequential memory location above the location of the data so the program can keep track of the identity of the data entered.

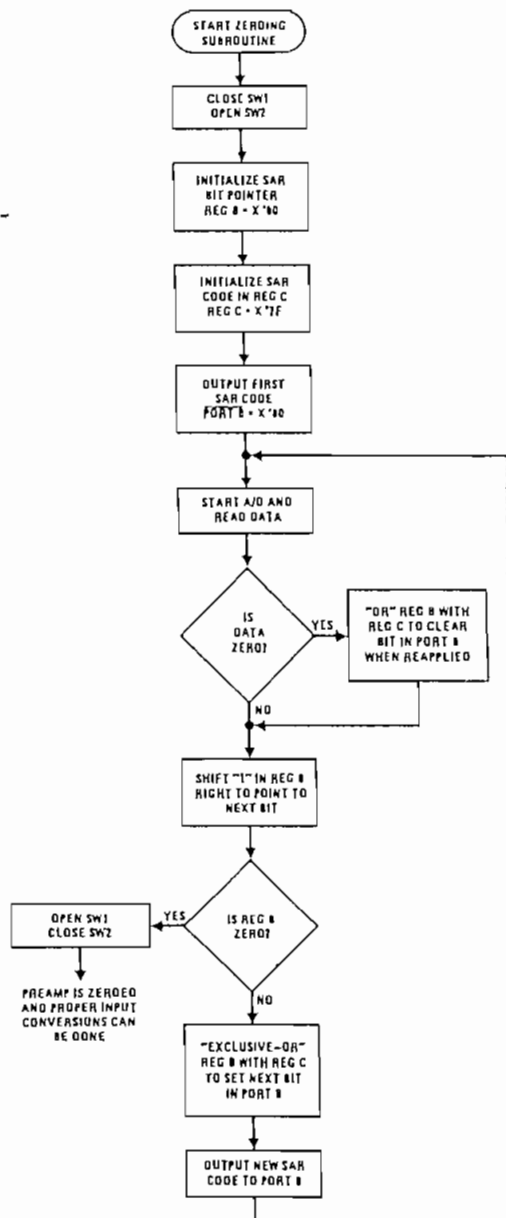


FIGURE 19. Flow Chart for Auto-Zero Routine

3D00	3E90	MVI 90			
3D02	D3E7	Out Control Port			; Program PPI
3D04	2601	MVI H 01	Auto-Zero Subroutine		
3D06	7C	MOV A,H			
3D07	D3E6	OUT C			; Close SW1, open SW2
3D09	06B0	MVI B 80			; Initialize SAR bit pointer
3D0B	3E7F	MVI A 7F			; Initialize SAR code
3D0D	4F	MOV C,A	Return		
3D0E	D3E5	OUT B			; Port B = SAR code
3D10	31AA3D	LXI SP 3DAA	Start		; Dimension stack pointer
3D13	D3E4	OUT A			; Start A/D
3D15	FB	IE			
3D16	00	NOP	Loop		; Loop until \overline{INT} asserted
3D17	C3163D	JMP Loop			
3D1A	7A	MOV A,D	Auto-Zero		
3D1B	C600	ADI 00			
3D1D	CA2D3D	JZ Set C			; Test A/D output data for zero
3D20	78	MOV A,B	Shift B		
3D21	F600	ORI 00			; Clear carry
3D23	1F	RAR			; Shift "1" in B right one place
3D24	FE00	CPI 00			; Is B zero? If yes last
3D26	CA373D	JZ Done			; approximation has been made
3D29	47	MOV B,A			
3D2A	C3333D	JMP New C			
3D2D	79	MOV A,C	Set C		
3D2E	B0	ORA B			; Set bit in C that is in same
3D2F	4F	MOV C,A			; position as "1" in B
3D30	C3203D	JMP Shift B			
3D33	A9	XRA C	New C		; Clear bit in C that is in
3D34	C30D3D	JMP Return			; same position as "1" in B
3D37	47	MOV B,A	Done		; then output new SAR code.
3D3B	7C	MOV A,H			; Open SW1, close SW2 then
3D39	EE03	XRI 03			; proceed with program. Preamp
3D3B	D3E6	OUT C			; is now zeroed.
3D3D	.	.	Normal		
		.			
		.			
		Program for processing proper data values			
3C3D	DBE4	IN A	Read A/D Subroutine		; Read A/D data
3C3F	EEFF	XRI FF			; invert data
3C41	57	MOV D,A			
3C42	7B	MOV A,B			; Is B Reg = 07 If not stay
3C43	E6FF	ANI FF			; in auto zero subroutine
3C45	C21A3D	JNZ Auto-Zero			
3C48	C33D3D	JMP Normal			

Note: All numerical values are hexadecimal representations.

FIGURE 20. Software for Auto-Zeroed Differential A/D

5.3 Multiple A/D Converters in a Z-80 Interrupt Driven Mode (Continued)

The following notes apply:

- 1) It is assumed that the CPU automatically performs a RST 7 instruction when a valid interrupt is acknowledged (CPU is in interrupt mode 1). Hence, the subroutine starting address of X003B.
- 2) The address bus from the Z-80 and the data bus to the Z-80 are assumed to be inverted by bus drivers.
- 3) A/D data and identifying words will be stored in sequential memory locations starting at the arbitrarily chosen address X 3E00.
- 4) The stack pointer must be dimensioned in the main program as the RST 7 instruction automatically pushes the PC onto the stack and the subroutine uses an additional 6 stack addresses.

- 5) The peripherals of concern are mapped into I/O space with the following port assignments:

HEX PORT ADDRESS	PERIPHERAL
00	MM74C374 8-bit flip-flop
01	A/D 1
02	A/D 2
03	A/D 3
04	A/D 4
05	A/D 5
06	A/D 6
07	A/D 7

This port address also serves as the A/D identifying word in the program.



ADC0801, ADC0802, ADC0803, ADC0804, ADC0805

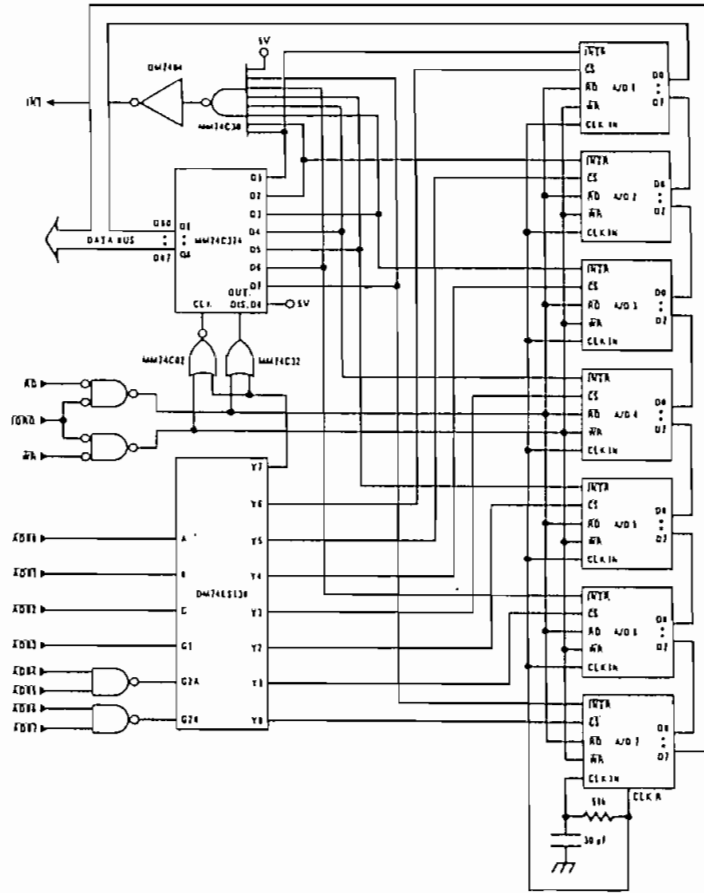


FIGURE 21. Multiple A/Ds with Z-80 Type Microprocessor

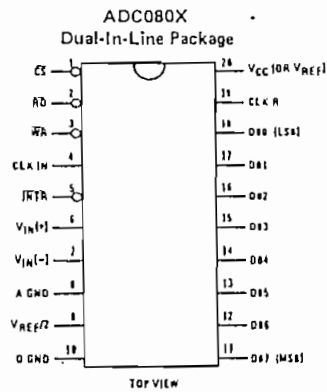
INTERRUPT SERVICING SUBROUTINE

LOC	OBJ CODE	SOURCE STATEMENT	COMMENT
0038	E5	PUSH HL	; Save contents of all registers affected by
0039	C5	PUSH BC	; this subroutine.
003A	F5	PUSH AF	; Assumed INT mode 1 earlier set.
003B	21 00 3E	LD (HL),XDE00	; Initialize memory pointer where data will be stored.
003E	0E 01	LD C,X01	; C register will be port ADDR of A/D converters.
0040	D300	OUT X00,A	; Load peripheral status word into 8 bit latch.
0042	DB00	IN A,X00	; Load status word into accumulator
0044	47	LD B,A	; Save the status word.
0045	79	LD A,C	; Test to see if the status of all A/D's have
0046	FE 08	CP, X08	; been checked. If so, exit subroutine.
0048	CA 60 00	JPZ, DONE	
004B	78	LD A,B	; Test a single bit in status word by looking for
004C	1F	RRA	; a "1" to be rotated into the CARRY (an INT
004D	47	LD B,A	; is loaded as a "1"). If CARRY is set then load
004E	0A 5500	JPC, LDAD	; contents of A/D at port ADDR in C register.
0051	0C	INC C	; If CARRY is not set, increment C register to point
0052	C3 4500	JP,TEST	; to next A/D, then test next bit in status word.
0055	ED 78	LD A,(C)	; Read data from interrupting A/D and invert
0057	EE FF	XOR FF	; the data.
0059	77	LD (HL),A	; Store the data.
005A	2C	INC L	
005B	71	LD (HL),C	; Store A/D identifier (A/D port ADDR).
005C	2C	INC L	
005D	C3 51 00	JP,NEXT	; Test next bit in status word.
0060	F1	POP AF	; Re-establish all registers as they were
0061	C1	POP BC	; before the interrupt.
0062	E1	POP HL	
0063	C9	RET	; Return to original program.

Ordering Information

TEMPERATURE RANGE		0°C TO 70°C	-40°C TO +85°C	-40°C TO +85°C	-55°C TO +125°C
ERROR	±1/4 Bit Adjusted		ADC0801LCN	ADC0801LCD	ADC0801LD
	±1/2 Bit Unadjusted		ADC0802LCN	ADC0802LCD	ADC0802LD
	±1/2 Bit Adjusted		ADC0803LCN	ADC0803LCD	
	±1 Bit Unadjusted	ADC0804LCN	ADC0805LCN	ADC0804LCD	
PACKAGE OUTLINE		N20A—MOLDED DIP		D20A—CAVITY DIP	D20A—CAVITY DIP

Connection Diagram



ADC0801, ADC0802, ADC0803, ADC0804, ADC0805

8

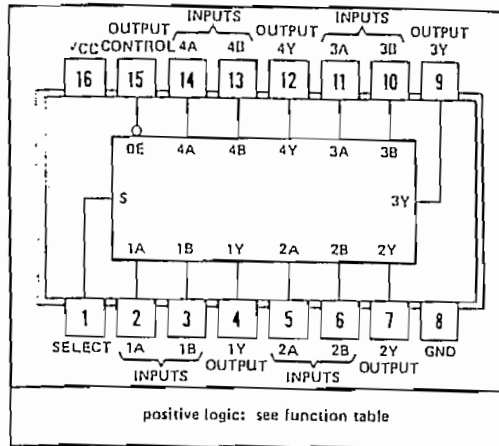
TTL
MSI

TYPES SN54S257, SN54S258, SN74S257, SN74S258 QUADRUPLE 2-LINE-TO-1-LINE DATA SELECTORS/MULTIPLEXERS WITH 3-STATE OUTPUTS

BULLETIN DLS 7211734, MAY 1972 - REVISED DECEMBER 1972

- Three-State Outputs Interface Directly with System Bus
- Schottky-Clamped for Significant Improvement in A-C Performance
- Fully Compatible with Most TTL Functions Including MSI
- Same Pin Assignments as SN54S157, SN74S157 and SN54S158, SN74S158
- Provides Bus Interface from Multiple Sources in High-Performance Systems
- SN54S257 and SN54S258 are Guaranteed for Operation Over the Full Military Temperature Range of -55°C to 125°C

J D P N DUAL-IN-LINE OR W FLAT PACKAGE (TOP VIEW)
SN54S257, SN74S257



positive logic: see function table

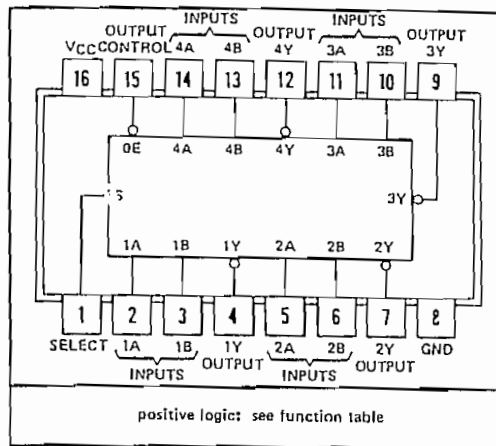
description

These Schottky-clamped high-performance multiplexers feature three-state outputs which can interface directly with and drive data lines of bus-organized systems. With all but one of the common outputs disabled (at a high-impedance state) the low impedance of the single enabled output will drive the bus line to a high or low logic level.

This three-state output feature means that n-bit (paralleled) data selectors with up to 258 sources can be implemented for data buses. It also permits the use of standard TTL registers for data retention throughout the system.

The typical propagation delay times from data input to output average only 4.8 nanoseconds for the SN54S257, SN74S257 and only 4 nanoseconds for the SN54S258, SN74S258. Also, to minimize the possibility that two outputs will attempt to take a common bus to opposite logic levels, the output-enable circuitry is designed such that the output disable times are shorter than the output enable times.

SN54S258, SN74S258



positive logic: see function table

FUNCTION TABLE

OUTPUT CONTROL	INPUTS		OUTPUT Y	
	SELECT	A	B	
H	X	X	X	Z
L	L	L	X	L
L	L	L	X	H
L	H	X	L	L
L	H	X	H	L

H = high level, L = low level, X = irrelevant, Z = high impedance (off)

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

TYPES SN54S257, SN54S258, SN74S257, SN74S258 QUADRUPLE 2-LINE-TO-1-LINE DATA SELECTORS/MULTIPLEXERS WITH 3-STATE OUTPUTS

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	
Input voltage	
Off-state output voltage	
Operating free-air temperature range: SN54S257, SN54S258 Circuits	-55°C to 125°C
SN74S257, SN74S258 Circuits	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTES: 1. All voltage values are with respect to network ground terminal.

recommended operating conditions

	SN54S257, SN54S258			SN74S257, SN74S258			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V _{DC}
High-level output current, I_{OH}			-2			-6.5	mA
Low-level output current, I_{OL}			20			20	mA
Operating free-air temperature, T_A	-55	125		0	70		°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS ¹	SN54S257, SN74S257			SN54S258, SN74S258			UNIT	
		MIN	TYP [‡]	MAX	MIN	TYP [‡]	MAX		
V_{IH} High-level input voltage		2			2			V _{DC}	
V_{IL} Low-level input voltage				0.8			0.8	V _{DC}	
V_I Input clamp voltage	$V_{CC} = \text{MIN}$, $I_I = -18 \text{ mA}$			-1.2			-1.2	V _{DC}	
V_{OH} High-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OH} = \text{MAX}$,	SN54S [†] 2.4 3.4			SN74S [†] 2.4 3.2			V _{DC}	
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OH} = 20 \text{ mA}$			0.5			0.5	V _{DC}	
$I_{O(\text{off})}$ Off-state (high-impedance state) output current	$V_{CC} = \text{MAX}$, $V_{IH} = 2 \text{ V}$	$V_O = 2.4 \text{ V}$ 50			$V_O = 0.5 \text{ V}$ -50			μA	
I_I Input current at maximum input voltage	$V_{CC} = \text{MAX}$, $V_I = 5.5 \text{ V}$			1			1	mA	
I_{IH} High-level input current	S input	$V_{CC} = \text{MAX}$, $V_I = 2.7 \text{ V}$			100			100	μA
	Any other				50			50	μA
I_{IL} Low-level input current	S input	$V_{CC} = \text{MAX}$, $V_I = 0.5 \text{ V}$			-4			-4	mA
	Any other				-2			-2	mA
I_{OS} Short-circuit output current [§]	$V_{CC} = \text{MAX}$	-40	-100	-40	-100	-40	-100	mA	
I_{CC} Supply current	All outputs high	44	68	36	56			mA	
	All outputs low	60	93	52	81			mA	
	All outputs off	64	99	56	87			mA	

¹For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.

[‡]All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.

[§]Not more than one output should be shorted at a time and duration of the short-circuit test should not exceed one second.

NOTE 2: I_{CC} is measured with all outputs open and all possible inputs grounded while achieving the stated output conditions.

TYPES SN54S257, SN54S258, SN74S257, SN74S258 QUADRUPLE 2-LINE-TO-1-LINE DATA SELECTORS/MULTIPLEXERS WITH 3-STATE OUTPUTS

Switching characteristics, $V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$, $R_L = 280\ \Omega$

PARAMETER ¹	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	SN54S257, SN74S257			SN54S258, SN74S258			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
t_{PLH}	Data	Any	$C_L = 15\text{ pF}$, See Note 3	5	7.5	4	6	ns		
t_{PHL}				4.5	6.5	4	6			
t_{PLH}	Select	Any		8.5	15	8	12	ns		
t_{PHL}				8.5	15	7.5	12			
t_{ZH}	Output Control	Any		13	19.5	13	19.5	ns		
t_{ZL}				14	21	14	21			
t_{HZ}	Output Control	Any	5.5	8.5	5.5	8.5	ns			
t_{LZ}			9	14	9	14				

¹ t_{PLH} = Propagation delay time, low-to-high-level output

¹ t_{PHL} = propagation delay time, high-to-low-level output

¹ t_{ZH} = output enable time to high level

¹ t_{ZL} = output enable time to low level

¹ t_{HZ} = output disable time from high level

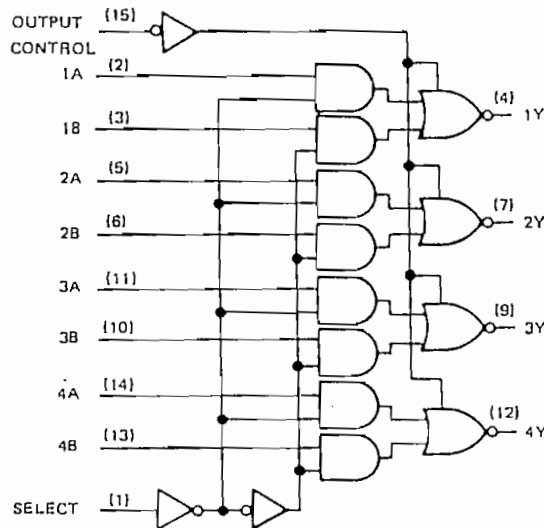
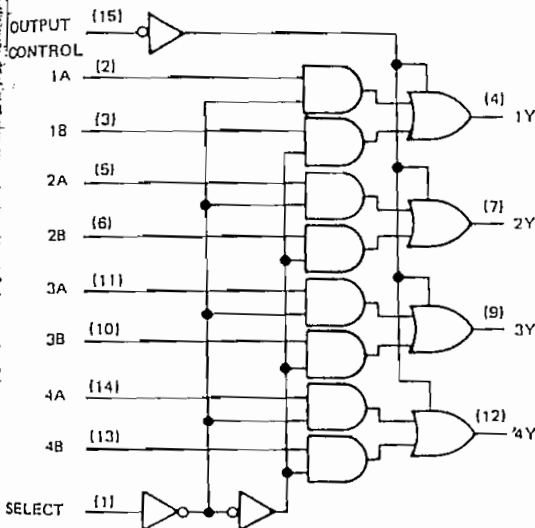
¹ t_{LZ} = output disable time from low level

NOTE 3: Load circuit and waveforms are shown on page 14B.

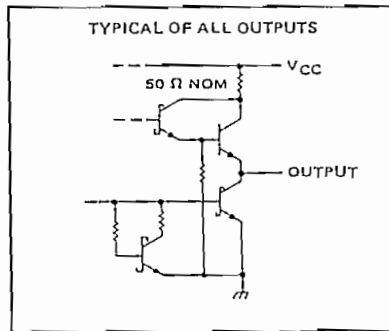
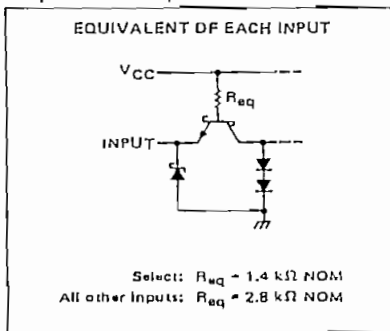
functional block diagrams

SN54S257, SN74S257

SN54S258, SN74S258



schematics of inputs and outputs



PRINTED IN U.S.A.

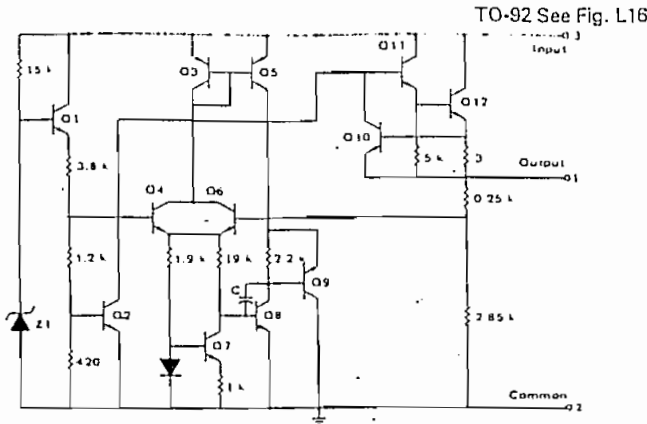
TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

485

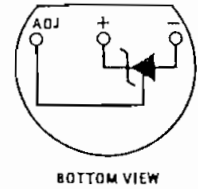
TEXAS INSTRUMENTS RESERVES THE RIGHT TO MAKE CHANGES AT ANY TIME
WITHOUT NOTICE TO IMPROVE DESIGN AND TO SUPPLY THE BEST PRODUCT POSSIBLE.

Linear IC and Module Circuits (cont'd)

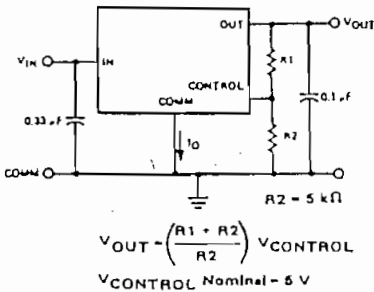
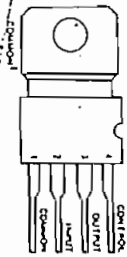
- ECG950
Pos VR, 12V, 100 mA
- ECG951
Pos VR, 11V, 100 mA
- ECG977
Pos VR, 5V, 100 mA
- ECG981
Pos VR, 1V, 100 mA
- ECG988
Pos VR, 3.2V, 100 mA



- ECG952
Precision 2.5 V Voltage Reference

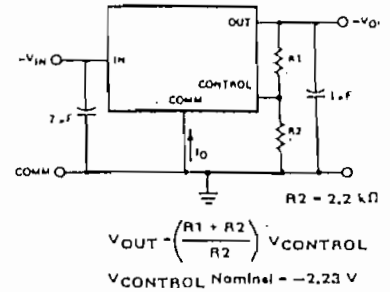
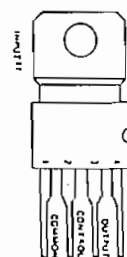


- ECG953
Pos VR, Adjustable 5 to 30 V, 1 A



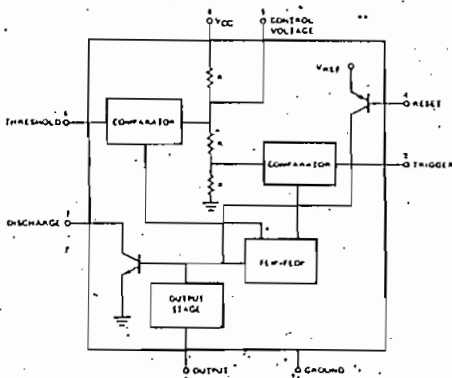
NOTES: Heat sink tabs connected to common through device substrate. Not recommended for direct electrical connection. Recommended R2 current \approx 1 mA.

- ECG954
Neg VR, Adjustable -2.2 to -30 V

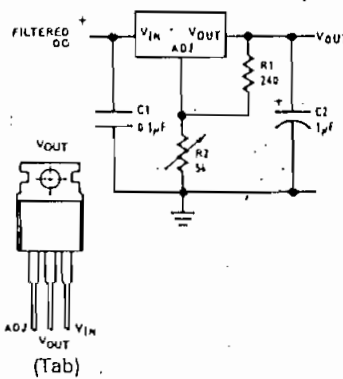


NOTES: Heat sink tabs connected to input through device substrate. Not recommended for direct electrical connection. Recommend R2 current \approx 1 mA.

- ECG955M 8-Pin DIP See Fig. L98
- ECG955S 8-Pin SIP See Fig. L35
- ECG955SM 8-Pin SOIC See Fig. L159
- Timer/Oscillator
- ECG955MC 8-Pin DIP See Fig. L97
- Low Power Timer/Oscillator, CMOS Output

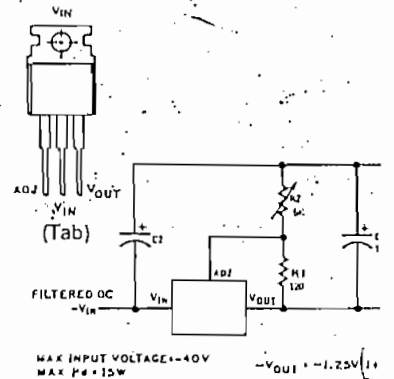


- ECG956 TO-220 See Fig. L17
- Pos VR, 1.2 to 37 V, 1.5 A



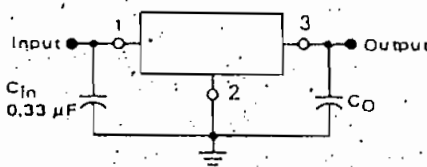
MAX INPUT VOLTAGE = 40V
MAX P_d = 15W

- ECG957 TO-220 See Fig.
- Neg VR, 1.2 to 37 V, 1.5 A

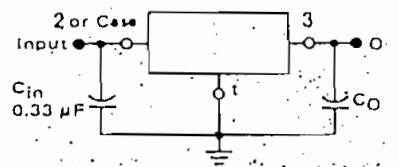


MAX INPUT VOLTAGE = 40V
MAX P_d = 15W

- ECG958 Pos VR, 18 V, 1 A
- ECG960 Pos VR, 5 V, 1 A
- ECG962 Pos VR, 6 V, 1 A
- ECG964 Pos VR, 8 V, 1 A
- ECG966 Pos VR, 12 V, 1 A
- ECG968 Pos VR, 15 V, 1 A
- ECG972 TO-220 See Fig. L17
- Pos VR, 24 V, 1 A
- ECG1932 Pos VR, 10 V, 1 A



- ECG959 Neg VR, 18 V, 1 A
- ECG961 Neg VR, 5 V, 1 A
- ECG963 Neg VR, 6 V, 1 A
- ECG965 Neg VR, 8 V, 1 A
- ECG967 Neg VR, 12 V, 1 A
- ECG969 Neg VR, 15 V, 1 A
- ECG971 TO-220 See Fig.
- Neg VR, 24 V, 1 A



Absolute Maximum Ratings

Input Voltage	35 V
Power Dissipation	Internally Limited
Operating Junction Temperature Range	
LM109	-55°C to +150°C
LM209	-25°C to +150°C
LM309	0°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

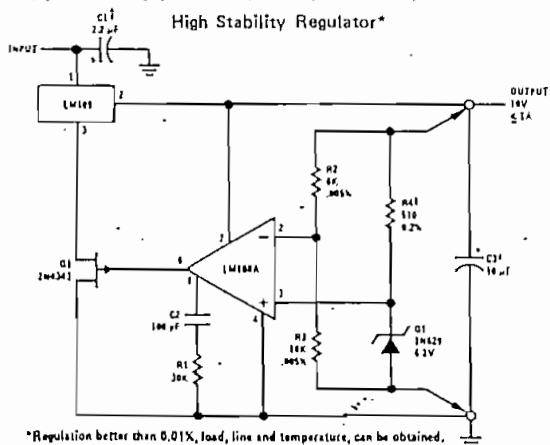
Electrical Characteristics

PARAMETER	CONDITIONS	LM109/LM209			LM309			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Output Voltage	$T_J = 25^\circ\text{C}$	4.7	5.05	5.3	4.8	5.05	5.2	V
Line Regulation	$T_J = 25^\circ\text{C}$, $7\text{V} < V_{IN} < 25\text{V}$		4.0	50		4.0	50	mV
Load Regulation	$T_J = 25^\circ\text{C}$							
TO-5 Package	$5\text{mA} < I_{OUT} < 0.5\text{A}$		15	50		15	50	mV
TO-3 Package	$5\text{mA} < I_{OUT} < 1.5\text{A}$		15	100		15	100	mV
Output Voltage	$7\text{V} < V_{IN} < 25\text{V}$, $5\text{mA} < I_{OUT} < I_{MAX}$, $P < P_{MAX}$	4.6		5.4	4.75		5.25	V
Quiescent Current	$7\text{V} < V_{IN} < 25\text{V}$		5.2	10		5.2	10	mA
Quiescent Current Change	$7\text{V} < V_{IN} < 25\text{V}$			0.5			0.5	mA
	$5\text{mA} < I_{OUT} < I_{MAX}$			0.8			0.8	mA
Output Noise Voltage	$T_A = 25^\circ\text{C}$, $10\text{Hz} < f < 100\text{kHz}$		40			40		μV
Long Term Stability				10			20	mV
Ripple Rejection	$T_J = 25^\circ\text{C}$	50			50			dB
Thermal Resistance, Junction to Case	(Note 2)							
TO-5 Package			15			15		$^\circ\text{C}/\text{W}$
TO-3 Package			2.5			2.5		$^\circ\text{C}/\text{W}$

Note 1: Unless otherwise specified, these specifications apply $-55^\circ\text{C} < T_J < +150^\circ\text{C}$ for the LM109, $-25^\circ\text{C} < T_J < +150^\circ\text{C}$ for the LM209, and $0^\circ\text{C} < T_J < +125^\circ\text{C}$ for the LM309; $V_{IN} = 10\text{V}$; and $I_{OUT} = 0.1\text{A}$ for the TO-39 package or $I_{OUT} = 0.5\text{A}$ for the TO-3 package. For the TO-39 package, $I_{MAX} = 0.2\text{A}$ and $P_{MAX} = 2.0\text{W}$. For the TO-3 package, $I_{MAX} = 1.0\text{A}$ and $P_{MAX} = 20\text{W}$.

Note 2: Without a heat sink, the thermal resistance of the TO-39 package is about $150^\circ\text{C}/\text{W}$, while that of the TO-3 package is approximately $35^\circ\text{C}/\text{W}$. With a heat sink, the effective thermal resistance can only approach the values specified, depending on the efficiency of the sink.

Typical Applications (cont'd.)

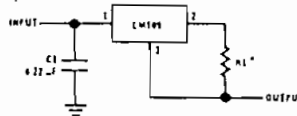


*Regulation better than 0.01%, load, line and temperature, can be obtained.

†Determines zener current. May be adjusted to minimize thermal drift.

‡Solid tantalum.

Current Regulator



*Determines output current. If wirewound resistor is used, bypass with $0.1\mu\text{F}$.

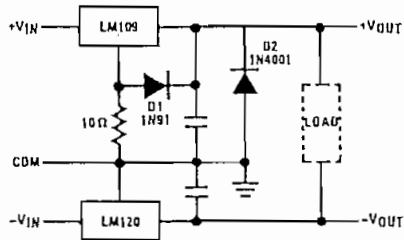
Application Hints

- a. Bypass the input of the LM109 to ground with $> 0,2 \mu\text{F}$ ceramic or solid tantalum capacitor if main filter capacitor is more than 4 inches away.
- b. Use steel package instead of aluminum if more than 5,000 thermal cycles are expected. ($\Delta T > 50^\circ\text{C}$)
- c. Avoid insertion of regulator into "live" socket if input voltage is greater than 10 V. The output will rise to within 2 V of the unregulated input if the ground pin does not make contact, possibly damaging the load. The LM109 may also be damaged if a large output capacitor is charged up, then discharged through the internal clamp zener when the ground pin makes contact.
- d. The output clamp zener is designed to absorb transients only. It will not clamp the output effectively if a failure occurs in the internal power transistor structure. Zener dynamic impedance is $\approx 4 \Omega$. Continuous RMS current into the zener should not exceed 0,5 A.
- e. Paralleling of LM109s for higher output current is not recommended. Current sharing will be almost nonexistent, leading to a current limit mode operation for devices with the highest initial output voltage. The current limit devices may also heat up to the

thermal shutdown point ($\approx 175^\circ\text{C}$). Long term reliability cannot be guaranteed under these conditions.

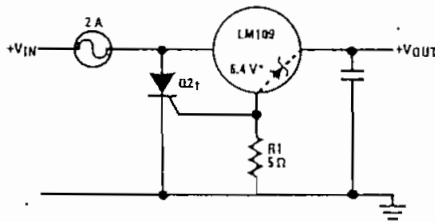
- f. Preventing latching for loads connected to negative voltage:

If the output of the LM109 is pulled negative by a high current supply so that the output pin is more than 0,5 V negative with respect to the ground pin, the LM109 can latch off. This can be prevented by clamping the ground pin to the output pin with a germanium or Schottky diode as shown. A silicon diode (1N4001) at the output is also needed to keep the positive output from being pulled too far negative. The 10Ω resistor will raise $+V_{\text{OUT}}$ by $\approx 0,05 \text{ V}$.

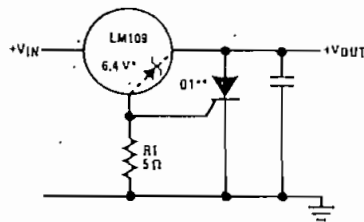


Crowbar Overvoltage Protection

INPUT CROWBAR



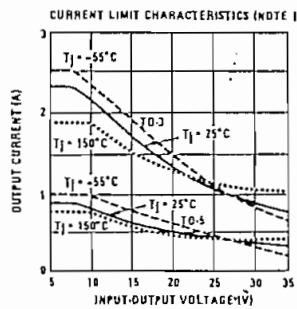
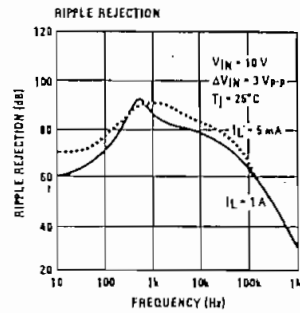
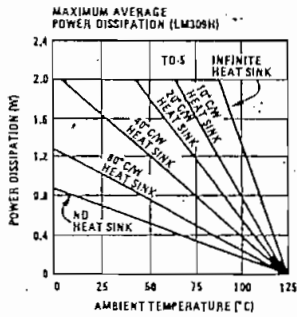
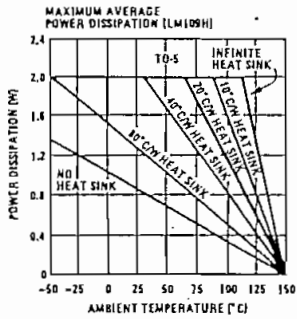
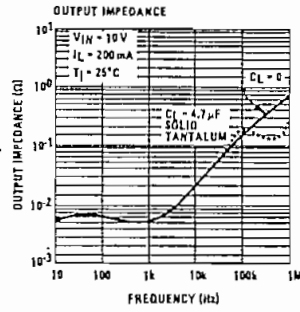
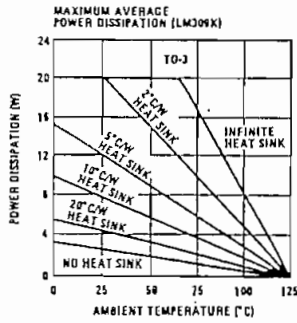
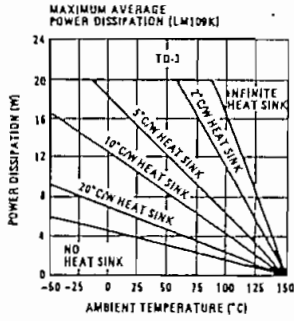
OUTPUT CROWBAR



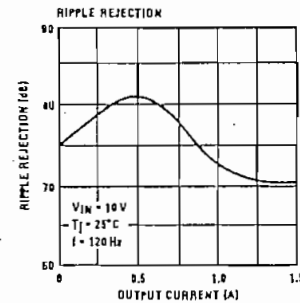
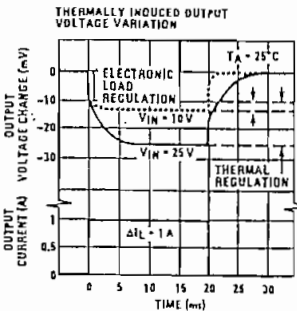
*Zener is internal to LM109.
 **Q1 must be able to withstand 7 A continuous current if fusing is not used at regulator input. LM109 bond wires will fuse at currents above 7 A.
 †Q2 is selected for surge capability. Consideration must be given to filter capacitor size, transformer impedance, and fuse blowing time.
 ††Trip point is $\approx 7,5 \text{ V}$.

Typical Performance Characteristics

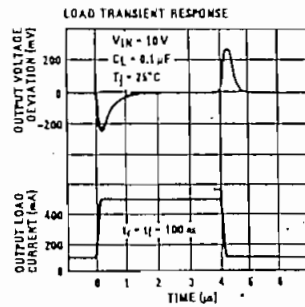
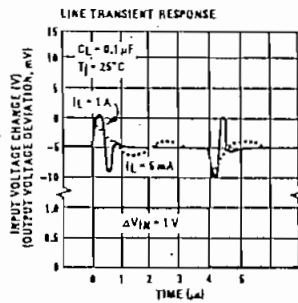
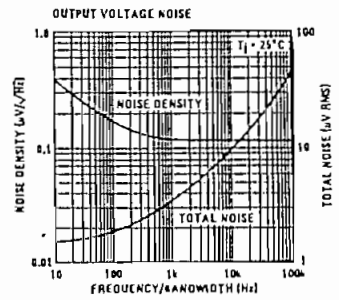
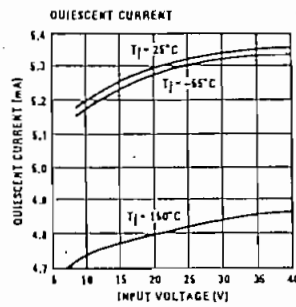
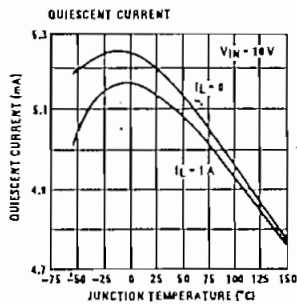
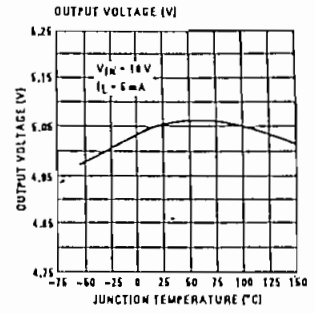
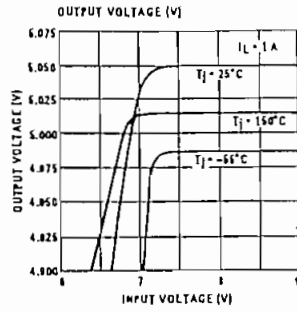
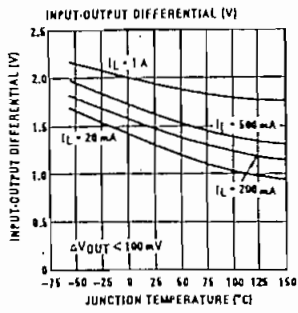
LM109/LM209/LM309



Note 1: Current limiting foldback characteristics are determined by input-output differential, and by output voltage.



Typical Performance Characteristics (cont'd)





LM136/LM236/LM336 2.5V Reference Diode

General Description

The LM136/LM236 and LM336 integrated circuits are precision 2.5V shunt regulator diodes. These monolithic IC voltage references operate as a low temperature coefficient 2.5V zener with 0.2Ω dynamic impedance. A third terminal on the LM136 allows the reference voltage and temperature coefficient to be trimmed easily.

The LM136 series is useful as a precision 2.5V low voltage reference for digital voltmeters, power supplies or op amp circuitry. The 2.5V make it convenient to obtain a stable reference from 5V logic supplies. Further, since the LM136 operates as a shunt regulator, it can be used as either a positive or negative voltage reference.

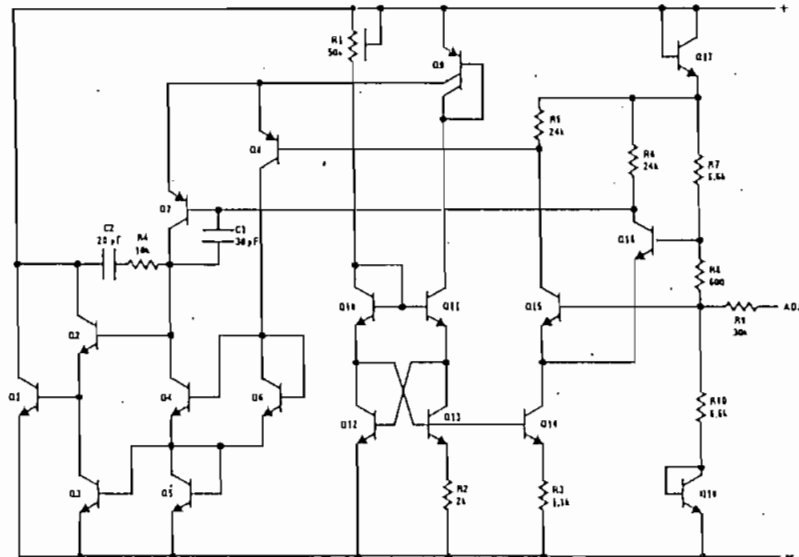
The LM136 is rated for operation over -55°C to +125°C while the LM236 is rated over a -25°C to +85°C

temperature range. Both are packaged in a TO-46 package. The LM336 is rated for operation over a 0°C to +70°C temperature range and is available in either a three lead TO-46 package or a TO-92 plastic package.

Features

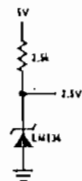
- Low temperature coefficient
- Wide operating current of 300 μA to 10 mA
- 0.2Ω dynamic impedance
- ±1% initial tolerance available
- Guaranteed temperature stability
- Easily trimmed for minimum temperature drift
- Fast turn-on
- Three lead transistor package

Schematic Diagram

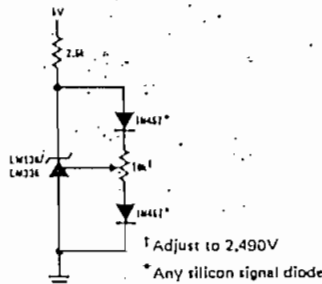


Typical Applications

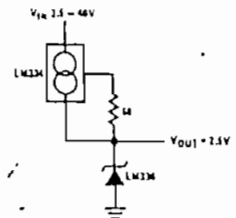
2.5V Reference



2.5V Reference with Minimum Temperature Coefficient



Wide Input Range Reference



Absolute Maximum Ratings

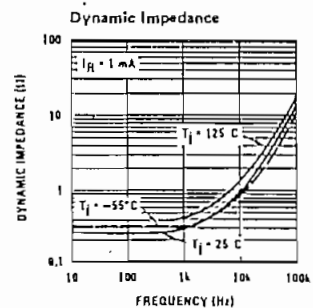
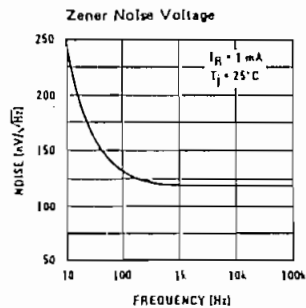
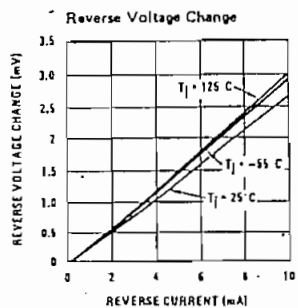
Reverse Current	15 mA
Forward Current	10 mA
Storage Temperature	-60°C to +150°C
Operating Temperature	
LM136	-55°C to +150°C
LM236	-25°C to +85°C
LM336	0°C to +70°C
Lead Temperature (Soldering, 10 seconds)	300°C

Electrical Characteristics (Note 1)

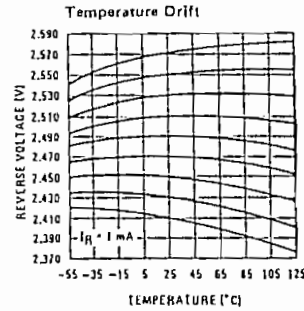
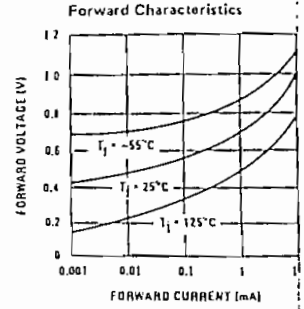
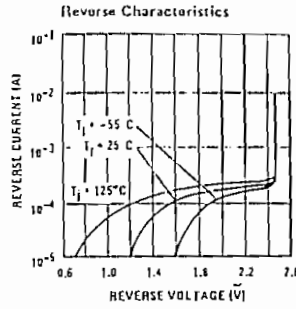
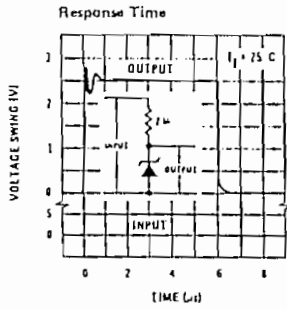
PARAMETER	CONDITIONS	LM136A/LM236A LM136/LM236			LM336B LM336			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Reverse Breakdown Voltage	$T_A = 25^\circ\text{C}$, $I_R = 1\text{ mA}$ LM136/LM236/LM336	2.440	2.490	2.540	2.390	2.490	2.590	V
	LM136A/LM236A, LM336B	2.465	2.490	2.515	2.440	2.490	2.540	V
Reverse Breakdown Change With Current	$T_A = 25^\circ\text{C}$, $400\ \mu\text{A} \leq I_R \leq 10\text{ mA}$		2.6	6		2.6	10	mV
Reverse Dynamic Impedance	$T_A = 25^\circ\text{C}$, $I_R = 1\text{ mA}$		0.2	0.6		0.2	1	Ω
Temperature Stability	V_R Adjusted to 2.490V $I_R = 1\text{ mA}$, (Figure 2) $0^\circ\text{C} \leq T_A \leq 70^\circ\text{C}$ (LM336) $-25^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ (LM236) $-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ (LM136)				1.8	6		mV
			3.5	9				mV
			12	18				mV
Reverse Breakdown Change With Current	$400\ \mu\text{A} \leq I_R \leq 10\text{ mA}$		3	10		3	12	mV
Reverse Dynamic Impedance	$I_R = 1\text{ mA}$		0.4	1		0.4	1.4	Ω
Long Term Stability	$T_A = 25^\circ\text{C} \pm 0.1^\circ\text{C}$, $I_R = 1\text{ mA}$		20			20		ppm

Note 1: Unless otherwise specified, the LM136 is specified from $-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$, the LM236 from $-25^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ and the LM336 from $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$. The maximum junction temperature of the LM136 is 150°C , LM236 is 125°C and the LM336 is 100°C . For elevated junction temperature, devices in the TO-46 package should be derated based on a thermal resistance of 440°C/W junction to ambient or 80°C/W junction to case. For the TO-92 package, the derating is based on 180°C/W junction to ambient with $0.4''$ leads from a PC board and 160°C/W junction to ambient with $0.125''$ lead length to a PC board.

Typical Performance Characteristics



Typical Performance Characteristics (Continued)



Application Hints

The LM136 series voltage references are much easier to use than ordinary zener diodes. Their low impedance and wide operating current range simplify biasing in almost any circuit. Further, either the breakdown voltage or the temperature coefficient can be adjusted to optimize circuit performance.

Figure 1 shows an LM136 with a 10k potentiometer for adjusting the reverse breakdown voltage. With the addition of R1 the breakdown voltage can be adjusted without affecting the temperature coefficient of the device. The adjustment range is usually sufficient to

adjust for both the initial device tolerance and inaccuracies in buffer circuitry.

If minimum temperature coefficient is desired, two diodes can be added in series with the adjustment potentiometer as shown in Figure 2. When the device is adjusted to 2.490V the temperature coefficient is minimized. Almost any silicon signal diode can be used for this purpose such as a 1N914, 1N4148 or a 1N457. For proper temperature compensation the diodes should be in the same thermal environment as the LM136. It is usually sufficient to mount the diodes near the LM136 on the printed circuit board. The absolute resistance of R1 is not critical and any value from 2k to 20k will work

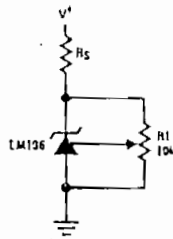


FIGURE 1. LM136 With Pot for Adjustment of Breakdown Voltage

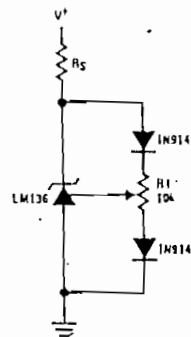
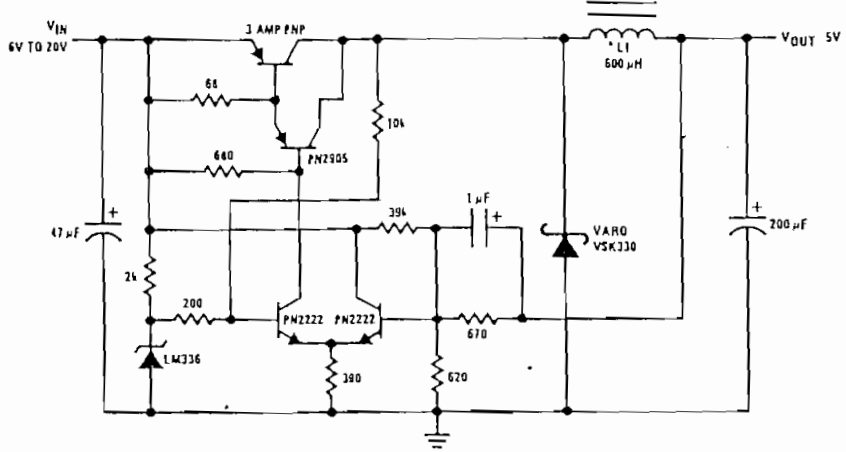


FIGURE 2. Temperature Coefficient Adjustment

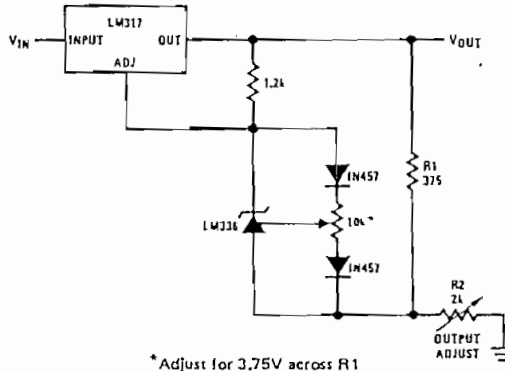
Typical Applications (Continued)

Low Cost 2 Amp Switching Regulator†



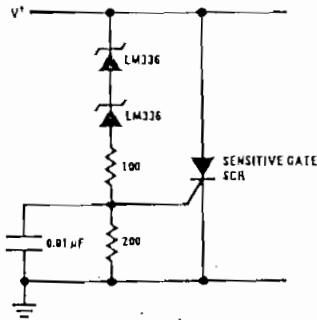
*L1 60 turns #16 wire on Arnold Core A-254168-2
 †Efficiency ~ 80%

Precision Power Regulator with Low Temperature Coefficient

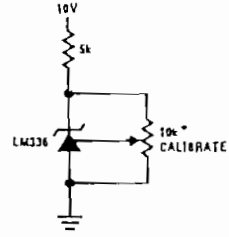


*Adjust for 3.75V across R1

5V Crowbar



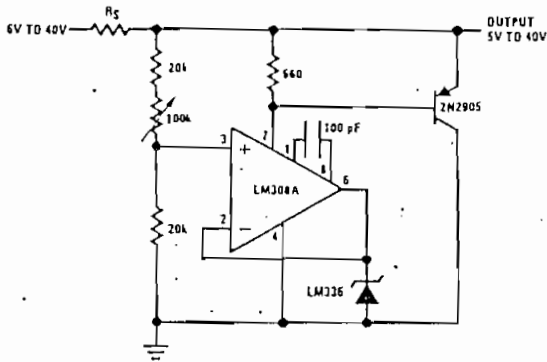
Trimmed 2.5V Reference with Temperature Coefficient Independent of Breakdown Voltage



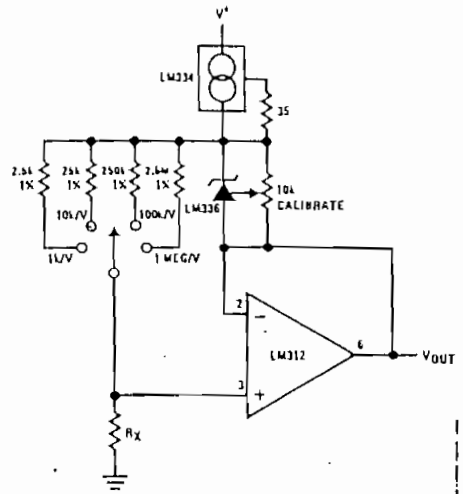
*Does not affect temperature coefficient

Typical Applications (Continued)

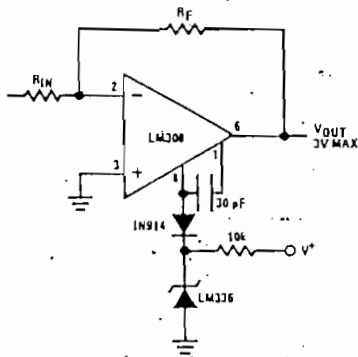
Adjustable Shunt Regulator



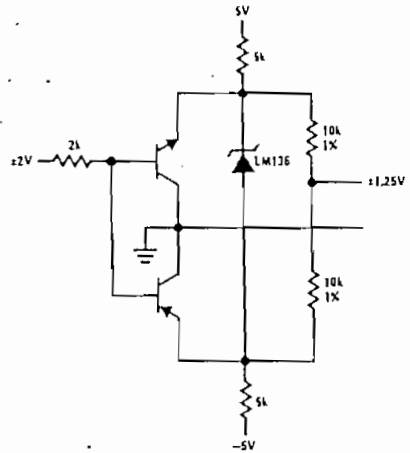
Linear Ohmmeter



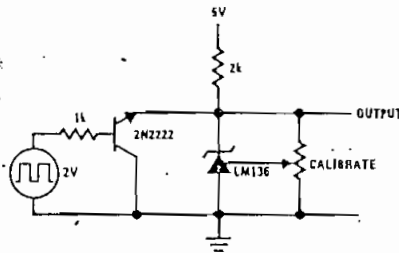
Op Amp with Output Clamped



Bipolar Output Reference

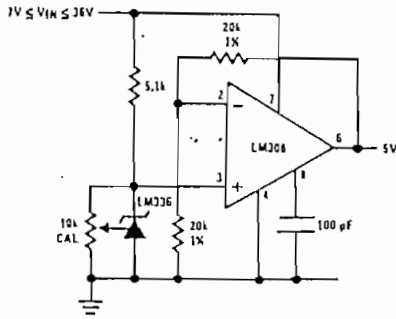


2.5V Square Wave Calibrator

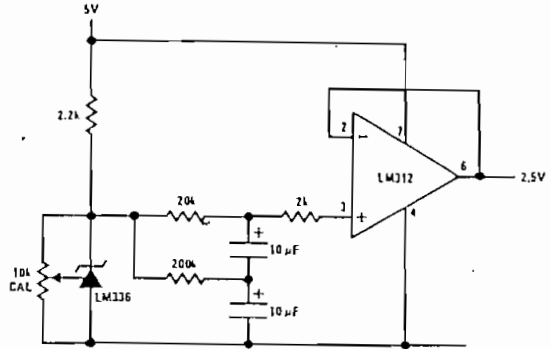


Typical Applications (Continued)

5V Buffered Reference

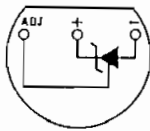


Low Noise Buffered Reference



Connection Diagrams

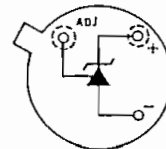
TO-92
Plastic Package



BOTTOM VIEW

Order Number
LM336Z-2.5 or LM336BZ-2.5
See Package Z03A

TO-46
Metal Can Package



BOTTOM VIEW

Order Number
LM136H-2.5, LM236H-2.5, LM336H-2.5, LM136AH-2.5,
LM236AH-2.5 or LM336BH-2.5
See Package H03H

BIBLIOGRAFIA