

ESCUELA POLITECNICA NACIONAL

FACULTAD DE INGENIERIA ELECTRICA

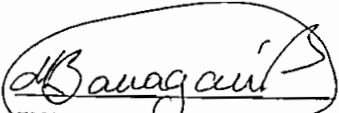
TESIS PREVIA A LA OBTENCION DEL TITULO DE
INGENIERO EN ELECTRONICA Y CONTROL

" CONTROL DE POSICION PARA EL ROTOR DE UNA
ANTENA UTILIZANDO UN MICROCONTROLADOR "

CARLOS B. FREIRE ROMO

Quito, Julio de 1987

CERTIFICO QUE ESTE TRABAJO
HA SIDO REALIZADO EN SU
TOTALIDAD POR EL SEÑOR
CARLOS B. FREIRE ROMO.


ING. MARCO BARRAGAN
DIRECTOR

A G R A D E C I M I E N T O

- Al Ing. Marco Barragán por su acertada dirección.
- A la Compañía OPTRONIC por su valiosa ayuda, en especial a los Ingenieros Marcelo Guarderas y Patricio López.
- A todas las personas que directa o indirectamente han colaborado en el desarrollo y elaboración de la presente tesis.

D E D I C A T O R I A

A mis padres y hermanos

I N D I C E

<u>CAPITULO I</u>	<u>PAGINA</u>
1.1 Introducción.....	1
 <u>CAPITULO II - GENERALIDADES</u>	
2.1 ANALISIS DE SISTEMA ACTUAL Y PROPUESTO.....	
2.1.1 SISTEMA ACTUAL.....	5
2.1.2 SISTEMA PROPUESTO.....	6
2.2 MODIFICACIONES E INNOVACIONES NECESARIAS.....	8
2.3 GENERALIDADES SOBRE EL MOTOR USADO EN EL SISTEMA.....	12
2.3.1 MOTORES DE FASE PARTIDA.....	12
2.3.1.1 MOTOR DE INDUCCION DE FASE PARTIDA (DE ARRANQUE POR RESISTENCIA).....	14
2.3.1.2 MOTOR DE FASE PARTIDA DE ARRANQUE POR CONDENSADOR.....	16
2.3.1.3 MOTOR DE FASE PARTIDA CON CONDENSADOR PERMANENTE (DE UN SOLO VALOR).....	18
2.3.1.4 MOTOR DE FASE PARTIDA CON CONDENSADOR DE DOS VALO RES.....	20
 <u>CAPITULO III - DISEÑO DEL CONTROL</u>	
3.1 ESPECIFICACIONES.....	23
3.1.1 VOLTAJE DE ALIMENTACION.....	23
3.1.2 SEÑALIZACIONES.....	23
3.1.3 FUENTES DE PODER.....	24

	<u>PAGINA</u>
3.1.4 SELECCION DE GIRO Y POSICION MAXIMA.....	24
3.1.5 INGRESO Y PRESENTACION DE DATOS.....	25
3.1.6 COMANDO DEL SISTEMA.....	25
3.1.7 PRECISION DEL EQUIPO.....	26
3.2 DIAGRAMA EN BLOQUES DEL SISTEMA.....	26
3.3 DISEÑO DE LAS DIFERENTES ETAPAS DE CONTROL.....	27
3.3.1 INGRESO DE DATOS Y GIRO.....	28
3.3.2 PRESENTACION DE DATOS.....	31
3.3.2.1 HABILITACION DE DIGITOS DE LOS DISPLAYS.....	36
3.3.3 MEMORIA RAM EXTERNA.....	37
3.3.4 CONTROLES AL MOTOR.....	41
3.3.5 SEÑALIZACIONES.....	43
3.3.5.1 ENCENDIDO DEL EQUIPO.....	44
3.3.5.2 DESCARGA DE BATERIAS.....	45
3.3.5.3 ALARMA VISUAL.....	47
3.3.6 SENSOR OPTICO.....	48
3.4 ETAPA DE POTENCIA.....	53
3.4.1 CONTROL DE ARRANQUE Y PARADA DEL MOTOR.....	53
3.4.1.1 CALCULO DE RESISTENCIA.....	54
3.4.1.2 FUNCIONAMIENTO DEL CIRCUITO.....	56
3.4.2 CONTROL DEL SENTIDO DE GIRO.....	57
3.5 CIRCUITOS DE PROTECCION.....	58
3.6 ALARMA Y SEÑALIZACIONES.....	61
3.7 FUENTES DE POLARIZACION.....	62
3.7.1 PROCEDIMIENTO DE DISEÑO.....	64
3.7.2 DETERMINACION DE DISIPADOR.....	69

<u>CAPITULO IV - DISEÑO DEL PROGRAMA</u>	<u>PAGINA</u>
4.1 ESTRUCTURA GENERAL.....	71
4.1.1 PROCESO DE INICIALIZACION.....	72
4.1.2 INGRESO DE DATOS.....	72
4.1.3 ORDENACION DE LOS DATOS INGRESADOS.....	73
4.1.4 EJECUCION DE LA OPERACION ADECUADA.....	74
4.1.5 MUESTREO DE LA POSICION DEL ROTOR DE ANTENA.....	75
4.1.6 ETAPA DE FINALIZACION.....	75
4.2 DIAGRAMAS DE FLUJO.....	76
4.2.1 DIAGRAMA DE FLUJO GENERAL.....	76
4.2.2 SUBROUTINA TECLADO-DISPLAY.....	80
4.2.3 SUBROUTINA ORDENAR.....	84
4.2.4 SUBROUTINA DECIMAL A HEXADECIMAL.....	85
4.2.5 SUBROUTINA DE INTERRUPCION: TIMER.....	88
4.2.6 SUBROUTINA DISPLAY TOTAL.....	93
4.2.7 SUBROUTINA DECREMENTE DISPLAY 2.....	98
4.2.8 SUBROUTINA DISPLAY BLANCO.....	100
4.2.9 SUBROUTINA ESPERA.....	104
4.2.10 SUBROUTINA INPUT.....	104
4.2.11 SUBROUTINA LECTURA TECLA.....	105
4.2.12 SUBROUTINA INGRESO.....	106
4.2.13 SUBROUTINA ENTER.....	106
4.2.14 SUBROUTINA CLEAR.....	107
4.2.15 SUBROUTINA P2-DELAY.....	107
4.2.16 SUBROUTINA LECTURA.....	108
4.2.17 SUBROUTINA COMPARAR.....	109
4.2.18 SUBROUTINA ENCERAR MEMORIA.....	109

	<u>PAGINA</u>
4.3 LISTADO DE PROGRAMAS.....	115
4.3.1 LISTADO DEL PROGRAMA PARA ENGERAR MEMORIA RAM EX - TERNA.....	116
4.3.2 LISTADO DEL PROGRAMA PRINCIPAL.....	119
 <u>CAPITULO V - RESULTADOS EXPERIMENTALES</u>	
5.1 PRUEBAS DE LABORATORIO.....	133
5.1.1 SENSOR OPTICO INTERRUMPIBLE.....	133
5.1.2 ALIMENTACION AL MOTOR.....	135
5.1.3 PRUEBAS ADICIONALES DE FUNCIONAMIENTO.....	136
5.1.4 MODULO DE FUENTES DE PODER.....	137
5.2 CONCLUSIONES.....	137
5.3 RECOMENDACIONES.....	139
ANEXO A: DIAGRAMA TOTAL DEL SISTEMA.....	141
ANEXO B: MANUAL DE UTILIZACION DEL EQUIPO.....	145
ANEXO C: HOJAS DE DATOS DE LOS MANUALES DE LOS FABRICAN- TES:.....	155
ANEXO D: EL MICROCONTROLADOR 8748.....	208
ANEXO E: BIBLIOGRAFIA.....	232

CAPITULO I

INTRODUCCION

1.1 INTRODUCCION

El gran desarrollo producido en el campo de la microelectrónica en los últimos 10 años, ha permitido que el diseño de equipo electrónico varíe grandemente, obteniéndose una mayor confiabilidad y versatilidad.

Los microprocesadores y microcomputadores han facilitado el desarrollo de dispositivos digitales y de control, permitiendo la implementación de control en tiempo real de una manera eficiente y económica. Uno de los resultados de la tecnología actual es que permite combinar electrónica y mecánica con fines de control, que conjuntamente con el advenimiento de los circuitos integrados y los microprocesadores, han logrado que gran cantidad de elementos electromecánicos y circuitería analógica anteriormente necesaria, pueda ser ahora sustituida.

La naturaleza del intercambio de información entre el proceso y el sistema de control define la flexibilidad o rigidez que deberá poseer éste para obtener un sistema versátil y funcional. Los grados de complejidad del sistema de control y del proceso a comandarse están en directa relación. Al necesario parámetro de Costo-beneficio deben sumarse las consideraciones de flexibilidad, versatilidad y complejidad expuestas, como factores para la decisión de los elementos a utilizarse en el control: se establece entonces el límite para la utilización de microprocesadores.

Múltiples son las ventajas de dispositivos microprocesados frente a los circuitos convencionales: simplificación enorme de la circuitería en tanto mayores sean las funciones encomendadas al microprocesador; además el diseño de circuitos combinatoriales, secuenciales, etc. implantados mediante un programa almacenado, no sólo significa reducción de elementos utilizados, sino que puede ser sometido a cualquier tipo de cambios para cumplir otras nuevas funciones, sin tocar los circuitos ya implantados. La división de funciones entre hardware y software adquiere especial significado en el diseño de prototipos, pues las variables sujetas a experimentación pueden someterse a diversos análisis en el programa, de igual manera las señales destinadas a comandar el proceso, se pueden modificar en busca de mejores soluciones.

La presente tesis utiliza el microcontrolador 8748 para controlar la posición y sentido de giro de un rotor de antena tipo estándar. Se intenta explotar todas las ventajas que ofrecen los microprocesadores, mejorando la precisión del sistema construido con tecnología digital y disminuyendo su tamaño, especialmente en lo que se refiere al control. El modelo así contruido tiene posibles aplicaciones en la materia Control con Microprocesadores y su posterior aplicación en pruebas de laboratorio.

Siendo la función básica del sistema su utilización como equipo de laboratorio, la capacidad de controlar la posición y el sentido de giro de un rotor de antena, se la puede emplear en la realización de pruebas en sistemas radiantes.

La principal característica de controlar la posición y sentido de giro, permite su utilización como parte fundamental en sistemas de radio-localización de emisoras.

En lo que se refiere al contenido, en el segundo capítulo se hace un análisis del sistema actual y del sistema propuesto, indicando las ventajas, desventajas, modificaciones e innovaciones necesarias en el nuevo modelo. También se da una idea general sobre el tipo de motor disponible para el rotor de antena y su funcionamiento: justificación de la clase de motor y forma de arranque.

En el tercer capítulo se detallan las diferentes etapas del control en función de las especificaciones que debe cumplir el equipo. Se da una explicación del funcionamiento y diseño de las etapas de control y potencia, circuitos de protección, alarma y señalizaciones, para finalmente exponer un análisis de la fuente de polarización.

En el capítulo cuarto se desarrollan los programas que se grabarán en el microcontrolador 8748 para controlar al sistema; se indica su estructura general: inicialización, ingreso y ordenación de datos, ejecución de la operación adecuada, muestreo de la posición del rotor de antena y finalización. Además se indica detalladamente los diagramas de flujo para el programa principal y las diversas subrutinas, explicando en cada caso la función o propósito que cumplen en el modelo. Al final del capítulo se realiza el listado del programa total que se grabó en el microcontrolador 8748.

En el capítulo quinto se hace un análisis de los resultados obtenidos mediante pruebas de laboratorio. Se presentan formas de onda en los puntos de mayor interés para ratificar el correcto funcionamiento del equipo. Esto permite presentar las conclusiones y recomendaciones más importantes resultantes del diseño y construcción del control de posición.

Por último, se exponen varios apéndices donde se muestra: diagramas del equipo, hojas de datos de los fabricantes de los elementos-empleados, características del microcontrolador 8748 y un manual que permite operar el sistema.

CAPITULO II

GENERALIDADES

- 2.1.....Análisis del sistema actual y propuesto.
- 2.2.....Modificaciones e innovaciones necesarias.
- 2.3.....Generalidades sobre el motor usado en el sistema.

GENERALIDADES

2.1.- ANALISIS DEL SISTEMA ACTUAL Y PROPUESTO

2.1.1.- SISTEMA ACTUAL:

El sistema diseñado y construido en una tesis previa utiliza un control digital para posicionar al rotor de antena y en lo referente al control consta de las siguientes etapas:

2.1.1.1.- PRIMERA ETAPA:

En esta etapa el sistema permite controlar la posición y el sentido de giro del rotor de antena, éste control se lo realiza entre dos posiciones que se las puede elegir a voluntad para lo cual se dispone de una entrada de inicialización que sirve para ajustar una referencia provisional.

2.1.1.2.- SEGUNDA ETAPA:

Se dota al sistema de un circuito de memoria que almacena toda la información relativa a los cambios de posición del rotor con respecto a la posición inicial de referencia provisional que se mantiene fija mientras no se apague el equipo. Esta etapa permite al rotor un funcionamiento continuo entre la posición inicial de referencia, y la posición máxima que se ha prefijado como límites del control. Este circuito de memoria permite al sistema su retorno a la posición inicial

de referencia en el momento que se desee o una vez que se ha llegado a la posición máxima.

Un diagrama de bloques de este control digital se observa en la figura 2.1.

FIGURA 2.1

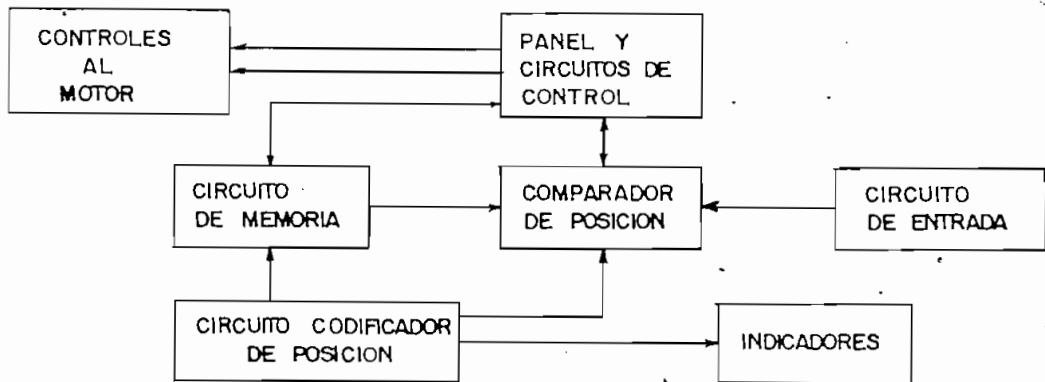


DIAGRAMA DEL CONTROL CONSTRUIDO ANTERIORMENTE

2.1.2.- SISTEMA PROPUESTO

El sistema propuesto cumple básicamente el mismo propósito que el equipo previo, con la diferencia de que el control del sistema emplea las ventajas que ofrecen los microprocesadores, mejorando la precisión del sistema y disminuyendo su tamaño, especialmente en lo que se refiere al control.

Este sistema en una sola etapa permite controlar la posición y el sentido de giro del rotor de antena. En este caso la antena gira

entre una posición de referencia que siempre es fija y una posición final que se puede elegir a voluntad en cualquiera de los dos sentidos de giro. El microcontrolador 8748 emplea su memoria para almacenar la información de cambios de posición del rotor con respecto a la referencia fija. Así mismo, se ha fijado una posición máxima como límite del control que es de 800° en cualquier sentido de giro; para posiciones superiores a este valor, se da una señal de alarma y se mantiene apagado al motor, garantizándose así la seguridad del sistema.

FIGURA 2.2

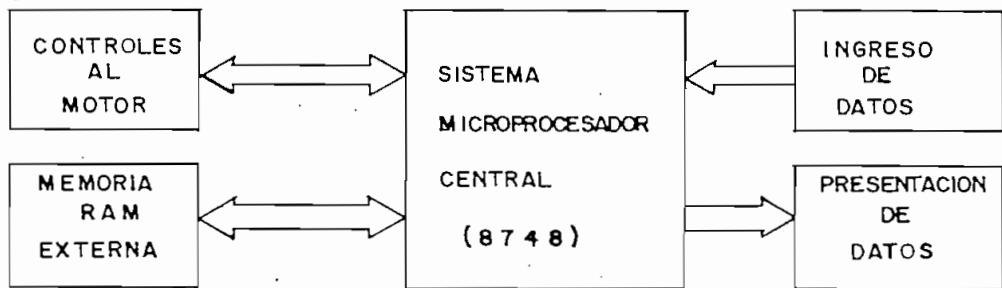


DIAGRAMA DEL CONTROL PARA EL SISTEMA PROPUESTO

El retorno a la posición de origen se puede efectuar desde cualquier ángulo girado.

No es necesario reponer al sistema a la posición de origen antes de apagar al equipo, ya que este nuevo sistema involucra una memoria RAM externa al microcontrolador donde también se almacenan todos los datos de movimiento del rotor de antena que utiliza una fuente de

alimentación propia (tres pilas de 1,5 V. cada una) lo que hace al sistema independiente de cualquier pérdida de energía del equipo en cualquier condición de funcionamiento: Con esto se garantiza que el sistema de referencia escogido una sola vez se mantenga invariable mientras no se pierda la alimentación de la memoria RAM externa. Con este fin se incorpora al sistema una señal de descarga de baterías.

2.2.- MODIFICACIONES E INNOVACIONES NECESARIAS

Para introducir el ángulo de giro deseado así como el sentido de giro se incorpora al sistema un teclado que consta de 12 teclas: 10 de números, 1 tecla (Borrar/Giro) que sirve para seleccionar el sentido de giro o borrar los datos en forma individual según la secuencia de datos introducidos: datos-giro ó giro-datos, situación que se identifica con el uso de una tecla de control (Ingreso) que es la tecla 12. Todo el control para manejo del teclado se realiza con el microcontrolador 8748. Cuando ya se introdujo el giro y el dato y se presionó la tecla INGRESO, el sistema comienza la prueba hasta su final y en ningún momento se puede introducir o cambiar el dato porque a través de SOFTWARE se evita cualquier ingreso de un nuevo dato. Esta situación no se puede efectuar en el equipo previo ya construido, ya que en lugar de teclado tiene un SWITCH rotativo para ingresar datos y un interruptor adicional para cambiar el sentido de giro.

Con el fin de visualizar el dato y giro deseados y el valor que indica la posición con respecto a la posición de referencia fija,

así como su sentido de giro, se dispone de dos displays independientes, cada uno de los cuales nos da la información indicada. Cada display es de 3 1/2 dígitos con lo cual se disminuye el hardware necesario y se hace por tanto al sistema más eficiente y seguro.

Se dispone de un solo interruptor de encendido o apagado del equipo, facilitándose así su manejo.

La mayor parte de protecciones se realizan por software con lo que se reduce la circuitería. Ellas son:

- Presión de más de una tecla.
- Habilidad de las señalizaciones de las diferentes alarmas las cuales se las ha hecho independientes para facilitar la detección de daño.
- Evitar el ingreso de más de tres dígitos por teclado.
- Evitar el ingreso de cualquier dato cuando el sistema está ejecutando una prueba (motor en movimiento).
- Habilidad del sentido de giro seleccionado, siempre antes de activar al motor.

Se agregan las protecciones necesarias para las fuentes de polarización, lo que evita la destrucción del microcontrolador y demás elementos integrados.

Además, para no perder la información de la posición última del rotor de antena respecto a la referencia fija se dispone de una me

moria RAM CMOS externa de bajo consumo de corriente que es alimentada por medio de una batería independiente.

También se usa un sensor óptico que incorpora el emisor y detector en un solo cuerpo. Tiene bajo consumo de corriente, es de pequeño tamaño y de fácil colocación en el reducido espacio dentro de la carcasa del rotor de antena.

Para la inversión de giro del motor se usa un relé de una vía y dos posiciones, su tamaño es relativamente pequeño, su costo es inferior al caso de usar triacs, es de bajo consumo de corriente y de fácil uso dentro del sistema.

Para evitar operación inestable por los bruscos cambios en el consumo de corriente que afectan el funcionamiento del microcontrolador, se prefiere usar dos reguladores de voltaje de +5.0 V. cada uno, que alimentan independientemente a las diferentes partes del equipo.

Se modifica la forma de entregar los pulsos a la compuerta del triac principal que comanda el motor, sugiriéndose un circuito más sencillo y confiable.

Se aísla completamente la parte de control de la de potencia (motor del rotor de antena), usando un transistor que a su vez comanda al optotriac necesario para alimentar a la compuerta del triac principal de encendido del motor. El relé que sirve para la inversión de giro también es manejado por un transistor. De esta manera en caso de

falla se protege al microcontrolador, ya que la corriente necesaria para polarizar los transistores se toma de la fuente y no del microcontrolador.

No es necesario incorporar ningún tipo de control de velocidad ya que el sistema es lento y la corrección que se puede obtener es mínima si se considera que el sistema de freno que dispone el rotor de antena es electromecánico: mantiene fija la antena si el motor está apagado o la deja girar libremente al accionar el motor. Este freno se enclava en la carcasa del motor porque tiene en su periferia un sistema dentado (Trinquete) donde se introduce un gatillo (Retén) que sujeta al rotor; según el ángulo girado este gatillo se aplica en la posición deseada, pero el rotor se detiene cuando el gatillo queda posicionado en la parte más entrante del trinquete (Valle). De esta manera se comete un error pequeño en exceso o en defecto inevitable con este tipo de frenado, pero que en todo caso está dentro de los límites tolerables de variación del ángulo para la recepción de señales, en forma práctica.

No se logró cambiar el sistema de frenado especialmente por limitaciones de tamaño y por no tener en el mercado un sistema eléctrico adecuado para este tipo de rotor de antena.

En consecuencia, cualquier ajuste fino en el posicionamiento del rotor de antena se pierde por el método de frenado adherido y por tanto empleado en el rotor de antena objeto de este análisis.

2.3.- GENERALIDADES SOBRE EL MOTOR USADO EN EL SISTEMA

El motor que acciona al rotor de antena usado en el equipo -
construido es un motor de inducción monofásico de fase partida y de
potencia fraccionaria.

Los motores de inducción monofásicos se clasifican en función
de su procedimiento de puesta en marcha y en general se conocen por nom-
bres descriptivos de tales procedimientos. La elección del motor apro-
piado se basa en el par de arranque y de marcha requeridos por la carga
por las exigencias del ciclo y por las limitaciones impuestas por la
red a las corrientes de arranque y marcha normal. Así mismo, el costo
de un motor monofásico crece con su potencia y sus características ta-
les como la relación entre el par de arranque y la intensidad; por con-
siguiente, para las aplicaciones prácticas se elige el de menos poten-
cia compatible con el servicio pretendido, a fin de reducir en lo posi-
ble su costo. A continuación se indican cualitativamente las diversas
opciones de arranque para este motor de fase partida y su opción más a-
decuada.

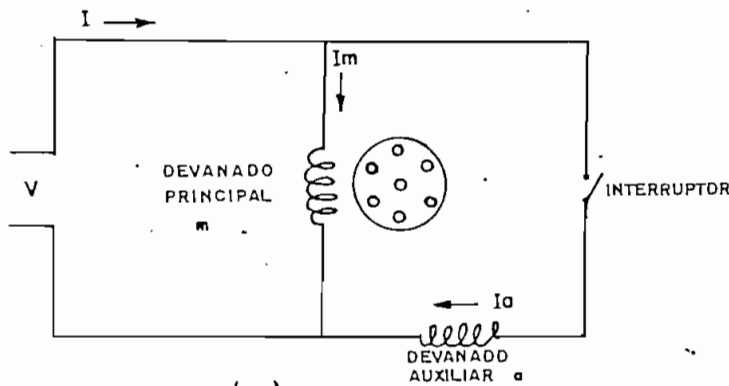
2.3.1.- MOTORES DE FASE PARTIDA

Los motores de fase partida tienen dos devanados en el esta-
tor: uno principal, m, y otro auxiliar, a, (figura 2.3.a) con sus res-

pectivos ejes dispuestos en el espacio a 90° eléctricos entre sí.

El devanado auxiliar tiene una relación resistencia-reactancia mayor que el principal, de forma que las corrientes en ambos están defasadas entre sí tal como se indica en el diagrama vectorial de la figura 2.1.b representativo de las condiciones existentes en el arranque. La intensidad I_a en el devanado auxiliar está adelantada respecto a la corriente I_m del devanado principal. Dichas corrientes en ambos devanados equivalen a una corriente bifásica desequilibrada y el motor equivale a un motor bifásico equilibrado; el resultado es un campo giratorio en el estator capaz de provocar el arranque del motor. Una vez el motor en marcha, se desconecta el devanado auxiliar, generalmente por medio de un interruptor centrífugo, que actúa cuando la velocidad ha llegado aproximadamente al 75 por ciento de la de sincronismo.

FIGURA 2.3



a) ESQUEMA DE CONEXIONES

b) DIAGRAMA VECTORIAL

MOTOR DE FASE PARTIDA EN EL ARRANQUE

Para conseguir la alta relación resistencia-reactancia en el devanado auxiliar, existe un método sencillo que consiste en bobinar éste con hilo más fino que el principal; cosa que se puede hacer sin inconvenientes ya que el devanado auxiliar está conectado únicamente durante el período de puesta en marcha.

Los motores de fase partida poseen un par de arranque moderado con intensidad de puesta en marcha reducida. Su gama de potencias abarca generalmente desde 1/20 HP hasta 1/2 HP, existiendo dentro de este campo los más económicos disponibles.

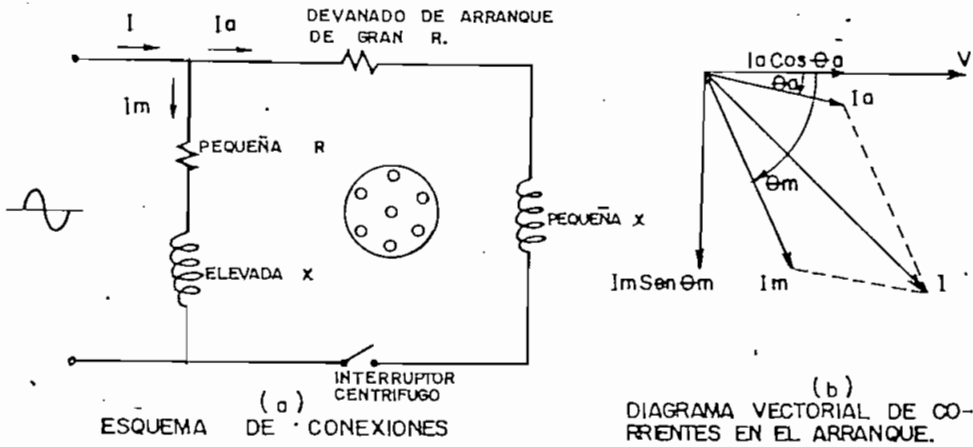
2.3.1.1.- MOTOR DE INDUCCION DE FASE PARTIDA

(Arranque por resistencia)

El devanado de arranque tiene menos espiras y el hilo es de menos sección que el devanado de marcha. El devanado de arranque por consiguiente presenta una resistencia elevada, una reactancia reducida. Inversamente, el devanado de marcha (hilo de mayor sección y más espiras), presenta una resistencia reducida y una reactancia elevada. A causa de su menor impedancia, la corriente en el devanado de marcha o principal, I_m , es mayor que en el devanado auxiliar o de arranque, I_a .

En la figura 2.4.a se indica el esquema de conexión y en la figura 2.4.b las relaciones de fase de las corrientes a rotor bloqueado en el momento del arranque.

FIGURA 2.4



ARRANQUE POR RESISTENCIA

Si los devanados están desplazados 90° en el espacio y si los componentes en cuadratura de la corriente que están defasadas 90° son practicamente iguales, se produce un campo giratorio bifásico equivalente en el arranque que desarrolla el par de arranque suficiente para acelerar el rotor en el sentido del campo giratorio producido por las corrientes.

Quando el rotor acelera, genera su propia Fem de rotación (teoría del campo transversal), y tiende a producir un par resultante en virtud de su propia rotación en un sentido particular (teoría del campo giratorio).

A fin de invertir el sentido de giro de cualquier motor de fase partida, es necesario invertir las conexiones de los terminales del devanado auxiliar de arranque con respecto al devanado principal de mar

cha. Esto producirá un campo giratorio bifásico en sentido opuesto. En el caso de un motor de arranque por resistencia monofásico no sucede nada incluso si los contactos del interruptor centrífugo se puentean y se alimenta el devanado de arranque. Puesto que el par monofásico es mayor que el par de campo auxiliar, el motor continuará funcionando como un motor monofásico en el sentido en que giraba originalmente. El motor de arranque por resistencia se clasifica por tanto, como un motor no reversible.

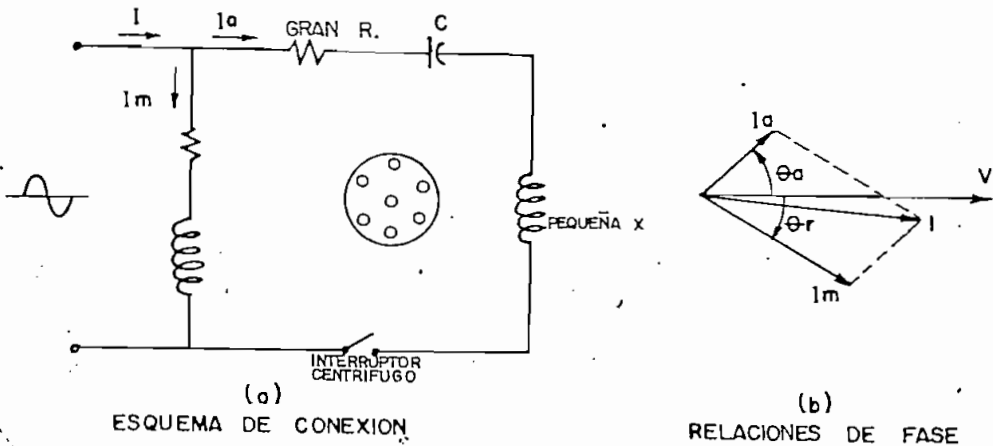
La corriente de arranque relativamente elevada disminuye casi instantáneamente, de manera que una corriente de arranque elevada no es un inconveniente para este motor. Posee un bajo par de arranque y sometido a una fuerte carga se vuelve un motor algo ruidoso.

2.3.1.2.- MOTOR DE FASE PARTIDA DE ARRANQUE POR CONDENSADOR

A fin de mejorar el par de arranque relativamente pequeño del motor de fase partida, se intercala un condensador en el devanado auxiliar para originar casi un desfase de 90° entre las corrientes de los devanados de arranque y de marcha.

El empleo del condensador también tiende a reducir en cierta medida la corriente inicial total a rotor bloqueado, ya que mejora el factor de potencia proporcionando un componente de corriente que adelanta a la tensión aplicada, tal como se puede ver en la figura 2.5.b.

FIGURA 2.5



(a) ESQUEMA DE CONEXION

(b) RELACIONES DE FASE

ARRANQUE POR CONDENSADOR

Nótese que la única diferencia ha sido la incorporación del condensador en el devanado auxiliar.

En la tabla 2.1 se indican los valores aproximados de capacidad para los motores de arranque por condensador.

TABLA 2.1

VALORES DE CONDENSADORES USUALES PARA 60 HERTZ

1725 RPM, MONOFASICO

POTENCIA MECANICA (HP)	1/8	1/6	1/4	1/3	1/2	1/4
CONDENSADOR (MF)	80	100	135	175	250	350

El motor de arranque por condensador, a diferencia del motor de fase partida de arranque por resistencia, es un motor reversible. Si

se desconecta temporalmente la alimentación, la velocidad del motor disminuye hasta un deslizamiento del 20% con lo que el interruptor centrífugo se cierra. Si al mismo tiempo, las conexiones del devanado auxiliar de arranque se invierten respecto del devanado de marcha y se conectan de nuevo a la alimentación, se establecerá un campo magnético giratorio opuesto al sentido de rotación del rotor. En el motor de arranque por condensador al tener las corrientes del devanado principal y auxiliar un desfase cercano a 90° , se tendrá por consiguiente que el par de campo auxiliar o par bifásico supera al par monofásico de la Fem de rotación producido por el campo transversal del rotor. El campo giratorio invertido, moviéndose en sentido opuesto al de rotación del rotor, frena al motor (reduciendo la Fem de rotación y el par del campo transversal aún más), lo para e invierte su sentido de rotación. El motor acelera hasta un deslizamiento del 20% en sentido opuesto, y, cuando el interruptor centrífugo se abre, el motor alcanza la velocidad nominal como un motor de inducción monofásico en sentido opuesto.

El motor de arranque por condensador tiene mayor par de arranque y corriente de arranque menor.

2.3.1.3.- MOTOR DE FASE PARTIDA CON CONDENSADOR PERMANENTE

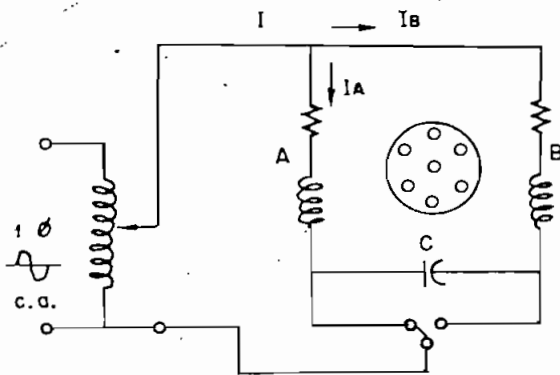
(DE UN SOLO VALOR)

Debido a la reversibilidad del motor de fase partida de arranque por condensador, se ha desarrollado un motor monofásico que tiene dos devanados permanentes (fabricados con hilos de igual sección y el -

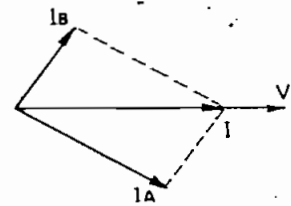
mismo número de espiras en ambos, o sea, los devanados son idénticos). Debido a que funciona continuamente como un motor de fase partida permanente no se precisa interruptor centrífugo. El motor arranca y funciona gracias a la partición de fase en cuadratura producida por dos devanados idénticos desfasados temporal y espacialmente. Como resultado este motor no posee el elevado par de marcha producido tanto en el motor de arranque por resistencia como de arranque por condensador. Además, el condensador utilizado en el motor de fase partida con condensador permanente de un solo valor se proyecta para servicio continuo. El valor del condensador se determina en función de una marcha óptima en lugar de su característica de arranque. En el momento de arranque, la corriente en la rama capacitiva es muy pequeña, pues su par de arranque es también pequeño (alrededor del 50% al 100% del par nominal).

Como se indica en la figura 2.6.a, un conmutador permite que el condensador se conecte fácilmente a uno u otro de los devanados. No precisa interruptor centrífugo y se invierte fácilmente debido a su reducido par de marcha.

FIGURA 2.6 -



(a)
ESQUEMA DE CONEXIONES



(b)
RELACIONES DE FASE

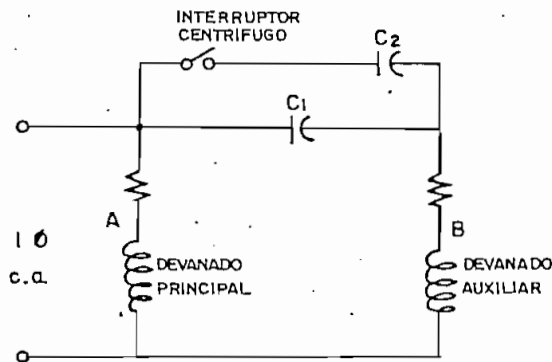
MOTOR DE FASE PARTIDA CON CONDENSADOR PERMANENTE

Las relaciones de fase del motor en marcha se indican en la figura 2.6.b para una determinada posición del conmutador indicado en la figura 2.6.a. Debido al campo magnético giratorio casi uniforme creado por devanados iguales cuyas corrientes idénticas están desfasadas en casi 90° , el par es uniforme y el motor no presenta el ruido pulsatorio como sucede en la mayoría de motores monofásicos cuando están cargados. El valor del condensador para servicios continuos se elige de forma que las corrientes de marcha sean iguales y desplazadas, tal como se presenta en la figura 2.6.b.

2.3.1.4.- MOTOR DE FASE PARTIDA CON CONDENSADOR DE DOS VALORES

Quando se precisa de pares de arranque elevados, se usa este tipo de motor que combina el funcionamiento silencioso y el limitado control de la velocidad de un motor de fase partida con condensador permanente, con el elevado par de arranque del motor de arranque por condensador. Se utilizan dos condensadores durante el período de arranque. Uno de ellos, un condensador electrolítico de arranque, similar al utilizado para el servicio intermitente del motor de fase partida de arranque por condensador, es de capacidad elevada (alrededor de 10 a 15 veces el valor del condensador de marcha), y es desconectado del circuito por un interruptor centrífugo una vez que el motor está en marcha. En la figura 2.7 se indica el esquema de conexión para este tipo de motor.

FIGURA 2.7



ARRANQUE POR CONDENSADOR DE DOS VALORES

El condensador C1 está conectado permanentemente en serie al devanado auxiliar y el condensador C2 se conecta en paralelo con el primero en el arranque, luego del cual se desconecta por medio del interruptor centrífugo.

La principal ventaja en el motor de fase partida con dos condensadores es su elevado par de arranque, junto con un funcionamiento silencioso y un buen par de marcha. Si a este motor se usa invirtiendo su sentido de giro con frecuencia, se reducirá la vida útil del interruptor centrífugo, por esta razón, cuando se realizan inversiones frecuentes es preferible usar un motor de fase partida con condensador permanente de un solo valor que no emplee para nada el interruptor centrífugo.

Con estos antecedentes, se considera que el motor de fase - partida con condensador permanente de un solo valor, elegido para la construcción del presente equipo es el más adecuado.

Las características del motor empleado en la construcción - del equipo son:

- Motor Monofásico de fase partida.
- V alimentación = 30 Vac
- I armadura = 5 A
- Condensador C = 156 MF 110/125 Vac

CAPITULO III

DISEÑO DE CONTROL

- 3.1.....Especificaciones
- 3.2.....Diagrama en bloques del sistema
- 3.3.....Diseño de las diferentes etapas del control
- 3.4.....Etapa de potencia
- 3.5.....Circuitos de protección
- 3.6.....Alarma y señalización.
- 3.7.....Fuentes de polarización

DISEÑO DEL CONTROL

3.1.- ESPECIFICACIONES:

El control de posición del rotor de antena propuesto cumple con las siguientes especificaciones:

3.1.1.- VOLTAJE DE ALIMENTACION:

El voltaje de alimentación a todo el sistema es único: 120 Vac, 60 Hz.

Internamente el equipo dispone de dos transformadores: uno cuyo voltaje secundario es 30 Vac, sirve para alimentar al motor que mueve el rotor de antena; y otro, cuyo voltaje secundario es 10 Vac, que sirve para alimentar a las fuentes de polarización necesarias en el sistema.

3.1.2.- SEÑALIZACIONES:

Se dispone de señalizaciones luminosas que indican el encendido del sistema y fuente de poder, descarga de baterías y alarma, que

se enciende cuando el ángulo llega a 800° en cualquier sentido de giro.

3.1.3.- FUENTES DE PODER:

El sistema dispone de dos fuentes de polarización de +5Vdc que son utilizadas una para polarizar toda la circuitería digital y otra para manejo de displays. La entrada no regulada a éstas fuentes de polarización es de +12Vdc y se aprovecha para manejar al relé que permite realizar la inversión de giro. Esta misma fuente de +12Vdc sirve para entregar la corriente necesaria a la memoria RAM externa - cuando está encendido el equipo; así se evita el desgaste rápido de las baterías. Se tiene también una fuente DC de alimentación independiente para la memoria RAM externa formada por 3 pilas de 1.5Vdc cada una y que sirven para evitar que los datos almacenados en esta memoria RAM externa se pierdan al apagarse el equipo.

3.1.4.- SELECCION DE GIRO Y POSICION MAXIMA:

La selección del sentido de giro para el rotor de antena se realiza desde una tecla especial para este propósito y puede ser horario (sentido de giro negativo) o antihorario (sentido de giro positivo). La selección de giro sólo se puede realizar cuando el motor está detenido. Para cualquier sentido de giro, la posición máxima que alcanza el sistema desde la posición inicial de referencia fija es de 800° . En esta posición se enciende una señal luminosa de alarma y se

detiene el movimiento del motor en forma automática. Únicamente se desactiva la alarma y por tanto se puede activar el motor cuando se ingresa un dato cualquiera diferente de 0° con sentido de giro opuesto al que mantiene ese instante la antena y que se observa perfectamente en los displays respectivos.

3.1.5.- INGRESO Y PRESENTACION DE DATOS:

El sistema, dispone de un teclado formado por 12 teclas (matriz 3 x 4) que sirven para ingresar el dato deseado de movimiento, selección del sentido de giro y borrado para un nuevo ingreso de datos. Estos datos ingresados junto con la selección de giro se presentan en un display de $3\frac{1}{2}$ dígitos presente en la parte frontal del equipo (Posición deseada). También se dispone de otro display con las mismas características para mostrar la posición y signo en la que se encuentra en ese instante la antena (Posición Actual); éste display varía su contenido, en función del movimiento de la antena y el mismo contenido, es almacenado en una memoria RAM externa. Por teclado se puede ingresar como dato, para que se mueva la antena, desde 1° hasta 999° .

3.1.6.- COMANDO DEL SISTEMA:

Toda la operación del sistema así como su inhibición está controlado por el microcontrolador 8748, el cual mediante programas

específicos realiza las diferentes tareas que involucran el correcto funcionamiento y protección del equipo.

3.1.7.- PRECISION DEL EQUIPO:

La precisión del control depende del rotor de antena disponible para la construcción del sistema.

3.2.- DIAGRAMA DE BLOQUES DEL SISTEMA:

Una mejor comprensión del funcionamiento del control de posición del rotor de antena a diseñarse y construirse en la presente tesis, se logra realizando un diagrama de bloques simplificado, tal como se muestra en la figura 3.1.

FIGURA 3.1

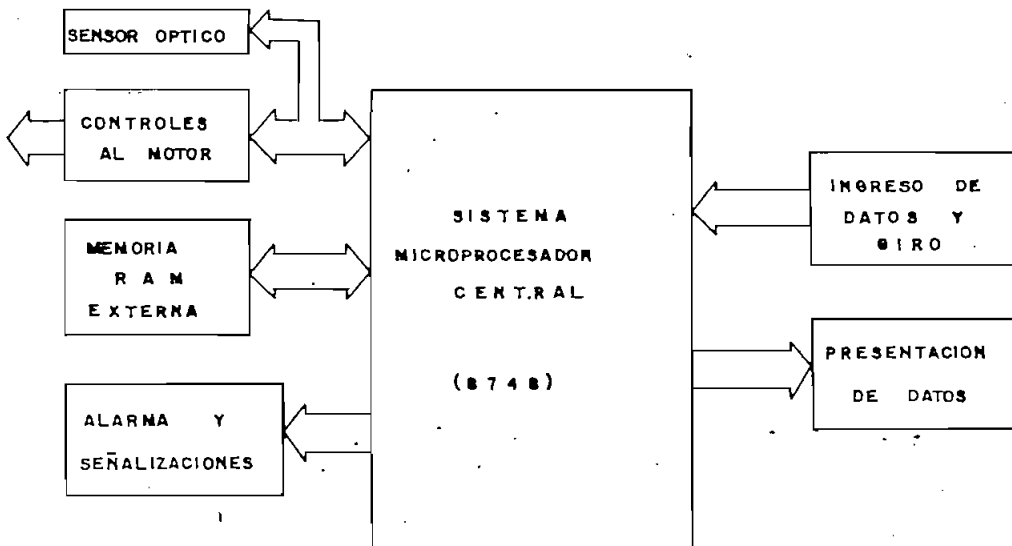


DIAGRAMA DE BLOQUES PARA EL SISTEMA COMPLETO

En este diagrama se observa que el sistema microprocesador central constituido por el microcontrolador 8748 es el encargado de impartir las señales adecuadas a todas las etapas que conforman el control y permitir así el correcto y automático funcionamiento del equipo.

Cada una de las etapas deben ser totalmente independientes de acuerdo con los requerimientos solicitados.

Para entender mejor su funcionamiento es necesario realizar la descripción de cada una de las etapas a diseñarse.

3.3.- DISEÑO DE LAS DIFERENTES ETAPAS DEL CONTROL:

De lo anterior se observa que las etapas que constituyen el control del sistema son:

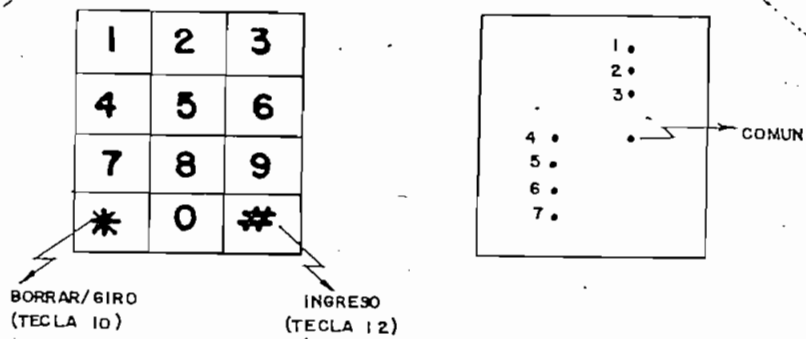
- Ingreso de datos y giro
- Presentación de datos
- Memoria RAM externa
- Controles al motor
- Señalizaciones
- Sensor óptico

Las que se diseñan o describen, según sea el caso, en los numerales siguientes:

3.3.1.- INGRESO DE DATOS Y GIRO:

Para ingresar los datos y seleccionar el sentido de giro se escoge un teclado formado por 12 teclas organizadas en una matriz 3x4. La función de cada una de las teclas se indica en la figura 3.2.

FIGURA 3.2



DISTRIBUCION DE TECLAS

Un esquema de esta etapa del control se indica en la figura

3.3.

FIGURA 3.3

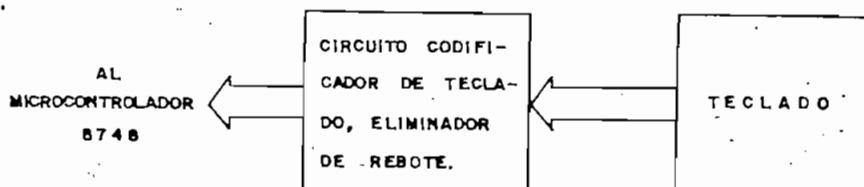
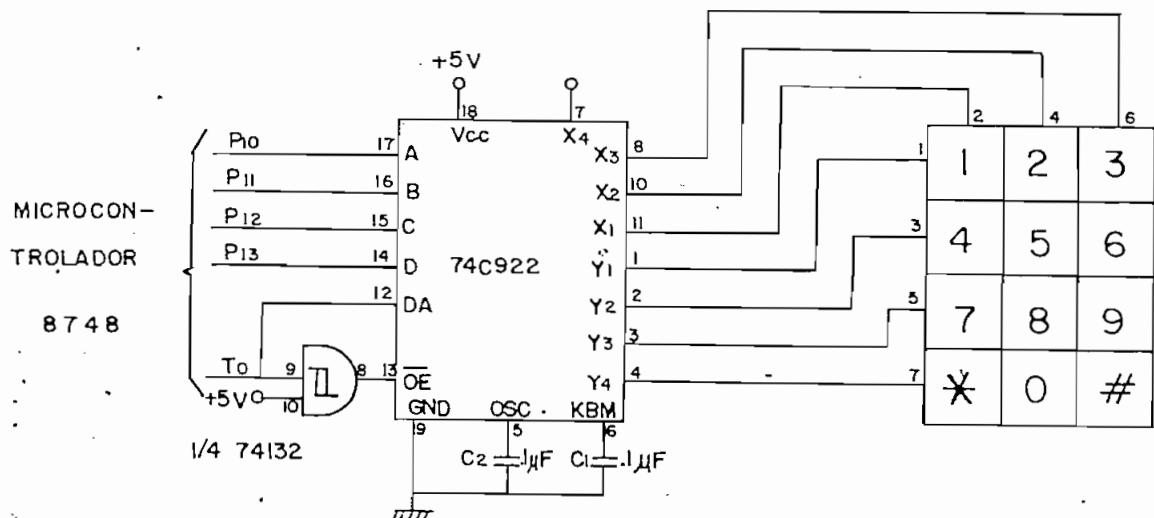


DIAGRAMA DE INGRESO DE DATOS Y GIRO

El circuito real implementado para esta etapa se muestra en la figura 3.4.

FIGURA 3.4



CIRCUITO IMPLEMENTADO PARA INGRESO DE DATOS Y GIRO

El teclado se conecta directamente (filas y columnas) al CI74C922, tal como se ve en la figura 3.4. El CI74C922 es un circuito integrado CMOS cuya función es CODIFICAR el dato proveniente del mismo, PROPORCIONAR la lógica necesaria para detectar la presión de una tecla, ELIMINAR el rebote originado por el cierre de contactos al presionar una tecla; y BARRER el teclado.

Para CODIFICAR el dato proveniente del teclado, el CI74C922 dispone de cuatro líneas de salida (ABCD) que contienen el código hexadecimal de la tecla presionada y que a su vez ingresa este dato al -

puerto P1 (de P10 a P13) del microcontrolador 8748. La lógica que se requiere para habilitar el envío de datos y al circuito integrado genera el CI74C922 a través de las líneas DA (DATA AVAILABLE) y OE (OUTPUT ENABLE) que se conectan al PIN To del microcontrolador 8748 con el objeto de detectar y comprobar el cierre eficaz de una tecla y el tiempo durante el cual permanece presionada la tecla; este proceso se realiza internamente en el microcontrolador 8748 por medio de subrutinas de comprobación que se implementan para la parte relacionada a lectura de teclado. La línea de habilitación de datos (DA), y por tanto To pasan a un nivel "bajo" únicamente cuando se libera la tecla presionada. Esta misma línea retorna a un nivel alto para aceptar el cierre de una tecla luego de un período normal de rebote.

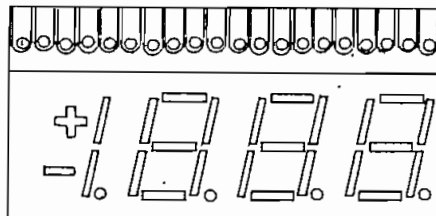
Para ELIMINAR el rebote producido por el cierre de una tecla, se usa un condensador externo $C1=0.1$ MF., y para realizar el BARRIDO del teclado se usa un condensador externo de un valor 10 veces inferior al seleccionado para eliminación de rebote: $C2=0.01$ MF. Este criterio de selección sugiere el fabricante del CI74C922 tal como se puede apreciar en las hojas de datos ubicadas en el anexo C.

Como ventaja adicional, el CI74C922 incorpora un registro interno que mantiene el dato correspondiente a la última tecla presionada y además se tiene una fácil expansión y operación del bus de datos porque sus salidas son del tipo TRES-ESTADOS. El CI74C922 al ser del tipo CMOS tiene un reducido consumo de corriente siendo su valor igual a 1.1 mA. MAX. para una fuente de polarización de +5Vdc.

3.3.2.- PRESENTACION DE DATOS:

Para presentar los datos y el sentido de giro ingresado por teclado tal como se indicó en el punto 3.3.1, se utilizan dos conjuntos de displays o indicadores luminosos cada uno de 3 1/2 dígitos como se indica en la figura 3.5.

FIGURA 3.5



DISPLAY TIL 835

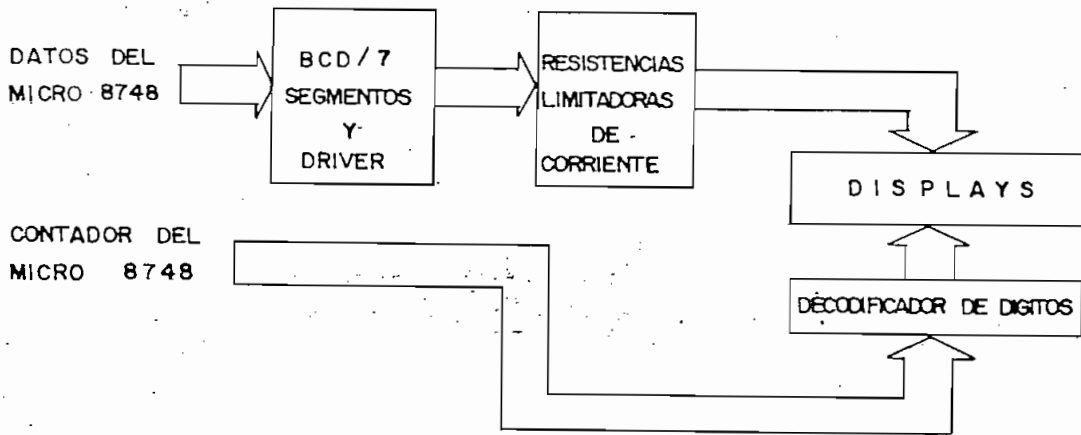
Este tipo de display es TIL 835 de ánodo común ensamblado en una carcasa plástica roja a la cual se encuentra adherido un circuito impreso donde están colocados los diodos emisores de luz para indicar los segmentos respectivos.

El dígito ⁺ 1 tiene segmentos individuales y separados de

los otros. De este dígito se aprovecha los signos +, - para indicar el sentido de giro y el valor 1 junto con los puntos decimales se dejan abiertos para la presentación de datos.

Un esquema ilustrativo de ésta etapa se muestra en la figura 3.6.

FIGURA 3.6



PRESENTACION DE DATOS

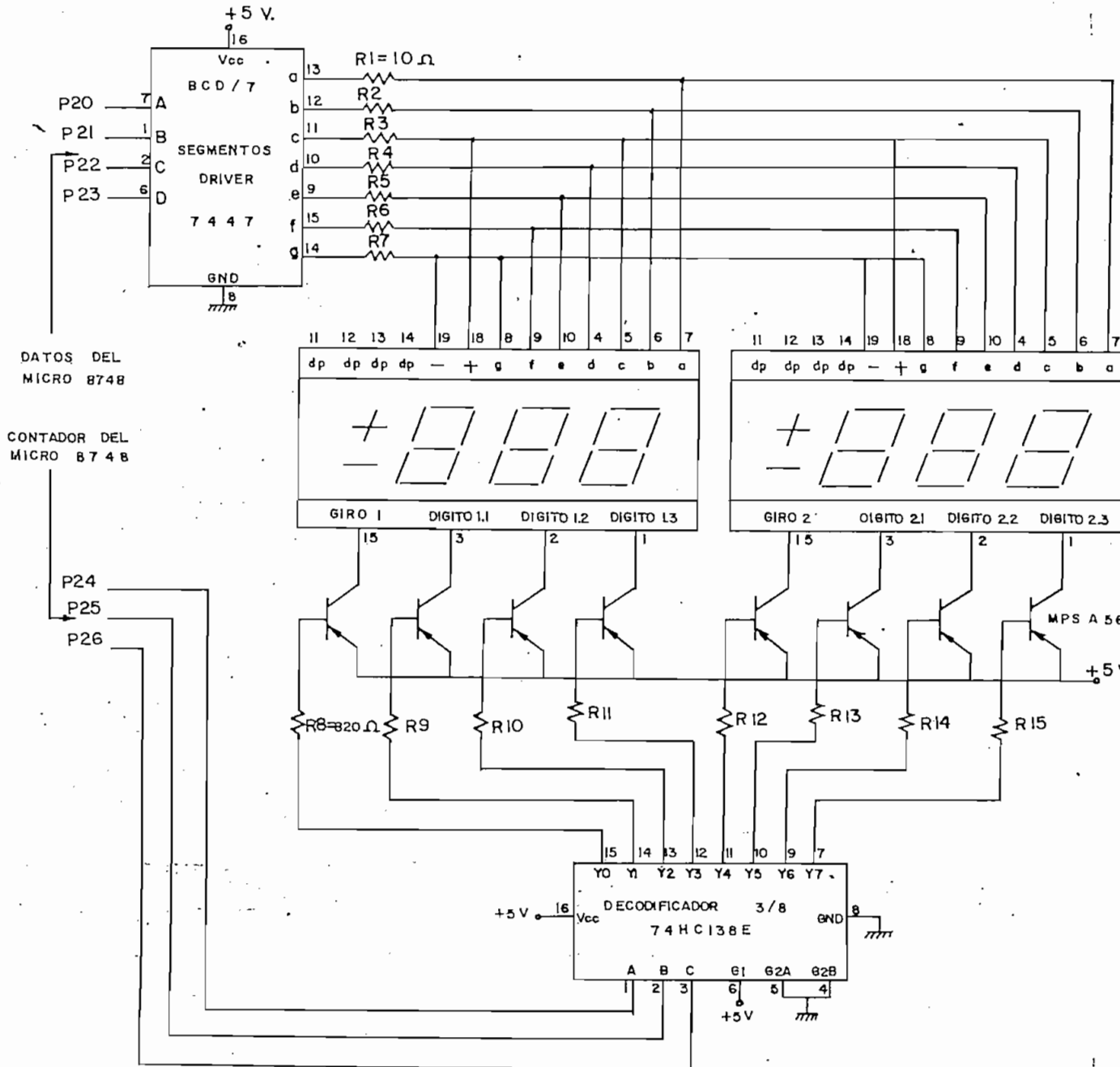
En esta etapa se observa que el microcontrolador es el encargado de entregar el dato que se ingresó por teclado y que se almacenó en la memoria RAM interna para que éste aparezca en el dígito respectivo que al mismo tiempo es seleccionado desde el microcontrolador 8748 a través del decodificador de dígitos.

La estructura presentada en la figura 3.6 emplea el menor número posible de líneas de entrada del microcontrolador ya que éstas resultan limitadas para la configuración global del sistema.

El circuito práctico que se implementó en esta etapa aparece en la figura 3.7.

(Ver siguiente página)

FIGURA 3.7



CIRCUITO IMPLEMENTADO PARA PRESENTACION DE DATOS

El CI7447 es un codificador de código BCD a 7 segmentos y además desempeña el papel "driver" cuya característica de activado en nivel bajo permiten utilizarle para displays de ánodo común como es el caso del TIL 835 usado en el equipo. Los datos en código BCD se reciben directamente del microcontrolador 8748 a través de las líneas P20 a P23 del puerto P2. El circuito 7447 entrega como salida el código a 7 segmentos del dato equivalente al ingresado en BCD; este dato a 7 segmentos se indica en el dígito respectivo del display. La conexión entre las salidas de segmentos del CI7447 y los segmentos del display se realizan a través de las resistencias R1, R2, R3, R4, R5, R6, R7, de limitación de corriente, cuyo valor se calculó como sigue:

$$R1, \dots, R7 = \frac{V_{\text{seg.}}}{I_{\text{seg.}}}$$

Donde : $V_{\text{seg.}} = 1.7 \text{ V}$ es el voltaje en un diodo que conforma el segmento del dígito, según fue tomado de las hojas de datos proporcionados por el fabricante del TIL 835 y que aparecen en el anexo C.

$$I = 20 \frac{\text{mA}}{\text{segm.}} \times 7 \text{ segm.} = 140 \text{ mA.}$$

$$R1, \dots, R7 = \frac{1.7 \text{ V}}{140 \text{ mA.}} = 12.14 \Omega$$

Se tomó $R1 = R2 = R3 = R4 = R5 = R6 = R7 = 10 \Omega$, valor con

el cual se consiguió ^{que} una buena intensidad luminosa para los displays.

3.3.2.1.- HABILITACION DE DIGITOS DE LOS DISPLAYS:

Para habilitar los ocho dígitos de los displays se utiliza el circuito decodificador 74HC138E de 3 a 8 líneas que permite ir habilitando secuencialmente todos los dígitos en función del valor del contador constituido por las 3 líneas de entrada que provienen del microcontrolador 8748. Esta configuración permite ahorrar el empleo de líneas de salida del microcontrolador, que como se indicó son escasas. Las salidas del decodificador se conectan cada una a través de las resistencias R8 a R15 (de igual valor), de limitación de corriente, a las bases de transistores PNP (T8 a T15 = MPS A56) que funcionan en corte o saturación según se ponga un 1L o un OL en sus bases. Se enciende por tanto el dígito habilitado cuando se tiene un OL en la base del transistor PNP, ya que éste está funcionando en saturación; en estas condiciones la corriente que consume el dígito es proporcionado directamente desde la fuente de alimentación y no desde el circuito decodificador.

Como se indicó se debe limitar la corriente (Con R8 a R15) hasta un rango permisible para el decodificador 74HC138E que es el circuito que recibe directamente la corriente proveniente de la base del transistor cuando éste se encuentra saturado.

$$R8, \dots, R15 \geq \frac{V_{cc} - V_{BE}(\text{sat})}{I_{\text{máx.}}(\text{decod/salida})}$$

$$R8, \dots, R15 \geq \frac{(5 - 0.7)V}{6 \text{ mA}} = 720 \Omega$$

Se escogió $R8 = R9 = R10 = R11 = R12 = R13 = R14 = R15 = 820 \Omega$ por disponibilidad y por estar dentro del valor calculado.

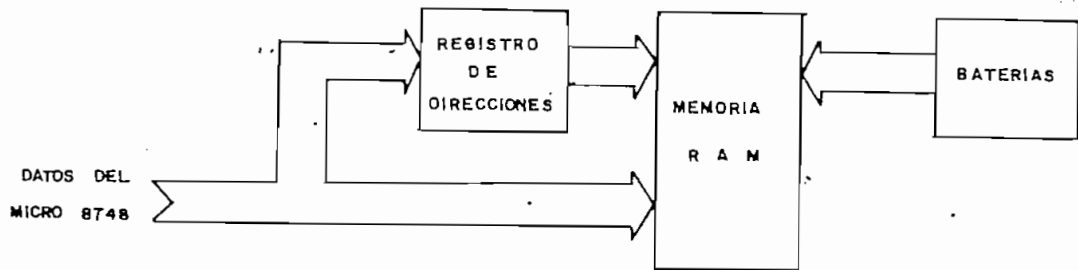
Los datos del fabricante necesarios para los circuitos integrados, displays y transistores empleados en ésta etapa se pueden encontrar también en el anexo C.

3.3.3.- MEMORIA RAM EXTERNA:

Con el objeto de almacenar los datos de posición del rotor de antena (respecto a un sistema de referencia fijo), y sentido de giro se utiliza una memoria RAM externa al microcontrolador 8748 y que dispone de alimentación o fuente de energía independiente constituida por un conjunto de baterías. La memoria RAM escogida es la HM6116LP-3 con capacidad de 2KBytes x 8bits.; } su selección no se efectuó en función de la capacidad sino del costo y disponibilidad ya que } se almacenan únicamente cuatro dígitos que contienen la información deseada y que están contenidos en 4Bytes x 8bits de la memoria RAM empleada.

La estructura de esta etapa se entiende mejor en la figura -
3.8.

FIGURA 3.8



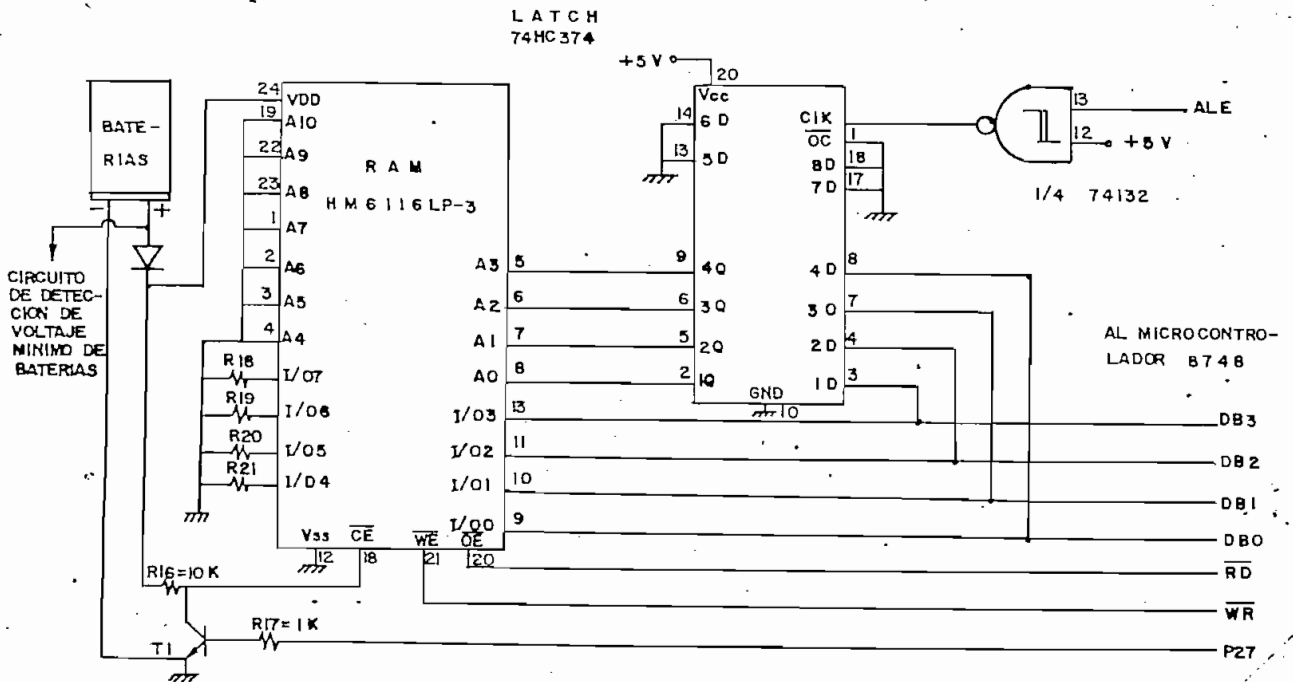
MEMORIA RAM EXTERNA

Los datos correspondientes a dirección de la memoria RAM externa y los de datos a almacenar. Son entregados completamente por el microcontrolador 8748 que dispone de instrucciones para lectura o escritura, de manera que con una sola de ellas se consigue este propósito.

Esta condición simplifica enormemente la programación del microcontrolador 8748 para manejo de la memoria externa.

La conexión detallada para esta etapa se presenta en la figura 3.9.

FIGURA 3.9



CIRCUITO IMPLEMENTADO PARA MEMORIA RAM EXTERNA

El punto de conexión a tierra es común para las fuentes de polarización y la batería.

Las líneas no utilizadas en la memoria RAM 6116 se fijan en un nivel bajo (OL) para direcciones; para datos se fijan también a OL, pero a través de $R18 = R20 = R21 = 1\text{ K}\Omega$. La línea de lectura (OE) y escritura (WE) de la memoria se conectan con sus respectivas líneas (RD y WR) del microcontrolador 8748.

La línea P27 del microcontrolador sirve para habilitar un transistor inversor cuyo colector está conectado a la línea de habilitación de la memoria RAM (\overline{CE}) y alimentado con la batería, de tal manera que cuando se elimina la alimentación o se pone en P27 un nivel bajo de voltaje (OL), la memoria retiene los datos almacenados (STANDBY) ya que \overline{CE} se ha puesto en un nivel alto de voltaje (1L) cumpliendo así la exigencia de la memoria RAM para retención de datos. Esta condición de funcionamiento para \overline{CE} se tomó de las hojas de datos del fabricante expuestas en el anexo C. y donde se indica que \overline{CE} debe cumplir con:

$$\overline{CE} \geq VDR - 0.2 \text{ V.}$$

Donde VDR es el voltaje de alimentación a la memoria para retención de datos dado por las baterías y que debe ser mayor o igual a 2V. En estas condiciones, el consumo de corriente de la memoria según las especificaciones del fabricante es típicamente de 1 micro A lo que garantiza la larga vida de las baterías. Con este mismo fin, se incorpora al sistema un circuito de alimentación a la memoria cuando está encendido el equipo, circuito que se explicará detalladamente más adelante.

Para que el almacenamiento y recuperación de datos sea efectivo en la memoria fue necesario emplear un retenedor externo (LATCH: MC74HC374) que permite registrar primeramente la dirección que almacena o entrega el dato proporcionado por el microcontrolador 8748. Como se mencionó se aprovechan las mismas líneas del bus de datos para enviar dirección y dato, ya que el micro dispone de instrucciones que

permiten realizar de una sola vez estas dos operaciones en forma multiplicada. // Estas instrucciones son: MOVX @R0, A para escritura y MOVX A, @R0 para lectura. El programa implementado utiliza el registro R0 como puntero de Stack o registro que contiene y direcciona en forma indirecta la localidad de memoria deseada. Al emplear las instrucciones MOVX se genera automáticamente en el microcontrolador un pulso de lectura (RD) o escritura (WR), según sea el caso.

De acuerdo con la configuración indicada en la figura (3.9), se usa la memoria lo menos posible para limitar el consumo de corriente. Además, sólo se emplean cuatro líneas del bus de datos (DB) porque de acuerdo a la estructura del programa se sabe que el dato a almacenarse sólo está contenido en los 4 bits menos significativos (LSB) e igualmente se debe direccionar sólo cuatro localidades de memoria externa. La elección del latch MC74HC374 se hizo de acuerdo a disponibilidad y número de bits del bus de datos; con esta estructura además se consiguió un adecuado funcionamiento para esta etapa.

3.3.4 CONTROLES AL MOTOR:

Básicamente esta etapa la constituyen dos líneas de salida del microcontrolador que son P14 y P15 que, en último término sirven para habilitar el encendido del motor y cambiar el sentido de giro, respectivamente.

Para habilitar al motor se usa un transistor NPN (T2) cuya

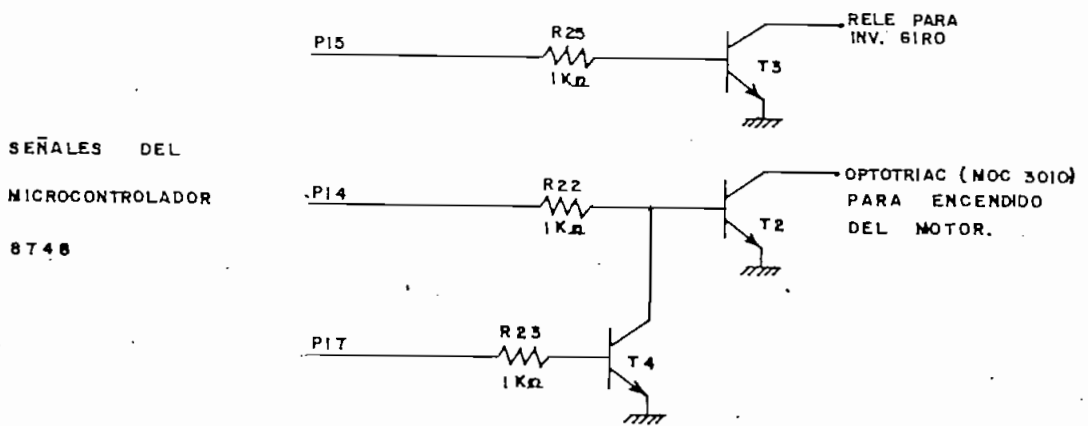
base es conectada a través de la resistencia $R4 = 1.K\Omega$ a la línea de salida del microcontrolador. Esta salida perfectamente puede unirse - directo a la base del transistor ya que las líneas de salida del micro controlador disponen de protección; sin embargo, con fines de seguridad se usa la resistencia $R27 = 1 K\Omega$; no sólo en esta línea de salida si no en todas las utilizadas para manejar transistores.

Esta misma configuración se emplea para comandar el activado o desactivado de un relé que sirve para realizar la inversión de giro en el motor.

Con el fin de inhibir el pulso generado en las salidas del microcontrolador en el momento de encendido del equipo, se usa un TRANSISTOR DE CONTROL NPN (T4) comandado por una línea de salida (P17) común a los transistores NPN T6, T2 de señalización y encendido del motor. El colector de cada transistor de control (T4, T5) se conecta a las bases de los transistores a controlar; su base a la salida P17 del microcontrolador a través de resistencias $R23 = R24 = 1 K\Omega$, y su emisor a tierra. De esta manera, en el instante de encendido del equipo, los transistores de control se saturan por estar bien polarizados y no permiten que los transistores a controlar se saturen innecesariamente.

(Ver siguiente página)

FIGURA 3.10



CONTROLES AL MOTOR

Por funcionamiento interno del programa se realiza la acción deseada de corte o saturación de los transistores, para lo cual es necesario poner en un nivel bajo de voltaje (OL) la línea de salida que maneja a los transistores de control, y luego poner un nivel de voltaje bajo (OL) o alto (1L) según se requiera desactivar o activar el transistor que sirve para manejar el equipo (encendido del motor o señalización). Durante el tiempo que permanezca encendido el equipo, los transistores de control quedan independizados de los elementos a los cuales se han conectado.

3.3.5.- SEÑALIZACIONES:

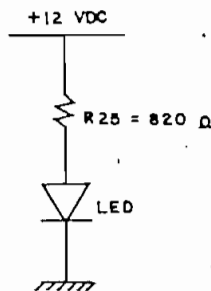
Con el propósito de indicar el encendido del equipo, la des

carga de las baterías más allá del nivel mínimo de voltaje y el movimiento del rotor de antena un ángulo de 800° para cualquier sentido de giro, se utiliza un diodo emisor de luz (LED) para cada caso, según se detalla a continuación.

3.3.5.1.- ENCENDIDO DEL EQUIPO:

El circuito empleado utiliza una fuente de alimentación de 12 Vdc y sirve para indicar que hay energía en la fuente de polarización. Se utiliza una resistencia de 820Ω para limitar la corriente a un valor menor al especificado para funcionamiento normal del diodo emisor de luz ($I_d \leq 20 \text{ mA.}$). El circuito implementado se presenta en la figura 3.11.

FIGURA 3.11



CIRCUITO DE POLARIZACION DEL LED

$$R26 = \frac{V_{cc} - V_d}{I_d}$$

donde: $I_d \leq 20 \text{ mA}$.

$$V_{cc} = 12 \text{ V}$$

$$V_d = 1.2 \text{ V}$$

$$R26 = \frac{(12-1.2)V}{12 \text{ mA}}$$

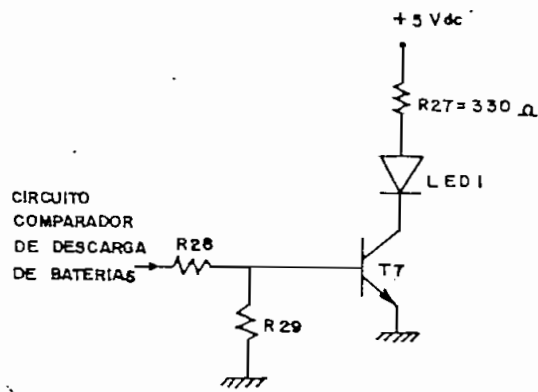
$$R26 = 900 \Omega$$

Se selecciona $R26 = 820 \Omega$ por ser normalizado. Todas las resistencias escogidas son de $1/4 \text{ W}$, a menos que se indique lo contrario.

3.3.5.2.- DESCARGA DE BATERIAS:

El circuito usa una fuente de polarización $+5 \text{ Vdc}$, una resistencia $R27$ de 330Ω para limitar la corriente del LED a un valor menor al especificado, y un transistor NPN (T7) que funciona en corte o saturación. Para comandar este transistor se utiliza la resistencia $R28 = 2.2 \text{ K}\Omega$ conectada entre su base y la línea de control proveniente del circuito comparador de descarga de baterías. El circuito empleado es el de la figura 3.12.

FIGURA 3.12



SEÑAL DE DESCARGA DE BATERIAS

En el circuito de la figura las resistencias R28 y R29 forman un divisor de tensión necesario para tener en la base del transistor los niveles 0L y 1L definidos. En el funcionamiento real, la salida del amplificador operacional 741 da valores de 1.8 V en bajo y 4.5 V en alto, suficientes para mantener saturado al transistor T7 y por ello se usó el divisor de tensión indicado.

En cuanto a R27 se calcula en forma similar al caso anterior:

$$R27 = \frac{V_{cc} - V_d}{I_d}$$

$$V_{cc} = 5V ; V_d = 1.2V$$

$$R27 = \frac{5 - 1.2V}{12 \text{ mA.}}$$

$$R27 = 320 \Omega$$

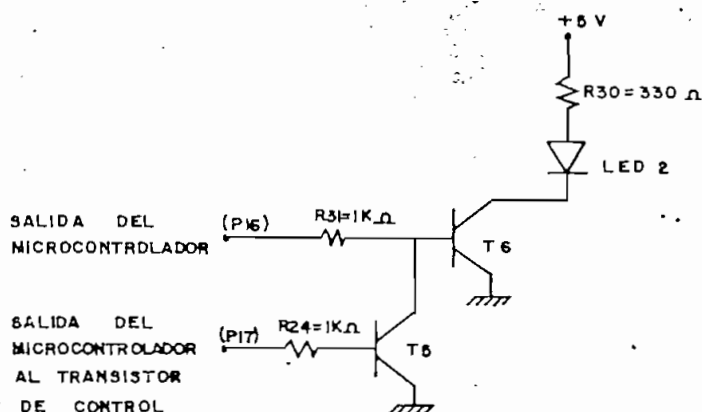
Se selecciona $R27 = 330\Omega$ que es el valor estandarizado más cercano. El LED escogido es similar al usado para encender al equipo.

3.3.5.3.- ALARMA VISUAL:

Esta alarma se enciende cuando el rotor de antena ha girado un ángulo de 800° en cualquier sentido de giro. En estas condiciones, el motor que hace girar al rotor de antena se detiene.

El circuito que permite manejar esta alarma visual es básicamente el mismo que el visto en el numeral 3.3.5.2; la diferencia radica en que la base del transistor es manejado por la salida P16 del microcontrolador; por esta razón, para evitar el activado innecesario al encender el equipo se añade un transistor de control cuya función es similar al indicado para el control del motor. La configuración circuital usada se presenta en la figura 3.13.

FIGURA 3.13



CONEXION DE ALARMA VISUAL

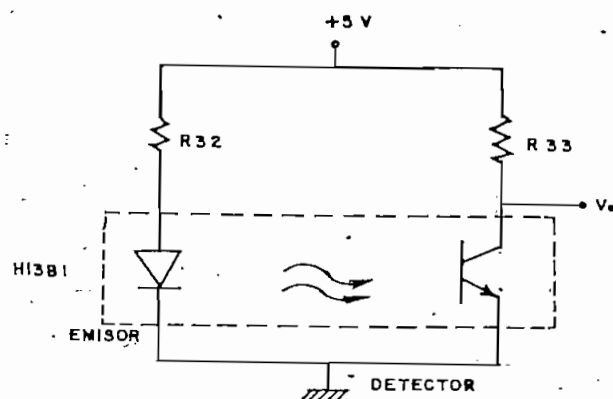
Todos los transistores NPN y PNP empleados para el sistema son de silicio y sus características más importantes aparecen en el anexo C.

Para obtener $R30=330\Omega$ y $R24=R31= 1K\Omega$ se utilizó cálculos similares a los indicados en el manual 3.3.5.2 anterior, e igualmente es su función dentro del circuito.

3.3.6.- SENSOR OPTICO:

Con el objeto de sensar la posición instantánea del rotor de antena se usa un elemento muestreador de pulsos denominado sensor óptico que básicamente está conformado por el circuito que corresponde a la figura 3.14.

FIGURA 3.14



CONEXION DEL SENSOR OPTICO

CALCULO DE LAS RESISTENCIAS DE POLARIZACION

La corriente que circula por R32 debe ser 20mA..máximo de acuerdo a las especificaciones del circuito sensor H13B1 (GENERAL ELECTRIC) y el voltaje en el Led emisor es 0.6 V; con estos datos se tiene:

$$R32 \geq \frac{V_{cc} - V_{led}}{I_{led}(\text{máx})}$$

$$R32 \geq \frac{5 - 0.6}{20 \text{ mA.}}$$

$$R32 \geq 220 \Omega$$

Se escoge la resistencia R32 igual 330 Ω .

Para calcular R33 se debe considerar que VCE (Máx) = 1.2 V e IE (máx) = 2.5 mA. (datos del circuito H13B1).

$$R33 \geq \frac{V_{cc} - V_{CE}(\text{Máx})}{I_c(\text{Máx})}$$

$$R33 \geq \frac{5 - 1.2 \text{ V}}{2.5 \text{ mA.}}$$

$$R33 \geq 1.5 \text{ K}\Omega$$

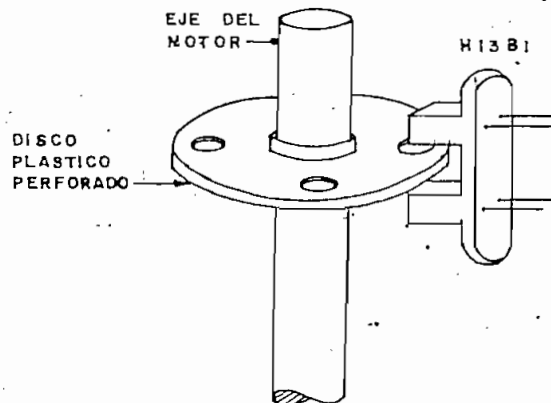
Se escoge R33 = 5.6 K Ω por disponibilidad y porque con este valor se verificó el perfecto funcionamiento del circuito.

FUNCIONAMIENTO DEL CIRCUITO:

El transistor detector se satura cuando recibe la señal luminosa del emisor (LED) y cuando se corta el haz luminoso, el transistor detector se pone en corte; de esta manera el voltaje de salida V_o es 5.0 V (1L) ó 0.77 V (OL), valores que se midieron en forma experimental.

Para realizar la interrupción uniforme del haz luminoso se procedió en forma experimental a construir y montar sobre el eje del rotor del motor principal un disco plástico perforado en forma homogénea. El número de perforaciones permitieron un funcionamiento adecuado del equipo fue cuatro y su montaje aparece en la figura 3.15.

FIGURA 3.15

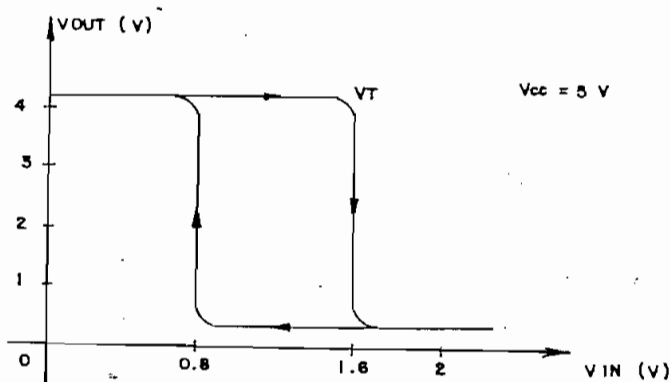


MONTAJE DEL SENSOR OPTICO

Se debe considerar que si una compuerta de alta velocidad es manejada directamente por señales de entrada con tiempos de transición lentos, es posible que las compuertas produzcan falsas salidas.

Una solución para los lentos tiempos de transición es la introducción de histéresis en las características de transferencia con un arreglo de disparador de SCHMITT cuyas características de transferencia se muestran en la figura 3.16.

FIGURA 3.16

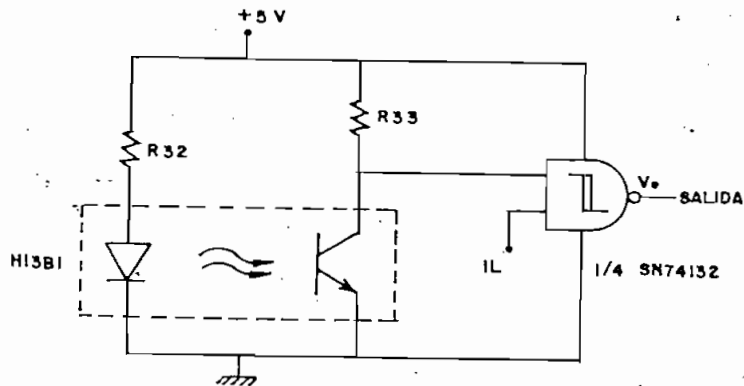


CARACTERISTICAS DE TRANSFERENCIA DEL DISPARADOR DE SCHMITT

Por último se debe permitir que el sensor se mantenga en un estado estable cuando no está operando. Con estos antecedentes se seleccionó el circuito integrado SN74132 que contiene cuatro disparadores de SCHMITT. En el sensor óptico se utiliza un disparador, y los restantes son para otra sección del circuito general. El circuito mo

dificado se presenta en la figura 3.17, donde la otra entrada del disparador se fija a un nivel de voltaje alto (1L) con el fin de tener a la salida los pulsos requeridos para producir un incremento del contador interno del microcontrolador (TIMER 1 funcionando como contador).

FIGURA 3.17



DISPARADOR DE SCHMITT CONECTADO AL SENSOR OPTICO

El circuito SN74132N escogido, tiene la importante característica de estabilidad de la histéresis y del umbral de disparo en un amplio rango de temperatura.

Las principales características del sensor óptico H13B1 son las siguientes:

	Configuración de salida	: Transistor NPN
	Disipación total de potencia	: 250 (mW)
EMISOR	Corriente directa I_f	: 60 mA (Máximo)
	Voltaje reverso VR	: 6 V (Máximo)
DETECTOR	Voltaje colector emisor BVCEO	: 55 V (Máximo)
	Corriente de colector I_c	: 100 mA. (Máximo)

3.4.- ETAPA DE POTENCIA:

3.4.1.- CONTROL DE ARRANQUE Y PARADA DEL MOTOR:

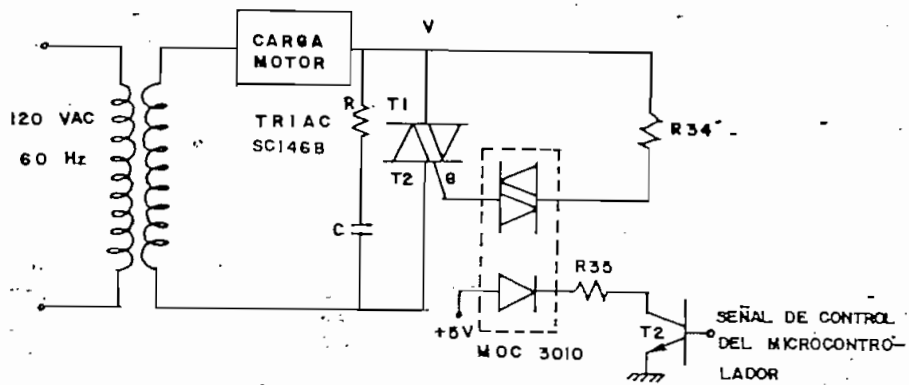
Para comandar al motor principal (que permite girar al rotor de antena) tanto en el arranque como en la parada, se utilizará el triac SC146B (2N6342) cuyas características más importantes son:

$$\begin{aligned} I_T \text{ (rms)} &= 8A \\ V_{GT} \text{ (máx)} &= 2.0V \\ I_{GT} \text{ (máx)} &= 6 \text{ mA.} \end{aligned}$$

Siendo el motor de corriente alterna, necesita para su funcionamiento que la alimentación sea de onda completa, por lo que es necesario que la compuerta (GATE) del triac conduzca igual que la onda de voltaje. Para cumplir con este propósito se conecta el optotriac

(MOC 3010) a través de una resistencia de limitación de corriente (R34) a la misma alimentación con la línea de voltaje. El circuito que permite cumplir con este objetivo se presenta en la figura 3.18.

FIGURA 3.18



CIRCUITO DE DISPARO DEL TRIAC

3.4.1.1.- CALCULO DE RESISTENCIAS:

$$R34 \geq \frac{V - V_{optotriac} - V_{GT2}}{IGT (\text{Máx})}$$

- IGT (Máx) es la corriente máxima que soporta el circuito MOC3010 y es igual a 100 mA.
- V es el voltaje pico de alimentación e igual a 30 V₂ V.
- V_{optotriac} es el voltaje sobre el triac del MOC3010 e igual a 3.0 V.

$$R35 = \frac{(5 - 1.2 - 0.2) \text{ V}}{12 \text{ mA.}}$$

$$R35 = 300 \Omega$$

Se toma $R35 = 330 \Omega$

3.4.1.2.- FUNCIONAMIENTO DEL CIRCUITO:

.. Cuando la señal de control proveniente del microcontrolador es 1L, el transistor T2 (NPN) se satura; el diodo emisor de luz interno del circuito MOC 3010 se polariza correctamente y proporciona la señal necesaria para que el triac óptico, también interno al circuito MOC 3010, comience a conducir en función de la onda de voltaje suministrada por el secundario del transformador a través de la resistencia R34 y finalmente activa al triac principal SC146B. En cambio cuando se tiene un 0L como señal del microcontrolador, el transistor T2 entra en corte, el diodo emisor de luz no se polariza y por tanto no conduce el optotriac; de esta manera se desactiva el triac principal y se detiene el funcionamiento del motor. La red R-C en paralelo con el triac se coloca para anular el efecto producido por la carga inductiva (motor); así se consigue el correcto apagado del triac y por tanto del motor.

Las señales de control provenientes del microcontrolador permiten tener un funcionamiento automático del sistema.

El valor de $R25 = 1\text{ K}\Omega$ se justifica en el numeral 3.3.4 - que se refiere a controles del motor.

El voltaje de alimentación al relé se toma a la salida del condensador de filtro en la fuente de poder; es decir, este voltaje no es regulado pero es suficiente para su correcto funcionamiento.

3.5.- CIRCUITOS DE PROTECCION:

Como elemento de protección para el equipo se utilizan fusibles; F1 de 3 amperios en el ingreso de alimentación al equipo y otro fusible F2 de 2A para las fuentes de poder.

Para proteger las líneas de salida del microcontrolador en cada conexión, se utiliza resistencia de limitación de corriente tal como se indicó en los diseños respectivos.

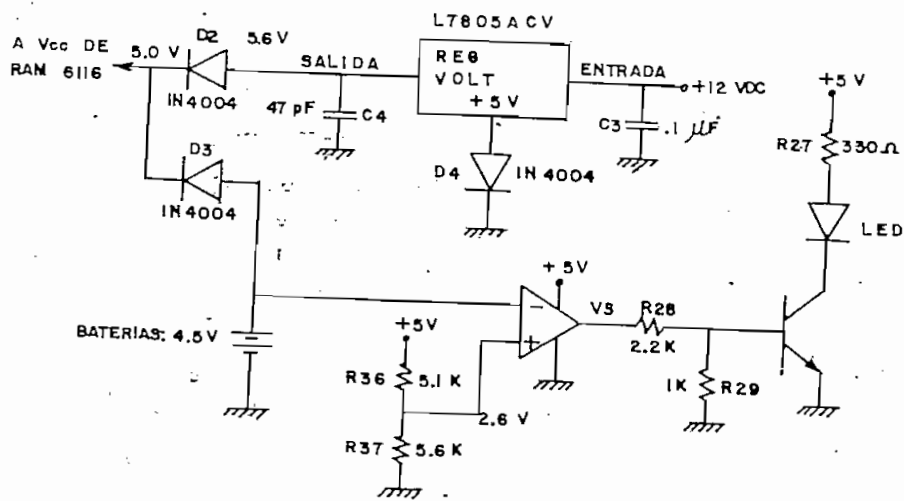
Las líneas de salida-entrada de datos sobrantes en la memoria RAM 6116 se fijan a un nivel bajo de voltaje (OL) a través de resistencias de $1\text{ K}\Omega$ cada línea; el fin evitar posibles daños en la memoria al efectuar lectura, pues las líneas pueden contener un nivel de voltaje alto (1L).

El circuito MOC 3010 se utiliza para independizar la parte del circuito de potencia con el circuito de control; de esta manera estas dos secciones del sistema están acopladas ópticamente y cual -

quier daño en cualquiera de ellas no afecta a la otra.

Para incrementar la vida útil de las baterías empleadas para alimentar a la memoria RAM 6116 se incorpora el circuito indicado en la figura 3.20.

FIGURA 3.20



CIRCUITO DE DETECCION DE VOLTAJE MINIMO PERMITIDO PARA LAS BATERIAS

Este circuito permite proteger los datos almacenados en la memoria RAM 6116 a la vez que indica mediante una señalización la descarga de baterías para su reposición oportuna; también proporciona la corriente necesaria para la operación normal de la memoria cuando se

ha encendido el equipo.

El diodo D4 (1N4004) se utiliza para tener a la salida del regulador de voltaje 5.6 Vdc y en el cátodo del diodo D2 5.0 Vdc, suficientes para polarizar inversamente a D3 y bloquear la entrega de corriente por parte de las baterías que tienen un voltaje de 4.5V. (3 pilas de +1.5 V en serie).

Los valores de los condensadores C3 y C4 se determinaron en forma experimental y se utilizan para eliminar las oscilaciones producidas por la conmutación de los circuitos digitales.

El regulador utilizado es el L7805ACV que es un regulador de voltaje con +5 Vdc de salida y 1 amperio como corriente de carga máxima.

Se selecciona este regulador por ser muy común en el mercado y principalmente por su bajo costo comparado con otros reguladores de menor capacidad de corriente.

Para detectar que el nivel de voltaje de las baterías no sea menor que el mínimo requerido para alimentar a la memoria RAM en retención de datos (2V mín) se utiliza un circuito comparador con un voltaje de referencia fijo igual a 2.6 V obtenido del divisor de tensión formado por R36 y R37. Este circuito comparador (figura 3.20) está constituido por un amplificador operacional (MA741CP) conectado como comparador de voltaje que entrega a su salida un voltaje alto (1L), cuando

las baterías se han descargado hasta su nivel mínimo, o un voltaje bajo (OL) cuando el nivel de voltaje es mayor que el mínimo; cualquiera de estas dos condiciones se visualiza en la señalización respectiva para baterías. El diseño del circuito de señalización se indicó en el numeral 3.3.5.2 de este capítulo.

Las resistencias se calculan de la siguiente forma:

$$\begin{aligned} \text{Sea } I(R36) &\approx I(R37) = 0.5 \text{ mA y } V_{cc} = +5\text{Vdc} \\ V(R37) &= 2.6 \text{ Vdc} \\ R37 &= \frac{2.6 \text{ V}}{0.5 \text{ mA}} \\ R37 &= 5.2 \text{ K}\Omega \end{aligned}$$

Se escoge $R37 = 5.6 \text{ K}\Omega$ que es el valor disponible normalizado.

$$\begin{aligned} R36 &= \frac{5 - 2.6 \text{ V}}{0.5 \text{ mA}} \\ R36 &= \frac{2.4 \text{ V}}{0.5 \text{ mA}} \\ R36 &= 4.8 \text{ K}\Omega \end{aligned}$$

Se selecciona $R36 = 5.1 \text{ K}\Omega$ que es el valor disponible normalizado.

3.6.- ALARMA Y SEÑALIZACIONES:

El diseño y los circuitos empleados para la alarma y demás

señalizaciones se explicó en el punto 3.3.5 de este capítulo.

La alarma visual se enciende cuando el rotor de antena ha llegado a la posición máxima de 800 grados sexagesimales en cualquier sentido de giro: positivo o negativo. Se desactiva la alarma visual al seleccionar un giro en sentido opuesto al indicado en el display que presenta la posición ACTUAL del rotor de antena.

Si el sentido de giro es el mismo, se mantiene encendida la señal de alarma y por tanto no se activa el motor que mueve al rotor de antena.

Según se vió, todas las señalizaciones utilizan LEDS para su indicación y son controlados por un transistor NPN funcionando en corte o saturación en función del control aplicado a su base.

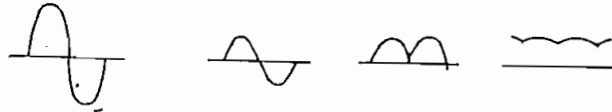
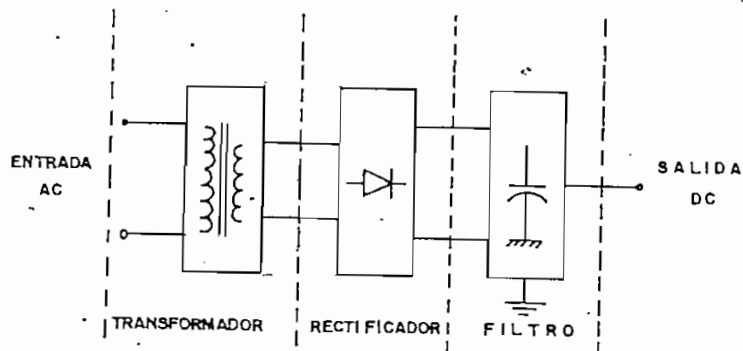
3.7.- FUENTES DE POLARIZACION:

Cuando la fuente de voltaje es AC, es importante el diseño del transformador, rectificador, filtro y finalmente selección de un regulador de voltaje DC adecuado que permita conseguir una buena fuente de polarización.

La entrada de alimentación consiste de tres secciones básicas presentadas en la figura 3.21.

- Transformador de entrada
- Rectificador
- Filtro

FIGURA 3.21



ENTRADA DE ALIMENTACION

Para determinar los requerimientos de alimentación de entrada, filtro, voltaje, corriente, rizado, se debe definir la corriente total de carga.

El equipo dispone de dos reguladores de voltaje de +5V. Un

regulador sirve para alimentar a todos los circuitos integrados que conforman el control, incluyendo el microcontrolador 8748 y otro regulador para alimentar a los circuitos que permiten presentar los datos en los displays. Es necesario independizar estas fuentes de poder para evitar problemas de transitorios y oscilaciones provocados por el brusco consumo de corriente en los displays que afectan principalmente al funcionamiento del microcontrolador.

Los consumos de corriente estimados para condiciones extremas son:

FUENTE 1 : 500 mA

FUENTE 2 : 800 mA

De estos valores se escoge los reguladores de voltaje L7805 ACV que tienen las características básicas siguientes.

Vsalida = 5 V

Icarga = 1 A

3.7.1.- PROCEDIMIENTO DE DISEÑO:

1.- Se definen los requerimientos del circuito regulador:

Regulador de voltaje: L7805ACV

Vsalida = 5 V

Icarga = 1 A

Con estos valores se puede usar la siguiente fórmula para determinar el voltaje secundario que necesita el transformador.

$$V_{ac} = \frac{(V_{salida} + V_{reg.} + V_{rect.} + V_{riz.})}{0.92} \times \frac{V_{nom.}}{V_{bajo-L\underline{ine}a}} \times \frac{1}{\sqrt{2}}$$

Donde: 0.92 es el valor típico de la eficiencia del rectificador y Vnom es la relación entre el voltaje AC nominal de la línea y el va

lor más bajo de las condiciones de línea.

En el presente caso se tiene:

$$V_{\text{salida}} = 5 \text{ V}$$

$$V_{\text{reg.}} = 4 \text{ V}$$

$$V_{\text{rect.}} = 2 \text{ V}$$

$$V_{\text{riz.}} = 1.2 \text{ V (10\% de 12 Vdc para alimentar el relé)}$$

10 % de variación de voltaje de línea.

$$VAC = \frac{(5 + 4 + 2 + 1.2)}{0.92} \times \frac{120}{0.90 \times 120} \times \frac{1}{\sqrt{2}}$$

$$VAC = 10.42 \text{ Vrms.}$$

Se toma: VAC = 10 Vrms por ser un valor normalizado para la fabricación de transformadores en el mercado.

4.- Cálculo de la corriente rms en el secundario: Un criterio práctico en ingeniería para el uso de rectificador tipo puente de onda completa y capacitor como filtro es considerar que:

$$I_{\text{rms}} = 1.8 I_{\text{dc}}$$

La corriente de carga esperada es 1.3 A para las dos fuentes de poder, luego:

$$I_{rms} = 1.8 \text{ (1.3 A)}$$

$$I_{rms} = 2.34 \text{ A}$$

Entonces, la potencia del transformador es:

$$S = V_{sec} \times I_{sec}$$

$$S = 10 \times 2.34 \text{ (VA)}$$

$$S = 23.40 \text{ VA}$$

Con estos valores se seleccionó un transformador de las siguientes características disponible en el mercado:

$$10 \text{ Vac } \textcircled{d} \quad 2.5 \text{ Arms}$$

$$S = 25 \text{ VA}$$

5.- Selección del capacitor de filtro: Para fuentes con corrientes de salida $I_{salida} \leq 1 \text{ A}$, el manual del fabricante de reguladores de voltaje recomienda utilizar la fórmula:

$$C_5 = \frac{I_{carga} \times 6 \times 10^{-3}}{\Delta V} \quad (\text{F})$$

Donde: I_{carga} = Corriente DC de carga (A)

ΔV = Pico-pico de voltaje de rizado (V)

Con los valores requeridos para el sistema se tiene:

$$C_5 = \frac{1.3}{3} \times 6 \times 10^{-3} \quad (F)$$

$$C_5 = 2.600 \text{ MF}$$

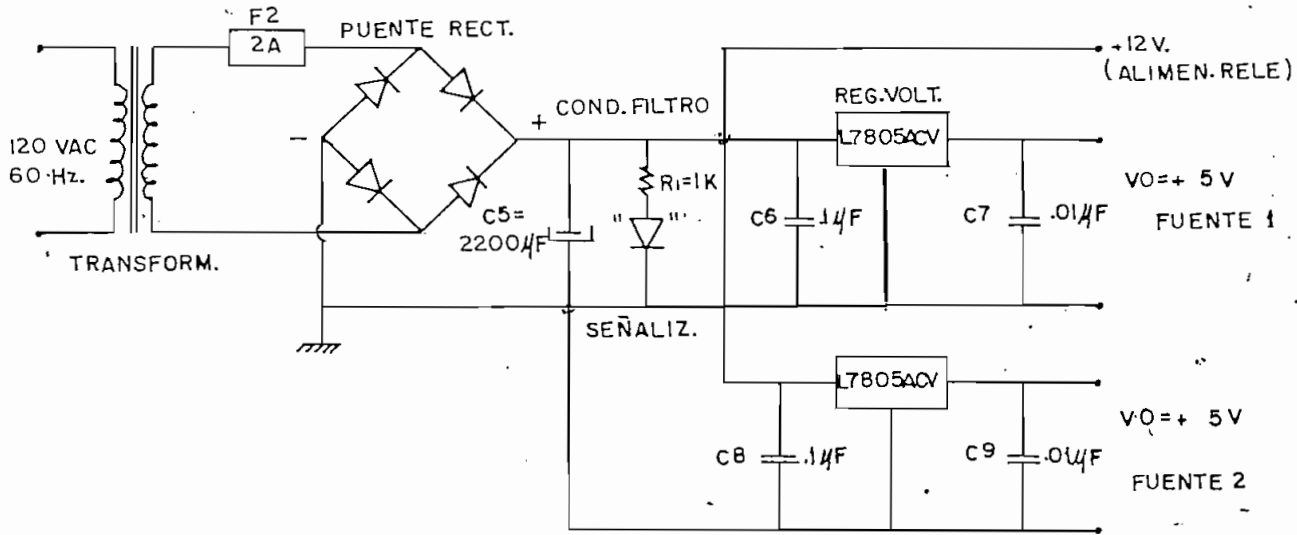
Se escogió el valor de 2.200 MF/25V para el condensador con el que se obtuvieron valores satisfactorios en las pruebas experimentales.

Por recomendación del fabricante se coloca además un condensador de 0.1 MF a la entrada del regulador de voltaje y un condensador de 0.01 MF a la salida; su función es absorber los transitorios producidos por la rápida conmutación de la parte digital del sistema y garantizar la operación estable del regulador de voltaje.

Con todas estas consideraciones, el circuito final que permite obtener las fuentes de polarización deseada se ilustra en la figura 3.22. En este circuito se indican los valores de los elementos de interés, así como también el fusible F2 de 2A empleado para proteger las fuentes y la señalización visual dentro del equipo.

Para determinar el fusible F2 considero un factor de 1.5 veces la corriente medida experimentalmente en el secundario para condiciones de carga críticas.

FIGURA 3.22



FUENTES DE POLARIZACION

3.7.2.- DETERMINACION DE DISIPADOR:

Para determinar si es necesario el uso de disipadores en los reguladores de voltaje calculamos la resistencia térmica requerida entre la juntura y el ambiente para la fuente de menor consumo de corriente.

Los datos del fabricante del regulador L7805ACV son:

$$\theta_{JC} = 4^{\circ}\text{C/w}$$

$$\theta_{JA} = 50^{\circ}\text{C/w}$$

$$T_{j\text{m}\acute{a}\text{x}} = 123^{\circ}\text{C}$$

La potencia de disipaci3n maxima sera:

$$P_{d\text{m}\acute{a}\text{x}} = (V_{in} - V_{out})I_{m\acute{a}\text{x}}$$

$$P_{d\text{m}\acute{a}\text{x}} = (12 - 5) (0.5)$$

$$P_{d\text{m}\acute{a}\text{x}} = 3.5 \text{ W}$$

$$\theta_{JA} = \frac{T_j - T_A}{P_{d\text{m}\acute{a}\text{x}}}$$

$$\theta_{JA} \text{ (tot)} = \frac{(125-40)^{\circ}\text{C}}{3.5 \text{ W}}$$

$$\theta_{JA} \text{ (tot)} = 24.29^{\circ}\text{C/w}$$

El fabricante recomienda usar disipador si se cumple con la relaci3n:

$$\theta_{JC} \leq \theta_{JA} \text{ (tot)} \leq \theta_{JA}$$

$$\text{Como: } 4^{\circ}\text{C/w} \leq 24.29^{\circ}\text{C/w} \leq 50^{\circ}\text{C/w}$$

Se concluye que los reguladores de voltaje necesitan colocarse en disipadores.

C A P I T U L O I V

D I S E Ñ O D E L P R O G R A M A

- 4.1.....Estructura General
- 4.2.....Diagramas de Flujo
- 4.3.....Listado de Programas

DISEÑO DEL PROGRAMA

4.1.- ESTRUCTURA GENERAL:

El control del equipo es realizado totalmente con instrucciones proporcionadas por el microcontrolador 8748. Por esta razón es necesario elaborar un programa que se almacena en la memoria EPROM del microcontrolador.

El programa total está dividido en módulos constituidos por subrutinas controladas por un programa maestro.

Este programa principal se lo puede dividir en las siguientes partes bien definidas:

- Proceso de inicialización.
- Ingreso de datos (a elección del usuario).
- Ordenación de los datos ingresados.
- Ejecución de la operación adecuada (comandos o señales para encendido de relé y motor).
- Muestreo de la posición del rotor de antena.
- Etapa de finalización (señales de apagado de motor, relé y espera de nuevos datos).

4.1.1.- PROCESO DE INICIALIZACION:

El programa se inicia en la localidad 09 de la memoria EPROM dando la orden de apagado del motor, relé, señalización de alarma y habilitación del transistor de control T4. Se llama a la subrutina "DISPLAY BLANCO" que es la encargada de inicializar los registros del microcontrolador y cargar las localidades 20, 21, 22, 23 de RAM de usuario con los datos necesarios para presentar en el display 1 (Posición deseada) : ± 0 . Además, esta subrutina lee las localidades 4, 5, 6, 7 de la memoria RAM externa, carga con estos valores las localidades 24, 25, 26 y 27 respectivamente de RAM de usuario y finalmente presenta los datos leídos en el display 2 (Posición actual), que son los que indican la posición real del rotor de antena respecto a la referencia fija.

4.1.2.- INGRESO DE DATOS:

El usuario puede ingresar a voluntad el sentido de giro y valor del ángulo a moverse el rotor de antena mediante el uso de un teclado especial para este propósito. Estos valores son almacenados en la memoria RAM de usuario del microcontrolador conforme éstos se van ingresando; al mismo tiempo del ingreso se van presentando en el display 1 dedicado para este fin. La ejecución de una manera ordenada, del ingreso de datos, es controlado por el microcontrolador mediante un programa que cumple las siguientes funciones principales:

- Reconoce si se presiona una tecla.
- Reconoce si la tecla presionada es de datos o de control (borrado o entrada de datos).
- Almacena los datos y sentido de giro en las localidades de RAM de usuario asignados.
- Con los datos provenientes del teclado se tiene acceso a la TABLA N° 4.2 (página 3 del microcontrolador 8748) que contiene el código binario (BCD) correspondiente al valor de la tecla presionada. De esta tabla de datos se toma a su vez el valor que será almacenado en las localidades de la RAM del usuario.
- Desactiva las teclas de datos cuando éstos tienen unidades, decenas y centenas; sólo se mantiene activada la tecla que sirve para borrar datos y la tecla para entrada de datos (INGRESO).
- Presenta en forma multiplexada los datos en los dos displays por lectura de las localidades de la RAM del usuario para lo cual se dispone de subrutinas adecuadas.
- Ordena la presentación de datos en displays: Unidades, Decenas, Centenas.

4.1.3.- ORDENACION DE LOS DATOS INGRESADOS:

Una vez que se ha presionado la tecla de entrada de datos (INGRESO) el microcontrolador, antes de dar la señal de activado del relé y motor, verifica el valor de datos ingresados y en caso de ser necesario (sólo unidades y/o decenas) los ordena primero en las localidades apropiadas de unidades, decenas y centenas de la RAM del usuario para luego actualizar la presentación en el display 1.

4.1.4.- EJECUCION DE LA OPERACION ADECUADA:

Los datos ingresados por teclado tienen un valor decimal que debe ser convertido a un valor hexadecimal en razón de que los registros que acumulan el movimiento del rotor de antena incrementan su contenido en forma hexadecimal (R1 y R5). Este cambio sirve para establecer la comparación con los registros R4 (LSB) y R3 (MSB).

También al ingresar a esta subrutina enceran los registros R1 (bits menos significativos) y R5 (bits más significativos) para que su incremento hexadecimal parta desde cero en cada movimiento del rotor de antena.

Según el contenido de la localidad 20 de la RAM del usuario (que obedece al sentido de giro deseado) se da la señal de activado del relé (para sentido de giro negativo) o se mantiene desactivado el relé (para sentido de giro positivo).

Posteriormente, se comprueba si el rotor de antena se encuentra en la posición máxima 800° . Si esto ocurre, se verifica que el sentido de giro deseado en esta prueba sea opuesto al que mantiene la antena en la posición máxima. Cuando sucede lo contrario, se activa la señal de alarma, no se activa el motor y se habilita la tecla de borrado para que se pueda ingresar un nuevo dato, cumpliéndose otra vez el mismo procedimiento.

Para datos diferentes al de la posición máxima, se mantiene apagada la señal visual de alarma y se da la orden de encendido del motor.

4.1.5.- MUESTREO DE LA POSICION DEL ROTOR DE ANTENA:

El microcontrolador recibe del sensor óptico montado en el eje del motor principal, los pulsos de información que los interpreta mediante un programa adecuado (subrutina de interrupción del timer / counter) como grados girados por el rotor de antena. Estos datos son almacenados con valor hexadecimal en la memoria RAM interna del microcontrolador y en la memoria RAM externa, que actúa como respaldo para casos de pérdida de alimentación inesperados. Conforme gira la antena se incrementa el ángulo, situación que se aprecia en el display 2. Esta subrutina de interrupción compara cada incremento o decremento del ángulo girado, según sea el caso, con el ángulo de giro deseado ingresado por teclado; cuando los dos valores se igualan, el resultado de la comparación es nulo y se aprovecha la bandera F1 del microcontrolador para salir de la subrutina de interrupción y retornar al programa principal con la siguiente instrucción que es la señal de desactivado del motor.

4.1.6.- ETAPA DE FINALIZACION:

Quando se ha llegado a la posición máxima de 800° o a la po-

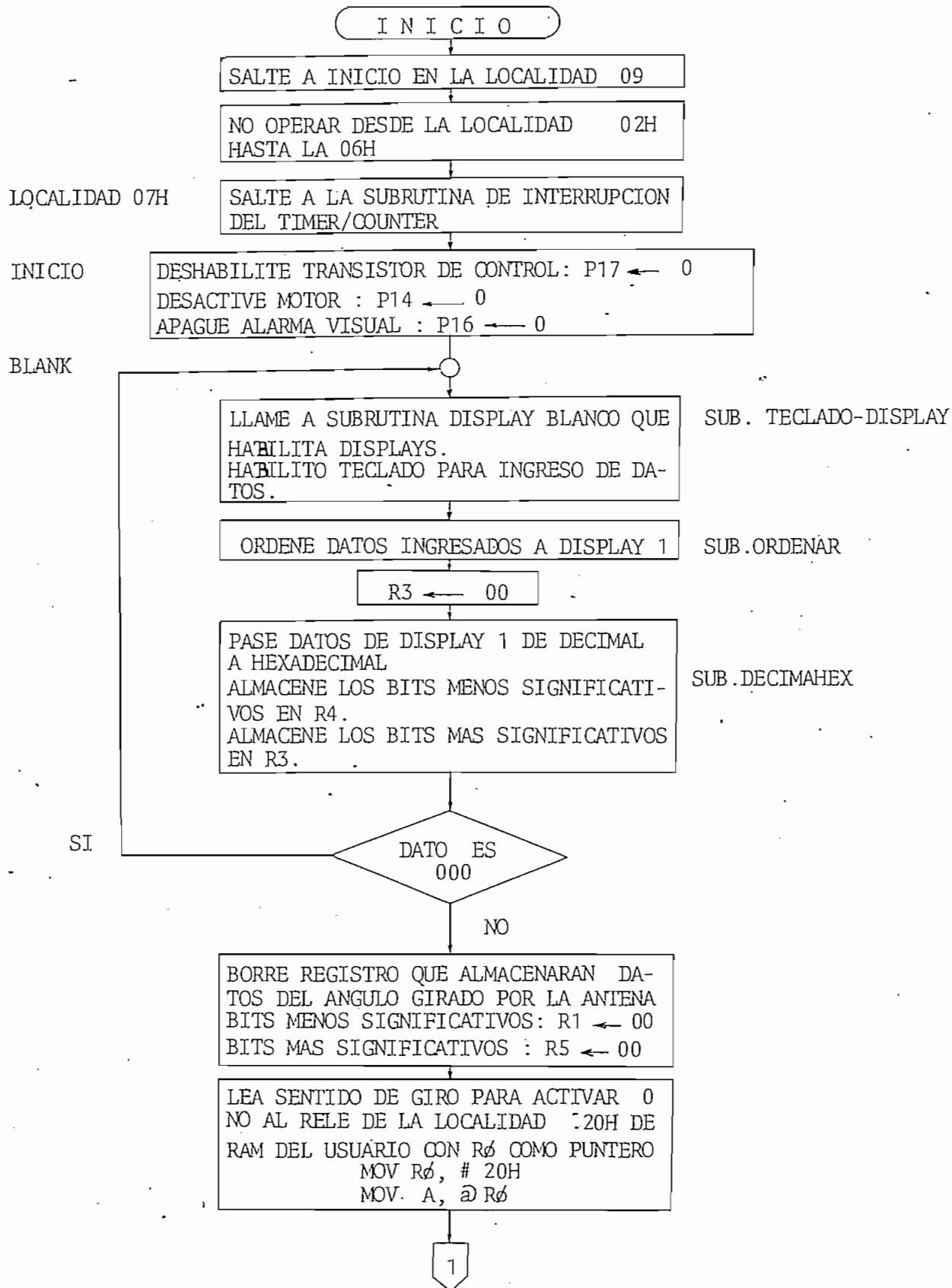
sición deseada, la bandera F1 usada como comparación en la subrutina de interrupción se pone en 1L y se sale al programa principal que inmediatamente proporciona las siguientes instrucciones:

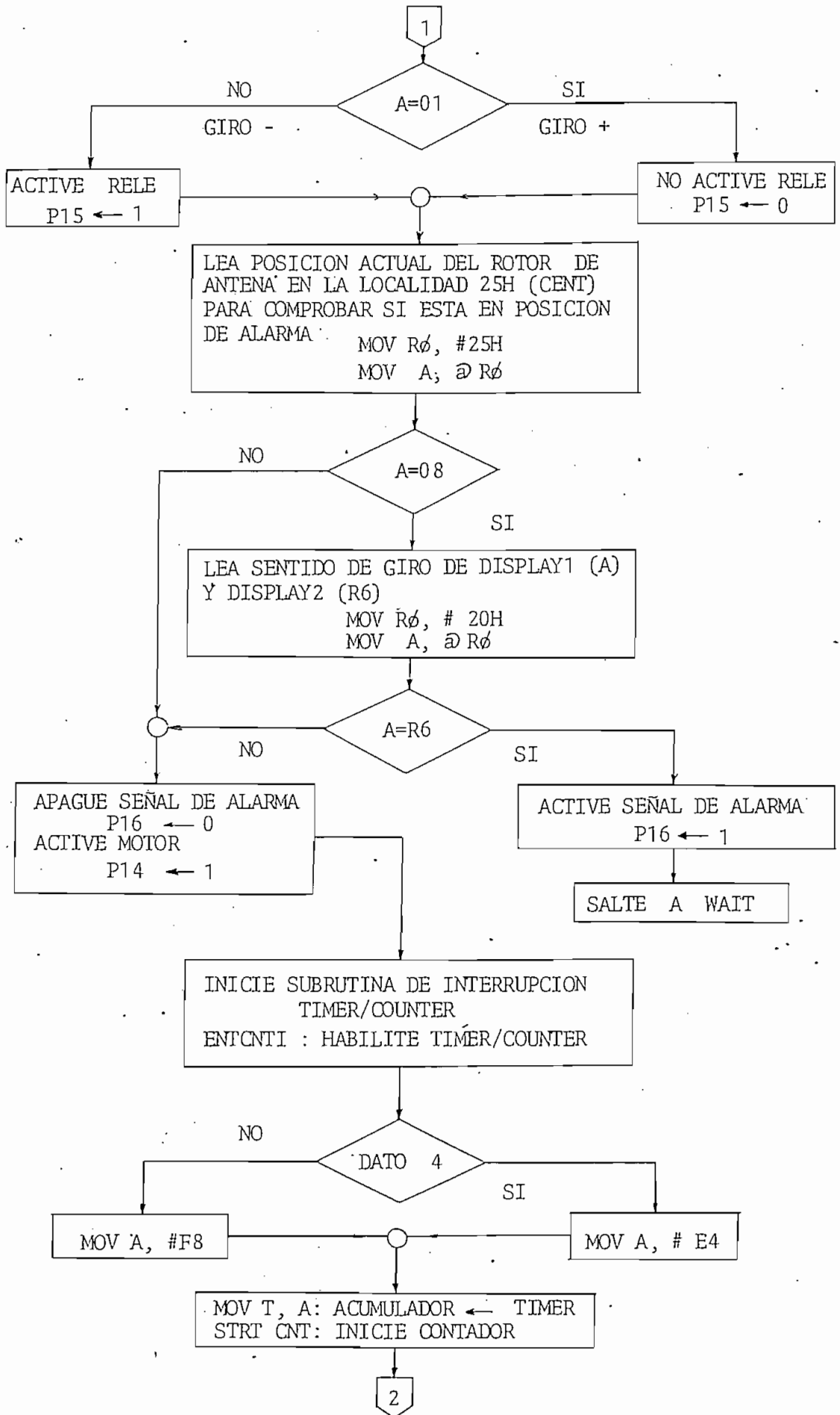
- Señal de apagado del motor y alarma visual cuando se llega a la posición máxima (800°).
- Habilitación del teclado (tecla de borrado únicamente).
- El microcontrolador se mantiene en un lazo de presentación de displays, barre el teclado en espera de la detección del pulsado de la tecla de borrado.
- Una vez presionada la tecla de borrado se habilitan todas las teclas y se puede ingresar un nuevo dato, retornando así al inicio del programa; luego se repite el mismo proceso.

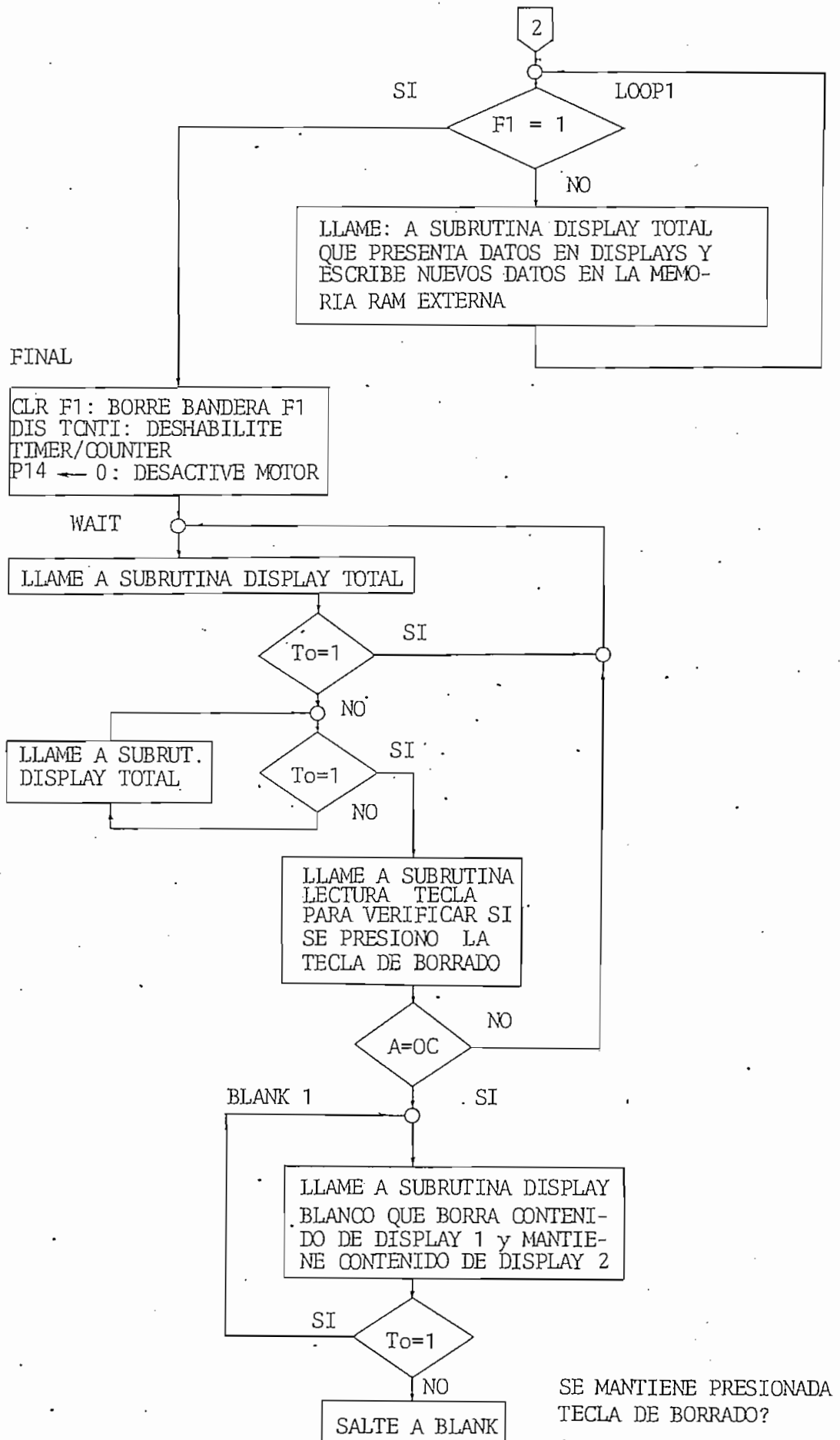
4.2.- DIAGRAMAS DE FLUJO:

Para comprender mejor la secuencia de funcionamiento del programa, se realiza primero un diagrama de flujo general y luego se desarrollan los diagramas de flujo para los diferentes subprogramas o subrutinas.

4.2.1.- DIAGRAMA DE FLUJO GENERAL:







4.2.2.- SUBROUTINA TECLADO-DISPLAY:

- PROPOSITO: Mantener los datos en los displays 1 y 2, habilitar el teclado y detectar si se presiona una tecla de datos o control mediante la lectura del timer To: si To=1 se presionó una tecla y si To=0 no se ha presionado ninguna tecla y el microcontrolador se mantiene en un lazo de espera presentado los datos en los displays. (Se puede ingresar datos-giro o viceversa, pero en cualquier caso se separan presionando la tecla (INGRESO).

- SUBROUTINAS QUE UTILIZA: Display blanco
Lectura tecla
Display total, Espera, Ingreso, Clear -
Enter.

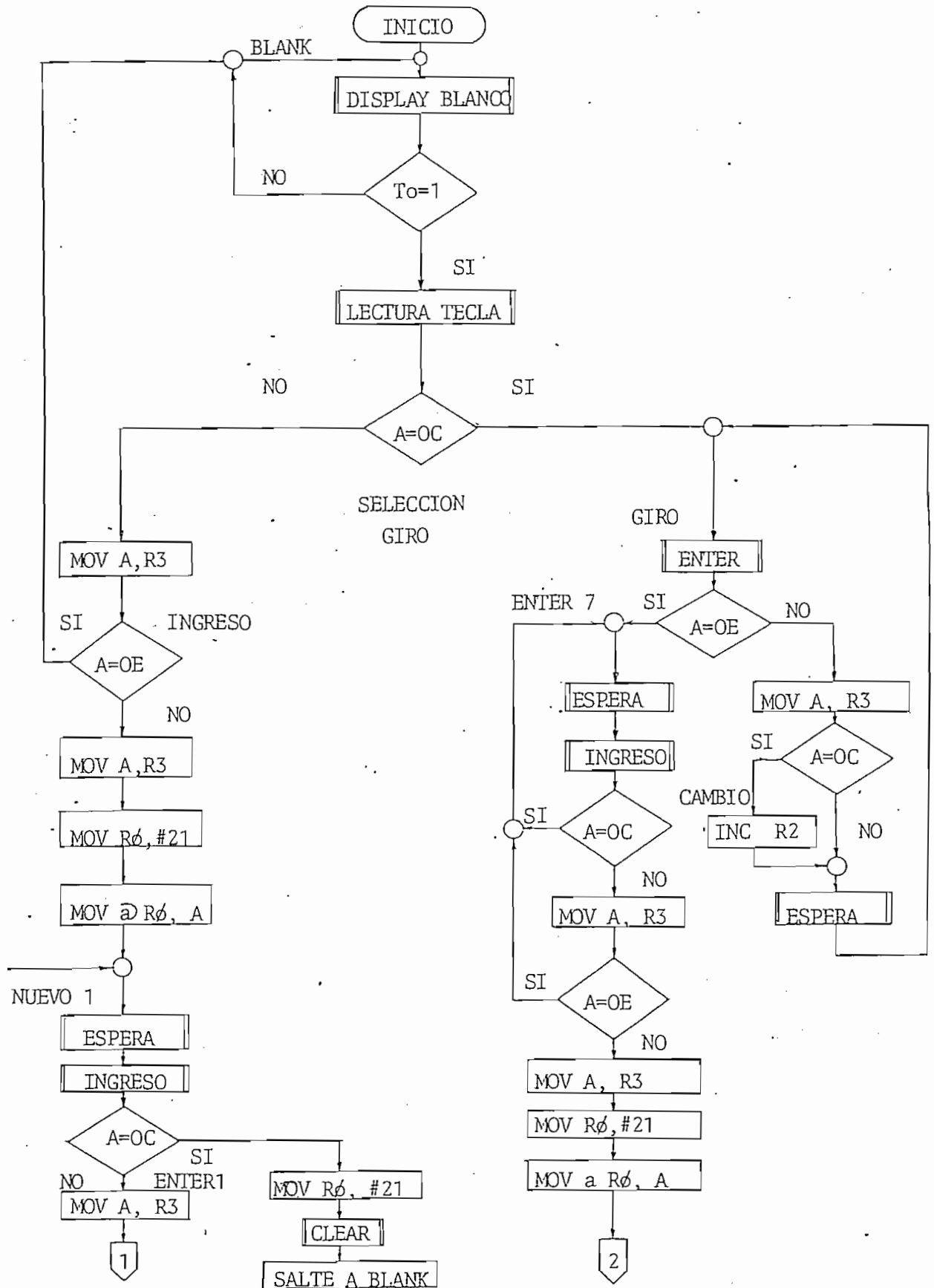
El registro R0 se utiliza como puntero de Stack. Los registros R2, R3 son registros auxiliares del acumulador A.

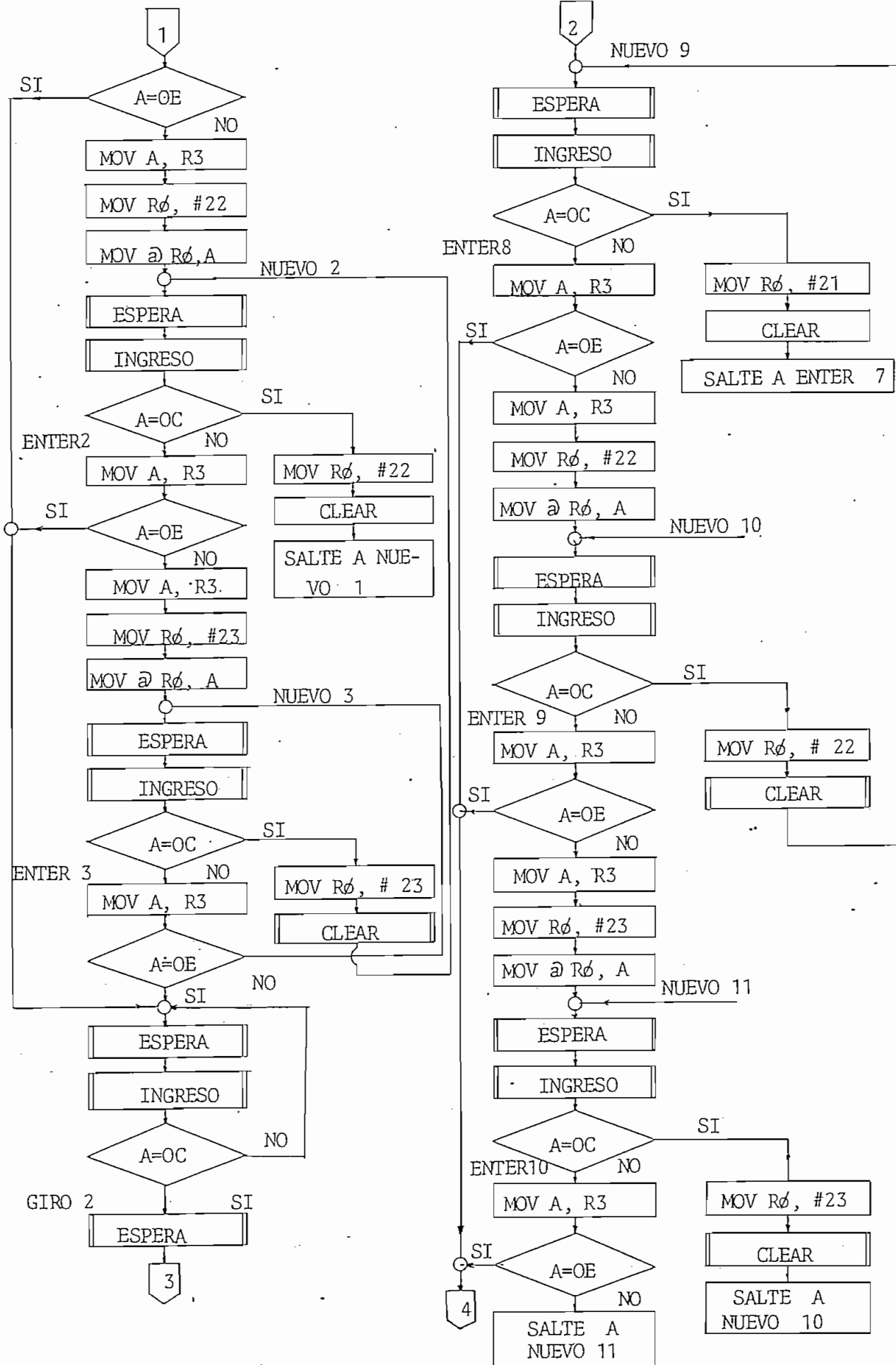
El ingreso de datos y los que corresponden a la posición actual del rotor de antena se almacena en las localidades de RAM de uso siguiente:

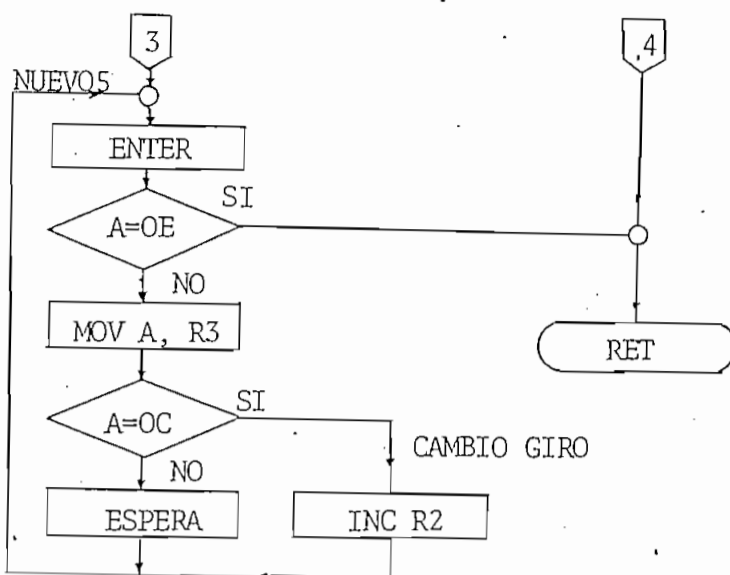
LOCALIDADES DE RAM DE USUARIO							
20	21.	22	23	24	25	26	27
GIRO	CENT.	DEC.	UNID.	GIRO	CENT.	DEC.	UNID.
	DISPLAY 1				DISPLAY 2		

TABLA 4.1

DIAGRAMA DE FLUJO:







4.2.3.- SUBROUTINA ORDENAR:

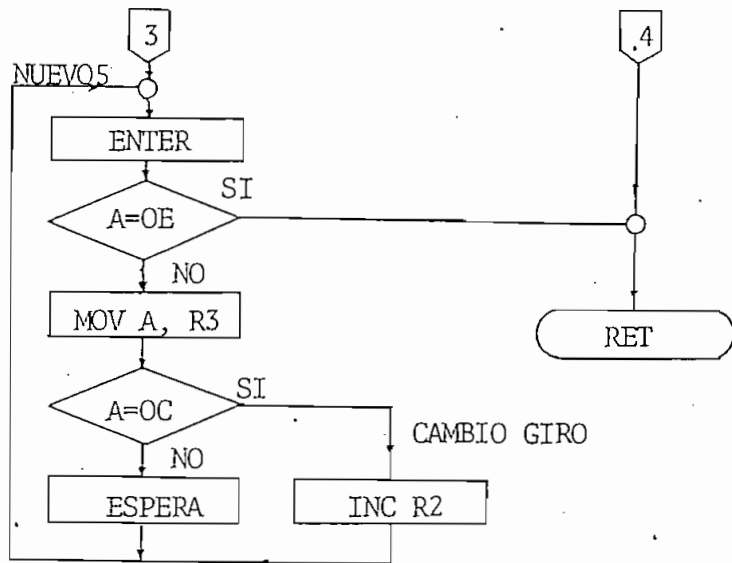
PROPOSITO: Ordenar los datos presentados en el display 1, en las localidades respectivas de unidades, decenas y centenas (referirse a TABLA 4.1) cuando el dato ingresado es inferior a una centena. Lee la localidad y compara con el número OF hexadecimal que corresponde al código necesario para mantener el dígito del display borrado.

El registro R0 se utiliza como puntero de stack.

El acumulador A se emplea para las operaciones requeridas en esta subrutina.

SUBROUTINA QUE UTILIZA: Ninguna.

LOS datos ingresados por teclado, en valor hexadecimal, están almacenados en R3



4.2.3.- SUBROUTINA ORDENAR:

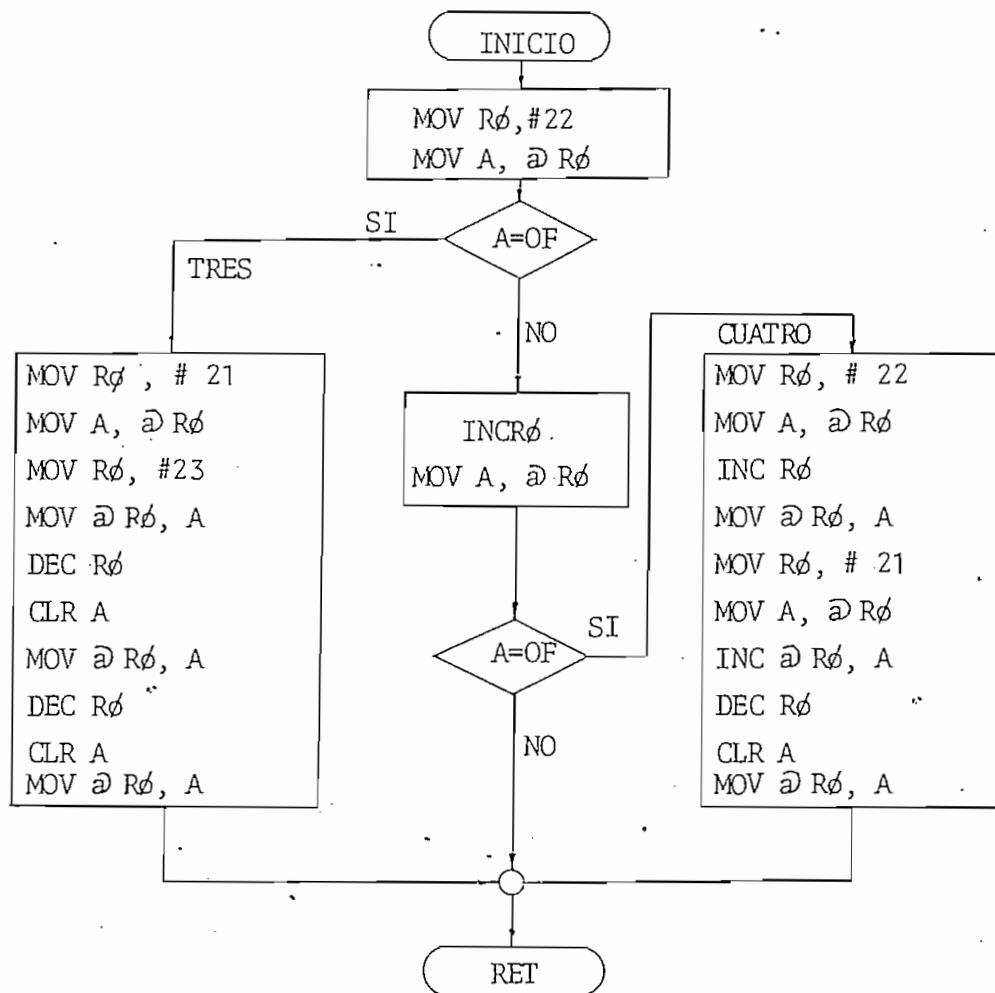
PROPOSITO: Ordenar los datos presentados en el display 1, en las localidades respectivas de unidades, decenas y centenas (referirse a TABLA 4.1) cuando el dato ingresado es inferior a una centena. Lee la localidad y compara con el número 0F hexadecimal que corresponde al código necesario para mantener el dígito del display borrado.

El registro R0 se utiliza como puntero de stack.

El acumulador A se emplea para las operaciones requeridas en esta subrutina.

SUBROUTINA QUE UTILIZA: Ninguna.

DIAGRAMA DE FLUJO:

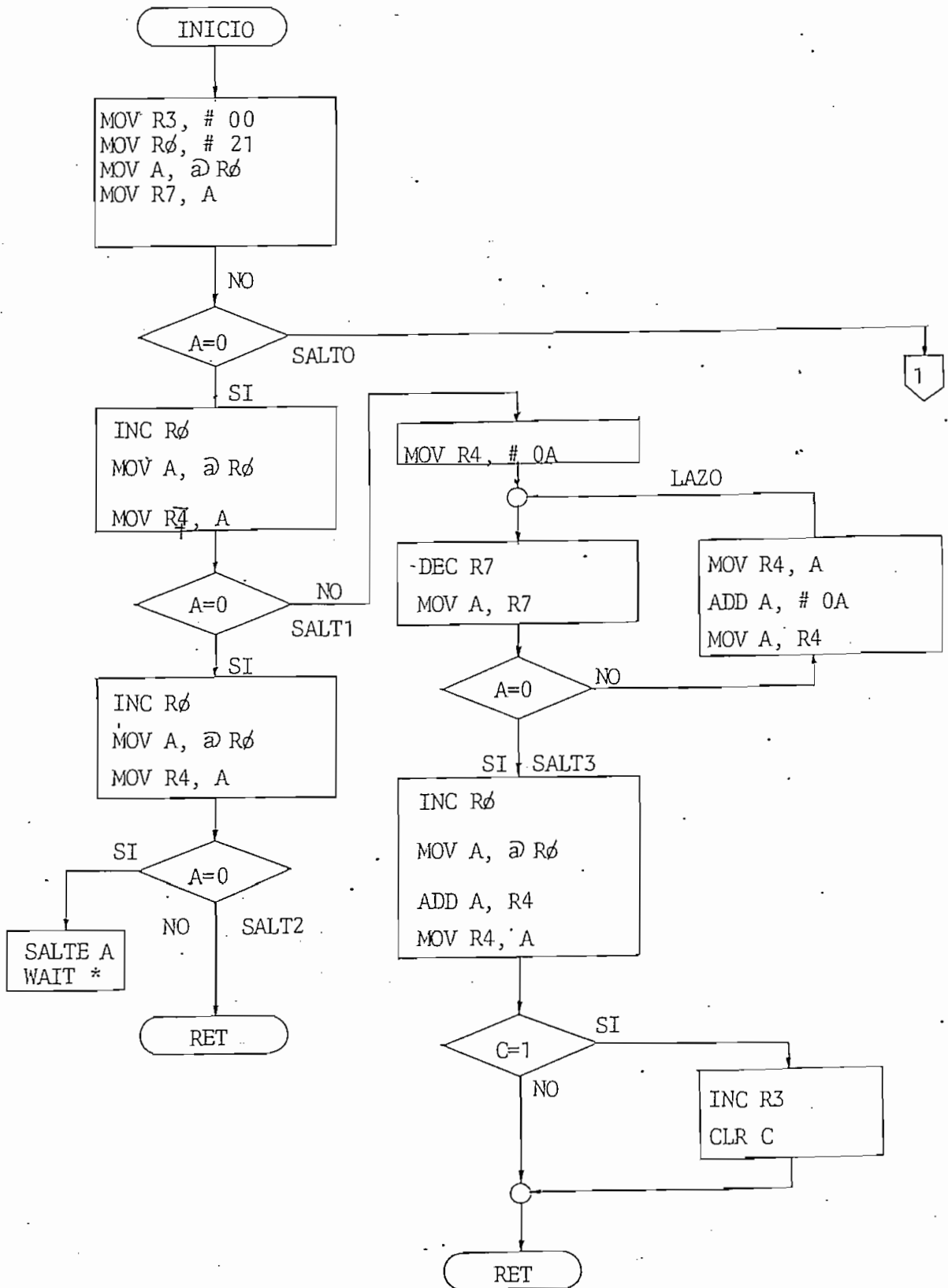


4.2.4.- SUBROUTINA DECIMAL A HEXADECIMAL:

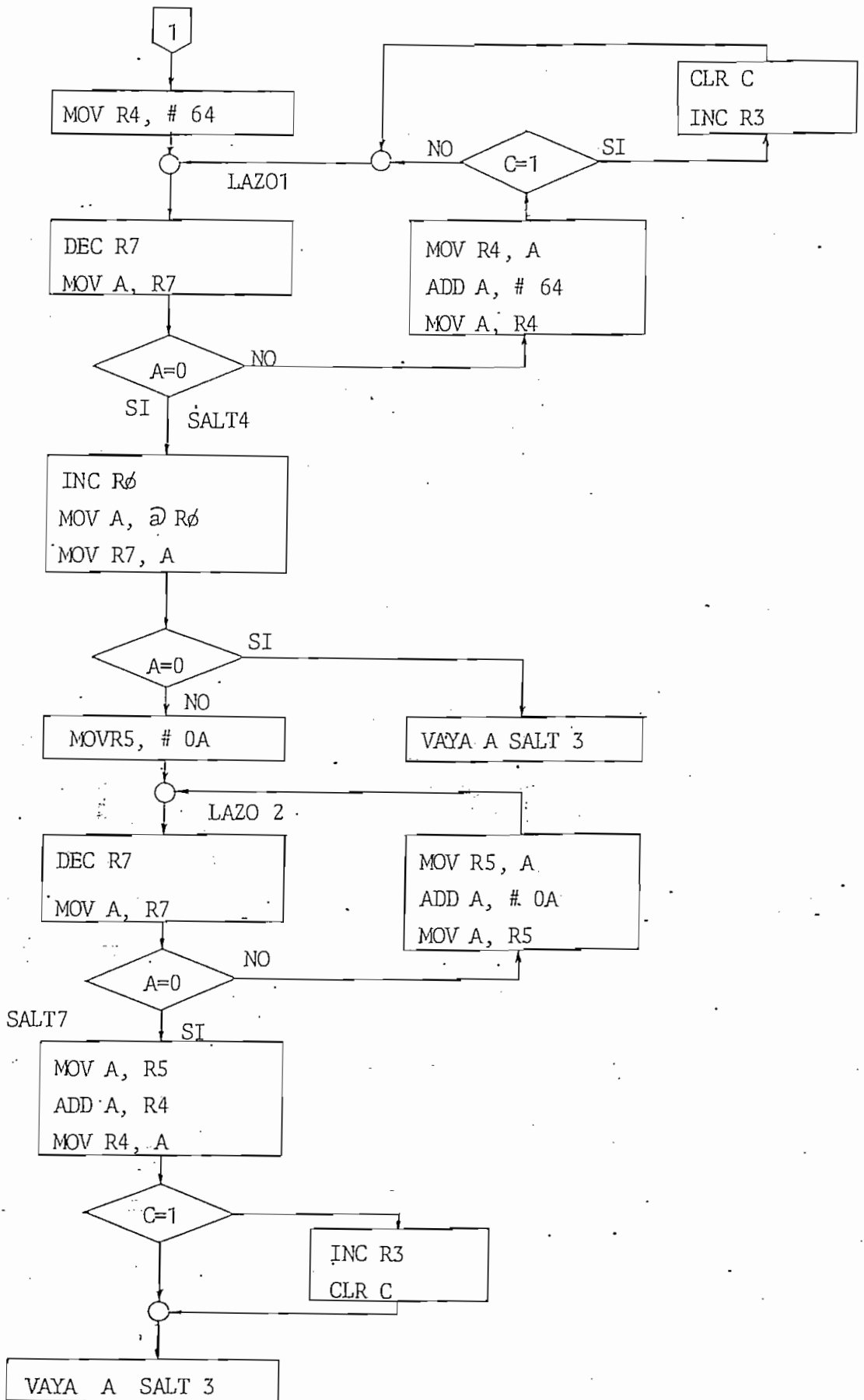
PROPOSITO: Convertir el contenido del dato decimal ingresado por teclado a las localidades 21 (centenas), 22 (decenas) y 23 (unidades), a su equivalente hexadecimal, y almacenar los bits más significativos en el registro R3 y los bits menos significativos en el registro R4. Esta subrutina utiliza R5 y R7 como registros auxiliares y al registro R0 como puntero de stack.

SUBROUTINAS QUE UTILIZA : Ninguna

DIAGRAMA DE FLUJO:



* NOTA: Esta dirección está ubicada en el diagrama de flujo general.



4.2.5.- SUBROUTINA DE INTERRUPCION-TIMER:

- PROPOSITO: La entrada T1 del microcontrolador actúa como contador de eventos, recoge los pulsos provenientes del sensor óptico y los cuenta. El timer/counter T1 se inicializa con el valor hexadecimal E5, se incrementa con cada pulso del sensor óptico y al llegar el valor hexadecimal FF se produce un salto a la localidad 07 de la memoria del microcontrolador, iniciándose la subrutina de interrupción que incrementa o decrementa el contenido del display 2 según sea la posición actual del rotor de antena y el sentido de giro seleccionado; cada vez que hace esta operación, compara el valor que alcanza el rotor de antena con el deseado.

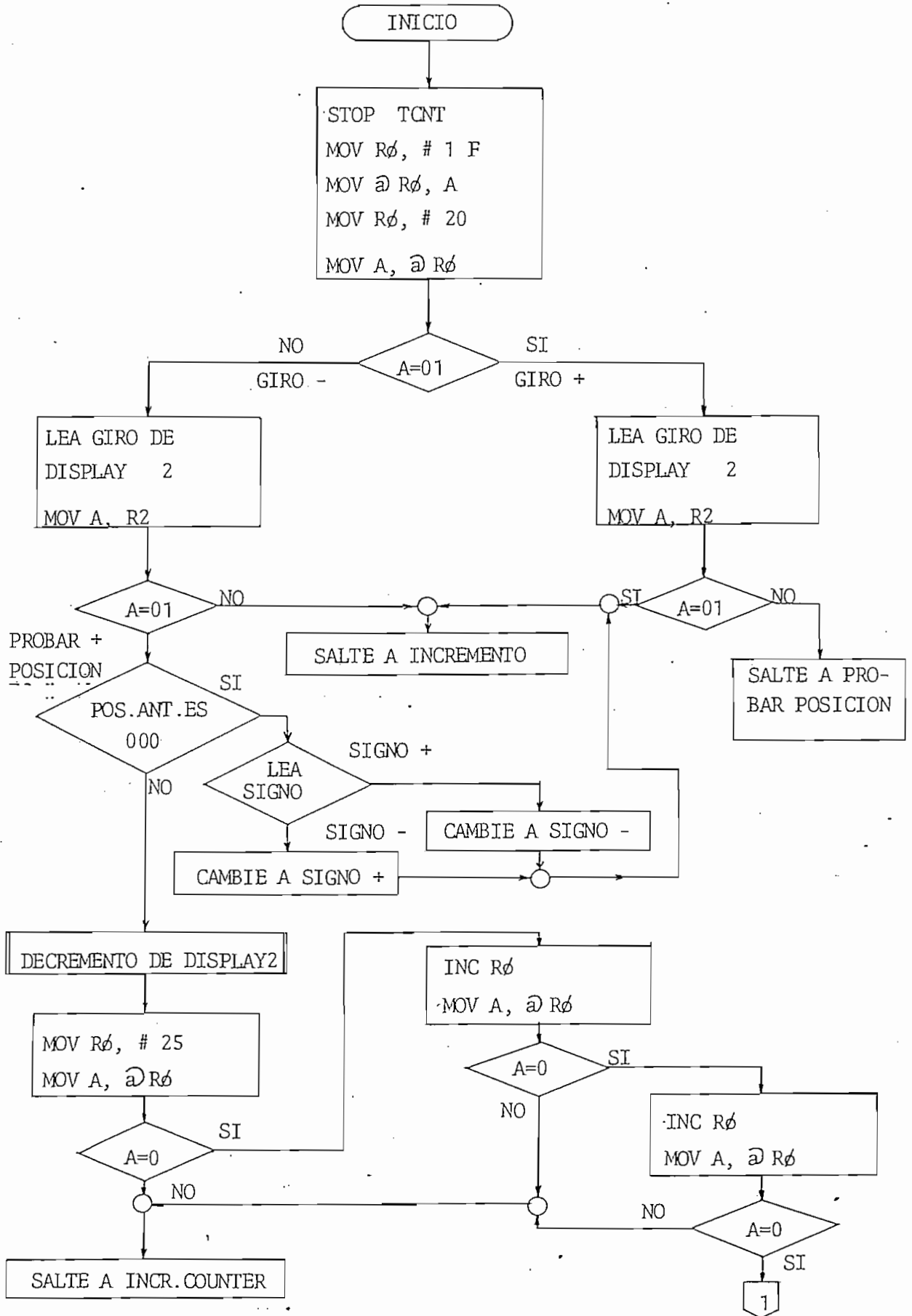
Una vez que se igualan los dos valores se complementa la bandera F1 y se termina la subrutina de interrupción para luego enviar la señal de desactivado el motor. Esta subrutina también compara el ángulo girado con la posición máxima de giro (800°) y si ésta situación ocurre también se complementa F1 y se termina la subrutina de interrupción.

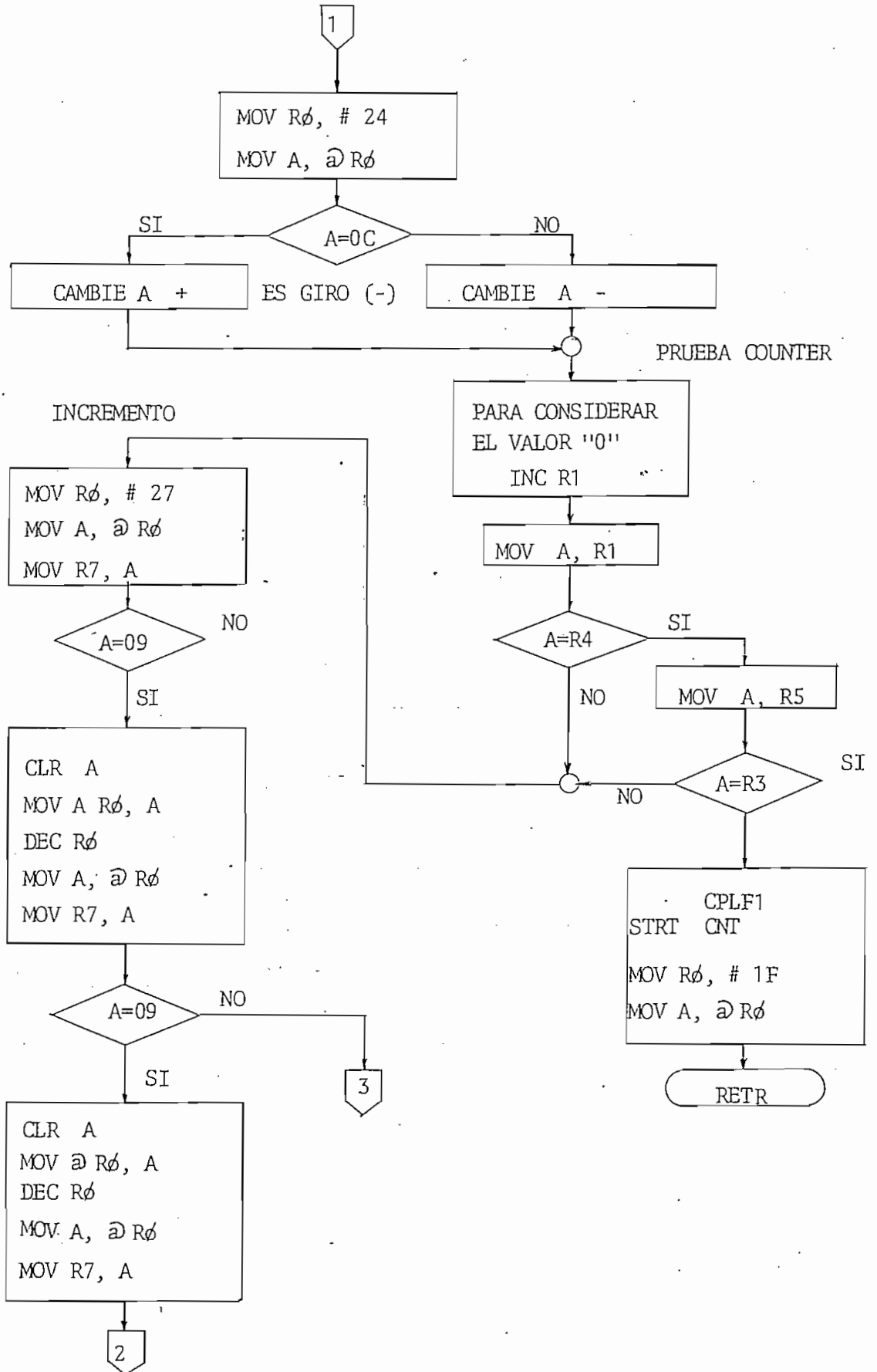
El incremento hexadecimal del sensor óptico almacena los bits más significativos en R5 y los bits menos significativos en R1. Los datos ingresados por teclado, en valor hexadecimal, están almacenados en R3

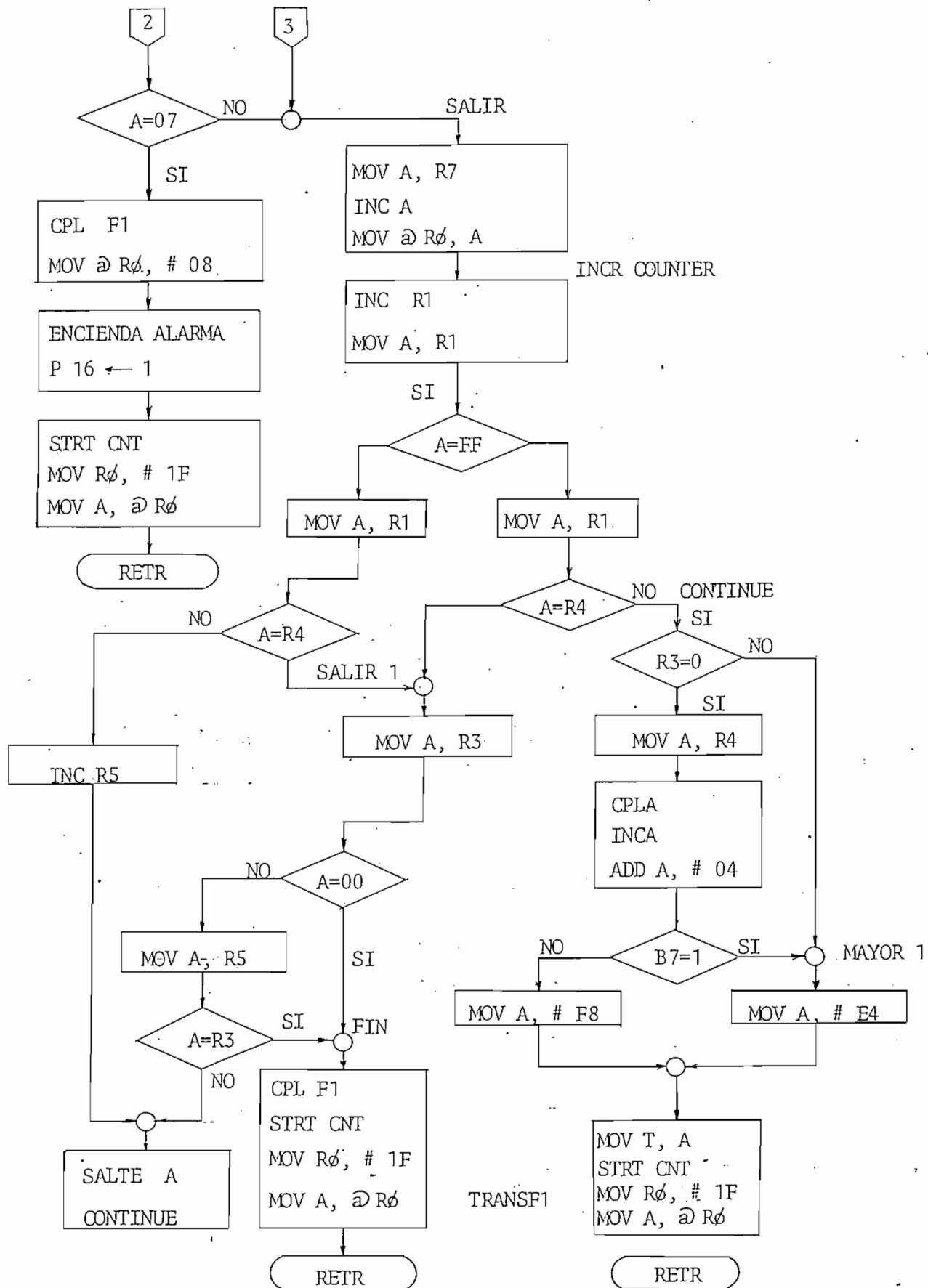
y R4. Cuando se igualan estos dos pares de registros se tiene un valor 1 en la bandera F1. El registro R0 se utiliza como puntero de stack.

- SUBROUTINAS QUE UTILIZA: Decremente Display 2.

DIAGRAMA DE FLUJO:







4.2.6.- SUBROUTINA "DISPLAY TOTAL":

- PROPOSITO: La subrutina "DISPLAY TOTAL", permite presentar los valores en los dos displays. Los datos del display 1 permanecen fijos durante la prueba y son almacenados en las localidades de RAM de usuario del microcontrolador: 20, 21, 22, 23; los datos del display 2 son almacenados en las localidades 24, 25, 26 y 27 de la memoria RAM del microcontrolador y los mismos valores en las localidades 4, 5, 6, 7 de la memoria RAM EXTERNA. El registro R0 se emplea como puntero de stack y R2, R6, R7 como registros auxiliares.

- SUBROUTINAS QUE UTILIZA: P2 - Delay

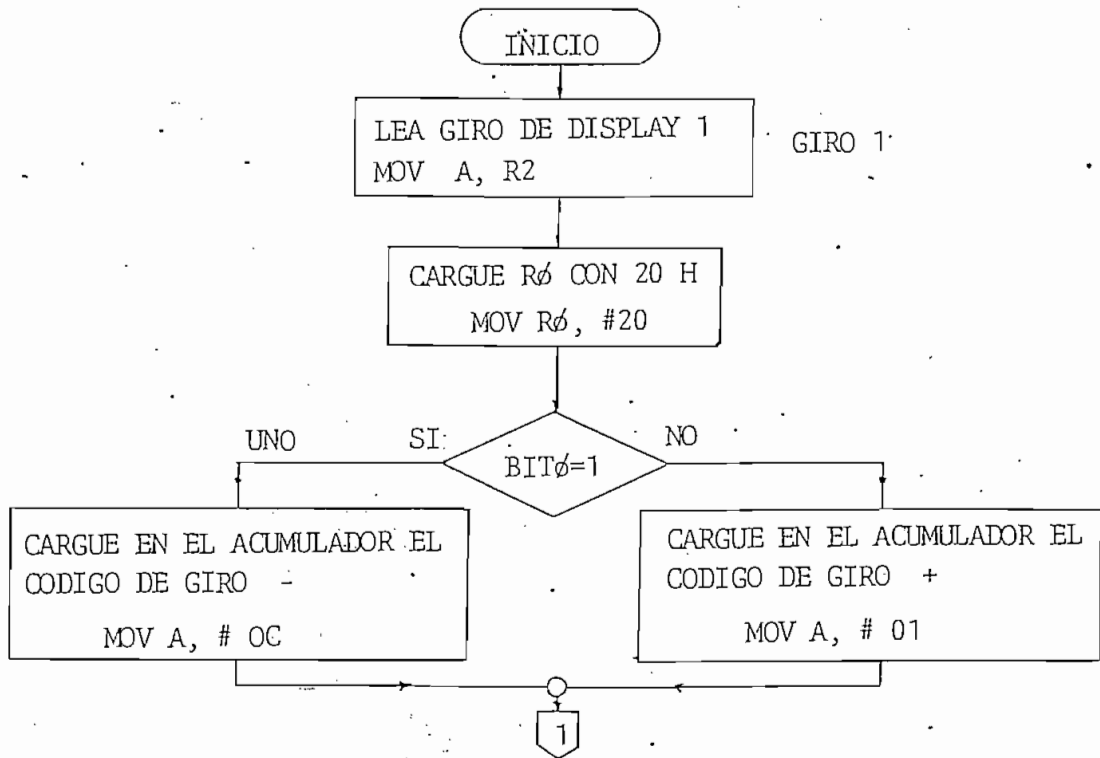
D I S P L A Y 1

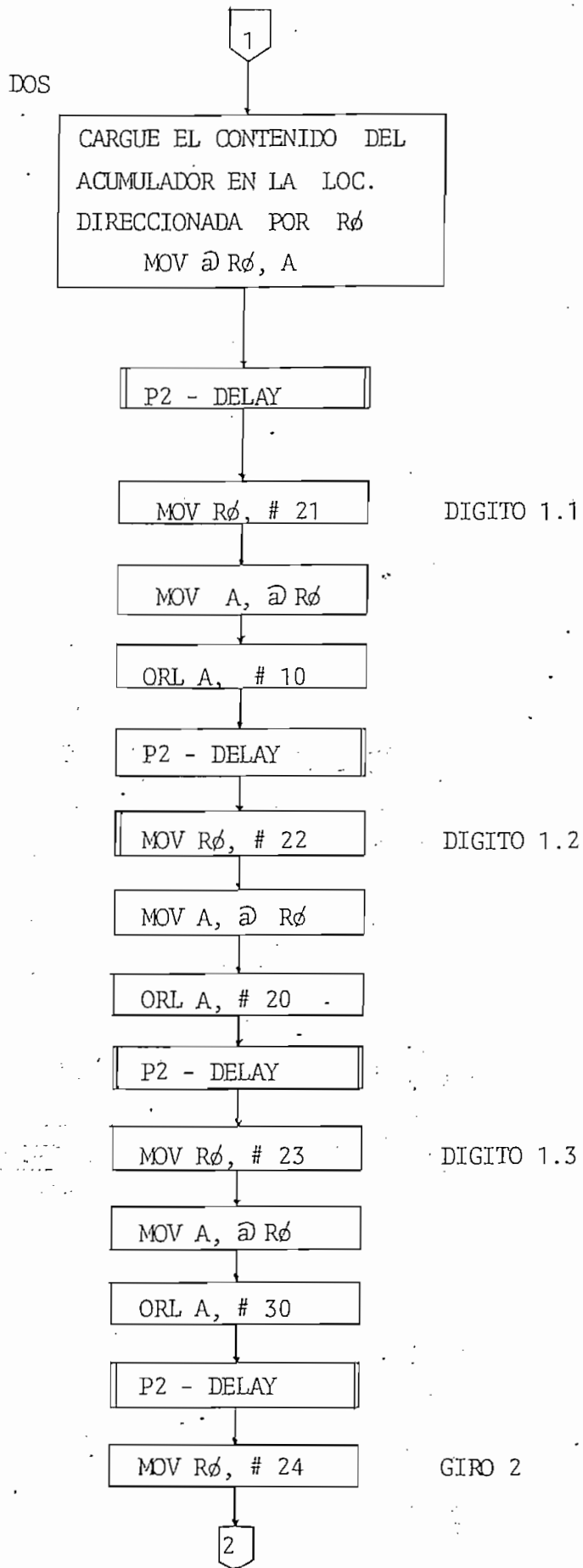
GIR1	DIG1.1	DIG1.2	DIG1.3
------	--------	--------	--------

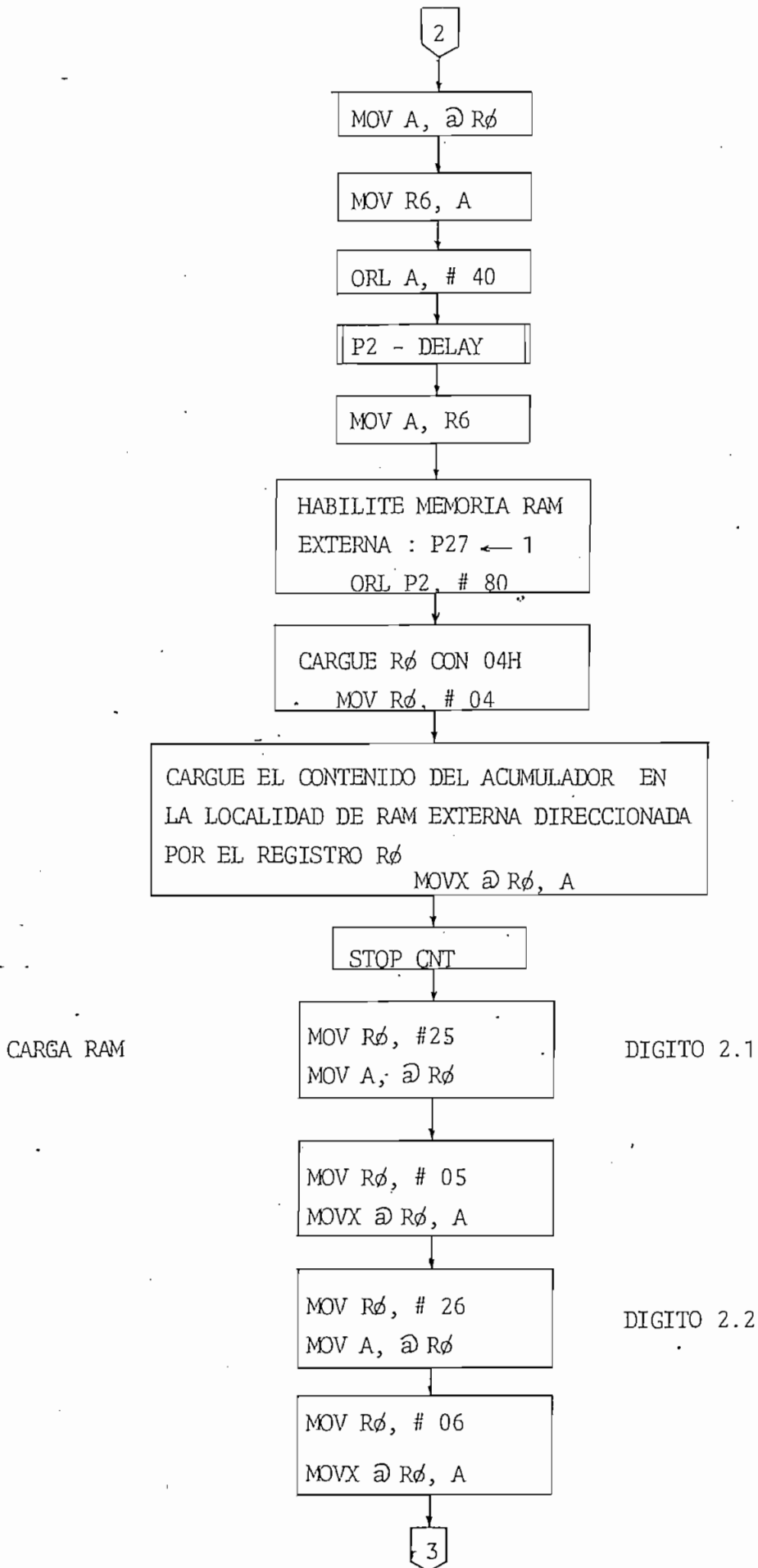
D I S P L A Y 2

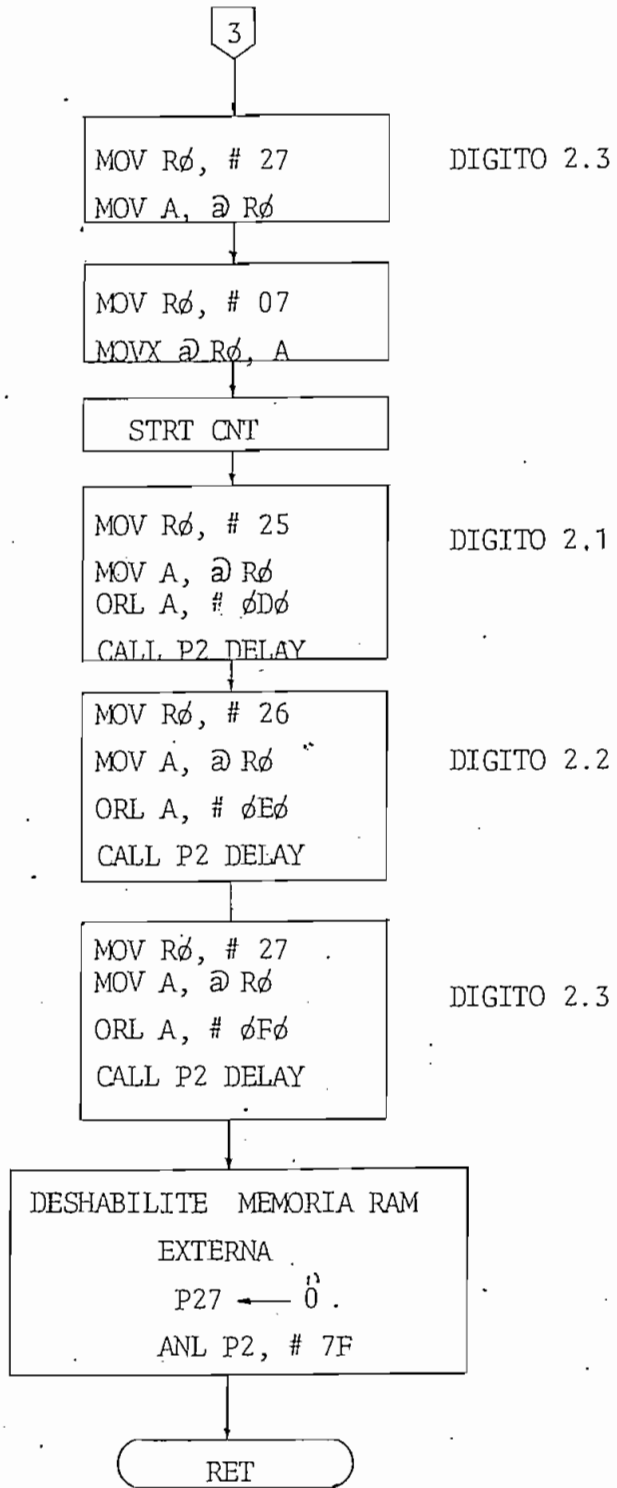
GIR2	DIG2.1	DIG2.2	DIG2.3
------	--------	--------	--------

DIAGRAMA DE FLUJO:





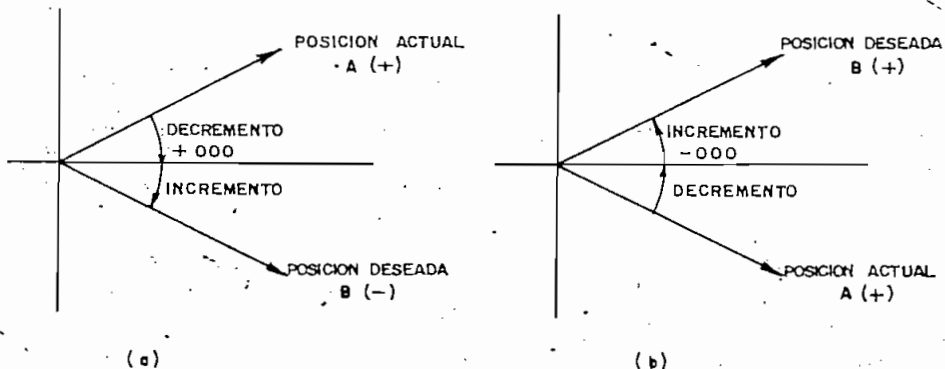




4.2.7.- SUBROUTINA "DECREMENTE DISPLAY 2":

- PROPOSITO: Esta subrutina permite decrementar el contenido presentado en el display 2, ubicado en las localidades 24,25, 26 y 27 hexadecimales, de la memoria RAM de usuario. Este decremento sólo ocurre cuando la posición real de la antena es contraria en sentido de giro con la que se desea y que se ha ingresado por teclado. Las dos posibilidades de decremento desde un ángulo A hasta un ángulo B se pueden ver en la figura 4.1.

FIGURA 4.1

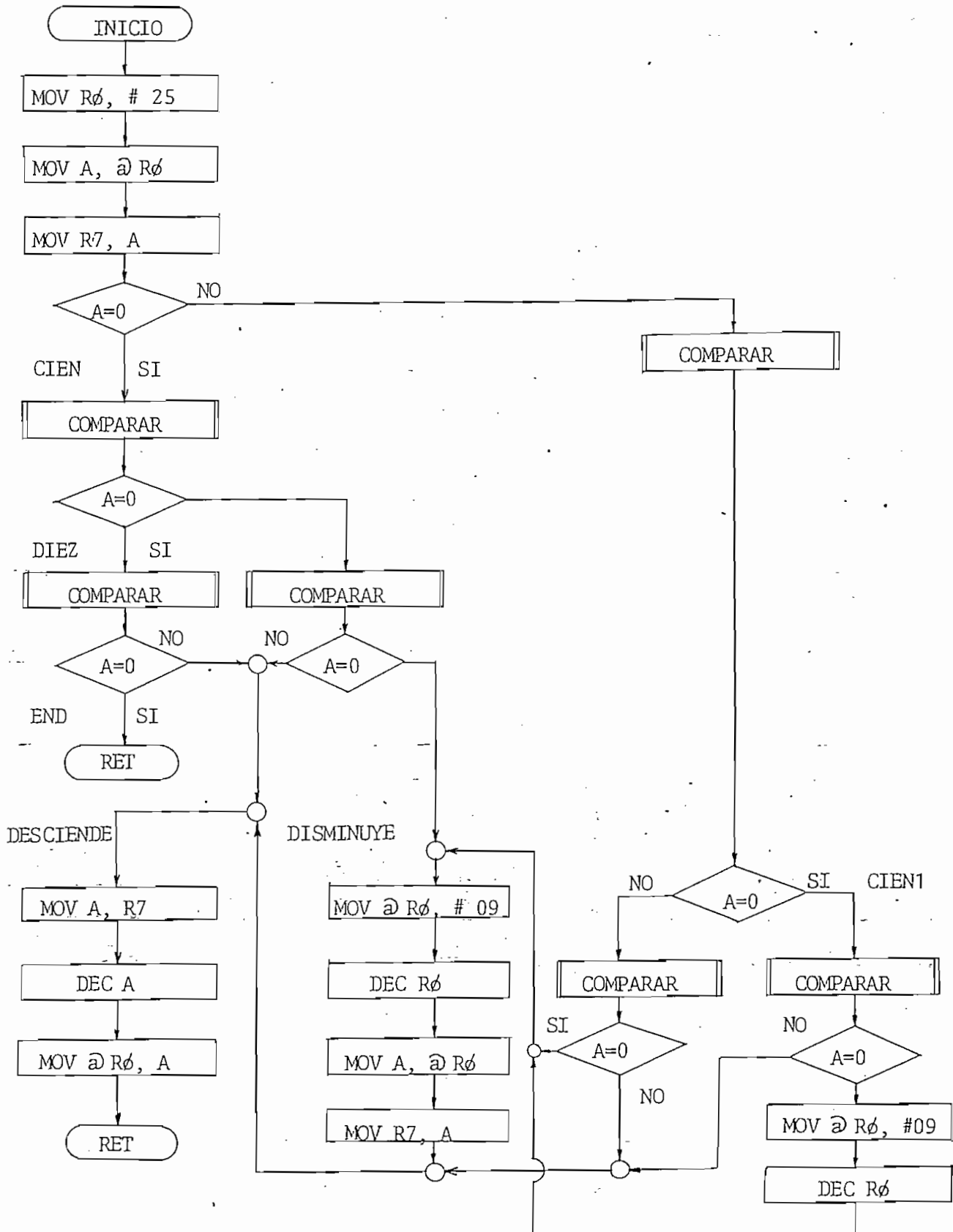


- a) - MOVIMIENTO DESDE UN ANGULO A (+) HASTA UN ANGULO B (-).
- b) - MOVIMIENTO DESDE UN ANGULO A (-) HASTA UN ANGULO B (+).

El registro R0 se usa como puntero de stack y R7 como registro auxiliar:

- SUBROUTINAS QUE UTILIZA: Comparar

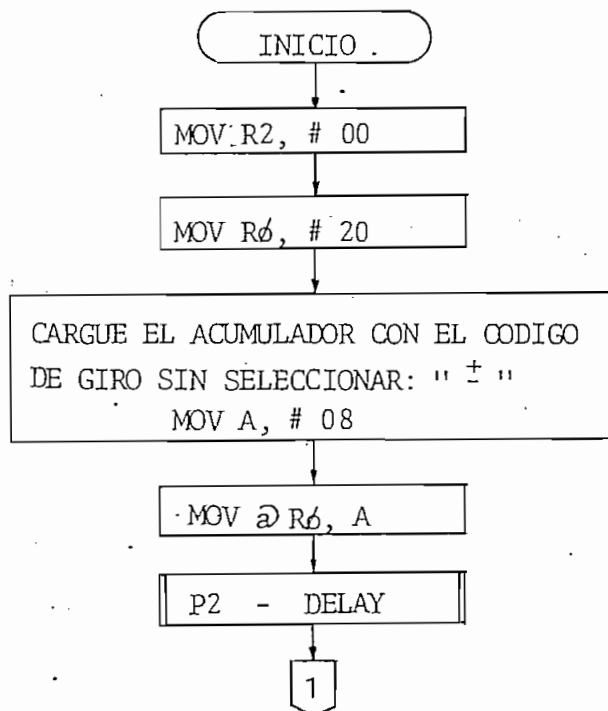
DIAGRAMA DE FLUJO:

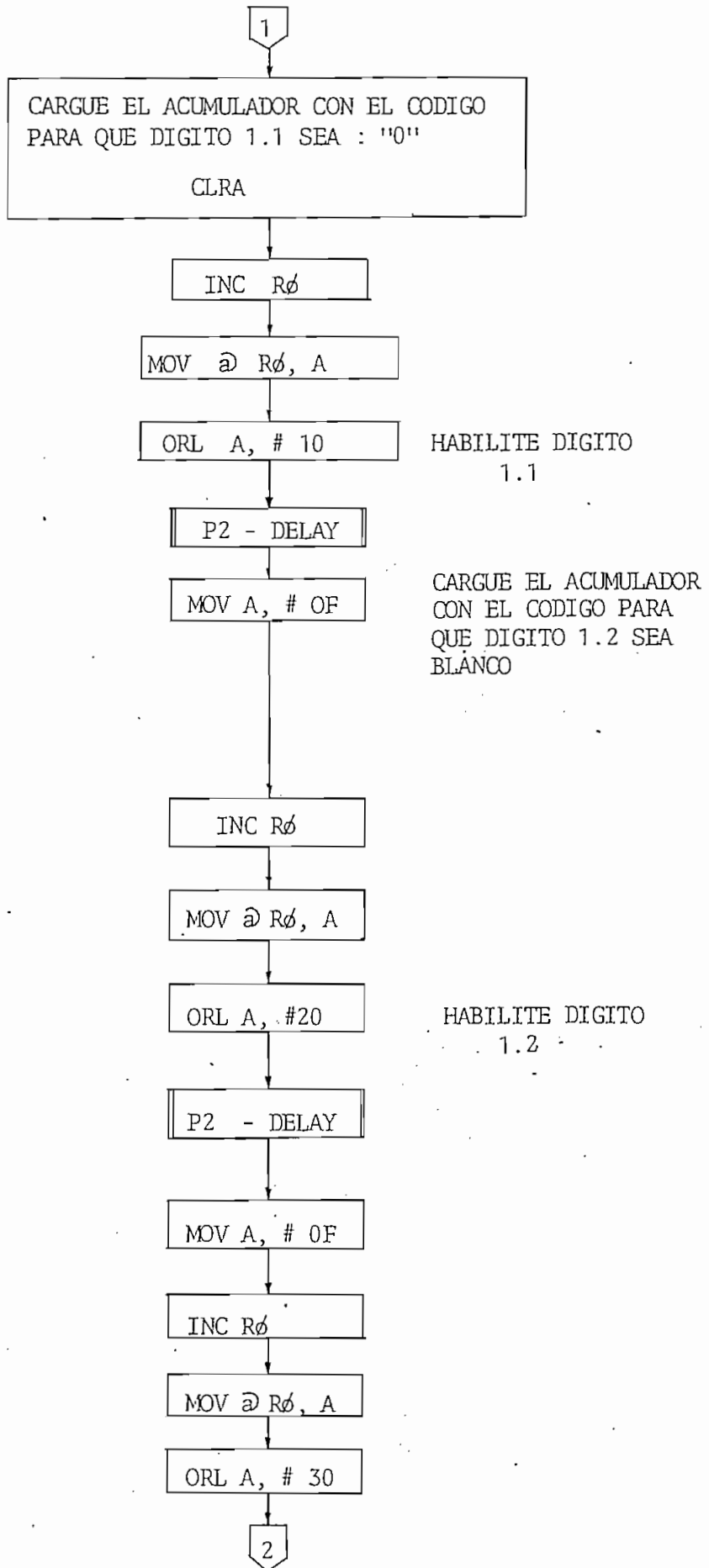


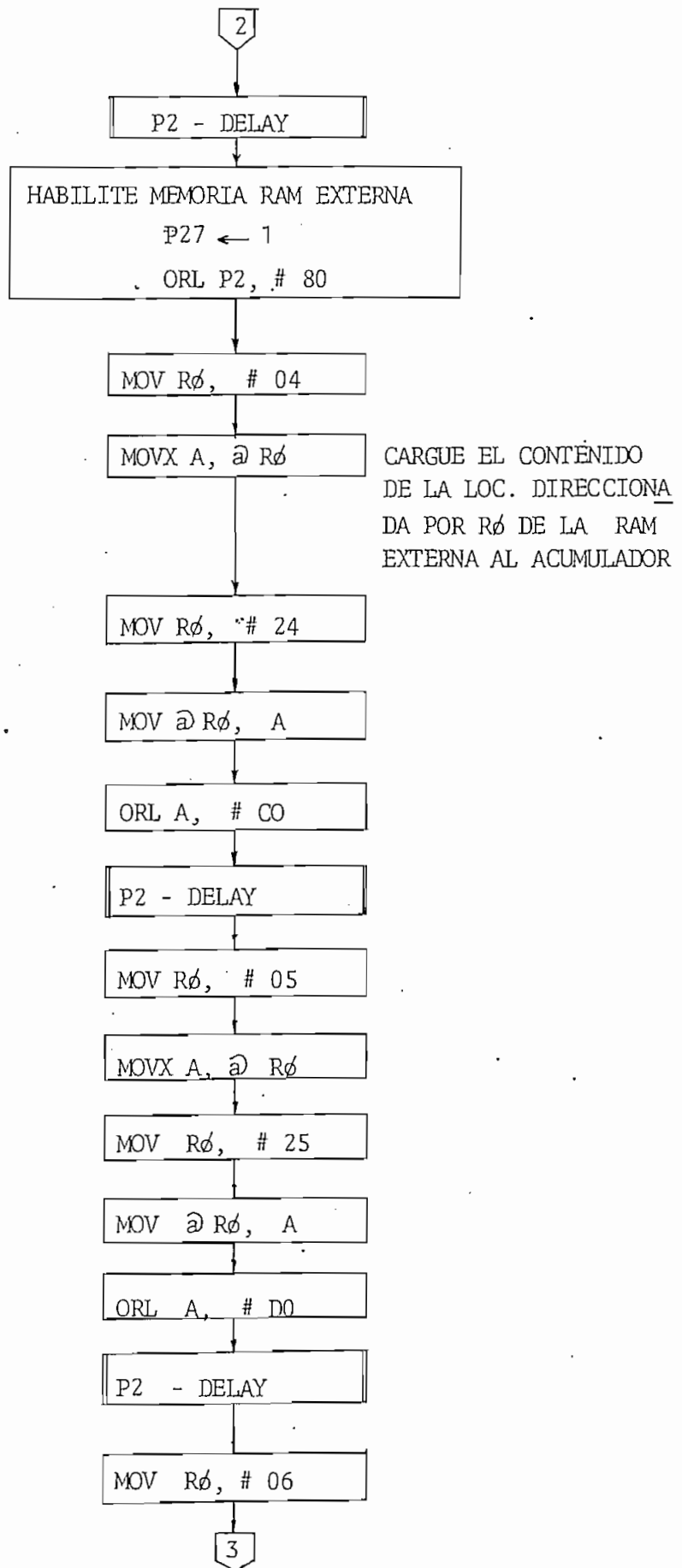
4.2.8.- SUBROUTINA "DISPLAY BLANCO":

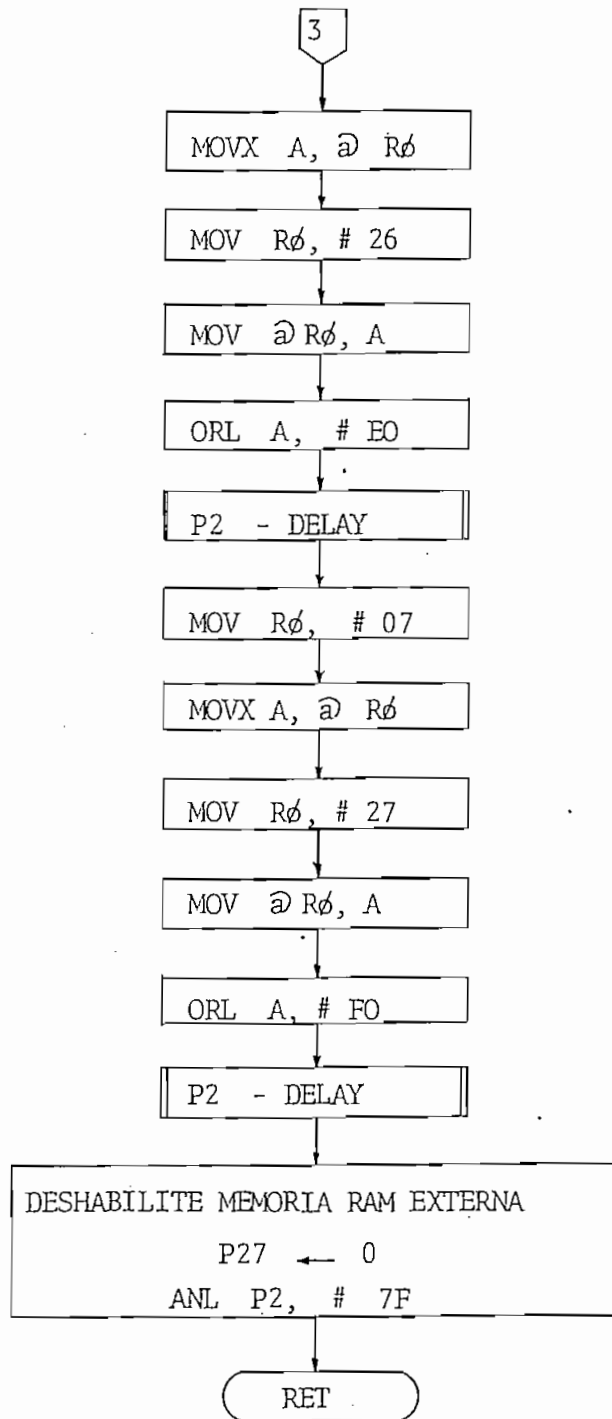
- PROPOSITO: Esta subrutina presenta el valor " ± " en el display1 con valores apropiados que carga en las localidades 20,21,22 y 23 de RAM de usuario. Para presentar los datos en el display2 primero lee las localidades 4,5,6,7 de la memoria RAM externa y su contenido va almacenando respectivamente en las localidades 24,25,26 y 27 de RAM de usuario. Cada vez que se enciende el equipo, se presiona la tecla de BORRADO al llegar a la posición deseada o posición máxima, se llama a esta subrutina y la presentación en los displays es como se indicó anteriormente. El registro R0 se utiliza como puntero de stack, el registro R2 tiene el código necesario para que, al presionar una tecla de datos, el display1 aparezca siempre con giro(+) hasta que se seleccione definitivamente el sentido de giro.
- SUBROUTINA QUE UTILIZA: P2 - Delay

DIAGRAMA DE FLUJO:





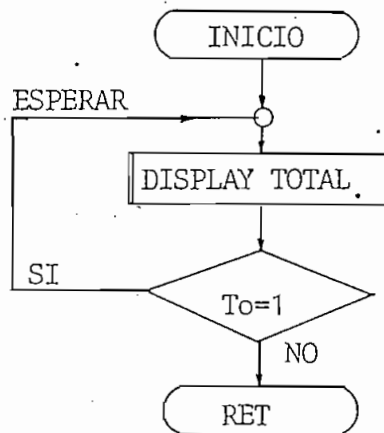




4.2.9.- SUBROUTINA "ESPERA":

- PROPOSITO: Mantener encendidos los displays 1 y 2 durante todo el tiempo que se mantenga presionada una tecla; con este fin se usa el timer To del microcontrolador como señal de control.
- SUBROUTINA QUE UTILIZA: Display total

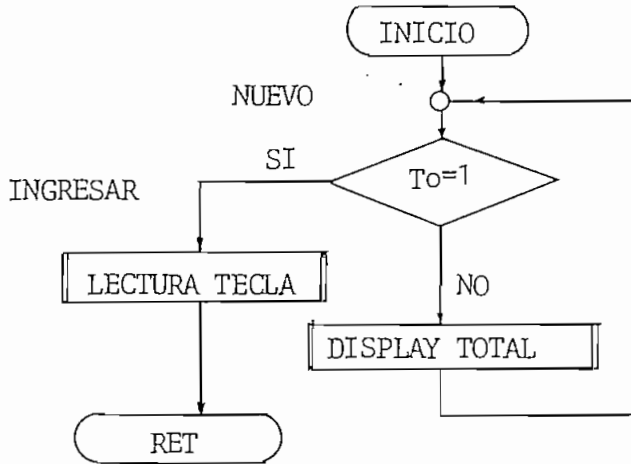
DIAGRAMA DE FLUJO:



4.2.10.- SUBROUTINA "INPUT":

- PROPOSITO: Mantener encendidos los displays 1 y 2 durante todo el tiempo que no se presione ninguna tecla; con este fin se usa el timer To del microcontrolador como señal de control.
- SUBROUTINA QUE UTILIZA: Display total
Lectura tecla

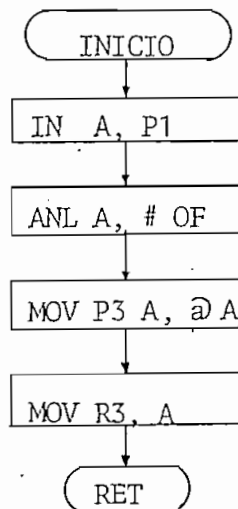
DIAGRAMA DE FLUJO:



4.2.11.- SUBROUTINA "LECTURA TECLA":

- PROPOSITO: Ingresar el código de una tecla presionada a través del puerto P1; luego estos datos los hace corresponder al valor o código exacto de cada tecla mediante el acceso a la página P3 donde se encuentra grabada una tabla (TABLA N° 4.2). El registro R3 se utiliza como auxiliar.
- SUBROUTINA QUE UTILIZA: Ninguna

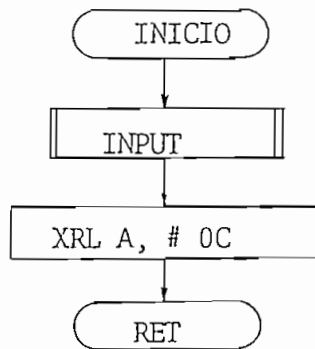
DIAGRAMA DE FLUJO:



4.2.12.- SUBROUTINA "INGRESO":

- PROPOSITO: Permite ingresar un dato desde teclado a través de la subrutina INPUT y luego compararlo con el código correspondiente a la tecla BORRAR/GIRO.
- SUBROUTINA QUE UTILIZA: Input.

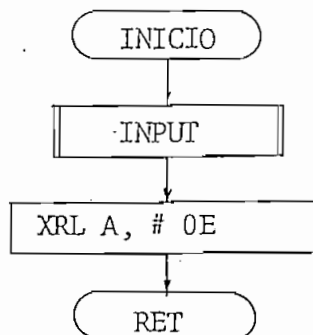
DIAGRAMA DE FLUJO:



4.2.13.- SUBROUTINA "ENTER":

- PROPOSITO: Permite ingresar un dato desde teclado a través de la subrutina INPUT y luego compararlo con el código correspondiente a la tecla INGRESO.
- SUBROUTINA QUE UTILIZA: Input

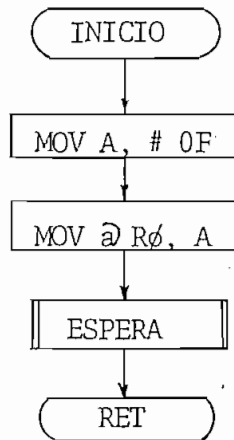
DIAGRAMA DE FLUJO:



4.2.14.- SUBROUTINA "CLEAR":

- PROPOSITO: Esta subrutina realiza el borrado de un dígito cada vez que se presiona la tecla BORRAR/GIRO dentro de la secuencia de ingreso de datos correspondiente.
- SUBROUTINA QUE UTILIZA: Espera

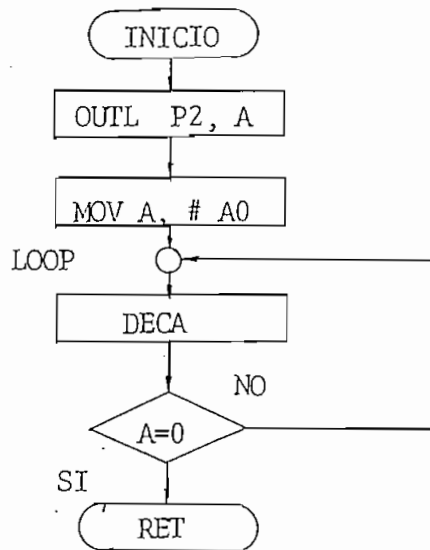
DIAGRAMA DE FLUJO:



4.2.15.- SUBROUTINA "P2-DELAY":

- PROPOSITO: Esta subrutina saca los datos correspondientes a una tecla presionada a los displays a través del puerto P2 del microcontrolador, además estos datos los mantiene un cierto instante para lo cual utiliza un lazo de retardo, necesario para que se visualicen los valores en los displays.
- SUBROUTINAS QUE UTILIZA: Ninguna

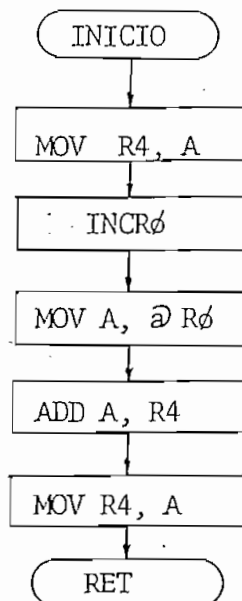
DIAGRAMA DE FLUJO:



4.2.16.- SUBROUTINA "LECTURA":

- PROPOSITO: Permite sumar el contenido hexadecimal de una localidad de memoria con el valor de la siguiente localidad con este fin se utiliza R0 como puntero de stack y R4 como registro auxiliar.
- SUBROUTINAS QUE UTILIZA: Ninguna

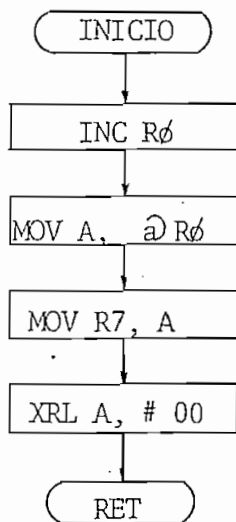
DIAGRAMA DE FLUJO:



4.2.17.- SUBROUTINA "COMPARAR":

- PROPOSITO: Leer el contenido de una localidad de memoria y comparar su valor con 00H. Utiliza el registro R0 como puntero de stack y R7 como registro auxiliar.
- SUBROUTINAS QUE UTILIZA: Ninguna

DIAGRAMA DE FLUJO:



4.2.18.- SUBROUTINA "ENCERAR MEMORIA":

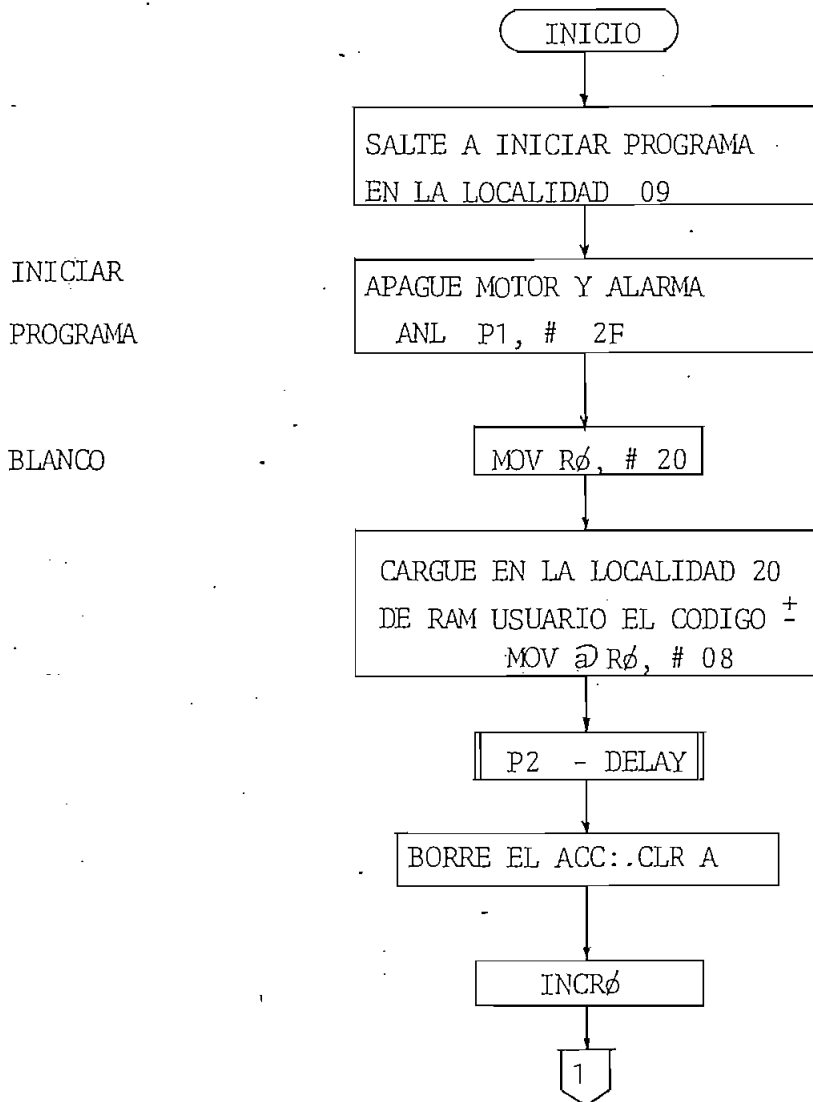
- PROPOSITO: Esta es una subrutina especial que sirve para inicializar o grabar las localidades empleadas en la memoria RAM EXTERNA con el valor + 000 en el display2 y que será la posición de REFERENCIA FIJA, a partir de la cual se realizarán los incrementos o decrementos, según sea el movimiento de la antena.

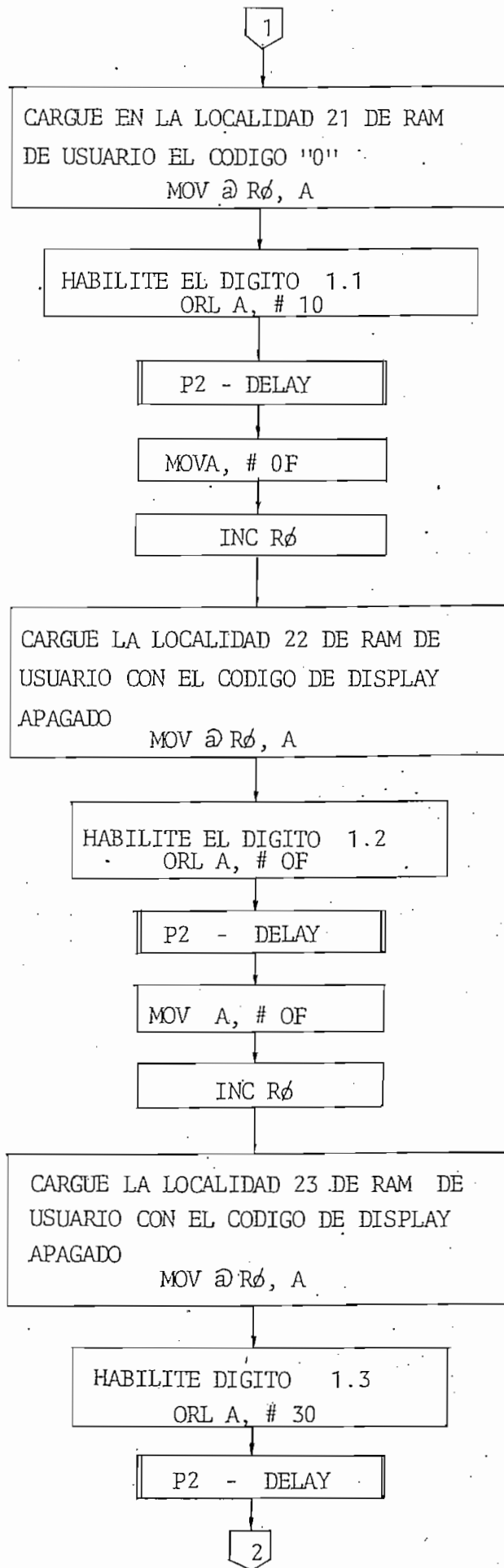
Luego de realizado este proceso de grabado inicial, se de-

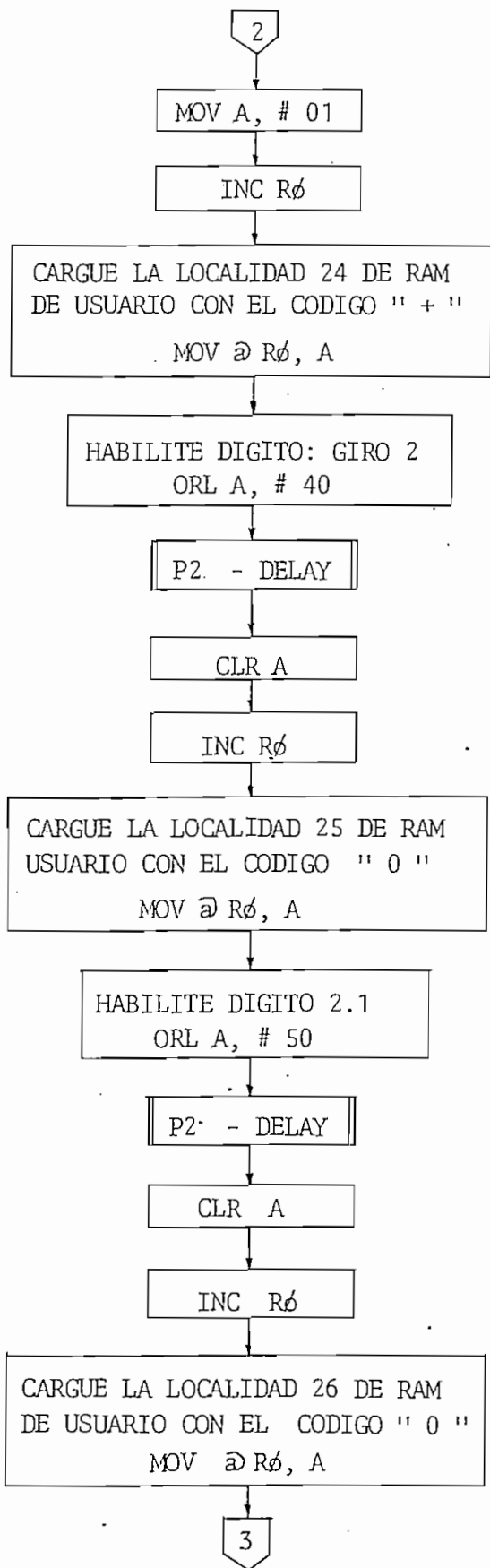
be modificar el programa para que el microcontrolador siempre retorne al presionar la tecla BORRAR/GIRO al inicio del programa y presente en el display 1: 0 y en el display 2 los datos de la posición actual del rotor de antena. Esta subrutina no consta en el programa principal del sistema y es necesario grabarla en un microcontrolador sólo con fines de inicialización de datos en la memoria RAM externa que deberá ser conectada a su fuente de poder independiente (baterías).

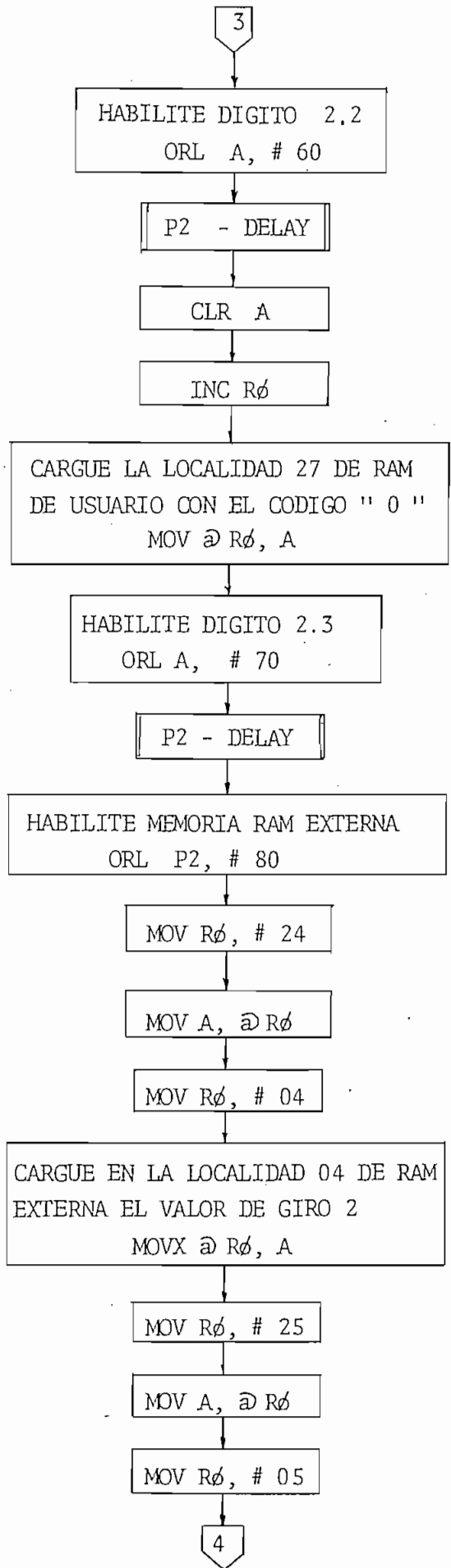
- SUBROUTINAS QUE UTILIZA: P2 - Delay

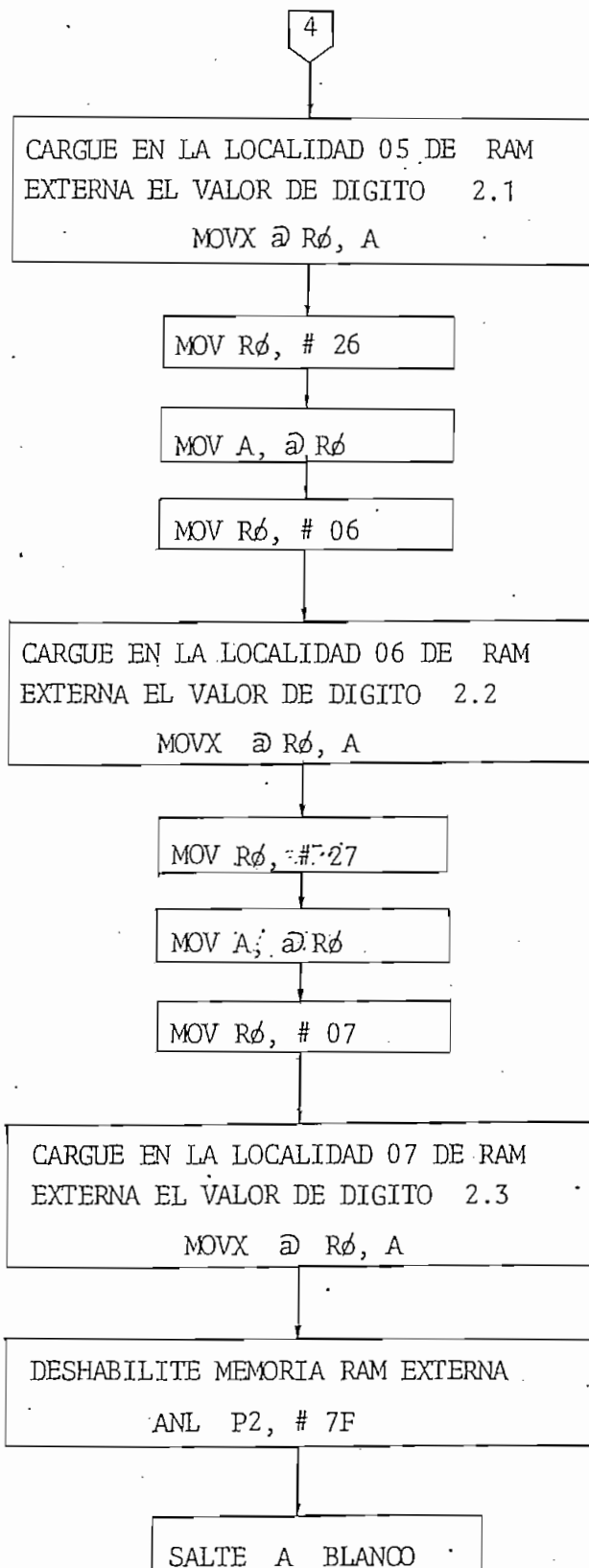
DIAGRAMA DE FLUJO:











4.3.- LISTADO DE PROGRAMAS:

Se considera conveniente listar el programa "ENCERAR MEMORIA" que se utiliza para grabar los datos necesarios de inicialización de la memoria RAM externa que son presentados en el display 2. También, es necesario listar el PROGRAMA PRINCIPAL que es el encargado del correcto funcionamiento del equipo.

Para entender el funcionamiento de los programas, a continuación se indica el significado de los símbolos y abreviaciones del set de instrucciones del microcontrolador 8748:

A	Acumulador
AC	Carry auxiliar
addr	Dirección de memoria de programa de 12 bits
Bd	Designación de bits (b=0-7)
BS	Comutación de banco de trabajo
BVS	Registro de entrada y salida (Puerto 0)
C	Carry
CLK	Reloj

CNT	Contador de eventos
D	Mnemónico de un dígito de 4 bits
data	Dato de 8 bits
DBF	Biestable de banco de memoria
FO, F1	Indicador 0 y 1
I	Interrupción
P	Mnemónico de operación
PC	Contador de programa
Pp	Puerto de entrada/salida
PSW	Palabra de estado de programa
Rr	Designador de registro (r=0-7)
SP	Puntero de STACK
T	Temporizador
TF	Indicador Temporizador
TO, T1	Test0, Test1
X	Mnemónico para RAM externa
#	Prefijo de dato inmediato
a	Prefijo de dirección indirecta
§	Valor normal del contenido de programa
(x)	Contenido de X
((x))	Contenido de una dirección indicada por X

4.3.1.- LISTADO DEL PROGRAMA PARA ENCERAR MEMORIA RAM EXTERNA:

Este programa permite cargar en las localidades asignadas para almacenar datos de la memoria RAM externa con los valores iniciales que constituyen el origen del sistema de referencia escogido desde es-

te momento. La presentación de los displayes:

DISPLAY 1

+ 0

DISPLAY 2

+ 000

El microcontrolador 8748 que contiene este programa se extrae del equipo luego de eliminar la alimentación al sistema (éstos datos no se pierden porque la memoria RAM externa se alimenta por medio de baterías).

Posteriormente se coloca el microcontrolador 8748 que contiene el programa principal, se enciende el equipo y se tiene el sistema listo para cualquier movimiento.

Este programa se usa para escoger el sistema de referencia inicial, para seleccionar un nuevo sistema de referencia (en otra posición) o cuando se pierda alimentación de baterías y no se repongan oportunamente.

```

0000          CPU          "8048.TBL"
0000          HOF          "INT8"
0000 0409      JMP          INICIO
0002 00        NOP
0003 00        NOP
0004 00        NOP
0005 00        NOP
0006 00        NOP
0007 00        NOP
0008 00        NOP
0009 992F      INICIO:    ANL          P1,#2FH
000E B820      BLANCO:    MOV          R0,#20H
000D B008      MOV          @R0,#08H
000F 1463      CALL         P2DELAY
0011 27        CLR          A
0012 18        INC          R0
0013 A0        MOV          @R0,A
0014 4310      ORL          A,#10H
0016 1463      CALL         P2DELAY
0018 230F      MOV          A,#0FH
001A 18        INC          R0
001B A0        MOV          @R0,A
001C 4320      ORL          A,#20H
001E 1463      CALL         P2DELAY
0020 230F      MOV          A,#0FH
0022 18        INC          R0
0023 A0        MOV          @R0,A
0024 4330      ORL          A,#30H
0026 1463      CALL         P2DELAY
0028 2301      MOV          A,#01H
002A 18        INC          R0
002B A0        MOV          @R0,A
002C 4340      ORL          A,#40H
002E 1463      CALL         P2DELAY
0030 27        CLR          A
0031 18        INC          R0
0032 A0        MOV          @R0,A
0033 4350      ORL          A,#50H
0035 1463      CALL         P2DELAY
0037 27        CLR          A
0038 18        INC          R0
0039 A0        MOV          @R0,A
003A 4360      ORL          A,#60H
003C 1463      CALL         P2DELAY
003E 27        CLR          A
003F 18        INC          R0
0040 A0        MOV          @R0,A
0041 4370      ORL          A,#70H
0043 1463      CALL         P2DELAY
0045 8A80      ORL          P2,#80H
0047 B824      MOV          R0,#24H
0049 F0        MOV          A,@R0
004A B804      MOV          R0,#04H
004C 90        MOVX         @R0,A
004D B825      MOV          R0,#25H
004F F0        MOV          A,@R0
0050 B805      MOV          R0,#05H
0052 90        MOVX         @R0,A
0053 B826      MOV          R0,#26H
0055 F0        MOV          A,@R0

```

; HABILITO MEMORIA EX

0056	B806		MOV	R0, #06H	
0058	90		MOVX	@R0, A	
0059	B827		MOV	R0, #27H	
005B	F0		MOV	A, @R0	
005C	B807		MOV	R0, #07H	
005E	90		MOVX	@R0, A	
005F	9A7F		ANL	P2, #7FH ; DESHABILITO MEMORIA EXTE	
0061	040B		JMP	BLANCO	
0063	3A	P2DELAY:	OUTL	P2, A ; SUB. P2DELAY	
0064	2340		MOV	A, #40H	
0066	07	LOOP:	DEC	A	
0067	9666		JNZ	LOOP	
0069	83		RET		
0000			END		

4.3.2.- LISTADO DEL PROGRAMA PRINCIPAL:

Las instrucciones correspondientes al programa principal están ubicadas tal como se grabó en el microcontrolador 8748. Las subrutinas se encuentran dentro del programa principal y su posición es indiferente. En el lugar que corresponde a COMENTARIOS se anota el nombre la subrutina y a continuación su conjunto de instrucciones.

```

;*** PROGRAMA PARA TESIS DE GRADO ESCUELA POLITECNICA NACIONAL ***
;*** CONTROL DE POSICION PARA ROTOR DE ANTENA ***
;*** MICROPROCESADOR INTEL 8748 ***
0000 CPU "8048.TBL"
0000 HOF "INT8"
0000 ORG 00H
0000 0409 JMP INICIO
0007 ORG 07H
0007 448A JMP TIMER
0009 992F INICIO: ANL P1,#2FH
000B 3428 BLANK: CALL DISPLAYBLANCO
000D 3611 JT0 INGRESOL
000F 040B JMP BLANK
0011 14D3 INGRESOL: CALL LECTURATECLA
0013 D30C XRL A,#0CH
0015 C67A JZ GIRO
0017 FB MOV A,R3
0018 D30E XRL A,#0EH
001A C60B JZ BLANK
001C FB MOV A,R3
001D B821 MOV R0,#21H
001F A0 MOV @R0,A
0020 14E5 NUEVOL: CALL ESPERA
0022 341E CALL INGRESO
0024 962C JNZ ENTER1
0026 B821 MOV R0,#21H
0028 14E0 CALL CLEAR
002A 040B JMP BLANK
002C FB ENTER1: MOV A,R3
002D D30E XRL A,#0EH
002F C65B JZ GIRO1
0031 FB MOV A,R3
0032 B822 MOV R0,#22H
0034 A0 MOV @R0,A
0035 14E5 CALL ESPERA
0037 341E NUEVO2: CALL INGRESO
0039 9641 JNZ ENTER2
003B B822 MOV R0,#22H
003D 14E0 CALL CLEAR
003F 0420 JMP NUEVOL
0041 FB ENTER2: MOV A,R3
0042 D30E XRL A,#0EH
0044 C65B JZ GIRO1
0046 FB MOV A,R3
0047 B823 MOV R0,#23H
0049 A0 MOV @R0,A
004A 14E5 NUEVO3: CALL ESPERA
004C 341E CALL INGRESO
004E 9656 JNZ ENTER3
0050 B823 MOV R0,#23H
0052 14E0 CALL CLEAR
0054 0437 JMP NUEVO2
0056 FB ENTER3: MOV A,R3
0057 D30E XRL A,#0EH
0059 964A JNZ NUEVO3
005B 14E5 GIRO1: CALL ESPERA
005D 341E CALL INGRESO
005F 965B JNZ GIRO1
0061 14E5 GIRO2: CALL ESPERA
0063 3423 NUEVO5: CALL ENTER

```

0065	C671	JZ	ORDEN
0067	FB	MOV	A,R3
0068	D30C	XRL	A,#0CH
006A	966D	JNZ	ESPERA5
006C	1A	INC	R2
006D	14E5	CALL	ESPERA
006F	0463	JMP	NUEVO5
0071	14EA	CALL	ORDENAR
0073	3475	CALL	DISPLAYTOTAL
0075	24D4	JMP	DECIMAHEX
0077	1A	INC	R2
0078	14E5	CALL	ESPERA
007A	3423	CALL	ENTER
007C	C685	JZ	ENTER7
007E	FB	MOV	A,R3
007F	D30C	XRL	A,#0CH
0081	C677	JZ	CAMBIO
0083	0478	JMP	ESPERA7
0085	14E5	CALL	ESPERA
0087	341E	CALL	INGRESO
0089	C685	JZ	ENTER7
008B	FB	MOV	A,R3
008C	D30E	XRL	A,#0EH
008E	C685	JZ	ENTER7
0090	FB	MOV	A,R3
0091	B821	MOV	R0,#21H
0093	A0	MOV	@R0,A
0094	14E5	CALL	ESPERA
0096	341E	CALL	INGRESO
0098	96A0	JNZ	ENTER8
009A	B821	MOV	R0,#21H
009C	14E0	CALL	CLEAR
009E	0485	JMP	ENTER7
00A0	FB	MOV	A,R3
00A1	D30E	XRL	A,#0EH
00A3	C671	JZ	ORDEN
00A5	FB	MOV	A,R3
00A6	B822	MOV	R0,#22H
00A8	A0	MOV	@R0,A
00A9	14E5	CALL	ESPERA
00AB	341E	CALL	INGRESO
00AD	96B5	JNZ	ENTER9
00AF	B822	MOV	R0,#22H
00B1	14E0	CALL	CLEAR
00B3	0496	JMP	NUEVO9
00B5	FB	MOV	A,R3
00B6	D30E	XRL	A,#0EH
00B8	C671	JZ	ORDEN
00BA	FB	MOV	A,R3
00BB	B823	MOV	R0,#23H
00BD	A0	MOV	@R0,A
00BE	14E5	CALL	ESPERA
00C0	341E	CALL	INGRESO
00C2	96CA	JNZ	ENTER10
00C4	B823	MOV	R0,#23H
00C6	14E0	CALL	CLEAR
00C8	04AB	JMP	NUEVO10
00CA	FB	MOV	A,R3
00CB	D30E	XRL	A,#0EH
00CD	C671	JZ	ORDEN

00CF 14E5		CALL	ESPERA
00D1 04C0		JMP	NUEVOLL
00D3 09	LECTURATECLA:	IN	A,P1 ; SUB. LECTURA TECLA
00D4 530F		ANL	A,#0FH
00D6 E3		MOVP3	A,@A
00D7 AB		MOV	R3,A
00D8 83		RET	
00D9 3A	P2DELAY:	OUTL	P2,A ; SUB. P2-DELAY
00DA 2340		MOV	A,#40H
00DC 07	LOOP:	DEC	A
00DD 96DC		JNZ	LOOP
00DF 83		RET	
00E0 B00F	CLEAR:	MOV	@R0,#0FH ; SUB. CLEAR
00E2 14E5		CALL	ESPERA
00E4 83		RET	
00E5 3475	ESPERA:	CALL	DISPLAYTOTAL ; SUB. ESPERA
00E7 36E5		JT0	ESPERA
00E9 83		RET	
00EA B822	ORDENAR:	MOV	R0,#22H ; SUB. ORDENAR
00EC F0		MOV	A,@R0
00ED D30F		XRL	A,#0FH
00EF C6FA		JZ	TRES
00F1 18		INC	R0
00F2 F0		MOV	A,@R0
00F3 D30F		XRL	A,#0FH
00F5 C6F8		JZ	CUATRO
00F7 83		RET	
00F8 2407	CUATRO:	JMP	CUATROL
00FA B821	TRES:	MOV	R0,#21H
00FC F0		MOV	A,@R0
00FD B823		MOV	R0,#23H
00FF A0		MOV	@R0,A
0100 C8		DEC	R0
0101 27		CLR	A
0102 A0		MOV	@R0,A
0103 C8		DEC	R0
0104 27		CLR	A
0105 A0		MOV	@R0,A
0106 83		RET	
0107 B822	CUATROL:	MOV	R0,#22H
0109 F0		MOV	A,@R0
010A 18		INC	R0
010B A0		MOV	@R0,A
010C B821		MOV	R0,#21H
010E F0		MOV	A,@R0
010F 18		INC	R0
0110 A0		MOV	@R0,A
0111 C8		DEC	R0
0112 27		CLR	A
0113 A0		MOV	@R0,A
0114 83		RET	
0115 361B	INPUT:	JT0	INGRESAR ; SUB. INPUT
0117 3475		CALL	DISPLAYTOTAL
0119 2415		JMP	INPUT
011B 14D3	INGRESAR:	CALL	LECTURATECLA
011D 83		RET	
011E 3415	INGRESO:	CALL	INPUT ; SUB. INGRESO
0120 D30C		XRL	A,#0CH
0122 83		RET	
0123 3415	ENTER:	CALL	INPUT ; SUB. ENTER

0125	D30E		XRL	A, #0EH	
0127	83		RET		
0128	BA00	DISPLAYBLANCO:	MOV	R2, #00H	; SUB. DISPLAY BLANCO
012A	B820		MOV	R0, #20H	
012C	2308		MOV	A, #08H	
012E	A0		MOV	@R0, A	
012F	14D9		CALL	P2DELAY	
0131	27		CLR	A	
0132	18		INC	R0	
0133	A0		MOV	@R0, A	
0134	4310		ORL	A, #10H	
0136	14D9		CALL	P2DELAY	
0138	230F		MOV	A, #0FH	
013A	18		INC	R0	
013B	A0		MOV	@R0, A	
013C	4320		ORL	A, #20H	
013E	14D9		CALL	P2DELAY	
0140	230F		MOV	A, #0FH	
0142	18		INC	R0	
0143	A0		MOV	@R0, A	
0144	4330		ORL	A, #30H	
0146	14D9		CALL	P2DELAY	
0148	8A80		ORL	P2, #80H	
014A	B804		MOV	R0, #04H	
014C	80		MOVX	A, @R0	
014D	B824		MOV	R0, #24H	
014F	A0		MOV	@R0, A	
0150	43C0		ORL	A, #0C0H	
0152	14D9		CALL	P2DELAY	
0154	B805		MOV	R0, #05H	
0156	80		MOVX	A, @R0	
0157	B825		MOV	R0, #25H	
0159	A0		MOV	@R0, A	
015A	43D0		ORL	A, #0D0H	
015C	14D9		CALL	P2DELAY	
015E	B806		MOV	R0, #06H	
0160	80		MOVX	A, @R0	
0161	B826		MOV	R0, #26H	
0163	A0		MOV	@R0, A	
0164	43E0		ORL	A, #0E0H	
0166	14D9		CALL	P2DELAY	
0168	B807		MOV	R0, #07H	
016A	80		MOVX	A, @R0	
016B	B827		MOV	R0, #27H	
016D	A0		MOV	@R0, A	
016E	43F0		ORL	A, #0F0H	
0170	14D9		CALL	P2DELAY	
0172	9A7F		ANL	P2, #7FH	
0174	83		RET		
0175	FA	DISPLAYTOTAL:	MOV	A, R2	; SUB. DISPLAY TOTAL
0176	B820		MOV	R0, #20H	
0178	1281		JB0	UNO	
017A	2301		MOV	A, #01H	
017C	A0	DOS:	MOV	@R0, A	
017D	14D9		CALL	P2DELAY	
017F	2485		JMP	DIGIT011	
0181	230C	UNO:	MOV	A, #0CH	
0183	247C		JMP	DOS	
0185	B821	DIGIT011:	MOV	R0, #21H	
0187	F0		MOV	A, @R0	

0188 4310		ORL	A, #10H	
018A 14D9		CALL	P2DELAY	
018C B822		MOV	R0, #22H	; DIGITO 1.2
018E F0		MOV.	A, @R0	
018F 4320		ORL	A, #20H	
0191 14D9		CALL	P2DELAY	
0193 B823		MOV	R0, #23H	; DIGITO 1.3
0195 F0		MOV	A, @R0	
0196 4330		ORL	A, #30H	
0198 14D9		CALL	P2DELAY	
019A B824		MOV	R0, #24H	; GIRO 2
019C F0		MOV	A, @R0	
019D AE		MOV	R6, A	
019E 4340		ORL	A, #40H	
01A0 14D9		CALL	P2DELAY	
01A2 FE		MOV	A, R6	
01A3 8A80		ORL	P2, #80H	
01A5 B804		MOV	R0, #04H	
01A7 90		MOVX	@R0, A	
01A8 65		STOP	TCNT	
01A9 B825	CARGARAM:	MOV	R0, #25H	; DIGITO 2.1
01AB F0		MOV	A, @R0	
01AC B805		MOV	R0, #05H	
01AE 90		MOVX	@R0, A	
01AF B826		MOV	R0, #26H	; DIGITO 2.2
01B1 F0		MOV	A, @R0	
01B2 B806		MOV	R0, #06H	
01B4 90		MOVX	@R0, A	
01B5 B827		MOV	R0, #27H	; DIGITO 2.3
01B7 F0		MOV	A, @R0	
01B8 B807		MOV	R0, #07H	
01BA 90		MOVX	@R0, A	
01BB 45		STRT	CNT	
01BC B825		MOV	R0, #25H	; DIGITO 2.1
01BE F0		MOV	A, @R0	
01BF 43D0		ORL	A, #0D0H	
01C1 14D9		CALL	P2DELAY	
01C3 B826		MOV	R0, #26H	; DIGITO 2.2
01C5 F0		MOV	A, @R0	
01C6 43E0		ORL	A, #0E0H	
01C8 14D9		CALL	P2DELAY	
01CA B827		MOV	R0, #27H	; DIGITO 2.3
01CC F0		MOV	A, @R0	
01CD 43F0		ORL	A, #0F0H	
01CF 14D9		CALL	P2DELAY	
01D1 9A7F		ANL	P2, #7FH	
01D3 83		RET		
01D4 BB00	DECIMAHEX:	MOV	R3, #00H	
01D6 B821		MOV	R0, #21H	
01D8 F0		MOV	A, @R0	
01D9 AF		MOV	R7, A	
01DA D300		XRL	A, #00H	
01DC 96FA		JNZ	SALTO	
01DE 18		INC	R0	
01DF F0		MOV	A, @R0	
01E0 AF		MOV	R7, A	
01E1 D300		XRL	A, #00H	
01E3 96FC		JNZ	SALT1	
01E5 18		INC	R0	
01E6 F0		MOV	A, @R0	

01E7 AC		MOV	R4,A
01E8 D300		XRL	A,#00H
01EA C6EE		JZ	WAIT
01EC 4443		JMP	COMPARAR1
01EE 14E5	WAIT:	CALL	ESPERA
01F0 341E		CALL	INGRESO
01F2 96EE		JNZ	WAIT
01F4 3428	BLANK1:	CALL	DISPLAYBLANCO
01F6 36F4		JT0	BLANK1
01F8 040B		JMP	BLANK
01FA 440D	SALTO:	JMP	SALT0
01FC BC0A	SALT1:	MOV	R4,#0AH
01FE CF	LAZO:	DEC	R7
01FF FF		MOV	A,R7
0200 D300		XRL	A,#00H
0202 00		NOP	
0203 00		NOP	
0204 00		NOP	
0205 C63B		JZ	SALT3
0207 FC		MOV	A,R4
0208 030A		ADD	A,#0AH
020A AC		MOV	R4,A
020B 24FE		JMP	LAZO
020D BC64	SALT0:	MOV	R4,#64H
020F CF	LAZOL:	DEC	R7
0210 FF		MOV	A,R7
0211 D300		XRL	A,#00H
0213 C61F		JZ	SALT4
0215 FC		MOV	A,R4
0216 0364		ADD	A,#64H
0218 AC		MOV	R4,A
0219 E60F		JNC	LAZOL
021B 1B		INC	R3
021C 97		CLR	C
021D 440F		JMP	LAZOL
021F 18	SALT4:	INC	R0
0220 F0		MOV	A,@R0
0221 AF		MOV	R7,A
0222 D300		XRL	A,#00H
0224 C63B		JZ	SALT3
0226 BD0A		MOV	R5,#0AH
0228 CF	LAZO2:	DEC	R7
0229 FF		MOV	A,R7
022A D300		XRL	A,#00H
022C C634		JZ	SALT7
022E FD		MOV	A,R5
022F 030A		ADD	A,#0AH
0231 AD		MOV	R5,A
0232 4428		JMP	LAZO2
0234 FD	SALT7:	MOV	A,R5
0235 6C		ADD	A,R4
0236 AC		MOV	R4,A
0237 E63B		JNC	SALT3
0239 1B		INC	R3
023A 97		CLR	C
023B 18	SALT3:	INC	R0
023C F0		MOV	A,@R0
023D 6C		ADD	A,R4
023E AC		MOV	R4,A
023F E643		JNC	COMPARAR1

0241	1B		INC	R3	
0242	97		CLR	C	
0243	27	COMPARAR1:	CLR	A	
0244	A9		MOV	R1,A	
0245	AD		MOV	R5,A	
0246	B820		MOV	R0,#20H	
0248	F0		MOV	A,@R0	
0249	D301		XRL	A,#01H	
024B	C67F		JZ	GIROP	
024D	8920		ORL	P1,#20H	
024F	B825	INTERRUP:	MOV	R0,#25H	
0251	F0		MOV	A,@R0	
0252	D308		XRL	A,#08H	
0254	C65A		JZ	OTROGIRO	
0256	99BF	APAGOALARMA:	ANL	P1,#0BFH	
0258	4462		JMP	ACTMOTOR	
025A	B820	OTROGIRO:	MOV	R0,#20H	
025C	F0		MOV	A,@R0	
025D	DE		XRL	A,R6	
025E	9656		JNZ	APAGOALARMA	
0260	24EE		JMP	WAIT	
0262	8910	ACTMOTOR:	ORL	P1,#10H	
0264	25		EN	TCNTI	
0265	FB		MOV	A,R3	
0266	D300		XRL	A,#00H	
0268	9675		JNZ	MAYOR	
026A	FC		MOV	A,R4	
026B	37		CPL	A	
026C	17		INC	A	
026D	0304		ADD	A,#04H	
026F	F275		JB7	MAYOR	
0271	23F8		MOV	A,#0F8H	
0273	4477		JMP	TRANSF	
0275	23E4	MAYOR:	MOV	A,#0E4H	
0277	62	TRANSF: MOV	T,A		
0278	45		STRT	CNT	
0279	7683	LOOP1:	JF1	FINAL	
027B	3475		CALL	DISPLAYTOTAL	
027D	4479		JMP	LOOP1	
027F	99DF	GIROP:	ANL	P1,#0DFH	
0281	444F		JMP	INTERRUP	
0283	A5	FINAL:	CLR	F1	
0284	35		DIS	TCNTI	
0285	65		STOP	TCNT	
0286	99EF		ANL	P1,#0EFH	
0288	24EE		JMP	WAIT	
028A	65	TIMER:	STOP	TCNT	
028B	B81F		MOV	R0,#1FH	; PUSH ACC
028D	A0		MOV	@R0,A	
028E	B820		MOV	R0,#20H	
0290	F0		MOV	A,@R0	
0291	D301		XRL	A,#01H	
0293	C6C7		JZ	POSITIVO1	
0295	FE		MOV	A,R6	
0296	D301		XRL	A,#01H	
0298	C6C5		JZ	DECREMENT1	
029A	B827	INCREMENTO:	MOV	R0,#27H	
029C	F0		MOV	A,@R0	
029D	AF		MOV	R7,A	
029E	D309		XRL	A,#09H	


```

02A0 C6A7          JZ      DECENAS
02A2 FF           SALIR:   MOV     A,R7
02A3 17           .       INC     A
02A4 A0           .       MOV     @R0,A
02A5 6410         .       JMP     INRCOUNTER
02A7 27           DECENAS: CLR    A
02A8 A0           .       MOV     @R0,A
02A9 B826         .       MOV     R0,#26H
02AB F0           .       MOV     A,@R0
02AC AF           .       MOV     R7,A
02AD D309         .       XRL    A,#09H
02AF 96A2         .       JNZ    SALIR
02B1 27           CENTENAS: CLR   A
02B2 A0           .       MOV     @R0,A
02B3 B825         .       MOV     R0,#25H
02B5 F0           .       MOV     A,@R0
02B6 AF           .       MOV     R7,A
02B7 D307         .       XRL    A,#07H
02B9 96A2         .       JNZ    SALIR
02BB B5           .       CPL    F1
02BC B008         .       MOV     @R0,#08H
02BE 8940         .       ORL    P1,#40H
02C0 45           .       STRT   CNT
02C1 B81F         .       MOV     R0,#1FH      ;POP ACC
02C3 F0           .       MOV     A,@R0
02C4 93           .       RETR
02C5 644D         DECREMENT1: JMP    DECREMENT
02C7 6446         POSITIVO1:  JMP    POSITIVO
0300              ORG     0300H
;                ***** TABLA 4.2
0300 0102030004DFB
01H,02H,03H,00H,04H,05H,06H,00H,07H,08H,09H,00H,0CH,00H,0EH
0310              ORG     0310H
0310 19           INRCOUNTER: INC    R1
0311 F9           .       MOV     A,R1
0312 D3FF         .       XRL    A,#0FFH
0314 C629         .       JZ     AUMENTE
0316 F9           .       MOV     A,R1
0317 DC           .       XRL    A,R4
0318 962E         .       JNZ    CONTINUE
031A FB           SALIR1:  MOV    A;R3
031B D300         .       XRL    A,#00H
031D C623         .       JZ     FIN
031F FD           .       MOV     A,R5
0320 DB           .       XRL    A,R3
0321 962E         .       JNZ    CONTINUE
0323 B5           FIN:    CPL    F1
0324 45           .       STRT   CNT
0325 B81F         .       MOV     R0,#1FH      ;POP ACC
0327 F0           .       MOV     A,@R0
0328 93           .       RETR
0329 F9           AUMENTE: MOV    A,R1
032A DC           .       XRL    A,R4
032B C61A         .       JZ     SALIR1
032D 1D           .       INC    R5
032E FB           CONTINUE: MOV   A,R3
032F D300         .       XRL    A,#00H
0331 963E         .       JNZ    MAYOR1
0333 FC           .       MOV     A,R4
0334 37           .       CPL    A

```

0335	17		INC	A	
0336	0304		ADD	A, #04H	
0338	F23E		JB7	MAYOR1	
033A	23F8		MOV	A, #0F8H	
033C	6440		JMP	TRANSF1	
033E	23E4	MAYOR1:	MOV	A, #0E4H	
0340	62	TRANSF1:	MOV	T, A	
0341	45		STRT	CNT	
0342	B81F		MOV	R0, #1FH	;POP ACC
0344	F0		MOV	A, @R0	
0345	93		RETR		
0346	FE	POSITIVO:	MOV	A, R6	
0347	D301		XRL	A, #01H	
0349	964D		JNZ	DECREMENT	
034B	449A		JMP	INCREMENTO	
034D	B825	DECREMENT:	MOV	R0, #25H	
034F	F0		MOV	A, @R0	
0350	D300		XRL	A, #00H	
0352	966B		JNZ	DECREMENTO	
0354	74CE		CALL	COMPARAR	
0356	966B		JNZ	DECREMENTO	
0358	74CE		CALL	COMPARAR	
035A	966B		JNZ	DECREMENTO	
035C	B824		MOV	R0, #24H	
035E	F0		MOV	A, @R0	
035F	D30C		XRL	A, #0CH	
0361	C667		JZ	CAMBIOP	
0363	B00C		MOV	@R0, #0CH	
0365	449A	CONTINUAR:	JMP	INCREMENTO	
0367	B001	CAMBIOP:	MOV	@R0, #01H	
0369	6465		JMP	CONTINUAR	
036B	749C	DECREMENTO:	CALL	DECRDISPLAY2	
036D	B825		MOV	R0, #25H	
036F	F0		MOV	A, @R0	
0370	D300		XRL	A, #00H	
0372	9610		JNZ	INCRCOUNTER	
0374	74CE		CALL	COMPARAR	
0376	9610		JNZ	INCRCOUNTER	
0378	74CE		CALL	COMPARAR	
037A	9610		JNZ	INCRCOUNTER	
037C	B824		MOV	R0, #24H	
037E	F0		MOV	A, @R0	
037F	D30C		XRL	A, #0CH	
0381	C687		JZ	CAMBIARAP	
0383	B00C		MOV	@R0, #0CH	
0385	648B	CONTINUAR1:	JMP	PRUEBACOUNTER	
0387	B001	CAMBIARAP:	MOV	@R0, #01H	
0389	6485		JMP	CONTINUAR1	
038B	19	PRUEBACOUNTER:	INC	R1	
038C	F9		MOV	A, R1	
038D	DC		XRL	A, R4	
038E	C692		JZ	MSB	
0390	449A	SALIDAL:	JMP	INCREMENTO	
0392	FD	MSB:	MOV	A, R5	
0393	DB		XRL	A, R3	
0394	9690		JNZ	SALIDAL	
0396	B5		CPL	F1	
0397	45		STRT	CNT	
0398	B81F		MOV	R0, #1FH	;POP ACC
039A	F0		MOV	A, @R0	

039B	93		RETR	
039C	B825	DECRDISPLAY2:	MOV	R0,#25H ; SUB. DECR. DISPLAY2
039E	F0		MOV	A,@R0
039F	AF		MOV	R7,A
03A0	D300		XRL	A,#00H
03A2	C6B7		JZ	CIEN
03A4	74CE		CALL	COMPARAR
03A6	C6AE		JZ	CIEN1
03A8	74CE		CALL	COMPARAR
03AA	C6BF		JZ	DISMINUYE
03AC	64CA		JMP	DESCIENDA
03AE	74CE	CIEN1:	CALL	COMPARAR
03B0	96CA		JNZ	DESCIENDA
03B2	B009		MOV	@R0,#09H
03B4	C8		DEC	R0
03B5	64BF		JMP	DISMINUYE
03B7	74CE	CIEN:	CALL	COMPARAR
03B9	C6C6		JZ	DIEZ
03BB	74CE		CALL	COMPARAR
03BD	96CA		JNZ	DESCIENDA
03BF	B009	DISMINUYE:	MOV	@R0,#09H
03C1	C8		DEC	R0
03C2	F0		MOV	A,@R0
03C3	AF		MOV	R7,A
03C4	64CA		JMP	DESCIENDA
03C6	74CE	DIEZ:	CALL	COMPARAR
03C8	C6CD		JZ	END
03CA	FF	DESCIENDA:	MOV	A,R7
03CB	07		DEC	A
03CC	A0		MOV	@R0,A
03CD	83	END:	RET	
03CE	18	COMPARAR:	INC	R0 ;SUB COMPARAR
03CF	F0		MOV	A,@R0
03D0	AF		MOV	R7,A
03D1	D300		XRL	A,#00H
03D3	83		RET	

END

0262	ACTMOTOR	0256	APAGOALARMA	0329	AUMENTE
000B	BLANK	01F4	BLANK1	0387	CAMBIARAP
0077	CAMBIO	006C	CAMBIOGIRO	0367	CAMBIOP
01A9	CARGARAM	02B1	CENTENAS	03B7	CIEN
03AE	CIEN1	00E0	CLEAR	03CE	COMPARAR
0243	COMPARAR1	0365	CONTINUAR	0385	CONTINUAR1
032E	CONTINUE	00F8	CUATRO	0107	CUATRO1
02A7	DECENAS	01D4	DECIMAHEX	039C	DECRDISPLAY
034D	DECREMENT	02C5	DECREMENT1	036B	DECREMENTO
03CA	DESCIENDA	03C6	DIEZ	0185	DIGIT011
03BF	DISMINUYE	0128	DISPLAYBLANCO	0175	DISPLAYTOTA
017C	DOS	03CD	END	0123	ENTER
002C	ENTER1	00CA	ENTER10	0041	ENTER2
0056	ENTER3	0085	ENTER7	00A0	ENTER8
00B5	ENTER9	00E5	ESPERA	006D	ESPERA5
0078	ESPERA7	0323	FIN	0283	FINAL
007A	GIRO	005B	GIRO1	0061	GIRO2
027F	GIROP	0310	INCRCOUNTER	029A	INCREMENTO
011B	INGRESAR	011E	INGRESO	0011	INGRESO1
0009	INICIO	0115	INPUT	024F	INTERRUP
01FE	LAZO	020F	LAZO1	0228	LAZO2
00D3	LECTURATECLA	00DC	LOOP	0279	LOOP1
0275	MAYOR	033E	MAYOR1	0392	MSB
0020	NUEVO1	00AB	NUEVO10	00C0	NUEVO11
0037	NUEVO2	004A	NUEVO3	0063	NUEVO5
0096	NUEVO9	0071	ORDEN	00EA	ORDENAR
025A	OTROGIRO	00D9	P2DELAY	0346	POSITIVO
02C7	POSITIVO1	038B	PRUEBACOUNTER	0390	SALIDA1
02A2	SALIR	031A	SALIR1	020D	SALT0
01FC	SALT1	023B	SALT3	021F	SALT4
0234	SALT7	01FA	SALTO	028A	TIMER
0277	TRANSF	0340	TRANSF1	00FA	TRES
0181	UNO	01EE	WAIT		

LISTADO HEXADECIMAL DEL PROGRAMA

```

:0200000000409F1
:10000700448A992F34283611040B14D3D30CC67A9B
:10001700FBD30EC60BFBB821A014E5341E962CB8F3
:100027002114E0040BFBD30EC65BFBB822A014E53A
:10003700341E9641B82214E00420FBD30FC65BFBA6
:10004700B823A014E5341E9656B82314E00437FBF2
:10005700D30E964A14E5341E965B14E53423C67115
:10006700FBD30C966D1A14E5046314EA347524D493
:100077001A14E53423C685FBD30CC677047814E538
:10008700341EC685FBD30EC685FBB821A014E53404
:100097001E96A0B82114E00485FBD30FC671FEB8E9
:1000A70022A014E5341E96B5B82214E00496FBD3BB
:1000B7000EC671FBB823A014E5341E96CAB82314E4
:1000C700E004ABFBD30EC67114E504C009530FE37C
:1000D700AB833A23400796DC83B00F14E58334756E
:1000E70036E583B822F0D30FC6FA18F0D30FC6F857
:1000F700832407B821F0B823A0C827A0C827A08366
:10010700B822F018A0B821F018A0C827A083361B82
:100117003475241514D3833415D30C833415D30EB7
:1001270083BA00B8202308A014D92718A0431014B5
:10013700D9230F18A0432014D9230F18A043301434
:10014700D98A80B80480B824A043C014D9B80580E0
:10015700B825A043D014D9B80680B826A043E01428
:10016700D9B80780B827A043F014D99A7F83FAB883
:100177002012812301A014D92485230C247CB821C3
:10018700F0431014D9B822F0432014D9B823F04310
:100197003014D9B824F0AE434014D9FE8A80B8048D
:1001A7009065B825F0B80590B826F0B80690B8273E
:1001B700F0B8079045B825F043D014D9B826F043D6
:1001C700E014D9B827F043F014D99A7F83BB00B85D
:1001D70021F0AFD30096FA18F0AFD30096FC18F0D1
:1001E700ACD300C6EE444314E5341E96EE342836ED
:1001F700F4040B440DBC0ACFFFD300000000C63B3C
:10020700FC030AAC24FEBC64CFFFD300C61FFC036B
:1002170064ACE60F1B97440F18F0AFD300C63BBD85
:100227000ACFFFD300C634FD030AAD4428FD6CACEA
:10023700E63B1B9718F06CACE6431B9727A9ADB8B4
:1002470020F0D301C67F8920B825F0D308C65A9974
:10025700BF4462B820F0DE965624EE891025FBD302
:10026700009675FC37170304F27523F8447723E4E7
:10027700624576833475447999DF444FA53565998E
:10028700EF24EE65B81FA0B820F0D301C6C7FED390
:1002970001C6C5B827F0AFD309C6A7FF17A06410DA
:1002A70027A0B826F0AFD30996A227A0B825F0AFAC
:1002B700D30796A2B5B008894045B81FF093644D9F
:0202C70064468B
:0F0300000102030004050600070809000C000EA7
:1003100019F9D3FFC629F9DC962EFBD300C623FDDB
:10032000DB962EB545B81FF093F9DCC61A1DFBD33A
:1003300000963EFC37170304F23E23F8644023E4A2
:100340006245B81FF093FED301964D449AB825F04C
:10035000D300966B74CE966B74CE966BB824F0D3A4
:100360000CC667B00C449AB0016465749CB825F063
:10037000D300961074CE961074CE9610B824F0D395
:100380000CC687B00C648BB001648519F9DCC69289
:10039000449AFDDB9690B545B81FF093B825F0AFB1

```

:1003A000D300C6B774CEC6AE74CEC6BF64CA74CE10
:1003B00096CAB009C864BF74CEC6C674CE96CAB019
:1003C00009C8F0AF64CA74CEC6CDFF07A08318F089
:0403D000AFD3008324
:0003D40128

CAPITULO V

RESULTADOS EXPERIMENTALES

- 5.1.....Pruebas de Laboratorio
- 5.2.....Conclusiones
- 5.3.....Recomendaciones

5.1.-PRUEBAS DE LABORATORIO:

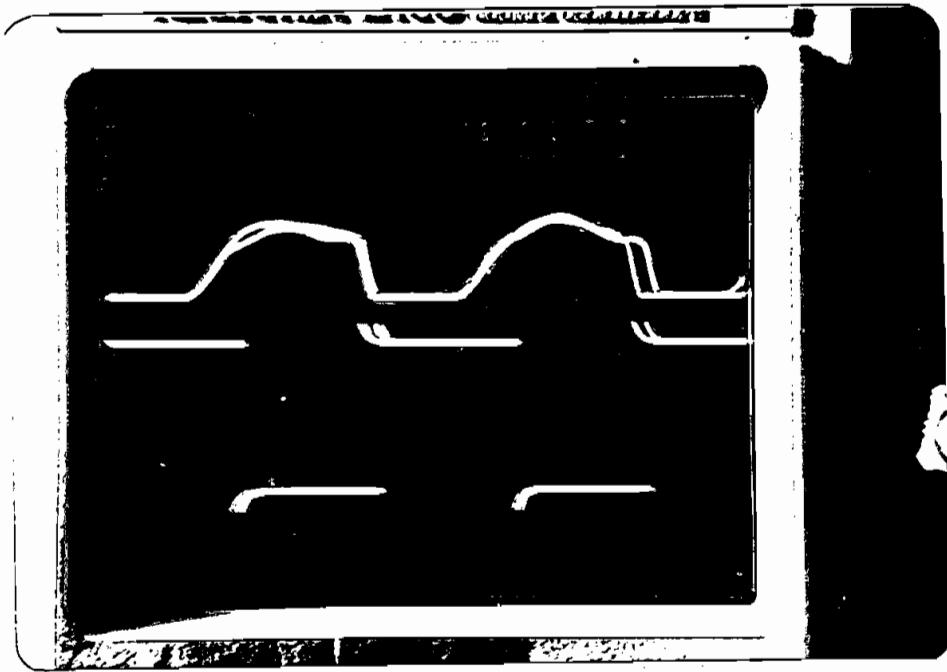
Para observar las diversas formas de onda se utilizó un osciloscopio TEKTRONIX TYPE 453 con el equipo en funcionamiento. Previo a la prueba se miró el comportamiento de la circuitería desarrollada.

5.1.1.- SENSOR OPTICO INTERRUMPIBLE:

El sensor óptico fue cuidadosamente montado en el interior de la carcasa del rotor; para ello se diseñó un circuito impreso adecuado y se agregó un disco perforado para provocar las interrupciones necesarias que originan los pulsos de información y que a su vez son recogidos por el micro 8748. El disco tiene cuatro perforaciones y ellas permitieron el adecuado y uniforme funcionamiento de esta etapa. Los resultados obtenidos directamente del sensor óptico (detector en corte o saturación), así como los pulsos depurados en el disparador de Schmitt aparecen en la fotografía 5.1.

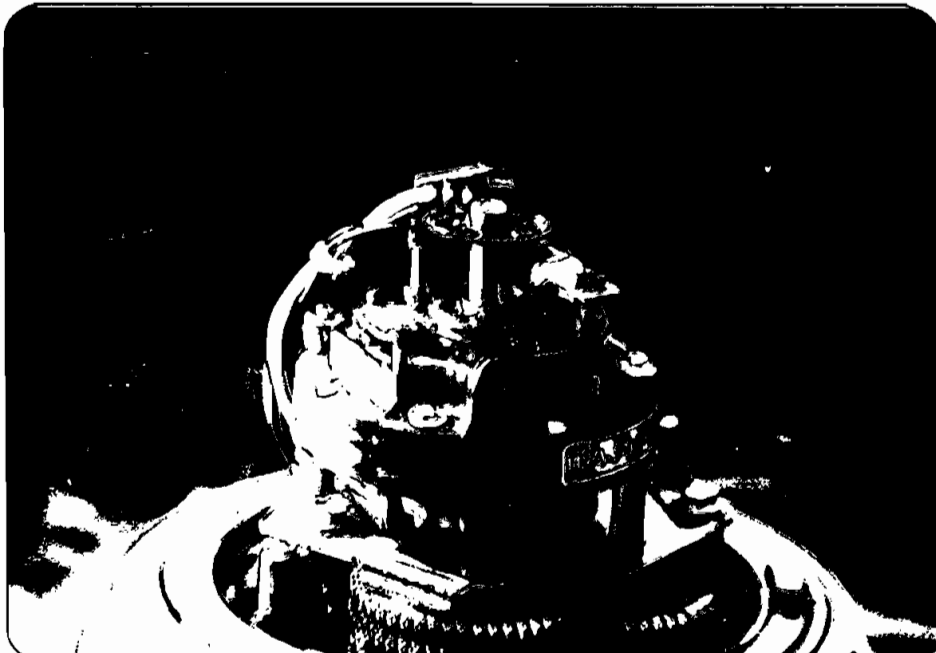
El circuito del sensor óptico montado en el rotor de antena a parece en la fotografía 5.2.

FOTOGRAFIA 5.1



SEÑAL DEL SENSOR OPTICO

FOTOGRAFIA 5.2



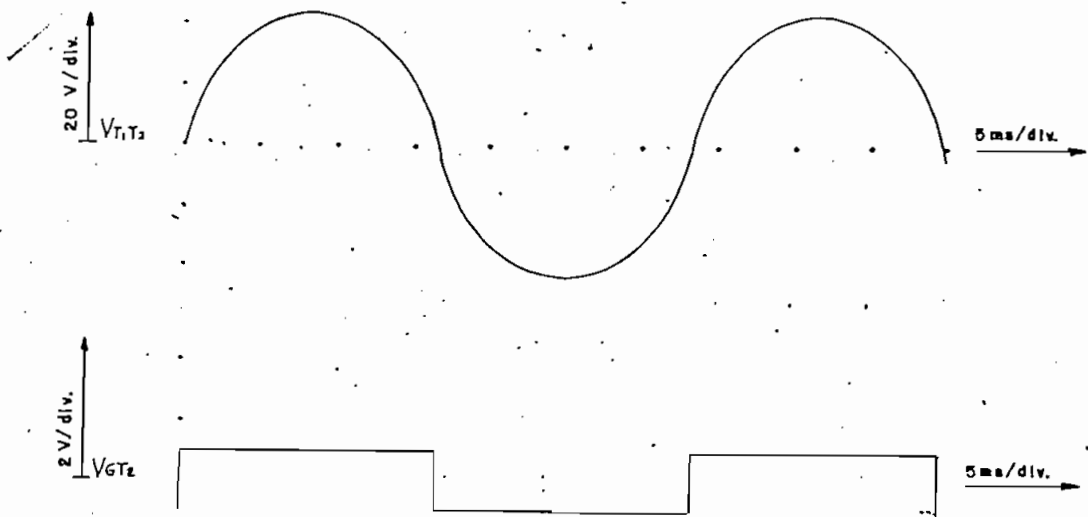
MONTAJE DEL SENSOR OPTICO

5.1.2.- ALIMENTACION AL MOTOR:

Para alimentar al motor se utiliza un transformador 120/30 Vac y el control de arranque - parada se realiza por medio de un triac que es manejado a través de un triac óptica (MOC 3010) por el micro 8748.

Como se ve en la figura 5.3 el triac alimenta al motor con una onda senoidal completa y es disparado cada vez que cruza por cero la onda de voltaje. Con esto se logra un funcionamiento del triac en el primer y tercer cuadrante.

FIGURA 5.3



ALIMENTACION AL MOTOR Y FUNCIONAMIENTO DEL
TRIAC SC146B

5.1.3.- PRUEBAS ADICIONALES DE FUNCIONAMIENTO:

Para las diferentes condiciones de funcionamiento se procedió a eliminar repentinamente la fuente de energía y se verificó la retención correcta de los datos de posición y signo del rotor de antena, para ese instante, en la memoria RAM.

También se comprobó el almacenamiento de datos para el voltaje mínimo de las baterías (2V) y para ello se empleó una fuente DC variable externa que además utilizada con un voltaje inferior a 2 Vdc - ocasiona la pérdida de información. Si se tiene este caso se recomienda revisar el manual de utilización (anexo B, sección B.4) para reponer la información a la memoria RAM externa.

Así mismo, tal como se explica en el anexo B, se realizó la reposición de baterías cuando ellas tienen 2V (voltaje mínimo); se verificó que durante el cambio se mantiene encendido la señal de descarga de baterías, se comprobó que luego de esta operación se apaga la señal y se conservan los datos.

Otra prueba realizada consistió en comprobar que el rotor de antena no gire más allá de 800° en los dos sentidos de giro; en cual - quier condición extrema se detuvo automáticamente el movimiento y se encendió una señal de alarma. El desactivado de la señal se efectuó tal como se explica en el anexo B sección B.4.

Una prueba muy importante consistió en verificar la precisión del equipo. Para ello se hizo girar al rotor de antena un ángulo determinado y se comprobó con ayuda de una escala marcada en grados sexagesimales el ángulo de movimiento esperado; esta prueba fue necesario realizarla varias veces hasta obtener el menor error posible.

5.1.4.- MÓDULO DE FUENTES DE PODER:

Para comprobar el correcto funcionamiento de este módulo se utilizó un variac monofásico que alimenta al equipo directamente y al aumentar o disminuir (10%) el voltaje se observa que los reguladores L7805ACV operan adecuadamente entregando a su salida +5Vdc..

Se verificó además que el disipador empleado es suficiente para conseguir el buen funcionamiento del módulo de fuentes de poder y del sistema en general.

5.2.- CONCLUSIONES:

En este punto se recogen todos los problemas y conclusiones más importantes encontrados en la fase de diseño y construcción del equipo. Algunas de ellas se explicó en el desarrollo de la tesis y otras se resumen ahora.

- Los resultados obtenidos son satisfactorios si comparamos este

equipo con el anterior (previo): se mejora en precisión, protección, presentación y tamaño.

- Siendo el sistema de lazo abierto se tiene necesariamente un error; no es posible realizar realimentación de la información del micro 8748 al elemento sensor óptico y por comparación obtener un error nulo.
- El sistema utiliza con bajo costo el microcontrolador 8748 para el control directo del rotor de antena.
- Un sistema único de software permite al equipo realizar las funciones requeridas mediante varias operaciones lógicas necesarias para orientar directamente la antena. Esto se complementa con 1 bit del pórtico de salida que a través del circuito MOC 3010 controla el encendido o apagado del motor. El microprocesador emplea habilitaciones automáticas y da una precisión óptima conveniente para la operación y bajo costo del diseño.
- El software diseñado permite que los datos de entrada sean almacenados y presentados en un display apropiado. Así mismo conforme la antena se mueve, en el display de posición ACTUAL se presenta el ángulo que va alcanzando la antena hasta llegar al valor deseado. El reset se efectúa por el propio programa implementado (borrado de display de posición DESEADA), así como el control de alimentación al motor que permite girar al rotor de antena.
- La construcción del control de posición microprocesado permite experimentar las múltiples ventajas de la utilización del microprocesador como elemento central de control. Una de las más sobresalientes es la que se refiere a la modificación del programa

para realizar los ajustes de calibración del equipo hasta conseguir un funcionamiento adecuado, son necesidad de modificar en ningún momento la circuitería asociada al control.

- Se incorporará al sistema la posibilidad de retener el sentido y ángulo girado, mediante el empleo de la memoria RAM HM6116LP-3. Esta característica especial del equipo permite mantener la posición inicial de referencia siempre fija, para casos de pérdida de alimentación involuntaria o simplemente por desconexión del equipo. Además, el bajísimo consumo de corriente por parte de la memoria para retención de datos garantiza la larga vida útil de las baterías incorporadas para este propósito.
- Una posible aplicación del sistema construido a más de las indicadas en el desarrollo es en la orientación automática para antenas de TV con las ventajas: bajo costo y recepción óptima.

5.3.- RECOMENDACIONES:

- Se recomienda a la persona que desee hacer funcionar el equipo, primero leer detenidamente las instrucciones indicadas en el manual de utilización, para un adecuado y fácil manejo del sistema.
- Se sugiere desconectar el conector de acoplamiento entre la unidad de control y el rotor de antena para transporte del equipo.
- Para garantizar la mayor precisión del equipo se recomienda realizar el control de posición utilizando un motor de pasos el mismo que ya incorpora un elemento sensor de posición (potencióme-

tro lineal) más apropiado para esta aplicación.

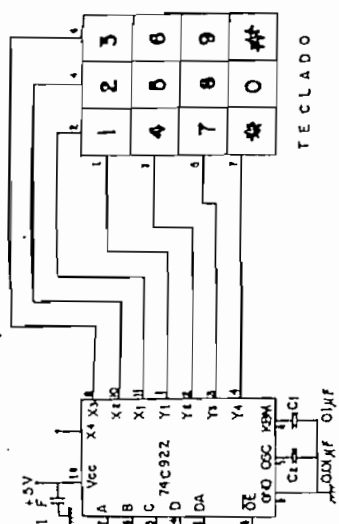
- Con el mismo propósito anterior se sugiere utilizar otro tipo de frenado ya que el existente puede ocasionar en cualquier instante error.
- Es posible modificar el método de control para mantener el sistema en una posición definida que no tenga variaciones por agentes externos tales como vientos; el control debe verificar que la antena está fija en la posición deseada, caso contrario debe enviar una acción correctiva.
- En el equipo construido se recomienda mantener al sistema de rotación, que es formado por elementos mecánicos, bien lubricado para evitar una posible sobrecarga en el motor que ayuda al movimiento del rotor de antena. Así mismo, se recomienda no conectar conductores a las partes fija y móvil ya que con los sucesivos movimientos puede producirse la rotura de los mismos.

A N E X O A

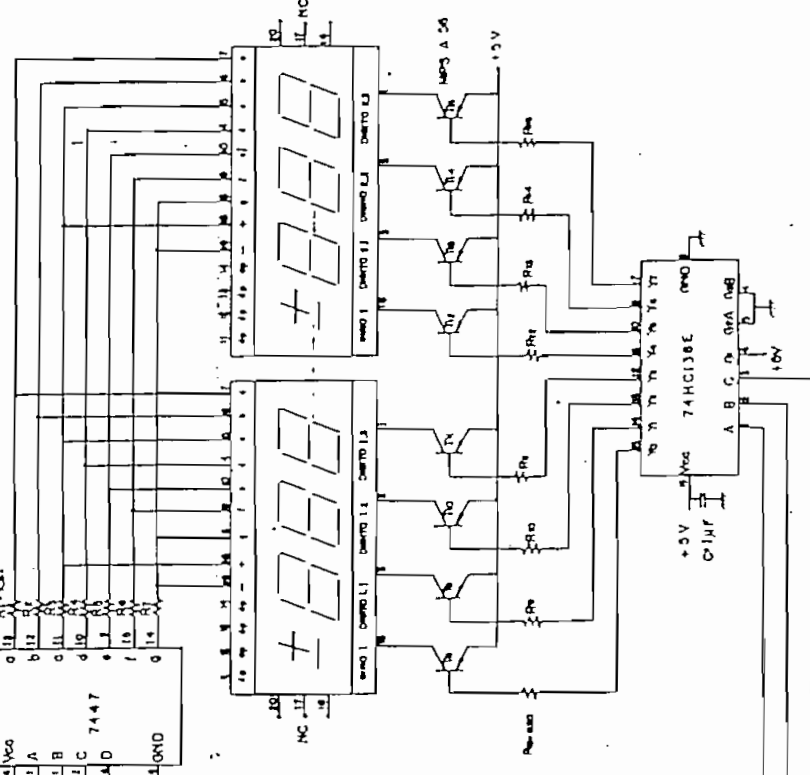
DIAGRAMA TOTAL DEL SISTEMA

- A.1.....Esquema General del Sistema
- A.2.....Diagrama del circuito impreso para la tarjeta de control
- A.3.....Vistas Interior y Exterior del equipo (fotografías)

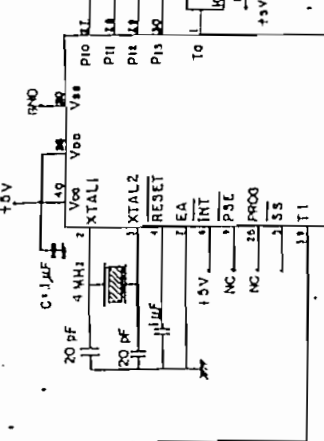
INGRESO DE DATOS



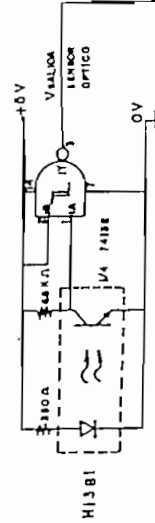
PRESENTACION DE DATOS



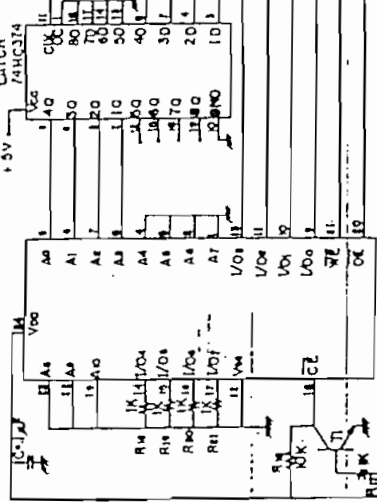
MICROCONTROLADOR 8748



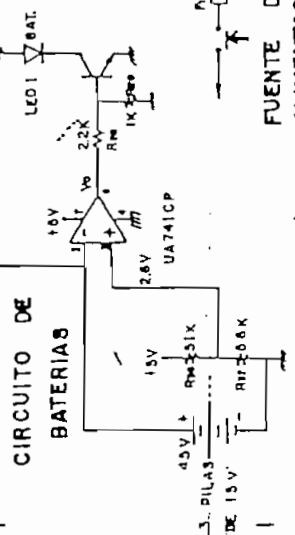
SENSOR OPTICO



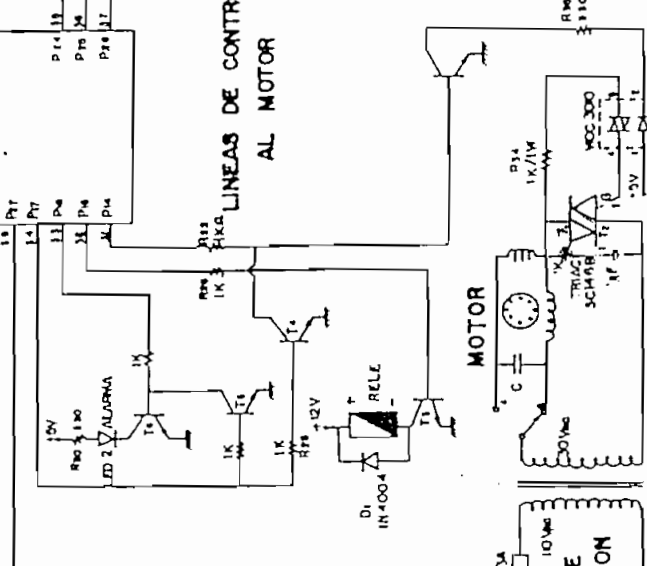
MEMORIA RAM EXTERNA RAM 0116



CIRCUITO DE BATERIAS



LINEAS DE CONTROL AL MOTOR



FACULTAD DE INGENIERIA E.P.N.
ELECTRICA

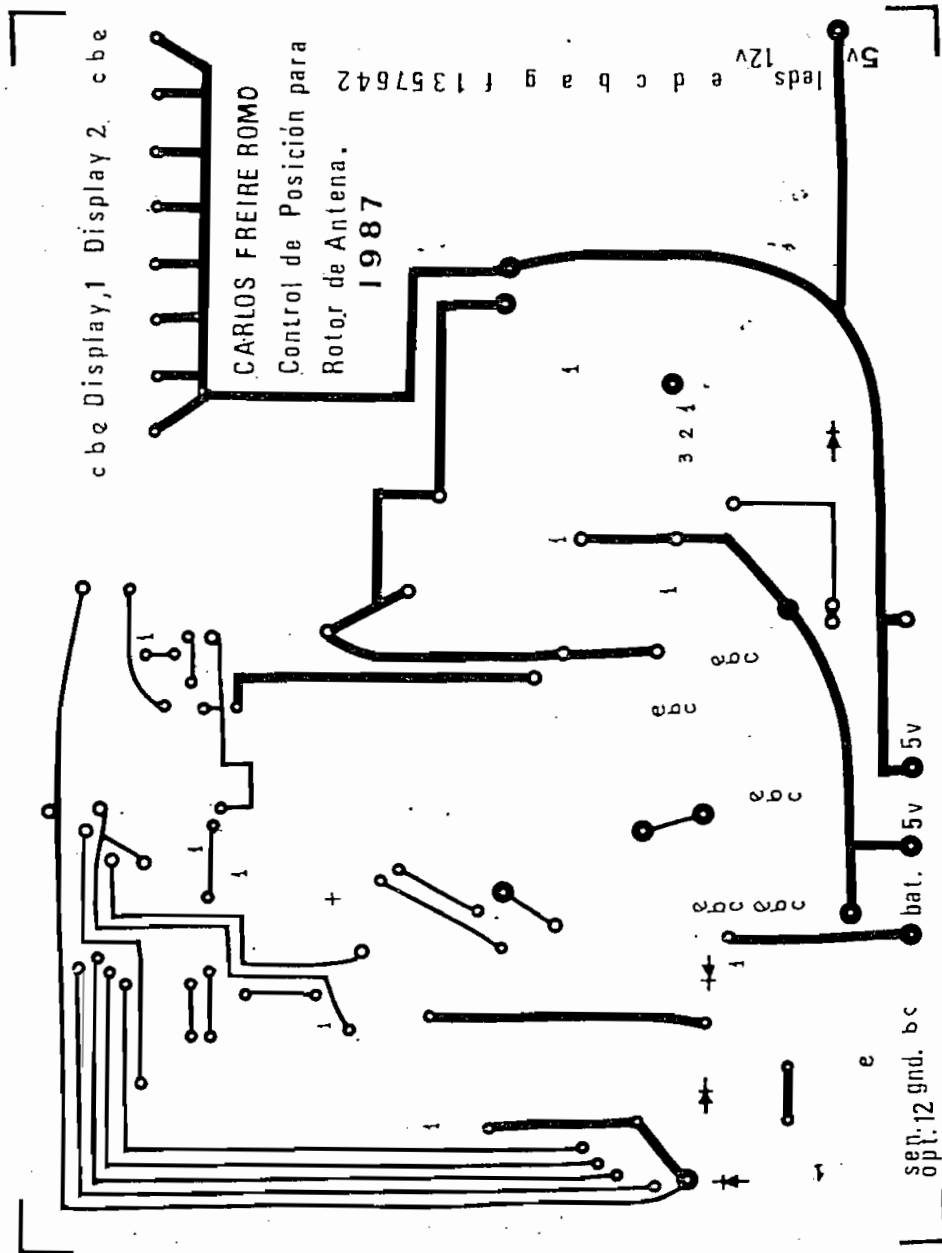
CONTROL DE POSICION DE UN ROTOR DE AN-
TENA USANDO UN MICROCONTROLADOR.

No. 1

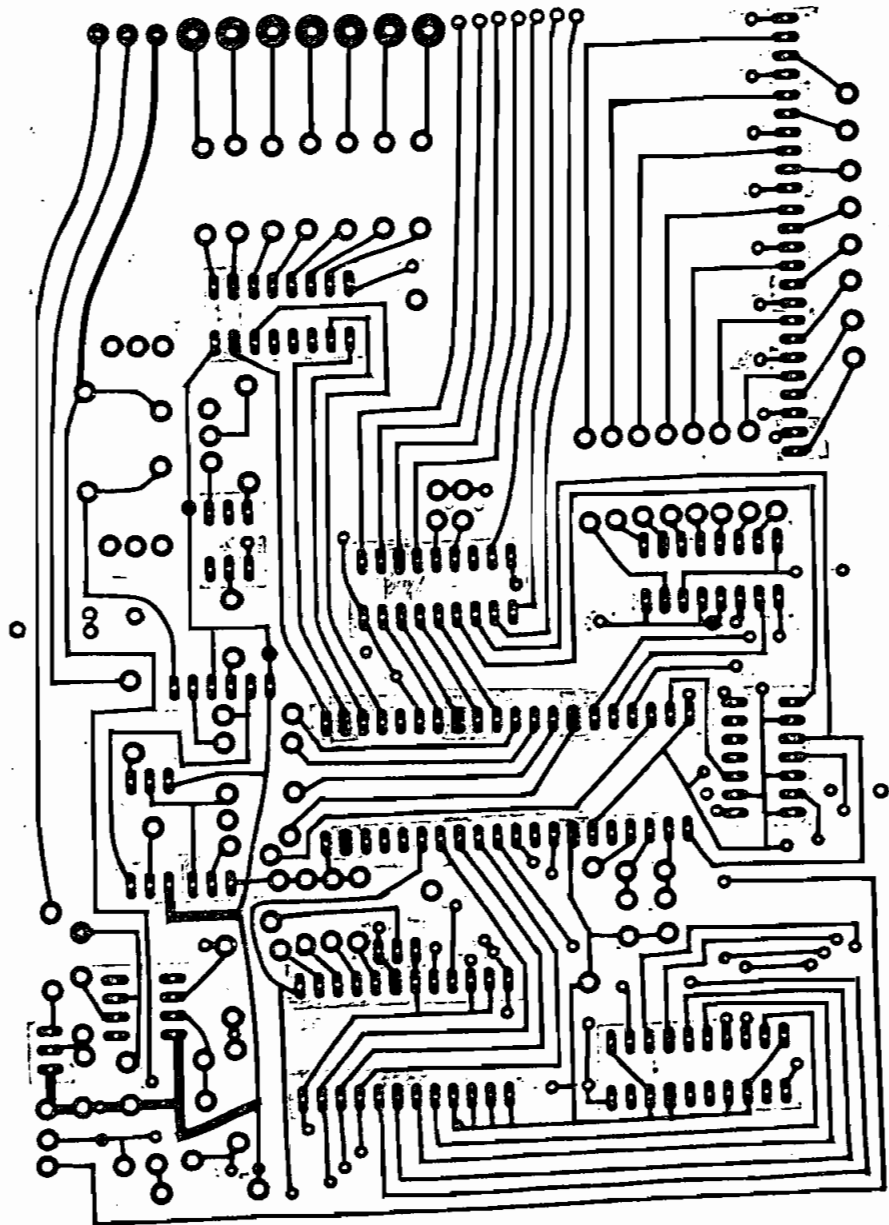
DIB FREIRE CARLOS
D15 FREIRE CARLOS
REV. PNE BARRAGAN JAF
FECH 10.05

A.2.- DIAGRAMA DEL CIRCUITO IMPRESO PARA LA TARJETA DE CONTROL:

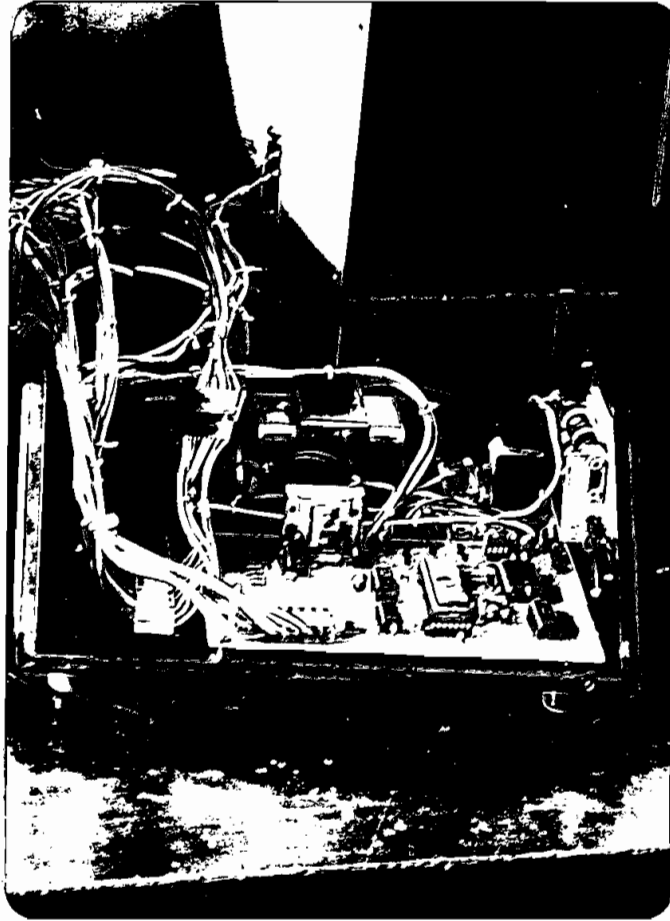
(a) Vista Superior



(b) Vista Inferior

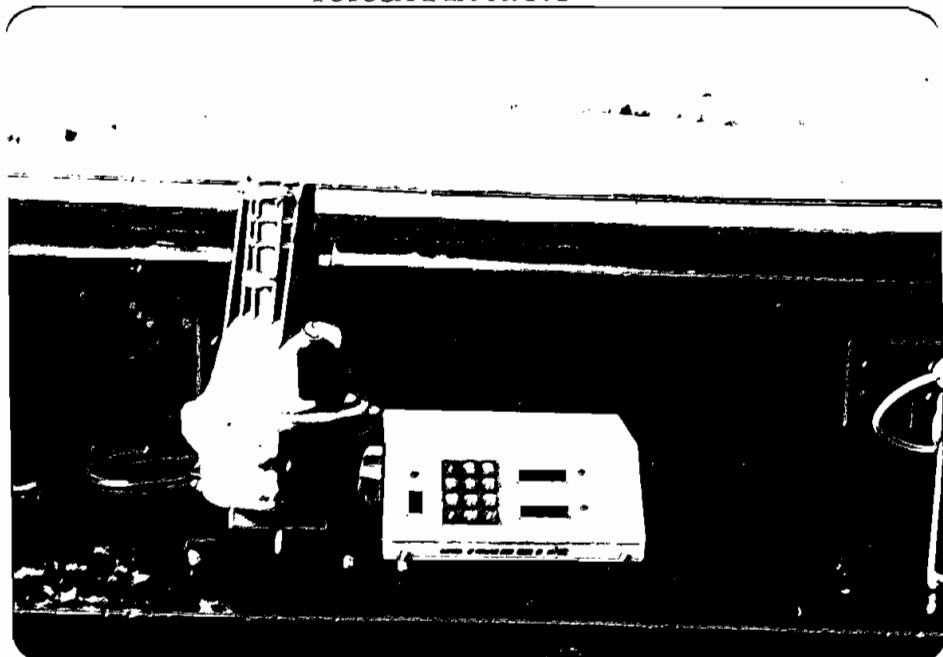


FOTOGRAFIA A. 3. 1



VISTA INTERIOR

FOTOGRAFIA A. 3. 2



VISTA EXTERIOR

A N E X O B

MANUAL DE UTILIZACION DEL EQUIPO

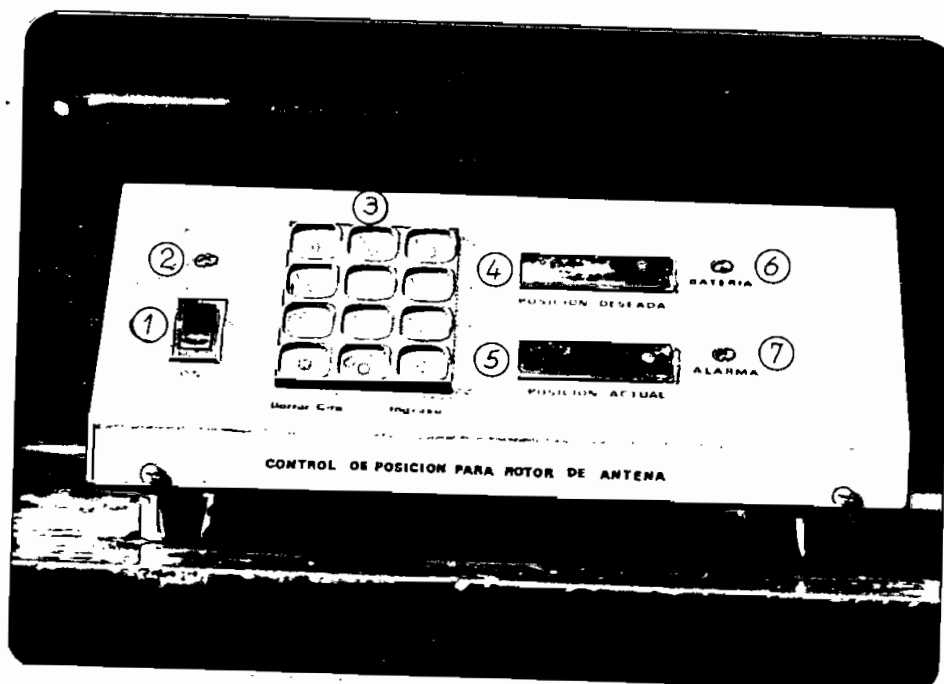
MANUAL DE UTILIZACION DEL EQUIPO

B.1.- DESCRIPCION DEL EQUIPO:

Este equipo tiene la posibilidad de mover el rotor de una antena desde una posición actual (inicial) hasta una posición deseada (final) en sentido de giro horario o antihorario.

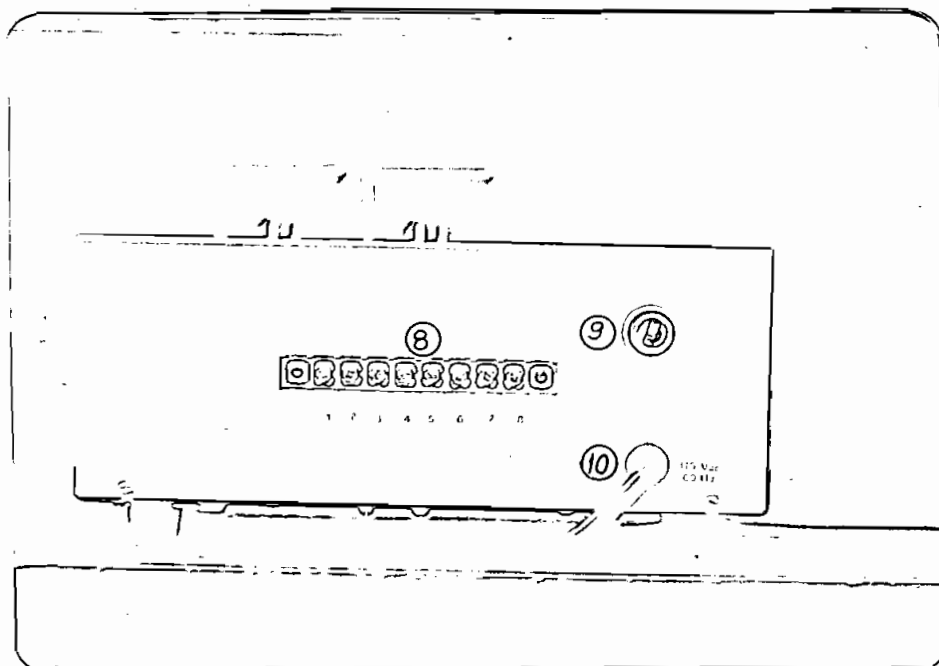
En las fotografías B.1 se indican los componentes principales que conforman el sistema.

FOTOGRAFIAS B.1

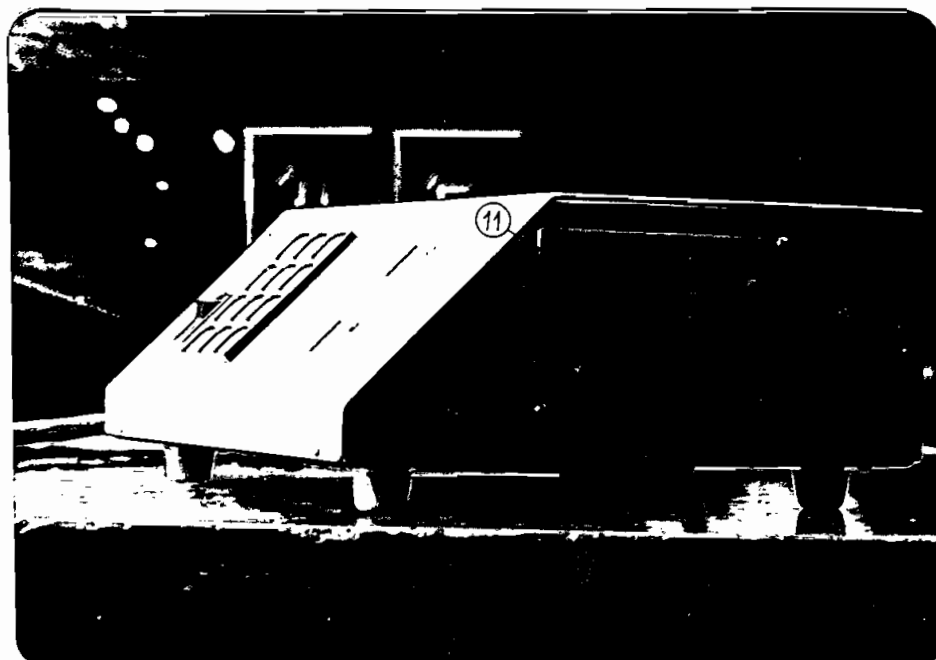


VISTA FRONTAL

FOTOGRAFIAS B.1



VISTA POSTERIOR



VISTA LATERAL

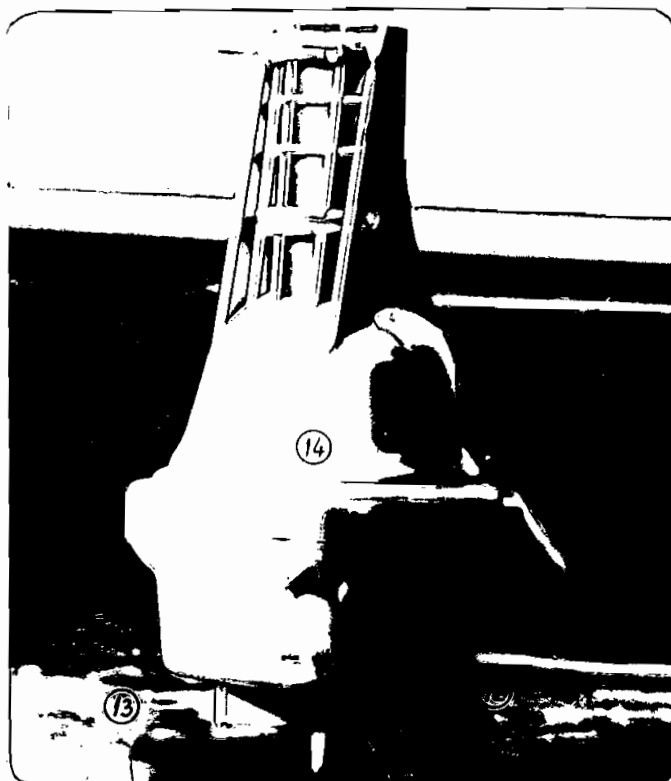
COMPONENTES DEL SISTEMA DE CONTROL

- 1.- INTERRUPTOR DE ENCENDIDO: Su accionamiento permite conectar o desconectar el control de posición.
- 2.- SEÑALIZACION DE ENCENDIDO: Un diodo emisor de luz se enciende o se apaga según la posición del interruptor de encendido del equipo.
- 3.- TECLADO: Está constituido por 12 teclas: diez teclas numeradas de 0 a 9 para ingreso de datos, una de control (INGRESO) y otra que sirve para borrar datos o cambiar el sentido de giro (BORRAR/GIRO).
- 4.- POSICION ACTUAL: En el display 1 de 3 1/2 dígitos se muestra los datos que corresponden a la posición y signo actual del rotor de antena, respecto a una posición de referencia fija. El contenido de este display varía cuando el rotor de antena está en movimiento.
- 5.- POSICION DESEADA: En el display 2 también de 3 1/2 dígitos se presentan los datos ingresados por teclado en valor y signo (sentido de giro) que representan la posición deseada. El contenido de este display permanece invariable cuando el rotor de antena está en movimiento.

- 6.- SEÑAL DE ALARMA: Un diodo emisor de luz se enciende cuando el rotor de antena gira 800° en cualquier sentido. En esta condición se detiene automáticamente el movimiento del rotor de antena.
- 7.- SEÑAL DE DESCARGA DE BATERIAS: Un diodo emisor de luz se enciende cuando las baterías tienen un nivel de voltaje inferior a 2V o han sido extraídas.
- 8.- CONECTOR DE ACOPLAMIENTO: Formado por una regleta de conexión numerada de 1 a 8 para facilitar la identificación de los conductores que llevan datos y alimentación del control de posición al motor del rotor de antena. El número 3 no tiene conexión.
- 9.- FUSIBLE : Para proteger el equipo de daños graves se emplea al ingreso de la alimentación al sistema (120V/60HZ) un fusible de 3A.
- 10.- ALIMENTACION: Está formada por un cable tipo fuerza-control - 2x18 AWG que facilita la toma de energía para el equipo (120V/60HZ).
- 11.- BATERIAS: Una tapa lateral facilita reponer las baterías (3 pilas de 1.5 V conectadas en serie), que alimentan la memoria RAM externa empleada para almacenar los datos de la posición actual de rotor de antena.

La base que contiene el rotor de antena, es independiente del control de posición y su interconexión se realiza con un conector de acoplamiento adecuado. Sus partes se ilustran en la fotografía B.2.

FOTOGRAFIA B.2



ROTOR DE ANTENA

- 12.- CONECTOR DE ACOPLAMIENTO: Numerado de 1 a.8 para facilitar su identificación cuando se conectan los conductores provenientes del control de posición al rotor de antena.
- 13.- BASE SOPORTE: Sirve para fijar convenientemente el rotor de antena y el conector de acoplamiento.

- Frecuencia: 60 hercios.
- Consumo de Corriente nominal: 2.5 A.
- Baterías: 3 pilas de 1.5 V, tamaño AA.
- Fuente DC incorporada: +5V y +12V .

OTRAS CARACTERISTICAS:

- Peso: Control de posición: 6 Kg.
- Rotor de antena: 7 Kg.

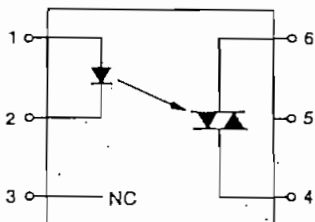
enciende y se apaga el equipo. En una siguiente operación se co
loca el microcontrolador 8748 original y se tiene el equipo lis-
to para iniciar cualquier movimiento.

A N E X O C

HOJAS DE DATOS DE LOS MANUALES DE LOS FABRICANTES

OPTICAL COUPLERS/ISOLATORS (continued)

The Triac Driver Output Coupler is a gallium-arsenide IRED, optically coupled to a silicon bilateral switch designed for applications requiring isolated triac triggering such as interface from logic to 110/220 V RMS line voltage. These devices offer low current, isolated ac switching; high output blocking voltage; small size; and, low cost.



Triac Driver Output

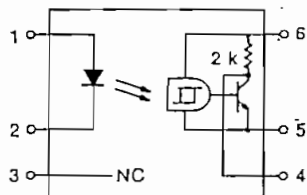
Isolation Voltage is 7500 V (min) on all devices. See notes.

Device Type	LED Trigger Current mA Max	Peak Blocking Voltage Volts Max
MOC3009	30	250
MOC3010	15	250
MOC3011	10	250
MOC3020	30	400
MOC3021	15	400
MOC3030*	30	250
MOC3031*	15	250
MOC3040	30	400
MOC3041	15	400

*With Zero-Crossing Detector.

The Digital Logic Coupler is a gallium-arsenide IRED optically coupled to a high-speed integrated detector. Designed for applications requiring electrical isolation, fast response time, and digital logic compatibility such as interfacing computer terminals to peripheral equipment, digital control of power supplies, motors, and other servo machine applications.

Intended for use as a digital inverter, the application of a current to the IRED input results in a LOW voltage; with the IRED off the output voltage is HIGH.



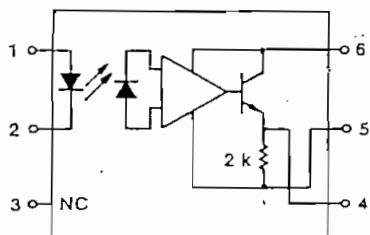
Digital IC Output

Isolation Voltage is 7500 V (min) on all devices. See notes.

Device Type	Output Voltage		ton/toff μs Max
	@ I _F = 16 mA V _{CC} = 5.0 V I _{sink} = 10 mA Volts Max	@ I _F = 0 V _{CC} = 5.0 V Volts Min	
MOC5003**	0.6	4.0	2.0
MOC5004**	0.6	4.0	1.2

**To be Introduced.

The Optically-Isolated AC Linear Coupler is a gallium-arsenide IRED optically coupled to a bipolar monolithic amplifier. Converts an input current variation to an output voltage variation while providing a high degree of electrical isolation between input and output. Can be used for telephone line coupling, peripheral equipment isolation, audio and other applications.



Linear Amplifier Output

Isolation Voltage is 7500 V (min). See notes.

Device Type	Transfer Gain @ V _{CC} = 12 V, mV/mA Typ	Single Ended Distortion @ V _{CC} = 12 V, I _{sig} = 1.0 mA % Typ
MOC5010	200	0.2



MOTOROLA

MC54/74HC138

Advance Information

1-OF-8 DECODER/DEMULTIPLEXER

The MC54/74HC138 is identical in pinout to the LS138. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

The HC138 decodes a three-bit Address to one-of-eight active-low outputs. This device features three chip select inputs, two active low and one active high to facilitate the demultiplexing, cascading, and chip-selecting functions. The demultiplexing function is accomplished by using the Address inputs to select the desired device output; one of the Chip Selects is used as a data input while the other Chip Selects are held in their active states.

- Low Power Consumption Characteristic of CMOS Devices
- Output Drive Capability: 10 LSTTL Loads Minimum
- Operating Speeds Similar to LSTTL
- Wide Operating Voltage Range: 2 to 6 Volts
- Low Input Current: 1 μ A Maximum
- Low Quiescent Current: 80 μ A Maximum (74HC series)
- High Noise Immunity Characteristic of CMOS Devices
- Diode Protection on All Inputs

**HIGH-PERFORMANCE
CMOS**

LOW-POWER COMPLEMENTARY MOS
SILICON-GATE

**1-OF-8 DECODER/
DEMULTIPLEXER**



J SUFFIX
CERAMIC PACKAGE
CASE 620



N SUFFIX
PLASTIC PACKAGE
CASE 648

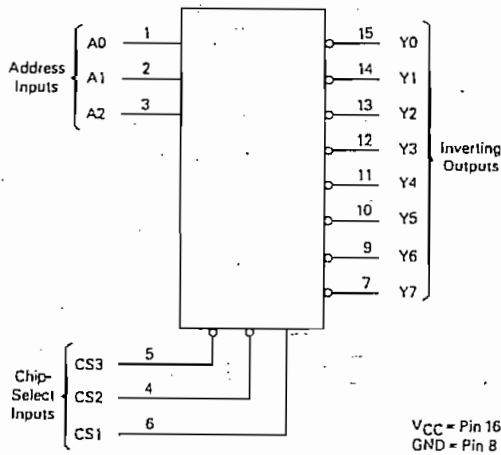
ORDERING INFORMATION

54 Series: -55°C to +125°C
MC54HCXXJ (Ceramic Package Only)
74 Series: -40°C to +85°C
MC74HCXXN (Plastic Package)
MC74HCXXJ (Ceramic Package)

PIN ASSIGNMENT

A0	1	16	VCC
A1	2	15	Y0
A2	3	14	Y1
CS2	4	13	Y2
CS3	5	12	Y3
CS1	6	11	Y4
Y7	7	10	Y5
GND	8	9	Y6

BLOCK DIAGRAM



TRUTH TABLE

Inputs				Outputs							
CS1	CS2	CS3	A2 A1 A0	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	X	H	X X X	H	H	H	H	H	H	H	H
X	H	X	X X X	H	H	H	H	H	H	H	H
L	X	X	X X X	H	H	H	H	H	H	H	H
H	L	L	L L L	L	H	H	H	H	H	H	H
H	L	L	L L H	H	L	H	H	H	H	H	H
H	L	L	L H L	H	H	L	H	H	H	H	H
H	L	L	L H H	H	H	H	L	H	H	H	H
H	L	L	H L L	H	H	H	H	L	H	H	H
H	L	L	H L H	H	H	H	H	H	L	H	H
H	L	L	H H L	H	H	H	H	H	H	L	H
H	L	L	H H H	H	H	H	H	H	H	H	L

H = high level (steady state)
L = low level (steady state)
X = don't care

This document contains information on a new product. Specifications and information herein are subject to change without notice.

MC54/74HC138

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V _{CC}	DC Supply Voltage (Referenced to GND)	-0.5 to +7.0	V
V _{in}	DC Input Voltage (Referenced to GND)	-1.5 to V _{CC} +1.5	V
V _{out}	DC Output Voltage (Referenced to GND)	-0.5 to V _{CC} +0.5	V
I _{in}	DC Input Current, per Pin	±20	mA
I _{out}	DC Output Current, per Pin	±25	mA
I _{CC}	DC Supply Current, V _{CC} and GND Pins	±50	mA
P _D	Power Dissipation, per Package†	500	mW
T _{stg}	Storage Temperature	-65 to +150	°C
T _L	Lead Temperature (10-Second Soldering)	300	°C

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}).

* Maximum Ratings are those values beyond which damage to the device may occur.

† Power Dissipation Temperature Derating:

Plastic "N" Package: -12mW/°C from 65°C to 85°C

Ceramic "J" Package: -12mW/°C from 100°C to 125°C

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Min	Max	Unit
V _{CC}	DC Supply Voltage (Referenced to GND)	2.0	6.0	V
V _{in} , V _{out}	DC Input Voltage, Output Voltage (Referenced to GND)	0	V _{CC}	V
T _A	Operating Temperature - 74HC Series 54HC Series	-40 -55	+85 +125	°C
t _r , t _f	Input Rise or Fall Time (Figure 2)	-	500	ns

ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V _{CC}	25°C			Unit
				54HC and 74HC	74HC	125°C 54HC	
V _{IH}	Minimum High-Level Input Voltage	V _{out} = 0.1 V or V _{CC} - 0.1 V I _{out} = 20 μA	2.0	Typical	Guaranteed		V
			4.5	1.2	1.5	1.5	
			6.0	2.4	3.15	3.15	
V _{IL}	Maximum Low-Level Input Voltage	V _{out} = 0.1 V or V _{CC} - 0.1 V I _{out} = 20 μA	2.0	0.6	0.3	0.3	V
			4.5	1.8	0.9	0.9	
			6.0	2.4	1.2	1.2	
V _{OH}	Minimum High-Level Output Voltage	V _{in} = V _{IH} or V _{IL} I _{out} = -20 μA	2.0	1.998	1.9	1.9	V
			4.5	4.499	4.4	4.4	
			6.0	5.999	5.9	5.9	
V _{OL}	Maximum Low-Level Output Voltage	V _{in} = V _{IH} or V _{IL} I _{out} = 20 μA	2.0	0.002	0.1	0.1	V
			4.5	0.001	0.1	0.1	
			6.0	0.001	0.1	0.1	
I _{in}	Maximum Input Leakage Current	V _{in} = V _{IH} or V _{IL} I _{out} = 4.0 mA	4.5	0.22	0.26	0.33	V
			6.0	0.18	0.26	0.33	
			6.0	0.00001	±0.1	±1.0	
I _{CC}	Maximum Quiescent Supply Current (Per Package)	V _{in} = V _{CC} or GND I _{out} = 0 μA	6.0	-	8	80	μA
			6.0	-	8	80	
			6.0	-	8	80	

MC54/74HC138

SWITCHING WAVEFORMS

FIGURE 1

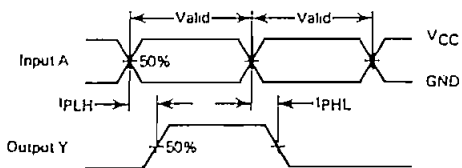


FIGURE 2

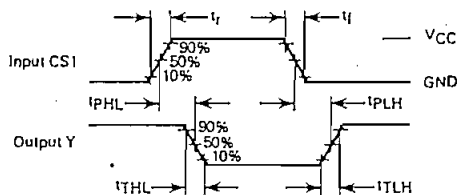


FIGURE 3

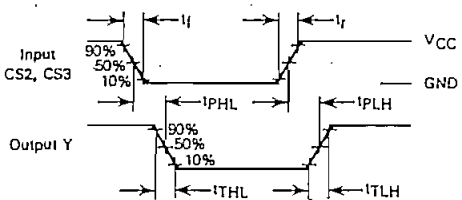
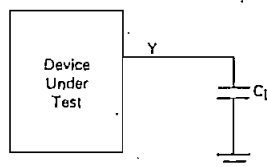
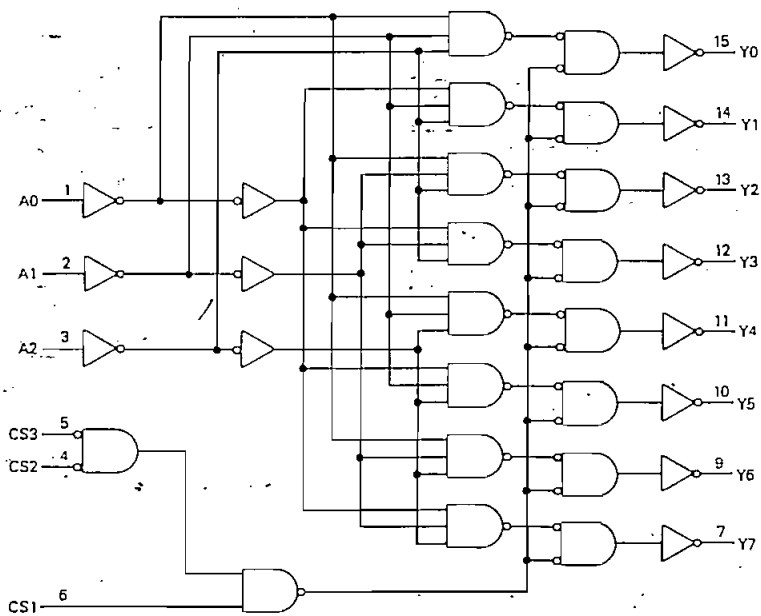


FIGURE 4 - TEST CIRCUIT



LOGIC DIAGRAM





MC54/74HC374

Advance Information

OCTAL 3-STATE NONINVERTING D-TYPE FLIP-FLOP

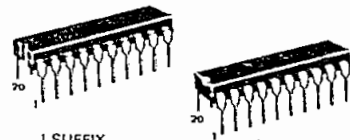
The MC54/74HC374 is identical in pinout to the LS374. The device inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs.

Data meeting the setup time is clocked to the outputs with the rising edge of the Clock. The Output Enable input does not affect the states of the flip-flops, but when Output Enable is high, the outputs are forced to the high-impedance state. Data may thus be stored even when the device is not selected.

The HC374 is identical in function to the HC574, which has the input pins on the opposite side of the package from the output pins. This device is similar in function to the HC534, which has inverting outputs.

- Low Power Consumption Characteristic of CMOS Devices
- Output Drive Capability: 15 LSTTL Loads Minimum
- Operating Speeds Similar to LSTTL
- Wide Operating Voltage Range: 2 to 6 Volts
- Low Input Current: 1 μ A Maximum
- Low Quiescent Current: 80 μ A Maximum (74HC Series)
- High Noise Immunity Characteristic of CMOS Devices
- Diode Protection on All Inputs

HIGH-PERFORMANCE
CMOS
 LOW-POWER COMPLEMENTARY MOS
 SILICON-GATE
 OCTAL 3-STATE
 NONINVERTING D-TYPE
 FLIP-FLOP



J SUFFIX
 CERAMIC PACKAGE
 CASE 732

N SUFFIX
 PLASTIC PACKAGE
 CASE 738

ORDERING INFORMATION

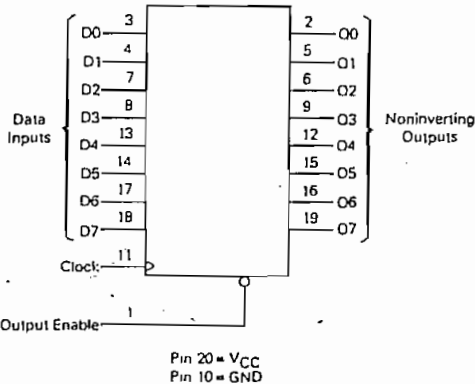
54 Series: -55°C to +125°C
 MC54HCXXXJ (Ceramic Package Only)

74 Series: -40°C to +85°C
 MC74HCXXXN (Plastic Package)
 MC74HCXXXJ (Ceramic Package)

PIN ASSIGNMENT

Output Enable	1	20	V _{CC}
O0	2	19	O7
O0	3	18	O7
O1	4	17	O6
O1	5	16	O6
O2	6	15	O5
D2	7	14	O5
O3	8	13	O4
O3	9	12	O4
GND	10	11	Clock

BLOCK DIAGRAM



FUNCTION TABLE

Output Enable	Clock	D	Output
L		H	H
L		L	L
L	L, H,	X	no change
H	X	X	Z

X = don't care
 Z = high impedance

This document contains information on a product under development. Motorola reserves the right to change or discontinue this product without notice.

MC54/74HC374

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V _{CC}	DC Supply Voltage (Referenced to GND)	-0.5 to +7.0	V
V _{in}	DC Input Voltage (Referenced to GND)	-1.5 to V _{CC} +1.5	V
V _{out}	DC Output Voltage (Referenced to GND)	-0.5 to V _{CC} +0.5	V
I _{in}	DC Input Current, per Pin	±20	mA
I _{out}	DC Output Current, per Pin	±35	mA
I _{CC}	DC Supply Current, V _{CC} and GND Pins	±75	mA
P _D	Power Dissipation, per Package†	500	mW
T _{stg}	Storage Temperature	-65 to +150	°C
T _L	Lead Temperature (10-Second Soldering)	300	°C

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid applications of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range GND ≤ |V_{in} or V_{out}| ≤ V_{CC}. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}).

*Maximum Ratings are those values beyond which damage to the device may occur.

†Power Dissipation Temperature Derating:
 Plastic "N" Package: -12mW/°C from 65°C to 85°C
 Ceramic "J" Package: -12mW/°C from 100°C to 125°C

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Min	Max	Unit
V _{CC}	DC Supply Voltage (Referenced to GND)	2.0	6.0	V
V _{in} , V _{out}	DC Input Voltage, Output Voltage (Referenced to GND)	0	V _{CC}	V
T _A	Operating Temperature - 74HC Series 54HC Series	-40 -55	+85 +125	°C
t _r , t _f	Input Rise and Fall Time (Figure 1)	-	500	ns

ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V _{CC}	25°C			Unit
				54HC and 74HC	74HC	54HC	
				Typical	Guaranteed		
V _{IH}	Minimum High-Level Input Voltage	V _{out} = 0.1 V or V _{CC} - 0.1 V I _{out} = 20 μA	2.0	1.2	1.5	1.5	V
			4.5	2.4	3.15	3.15	
			6.0	3.2	4.2	4.2	
V _{IL}	Maximum Low-Level Input Voltage	V _{out} = 0.1 V or V _{CC} - 0.1 V I _{out} = 20 μA	2.0	0.6	0.3	0.3	V
			4.5	1.8	0.9	0.9	
			6.0	2.4	1.2	1.2	
V _{OH}	Minimum High-Level Output Voltage	V _{in} = V _{IH} or V _{IL} I _{out} = -20 μA	2.0	1.999	1.9	1.9	V
			4.5	4.499	4.4	4.4	
			6.0	5.999	5.9	5.9	
V _{OL}	Maximum Low-Level Output Voltage	V _{in} = V _{IH} or V _{IL} I _{out} = 20 μA	2.0	0.001	0.1	0.1	V
			4.5	0.001	0.1	0.1	
			6.0	0.001	0.1	0.1	
V _{OL}	Maximum Low-Level Output Voltage	V _{in} = V _{IH} or V _{IL} I _{out} = 6.0 mA I _{out} = 7.8 mA	4.5	0.20	0.26	0.33	V
			6.0	0.20	0.26	0.33	
			6.0	0.20	0.26	0.33	
I _{in}	Maximum Input Leakage Current	V _{in} = V _{CC} or GND	6.0	0.00001	±0.1	±1.0	μA
I _{OZ}	Maximum Three-State Leakage Current	Output Enable = V _{IH} V _{out} = V _{CC} or GND	6.0	-	±0.5	±5.0	μA
I _{CC}	Maximum Quiescent Supply Current (Per Package)	V _{in} = V _{CC} or GND I _{out} = 0 μA	6.0	-	8	80	μA

MC54/74HC374

SWITCHING CHARACTERISTICS (V_{CC} = 5 V, T_A = 25°C, Input I_r = I_i = 6 ns)

Symbol	Parameter	C _L	54HC and 74HC		Unit
			Typical	Guaranteed Limit	
t _{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 4)	C _L = 50 pF	65	35	MHz
t _{PLH}	Maximum Propagation Delay, Clock to O (Figures 1 and 4)	C _L = 50 pF	15	32	ns
t _{PHL}			15	32	
t _{PLZ}	Maximum Propagation Delay, Output Enable to O (Figures 2 and 5)	C _L = 5 pF	13	25	ns
t _{PHZ}			13	25	
t _{PZL}	Maximum Propagation Delay, Output Enable to O (Figures 2 and 5)	C _L = 50 pF	14	28	ns
t _{PZH}			14	28	
t _{TLH} , t _{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 4)	C _L = 50 pF	5	10	ns

SWITCHING CHARACTERISTICS (Input I_r = I_i = 6 ns)

Symbol	Parameter	C _L	V _{CC}	25°C			Unit		
				54HC and 74HC	74HC	54HC			
t _{max}	Maximum Clock Frequency (50% Duty Cycle) (Figures 1 and 4)	C _L = 50 pF	2.0	12	6	5	MHz		
			4.5	60	30	24			
			6.0	71	35	28			
t _{PLH}	Maximum Propagation Delay, Clock to O (Figures 1 and 4)	C _L = 50 pF	2.0	90	180	227	ns		
			4.5	18	36	45			
		C _L = 150 pF	2.0	115	230	290	ns		
			4.5	23	46	58			
		t _{PHL}	Maximum Propagation Delay, Clock to O (Figures 1 and 4)	C _L = 50 pF	2.0	90	180	227	ns
					4.5	18	36	45	
C _L = 150 pF	2.0			115	230	290	ns		
	4.5			23	46	58			
t _{PLZ}	Maximum Propagation Delay, Output Enable to O (Figures 2 and 5)			C _L = 50 pF	2.0	75	150	189	ns
					4.5	15	30	38	
		C _L = 150 pF	2.0	100	200	252	ns		
			4.5	20	40	50			
		t _{PZH}	Maximum Propagation Delay, Output Enable to O (Figures 2 and 5)	C _L = 50 pF	2.0	75	150	189	ns
					4.5	15	30	38	
C _L = 150 pF	2.0			100	200	252	ns		
	4.5			20	40	50			
t _{TLH} , t _{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 4)			C _L = 50 pF	2.0	30	60	75	ns
					4.5	6	12	15	
		C _L = 150 pF	2.0	5	10	13	ns		
			4.5	5	10	13			
		C _{out}	Three-State Output Capacitance (Output Enable = V _{CC})	—	7.5	15	15	pF	
		C _{in}	Input Capacitance	—	5	10	10	pF	
C _{PD}	Power Dissipation Capacitance* (per Latch)	—	50	—	—	pF			

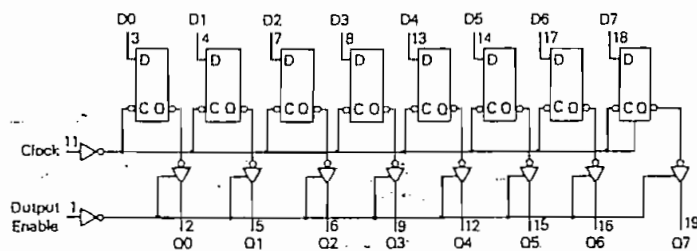
* C_{PD} is used to determine the no-load dynamic power consumption: P_D = C_{PD} V_{CC}²f + I_{CC} V_{CC}

MC54/74HC374

TIMING REQUIREMENTS (Input $t_r = t_f = 6$ ns)

Symbol	Parameter	V _{CC}	25°C		85°C	125°C	Unit
			54HC and 74HC		74HC	54HC	
			Typical	Guaranteed Limit			
t_{su}	Minimum Setup Time, Input D to Clock (Figure 3)	2.0	50	100	126	149	ns
		4.5	10	20	25	30	
		6.0	9	17	21	25	
t_h	Minimum Hold Time, Clock to Input D (Figure 3)	2.0	-10	5	5	5	ns
		4.5	0	5	5	5	
		6.0	1	5	5	5	
t_w	Minimum Pulse Width, Clock (Figure 1)	2.0	40	80	101	119	ns
		4.5	8	16	20	24	
		6.0	7	14	17	20	
t_r, t_f	Maximum Input Rise and Fall Times (Figure 1)	—	1000	500	500	500	ns

LOGIC DIAGRAM



MC54/74HC374

SWITCHING WAVEFORMS

FIGURE 1

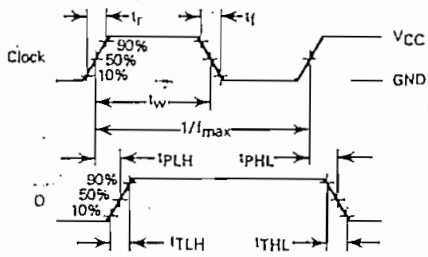


FIGURE 2

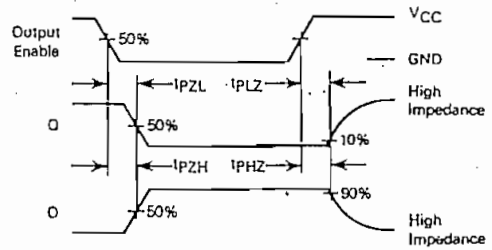


FIGURE 3

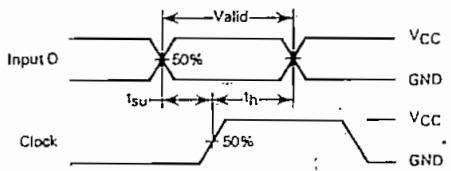


FIGURE 4 — TEST CIRCUIT

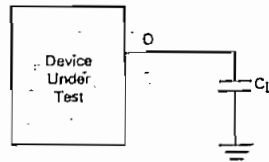
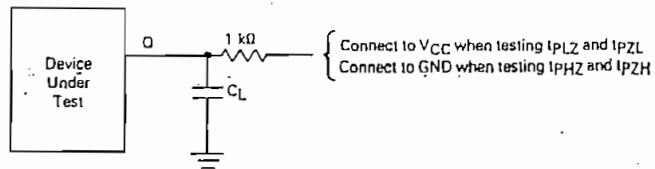


FIGURE 5 — TEST CIRCUIT



TYPES TIS94 THRU TIS99 N-P-N SILICON TRANSISTORS

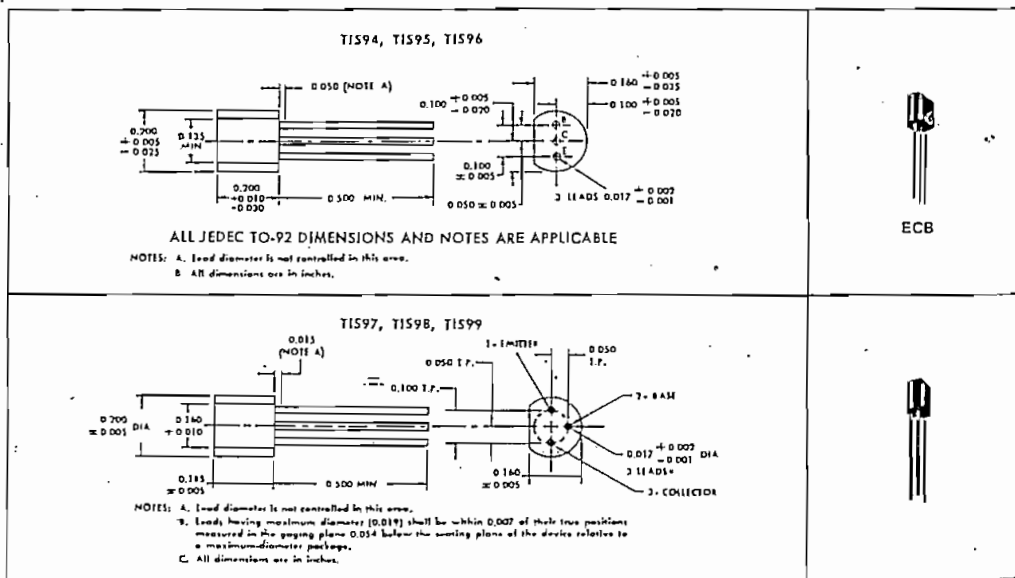
BULLETIN NO. DL-S 7310187, JUNE 1967—REVISED MARCH 1972

A COMPLETE FAMILY OF LOW-NOISE, LOW- TO MEDIUM-CURRENT SILECT[†]
TRANSISTORS[‡] FOR USE IN HI-FI AUDIO AMPLIFIERS AND
GENERAL PURPOSE LOW-FREQUENCY APPLICATIONS

- High $V_{(BR)CEO}$. . . 65 V Min (TIS96 and TIS99)
- Excellent h_{FE} Linearity to 100 mA

mechanical data

These transistors are encapsulated in a plastic compound specifically designed for this purpose, using a highly mechanized process developed by Texas Instruments. The case will withstand soldering temperatures without deformation. These devices exhibit stable characteristics under high-humidity conditions and are capable of meeting MIL-STD-202C, Method 106B. The transistors are insensitive to light.



4

absolute maximum ratings at 25°C free-air temperature (unless otherwise noted)

	TIS94	TIS95	TIS96
	TIS97	TIS98	TIS99
Collector-Base Voltage	60 V	80 V	80 V
Collector-Emitter Voltage (See Note 1)	40 V	60 V	65 V
Emitter-Base Voltage	6 V	6 V	6 V
Continuous Collector Current	← 200 mA →		
Continuous Device Dissipation at (or below) 25°C Free-Air Temperature (See Note 2)	← 625 mW →		
Continuous Device Dissipation at (or below) 25°C Lead Temperature (See Note 3)	← 1.25 W →		
Storage Temperature Range	← -65°C to 150°C →		
Lead Temperature 1/16 Inch from Case for 10 Seconds	← 260°C →		

NOTES: 1. These values apply between 0 and 10 mA collector current when the base-emitter diode is open-circuited.
 2. Derate linearly to 150°C free-air temperature at the rate of 5 mW/°C.
 3. Derate linearly to 160°C lead temperature at the rate of 10 mW/°C. Lead temperature is measured on the collector lead 1/16 inch from the case.

[†]Trademark of Texas Instruments
[‡]U.S. Patent No. 3,439,238 USES CHIP NO1

TYPES TIS94 THRU TIS99 N-P-N SILICON TRANSISTORS

Electrical characteristics at 25°C free-air temperature

PARAMETER	TEST CONDITIONS	TIS94 TIS97			TIS95 TIS98			TIS96 TIS99			UNIT				
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX					
$V_{(BR)CEO}$	Collector-Emitter Breakdown Voltage	$I_C = 10 \text{ mA}, I_E = 0, \text{ See Note 4}$									V				
I_{CBO}	Collector Cutoff Current	$V_{CB} = 40 \text{ V}, I_E = 0$									10	nA			
		$V_{CB} = 60 \text{ V}, I_E = 0$									10	μA			
		$V_{CB} = 80 \text{ V}, I_E = 0$									10	μA			
I_{EBO}	Emitter Cutoff Current	$V_{EB} = 6 \text{ V}, I_C = 0$									20	nA			
h_{FE}	Static Forward Current Transfer Ratio ⁵	$V_{CE} = 5 \text{ V}, I_C = 100 \mu\text{A}$									250	340	700		
		$V_{CE} = 5 \text{ V}, I_C = 1 \text{ mA}$									100	200	300		
		$V_{CE} = 5 \text{ V}, I_C = 10 \text{ mA}, \text{ See Note 4}$									40	125			
		$V_{CE} = 5 \text{ V}, I_C = 100 \text{ mA}, \text{ See Note 4}$									55	110	300		
V_{BE}	Base-Emitter Voltage	$V_{CE} = 5 \text{ V}, I_C = 100 \mu\text{A}$									0.45	0.65			
		$V_{CE} = 5 \text{ V}, I_C = 1 \text{ mA}$									0.5	0.7			
		$V_{CE} = 5 \text{ V}, I_C = 10 \text{ mA}, \text{ See Note 4}$									0.6	0.8			
V_{CE}	Collector-Emitter Voltage	$I_E = 0.1 \text{ mA}, I_C = 10 \text{ mA}, \text{ See Note 4}$									1				
		$I_E = 2 \text{ mA}, I_C = 100 \text{ mA}, \text{ See Note 4}$											2		
$V_{CE(sat)}$	Collector-Emitter Saturation Voltage	$I_B = 5 \text{ mA}, I_C = 100 \text{ mA}, \text{ See Note 4}$									0.5	0.5			
Z_{in}	Small-Signal Common-Emitter Input Impedance	$V_{CE} = 5 \text{ V}, I_C = 100 \mu\text{A}$									115				
		$V_{CE} = 5 \text{ V}, I_C = 1 \text{ mA}$										6.4			
		$V_{CE} = 5 \text{ V}, I_C = 10 \text{ mA}$											0.5		
h_{fe}	Small-Signal Common-Emitter Forward Current Transfer Ratio	$V_{CE} = 5 \text{ V}, I_C = 100 \mu\text{A}$									250	440	800		
		$V_{CE} = 5 \text{ V}, I_C = 1 \text{ mA}$										100	240	400	
		$V_{CE} = 5 \text{ V}, I_C = 10 \text{ mA}$										40	130	500	
h_{re}	Small-Signal Common-Emitter Reverse Voltage Transfer Ratio	$V_{CE} = 5 \text{ V}, I_C = 100 \mu\text{A}$									30x				
		$V_{CE} = 5 \text{ V}, I_C = 1 \text{ mA}$										1.5x	10 ⁻⁴		
		$V_{CE} = 5 \text{ V}, I_C = 10 \text{ mA}$											0.9x	10 ⁻⁴	
Y_{out}	Small-Signal Common-Emitter Output Admittance	$V_{CE} = 5 \text{ V}, I_C = 100 \mu\text{A}$									11				
		$V_{CE} = 5 \text{ V}, I_C = 1 \text{ mA}$										6			
		$V_{CE} = 5 \text{ V}, I_C = 10 \text{ mA}$											50		
Y_{in}	Small-Signal Common-Emitter Forward Transfer Admittance	$V_{CE} = 5 \text{ V}, I_C = 100 \mu\text{A}$									3.8				
		$V_{CE} = 5 \text{ V}, I_C = 1 \text{ mA}$										30	38		
		$V_{CE} = 5 \text{ V}, I_C = 10 \text{ mA}$											260		
h_{fT}	Small-Signal Common-Emitter Forward Current Transfer Ratio	$V_{CE} = 5 \text{ V}, I_C = 10 \text{ mA}, f = 100 \text{ MHz}$									2	2	2		
C_{cb}	Collector-Base Capacitance	$V_{CB} = 5 \text{ V}, I_E = 0, f = 1 \text{ MHz}, \text{ See Note 5}$									1	4	1	4	pF
C_{eb}	Emitter-Base Capacitance	$V_{EB} = 0.5 \text{ V}, I_C = 0, f = 1 \text{ MHz}, \text{ See Note 5}$										16	16	16	pF

operating characteristics at 25°C free-air temperature

PARAMETER	TEST CONDITIONS	TIS94, TIS97		UNIT
		MAX		
F	Spot Noise Figure	$V_{CE} = 5 \text{ V}, I_C = 30 \mu\text{A}, f = 1 \text{ kHz}, R_G = 10 \text{ k}\Omega, \text{ Noise Bandwidth} = 100 \text{ Hz}$		dB
\bar{F}	Average Noise Figure	$V_{CE} = 5 \text{ V}, I_C = 100 \mu\text{A}, R_G = 10 \text{ k}\Omega, \text{ Noise Bandwidth} = 15.7 \text{ kHz}, \text{ See Note 6}$		dB

NOTES: 4. These parameters must be measured using pulse techniques. $t_w = 300 \mu\text{s}$, duty cycle $< 2\%$.

5. C_{cb} and C_{eb} are measured using three-terminal measurement techniques with the third electrode (emitter or collector, respectively) guarded.

6. Average Noise Figure is measured in an amplifier with response down 3 dB at 10 Hz and 10 kHz and a high-frequency rolloff of 6 dB/octave.

7. TIS96 and TIS99 are color-coded on h_{FE} measured at $V_{CE} = 5 \text{ V}, I_C = 100 \text{ mA}$. Each h_{FE} bracket has a 2-to-1 spread as follows: red, ≥ 110 ; orange, 90-180; yellow, 150-300. No particular h_{FE} distribution is implied by this coding system.

MADE IN U.S.A.

TEXAS INSTRUMENTS INCORPORATED
RESERVES THE RIGHT TO MAKE CHANGES AT ANY TIME
IN DESIGN AND TO SUPPLY THE BEST PRODUCT POSSIBLE.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

4-519

MPS-A05, MPS-A06NPN (SILICON) MPS-A55, MPS-A56PNP

COMPLEMENTARY SILICON ANNULAR AMPLIFIER TRANSISTORS

- ... designed for use as medium-power driver and low-power outputs.
- High Collector-Emitter Breakdown Voltage —
 $V_{CE0} = 60 \text{ Vdc (Min) @ } I_C = 1.0 \text{ mAdc} - \text{MPS-A05, MPS-A55}$
 $= 80 \text{ Vdc (Min) @ } I_C = 1.0 \text{ mAdc} - \text{MPS-A06, MPS-A56}$
 - Excellent Current-Gain Linearity —
 $1.0 \text{ mAdc to } 150 \text{ mAdc} - \text{MPS-A55, MPS-A56}$
 - Low Collector-Emitter Saturation Voltage —
 $V_{CE(sat)} = 0.25 \text{ Vdc (Max) @ } I_C = 100 \text{ mAdc}$

COMPLEMENTARY SILICON AMPLIFIER TRANSISTORS



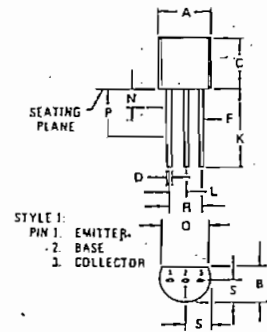
MAXIMUM RATINGS

Rating	Symbol	MPS-A05 MPS-A55	MPS-A06 MPS-A56	A/ P Unit
Collector-Emitter Voltage	V_{CE0}	60	80	Vdc
Collector-Base Voltage	V_{CB}	60	80	Vdc
Emitter-Base Voltage	V_{EB}	4.0		Vdc
Collector Current — Continuous	I_C	500		mAdc
Total Power Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	625	5.0	mW mW/ $^\circ\text{C}$
Total Power Dissipation @ $T_C = 25^\circ\text{C}$ Derate above 25°C	P_D	1.5	12	Watts mW/ $^\circ\text{C}$
Operating and Storage Temperature Temperature Range	T_J, T_{stg}	-55 to +150		$^\circ\text{C}$

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Ambient	$R_{\theta JA}$ (1)	200	$^\circ\text{C/W}$
Thermal Resistance, Junction to Case	$R_{\theta JC}$	83.3	$^\circ\text{C/W}$

(1) $R_{\theta JA}$ is measured with the device soldered into a typical printed circuit-board.



DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	4.450	5.200	0.175	0.205
B	3.180	4.190	0.125	0.165
C	4.370	5.330	0.170	0.210
D	0.407	0.533	0.016	0.021
F	0.407	0.462	0.016	0.018
K	12.700	—	0.500	—
L	1.150	1.390	0.045	0.055
N	—	1.270	—	0.050
P	6.350	—	0.250	—
Q	3.430	—	0.135	—
R	2.410	2.670	0.095	0.105
S	2.030	2.670	0.080	0.105

CASE 79 02
TO R7

MPS-A05, MPS-A06 NPN/MPS-A55, MPS-A56 (continued)

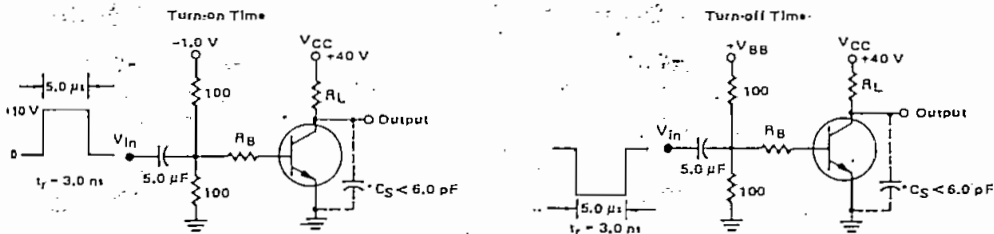
ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted.)

Characteristic	Symbol	Min	Max	Unit
OFF CHARACTERISTICS				
Collector-Emitter Breakdown Voltage (1) ($I_C = 1.0\text{ mA dc}, I_B = 0$)	BV_{CEO}	60 80	—	Vdc
Emitter-Base Breakdown Voltage ($I_E = 100\ \mu\text{A dc}, I_C = 0$)	BV_{EBO}	4.0	—	Vdc
Collector Cutoff Current ($V_{CE} = 60\text{ Vdc}, I_B = 0$)	I_{CEO}	—	0.1	$\mu\text{A dc}$
Collector Cutoff Current ($V_{CB} = 60\text{ Vdc}, I_E = 0$) ($V_{CB} = 80\text{ Vdc}, I_E = 0$)	I_{CBO}	— —	0.1 0.1	$\mu\text{A dc}$
ON CHARACTERISTICS (1)				
DC Current Gain ($I_C = 10\text{ mA dc}, V_{CE} = 1.0\text{ Vdc}$) ($I_C = 100\text{ mA dc}, V_{CE} = 1.0\text{ Vdc}$)	h_{FE}	50 50	—	—
Collector-Emitter Saturation Voltage ($I_C = 100\text{ mA dc}, I_B = 10\text{ mA dc}$)	$V_{CE(sat)}$	—	0.25	Vdc
Base-Emitter On Voltage ($I_C = 100\text{ mA dc}, V_{CE} = 1.0\text{ Vdc}$)	$V_{BE(on)}$	—	1.2	Vdc
SMALL-SIGNAL CHARACTERISTICS				
Current-Gain-Bandwidth Product (2) ($I_C = 10\text{ mA dc}, V_{CE} = 2.0\text{ Vdc}, f = 100\text{ MHz}$)	f_T	100	—	MHz

(1) Pulse Test: Pulse Width $\leq 300\ \mu\text{s}$, Duty Cycle $\leq 2.0\%$.

(2) f_T is defined as the frequency at which $|h_{FE}|$ extrapolates to unity.

FIGURE 1 — SWITCHING-TIME TEST CIRCUITS



*Total Shunt Capacitance of Test Jig and Connectors
For PNP Test Circuits, Reverse All Voltage Polarities

MPS-A05, MPS-A06 NPN / MPS-A55, MPS-A56 (continued)

NPN
MPS-A05, MPS-A06

PNP
MPS-A55, MPS-A56

FIGURE 2 - CURRENT-GAIN-BANDWIDTH PRODUCT

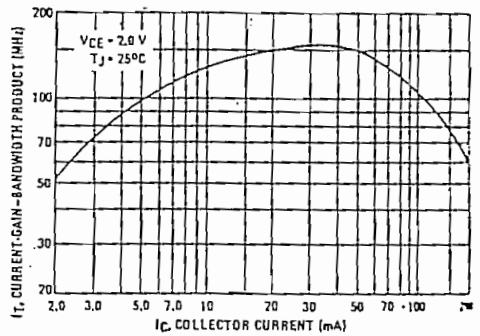
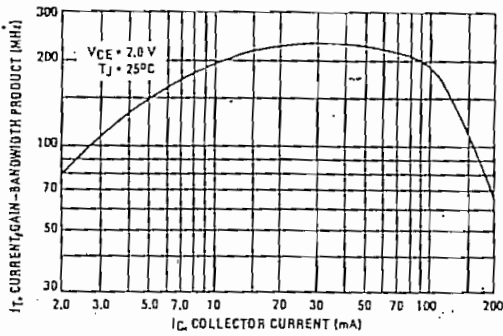


FIGURE 3 - CAPACITANCE

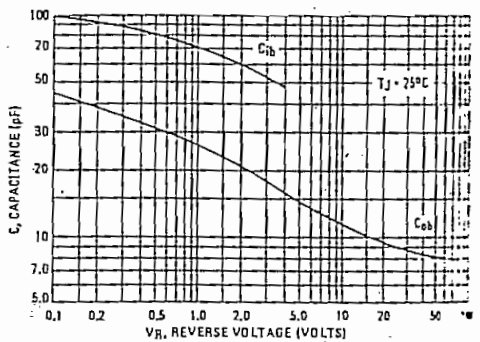
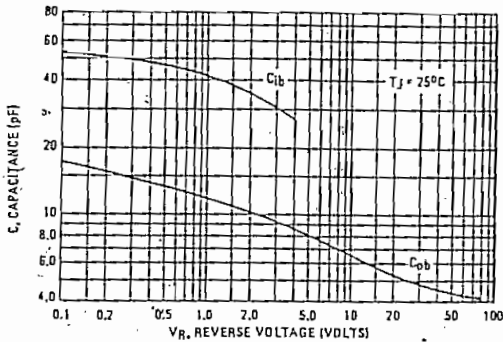
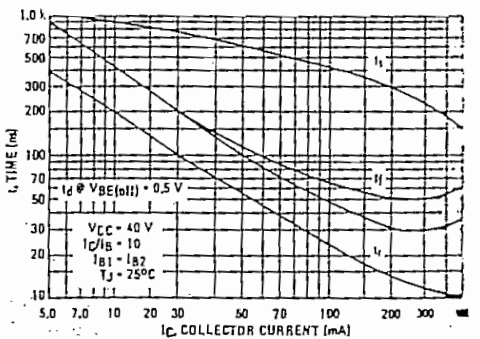
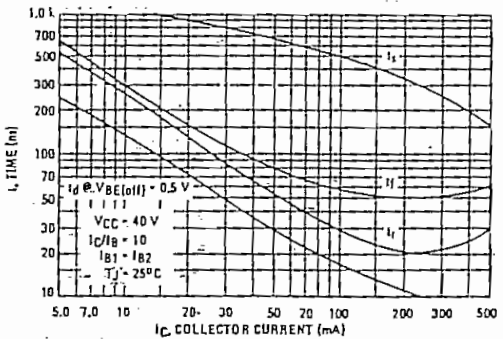


FIGURE 4 - SWITCHING TIME



MPS-A05, MPS-A06 NPN/MPS-A55, MPS-A56 (continued).

FIGURE 5 - THERMAL RESPONSE

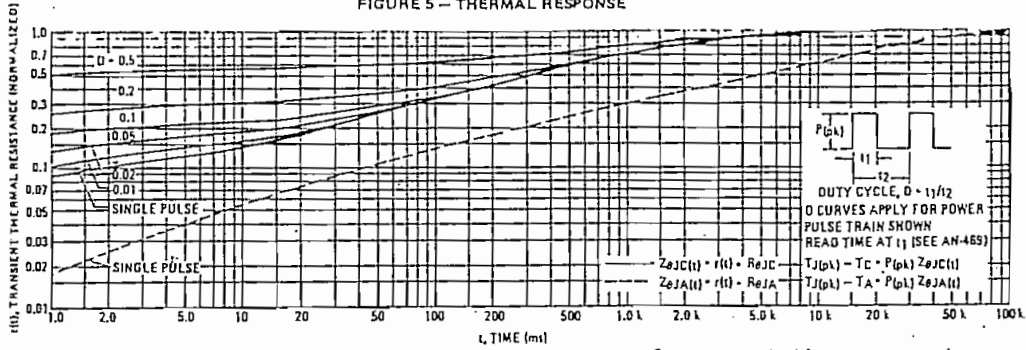
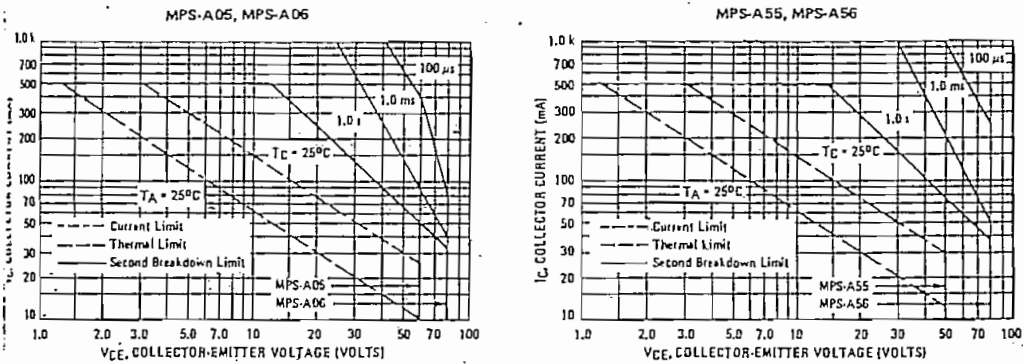


FIGURE 6 - ACTIVE - REGION SAFE OPERATING AREA



The safe operating area curves indicate I_C - V_{CE} limits of the transistor that must be observed for reliable operation. Collector load lines for specific circuits must fall below the limits indicated by the applicable curve.

The data of Figure 6 is based upon $T_J(p_k) = 150^\circ C$; T_C or T_A is variable depending upon conditions. Pulse curves are valid for duty cycles to 10% provided $T_J(p_k) < 150^\circ C$. $T_J(p_k)$ may be calculated from the data in Figure 5. At high case or ambient temperatures, thermal limitations will reduce the power that can be handled to values less than the limitations imposed by the secondary breakdown. (See AN-415A)

MPS-A05, MPS-A06 NPN/MPS-A55, MPS-A56 (continued)

PNP
MPS-A55, MPS-A56

FIGURE 11 - DC CURRENT GAIN

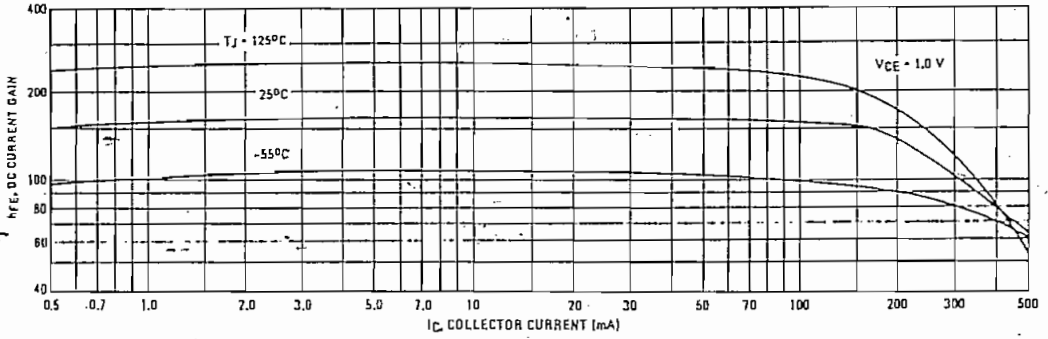


FIGURE 12 - "ON" VOLTAGES

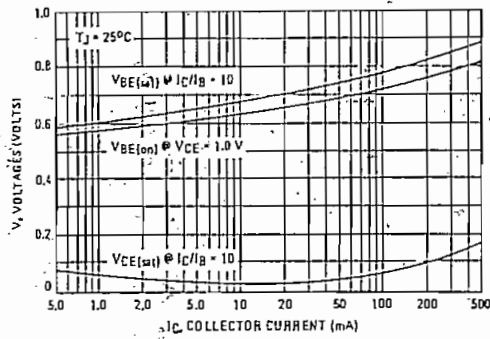


FIGURE 13 - COLLECTOR SATURATION REGION

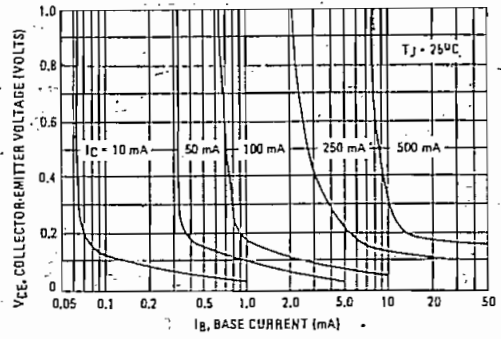
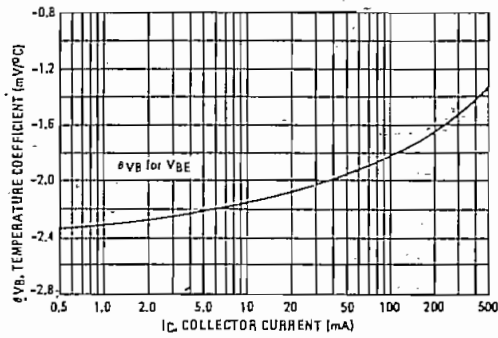


FIGURE 14 - BASE-EMITTER TEMPERATURE COEFFICIENT



2N6342 (SILICON)

thru

2N6349

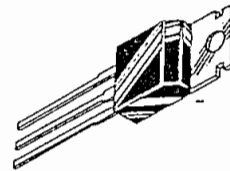


SILICON BIDIRECTIONAL THYRISTORS

... designed primarily for full-wave ac control applications, such as light dimmers, motor controls, heating controls and power supplies; or wherever full-wave silicon gate controlled solid-state devices are needed. Triac type thyristors switch from a blocking to a conducting state for either polarity of applied anode voltage with positive or negative gate triggering.

- Blocking Voltage to 800 Volts
- All Diffused and Glass Passivated Junctions for Greater Parameter Uniformity and Stability
- Small, Rugged, Thermowatt Construction for Low Thermal Resistance, High Heat Dissipation and Durability
- Gate Triggering Guaranteed in Two Modes (2N6342, 2N6343, 2N6344, 2N6345) or Four Modes (2N6346, 2N6347, 2N6348, 2N6349)
- For 400 Hz Operation, Consult Factory
- 12 Ampere Devices Available as 2N6342A thru 2N6349A

TRIACS
(THYRISTORS)
8 AMPERES RMS
200-800 VOLTS



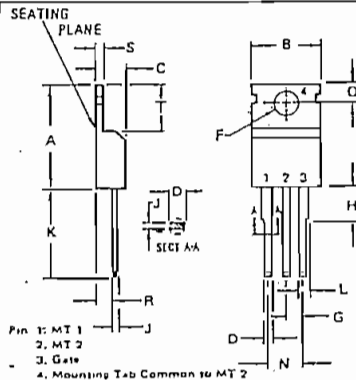
MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Repetitive Peak Off-State Voltage, Note 1 ($T_J = -40$ to $+100^\circ\text{C}$)	V_{ORM}		Volts
Sine Wave 50 to 60 Hz, Gate Open		200	
2N6342, 2N6346		400	
2N6343, 2N6347		600	
2N6344, 2N6348		800	
2N6345, 2N6349			
Gate Voltage	V_{GM}	10	Volts
State Current RMS ($T_C = +80^\circ\text{C}$)	$I_{T(RMS)}$	8.0	Amp
Full Cycle Sine Wave 50 to 60 Hz ($T_C = +90^\circ\text{C}$)		4.0	
Non-Repetitive Surge Current (One Full Cycle, 60 Hz, $T_J = +80^\circ\text{C}$) preceded and followed by 10 Rated Current	I_{TSM}	100	Amp
Unit Fusing Considerations ($T_J = -40$ to $+100^\circ\text{C}$, $I = 1.0$ to 8.3 ms)	I^2t	40	A^2s
Gate Power ($T_C = +80^\circ\text{C}$, Pulse Width = 2.0 μs)	P_{GM}	20	Watts
Average Gate Power ($T_C = +80^\circ\text{C}$, $t = 8.3$ ms)	$P_{G(AV)}$	0.5	Watt
Gate Current	I_{GM}	2.0	Amp
Operating Junction Temperature Range	T_J	-40 to +100	$^\circ\text{C}$
Storage Temperature Range	T_{STG}	-40 to +150	$^\circ\text{C}$

TERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Case	$R_{\theta JC}$	2.2	$^\circ\text{C}/\text{W}$

*Notes JEDEC Registered Data.



- Pin 1: MT 1
2: MT 2
3: Gate
4: Mounting Tab Common to MT 2

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	14.23	15.87	0.560	0.625
B	9.66	10.66	0.380	0.420
C	3.56	4.82	0.140	0.190
D	0.51	1.14	0.020	0.045
F	3.53	3.73	0.139	0.147
G	2.29	2.79	0.090	0.110
H	-	6.35	-	0.250
J	0.31	1.14	0.012	0.045
K	12.70	14.27	0.500	0.562
L	1.14	1.77	0.045	0.070
N	4.83	5.33	0.190	0.210
Q	2.54	3.04	0.100	0.120
R	2.04	2.92	0.080	0.115
S	0.51	1.39	0.020	0.055
T	5.85	6.85	0.230	0.270

CASE 221-02
TO 220 AB

All JEDEC dimensions and notes apply

2N6342 thru 2N6349 (continued)

ELECTRICAL CHARACTERISTICS (T_C = 25° unless otherwise noted)

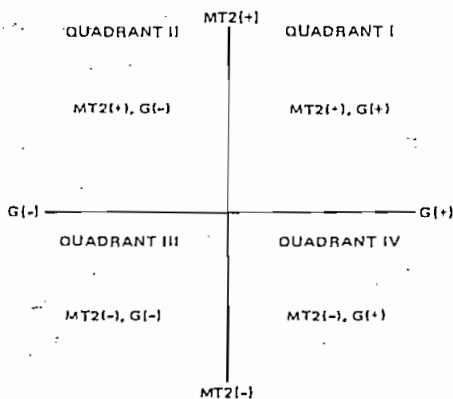
Characteristic	Symbol	Min	Typ	Max	Units
*Peak Blocking Current (Either Direction) Rated V _{DRM} @ T _J = 100°C, Gate Open	I _{DRM}	—	—	2.0	A
*Peak On-State Voltage (Either Direction) I _{TM} = 11 A Peak; Pulse Width = 1.0 to 2.0 ms, Duty Cycle ≤ 2.0 %	V _{TM}	—	1.3	1.55	V
Peak Gate Trigger Current Main Terminal Voltage = 12 Vdc, R _L = 100 Ohms Minimum Gate Pulse Width = 2.0 μs	I _{GTM}				
MT2 (+), G(+) All Types		—	6.0	50	
MT2 (+), G(-) 2N6346 thru 2N6349		—	6.0	75	
MT2 (-), G(-) All Types		—	10	50	
MT2 (-), G(+) 2N6346 thru 2N6349		—	25	75	
*MT2 (+), G(+); MT2 (-), G(-) T _C = -40°C All Types		—	—	100	
*MT2 (+), G(-); MT2 (-), G(+) T _C = -40°C 2N6346 thru 2N6349		—	—	125	
Peak Gate Trigger Voltage Main Terminal Voltage = 12 Vdc, R _L = 100 Ohms Minimum Gate Pulse Width = 2.0 μs	V _{GTM}				
MT2 (+), G(+) All Types		—	0.9	2.0	
MT2 (+), G(-) 2N6346 thru 2N6349		—	0.9	2.5	
MT2 (-), G(-) All Types		—	1.1	2.0	
MT2 (-), G(+) 2N6346 thru 2N6349		—	1.4	2.5	
*MT2 (+), G(+); MT2 (-), G(-) T _C = -40°C All Types		—	—	2.5	
*MT2 (+), G(-); MT2 (-), G(+) T _C = -40°C 2N6346 thru 2N6349		—	—	3.0	
Main Terminal Voltage = Rated V _{DRM} , R _L = 10 k ohms, T _J = 100°C					
*MT2 (+), G(+); MT2 (-), G(-) All Types		0.2	—	—	
*MT2 (+), G(-); MT2 (-), G(+) 2N6346 thru 2N6349		0.2	—	—	
Holding Current (Either Direction) Main Terminal Voltage = 12 Vdc, Gate Open, Initiating Current = 200 mA	I _H				
T _C = 25°C		—	6.0	40	
T _C = -40°C		—	—	75	
*Turn-On Time Rated V _{DRM} , I _{TM} = 11 A, I _{GT} = 120 mA, Rise Time = 0.1 μs, Pulse Width = 2.0 μs	t _{gt}	—	1.5	2.0	μs
Critical Rate of Rise of Commutation Voltage Rated V _{DRM} , I _{TM} = 11 A, Commutating di/dt = 4.3 A/ms, Gate Unenergized, T _C = 80°C	dv/dt	—	5.0	—	V/μs

* Indicates JEDEC Registered Data

NOTES:

1. Ratings apply for open gate conditions. Thyristor devices shall not be tested with a constant current source for blocking conditions that the voltage applied exceeds the rated blocking voltage.

QUADRANT DEFINITIONS



Trigger devices are recommended for gating on Triacs. They provide

1. Consistent predictable turn-on points.
2. Simplified circuitry.
3. Fast turn-on time for cooler, more efficient and reliable operation.

ELECTRICAL CHARACTERISTICS of RECOMMENDED BIDIRECTIONAL SWITCHES

USAGE	General		Lamp D
PART NUMBER	MBS4991	MBS4992	MBS109
V _S	6.0 - 10 V	7.5 - 9.0 V	3.0 - 5.0 V
I _S	350 μA Max	120 μA Max	100 - 400 μA
V _{S1} - V _{S2}	0.5 V Max	0.2 V Max	0.35 V V _{CE}
Temperature Coefficient	0.02%/°C Typ		

See AN-526 for Theory and Characteristics of Silicon Bidirectional Switches

2N6342 thru 2N6349 (continued)

FIGURE 1 - AVERAGE CURRENT DERATING

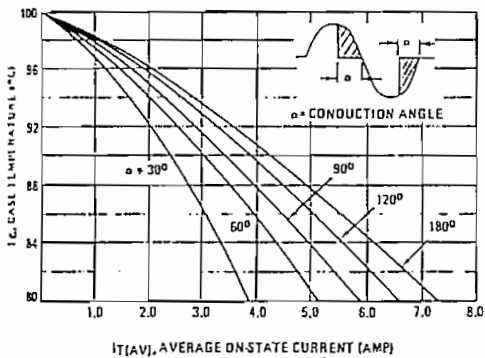


FIGURE 2 - RMS CURRENT DERATING

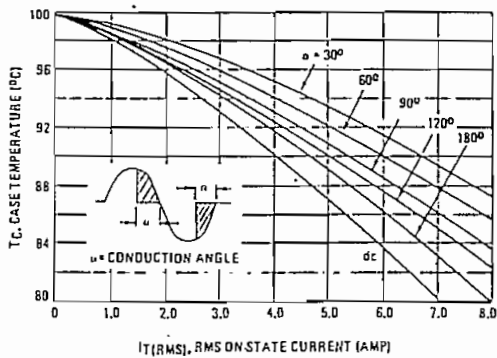


FIGURE 3 - ON-STATE POWER DISSIPATION

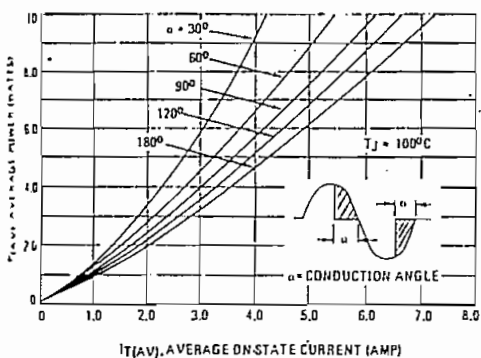


FIGURE 4 - ON-STATE POWER DISSIPATION

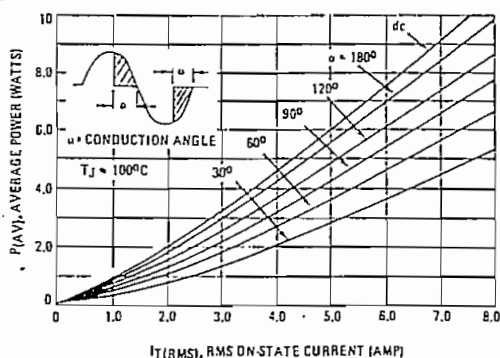


FIGURE 5 - TYPICAL GATE TRIGGER VOLTAGE

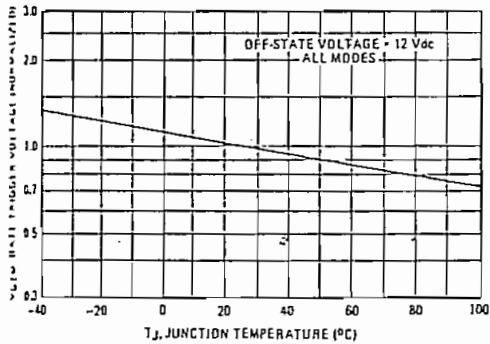
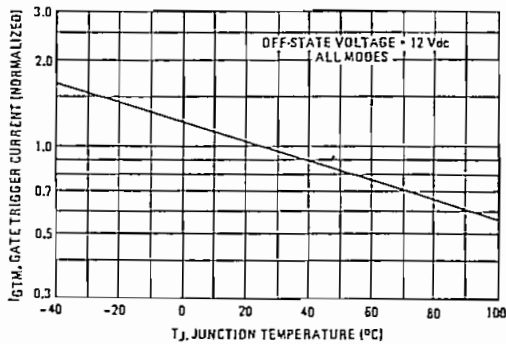


FIGURE 6 - TYPICAL GATE TRIGGER CURRENT



2N6342 thru 2N6349 (continued)

FIGURE 7 - MAXIMUM ON-STATE CHARACTERISTICS

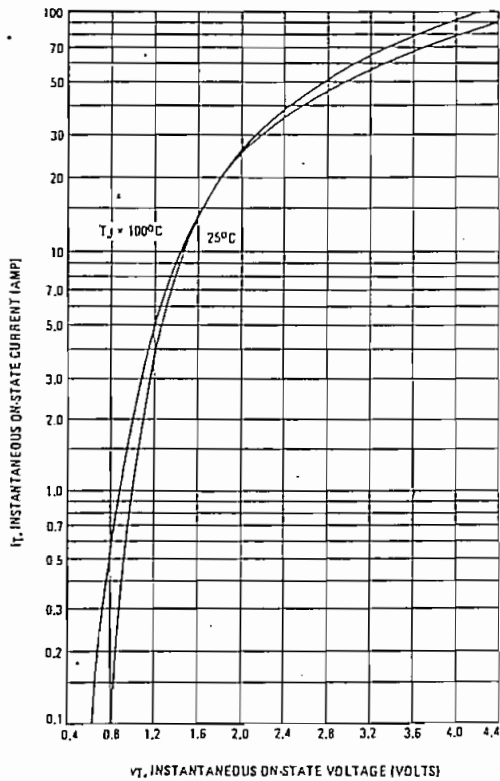


FIGURE 8 - TYPICAL HOLDING CURRENT

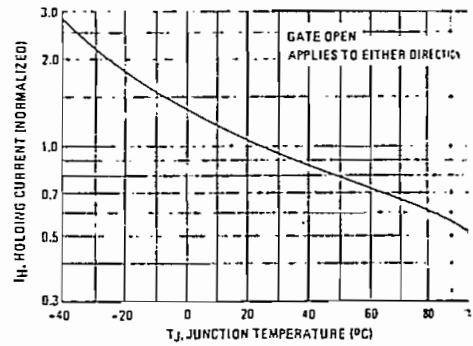


FIGURE 9 - MAXIMUM NON-REPETITIVE SURGE CURRENT

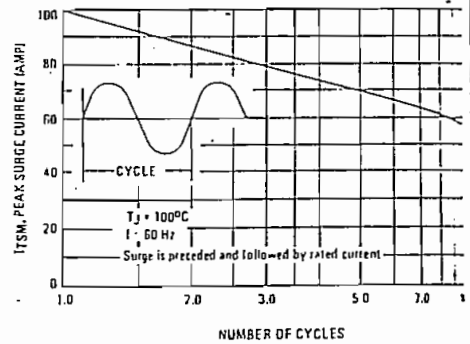
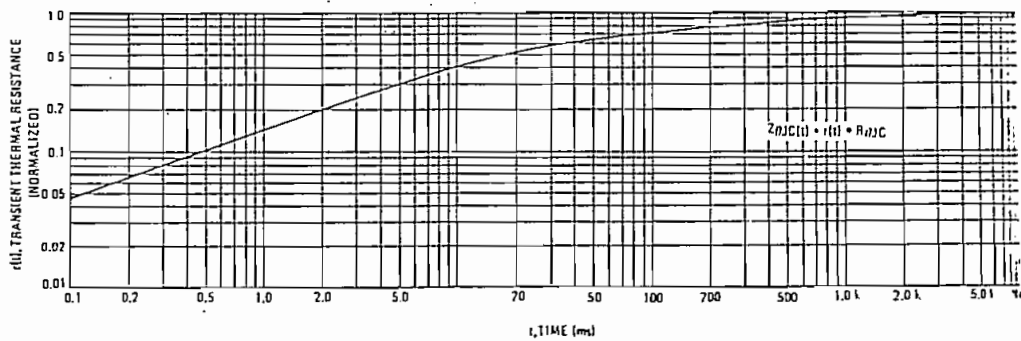


FIGURE 10 - THERMAL RESPONSE



TYPES TIL835, TIL836 MULTIDIGIT NUMERIC DISPLAYS

BULLETIN NO. DL-5 12670, OCTOBER 1978

3½-DIGIT SOLID-STATE RED NUMERIC DISPLAYS
DESIGNED FOR INSTRUMENTATION AND DIGITAL PANEL METER APPLICATIONS

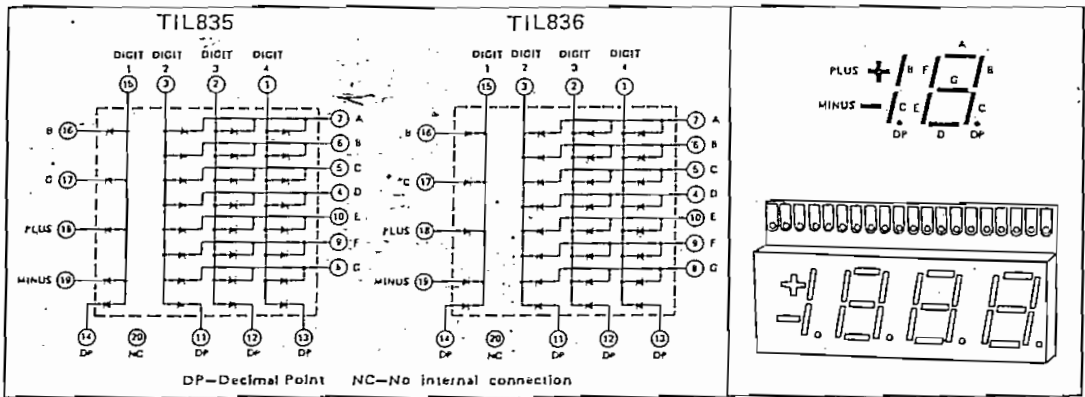
- 12.7-mm (0.500-Inch) Character Height
- Wide Viewing Angle
- High Contrast
- TIL835 . . . Common Anode
- TIL836 . . . Common Cathode

description

These multidigit displays are formed by placing a one-piece reflector assembly within a red transparent plastic case attached to a printed circuit board. The light-emitting-diode chips are directly mounted and bonded to the printed circuit board under the appropriate segment.

The ± 1 digit has individual segment lines separate from the other digits, which have their like-positioned segments connected together. The ± 1 segments can therefore be driven directly or connected to other segments for multiplex operation. This arrangement allows these displays to be used with all digital panel meter chip sets presently available.

The pulse rate for multiplex operation must be kept high enough to make the light from each character appear to be constant. A minimum pulse rate of 100 hertz can be used, however, rates of one kilohertz to 10 kilohertz are recommended.



absolute maximum ratings

Reverse Voltage at 25°C Free-Air Temperature, Each Segment or Indicator	3 V
Peak Forward Current at (or below) 25°C Free-Air Temperature,	
Each Segment, Sign, or Decimal Point	200 mA
Average Forward Current at (or below) 25°C Free Air Temperature (See Note 1),	
Each Segment, Sign, or Decimal Point	25 mA
Operating Free-Air Temperature Range	-25°C to 85°C
Storage Temperature Range	-25°C to 85°C
Terminal Temperature for 5 Seconds	230°C

Note 1: This average value applies for any 10-ms period. Derate linearly to 10 mA at 85°C free-air temperature at the rate of 0.25 mA/°C.

TYPES TIL835, TIL836 MULTIDIGIT NUMERIC DISPLAYS

operating characteristics of each segment or indicator at 25°C free-air temperature

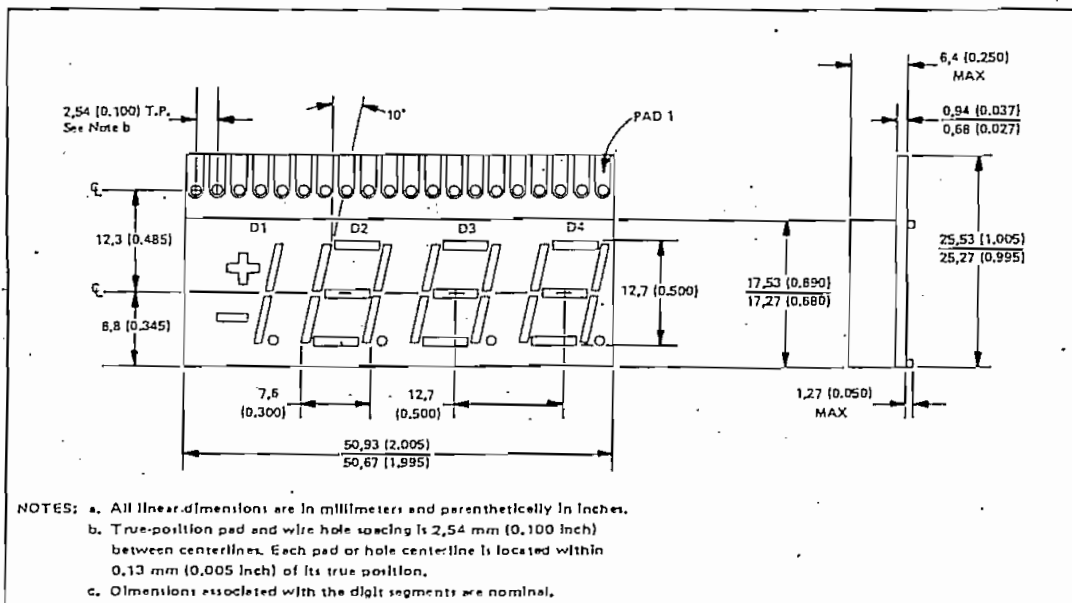
PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
I_V	Luminous Intensity (See Note 2)	$I_F = 20$ mA per segment, sign, and decimal point	240	600		μ cd
	Average per Segment or Sign, Each Digit		95	240		
Segment-to-Segment Luminous Intensity Ratio			1.5:1			
λ_D	Wavelength at Peak Emission		640	655	680	nm
$\Delta\lambda$	Spectral Bandwidth		20		nm	
V_F	Static Forward Voltage	$I_F = 10$ mA		1.7	2	V

NOTE 2: Luminous Intensity is measured with a light sensor and filter combination that approximates the CIE (International Commission on Illumination) eye-response curve.

mechanical data

The display may be mounted by soldering the pads directly to another printed-circuit board, by use of a lead-frame assembly on 2,54-mm (0.100-inch) centers with the pins soldered into the p-c board holes, or by insertion into a p-c board edge connector. A rosin-core 60/40 tin/lead solder, or a solid-core 60/40 solder with a low-temperature deactivating flux can be used for hand-soldering operations. Soldering temperature of each pad should not exceed 230°C for five seconds. Care should be exercised to keep the temperature of the plastic cover below 100°C as higher temperatures or direct contact of a hot soldering iron with the plastic could cause distortion or deformation of the character appearance.

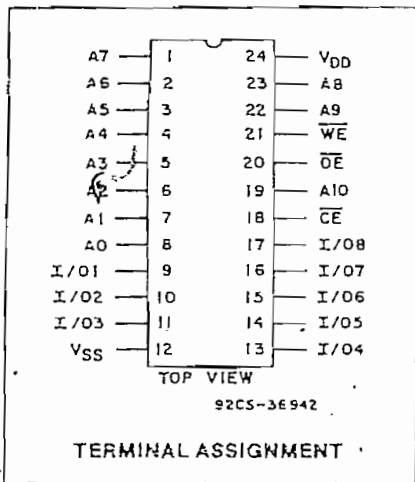
Flux clean up using chlorinated hydrocarbon solvents should be avoided as they may damage the plastic parts. Methanol, isopropanol, ethanol, or Freon[†] TP-35 may be used with caution. Solvents can leave residues that may blur or obstruct the image.



[†]Trademark of E. I. du Pont de Nemours, Inc.

TEXAS INSTRUMENTS
INCORPORATED

POST OFFICE BOX 725012 • DALLAS, TEXAS 75265



CMOS 2048-Word by 8-Bit Static RAM

Features:

- Fully static operation
- Single power supply: 4.5 V to 5.5 V
- All inputs and outputs directly TTL compatible
- 3-state outputs
- Industry standard 24-pin configuration
- Chip-enable gates address buffers for minimum standby current
- Data retention voltage: 2 V min.

	CDM6116A-2	CDM6116A-3	CDM6116A-9
Access Time (max.)	200 ns	150 ns	250 ns
Output Enable Time (max.)	120 ns	60 ns	150 ns
Operating Temperature	0° to +70°C		-40° to +85°C
Operating Current (max.)	35 mA	35 mA	40 mA
Standby Current I _{DDSI} (max.)	30 μA	50 μA	100 μA

The RCA-CDM6116A is a CMOS 2048-word by 8-bit static random-access memory. It is designed for use in memory systems where high-speed, low power and simplicity in use are desirable. This device has common data inputs and data outputs and utilizes a single power supply of 4.5 V to 5.5 V. A chip-enable input and an output-enable input are provided for memory expansion and output buffer control.

The output enable (\overline{OE}) controls the output buffers to eliminate bus contention.

The CDM6116A-2 and CDM6116A-3 have an operating temperature range of 0° to +70°C. The CDM6116A-9 has an operating temperature range of -40° to +85°C.

The chip enable (\overline{CE}) gates the address and output buffers and powers down the chip to the low power standby mode.

The CDM6116A-2 and CDM6116A-3 are supplied in a 24-lead dual-in-line plastic package (E suffix). The CDM6116A-9 is supplied in a 24-lead dual-in-line plastic package (E suffix) and a 24-lead dual-in-line side-braced ceramic package (D suffix).

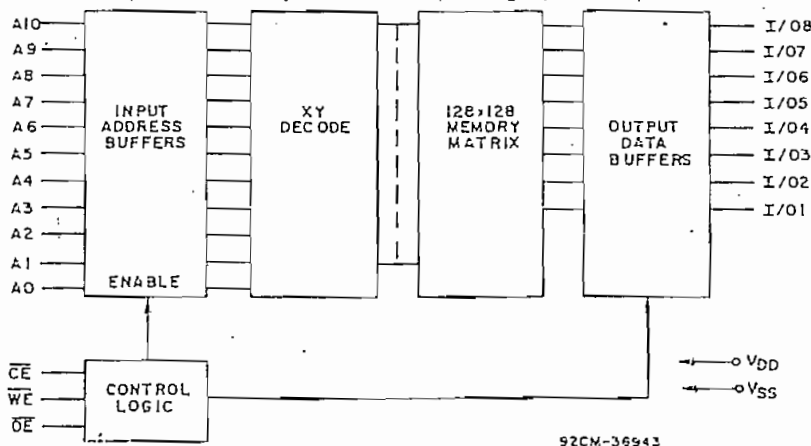


Fig. 1 - Functional block diagram.

TRUTH TABLE

\overline{CE}	\overline{OE}	\overline{WE}	A0 TO A10	MODE	I/O1 TO I/O8	DEVICE CURRENT
H	X	X	X	NOT SELECTED	HIGH Z	STANDBY
L	L	H	STABLE	READ	DATA OUT	ACTIVE
L	H	L	STABLE	WRITE	DATA IN	ACTIVE
L	L	L	STABLE	WRITE	DATA IN	ACTIVE

L = LOW H = HIGH X = H or L

DC SUPPLY-VOLTAGE RANGE, (V_{DD}):

(Voltage referenced to V_{SS} terminal) -0.3 to +7 V

INPUT VOLTAGE RANGE, ALL INPUTS -0.3 to +7 V

DC INPUT CURRENT, ANY ONE INPUT ±10 mA

POWER DISSIPATION PER PACKAGE (P_D):

For T_A = -40° to +60° C (PACKAGE TYPE E) 500 mW

For T_A = +60° to +85° C (PACKAGE TYPE E) Derate Linearly at 8 mW/°C to 300 mW

For T_A = -40° to +85° C (PACKAGE TYPE D) 500 mW

DEVICE DISSIPATION PER OUTPUT TRANSISTOR

For T_A = FULL PACKAGE-TEMPERATURE RANGE (All Package Types) 100 mW

OPERATING-TEMPERATURE RANGE (T_A)

CDM6116A-2, CDM6116A-3 (PACKAGE TYPE E) 0 to +70° C

CDM6116A-9 (PACKAGE TYPES D, E) -40 to +85° C

STORAGE TEMPERATURE RANGE (T_{stg}) -55 to +125° C

LEAD TEMPERATURE (DURING SOLDERING):

At distance 1/16 ± 1/32 in. (1.59 ± 0.79 mm) from case for 10 s max. +265° C

OPERATING CONDITIONS at T_A = 0 to +70° C, (CDM6116A-2, CDM6116A-3); T_A = -40° to +85° C (CDM6116A-9)

For maximum reliability, operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS ALL TYPES		UNITS
	MIN.	MAX.	
DC Operating Voltage Range	4.5	5.5	V
Input Voltage Range	V _{IH}	V _{DD} + 0.3	
	V _{IL}	-0.3	

STATIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70° C (CDM6116A-2, CDM6116A-3);

T_A = -40° to +85° C (CDM6116A-9), V_{DD} = 5 V ± 10%, Except as noted

CHARACTERISTIC	CONDITIONS	LIMITS									UNITS
		CDM6116A-2			CDM6116A-3			CDM6116A-9			
		MIN.	TYP.*	MAX.	MIN.	TYP.*	MAX.	MIN.	TYP.*	MAX.	
Standby Device Current I _{DD5}	$\overline{CE} = V_{IH}$	—	0.6	2	—	0.6	2	—	0.3	2	mA
	$\overline{CE} = V_{DD} - 0.2 V$	—	1	30	—	1	50	—	1	100	µA
Output Voltage Low Level V _{OL} Max.	I _{OL} = 2.1 mA	—	—	0.4	—	—	0.4	—	—	0.4	V
	I _{OL} = 1 µA	—	0.1	—	—	0.1	—	—	0.1	—	
Output Voltage High Level V _{OH} Min.	I _{OH} = -1 mA	2.4	—	—	2.4	—	—	2.4	—	—	V
	I _{OH} = -1 µA	—	V _{DD} -0.1	—	—	V _{DD} -0.1	—	—	V _{DD} -0.1	—	
Input Leakage Current I _{IN} Max.	V _{DD} = 5.5 V V _{IN} = 0 V to V _{DD}	—	±0.1	±2	—	±0.1	±2	—	±0.1	±2	µA
3-State Output Leakage Current I _{OUT}	\overline{CE} or $\overline{OE} = V_{IH}$ V _{I/O} = 0 V to V _{DD}	—	±0.5	±2	—	±0.5	±2	—	±0.5	±2	
Operating Device Current I _{OPER} #	V _{IN} = V _{IL} , V _{IH}	—	20	35	—	20	35	—	28	40	mA
Input Capacitance C _{IN}	V _{IN} = 0 V, f = 1 MHz, T _A = 25° C	—	4	6	—	4	6	—	4	6	pF
Output Capacitance C _{I/O}	V _{I/O} = 0 V, f = 1 MHz, T _A = 25° C	—	6	8	—	6	8	—	6	8	

*Typical values are for T_A = 25° C and nominal V_{DD}.

#Outputs open circuited; cycle time = Min. t_{cycle}, duty = 100%.

A0-A10 (Address Inputs): These inputs must be stable prior to a write operation, but may change asynchronously during read operations.

I/O1-I/O8: 8-bit tristate data bus.

\overline{CE} (Chip Enable): Powers down chip, disables Read and Write functions, and gates off address inputs.

\overline{OE} (Output Enable): Enables tristate outputs if \overline{CE} is low and \overline{WE} is high.

\overline{WE} (Write Enable): Enables Write function, if \overline{CE} is low. \overline{WE} will dominate if both \overline{WE} and \overline{OE} are low (i.e., the bus will be tristated and a Write will occur).

V_{DD}, V_{SS} : Power supply connections.

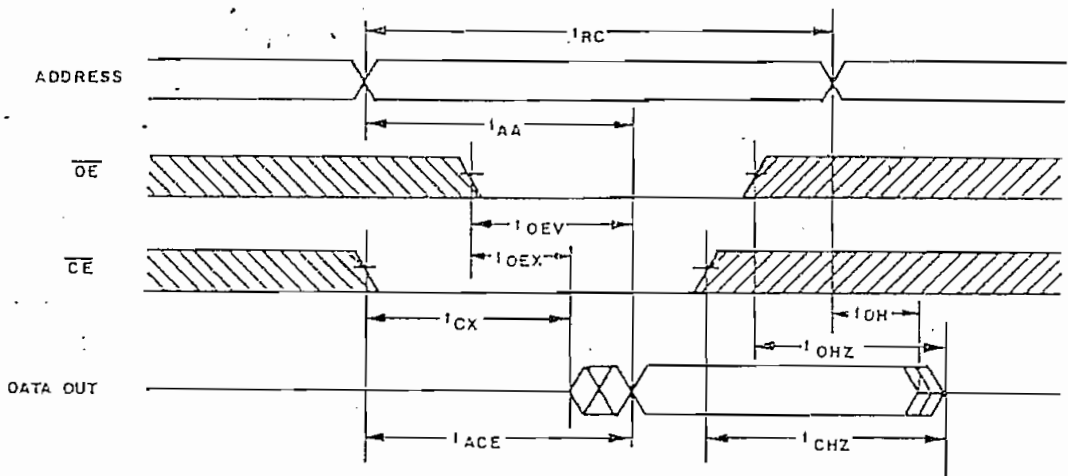
DYNAMIC ELECTRICAL CHARACTERISTICS at $T_A = 0$ to $+70^\circ\text{C}$ (CDM6116A-2, CDM6116A-3);

$T_A = -40^\circ$ to $+85^\circ\text{C}$ (CDM6116A-9), $V_{DD} = 5\text{ V} \pm 10\%$,

Input $t_r, t_f = 10\text{ ns}$; $C_L = 100\text{ pF}$ and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC		LIMITS						UNIT
		CDM6116A-2		CDM6116A-3		CDM6116A-9		
		MIN. [†]	MAX.	MIN. [†]	MAX.	MIN. [†]	MAX.	
Read Cycle Times See Fig. 2								
Read Cycle Time	t_{RC}	200	—	150	—	250	—	ns
Address Access Time	t_{AA}	—	200	—	150	—	250	
Chip Enable Access Time	t_{ACE}	—	200	—	150	—	250	
Chip Enable to Output Active	t_{CX}	15	—	15	—	15	—	
Output Enable to Output Valid	t_{OEV}	—	120	—	60	—	150	
Output Enable to Output Active	t_{OEX}	15	—	15	—	15	—	
Chip Disable to Output "High Z"	t_{CHZ}	0	60	0	50	0	80	
Output Disable to Output "High Z"	t_{OHZ}	0	60	0	50	0	80	
Output Hold from Address Change	t_{OH}	15	—	15	—	15	—	

[†]Time required by a limit device to allow for the indicated function.



\overline{WE} IS HIGH DURING READ CYCLE
TIMING MEASUREMENT REFERENCE
LEVEL IS 1.5V

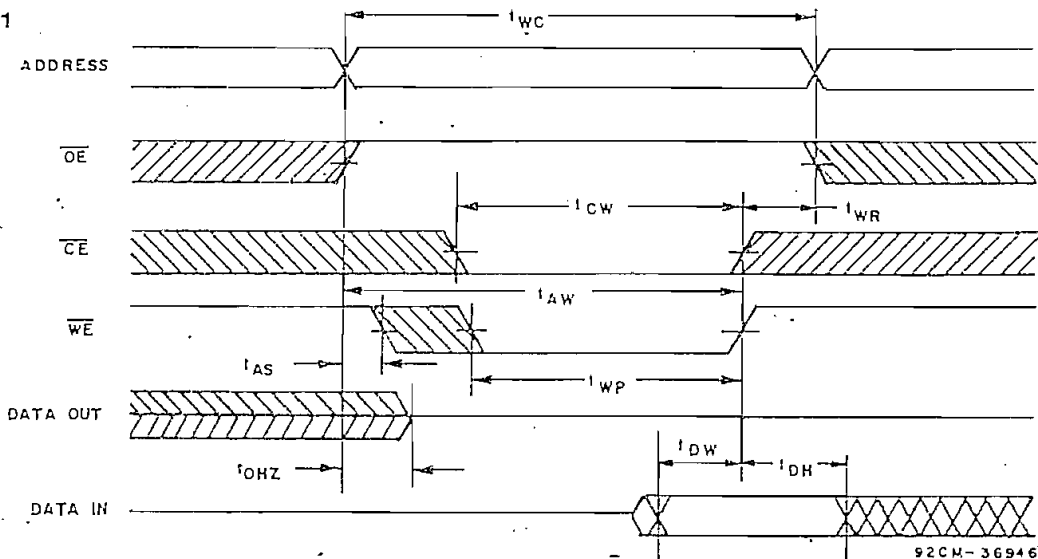
92CN-36544

Fig. 2 - Read-cycle timing waveforms.

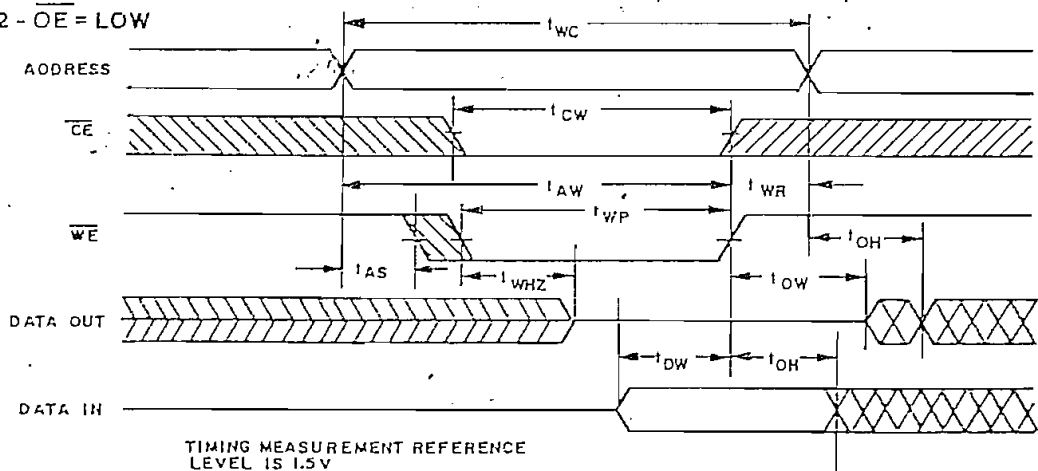
CHARACTERISTIC		LIMITS						UNITS
		CDM6116A-2		CDM6116A-3		CDM6116A-9		
		MIN.†	MAX.	MIN.†	MAX.	MIN.†	MAX.	
Write Cycle Times See Fig. 3								
Write Cycle Time	t_{WC}	200	—	150	—	250	—	ns
Chip Enable to End of WRITE	t_{CW}	160	—	90	—	200	—	
Address Valid to End of WRITE	t_{AW}	160	—	90	—	200	—	
Address Setup Time	t_{AS}	0	—	0	—	0	—	
Write Pulse Width	t_{WP}	160	—	90	—	200	—	
Write Recovery Time	t_{WR}	10	—	0	—	10	—	
Output Disable to Output "High Z"	t_{OHZ}	0	60	0	50	0	80	
Write to Output "High Z"	t_{WHZ}	0	60	0	40	0	80	
Input Data Setup Time	t_{DW}	80	—	50	—	100	—	
Input Data Hold Time	t_{DH}	10	—	5	—	10	—	
Output Active from End of Write	t_{OW}	10	—	10	—	10	—	

†Time required by a limit device to allow for the indicated function.

WRITE CYCLE 1



WRITE CYCLE 2 - OE = LOW



TIMING MEASUREMENT REFERENCE LEVEL IS 1.5V

Fig. 3 - Write-cycle timing waveforms.

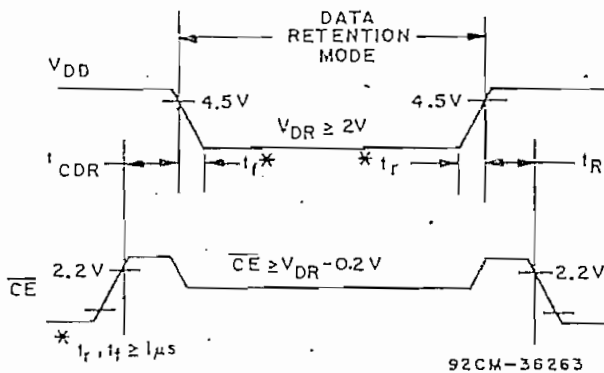
DATA RETENTION CHARACTERISTICS at $T_A = 0$ to 70°C (CDM6116A-2, CDM6116A-3);
 $T_A = -40$ to $+85^\circ\text{C}$ (CDM6116A-9), Unless otherwise noted, See Fig. 4.

CHARACTERISTIC	TEST CONDITIONS	LIMITS		UNITS	
		ALL TYPES			
		MIN.	MAX.		
Minimum Data Retention Voltage	V_{DR}^a	$\overline{CE} \geq V_{DD} - 0.2\text{ V}$	2	—	V
Data Retention Quiescent Current	I_{DDDR}^b				μA
	CDM6116A-2	$V_{DD} = 3\text{ V}, \overline{CE} \geq 2.8\text{ V}$	—	15	
	CDM6116A-3	$V_{DD} = 3\text{ V}, \overline{CE} \geq 2.8\text{ V}$	—	25	
	CDM6116A-9	$V_{DD} = 3\text{ V}, \overline{CE} \geq 2.8\text{ V}$	—	50	
Chip Disable to Data Retention Time	t_{CDR}	See Fig. 4	0	—	ns
Recovery to Normal Operation Time	t_R	See Fig. 4	t_{RC}	—	

^a $V_{DR} = 4.5\text{ V min.}$ at $T_A = -40^\circ$ to 0°C for CDM6116A-9.

^b $I_{DDDR} = 7.5\ \mu\text{A max.}$ at $T_A = 0^\circ$ to $+40^\circ\text{C}$ for CDM6116A-2 and CDM6116A-3.

^c t_{RC} = Read Cycle Time.



92CM-36263
 Fig. 4 - Low V_{DD} data retention timing waveforms.

OPERATING AND HANDLING CONSIDERATIONS

1. Handling

All inputs and outputs of RCA CMOS devices have a network for electrostatic protection during handling. Recommended handling practices for CMOS devices are described in ICAN-6525, "Guide to Better Handling and Operation of CMOS Integrated Circuits."

2. Operating

Operating Voltage

During operation near the maximum supply voltage limit, care should be taken to avoid or suppress power supply turn-on and turn-off transients, power supply ripple, or ground noise; any of these conditions must

not cause $V_{DD} - V_{SS}$ to exceed the absolute maximum rating.

Input Signals

To prevent damage to the input protection circuit, input signals should never be greater than V_{DD} nor less than V_{SS} .

Unused Inputs

A connection must be provided at every input terminal. All unused input terminals must be connected to either V_{DD} or V_{SS} , whichever is appropriate.

Output Short Circuits

Shorting of outputs to V_{DD} or V_{SS} may damage CMOS devices by exceeding the maximum device dissipation.

ORDERING INFORMATION

Package Option Ordering Information

The RCA-CDM6116A family packages and electrical options are identified by suffix letters indicated in the following chart. When ordering a Memory/Microprocessor device, it is important that the appropriate suffix letter be affixed to the type number of the device.

Package/Option	Suffix Letter*
Dual-In-Line Side-Braced Ceramic	D
Dual-In-Line Plastic	E
Chip (when applicable)	H

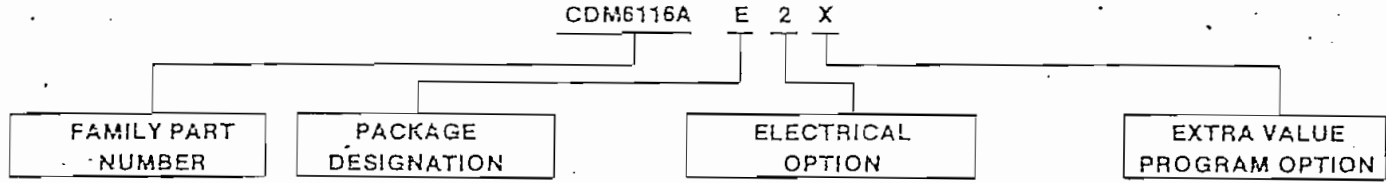
Package/Option

EVP Screening (Extra Value Program)
 i.e., Burn-In - optional for D, E
 package types
 Electrical Options:
 0° to +70°C Temperature Range
 -40° to +85°C Temperature Range

Suffix Letter*

X
 2 or 3
 9

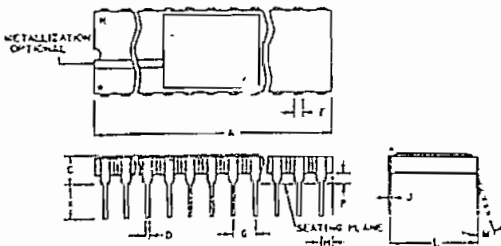
For example, a CDM6116A with electrical option 2 and in a dual-in-line plastic package will be identified as the CDM6116AE2. A CDM6116AE2 with EVP screening option will be identified as the CDM6116AE2X.



DIMENSIONAL OUTLINES

E SUFFIX

24-Lead Dual-In-Line Plastic Package
 JEDEC MO-015-AA



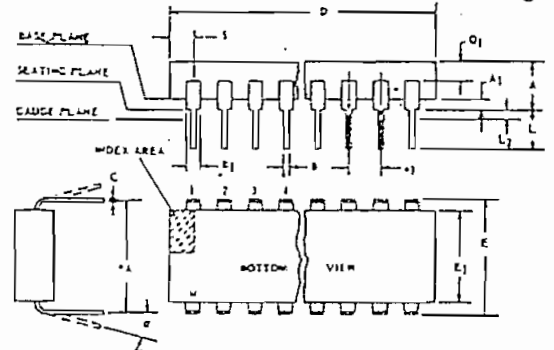
SYMBOL	INCHES		NOTE	MILLIMETERS	
	MIN.	MAX.		MIN.	MAX.
A	1.180	1.220		29.98	30.98
C	0.085	0.145		2.16	3.68
D	0.015	0.023		0.39	0.58
F	0.040 REF.			1.02 REF.	
G	0.100 BSC		1	2.54 BSC	
H	0.030	0.070		0.77	1.77
J	0.008	0.012	3	0.21	0.30
K	0.125	0.175		3.18	4.44
L	0.580	0.620	2	14.74	15.74
M	-	7°		-	7°
P	0.025	0.050		0.64	1.27
N	24			24	

NOTES: 92CS-30986R1

1. Leads within 0.005" (0.13 mm) radius of True Position at maximum material condition.
2. Center to center of leads when formed parallel.
3. When this device is supplied solder dipped, the maximum lead thickness (narrow portion) will not exceed 0.013" (0.33 mm).

D SUFFIX

24-Lead Dual-In-Line Side-Braced Ceramic Package



SYMBOL	INCHES		NOTE	MILLIMETERS	
	MIN.	MAX.		MIN.	MAX.
A	0.120	0.250		3.10	6.30
A1	0.020	0.070		0.51	1.77
B	0.016	0.020		0.407	0.508
B1	0.028	0.070		0.72	1.77
C	0.008	0.012	1	0.204	0.304
D	1.20	1.29		30.48	32.76
E	0.600	0.625		15.24	15.87
E1	0.515	0.580		13.09	14.73
e1	0.100 TP		2	2.54 TP	
eA	0.600 TP		2,3	15.24 TP	
L	0.100	0.200		2.54	5.00
L2	0.000	0.030		0.00	0.76
a	0°	15°	4	0°	15°
N	24		5	24	
N1	0		6	0	
Q1	0.040	0.075		1.02	1.90
S	0.040	0.100		1.02	2.54

NOTES: 92CS26938R3

- Refer to JEDEC Publication No. 95 for Rules for Dimensioning Axial Lead Product Outlines.
1. When this device is supplied solder-dipped, the maximum lead thickness (narrow portion) will not exceed 0.013" (0.33 mm).
 2. Leads within 0.005" (0.127 mm) radius of True Position (TP) at gauge plane with maximum material condition.
 3. eA applies in zone L2 when unit is installed.
 4. Applies to spread leads prior to installation.
 5. N is the maximum quantity of lead positions.
 6. N1 is the quantity of allowable missing leads.

When incorporating RCA Solid State Devices in equipment, it is recommended that the designer refer to "Operating Considerations for RCA Solid State Devices," Form No. 1CE-402, available on request from RCA Solid State Division, Box 3200, Somerville, N.J. 08876.



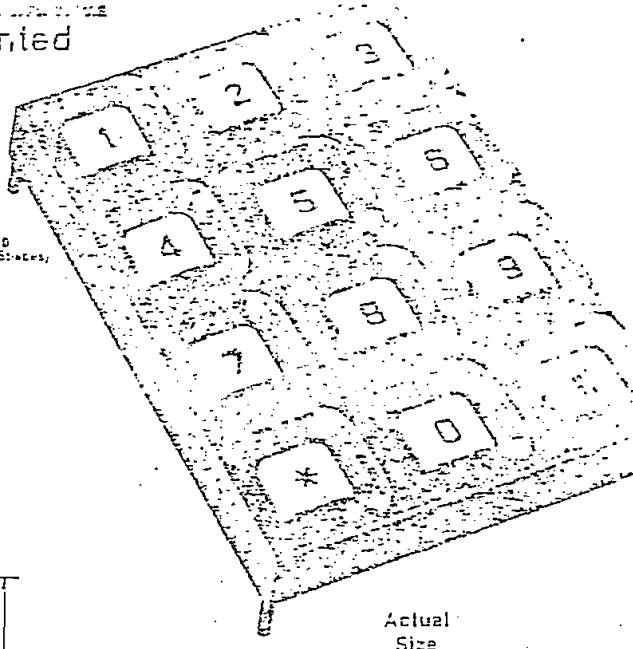
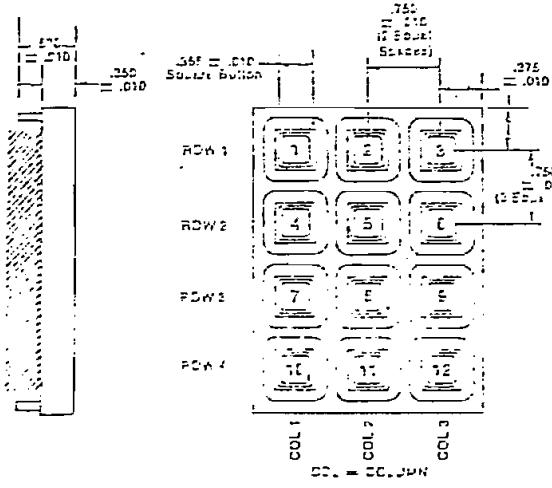
Solid State

Somerville, NJ • Brussels • Paris • London
 Hamburg • Sao Paulo • Hong Kong

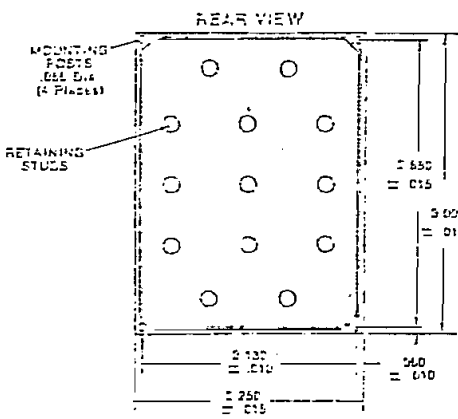
3/4 Inch Button Centers—Post Mounted

BUTTON NUMBERED FOR IDENTIFICATION PURPOSES ONLY. SEE LEGEND OPTIONS.

SEE LEGEND OPTION FOR OPTIONAL BEZEL.



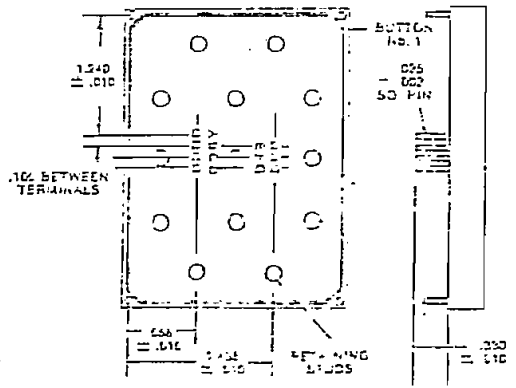
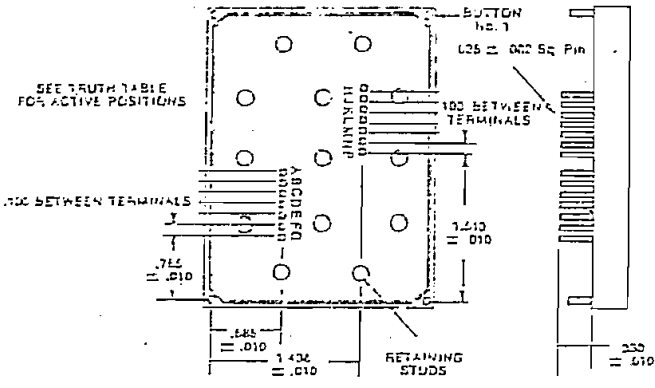
Actual Size



Terminal Locations and Truth Tables

2 OUT OF 7 CODE; SINGLE POLE/COMMON BUS

MATRIX CODE



Only the terminals indicated in the truth tables are supplied with keyboards. Terminals are lettered for identification purposes only and not lettered on product.

344	CODES		
	MATRIX	SINGLE POLE/COMMON BUS	2 OUT OF 7
1			
2			
3			
4			
5			
6			
7			
8			
9			
10			
11			
12			
13			
14			
15			
16			
17			
18			
19			
20			
21			
22			
23			
24			
25			
26			
27			
28			
29			
30			
31			
32			
33			
34			
35			
36			
37			
38			
39			
40			
41			
42			
43			
44			
45			
46			
47			
48			
49			
50			
51			
52			
53			
54			
55			
56			
57			
58			
59			
60			
61			
62			
63			
64			
65			
66			
67			
68			
69			
70			
71			
72			
73			
74			
75			
76			
77			
78			
79			
80			
81			
82			
83			
84			
85			
86			
87			
88			
89			
90			
91			
92			
93			
94			
95			
96			
97			
98			
99			
100			

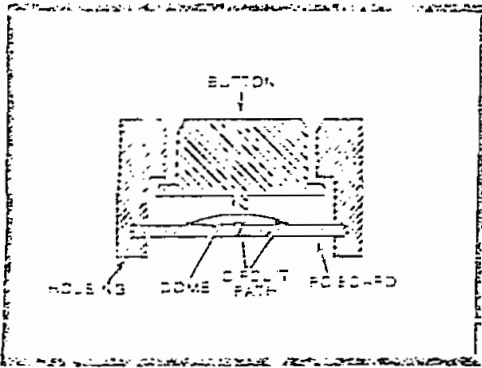
For Specifications, Legends and Ordering Information, see page C-3.

Available From Your Local GRAYHILL Distributor

Standard Dome Keyboards
Series 83, 84, and 86

Features

- Low Profile
- Positive Audible and Tactile Feedback
- Recessed Buttons



Snap-Dome Contact

Legend Choices

- Molded-In
- Self Legend, Snap-On Cap
- Printed—Contact Grayhill

Circuitry Choices

- Matrix Code
- Single Pole/Common Bus
- 2 out of 7 Code

Specifications

Rating Criteria

Rating At 24 VDC: 10 millamps, resistive.

Contact Resistance: Compatible with MOS, TTL and DTL

Voltage Breakdown: 250 VAC between normally insulated parts.

Life Expectancy: 3,000,000 operations per button.

Contact Bounce: Less than 4 milliseconds at make, 10 milliseconds at break.

Operating Temperature: -40°C. to +60°C.

Materials and Finishes

Housing: ABS Plastic (Black).

Button: ABS Plastic (White with Molded-in Black Legend; White in Self Legend Style.)

Snap-On Cap: Clear Polycarbonate.

Terminals: Copper Alloy, CDA No. 725.

Operating Features

Button Travel: 0.015" nominal total travel.

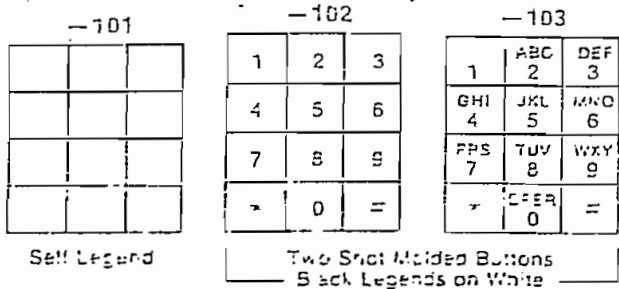
Typical Operating Force: 350 grams

Note:

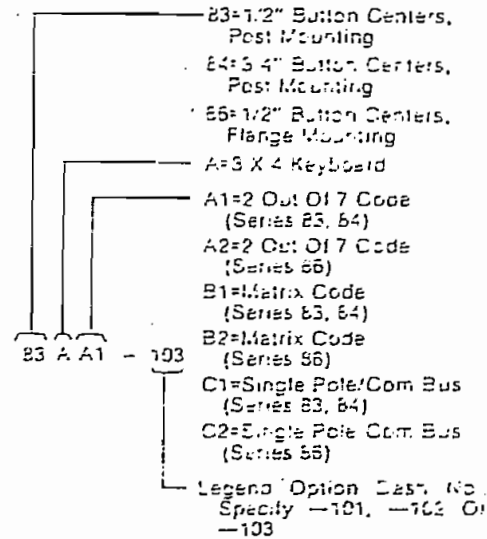
The 2 of 7 "Telephone Code" was developed primarily for facsimile generation. To discuss critical data input applications, please contact Grayhill.

Standard Legends

The self legend style has a snap-on cap under which a legend can be inserted. It is especially useful for prototype applications. The other styles and formats shown below have permanent, molded-in legends. For a complete description of standard legends and legend options, see Pages C-13 and C-14.



Ordering Information



Sample part no. orders 3 X 4 keyboard, 1.2" button centers post mounting, 2 out of 7 code output, standard telephone legend in two-shot molded buttons black lettering on white.

Prices See Page C-15

Available From Your Local GRAYHILL Distributor

LM741/LM741A/LM741C/LM741E



Operational Amplifiers/Buffers

LM741/LM741A/LM741C/LM741E Operational Amplifier

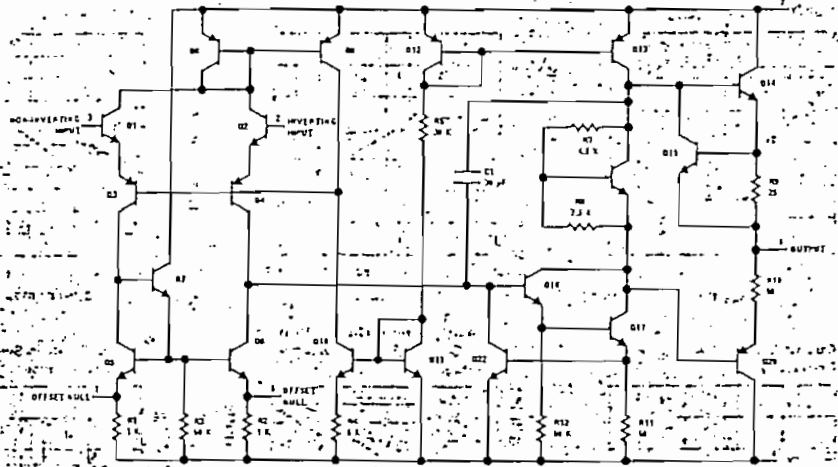
General Description

The LM741 series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. They are direct, plug-in replacements for the 709C, LM201, MC1439 and 748 in most applications.

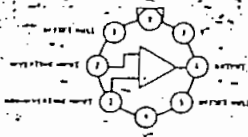
The amplifiers offer many features which make their application nearly foolproof: overload protection on the input and output, no latch-up when the common mode range is exceeded, as well as freedom from oscillations.

The LM741C/LM741E are identical to the LM741/LM741A except that the LM741C/LM741E have their performance guaranteed over a 0°C to +70°C temperature range, instead of -55°C to +125°C.

Schematic and Connection Diagrams (Top Views)



Metal Can Package



Note: Pin 4 connected to Vcc.

Order Number LM741H, LM741AH, LM741CH or LM741EH
See NS Package H08C

Dual-In-Line Package



Order Number LM741CN or LM741EN
See NS Package N08B
Order Number LM741CJ
See NS Package J08A

Dual-In-Line Package



Order Number LM741CN-14
See NS Package N14A
Order Number LM741J-14, LM741AJ-14 or LM741CJ-14
See NS Package J14A

Absolute Maximum Ratings

	LM741A	LM741E	LM741	LM741C
Supply Voltage	±22V	±22V	±22V	±18V
Power Dissipation (Note 1)	500 mW	500 mW	500 mW	500 mW
Differential Input Voltage	±30V	±30V	±30V	±30V
Input Voltage (Note 2)	±15V	±15V	±15V	±15V
Output Short Circuit Duration	Indefinite	Indefinite	Indefinite	Indefinite
Operating Temperature Range	-55°C to +125°C	0°C to +70°C	-55°C to +125°C	0°C to +70°C
Storage Temperature Range	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C	300°C	300°C	300°C

Electrical Characteristics (Note 3)

PARAMETER	CONDITIONS	LM741A/LM741E			LM741		LM741C		UNITS
		MIN	TYP	MAX	MIN	MAX	MIN	MAX	
Offset Voltage	$T_A = 25^\circ\text{C}$				1.0	5.0	2.0	6.0	mV
	$R_S \leq 10\text{ k}\Omega$		0.8	3.0					mV
	$R_S \leq 50\Omega$			4.0					mV
Input Offset Drift	$T_{\text{MIN}} \leq T_A \leq T_{\text{MAX}}$			15		6.0		7.5	$\mu\text{V}/^\circ\text{C}$
	$R_S \leq 10\text{ k}\Omega$								mV
Offset Voltage Range	$T_A = 25^\circ\text{C}, V_S = \pm 20\text{V}$	±10			±15		±15		mV
Offset Current	$T_A = 25^\circ\text{C}$		3.0	30	20	200	20	200	nA
	$T_{\text{MIN}} \leq T_A \leq T_{\text{MAX}}$			70	85	500		300	nA
Input Offset Current Drift				0.5					$\text{nA}/^\circ\text{C}$
Input Current	$T_A = 25^\circ\text{C}$		30	80	80	500	80	500	nA
	$T_{\text{MIN}} \leq T_A \leq T_{\text{MAX}}$			0.210		1.5		0.8	μA
Resistance	$T_A = 25^\circ\text{C}, V_S = \pm 20\text{V}$	1.0	6.0		0.3	2.0	0.3	2.0	M Ω
	$T_{\text{MIN}} \leq T_A \leq T_{\text{MAX}}, V_S = \pm 20\text{V}$	0.5							M Ω
Voltage Range	$T_A = 25^\circ\text{C}$				±12	±13	±12	±13	V
	$T_{\text{MIN}} \leq T_A \leq T_{\text{MAX}}$								V
Signal Voltage Gain	$T_A = 25^\circ\text{C}, R_L \geq 2\text{ k}\Omega$								V/mV
	$V_S = \pm 20\text{V}, V_O = \pm 15\text{V}$	50							V/mV
	$V_S = \pm 15\text{V}, V_O = \pm 10\text{V}$				50	200	20	200	V/mV
	$T_{\text{MIN}} \leq T_A \leq T_{\text{MAX}}, R_L \geq 2\text{ k}\Omega$								V/mV
	$V_S = \pm 20\text{V}, V_O = \pm 15\text{V}$	32							V/mV
Output Voltage Swing	$V_S = \pm 15\text{V}, V_O = \pm 10\text{V}$				25		15		V/mV
	$V_S = \pm 5\text{V}, V_O = \pm 2\text{V}$	10							V
	$V_S = \pm 20\text{V}$	±16							V
	$R_L \geq 10\text{ k}\Omega$								V
	$R_L \geq 2\text{ k}\Omega$	±15							V
Output Short Circuit Current	$T_A = 25^\circ\text{C}$				±12	±14	±12	±14	V
	$T_{\text{MIN}} \leq T_A \leq T_{\text{MAX}}$				±10	±13	±10	±13	V
	$T_A = 25^\circ\text{C}$	10	25	35	25		25		mA
Common-Mode Rejection Ratio	$T_{\text{MIN}} \leq T_A \leq T_{\text{MAX}}$	10		40					mA
	$R_S \leq 10\text{ k}\Omega, V_{\text{CM}} = \pm 12\text{V}$				70	90	70	90	dB
	$R_S \leq 50\text{ k}\Omega, V_{\text{CM}} = \pm 12\text{V}$	80	95						dB

LM741/LM741A/LM741E/LM741C/LM741E



LM741/LM741A/LM741C/LM741E

Electrical Characteristics (Continued)

PARAMETER	CONDITIONS	LM741A/LM741E			LM741			LM741C		
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX
Supply Voltage Rejection Ratio	$T_{A\text{MIN}} \leq T_A \leq T_{A\text{MAX}}$ $V_S = \pm 20V$ to $V_S = \pm 5V$ $R_S \leq 50\Omega$ $R_S \leq 10\Omega$	86	96					77	96	
Transient Response	$T_A = 25^\circ\text{C}$, Unity Gain									
Rise Time			0.25	0.8		0.3			0.3	
Overshoot			6.0	20		5			5	
Bandwidth (Note 4)	$T_A = 25^\circ\text{C}$	0.437	1.5							
Slew Rate	$T_A = 25^\circ\text{C}$, Unity Gain	0.3	0.7			0.5			0.5	
Supply Current	$T_A = 25^\circ\text{C}$					1.7	2.8		1.7	2.8
Power Consumption	$T_A = 25^\circ\text{C}$ $V_S = \pm 20V$		80	150						
	$V_S = \pm 15V$					50	85		50	85
	$V_S = \pm 20V$									
LM741A	$T_A = T_{A\text{MIN}}$			165						
	$T_A = T_{A\text{MAX}}$			135						
LM741E	$V_S = \pm 20V$			150						
	$T_A = T_{A\text{MIN}}$			150						
	$T_A = T_{A\text{MAX}}$			150						
LM741	$V_S = \pm 15V$									
	$T_A = T_{A\text{MIN}}$					60	100			
	$T_A = T_{A\text{MAX}}$					45	75			

Note 1: The maximum junction temperature of the LM741/LM741A is 150°C, while that of the LM741C/LM741E is 100°C. For operation at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W junction to ambient, or 4 junction to case. The thermal resistance of the dual-in-line package is 100°C/W junction to ambient.

Note 2: For supply voltages less than ±15V, the absolute maximum input voltage is equal to the supply voltage.

Note 3: Unless otherwise specified, these specifications apply for $V_S = \pm 15V$, $-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ (LM741/LM741A). For the LM741E, these specifications are limited to $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$.

Note 4: Calculated value from: $BW \text{ (MHz)} = 0.35/\text{Rise Time} \text{ (}\mu\text{s)}$.

TYPES SN54132, SN54LS132, SN54S132,
 SN74132, SN74LS132, SN74S132
 QUADRUPLE 2-INPUT POSITIVE-NAND SCHMITT TRIGGERS
 REVISED DECEMBER 1983

- Operation from Very Slow Edges
- Improved Line-Receiving Characteristics
- High Noise Immunity

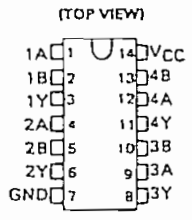
description

Each circuit functions as a 2-input NAND gate, but because of the Schmitt action, it has different input threshold levels for positive (V_{T+}) and for negative going (V_{T-}) signals.

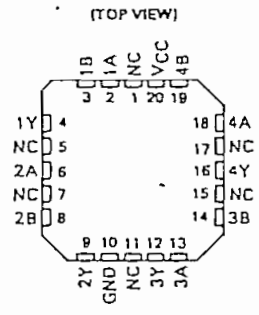
These circuits are temperature-compensated and can be triggered from the slowest of input ramps and still give clear, jitter-free output signals.

The SN54132, SN54LS132, and SN54S132 are characterized for operation over the full military temperature range of -55°C to 125°C . The SN74132, SN74LS132, and SN74S132 are characterized for operation from 0°C to 70°C .

SN54132, SN54LS132, SN54S132 ... J OR W PACKAGE
 SN74132 ... J OR N PACKAGE
 SN74LS132, SN74S132 ... D, J OR N PACKAGE

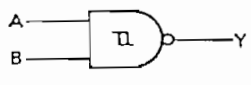


SN54LS132, SN54S132 ... FK PACKAGE
 SN74LS132, SN74S132 ... FN PACKAGE



NC-No internal connection

logic diagram (each gate)



positive logic

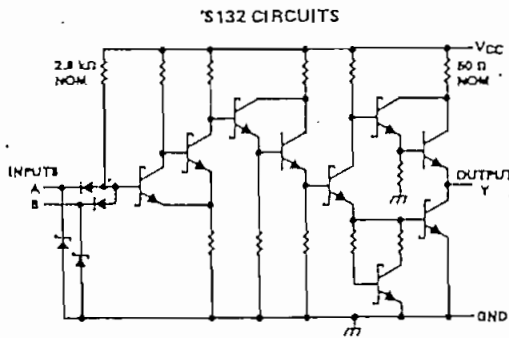
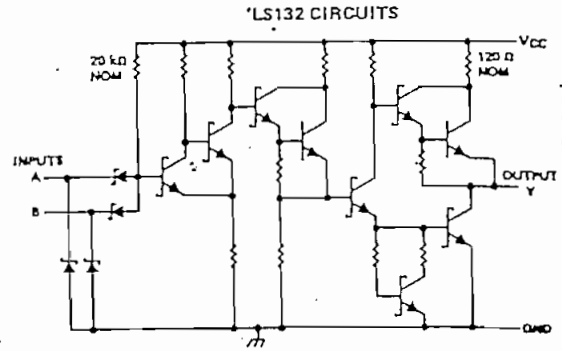
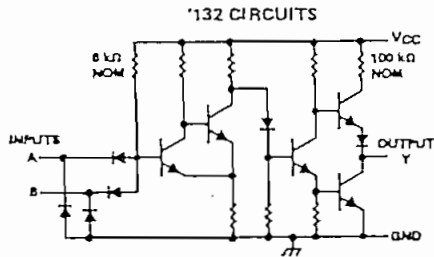
$$Y = \overline{AB}$$



TTL DEVICES

TYPES SN54132, SN54LS132, SN54S132,
SN74132, SN74LS132, SN74S132
QUADRUPLE 2-INPUT POSITIVE-NAND SCHMITT TRIGGERS

schematics



Resistor values shown are nominal.



TTL DEVICES

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage: '132, 'S132	5.5 V
'LS132	7 V
Operating free-air temperature: SN54'	-55°C to 125°C
SN74'	0°C to 70°C
Storage temperature range	-65°C to 160°C

NOTE 1: Voltage values are with respect to network ground terminal.

TYPES SN54LS132, SN74LS132
 QUADRUPLE 2-INPUT POSITIVE-NAND SCHMITT TRIGGERS

recommended operating conditions

	SN54LS132			SN74LS132			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC} * Supply voltage	4.5	5	5.5	4.75	5	5.25	V
I _{OH} High-level output current			-0.4			-0.4	mA
I _{OL} Low-level output current			4			8	mA
T _A Operating free-air temperature	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS ¹	SN54LS132			SN74LS132			UNIT
		MIN	TYP†	MAX	MIN	TYP†	MAX	
V _{T+}	V _{CC} - 5 V	1.4	1.6	1.9	1.4	1.6	1.9	V
V _{T-}	V _{CC} - 5 V	0.5	0.8	1	0.5	0.8	1	V
Hysteresis (V _{T+} - V _{T-})	V _{CC} - 5 V	0.4	0.8		0.4	0.8		V
V _{IK}	V _{CC} - MIN, I _I = -18 mA			-1.5			-1.5	V
V _{OH}	V _{CC} - MIN, V _I = 0.5 V, I _{OH} = -0.4 mA	2.5	3.4		2.7	3.4		V
V _{OL}	V _{CC} - MIN, V _I = 1.9 V	I _{OL} = 4 mA			0.25	0.4		V
		I _{OL} = 8 mA				0.35	0.5	
I _{T+}	V _{CC} - 5 V, V _I = V _{T+}				-0.14			mA
I _{T-}	V _{CC} - 5 V, V _I = V _{T-}				-0.18			mA
I _I	V _{CC} - MAX, V _I = 7 V				0.1	0.1		mA
I _{IH}	V _{CC} - MAX, V _I = 2.7 V				20	20		µA
I _{IL}	V _{CC} - MAX, V _I = 0.4 V				-0.4	-0.4		µA
I _{OS} ‡	V _{CC} - MAX	-20	-100		-20	-100		mA
I _{CCH}	V _{CC} - MAX	5.9			11			mA
I _{CCL}	V _{CC} - MAX	8.2			14			mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.

§ Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.

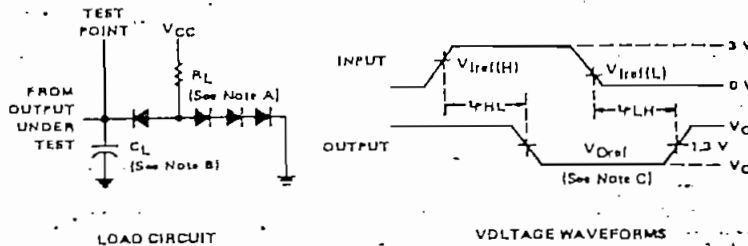
TTL DEVICES

switching characteristics, V_{CC} = 5 V, T_A = 25°C (see figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _{PLH}	Any	Y	R _L = 2 kΩ, C _L = 15 pF		15	22	ns
t _{PHL}				15	22	ns	

TYPES SN54132, SN54LS132, SN54S132,
 SN74132, SN74LS132, SN74S132
 QUADRUPLE 2-INPUT POSITIVE-NAND SCHMITT TRIGGERS

PARAMETER MEASUREMENT INFORMATION



NOTES: A. All diodes are 1N9004 or equivalent.
 B. C_L includes probe and jig capacitance.
 C. Generator characteristics and reference voltages are:

	Generator Characteristics				Reference Voltages		
	Z _{out}	PRR	t _r	t _f	V _{Iref(H)}	V _{Iref(L)}	V _{Oref}
SN54 [†] /SN74 [†]	50	-1 MHz	10 ns	10 ns	1.7 V	0.9 V	1.5 V
SN54LS [†] /SN74LS [†]	50	1 MHz	15 ns	6 ns	1.6 V	0.8 V	1.3 V
S132	50	1 MHz	2.5 ns	2.5 ns	1.8 V	1.2 V	1.5 V

FIGURE 1

TYPES SN54132, SN74132
QUADRUPLE 2-INPUT POSITIVE-NAND SCHMITT TRIGGERS

recommended operating conditions

	SN54132			SN74132			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC} Supply voltage	4.5	5	5.5	4.75	5	5.25	V
I _{OH} High-level output current			-0.8			-0.8	mA
I _{OL} Low-level output current			16			16	mA
T _A Operating free-air temperature	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V _{T+}	V _{CC} = 5 V		1.5	1.7	2	V
V _{T-}	V _{CC} = 5 V		0.5	0.9	1.1	V
Hysteresis (V _{T+} - V _{T-})	V _{CC} = 5 V		0.4	0.8		V
V _{IK}	V _{CC} - MIN, I _I = -12 mA				-1.5	V
V _{OH}	V _{CC} - MIN, V _I = 0.5 V, I _{OH} = -0.8 mA		2.4	3.4		V
V _{OL}	V _{CC} - MIN, V _I = 2 V, I _{OL} = 15 mA			0.2	0.4	V
I _{T+}	V _{CC} = 5 V, V _I = V _{T+}			-0.43		mA
I _{T-}	V _{CC} = 5 V, V _I = V _{T-}			-0.56		mA
I _I	V _{CC} - MAX, V _I = 5.5 V				7	mA
I _{IH}	V _{CC} - MAX, V _I = 2.4 V				40	μA
I _{IL}	V _{CC} - MAX, V _I = 0.4 V			-0.8	-1.2	mA
I _{OS‡}	V _{CC} - MAX		-18		-55	mA
I _{CCH}	V _{CC} - MAX			15	24	mA
I _{CCL}	V _{CC} - MAX			26	40	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.

§ Not more than one output should be shorted at a time.

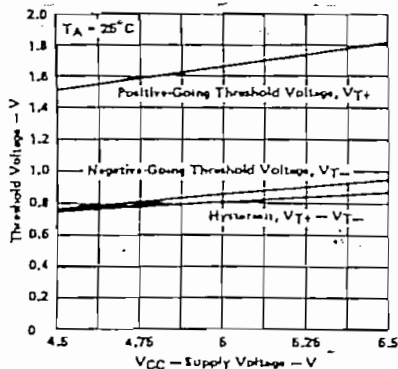
switching characteristics, V_{CC} = 5 V, T_A = 25°C (see figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS		MIN	TYP	MAX	UNIT
t _{PLH}	Any	Y	R _L = 400 Ω,	C _L = 15 pF		15	22	ns
t _{PHL}						15	22	ns

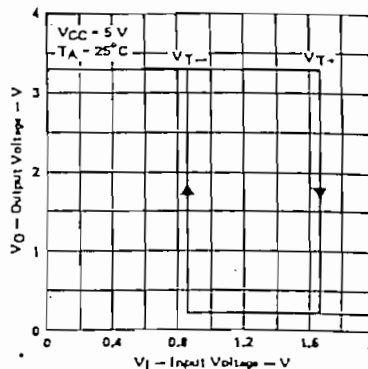
TYPES SN54LS132, SN74LS132
QUADRUPLE 2-INPUT POSITIVE-NAND SCHMITT TRIGGERS

TYPICAL CHARACTERISTICS OF 'LS132 CIRCUITS

THRESHOLD VOLTAGES AND HYSTERESIS
vs
SUPPLY VOLTAGE



OUTPUT VOLTAGE
vs
INPUT VOLTAGE

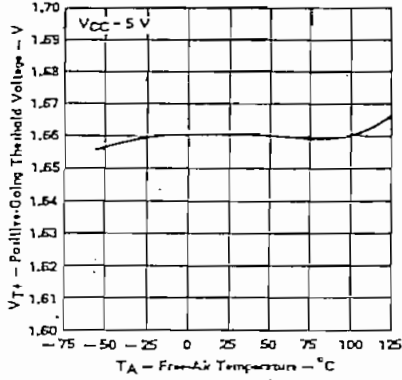


TL DEVICES

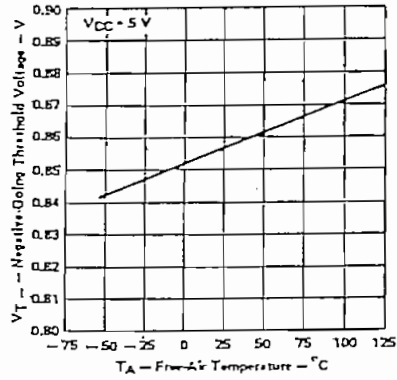
TYPES SN54LS132, SN74LS132
 QUADRUPLE 2-INPUT POSITIVE-NAND SCHMITT TRIGGERS

TYPICAL CHARACTERISTICS OF 'LS132 CIRCUITS

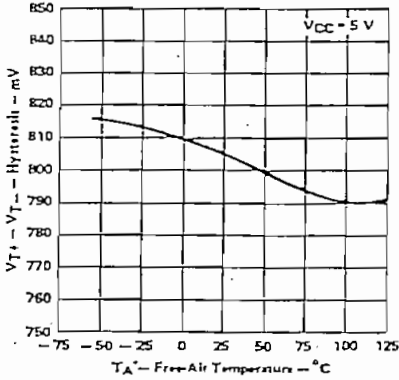
POSITIVE-GOING THRESHOLD VOLTAGE
 vs
 FREE-AIR TEMPERATURE



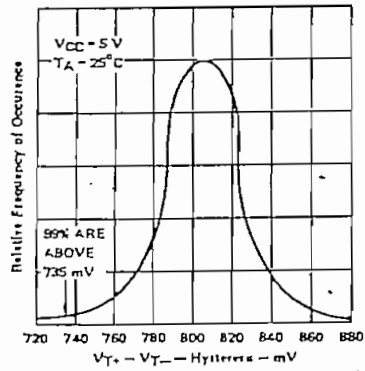
NEGATIVE-GOING THRESHOLD VOLTAGE
 vs
 FREE-AIR TEMPERATURE



HYSTERESIS
 vs
 FREE-AIR TEMPERATURE



DISTRIBUTION OF UNITS
 FOR HYSTERESIS

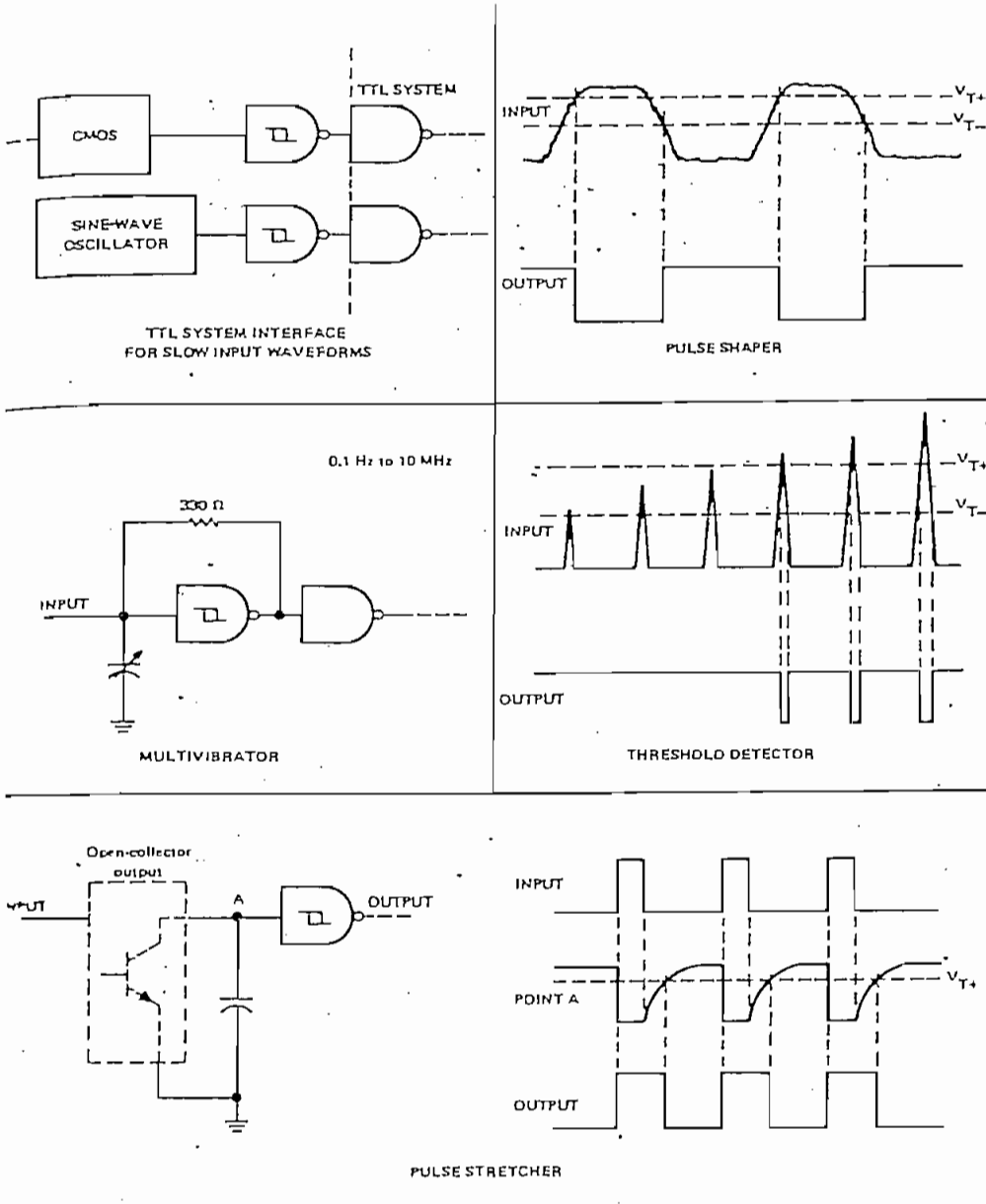


* Data for temperatures below 0°C and above 70°C and supply voltages below 4.75 V and above 5.25 V are applicable for SN54LS132 only.

TTL DEVICES

TYPES SN54132, SN54LS132, SN54S132,
SN74132, SN74LS132, SN74S132
QUADRUPLE 2-INPUT POSITIVE-NAND SCHMITT TRIGGERS

TYPICAL APPLICATION DATA



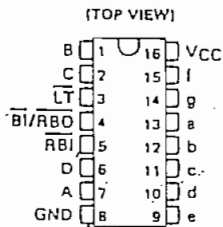
TTL DEVICES

TYPES SN5446A, '47A, '48, '49, SN54L46, 'L47, SN54LS47, 'LS48, 'LS49,
SN7446A, '47A, '48, SN74LS47, 'LS48, 'LS49
BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

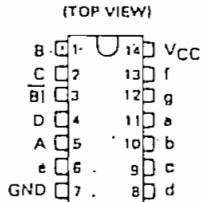
MARCH 1974 REVISED DECEMBER 1983

'46A, '47A, 'L46, 'L47, 'LS47 feature	'48, 'LS48 feature	'49, 'LS49 feature
<ul style="list-style-type: none"> • Open-Collector Outputs Drive Indicators Directly • Lamp-Test Provision • Leading/Trailing Zero Suppression 	<ul style="list-style-type: none"> • Internal Pull-Ups Eliminate Need for External Resistors • Lamp-Test Provision • Leading/Trailing Zero Suppression 	<ul style="list-style-type: none"> • Open-Collector Outputs • Blanking Input

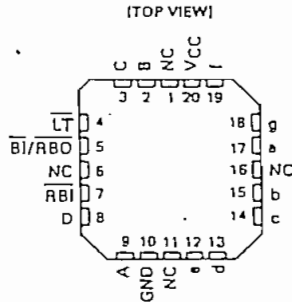
SN54L46, SN54L47 ... J PACKAGE
SN5446A, SN5447A, SN54LS47, SN5448,
SN54LS48 ... J OR W PACKAGE
SN7446A, SN7447A,
SN7448 ... J OR N PACKAGE
SN74LS47, SN74LS48 ... D, J OR N PACKAGE



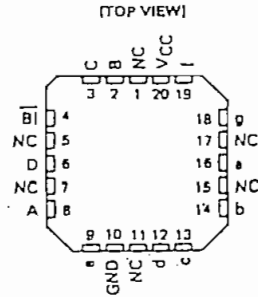
SN5449 ... W PACKAGE
SN54LS49 ... J OR W PACKAGE
SN74LS49 ... D, J OR N PACKAGE



SN54LS47, SN54LS48 ... FK PACKAGE
SN74LS47, SN74LS48 ... FN PACKAGE



SN54LS49 ... FK PACKAGE
SN74LS49 ... FN PACKAGE



NC - No internal connection



TTL DEVICES

TYPES SN5446A, '47A, '48, '49, SN54L46, 'L47, SN54LS47, 'LS48, 'LS49,
SN7446A, '47A, '48, SN74LS47, 'LS48, 'LS49
BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

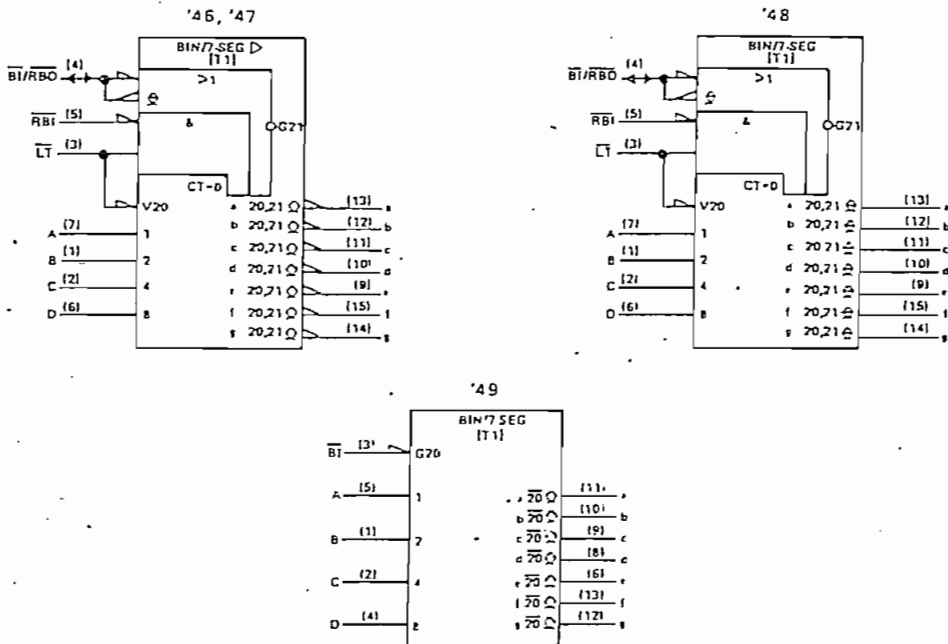
- All Circuit Types Feature Lamp Intensity Modulation Capability

TYPE	DRIVER OUTPUTS				TYPICAL POWER DISSIPATION	PACKAGES
	ACTIVE LEVEL	OUTPUT CONFIGURATION	SINK CURRENT	MAX VOLTAGE		
SN5446A	low	open-collector	40 mA	30 V	320 mW	J, W
SN5447A	low	open-collector	40 mA	15 V	320 mW	J, W
SN5448	high	24 Ω pull-up	6.4 mA	5.5 V	265 mW	J, W
SN5449	high	open-collector	10 mA	5.5 V	165 mW	W
SN54L46	low	open-collector	20 mA	30 V	160 mW	J
SN54L47	low	open-collector	20 mA	15 V	160 mW	J
SN54LS47	low	open-collector	12 mA	15 V	35 mW	J, W
SN54LS48	high	24 Ω pull-up	2 mA	5.5 V	125 mW	J, W
SN54LS49	high	open-collector	4 mA	5.5 V	40 mW	J, W
SN7446A	low	open-collector	40 mA	30 V	320 mW	J, N
SN7447A	low	open-collector	40 mA	15 V	320 mW	J, N
SN7448	high	24 Ω pull-up	6.4 mA	5.5 V	265 mW	J, N
SN74LS47	low	open-collector	24 mA	15 V	35 mW	J, N
SN74LS48	high	24 Ω pull-up	6 mA	5.5 V	125 mW	J, N
SN74LS49	high	open-collector	8 mA	5.5 V	40 mW	J, N

logic symbols



TTL DEVICES



Pin numbers shown on logic notation are for D, J or N packages

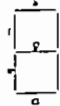
TYPES SN5446A, '47A, '48, '49, SN54L46, 'L47, SN54LS47, 'LS48, 'LS49, SN7446A, '47A, '48, SN74LS47, 'LS48, 'LS49 BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

description

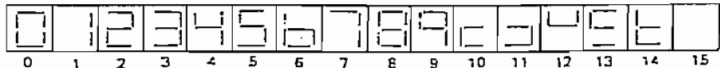
The '46A, 'L46, '47A, 'L47, and 'LS47 feature active-low outputs designed for driving common-anode VLEDs or incandescent indicators directly, and the '48, '49, 'LS48, 'LS49 feature active-high outputs for driving lamp buffers or common-cathode VLEDs. All of the circuits except '49 and 'LS49 have full ripple-blanking input/output controls and a lamp test input. The '49 and 'LS49 circuits incorporate a direct blanking input. Segment identification and resultant displays are shown below. Display patterns for BCD input counts above 9 are unique symbols to authenticate input conditions.

The '46A, '47A, '48, 'L46, 'L47, 'LS47, and 'LS48 circuits incorporate automatic leading and/or trailing-edge zero-blanking control (RBI and RBO). Lamp test (LT) of these types may be performed at any time when the BI/RBO node is at a high level. All types (including the '49 and 'LS49) contain an overriding blanking input (BI) which can be used to control the lamp intensity by pulsing or to inhibit the outputs. Inputs and outputs are entirely compatible for use with TTL logic outputs.

The SN54246/SN74246 through '249 and the SN54LS247/SN74LS247 through 'LS249 compose the \bar{E} and the \bar{G} with tails and have been designed to offer the designer a choice between two indicator fonts. The SN54249/SN74249 and SN54LS249/SN74LS249 are 16-pin versions of the 14-pin SN5449 and 'LS49. Included in the '249 circuit and 'LS249 circuits are the full functional capability for lamp test and ripple blanking, which is not available in the '49 or 'LS49 circuit.



SEGMENT IDENTIFICATION



-NUMERICAL DESIGNATIONS AND RESULTANT DISPLAYS

'46A, '47A, 'L46, 'L47, 'LS47 FUNCTION TABLE

DECIMAL OR FUNCTION	INPUTS						\bar{BI}/\bar{RBO}^1	OUTPUTS \bar{a}							NOTE
	LT ²	\bar{RBI}	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON	
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON	
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON	
6	H	X	L	H	H	L	H	OFF	OFF	ON	ON	ON	ON	ON	
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON	
9	H	X	H	L	L	H	H	ON	ON	ON	OFF	OFF	ON	ON	
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON	
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON	
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON	
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	OFF	ON	ON	
14	H	X	H	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON	
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
BI	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
\bar{RBI}	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	

H = high level, L = low level, X = irrelevant

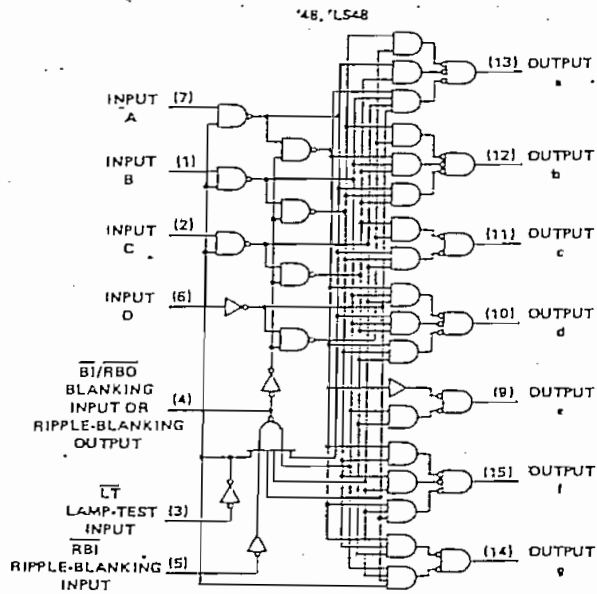
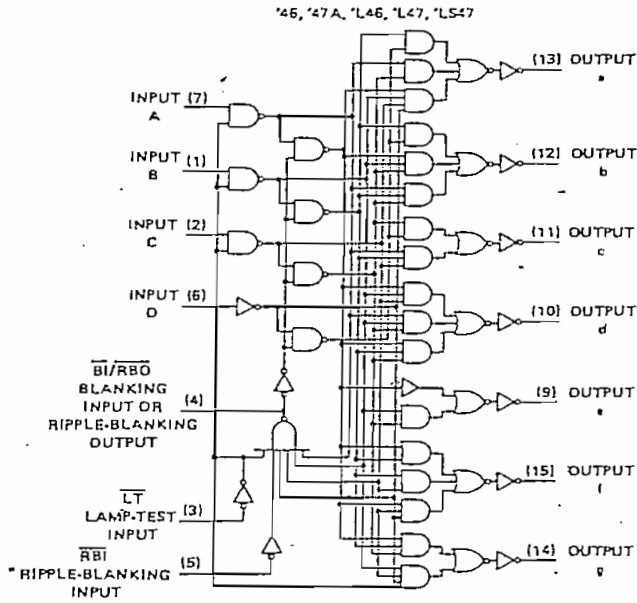
- The blanking input (\bar{BI}) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple blanking input (\bar{RBI}) must be open or high if blanking of a decimal zero is not desired.
- When a low logic level is applied directly to the blanking input (\bar{BI}), all segment outputs are off, regardless of the level of any other input.
- When ripple blanking input (\bar{RBI}) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs are off and the ripple blanking output (\bar{RBO}) goes to a low level (response condition).
- When the blanking input/ripple blanking output (\bar{BI}/\bar{RBO}) is open or held high and a low is applied to the lamp test input, all segment outputs are on.

¹ \bar{BI} and \bar{RBO} are driving a blanking input (\bar{BI}) and/or ripple blanking output (\bar{RBO}).

TTL DEVICES

TYPES SN5446A, '47A, '48, SN54L46, 'L47, SN54LS47, 'LS48,
SN7446A, '47A, '48, SN74LS47, 'LS48,
BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

logic diagrams



Pin numbers shown in logic notation are for D, J or N packages.

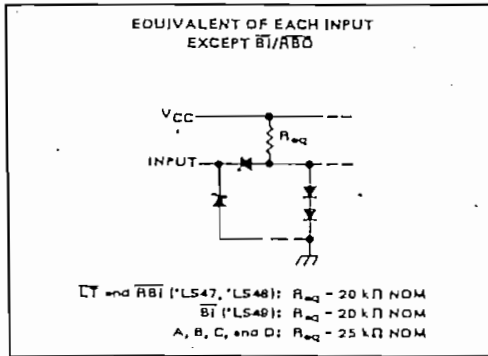


TTL DEVICES

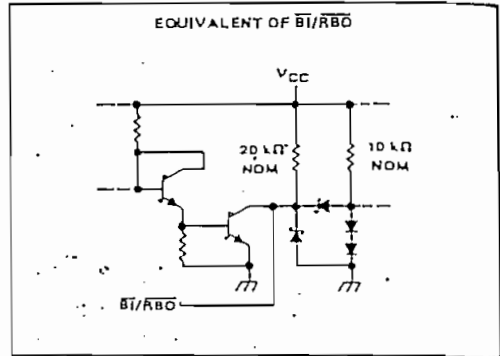
TYPES SN54LS47, 'LS48, 'LS49, SN74LS47, 'LS48, 'LS49
BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS.

schematics of inputs and outputs

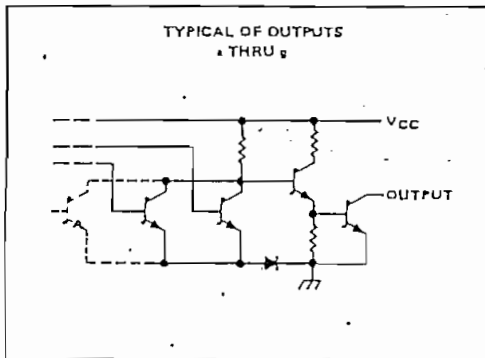
'LS47, 'LS48, 'LS49



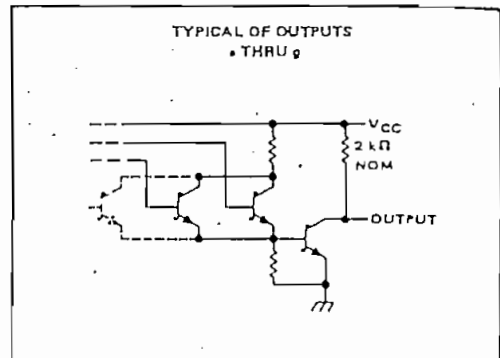
'LS47, 'LS48, 'LS49



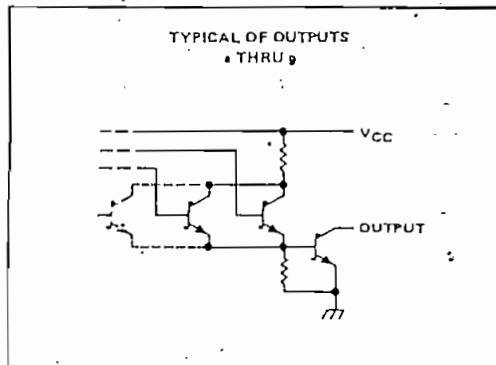
'LS47



'LS48



'LS49



TTL DEVICES

TYPES SN5446A, SN5447A, SN7446A, SN7447A
BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage	5.5 V
Current forced into any output in the off state	1 mA
Operating free-air temperature range: SN5446A, SN5447A	-55°C to 125°C
SN7446A, SN7447A	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

	SN5446A			SN5447A			SN7446A			SN7447A			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.5	5	5.5	4.75	5	5.25	4.75	5	5.25	V
On-state output voltage, $V_{O(on)}$ a thru g	30			15			30			15			V
On-state output current, $I_{O(on)}$ a thru g	40			40			40			40			mA
High-level output current, I_{OH} $\bar{B}/\bar{R}/\bar{B}\bar{O}$	-200			-200			-200			-200			μ A
Low-level output current, I_{OL} $\bar{B}/\bar{R}/\bar{B}\bar{O}$	8			8			8			8			mA
Operating free-air temperature, T_A	-55	125		-55	125		0	70		0	70		°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS ¹	MIN	TYP ²	MAX	UNIT	
V_{IH}	High-level input voltage		2			V	
V_{IL}	Low-level input voltage			0.8		V	
V_{IK}	Input clamp voltage	$V_{CC} - \text{MIN}$, $I_I = -12 \text{ mA}$			-1.5	V	
V_{OH}	High-level output voltage	$\bar{B}/\bar{R}/\bar{B}\bar{O}$ $V_{CC} - \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OH} = -200 \mu\text{A}$	2.4	3.7		V	
V_{OL}	Low-level output voltage	$\bar{B}/\bar{R}/\bar{B}\bar{O}$ $V_{CC} - \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OL} = 8 \text{ mA}$		0.27	0.4	V	
$I_{O(off)}$	Off-state output current	a thru g $V_{CC} - \text{MAX}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $V_{O(off)} = \text{MAX}$			250	μ A	
$V_{O(on)}$	On-state output voltage ³	a thru g $V_{CC} - \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{O(on)} = 40 \text{ mA}$		0.3	0.4	V	
I_I	Input current at maximum input voltage	Any input except $\bar{B}/\bar{R}/\bar{B}\bar{O}$ $V_{CC} - \text{MAX}$, $V_I = 5.5 \text{ V}$			1	mA	
I_{IH}	High-level input current	Any input except $\bar{B}/\bar{R}/\bar{B}\bar{O}$ $V_{CC} - \text{MAX}$, $V_I = 2.4 \text{ V}$			40	μ A	
I_{IL}	Low-level input current	Any input except $\bar{B}/\bar{R}/\bar{B}\bar{O}$ $V_{CC} - \text{MAX}$, $V_I = 0.4 \text{ V}$			-1.6	mA	
I_{OS}	Short-circuit output current	$\bar{B}/\bar{R}/\bar{B}\bar{O}$ $V_{CC} - \text{MAX}$			-4	mA	
I_{CC}	Supply current	$V_{CC} - \text{MAX}$, See Note 2			64	85	mA
					64	103	

¹ For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

² All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.

NOTE 2: I_{CC} is measured with all outputs open and all inputs at 4.5 V.

switching characteristics, $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{off}	Turn-off time from A input	$C_L = 15 \text{ pF}$, $R_L = 120 \Omega$			100	ns
t_{on}	Turn-on time from A input				100	
t_{off}	Turn-off time from \bar{R}/\bar{B} input	See Note 3			100	ns
t_{on}	Turn-on time from \bar{R}/\bar{B} input				100	

NOTE 3: See General Information Section for load circuit and voltage waveforms. t_{off} corresponds to t_{PLH} and t_{on} corresponds to t_{PLL} .



TTL DEVICES

TYPES SN54LS47, SN74LS47
BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage	7 V
Peak output current ($t_{pw} < 1$ ms, duty cycle $< 10\%$)	200 mA
Current forced into any output in the off state	1 mA
Operating free-air temperature range: SN54LS47	-55°C to 125°C
SN74LS47	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

PARAMETER	SN54LS47			SN74LS47			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
Low-level output voltage, $V_{O(off)}$	15			15			V
Low-level output current, $I_{O(on)}$	12			24			mA
High-level output current, I_{OH}	-50			-50			μA
Low-level output current, I_{OL}	1.6			3.2			mA
Operating free-air temperature, T_A	-55	125	0	70			$^{\circ}\text{C}$

Electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS ¹	SN54LS47		SN74LS47		UNIT
		MIN	TYP ²	MAX	MIN	
V_{IH}	High-level input voltage	2		2		V
V_{IL}	Low-level input voltage	0.7		0.8		V
V_{IK}	Input clamp voltage	-1.5		-1.5		V
V_{OH}	High-level output voltage	2.4 4.2		2.4 4.2		V
V_{OL}	Low-level output voltage	$I_{OL} = 1.6$ mA		0.25 0.4		V
		$I_{OL} = 3.2$ mA		0.35 0.5		
$I_{O(off)}$	Off-state output current	250		750		μA
$V_{O(on)}$	On-state output voltage	$I_{O(on)} = 12$ mA		0.25 0.4		V
		$I_{O(on)} = 24$ mA		0.35 0.5		
I_i	Input current at maximum input voltage	0.1		0.1		mA
I_{IH}	High-level input current	20		20		μA
I_{IL}	Low-level input current	-0.4		-0.4		mA
		-1.2		-1.2		
I_{OS}	Short-circuit output current	-0.3	-7	-0.3	-7	mA
I_{CC}	Supply current	7	13	7	13	mA

¹For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

²Typical values are at $V_{CC} = 5$ V, $T_A = 25^{\circ}\text{C}$.

NOTE 2: I_{CC} is measured with all outputs open and all inputs at 4.5 V.

Switching characteristics, $V_{CC} = 5$ V, $T_A = 25^{\circ}\text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{off}	Turn-off time from A input			100	ns
t_{on}	Turn-on time from A input			100	ns
t_{off}	Turn-off time from \overline{A} input			100	ns
t_{on}	Turn-on time from \overline{A} input			100	ns

NOTE 3: See General Information Section for load circuits and voltage waveforms.



TTL DEVICES

A N E X O D

EL MICROCONTROLADOR 8748

CARACTERISTICAS DEL MICROPROCESADOR 8748

El componente más representativo de la familia MCS-48 es el microcontrolador 8748 cuyas características principales son:

- CPU de 8 bits
- Memoria interna: 1 KB de EPROM
64 bytes de RAM
- Tiempos de ciclo de 1.36 useg (cristal de 11 MHz) hasta 3.75 useg (cristal de 4 MHz).
- Oscilador y circuito de reloj incorporado.
- 27 líneas de entrada/salida programables.
- Un contador/temporizador de 8 bits.
- 96 instrucciones de 1 o 2 ciclos de las cuales el 70% son de un solo byte.
- Aritmética binaria y BCD.
- 8 niveles de stack.
- Fuente única de alimentación de 5 V
- Encapsulado tipo DIP de 40 pines.
- Dos grupos de registros de trabajo.
- Posibilidad de ejecución de programa paso a paso.

D.1.- ARQUITECTURA:

A continuación se presenta un diagrama de bloques (figura -

D-1) que componen el microcontrolador 8748 y algunas de las funciones que puede desarrollar.

FIGURA D.1

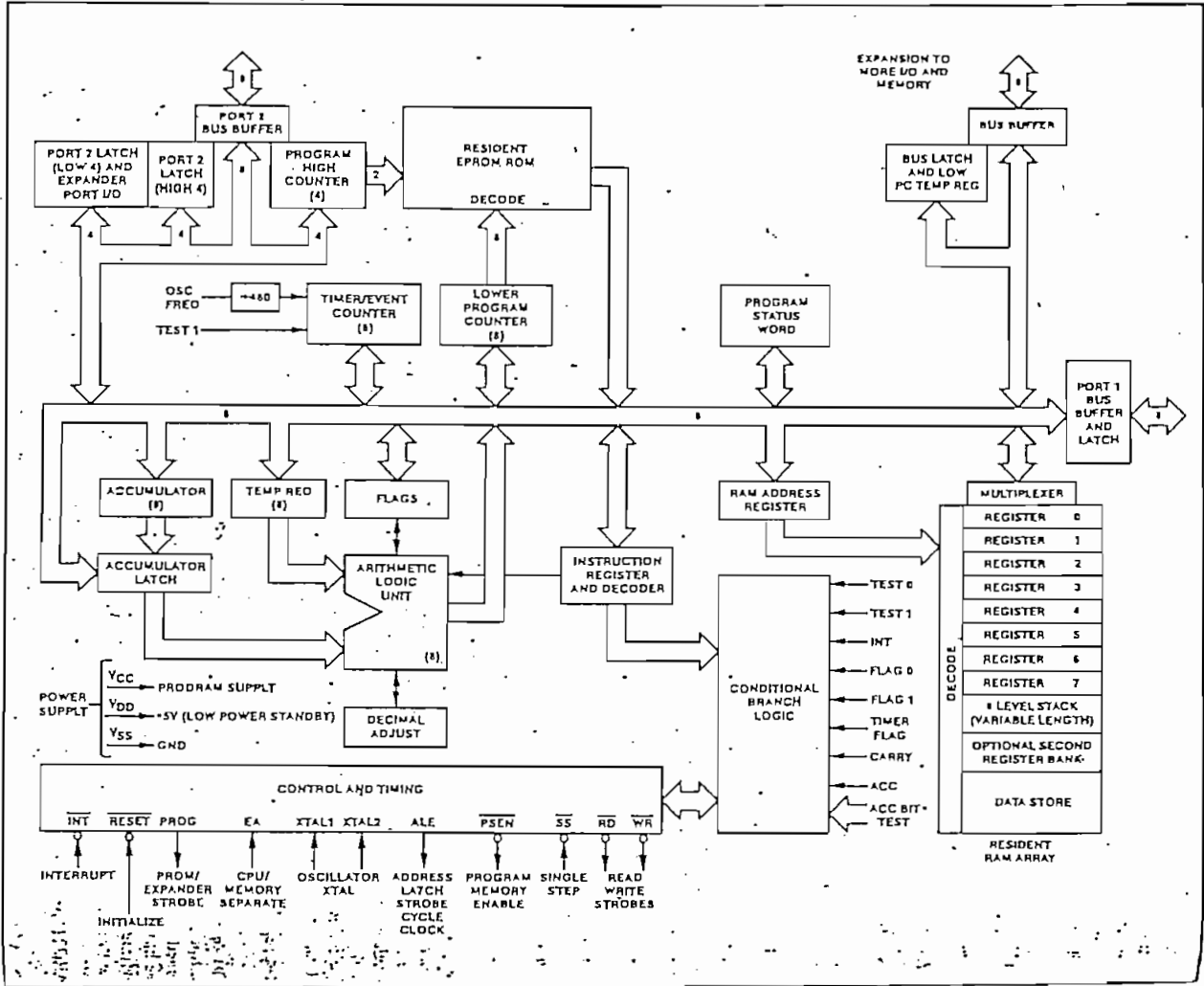


DIAGRAMA DE BLOQUES DEL MICROCONTROLADOR 8748

D.1.1.- SECCION ARITMETICA:

Esta sección contiene las funciones básicas de manipulación de datos y se puede dividir en las siguientes partes:

- Unidad aritmética y lógica ALU
- Acumulador
- Bandera de carry
- Decodificador de instrucciones

D.1.2.- MEMORIA DE PROGRAMA:

La memoria de programa interno consta de 1024 palabras de 8 bits direccionadas por el contador de programa. En el microcontrolador 8748 esta memoria es de tipo EPROM: programable y borrrable por el usuario. Existen en la memoria de programa tres localidades con especial importancia.

LOCALIDAD 00H: En esta localidad está la primera instrucción que ejecuta el procesador luego de realizarse un RESET.

LOCALIDAD 03H: Cuando se activa la línea de interrupción externa (si la interrupción está habilitada), el procesador salta a esta localidad.

LOCALIDAD 07H: Un interrupción provocada por el Timer/Counter, si está habilitado, causa un salto a esta localidad.

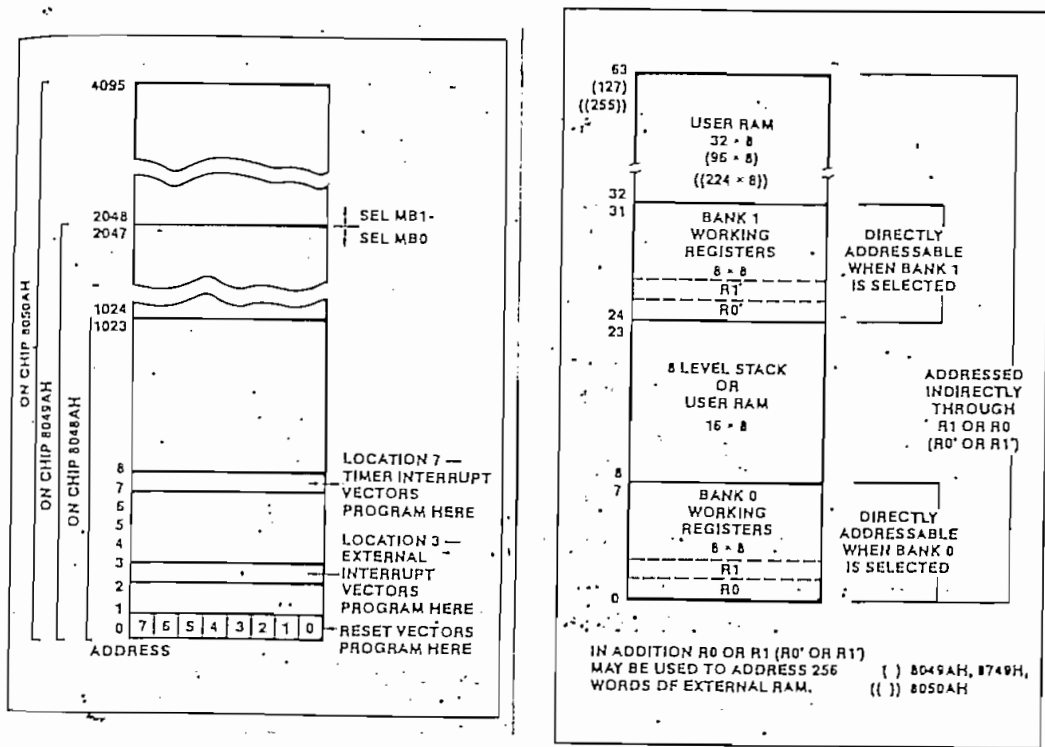
D.1.3.- MEMORIA DE DATOS:

La memoria de datos interna está organizada en 64 palabras de

bits. Cada una de las 64 localidades de memoria se direccionan indirectamente a través de los registros R0 y R1 (banco 0) o R0' y R1' (banco 1).

En la figura D-2 se presentan los mapas de memoria del microprocesador 8748.

FIGURA D.2



MAPAS DE MEMORIA DE PROGRAMA Y DATOS

D.1.4.- ENTRADA/SALIDA:

El 8748 tiene 27 líneas que pueden ser utilizadas como entradas o salidas de datos. Estas líneas se agrupan en 3 puertos de 8 bits cada uno: P1, P2 y BUS; adicionalmente se tiene 3 entradas que en función a su estado lógico se utilizan para alterar la secuencia de un programa.

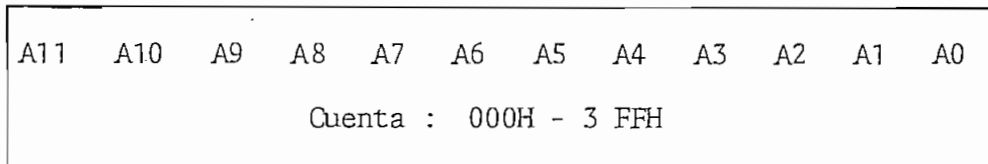
Los puertos P1 y P2 tienen idénticas características, y se denominan QUASIBIDIRECCIONALES debido a que el circuito de salida tiene una estructura especial que permite que cada línea pueda servir como entrada y salida con almacenamiento temporal de datos. El BUS de datos (puerto 0) es también un registro de 8 bits bidireccional, con entradas y salidas de habilitación comunes. Si la característica de bidireccionalidad no es necesaria, el bus de datos puede comportarse como un registro con salidas con almacenamiento temporal estático o entradas sin almacenamiento.

D.1.5.- CONTADOR DE PROGRAMA Y STACK:

El contador de programa es un registro independiente de 12 bits, (figura D.3), mientras que el STACK se implementa por medio de registros en la memoria de datos. Unicamente se utilizan 10 bits del contador de programa para direccionar las 1024 palabras de la memoria

de programa interna, mientras que los 2 bits más significativos se utilizan cuando se debe trabajar con memoria de programa externa. El contador de programa se inicializa en cero cuando se activa la línea de - RESET.

FIGURA D.3



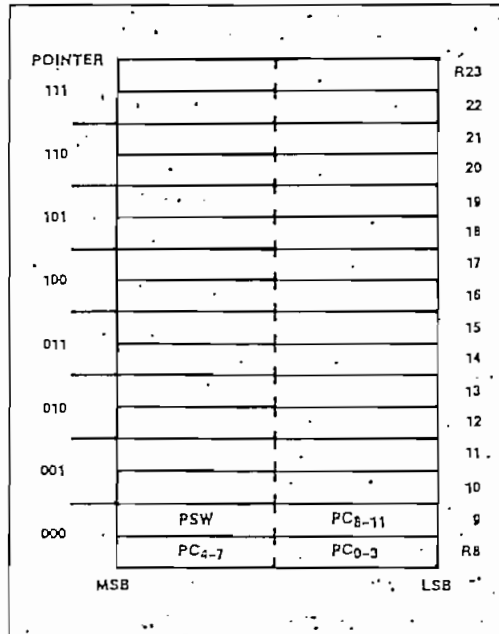
CONTADOR DE PROGRAMA

Una interrupción o salto a subrutina hace que el contenido del contador de programa sea almacenado en uno de los 8 registros del STACK (Figura D.4). El par. viene determinado por un puntero del STACK de 3 bits que forma parte de la palabra de estado PSW. Las posiciones de 8 a 23 de la memoria de datos RAM son utilizados como los registros del STACK y para almacenar el contador de programa y 4 bits de la PSW.

D.1.6.- PALABRA DE ESTADO DE PROGRAMA (PSW):

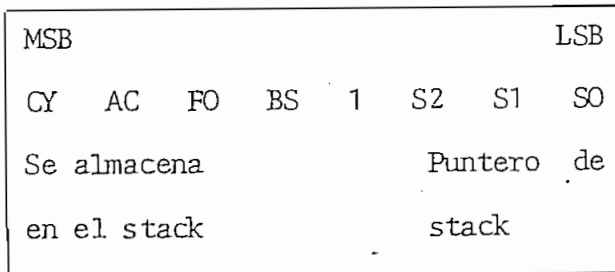
Existen una serie de multivibradores biestables organizados en una plabra de 8 bits, los cuales pueden cargarse desde o hacia el acumulador y se encargan de informar el estado de ciertos parámetros de un programa. El contenido de este registro se muestra en la figura D.5 y constituye la llamada palabra de estado de programa (PSW).

FIGURA D.4



STACK DEL CONTADOR DE PROGRAMA

FIGURA D.5



PALABRA DE ESTADO DE PROGRAMA (PSW)

CY : Carry
AC : Carry auxiliar
FO : Bandera 0
BS : Selección de banco de registros

D.1.7.- INTERRUPCIONES:

Se tienen dos tipos de interrupciones: una externa que se activa al aplicar un "OL" en el terminal de entrada INT y otra que es producida por el Timer/Counter cuando este sobrepasa su capacidad de conteo.

Para su ejecución es necesario habilitar las interrupciones por software.

D.1.8.- TEMPORIZADOR/CONTADOR:

El 8748 contiene un contador que ayuda al usuario en el cómputo de sucesos externos y la generación de tiempos de retardo exactos sin recargar al procesador con la realización de estas funciones. En ambos modos de funcionamiento el contador se comporta de igual forma, la única diferencia consiste en la fuente de entrada al contador.

El contador binario de 8 bits puede ser cargado y leído me-

dian^{te} dos instrucciones MOV que transfieren el contenido del acumulador al contador y viceversa. El contador se inicializa con la instrucción MOVT, A; se puede parar mediante la puesta a cero general o la instrucción STOP TCNT, manteniéndose parado mientras no es puesto en marcha como temporizador mediante la instrucción START T, o como contador de sucesos mediante la instrucción START CNT. Una vez puesto en marcha, el contador irá incrementando su valor hasta el máximo cómputo (FF). Setea la bandera TF y produce una llamada de interrupción (si está habilitada).

D.1.9.- SET DE INSTRUCCIONES:

Las instrucciones del microprocesador 8748 permiten realizar los siguientes tipos de operaciones:

- Control:
De interrupciones, selección de bancos de trabajo y salida de reloj interno.
- Manejo de Datos:
Hacia y desde el acumulador, registros y memoria.
- Timer/Counter:
Permiten el manejo del registro de 8 bits y posibilitan usarlo como contador o temporizador.
- Acumulador:
Operaciones aritméticas, lógicas, rotaciones, relaciones con los registros y memoria.

- Saltos:

Incondicionales a través de toda la memoria y condicionales dentro de la página en cuestión, supeditados tanto a condiciones internas como externas mediante T0, T1, INT.

- Entrada/Salida:

Manejo de los puertos y operaciones lógicas con éstos.

Los restantes tipos de operaciones se relacionan con:

- Registros
- Subrutinas
- Banderas
- Operaciones Varias

Para mayor información sobre las instrucciones y especificaciones eléctricas del microprocesador 8748, referirse a las siguientes páginas.

8748H/8035H/8749H/8039H HMOS-E SINGLE-COMPONENT 8-BIT MICROCOMPUTER

- High Performance HMOS-E
 - Interval Timer/Event Counter
 - Two Single Level Interrupts
 - Single 5-Volt Supply
 - Over 96 Instructions;
90% Single Byte
- Compatible with 8080/8085
Peripherals
 - Easily Expandable Memory and I/O
 - Up to 1.35 μ Sec Instruction Cycle
All Instructions 1 or 2 cycles

The Intel 8749H/8039H/8748H/8035H are totally self-sufficient, 8-bit parallel computers fabricated on single silicon chips using Intel's advanced N-channel silicon gate HMOS-E process.

The family contains 27 I/O lines, an 8-bit timer/counter, on-chip RAM and on-board oscillator/clock circuits. For systems that require extra capability, the family can be expanded using MCS[®]-80/MCS[®]-85 peripherals.

These microcomputers are designed to be efficient controllers as well as arithmetic processors. They have extensive bit handling capability as well as facilities for both binary and BCD arithmetic. Efficient use of program memory results from an instruction set consisting mostly of single byte instructions and no instructions over 2 bytes in length.

Device	Internal Memory	
8039H	none	128 x 8 RAM
8035H	none	64 x 8 RAM
8749H	2K x 8 EPROM	128 x 8 RAM
8748H	1K x 8 EPROM	64 x 8 RAM

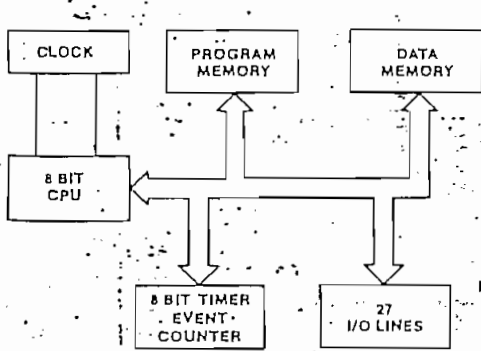


Figure 1.
Block Diagram

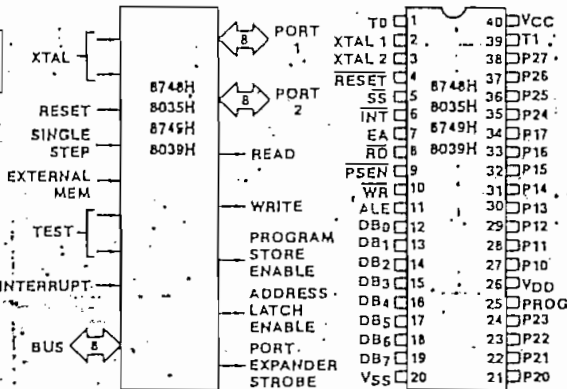


Figure 2.
Logic Symbol

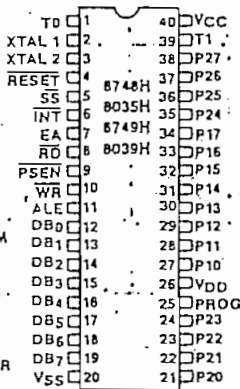


Figure 3.
Pin Configuration



ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias ... 0°C to 70°C
 Storage Temperature -65°C to +150°C
 Voltage On Any Pin With Respect
 to Ground -0.5V to +7V
 Power Dissipation 1.0 Watt

*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

D.C. CHARACTERISTICS: (T_A = 0°C to 70°C; V_{CC} = V_{DD} = 5V ± 10%; V_{SS} = 0V)

Symbol	Parameter	Limits			Unit	Test Conditions	Device
		Min	Typ	Max			
V _{IL}	Input Low Voltage (All Except RESET, X1, X2)	-0.5		0.8	V		All
V _{IL1}	Input Low Voltage (RESET, X1, X2)	-0.5		0.6	V		All
V _{IH}	Input High Voltage (All Except XTAL1, XTAL2, RESET)	2.0		V _{CC}	V		All
V _{IH1}	Input High Voltage (X1, X2, RESET)	3.8		V _{CC}	V		All
V _{OL}	Output Low Voltage (BUS)			0.45	V	I _{OL} = 2.0 mA	All
V _{OL1}	Output Low Voltage (RD, WR, PSEN, ALE)			0.45	V	I _{OL} = 1.8 mA	All
V _{OL2}	Output Low Voltage (PROG)			0.45	V	I _{OL} = 1.0 mA	All
V _{OL3}	Output Low Voltage (All Other Outputs)			0.45	V	I _{OL} = 1.6 mA	All
V _{OH}	Output High Voltage (BUS)	2.4			V	I _{OH} = -400 μA	All
V _{OH1}	Output High Voltage (RD, WR, PSEN, ALE)	2.4			V	I _{OH} = -100 μA	All
V _{OH2}	Output High Voltage (All Other Outputs)	2.4			V	I _{OH} = -40 μA	All

D.C. CHARACTERISTICS: (T_A = 0°C to 70°C; V_{CC} = V_{DD} = 5V ± 10%; V_{SS} = 0V) (Continued)

Symbol	Parameter	Limits			Unit	Test Conditions	Device
		Min	Typ	Max			
I _{Li}	Leakage Current (T1, INT)			±10	μA	V _{SS} ≤ V _{IN} ≤ V _{CC}	All
I _{LI1}	Input Leakage Current (P10-P17, P20-P27, EA, SS)			-500	μA	V _{SS} + 0.45 ≤ V _{IN} ≤ V _{CC}	All
I _{LI2}	Input Leakage Current RESET	-10		-300	μA	V _{SS} ≤ V _{IN} ≤ 3.8V	All
I _{LO}	Leakage Current (BUS, T0) (High Impedance State)			±10	μA	V _{SS} ≤ V _{IN} ≤ V _{CC}	All
I _{DD} + I _{CC}	Total Supply Current*		80	100	mA		8035H
			95	110	mA		8039H
			80	100	mA		8748H
			95	110	mA		8749H

*I_{CC} + I_{DD} is measured with all outputs disconnected; SS, RESET, and INT equal to V_{CC}; EA equal to V_{SS}.



8748H/8035H/8749H/8039H

PRELIMINARY

A.C. CHARACTERISTICS: ($T_A = 0^\circ\text{C}$ to 70°C ; $V_{CC} = V_{DD} = 5V \pm 10\%$; $V_{SS} = 0V$)

Symbol	Parameter	f (t) (Note 3)	11 MHz		Unit	Conditions (Note 1)
			Min	Max		
t	Clock Period	1/x1al freq	90.9	1000	ns	(Note 3)
t _{LL}	ALE Pulse Width	3.5t-170	150		ns	
t _{AL}	Addr Setup to ALE	2t-110	70		ns	(Note 2)
t _{LA}	Addr Hold from ALE	t-40	50		ns	
t _{CC1}	Control Pulse Width (\overline{RD} , \overline{WR})	7.5t-200	480		ns	
t _{CC2}	Control Pulse Width (\overline{PSEN})	6t-200	350		ns	
t _{DW}	Data Setup before \overline{WR}	6.5t-200	390		ns	
t _{WD}	Data Hold after \overline{WR}	t-50	40		ns	
t _{DR}	Data Hold (\overline{RD} , \overline{PSEN})	1.5t-30	0	110	ns	
t _{RD1}	\overline{RD} to Data in	6t-170		375	ns	
t _{RD2}	\overline{PSEN} to Data in	4.5t-170		240	ns	
t _{AW}	Addr Setup to \overline{WR}	5t-150	300		ns	
t _{AD1}	Addr Setup to Data (\overline{RD})	10.5t-220		730	ns	
t _{AD2}	Addr Setup to Data (\overline{PSEN})	7.5t-200		460	ns	
t _{AFC1}	Addr Float to \overline{RD} , \overline{WR}	2t-40	140		ns	(Note 2)
t _{AFC2}	Addr Float to \overline{PSEN}	.5t-40	10		ns	(Note 2)
t _{LAFC1}	ALE to Control (\overline{RD} , \overline{WR})	3t-75	200		ns	
t _{LAFC2}	ALE to Control (\overline{PSEN})	1.5t-75	60		ns	
t _{CA1}	Control to ALE (\overline{RD} , \overline{WR} , \overline{PROG})	t-65	25		ns	
t _{CA2}	Control to ALE (\overline{PSEN})	4t-70	290		ns	
t _{CP}	Port Control Setup to \overline{PROG}	1.5t-80	50		ns	
t _{PC}	Port Control Hold to \overline{PROG}	4t-260	100		ns	
t _{PR}	\overline{PROG} to P2 Input Valid	8.5t-120		650	ns	
t _{PF}	Input Data Hold from \overline{PROG}	1.5t	0	140	ns	
t _{DP}	Output Data Setup	6t-290	250		ns	
t _{PD}	Output Data Hold	1.5t-90	40		ns	
t _{PP}	\overline{PROG} Pulse Width	10.5t-250	700		ns	
t _{PL}	Port 2 I/O Setup to ALE	4t-200	160		ns	
t _{LP}	Port 2 I/O Hold to ALE	.5t-30	15		ns	
t _{PV}	Port Output from ALE	4.5t+100		510	ns	
t _{OPRR}	T0 Rep Rate	3t	270		ns	
t _{CY}	Cycle Time	15t	1.36	15.0	μs	

Notes:

1. Control Outputs $CL = 80\text{pF}$
 BUS Outputs $CL = 150\text{pF}$

2. BUS High Impedance
 Load 20pF

3. f(t) assumes 50% duty cycle on X1, X2. Max
 clock period is for a 1 MHz crystal input.



8748H/8035H/8749H/8039H.

PRELIMINARY

A.C. TIMING SPECIFICATION FOR PROGRAMMING 8748H/8749H ONLY:
 (T_A = 25°C ± 5°C; V_{CC} = 5V ± 5%; V_{DD} = 21 ± .5V)

Symbol	Parameter	Min	Max	Unit	Test Conditions
t _{AW}	Address Setup Time to RESET _I	4t _{CY}			
t _{WA}	Address Hold Time After RESET _I	4t _{CY}			
t _{DW}	Data in Setup Time to PROG _I	4t _{CY}			
t _{WD}	Data in Hold Time After PROG _I	4t _{CY}			
t _{PH}	RESET Hold Time to Verify	4t _{CY}			
t _{VDDW}	V _{DD} Hold Time Before PROG _I	0	1.0	ms	
t _{VDDH}	V _{DD} Hold Time After PROG _I	0	1.0	ms	
t _{PW}	Program Pulse Width	50	60	ms	
t _{TW}	Test 0 Setup Time for Program Mode	4t _{CY}			
t _{WT}	Test 0 Hold Time After Program Mode	4t _{CY}			
t _{DO}	Test 0 to Data Out Delay		4t _{CY}		
t _{WW}	RESET Pulse Width to Latch Address	4t _{CY}			
t _r , t _f	V _{DD} and PROG Rise and Fall Times	0.5	100	μs	
t _{CY}	CPU Operation Cycle Time	3.75	5	μs	
t _{RE}	RESET Setup Time before EA _I	4t _{CY}			

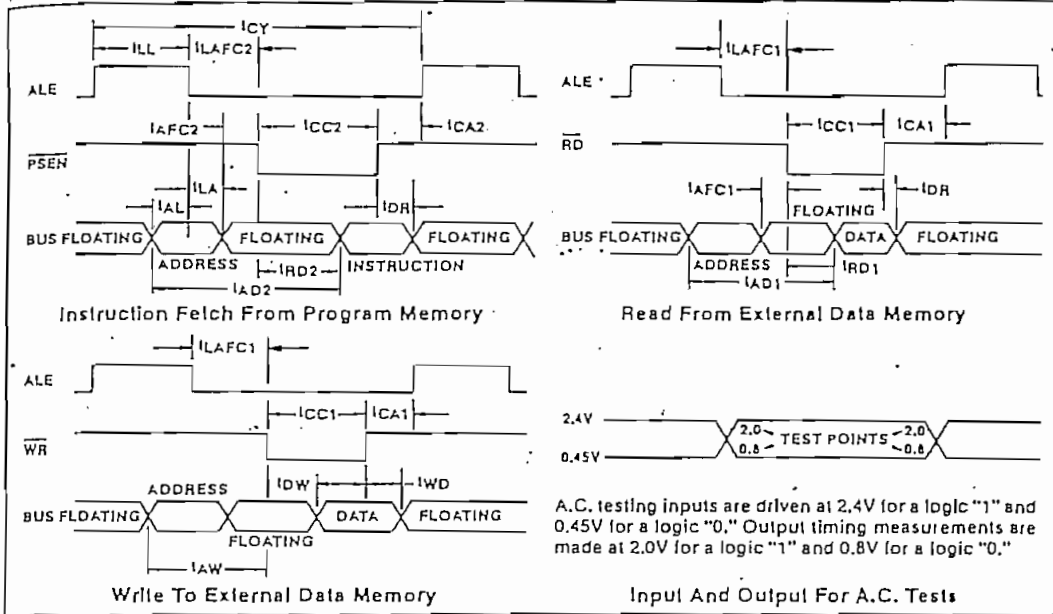
NOTE: If Test 0 is high, t_{DO} can be triggered by RESET_I.

D.C. TIMING SPECIFICATION FOR PROGRAMMING 8748H/8749H ONLY:
 (T_A = 25°C ± 5°C; V_{CC} = 5V ± 5%; V_{DD} = 21 ± .5V)

Symbol	Parameter	Min	Max	Unit	Test Conditions
V _{DDH}	V _{DD} Program Voltage High Level	20.5	21.5	V	
V _{DDL}	V _{DD} Voltage Low Level	4.75	5.25	V	
V _{PH}	PROG Program Voltage High Level	17.5	18.5	V	
V _P L	PROG Voltage Low Level	4.0	V _{CC}	V	
V _{EAH}	EA Program or Verify Voltage High Level	17.5	18.5	V	
I _{DD}	V _{DD} High Voltage Supply Current		20.0	mA	
I _{PROG}	PROG High Voltage Supply Current		1.0	mA	
I _{EA}	EA High Voltage Supply Current		1.0	mA	



WAVEFORMS



PORT 1/PORT 2 TIMING

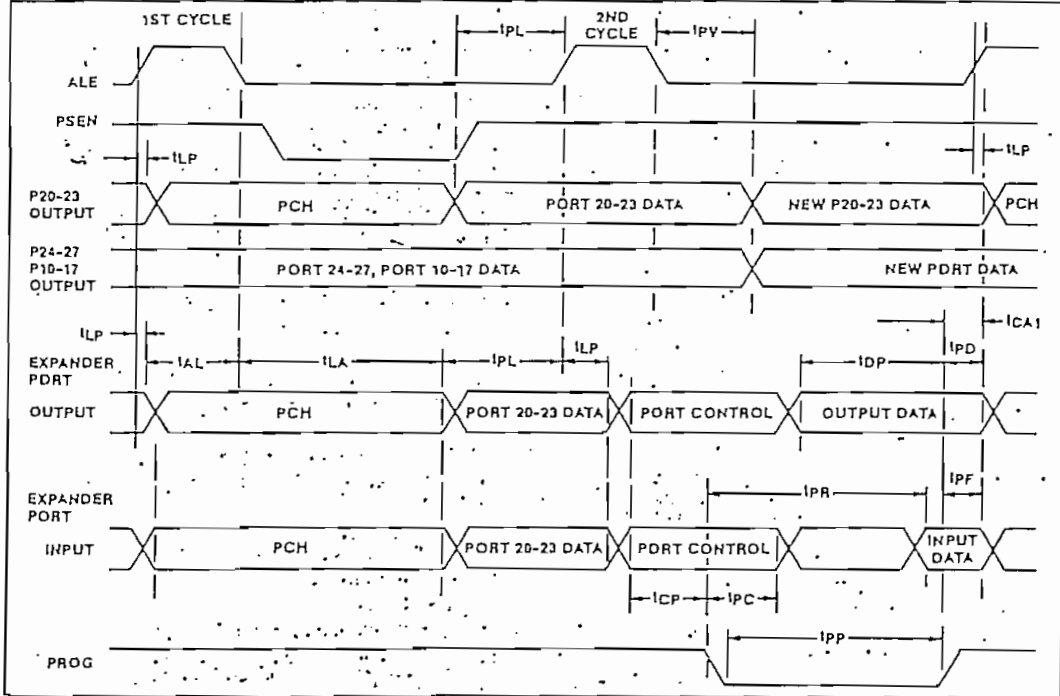


Table 2-6. Instruction Execution Timing

INSTRUCTION TYPE	BYTE 1				
	T1	T2	T3	T4	T5
IN A, P	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	INCREMENT TIMER	—
OUTL P, A	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	INCREMENT TIMER	OUTPUT TO PORT
ANL P, DATA	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	INCREMENT TIMER	READ PORT
ORL P, DATA	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	INCREMENT TIMER	READ PORT
INS A, BUS	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	INCREMENT TIMER	—
OUTL BUS, A	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	INCREMENT TIMER	OUTPUT TO PORT
ANL BUS, DATA	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	INCREMENT TIMER	READ PORT
ORL BUS, DATA	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	INCREMENT TIMER	READ PORT
MOVX @R, A	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	OUTPUT RAM ADDRESS	INCREMENT TIMER	OUTPUT DATA TO RAM
MOVX A, @R	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	OUTPUT RAM ADDRESS	INCREMENT TIMER	—
MOVD A, P.	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	OUTPUT OPCODE ADDRESS	INCREMENT TIMER	—
MOVD P, A	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	OUTPUT OPCODE ADDRESS	INCREMENT TIMER	OUTPUT DATA TO P2 LOWER
ANLD P, A	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	OUTPUT OPCODE ADDRESS	INCREMENT TIMER	OUTPUT DATA
ORLD P, A	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	OUTPUT OPCODE ADDRESS	INCREMENT TIMER	OUTPUT DATA
J (CONDITIONAL)	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	SAMPLE CONDITION	INCREMENT TIMER	—
STRT T START CNT	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	—	START COUNTER
STOP TCNT	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	—	STOP COUNTER
ENI	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	ENABLE INTERRUPT	—
DIS I	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	DISABLE INTERRUPT	—
EN0 CLK	FETCH INSTRUCTION	INCREMENT PROGRAM COUNTER	—	ENABLE CLOCK	—

Table 2-6. Instruction Execution Timing (Cont'd.)

INSTRUCTION TYPE	BYTE 2				
	T1	T2	T3	T4	T5
IN A. P	—	READ PORT	—	—	—
ANL P, #DATA	FETCH IMMEDIATE DATA	—	INCREMENT PROGRAM COUNTER	OUTPUT TO PORT	—
ORL P, #DATA	FETCH IMMEDIATE DATA	—	INCREMENT PROGRAM COUNTER	OUTPUT TO PORT	—
INS A. BUS	—	READ PORT	—	—	—
ANL BUS, #DATA	FETCH IMMEDIATE DATA	—	INCREMENT PROGRAM COUNTER	OUTPUT TO PORT	—
ORL BUS, #DATA	FETCH IMMEDIATE DATA	—	INCREMENT PROGRAM COUNTER	OUTPUT TO PORT	—
MOVX A, @R ⁱ	—	READ DATA	—	—	—
MOVD A, P _i	—	READ P2 LOWER	—	—	—
J (CONDITIONAL)	FETCH IMMEDIATE DATA	—	UPDATE PROGRAM COUNTER	—	—

*If external ROM is being accessed, valid instruction addresses are output at this time.

2.3 INPUT/OUTPUT SIGNAL DESCRIPTIONS

All pins on the 48-Series microprocessors, with the exception of the power and clock inputs, are input or output lines. The following sections describe in some detail the operation of these lines.

An illustration of the pin configuration for the 48-Series microcomputers is shown in Figure 2-11. A summary of the pin functions is given in Table 2-7.

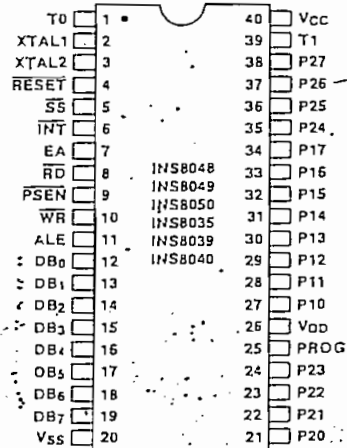


FIGURE 2-11. 48-Series Pin Configuration

Table 2-7. 48-Series Pin Summary

Pin	Designation	Function
1	T0	Testable input using JT0 and JNT0 instructions. Clock output once ENT0 CLK instruction is executed. Restored to an input line by reset.
2	XTAL 1	Crystal input for internal oscillator. Also input for external clock source.
3	XTAL 2	Crystal input for internal oscillator.
4	$\overline{\text{RESET}}$	Reset input for CPU. Active low.
5	$\overline{\text{SS}}$	Single step input. Used in conjunction with ALE to single step through program execution. Active low.
6	$\overline{\text{INT}}$	Interrupt input. Generates an interrupt if interrupt is enabled. Disabled after a reset. Active low.
7	EA	External Access, when taken high, forces all instruction fetches to come from external ROM.
8	$\overline{\text{RD}}$	Read strobe. Active during bus reads. Can enable data onto bus from external devices. Active low.
9	$\overline{\text{PSEN}}$	Program store enable. Active during instruction fetches from external ROM. Active low.
10	$\overline{\text{WR}}$	Write strobe. Active during bus writes. Can strobe data into external devices from bus. Active low.
11	ALE	Address latch enable occurs once during each machine cycle. Also useful as a clock output. The falling edge of ALE strobes address into external RAM and ROM.
12-19	DB0-DB7	Bus port. Bidirectional port which can be written or read synchronously, using $\overline{\text{WR}}$ or $\overline{\text{RD}}$. Output can also be statically latched. Outputs eight low-order address bits during external instruction fetches. Receives addressed instruction during $\overline{\text{PSEN}}$. Also passes eight address and data bits from external RAM (under control ALE, $\overline{\text{RD}}$, and $\overline{\text{WR}}$).
20	VSS	Circuit ground.
21-24	P20-P23	Lower four bits of quasi-bidirectional Port 2. Outputs upper four address bits during external ROM access and data for INS8243 port expander.
25	PROG	Output strobe for INS8243 I/O expander.
26	VDD	Provides an input for a standby power source for the internal RAM. When a standby power source is connected, VCC provides a battery charging path. The amount of internal RAM connected to VDD is a programmable option.
27-34	P10-P17	Port 1, quasi-bidirectional.
35-38	P24-P27	Upper four bits of quasi-bidirectional Port 2.
39	T1	Testable input using JT1 and JNT1 instructions. Event counter input once STRT CNT instruction is executed.
40	VCC	Main 48-Series power source (+5V).

Table 4-1. 48-Series Instruction Set Summary

MNEMONIC	FUNCTION	DESCRIPTION	CYCLES	BYTES	FLAGS			
					C	AC	F0	F1
ACCUMULATOR								
ADD A, #data	(A) ← (A) + data	Add Immediate the specified Data to the Accumulator.	2	2	•	•		
ADD A, Rr	(A) ← (A) + (Rr) for r = 0 - 7	Add contents of designated register to the Accumulator.	1	1	•	•		
ADD A, @ Rr	(A) ← (A) + ((Rr)) for r = 0 - 1	Add Indirect the contents the data memory location to the Accumulator.	1	1	•	•		
ADDC A, #data	(A) ← (A) (C) + data	Add Immediate with carry the specified data to the Accumulator.	2	2	•	•		
ADDC A, Rr	(A) ← (A) + (C) + (Rr) for r = 0 - 7	Add with carry the contents of the designated register to the Accumulator.	1	1	•	•		
ADDC A, @ Rr	(A) ← (A) + (C) + ((Rr)) for r = 0 - 1	Add Indirect with carry the contents of data memory location to the Accumulator.	1	1	•	•		
ANL A, #data	(A) ← (A) AND data	Logical AND specified Immediate Data with Accumulator.	2	2				
ANL A, Rr	(A) ← (A) AND (Rr) for r = 0 - 7	Logical AND contents of designated register with Accumulator.	1	1				
ANL A, @ Rr	(A) ← (A) AND ((Rr)) for r = 0 - 1	Logical AND Indirect the contents of data memory with Accumulator.	1	1				
CPL A	(A) ← NOT (A)	Complement the contents of the Accumulator.	1	1				
CLR A	(A) ← 0	CLEAR the contents of the Accumulator.	1	1				
DA A		DECIMAL ADJUST the contents of the Accumulator.	1	1				
DEC A	(A) ← (A) - 1	DECREMENT by 1 the accumulator's contents.	1	1				
INC A	(A) ← (A) + 1	Increment by 1 the accumulator's contents	1	1				
ORL A, #data	(A) ← (A) OR data	Logical OR specified immediate data with Accumulator.	2	2				
ORL A, Rr	(A) ← (A) OR (Rr) for r = 0 - 7	Logical OR contents of designated register with Accumulator.	1	1				
ORL A, @ Rr	(A) ← (A) OR ((Rr)) for r = 0 - 1	Logical OR Indirect the contents of data memory location with Accumulator.	1	1				
RLA	(An + 1) ← (An) for n = 0 - 6 (A0) ← (A7)	Rotate Accumulator left by 1-bit without carry.	1	1				
RLC A	(An+1) ← (An); n = 0-6 (A0) ← (C) (C) ← (A7)	Rotate Accumulator left by 1-bit through carry.	1	1				
RR A	(An) ← (An+1); n = 0-6 (A7) ← (A0)	Rotate Accumulator right by 1-bit without without carry.	1	1				
RRC A	(An) ← (An+1); n = 0-6 (A7) ← (C) (C) ← (A0)	Rotate Accumulator right by 1-bit through carry.	1	1				
SWAP A	(A4-A7) ← (A0 - A3)	Swap the 2, 4-bit nibbles in the Accumulator.	1	1				
XRL A, #data	(A) ← (A) XOR data	Logical XOR immediate specified data with Accumulator.	2	2				
XRL A, Rr	(A) ← (A) XOR (Rr) for r = 0 - 7	Logical XOR contents of designated register with Accumulator.	1	1				
XRL A, @ Rr	(A) ← (A) XOR ((Rr)) for r = 0 - 1	Logical XOR Indirect the contents of data memory location with Accumulator.	1	1				

Table 4-1. 48-Series Instruction Set Summary (Con'l'd.)

MNEMONIC	FUNCTION	DESCRIPTION	CYCLES	BYTES	FLAGS		
					C	A	F0/F1
BRANCH							
DJNZ Rr, addr	(Rr) ← (Rr) - 1; r = 0-7 if (Rr) ≠ 0; (PC 0-7) ← addr	Decrement the specified register and test contents.	2	2			
JBb addr	(PC 0-7) ← addr if Bb = 1 (PC) ← (PC) + 2 if Bb = 0	Jump to specified address if Accumulator bit is set.	2	2			
JC addr	(PC 0-7) ← addr if C = 1 (PC) ← (PC) + 2 if C = 0	Jump to specified address if carry flag is set.	2	2			
JF0 addr	(PC 0-7) ← addr if F0 = 1 (PC) ← (PC) + 2 if F0 = 0	Jump to specified address if Flag F0 is set.	2	2			
JF1 addr	(PC 0-7) ← addr if F1 = 1 (PC) ← (PC) + 2 if F1 = 0	Jump to specified address if Flag F1 is set.	2	2			
JMP addr	(PC 8-10) ← addr 8-10 (PC 0-7) ← addr 0-7 (PC 11) ← DBF	Direct Jump to specified address within the 2K address block.	2	2			
JMPP @ A	(PC 0-7) ← ((A))	Jump indirect to specified address pointed to by the accumulator in current page.	2	1			
JNC addr	(PC 0-7) ← addr if C = 0 (PC) ← (PC) + 2 if C = 1	Jump to specified address if carry flag is low.	2	2			
JNI addr	(PC 0-7) ← addr if I = 0 (PC) ← (PC) + 2 if I = 1	Jump to specified address if interrupt is low.	2	2			
JNT0 addr	(PC 0-7) ← addr if T0 = 0 (PC) ← (PC) + 2 if T0 = 1	Jump to specified address if Test 0 is low.	2	2			
JNT1 addr	(PC 0-7) ← addr if T1 = 0 (PC) ← (PC) + 2 if T1 = 1	Jump to specified address if Test 1 is low.	2	2			
JNZ addr	(PC 0-7) ← addr if A ≠ 0 (PC) ← (PC) + 2 if A = 0	Jump to specified address if accumulator is non-zero.	2	2			
JTF addr	(PC 0-7) ← addr if TF = 1 (PC) ← (PC) + 2 if TF = 0	Jump to specified address if Timer Flag is set to 1.	2	2			
JT0 addr	(PC 0-7) ← addr if T0 = 1 (PC) ← (PC) + 2 if T0 = 0	Jump to specified address if Test 0 is a 1.	2	2			
JT1 addr	(PC 0-7) ← addr if T1 = 1 (PC) ← (PC) + 2 if T1 = 0	Jump to specified address if Test 1 is a 1.	2	2			
JZ addr	(PC 0-7) ← addr if A = 0 (PC) ← (PC) + 2 if A = 1	Jump to specified address if Accumulator is 0.	2	2			
CONTROL							
EN I		Enable the External Interrupt input.	1	1			
DIS I		Disable the External Interrupt input.	1	1			
ENT0 CLK		Enable T0 as the Clock Output.	1	1			
SEL MB0	(DBF) ← 0	Select Bank 0 (locations 0 - 2047) of Program Memory.	1	1			
SEL MB1	(DBF) ← 1	Select Bank 1 (locations 2048 - 4095) of Program Memory.	1	1			
SEL RB0	(BS) ← 0	Select Bank 0 (locations 0 - 7) of Data Memory.	1	1			
SEL RB1	(BS) ← 1	Select Bank 1 (locations 24 - 31) of Data Memory.	1	1			
DATA MOVES							
MOV A, #data	(A) ← data	Move Immediate the specified data into the Accumulator.	2	2			
MOV A, Rr	(A) ← (Rr); r = 0-7	Move the contents of the designated registers into the Accumulator.	1	1			
MOV A, @ Rr	(A) ← ((Rr)); r = 0-7	Move Indirect the contents of data memory location into the Accumulator.	1	1			

Table 4-1. 48-Series Instruction Set Summary (Cont'd.)

MNEMONIC	FUNCTION	DESCRIPTION	CYCLES	BYTES	FLAGS			
					C	AC	F0	F1
INPUT/OUTPUT (Cont'd.)								
MOVD A, Pp	{A0-A3} ← {Pp}; p = 4-7 (A4-A7) ← 0	Move contents of designated port (4 - 7) into Accumulator.	2	1				
MOVD Pp, A	{Pp} ← {A0 - A3}; p = 4 - 7	Move contents of Accumulator to designated port (4 - 7).	2	1				
ORL BUS, #data	{BUS} ← {BUS} OR data	Logical OR Immediate specified data with contents of BUS.	2	2				
ORLO Pp, A	{Pp} ← {Pp} OR {A0 - A3}, p = 4-7.	Logical OR contents of Accumulator with designated port (4 - 7).	2	1				
ORL Pp, #data	{Pp} ← {Pp} OR data; p = 1 - 2.	Logical OR Immediate specified data with designated port (1 - 2).	2	2				
OUTL BUS, A	{BUS} ← (A)	Output contents of Accumulator onto BUS.	2	1				
OUTL Pp, A	{Pp} ← (A); p = 1 - 2	Output contents of Accumulator to designated port (1 - 2).	1	1				
REGISTERS								
DEC Rr	{Rr} ← {Rr} - 1; r = 0-7	Decrement by 1 contents of designated register.	1	1				
INC Rr	{Rr} ← {Rr} + 1; r = 0-7	Increment by 1 contents of designated register.	1	1				
INC @ Rr	{{Rr}} ← {{Rr}} ± 1; r = 0-1.	Increment Indirect by 1 the contents of data memory location.	1	1				
SUBROUTINE								
CALL #addr	{{SP}} ← (PC) {{SP}} ← (PSW 4-7) (SP) ← (SP) + 1 (PC 8-10) ← addr 8-10 (PC 0-7) ← addr 0-7 (PC 11) ← DBF	Call designated Subroutine.	2	2				
RET	(SP) ← (SP) - 1 (PC) ← {{SP}}	Return from Subroutine without restoring Program Status Word.	2	1				
RETR	(SP) ← (SP) - 1 (PC) ← {{SP}} (PSW 4-7) ← {{SP}}	Return from Subroutine restoring Program Status Word.	2	1				
FLAGS								
CF C	(C) ← NOT (C)	Complement Content of carry bit.	1	1				
CF F0	{F0} ← NOT {F0}	Complement Content of Flag F0.	1	1				
CF F1	{F1} ← NOT {F1}	Complement Content of Flag F1.	1	1				
CA C	(C) ← 0	Clear content of carry bit to 0.	1	1				
CA F0	{F0} ← 0	Clear content of Flag 0 to 0.	1	1				
CA F1	{F1} ← 0	Clear content of Flag 1 to 0.	1	1				
MISCELLANEOUS								
NO		No operation	1	1				

4.3 48-SERIES OPERATION CODE

The mnemonic and hexadecimal equivalent for the operation codes (OPCODE) are contained in Table 4-3. The table is divided into functional operations.

Table 4-4 through Table 4-6 provide the hexadecimal opcodes for those instructions that involve registers, parts, and pages.

Table 4-3. 48-Series Operation Codes

MNEMONIC	HEX	MNEMONIC	HEX	MNEMONIC	HEX
CONTROL		ACCUMULATOR		INPUT/OUTPUT	
EN I	05	1 ADD A,Rr	6	IN A,P1	09
DIS I	15	1 ADD A,@R0	60	OUTL P1,A	39
SEL RB0	C5	1 ADD A,#data	61	ANL P1, #data	99
SEL RB1	D5	1 ADD A,Rr	03	ORL P1, #data	89
SEL MB0	E5	1 2 ADDC A,Rr	7		
SEL MB1	F5	1 ADDC A,@R0	70	IN A, P2	0A
ENT0 CLK	75	1 ANL A,Rr	71	OUT L P2, A	3A
		1 ADDC A,#Data	13	ANL P2, #data	9A
		2 ANL A,Rr	5	ORL P2, #data	8A
		ANL A,@R0	50		
		R1	51		
		ANL A,#data	53	INS A, BUS	08
2 MOV A,Rr	F	2 ORL A,Rr	4	OUTL BUS, A	02
MOV A,@R0	F0	ORL A,@R0	40	ANL BUS, #data	98
R1	F1	R1	41	ORL BUS, #data	88
MOV A,#data	23				
2 MOV Rr,Ar	A	ORL A,#data	43	3 MOVD A,Pp	0
MOV @R0,A	A0	2 XRL A,Rr	D	3 MOVD Pp,A	3
R1,A	A1	XRL A,@R0	D0	3 ANLD Pp,A	9
2 MOV Rr,#data	B	R1	D1	3 ORLD Pp,A	8
MOV @R0,#data	B0	XRL A,#data	D3		
R1,#data	B1	INC A	17		
3 XCH A,Rr	2	DEC A	07	REGISTER	
XCH A,@R0	20	CLR A	27	2 INC Rr	1
R1	21	CPL A	37	2 DEC Rr	C
XCHD A, @R0	30	RL A	E7	INC @R0	10
R1	31	RLC A	F7	R1	11
MOV A,PSW	C7	1 RRC A	67		
MOV PSW,A	D7	1 DA A	57		
MOVX A,@R0	80	1 SWAP A	47		
R1	81				
MOVX @R0,A	90				
R1,A	91				
MOV P3 A,@A	E3				
MOV P A,@A	A3				

Table 4-3. 48-Series Operation Codes (Cont'd.)

MNEMONIC	HEX	MNEMONIC	HEX	MNEMONIC	HEX
TIMER COUNTER		BRANCH		SUBROUTINE	
MOV A,T	42	4 JMP addr	4	4 CALL addr	4
MOV T,A	62	JMPP @A	B3	RET	83
STRT T	55	2 DJNZ Rr,addr	E	RETR	93
STRT CNT	45	JC addr	F6	NO DP	
STOP TCNT	65	JNC addr	E6		
		JZ addr	C6		
EN TCNTI	25	JNZ addr	96	NO P	00
DIS TCNTI	35	JTO addr	36		
		JNT0 addr	26	FLAGS	
		JT1	56	1 CLR C	97
		JNT1 addr	46	1 CPL C	A7
		JF0 addr	B6	CLR F0	85
		JF1 addr	76	CPL F0	95
		JTF addr	16	CLR F1	A5
		JNJ addr	86	CPL F1	B5
		JB0 addr	12		
		JB1 addr	32		
		JB2 addr	52		
		JB3 addr	72		
		JB4 addr	92		
		JB5 addr	B2		
		JB6 addr	D2		
		JB7 addr	F2		

- NOTES
- 1 - Carry Flag Affected
 - 2 - Refer to Register Accumulator Table 4-4
 - 3 - Refer to Input/Output Table 4-5
 - 4 - Refer to Branch Table 4-6

Table 4-4. Register/Accumulator

R _r	MOV A,R	MOV R _i ,A	XCH A,R	MOV R _i ,#DATA	INCR	DEC R	DJNZ R	ADD A,R	ADDC A,R	ANL A,R	ORL A,R	XRL A,R
R0	F8	A8	28	B8	18	C8	E8	68	78	58	48	D8
R1	F9	A9	29	B9	19	C9	E9	69	79	59	49	D9
R2	FA	AA	2A	BA	1A	CA	EA	6A	7A	5A	4A	DA
R3	FB	AB	2B	BB	1B	CB	EB	6B	7B	5B	4B	DB
R4	FC	AC	2C	BC	1C	CC	EC	6C	7C	5C	4C	DC
R5	FD	AD	2D	BD	1D	CD	ED	6D	7D	5D	4D	DD
R6	FE	AE	2E	BE	1E	CE	EE	6E	7E	5E	4E	DE
R7	FF	AF	2F	BF	1F	CF	EF	6F	7F	5F	4F	DF

Table 4-5. Input/Output

Port	IN	OUT	AND	OR
BUS	08	02	98	88
P1	09	39	99	89
P2	0A	3A	9A	8A
P4	0C	3C	9C	8C
P5	0D	3D	9D	8D
P6	0E	3E	9E	8E
P7	0F	3F	9F	8F

Table 4-6. Branch

Page	JMP	CALL
0	04	14
1	24	34
2	44	54
3	64	74
4	84	94
5	A4	B4
6	C4	D4
7	E4	F4

A N E X O E

BIBLIOGRAFIA

B I B L I O G R A F I A

- (1) Kingsley, Kusco y Fitzgerald "Teoría y análisis de las máquinas eléctricas". Editorial Hispano Europea, Barcelona (España), 1975.
- (2) I. L. Kosow. "Máquinas Eléctricas y transformadores"
- (3) Paredes Iván. "Control digital para rotor de antena" Tesis EPN, Marzo 1982.
- (4) Flores F. "Control con microprocesadores", Facultad de Ingeniería Eléctrica, EPN, 1986.
- (5) National Semiconductor, "48-series microprocessor Handbook", 1980.
- (6) J.E. Zborowski, "Automatic Televisión Antenna rotation System", IEEE Student papers, Trenton State College, 1985.
- (7) Texas Instruments, "The TTL data book", USA, January 1985.
- (8) PHILIPS ECG ING, "ECG Semiconductor Master replacement Guide", USA 1986.
- (9) National Semiconductor, "Linear data book", 1980.
- (10) National Semiconductor, "Voltaje regulator Handbook", 1975.

- (11) Electrospac systems Inc, "Proposal for steptrack modification to existing monopulse satellite tracking sistem", Richardson - Texas.
- (12) Electrospac systems Inc, "Proposal the turkey standard a ante na control system with linear DC drives", Richardson Texas 75080, October 1984.