

GRAFIZADOR DE CARACTERISTICAS DE TRANSISTORES EN EMISOR
COMUN

Tesis previa a la obtención del título de Ingeniero en
la especialización de Electrónica y Telecomunicaciones
de la Escuela Politécnica Nacional.

CARLOS ALBERTO SERRANO CISNEROS

QUITO

Diciembre de 1.973

Certifico que este trabajo
ha sido realizado en su to-
talidad por el Sr. Carlos
A. Serrano Cisneros.

Mauricio Vega V.

Ing. Mauricio Vega
CONSULTOR DE TESIS

Quito, Diciembre de 1.973

A MI ESPOSA MARIA GRACIELA

A MI HIJA CARLA PAOLA

A MI MADRE CLEMENCIA DE REYES

AGRADECIMIENTO

A mis hermanos en cuyo estímulo diario encontré apoyo moral y fuerzas para culminar mi carrera.

A todos los ecuatorianos que aportan para la creación de nuevos Ingenieros en las Universidades y particularmente en la Escuela Politécnica Nacional.

A mis amigos y profesores en especial a los Ings. Mauricio Vega y Jacinto Jijón quienes donaron su iniciativa y visión práctica para llevar a feliz culminación esta tesis.

A todos mis compañeros del Departamento de Electrónica - particularmente a los Sres. Dr. Kanti Hore, Erwin Barriga y - Marcelo Guarderas.

P R O L O G O

En la época actual en que verdaderamente se siente la necesidad de desarrollar nuestro País, la juventud pensante ecuatoriana forjada con un criterio futurista en las Universidades, ha creído concientemente que una de las maneras de lograrlo, es creando una tecnología propia que esté de acuerdo con el medio ambiente y alcance a cubrir las necesidades de este pueblo; con esto no se tiende una barrera a la tecnología extranjera, sino que se puede hacer uso de ella para fortificar la nuestra ; criterio del que participo y a mi sencillo juicio me parece muy acertado.

Si de lo antes expuesto se ha de partir, no se pretenda creer que el trabajo que contiene esta tesis, es fruto de una tecnología propia, pues, es de exponerse el hecho de que si algo del mismo resulta nuevo y útil, no será más que simplemente por experiencias personales de laboratorio y afán de lograr simplificar el conocimiento de Electrónica particularmente y el de los Transistores en general.

Me complace indicar que si el diseño electrónico del aparato construido sigue procedimientos tradicionales, no todo se ajusta a él, sino que también contiene conceptos y consideraciones que los he creído lógicos y que en primera instancia lo ha

justificado el trabajo del laboratorio. Para muchos entendidos - en la materia que trata este trabajo de tesis, podrá parecerles que se ha seguido un camino demasiado largo para conseguir el objetivo de la misma, sin embargo cabe mencionarse sin ningún sentido de justificación, el hecho que si bien es cierto un aparato debe ser lo más sencillo posible, no es menos cierto también que éste debe brindar garantía y seguridad en su manejo, aunque para conseguirlo sea necesario dejar en un plano secundario la sencillez; anhelo sobre manera que el presente trabajo teórico y su creación práctica brinden la confianza, sencillez y seguridad - deseadas y aporten provechosamente para la creación de una tecnología tan buscada por la juventud actual.

Finalmente mi reconocimiento a mi esposa María Graciela quien me ayudó a transcribir este trabajo.

I N D I C E G E N E R A L

	Página
Prologo	v
CAPITULO PRIMERO INTRODUCCION	1
CAPITULO SEGUNDO DIAGRAMA BLOQUE PARCIAL Y TOTAL DEL SISTEMA	5
A.- Análisis preliminar	6
B.- Diagrama bloque de un generador de tensión tipo escalera	13
C.- Diagrama bloque de un generador de onda triangular	19
CAPITULO TERCERO DISEÑO CIRCUITAL	25
A.- Diseño del generador de tensión tipo escalera	26
a.-1 Diseño del circuito de disparo	26
a.-2 Multivibrador Astable acoplado por colector	27
a.-3 Tiempo de cada parte de un ciclo	30
a.-4 Diseño del Multivibrador Astable	32

a.-5	Diseño de los multivibradores biestables con transistores	35
a.-6	Clasificación de los Flip-Flops	36
a.-7	Consideraciones prácticas de diseño	37
a.-8	Determinación de los estados estables de un Flip-Flop	40
a.-9	Diseño numérico de un Flip-Flop	42
a.-10	Introducción a los condensadores de aceleración o conmutación	48
a.-11	Formas de disparar un binario	53
a.-12	Disparo simétrico de un binario por las bases	55
a.-13	Diseño de los amplificadores operacionales	62
a.-14	Diseño del amplificador operacional que será usado como sumador	66
a.-15	Determinación de la ganancia	67
a.-16	Funcionamiento del amplificador diseñado como sumador	71
a.-17	Diseño de los sistemas resistivos para control de corriente	75
a.-18	Cálculo de las resistencias de emisor del transistor de prueba, en relación con las diferentes corrientes de base	79
B.-	Diseño del generador de onda triangular	82

b.-1	Diseño del amplificador operacional a ser usado como integrador	83
b.-2	Funcionamiento del amplificador opera cional usado como integrador	87
b.-3	Cálculo de $Z=R$ para determinar las tensiones máxima y mínima de salida	95
C.-	Diseño de las fuentes de alimentación del sistema	102
c.-1	Diseño de una fuente de poder de 50v y una estabilizada y regulable de 4 a 9v	102
c.-2	Filtro de condensador y fuente de poder de 50v DC.	103
c.-3	Fuente de poder estabilizada y regulable de 4 a 9v	106
c.-4	Fuente de poder regulable de 0 a 120v	110
CAPITULO CUARTO CONSTRUCCION DEL EQUIPO DISEÑADO		117
CAPITULO QUINTO RESULTADOS EXPERIMENTALES Y CONCLUSIONES		128
Comparación de los valores calculados con los medidos		129
Conclusiones		131
Bibliografía		132

CAPITULO PRIMERO

INTRODUCCION

INTRODUCCION.

El objetivo primordial de este trabajo, es lograr hacer algo útil para la enseñanza práctica del estudiante de Ingeniería Electrónica de la Escuela Politécnica Nacional. Al referirme al término útil, pongo en conocimiento de las personas a cuyas manos llegue este trabajo, el hecho de que la parte práctica fruta de la teoría que contiene esta tesis, está equipado de tal manera que el estudiante que comienza a conocer Electrónica y por ende los transistores, tenga en este aparato una ayuda en el sentido de que podrá observar objetivamente las variaciones de polarización de un transistor, variaciones en la inclinación de la recta de carga, y, comportamiento electrónico del mismo con variaciones en su corriente de base, así como también las características Colector Emisor de aquellos transistores cuyo comportamiento se desconoce o no existen en manuales.

En lo que al diseño propiamente se refiere, cabe mencionarse el hecho de que este trabajo presenta pocas obras de consulta pues una gran parte de él fue diseñado con experiencias prácticas obtenidas en el laboratorio de Electrónica, a más de los conocimientos teóricos adquiridos cuando estudiante, época de la cual los resúmenes de Electrónica fueron mis mejores aliados.

De lo expuesto anteriormente, se desprende con claridad el que este trabajo no será una fuente de virtudes, sino más bien una pequeña recopilación de ciertas consideraciones prác

ticas de diseño que las he creído de especial importancia, dadas a conocer a medida que se avanza en la lectura de esta tesis y en el desarrollo de las diferentes partes constitutivas de la misma.

En lo que al capítulo I se refiere, he deseado desarrollar este trabajo de una manera objetiva a base de formas de onda y diagramas bloque, los mismos que ha medida que han ido creándose han dejado al descubierto la necesidad de un próximo paso o bloque hasta llegar a culminar en un diagrama total, que reflejará las partes a ser diseñadas bajo las condiciones de las necesidades creadas.

El capítulo II, contiene únicamente el diseño teórico de las partes constitutivas del equipo a ser construido, en el cual se da una especial importancia a las aproximaciones que son usuales en los circuitos electrónicos, especialmente en los circuitos equivalentes. Este capítulo guarda en sus páginas análisis teóricos y consideraciones desprendidas de la práctica especialmente en la forma de disparo de los Flip-Flops y el uso de un amplificador operacional con un solo paso de amplificación a ser usado en la elaboración de los generadores de tensión en escalera y de onda triangular, así como también diseños completos y recomendaciones para los siguientes circuitos electrónicos que por cierto son muy usados y su tecnología bastante avanzada: Circuitos de reloj (Astable); multivibradores biestables (Flip-Flops); fuentes de poder estabilizadas y regulables; sistemas resistivos para control de corriente de base del transistor a ser probado y

resistencias de emisor del mismo transistor para tomar muestras de corriente de emisor, cuya consideración de que es similar a la de colector es muy aceptable.

El capítulo IV contiene dimensiones del equipo construido fotografías del mismo, así como de las plaquetas constitutivas y curvas obtenidas de algunos transistores haciendo uso del equipo diseñado.

El capítulo V es un fiel reflejo de lo conseguido prácticamente haciendo uso de lo teórico, en el cual se puede valorar objetivamente la concordancia de la teoría con la práctica, pudiéndose concluir con mucha claridad si las consideraciones hechas para el diseño son útiles o no.

CAPITULO SEGUNDO

DIAGRAMA BLOQUE PARCIAL

Y TOTAL DEL SISTEMA

DIAGRAMA BLOQUE PARCIAL Y TOTAL DEL SISTEMA.

A menudo un problema de cualquier índole, es visualizado en mejor forma, cuando lo resolvemos gráficamente constituyendo se este hecho en el objetivo del presente capítulo.

A.- ANALISIS PRELIMINAR.

Partiremos de la meta de esta tesis, es decir, asumiendo que ya hemos obtenido en el osciloscopio las características colector emisor de un transistor conectado en emisor común Fig.2-1 y analizándolas; de donde se desprende el hecho de que cada línea de corriente de base i_B , posee un valor constante de lo cual haremos uso para realizar el análisis.

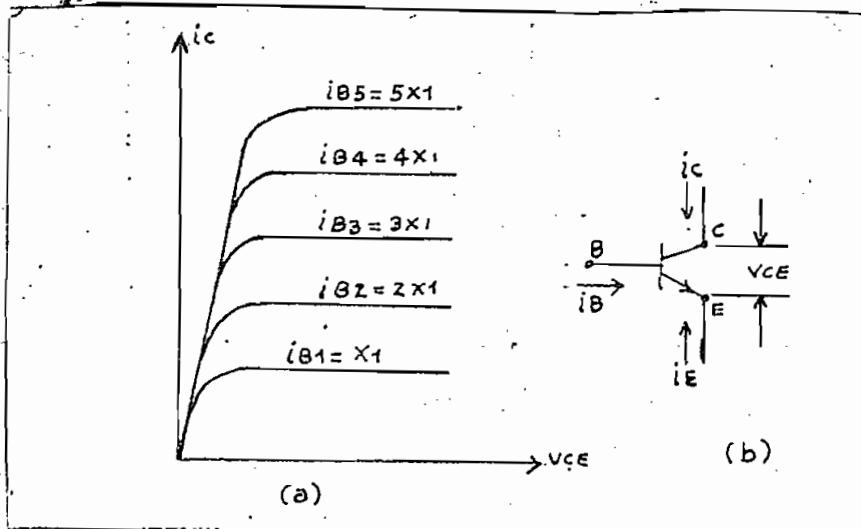


Fig. 2-1 (a) Características de un transistor en emisor común;-
(b) representación de un transistor.

Es muy conocido que muchos problemas se los resuelve par-
tiendo del plano de la suposición, y haremos uso de este hecho
para considerar que se tiene únicamente la línea de corriente -
de base (B4 Fig.2-1 representada en la Fig. 2-2, la cual se man-
tiene constante aún cuando los valores de VCE e i_c han variado,
lo cual se lo justifica del modo siguiente: Fig.2-3 y 2-4.

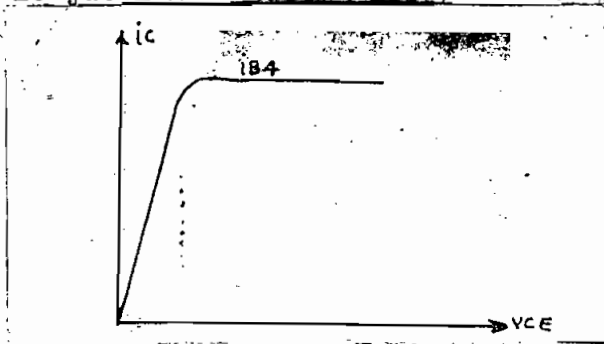


Fig.2-2 Característica de un transistor en emisor común para una corriente de base constante.

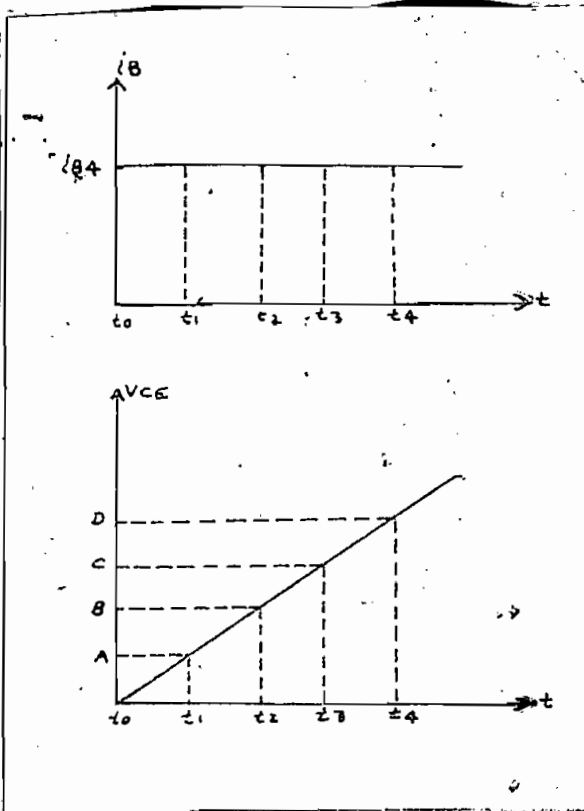


Fig. 2-3 Línea de corriente de base constante como función del tiempo.

Fig. 2-4 Voltaje colector - emisor como función del tiempo.

A un tiempo $t = t_0$	$V_{CE} = 0$	e $i_B = i_{B4}$
A un tiempo $t = t_1$	$V_{CE} = A$ v.	e $i_B = i_{B4}$
A un tiempo $t = t_2$	$V_{CE} = B$ v.	e $i_B = i_{B4}$
A un tiempo $t = t_3$	$V_{CE} = C$ v.	e $i_B = i_{B4}$
A un tiempo $t = t_4$	$V_{CE} = D$ v.	e $i_B = i_{B4}$

Luego, si en la configuración de la Fig. 2-5, polarizamos al transistor conectado en emisor común con una tensión de voltaje rampa igual a la de la Fig. 2-4, e introduciendo una señal de corriente de base igual a la de la Fig. 2-3 y sacando señales de V_{CE} e introduciendo en la sección horizontal del osciloscopio, - para ser usada como señal de barrido horizontal, obtendremos la representación gráfica en la pantalla del osciloscopio igual a la de la Fig. 2-2, cuando una señal equivalente a la corriente de colector del transistor, sea introducida en la sección vertical del mismo.

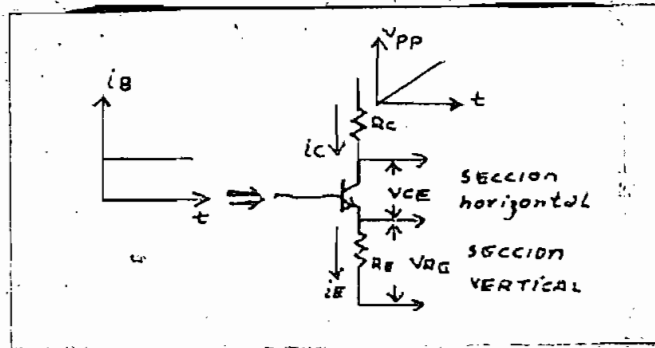


Fig. 2-5 Polarización del transistor de prueba.

Las siguientes ecuaciones representan el comportamiento de un transistor en las que β es la amplificación de corriente para la configuración en emisor común y se lo define como la razón de transferencia de corriente continua en cortocircuito.

Este parámetro se obtiene fácilmente de las características con emisor común, tomando la razón de la variación de la corriente de colector a la de la corriente de base a lo largo de una línea de V_{CE} constante.

$$\beta = \left. \frac{di_C}{di_B} \right|_{V_{CE}, \text{ const.}} \quad i_E = i_C + i_B$$
$$V_{RE} = i_E \times R_E = (i_C + i_B) R_E$$
$$i_B = \frac{i_C}{\beta}$$
$$V_{RE} = \left(i_C + \frac{i_C}{\beta} \right) R_E = i_C \left(\frac{\beta + 1}{\beta} \right) R_E \quad (2-1)$$

Podríamos generalizar el caso en que $\beta \gg 1$, luego la Ec. (2-1), se transforma con mucha aproximación en la Ec. (2-2), en la que, cuando $R_E = 1\Omega$, entonces

$$V_{RE} = i_C \times 1\Omega$$
$$|V_{RE}| = |i_C|$$
$$V_{RE} \approx i_C \times R_E \quad (2-2)$$

siendo una señal representada por la Ec. (2-2) la que usemos en la parte vertical del osciloscopio para lograr nuestro objetivo.

Si llegamos al caso en que V_{CE} toma valores muy grandes, se puede llegar a la sección de ruptura del transistor Fig. 2-6 lo que se puede evitar de dos maneras:

- 1.- Controlando el voltaje colector emisor o en definitiva el de polarización y
- 2.- Si llega a ser este el caso, se puede preservar un po

co más el transistor, limitando la corriente de colec-
tor con una resistencia R_c , la misma que tendrá más acción sobre
las líneas de más alta corriente de base que sobre las de peque-
ña corriente, pudiéndose evitar que pasen por la zona de máxima
disipación de potencia del transistor.

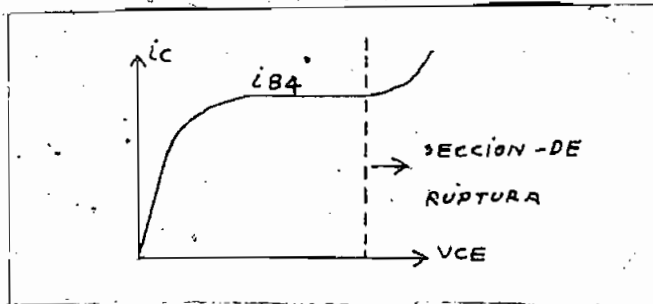


Fig. 2-6 Muestra de la sección de ruptura cuando V_{CE} llega a valores altos.

Continuando con nuestro análisis, veamos lo que sucede -
cuando tenemos una corriente de base igual a la de la Fig. 2-7 -
y el V_{CE} sea aquel de la Fig. 2-8 . Del tiempo $t = t_0$ al $t = t_1$ -
el gráfico que se observará en el osciloscopio es el de la Fig.
2-2 pero en el instante $t = t_1+$; la corriente de base cambia a -
un valor $i_B = i_{B5}$; estando el valor de V_{CE} en su pico máximo, y
comienza a descender en valor hasta llegar en el tiempo $t = t_2$ -
a un valor cero donde la corriente de colector i_C será cero, man-
teniéndose constante la corriente de base en $i_B = i_{B5}$; para es-
te caso, el gráfico a observarse en el osciloscopio es el de la
Fig. 2-9 , donde el trazo de ida será por i_{B4} y el de retorno -
por i_{B5} .

Veamos lo que sucede cuando la corriente de base tenga la
forma de una escalera Fig. 2-10 y la tensión V_{CE} la de una onda
triangular Fig. 2-11

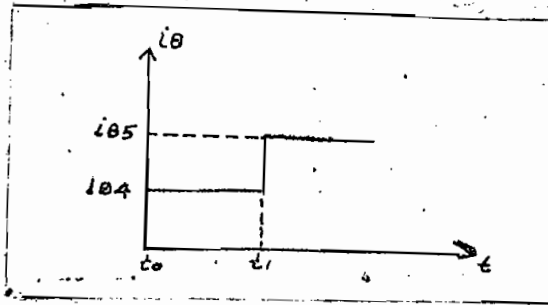


Fig. 2-7 Gráfico de la corriente de base con doble escalón como función del tiempo.

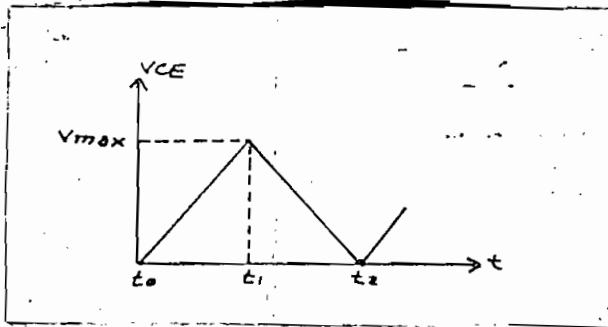


Fig. 2-8 V_{CE} como función del tiempo cuando la polarización del transistor se realiza con una tensión triangular.

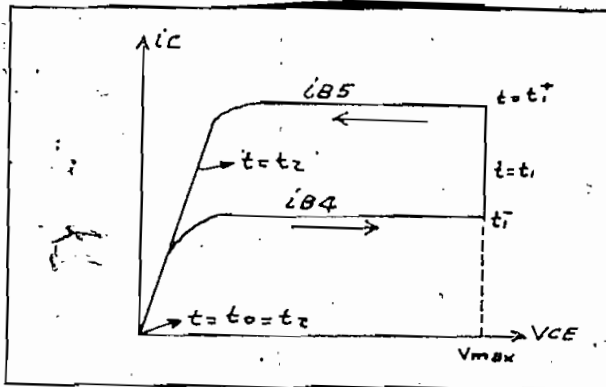


Fig. 2-9 Características de un transistor cuando i_B es la de la Fig. 2-7 y V_{CE} es el de la Fig. 2-8.

Al tiempo $t = t_0$; $V_{CE} = V_{CE \text{ max.}}$ e $i_B = i_{B1}$; a partir de este instante V_{CE} decrecerá linealmente hasta el tiempo $t = t_1$ momento en el que i_B como V_{CE} serán cero. En el instante $t = t_1$, i_B permanecerá en cero hasta el tiempo t_1' mientras V_{CE} llegará a su punto máximo comenzando un nuevo ciclo de ocho

escalones en la corriente de base y en consecuencia un nuevo barrido completo en el osciloscopio. Si la frecuencia, tanto de i_B como de V_{CE} es suficientemente alta, se podrá observar en la pantalla del osciloscopio un trazo aparentemente instantáneo para la vista, de las ocho curvas características del transistor a ser probado, apareciendo todas simultáneamente como en la Fig. 2-12.

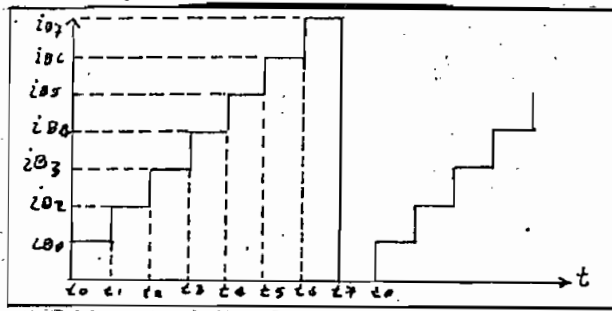


Fig. 2-10 Corriente de base tipo escalera.

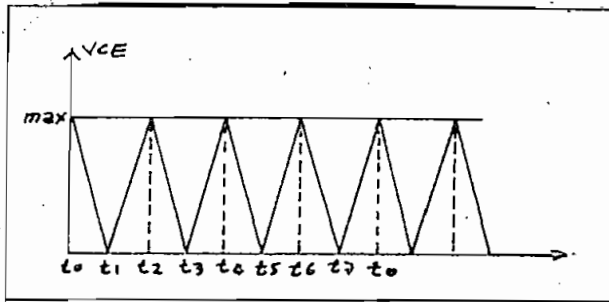


Fig. 2-11 V_{CE} de tipo onda triangular.

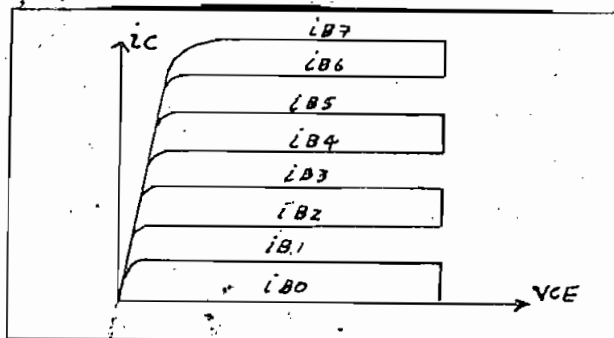


Fig. 2-12 Características de un transistor cuando i_B es tipo escalera y V_{CE} triangular.

Lógicamente los ejes de ordenadas tanto de i_C como de v_{CE} , no aparecerán pero se puede en el osciloscopio tomar estas referencias, determinando el origen de las mismas. De este análisis y para cumplir con el propósito del presente capítulo, es una necesidad imperante obtener gráficamente tanto la corriente tipo - escalera como la tensión tipo triangular, lo que se puede satisfacer del modo siguiente:

B.- DIAGRAMA BLOQUE DE UN GENERADOR DE TENSION TIPO ESCALERA.

1.- Construimos un circuito Astable cuya función principal es oscilar a una frecuencia definida dando un tipo de onda rectangular. La Fig. 2-13 muestra la representación a usarse para de - terminar a un Astable como la forma de onda que genera y que será usada como la señal patrón o de reloj.

2.- Es imperante también tener circuitos biestables o Flip - Flops, cuyas salidas se encuentran en corte y saturación, siendo necesarios sacarles de estos estados con señales de disparo, ad - quiriendo el estado contrario, hasta que un nuevo disparo prove - niente de una fuente exterior al circuito sea producido.

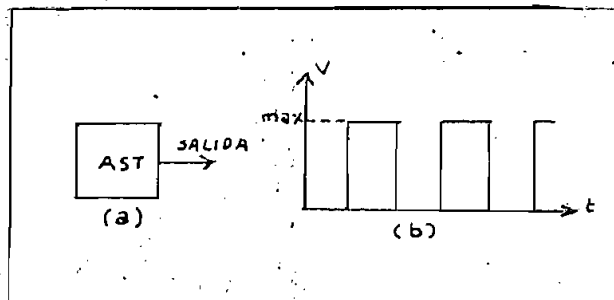


Fig. 2-13 (a) Representación gráfica de un circuito Astable (b) - Forma de onda que genera.

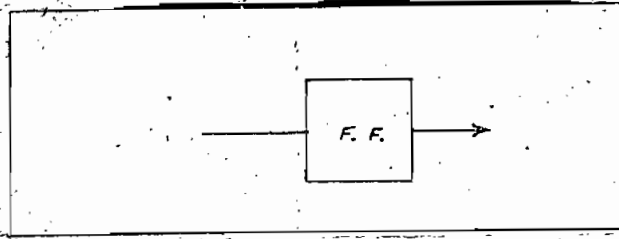
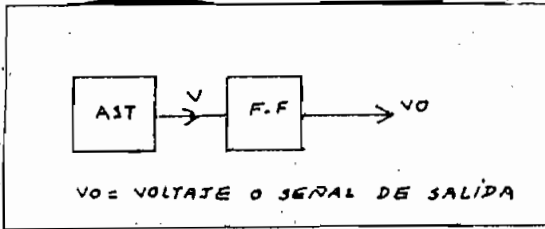


Fig. 2-14 Representación gráfica de un F.F.



Vo = voltaje o señal de salida.

Fig. 2-15 Forma de disparar al F.F.

La Fig. 2-14 ilustra la representación del circuito bistable y la Fig. 2-15 la forma de obtener el cambio de estado del Flip-Flop (F.F.), usando como señal de disparo la forma de onda de salida del circuito Astable.

Como se observará en la Fig. 2-16 el circuito F.F. divide por dos la frecuencia de oscilación del Astable, justificándose este comportamiento en el capítulo III.

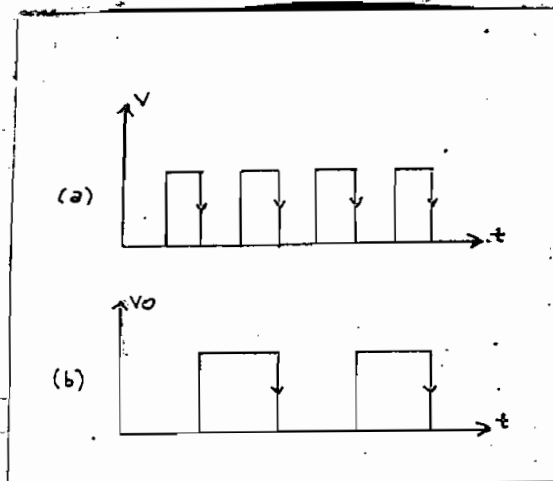


Fig. 2-16 (a) Señal del Astable (b) señal de salida del F.F.

Si la señal del circuito de la Fig. 2-15 se usa como señal de reloj para un siguiente F.F. y la de este como señal de reloj de otro similar, se obtiene un gráfico en bloque como el de la Fig. 2-17 y sus señales serán las de la Fig. 2-18.

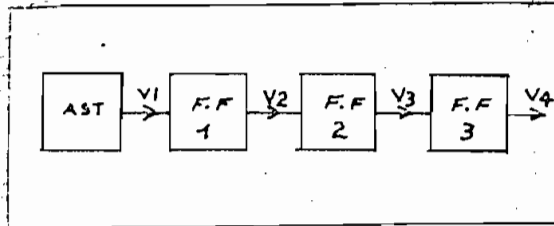


Fig. 2-17 Diagrama bloque del acoplamiento del circuito Astable con los Flip-Flops.

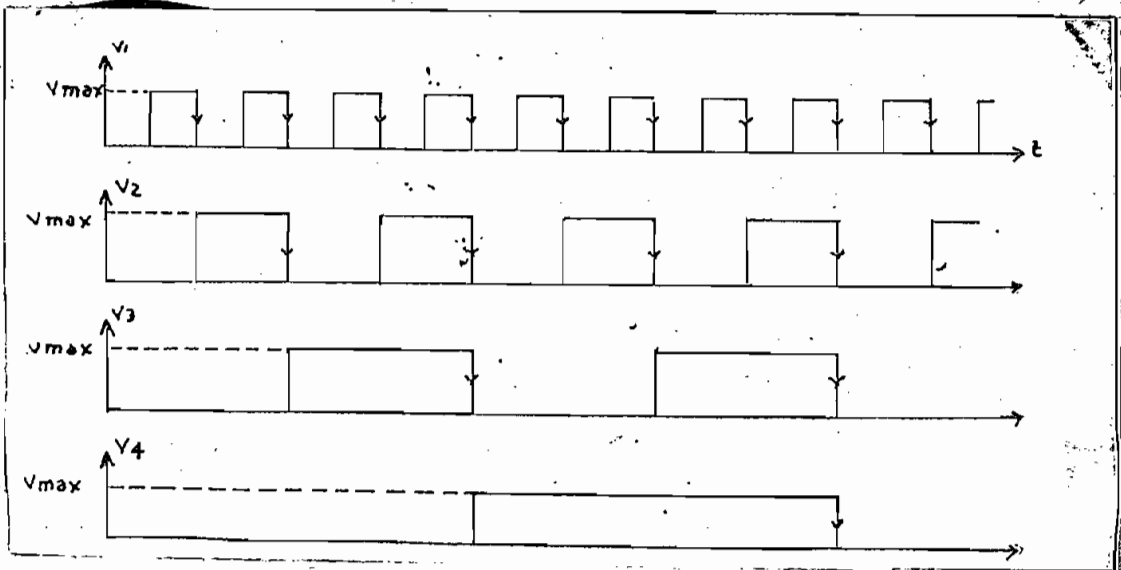


Fig. 2-18 Señales de salida de cada uno de los circuitos de la Fig. 2-17.

Si se suman los voltajes V_2 ; V_3 y V_4 como función del tiempo, la respuesta es la grafizada en la Fig. 2-19, en la que se observa que si $V_{max} = 1$, se hace imperante multiplicar a V_3 por 2; a V_4 por 4 y sumando a estas con V_2 , se obtiene la res --

puesta grafizada en la Fig. 2-20, con lo cual se ha logrado cumplir con la necesidad de obtener una corriente tipo escalera para ser usada como corriente de base del transistor de prueba.

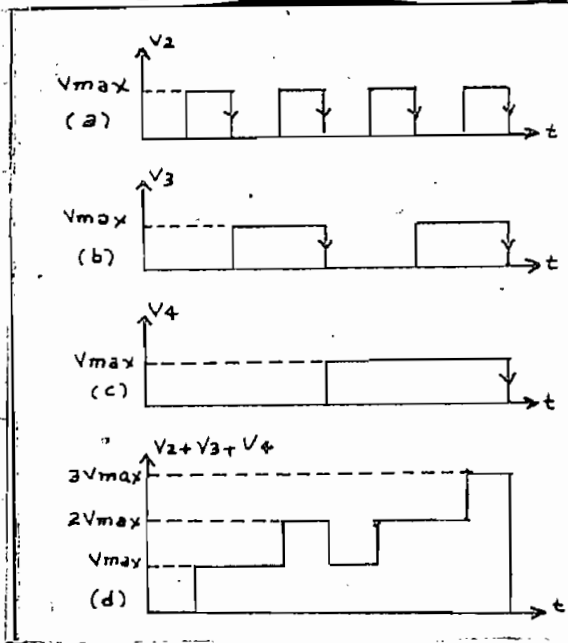


Fig. 2-19 (a) Señal del F.F.1; (b) señal del F.F.2; (c) señal del F.F.3; (d) suma de las señales de los 3 F.Fs. en el tiempo.

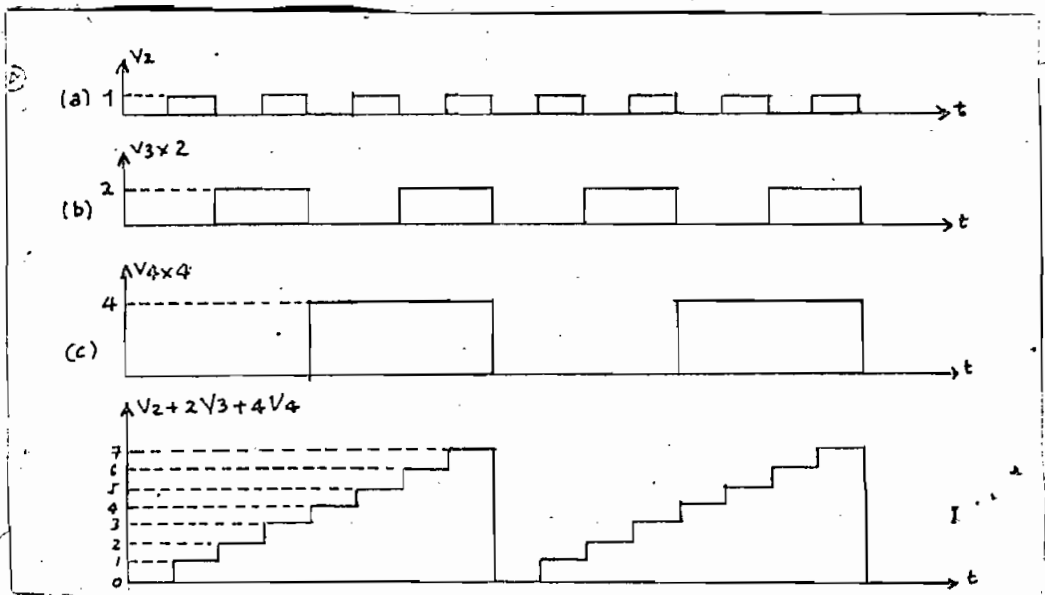


Fig. 2-20 (a) señal del F.F.1; (b) señal del F.F.2 x 2; (c) señal del F.F.3 x 4; (d) suma de las señales del sistema compuesto por los tres F.Fs.

Par sumar $V_2 + V_3 \times 2 + V_4 \times 4$, es necesario disponer de un circuito que realice tal operación; este elemento es un amplificador operacional que sea usado como sumador cuya representación se ilustra en la Fig.2-21 y que cumple con la Ec.(2-3).

$$\frac{V_{in}}{V_{out}} = - \frac{R_1}{R_o} \quad V_{out} = - V_{in} \times R_o / R_1 \quad (2-3)$$

$$\text{Si } R_1 = \frac{R_o}{2} \text{ entonces } V_{out} = - 2V_{in}.$$

Consecuentemente, el voltaje o señal de entrada ha sido invertido y multiplicado por dos.

$$\text{Si } R_1 = \frac{R_o}{4} \text{ entonces } V_{out} = -4V_{in}.$$

En este caso, las señales de entrada han sido invertidas y multiplicadas por dos y cuatro respectivamente, realizándose la suma del modo que se indica en la Fig.2-22, en la que se cumple con la siguiente ecuación.

$$V_{out} = -(V_2 + 2V_3 + 4V_4)$$

Siendo V_2 la señal de la Fig.2-19a, V_3 la señal de la Fig. 2-19b, y V_4 la de la Fig.2-19c, la salida V_{out} , será como aquella de la Fig.2-20d pero invertida.

El diagrama bloque de este generador de tensión tipo es-

calera es el de la Fig. 2-23 , cumpliéndose de este modo con el diseño en bloque del generador, restando el diseño en bloque del generador de onda triangular para barrido horizontal.

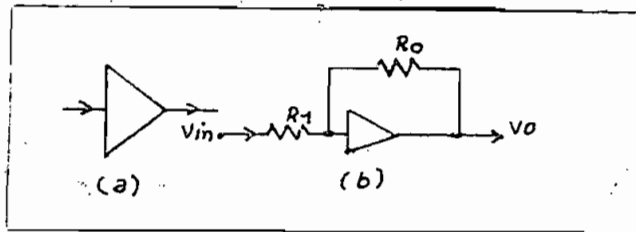


Fig. 2-21 (a) Representación de un amplificador operacional; (b) Amplificador operacional usado como sumador y multiplicador inversor.

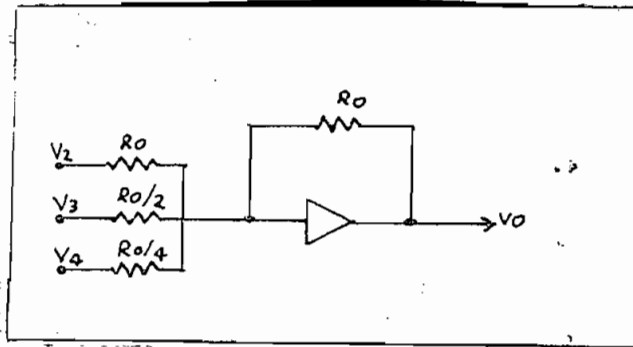


Fig 2-22 Amplificador operacional usado como sumador y multiplicador de señales.

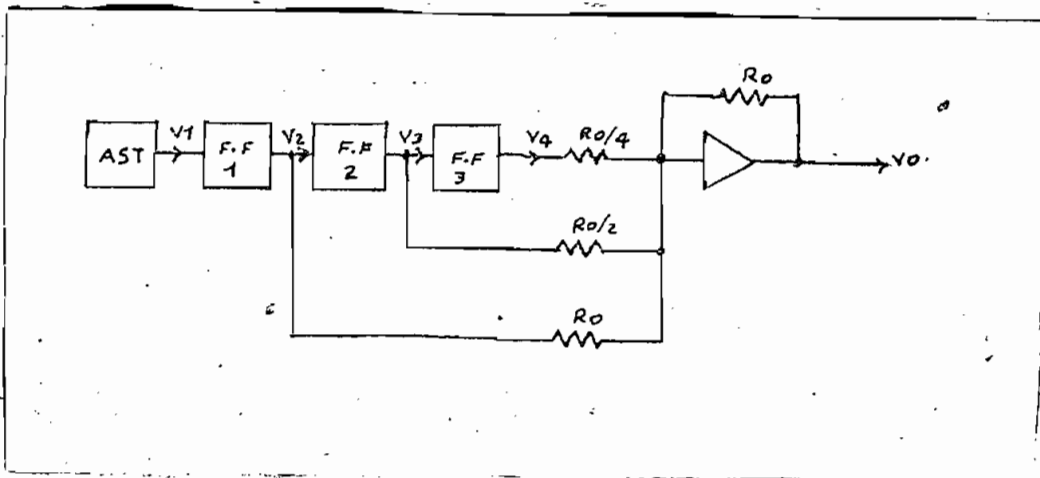


Fig. 2-23 Diagrama bloque de un generador de tensión tipo escalera.

C.- DIAGRAMA BLOQUE DE UN GENERADOR DE ONDA TRIANGULAR.

El punto de partida para cumplir con este diseño, es el hecho que, al integrar una onda de tensión rectangular, matemáticamente se obtiene una onda triangular, de cuyo diagrama blo-

que nos ocuparemos a continuación.

La Fig. 2-24a y b; muestra las ondas rectangular y triangular respectivamente. Si la integración de la onda de la Fig. 2-24a, es la de la Fig. 2-24b, se necesita conocer que tipo de circuito electrónico realiza tal labor, y, esta designación lo cumple el amplificador operacional usado como integrador, cuya representación en bloque es aquella de la Fig. 2-25 y responde a la ecuación integral definida como Ec.(2-4) que se estudiará en el capítulo III literal a-3.

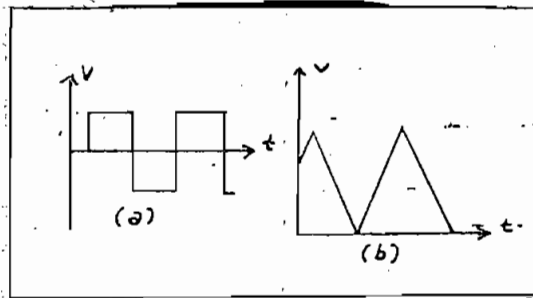


Fig. 2-24 (a) Tensión rectangular; (b) Integración de la tensión rectangular.

$$\frac{V_{out.}}{V_{in.}} = \frac{-1}{Rc} \int i dt. \quad (2-4)$$

En consecuencia si $V_{in.}$ es la onda de tensión de la Fig.

2-24a, la salida V_{out} . tendrá la forma de aquella de la Fig. 2-24b con lo cual se ha cumplido con otro requerimiento, restando únicamente determinar el lugar de donde se obtendrá la señal de entrada al integrador, puesto que, ésta al ser integrada, debe ser sincronizada con aquella tensión tipo escalera del modo siguiente Fig. 2-26.

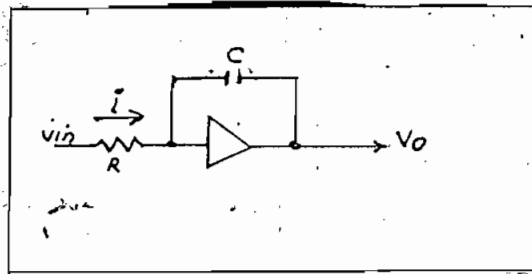


Fig. 2-25 Representación gráfica de un integrador.

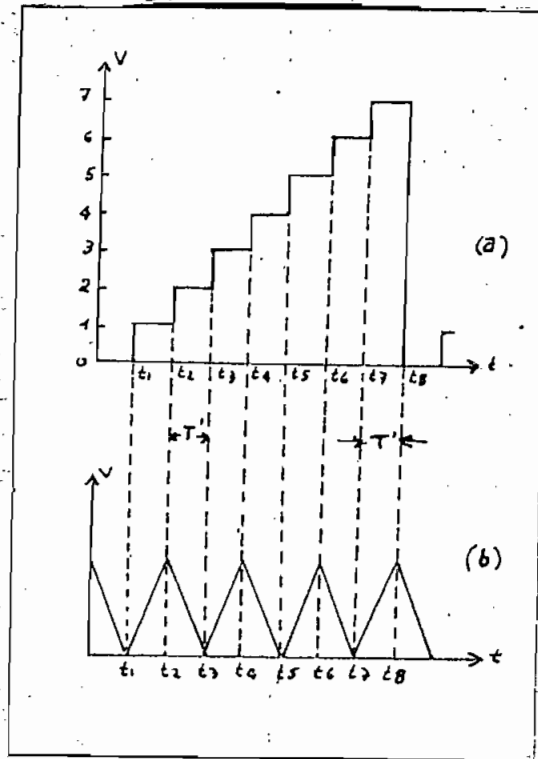


Fig. 2-26 Sincronismo entre (a) la tensión tipo escalera y (b) la tensión rectangular.

Como se observa en la Fig. 2-26, es necesario integrar una tensión de tipo de onda rectangular cuyo semiperíodo tenga una duración T' como se indica en la Fig. 2-26a, obteniéndose la tensión tipo triangular Fig. 2-27.

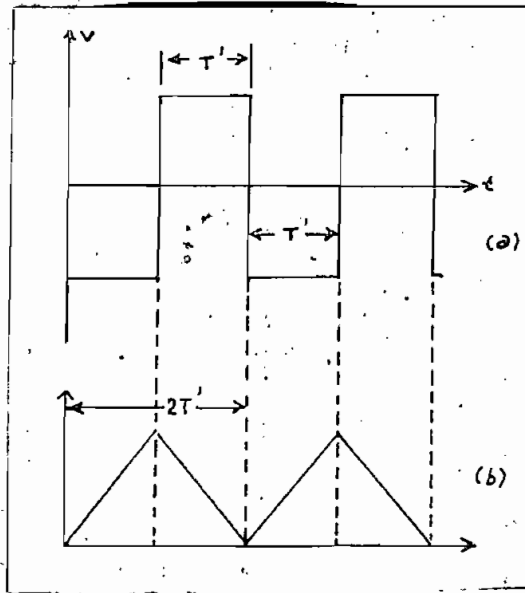


Fig. 2-27 (a) Tensión de onda rectangular; (b) Integración de la onda rectangular.

Analizando la Fig. 2-20, se deduce que la tensión que cumple dicha condición es la de la Fig. 2-20a, que se lo obtiene de la salida del F.F.1 Fig. 2-17 y su salida se encuentra representada como V_2 en la Fig. 2-18, siendo imprescindible hacerla pasar a través de un condensador "C" Fig. 2-28 de un valor relativamente grande con el propósito de eliminar la parte de D.C. y obtener la forma de onda ilustrada en la Fig. 2-27a. Consecuentemente el diagrama bloque parcial de obtener la tensión tipo triangular, es el de la Fig. 2-29.

A menudo, uno de los problemas del diseño, es el control de

la corriente de base y de colector, en este trabajo, dicho inconveniente se obvia con el uso de un sistema de resistencias en la base, para evitar que las características que se observen en el osciloscopio del transistor que se está probando, aparezcan solo en la región de corte o solo en la de saturación.

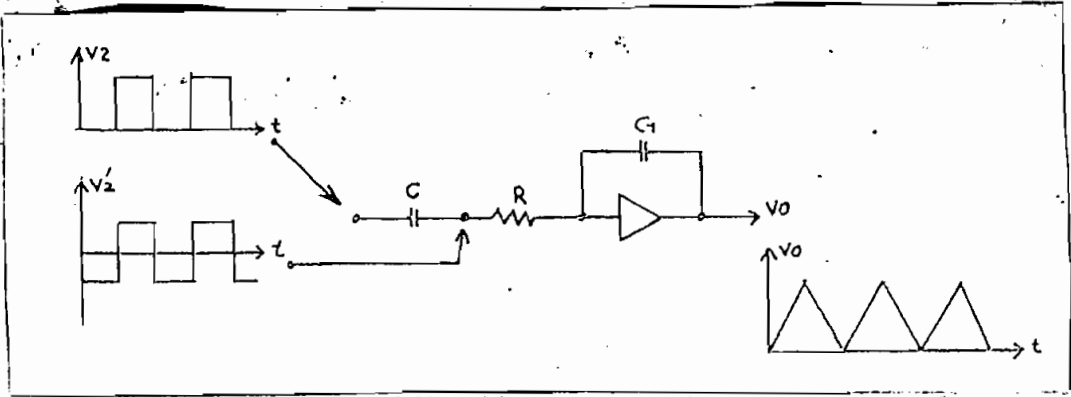


Fig. 2-28 Modo de eliminar la parte de DC. de V_2 para transformarla en V_2' la que está en condiciones de ser integrada.

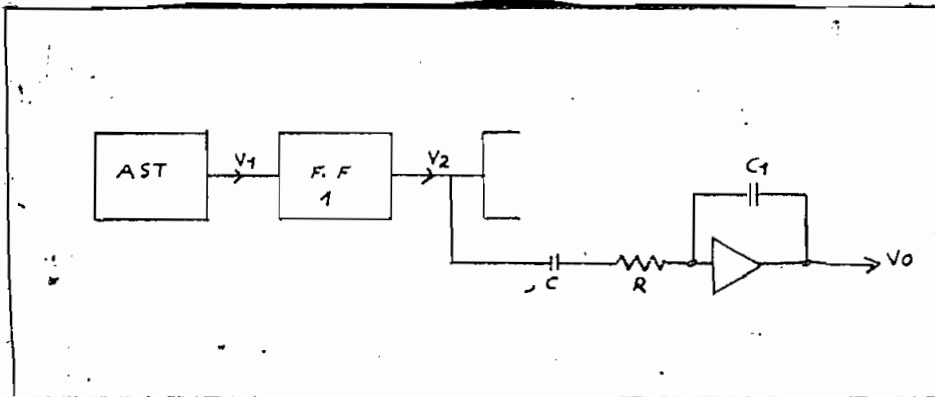


Fig. 2-29 Diagrama bloque parcial con el que se obtendrá una tensión tipo triangular.

Un sistema de resistencias o un potenciómetro en el colector del transistor de prueba, limitará la corriente de dicho elemento y se observará las diferentes líneas de carga, así como también se evitará que el transistor en la región de líneas de corriente de base constante superiores, llegue a regiones de rup

tura. Lo anotado anteriormente, se representa en forma gráfica - del modo siguiente Fig. 2-30:

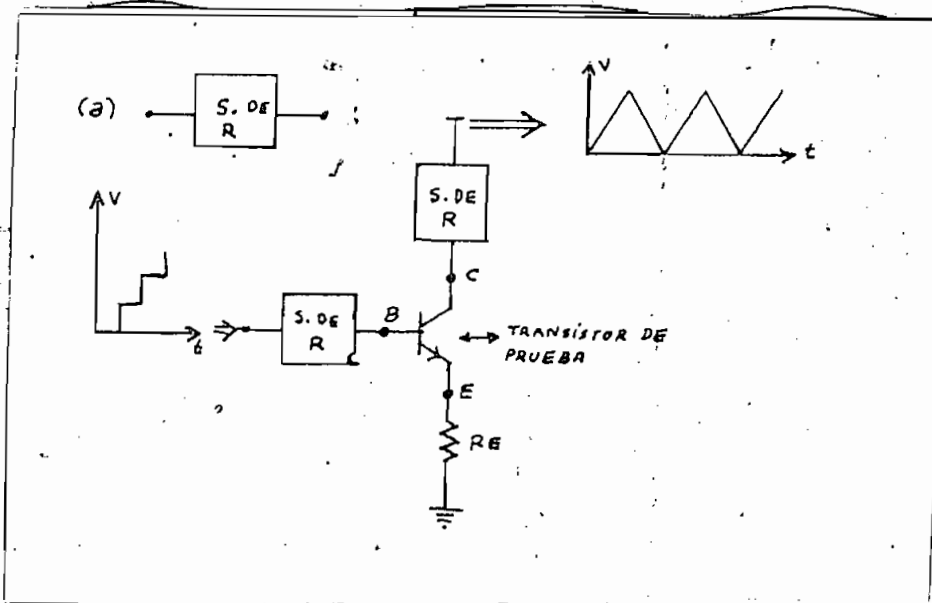


Fig. 2-30- (a) Representación gráfica de un sistema de resistencias; (b) Forma de controlar la corriente de base y de limitar la de colector.

De todo lo hasta el momento expuesto, se concluye que con el gráfico ilustrado en la Fig. 2-31, se puede obtener las características de transistores PNP o NPN en emisor común, siendo ésta una representación en bloque total del equipo a diseñarse. La misma figura muestra un sistema de switches para poder seleccionar el tipo de transistor a ser probado, con el objeto de polarizar los elementos activos constitutivos de los diferentes circuitos electrónicos.

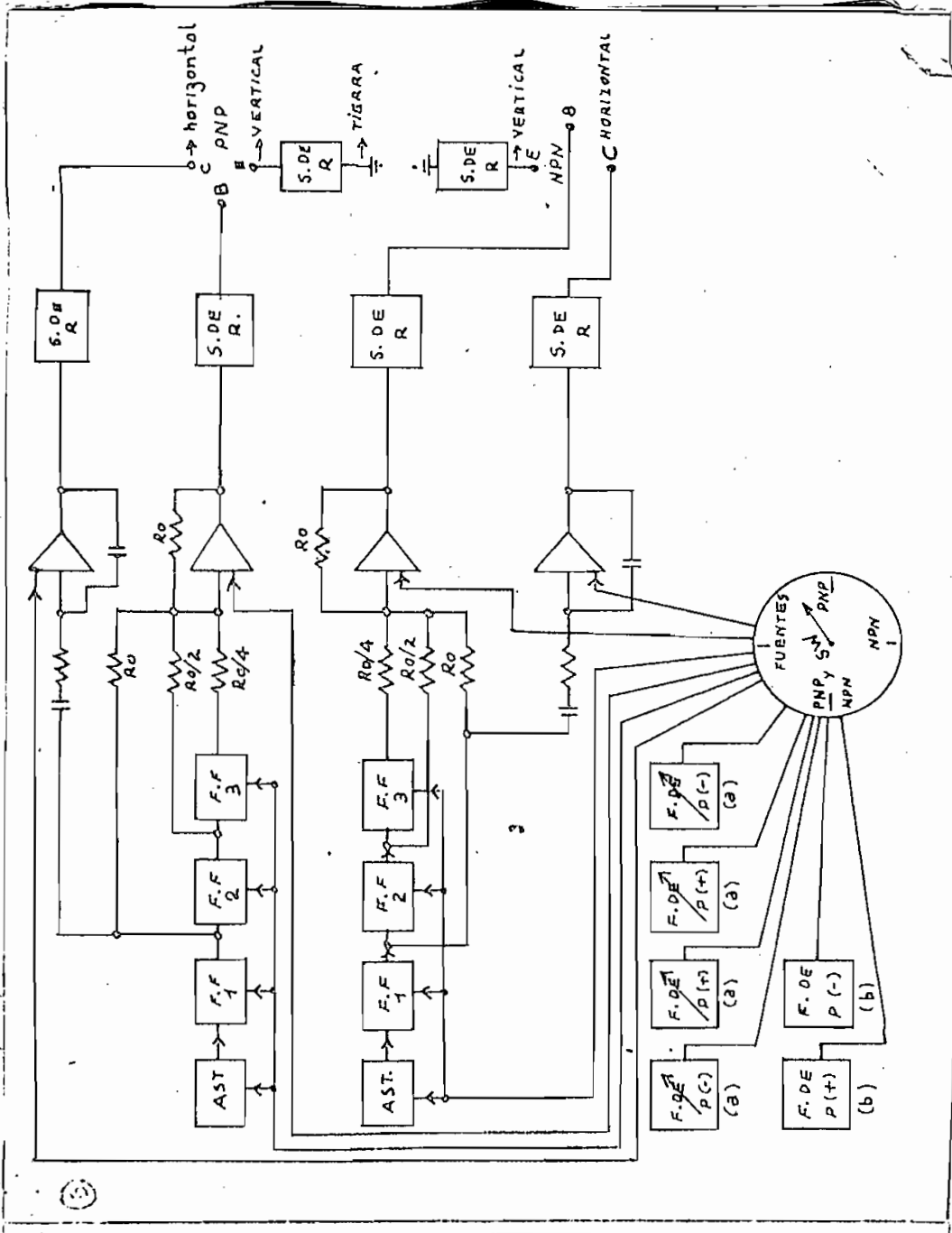


Fig. 2-31 Diagrama bloque total del equipo a construirse, donde los cuadros que están junto a la (a), representan fuentes de poder de tensión variable y los que están junto a la (b) fuentes de poder de tensión fija. El switch SW. selecciona el tipo de transistor a ser probado siendo PNP o NPN o los dos tipos simultáneamente, además de que posee una posición adicional que permite usar las fuentes del equipo para uso exterior al mismo.

CAPITULO TERCERO

DISEÑO CIRCUITAL

001638

DISEÑO CIRCUITAL

Este capítulo se ocupa del diseño circuital y numérico del equipo a ser construido, así como también las consideraciones o simplificaciones que se permiten hacer al transcurso del mismo, con el objeto de que no sea tedioso matemáticamente, sino de cierta utilidad práctica. Se observará que a medida que se requiera, se hace uso de ciertas constantes que muchos libros las consideran prácticas y que serán dadas a conocer con oportunidad.

A.- DISEÑO DEL GENERADOR DE TENSION TIPO ESCALERA

Del análisis realizado en el capítulo II literal B, se llegó a concluir que el circuito en bloque generador de una tensión tipo escalera, es aquel de la Fig. 2-22 constituido de un multivibrador Astable; tres Flip-Flops y un amplificador operacional usado como sumador multiplicador de cuyo diseño nos ocuparemos.

a.- 1 DISEÑO DEL CIRCUITO DE DISPARO

A menudo se considera que la señal proveniente de un oscilador de onda cuadrada o multivibrador Astable, puede ser usada para que a través de un circuito de disparo, controle el trabajo de los F.Fs., constituyéndose de este modo en la señal de reloj del conjunto. El circuito Astable posee dos estados semi-

estables, en los cuales sin necesidad de una señal de disparo exterior, el circuito pasará sucesivamente de un estado semiestable al otro, consecuentemente, el circuito Astable no es sino un acoplamiento de dos etapas de amplificación de tal manera que se obtengan dos estados semiestables.

a.- 2 MULTIVIBRADOR ASTABLE ACOPLADO POR COLECTOR

La Fig. 3-1 ilustra la forma de un multivibrador (MV) Astable acoplado por colector. Debido a que existe un acoplamiento por capacidad entre etapas, ningún transistor puede permanecer cortado permanentemente y por el contrario tendrá dos estados semiestables realizando transiciones periódicas entre los mismos.

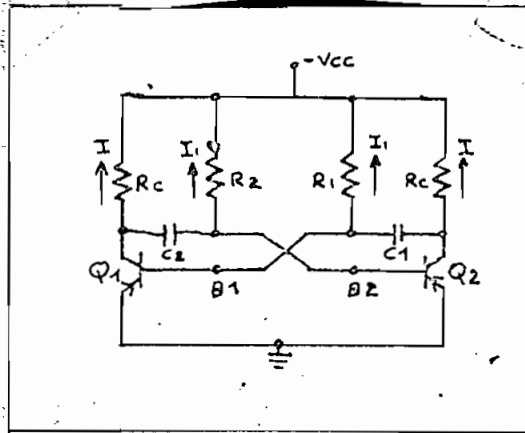


Fig. 3-1 Multivibrador Astable acoplado por Colector.

Su finalidad y su funcionamiento en el diseño son los siguientes:

Si se supone que inmediatamente antes del instante $t = 0$,

el transistor Q1 se encuentra en saturación con una corriente de colector I, y Q2 está cortado, a un tiempo $t < 0$, se podrá observar las diferentes tensiones del circuito en la Fig. 3-2, donde C1 se carga a través de R1 y cae exponencialmente hacia $-V_{cc}$. Para $t = 0$, la base B1 alcanza la tensión de arranque V_{β} y Q1 conduce. Al ir Q1 hacia la saturación, V_{c1} sube el escalón $I R_c$ hasta el valor $V_{CE(sat)}$ como se observa en la Fig. 3-2b. El salto en V_{c1} , ocasiona otro similar, $I R_c$ en V_{B2} , puesto que ambos están acoplados por capacidad, lo que cortará a Q2 y la tensión de su colector cae a $-V_{cc}$. Esta caída en V_{c2} , se acopla mediante el condensador C1 a la base de Q1, ocasionando el subpulso δ en V_{B1} Fig. 3-2a y la caída brusca en V_{c2} de la misma magnitud. Estando la corriente de base I'_b en el subpulso, las ondas en la base de Q1 y el colector de Q2 varían exponencialmente con la constante de tiempo $\tau = (R_c + r_{bb'})C1$ hacia los valores V_{β} y $-V_{cc}$ respectivamente. Para $t = 0+$, la tensión V_{B2} es $I R_c + V_{\beta}$, decreciendo exponencialmente con una constante de tiempo $\tau_2 = R_2 C_2$ hacia $-V_{cc}$ y al tiempo $t = T_2$, la tensión en B2, alcanza el valor de arranque V_{β} originándose una transición inversa.

$$V_{\beta} = V_{BE}(\text{saturación}).$$

De la Fig. 3-3 se puede determinar la corriente de colector I_c que tendrán los transistores cuando el uno esté en corte y el otro en saturación y será:

$$I_c = \frac{V_{cc} - V_{CE(sat)}}{R_c} \quad (3-1)$$

La tabla 3-1 puede resultar de utilidad práctica cuando se requiere de diseños sin mucha precisión como es el caso que nos ocupa.

	VCE(sat)	VBE(sat)=V	VBE(activa)	VBE(arranque)	VBE(corte)
Si	0.3	0.7	0.6	0.5	0.0
Ge	0.1	0.3	0.2	0.1	-0.1

Tabla 3-1 Valores de tensión típicos en las uniones de un transistor NPN a 25 C.

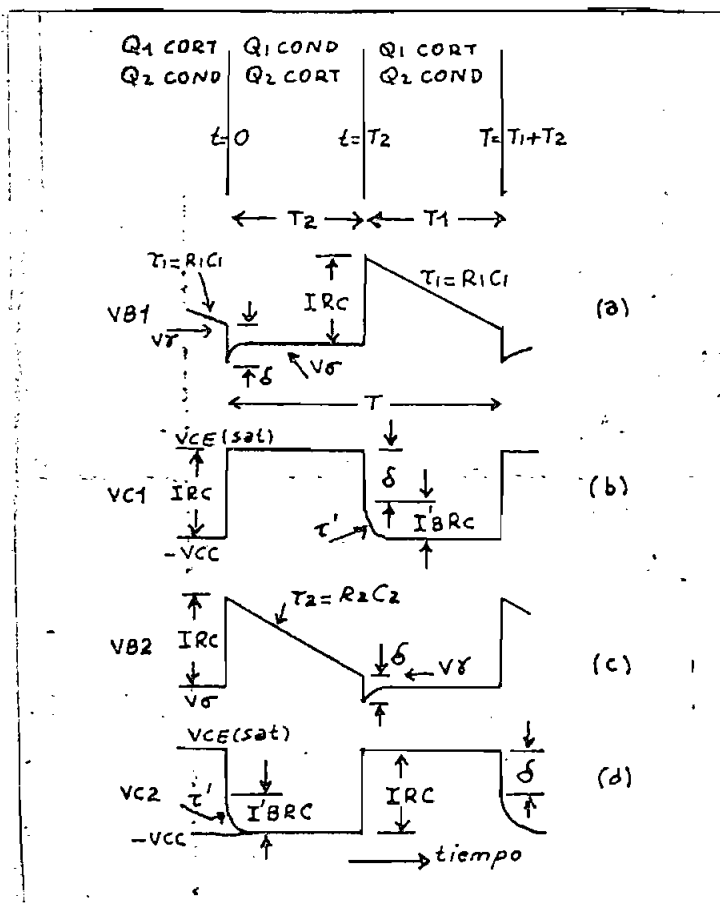


Fig 3-2 Ondas en el MV A^St^oble acoplado por colector de la Fig. 3-1 usando transistores PNP. Para $t = 0^-$, la primera etapa Q_1 , está cortada y la segunda Q_2 conduce.

a.- 3 TIEMPO DE CADA PARTE DE UN CICLO.

El tiempo de cada parte de un ciclo se lo puede encontrar del modo siguiente:

De la Fig.3-2a y b, se deduce que T es aproximadamente - definido por:

$$T = T_1 + T_2 = 0.69(R_1C_1 + R_2C_2) \quad (3-2)$$

y para un circuito simétrico en el que $R_1 = R_2=R$ y $C_1 = C_2 = C$

$$T = 1.38RC \quad (3-3)$$

La frecuencia de oscilación se puede variar desde ciclos a megaciclos ajustando R o C. Si se observa la Fig.3-2 se notará que aparece un fenómeno transitorio con constante de tiempo τ' , asociado a las ondas de un transistor cuando a este se lo lleva a la saturación, pues cada onda de colector tiene una esquina redondeada debido al tiempo que necesita este fenómeno para desaparecer, denominado tiempo de recuperación o t_r , el que puede constituirse en una fracción apreciable de la mitad del período $T/2$ como vamos a ver, asumiendo que el elemento en discusión es un MV simétrico.

$$t_r = 2.2\tau' = 2.2(R_c + r_{bb'})C \approx 2.2R_cC$$

puesto que $T/2 = 0.69RC$ se tiene:

$$\frac{t_r}{T/2} = \frac{2.2R_c}{0.69R} = 3.2R_c/R \quad (3-4)$$

Si $R_c = 1.35K\Omega$ y $R = 30K\Omega$ entonces

$$\frac{t_r}{T/2} = 3.2 \times \frac{1.35}{30} \times 100 = 14.4\%$$

que será una honda no muy cuadrada como aquella de la Fig. 3-2b la que será usada como señal de disparo.

Despreciando los potenciales de saturación, especialmente cuando el voltaje de polarización es grande comparado con dichos potenciales, se puede afirmar que para transistores en saturación se cumplen las siguientes aproximaciones:

$$I_c \approx \frac{V_{cc}}{R_c} \quad e \quad I_B \approx \frac{V_{cc}}{R}$$

Para asegurar la saturación debe cumplirse que $I_B \gg I_c/h_{FE}$ por consiguiente $R \leq h_{FE} R_c$. Para el caso que nos ocupa tenemos

$$30K\Omega \leq 40 \times 1.35K\Omega = 54K\Omega$$

puesto que $h_{FE} = 40$ para el transistor que se usará (30404 PNP)

$$\frac{t_r}{T/2} = 3.2 \times \frac{R_c}{R} \gg \frac{3.2}{h_{FE}} \quad \text{resultando} \quad 14.4\% > \frac{3.2}{40} \times 100 = 8$$

en consecuencia hemos cumplido con los requerimientos del diseño para este ejemplo.

Pero como nuestro deseo es tener una onda cuadrada bastante aceptable, se diseña la configuración de la Fig. 3-3, en la que la adición de los diodos D1 y D2 y de la resistencia R3 al -

MB acoplado por colector de la Fig.3-1, produce una onda en el colector con flancos verticales.

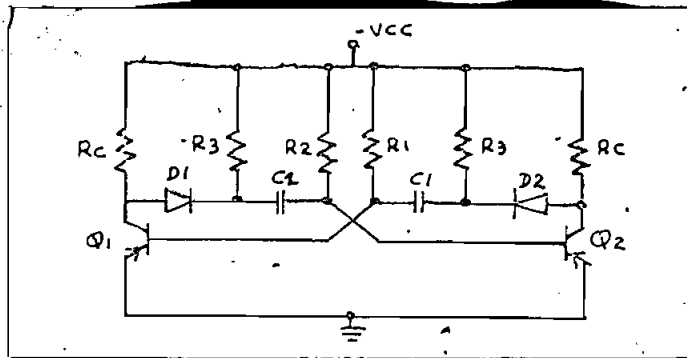


Fig. 3-3 Multivibrador Astable usando diodos para obtener una onda cuadrada con flancos verticales.

a.- 4 DISEÑO DEL MULTIVIBRADOR ASTABLE

Para diseñar el multivibrador astable de la Fig.3-4, es necesario tener en cuenta las siguientes consideraciones: Usando los valores dados en la tabla 3-1, y sabiendo que el transistor a ser usado es el 3C404 cuyas características son muy similares a las del 2N404 del que se conocen los siguientes datos:

MAXIMOS		FUGAS		GANANCIA	
V _{CB} = 25v	I _c = 200mA	I _{CBO} = 5mA		h _{FE} = 40 = β cuando	
V _{CE} = 24v	P _t = 150mW	V _{CB} = 12v		I _c = 24mA	
V _{BE} = 12v	T _c = 100				

Asumimos que Q1 está cortado; Q2 conduce y que R2 = R1 además de que C1 = C2

- 1.- Se limita la corriente del transistor Q2 que conduce además de que en el momento de saturación V_{CE}(sat) = -0.1v. Bajo estas circunstancias D2 conduce y tiene una resistencia directa de aproximadamente 300Ω en -

serie con R3 y estos a su vez en paralelo con Rc.

2.- Se asume una corriente de saturación de -4.4mA y Vcc = -6v; consecuentemente:

$$-4.4\text{mA} = \frac{-6\text{v} - V_{CE}(\text{sat})}{R} \quad \text{luego, } R = \frac{-5.9\text{v}}{-4.4\text{mA}} = 1.35\text{K}\Omega$$

donde $R = R_c // (R_3 + R_d)$ /// = Paralelo

Rd = Resistencia directa del diodo.

Si $R_3 + R_d = R_c$

entonces, $R = \frac{R_c \times R_c}{2R_c}$ y $R_c = 2.7\text{K}\Omega$

$R_3 = R_c - R_d = 2.4\text{K}\Omega$

Pero para el diseño práctico, se usa $R_3 = R_c$ y las condiciones no varían mayormente, tomando en cuenta la tolerancia de los elementos resistivos.

3.- Para asegurar la saturación, debe cumplirse que

$I_B \gg \frac{I_c}{H_{FE}}$; para este caso,

$$R_2 = \frac{-6\text{v} - V_{BE}(\text{sat})}{I_B} = \frac{-5.7\text{v}}{I_B}$$

$I_B \gg \frac{4.4\text{mA}}{H_{FE}} = \frac{4.4\text{mA}}{40} = 110\mu\text{A}$ pudiéndose asumir $I_B = 190\mu\text{A}$

con lo cual $R_2 = \frac{-5.7\text{v}}{-190\mu\text{A}} = 30\text{K}\Omega$

4.- Puesto que $R_1 = R_2$ y $C_1 = C_2$

$$T = 1.38R_1C_1.$$

En este caso , se debe asumir una frecuencia tal que - las líneas características de los transistores a ser - probados, puedan ser vistas en el osciloscopio siendo suficiente una frecuencia de 1.100 ciclos

$$\frac{1}{T} = \frac{f}{1} = 1.100 = \frac{1}{1,38R_1C_1} ; \quad \text{de donde}$$

$$C_1 = \frac{1}{1,38R_1 \times 1.100} = 22.000 \text{ pf.}$$

En consecuencia el Astable diseñado es el de la Fig. - 3-4 y deberá cumplir con las especificaciones del diseño.

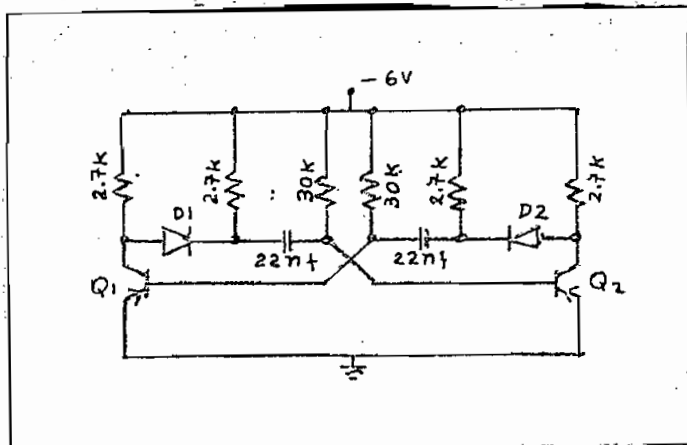


Fig. 3-4 Astable diseñado y que será usado en este trabajo.

Los diodos D1 y D2 son de señal o baja corriente cuyas especificaciones no se conocen.

á.- 5 DISEÑO DE LOS MULTIVIBRADORES BIESTABLES CON TRANSISTORES.

Un multivibrador biestable (MVB) es aquel que puede permanecer indefinidamente en cualquiera de sus dos estados estables (corte o saturación) y que pueda pasar de un estado al otro mediante una excitación exterior. Este circuito es usado como contador de escala dos para almacenar información binaria y como generador de ondas de pulsos. No solo se lo conoce como MVB sino como F.F., circuito Eccles-Jordan, circuito disparador, circuito contador de escala dos y binario.

Un F.F. común es aquel de la Fig. 3-5, en el que la salida de cada amplificador está acoplado directamente a la entrada del otro.

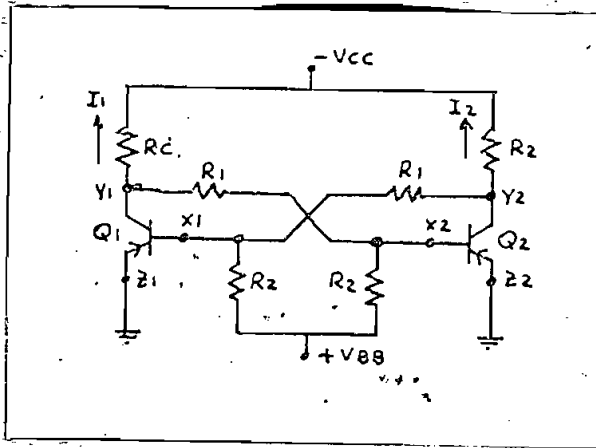


Fig. 3-5 Flip-Flop de transistores PNP con polarización fija.

Se dice que un transistor está en corte o abierto, cortado o apagado, si está polarizado por debajo del corte y su corriente no existe o es tan pequeña que se puede afirmar que no conduce; y está saturado, prendido o cerrado cuando conduce; luego para que un F.F. esté en su estado estable, será necesario -- que: o bien uno de los elementos activos esté cortado o bien que

uno esté saturado.

En la práctica es aconsejable diseñar estos F.F. usando componentes cuya tolerancia no sea mayor que el 10% y tener la seguridad de que seguirá trabajando aún cuando la fuente de alimentación o la temperatura ambiente tuvieran cambios razonables; por esta razón el F.F. se diseña de tal modo que en su estado estable, el un elemento activo esté muy por debajo del corte y el otro en fijación o saturación.

a.- 6 CLASIFICACION DE LOS FLIP-FLOPS

De acuerdo al tipo de polarización, los F.Fs. se dividen en: F.F. de polarización fija Fig. 3-5 y autopolarizados Fig.3-6. Para este trabajo se escoge el F.F. autopolarizado porque representa una ventaja económica al prescindir de una de las fuentes de polarización usando la resistencia común de emisor R_3 que suministra autopolarización.

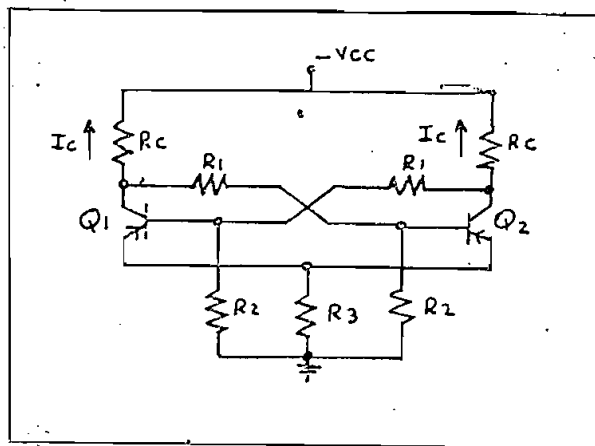


Fig. 3-6 Binario autopolarizado.

a.- 7 CONSIDERACIONES PRACTICAS DE DISEÑO

Analizando el circuito de la Fig. 3-6 se concluye que, en el caso de que R_3 sea una resistencia bastante pequeña en comparación con R_c , casi toda la tensión de alimentación $-V_{cc}$ aparecerá en los bornes del transistor que está cortado es decir $V_{CE} \approx -V_{cc}$; debiéndose tener en cuenta que $-V_{cc}$ debe ser menor que el voltaje de ruptura de colector BV_{CE} , lo cual limitará el valor de $-V_{cc}$. En condiciones de saturación, logramos obtener la corriente máxima de colector y tomando en cuenta que $R_3 \ll R_c$, el valor máximo de dicha corriente, se lo puede aproximar por la Ec. (3-5).

$$-V_{cc} = -I_c (R_c + R_3) - V_{CE(sat)} - I_B R_3$$

Asumiendo que $V_{CE(sat)}$ es pequeño en relación a V_{cc} tenemos:

$$+V_{cc} = I_c (R_c + R_3) - I_B R_3, \text{ como } I_B = \frac{I_c}{h_{FE}}, \text{ se lo puede}$$

despreciar en relación a I_c al igual que R_3 , pues $R_3 \ll R_c$ y queda

$$I_c \approx \frac{V_{cc}}{R_c} \quad (3-5)$$

en el cual debemos notar que el valor de I_c no exceda al máximo admisible por el transistor. En consecuencia lo que limita la

corriente del mismo es R_c . Los valores de R_1 y R_2 deben ser elegidos de modo que en uno de los dos estados estables, la corriente de base sea suficiente para llevar al transistor a saturación mientras que en el otro estado, la unión de emisor está por debajo del corte.

Respecto a la señal de salida de uno de los colectores, (VWO), esta es la variación de la tensión resultante de la transición del F.F. del, un estado al otro del modo indicado por la E_c . (3-6).

$$VWO = V_{c1} - V_{c2} \quad (3-6)$$

Cuando se tiene el caso de la Fig.3-6, en el que se asume que R_1 tiene un efecto de carga despreciable, se considera con gran aproximación que $VWO \approx V_{cc}$, resultando de suma utilidad el que el voltaje de salida sea independiente de R_c .

Tratándose del uso de transistores como Switches, los fabricantes dan curvas de ciertos parámetros que únicamente los enunciaré por no ser considerados muy prácticos, tales curvas son: Corriente inversa saturada o de saturación IC_{Bo} como función de la temperatura; h_{FE} como función de la corriente de colector I_c ; tensión de saturación $V_{CE}(\text{sat})$ como función de I_c y de I_B ; así como también la influencia de la temperatura en los parámetros de saturación. Para diseñar los F.Fs. a transistores, son suficientes los siguientes parámetros:

$$IC_{Bo}; h_{FE}; V_{CE}(\text{sat}) \text{ y } V_{BE}(\text{sat})$$

Como los F.Fs. de este trabajo serán usados para alimentar otros circuitos, a uno de los colectores se les aplicará una carga que para este caso es la impedancia de entrada del siguiente circuito mostrado como Z_{in} en la Fig.3-7. Estas cargas deben ser tomadas muy en cuenta porque reducen la tensión del colector V_{c2} asumiendo que está cortado y en consecuencia disminuye la tensión de salida. Lo más grave es que V_{c2} disminuya tanto que la corriente I_{B2} no sea suficiente para llevar al transistor Q_1 a la saturación, por esta razón los componentes de un F.F. deben elegirse de modo que en las condiciones más severas de carga, uno de los transistores está en saturación mientras el otro está cortado.

Orientando nuestra atención a la Fig.3-7, se nota que no solo Z_{in} es la carga del circuito sino que también lo es R_1 , por esta razón, se usa un valor de R_1 bastante grande comparado con R_c de modo que se cumpla la Ec.(3-7).

$$R_1 \ll h_{FE} \cdot R_c$$

(3-7)

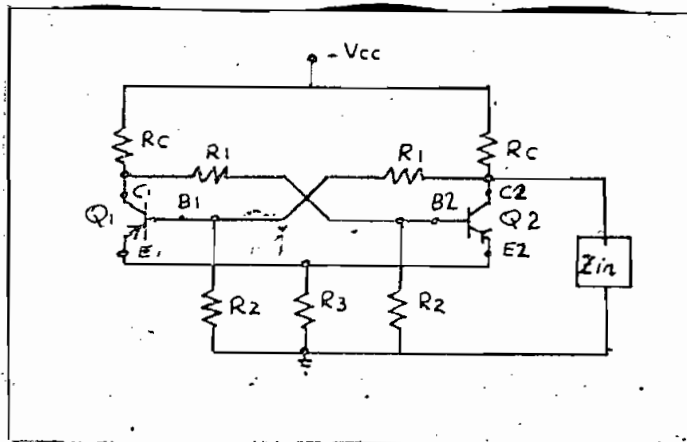


Fig. 3-7. Circuito F.F. con carga.

a.- 8 DETERMINACION DE LOS ESTADOS ESTABLES DE UN FLIP-FLOP

Para realizar este estudio y tomando como tema al circuito de la Fig. 3-6, no está por demás anotar que partiremos de la suposición de que Q1 está cortado y Q2 saturado, para lo cual analicemos las conexiones de la base de Q1 con el colector de Q2 y viceversa mostrado en la Fig. 3-8a y b respectivamente.

$$\left. \begin{aligned} V_{EN} &= (I_{B2} + I_{c2})R_E & V_{BE1} &= -V_{BN1} - V_{EN} \\ V_{CN2} &= V_{CE} + V_{EN} & V_{BN2} &= V_{BE2} + V_{EN} \\ V_{CN1} &= \frac{-V_{CC} \cdot R_1}{R_c + R_1} + \frac{V_{BN2} \cdot R_c}{R_c + R_1} \\ V_{BN1} &= \frac{R_2 \cdot V_{CN2}}{R_1 + R_2} \end{aligned} \right\} (3-8)$$

Puesto que se pretende trabajar con valores característicos promedios de los transistores; con resistencias cuya tolerancia sea el 10% y sabiendo que los niveles de voltaje de un F.F. muy pocas veces necesitan ser conocidos con gran precisión, se puede hacer uso de los valores especificados en la tabla (3-1).

Para terminar el análisis, es necesario determinar las corrientes de saturación, para lo que debemos observar la Fig. 3-6 en la que se determina el circuito equivalente para localizar a Q2 mostrado en la Fig. 3-9, en la que se ha sustituido el circuito de colector de Q2 de la Fig. 3-8a por su equivalente de Thévenin del modo siguiente:

$$V_{cq} = \frac{-V_{CC} (R_1 + R_2)}{R_1 + R_2 + R_c} \quad (3-9)$$

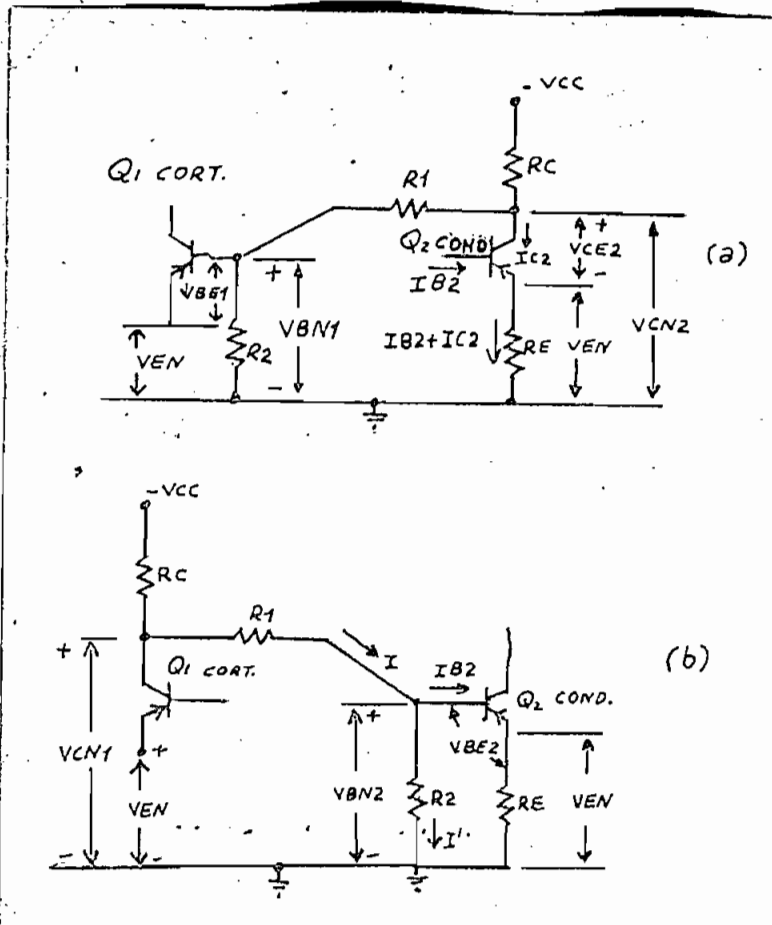


Fig. 3-8 Conexiones entre la base de Q_1 y el colector de Q_2 y viceversa para uno de los estados estables.

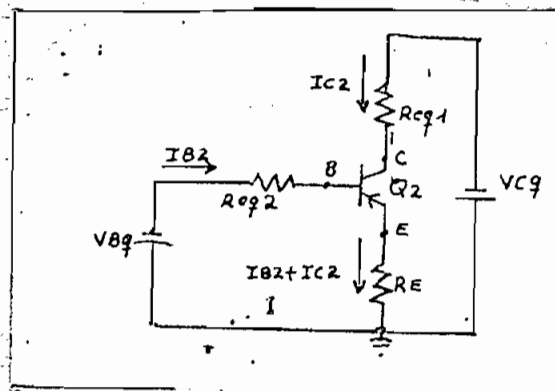


Fig. 3-9 Circuito equivalente de base y colector para el caso en que Q_2 está cortado.

V_{cq} = voltaje equivalente en el Colector.

R_{eq1} = Resistencia equivalente en el Colector.

$$R_{eq1} = \frac{R_c (R_1 + R_2)}{R_1 + R_2 + R_c} \quad (3-10)$$

De una manera similar se determina el equivalente de la base.

$$V_{Bq} = \frac{-V_{cc} \cdot R_2}{R_1 + R_2 + R_c} \quad (3-11)$$

En serie con la resistencia.

$$R_{eq2} = \frac{R_2 (R_1 + R_c)}{R_1 + R_2 + R_c} \quad (3-12)$$

a.- 9 DISEÑO NUMERICO DE UN FLIP-FLOP

Sabiendo que el transistor a ser usado es el 30404 PNP de Germanio, se anotó en el literal (a.- 4) de este capítulo sus características con lo cual analizando el circuito de la Fig. 3-6 se procede del modo siguiente:

De la Ec. 3-5 y asumiendo que $V_{cc} = -6v$ e $I_c = -5mA$. se determina el valor de R_c .

$$I_c = V_{cc} / R_c \quad R_c = \frac{6v}{5mA} = 1.2K\Omega$$

Debido a que la condición para hacer uso de la Ec.(3-5) es que $RE \ll R_c$, se asume que $RE = 75$

De la relación o Ec.(3-6) se tiene que

$$R1 \ll h_{FE} \cdot R_c$$

si $h_{FE} = 40$, entonces $R1 \ll 40 \times 1.2K\Omega = 48K\Omega$

pudiendo asumir $R1 = 15K\Omega$, considerando la carga que va a soportar cada F.F. y asegurando de este modo el normal trabajo de los mismos bajo condiciones severas de carga. De la relación:

$$IB2 = \frac{-I_c}{\beta} = \frac{-5mA}{40} = -0.125mA = -125\mu A$$

haciendo uso de las ecuaciones (3-8) se tiene:

$$VEN2 = RE(I_{c2} + IB2) = 75(-5 - 0.125)v = -0.384v.$$

$$VBE2(sat) = -0.3v$$

$$VBN2 = VBE2 + VEN2 = (-0.384 + 0.3)v = -0.684v$$

De la Fig. 3-8b se observa que:

$$I = \frac{-V_{cc} - VBN2}{R_c + R1} = \frac{(-6 + 0.684)v}{(1.2 + 15)K\Omega} = -0.33mA$$

$$I = I' + IB2 \quad I' = -0.33 + 0.125 = 0.205mA$$

$$\text{luego } R2 = \frac{VBN2}{I'} = \frac{-0.684v}{0.205mA} = 3.340\Omega$$

Como este valor de resistencia no existe en el mercado se

usa el más próximo que es el de $R_2 = 3.3K\Omega$ y el circuito resultante es el de la Fig. 3-10.

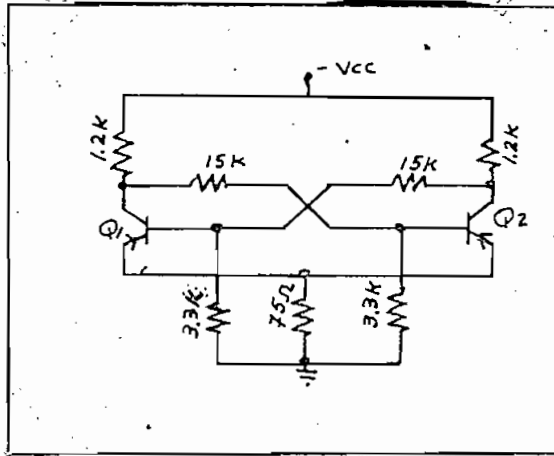


Fig. 3-10 Circuito F.F. a ser usado en la parte práctica de este trabajo.

Las tensiones de corte y saturación calculadas, son las que resulten de resolver las Ecs. (3-8).

$$V_{EN2} = (I_{B2} + I_{C2})R_E = -384\text{mv}$$

$$V_{CN2} = V_{CE2}(\text{sat}) + V_{EN2} = -0.1 - 0.384 = -0.484\text{v}$$

$$V_{BN2} = V_{BE}(\text{sat})_2 + V_{EN} = -0.3 - 0.384 = -0.684\text{v}$$

$$V_{BN1} = \frac{V_{CN2} \cdot R_2}{R_1 + R_2} = - \frac{0.484 \times 3.3}{15 + 3.3} = +0.0875\text{v}$$

$$V_{BE1} = V_{BN1} - V_{EN} = -0.0875 + 0.384 = +0.2965\text{v}$$

como V_{BE1} es el voltaje de corte y este valor es de +0.1 según la tabla (3-1); se concluye que Q_1 efectivamente está cortado.

$$\begin{aligned} V_{CN1} &= \frac{-V_{cc} \cdot R_1}{R_1 + R_c} + \frac{V_{BN2} \cdot R_c}{R_c + R_1} = - \frac{6 \times 15}{15+1.2}\text{v} + 0.684 \times \frac{1.2}{15+1.2}\text{v} \\ &= -5.48\text{v}. \end{aligned}$$

Una manera más exacta de resolver el mismo problema, es usando el circuito de la Fig. 3-9 con los valores obtenidos para la Fig. 3-10.

- De la Ec.(3-9) $V_{cQ} = -5.64v$
- De la Ec.(3-10) $Req1 = 1.13K\Omega$
- De la Ec.(3-11) $V_{BQ} = -1.1v$
- De la Ec.(3-12) $Req2 = 2.75K\Omega$

resultando el circuito equivalente de la Fig. 3-11, del cual se determina los valores de saturación de Q2.

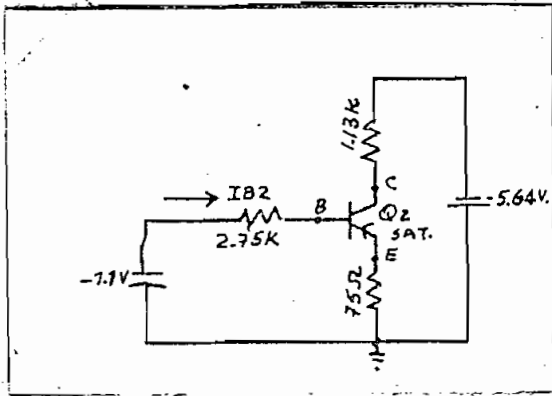


Fig. 3-11 Circuito equivalente para determinar los valores de saturación de Q2.

$$1.1v = I_{B2}(2.75K\Omega + 75\Omega) + I_{c2} \times 75\Omega + V_{BE}(sat) \quad \text{como}$$

$$I_{c2} = \beta I_{B2} \quad \text{se tiene:}$$

$$1.1v = I_{B2}(2.750 + 75 + 75 \times 40) + 0.3v$$

$$0.8v = I_{B2} \times 5.825\Omega \quad I_{B2} = 137\mu A$$

$$5.64 = I_{c2}(1.13K\Omega + 75\Omega) + I_{B2} \times 75\Omega + V_{CE}(sat)$$

$$5.64 = I_{c2}(1.13K\Omega + 75\Omega) + \frac{I_{c2}}{\beta} \times 75\Omega + V_{CE}(sat)$$

Despejando I_{c2} y sabiendo que $V_{CE}(\text{sat}) = -0.1\text{v}$ se tiene:

$$I_{c2} = 4.6\text{mA}$$

$$V_{EN2} = R_E(I_{c2} + I_{B2}) = -75\Omega \cdot (137 + 4.600)\mu\text{A} = -0.356\text{v}$$

$$V_{BE}(\text{sat}) = -0.3\text{v}$$

$$V_{BN2} = V_{BE}(\text{sat}) + V_{EN2} = -0.656\text{v}$$

$$V_{CN2} = V_{CE}(\text{sat}) + V_{EN2} = -0.1 - 0.356 = -0.456\text{v}$$

$$V_{BN1} = V_{CN2} \cdot R_2 / (R_1 + R_2) = -0.0822\text{v}$$

$$V_{BE1} = V_{BN1} - V_{EN} = -0.0822 + 0.356 = +0.2738\text{v}$$

como $V_{BE1} = V_{BE1}$ de corte y este valor es de $+0.1\text{v}$ se concluye que el transistor Q1 está efectivamente cortado.

$$V_{CN1} = \frac{-V_{CC} \cdot R_1}{R_1 + R_C} + \frac{V_{BN2} \cdot R_C}{R_C + R_1} = -5.5\text{v}$$

Comparando los valores obtenidos en el primer diseño con aquellos del segundo se tiene que el estado estable toma los valores siguientes:

PRIMER DISEÑO

$$I_{c1} = 0\text{mA}$$

$$V_{CN1} = -5.48\text{v}$$

$$V_{BN1} = -0.0845\text{v}$$

$$I_{B1} = 0\text{mA}$$

$$I_{c2} = 5\text{mA}$$

$$I_{B2} = -125\mu\text{A}$$

SEGUNDO DISEÑO

$$I_{c1} = 0\text{mA}$$

$$V_{CN1} = -5.5\text{v}$$

$$V_{BN1} = -0.0822\text{v}$$

$$I_{B1} = 0\text{mA}$$

$$I_{c2} = -4.6\text{mA}$$

$$I_{B2} = -137\mu\text{A}$$

$$VCN2 = - 0.484v$$

$$VCN2 = - 0.456v$$

$$VBN2 = - 0.684v$$

$$VBN2 = - 0.656v$$

$$VEN = - 0.384v$$

$$VEN = - 0.356v$$

$$VW0 = VCN2 - VCN1 = - 5v$$

$$VW0 = VCN2 - VCN1 = -5.044v$$

Como se podrá observar en los valores anteriores, tanto con el primer procedimiento como con el segundo, los valores son muy aproximados y con estos deberíamos ir a las curvas que proporciona el fabricante para determinar con precisión los valores de $V_{BE}(sat)$ y $V_{CE}(sat)$ para las respectivas corrientes I_{c2} e I_{B2} y repetir los cálculos anteriores; pero como esto para el presente trabajo no lo necesitamos, se prescinde de este paso, además de que debido a que se trabaja con características medias, no se justifica una aproximación adicional.

Adoptemos como tema de estudio la resistencia R_E y en ella se puede afirmar que la caída de tensión, es nominalmente la misma para ambos estados estables, sin embargo, durante la transición de estados la corriente I_E no es la misma sino que tiene una variación ΔI_E y para mantener V_{EN} casi constante durante el tiempo de transición, es necesario poner un condensador en paralelo con R_E de tal modo que, durante el tiempo de transición, la variación de voltaje en este paralelo sea pequeña comparado con V_{EN} . Los estados estables NO QUEDAN AFECTADOS por la presencia de dicho condensador y por consiguiente no será usado en este trabajo, aunque la facilidad de provocar una transición entre estados y la rapidez con que el F.F. se acomoda a su nuevo estado,

puede resultar perjudicada si se omite este condensador, especialmente en frecuencias altas que no es tema de estudio.

Un F.F. permanece en uno de sus estados estables hasta -- que una señal de disparo proveniente de una fuente exterior, provoque una transición y en muchos casos, es necesario que el cambio sea tan rápido como sea posible después de la aplicación de la señal de disparo; por lo cual es preciso definir los siguientes términos a ser usados:

Tiempo de Transición: Es el intervalo durante el cual se transfiere la conducción de uno a otro transistor.

Tiempo de Resolución: Es el menor intervalo posible entre dos disparos y su inversa es la máxima frecuencia a la que puede responder el F.F.

Tiempo de Establecimiento o Acomodación: Es el tiempo adicional requerido para completar la recarga de los condensadores después de la transferencia de conducción.

El tiempo de transición puede reducirse conectando pequeñas capacidades en paralelo con las resistencias R1 de acoplamiento del F.F., y , son usadas para ayudar al binario a realizar transiciones bruscas entre estados, siendo por este motivo denominadas condensadores de transición conmutación o aceleración y su conexión se ilustra en la Fig. 3-12.

a.- 10 INTRODUCCION A LOS CONDENSADORES DE ACELERACION O CONMUTACION.

En la Fig. 3-12 se supone que Q2 conduce y Q1 esta corta-

do, al aplicar un escalón positivo a la base B2, el punto C2 bajará rápidamente de voltaje a un valor aproximado a $-V_{cc}$, siendo nuestro deseo que esta disminución se transmita con el mínimo retardo a B1; el circuito de entrada del transistor Q1 tiene una capacidad C_i y en ausencia de C_1 , el circuito formado por R_1 ; R_2 y C_i tiene la configuración atenuadora de la Fig. 3-13, lográndose desvirtuar esta configuración haciendo uso del condensador C_1 ,

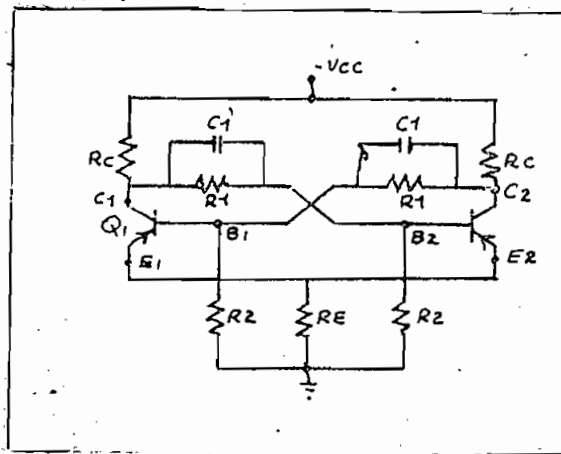


Fig. 3-12 Circuito completo de un F.F. autopolarizado.

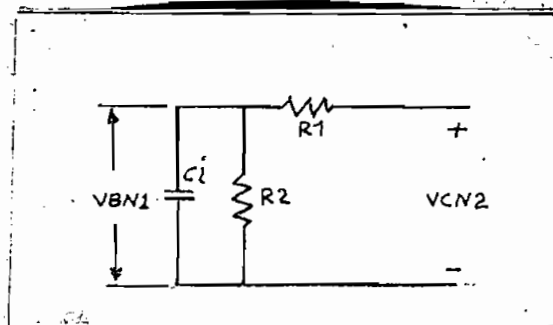


Fig. 3-13 Atenuador.

En otras palabras, lo que se ha logrado al colocar el condensador C_1 es aumentar la velocidad con la que crece V_{BN1} .

Cuando se dispara el circuito de modo que Q1 conduce y Q2 pasa a corte, existe un intercambio de tensiones en los condensado

res y el F.F. no se habrá acomodado a su nuevo estado hasta que esta transición o intercambio de tensiones en los condensadores haya terminado.

Los circuitos equivalentes para calcular la constante de tiempo τ asociado con la energía o recarga de C_1 es el dado en la Fig. 3-14a, cuando Q2 conduce y si la impedancia de salida de Q2 es $R_o + R_E$ incluido R_c , la constante de tiempo es

$$\tau = C_1 \cdot R \quad \text{siendo} \quad R = \frac{(R_o + R_2 + R_E)R_1}{R_1 + R_2 + R_E + R_o}$$

donde R_o es la impedancia de la juntura Colector Emisor cuando el transistor está en saturación y $(R_o + R_E) // R_c \approx R_o + R_E$.

En un transistor saturado $R_o + R_E$ es muy pequeño en comparación con R_2 pudiéndose de una manera análoga a la de la Fig. 3-14b, hallar la constante de tiempo τ' asociada con la recarga de C_1' en la que R_i es la resistencia de entrada de Q2 y

$$\tau = C_1' R' \quad \text{siendo} \quad R' = R_1 // (R_c + R_2 // R_i)$$

Puesto que $(R_c + R_2 // R_i)$ es generalmente menor que R_1 o R_2 , será $\tau > \tau'$ y la mayor de ambas constantes de tiempo es

$$\tau = R \cdot C_1 \quad \frac{R_1 \cdot R_2 \cdot C_1}{R_1 + R_2} \quad (3-13)$$

donde $C_1 = C_1'$ representan la capacidad de conmutación y $R_i = h_i + (\beta + 1)R_E$.

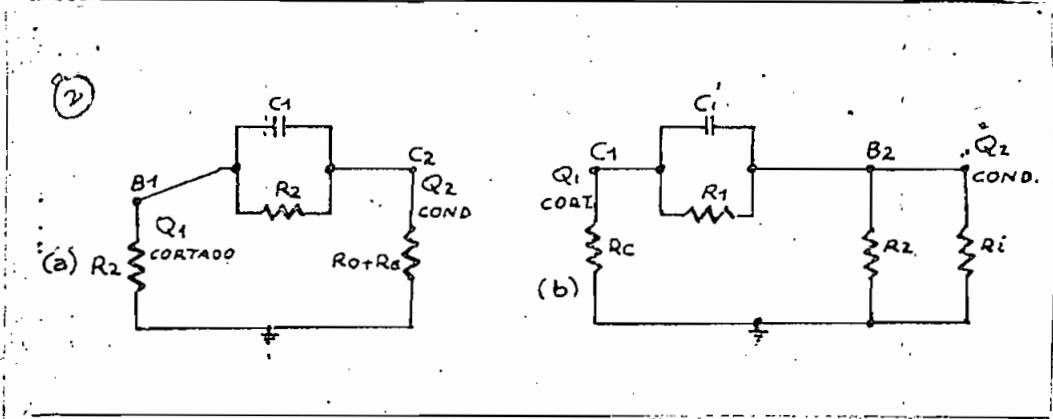


Fig. 3-14 Circuitos equivalentes para calcular las constantes de tiempo de los condensadores de conmutación.

Prácticamente se ha podido observar que los condensadores de conmutación de los F.Fs. adquieren valores desde 50 a 500pf - asegurando el disparo de los mismos, con esto no se cierra el paso a que adquieran valores más elevados.

Es de suponer que si se guarda un tiempo 2τ entre disparos, los fenómenos transitorios habrán decaído lo suficiente como para poder disparar con seguridad al F.F. También es de suponerse que $1/2\tau$ será la frecuencia máxima de funcionamiento dada por:

$$f_{\max} = \frac{1}{2\tau} = \frac{R_1 + R_2}{2C_1 \cdot R_1 \cdot R_2} \quad (3-14)$$

Si $C_1 = 1000\text{pf}$ $R_1 = 15\text{K}\Omega$ y $R_2 = 3.3\text{K}\Omega$ tenemos:

$$f_{\max} = \frac{15 + 3.3}{2 \times 15 \times 3.3} \cdot 10^6 = 181 \text{ KHz.}$$

Como el generador de tensión rectangular o de disparo tiene una frecuencia de 1.1 KHz. el período de la misma es

$$T = \frac{1}{f} = \frac{1}{1.1} = 0.90 \text{ milisegundos}$$

En la Fig. 3-15, se indica la forma en la que se espera obtener la señal en el colector de Q2 que se encuentra saturado -- cuando se aplica una señal de disparo al F.F.

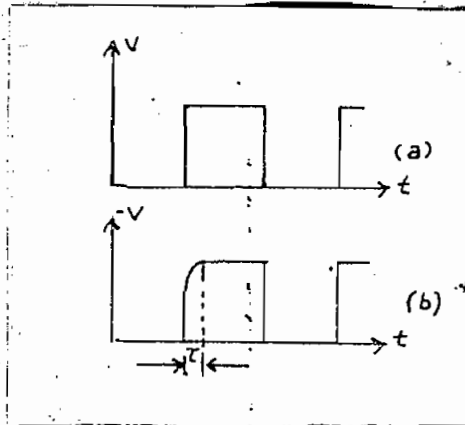


Fig. 3-15 (a) Señal de disparo; (b) respuesta del F.F. a la señal de disparo.

En la Fig. 3-15b, se puede determinar τ del modo siguiente;

$$\tau = \frac{C1.R1.R2.}{R1 + R2} = \frac{10^{-9} \times 15.10^3 \times 3.3 \times 10^3}{18.3 \times 10^3} = 2.7 \times 10^{-6}$$

que en comparación con 0.9 milisegundos resulta

$$\frac{2.7 \times 10^{-6}}{0.9 \times 10^{-3}} \times 10^2 = 0.3\%$$

lo que en el osciloscopio se observará prácticamente una onda -- rectangular y el F.F. diseñado es el de la Fig. 3-16

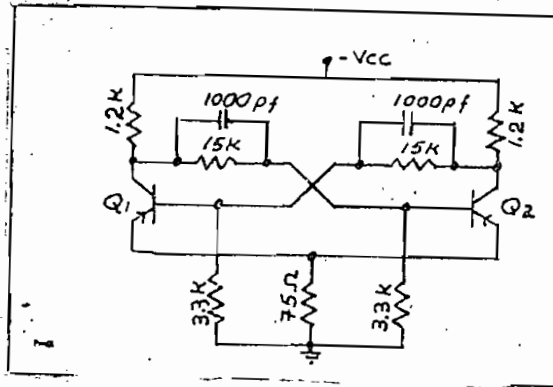


Fig. 3-16 Diseño completo del F.F. a ser usado tomando como elementos activos a los transistores 3C-404.

a.- 11 FORMAS DE DISPARAR UN BINARIO

Existen algunas maneras de hacerlo siendo generalmente - por los colectores; dichas formas únicamente se ilustrará y enunciará por no ser usadas en esta tesis sino una forma de disparo simétrico por las bases.

Una señal de disparo, normalmente se emplea para provocar la transición de uno a otro estado y se lo puede hacer con un pulso de corta duración o con una tensión en escalón la que producirá el disparo simétrico o asimétrico. En el caso de disparo asimétrico Fig. 3-17, la señal de disparo provoca la transición solo en un sentido. En el caso de disparo simétrico Fig 3-18, cada señal de disparo provoca una transición con independencia del estado en que se pueda encontrar el binario.

En la Fig. 3-17, un escalón positivo aplicado a través de un condensador a la entrada del transistor cortado, no dará:

respuesta hasta que la amplitud del escalón supere a la tensión a la que se halla el elemento por debajo del corte.

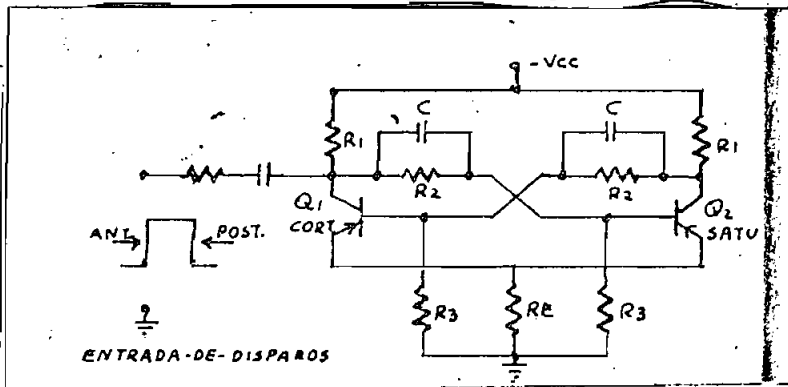


Fig. 3-17 Binario autopolarizado con disparo asimétrico.

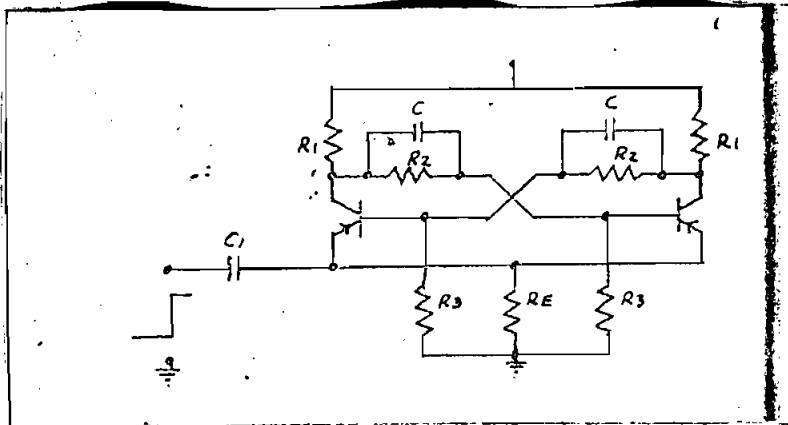


Fig. 3-18 Binario autopolarizado disparado simétricamente por el emisor.

De los estudios realizados sobre la forma de disparo asimétrico se ha concluido que: Un método excelente para disparar asimétricamente un binario con el flanco anterior de un pulso - Fig. 3-17, es aplicar dicho pulso mediante una fuente de alta impedancia a la salida del elemento que está cortado. Si el elemento es un transistor PNP se necesita un pulso negativo.

Es de anotarse también que existen otras maneras de dis -

parar asimétricamente un binario, y, una de ellas es mediante un elemento unilateral (diodo).

En el caso de un disparo simétrico, la Fig. 3-18 ilustra la forma de disparar un F.F. por los emisores, en este caso es posible el disparo simétrico, debido a la presencia de los condensadores de conmutación y puede realizarse solo si estos condensadores son lo bastante grandes para prevalecer sobre todas las demás capacidades que se encuentran presentes de modo que, durante la transición, las tensiones en dichos condensadores no cambien apreciablemente. Puesto que para disparar este tipo de F.F. se necesita condensadores de conmutación relativamente grandes, este método no es usado especialmente debido a que en ciertas oportunidades se exige un tiempo de resolución lo más corto posible. Existen otras maneras de disparo simétrico, pero usan diodos o triodos auxiliares.

a.- 12 DISPARO SIMETRICO DE UN BINARIO POR LAS BASES

El circuito de la Fig. 3-19, ilustra la forma de disparo simétrico del F.F. autopolarizado en el que el terminal de entrada corresponde al del disparo T, de cuyo análisis nos ocuparemos:

Si se tiene un circuito como el de la Fig. 3-20a que tiene una señal de salida como la ilustrada en la Fig. 3-20b, cuando es excitada por una tensión de onda cuadrada, es muy conocido que la salida adoptará dicha forma cuando la constante de tiem-

po del circuito sea muy pequeña comparada con el semiperíodo de la onda cuadrada $T/2$.

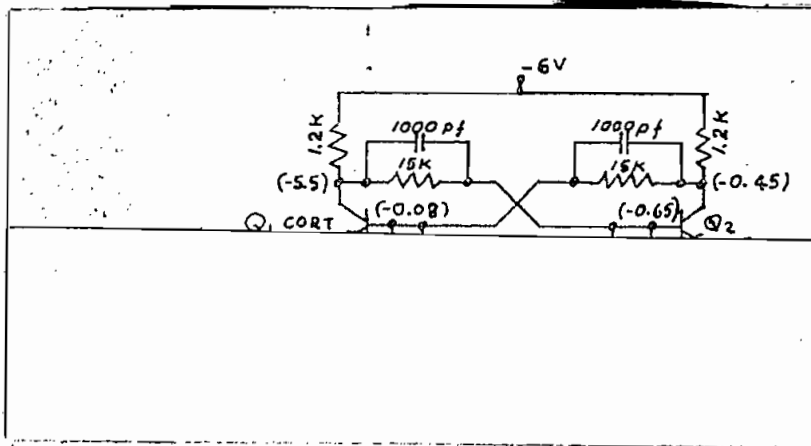


Fig. 3-19. Binario autopolarizado disparado simétricamente a través de condensadores.

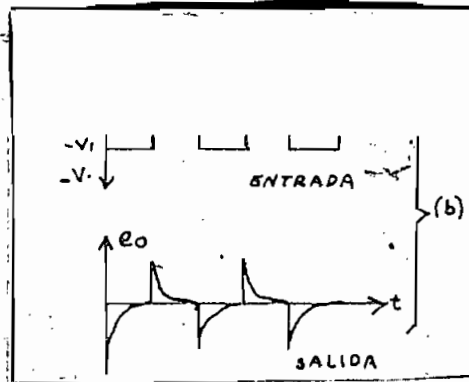


Fig. 3-20 (a); Circuito de disparo (b); Respuesta del circuito de disparo, cuando $R.C \ll T/2$.

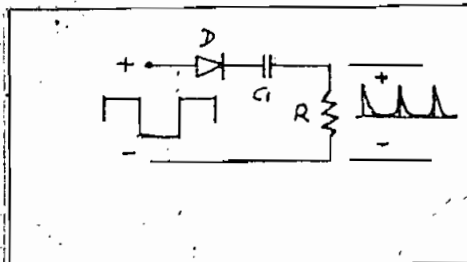


Fig. 3-21 Circuito de disparo usando un diodo para eliminar los sobrepulsos negativos.

Puesto que se desea que el F.F. duplique el período de la onda cuadrada de entrada, se puede eliminar los pulsos negativos Fig. 3-20b, evitándonos de este modo que pueda ser disparado también por estos y es de esperarse que la salida del F.F. adopte la forma indicada en la Fig. 3-22c.

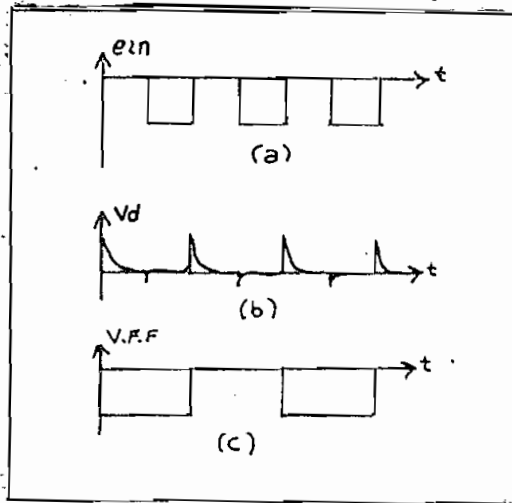


Fig. 3-22 Formas de onda (a); Entrada (b); Disparo (c) Salida del F.F.

Para eliminar los pulsos negativos, se usa un diodo conectado en serie con el condensador C como se indica en la Fig. 3-21, asegurando de este modo que el F.F. cambie de estado cada vez que se produce un pulso positivo.

Si la señal de la Fig. 3-22c, es la salida del colector de Q1, la salida en el colector de Q2 será igual pero con un defasamiento de 180° o de un semiperíodo.

Analizando la Fig. 3-19, en la que se tiene un circuito de disparo como el de la Fig. 3-21, en el que C1 es un capacitor pequeño $C1 \ll C$ y R la resistencia de entrada que presenta cada base a la señal de onda cuadrada, debiendo anotarse que dicha capacidad se encontró experimentalmente puesto que no es

posible conocer el valor de R en cada uno de los estados estables; en todo caso su valor para este trabajo oscilará entre 10 y 500pf. En lo que al diodo se refiere, resulta útil cualquier otro que sea de contacto o señal y que tenga una resistencia directa relativamente baja, especialmente los de Germanio, porque de no ser así, sería necesario poner dos o tres diodos en paralelo caso en el cual resulta más ventajoso usar otra forma de disparo como por los colectores e incluso por las bases.

Veamos la Fig. 3-19 y estudiemos su comportamiento: Analizando sus estados estables es decir Q1 cortado y Q2 conduciendo, es imperante anotar los valores calculados en el literal a.- 9 - de este capítulo e indicados entre paréntesis y que corresponden a instantes antes de introducir la señal de disparo.

Si se aplica la señal de la Fig. 3-23a, que representa la salida del circuito Astable, a la configuración de la Fig. 3-23b que es el sistema de disparo utilizado en este trabajo de tesis, donde B1 y B2 son las bases de los transistores del primer F.F. con sus respectivos voltajes Fig. 3-19, es de esperarse que si se considera al diodo D como ideal, este conducirá cuando el voltaje de la onda cuadrada se encuentre en su valor máximo es decir -0.1v Fig. 3-23a pues en este momento está directamente polarizado respecto de B2 dando como consecuencia este circuito de disparo una salida en la misma base como la indicada en la Fig. 3-23c, en la que es de esperarse que el momento en que la base B2 llegue al valor -0.1v, su tensión $V_{BE} = -0.1v - (-0.35v) = 0.25v$ lo que indica que se encuentra inversamente polarizada y el tran

sistor Q2 irá al corte mientras que Q1 deberá dejar su estado y pasar a saturación produciéndose de este modo la transición y lo grándose una salida como la indicada en la Fig. 3-23d la que servirá como señal de disparo del siguiente F.F. el mismo que se acoge al razonamiento anteriormente expuesto. El resultado obtenido prácticamente, ratifica las consideraciones anteriores y es así como el circuito diseñado estará equipado con redes de disparo iguales a las de la Fig. 3-23b.

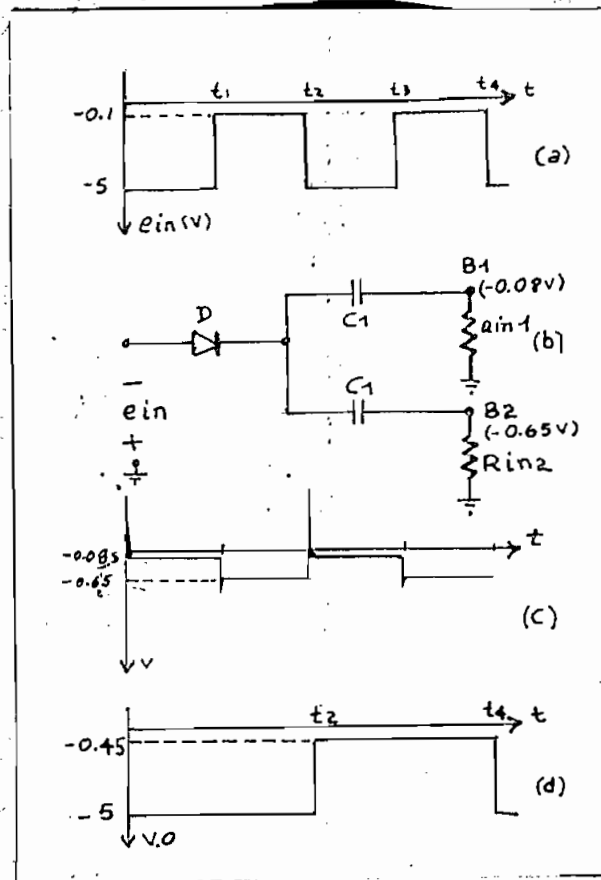


Fig. 3-23 (a); Señal del astable (b); Circuito de disparo (c); Voltaje de disparo en la base de Q2 (d); Señal de salida del primer F.F.

Es preciso que los condensadores C1 se elijan lo suficientemente pequeños con el objeto de que después que entre el escalón, la tensión en las bases puedan caer antes que la tensión de los condensadores de conmutación sufran una variación apreciable. Finalmente las tensiones en C y C' Fig. 3-19 se intercambiarán y el F.F. se acomodará a su nuevo estado. Debido a que la señal -- que produce el disparo es una onda cuadrada, el F.F. responderá al flanco ascendente pero no al descendente cumpliéndose el requerimiento de la Fig. 2-18, quedando indicado el circuito diseñado en la Fig 3-25.

En la sección correspondiente al diseño numérico de los F.Fs. se dedujo que $V_{CN2} - V_{CN1} = V_{WO} = -5.48 + 0.48 = -5v$ que es la magnitud de la onda cuadrada por lo que en los puntos VA, VB y Vc de la Fig. 3-25 se tendrán salidas como las indicadas en la Fig. 3-24a,b y c; respectivamente, es decir con $\approx 0.5v$ DC que para poder sumarlas es necesario eliminar esta parte de DC. lográndose con diodos que prácticamente resultan en número de tres conectados en serie como se ilustra en la Fig. 3-25 obteniéndose las salidas V1, V2 y V3 indicadas en la Fig. 3-24d,e y f, respectivamente, quedando listas para ser sumadas.

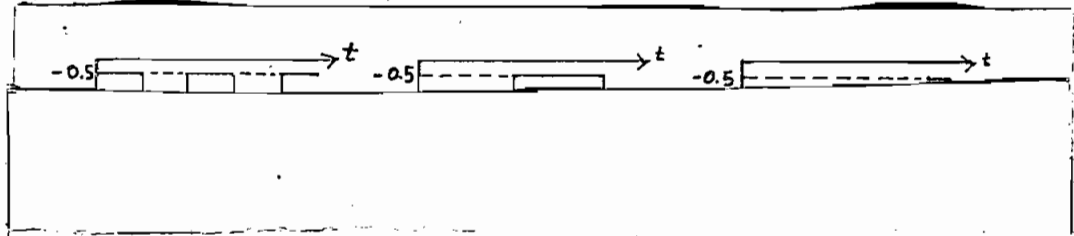


Fig 3-24 (a);(b); y (c) Voltajes de salida de cada uno de los tres F.Fs. de la Fig. 3-25. (d);(e) y (f) Tensiones que aparecen después de los diodos en serie de la Fig. 3-25.

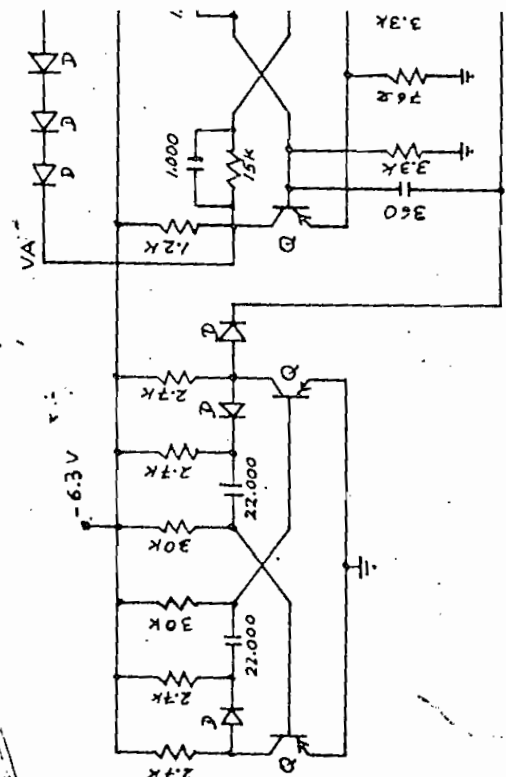


Fig 3-25 Circuito acoplado a tres F.Fs. con sus respectivos circuitos de arranque y valores. Las resistencias están en KΩ, los condensadores en pf.; los transistores Q son 1N3C-404A y los diodos son cualquier tipo de los de contacto.

a.- 13 DISEÑO DE LOS AMPLIFICADORES OPERACIONALES

Un amplificador operacional es un aparato o elemento electrónico usado en computación con una alta ganancia DC., una impedancia de entrada y una impedancia de realimentación como se indica en la Fig. 3-26.

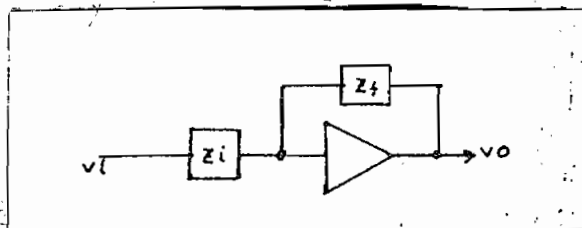


Fig. 3-26 Representación gráfica básica de un amplificador operacional.

Una de sus aplicaciones es en las computadoras analógicas en las que se establece un circuito eléctrico tal, que su respuesta es la solución de una ecuación diferencial.

Un amplificador operacional debe satisfacer las condiciones indicadas en la Fig. 3-27, en la que los terminales de entrada 1 y 2 y los de salida 3 y 4, tiene ganancia real negativa grande y lo único que se añade son las impedancias Z_i y Z_f . La impedancia Z_{in} es la impedancia de entrada del amplificador. El amplificador encerrado en la Fig. 3-27 se denomina amplificador básico y puede contar de uno o más pasos de amplificación de válvulas o transistores en cascada. Para este trabajo se hará uso exclusivamente de transistores.

Consideremos el diagrama de la Fig. 3-27 y supondremos - que el amplificador es ideal en el sentido que Z_{in} es infinita y que $V_o/V_{in} = -A$; si esto ocurre, la corriente I debe pasar por

Zi y Zf concluyéndose que $I = I'$ y en consecuencia

$$I = \frac{V_{in} - V_o}{Z_f} = \frac{V_s - V_{in}}{Z_i}$$

pero $V_{in} = \frac{V_o}{-A}$ luego

$$\frac{V_o}{-A} - V_o = \frac{V_s - \frac{V_o}{-A}}{Z_i}$$

$$\frac{V_o + AV_o}{Z_f} = \frac{-A.V_s - V_o}{Z_i}$$

$$V_o(Z_i + AZ_i + Z_f) = -V_s.A.Z_f$$

$$\frac{V_o}{Z_f} \left[\frac{1}{A}(1 + Z_f/Z_i) + 1 \right] = -V_s.A.Z_f/A.Z_f.Z_i$$

bajo la suposición de que la ganancia de tensión sea -
lo suficientemente alta como para que

$$1 \gg \left| \frac{1}{A}(1 + Z_f/Z_i) \right| \quad \text{resulta que}$$

$$\frac{V_o}{V_s} = - \frac{Z_f}{Z_i} \quad (3-15)$$

Si $Z_f = R_f$ Y $Z_i = R_i$

$$V_o = - \frac{R_f}{R_i} . V_s \quad (3-16)$$

lográndose multiplicar por una constante que es la relación R_f/R_i

La Ec.(3-15) también es representada del modo siguiente:

$$V_o(s) = - \frac{Z_f(s)}{Z_i(s)} x V_s(s) \quad (3-17)$$

cuando $R_f = R_i$ $V_o = -V_i$ teniéndose un inversor

cuando $Z_i(s) = R$ y $Z_f(s) = \frac{1}{Cs}$ de la ecuación (3-17)

se tiene:

$$V_o(s) = - \frac{1}{CsR} x V_s(s) \quad \text{lo que en lectura o dominio del}$$

tiempo representa:

$v_o(t) = -\frac{1}{C.R} \int v_s(t)dt + v_o(t_0)$ - obteniéndose un integrador y su representación es la de la Fig. 3-28

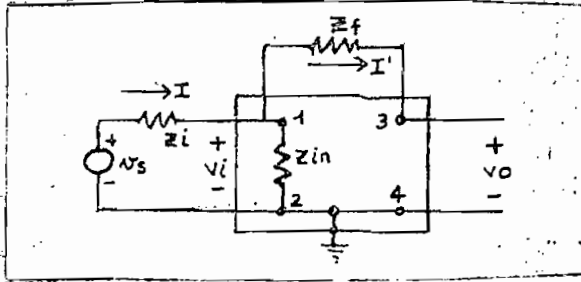


Fig. 3-27 Representación de un amplificador operacional.

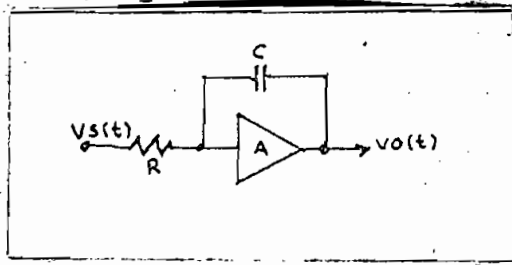


Fig. 3-28 Representación gráfica de un integrador.

Cuando $Z_i(s) = 1/Cs$ y $R_f = R$ de la Ec.(3-17) se tiene

$V_o(s) = -RCs.V_s(s)$ lo que en el dominio del tiempo es $v_o(t) = -RC \cdot \frac{d}{dt} v_s(t)$ lográndose un diferenciador y cuya representación gráfica se ilustra en la Fig. 3-29.

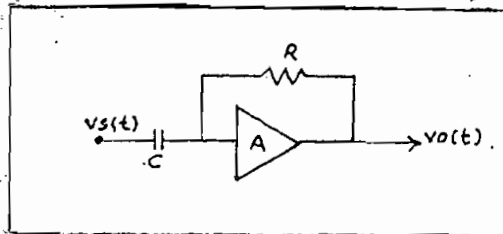


Fig. 3-29 Representación gráfica de un diferenciador.

Cuando se tiene el circuito de la Fig. 3-30, se cumple que

$$V_o(s) = - \frac{R_f}{R_1} V_1(s) - \frac{R_f}{R_2} V_2(s) - \frac{R_f}{R_3} V_3(s)$$

Que representa la ecuación de un circuito sumador de tensiones y multiplicador por una constante R_f/R_i donde $R_i = R_1; R_2; R_3$; la misma que en el dominio del tiempo representa la Ec.(3-18)

$$\left(\frac{v_1(t)}{R_1} + \frac{v_2(t)}{R_2} + \frac{v_3(t)}{R_3} \right) \quad (3-18)$$

El circuito electrónico de la Fig. 3-31, representa un amplificador operacional ideal porque cumple con requerimientos del mismo, es decir, tener acoplamiento directo, alta impedancia de entrada y una amplificación negativa muy grande; no obstante, si analizamos el amplificador ilustrado en la Fig. 3-32, se observará que posee acoplamiento directo, alta ganancia como se demostrará posteriormente, pero su impedancia de entrada es relativamente baja por lo que se creería que no resulta útil para nuestros propósitos de usarlo como un amplificador operacional y como tal en un sumador de tensiones.

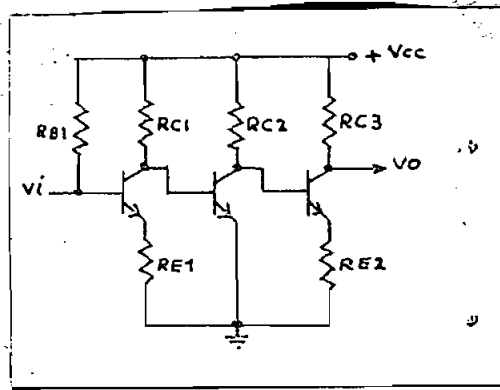


Fig. 3-31 Amplificador operacional óptimo.

Dicho amplificador únicamente posee una etapa de amplificación constituida por el transistor Q1 y una segunda etapa que es un seguidor de emisor con el propósito de aumentar la corriente de carga.

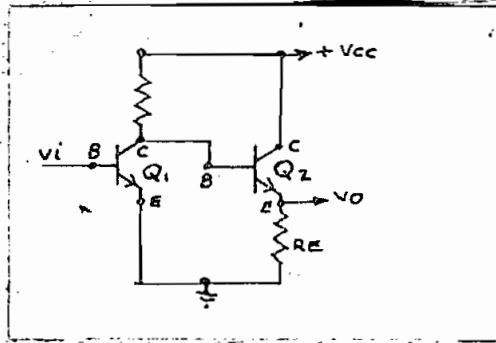


Fig. 3-32 Tipo de amplificador operacional a ser usado como sumador.

a.- 14 DISEÑO DEL AMPLIFICADOR OPERACIONAL QUE SERA USADO COMO SUMADOR.

Los transistores a ser usados son los 40321 RCA NPN de Si que poseen las siguientes características:

$$V_{CE} = 300v \quad P_t(W) = 5 \quad I_c(A) = 0.5 \quad h_{FE} = 25-200$$

Condiciones que debe cumplir:

- 1.- Tener alta ganancia negativa.
- 2.- Acoplamiento directo
- 3.- Máxima corriente que circule por RE = 10mA.

Con las condiciones anteriores podemos realizar la POLARIZACIÓN.

Asumimos un h_{FE} intermedio entre 25 y 200, adoptando un valor de 120; al igual que el h_i , lo consideramos como de $1K\Omega$.

Puesto que este amplificador se usará para dar un voltaje de salida de 40v máximo, se pueden hacer las siguientes consideraciones:

$$\text{si } I_{E\max} = 10\text{mA} \quad \text{y} \quad V_{cc} = 50\text{v}$$
$$\text{entonces } R_E = \frac{V_{omax}}{I_{E.\max}} = \frac{40\text{v}}{10 \times 10^{-3} \text{A}} = 4K\Omega.$$

$$V_B = 40\text{v} + V_{BE} = 40\text{v} + 0.6\text{v} = 40.6\text{v}$$

$$I_B \approx \frac{I_E}{\beta} = \frac{10 \times 10^{-3}}{120} = 83 \times 10^{-6} \text{A} \quad \text{luego}$$

$$R_c = \frac{50 - V_E}{I_B} = \frac{50 - 40.6}{83 \times 10^{-6}} = 9.4 \times 10^6 / 83 = 113K\Omega.$$

El valor de R_c prácticamente es de $100K\Omega$ que es comercial pero con su porcentaje de tolerancia puede hacer que el amplificador trabaje normalmente. En lo que al transistor Q1 se refiere, se lo ha diseñado de tal forma que la corriente que active al mismo, sea aquella de la señal de entrada y la resistencia conocida como R_f la que le dará la polarización requerida. En consecuencia el circuito diseñado es el de la Fig. 3-33.

a.- 15 DETERMINACION DE LA GANANCIA

El circuito equivalente a partir del cual se calcula la ganancia del amplificador de la Fig. 3-33 es el de la Fig. 3-34

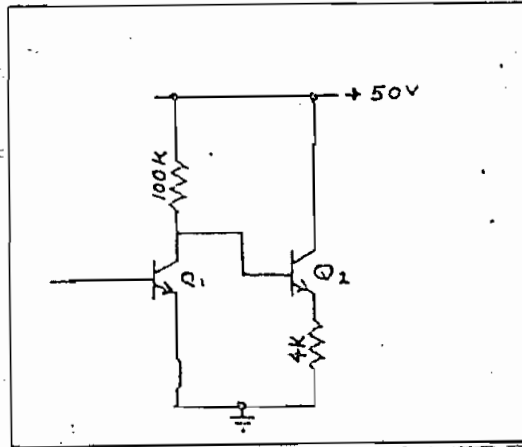


Fig. 3-33 Amplificador operacional diseñado para ser usado como sumador.

y un circuito simplificado de el de la Fig. 3-34 es el de la Fig. 3-35 del cual haremos uso para el análisis y las simplificaciones respectivas.

h_r es muy pequeño por lo que $h_r \cdot V_{CE}$ resulta despreciable, $1/h_{oe}$ es tan grande que se lo puede considerar circuito abierto con bastante aproximación; también se puede simplificar $(\beta + 1) \approx \beta$ sin cometer un error apreciable.

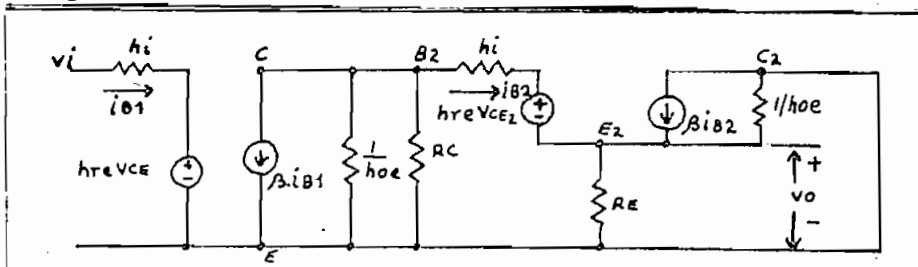


Fig. 3-34 Circuito equivalente para AC del amplificador de la Fig. 3-32.

A consecuencia de que la frecuencia con la que se trabaja

es prácticamente pequeña 550Hz, se puede considerar el β AC del transistor como el β de DC; es decir $\beta \approx 120$.

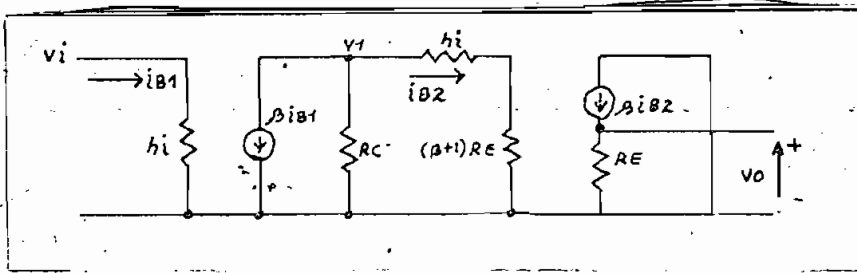


Fig. 3-35 Circuito equivalente simplificado de la Fig. 3-34.

De la Fig.3-35 se deduce que:

$$i_{B1} = \frac{v_{in}}{h_i}$$

$$(h_i + \beta RE) // R_C = R_A$$

$$v_1 = -\beta i_{B1} x R_A \qquad i_{B2} = \frac{v_1}{h_i + \beta RE}$$

$$v_o = \frac{v_1 x \beta RE}{h_i + \beta RE} = - \frac{v_{in} . R_A . RE . \beta^2}{h_i (h_i + \beta RE)}$$

$$\frac{v_o}{v_{in}} = \frac{\beta^2 . R_C . RE}{h_i (h_i + \beta RE + R_C)} \qquad (3-19) \rightarrow$$

A = Amplificación del circuito de la Fig.3-32.

De la Ec. (3-19), también es posible hacer una siguiente aproximación pues resulta que $(\beta RE + R_C) \gg h_i$ quedando la Ec. (3-20).

$$A = \frac{\beta^2 . R_C . RE}{h_i (\beta RE + R_C)} \qquad (3-20)$$

Sustituyendo en la Ec.(3-20) los valores de la Fig.3-33,

se obtiene la amplificación teórica a máxima carga y que será:

$$A = - \frac{120^2 \times 100 \times 10^3 \times 4 \times 10^3}{10^3 (120 \times 4 \times 10^3 + 4 \times 10^3)} \approx - 11.900$$

Con tal amplificación, se puede afirmar que este amplificador está dentro de los operacionales aunque no cumple la condición de tener una impedancia de entrada muy grande por tratarse de transistores. De su funcionamiento como sumador resulta lo siguiente:

RE, representa la resistencia de emisor del seguidor de emisor en la que está incluida la resistencia de carga y que se desarrollará en el literal a.- 17.

Asumimos que nuestra corriente máxima sea 1mA por escalón y que el primero de los mismos esté a 5v; de lo que se desprende que el octavo escalón tendrá 40v, con una resistencia de limitación de corriente que permita el paso de 8mA, la que a la postre se convertirá en la máxima corriente de base del transistor de prueba.

La Fig.3-36, ilustra la resistencia de emisor RE del seguidor de emisor desarrollada, en la que se asume que la máxima corriente de carga es 8mA a 40v y que proporciona la siguiente información:

$$R_L = \frac{40v}{8mA} = 5K\Omega \qquad R'E = \frac{40v}{2mA} = 20K\Omega$$

puesto que estos valores no son comerciales, se usa $R'E = 22K\Omega$

con su porcentaje de tolerancia y R_L una resistencia variable cuyo valor mínimo debe ser $5K\Omega$.

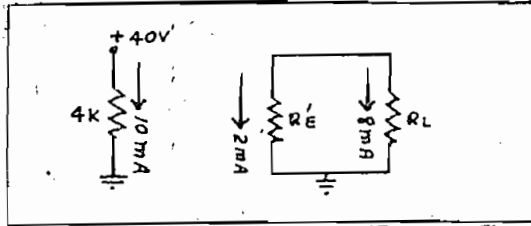


Fig. 3-36 Resistencia RE desarrollada.

a.- 16 FUNCIONAMIENTO DEL AMPLIFICADOR DISEÑADO COMO SUMADOR.

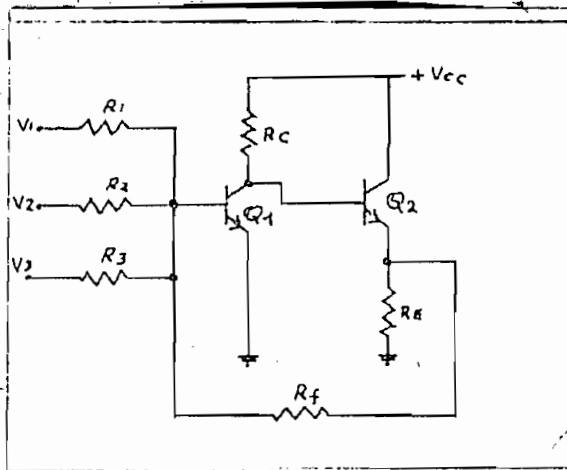


Fig. 3-37 Amplificador operacional usado como sumador.

Usando el teorema de Miller ilustrado en la Fig. 3-38a y b y aplicándolo en la Fig. 3-27, tenemos:

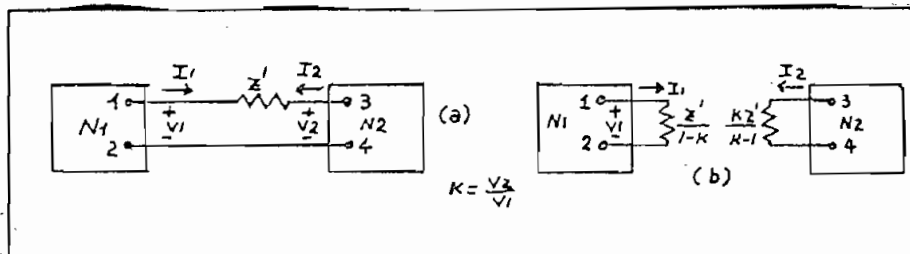


Fig. 3-38 Teorema de Miller.

Por definición $A_v = \frac{V_o}{V_{in}}$ con Z' conectado.

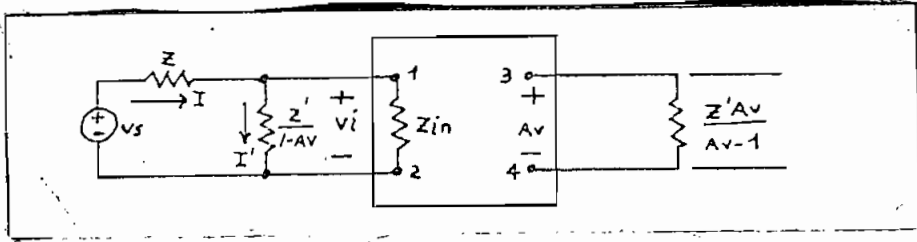


Fig. 3-39 Aplicación del teorema de Miller al circuito de la Fig. 3-27.

El circuito equivalente para determinar A_v del amplificador de la Fig. 3-37 es el siguiente Fig. 3-40 con sus respectivas simplificaciones:

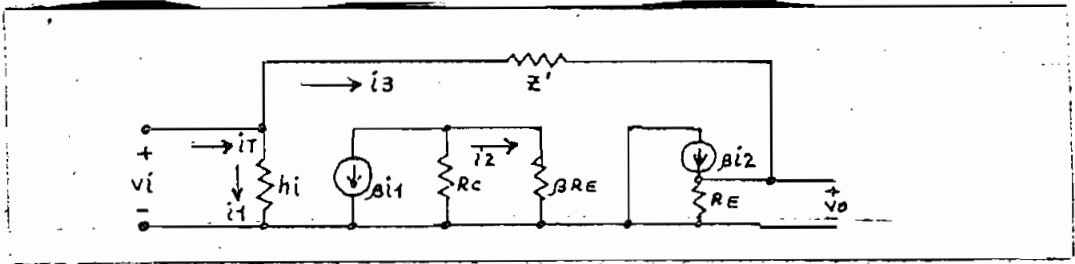


Fig. 3-40 Circuito equivalente para determinar A_v .

Asumiendo que $h_i + (\beta + 1)R_E \approx \beta R_E$

$$i_1 = \frac{v_{in}}{h_i} \quad i_2 = -\frac{\beta i_1 R_c}{R_c + \beta R_E} \quad v_o = -(\beta i_2 + i_3)R_E$$

$$i_3 = \frac{v_{in} - v_o}{Z'}; \quad i_3 Z' = v_{in} - v_o \quad v_{in} = v_o + i_3 Z'$$

$$\text{luego } v_o = (\beta i_2 + \frac{v_{in} - v_o}{Z'})R_E = \frac{(Z')\beta i_2 + v_{in} - v_o}{Z'}R_E$$

Resolviendo las últimas ecuaciones, resulta que:

$$\frac{v_o}{v_{in}} = A_v = \left(\frac{-\beta^2 \cdot Z' \cdot R_c + h_i(R_c + \beta R_E)}{h_i(R_c + \beta R_E)(Z' + R_E)} \right) \quad (3-21)$$

Asumiendo que $Z' = 62K\Omega$ y las otras resistencias las ilustradas en la Fig.3-33, tenemos:

$\beta = 120$ $R_c = 100K\Omega$ $h_i = 1K\Omega$ $R_E = 4K\Omega$ máxima carga, y, reemplazando estos valores en la Ec.(3-21) resulta que

$$A_v \approx -9300$$

con lo que se puede trabajar en la Fig.3-39, en la que

$$\frac{Z'}{1-A_v} = \frac{62K\Omega}{1+9300} = 6.67\Omega \quad (Z'/(1-A_v))/h_i \approx \frac{Z'}{1-A_v}$$

puesto que h_i es muy grande en comparación con el paralelo.

$$v_{in} = v_s \times \frac{Z'}{(1-A_v)(Z+Z'/(1-A_v))} = \frac{v_s \cdot Z'}{Z(1-A_v) + Z'}$$

como $v_o = v_{in} \cdot A_v$ $v_{in} = v_o/A_v$ de donde

$$\frac{v_o}{v_s} = \frac{A_v \cdot Z'}{Z' + Z(1-A_v)} \quad (3-22)$$

Cuando $Z = R_1$: $Z' = R_f$ Fig.3-37 y suponiendo que $R_1 = 62K\Omega$; $R_f = 62K\Omega$ y haciendo uso de la Ec.(3-22) se tiene:

$$\frac{v_o}{v_s} = \frac{-9.300 \times 62 \times 10^3}{62 \times (1+9300) / 10^{-3} + 62 \times 10^{-3}} \approx -1$$

$v_o \approx -v_s$ y como v_s resulta ser v_1

$v_o \approx -v_1$

Cuando $Z = R_f/2 = 31K\Omega$ tenemos:

$$\frac{v_o}{v_2} = \frac{-9300 \times 62 \times 10^3}{62 \times 10^3 + 31 \times 10^3 (1 + 9.300)} \approx -2$$

$$v_o \approx -2v_2$$

Cuando $Z = R_f/4 = 15.5K\Omega$ tenemos:

$$Z = R_3 = 15.5K\Omega \quad R_f = 62K\Omega$$

$$\frac{v_o}{v_3} = \frac{-9.300 \times 62 \times 10^3}{62 \times 10^3 + 15.5 \times 10^3 (1 + 9.300)} \approx -4$$

$$v_o \approx -4v_3$$

De los últimos tres resultados se nota que cuando $R_f/R_1 = 1$, la salida v_o es de igual magnitud que v_1 pero con signo negativo; cuando $R_f/R_3 = 2$, la salida $v_o = -2v_2$ y cuando $R_f/R_3 = 4$, la salida $v_o = -4v_3$, cumpliéndose de este modo con el requerimiento propuesto en la Fig.2-22. El circuito hasta el momento diseñado, es el de la Fig.3-41, que por lo deducido anteriormente, se constituye en un amplificador operacional usado como sumador en el que se puede aplicar la Ec.(3-18) y además, si v_1 ; $-v_2$; y v_3 son señales del tipo mostradas en la Fig.2-19a,b,c respectivamente pero con valores negativos, se tendrá una salida v_o como la indicada en la Fig.2-20d defasado 180° ; con lo que se ha cumplido con el diseño del amplificador operacional y el uso de éste como sumador, dando como resultado el generador de tensión tipo escalera.

En la Fig.3-41 por no existir resistencias comerciales de $31K\Omega$ y $15.5K\Omega$, se usan los potenciómetros P1 y P2 con el objeto de poder ajustar a los valores requeridos y también para la calibración del generador tomando como base a la señal v_1 de $-5v$.

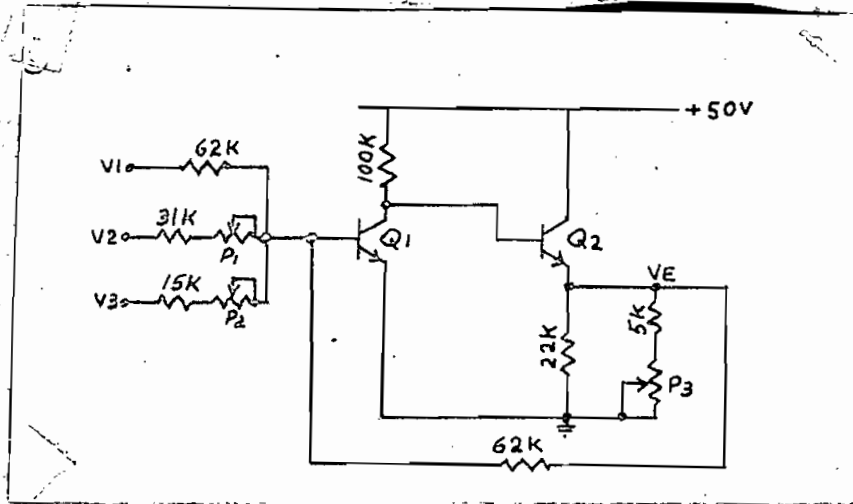


Fig. 3-41 Amplificador operacional usado como sumador y que genera una tensión tipo escalera.

El potenciómetro P3, está representado como tal, pero - prácticamente es un sistema de resistencias que controlarán la corriente de base del transistor de prueba y que para el peor - de los casos que es el diseñado será de $5k\Omega$

a.- 17 DISEÑO DE LOS CIRCUITOS RESISTIVOS PARA CONTROL DE CORRIENTE.

De acuerdo al diagrama ilustrado en la Fig.2-31, el generador de tensión tipo escalera, está unido a la base del transistor en prueba a través de un sistema de resistencias de cuyo diseño nos ocuparemos.

Estudiando el circuito de la Fig.3-41, se concluye que: tratándose de transistores de Si o Ge, en los que el $V_{BE(sat)}$ es 0.7v y 0.3v respectivamente, se puede limitar la corriente de colector $I_{c.m\acute{a}x}$ a 200mA y determinar las resistencias R1;R2;R8 Fig.3-42 de la siguiente manera:

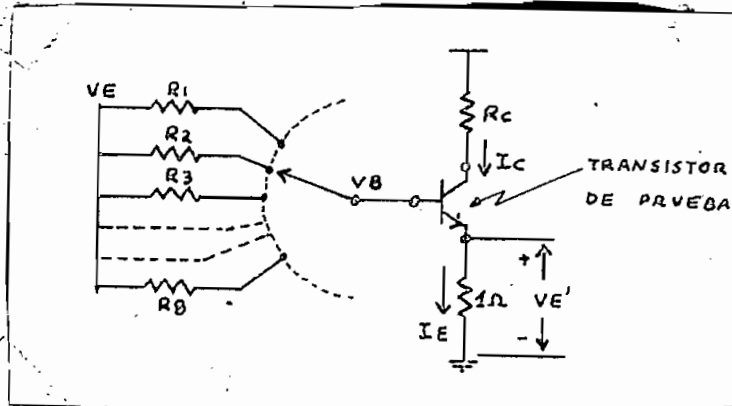


Fig. 3-42 Circuito que orienta o ilustra la manera de controlar la corriente de base.

Puesto que no se conoce las características del transistor a probarse, es necesario partir del plano de las suposiciones y para comenzar diremos que se asume un V'_{BE} promedio porque tampoco se sabe si el componente de prueba (transistor) es de Si o de Ge; consecuentemente:

$$V'_{BE} = \frac{V_{BE}(Si) + V_{BE}(Ge)}{2} = \frac{0.7 + 0.3}{2} = 0.5v$$

Si la corriente I_E es 200mA; $VE' = 1\Omega \times 200mA = 200mv$; luego $V_B = 0.5 + 0.2 = 0.7v$. De lo anterior se deduce que esta circulación de corriente de 200mA, debe ocurrir cuando tengan o se tenga una corriente de base máxima de 8mA. En este caso R_1 sería;

$$R_1 = \frac{40v - 0.7v}{8mA} = 4.91K\Omega$$

pero se usará una resistencia de $5K\Omega$ y como ésta tiene un por:

centaje de error, podría compensarse. La ilustración de la Fig. 3-43a, ayudará a comprender juntamente con el de la Fig.3-43b, la correspondencia de los diferentes voltajes del generador de tensión tipo escalera con la corriente de base del transistor - en prueba cuando se ha conectado una resistencia R1 de $5K\Omega$, en el que también se puede observar que entre cada escalón existe 1mA de diferencia, por lo que corresponderá a una corriente de base de 1mA por paso.

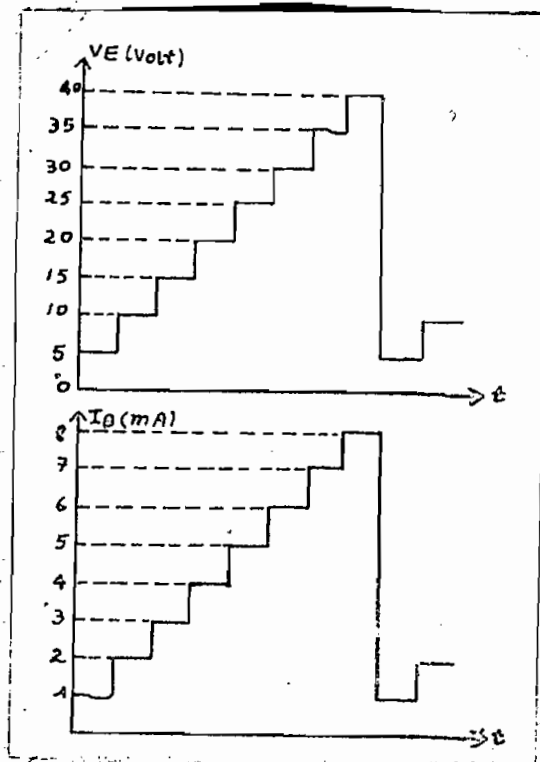


Fig. 3-43 (a); Tensión tipo escalera en la salida del citado - generador. (b); corriente de base cuando $R1 = 5K\Omega$

De una manera análoga se puede determinar las resistencias $R2; R3; \dots R8$; y de igual forma se puede ilustrar con gráficos análogos al de la Fig.3-43. En definitiva, los valores - de $R1 \dots R8$ de control de corriente de base I_B por paso, se -

relacionan con la tabla (3-2) y el circuito resultante es el de la Fig.3-44.

Para cometer menos error, es posible controlar el voltaje del primer escalón de la Fig.3-43a, permitiéndolo comenzar en 5.6v; de tal manera que la corriente de base sea:

$$\frac{5.6v - V_B}{5K} = \frac{5v}{5K} = 1mA$$

cuando la corriente de emisor del transistor de prueba es 100mA y pasa por una resistencia de emisor de 1Ω. produciendo una caída de potencial de 0.1v que sumada al voltaje V'BE dará 0.6v y así sucesivamente con las demás tensiones, hasta que el último escalón no sea 40v sino 40.6v asegurando de este modo el tener una corriente de base de 8mA. El circuito generador de tensión tipo escalera y el sistema de resistencias de control de corriente de base es el de la Fig.3-44.

IB/paso	Valor del primer paso de corriente IB	Rn/R1 n=1,2,..8	Rn
1mA	1mA	1	R1=5KΩ
500μA	0.5mA	2	R2=10KΩ
250μA	0.25mA	4	R3=20KΩ
100μA	100μA	10	R4=50KΩ
50μA	50μA	20	R5=100KΩ
25μA	25μA	40	R6=200KΩ
10μA	10μA	100	R7=500KΩ
5μA	5μA	200	R8=1MΩ

Tabla (3-2) Relación de corriente de base con las resistencias de control.

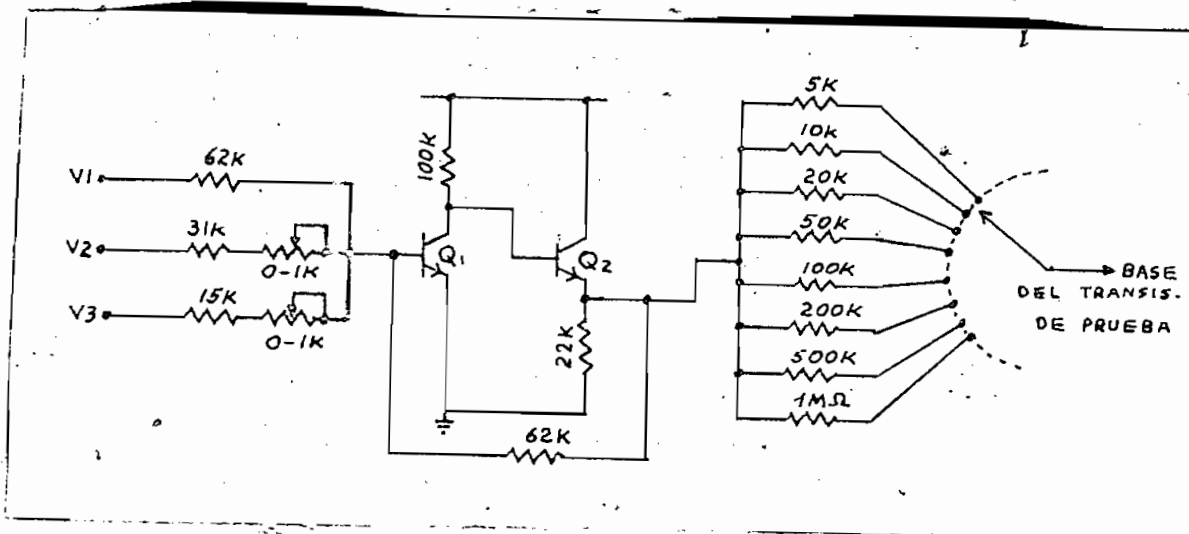


Fig. 3-44 Generador de tensión tipo escalera acoplado a un sistema de resistencias para control de corriente de base.

a.- 18 CALCULO DE LAS RESISTENCIAS DE EMISOR DEL TRANSISTOR DE PRUEBA EN RELACION CON LAS DIFERENTES CORRIENTES DE BASE

Para entender el por qué de este subcapítulo, analicemos lo que sucede cuando $I_B = 1\mu A$ por ejemplo, y, el transistor de prueba tiene un $\beta = 100$, en estas circunstancias, $I_E \approx I_C = 100\mu A$ al pasar esta corriente a través de una conexión compuesta por una resistencia de emisor de 1Ω , producirá una caída de potencial la que al ser tomada como señal para la sección vertical del osciloscopio, aparecerá en éste un voltaje proporcional a la corriente de emisor pues

$$V_E = I_E \cdot R_E \quad \text{si} \quad R_E = 1\Omega \quad V_E = I_E \cdot 1\Omega$$

luego $V_E = 100\mu v$; y cuando la corriente máxima para $1\mu A$ por paso, $V_E \cdot \text{máx}$ será $800\mu v$, valor que no se podría leer con fa-

cilidad en un osciloscopio del laboratorio; razón por la cual es necesario poner una resistencia RE mucho más grande que 1Ω y que puede ser $1K\Omega$, de tal manera que el voltaje que aparezca en la parte vertical del osciloscopio, se pueda traducir a corriente únicamente dividiendo el valor de señal en el osciloscopio por mil, pues, $VE = IE \cdot RE$ y puesto que $IE \approx Ic$ entonces:

$$Ic \approx \frac{VE}{RE} = \frac{VE}{1000\Omega}$$

Supongamos que tenemos en prueba un transistor cuyo $\beta = 100$ y sus características son las indicadas en la Fig.3-45; si se considera que la señal para la sección vertical del osciloscopio se ha tomado a través de una resistencia de 1000Ω ; la corriente de colector será $Ic \approx VE/1000\Omega$. Como ejemplo consideremos la curva para $IB = 5\mu A$ en su sección activa. Para esta curva corresponde $VE = 0.5v$, por lo tanto $Ic \approx 0.5v/1000\Omega = 0.5mA$ y así sucesivamente con todas las demás. Con este mismo criterio, es posible determinar las otras resistencias de emisor del modo siguiente: Consideremos $IB = 10\mu A$ por paso; esta corriente es 10 veces mayor que $1\mu A$; consecuentemente la resistencia que se debe usar debe ser 10 veces menor que aquella que se usó cuando $IB = 1\mu A$ es decir 100Ω . De un modo similar para $IB = 100\mu A$; de donde resulta la tabla (3-3), desprendiéndose de la misma que para $IB/paso = 1mA$, se podrá leer directamente la corriente de colector en la escala vertical del osciloscopio; en cambio para corrientes de base de $(500\mu A; 250\mu A; 100\mu A)/paso$, la lectura será aquella de la escala vertical del osciloscopio dividido por 10.

Cuando I_B sea ($50\mu A$; $25\mu A$; $10\mu A$) por paso, la corriente I_c será dividida por 100 y para $5\mu A$ por paso, la lectura de I_c será aquella del osciloscopio en la parte vertical dividida -- por mil. Todo lo anterior, es decir los subcapítulos a.- 17 y a.- 18, se resumen en la tabla (3-4) y el circuito diseñado para el Capítulo III literal A, es el de la Fig.3-46.

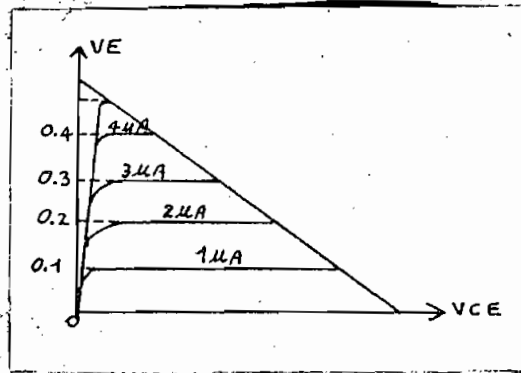


Fig. 3-45. Gráfico que ilustra el modo de determinar I_c .

I_B /paso	R_n	R_E
$5\mu A$	$1M\Omega$	$1K\Omega$
$10\mu A$	$500K\Omega$	100Ω
$25\mu A$	$200K\Omega$	100Ω
$50\mu A$	$100K\Omega$	100Ω
$100\mu A$	$50K\Omega$	10Ω
$250\mu A$	$20K\Omega$	10Ω
$500\mu A$	$10K\Omega$	10Ω
$1mA$	$5K\Omega$	1Ω

Tabla (3-3) Correspondencia de I_B /paso con R_E .

I_B /paso	R_n	R_E	I_E	I_c
$5\mu A$	$1M\Omega$	1000Ω	$VE/1000\Omega$	
$10\mu A$	$500K\Omega$	100Ω	$VE/100\Omega$	
$25\mu A$	$200K\Omega$	100Ω	$VE/100\Omega$	
$50\mu A$	$100K\Omega$	100Ω	$VE/100\Omega$	

100 μ A	50K Ω	10 Ω	VE/10 Ω
250 μ A	20K Ω	10 Ω	VE/10 Ω
500 μ A	10K Ω	10 Ω	VE/10 Ω
1mA	5K Ω	1 Ω	VE/1 Ω

Tabla (3-4) Correspondencia de IB/paso con Ic; RE y la sección vertical del osciloscopio.

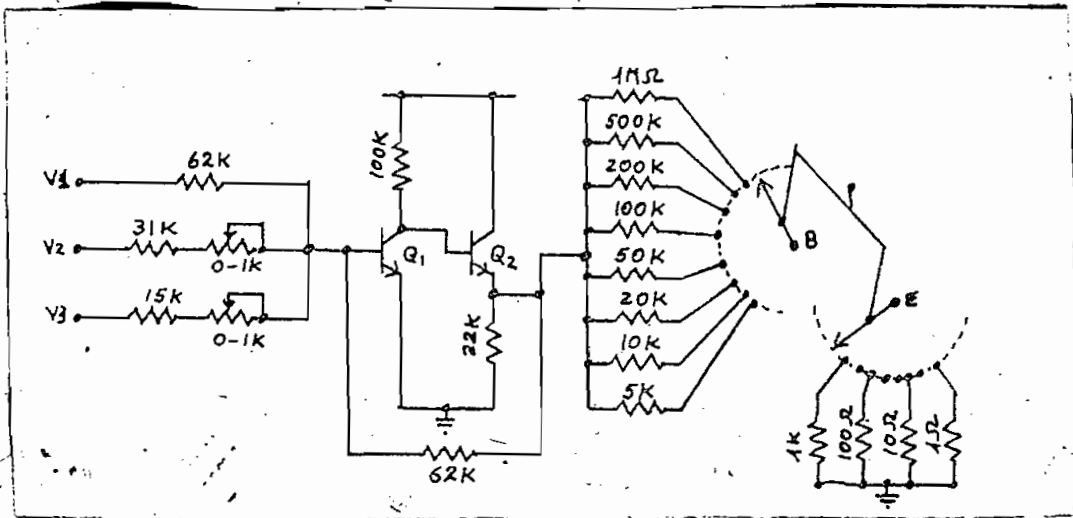


Fig. 3-46 Sistema de resistencias de control de corriente de base y de medición de corriente de colector en un transistor en emisor común. El transistor de prueba se conectará entre los puntos C;B;E; Colector, Base y Emisor respectivamente.

B.- DISEÑO DEL GENERADOR DE TENSION DE ONDA TRIANGULAR

En el análisis realizado en el Capítulo I, se llegó a la necesidad de un generador de tensión de este tipo, que básicamente consiste de un amplificador operacional usado como integrador de una onda cuadrada.

b.- 1 DISEÑO DEL AMPLIFICADOR OPERACIONAL A SER USADO COMO INTEGRADOR.

El amplificador a diseñarse es similar al anterior, únicamente añadido un seguidor de emisor Fig.3-47 para obtener potencia de salida. Las condiciones que debe cumplir son las siguientes:

- 1.- Poseer alta impedancia de entrada.
- 2.- Ganancia negativa grande.
- 3.- Acoplamiento directo.
- 4.- Tensión máxima de salida de onda triangular 100 voltios pico.
- 5.- Corriente máxima a 100 voltios pico, 100mA pico.

De las condiciones anotadas, se desprende que la potencia máxima pico que va a entregar el amplificador es:

$$P_{\text{máx.pico}} = 100\text{v.pico} \times 200\text{mA.pico} = 20\text{Wat.pico}$$

Por tratarse de una onda triangular, la potencia media será 10Wats; con lo cual se puede determinar las características de transistores de voltaje más o menos elevado y mediana potencia.

La configuración de la Fig.3-47, no cumple con la primera condición por lo expuesto en a.- 15, lo que no es un inconveniente para la función que va a ejercer este dispositivo.

Para cumplir con la segunda condición, es necesario anotar las características de cada uno de los transistores a usarse y que

son las siguientes:

Q1 = Q2 = 40321 RCA SILICIO NPN

VCER=300v. Pt(Wats) = 5 Ic(A) = 0.5 $h_{FE} = 25-200$

Q3 = 2N3584 RCA SILICIO NPN

VCEO = 375v. Pt(Wats) = 35 Ic(A) = 2 $h_{FE} = 25-100$

De lo anterior se desprende que; para los transistores -- Q1 y Q2 es posible asumir un futuro β o h_{FE} de DC igual a β_{ac} porque la frecuencia a la que se trabajará será menor a los 60Hz; consecuentemente se puede asumir un β intermedio entre 25 y 200 y para el caso presente adoptamos el valor de $\beta = 120$.

Para Q3, $\beta = 60$. El transistor Q1, es el que prácticamente da la amplificación mientras que el Q2 es usado como excitador del Q3 que es el de potencia, el que entregará 20Wats. pico máximo.

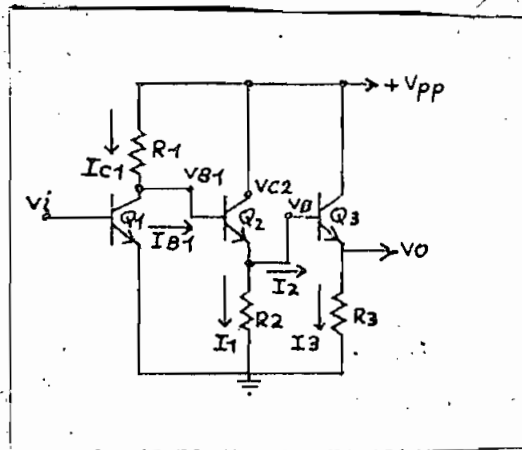


Fig. 3-47 Amplificador operacional a ser usado como integrador.

Con lo expuesto anteriormente, estamos en condiciones de tratar sobre la polarización del amplificador con las siguientes consideraciones:

Puesto que el voltaje máximo de onda triangular que obtendremos con este amplificador es 100v pico, y, asumiendo que entregará 20Wats. pico, con $I_3 = 200\text{mA}$ pico, es posible calcular R_3 .

$$R_3 = \frac{100\text{v. pico}}{200\text{mA. pico}} = 500 \Omega$$

donde R_3 constituye la máxima resistencia de carga. Cuando se trabaje en condiciones normales, es decir cuando la potencia máxima sea 10Wats. pico; $V_o = 100\text{v. pico}$; e $I_3 = 100\text{mA}$ pico, resulta que $R_3 = 1000\Omega$. Se debe tomar en cuenta que R_3 es la máxima carga que va a soportar el generador de onda triangular y específicamente Q_3 , además de que R_3 es el paralelo de dos resistencias como se indica en la Fig.3-48.

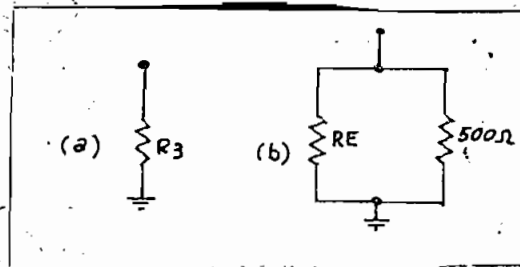


Fig. 3-48 (a) Resistencia equivalente R_3 (b) Resistencia R_3 desarrollada.

Simplificando R_3 , se observará que se tiene una resistencia R_E la misma que se usa como una resistencia de polarización de Q_3 por la que pasa 1mA cuando $V_o = 100\text{v}$, resultando que

$$R_E = \frac{100\text{v}}{1\text{mA}} = 100\text{K}\Omega$$

luego $500\Omega // 100K\Omega \approx 500\Omega$ y las condiciones no han variado mayormente.

Cuando $v_o = 100v$; e $I_3 = 200\mu A$ pico (Peor de los casos) - se tiene:

$$I_2 = \frac{I_3}{\beta} = \frac{200\mu A}{60} = 3.33\mu A$$

$$V_B = V_o + V_{BE} = 100 + 0.6 = 100.6v \text{ pico}$$

Asumiendo que por R_2 circulan $0.17\mu A$ tenemos:

$$R_2 = \frac{V_B}{0.17\mu A} = \frac{100.6v}{0.17\mu A} = 590K\Omega$$

Puesto que el valor anterior comercialmente no existe, se usa $R_2 = 560K\Omega$; luego $I_1 = 100.6v/560K\Omega = 0.18\mu A$. En consecuencia I_{E2} de Q_2 será:

$$I_{E2} = I_1 + I_2 = 3.33 + 0.18 = 3.51\mu A$$

$$I_{B1} \approx \frac{I_{E2}}{\beta} = \frac{3.51}{120} = 29.3\mu A$$

De lo anterior se desprende que $V_{B1} = V_B + 0.6 = 101.2v$.

Si se polariza con $V_{pp} = 110v$ y sabiendo que $I_{B1} = I_{C1}$ cuando no existe ninguna señal de entrada v_{in} , entonces:

$$R_1 = \frac{V_{pp} - V_{B1}}{I_{B1}} = \frac{(110 - 101.2)v}{29.3\mu A} = \frac{8.84v}{29.3\mu A} = 300K\Omega$$

Como el valor anterior de resistencia no existe comercial-

mente, se usará $R_1 = 270K\Omega$ con su porcentaje de tolerancia sin-
variar mayormente las condiciones.

En lo que a la polarización de Q_1 se refiere, del diseño se desprende que la corriente que active a Q_1 será aquella de la señal de entrada, quedando el amplificador diseñado con los valores indicados en la Fig. 3-49.

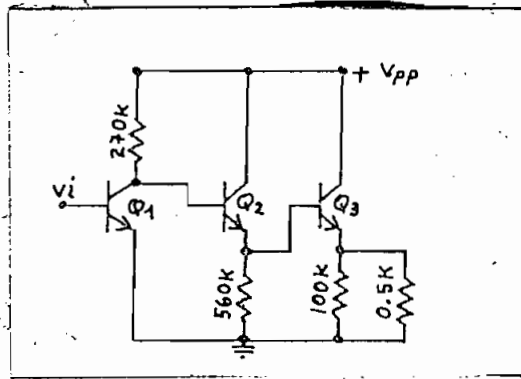


Fig. 3-49 Amplificador operacional diseñado para ser usado como integrador con su máxima carga.

b.- 2 FUNCIONAMIENTO DEL AMPLIFICADOR OPERACIONAL USADO COMO INTEGRADOR.

Para explicar el funcionamiento de este amplificador, es necesario conocer la amplificación que tiene el circuito de la Fig. 3-49 a lazo abierto, y, se lo determina a partir de la Fig. 3-50 en la que realizando la siguiente simplificación $V_{CEn} \approx 0$ donde $n = 1, 2, 3$, se llega al circuito de la Fig. 3-51 de cuyo análisis resulta lo siguiente:

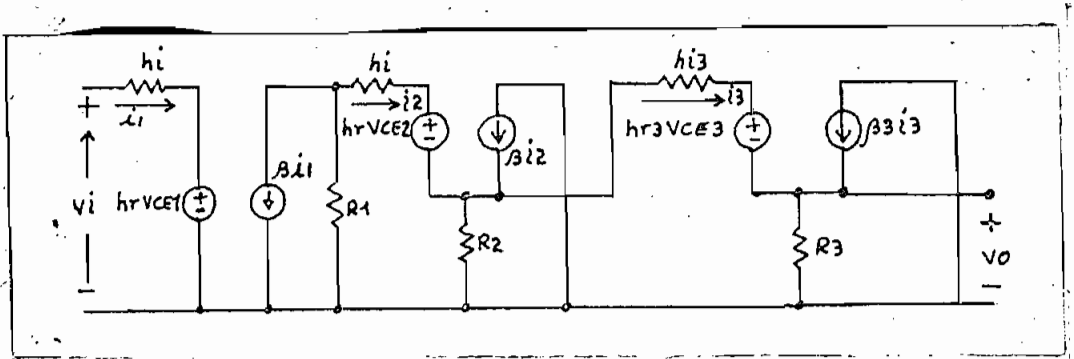


Fig. 3-50 Circuito equivalente para determinar la amplificación a lazo abierto "A" del amplificador de la Fig. 3-49.

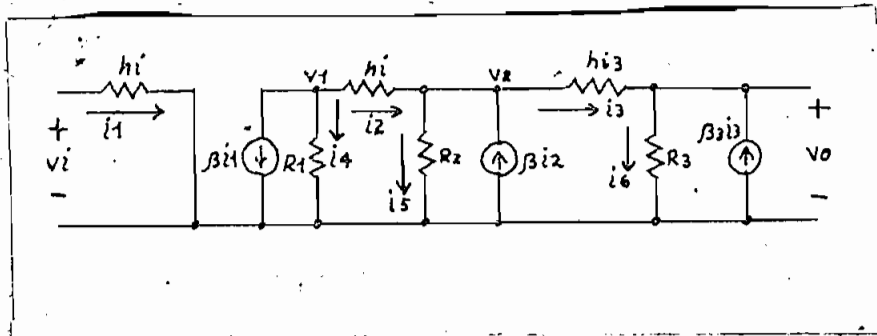


Fig. 3-51 Circuito equivalente simplificado del amplificador de la Fig. 3-49.

Asumiendo que las corrientes que entran a un nudo son positivas y las que salen negativas, se establecen las siguientes ecuaciones de nudos Fig. 3-51.

$$h_{i1} = h_{i3}$$

$$i_1 = v_{in}/h_{i1} \quad (3-23)$$

$$i_2 + i_4 + \beta_{i1} i_1 = 0 \quad (3-24)$$

$$\beta_{i2} i_2 + i_2 - i_5 - i_3 = 0 \quad (3-25)$$

$$\beta_{i3} i_3 + i_3 - i_6 = 0 \quad (3-26)$$

$$i_2 = \frac{v_1 - v_2}{h_i} \quad (3-27)$$

$$i_3 = \frac{v_2 - v_o}{h_i} \quad (3-28)$$

$$i_4 = \frac{v_1}{R_1} \quad (3-29)$$

$$v_o = i_6 \cdot R_3 \quad i_6 = v_o / R_3 \quad (3-30)$$

$$i_5 = \frac{v_2}{R_2} \quad (3-31)$$

Haciendo uso de estas ecuaciones, se llega a la fórmula -
de $A = \frac{v_o}{v_{in}}$.

(3-32)

$$A = \frac{v_o}{v_{in}} = \frac{-\beta R_1 (\beta + 1) R_2}{\{P [(\beta + 2) R_2 + h_i] - R_2\} (R_1 + h_i) - \beta R_1 (\beta + 1) R_2}$$

donde $P = [(\beta + 1) R_3 + h_i] / (\beta + 1) R_3$

Un segundo método aproximado de determinar la amplificación a lazo abierto es haciendo uso del circuito de la Fig. 3-51 con las simplificaciones respectivas y llegar al de la Fig. 3-52 de donde resulta que:

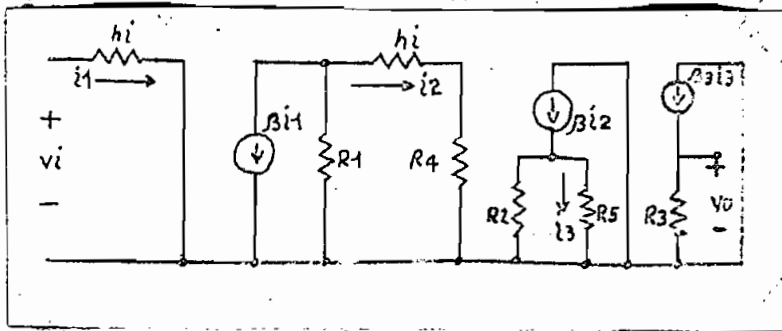


Fig. 3-52 Simplificación del circuito de la Fig. 3-51.

$$R4 = (\beta + 1) \{ R2 // [hi + (\beta \beta_3 + 1)R3] \}$$

$$R5 = hi + (\beta \beta_3 + 1)R3$$

$$i1 = vin/hi$$

$$i2 = -\beta i1 \cdot \frac{R1}{hi+R1+R4} = -\frac{\beta vin \cdot R1}{hi(R1+R4+hi)}$$

$$i3 = \beta i2 \cdot \frac{R2}{R2+R5} = -\frac{\beta^2 vin \cdot R2 \cdot R1}{hi(R1+R4+hi)(R2+R5)}$$

$$vo = \beta \beta_3 i3 R3 = -\frac{\beta^2 \beta_3 R1 R2 R3 \cdot vin}{hi(R1+R4+hi)(R2+R5)} \quad (3-33)$$

asumiendo que $\beta + 1 \approx \beta$ y $hi + (\beta \beta_3 + 1)R3 \approx \beta \beta_3 R3$

$$\text{entonces } R4 = \beta \cdot \frac{R2 \beta_3 R3}{R2 + \beta_3 R3}$$

luego en la Ec. (3-33) se tiene:

$$\frac{vo}{vin} = A = -\frac{\beta^2 \beta_3 R1 R2 R3}{hi \left[\frac{R1 + \beta \cdot \beta_3 R2 R3}{R2 + \beta_3 R3} + hi \right] (R2 + \beta_3 R3)} \quad (3-34)$$

Para máxima carga, es decir cuando $R3 = 0.5K\Omega$ la amplificación A será con los siguientes valores calculada:

$$hi = 1K\Omega \quad \beta = 120 \quad \beta_3 = 60 \quad R1 = 270K\Omega$$

$$R2 = 560K\Omega \quad R3 = 0.5K\Omega \quad \text{Consecuentemente :}$$

$$A = -30.200$$

Con tal amplificación, este amplificador cumple con la segunda condición aunque no tiene alta impedancia de entrada por el hecho de usar transistores.

Tomando como base la Fig. 3-28, la representación de un amplificador operacional usado como integrador se ilustra en la Fig.

3-53, en la que aplicando el teorema de Miller Fig.3-39, nos conduce a la determinación de A_v con la impedancia Z' de realimentación Fig.3-54, en la que asumiendo a las corrientes que entran a un nudo como positivas y las que salen en el mismo como negativas, es posible determinar las siguientes ecuaciones:

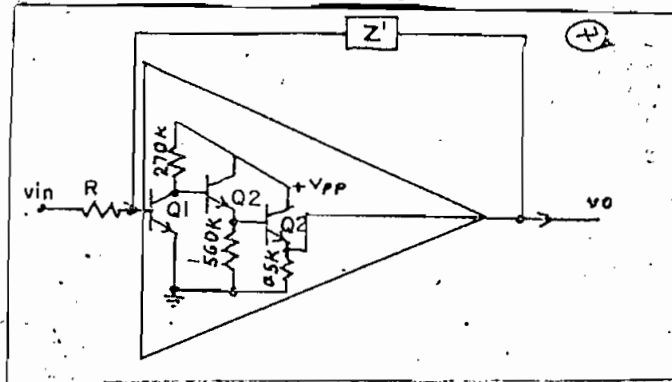


Fig. 3-53 Amplificador operacional "encerrado en el triángulo" en el que si Z' es un condensador, el circuito funcionará como un integrador.

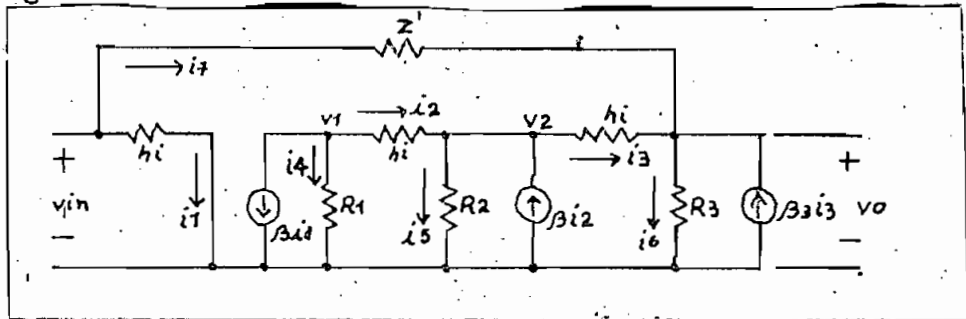


Fig. 3-54. Circuito equivalente para determinar A_v .

$$i_1 = \frac{v_{in}}{h_i} \quad (3-35)$$

$$i_7 = \frac{v_{in} - v_o}{Z'} \quad (3-36)$$

$$\beta i_1 + i_4 + i_2 = 0 \quad (3-37)$$

$$-i_2 - \beta i_2 + i_5 + i_3 = 0 \quad (\beta + 1)i_2 - i_3 - i_5 = 0 \quad (3-38)$$

$$i_3 - i_6 + i_7 + \beta i_3 = 0 \quad (3-39)$$

$$i_4 = v_1/R_1 \quad (3-40)$$

$$i_2 = \frac{v_1 - v_2}{h_i} \quad (3-41)$$

$$i_5 = v_2/R_2 \quad (3-42)$$

$$i_3 = \frac{v_2 - v_o}{h_i} \quad (3-43)$$

$$i_6 = v_o/R_3 \quad (3-44)$$

En la Ec.(3-37) reemplazando los valores de corriente por sus correspondientes de voltaje se tiene:

$$v_1(h_i + R_1) - v_2 R_2 + \beta v_{in} R_1 = 0 \quad (3-45)$$

De una manera análoga con la Ec.(3-38) resultando:

$$v_1 R_2 (\beta + 1) - v_2 [h_i + R_2 (\beta + 2)] + v_o R_2 = 0 \quad (3-46)$$

y por último en la Ec.(3-39) tenemos:

$$-v_2 (\beta + 1) R_3 Z' + v_o [(\beta + 1) R_3 Z' + h_i (Z' + R_3)] - v_{in} h_i R_3 = 0 \quad (3-47)$$

De las Ecs.(3-45; 46 y 47) se despeja v_o/v_{in} quedando:

$$\frac{v_o}{v_{in}} = \frac{-\beta^2 R_1 R_2 R_3 Z' - h_i R_3 (h_i + R_1) (h_i + \beta R_2) + \beta h_i R_1 R_2 - \beta R_1 R_2 [\beta R_3 Z' + h_i (Z' + R_3)]}{R_3 [R_3 Z' + h_i (Z' + R_3)] + R_2 R_3 Z' (h_i + R_1) \beta} \quad (3-48)$$

Si se cumple que $R_n B_n \gg h_i$ $n = 1, 2, 3$ de cada transistor y además de que $(\beta_{n+1}) \approx \beta$ y $(\beta_{n+2}) \approx \beta$ se simplifica la Ec. (3-48) quedando:

$$A_v = \frac{-\beta_3 \beta^2 R_1 R_2 R_3 Z' - h_i R_3 (h_i + R_1) R_2 \beta + \beta h_i R_1 R_2 R_3}{-\beta_3 \beta R_3 Z' + h_i (Z' + R_3) [(h_i + R_1) \beta R_2 + \beta R_1 R_2 (\beta_3 \beta R_3 Z' + h_i (Z' + R_3))] + \beta_3 R_2 R_3 Z' (h_i + R_1)} \quad (3-49)$$

Para el caso que nos ocupa, $R_1 \gg h_i$ pues $270K\Omega \gg 1K\Omega$ luego

$$A_v = -\beta^2 \quad (3-50)$$

Consecuentemente con carga Z' , $A_v \approx \beta^2 = -120^2 = -14.400$ y estamos en capacidad de trabajar con el circuito de la Fig.3-39 en la que se tiene:

$$\frac{Z'}{1-A_v} = \frac{Z'}{1+14.400} \approx \frac{Z'}{-A_v} \quad y$$

$$\frac{Z' A_v}{1-A_v} = \frac{Z' (-14.400)}{-14.400-1} \approx Z'$$

Resultando la configuración de la Fig.3-55.

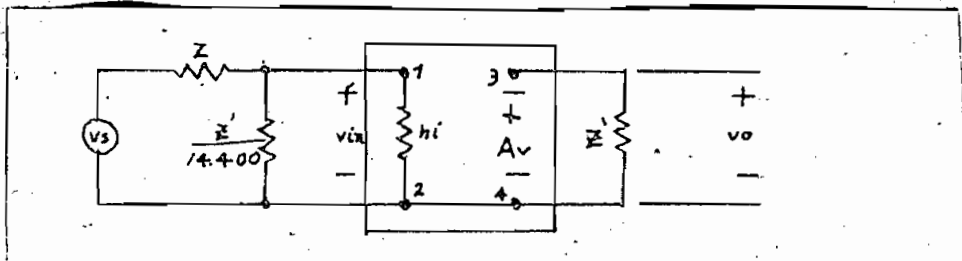


Fig. 3-55 Circuito simplificado de aquel de la Fig.3-49.

Si se asume que $c = 10nf = 10^{-8}f$, y que la frecuencia de la onda cuadrada de entrada es 550Hz. Fig.2-24a, se concluye que $hi \gg Z'/-Av$ por lo siguiente: Una onda cuadrada es un sumatorio de funciones sinusoidales con diferentes frecuencias armónicas de la fundamental que es 550Hz. si se considera que un condensador presenta máxima impedancia a la frecuencia más baja, es posible determinar la relación $Z'/-Av$ del modo siguiente:

$$\frac{Z_0}{-Av} = \frac{1}{j\omega c(-Av)} = \frac{1 \times 10^{-6}}{2\pi \times 5.5 \times 1.44 \times 10^8} \approx \frac{2}{j}$$

de donde se concluye que $\left| \frac{2}{j} \right| \parallel hi \approx \frac{2}{j}$; es decir

$$\left| \frac{Z'}{-Av} \right| \parallel hi \approx \frac{Z'}{-Av}$$

por consiguiente:

$$vin = vsx \frac{Z'}{-Av(Z'/(-Av)+Z)}$$

Si $Z \gg \frac{Z'}{-Av}$ que es nuestro caso práctico por lo que se determinará posteriormente, se tiene que:

$$vin = vsx \frac{Z'}{-AvZ} \quad (3-51)$$

$$vo = Av.vin \quad vin = vo/Av \quad (3-52)$$

Reemplazando la Ec.(3-52) en la Ec.(3-51) se concluye que:

$$v_o = \frac{-v_s x Z'}{Z} \quad (3-53)$$

Si $Z = R$ y Z' es la impedancia que presenta el condensador a la frecuencia fundamental de la onda cuadrada se tiene:

$V_o(s) = -\frac{1}{SCR} x V_s(s)$ y en el dominio del tiempo resulta que:

$$v_o(t) = -\frac{1}{RC} \int v_s(t) dt + V_o \quad (3-54)$$

con lo cual es de esperarse que la señal de salida sea aquella de la entrada pero integrada.

b.- 3 CALCULO DE $Z=R$ PARA DETERMINAR LAS TENSIONES MAXIMA Y MINIMA DE SALIDA.

Si la señal de entrada Fig.3-56 es de forma cuadrada, se torna indispensable determinar los diferentes valores de R, para obtener las respectivas relaciones v_o/v_s limitándose de este modo la máxima y mínima magnitud del voltaje de salida.

Analizando la parte comprendida entre $(0)_+$ y $\frac{T}{2}$ (-) Fig. 3-56, se tiene:

$$v_o(t) = -\frac{1}{RC} \int v_s(t) dt + V_o$$

Si el condensador C se encuentra descargado, las condiciones iniciales V_0 son cero y para el elemento de tiempo o intervalo indicado $v_s(t) = 2.5v$

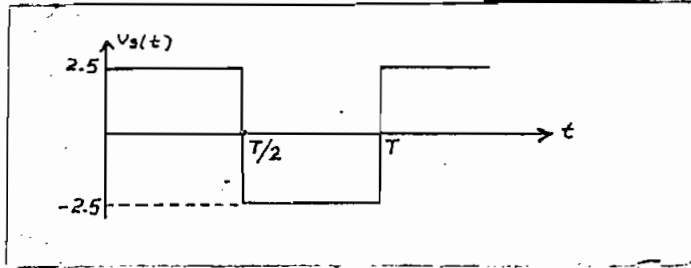


Fig. 3-56 Señal de entrada al amplificador operacional usado como integrador.

$$v_o(t) = - \frac{1}{RC} \int_{0+}^{T/2} 2.5 dt = \frac{2.5}{RC} \times \frac{T}{2}$$

$$f = 550\text{Hz} \quad T = 1/f \quad T/2 = 1/1100 = 9.1 \times 10^{-4} \text{seg.}$$

$$v_o(T/2) = \frac{2.5}{RC} \times 9.1 \times 10^{-4} \text{seg.} \quad (3-55)$$

De la Ec.(3-55) se deduce que durante el intervalo de tiempo de $0+$ a $T/2$ la señal de salida será la de la Fig.3-57, y en el siguiente intervalo de $T/2$ a T , la indicada en la misma figura - durante el mismo intervalo puesto que

$$v_o(T) = \left. \frac{2.5t}{RC} \right|_{T/2}^T + V_0 = - \frac{2.5}{RC} \times 9.1 \times 10^{-4} \text{seg.} + V_0$$

Este último valor de $v_o(t)$ es con relación al valor anterior, es decir al tiempo $t = T/2$ en el que $V_0 = 9.1 \times 10^{-4} \times 2.5/RC$ puesto que el condensador C no puede descargarse instantáneamente sino a través de una resistencia R_x de gran valor que no afecta

te al punto de polarización del dispositivo y que junto con C -
tenga una constante de tiempo $K \gg T$; para nuestro caso, ésta re-
sistencia se encontró prácticamente siendo su valor $R_x = 1.2M\Omega$.

$$K = \frac{1}{RC} = \frac{1}{1.2 \times 10^6 \times 10^{-8}} = 83 \text{seg.}$$

$$T = 18.2 \times 10^{-4} \text{seg.}$$

consecuentemente $K \gg T$

Es de notarse que durante el intervalo de tiempo de 0 a
 $T/2$ y de $T/2$ a T , las tensiones de salida son idénticas pero con
distinta pendiente.

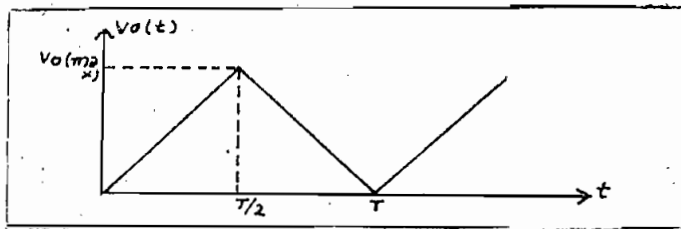


Fig. 3-57 Señal de salida del amplificador operacional usado co-
mo integrador.

De la Ec.(3-55) se tiene:

$$v_o(\text{máx}) = \frac{2.5 \times 9.1 \times 10^{-4}}{RC} = \frac{22.8 \times 10^{-4}}{RC}$$

$$R = 22.8 \times 10^{-4} / C \cdot v_o(\text{máx}); \text{ reemplazando el valor de } C$$

$$R = 22.8 \times 10^4 / v_o(\text{máx})$$

$$\text{si } v_o(\text{máx}) = 110 \text{v}$$

$$R = 22.8 \times 10^4 / 110 \text{v} = 2.07 \text{K}\Omega$$

$$\text{para el valor mínimo de } v_o(\text{máx}) = 8.5 \text{v}$$

$$R = 22.8 \times 10^4 / 8.5 \text{v} = 27 \text{K}\Omega$$

Consecuentemente con una $R = 27K\Omega$; la salida representa 8.5v y con $R = 2.07K\Omega$ la salida será de 110v. Todo este rango de voltaje, se lo puede obtener de la forma indicada en la Fig. 3-58, realizando los ajustes respectivos en el potenciómetro de $25K\Omega$. Debido a que este generador se usará para polarizar a los transistores de prueba, el $V_{CEm\acute{a}x}$ se podrá medir con gran aproximación en la escala horizontal del osciloscopio y que será igual a $v_o(m\acute{a}x)$ de la onda triangular. En la Fig.3-58, consta el potenciómetro R_L , el mismo que simboliza la carga a ser introducida al generador.

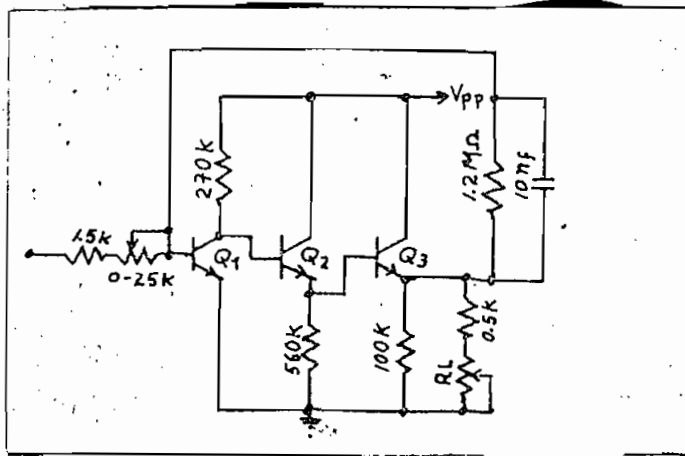


Fig. 3-58 Circuito integrador o generador de onda triangular - diseñado para este trabajo.

El generador de onda triangular, con su carga desarrollada, se ilustra en la Fig.3-59, en el cual el potenciómetro P, se lo utiliza para variar la inclinación de la recta de carga Fig. 3-60 y las líneas 1,2, y 3; corresponden a las posiciones 1,2 y 3 respectivamente del potenciómetro P. Es lógico suponer que estas rectas no aparecerán dibujadas en el osciloscopio, pero con una unión imaginaria de los terminales de cada curva caracterís-

tica se podrá obtener estas líneas, además de que se limita y se la puede conocer en el osciloscopio la corriente máxima de colector.

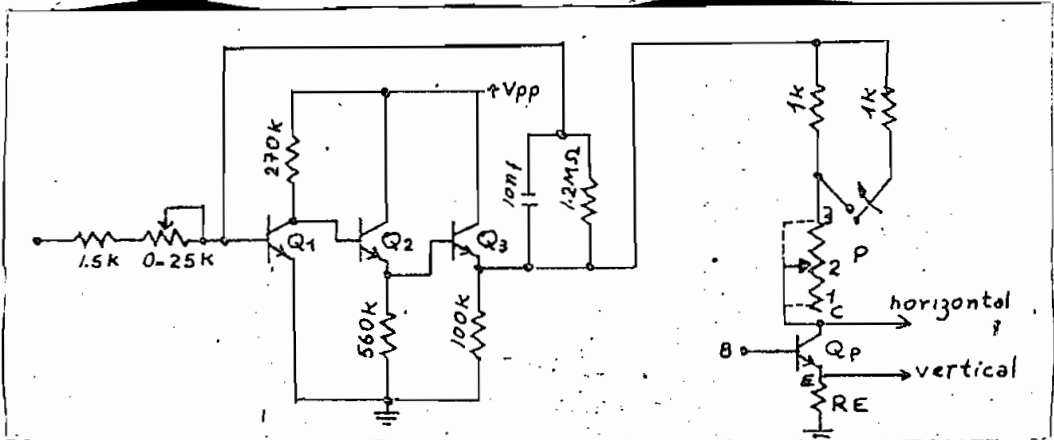


Fig. 3-59 Generador de tensión triangular y su carga desarrollada.

Merece anotarse el hecho de que V_{pp} resulta ser una fuente de DC. variable de acuerdo a la magnitud de la señal de salida, evitándose de este modo que los transistores Q1, Q2, y Q3 tengan que soportar continuamente un voltaje de 110v DC. Se notará que además, los transistores a ser probados tanto con el generador tipo escalera como con el de onda triangular únicamente son tipo NPN; por consiguiente, para probar transistores PNP, es necesario realizar exactamente el mismo diseño hasta el momento realizado, cambiando únicamente las polarizaciones de los transistores y usando transistores PNP.

En lo que al circuito Astable y Flip-Flop se refiere, únicamente se cambiará la tensión de polarización es decir que se usará los mismos transistores, pero los lugares que tenían tierra en estos circuitos, pasan a ser polarizados con voltaje po-

sitivo y los que tenían voltaje negativo se los conecta a tierra.

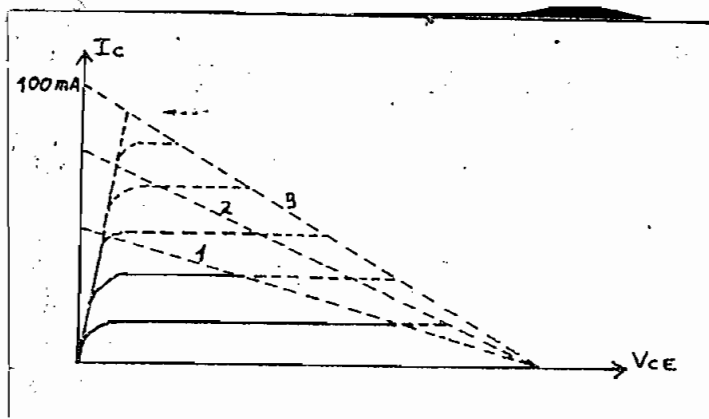


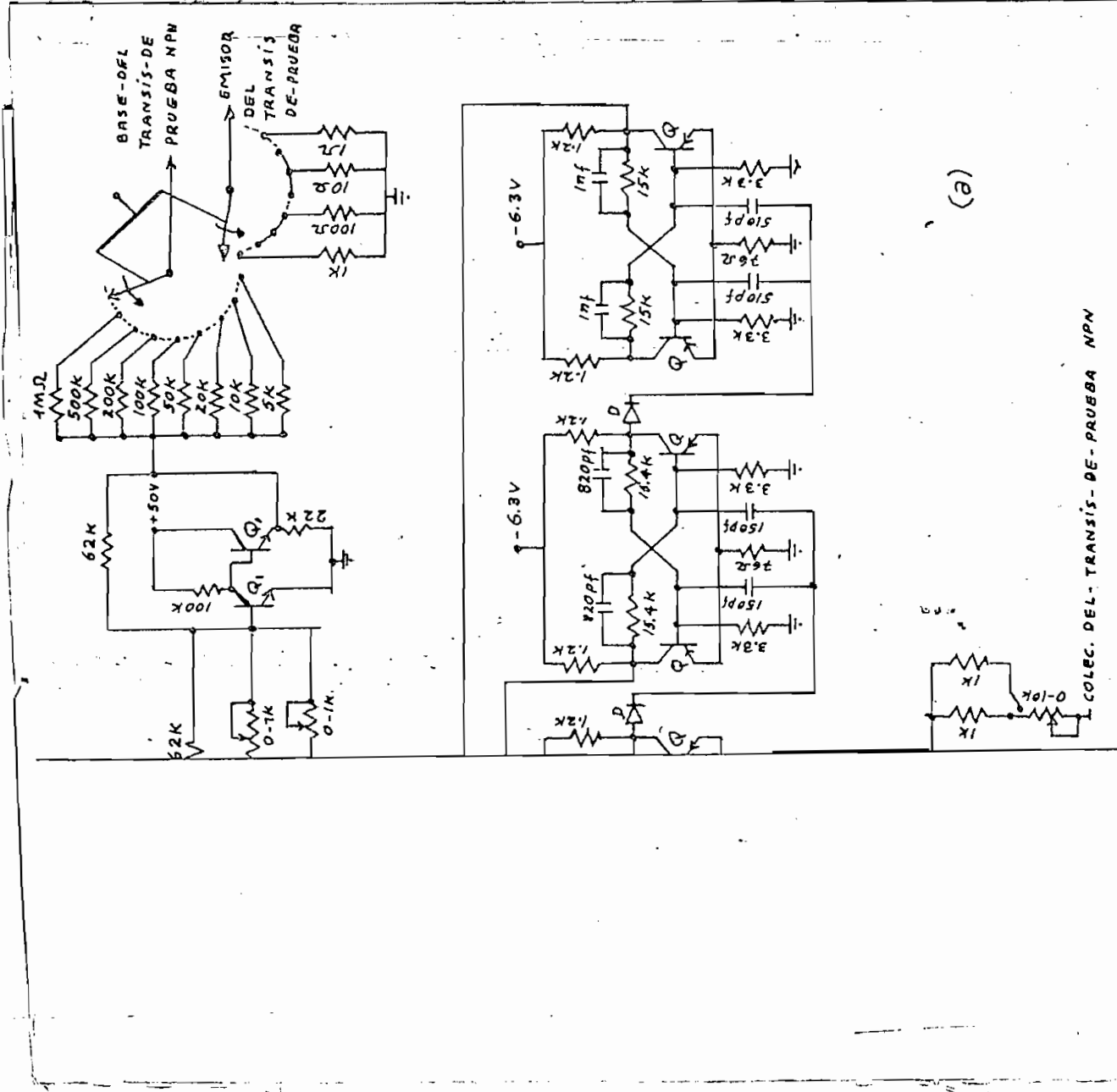
Fig. 3-60 Control de la máxima corriente de colector usando el potenciómetro P.

En la Fig.3-59 se usa dos resistencias de $1\text{K}\Omega$; pero en condiciones normales las mediciones deben ser realizadas solo con la una, debiendo ser conectada la otra en aquellos casos en que el transistor de prueba sea de alto voltaje y disipe una potencia máxima pico de 20Watts . En estos casos se debe tomar la precaución de colocar el potenciómetro P que controla la inclinación de la recta de carga y en consecuencia la corriente máxima de colector en su valor máximo para luego ir disminuyendo.

Como se deduce de las Figs.3-59 y 60, se obtendrá la máxima corriente de colector = 100mA , cuando P esté en la posición 3 y el transistor Q_p esté en su región de saturación.

Cuando se trabaje con voltajes altos de polarización, siendo el transistor de prueba Q_p uno de baja potencia, es necesario adoptar la precaución anotada anteriormente respecto a R_l , evitándose de este modo que el transistor llegue a regiones de ruptura como se indica en la Fig. 2-6. Consecuentemente, el circui-

to diseñado para determinar las características de un transistor NPN y PNP es el mostrado en la Fig.3-61, en la que todavía falta el acoplamiento de las fuentes de poder para polarizar a los diferentes circuitos desarrollados durante este trabajo.



COLEC. DEL. TRANSIS-DE-PRUEBA NPN

C.- DISEÑO DE LAS FUENTES DE ALIMENTACION DEL SISTEMA

Los circuitos electrónicos, tanto generadores de tensión de onda triangular, de tensión en escalera, como circuitos Flip-Flops y Astables diseñados en estas tesis como cualquier otro tipo de amplificadores, requieren fuentes de tensión continuas para establecer las corrientes y voltajes de polarización, Las tensiones se podrían obtener con baterías pero en este caso por requerirse tensiones altas, no resultan nada prácticas, además de que existen circuitos electrónicos tales como el Flip-Flop y el Astable que requieren de un voltaje estable que no se garantiza con baterías (pilas) cuando estas debido al trabajo se han desgastado; por esta razón se torna indispensable obtener las tensiones continuas de polarización a partir de las líneas de energía eléctrica comerciales, las que suministran una tensión alterna, siendo imperante diseñar circuitos electrónicos que conviertan la tensión alterna en una tensión continua de valor adecuado, siendo estas las llamadas fuentes de alimentación.

c.- 1 DISEÑO DE UNA FUENTE DE PODER DE 50v Y UNA ESTABILIZADA Y REGULABLE DE 4v a 9v.

Para el diseño de estos dispositivos, a consecuencia de los voltajes que se necesita, se vuelve indispensable un transformador y un puente de diodos como se ilustra en la Fig.3-62a, cuya salida a la carga es la indicada en la Fig.3-62b. La presen

cia del transformador es para modificar la tensión de la línea de energía y el rectificador de onda completa (puente de diodos) para que el flujo neto continuo a través del núcleo sea cero y la corriente continua no lo saturé, siendo esta la ventaja principal del puente de diodos.

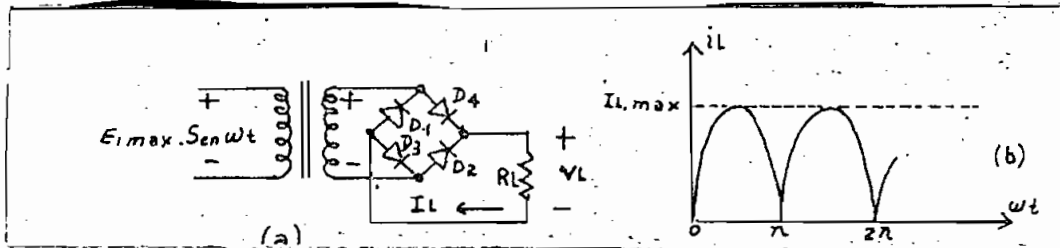


Fig. 3-62 (a); Circuito rectificador de onda completa. (b); Corriente de carga.

Cuando la tensión $E'_{max} \cdot \sin \omega t$ es positiva, conducirán los diodos D_3 y D_4 y cuando la tensión sea negativa, realizarán el trabajo los diodos D_1 y D_2 ; por lo tanto la corriente i_L , tendrá la forma de la Fig.3-62b, lográndose la rectificación de onda completa.

Como el factor de rizado de un circuito rectificador es bastante alto, se vuelve indispensable un filtro para reducir dichas componentes alternas, resultando útil para este caso un filtro de condensador.

c.- 2 FILTRO DE CONDENSADOR Y FUENTE DE PODER DE 50v DC.

El filtro ilustrado en la Fig.3-63, consta de un condensador conectado en paralelo con la resistencia de carga. Si se su-

pone que la resistencia directa de los diodos es cero; después del primer ciclo el condensador C se cargará al máximo valor de $E'_{m\acute{a}x} \cdot \text{Senwt}$ es decir $E'_{m\acute{a}x}$, y, a causa del puente de diodos, el condensador C no puede descargarse más que a través de R_L con una velocidad de caída de $e^{-t/RLC}$

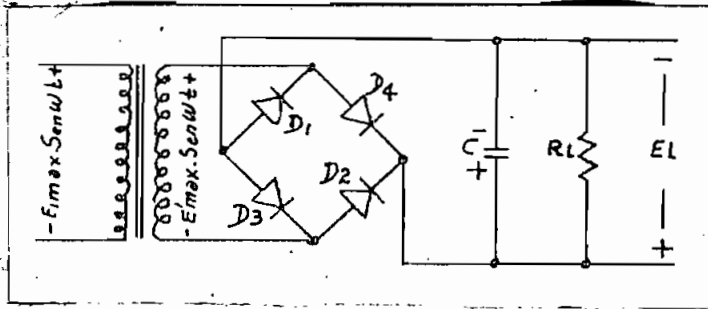


Fig. 3-63 Rectificador de onda completa con filtro de condensador.

Para este tipo de fuentes de poder, se cumplen las siguientes ecuaciones:

$$E_{L,dc} = E_{m\acute{a}x} - \frac{I_{L,dc}}{4fC} \quad (3-56)$$

$$E_{L,dc} = \frac{E_{m\acute{a}x}}{1 + 1/4fR_L C} \quad (3-57)$$

$$\gamma = \frac{1}{4\sqrt{3}fR_L C} \quad (3-58)$$

$$C \gg \frac{1}{4\sqrt{3}fR_L \gamma} \quad (3-59)$$

$$E_{m\acute{a}x} = E_{L,dc}(-1 + \sqrt{3}\gamma) \quad (3-60)$$

γ = Factor de rizado.

f = Frecuencia de la sinusóide.

Se notará de este análisis que se ha despreciado la resis

tencia directa de los diodos. El efecto principal de esta caída de tensión es reducir el valor de $E_{l,dc}$. A menudo los fabricantes de diodos suministran gráficos determinados experimentalmente de $E_{l,dc}$ en función de $I_{l,dc}$ para varios valores de C . Por lo tanto, puede tomarse en cuenta el efecto de la resistencia directa así como la del circuito.

La fuente de poder a diseñarse debe cumplir con las siguientes condiciones:

$$E_{l,dc} = 50v \quad I_{l,dc} = 70mA \quad y \quad \gamma \leq 0.05$$

Usando las Ecs. (3-56;57;58) y asumiendo que $C = 110 \mu f$ tenemos:

$$E_{l,dc} = E_{m\acute{a}x} - \frac{I_{l,dc}}{4fC}$$
$$E_{m\acute{a}x} = E_{l,dc} + \frac{I_{l,dc}}{4fC} = 50v + \frac{70mA}{4 \times 60 \times 110 \mu f / seg.} = 52.66v$$

Se asume que la caída de tensión en los diodos es de 1.2v con lo cual se concluye que:

$$E'_{l,dc} = E_{l,dc} + \text{Caída de tensión dc en los diodos.}$$

$$E'_{l,dc} = 50 + 1.2 = 51.2v$$

consecuentemente.

$$E'_{m\acute{a}x} = E'_{l,dc} + \frac{I_{l,dc}}{4fC} = 53.86v$$

$$\gamma = \frac{1}{4\sqrt{3fRLC}}$$

Es conveniente al igual que en el caso anterior, determinar el valor de γ con máxima carga que es el caso crítico.

$$R_l = \frac{50v}{70mA} = 715\Omega$$

$$\gamma = \frac{1}{4\sqrt{3} \times 60 \times 715\Omega \times 110 \times 10^{-6} \text{ f} / \text{seg.}} = 0.0308$$

$\gamma = 0.0308$ que está dentro del límite especificado.

$$C \geq \frac{1}{4\sqrt{3} f R_l \gamma} = \frac{1}{4 \times 3 \times 60 \times 715\Omega \times 0.05 / \text{seg.}} = 67.2\mu\text{f}$$

$C \geq 67.2\mu\text{f}$; pero se ha escogido $110\mu\text{f}$, satisfaciendo con esto todos los requerimientos anotados. Es de mencionarse el hecho de que los cálculos fueron hechos para máxima carga, - puesto que para mínima las condiciones de rizado mejoran notablemente al igual que $E_{l,dc}$ cuyo aumento es muy leve de acuerdo a la Ec.(3-56) teniéndose en consecuencia una pequeña variación de menos de 2.66v correspondiente al término $I_{l,dc}/4fC$, lo cual no influenciará absolutamente en la polarización del circuito electrónico.

c.- 3 FUENTE DE PODER ESTABILIZADA Y REGULABLE DE 4V A 9V

De la Fig.3-63, la resistencia de carga R_l se la puede desarrollar del modo indicado en la Fig.3-64 en la que representamos $R'l$ como la impedancia presentada por el circuito generador de tensión en escalera y R es la resistencia limitado-

ra de corriente, tanto en el diodo Zener D como en la resistencia de carga R_L'' presentada por los tres Flip-Flops y el Astable.

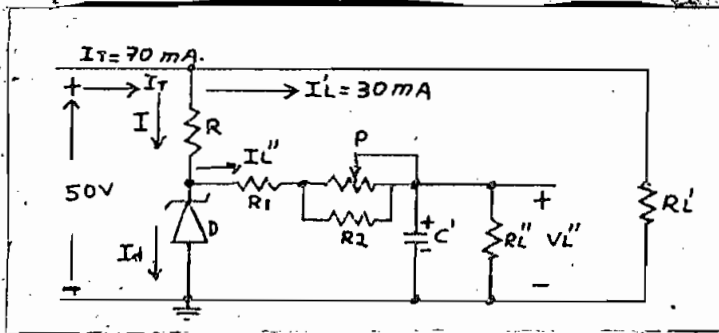


Fig.3-64 Desarrollo de la impedancia R_L de la Fig.3-63

De la Fig.3-64 se desprende lo siguiente:

$$\text{Si } I_T = 70\text{mA} \quad I' = 30\text{mA} \quad \text{Entonces } I = 40\text{mA}$$

Debido a que se dispone de un diodo Zener con las siguientes características:

$$V = 12.5\text{v}; \quad I_D = 10\text{mA}; \quad R_D = 10,5 \quad ; \quad P_T = 0.4\text{Wats.}$$

$$I_{D\text{m}\acute{a}\text{x}} = 26\text{mA} \quad \text{resulta que } R = \frac{50\text{v} - 12.5\text{v}}{40\text{mA}} = 940\Omega$$

Recordemos que la manera l\u00f3gica de determinar el valor de R es la siguiente:

$$R = \frac{50\text{v} - 12.5\text{v}}{I_{D\text{m}\acute{a}\text{x}}}$$

Preservando de este modo al diodo cuando no se tenga nin

guna carga; pero como se dispone del zener con las características anotadas, y sabiendo que $R_{L''}$ estará siempre fija en el circuito cuyo voltaje de carga $V_{L''}$ será controlado por el potenciómetro P para su calibración, se logrará una variación útil de 6 a 8v, pudiéndose acotar las siguientes consideraciones prácticas:

Del Capítulo III, se deduce que cuando el voltaje de polarización es 6v, la corriente de colector del Astable en el transistor saturado es de 4.4mA; de igual manera del mismo capítulo referente al diseño numérico del F.F, la corriente de colector del transistor saturado será 4.6mA, pero como se tiene tres F.Fs, la corriente total será 18.2 mA. La relación correspondiente al voltaje dado de carga $V_{L''}$ en función de la corriente de carga $I_{L''}$ y la corriente del zener es la indicada en la tabla siguiente:

$V_{L''}$ (v)	$I_{L''}$ (mA)	I_d (mA)	I (mA)
9.3	28.2	10	38.2
8.0	24.4	13.8	38.2
6.0	18.2	20	38.2
4.0	12.2	26	38.2

Tabla (4-1) Relación del voltaje de salida con las corrientes de una fuente estabilizada y regulable de 4 a 9.3v usando un zener de 12.0v.

Como se observará en la tabla anterior, se ha logrado variar el voltaje de salida de 4 a 9.3v usando un zener de 12v y trabajando en todo su rango de tolerancia de corriente, restándonos limitar la corriente I Fig.3-64 con una resistencia de un Kilo-ohmio para la cual.

$$I = \frac{(50 - 12.5)v}{1K\Omega} = 37.5mA$$

Para el caso en que $I = 37.5mA$, nos imponemos en la tabla (4-1), únicamente la primera fila como de interés, pues si $I_d = 10mA$; $I_{l''} = 27.5mA$ y $V_{l''} = 9.1v$, cumpliéndose de este modo con los requerimientos del diseño.

Debido a que el rango útil de variación de voltaje es de 6 a 8v, se deduce que variaciones de tensión en la línea de alimentación AC, no variará el voltaje de salida en este rango que es lo que se desea, si se considera que de este voltaje dependerá la estabilidad de los F.Fs. y Astable, cuyas salidas serán sumadas en un amplificador operacional.

Las resistencias máxima y mínima que tendrá el conjunto formado por R1, P y R2 Fig.3-64 serán:

$$R_{\text{máx}} = \frac{12.5v - 4v}{12.2mA} = 690\Omega$$

$$R_{\text{mín}} = \frac{12.5v - 9v}{28.2mA} = 124\Omega$$

obteniéndoles del modo siguiente:

$R_1 = 124\Omega$ pero se usa únicamente una de 120Ω tomando en cuenta la tolerancia y cuando P está cortocircuitado. Si P es un potenciómetro de $15K\Omega$ y está en la posición de máxima resistencia; este con una R_2 en paralelo deberá indicar 570 y estará en serie con la 120Ω teniendo un total de 690Ω que representa $R_{\text{máx}}$; dicha resistencia R_2 es:

$$0.57K\Omega = \frac{15K \times R2}{R2+15K}$$

$$R2 = 590\Omega$$

Se usará dos resistencias de $1.2K\Omega$ que en paralelo darán 600Ω esperándose que con la tolerancia se ajusta al valor requerido. de este modo durante el movimiento del potenciómetro de su máximo valor a su mínimo, el voltaje de salida $V1''$ variará desde 4 a 9v, cumpliéndose así con los requerimientos del diseño.

El circuito es el de la Fig.3-65, en el que se observa - un condensador de $500\mu f-25v$, usado para desacoplar el conjunto formado por R1, P y R2 de la resistencia de carga $R1''$ teniendo un valor elevado para constituir un buen cortocircuito a baja - frecuencia y las ondas resultantes del Astable y F.Fs, no resulten afectadas por su presencia.

La fuente de alimentación de 50v y la estabilizada y regulable de 4 a 9v diseñada es la ilustrada en la Fig.3-66.

La Fig.3-67, muestra a una fuente de poder de -50v y una fuente estabilizada y regulable de -4 a -9v siendo el procedimiento de diseño el mismo a seguirse para el de la Fig.3-66.

c.- 4 FUENTE DE PODER REGULABLE DESDE CERO A 120V

Esta fuente deberá cumplir con los siguientes requisitos:

$$E1,dc\acute{m}ax = 120v \quad I1,dc\acute{m}ax = 200mA \quad y \quad \delta \leq 0.02$$

De acuerdo a lo explicado en c.- 3; el circuito resultante Fig3-68, y cálculos son los siguientes:

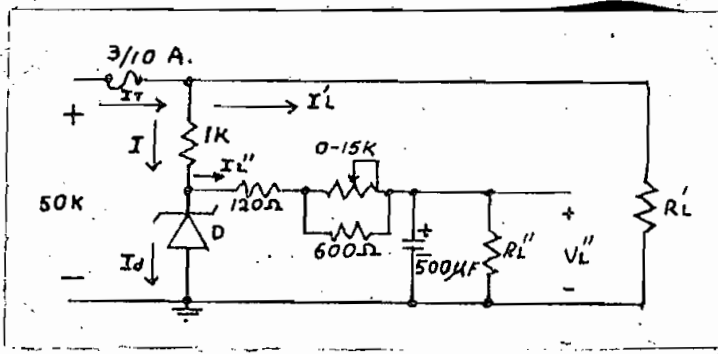


Fig. 3-65 Fuente de poder estabilizada con una variación de 4v a 9v.

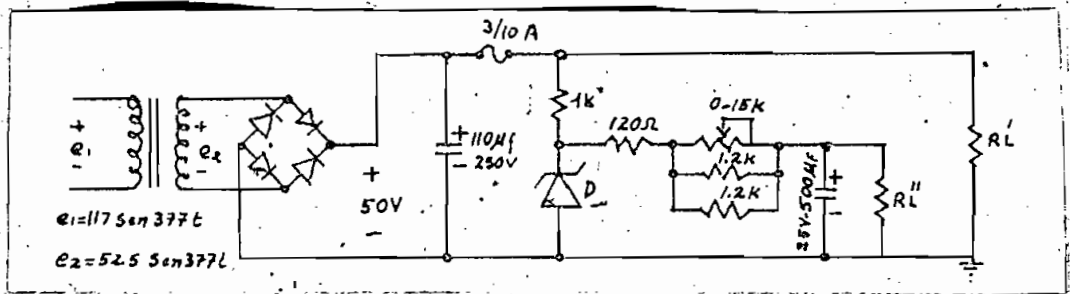


Fig. 3-66 Fuente de poder que cumple con los requerimientos del diseño.

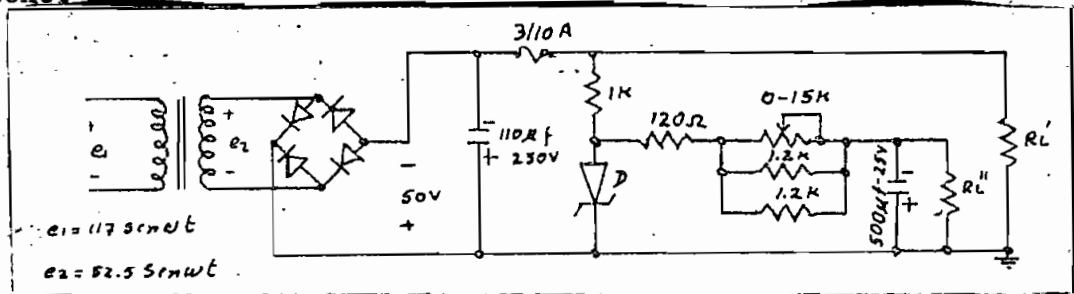


Fig. 3-67 Fuente de poder de -50v y regulable estabilizada de -4 a -9v.

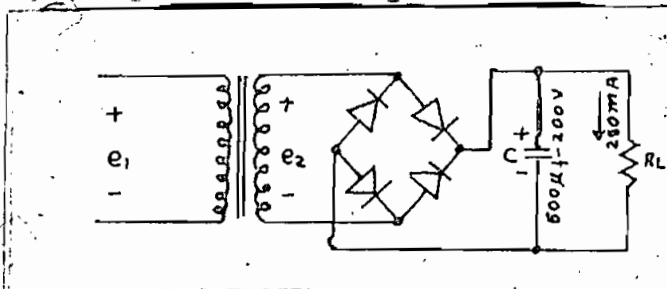


Fig. 3-68 Circuito a ser usado en una fuente de 110v regulable.

De las Ecs.(3-56;57;58; y 59) tenemos:

$$E_{l,dc} = E_{m\acute{a}x} - \frac{I_{l,dc}}{4fC}$$

$$E_{m\acute{a}x} = E_{l,dc} + \frac{I_{l,dc}}{4fC}$$

$$E_{m\acute{a}x} = 130v + \frac{250mA \cdot seg.}{4 \times 120 \times 500 \times 10^{-6} f} = 131.04v$$

La caıda de tensi3n en los diodos es de aproximadamente 1.2v, con lo cual

$$E'_{l,dc} = E_{l,dc} + \text{caıda de tensi3n en los diodos}$$

$$E'_{l,dc} = 130 + 1.2 = 131.2v.$$

luego:

$$E_{m\acute{a}x} = 131.2 + 1.04 = 132.24v.$$

$$E_{m\acute{a}x} \approx 132.5v.$$

Para determinar el factor de rizado γ es necesario hacerlo para el caso cr3tico o de mxima carga tenindose:

$$\gamma = \frac{1}{4\sqrt{3} f R_{LC}}$$

Si $R_L = 130v/250mA = 520\Omega$ entonces:

$$= \frac{1seg. \cdot 2}{4\sqrt{3} \times 120 \times 520\Omega \times 500 \times 10^{-6} f} = 0.0046 \times 2$$

Para el caso especfico de $\gamma = 0.02$ se tiene que:

$$C \geq \frac{4}{4\sqrt{3} f \cdot R_L} = \frac{1seg \times 2}{4\sqrt{3} \times 120 \times 520\Omega \times 2 \times 10^{-2}}$$

$$C \geq 116 \mu f \times 2$$

Como se ha usado 500 μ f, el circuito trabajará dentro de las condiciones determinadas anteriormente.

Desarrollando la resistencia de carga R1 Fig.3-68, en la forma indicada en la Fig.3-69, se concluye lo siguiente:

Debido a que se dispone de un diodo Zener 1N4858 cuyas características son:

$$V_z = 120v \quad P_t = 1.2Wats.$$

usado para fijar en la Fig.3-69, el voltaje de base del transistor Q1, al mismo que se lo ha acoplado un seguidor de emisor cuyo objeto es amplificar la muestra de corriente que se toma del potenciómetro P, la misma que será controlada por la impedancia de carga de esta fuente, procediéndose al diseño numérico correspondiente.

Partiendo de la potencia de disipación del diodo 1.2Wats se tiene:

$$I_d = \frac{P_d}{120v} = \frac{1.2Wats}{120v} = 10mA.$$

Pero por seguridad, es conveniente hacerlo trabajar con la cuarta parte de la potencia de disipación, es decir, con una corriente de 2.5mA y máximo 3mA concluyéndose que

$$R = \frac{130v - 120v}{3mA} = 3.33K\Omega \quad \text{pero se usará } 3.3K\Omega$$

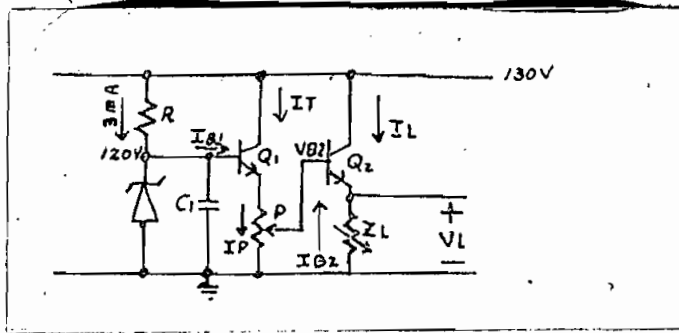


Fig. 3-69 Desarrollo de la resistencia de carga R_L de la Fig. 3-68.

Se notará que $3mA = I_d + I_B$; y para el peor de los casos en que $I_B = 0$, toda la corriente de $3mA$ pasará por el Zener, disipando apenas $360mW$ ats.

Para el mejor de los casos refiriéndome al Zener, la máxima corriente de carga permitida es $240mA$, para casos en que se lo requiera y la potencia a ser entregada será $120v \times 240mA = 29$ Wats pico estando en el límite de la potencia que puede entregar el transistor Q_2 , que es el $2N3584$ cuyas características ya son conocidas al igual que las de Q_1 que es el 40321 .

Asumimos el β intermedio de los transistores Q_1 y Q_2 como 110 y 60 respectivamente para trabajar en las peores condiciones de carga (corriente) y voltaje.

Cuando $V_{B1} = 120v$ Fig.3-69, V_{E1} será $120 - V_{BE} = 120 - 0.6 = 119.4v$; y, si el terminal central de P se encuentra a este voltaje, entonces:

$$V_{B2} = 119.4v \quad y \quad V_1 = 119.4 - V_{BE} = 118.8v.$$

Considerando la máxima carga $I_L = 240mA$; $I_{B2} = 240mA / \beta_2$

= 4mA.

Asumiendo que P sea de $20K\Omega$; I_p será:

$$I_p = \frac{119.4v}{20K\Omega} = 5.97mA$$

$$e \text{ It} = I_p + I_{B2} = 5.94mA + 4mA = 9.94mA$$

$$\text{de donde } I_{B1} = 9.94mA / \beta_1 = 9.94mA / 110 \approx 90\mu A \approx 0.1mA.$$

Para este caso $I_d = 3mA - 0.1mA = 2.9mA$ y seguirá traba -
jandó el Zener en su condición normal, puesto que estará disipan -
do aproximadamente la tercera parte de su potencia.

Es de notarse que el voltaje de salida V_L , se puede regu -
lar con el potenciómetro P desde cero voltios hasta $\approx 120v$, de -
pendiendo exclusivamente del lugar de recorrido en que se encuen -
tra, pues cuando el terminal central esté en 0Ω ; la salida -
será cero voltios y cuando esté en $20K\Omega$ la salida será $\approx 120v$,
cumpliéndose de este modo con los requerimientos del diseño.

La Fig.3-69, se nota la presencia del condensador C1, cu -
yo objetivo fundamental es que debido a que suele haber con fre -
cuencia cambios de tensión en la línea de alimentación A.C, in -
fluirá en el voltaje de salida V_L , especialmente cuando estos cam -
bios son de disminución, caso en que el Zener no trabajaría en -
la zona en que trabajaría como tal sino que su voltaje tendería
a disminuir y estaría expuesto a cambios de tensión debido al ri -
zado, al mismo que se lo filtra haciendo uso de dicho condensa -
dor. El circuito diseñado es el de la Fig.3-70.

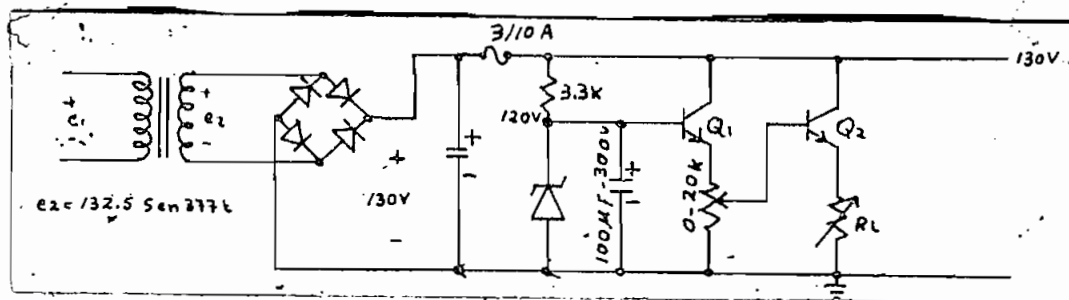


Fig. 3-70 Fuente de poder regulable de cero a 120v.

La.fig.3-71, ilustra la fuente de poder regulable de cero a 120v, siendo el procedimiento de diseño exactamente el mismo - que se ha seguido para el diseño de la fuente de la Fig.3-70, no obstante es necesario indicar que tanto Q3 como Q4 son transistores tipo PNP con características similares a las del Q1 y Q2.

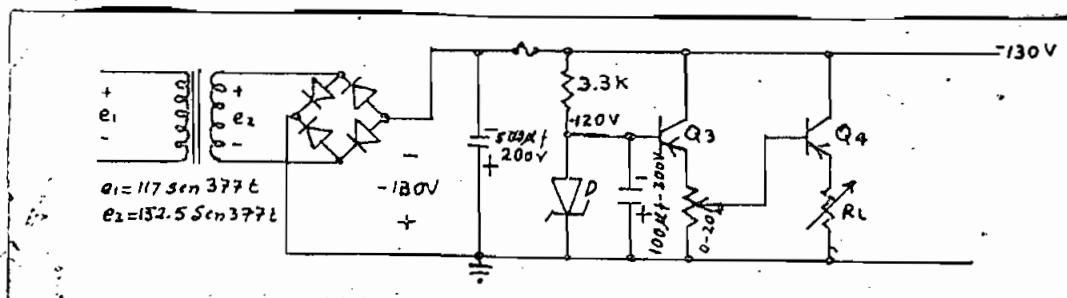
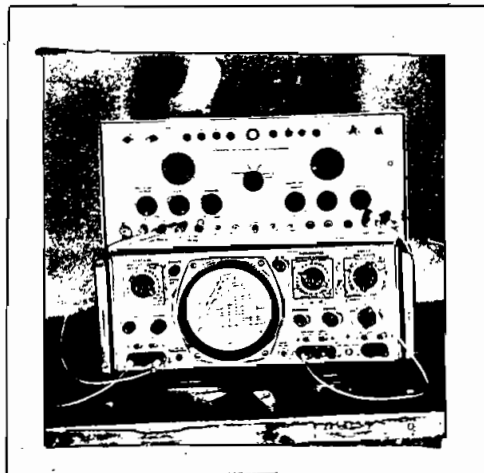


Fig. 3-71 Fuente de poder regulable de cero a 120v.

El circuito completo diseñado para este trabajo es el indicado en la Fig.3-72.

CAPITULO CUARTO

CONSTRUCCION DEL EQUIPO DISEÑADO



CONSTRUCCION DEL EQUIPO DISEÑADO.

Para la construcción de un equipo, es necesario tomar en cuenta cuatro características a ser consideradas:

- 1.- Tamaño.
- 2.- Facilidad de ingreso en su interior para mantenimiento.
- 3.- Estética y vistocidad exterior
- 4.- Estabilidad mecánica.

Respecto a la primera condición, por lo que se podrá observar en la Fig.4-1, no es un aparato pequeño si se ha de considerar la función que desempeñará, sino un tanto grande puesto que está equipado con todas las fuentes de poder requeridas lo que ha permitido alcanzar tal dimensión.

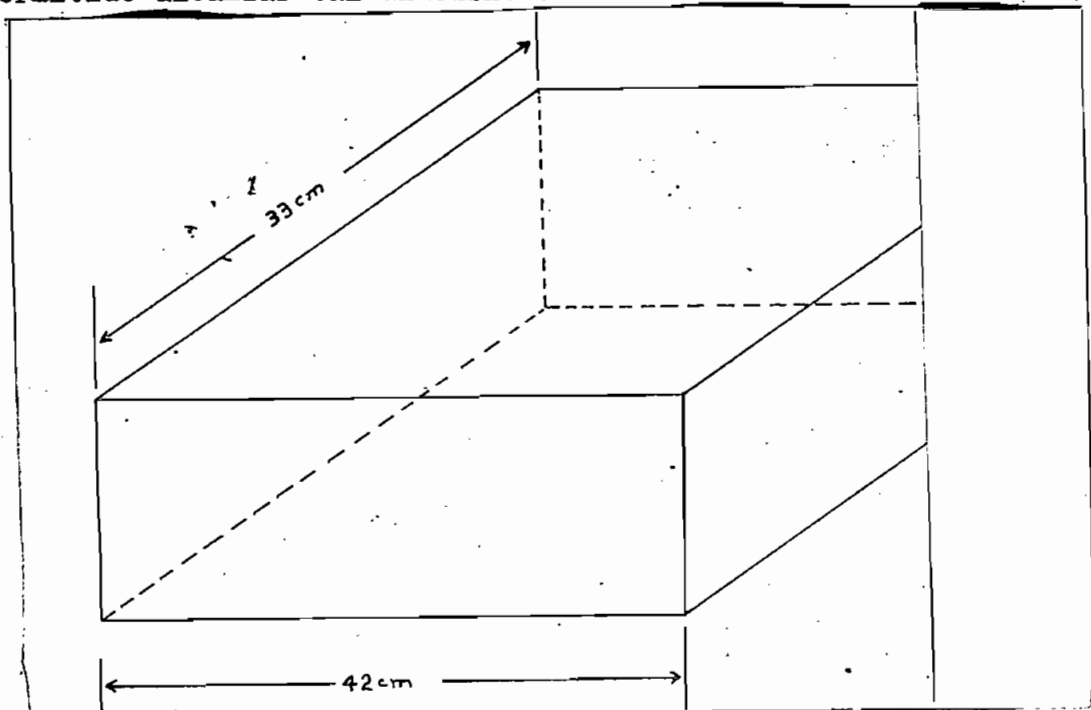


Fig. 4-1 Dimensiones del equipo a ser construido.

En lo que a la segunda condición se refiere, el inconveniente que se encontrará es en quitar la tapa por el número de tornillos que contiene, pero dejará al descubierto todas las conexiones del equipo y el acceso a cualquiera de los elementos activos o pasivos, se torna sumamente fácil pues está equipado con plaquetas de baquelita fácilmente desconectables.

Respecto a la tercera condición, el equipo por lo grande que resulta, no presenta gran estética o elegancia exterior, pues su construcción fue orientada a la utilización de equipo existente para trabajos de esta magnitud.

En lo que a la estabilidad mecánica se refiere, se tomó las precauciones debidas a fin de que pueda garantizarse su manejo, debiendo anotar el hecho de que las plaquetas que contienen los circuitos electrónicos, por ser fácilmente desconectables, con el uso o transporte del equipo pueden llegar a aflojarse caso en el cual se recomienda apagar el equipo y ajustarlas debidamente. Sin embargo, creo que con ajustes o calibración cada seis meses, el equipo trabajará sin molestias presentando la estabilidad y garantía requerida.

Las especificaciones o dimensiones del equipo diseñado y contruido se muestran en las Figs.4-2;3;4 y 5; y el resultado obtenido se ilustra en la Fot.1, mientras que las Fots.2;3;4;5;6; 7 y 8; muestran las plaquetas constitutivas de este trabajo con sus respectivas leyendas. Las Fots.9;10 y 11; ilustran la forma de onda del generador de tensión triangular, de tensión en escalera y las curvas características de un transistor respectiva -

mente.

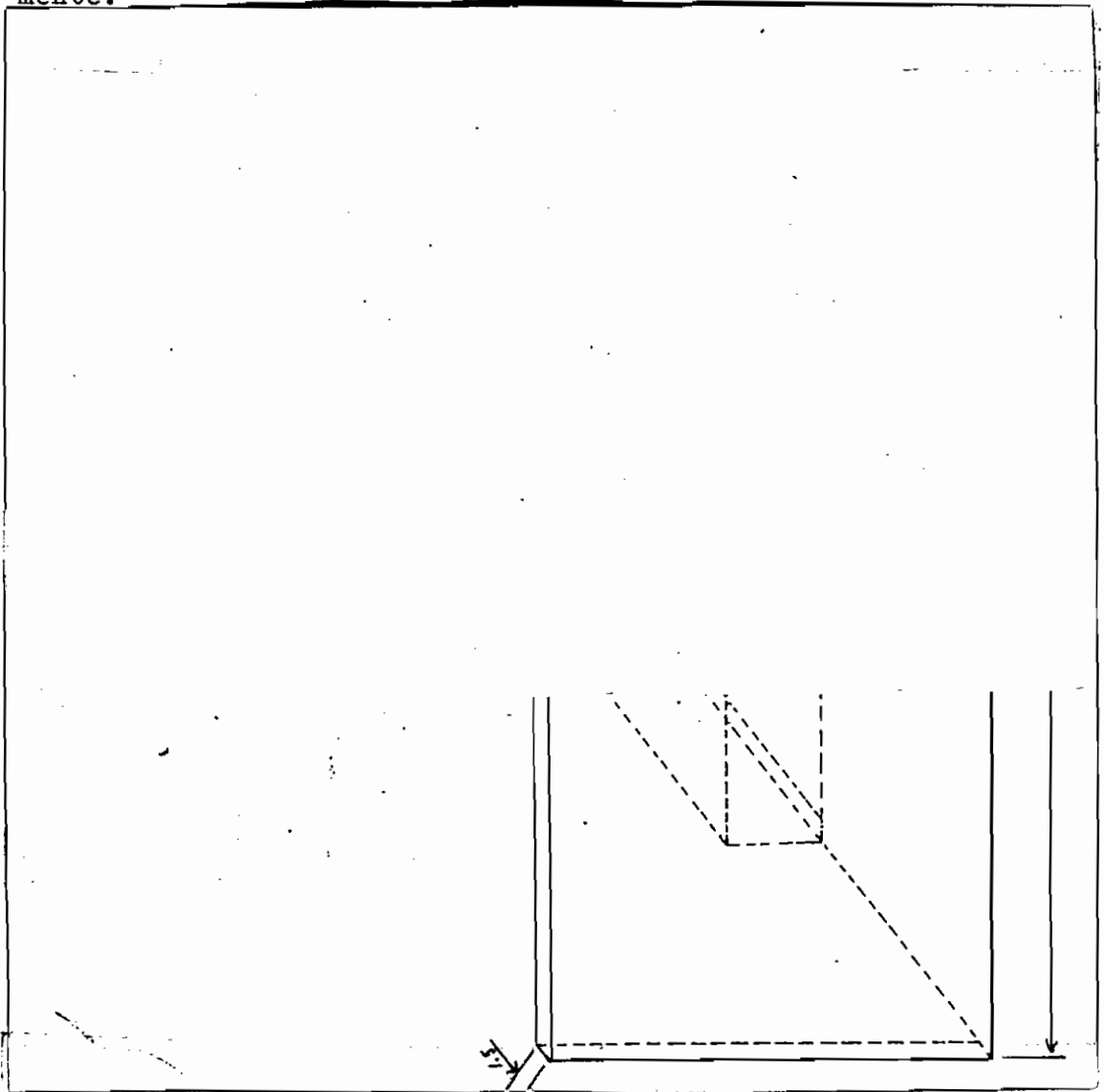


Fig. 4-2 Perspectiva de la parte mecánica a construirse.

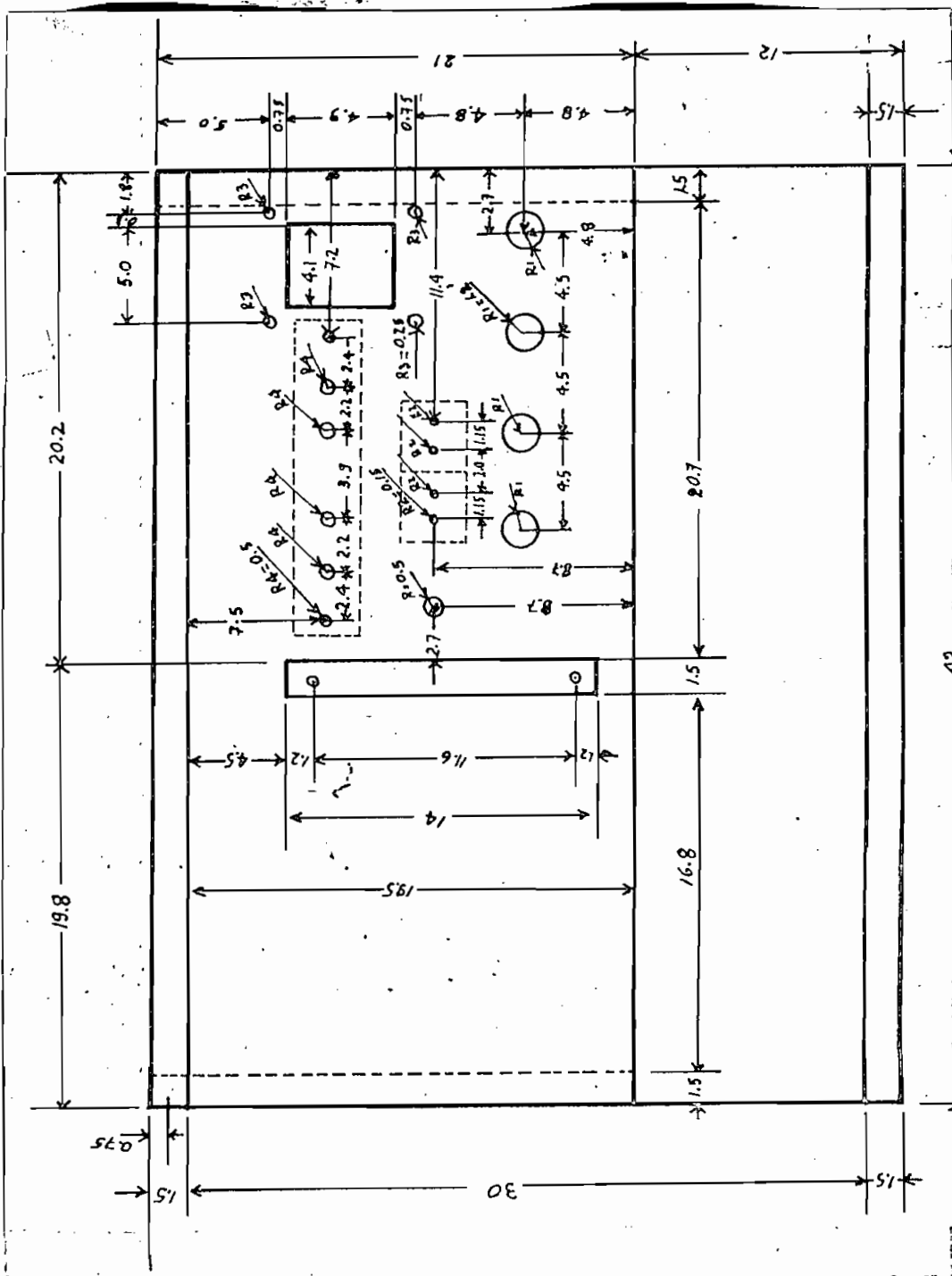


Fig. 4-3 Dimensionamiento interno del equipo (VISTO DE ARRIBA)

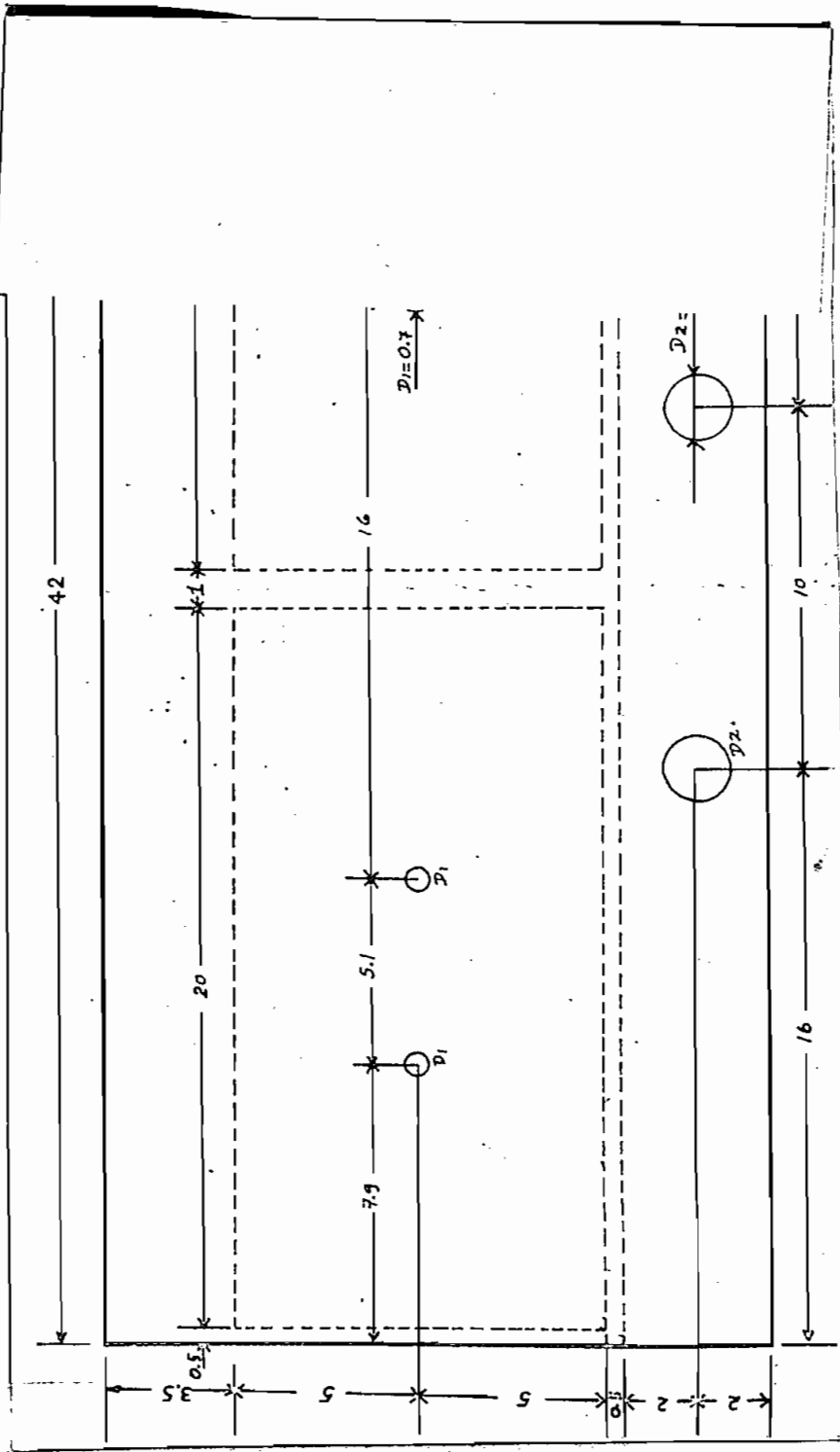
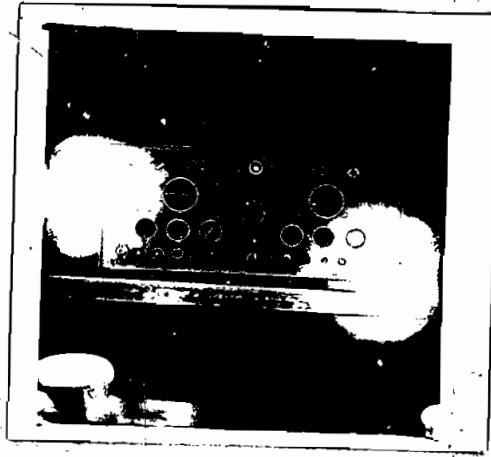
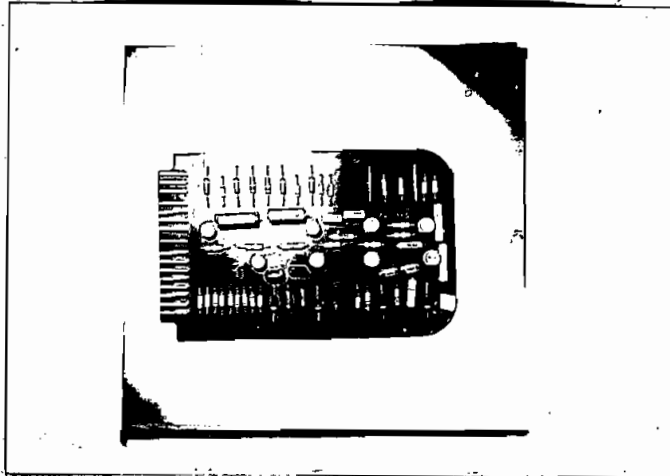


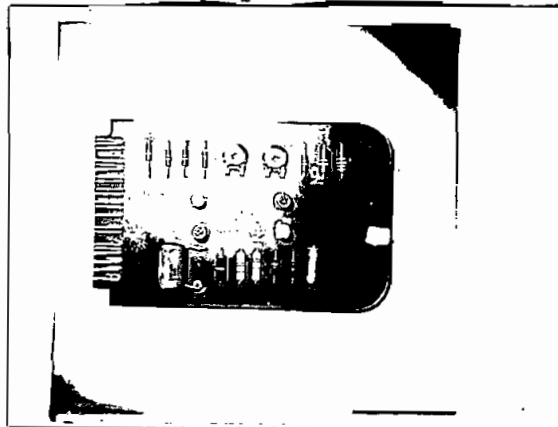
Fig. 4-4 Dimensionamiento y vista posterior del equipo.



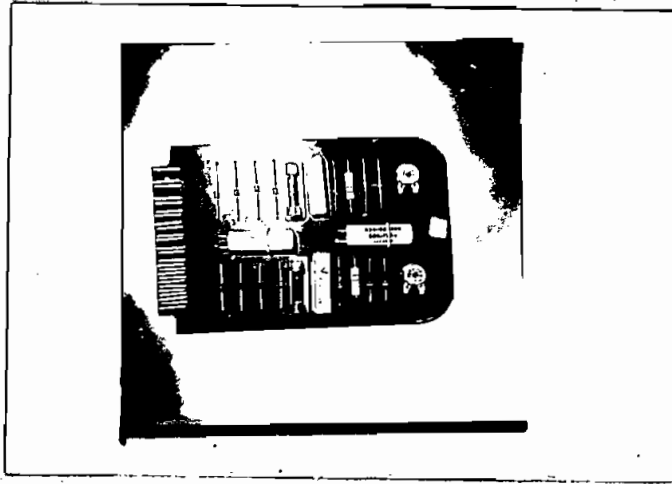
Fot. 1 Vista exterior del equipo construido.



Fot. 2 Plaqueta que contiene el circuito Astable; Flip-Flops y circuitos de disparo de cada Flip-Flop.



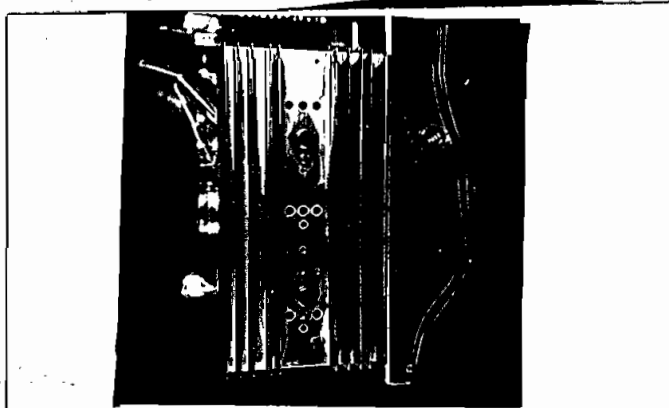
Fot. 3 Plaqueta que contiene el amplificador operacional usado como sumador o generador de onda tipo escalera y el generador de tensión triangular sin el transistor de potencia.



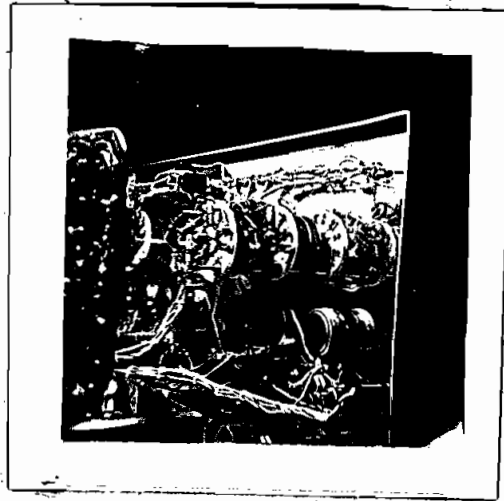
Fot. 4 Plaqueta que contiene las fuentes de poder de $\pm 50v$ y variable de $\pm 4v$ a $\pm 9v$.



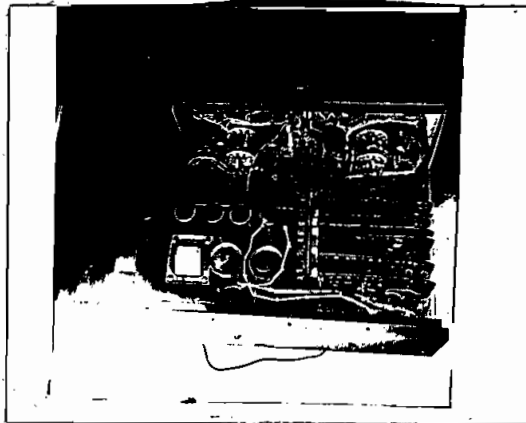
Fot. 5 Plaqueta que contiene las fuentes de poder de $\pm 120v$ variable sin los condensadores de filtrado y sin los transistores de potencia de salida.



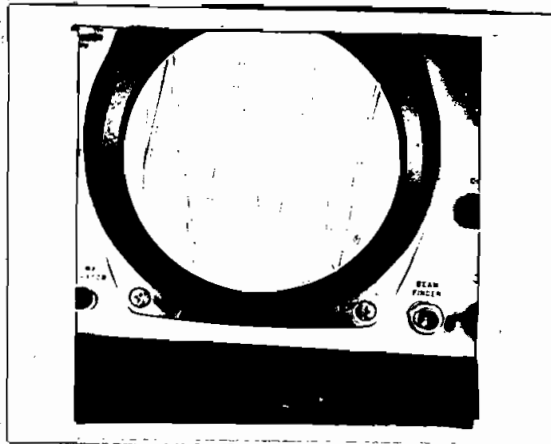
Fot. 6 Transistores de potencia con sus disipadores.



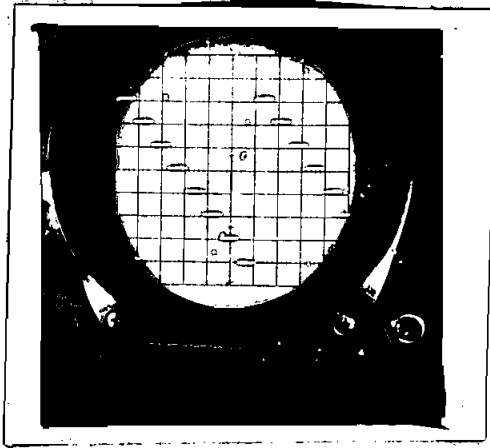
Fot. 7 Sistema de resistencias de control de corriente de base y de resistencias de emisor del transistor de prueba.



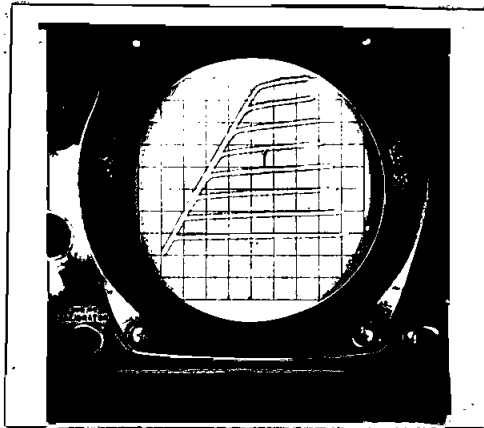
Fot.8 Vista interior del equipo diseñado.



Fot. 9 Forma de onda del generador de tensión triangular. Cada cm. en la vertical equivale a 5v.



Fot. 10 Forma de onda de un generador de tensión tipo escalera para una tensión de 5v/cm.



Fot. 11 Características del transistor 4473-8 obtenidas con el equipo diseñado para una corriente de base de 5μ A/paso y en la vertical para $I_c = 1.0$ mA/cm.

CAPITULO QUINTO

RESULTADOS EXPERIMENTALES Y

CONCLUSIONES

RESULTADOS EXPERIMENTALES Y CONCLUSIONES.

Este capítulo contiene un resumen comparativo de los valores obtenidos prácticamente con los calculados, pudiéndose - pesar cualitativamente el ajuste real de lo diseñado a lo conseguido. Por lo que se notará en la comparación de valores, resalta con claridad que las consideraciones prácticas realizadas durante el diseño son muy aceptables puesto que los valores que a continuación se anota, así lo permiten calificarlo.

COMPARACION DE LOS VALORES CALCULADOS CON LOS MEDIDOS

	<u>CALCULADOS</u>	<u>MEDIDOS</u>
Pag. 32	VCE(sat) = -0.1v (asumido)	VCE(sat) = -0.04v
Pag. 33	Ic(sat) = -4.4mA (asumido)	Ic(sat) = -4.12mA
	Vcc = -6v (asumido)	Vcc = -6v.
	IB = -190 μ A	IB = -196 μ A
Pag. 34	f = 1.100 (asumido)	f = 1.210

Pags. 46 y 47.

<u>PRIMER DISEÑO</u>	<u>SEGUNDO DISEÑO</u>	<u>PRACTICO</u>
Vcc = -6v	Vcc = -6v	Vcc = -6v
Ic1 = 0mA	Ic1 = 0mA	Ic1 = 0mA
VcN1 = -5.48v	VcN1 = -5.5v	VcN1 = -5.6v
VbN1 = -0.0845v	VbN1 = -0.0822v	VbN1 = -0.08v
IB1 = 0mA	IB1 = 0mA	IB1 = 0mA.

Ic2 = -5mA	Ic2 = - 4.6mA	Ic2 = -4.61mA
IB2 = -125 μ A	IB2 = -137 μ A	IB2 = - 186 μ A
VCN2 = -0.484v	VCN2 = -0.456v	VCN2 = -0.44v
VCN2 = -0.684v	VCN2 = -0.656v	VCN2 = -0.58v
VEN = -0.384v	VEN = -0.356v	VEN = -0.380v
VWO = -5v	VWO = -5.04v	VWO = -5.16v

En lo que al generador de tensión tipo escalera se refiere, se podrá observar que se comporta de la mejor manera es decir con el voltaje por paso diseñado (5v) de modo que el último escalón se encuentra a 40.6v o -40.6v sin carga; pudiéndose observar que al simular la máxima carga que es el caso para el que fué diseñado, el último escalón de la onda tipo escalera no se mantiene en 40.6v o en -40.6v sino que en ambos casos caerá 0.8v permitiendo un pequeño error en la última curva característica del transistor de prueba, por fortuna, esta última curva por tratarse del caso de máxima carga, casi no se podrá observar en el osciloscopio si se toma en cuenta la máxima corriente que genera la fuente de tensión triangular especialmente para aquellos transistores de β alto caso en el cual se podrá observar como máximo tres o cuatro curvas características.

En lo que al generador de tensión triangular se refiere, cabe mencionarse el hecho de que cumple con las condiciones del diseño, es decir que está en capacidad de generar sin mayor problema los 120mA pico y para casos especiales 240mA pico, además de que tiene una variación de tensión triangular desde cero has

ta 80v pico con máxima carga sin mayor problema.

Respecto a las fuentes de poder diseñadas en este trabajo de tesis, cabe anotarse los siguientes valores teóricos y prácticos:

	<u>TEORICO</u>	<u>PRACTICO</u>
Pag. 103	Fuente de poder de 50v	52v
	Fuente de poder de -50v	-50v
Pag. 106	Fuente variable de 4v a 9v.	3.8v a 8.8v
	Fuente variable de -4v a -9v	-3.8 a -8.6v
Pag. 110	Fuente variable de 0v a 120v	0v a 120v
	fuentes variable de 0v a -120v	0v a -120v

Las fuentes de tensión variable de 0v a 120v y de 0v a -120v pueden ser usadas exteriormente al equipo estando en capacidad de dar hasta 20watts la primera y hasta 35watts. la segunda, dándose de este modo un buen uso a los transistores de salida de las mismas.

En la mitad del panel frontal del equipo, esta localizado un switche o seleccionador que realiza justamente la función de seleccionar el tipo de transistor a ser probado, así como también tiene una posición en su extremo izquierdo que permite usar las fuentes ya citadas del equipo construido.

CONCLUSIONES.

Para concluir este trabajo, debo manifestar mi entera complacencia no solo porque he sentido prácticamente una segu -

ridad en el diseño de los circuitos aquí desarrollados sino porque las consideraciones de diseño tomadas en cuenta durante el transcurso del Capítulo Tercero, han dado un resultado muy aceptable especialmente cuando se trata de cálculos aproximados.

Sin embargo, todas las mediciones realizadas en el laboratorio de Electrónica, están sujetos a errores así como también lo están los cálculos, si se toma en cuenta que los elementos usados en esta tesis tienen su porcentaje de tolerancia, tal es el caso de las resistencias y diodos de señal cuyo comportamiento se desconoce.

Respecto a las fuentes de poder, debo manifestar que bajo ninguna circunstancia se debe obtener una potencia superior a la especificada anteriormente, no porque esten imposibilitadas de hacerlo, sino porque se puede correr el riesgo de perder uno de los transistores de salida especialmente los NPN que pueden entregar hasta 35watts, y el conseguirlos representa una pérdida de tiempo no justificable además de que se corre el riesgo de no encontrarlos.

En lo que a los transistores usados se refiere, todos ellos reúnen los requisitos de voltaje y corriente requeridas y más aún poseen una potencia de disipación máxima, que en algunos casos excede en 10 veces a la requerida, especialmente en los amplificadores operacionales usados como sumadores e integradores para soportar accidentales sobrecargas.

B I B L I O G R A F I A

"TRANSISTORES CIRCUITO DISEÑO" Texas Instrument Incorporated
3a impresión Compañía Editorial Continental S.A. México 1.970

"REGULATED POWER SUPPLIES" Irving M. Gottlieb. First Edition
Howard W. Sams & CO. INC January 1.962

ANALISIS Y DISEÑO DE CIRCUITOS ELECTRONICOS" Paúl M. Chirlian
Segunda edición McGRAW - HILL BOOK COMPANY 1.967

"CIRCUITOS DE PULSOS DIGITALES Y DE CONMUTACION" Jacob Millman
Herbert Taub McGRAW - HILL BOOK COMPANY MEXICO 1.971