

Certifico que el presente tra
bajo ha sido elaborado en su
totalidad por los señores:

Diego Jijón F. y César Riverat

Alfonso Espinosa R.

ING. ALFONSO ESPINOSA R.
Director de Tesis.

D E D I C A T O R I A

A nuestros padres.

AGRADECIMIENTO

Deseamos expresar nuestro agradecimiento a quienes han hecho posible la realización de este trabajo, en especial, al Ing. Alfonso Espinosa R., como director de la tesis; a la Srta. Susana Lovato, por la transcripción del manuscrito; al Sr. Gonzalo Ramírez, por su colaboración en la elaboración de los planos y al Sr. Fernando Flores, por la ayuda prestada en la edición del texto.

Diego Jijón F.

César Rivera S.

C O N T E N I D O

	Pág.
INTRODUCCION	I
CAPITULO I:	
DESCRIPCION GENERAL	
1.1 Especificaciones y Características	1
1.2 Diagrama de Bloques	9
CAPITULO II:	
DISEÑO	
2.1 Diseño de la Parte Analógica	16
2.2 Diseño de la Parte Híbrida	44
2.3 Diseño de la Memoria	61
2.4 Diseño de la Interface	71
2.5 Diseño del circuito de Control	78
2.6 Fuentes de Poder	104
CAPITULO III:	
CONSTRUCCION	
3.1 Distribución de las Partes	109
3.2 Descripción de las Tarjetas	111
3.3 Panel de Comando	148
CAPITULO IV:	
EXPERIMENTACION	
4.1 Calibración	152

Pág.

4.2 Pruebas	161
4.3 Conclusiones	172

APENDICES:

- 1.- Planos.
- 2.- Hojas de Datos.
- 3.- Guía de Operación.
- 4.- Programa para Lectura de Datos para el Compu-tador TEKTRONIX 4051.

BIBLIOGRAFIA

INTRODUCCION

El desarrollo de un sistema de adquisición de datos surge como una necesidad en un proyecto de investigación a cargo de la Escuela Politécnica Nacional. El objetivo de este proyecto es el estudio de las características de fones y otras señales de audio para realizar posteriormente predicción lineal, reconocimiento e identificación de voz, entre otras aplicaciones. Análisis de este tipo requieren de un banco de datos que describan estas señales en función del tiempo y para la obtención de los mismos se ha diseñado y construido un sistema de adquisición de datos que sea capaz de almacenar temporalmente la información para que luego sea transferida a un computador.

El presente trabajo describe el diseño y la implementación física de este aparato, que no sólo tiene la capacidad de cuantizar las señales de audio, sino que puede también trabajar con señales analógicas cuyo espectro de frecuencias no supere los 96 KHz. Esto quiere decir que el sistema puede ser utilizado para proporcionar información relacionada con transitorios, formas de ondas, etc.

La conversión analógica-digital es con 12 bits y se puede hacer con ocho frecuencias de muestreo diferentes (8, 12, 16, 24, 32 y 48 KHz, para señales de audio; 96 y 192 KHz, para otras aplicaciones). En el caso de muestrear señales de audio, el sistema dispone de un amplificador y de un filtro programables que acondicionan la señal antes

de su cuantización.

El amplificador tiene 8 pasos de ganancia: x1, x2, x5, x10, x20, x50, x100 y x200. El filtro es de tipo elíptico, con un rizado en la banda de paso de 0.1dB y con una atenuación de 40dB en la banda atenuada. Este filtro es de quinto orden y su selectividad es de 0.705.

Cuando se usan las dos frecuencias adicionales de muestreo, la entrada al circuito conversor A/D es directa. El equipo posee también un amplificador de audio que permite escuchar la señal que se desea grabar.

Las muestras cuantificadas se almacenan en una memoria dinámica cuya capacidad (64K x 12) permite grabar algo más de 8 segundos con la frecuencia más baja de muestreo. Los datos pueden ser enviados al computador Tektronix 4051 de la Facultad de Ingeniería Eléctrica, empleando la norma IEEE-488, para su almacenamiento en una unidad de disco magnético y su posterior análisis matemático.

Todo el aparato está comandado por un circuito de control digital.

Como elementos adicionales en el sistema, se cuenta con un conversor digital-análogo de 10 bits que permite reproducir la señal grabada en la memoria. Esta señal puede escucharse en un parlante o puede obtenerse por medio de un conector de salida. Para comunicación con el operador se dispone de un teclado y de un panel de indicadores luminosos.

La descripción de los distintos bloques del equipo y del diseño de los mismos se presenta en los dos primeros capítulos y los detalles de la configuración de los circuitos se hallan en los diagramas del apéndice 1. La ubicación física de los elementos y las conexiones entre las tarjetas se explican en el capítulo 3.

Como ayuda para el lector se han incluido en el apéndice 2 las hojas de datos técnicos de los elementos empleados en el sistema, a excepción de aquellos con tecnología TTL, debido a que una gran variedad de integrados de este tipo son usados en el equipo y sus datos se pueden encontrar fácilmente en un manual.

La forma de utilización del aparato se indica en el apéndice 3, en el cual se describen brevemente las funciones más importantes del panel de comando y de los conectores de entrada o salida. También se encuentran aquí las instrucciones que se deben seguir para usar el sistema de adquisición de datos conjuntamente con el computador.

Para finalizar, en el apéndice 4 se muestra el programa empleado en la Tektronix 4051 para la realización de pruebas y la obtención de algunos resultados que aparecen en el capítulo 4.

CAPITULO I

DESCRIPCION GENERAL

- 1.1 Especificaciones y Características.
- 1.2 Diagrama de Bloques.

CAPITULO I

DESCRIPCION GENERAL

1.1. ESPECIFICACIONES Y CARACTERISTICAS.-

El sistema de adquisición de datos basa su funcionamiento en el esquema mostrado en la Fig. 1.1. El propósito fundamental, como puede apreciarse, es la cuantización de señales analógicas y el almacenamiento de la información recogida durante un cierto tiempo de muestreo. Con este diagrama se pueden dar las especificaciones y características más importantes del equipo, ya que en él constan los elementos básicos del mismo. En la siguiente sección, se describirá el funcionamiento del sistema sobre la base de un diagrama de bloques más detallado.

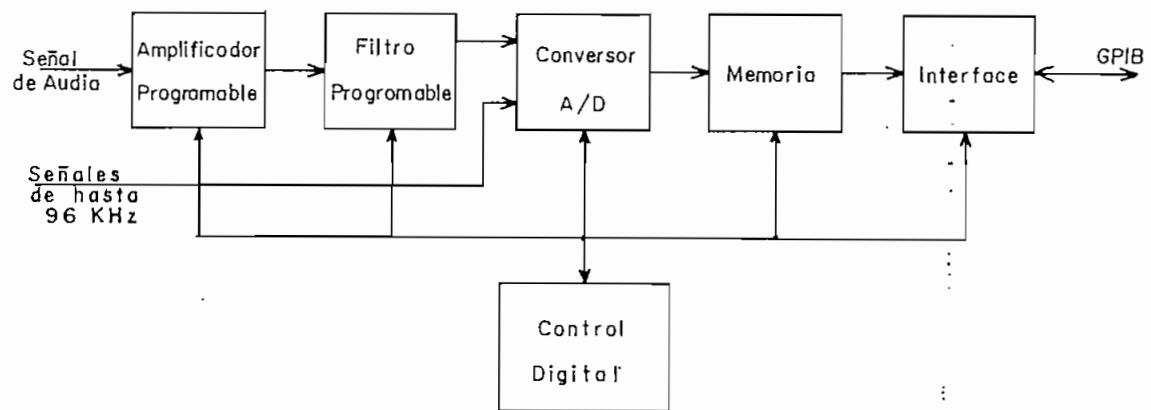


Fig. 1.1.

1.1.1. Control Digital

Entre las funciones más importantes que cumple el control están las siguientes:

- Permite al operador comunicarse con el equipo por medio de dispositivos de entrada-salida, tales como un teclado, indicadores luminosos, etc.
- Enruta las señales analógicas y digitales de acuerdo al modo de operación escogido.
- Permite programar el amplificador con un cierto valor de ganancia.
- De acuerdo a la frecuencia de muestreo seleccionada, programa automáticamente el corte del filtro y sincroniza el conversor análogo-digital con la memoria.
- Mantiene el refresco de la memoria.
- Controla la operación de salida de datos a través del bus GPIB por medio del circuito de interface.
- Permite iniciar el muestreo de las señales en forma manejable o automática y detener la operación del equipo en cualquier instante.

1.1.2. Amplificador programable

Se ha previsto que el sistema pueda recibir señales de audio provenientes de fuentes de distinta naturaleza, por ejemplo: micrófonos, amplificadores o grabadoras. Por esta razón, se ha diseñado un amplificador de ganancia variable cuyo valor se puede seleccionar en forma digital. Los valores de amplificación disponibles son 1, 2, 5, 10, 20, 50, 100 y 200.

1.1.3. Frecuencias de Muestreo y Filtros

Para cubrir el rango de audio se han especificado seis frecuencias de muestreo que son: 8, 12, 16, 24, 32 y

48 KHz. Sin embargo, debido a las características del conversor análogo-digital, se incluyen dos frecuencias adi - cionales de muestreo: 96 y 192 KHz, las mismas que permiten trabajar con señales analógicas más allá del rango de audio.

Los valores de las frecuencias de muestreo se han escogido de tal manera que se conserve una relación más o menos constante entre dos frecuencias sucesivas (como puede observarse, la relación varía de 1.33 a 1.5). Esta consideración obedece al hecho de que el espectro de audio puede considerarse más uniformemente distribuido si se tiene una escala logarítmica de la frecuencia. Las fre - cuencias indicadas se obtienen a partir de un oscilador controlado por un cristal de 6.144 MHz para garantizar la estabilidad y la precisión en los valores.

De acuerdo con la teoría de muestreo de señales se establece que para una frecuencia dada de muestreo, el espectro de la señal por muestrearse no debe contener componentes de frecuencia más allá de la mitad de la frecuen - cia de muestreo. Se impone entonces limitar el espectro de las señales por muestrearse por medio de filtros pasa- bajos. Tal como se indicó, las frecuencias de muestreo para el rango de audio son: 8, 12, 16, 24, 32 y 48 KHz; esto implica que idealmente el corte de los filtros debería situarse en 4, 6, 8, 12, 16 y 24 KHz, respectivamente, y pasada estas frecuencias la atenuación debería ser infinita.

En la práctica, sin embargo, es necesario hacer con-

sideraciones de otro tipo. La función de transferencia del filtro debe tener una respuesta plana en la banda de paso para que el espectro de frecuencia de la señal que entra al conversor A/D mantenga la amplitud relativa entre todas las componentes de frecuencia dentro de la banda de paso. Por otro lado, el corte del filtro debe ser lo más pronunciado posible con el objeto de aprovechar de mejor manera la frecuencia de muestreo seleccionada; en otras palabras mientras más abrupto sea el corte, la frecuencia de corte puede acercarse más al valor límite (o sea, a la mitad de la frecuencia de muestreo) y la información contenida en la señal muestreada será mayor.

En el sistema de adquisición de datos se ha dispuesto que únicamente las señales en el rango de audio dispongan de un filtrado, esto es, cuando la frecuencia de muestreo sea menor o igual a 48 KHz. Para las dos frecuencias adicionales (96 KHz y 192 KHz), la entrada al conversor A/D es directa y el criterio de filtraje de la señal queda a libertad del usuario.

Para el aparato se ha visto conveniente la realización de un filtro programable digitalmente que pueda ajustar su frecuencia de corte de acuerdo a la frecuencia de muestreo seleccionada en vez de realizar un filtro distinto para cada una. La razón principal para esta consideración está en el hecho de que para conseguir las características antes indicadas en la función de transferencia son necesarios numerosos componentes y, desde el punto de vista físico, puede resultar mucho más voluminoso imple-

mentar un filtro para cada frecuencia en vez de hacer uno programable.

Luego de analizar filtros activos de varios tipos entre los cuales se cuentan los filtros de Bessel, Chevy-chief, Butterworth y Cauer, se llegó a la conclusión de que el filtro que más se adapta a los requerimientos expuestos es el de tipo Cauer. Estos filtros se denominan también elípticos porque en su desarrollo intervienen funciones elípticas. La Fig. 1.2 muestra la función de transferencia del filtro escogido para el sistema de adquisición de datos.

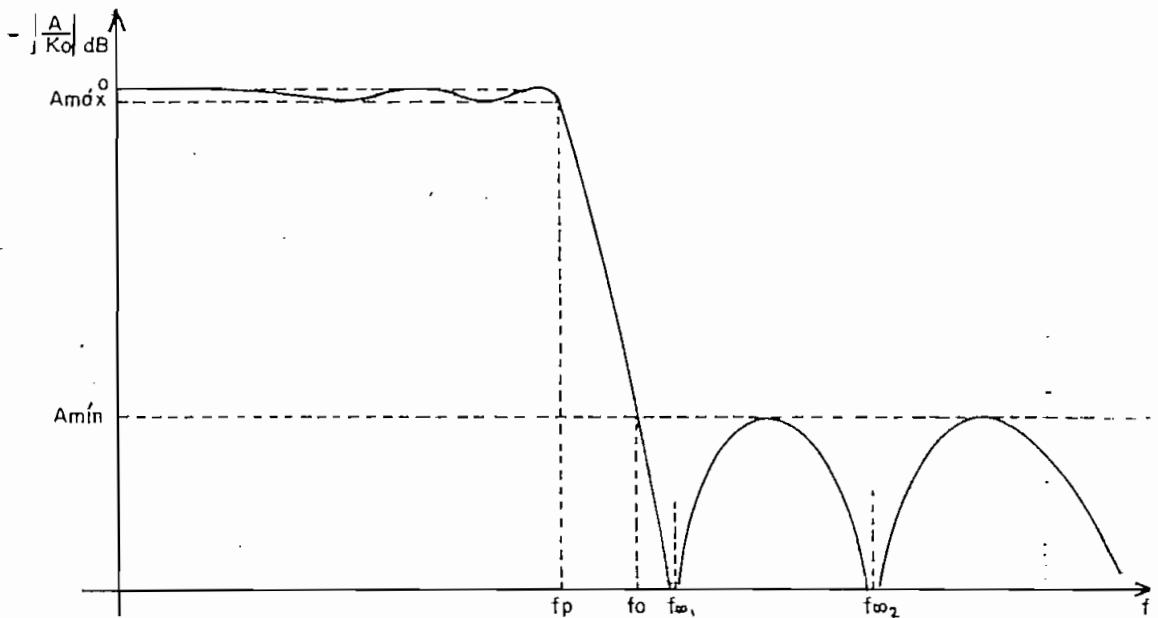


Fig. 1.2.

Donde: - A/K_0 es el módulo de la atenuación normalizada con respecto al valor de ganancia en DC del filtro (K_0).

- $A_{máx}$ y $A_{mín}$ son valores de atenuación que pueen

den ser fijadas en el diseño.

- f_p es la última frecuencia para la cual la atenuación toma el valor de A_{\max} .
- f_a es la primera frecuencia para la cual la atenuación toma el valor de A_{\min} .
- f_{001} y f_{002} son frecuencias en las cuales la atenuación es infinita (ceros de transmisión).

La expresión matemática de la función de transferencia se indica en la sección 2.1., al hablar del diseño circuital del filtro. En esta sección se dan a conocer únicamente los parámetros más importantes y que son los siguientes:

- Orden: quinto
- Ganancia en DC: $K_0 = 1.9209$ (aprox.)
- $A_{\max} = 0.1$ dB
- $A_{\min} = 40$ dB
- Selectividad: $k = f_p/f_a = 0.705$ (aprox.)

Con el objeto de dar un margen de seguridad, se ha dispuesto que f_p sea igual a $1/3$ de la frecuencia de muestreo. De esta manera, f_a se fija en 0.472 veces la frecuencia de muestreo. Con esto, la relación entre las frecuencias de corte y de muestreo se resume en la tabla 1.1. Nótese que f_p representa en este caso la frecuencia de corte del filtro. No se ha adoptado el concepto de atenuación a -3 dB para definir a esta última porque no resulta práctico para esta aplicación.

Frecuencia de muestreo	Frecuencia de corte
f_m (KHz)	f_p (KHz)
8,000	2,666
12,000	4,000
16,000	5,333
24,000	8,000
32,000	10,666
48,000	16,000

Tabla 1.1

1.1.4. Conversor Análogo-digital

La cuantización de la señal análoga se hace mediante un circuito conversor análogo-digital lineal de 12 bits. La conversión la realiza mediante aproximaciones sucesivas en un tiempo de 4,5 μ s. El uso de 4096 ($=2^{12}$) niveles de cuantización en una escala bipolar permite obtener una excelente precisión para señales que alcanzan el tope de la escala y el error cometido en este caso no supera el 0,05%; pero también es posible conseguir una muy buena precisión para señales que llegan a una décima de la escala, siendo entonces el error de cuantización no mayor al 0,5%.

1.1.5. Memoria

Cada dato recogido por el conversor A/D después de un pulso de muestreo debe ser almacenado en una localidad de memoria; por lo tanto, la capacidad de la memoria del

sistema de adquisición de datos dependerá en forma directa del tiempo (t_m) durante el cual se desea muestrear la señal de audio. Puesto que este tiempo depende en forma inversamente proporcional à la frecuencia de muestreo, el mínimo tiempo de muestreo se dará cuando se utilice la frecuencia de 48 KHz, Un mínimo tiempo aceptable sería al rededor de 1 segundo. Para exactamente 1 segundo se necesitarían 48.000 localidades. Por no ser un número de uso común en bloques de memoria se ha tomado el inmediato superior: 64K localidades, con un tiempo de 1.37 segundos de muestreo. La memoria dispone de 65.536 palabras de 12 bits, dando un total de 786.482 bits.

Un bloque de memoria RAM de esta magnitud ocuparía un espacio demasiado grande y sería muy costosa si se lo implementa con memorias estáticas. Dado que las memorias dinámicas tienen un mayor número de bits por integrado, lo más conveniente es usar memorias de este tipo.

Para las diferentes frecuencias de muestreo, los tiempos de adquisición de la señal de audio quedan determinados en la siguiente tabla:

f_m (KHz)	t_m (s)
8	8.1920
12	5.4613
16	4.0960
24	2.7307
32	2.0480
48	1.3653

Tabla 1.2

Para las frecuencias adicionales de muestreo que se disponen en el sistema los tiempos de muestreo son:

f_m (KHz)	t_m (s)
96	0,6827
192	0,3413

Tabla 1.2 b

1.1.6. Interface

El circuito de interface tiene la finalidad de pasar los datos almacenados en la memoria del sistema al computador Tektronix 4051. La transferencia de datos se realiza mediante un bus estandarizado de acuerdo a la norma o protocolo IEEE-488 (GPIB). Este es un sistema asincrónico que permite la transferencia de 8 bits en paralelo, debido a lo cual se hace necesario enviar cada palabra (de 12 bits) dividida en dos partes: la primera, conteniendo los 8 bits menos significativos y la segunda, los 4 bits más significativos. Una vez ingresados estos datos al computador, éste debe proceder a la reconstrucción del dato original antes de guardarlos en disco.

1.2. DIAGRAMA DE BLOQUES.-

El sistema de adquisición de datos está formado por un conjunto de circuitos que cumplen diversas funciones. En la Fig. 1.3. se muestra un diagrama de bloques que permite explicar el funcionamiento general del equipo. En este diagrama es factible identificar los circuitos funda-

mentales que se mencionaron anteriormente, es decir, el amplificador, el filtro, el conversor A/D, la memoria, la interface y el control; complementado a éstos se observan otros circuitos que no son imprescindibles para el funcionamiento del aparato, pero que son útiles desde el punto de vista del operador, por ejemplo, el amplificador de audio. Adicionalmente, puede verse que existen interruptores para el enrumbamiento de señales análogos (S_a , S_b , S_x S_y y S_z). Estos interruptores son análogos y están comandados por señales digitales provenientes del circuito de control. En los siguientes párrafos se explica la función que cumplen estos circuitos adicionales y el estado de los interruptores análogos según el modo de operación que se haya escogido.

El atenuador 1 tiene por finalidad el acoplamiento de impedancia con el micrófono seleccionado para el equipo (ATM31). La impedancia de entrada es de 1K ohmio y el valor de la atenuación es igual al inverso de la ganancia en DC del filtro programable. El atenuador incluye también una protección contra voltajes excesivos en la entrada.

El atenuador 2 es semejante al anterior, pero en este caso la impedancia de entrada es más alta (100Kohmios) y el valor de la atenuación es 0.5.

El teclado permite al operador comandar el aparato. Consta de 19 teclas. En la sección 2.5 se encuentra una descripción de la función que desempeña cada tecla.

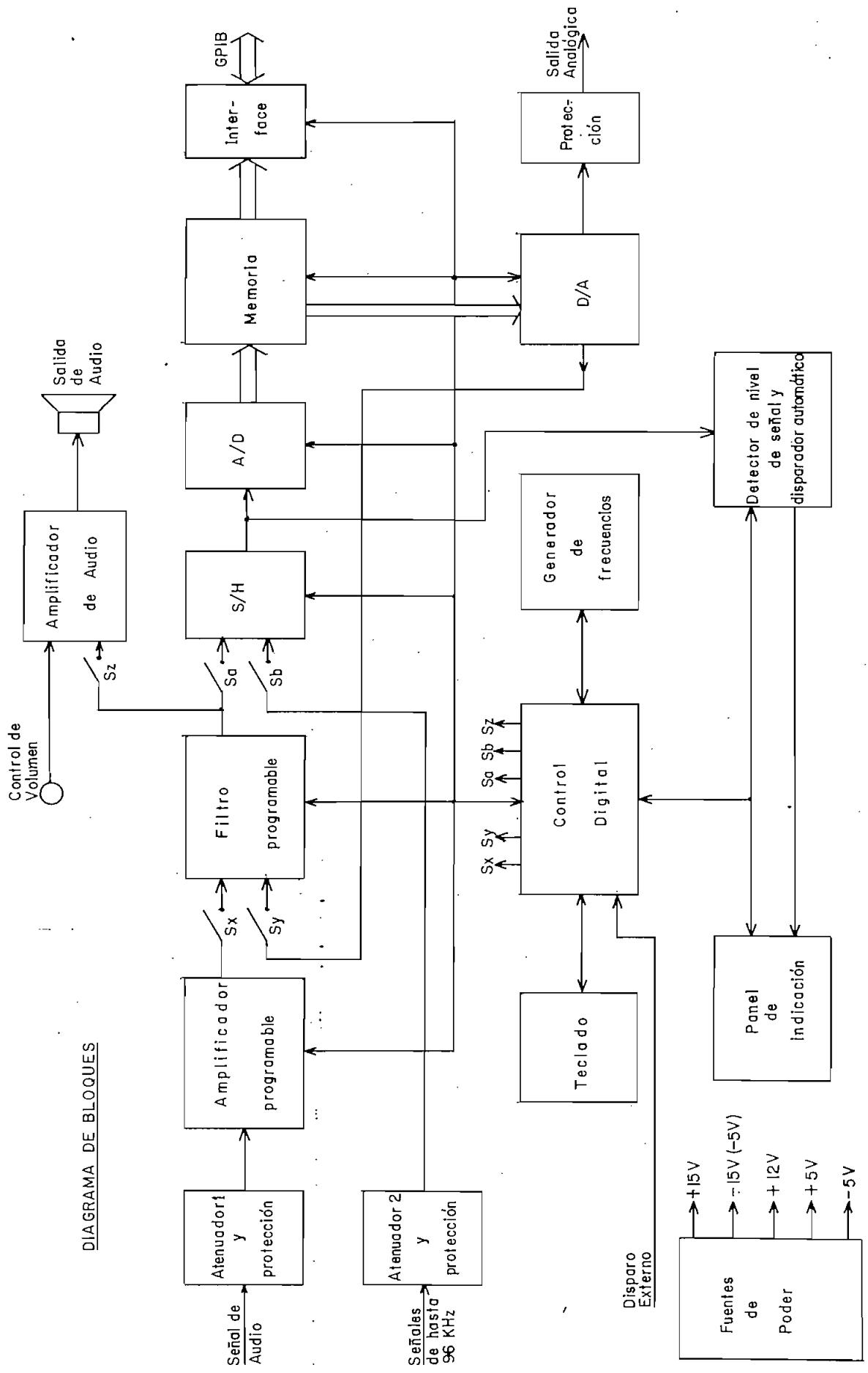


Fig. 1.3

El panel de indicación está formado por un conjunto de diodos emisores de luz (LEDS) que dan una información del valor de amplificación y frecuencia de muestreo esco- gidos, así como del estado de operación y del nivel de grabación.

El generador de frecuencias es básicamente un oscilador a cristal (6.144 MHz). Por medio de divisiones sucesivas se obtienen todas las frecuencias que son necesa- rias en el equipo.

La señal de disparo externo ("EXTERNAL TRIGGER") es de tipo digital e inicia el muestreo de la señal análoga con una transición negativa. Representa 2 cargas TTL nor- males.

El amplificador de audio sirve para manejar el parlante con el cual se puede oír la señal que se desea gra- bar, que se está grabando o que se ha grabado en la memo- ria. El control de volumen se hace manualmente con un po-
tenciómetro externo.

El interruptor Sz permite habilitar o deshabilitar el amplificador de audio y puede comandarse desde el te-
clado. Un LED indica si el amplificador está habilitado.
En caso de no estarlo (Sz abierto) la frecuencia con la que salen los datos por el conversor digital-análogo (mo-
do de operación DATA OUT ANALOG) es de 6 KHz. Se ha esco-
gido esta frecuencia para tener una salida analógica con variaciones que puedan ser captadas por un registrador.

Los interruptores Sa y Sb seleccionan la señal de en

trada que se va a muestrear. Si la frecuencia de muestreo es menor o igual a 48 KHz, Sa está cerrado y Sb está abierto. Si se usan las frecuencias de 96 KHz o de 192 KHz, Sa se abre y Sb se cierra.

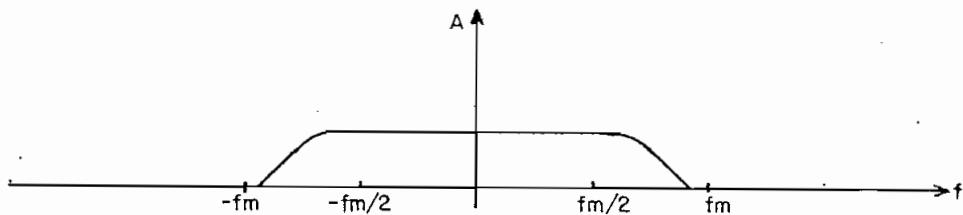
El interruptor Sx está cerrado siempre que el modo de operación corresponda a entrada de datos (DATA IN); caso contrario (DATA OUT), se abre. El interruptor Sy está normalmente abierto, excepto cuando se sacan datos con cualquiera de las frecuencias de muestreo y el parlante está habilitado.

El circuito S/H (SAMPLE & HOLD) es un muestreador - retenedor que mantiene congelada la señal análoga durante el tiempo en el que el circuito A/D está realizando una conversión. El trabajo del S/H es independiente de la frecuencia de muestreo seleccionada y su ciclo de muestreo y retención ("TRACK AND HOLD") está sincronizado con la frecuencia de 192 KHz. De esta manera, la función que desempeña se asemeja a la de un seguidor de voltaje.

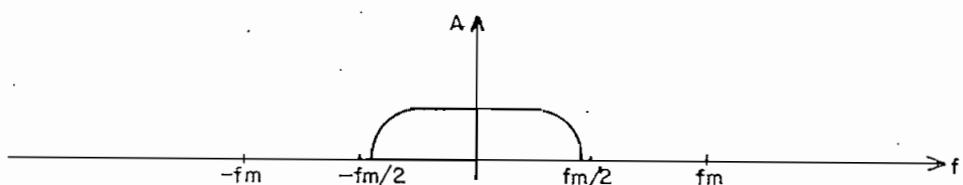
El circuito detector de nivel y disparador automático tiene por objeto comandar un indicador luminoso (una barra de LEDS) en el panel de indicación para dar a conocer el nivel de la señal. Tiene también un circuito detector de picos (digital) y un circuito adjunto que inicia automáticamente la adquisición de datos al superar la señal un cierto nivel predefinido.

El conversor digital-análogo permite recuperar la información grabada en la memoria en forma de señal análoga.

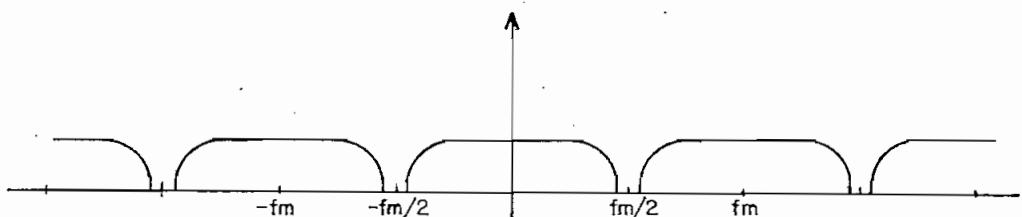
Para propósitos de reproducción, el uso de 10 bits resulta suficientemente práctico, pues la precisión que se alcanza es en el orden del 0.1%. La señal del conversor D/A sale del aparato a través de una protección. La salida del conversor puede usarse también para reproducir en el parlante la información de audio contenida en la memoria. Para ello, la señal del conversor debe pasar previamente por el filtro ya que el espectro de frecuencia de esta señal es semajante al espectro de la señal muestreada. La figura 1.4 aclara la necesidad de usar el filtro.



(a) Espectro de la señal de entrada.



(b) Espectro de la señal de entrada después de pasar por el filtro.



(c) Espectro de la señal muestreada y almacenada en la memoria.

CAPITULO II

DISEÑO

- 2.1 Diseño de la Parte Análoga.
- 2.2 Diseño de la Parte Híbrida.
- 2.3 Diseño de la Memoria.
- 2.4 Diseño de la Interface.
- 2.5 Diseño del Circuito de Control.
- 2.6 Fuentes de Poder.

CAPITULO II

2.1. DISEÑO DE LA PARTE ANALOGICA.-

De acuerdo con el diagrama de bloques de la sección 1.2, se consideran como bloques analógicos: Los atenuadores de entrada, el amplificador programable, el filtro programable y el amplificador de audio.

2.1.1. Atenuadores de Entrada

2.1.1.a. Atenuador 1.-

Este circuito cumple las siguientes funciones:

1.- Proporcionar una impedancia de entrada apropiada para un micrófono: el sistema de adquisición de datos cuenta con un micrófono dinámico de alta calidad (ver las especificaciones del ATM 31 en el apéndice 2) el cual necesita una entrada resistiva entre 150 ohmios y 1.000 ohmios para cumplir con las especificaciones del fabricante. Para evitar en lo posible la disminución del nivel de señal que llega del micrófono, se escoge como impedancia de entrada del atenuador 1, el valor de 1.000 ohmios.

2.- Compensar la ganancia en DC del filtro ($K_0 = 1.9209$).

Para ello, el valor de atenuación debe ser $1/K_0 = 0.5206$. De esta manera, la amplificación neta que recibe la señal de entrada al atenuador 1 estará dada únicamente por la ganancia del amplificador programable.

3.- Proteger el amplificador programable: Este circuito posee en su entrada un amplificador operacional

(LF357A) cuyas entradas no pueden superar el rango de $\pm 16V$.

Para cumplir los objetivos anteriores se usa el siguiente circuito:

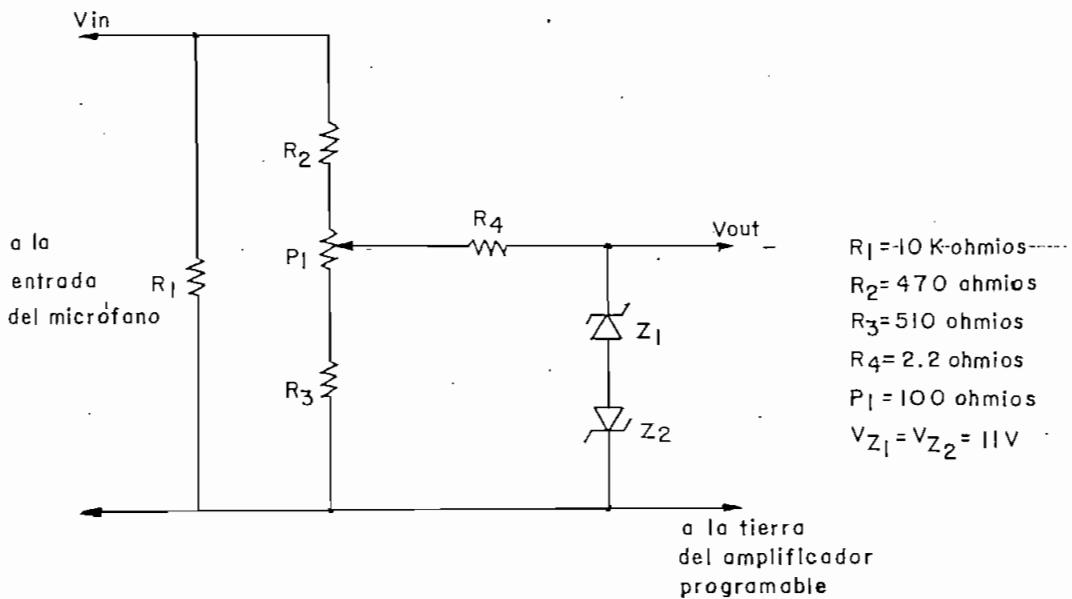


Fig. 2.1

2.1.1.b. Atenuador 2.-

El propósito principal del atenuador 2 es proteger el interruptor analógico Sa y el muestreador - retenedor (S/H) que va a continuación. Para la protección de los interruptores analógicos que se usan en sistema de adquisición de datos (ver las especificaciones del LF13202 en el apéndice), se ha visto conveniente que el atenuador 2 limite el voltaje de salida al rango de $\pm 11V$. Por otro lado, la entrada al atenuador 2 es de uso más general que la del atenuador 1, por lo que es preferible mantener una impedancia de entrada alta y compensar las capacidades parásitas para evitar la distorsión en la señal.

Con estos antecedentes, se propone el circuito de la Fig. 1.2 para el atenuador 2, en el cual la impedancia de entrada es de 100K ohmios (aproximadamente).

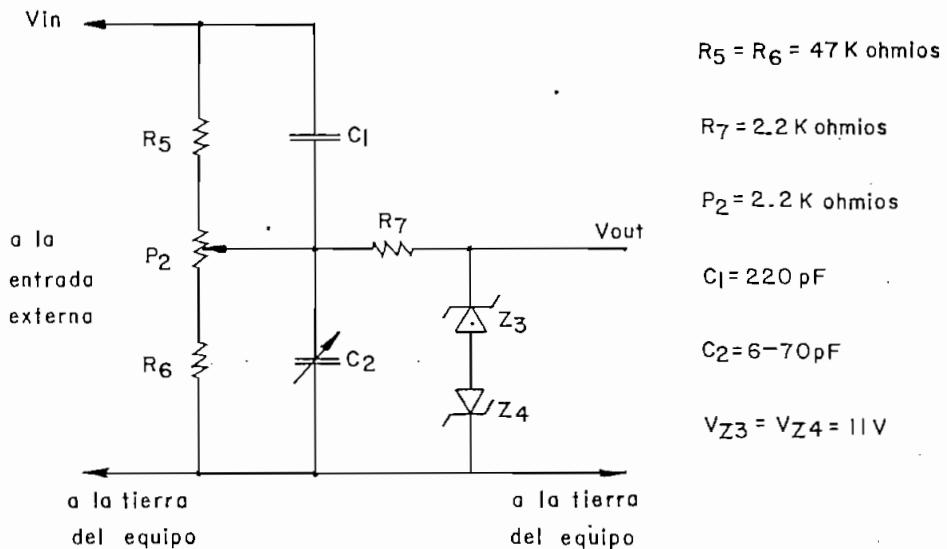


Fig. 2.2.

La forma de conexión empleada para llevar la señal de entrada a los atenuadores 1 y 2 puede verse en el diagrama No 1 del apéndice 1.

2.1.2. Amplificador Programable

Para cumplir con los pasos de ganancia especificados en la sección 1.1, se ha diseñado un amplificador programable que consta de 2 etapas, A_{V1} y A_{V2} , las cuales tienen los siguientes valores de ganancia:

$$A_{V1} = 1, 10, 20$$

$$A_{V2} = 1, 2, 5, 10$$

Se han escogido etapas no inversoras de amplificación (ver figura 2.3a) por dos razones fundamentales: La una es la alta impedancia de entrada que ofrecen; la otra es que no se necesita valores de ganancia menores que la unidad.

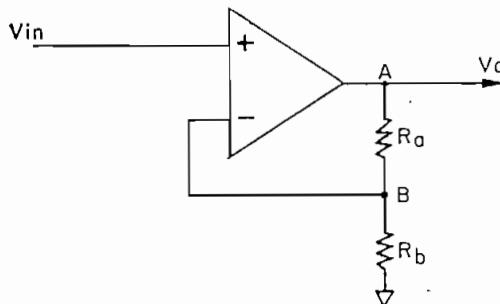


Fig. 2.3a

La ganancia del amplificador de la figura 2.3a, viene dada por:

$$A_V = \frac{V_o}{V_{in}} = 1 + \frac{R_a}{R_b}$$

Para que este valor pueda ser programable, los valores de R_a o R_b deben ser variables. Con ganancia unitaria R_b debe ser infinito; para R_a debería ser lo más pequeña posible con el objeto de evitar el efecto de capacidades parásitas entre el punto B y tierra y evitar también el

ruido.

El empleo de interruptores analógicos para conmutar valores en las resistencias obliga a tomar ciertas precauciones. En especial, se debe considerar el hecho de que la resistencia de un interruptor análogo varía con el voltaje y la corriente entre sus terminales, lo que puede producir distorsión en el amplificador. Por otro lado, estos interruptores presentan también capacidades parásitas en sus entradas y pueden dar problemas si se trabaja con valores altos en resistencias. Por estas razones es preferible que los interruptores análogos trabajen con voltajes bajos y se debe procurar que una de sus entradas esté conectada a una fuente de baja impedancia de salida o a tierra para eliminar el efecto de capacidades parásitas. La figura 2.3b muestra una disposición favorable de un interruptor análogo en la etapa amplificadora.

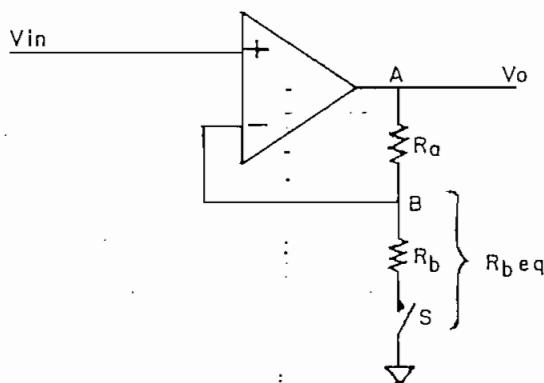


Fig. 2.3b

En este caso debe procurarse también que el valor de R_b sea bastante mayor que el valor de la resistencia del interruptor análogo (R_{on}), por ejemplo, unas 10 veces mayor. Asimismo, en los cálculos se debe tomar en cuenta R_{on} , de modo que la expresión de la ganancia queda como sigue:

$$A_v = 1 + \frac{R_a}{R_b + R_{on}} = 1 + \frac{R_a}{R_{beq}}$$

Con estas consideraciones, se plantea el circuito de la figura 2.4a para la primera etapa del amplificador programable. El O.A.1 es un amplificador operacional de gran ancho de banda (ver en el apéndice las hojas de datos del LF357A) con entradas de FETs. La red RoCo sirve para evitar que el amplificador oscile cuando la ganancia de la etapa es menor que 5 y los valores indicados se basan en recomendaciones del fabricante. Po permite minimizar el offset del operacional. Los interruptores análogos son los LF 13202 y sus datos se hallan en el apéndice. Tanto los operacionales como los interruptores análogos del equipo se alimentan con $\pm 15V$.

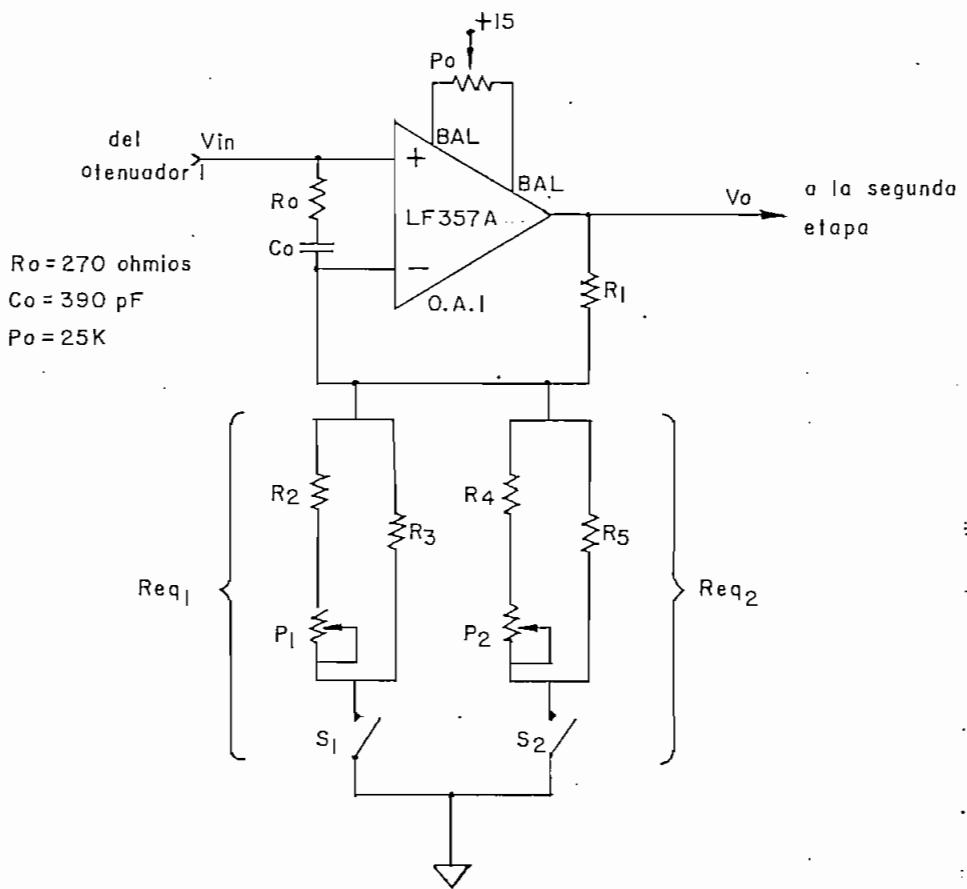


Fig. 2.4a

En la tabla 2.1 se indica el estado de S_1 y S_2 para conseguir las ganancias especificadas en esta etapa.

Av_1	S_1	S_2
1	OFF	OFF
10	ON	OFF
20	ON	ON

Tabla 2.1

Obsérvese que para ganancia $Av_1 = 20$, Req_1 y Req_2 se ponen en paralelo. Si únicamente se cerrara S_2 y se dejara S_1 abierto, sería necesario un valor de Req_2 más pequeño; pero como se indicó antes, es preferible que la resistencia en serie con S_2 sea grande en comparación con R_{on} para evitar la posibilidad de distorsión. Por otro lado, conviene que S_1 quede cerrado para ganancias altas con el objeto de evitar que se introduzca ruido e interferencia en la entrada negativa del operacional.

El arreglo de resistencias mostrado tiene como finalidad permitir un ajuste más fino con el potenciómetro de calibración respectivo (P_1 o P_2).

De esta manera, las ecuaciones que deben cumplir los elementos de la primera etapa para dar los valores de amplificación requeridos son las siguientes:

$$10 = 1 + \frac{R_1}{Req_1}$$

$$20 = 1 + \frac{R_1}{Req_1 || Req_2}$$

A continuación se indican valores para las diferentes resistencias y que satisfacen adecuadamente las consideraciones anteriores (Para los cálculos se ha asumido $R_{on} \approx 150$ ohmios):

$$R_1 = 10K \text{ ohmios}$$

$$\text{Req}_1 = 1.11K \text{ ohmios} \quad (R_2 = 1K \text{ ohmios}, R_3 = 2.7K \text{ ohmios}, P_1 = 1K \text{ ohmios}).$$

$$\text{Req}_2 = 1.00K \text{ ohmios} \quad (R_4 = 1K \text{ ohmios}, R_5 = 2.2K \text{ ohmios}, P_2 = 1K \text{ ohmios}).$$

De igual forma, para la segunda etapa de amplificación, se plantea el circuito de la figura 2.4b, que en esencia, tiene las mismas características que el circuito de la primera etapa.

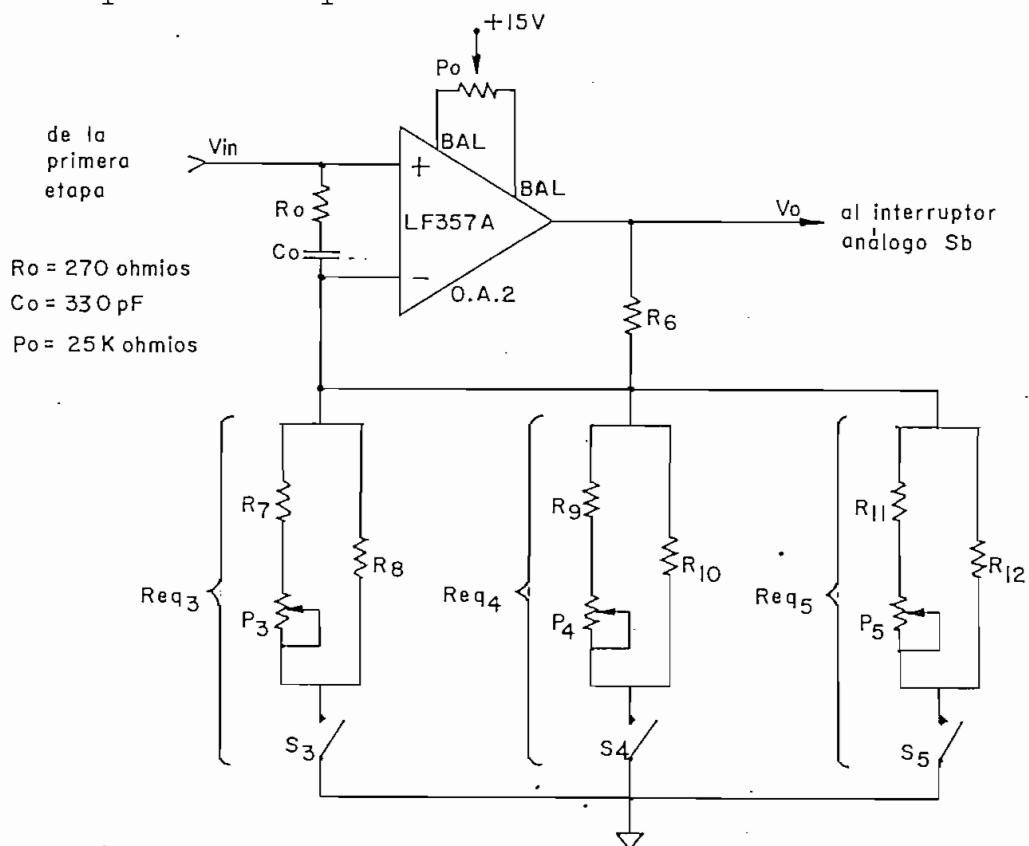


Fig. 2.4b

A_{V_2}	S_3	S_4	S_5
1	OFF	OFF	OFF
2	ON	OFF	OFF
5	ON	ON	OFF
10	ON	ON	ON

Tabla 2.2

Para esta segunda etapa, los interruptores análogos se comutan de acuerdo a la tabla 2.2 y las ecuaciones que deben satisfacer los elementos son en este caso:

$$2 = 1 + \frac{R_6}{Req_3}$$

$$5 = 1 + \frac{R_6}{Req_3 \parallel Req_4}$$

$$10 = 1 + \frac{R_6}{Req_3 \parallel Req_4 \parallel Req_5}$$

Asimismo, tomando en cuenta las consideraciones anteriores, se establecen los siguientes valores de resistencias:

$$R_6 = 5.6K \text{ ohmios}$$

$$Req_3 = 5.6K \text{ ohmios} \quad (R_7=10K \text{ ohmios}, R_8=10K \text{ ohmios}, P_3=5K \text{ ohmios})$$

$$Req_4 = 1.87K \text{ ohmios} \quad (R_9=2.7K \text{ ohmios}, R_{10}=3.3K \text{ ohmios}, P_4=2K \text{ ohmios})$$

$$Req_5 = 1.12K \text{ ohmios} \quad (R_{11}=1.2K \text{ ohmios}, R_{12}=2.2K \text{ ohmios}, P_5=1K \text{ ohmios}).$$

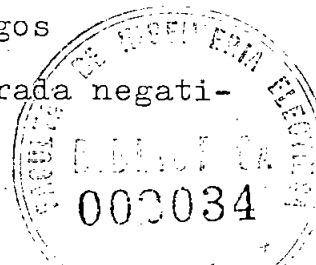
En la tabla 2.3 se resumen los valores necesarios de A_{V_1} y A_{V_2} para conseguir los pasos de amplificación A_V ($=A_{V_1} \cdot A_{V_2}$) especificados. S_1 , S_2 , S_3 , S_4 , y S_5 representan también las señales digitales que comandan los interruptores análogos ($0_L = OFF$, $1_L = ON$) y la obtención de las mismas puede verse en la sección 2.5.

	S_1	S_2	A_{V_1}	S_3	S_4	S_5	A_{V_2}	A_V
A1	OFF	OFF	1	OFF	OFF	OFF	1	1
A2	OFF	OFF	1	ON	OFF	OFF	2	2
A3	OFF	OFF	1	ON	ON	OFF	5	5
A4	OFF	OFF	1	ON	ON	ON	10	10
A5	ON	OFF	10	ON	OFF	OFF	2	20
A6	ON	OFF	10	ON	ON	OFF	5	50
A7	ON	ON	20	ON	ON	OFF	5	100
A8	ON	ON	20	ON	ON	ON	10	200

Tabla 2.3

Conviene hacer una observación adicional al diseño de este amplificador programable y es que la implementación del mismo con una sola etapa implicaría una serie de inconvenientes, como los siguientes:

- Un mayor número de interruptores análogos
- Más capacidades parásitas entre la entrada negativa del operacional y tierra.
- Mayor dificultad para calibración.
- Para las amplificaciones más altas, la respuesta de frecuencia del amplificador operacional se ve



limitada y por la presencia adicional de la red $R_o C_o$, la impedancia de entrada disminuye.

- Asimismo, para las ganancias más altas, la relación entre R_a y R_b se incrementa y se vuelve muy difícil cumplir con las consideraciones expuestas anteriormente.

Por último, la calibración del amplificador puede verse en la sección 4.1.

2.1.3. Filtro Programable

El filtro Cauer del sistema de adquisición de datos es de 5to orden y tiene una respuesta de frecuencia como la mostrada en la figura 1.2. La función de transferencia del mismo conviene indicarla en forma normalizada, pues es un filtro programable para 6 distintas frecuencias de corte. Sea entonces:

$$p = j \frac{f}{f_p} = j \frac{w}{w_p}$$

la frecuencia compleja normalizada, con la cual la mencionada función de transferencia puede expresarse así:

$$F(p) = \frac{(0.2118p^2+1)1.666}{1.251p^2+1.0307p+1} \quad \frac{(0.4633p^2+1)1.153}{0.875p^2+0.1867p+1} \quad \frac{1}{1.491p+1}$$

Esta función está compuesta por 2 etapas cuya función de transferencia tiene la forma general:

$$F_i(p) = \frac{(x_i p^2 + 1) K_i}{y_i p^2 + z_i p + 1} \quad i = 1, 2$$

y por una tercera etapa de la forma:

$$F_3(p) = \frac{1}{m_3 p + 1}$$

Se empezará describiendo la última etapa, es decir, $F_3(p)$. Como es conocido, la red RC de la figura 2.5, tiene una función de transferencia dada por:

$$F_3(p) = \frac{1}{j\omega m_3 C_o R_o + 1}$$

Introduciendo en la ecuación anterior la definición de p y el parámetro:

$$2\pi f_p = \omega_p = \frac{1}{R_o C_o}$$

se consigue la relación buscada:

$$F_3(p) = \frac{1}{m_3 p + 1}$$

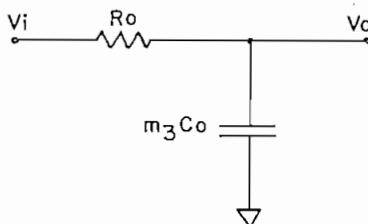
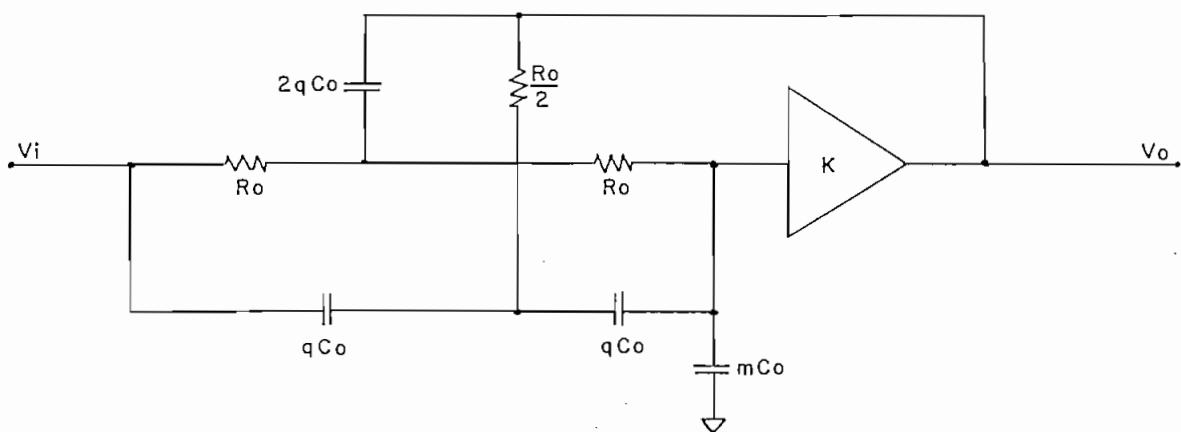


Fig. 2.5

En lo referente a las 2 primeras etapas, considérese el siguiente circuito con una doble T:



El desarrollo de la función de transferencia de este circuito es un tanto largo, motivo por el cual se lo omite y sólo se indica el resultado final:

$$F(p) = \frac{(q^2 p^2 + 1)K}{q(q + 2m)p^2 + 2[m - 2(K-1)q]p + 1}$$

Haciendo una analogía con la expresión:

$$\frac{(x_i p^2 + 1) K_i}{y_i p^2 + z_i p + 1}$$

se pueden demostrar las siguientes equivalencias ($i=1,2$):

$$q_i = \sqrt{x_i}$$

$$m_i = \frac{y_i - x_i}{2 \cdot \sqrt{x_i}}$$

$$K_i = \frac{y_i - z_i \sqrt{x_i}}{4x_i} + 0,75$$

Con estas relaciones es posible fijar el valor de cada uno de los elementos de las figuras 2.5 y 2.6 si se conoce la función de transferencia.

En vista de que se necesitan 6 frecuencias de corte, los parámetros en las diferentes etapas deben ser programables. De lo indicado en la sección 1.4, la relación entre la frecuencia de muestreo (f_m) y la frecuencia f_p debe ser la siguiente:

$$f_m = 3f_p$$

La tabla 2.4 resume todos los valores de los componentes de las 3 etapas para las diferentes frecuencias de muestreo.

	FRECUENCIAS DE MUESTREO fm						UNIDADES
	8.000	12.000	16.000	24.000	32.000	48.000	KHz
f_p	2.6667	4.000	5.3333	8.0000	10.667	16.000	KHz
R_o	21.00	14.00	21.00	14.00	21.00	14.00	K Ω
$m_1 C_o$	3208	3208.7	1604.3	1604.3	802.2	802.2	pF
$q_1 C_o$	1308.1	1308.1	654.0	654.0	327.0	327.0	pF
$m_2 C_o$	859.4	859.4	429.7	429.7	214.9	214.9	pF
$q_2 C_o$	1934.6	1934.6	967.3	967.3	483.6	483.6	pF
$m_3 C_o$	4238.1	4238.1	2119.0	2119.0	1059.5	1059.5	pF

$$K_1 = 1.666$$

$$C_o = 710.5 \text{ pF}$$

$$K_2 = 1.153$$

Tabla 2.4

Con el objeto de reducir el número de interruptores análogos que serían necesarios para seleccionar los distintos componentes se pueden hacer conexiones en paralelo. Las figuras 2.7 y 2.8 detallan estas conexiones para las 3 etapas del filtro y la tabla 2.5 indica el estado de los interruptores análogos para cada frecuencia de muestreo. Aunque no se ha indicado explícitamente en los gráficos, los valores de resistencias y condensadores se consiguen con el uso de elementos fijos y de elementos variables (potenciómetros y condensadores variables). S_R , S_{C1} , y S_{C2} representan las señales lógicas que comandan los interruptores análogos ("0" lógico = OFF, "1" lógico = ON) y la obtención de las mismas puede verse en la sección 2.5.

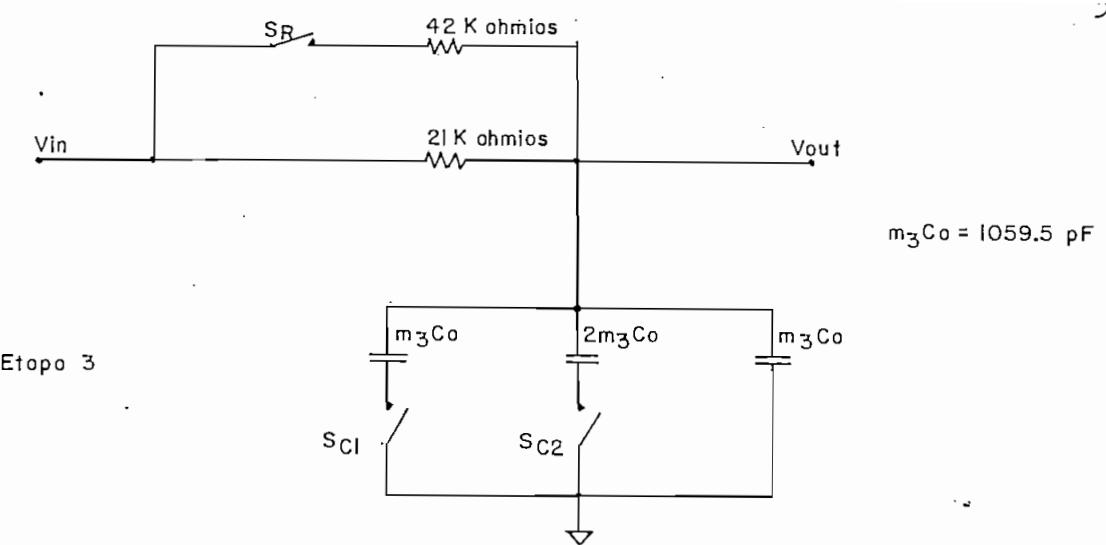
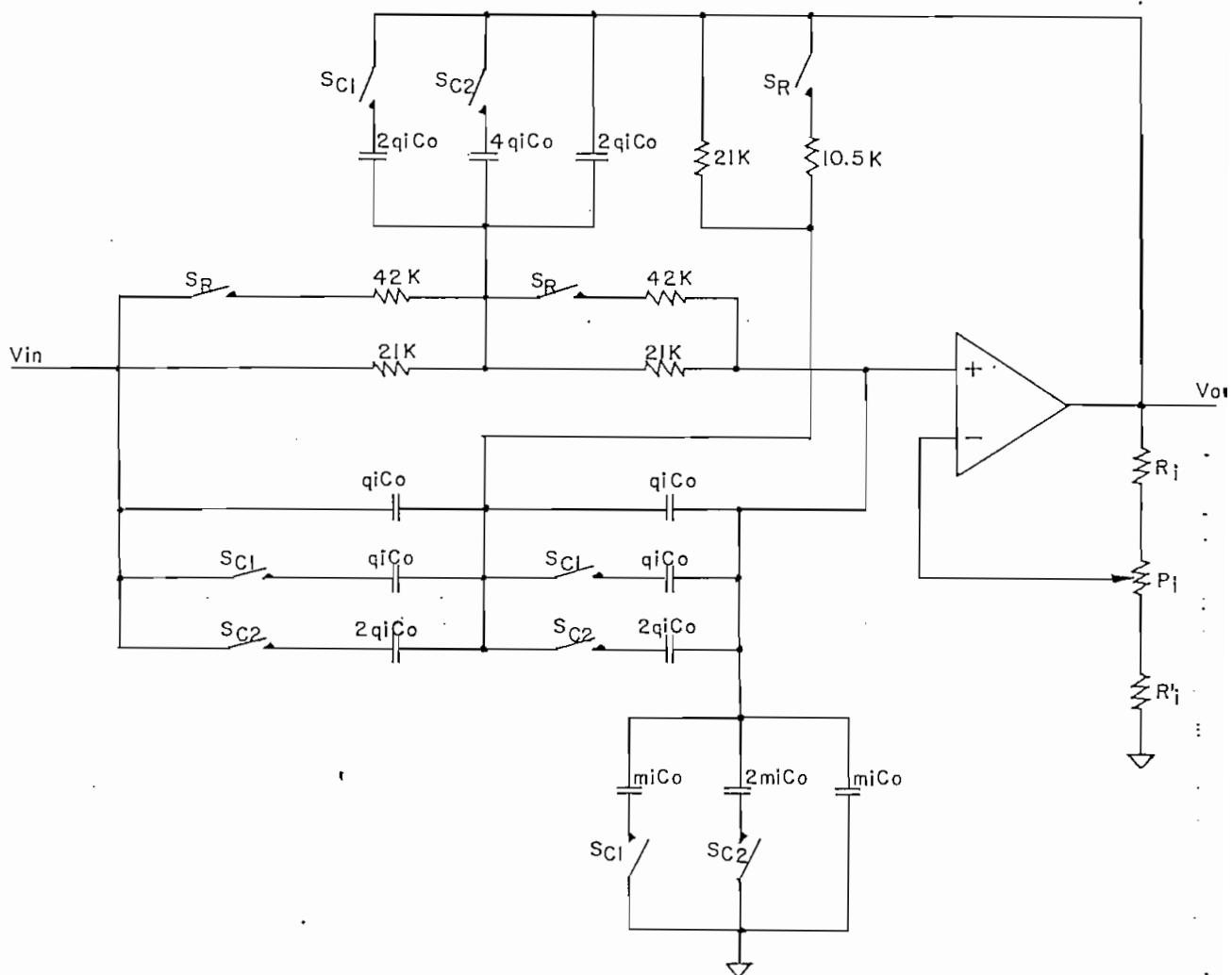


Fig. 2.7



Etopas i ; i=1,2

$m_1\text{Co}=802.2\text{ pF}$; $m_2\text{Co}=214.9\text{ pF}$
 $q_1\text{Co}=327.0\text{ pF}$; $q_2\text{Co}=483.6\text{ pF}$

$R_i=4.7\text{ Kohmios}$, $R_2=820\text{ ohmios}$

$P_1=2\text{ K ohmios}$, $P_2=1\text{ K ohmio}$

$R'_i=7.5\text{ K ohmios}$, $R'_2=8.2\text{ K ohmios}$

Fig. 2.8

	FRECUENCIAS DE MUESTREO fm [KHz]					
	8.000	12.000	16.000	24.000	32.000	48.000
S _R	OFF	ON	OFF	ON	OFF	ON
S _{C1}	ON	ON	ON	ON	OFF	OFF
S _{C2}	ON	ON	OFF	OFF	OFF	OFF

Tabla 2.5

Ahora bien, el orden de las tres etapas del filtro puede ser modificado para mejorar ciertas condiciones de operaciones de los elementos. Por ejemplo, puede optimizarse el orden en el que están dispuestas las etapas para evitar sobretensiones que tiendan a saturar los amplificadores operacionales o que cierren los interruptores análogos, independientemente del estado de su entrada de control; igualmente, puede mejorarse la relación señal a ruido si se evita una excesiva atenuación inicial de la señal.

Con el objeto de hacer un análisis del comportamiento del filtro según la secuencia de las etapas, se ha elaborado en el computador un programa para grafizar la función de transferencia del filtro y los voltajes de salida de las etapas intermedias. Los resultados se muestran en las figuras 2.9 hasta 2.14. En estos gráficos, el voltaje de entrada al filtro tiene un valor de $5V/(K_1 \cdot K_2)$ es decir 2,6029Vp, con lo que se consigue que en la banda de paso del filtro se tengan 5Vp. La razón por la que se han escogido estos valores de tensión radica en el hecho de que

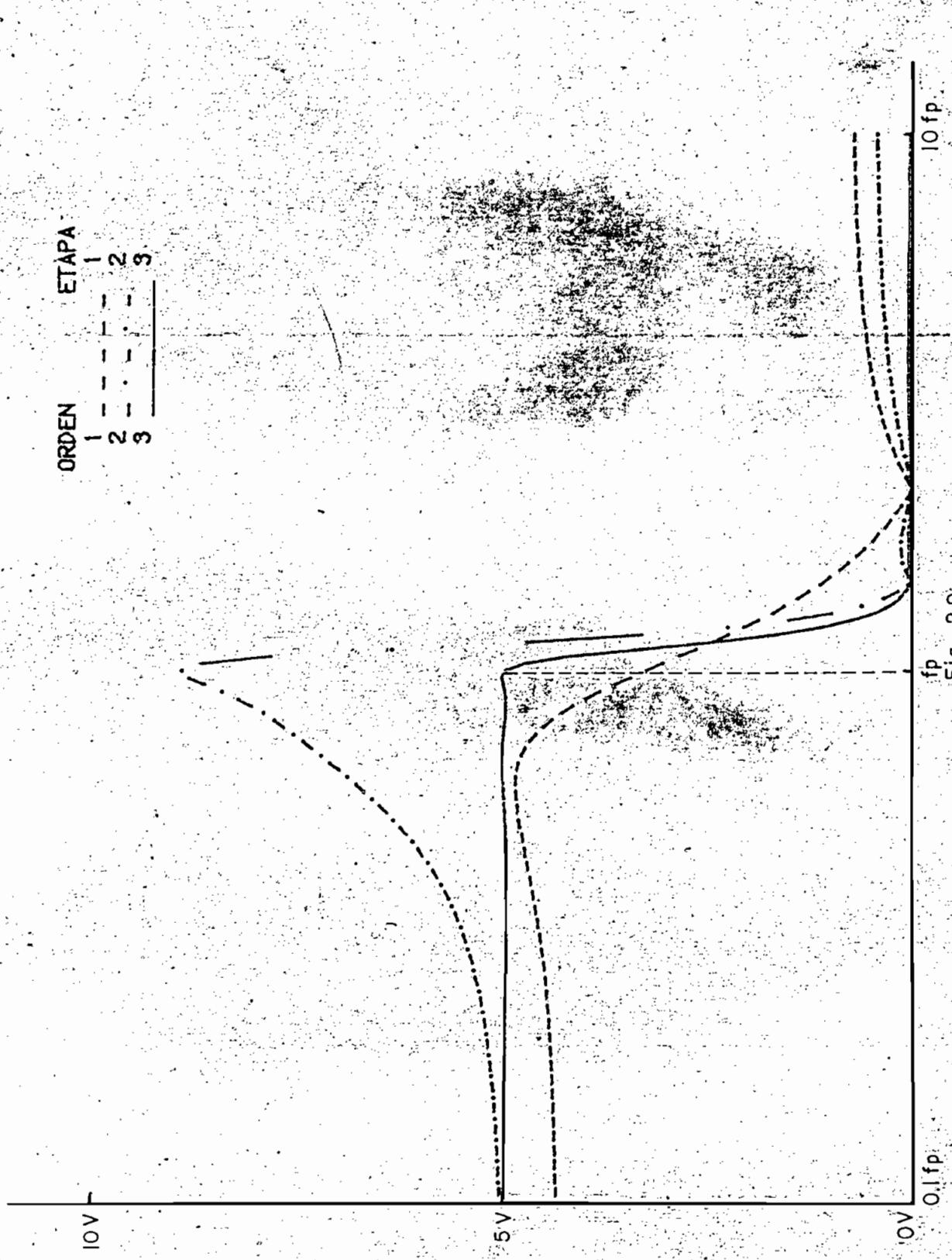
el conversor análogo digital que se usa a continuación el aparato trabaja en el rango de $\pm 5V$. Por otro lado, los interruptores análogos que se emplean funcionan en un rango de $\pm 10V$ (ver en el apéndice las hojas de datos correspondientes). Con estas consideraciones, la secuencia de etapas que más se ajusta a los requerimientos del filtro es la indicada en la Fig. 2.10, en la cual se observan dos características útiles:

- 1) Los voltajes de salida de las tres etapas se mantienen alejados del voltaje límite de los interruptores análogos ($10V$).
- 2) La amplificación de la etapa inicial ($K_1=1.666$) mantienen la señal en la banda de paso en niveles cercanos a los de salida y evita además la atenuación excesiva cerca de la frecuencia de corte, con lo que se disminuye la influencia del ruido.

Conviene señalar que estos análisis son válidos para una señal sinusoidal en la entrada, debido a que el filtro tiene una respuesta de fase que no es constante en la banda de paso (ver fig. 2.15). Dicho de otra manera, si la señal de entrada tiene más de una componente de frecuencia en su espectro, la señal de salida se verá modificada en su forma (distorsión de fase). Sin embargo, esto no representa ningún problema si se trata del análisis de señales de audio, puesto que el oído humano es insensible a las variaciones de fase. Por el contrario, si se desea analizar formas de onda, se deberá evitar el uso del filtro y usar más bien la entrada directa de que dispone el

equipo (ver más detalles de este modo de operación en la sección 2.5).

Se debe hacer notar también un problema que puede eventualmente existir al acoplar las diferentes etapas del filtro y es que la impedancia de entrada que presentan las etapas con la doble T, cerca de la frecuencia de corte del filtro, tiene una parte imaginaria negativa (reactancia capacitiva), tal como lo muestran las tablas 2.6 y 2.7. Nótese, además, que el valor de esta capacitancia es proporcional a R_o . Como se sabe, los amplificadores operacionales no pueden manejar valores muy altos de capacidad (en general, más de $0.01 \mu F$). En consecuencia, sería deseable tener valores elevados de R_o y evitar estos problemas. Sin embargo, al aumentar R_o disminuye el valor de C_o (para una frecuencia de corte dada, el producto $R_o C_o$ es constante) y por ende, el de todos los condensadores de la red. Esto hace que las capacidades parásitas del circuito se vuelvan más significativas y afecten el funcionamiento del filtro. Con los valores de elementos indicados en la tabla 2.4 se tienen valores relativamente grandes para los condensadores (con respecto a capacidades parásitas) y se tiene una impedancia de entrada en las redes con doble T que puede ser manejada adecuadamente por un amplificador operacional (para $f = f_p$, por ejemplo, la etapa 1 presenta una impedancia equivalente a 184 ohmios en serie con 1039 pF cuando f_m es de 48 KHz). En todo caso, y como precaución, a la entrada de las diferentes etapas se han dispuesto amplificadores operacionales que funcionan como seguidores de voltaje (ver diagramas 2, 3 y 4).



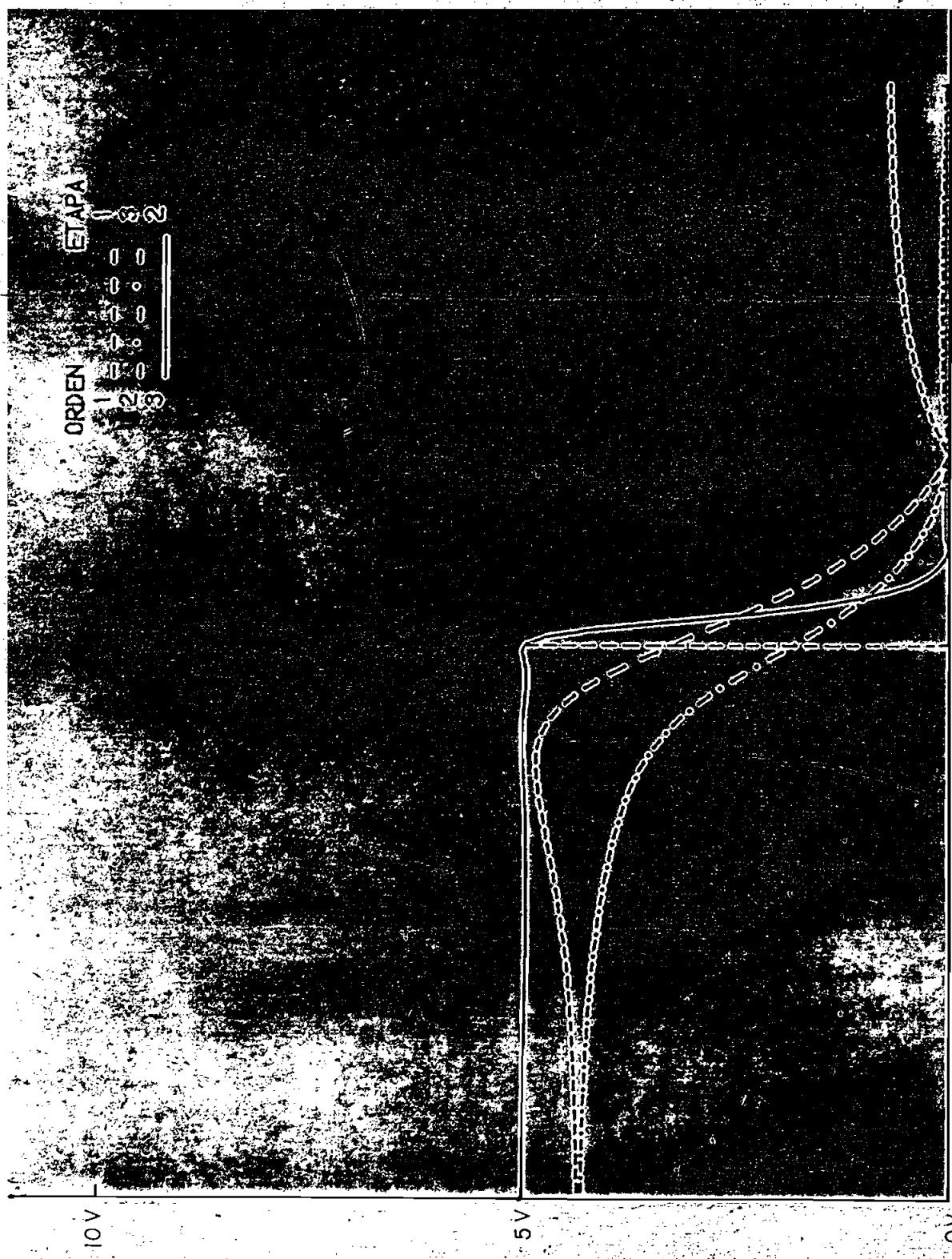


Fig 2.10

Fig 2.10

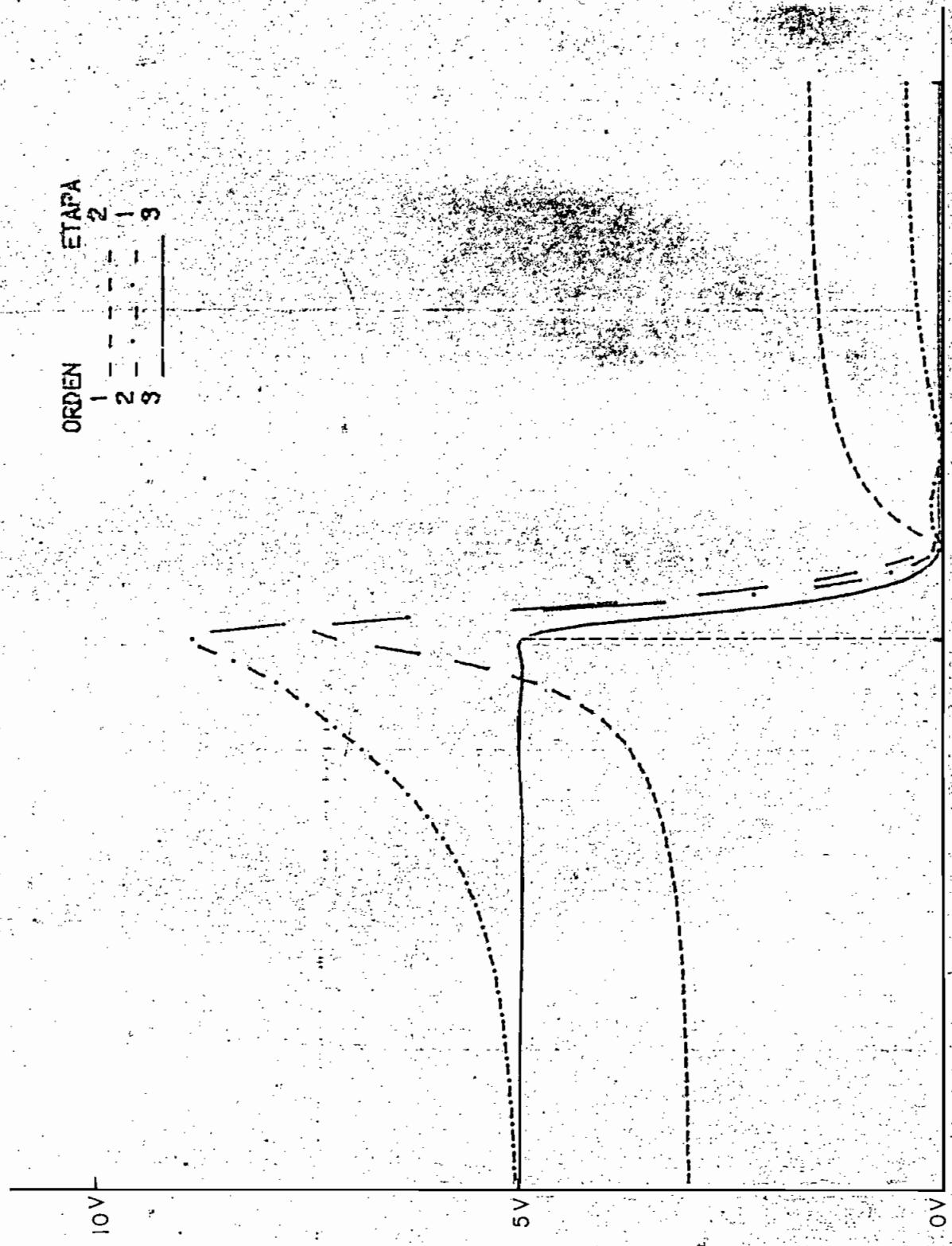


Fig. 2:11

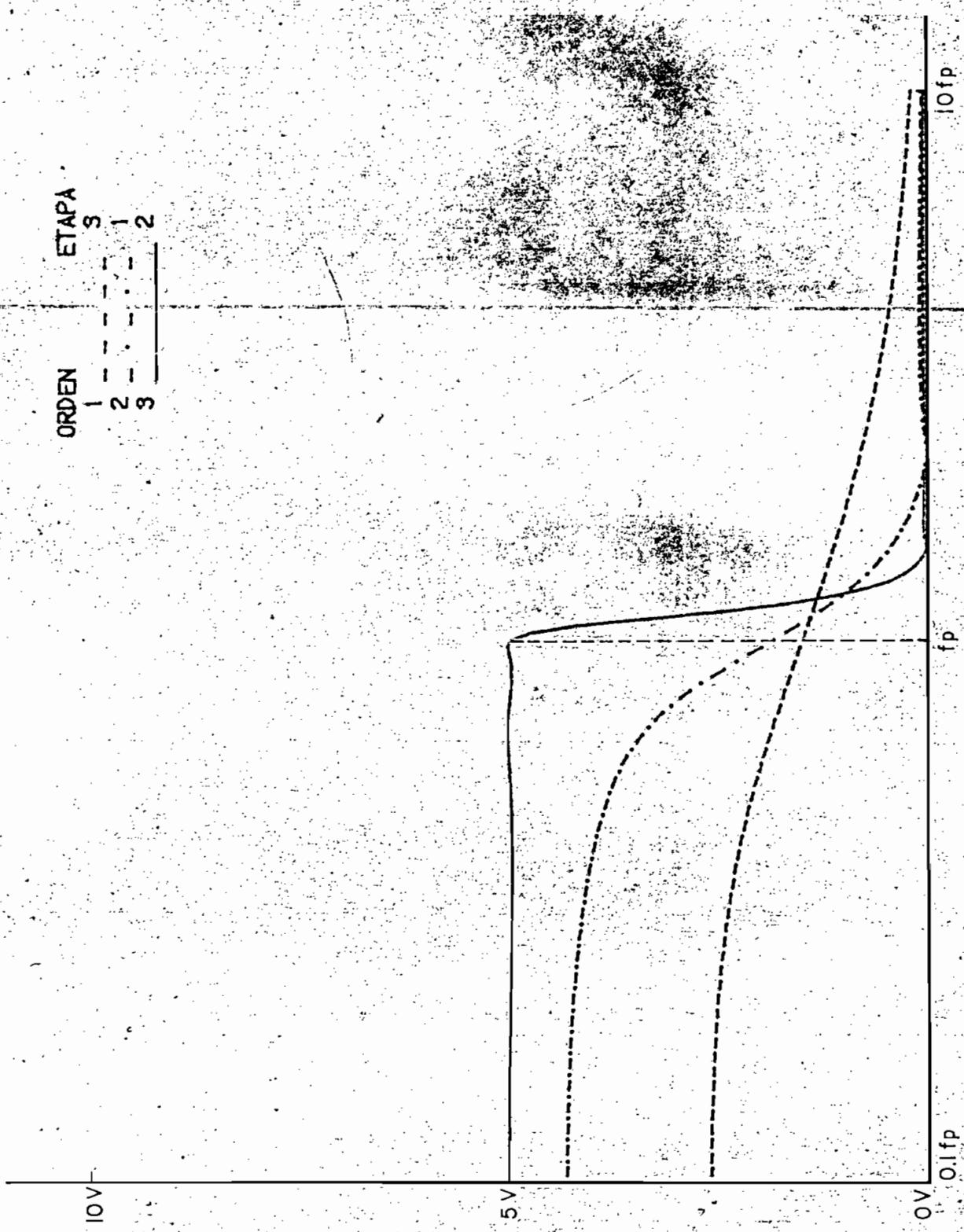


Fig. 213

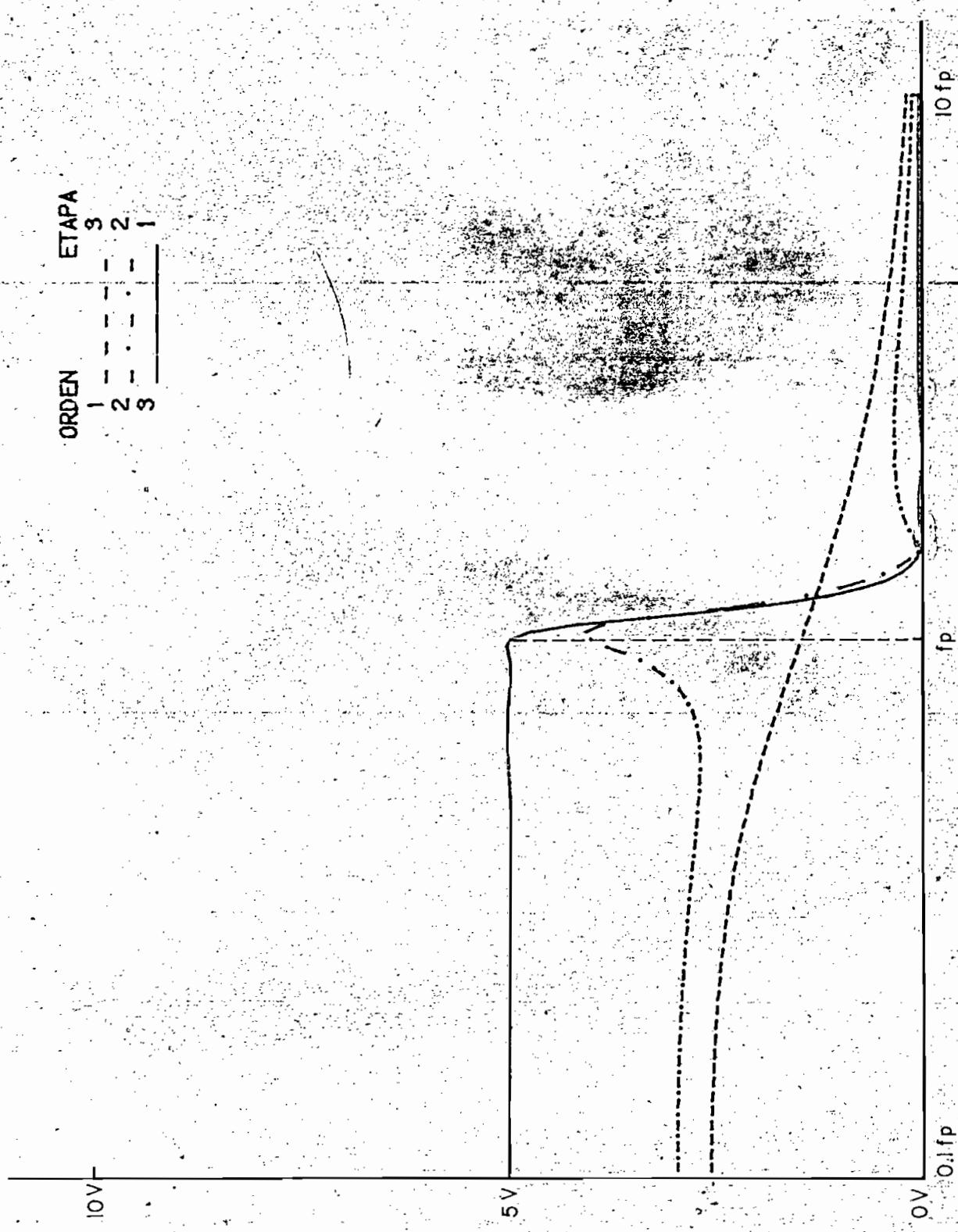


Fig. 2.14

$\frac{f}{fp}$	$\frac{ Zin }{Ro}$	Zin°	
0.01	1011.6	99.4	
0.05	161.0	130.6	
0.10	54.73	152.5	
0.50	2.223	-154.9	
0.80	0.858	-115.3	
0.90	0.740	-101.3	
1.00	0.684	-88.9	
1.10	0.662	-78.7	Impedancia de en -
1.20	0.657	-70.7	trada normalizada
1.50	0.674	-56.1	de la etapa 1
2.00	0.702	-46.5	
5.00	0.633	-48.4	
10.0	0.439	-62.5	
20.0	0.249	-74.8	
50.0	0.104	-83.7	
100	0.052	-86.9	

Tabla 2.6

$\frac{f}{fp}$	$\frac{ Zin }{Ro}$	Zin°	
0.01	868.9	92.8	
0.05	168.6	-103.7	
0.10	77.30	115.9	
0.50	5.106	157.7	
0.80	1.217	173.3	
0.90	0.697	-175.3	
1.00	0.377	-149.2	
1.10	0.295	-99.7	Impedancia de en -
1.20	0.397	-66.9	trada normalizada
1.50	0.734	-44.2	de la etapa 2
2.00	0.993	-40.6	
5.00	1.926	-55.9	
10.0	0.572	-70.3	
20.0	0.305	-79.7	
50.0	0.124	-85.8	
100	0.062	-87.9	

Tabla 2.7

2.1.4. Amplificador de Audio.-

Este circuito tiene por finalidad manejar un parlante con la señal de salida del filtro programable (ver fig. 1.3). Se ha seleccionado para este propósito el integrado LM380 de la NATIONAL SEMICONDUCTOR (ver datos en el apéndice), el cual es capaz de manejar parlantes de baja potencia (hasta unos 3W), tiene una ganancia interna fija de 50 para la entrada inversora o 51 para la no inversora por lo que es necesario atenuar la señal del filtro antes de pasarla al LM380.

En el circuito de la figura 2.16 se indican las conexiones necesarias para un buen funcionamiento de este integrado, así como también el atenuador de entrada, el interruptor analógico S_z para la habilitación del amplificador y el potenciómetro P para el control de volumen.

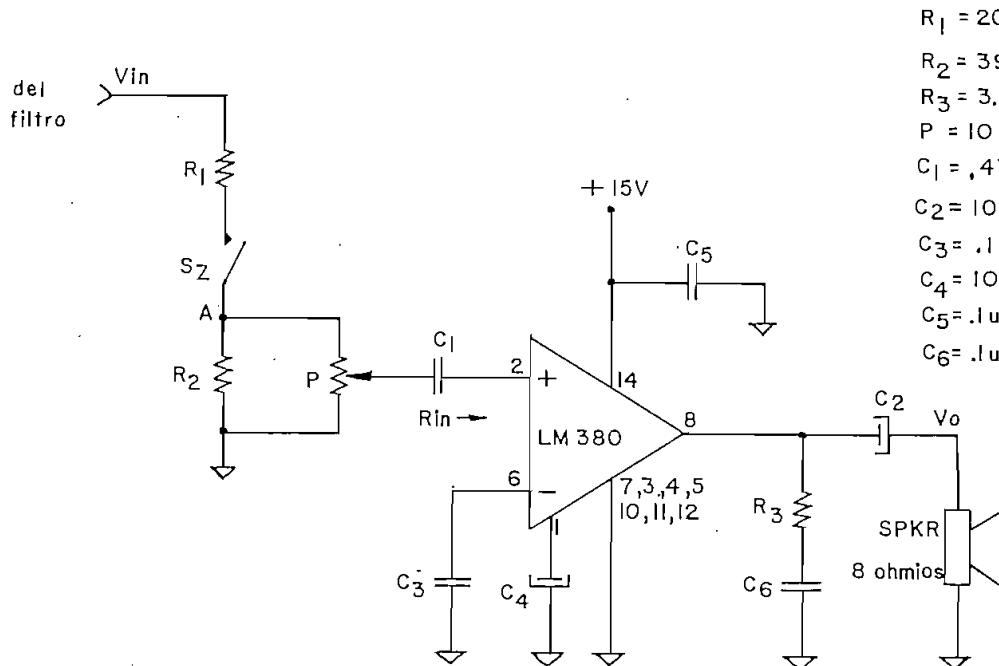


Fig. 2.16

lo que da una frecuencia de corte en 19.9 Hz. Puesto que el rango de audio va entre 20 Hz y 20 KHz, los valores de C_1 y C_2 permiten al amplificador de audio responder en el rango de interés.

Los condensadores C_3 , C_4 y C_5 sirven para desacoplamiento y sus valores se han escogido de acuerdo a recomendaciones del fabricante. Por último, la red R_3 C_6 sirve para evitar oscilaciones de radiofrecuencia en el amplificador y los valores de la misma son dados por el fabricante.

2.2. DISEÑO DE LA PARTE HIBRIDA.-

Son circuitos híbridos: El muestreador-retenedor (S/H), el conversor A/D, el detector de nivel de señal y disparador automático y el conversor D/A (ver Fig. 1.3).

2.2.1. Circuito Conversor Analógico-Digital

A este circuito pertenecen el muestreador-retenedor y el conversor A/D, los cuales permiten cuantificar las señales analógicas a intervalos regulares en el tiempo. Estos intervalos corresponden al período de la frecuencia de muestreo y quedan resumidos en la tabla 2.6.

Para el proceso de cuantización de la señal analógica es necesario que el circuito muestreador-retenedor mantenga la señal "congelada" mientras el conversor A/D procede a su evaluación. Una vez terminada la conversión, el S/H debe recoger una nueva muestra de la señal analógica. En lo que respecta a la precisión, el uso de 12 bits

Frecuencia de muestreo fm (KHz)	Intervalo de muestreo Tm (μ s)
8	125.00
12	83.33
16	62.50
24	41.67
32	31.25
48	20.83
96	10.42
192	5.21

Tabla 2.6

en una escala bipolar, es decir, con voltajes positivos y negativos, implica una resolución de 11 bits (0.0488%) para el valor absoluto de la señal. Ahora bien, el proceso de conversión se vuelve más crítico mientras menor es el período de muestreo y en este caso, el análisis de los circuitos debe hacerse para el intervalo más corto ($5.21 \mu s$), pues los demás intervalos son múltiplos enteros de éste. Las consideraciones expuestas son importantes para la selección del muestreador-retenedor y del convertor A/D, pues exigen que éstos sean rápidos y precisos.

Para el diseño se han escogido dos integrados de la firma ANALOG DEVICES que son capaces de cumplir con los requerimientos antes indicados. El uno es un muestreador retenedor SHA-2A y el otro es un convertor analógico digital de 12 bits, el AD578K. Los datos técnicos de los mismos pueden hallarse en el apéndice. En la figura 2.17, se indican las conexiones más importantes en estos elementos.

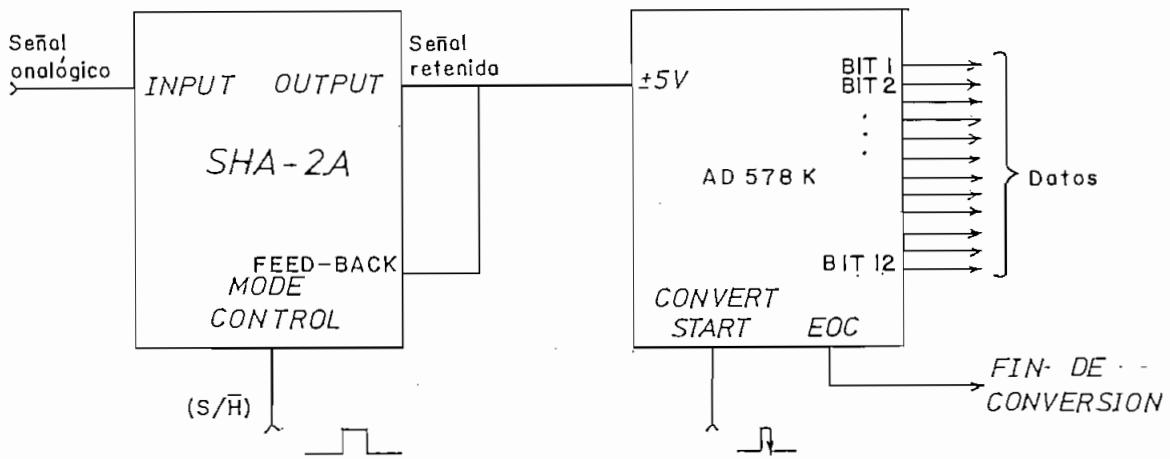


Fig. 2.17

Se comenzará la descripción por el AD578K. Este integrado realiza la conversión en un tiempo máximo $4.5 \mu s$, contados desde la transición negativa de la señal CONVERT START (inicio de conversión). Esta señal debe permanecer en 1_L por lo menos 200 ns para inicializar el convertidor. Por lo tanto, el AD578K necesita $4.7 \mu s$ para cuantificar la señal analógica y deja $(5.21 - 4.70 =) 0.51 \mu s$ para que el muestreador-retenedor recoja una nueva muestra. La señal EOC (END OF CONVERSION o fin de conversión) permanece en 1_L durante la conversión y pasa a 0_L para indicar datos válidos en las salidas BIT1 y BIT2,...BIT 12. De esta manera, el diagrama de tiempo que resume la operación del elemento es como se lo indica en la figura 2.18.

El período de la señal CONVERT START está dado por

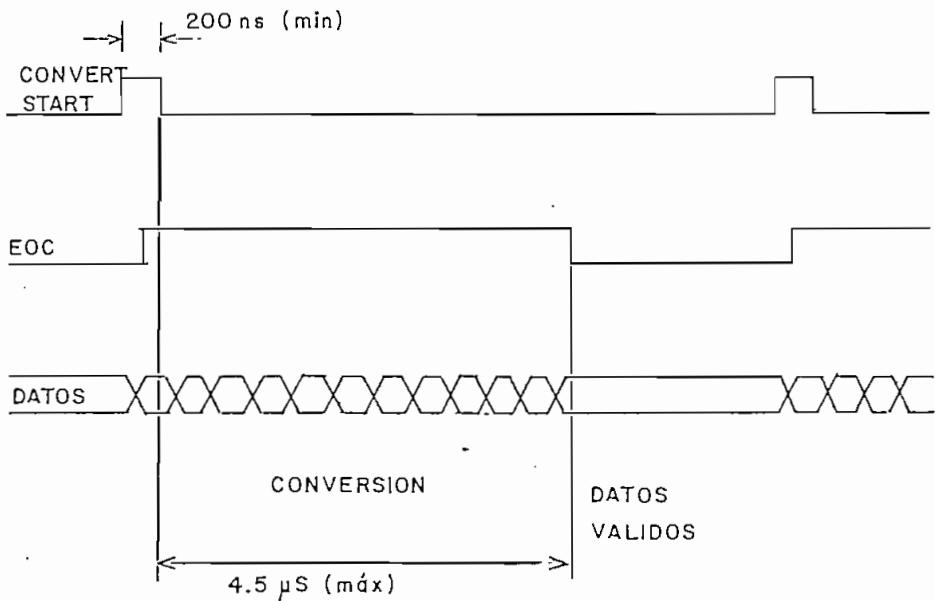


Fig. 2.18

el período de la frecuencia de muestreo (ver tabla 2.6) y el ancho del pulso se han dispuesto en cerca de 300 ns (en la sección 2.5 se indica la forma de obtener este pulso). En pruebas preliminares se observó que el AD578K realiza la conversión en $4.25 \mu s$, con lo cual el circuito muestreador-retenedor dispone en realidad de $(5.21 - 4.25 - 0.30 =) 0.66 \mu s$ para la adquisición de una nueva muestra.

En lo que corresponde al muestreador-retenedor SHA-2A, éste es un integrado que puede recoger muestras de señales análogas en tiempos muy cortos: De acuerdo con las hojas de datos, necesita 300 ns (máximo) para alcanzar una precisión de 0.1% y 500 ns (máximo) para 0.01%. Por lo tanto, si se da un tiempo de adquisición de 500 ns se ten-

drá garantizada la precisión requerida para el conversor (0.0488%).

Se debe tener presente también el hecho de que la señal retenida se degenera a razón de $100\mu V/\mu s$ (máximo), con lo cual, al final de la conversión del AD578K podría haber una diferencia de unos 0.45 mV con respecto al voltaje al inicio de la misma. Esta cantidad, sin embargo, es mucho menor que la variación que representa el bit menos significativo de los 12 bits del AD578K ($1 \text{ LSB} = 2.44 \text{ mV}$ en el rango de $\pm 5\text{V}$) y puede considerarse entonces que la señal permanece constante a la salida del muestreador-retenedor durante el tiempo de conversión.

El comando del SHA-2A se hace por medio de la entrada llamada MODE CONTROL. Un 1_L hace que el circuito funcione como un seguidor de voltaje con ganancia unitaria (por la realimentación de la salida OUTPUT a la entrada FEEDBACK), mientras que un 0_L hace que el circuito retenga o congele la señal de salida. El modo de operación del SHA-2A se comanda con una señal digital de frecuencia constante e igual a la frecuencia más alta de muestreo (192KHz). Esta señal está sincronizada con la de CONVERT START de acuerdo a lo que indica el diagrama de tiempo que se lo representa en la figura 2.19.

En la sección 2.5 se indica la forma de obtener la señal MODE CONTROL, la misma que es la señal $\overline{\text{CAS}}$ negada que se utiliza para comandar la lectura o escritura en las memorias dinámicas. Su duración en 1_L es cerca de 530

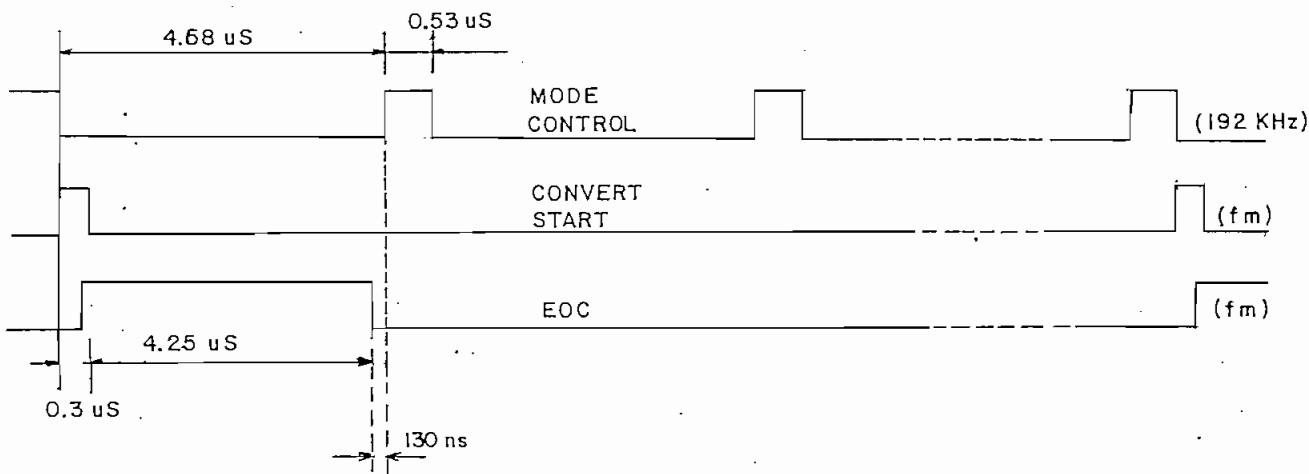


Fig. 2.19

ns y asegura la máxima precisión en la señal congelada durante la conversión. Nótese además que existe un margen de tiempo entre la transición negativa de EOC y la transición positiva de MODE CONTROL de unos 130 ns, lo que asegura la validez de los datos del conversor AD578K.

Finalmente, en lo que respecta al acoplamiento entre el SHA-2A y el AD578K, la impedancia de entrada que presenta el conversor en el rango de $\pm 5V$ es de 5K ohmios y el muestreador-retenedor puede entregar a la salida ± 20 mA sin perder la precisión especificada, de manera que no existen problemas en este sentido.

2.2.2. Detector de Nivel y Disparador Automático.-

Con el objeto de evitar que a la entrada del conversor A/D, se tengan valores de voltaje fuera del rango de $\pm 5V$, se ha deseñado un circuito detector de nivel que

almacena en forma digital el valor máximo alcanzado durante la grabación. Un esquema de este circuito se muestra en la figura 2.20.

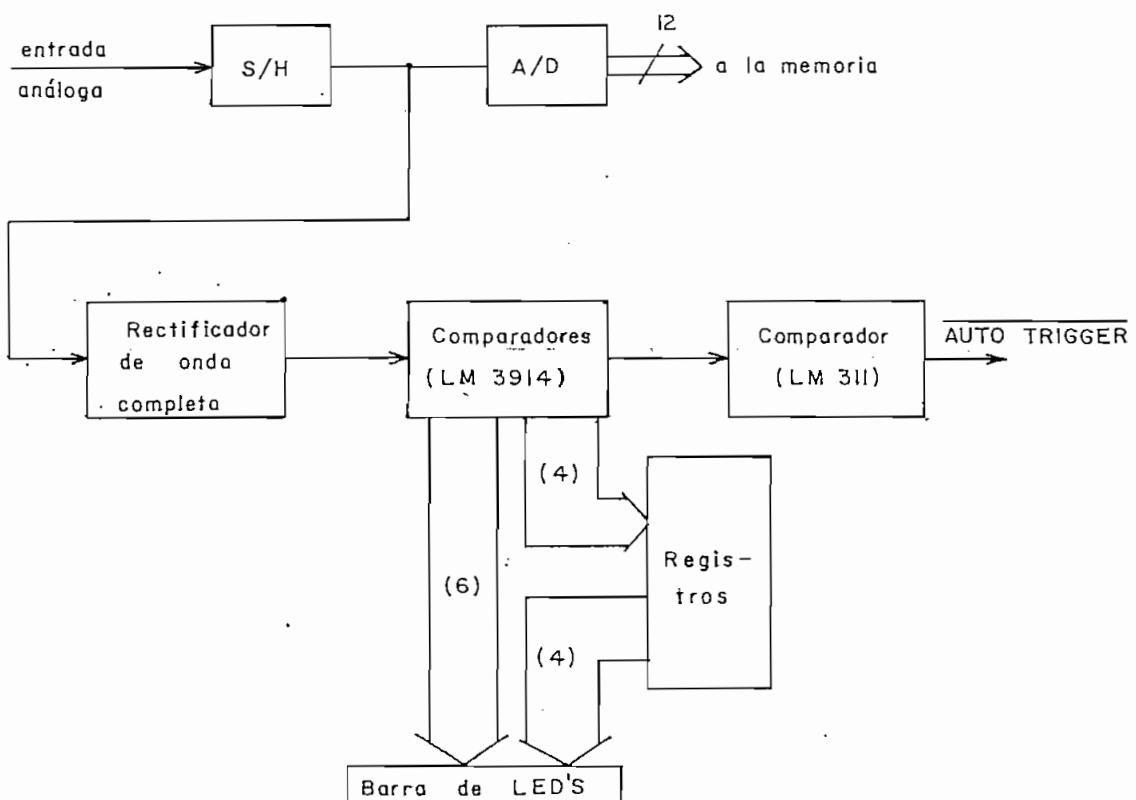


Fig. 2.20

Según este diagrama, se advierte que los picos detectados en los registros pueden ser positivos o negativos debido a la presencia del rectificador de onda completa. La señal rectificada entra a 10 comparadores (ver en el apéndice los datos del LM3914), los cuales fijan sus voltajes de transición en 0.5V, 1.0V, 1.5V,...y 5.0V, gracias a un divisor de voltaje interno. Cuando un comparador es activado, su salida se convierte en una fuente de corriente capaz de encender un LED de la barra. Esta condición

se aplica a los 6 primeros LEDs, es decir, a aquellos que indican niveles de grabación menores que 3,5V (en valor absoluto). En consecuencia, estos 6 primeros indicadores carecen de un circuito de memoria y no son capaces de detectar valores pico de voltaje. Los restantes LEDs de la barra, en cambio, no son manejados directamente por el LM3914 sino que las señales de éste pasan a un circuito digital (los registros) cuya función es mantener encendido el LED correspondiente al comparador más significativo de los 4 últimos que haya sido activado durante la grabación.

Con relación al disparador automático, éste es un circuito que consta de un comparador LM311, el cual detecta si un LED predefinido de la barra se ha encendido. Cuando esto ocurre, la salida AUTO TRIGGER del comparador que normalmente se halla en 5V (1_L), pasa a un voltaje bajo (0_L). Esta transición activa el aparato y se inicia la grabación de la información.

En la figura 2.21 se muestra el circuito detector de nivel y el disparador automático en forma detallada. Se pueden hacer las siguientes indicaciones al respecto:

- El rectificador de onda completa está formado por un solo amplificador operacional de gran ancho de banda (ver los datos del LF357A en el apéndice), lo que le permite al rectificador responder adecuadamente a las frecuencias más altas que pueden ser muestradas por el aparato (cerca de 96 KHz). La función de R_o , C_o y P_o se indicó ya en la sección 2.1.2.

El funcionamiento de este circuito es como sigue:

Cuando en la entrada existe un voltaje positivo, se tiene el camino de corriente $D_2 R_2$ y en la entrada positiva del operacional se tiene un voltaje igual a $V_{in} - V_{D2}$.

Puesto que D_1 está bloqueada, el amplificador funciona como un seguidor de voltaje y D_3 compensa la caída de tensión en D_2 , de modo que en V_0 se tiene prácticamente el mismo voltaje de entrada. R_5 se escoge del mismo valor que R_2 para que la corriente que circula por D_3 sea semejante a la que circula por D_2 . Cuando en la entrada hay un voltaje negativo, D_2 queda bloqueado y en la entrada positiva del operacional se tiene OV. El camino de corriente D_1, R_1, P_1, R_2, D_3 , queda habilitado y el circuito funciona entonces como un amplificador inversor de ganancia -1, la misma que se puede calibrar con el potenciómetro P_1 . Puesto que D_3 compensa también la caída de tensión en D_1 , en la salida del operacional se tiene prácticamente $-V_{in}$. Para que la impedancia de entrada del rectificador sea constante, se escoge $R_1 = R_3 = R_2$ y $P_1 \ll R_1$. R_4 tiene por finalidad mantener V_0 cerca de OV cuando el voltaje de entrada es menor que el voltaje de conducción de los diodos. C_1 es un condensador que se pone para eliminar sobreimpulsos en la salida del operacional y que se producen al rectificar frecuencias altas (más de 30 KHz), por la presencia de la red RoCo.

- Con relación al integrado LM3914, éste se ha programado de modo que el fondo de escala (representado por el LED LB10 de la barra) se ajuste en 5.00V. Para ello, el

voltaje en la salida REF OUT debe poder ajustarse a este valor mediante el divisor de tensión formado por R_a y R_b . El fabricante da la siguiente ecuación para el diseño:

$$V_{\text{REF OUT}} = 5.00V = 1.25 \left(1 + \frac{R_b}{R_a} \right) V$$

Por otro lado, la corriente que el LM3914 entrega a los LEDs de la barra es función de la corriente de salida del terminal REF OUT. En este caso, éste se halla conectado al divisor interno de voltaje por la entrada R_{HI} (10K ohmios a tierra) y al divisor de tensión $R_a + R_b$. Si se desea en los LEDs una corriente de 12 mA, las hojas de datos indican que por el terminal REF OUT deben salir 1.3 mA (aprox.), es decir, se debe cumplir la relación:

$$I_{\text{REF OUT}} \approx 1.3 \text{ mA} = \frac{5.00V}{10K \parallel (R_a + R_b)}$$

De ahí que: $R_a + R_b = 6,25 K\Omega$

y de la condición anterior se obtiene finalmente:

$$R_a = 1.56 K\Omega$$

$$R_b = 4,69 K\Omega$$

En la fig. 2.21, $R_a + R_b$ están dados por $R_6 + P_2 + R_7 = 5.9K$ ohmios, con lo cual la corriente que enciende los 6 primeros LEDs de la barra es ligeramente superior a 12 mA. El potenciómetro P_2 permite a su vez ajustar $V_{\text{REF OUT}}$ a 5.00V.

Como se indicó al comienzo, los 4 últimos LEDs de la barra no se encienden directamente con el LM3914, sino

que se usa un circuito digital intermedio para mantener encendido el LED más significativo que hay sido activado. Como se observa en la figura 2.21, LB7, LB8, LB9, y LB10 se activan por medio de biestables SR. Estos 4 regis-tros de memoria se inicializan al encender el aparato mediante la señal \overline{CL} o cada vez que se presione la tecla RESET (ver detalles de estas señales en la sección 2.5) de modo que en las salidas Q hay un 0_L . Las resistencias R_8 , R_9 , R_{10} y R_{11} sirven de "pull-up" para las salidas del LM3914. Para comprender el funcionamiento de los regis-tros, supóngase, por ejemplo, que la señal a la entrada del LM3914 sube a 4.2V, con lo cual las salidas No 1 has-ta No 8 estarán activas. Las 6 primeras encienden directa-mente los diodos LB1 a LB6 y las 2 restantes se saturan dando como resultado un 0_L en las entradas $\overline{S1}$ y $\overline{S2}$, lo que obliga a encenderse también a los diodos LB7 y LB8. Cuando la señal baja su nivel, por ejemplo a 2.7V, el LM3914 activa únicamente las salidas No 1 a No 5, quedando LB6 apagado y las salidas No 7 y No 8 en 1_L . Esto hace que el biestable 2 conserve el estado anterior, es decir man-tenga el diodo LB8 encendido; puesto que $\overline{Q2}$ queda en 0_L , la realimentación a través de la compuerta AND obliga a $\overline{Q1}$ a permanecer en 1_L y LB7 se apagará. Obsérvese que las salidas No 7 hasta No 10 siempre encienden el diodo respec-tivo de la barra al ser activadas. Cuando la señal de en-trada supera los 5.00V, la salida No 10 se activa y el LED LB10 permanece encendido indicando que se alcanzó el lími-te máximo permitido en la entrada del conversor A/D. Los biestables SR trabajan en condición prohibida, excepto

aqué尔 que retiene el valor máximo de grabación; por este motivo, los LEDs LB7 a LB10 se encienden por medio de inversores que niegan las salidas Q.

- Con respecto al comparador LM311 para el disparo automático, se ha fijado su nivel de transición en la entrada negativa en unos 4V (con el divisor de tensión formado por R_{13} y R_{14}) ya que la entrada positiva va directamente al cátodo del LED seleccionado en la barra y esta línea se halla normalmente en 5V (gracias a la resistencia R_{12} de "pull-up"). Cuando el LED se enciende, el voltaje del cátodo bajo a unos 3V y hace que la salida AUTO TRIGGER del comparador pasa a saturación.

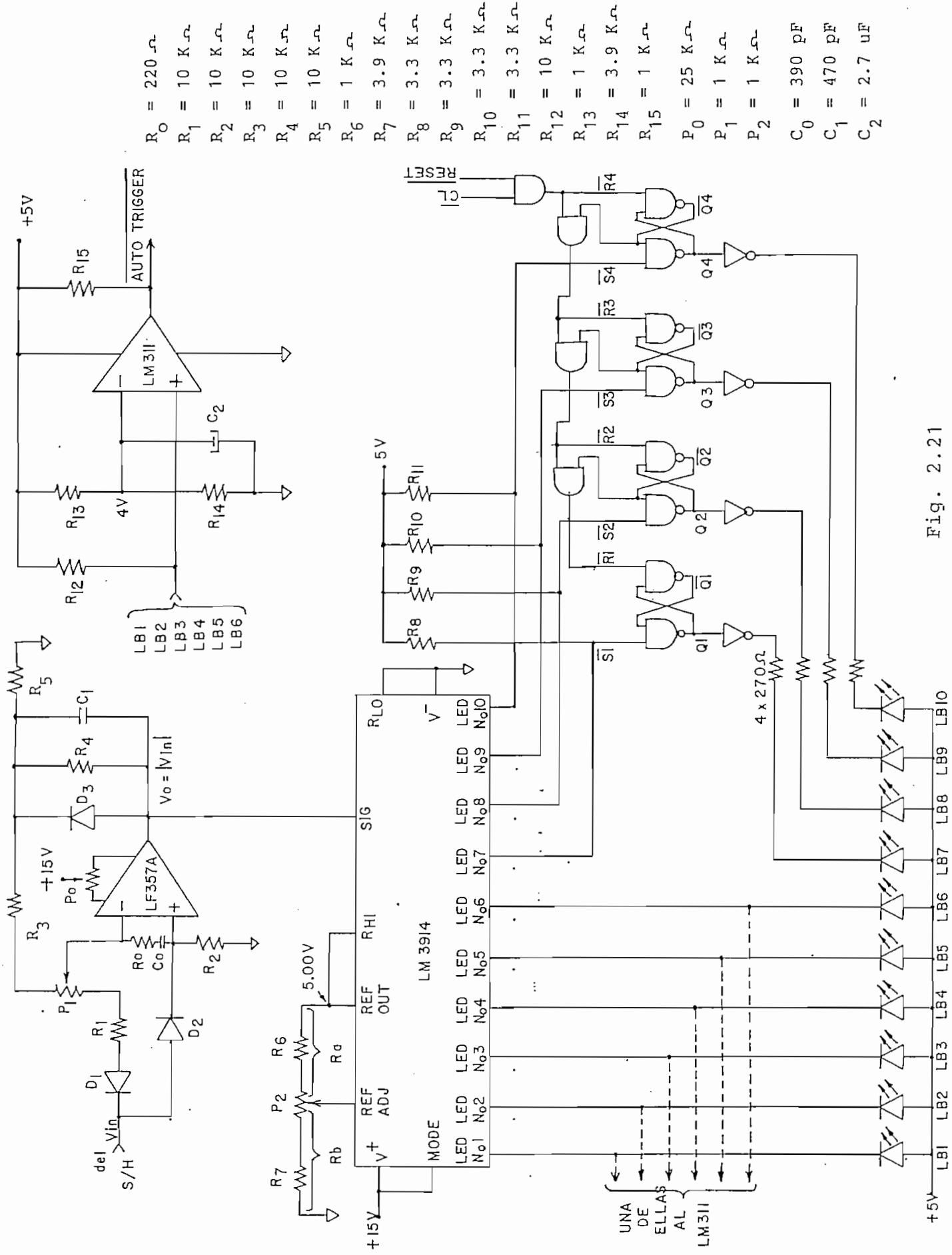


Fig. 2.21

2.2.3. CONVERSOR DIGITAL ANALOGO.-

Este circuito tiene por objeto recuperar en forma analógica la información almacenada en la memoria. El diagrama del mismo se indica a continuación:

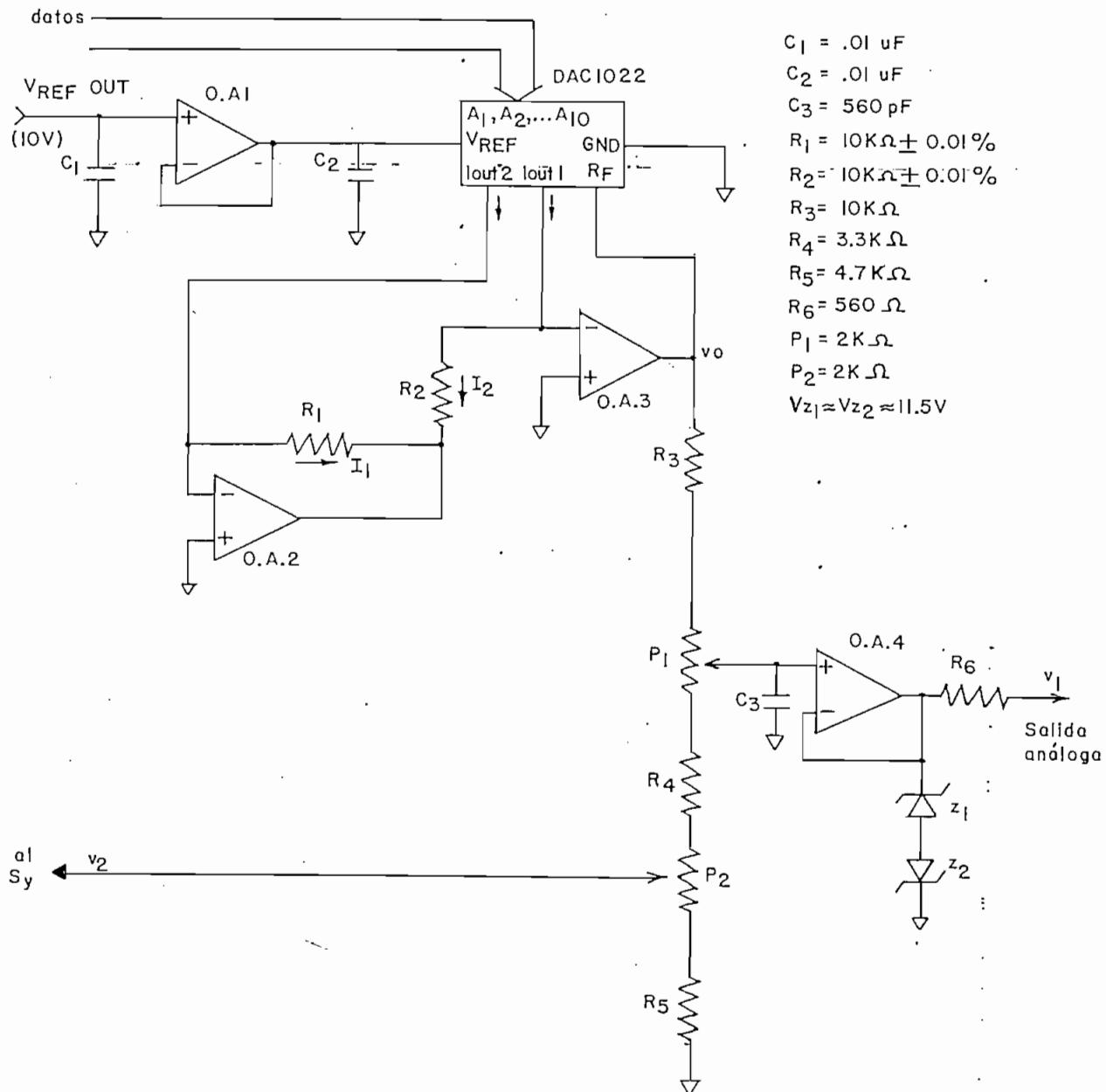


Fig. 2. 22

Este conversor utiliza únicamente los 10 bits más significativos de los 12 bits que forman cada dato almacenado en la memoria, pues la precisión que se alcanza(0.1%) es suficiente para propósitos de reproducción en el paralelo de la señal grabada. El funcionamiento se basa en las siguientes expresiones:

$$I_2 = I_1 = I_{\text{out}2}$$

$$V_o = - (I_{\text{out}1} - I_2)R = - (I_{\text{out}1} - I_{\text{out}2})R$$

Siendo R la resistencia de referencia del DAC1022 (ver hojas de datos en el apéndice). Sea además:

$$I = \frac{V_{\text{REF}}}{R}$$

Entonces, $I_{\text{out}1}$ e $I_{\text{out}2}$ pueden expresarse en función de los 10 bits de entrada, de la siguiente manera:

$$I_{\text{out}1} = \frac{I}{2} A_1 + \frac{I}{2^2} A_2 + \dots + \frac{I}{2^{10}} A_{10}$$

$$I_{\text{out}2} = \frac{I}{2} \overline{A_1} + \frac{I}{2^2} \overline{A_2} + \dots + \frac{I}{2^{10}} \overline{A_{10}}$$

En estas fórmulas se llega a establecer la relación entre el valor digital de entrada y voltaje análogo de salida:

$$V_o = - V_{\text{REF}} \left(\frac{A_1 - \overline{A_1}}{2} + \frac{A_2 - \overline{A_2}}{2^2} + \dots + \frac{A_{10} - \overline{A_{10}}}{2^{10}} \right)$$

En el sistema de adquisición de datos, V_{REF} es el voltaje de referencia del conversor A/D ($V_{\text{REF out}} = 10.000V \pm 10 \text{ mV}$) y es tomado por medio de un seguidor de voltaje (el O.A.1). C_1 y C_2 se usan para suprimir ruido. De esta

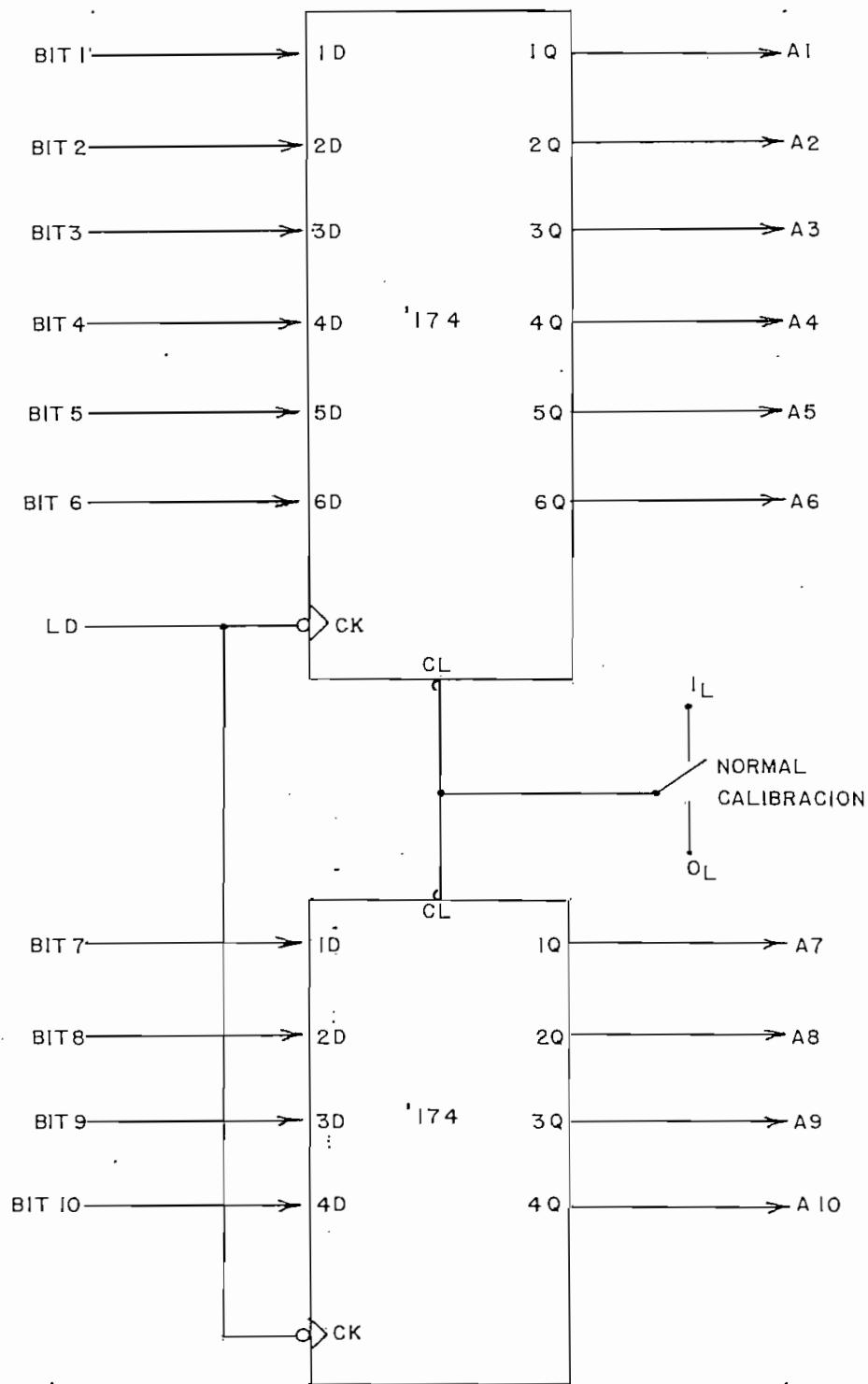


Fig. 2.23

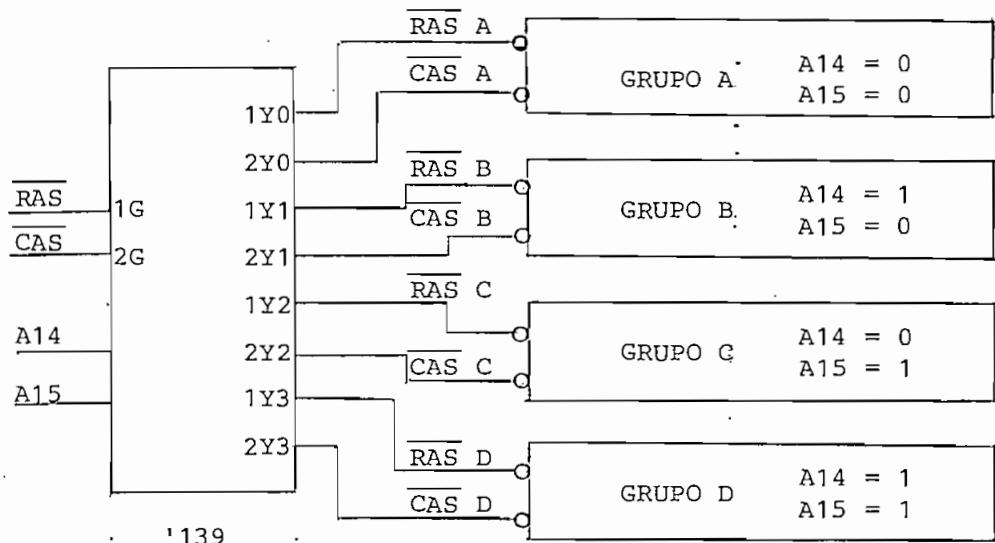
2.3. DISEÑO DE LA MEMORIA.-

La memoria del sistema almacena en forma temporal, la información digitalizada en palabras de 12 bits.

2.3.1 Descripción General

Las memorias MCM 4116 de la Motorola (ver apéndice) dispone de 16K x 1 (16384) bits. Para la implementación de la memoria se han dispuesto de 4 grupos de 12 memorias cada uno, con un total de 64K x 12 bits.

Para direccionar 64K localidades se requieren 16 bits; los dos bits más significativos (A14 y A15) separan a la memoria en 4 grupos, ya que dependiendo de su estado, las señales de $\overline{\text{RAS}}$ (Row Address Strobe) y $\overline{\text{CAS}}$ (Column Address Strobe) que controlan el ingreso multiplexado de los 14 bits menos significativos, únicamente activan el grupo de memorias seleccionado, de acuerdo con el siguiente diagrama:



139

Fig. 2.24

El integrado '139 es un demultiplexor que permite enrumbar las señales de RAS y CAS a un solo grupo de memoria. Unicamente el grupo seleccionado queda habilitado para lectura o escritura.

Los 14 bits de direccionamiento (LSB) llegan a la memoria con la siguiente secuencia:

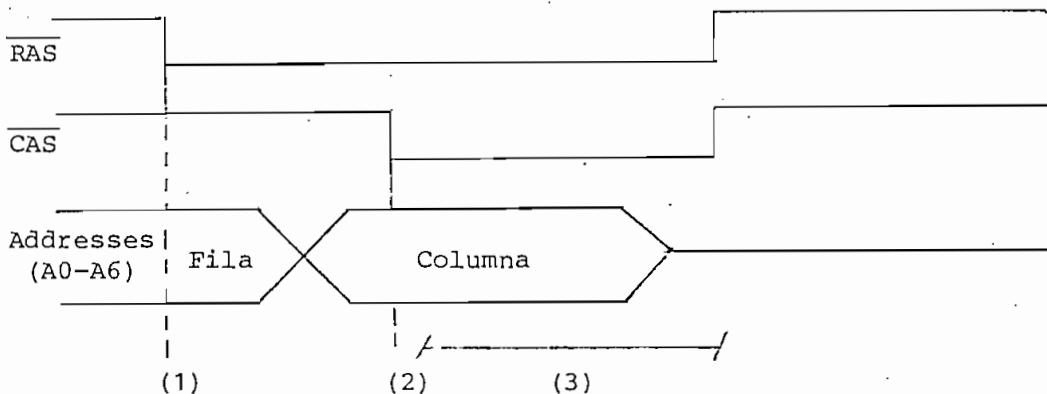


Fig. 2.25

- 1) Ingresan los 7 bits correspondientes a la dirección de la fila.
- 2) Ingresan los 7 bits correspondientes a la dirección de la columna.
- 3) En este tiempo se produce la lectura (Write = 1) o escritura (Write = 0) sobre el bit direccionado.

En esta secuencia se observa que la lectura o escritura sólo se hace en el grupo al cual llegan las señales RAS y CAS, ya que sólo ese grupo captura la dirección.

Las memorias MCM4116 son dinámicas y necesitan ser refrescadas periódicamente. El refresco se lo hace por filas, con la secuencia que se indica en la Fig. 2.26.

- 1) Ingrresa la dirección de la fila.

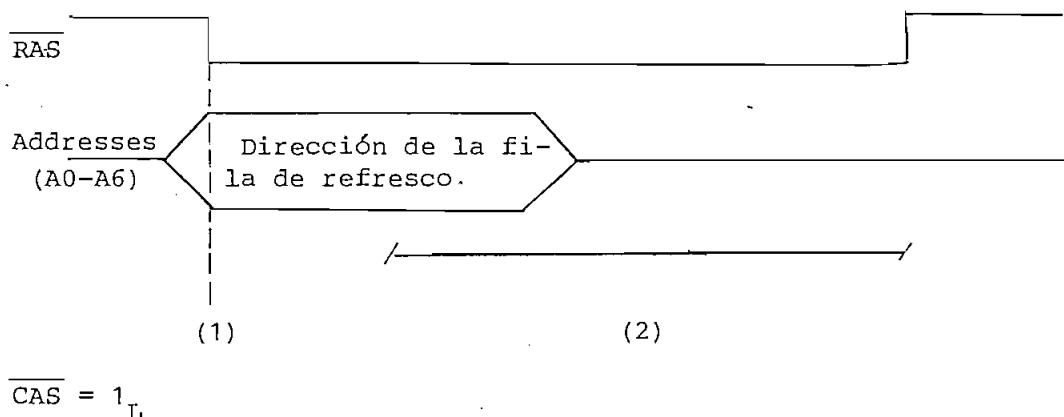


Fig. 2.26

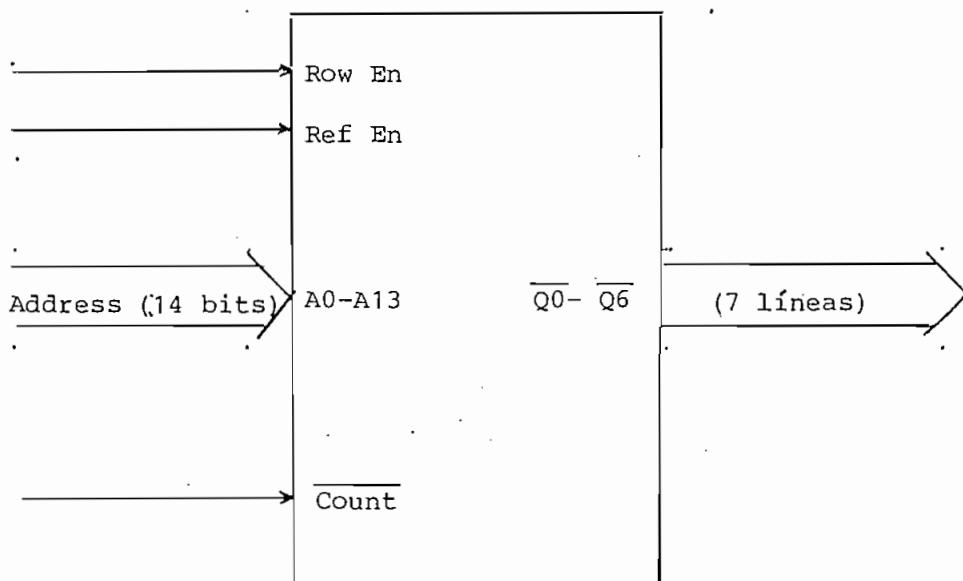
- 2) Tiempo durante el cual la fila direccionada se refresca.

De lo indicado anteriormente, se observa que por las entradas A0 a A6 deben ingresar tres tipos diferentes de direcciones: Dos que corresponden a la fila y columna para escritura o lectura y la que corresponde a la fila para refresco.

Para controlar el ingreso de estas tres direcciones a las memorias se cuenta con el circuito integrado 3242 (ver hojas de datos en el apéndice), que multiplexa las tres direcciones en un solo bus de 7 líneas. Los 14 bits que corresponden a la dirección de lectura o escritura son señales de entrada del multiplexor y provienen de un contador externo, mientras que los 7 bits para refresco son generados con un contador interno implementado específicamente para este propósito.

El integrado tiene una disposición como lo indica la

figura siguiente:



'3242

Fig. 2.27

Count es la entrada para el reloj del contador interno.

La tabla de funcionamiento es la siguiente:

Ref. En	Row En	Salida ($\overline{A0}-\overline{Q6}$)
0	1	Dirección de la fila ($A0-A6$)
0	0	Dirección de la columna ($a7-A13$)
1	x	Dirección de la fila, para refresco (Contador interno)
Tabla 2.8		

2.3.2. Sincronización de las Señales de Escritura

En esta parte se describe el funcionamiento sincrónico de todas las señales que comandan la conversión analógica-digital y la escritura de datos. Referirse al dia-

grama de tiempos de la Fig. 2.28, en el cual se tiene un ejemplo para cuando la frecuencia de muestreo es de 48 KHz.

Las señales MODE CONTROL y CONVERT START controlan el circuito conversor análogo-digital; la señal EOC sólo sirve para comprobar que el conversor A/D haya terminado la cuantización antes de que se escriba un dato en la memoria.

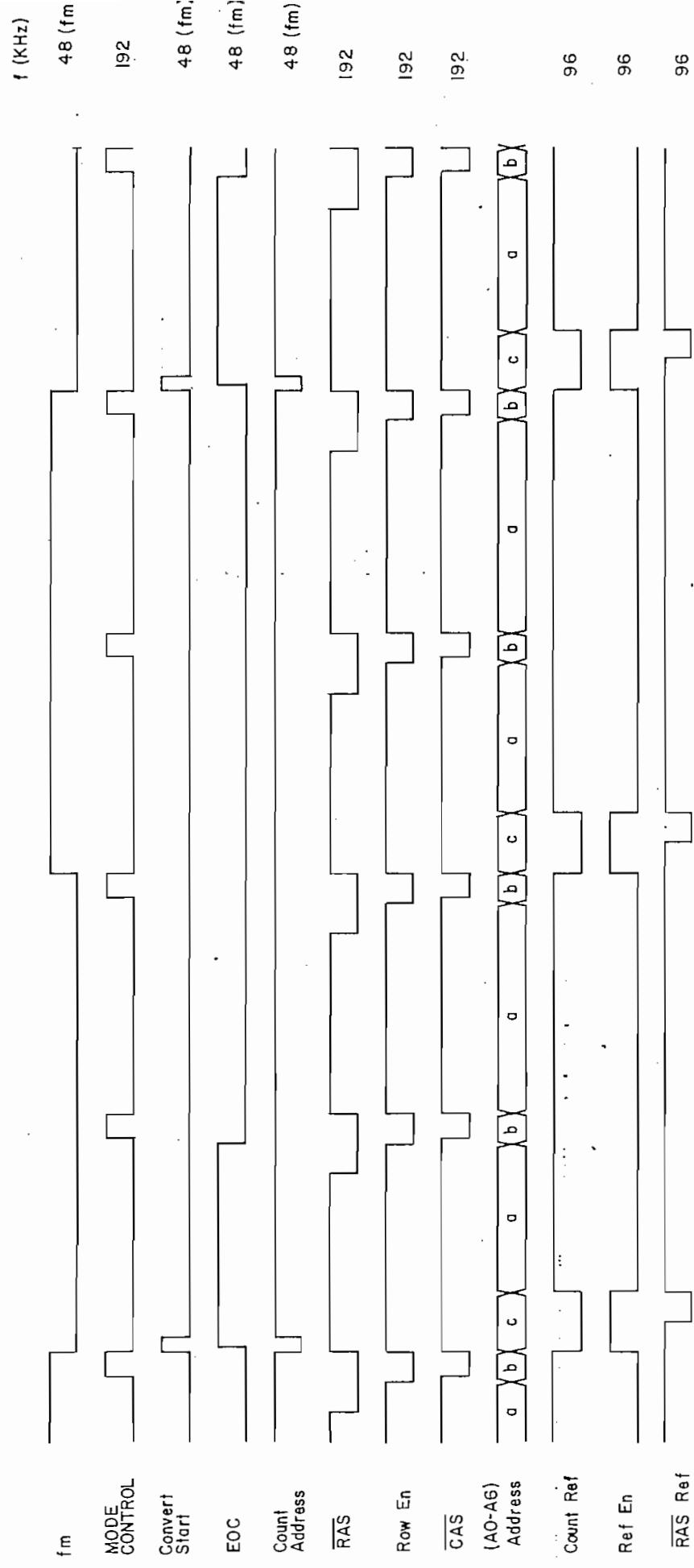
La señal de Count Address es el reloj del contador de 16 bits que direcciona la memoria. En el caso en que se están escribiendo datos no es más que la señal de CONVERT START negada. Esta señal se habilita sólo mientras en Write hay un 0_L (durante la adquisición de datos).

Las señales de RAS, Row En y CAS funcionan en forma permanente (tanto en lectura como en escritura) con una frecuencia de 192KHz. Nótese que sólo en el caso de que la frecuencia de muestreo sea 192KHz se estará escribiendo un dato diferente en cada ciclo del RAS y CAS; en caso contrario, el dato que está a la salida del conversor A/D se reescribe en la misma localidad de memoria hasta que se produzca una nueva conversión.

:

El refresco está manejado por las señales Count Ref, Ref En y RAS Ref. Estas señales son permanentes y con una frecuencia de 96 KHz. Se ha escogido esta frecuencia porque se puede cumplir con el tiempo máximo entre dos refrescos consecutivos de una misma localidad. El fabrican-

DIAGRAMA DE TIEMPO PARA ESCRITURA Y REFRESCO (Write = 0_L)



En las líneas de address se tiene:

a - Dirección de la fila para escritura

b - Dirección de la columna para escritura

c - Dirección de la fila para refresco

Fig. 2.28

te especifica que el refresco debe ser en períodos no mayores de 2 ms; usando la frecuencia de 96 KHz, se tiene que el período de refresco entre filas es de $10.42 \mu s$. El refresco se debe hacer en las 128 filas de cada memoria, dando un período total de 1.33 ms.

En la descripción de las señales de control de la memoria se ha tratado como señales independientes el $\overline{\text{RAS}}$ para lectura y escritura y el $\overline{\text{RAS}}$ para refresco. En la práctica las dos señales deben llegar a la misma entrada de las memorias, por lo que la señal que llegue a la memoria debe ser una mezcla de las dos. La mezcla se hace con compuertas AND, por ser señales activas en O_L (basta que una de las dos sea O_L para que en la salida $\overline{\text{RAS}}$ se tenga un O_L). Se debe considerar que existe una diferencia entre las dos señales de $\overline{\text{RAS}}$: mientras la señal para lectura y escritura pasa a un solo grupo de memorias a la vez, la de refresco debe ir a todas las memorias; esto ha llevado a la siguiente disposición circuital:

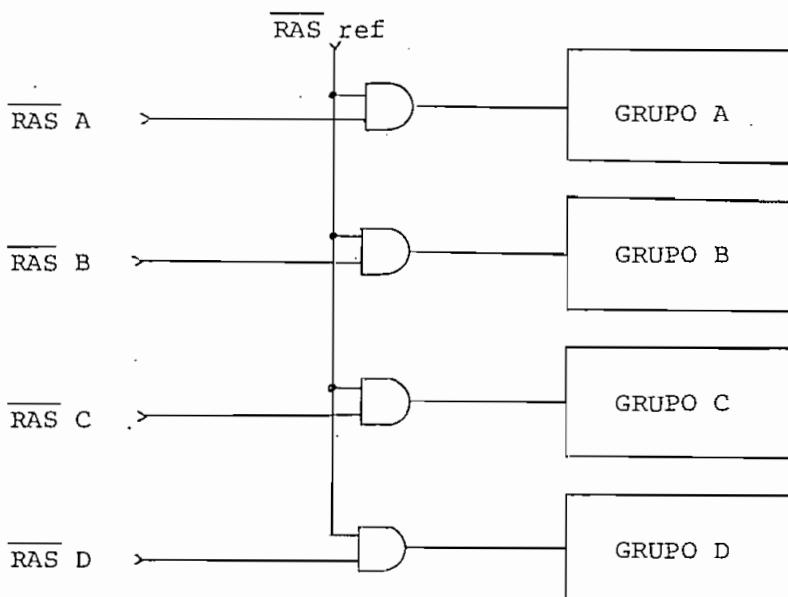


Fig. 2.29

2.3.3. Sincronización de las Señales de Lectura

Las señales para lectura son básicamente las mismas que para escritura. La diferencia es que en la lectura no intervienen las señales del circuito conversor, a cambio de éstas se tiene la señal (LD) para cargar los registros (biestables tipo D) de salida. El uso de estos registros es necesario para mantener estables los datos leídos en la memoria, ya que de ésta salen únicamente si RAS y CAS están en 0_L y el resto del tiempo se tiene alta impedancia. La señal de carga de los registros está sincronizada con el resto de señales según el siguiente diagrama de tiempo:

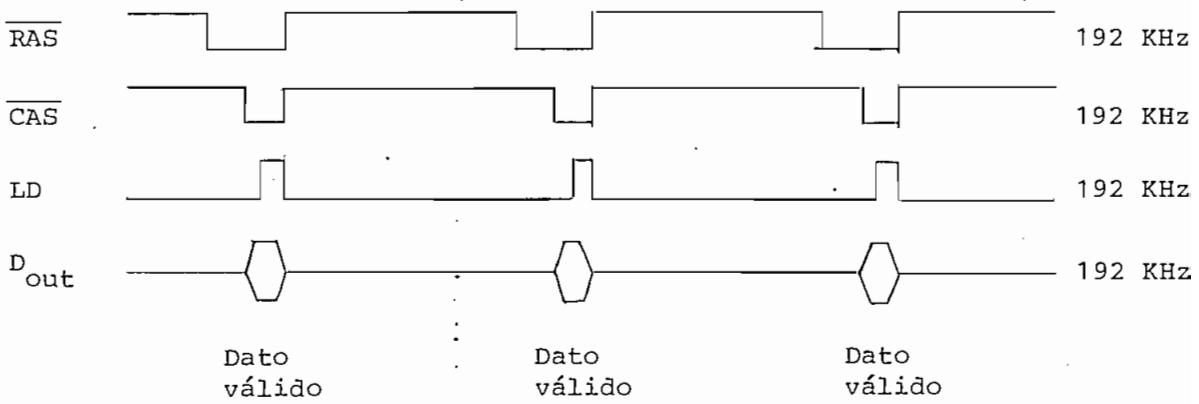


Fig. 2.30

El hecho de que la señal LD se inicie unos 200 ns más tarde que la señal de CAS garantiza que el dato que pasa a los registros de salida sea el que está en la memoria.

Los datos leídos de la memoria pueden ser llevados a

la salida analógica (o a la de audio) a través del conversor D/A, en cuyo caso la frecuencia de lectura puede ser cualquiera de las ocho frecuencias de muestreo o la frecuencia adicional de 6 KHz. Para el caso en que los datos sean llevados a la salida del bus GPIB, el computador da la frecuencia de lectura con la señal CC Ad, que se describirá en la sección 2.4.

Todas estas frecuencias (Count Address, fm, 6 KHz y CCAd) se juntan en el circuito de control (sección 2.5) para dar una única señal que sirva de reloj para el contador de direccionamiento de la memoria y que se denomina Memory Address Counter. Los contadores utilizados son 4 integrados 7493 (módulo 16, transición negativa) para dar los 16 bits de dirección. La entrada de borrado de estos contadores está comandada por la señal \overline{RT} negada, la misma que permite inicializar los 7493 cuando el equipo se enciende o cada vez que se presiona la tecla RESET. En la figura 2.31 se muestra el circuito correspondiente, en el que se ha indicado además un circuito adicional para detectar cuándo el contador de direccionamiento llega a la última localidad ($FFFF_H$). Esto se consigue con dos compuertas NAND de 8 entradas y una compuerta OR que genera la señal \overline{EOM} de fin de memoria, la misma que se activa cuando todas las señales del contador pasan a 1L .

2.3.4. Acoplamiento de las líneas de Direccionamiento y Control

Las líneas de direccionamiento y control de las memorias (A0 hasta A6, \overline{RAS} y \overline{CAS}) se comportan como líneas

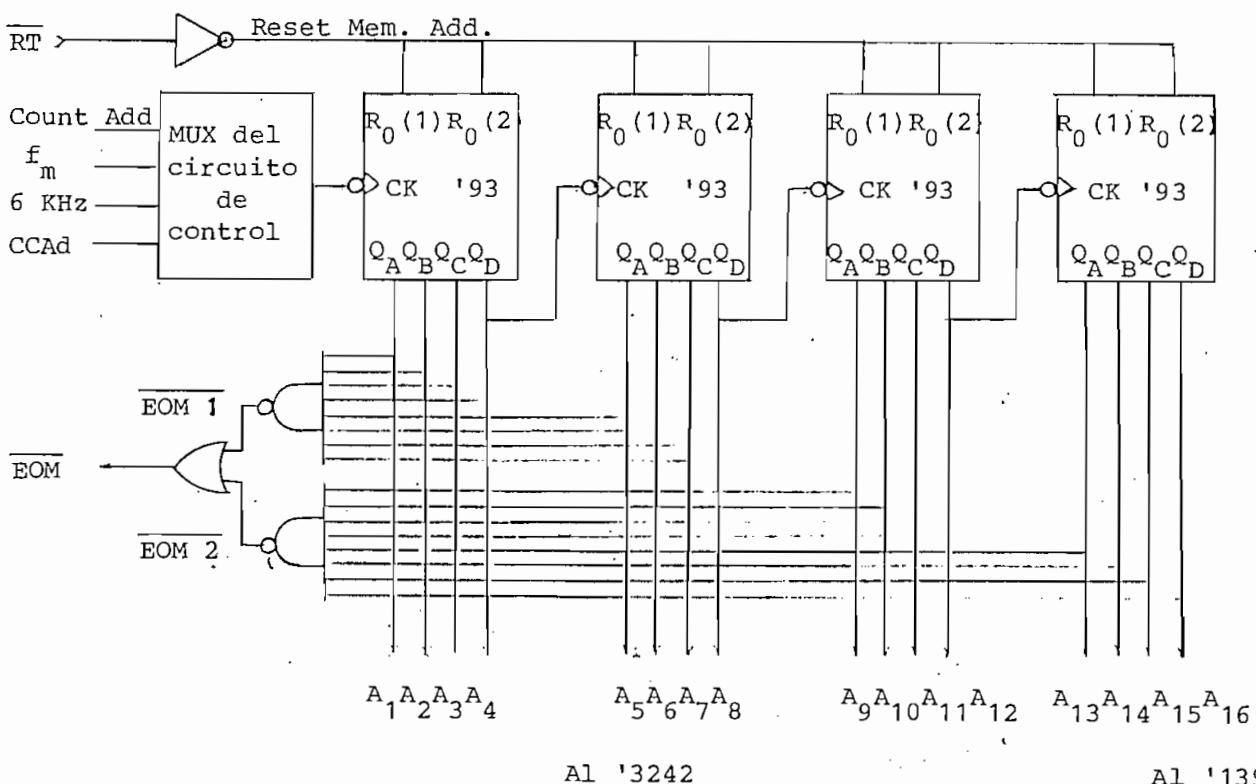


Fig. 2.31

de transmisión. Si no tienen un buen acoplamiento se producen reflexiones e interferencias determinando un funcionamiento defectuoso de las memorias (pérdida de datos). Este problema se evita colocando resistencias de acoplamiento de la siguiente manera:

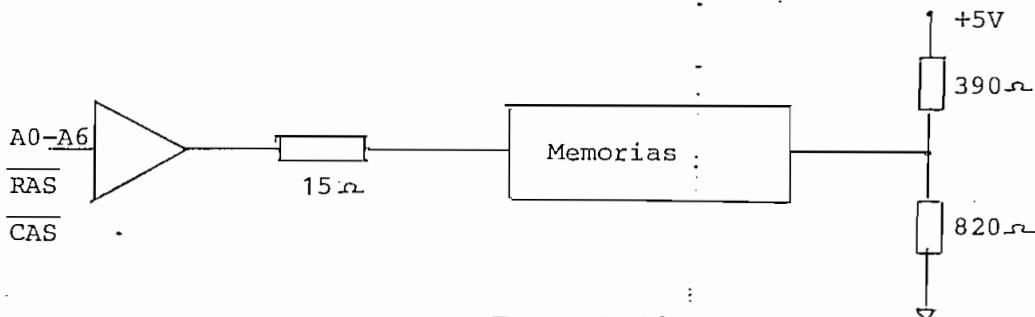


Fig. 2.32

Estas resistencias acoplan la línea y dan un terminal resistivo, mejorando los flancos y los niveles lógicos.

Las resistencias de 390 y 820 ohmios tienen dos ob-

jetivos: dar un equivalente resistivo terminal bajo (pero que pueda ser manejado por una compuerta TTL) y que el divisor de tensión produzca en la línea un voltaje tal que sea tomado como V_L .

2.4. DISEÑO DE LA INTERFACE.-

Los datos almacenados en forma provisional en la memoria del sistema, deben pasar posteriormente al computador, en donde se memorizan y almacenan en forma definitiva para su análisis. El sistema funciona como un "talker" y se le ha asignado el número 80 como periférico de la Tektronix 4051.

2.4.1. General Purpose Interface Bus (GPIB/IEEE-488)

El computador Tektronix 4051 utiliza la norma IEEE-488 para comunicarse con los periféricos. La interconexión se hace mediante un conector de 24 conductores. De los 24 conductores 8 son para datos, 8 son para el control del bus y los 8 restantes son líneas de tierra.

Las 8 líneas de datos se las conoce como DIO1 a DIO 8, siendo esta última la línea del bit más significativo. Las 8 líneas de control se dividen en dos grupos. 3 líneas controlan la transferencia de datos (Transfer Bus) y las 5 líneas restantes manejan el bus (Management Bus). Estas líneas son activas en bajo. Esto quiere decir que se afirma lo que su nombre indica cuando el nivel de voltaje es bajo.

Las líneas de control son:

Management Bus:

ATN(Attention): señal generada por el computador. Indica que se va a direccionar un periférico y se le va a asignar la función de emisor o receptor de datos. Un O_L indica atención en los periféricos.

SRQ(Service Request): Indica que un periférico solicita la atención del controlador.

REN(Remote Enable): Hace que todos los periféricos ignoren los comandos de sus paneles. Se controla desde el programa.

EOI(End or Identify): Indica que el byte transmitido es el último, o puede indicar que el dato transmitido es negativo.

Transfer Bus

Estas señales permiten una transmisión tipo "handshake"

NRFD(Non Ready For Data): Indica si el receptor or está listo o no para recibir datos por el bus. Un O_L indica que es tá listo para recibir datos.

DAV(Data Valid): El periférico activa esta señal para indicar que los datos están listos en el bus. Un O_L indica que los datos del bus son válidos y el receptor puede captarlos.

NDAC(Data Not Accepted): El receptor desactiva esta señal

cuando ha capturado los datos que se hallan en el bus. Un 0_L indica que el dato no se ha almacenado. Cuando esta señal pasa a 1_L el emisor retira el dato del bus.

El sistema trabajará como un periférico desde el cual únicamente se pueden enviar datos al computador; no está diseñado para recibir datos, excepto la dirección de periférico que se ha asignado al sistema.

Se debe tener en cuenta que los datos se envían en lógica negativa y con niveles TTL. Un voltaje cercano a 5V representa un 0 binario y un voltaje cercano a 0V representa un 1 binario, esto sirve tanto para la dirección como para los datos.

2.4.2. Comunicación Sistema-Computador

Las señales con las que se comunican el Sistema y el computador se producen de la siguiente manera:

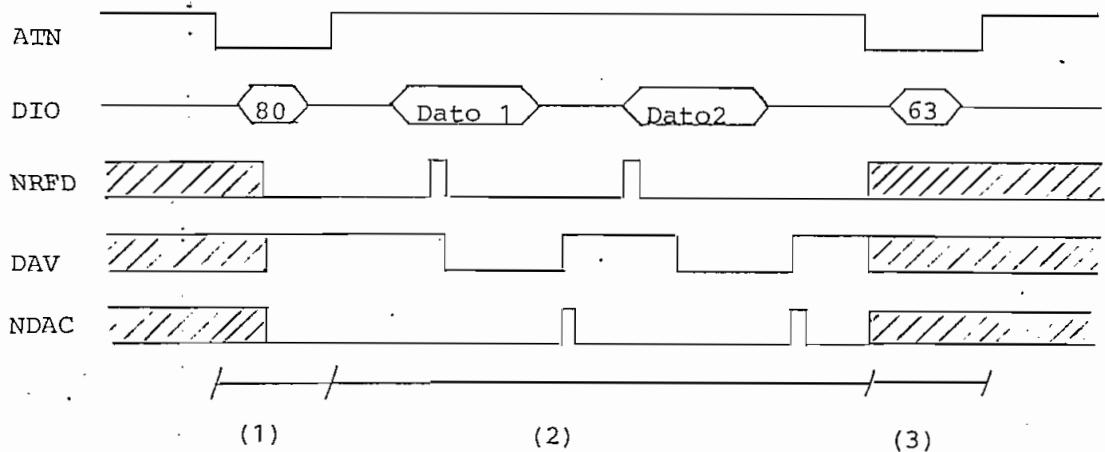


Fig. 2.33

Se distinguen tres situaciones diferentes durante la

comunicación:

1) Direccionamiento del aparato. El computador activa la línea ATN, indicando que va a enviar una dirección, en este caso el número 80 que habilita el sistema.

2) El sistema envía dos datos por el bus. El computador debe solicitar que esos datos sean enviados. La razón por la que se mandan dos datos es que las palabras del sistema se componen de 12 bits y el bus del GPIB solo puede llevar 8 bits, de ahí que se deban enviar dos datos, el primero lleva los 8 bits menos significativos y el segundo lleva los 4 bits más significativos acompañados de ceros.

3) Deshabilitación del sistema. El computador envía la dirección 63 que determina que todos los periféricos se deshabiliten.

2.4.3. Diseño

La dirección 80, al llegar al sistema, produce una transición negativa que en conjunto con la transición negativa de la señal ATN manejan la habilitación del sistema.

La transición negativa del ATN cumple una función doble, dependiendo del estado del sistema al momento de su ingreso. Si el sistema se halla habilitado, esta transición lo deshabilita inmediatamente y si estuvo desabilitado, lo deja listo para que en caso llegue la dirección 80 al sistema, éste quede habilitado.

El circuito que realiza esta función se lo muestra

en la siguiente figura.

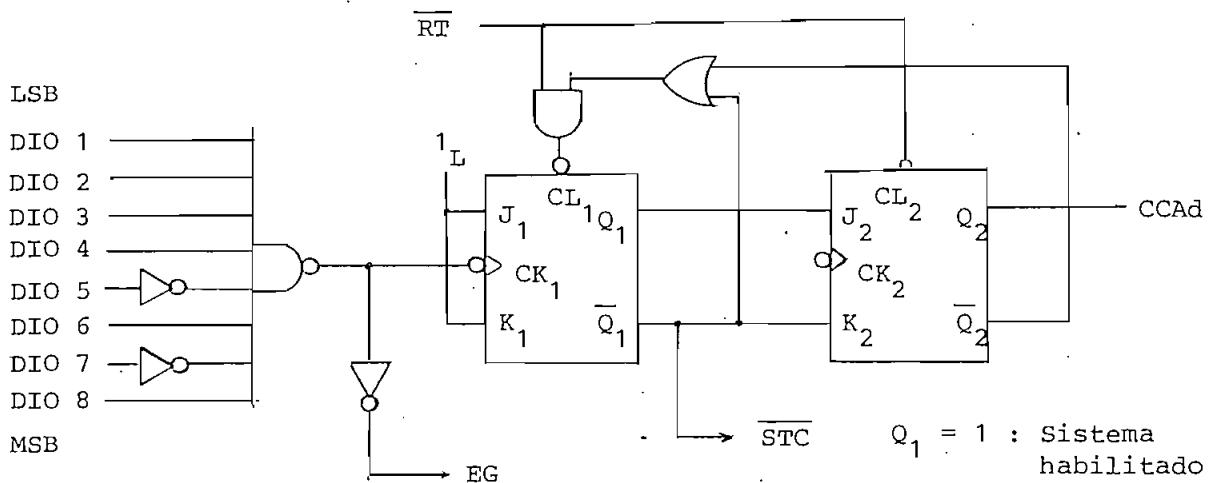


Fig. 2.34

Notas: - \overline{RT} es una señal de inicialización que es 0_L por un instante cuando el equipo se prende y cuando el sistema es inicializado desde el teclado, el resto de tiempo es 1_L (ver sección 2.5.2).

- Las señales DIO del GPIB sólo pueden ingresar cuando $ATN = 0_L$.
 - La dirección 80 en binario se representa como 01010000, pero por ser en lógica negativa se debe decodificar el número 10101111. DIO5 y DIO7, al pasar por los inversores se convierten en 1_L . Si las ocho entradas de la compuerta NAND son 1_L , la salida es 0_L . De esta manera se detecta la llegada de la dirección en Y.
- Las señales EG, \overline{STC} y CCAd van al circuito de control (sección 2.5) y el significado de las mismas es el siguiente: EG indica (en 1_L) que el sistema ha sido direccionado. \overline{STC} se pone en 0_L

de salida con los LSB y luego de aproximadamente 120ns (re-
tardo dado por la red RC para permitir que los datos se
estabilicen) se envía un 0_L por DAV. Cuando el dato ha si
do capturado llega un 1_L por NDAC que realiza un Set en
el biestable; esto deshabilita los buffers de salida y de
sactiva DAV en forma prácticamente simultánea. Este ins-
tante se produce una transición negativa en el biestable
JK que cambia los LSB por los MSB (ver diagrama No co-
rrespondiente a la Interface).

En el computador Tektronix 4051 se programan las siguientes instrucciones en BASIC para la transferencia:

1 $\emptyset\emptyset$ WBYTE @8 \emptyset :

11 \emptyset RBYTE X,Y

12 \emptyset WBYTE @63:

Estas instrucciones generan las señales de acuerdo a las siguientes normas:

@ -Activa la señal ATN

8 \emptyset -Dirección que se pone en las líneas de datos del GPIB.

: -Desactiva la señal ATN.

Instrucción 11 \emptyset

X -Desactiva la señal de NRFD, espera el dato (LSB) en el GPIB, lo captura y guarda el equivalente decimal del dato en la variable X y desactiva la señal de NDAC hasta que el dato sea retirado del bus.

Y -Igual procedimiento que en el caso anterior pero ahora almacena el equivalente decimal de los 4 MSBs en la variable Y.

Instrucción 120

@ -Activa la señal ATN

63 -Dirección utilizada para desactivar todos los periféricos conectados con el bus GPIB.

: -Desactiva la señal ATN.

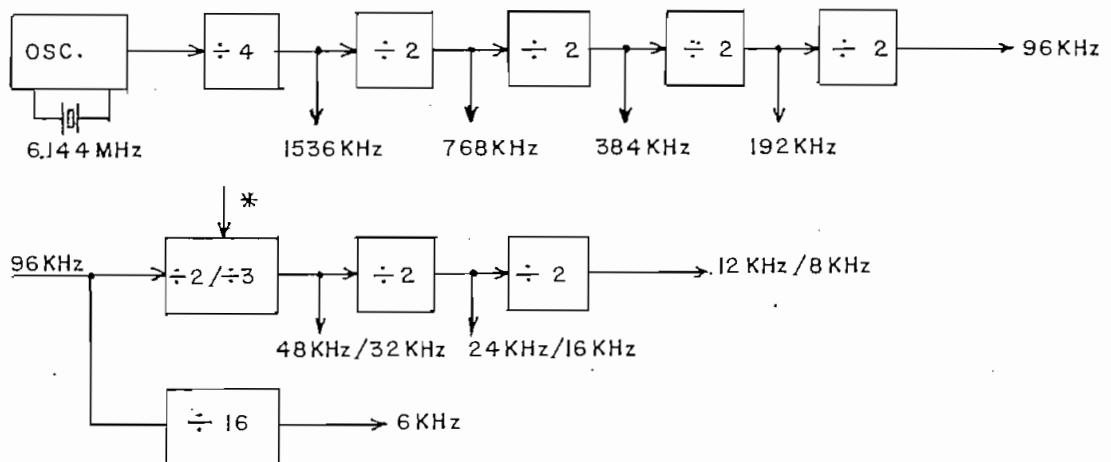
2.5. DISEÑO DEL CIRCUITO DE CONTROL.-

Este circuito puede ser separado en dos partes: la una corresponde a un circuito generador de frecuencias y de señales de control que se encuentran funcionando permanentemente, y la otra parte se refiere a todas aquellas señales de comando que el operador puede enviar por medio de un teclado.

2.5.1. Generador de frecuencias y de señales de control

La generación de frecuencias se hace a partir de un oscilador controlado con un cristal de 6.144 MHz, el cual permite obtener, mediante divisiones sucesivas, las frecuencias indicadas en la Fig. 2.36.

Para el oscilador se emplea el integrado 74S124, que tiene dos osciladores controlados por voltajes independientes, pero que tienen la posibilidad de funcionar con una frecuencia constante cuando se los conecta a un cristal. En el aparato, el integrado está conectado de la manera indicada en la Fig. 2.37.



* División programada de acuerdo a la frecuencia de muestreo seleccionada.

Fig. 2.36

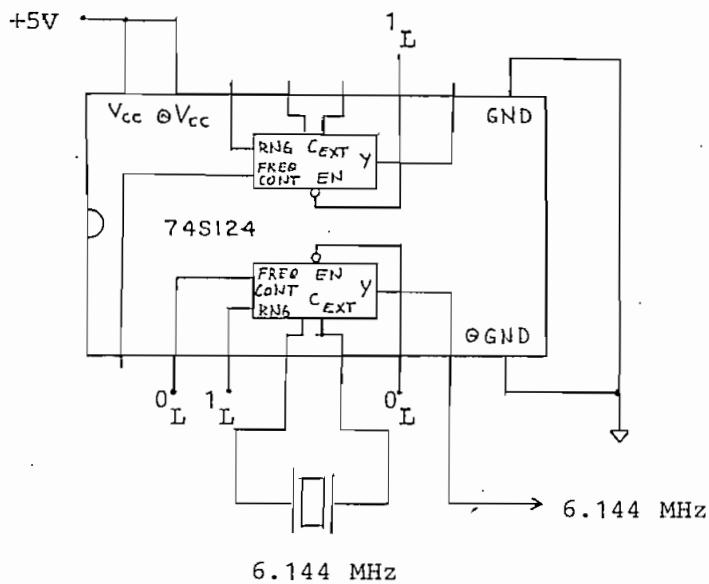


Fig. 2.37

Según la figura 2.37, únicamente funciona un oscilador.

El circuito que realizan las divisiones sucesivas de

la frecuencia del cristal se muestra en el diagrama No 8 del apéndice. El diseño se ha hecho de tal modo que la transición negativa de una frecuencia coincide con las transiciones negativas de las frecuencias superiores a ésta. En la figura 2.38 se indica un diagrama de tiempo des de la frecuencia de 1536 KHz hasta la de 48 KHz para aclarar este concepto.

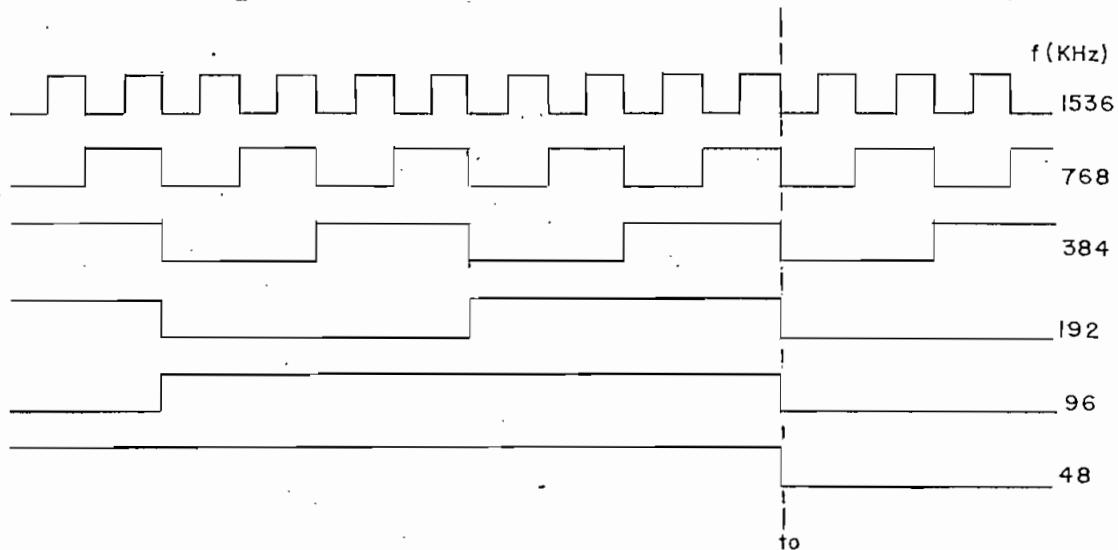


Fig. 2.38

En cuanto al divisor programable señalado con un asterisco en la Fig. 2.36, éste se consigue con dos biestables JK, tal como se indica a continuación:

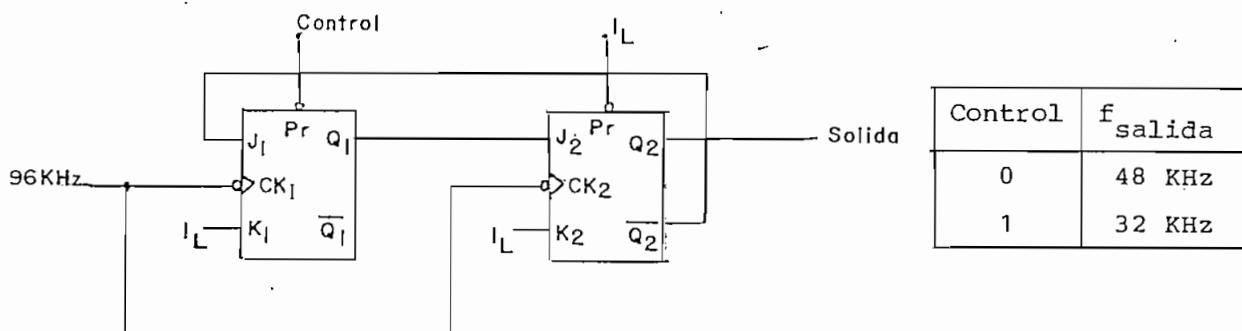


Fig. 2.39

La selección de la frecuencia de muestreo se hace me

dianente un multipléixer 74S151, de 8 líneas a una, comandado por 3 señales provenientes de un circuito decodificador del teclado (f_0 , f_1 , f_2). La siguiente figura muestra el circuito correspondiente:

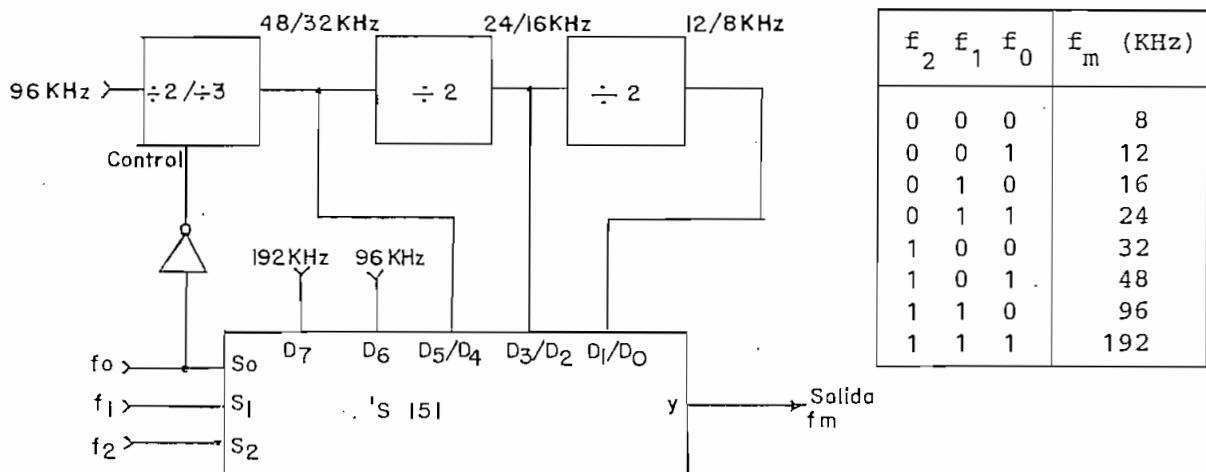


Fig. 2.40

A partir de estas frecuencias se pueden generar todas las señales que son necesarias para controlar y sincronizar los diferentes bloques del equipo.

En la fig. 2.28 se puede apreciar que todas las señales que deben ser generadas basan su sincronismo en la transición negativa de la frecuencia de muestreo. Se empezará la descripción con la generación de las señales de RAS, Row, En, CAS, MODE CONTROL (S/H) y LD, las mismas que se producen a una frecuencia constante de 192 KHz. De las figuras 2.38 y 2.28 se observa que la señal RAS puede ser generada con una compuerta NAND que tenga en sus entradas las frecuencias de 192 KHz y 384 KHz; de igual manera, la señal Row. En. se puede obtener con una compuerta NAND a la que llegan las frecuencias de 192 KHz, 384 KHz y 768 KHz. De esta manera, el RAS durará en θ_L 1302 ns y

Row En durará 651 ns. La señal CAS debe activarse después de la transición negativa de Row En y para conseguir esto se emplea una red RC entre dos inversores, lo que da un retardo de 120 ns. La Fig. 2.41 muestra cómo se obtienen estas señales. Se observa además que el CAS sale a través de una compuerta OR que se habilita únicamente cuando el RAS está en 0_L ; de esta forma, la duración en bajo del CAS será de $(651 - 120 =)$ 531 ns. Como se indicó en la sección 2.2.1; la señal MODE CONTROL es simplemente la negación del CAS. Finalmente, el comando LD, que carga los datos de las memorias en los registros de salida, se consigue con el producto lógico entre la frecuencia de 1536 KHz y la señal MODE CONTROL, con lo cual el ancho del pulso se fija en 326 ns.

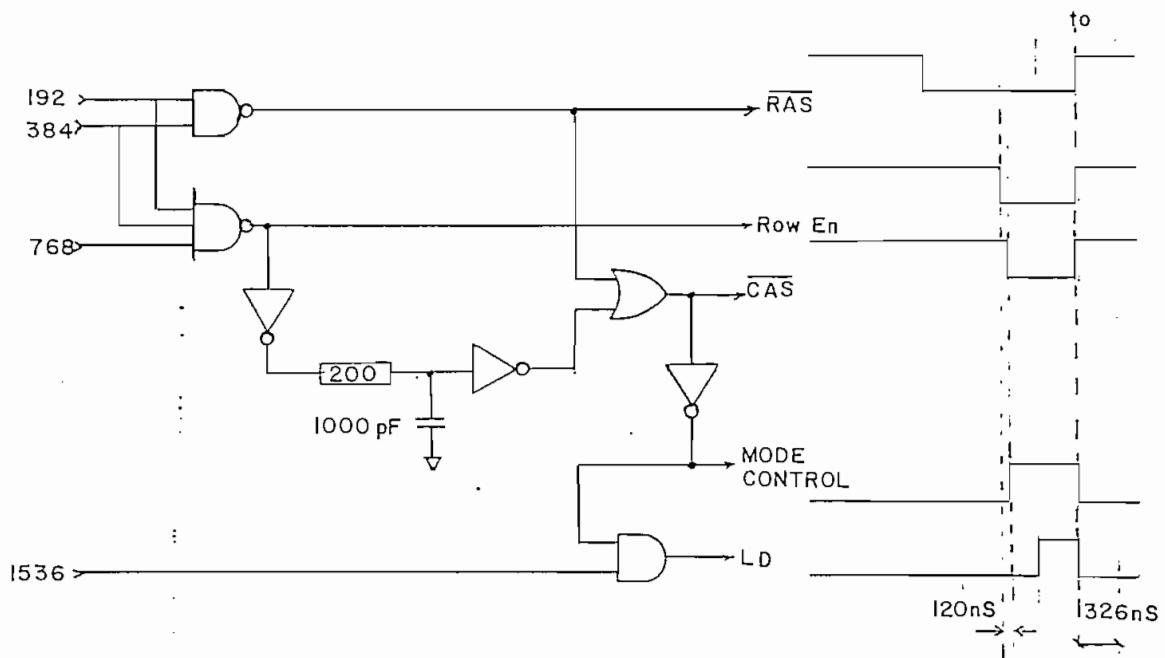


Fig. 2.41

A continuación se explica la manera de obtener las señales de CONVERT START. y Count Address: La frecuencia

de repetición de ambas es igual a la frecuencia de muestreo y de acuerdo a la figura 2.28, el pulso debe aparecer inmediatamente después de la transición negativa de la frecuencia de muestreo. Puesto que la señal de CONVERT START debe permanecer por lo menos 200 ns en I_L para inicializar el conversor A/D, se aprovecha la frecuencia de 1536 KHz, cuyo ancho de pulso es de 326 ns. El circuito que produce la secuencia deseada se indica en la Fig. 2.42 junto con el diagrama de tiempo.

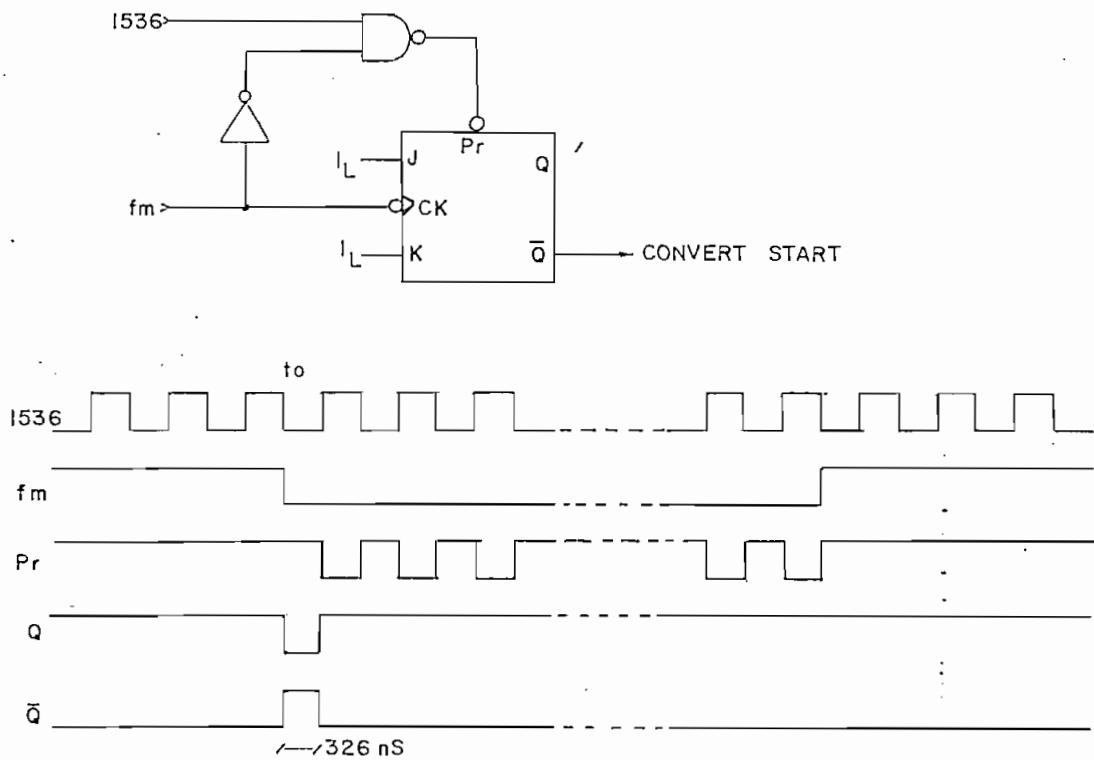


Fig. 2.42

La señal Count. Address es el pulso invertido de la señal CONVERT. START, pero debe producirse únicamente cuando la señal de habilitación de escritura en memoria $\overline{W/R}$

está activa, de modo que su obtención se realiza como lo indica la Fig. 2.43.

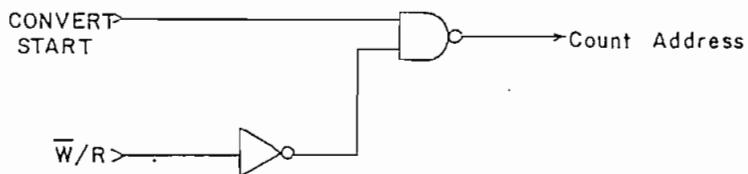


Fig. 2.43

Para generar las señales de refresco, es decir, el RAS ref.; Count Refresh y Refresh Enable se puede hacer uso de un circuito semejante al de la Fig. 2.42. En este caso, estas tres señales se producen a una frecuencia constante de 96 KHz y la forma de obtenerlas, junto con el diagrama de tiempo, se indica en la Fig. 2.44.

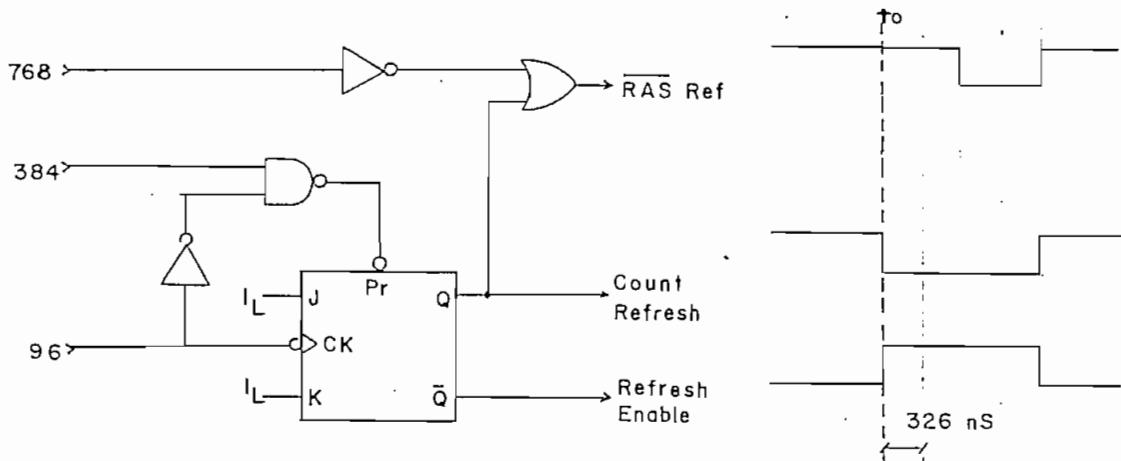


Fig. 2.44

2.5.2. Teclado y Señales de Comando

El aparato dispone de un arreglo de 19 teclas que le permiten al operador escoger las distintas formas de trabajo. La denominación de cada tecla se indica en la

Fig. 2.45. Conviene anotar que el empleo del teclado tiene por finalidad evitar la utilización de una serie de interruptores y simplificar el cableado en el panel de control.

DATA IN MANUAL	DATA IN AUTO.	DATA OUT GPIB	DATA OUT ANALOG
A	F	AUDIO	/-
5	6	7	8
1	2	3	4
BREAK		RESET	START

Fig. 2.45

A continuación se explica la forma de usar el teclado:

DATA IN MANUAL: Habilita el aparato para que muestre la señal de entrada. El muestreo se inicia al precionar la tecla de START o al dar un pulso en la entrada EXT. TRIGGER e inmediatamente después se deshabilita el teclado (excepto la tecla BREAK).

DATA IN AUTO: Lo mismo que el anterior, excepto que el muestreo se inicia con un pulso en la entrada EXT. TRIGGER o cuando se detecta señal en la entrada analógica seleccionada.

DATA OUT GPIB: Habilita el aparato para enviar datos a través del bus GPIB y deshabilita el tecla

do. El control del aparato se transfiere al com putador al cual está conectado y se deshabilita el teclado (excepto la tecla BREAK).

DATA OUT ANALOG: Habilita el aparato para sacar los datos de la memoria mediante el conversor D/A por la salida ANALOG OUTPUT. Al presionar la tecla START se inicia la salida de la señal y se deshabilita el teclado (excepto la tecla BREAK).

A (Amplificación): Permite seleccionar uno de los 8 valo-
res de amplificación disponibles (A1,
A2, ..., A8). Después dé presionar la
tecla A debe presionarse el número co-
rrespondiente a la amplificación deseada.

F (frecuencia): Permite seleccionar una de las ocho fre-
cuencias de muestreo. Después de presio-
nar la tecla F debe presionarse el núme-
ro correspondiente a la frecuencia deseada.

AUDIO: Habilita o deshabilita el paso de la señal que sa-
le del filtro hacia el parlante, sea que ésta ven-
ga del amplificador o del conversor D/A. Cuando el
parlante queda deshabilitado, el conversor D/A re-
cibe los datos de la memoria con una frecuencia de
6 KHz.

E (extra): Esta tecla no tiene asignada ninguna función, pero puede usarse para implementar alguna opción en el equipo.

BREAK: Cuando el teclado está deshabilitado, mientras se mantenga presionada esta tecla se habilita la tecla RESET.

RESET: Inicializa el contador de la memoria y detiene el funcionamiento del aparato si se presiona junto con la tecla BREAK.

START: Sirve para iniciar el muestreo de la señal análoga en el modo de operación DATA IN MANUAL y sirve para iniciar la salida de la señal análoga del conversor D/A en el modo de operación DATA OUT ANALOG.

Circuito codificador del teclado

Cada tecla está asociada con un interruptor mecánico independiente que se cierra al presionar la misma. Con el objeto de reducir el número de líneas que deben ir al teclado y eliminar el rebote de los interruptores, se emplea un circuito codificador de teclado MM74C923 (ver en el apéndice las hojas de datos). Se ha dispuesto para el mismo una matriz con los interruptores correspondientes a las 16 teclas superiores, tal como se indica en la Fig. 2.46. Las restantes 3 teclas tienen una red RC para eliminar rebote y sus señales van a inversores con entrada SMITH-TRIGGER que ayudan al mismo propósito.

Para el MM74C923 se ha puesto un condensador de .01

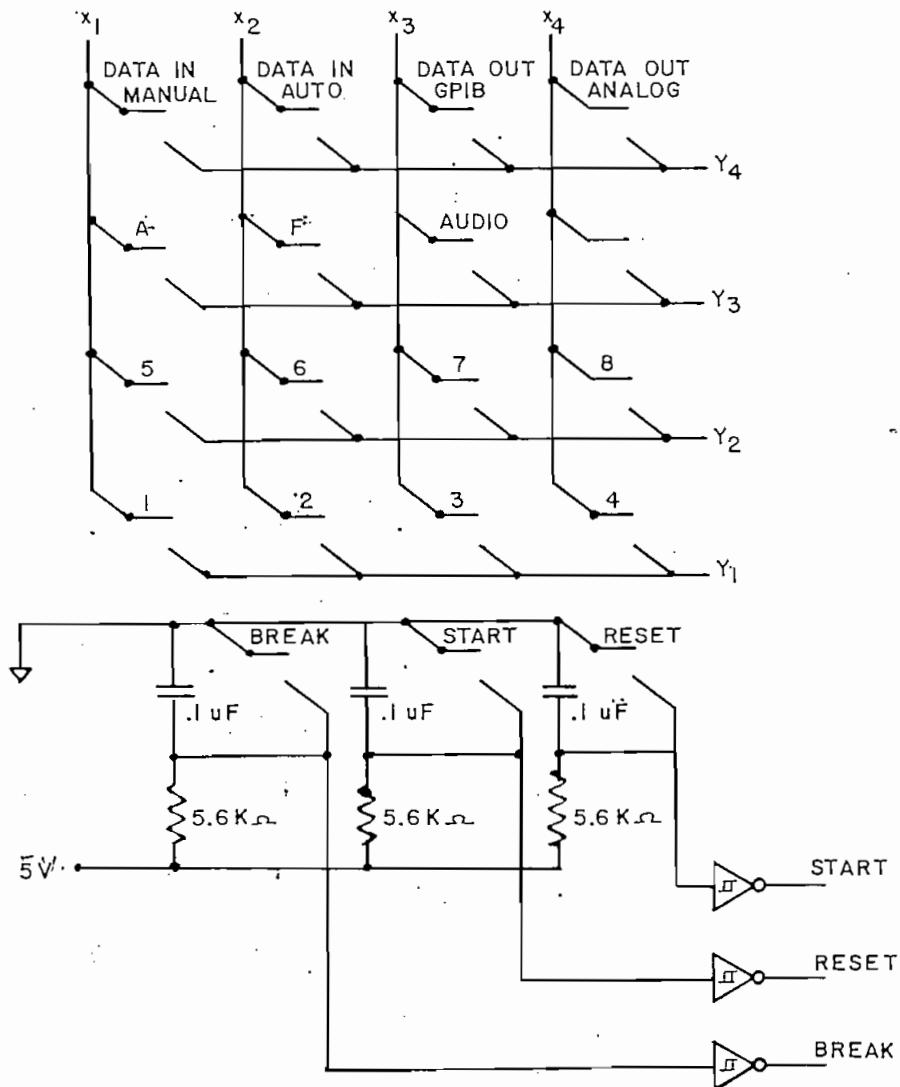


Fig. 2.46

μ F en la entrada de OSC, con lo que se consigue una frecuencia de barrido del teclado cercana a los 6 KHz (ver Fig. 2.47). Otro condensador de 1.5 μ F en la entrada MSK proporciona un período de eliminación de rebote de aproximadamente 15 ms. A la salida del integrado se obtiene un número binario de 4 dígitos asociado con la tecla presionada de acuerdo a la tabla 2.9. La señal DA indica un código válido en las salidas y llega al '154 con un retardo de unos 200 ns (red RC de la Fig. 2.47) para garantizar

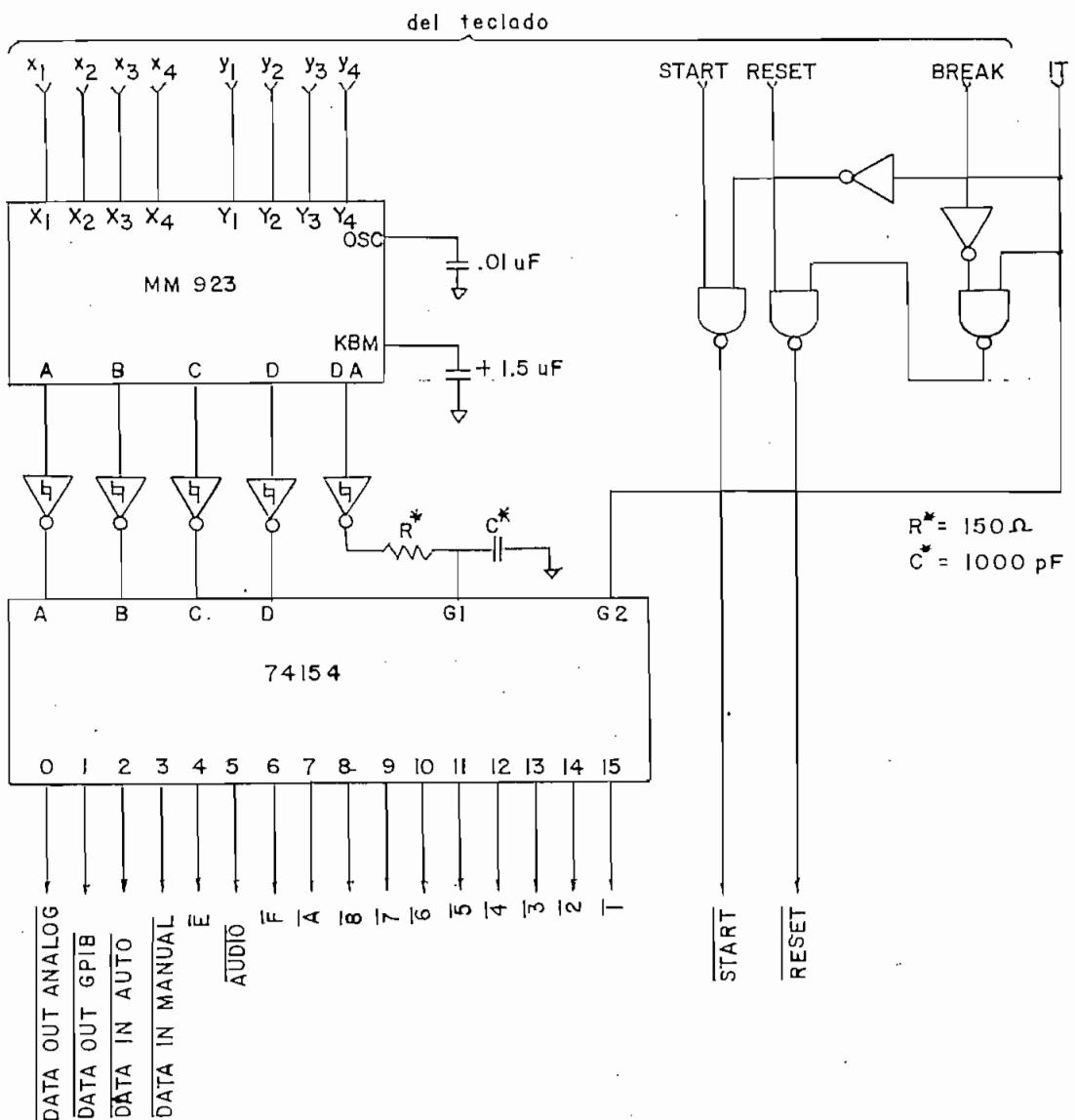


Fig. 2.47

en la salida respectiva del 74154. Dada la condición de trabajo de este multipléxer, no es factible que se active más de una salida a la vez.

En el mismo circuito de la fig. 2.47 se advierte que la señal IT también deshabilita las señales RESET y START. Sin embargo, es posible activar la señal de RESET independiente del estado de IT si se presiona la tecla BREAK (es decir, haciendo $\text{BREAK} = 1_L$).

Circuitos de Inicialización

Estos circuitos tienen por objeto generar señales de corta duración al momento del encendido del aparato, con la finalidad de inicializar los diferentes registros que determinan el estado de trabajo. El circuito de la Fig. 2.48 produce la señal de borrado $\overline{\text{CL}}$, la misma que permanece en 0_L unos 50 ms después de haber sido encendido el aparato; luego pasa a 1_L por el resto del tiempo que permanezca encendido el equipo.

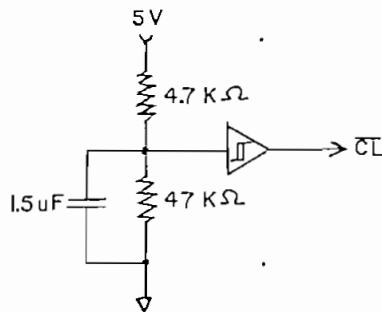


Fig. 2.48

También es necesario simular la secuencia de teclas para inicializar el aparato con una amplificación y una frecuencia de muestreo conocidas. Se ha determinado que

la amplificación inicial sea A_1 (x_1), la misma que se obtiene presionando la tecla A y luego la tecla 1. Igualmente, se ha escogido F_1 (8 KHz) como la frecuencia inicial de muestreo, la cual se obtiene presionando la tecla F y luego la tecla 1. El circuito para simular esta secuencia se muestra a continuación:

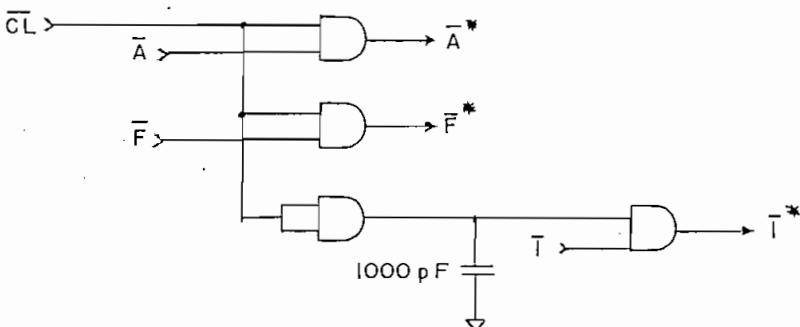


Fig. 2.49

En el siguiente diagrama de tiempo se puede apreciar el efecto del condensador de la Fig. 2.49:

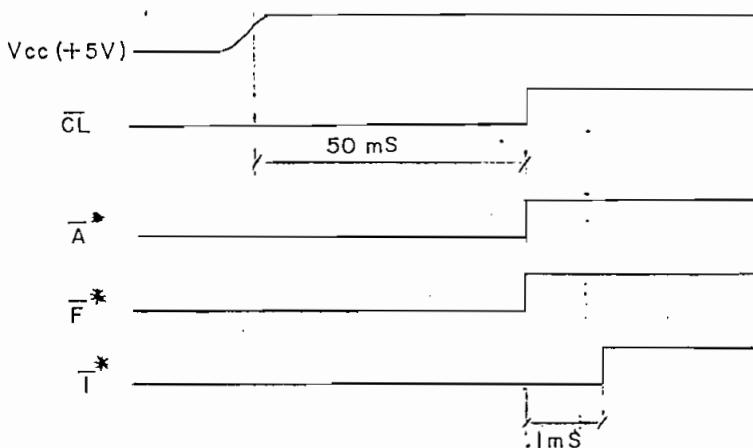


Fig. 2.50

Señales de Comando

Se denominan así las 16 salidas del 74154, así como las señales START y RESET (ver Fig. 2.47) y son las que

determinan el trabajo del aparato.

Un primer grupo de comandos lo conforman las señales DATA IN MANUAL, DATA IN AUTO, DATA OUT GPIB y DATA OUT ANALOG, cada una de las cuales determina el modo de operación del mismo nombre en el sistema. Referirse para esta parte al diagrama No . El modo de operación queda almacenado en uno de cuatro biestables SR con un circuito como el de la Fig. 2.51. Se ve claramente que al activarse una señal se pone un 1_L en la salida Q del biestable respectivo y un 0_L en las salidas Q de los restantes biestables.

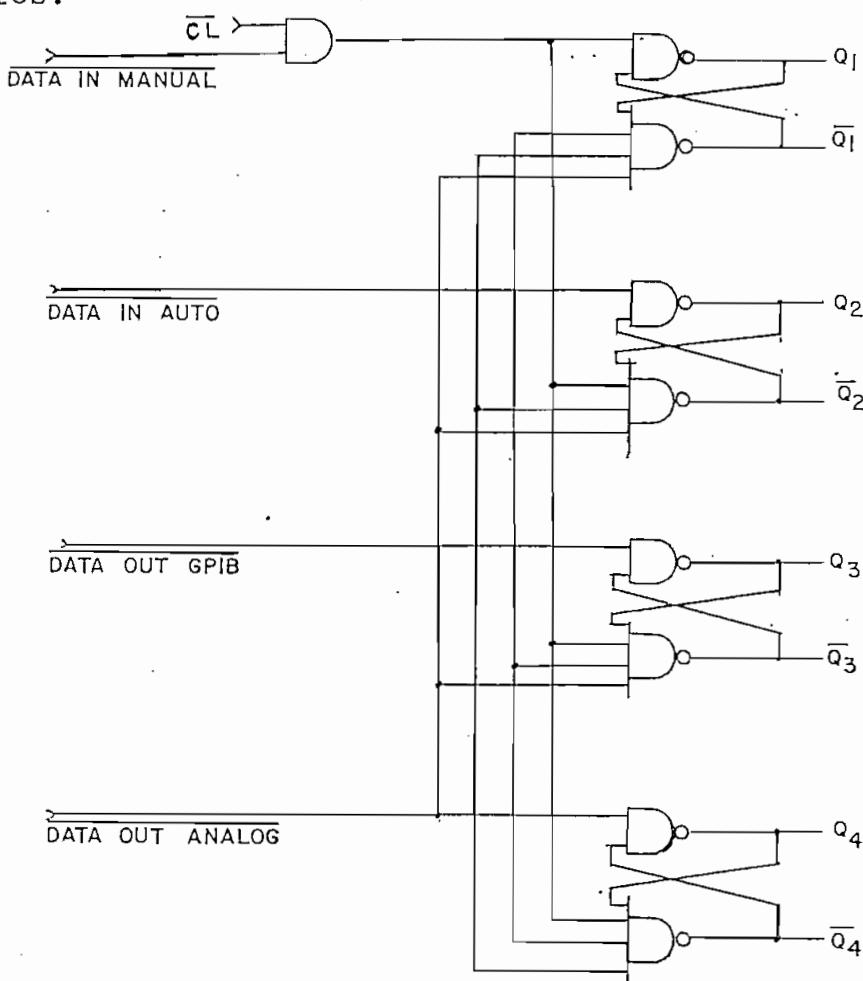


Fig. 2.51

Las salidas \bar{Q} comandan su LED respectivo (LS1 a LS4) en el panel de indicación del aparato para señalar el modo de operación seleccionado. Obsérvese, además, que la señal $\bar{C_L}$ inicializa estos registros en el modo DATA IN MANUAL cuando se enciende el equipo.

Los dos primeros modos de operación (DATA IN MANUAL y DATA IN AUTO) son, en esencia, el mismo modo y habilitan el aparato para la adquisición de datos. La diferencia entre ambos está únicamente en la forma de iniciar la grabación: DATA IN MANUAL ($Q_1 = 1_L$) habilita el comando START como señal de inicio de grabación manual y la entrada EXT. TRIGGER como señal de disparo externo. DATA IN AUTO ($Q_2 = 1_L$) habilita la señal de disparo automático AUTO TRIGGER (ver sección 2.2.2) y también la señal EXT. TRIGGER. El circuito correspondiente se muestra en la Fig. 2.52; las salidas $\bar{ST1}$ y $\bar{ST2}$ vienen a ser señales que, al activarse, inicián el proceso de escritura de datos en la memoria.

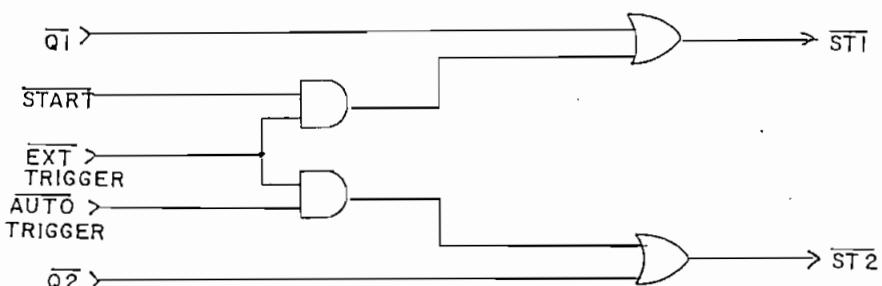


Fig. 2.52

La adquisición de datos puede interrumpirse por dos razones: La primera se da cuando el contador de direccio-

namiento de la memoria alcanza la última localidad (FFFF) momento en el cual la señal \overline{EOM} de fin de memoria se pone en 0_L . La otra razón se refiere a la posibilidad de detener la grabación desde el teclado, presionando simultáneamente las teclas BREAK y RESET, en cuyo caso, el comando \overline{RESET} se pone en 0_L e inicializa el contador de la memoria. De esta manera, el uso de un biestable SR, como el indicado en la Fig. 2.53, permite la generación de la señal $\overline{W/R}$ que habilita la escritura y lectura de datos en la memoria.

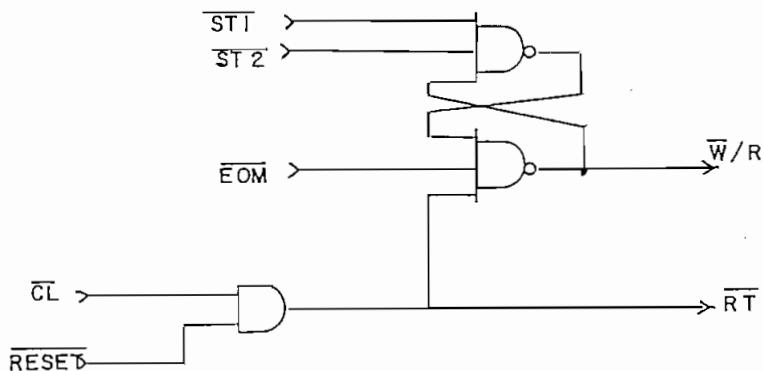


Fig. 2.53

En este circuito se aprecia también que la señal \overline{CL} inicializa el biestable con $\overline{W/R} = 1_L$ al encender el equipo, con el propósito de evitar que produzca una grabación falsa. \overline{RT} no es más que el producto lógico de \overline{CL} y \overline{RESET} y sirve como señal de borrado en circuitos que se indicarán más tarde. La señal $\overline{W/R}$, como se recordará, habilita el reloj del contador de direccionamiento de la memoria (Count. Address) durante la escritura de datos, según el esquema de la fig. 2.43. Igualmente, $\overline{W/R}$ genera la señal \overline{Write} que va a las memorias para comandar la escritura o

lectura en las mismas, con el circuito de la Fig. 2.54.

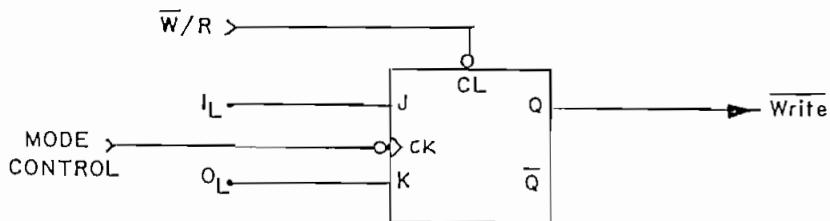


Fig. 2.54

El propósito de este circuito es el de permitir que la última localidad de la memoria pueda ser grabada. El diagrama de tiempo de la Fig. 2.55 muestra la diferencia que existe entre las señales \overline{W}/R y \overline{Write} . En t_{0000} se graba la primera localidad de la memoria y en t_{FFFF} se graba la última e inmediatamente después la señal \overline{Write} deshabilita la escritura de datos en la memoria.

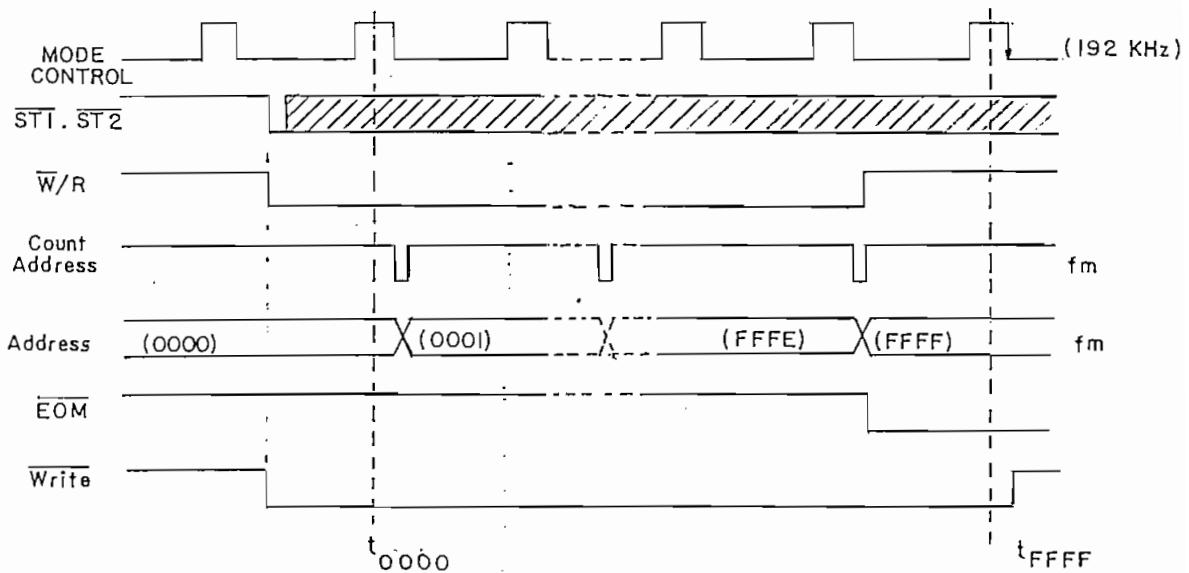


Fig. 2.55

Posteriormente se explicará cómo la señal Count

Address llega al contador de direccionamiento de la memoria y se indicará también cómo \bar{W}/R puede utilizarse para inhabilitar el teclado.

El modo de operación DATA OUT GPIB habilita el sistema para que pueda comunicarse con el computador (para esta parte, referirse también al circuito de Interface en el diagrama No 14). Cuando se escoge este modo, Q_3 pasa a 1_L (Fig. 2.51) y esta salida debe entonces habilitar dos señales que provienen del circuito de interface: EG y CCAd. La primera se activa cada vez que el computador dirige el aparato y la segunda es la señal que sirve de reloj para el contador de direccionamiento de la memoria. CCAd sin embargo, debe desactivarse cuando el contador de direccionamiento alcanza la última localidad ($EOM = 0_L$). Estas condiciones de funcionamiento se logran con el circuito siguiente:

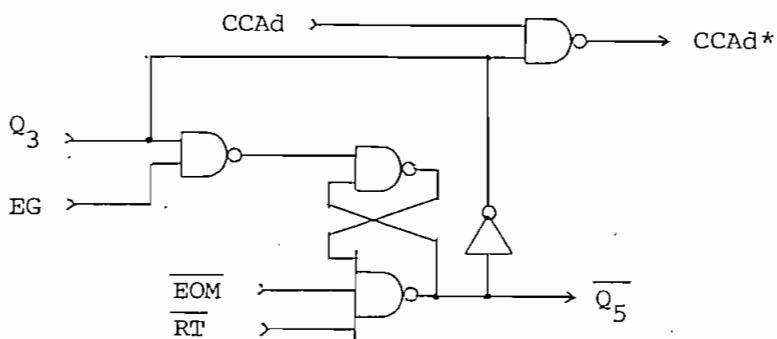


Fig. 2.56

Más adelante se indicará cómo enrumbar CCAd al contador de direccionamiento y se explicará también cómo \overline{Q}_5 puede deshabilitar el teclado. Obsérvese además que \overline{RT}

($=\overline{CL}$. \overline{RESET}) sirve para inicializar este biestable cada vez que se enciende el equipo o cuando se presiona la tecla RESET.

El último modo de operación, DATA OUT ANALOG, permite la salida de datos de la memoria en forma de un voltaje análogo. Cuando se escoge este modo, Q_4 se pone en 1_L (Fig. 2.51) y debe habilitar el comando START que inicia la reproducción. Al igual que en casos anteriores, la reproducción termina por dos razones: Cuando el contador de dirección de la memoria llega a la última localidad ($EOM = 0_L$) o cuando en el teclado se presionan las teclas BREAK y RESET; de manera que un circuito similar al de la Fig. 2.53 puede servir para controlar la salida analógica de datos. Sin embargo, debido a disponibilidad de elementos, se ha hecho un diseño con un biestable JK, tal como se indica en la Fig. 2.57. Q_6 es una señal que normalmente está en 0_L y únicamente durante la reproducción pasa a 1_L . Nótese que una vez que el contador de direccionamiento llega al fin de la memoria ($EOM = 0_L$) es necesario presionar la tecla RESET ($\overline{RT} = 0_L$) para que el biestable pueda aceptar nuevamente la señal de inicio de reproducción ($\overline{ST3} = 0_L$).

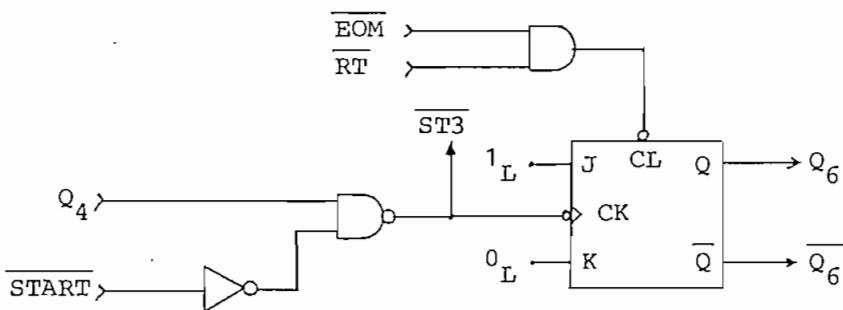


Fig. 2.57

Para la salida de datos en forma de señal analógica, la señal de reloj del contador de direccionamiento de la memoria puede ser cualquiera de las frecuencias de muestreo (fm) o la frecuencia adicional de 6 KHz, la misma que se selecciona al deshabilitar el amplificador de audio (S_z abierta, en la Fig. 1.3). La selección de esta señal de reloj, así como su enrutamiento a las memorias se hace con el circuito de la Fig. 2.58, en el cual se han incluido también las señales Count Address y CGAd para dar una única señal que sirve de reloj al contador de dirección de la memoria (Mem. Add. Counter). Obsérvese que el comando AUDIO sirve solamente para cambiar de estado al biestable JK y habilitar o deshabilitar el amplificador de audio a través de la señal S_z . El diodo emisor de luz LO se enciende cuando el amplificador de audio está habilitado ($S_z = 1_L$). Nótese también que el comando del interruptor análogo S_y puede pasar a 1_L (S_y cerrado) únicamente cuando se ha escogido el modo de operación DATA OUT ANALOG y el parlante está habilitado (ver sección 1.2)

Con respecto a la señal de inhabilitación del teclado, IT, ésta debe activarse (en 1_L) cuando el aparato está ocupado, es decir, cuando está en adquisición de datos ($\bar{W}/R = 0_L$), cuando se comunica con el computador ($\bar{Q5} = 0_L$) o cuando reproduce la señal grabada en la memoria ($\bar{Q6} = 0_L$). En consecuencia, IT puede generarse fácilmente, tal como se muestra en la Fig. 2.59.

Con el objeto de indicar al operador el estado de

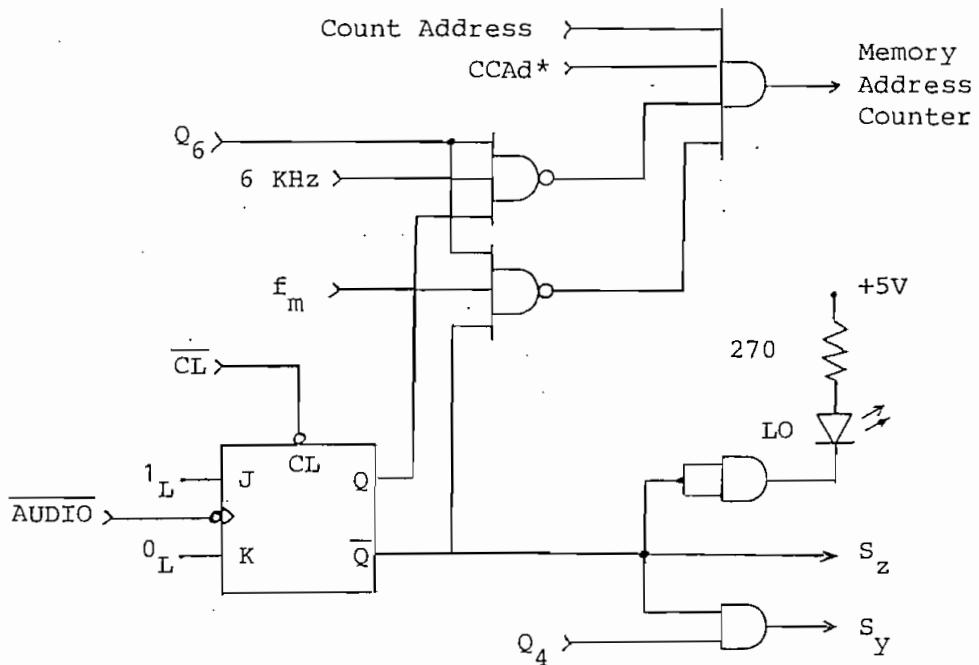


Fig. 2.58

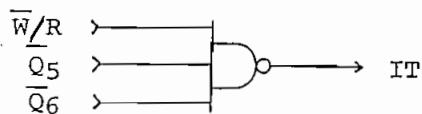


Fig. 2.59

trabajo del aparato, existen tres LEDs en el panel de indicación (LS5, LS6 y LS7) que están comandados por biseables SR, de acuerdo al circuito de la Fig. 2.60

LS5 se activa cuando se enciende el aparato o cada vez que se presiona la tecla RESET e indica al operador que el equipo está listo para trabajar según el modo de operación escogido. Cuando se produce una señal de inicio

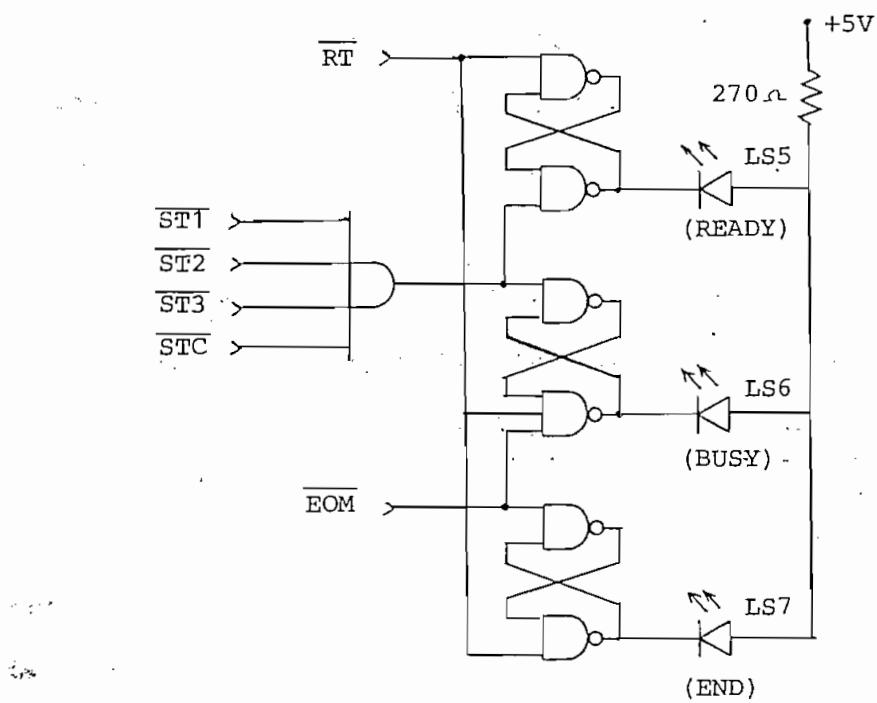


Fig. 2.60

de grabación ($\overline{ST1}$ o $\overline{ST2}$) o de inicio de reproducción ($\overline{ST3}$) o de inicio de transferencia de datos al computador (\overline{STC} , referirse al diagrama No 14), se activa LS6 y se apaga LS5, indicando que el aparato está ocupado. Una vez alcanzada la última localidad de memoria, \overline{EOM} enciende LS7 y apaga LS6, con lo cual se informa al operador que el sistema ha terminado su trabajo.

Un segundo grupo de señales determina la condición de trabajo del aparato y son los comandos \overline{A}^* y \overline{F}^* . La señal \overline{A}^* entra a un biestable SR (ver diagrama No. 12) y habilita el paso de datos en un grupo de ocho biestables tipo D (74LS373). Estos datos se corresponden con las señales $\overline{1}$

generan las señales S_R , S_{C1} y S_{C2} que sirven para programar el filtro de acuerdo a la tabla 2.5 y las señales S_a y S_b que comandan los interruptores análogos de entrada al conversor A/D. Estas dos últimas señales comandan también los LEDs LI2 y LI1, respectivamente, que indican cuál entrada está habilitada en el equipo. En la tabla 2.10 se resume el estado de estas señales según la frecuencia de muestreo escogida.

f_m (KHz)	f_2	f_1	f_0	S_R	S_{C1}	S_{C2}	S_a	S_b	f_p (KHz)
8	0	0	0	0	1	1	1	0	2.666
12	0	0	1	1	1	1	1	0	4.000
16	0	1	0	0	1	0	1	0	5.333
24	0	1	1	1	1	0	1	0	8.000
32	1	0	0	0	0	0	1	0	10.666
48	1	0	1	1	0	0	1	0	16.000
96	1	1	0	0	0	0	0	1	10.666
192	1	1	1	1	0	0	0	1	16.000

Tabla 2.10

Obsérvese que para las frecuencias adicionales de 96 y 192 KHz el filtro queda programado con el corte en 10.666 KHz o en 16.000 KHz, respectivamente.

2.6. FUENTES DE PODER.-

2.6.1. Transformador

En el sistema de adquisición de datos son necesarias fuentes de voltaje de +5V, +12V, +15V, -5V y -15V. La obtención de estos voltajes se hace mediante reguladores de voltaje alimentados por filtro capacitivos. Para alimentar el sistema se ha diseñado y construido un transformador cuyo diagrama se indica en la Fig. 2.61.

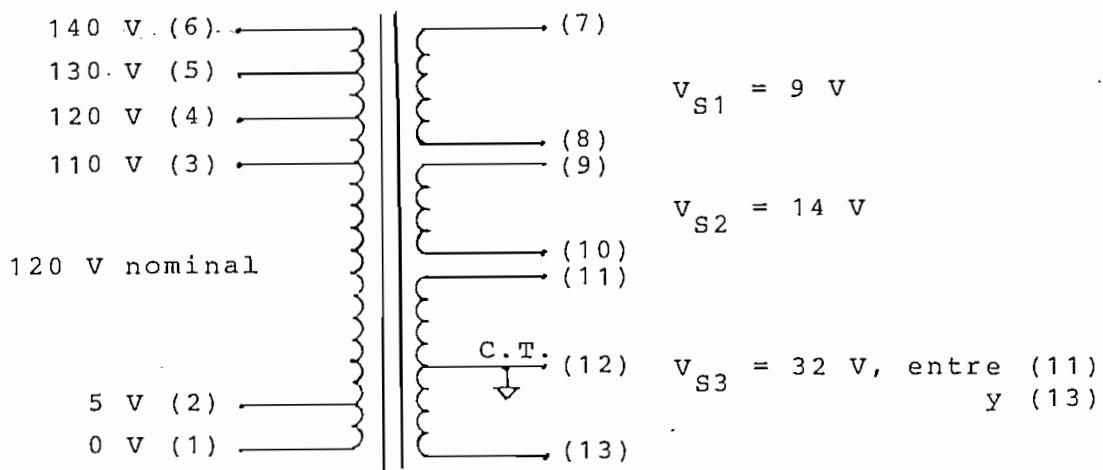


Fig. 2.61

Con respecto a la corriente que debe entregar cada secundario, se han sumado las corrientes máximas que cada elemento del equipo necesita para su funcionamiento. El valor de esta suma se la ha denominado corriente nominal (I_n) y en el diseño se ha dado un factor de seguridad sobre ésta para establecer la corriente en el secundario (I_{DC}). Con relación a los voltajes en los secundarios, al hablar de la rectificación y filtrado se justificarán los valores escogidos. La tabla 2.11 resume los requerimientos del transformador.

Voltaje Secundario (V _{RMS})	Corriente Nominal I _n (A)	Corriente Diseño I _{DC} (A)	Potencia de Salida (W)
9V	1.8	3.0	30
14V	1.3	2.7	46
32V	0.49	0.7	28

Tabla 2.11

La potencia de salida de cada secundario se puede estimar con las siguientes fórmulas:

$$P_{out} = I_{DC} \cdot V_{DC}$$

$$V_{DC} \approx (V_s \cdot \sqrt{2} - 2 V_D) \cdot 0.9$$

en donde V_D es la caída de tensión directa en un diodo de un puente rectificador. Para los cálculos se ha asumido $V_D \approx 1V$. El factor 0.9 considera un cierto rizado a la salida del rectificador.

En el primario, el voltaje nominal es de 120 V_{RMS}. Para una eficiencia de la lámina EI-13 de 86% y tomando un factor de potencia de 0.9, la corriente en el primario resulta:

$$0.9 \cdot E_p \cdot I_p = \frac{1}{\eta} P_{out}$$

$$I_p = \frac{30W + 46W + 28W}{0.9 \cdot (120V) \cdot (0.86)}$$

$$I_p = 1.12A$$

Con estos datos se pueden hacer todos los cálculos necesarios para la construcción del transformador. El pro

cedimiento seguido se halla en el REFERENCE DATA FOR RADIO ENGINEERS, de la ITT. Los resultados más importantes se resumen a continuación:

	Voltaje V	Número de vueltas	Alambre AWG
Primario	120V	12+256+24+24+24	21
Secundario 1	9V	23	17
Secundario 2	14V	36	17
Secundario 3	32V	41+41	23

Tabla 2.12

2.6.2. Rectificación y Filtrado

Para la rectificación se han dispuesto puentes de diodos en los secundarios y el filtrado se hace únicamente con condensadores, tal como lo muestra la Fig. 2.62

Para calcular el voltaje continuo de entrada en los reguladores (V_{DC}) y el factor de rizado (γ) se procede así:

$$V_{DC} = V_m - \frac{I_{nom}}{4f \cdot C_F}$$

$$\gamma = \frac{I_{nom}}{4 \cdot \sqrt{3} f \cdot V_{DC} \cdot C_F}$$

$$V_m = \sqrt{2} \cdot V_s - 2V_D$$

Siendo: V_s el voltaje eficaz en el secundario y $V_D \approx 1V$, el voltaje de conducción en los diodos del puente rectificador.

$f = 60$ Hz (frecuencia de la red)

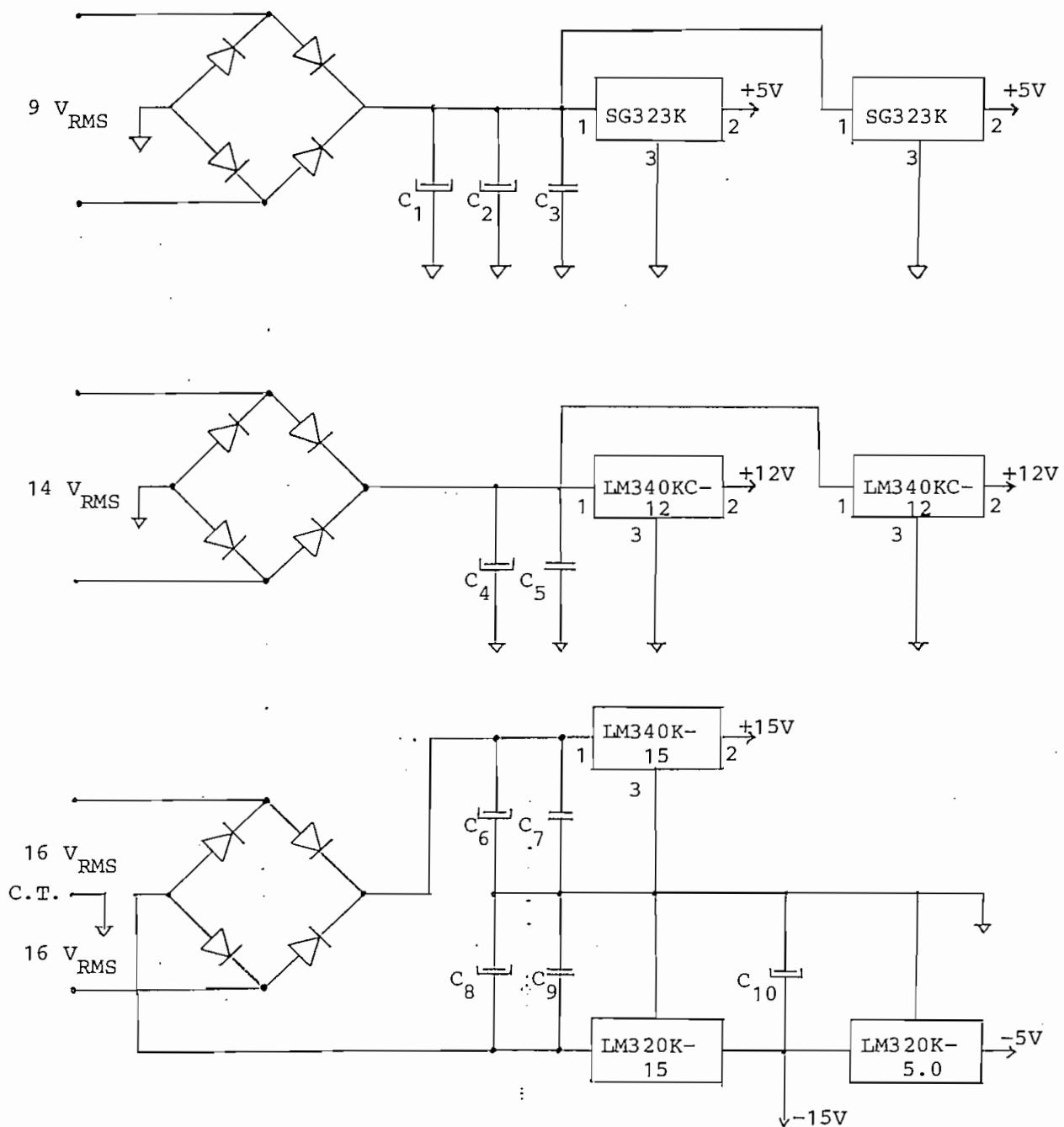
C_F = condensador del filtro

En la siguiente tabla se indican los valores calculados:

Regulador	$V_{in DC}$ (v)	δ (%)	$V_{in \min}$ (v)
+5V	9.79	5.53	9.02
+12V	16.16	5.86	14.82
+15V	19.70	2.72	18.94
-15V	-19.70	2.72	18.94

Tabla 2.13

Con estos valores se garantiza un correcto funcionamiento de todos los reguladores del equipo.



$$\begin{aligned}
 C_1 &= 3300 \text{ } \mu\text{F} \\
 C_2 &= 4700 \text{ } \mu\text{F} \\
 C_3 &= .33 \text{ } \mu\text{F} \\
 C_4 &= 3300 \text{ } \mu\text{F} \\
 C_5 &= .33 \text{ } \mu\text{F}
 \end{aligned}$$

$$\begin{aligned}
 C_6 &= 2200 \text{ } \mu\text{F} \\
 C_7 &= .33 \text{ } \mu\text{F} \\
 C_8 &= 2200 \text{ } \mu\text{F} \\
 C_9 &= .33 \text{ } \mu\text{F} \\
 C_{10} &= 4.7 \text{ } \mu\text{F}
 \end{aligned}$$

Fig. 2.62

CAPITULO III

CONSTRUCCION

- 3.1 Distribución de las Partes.
- 3.2 Descripción de las Tarjetas.
- 3.3 Panel de Comando.

CAPITULO III

CONSTRUCCION

En este capítulo se hablará de la implementación física del equipo. En la Fig. 3.1 se muestra el aspecto exterior del aparato, en el que se distinguen el panel de comando y los terminales de entrada y salida. En los subcapítulos siguientes se explicará cómo está construido internamente el sistema de adquisición de datos.

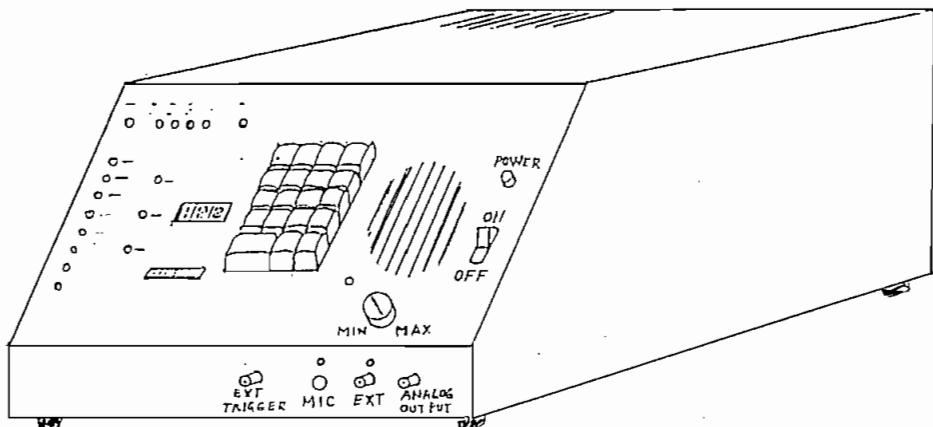


Fig. 3.1.

3.1. DISTRIBUCION DE LAS PARTES.-

En el diseño mecánico se ha procurado reducir al máximo el espacio físico necesario para ubicar los diferentes elementos del equipo. En la Fig. 3.2 se indica una vista en planta, en la que constan los diferentes bloques del sistema. TB1, TB2, hasta TB13, son los nombres de referencia de las tarjetas de circuitos impresos o de entor

char.

Todas las conexiones se hacen por la parte inferior del aparato, a excepción de las líneas que van del transformador a los puentes de diodos rectificadores (TB1) y las líneas que salen de la tarjeta TB3 al panel de indicación (TB12). Los cables que entran o salen a las distintas tarjetas lo hacen por medio de zócalos, conectores o regletas para facilitar así las labores de calibración y mantenimiento

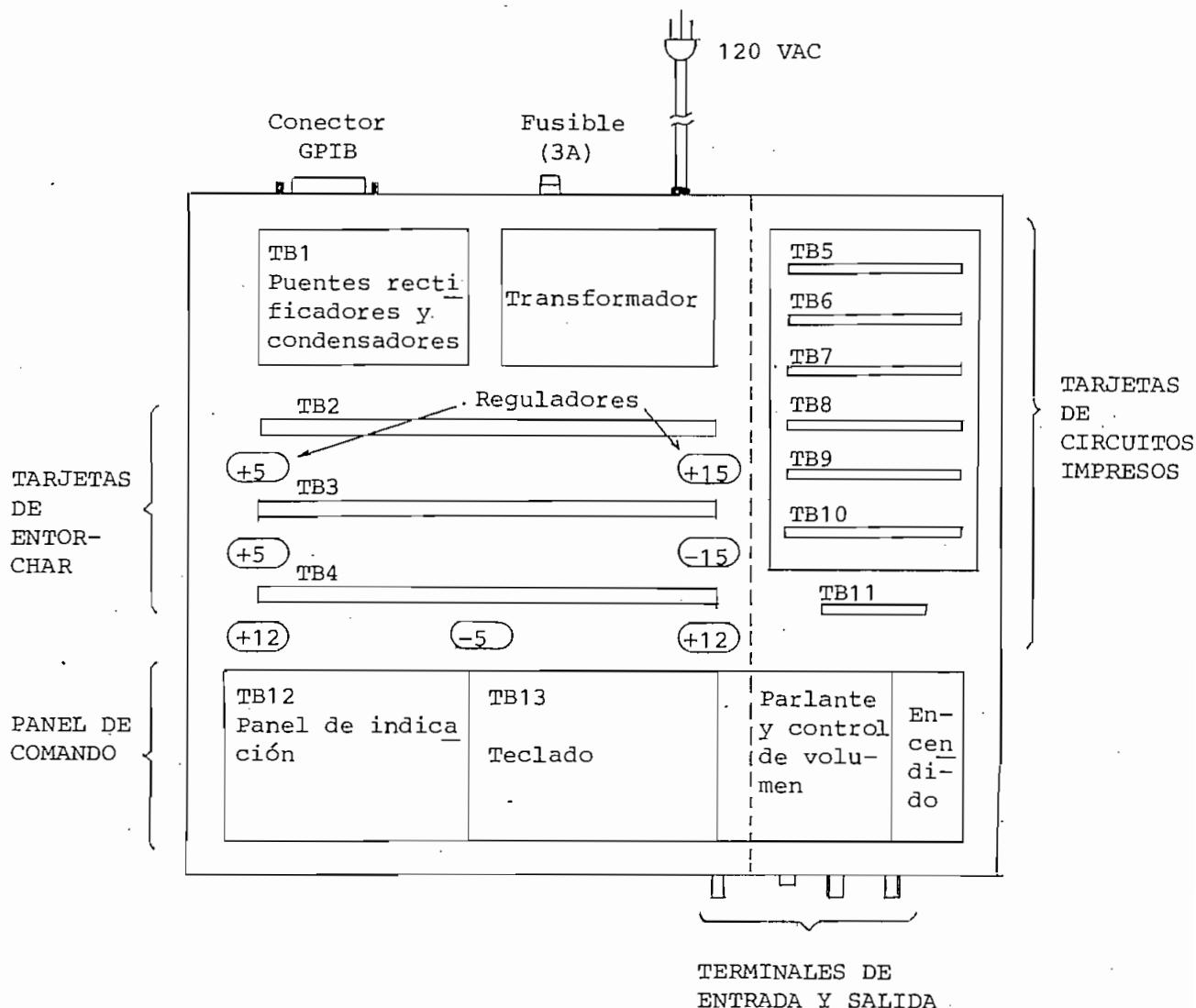


Fig. 3.2

Las tarjetas TB5 a TB10 se encuentran protegidas contra interferencia y ruido mediante láminas de aluminio conectadas a la carcasa (tierra) y, por la parte inferior, las líneas digitales que llevan señales de alta frecuencia o señales de audio también están recubiertas con mallas metálicas conectadas a tierra. Existe también por la parte inferior un tabique metálico (señalado con línea encortada en la Fig. 3.2) que tiene por objeto evitar la interferencia proveniente de los zócalos de las tarjetas de entorchar.

Con respecto a los terminales de entrada y salida, éstos se han puesto en la parte delantera del equipo según indica la Fig. 3.3, excepto el conector para el bus GPIB, que está ubicado en la parte posterior. Los LEDs, LI1 y LI2 indican cuál de las entradas para señales analógicas (MIC. o EXT.) queda habilitada al escoger una frecuencia de muestreo.

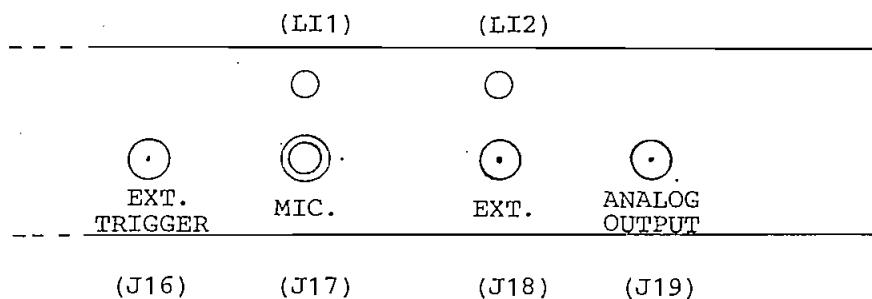


Fig. 3.3.

3.2. DESCRIPCION DE LAS TARJETAS.-

En esta parte se indicará la disposición física de los elementos más importantes de cada tarjeta y se dará

una lista con las denominaciones de los terminales de los zócalos o regletas y sus conexiones respectivas. Previamente se describirán las conexiones en la regleta del transformador. Los números o letras entre paréntesis indican el terminal del zócalo o regleta del cual entran o salen los cables.

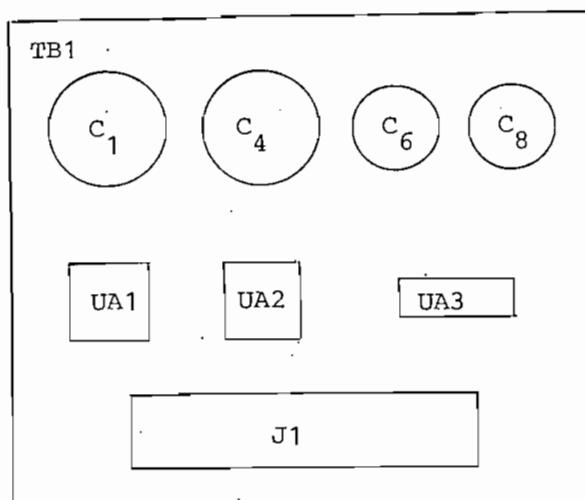
3.2.1. Regleta del Transformador - J0

Denominación	J0	Procedencia o destino
OV	(1)	← al neutro del cable de A.C.
5V	(2)	—
110V	(3)	—
120V	(4)	← J14 (6)
130V	(5)	—
140V	(6)	—
V_{S1}	(7)	→ J1 (1)
V_{S1}	(8)	→ J1 (2)
V_{S2}	(9)	→ J1 (4)
V_{S2}	(10)	→ J1 (5)
V_{S3}	(11)	→ J1 (11)
V_{S3} (C.T.)	(12)	→ J1 (9)
V_{S3}	(13)	→ J1 (12)

Tabla 3.1.

3.2.2. TB1 -J1

La distribución de elementos se esquematiza en la Fig. 3.4 y las conexiones de la regleta J1 en la tabla 3.2.



$C_1 = 3300 \mu F$
 $C_4 = 3300 \mu F$
 $C_6 = 2200 \mu F$
 $C_8 = 2200 \mu F$
 UA1, UA2: ECG5312
 UA3: ECG 166

Fig. 3.4

Denominación	J1	Procedencia o destino
V_{S1}	(1)	\leftarrow JO (7)
V_{S2}	(2)	\leftarrow JO (8)
+5V	(3)	\rightarrow a los reguladores de +5V
V_{S2}	(4)	\leftarrow JO (9)
GND	(5)	\rightarrow al chasis
V_{S2}	(6)	\leftarrow JO (10)
+12V	(7)	\rightarrow al regulador de +12V
GND	(8)	\rightarrow al chasis
V_{S3} (C.T.)	(9)	\leftarrow JO (12)
+15V	(10)	\rightarrow al regulador de +15V
V_{S3}	(11)	\leftarrow JO (11)
V_{S3}	(12)	\leftarrow JO (13)
-15V	(13)	\rightarrow al regulador de -15V

Tabla 3.2

3.2.3. TB2 - J2

La distribución de elementos se esquematiza en la Fig. 3.5 y las conexiones del zócalo J2 en las tablas 3.3a hasta 3.3d.

3.2.4. TB3 - J3

La distribución de elementos se esquematiza en la Fig. 3.6 y las conexiones del zócalo J3 en las tablas 3.4a hasta 3.4d.

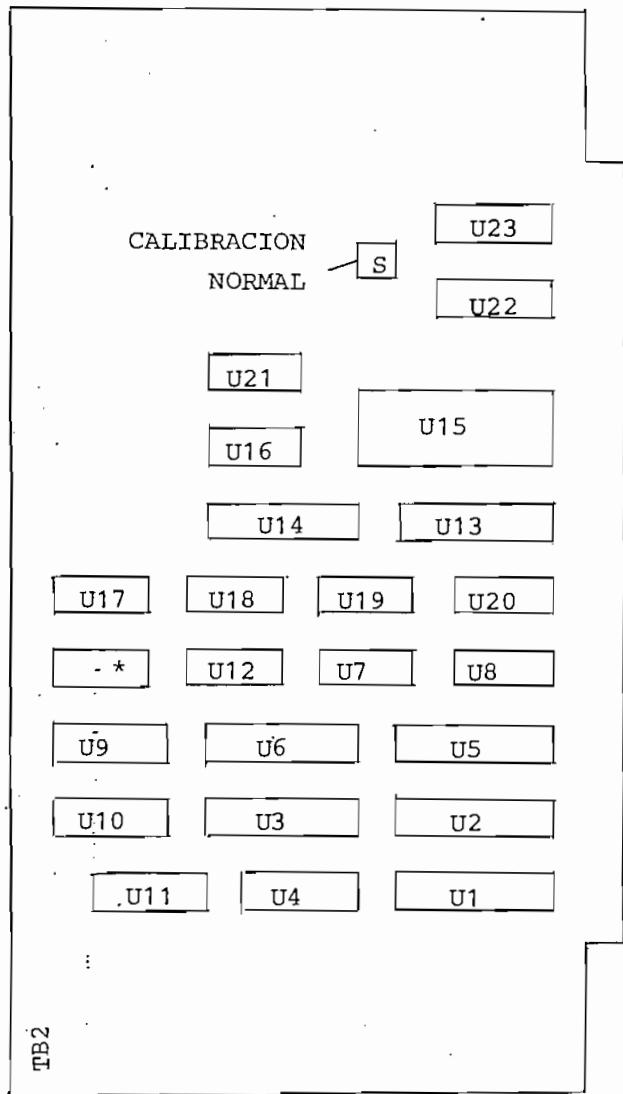
Obsérvese que en esta tarjeta se encuentran los conectores J12A, J12B y J12C cuyas líneas van a la tarjeta TB12. Las conexiones de estos conectores se describen en la sección 3.2.13.

3.2.5. TB4 - J4

La distribución de elementos se indica en la Fig. 3.7 y las conexiones del zócalo J4 en las tablas 3.5a hasta 3.5d.

Denominación

	1	74LS373
	2	74LS373
	3	74LS240
	4	74LS112
	5	74S244
	6	74S244
	7	7404
	8	7430
	9	74LS112
	10	7410
	11	7408
	12	7432
	13	MM74C923
	14	74S240
	15	74154
	16	5400
	17	7408
	18	5400
	19	5400
	20	7404
	21	7408
	22	74174
	23	74174



* Zócalo con resistencias y condensadores

S: Comutador para calibrar el conversor D/A

Fig. 3.5

Denominación	J2	Procedencia o Destino
+5V	(1)	← del regulador de +5V
BIT 11	(2)	← J4 (27)
LD	(3)	← J3 (15)
	(4)	—
BIT 9	(5)	← J4 (25·)
BIT 7	(6)	← J4 (23·)
BIT 5	(7)	← J4 (21·)
BIT 3	(8)	← J4 (19·)
BIT 1	(9)	← J4 (17·)
\overline{CL}	(10)	→ J3 (44)
1FC	(11)	← J15 (9)
NDAC	(12)	← J15 (8)
\overline{STC}	(13)	→ J3 (87)
DIO2	(14)	↔ J15 (2)
DIO4	(15)	↔ J15 (4)
DIO6	(16)	↔ J15 (14)
DIO8	(17)	↔ J15 (16)
CCAd	(18)	→ J3 (18)
	(19)	—
LED10	(20)	← J6 (b)
LED9	(21)	← J6 (a)
LED8	(22)	← J6 (z)
LED7	(23)	← J6 (Y)
X_1	(24)	→ J13 (1)
X_2	(25)	→ J13 (2)

Tabla 3.3a

Denominación	J2	Procedencia o Destino
X ₃	(26)	→ J13 (3)
X ₄	(27)	→ J13 (4)
<u>DATA OUT GPIB</u>	(28)	→ J3 (43)
<u>DATA IN MANUAL</u>	(29)	→ J3 (93)
6	(30)	→ J3 (23)
A*	(31)	→ J3 (21)
7	(32)	→ J3 (72)
5	(33)	→ J3 (73)
3	(34)	→ J3 (74)
1*	(35)	→ J3 (75)
BREAK	(36)	← J13 (11)
RESET	(37)	← J13 (12)
START	(38)	← J13 (13)
	(39)	—
	(40)	—
A1	(41)	→ J10 (h)
A3	(42)	→ J10 (e)
A5	(43)	→ J10 (c)
A7	(44)	→ J10 (z)
A9	(45)	→ J10 (X)
	(46)	—
	(47)	—
	(48)	—
	(49)	—
GND	(50)	— al chasis

Tabla 3.3b

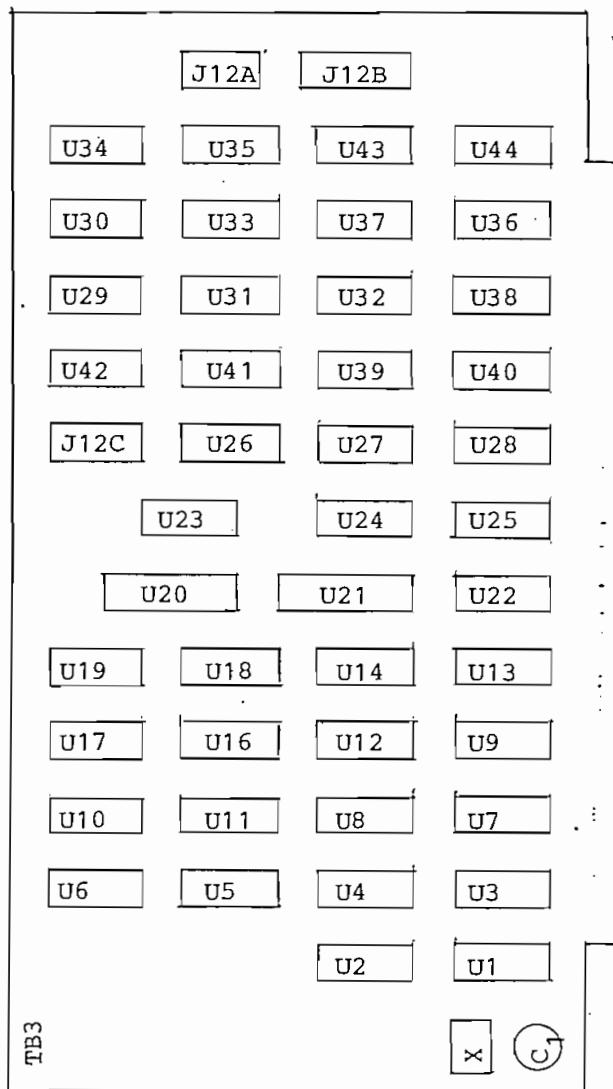
Denominación	J2	Procedencia o Destino
+5V	(51)	← al regulador de + 5V
BIT12	(52)	← J4 (28·)
Write	(53)	→ J4 (8)
BIT10	(54)	← J4 (26·)
BIT8	(55)	← J4 (24·)
BIT6	(56)	← J4 (22·)
BIT4	(57)	← J4 (20·)
MODE CONTROL	(58)	
BIT2	(59)	← J4 (18·)
DAV	(60)	→ J15 (6)
ATN	(61)	← J15 (11)
NRFD	(62)	← J15 (7)
	(63)	
DIO1	(64)	↔ J15 (1)
DIO3	(65)	↔ J15 (3)
DIO5	(66)	↔ J15 (13)
DIO7	(67)	↔ J15 (15)
EG	(68)	→ J3 (90)
GND OUT	(69)	→ J13 (15)
LB10	(70)	→ J3 (34)
LB9	(71)	→ J3 (33)
LB8	(72)	→ J3 (32)
LB7	(73)	→ J3 (31)
Y1	(74)	← J13 (74)
Y2	(75)	← J13 (75)

Tabla 3.3c

Denominación	J2	Procedencia o Destino
Y3	(76)	← J13 (76)
Y4	(77)	← J13 (77)
<u>DATA OUT ANALOG</u>	(78)	→ J3 (42)
<u>DATA IN AUTO</u>	(79)	→ J3 (92)
<u>AUDIO</u>	(80)	→ J3 (97)
<u>F*</u>	(81)	→ J3 (71)
<u>8</u>	(82)	→ J3 (22)
<u>IT</u>	(83)	← J3 (37)
<u>4</u>	(84)	→ J3 (24)
<u>2</u>	(85)	→ J3 (25)
	(86)	
<u>RESET</u>	(87)	→ J3 (91)
<u>START</u>	(88)	→ J3 (95)
<u>+5V OUT</u>	(89)	→ J13 (14)
	(90)	
A2	(91)	→ J10 (f)
A4	(92)	→ J10 (d)
A6	(93)	→ J10 (a)
A8	(94)	→ J10 (Y)
A10	(95)	→ J10 (w)
	(96)	
	(97)	
	(98)	
	(99)	
GND	(100)	— al chasis

Tabla 3.3d

	U	Denom.	U	Denom.
1	74S124	24	74147	
2	74S113	25	74147	
3	74S163	26	5400	
4	74S163	27	7404	
5	74S163	28	7404	
6	74LS93	29	7408	
7	74S151	30	7404	
8	74S113	31	5400	
9	7404	32	7420	
10	7404	33	7420	
11	7410	34	7432	
12	7432	35	7410	
13	7408	36	74LS112	
14	5400	37	5400	
15		38	5400	
16	7411	39	7410	
17	7430	40	7421	
18	5400	41	7411	
19	7430	42	74279	
20	74LS373	43	74LS247	
21	74LS373	44	74LS247	
22	7408			
23	74148			



X: Cristal de 6.144 MHz

C₁: 3 - 13 pF

J12A, J12B, J12C: Conectores de TB12

Fig. 3.6

Fig. 3.7

21	74LS373	44
22	7408	
23	74148	

Denominación	J3	Procedencia o Destino
+5V	(1)	← del regulador de + 5V
	(2)	
	(3)	
	(4)	
	(5)	
	(6)	
	(7)	
	(8)	
	(9)	
	(10)	
	(11)	
	(12)	
	(13)	
	(14)	
LD	(15)	→ J2 (3)
<u>CAS</u>	(16)	→ J4 (7)
	(17)	
CCAd	(18)	← J2 (18)
	(19)	
	(20)	
<u>A</u> *	(21)	← J2 (31)
<u>8</u>	(22)	← J2 (82)
<u>6</u>	(23)	← J2 (30)
<u>4</u>	(24)	← J2 (84)
<u>2</u>	(25)	← J2 (85)

Tabla 3.4a

Denominación	J3	Procedencia o Destino
	(26)	
S_R	(27) →	J9 (h)
	(28)	
	(29)	
S_a	(30) →	J7 (D) → LI2
LB7	(31) →	J12C (11) ← J2 (73)
LB8	(32) →	J12C (10) ← J2 (72)
LB9	(33) →	J12C (9) ← J2 (71)
LB10	(34) →	J12C (8) ← J2 (70)
	(35)	
	(36)	
IT	(37) →	J2 (83)
	(38)	
S_x	(39) →	J10 (B)
S_y	(40) →	J10 (A)
S_z	(41) →	J10 (F)
<u>DATA OUT ANALOG</u>	(42) ←	J2 (78)
<u>DATA OUT GPIB</u>	(43) ←	J2 (28)
\overline{CL}	(44) ←	J2 (10)
<u>EXT. TRIGGER</u>	(45) ←	J16
Memory Counter Reset	(46) →	J4 (35•)
	(47)	
LO	(48) →	J14 (8)
<u>EOM2</u>	(49) ←	J4 (38•)
GND	(50) —	al chasis

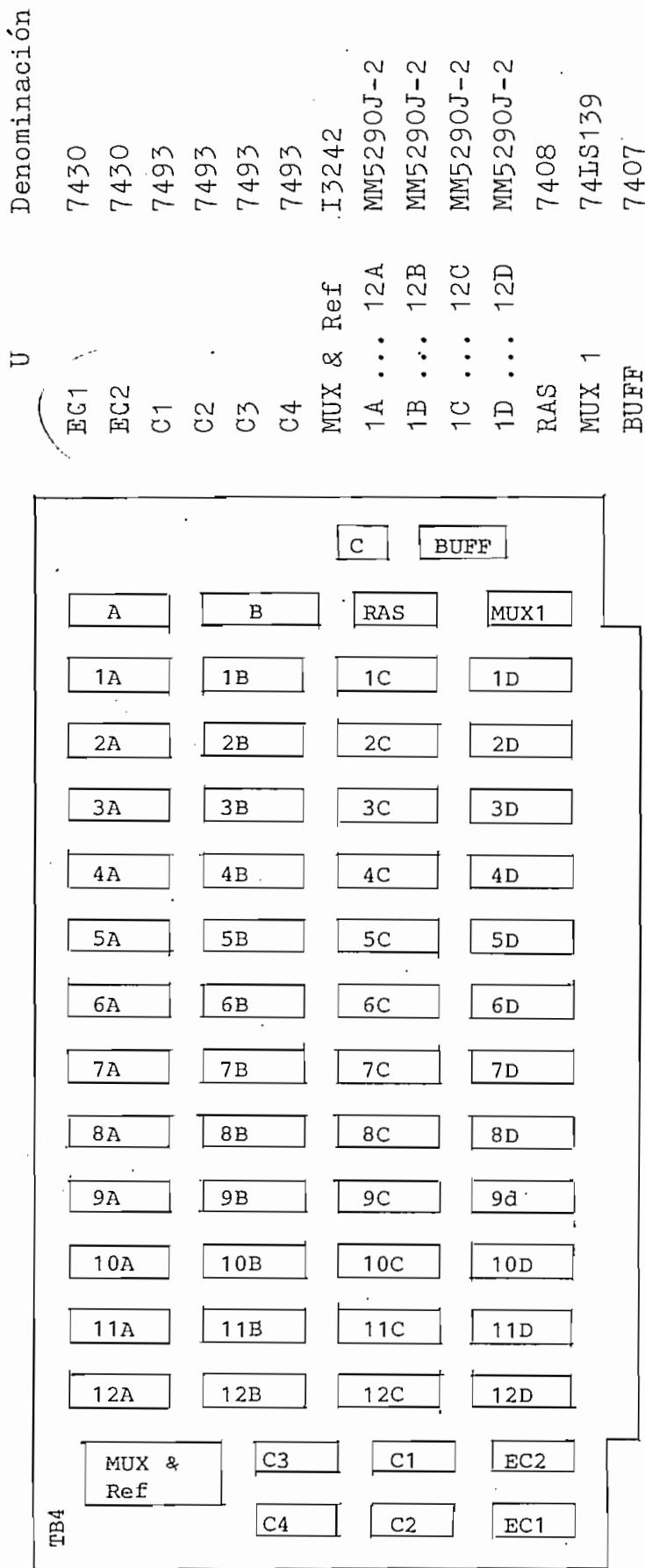
Tabla 3.4b

Denominación	J3	Procedencia o Destino
+5V	(51)	← del regulador de +5V
	(52)	
	(53)	
	(54)	
	(55)	
	(56)	
	(57)	
S5	(58)	→ J9 (D)
S2	(59)	→ J9 (E)
S4	(60)	→ J9 (J)
S3	(61)	→ J9 (H)
S1	(62)	→ J9 (Y)
CONVERT. START	(63)	→ J5 (c)
Row En	(64)	→ J4 (34)
MODE CONTROL	(65)	→ J5 (h) → J2 (58)
<u>RAS</u>	(66)	→ J4 (7)
	(67)	
Ref. En.	(68)	→ J4 (33)
<u>RAS</u> Ref.	(69)	→ J4 (8)
Count. Ref.	(70)	→ J4 (33)
<u>F</u> *	(71)	← J2 (81)
<u>7</u>	(72)	← J2 (32)
<u>5</u>	(73)	← J2 (33)
<u>3</u>	(74)	← J2 (34)
<u>1</u> *	(75)	← J2 (35)

Tabla 3.4c

Denominación	J3	Procedencia o Destino
S _{C1}	(76)	→ J9 (Z)
S _{C2}	(77)	→ J9 (d)
LB1	(78)	→ J12C (3) ← J6 (S)
LB2	(79)	→ J12C (2) ← J6 (T)
S _b	(80)	→ J8 (D) → LI 1
LB3	(81)	→ J12C (1) ← J6 (4)
LB4	(82)	→ J12C (14) ← J6 (V)
LB5	(83)	→ J12C (13) ← J6 (W)
LB6	(84)	→ J12C (12) ← J6 (X)
Mem. Add. Counter	(85)	→ J4 (34)
	(86)	
STC	(87)	← J2 (13)
	(88)	
	(89)	
EG	(90)	← J2 (68)
RESET	(91)	← J2 (87)
DATA IN AUTO	(92)	← J2 (79)
DATA IN MANUAL	(93)	← J2 (29)
AUTO TRIGGER	(94)	← J6 (h)
START	(95)	← J2 (88)
	(96)	
AUDIO	(97)	← J2 (80)
	(98)	
EOM 1	(99)	← J4 (39.)
GND	(100)	— al chasis

Tabla 3.4d



A, B, C: Zócalos con resistencias

Fig. 3.7

Denominación	J4	Procedencia o Destino
+12V	(1) ———	
+12V	(2) ———	
+12V	(3) ———	del regulador de +12V
:	(4)	
.	(5)	
.	(6)	
<u>CAS</u>	(7) ← J3 (16)	
<u>Write</u>	(8) ← J2 (53)	
	(9)	
	(10)	
+5V	(11) ———	del regulador de +5V
	(12)	
	(13)	
	(14)	
	(15)	
-5V	(16) ———	del regulador de -5V
I 1	(17) ← J5 (Y)	
I 2	(18) ← J5 (X)	
I 3	(19) ← J5 (W)	
I 4	(20) ← J5 (V)	
I 5	(21) ← J5 (U)	
I 6	(22) ← J5 (T)	
I 7	(23) ← J5 (S)	
I 8	(24) ← J5 (R)	
I 9	(25) ← J5 (P)	

Tabla 3.5a

Denominación	J4	Procedencia o Destino
(1..)	—	
(2..)	—	
(3..)	—	del regulador de +12V
(4..)		
(5..)		
(6..)		
RAS	(7..) ← J3 (66)	
RAS Ref.	(8..) ← J3 (69)	
	(9..)	
	(10..)	
+5V	(11..) —	del regulador de +5V
	(12..)	
	(13..)	
	(14..)	
	(15..)	
-5V	(16..) —	del regulador de -5V
01	(17..) → J2 (9)	
02	(18..) → J2 (59)	
03	(19..) → J2 (8)	
04	(20..) → J2 (57)	
05	(21..) → J2 (7)	
06	(22..) → J2 (56)	

Tabla 3.5c

Denominación	J4	Procedencia o Destino
07	(23 ·)	→ J2 (6)
08	(24 ·)	→ J2 (55)
09	(25 ·)	→ J2 (5)
010	(26 ·)	→ J2 (54)
011	(27 ·)	→ J2 (2)
012	(28 ·)	→ J2 (52)
-5V	(29 ·)	— del regulador de -5V
	(30 ·)	
	(31 ·)	
	(32 ·)	
Count. Ref.	(33 ·)	← J3 (70)
Row En.	(34 ·)	← J3 (64)
Memory Counter Reset	(35 ·)	← J3 (46)
	(36 ·)	
	(37 ·)	
EOM 2	(38 ·)	→ J3 (49)
EOM 1	(39 ·)	→ J3 (99)
	(40 ·)	
GND	(41 ·)	— al chasis
GND	(42 ·)	— al chasis
GND	(43 ·)	— al chasis

Tabla 3.5d

3.2.6. TB5 - J5

La distribución de elementos se esquematiza en la Fig. 3.8 y las conexiones del zócalo J5 en la tabla 3.6.

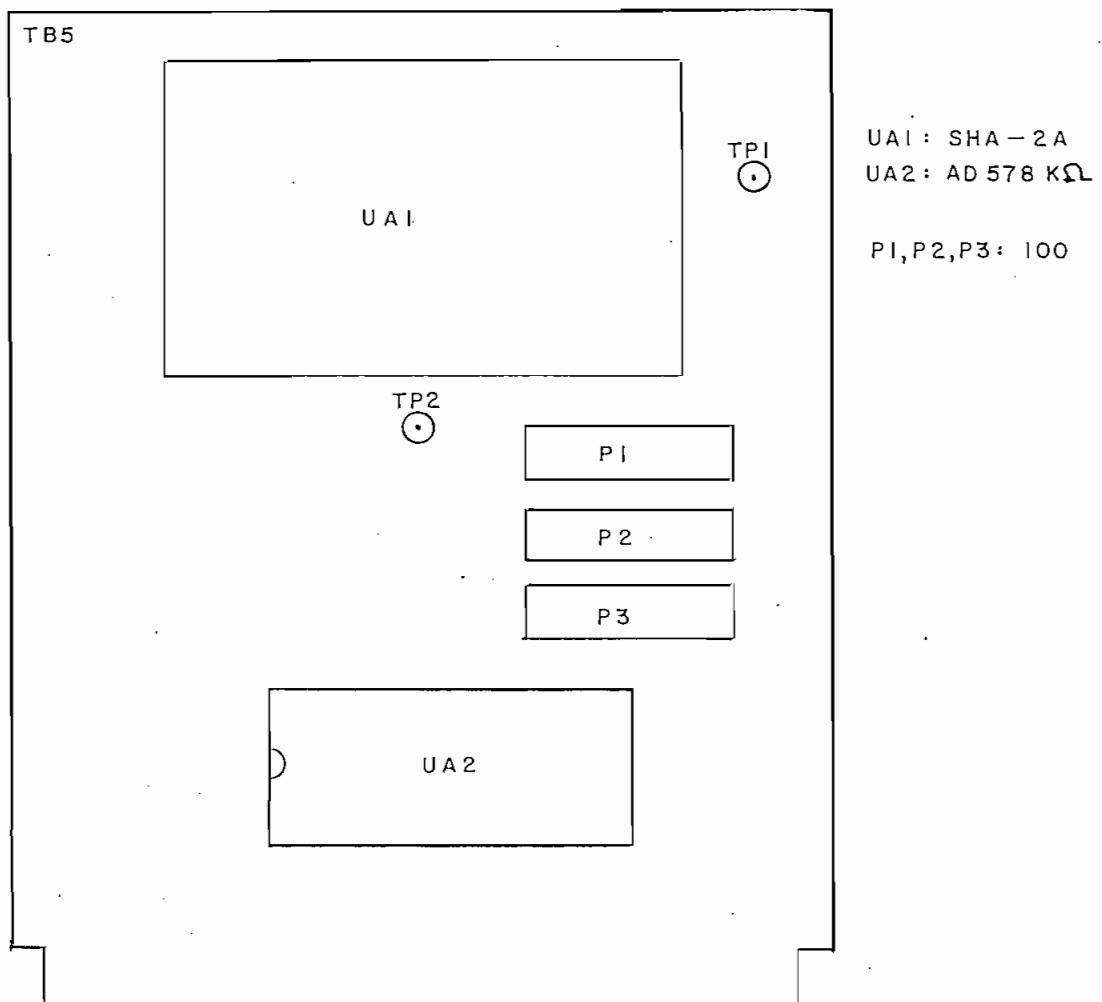


Fig. 3.8

Denominación	J5	Procedencia o Destino
ANA.GND	(A)	—
ANA.GND	(B)	— al chasis
ANA.GND	(C)	—
-15V	(D)	← J7 (E) ← J6 (M)
+15V	(E)	← J6 (c) ← J6 (P)
ANA.GND	(F)	← J5 (B) → J6 (e)
V out	(H)	→ J6 (N)
REF OUT	(J)	→ J10(S) (K)
BIT 12	(L)	→ J4(28)
BIT 11	(M)	→ J4(27)
BIT 10	(N)	→ J4(26)
BIT 9	(P)	→ J4(25)
BIT 8	(R)	→ J4(24)
BIT 7	(S)	→ J4(23)
BIT 6	(T)	→ J4(22)
BIT 5	(U)	→ J4(21)
BIT 4	(V)	→ J4(20)
BIT 3	(W)	→ J4(19)
BIT 2	(X)	→ J4(18)
BIT 1	(Y)	→ J4(17)
DIG. GND	(Z)	— al chasis → J5 (f)
+5V	(a)	← J6 (f) (b)
CON. START	(c)	← J3 (63)
EOC	(d)	— (e)
DIG. GND	(f)	← J5 (z) → J7 (h)
MODE	(h)	← J3 (65)
Vin	(j)	← J7 (c) (k)

Tabla 3.6

3.2.7. TB6 - J6

La distribución de elementos se esquematiza en la Fig. 3.9 y las conexiones del zócalo J6 en la tabla 3.7.

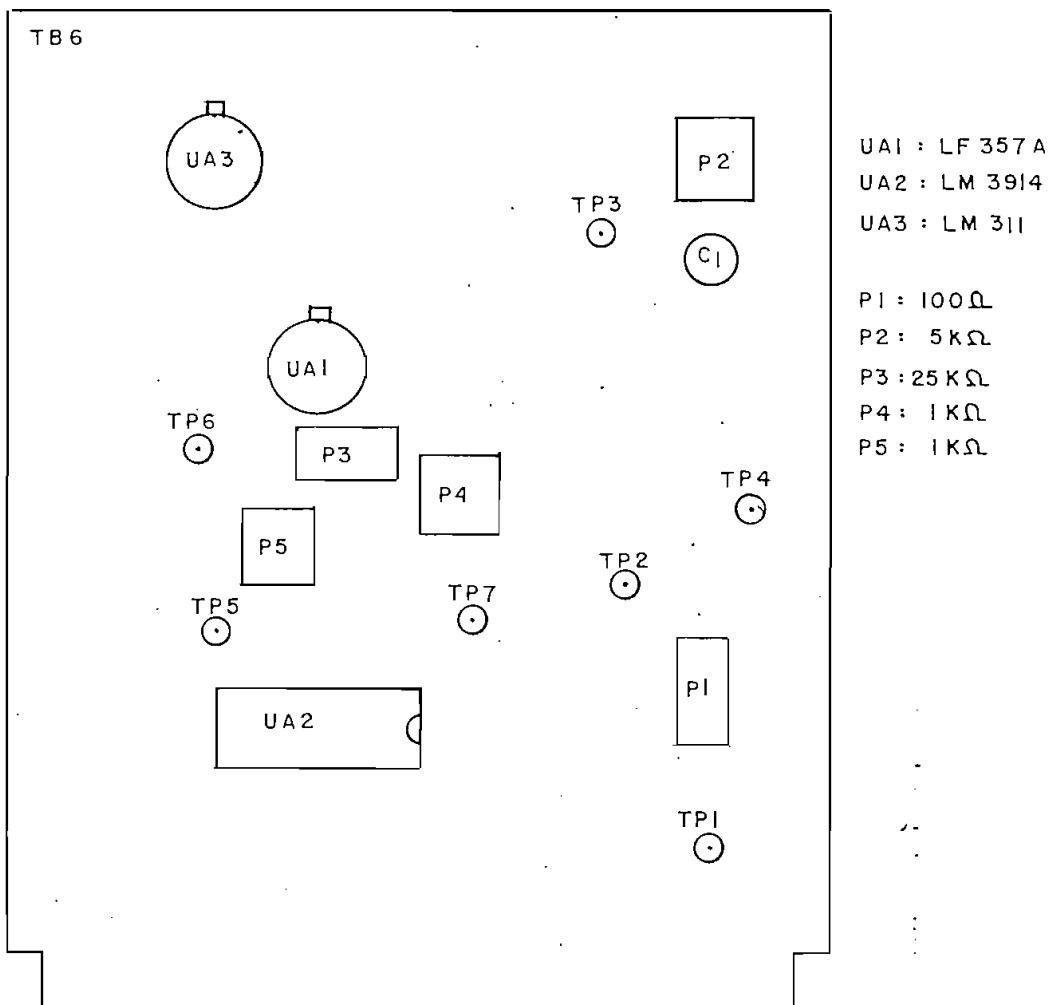


Fig. 3.9

Denominación	J6	Procedencia o Destino
GND	(A)	_____
GND	(B)	_____
GND	(C)	← J17 (2)
AUDIO in	(D)	← J17 (1)
AUDIO out	(E)	→ J9 (X)
	(F)	
EXT. Out	(H)	→ J8 (B)
EXT. in	(J)	← J18
	(K)	
	(L)	
-15V	(M)	→ J5 (D) ← J7 (Z)
REC. in	(N)	← J5 (H)
+15V	(P)	→ J5 (E) ← J7 (e)
GND	(R)	← J6 (d)
LED 1	(S)	→ J3 (78)
LED 2	(T)	→ J3 (79)
LED 3	(U)	→ J3 (81) → J6 (j)
LED 4	(V)	→ J3 (82)
LED 5	(W)	→ J3 (83)
LED 6	(X)	→ J3 (84)
LED 7	(Y)	→ J2 (23)
LED 8	(Z)	→ J2 (22)
LED 9	(a)	→ J2 (21)
LED 10	(b)	→ J2 (20)
+15V	(c)	→ J5 (E) ← J7 (M)
GND	(d)	→ J6 (R)
GND	(e)	← J5 (F) → J9 (b)
+5V	(f)	del regulador de +5V
TRIGGER	(h)	→ J3 (94)
COMP. in	(j)	← J6 (T)
	(k)	

Tabla 3.7

3.2.8. TB7 - J7

La distribución de elementos se esquematiza en la Fig. 3.10 y las conexiones del zócalo J7 en la tabla 3.8.

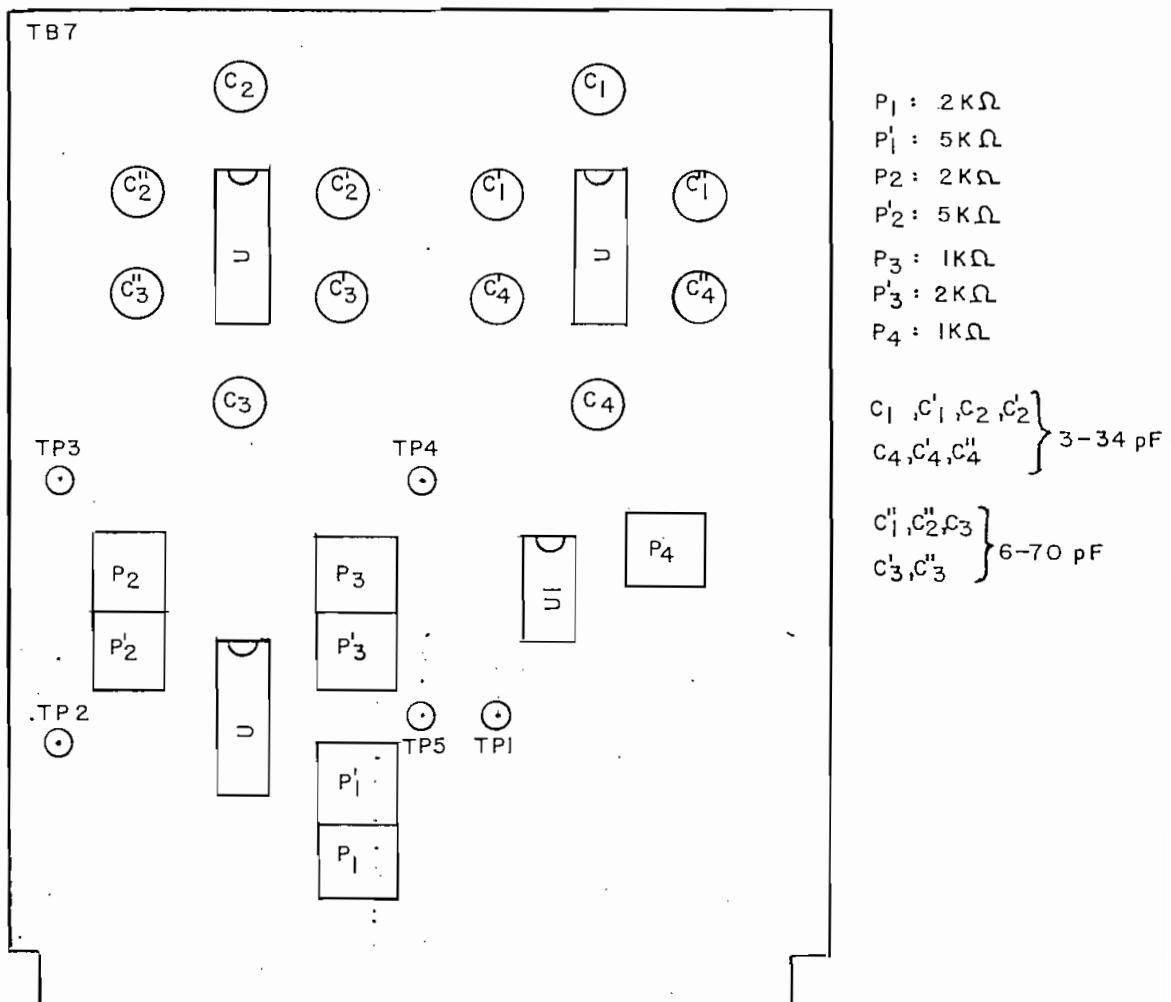


Fig. 3.10

3.2.9. TB8 -J8

La distribución de elementos se esquematiza en la Fig. 3.11 y las conexiones del zócalo J8 en la tabla 3.9

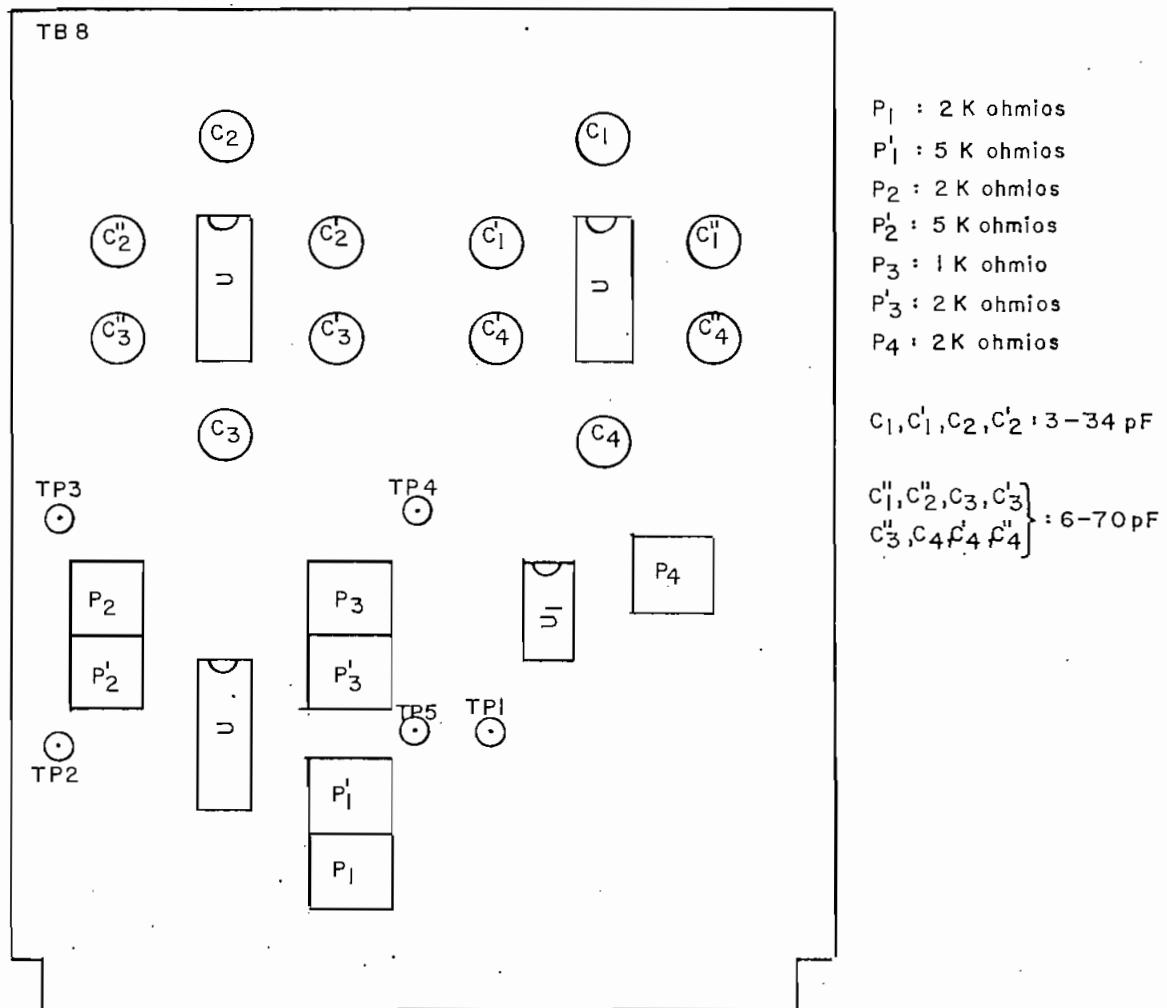


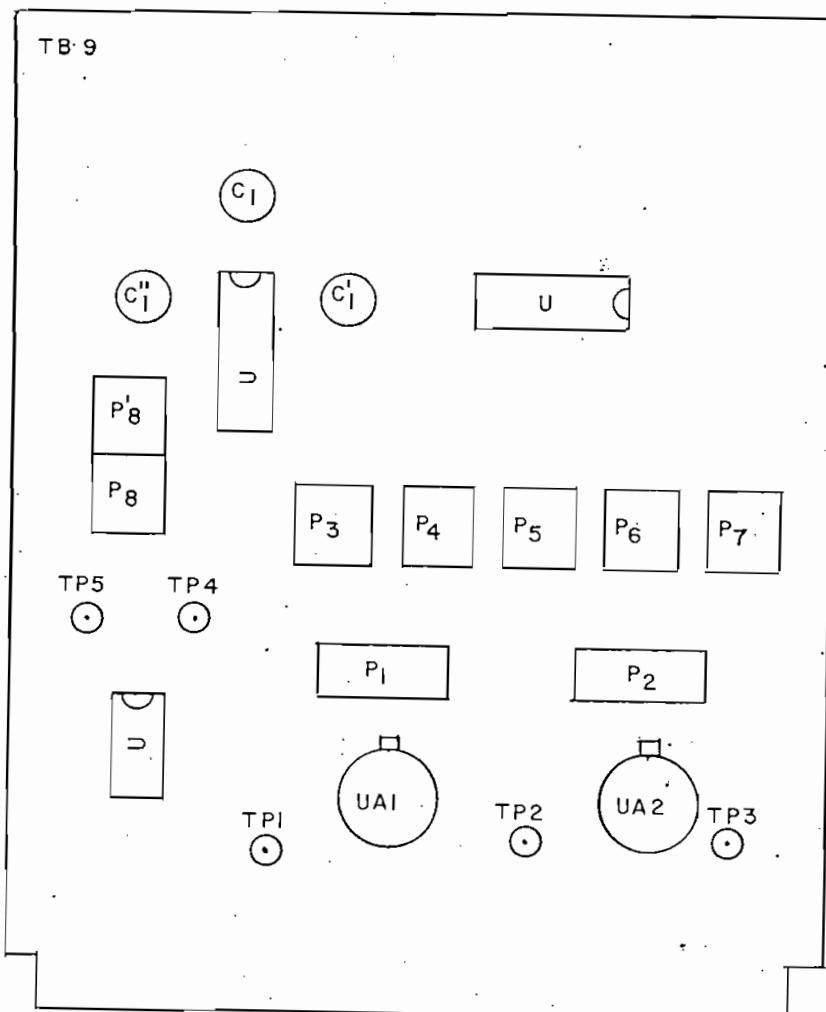
Fig. 3.11

Denominación	J8	Procedencia o Destino
		(A)
S _b (S)	(B)	← J6 (H)
S _b (D)	(C)	→ J7 (C)
S _b cont.	(D)	← J3 (80)
-15V	(E)	→ J7 (E) ← J9 (k)
DIG.GND	(F)	← J8 (f)
S _R	(H)	← J9 (h) → J7 (H) ← J9(H)
	(J)	
	(K)	
	(L)	
+15V	(M)	→ J7 (M) ← J9 (j)
	(N)	
	(P)	
	(R)	
	(S)	
V out	(T)	→ J9 (e)
	(U)	
	(V)	
V in	(W)	← J10 (D)
	(X)	
+15V	(Y)	← J9 (T) → J8 (e)
-15V	(Z)	→ J7 (Z) ← J9 (P)
	(a)	
GND	(b)	← J8 (f)
S _{C1}	(c)	← J9 (Z) → J7 (c)
S _{C2}	(d)	← J9 (d) → J7 (d)
+15V	(e)	→ J7 (Y) ← J8 (Y)
GND	(f)	→ J8 (F) → J8 (b)
GND	(h)	← J7 (h) ← J9 (B)
GND	(j)	
	(k)	

Tabla 3.9

3.2.10. TB9 -J9

La distribución de elementos se esquematiza en la Fig. 3.12 y las conexiones del zócalo J9 en la tabla 3.10.



P_1 : 25 Kohmios
 P_2 : 25 Kohmios
 P_3 : 1 Kohmio
 P_4 : 1 Kohmio
 P_5 : 5 Kohmios
 P_6 : 2 Kohmios
 P_7 : 1 Kohmios
 P_8 : 2 Kohmios
 P_8' : 5 Kohmios

$C_1, C_1', C_1'': 6-70 \mu F$

Fig. 3.12

3.2.11. TB10 - J10

La distribución de elementos se esquematiza en la Fig. 3.13 y las conexiones del zócalo J10 en la tabla 3.11.

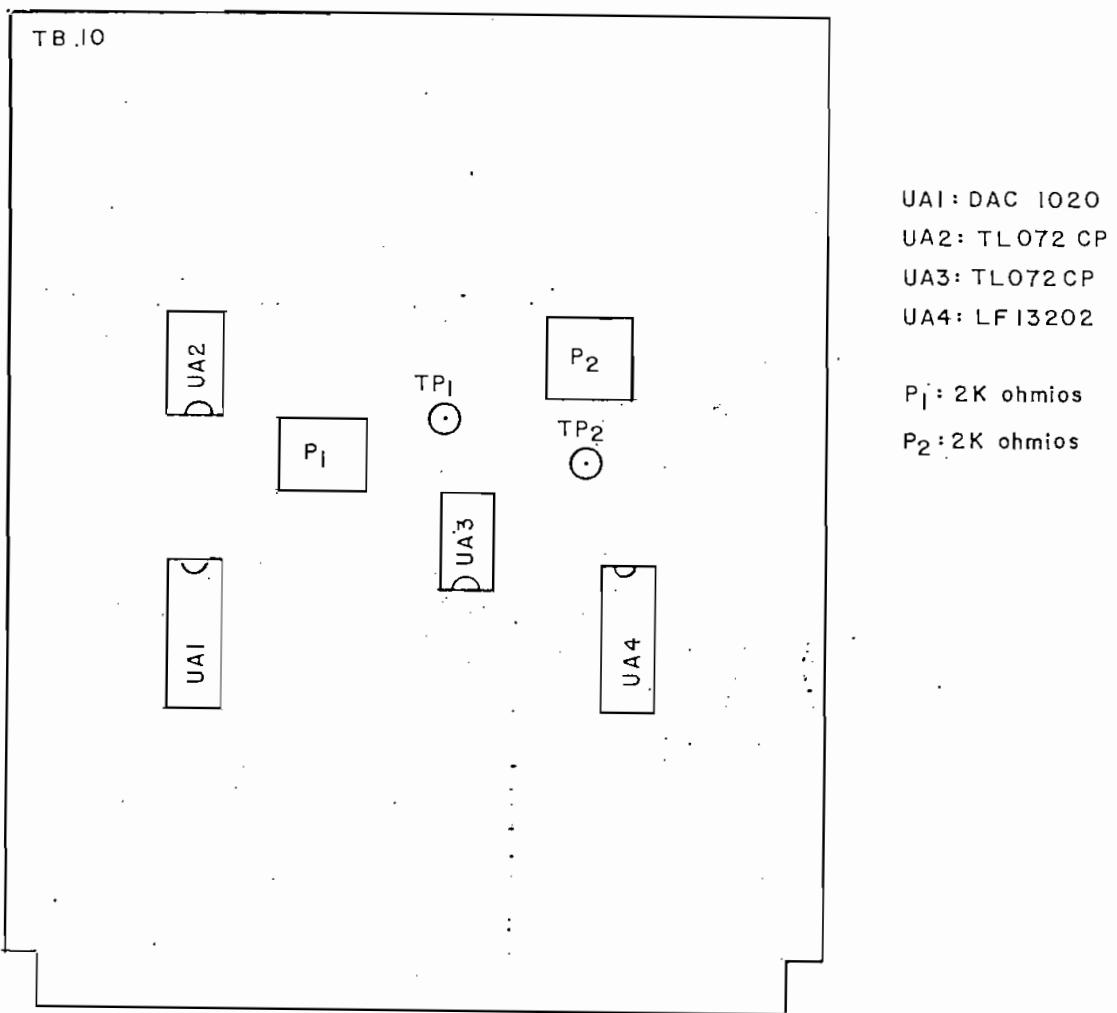
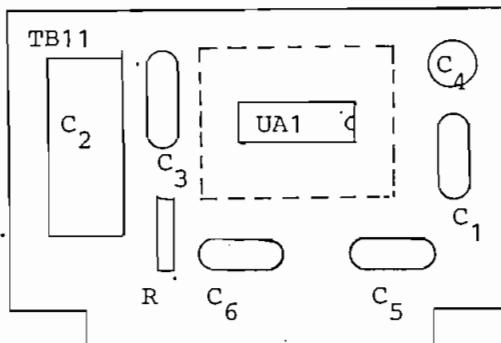


Fig. 3.13

3.2.12. TB11 - J11

La distribución de elementos se indica en la Fig. 3.14 y las conexiones del zócalo J11 en la tabla 3.12.



UA1: LM380

R = 3.0
 $C_1 = .47 \mu F$
 $C_2 = 1000 \mu F$
 $C_3 = .1 \mu F$
 $C_4 = 10 \mu F$
 $C_5 = .1 \mu F$
 $C_6 = .1 \mu F$

Fig. 3.14

Denominación	J11	Procedencia o Destino
V out	(1) \rightarrow J14 (1)	
GND	{ (2) (3) (4) (5) (6) (7) (8) (9) (10) (11) \rightarrow al chasis (12)	
+15V	(13) —— del regulador de +15V (14)	
V in	(15) \leftarrow J14 (3)	

Tabla 3.12

3.2.13. TB12 - J12

Esta tarjeta está formada por diodos emisores de luz y resistencias de protección. La Fig. 3.15 indica la disposición de elementos y en las tablas 3.13a, 3.13b y 3.13c se resumen las conexiones de los conectores J12A, J12B y J12C, respectivamente. Estos conectores se encuentran en TB3 (ver sección 3.2.4.).

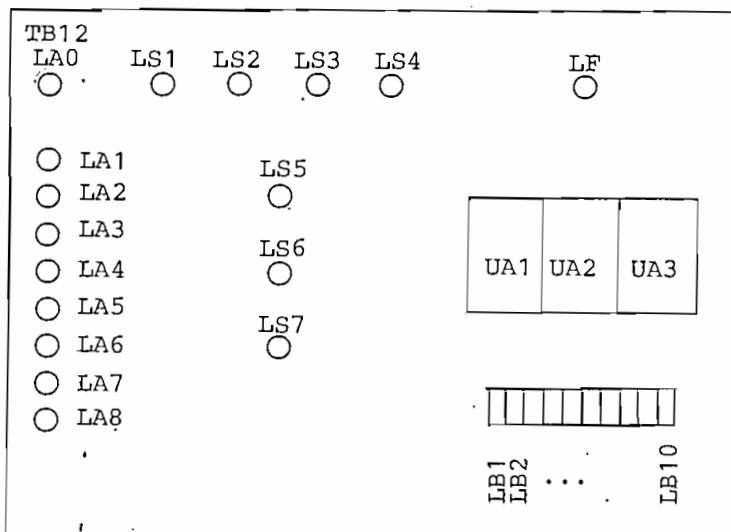


Fig. 3.15

Denominación	J12A	Procedencia o Destino
LS2	(1)	TB3 (LS2)
LS1	(2)	TB3 (LS1)
LAO	(3)	TB3 (LAO)
LA1	(4)	TB3 (LA1)
LA2	(5)	TB3 (LA2)
LA3	(6)	TB3 (LA3)
LA4	(7)	TB3 (LA4)
LA5	(8)	TB3 (LA5)
LA6	(9)	TB3 (LA6)
LA7	(10)	TB3 (LA7)
LA8	(11)	TB3 (LA8)
LF	(12)	TB3 (LF)
LS4	(13)	TB3 (LS4)
LS3	(14)	TB3 (LS3)

Tabla 3.13a

3.2.14. TB13 - J13

En esta tarjeta constan únicamente el teclado y 3 redes RC para eliminar rebote (ver Fig. 3.16). Las conexiones del zócalo se detallan en la tabla 3.14.

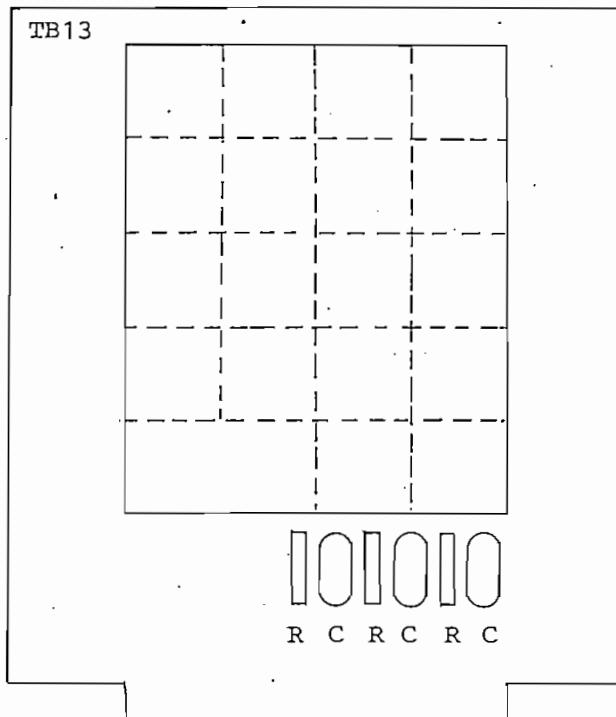


Fig. 3.16

3.2.16. Conecotor J15

Corresponde al conector GPIB. Las conexiones respectivas se indican en la tabla 3.16.

Denominación	J15	Procedencia o Destino
DIO 1	(1)	← J2 (64)
DIO 2	{ (2)	← J2 (14)
DIO 3	{ (3)	← J2 (65)
DIO 4	{ (4)	← J2 (15)
EOI	{ (5)	
DAV	{ (6)	← J2 (60)
NRFD	{ (7)	→ J2 (62)
NDAC	{ (8)	→ J2 (12)
IFC	{ (9)	→ J2 (11)
SRQ	{ (10)	
ATN	{ (11)	→ J2 (61)
SHIELD	{ (12)	— al chasis
DIO 5	{ (13)	← J2 (66)
DIO 6	{ (14)	← J2 (16)
DIO 7	{ (15)	← J2 (67)
DIO 8	{ (16)	← J2 (17)
REN	{ (17)	
GND 6	{ (18)	
GND 7	{ (19)	
GND 8	{ (20)	
GND 9	{ (21)	
GND 10	{ (22)	
GND 11	{ (23)	
LOGIC GND	{ (24)	←

Tabla 3.16

3.2.17. Conectores J16 a J19

Son los conectores de entrada y salida (ver Fig. 3.3.). J16, J17 y J19, son de tipo BNC. J17 es un conector para micrófono y sus conexiones se muestran en la Fig. 3.17

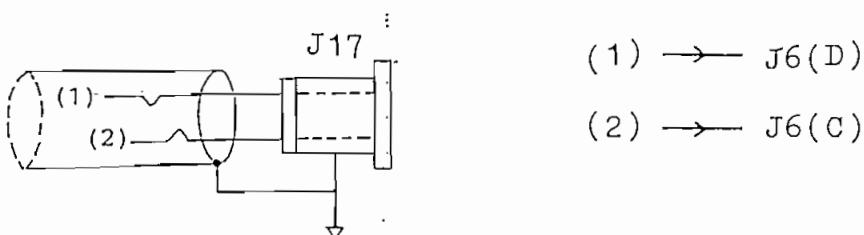


Fig. 3.17

3.3.2. Teclado

El teclado y el significado de cada tecla se explicará en la sección 2.5, correspondiente al circuito de control. En la Fig. 3.19 se muestra el aspecto exterior del teclado.

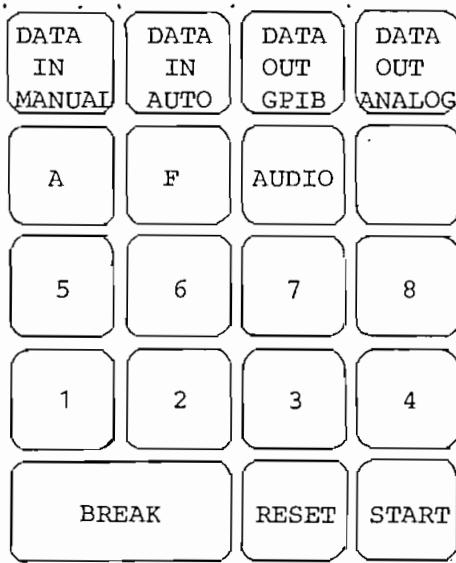


Fig. 3.19

3.3.3. Parlante y Control de Volumen

Al lado derecho del teclado se ha ubicado el parlante para la salida de audio y abajo de éste, el control de volumen respectivo (ver Fig. 3.20). Para señalar si el parlante está habilitado se ha puesto un LED indicador (LO) junto al control de volumen.

El parlante, el control de volumen y el LED LO se conectan al conector J14, según el esquema de la Figura 3.21.

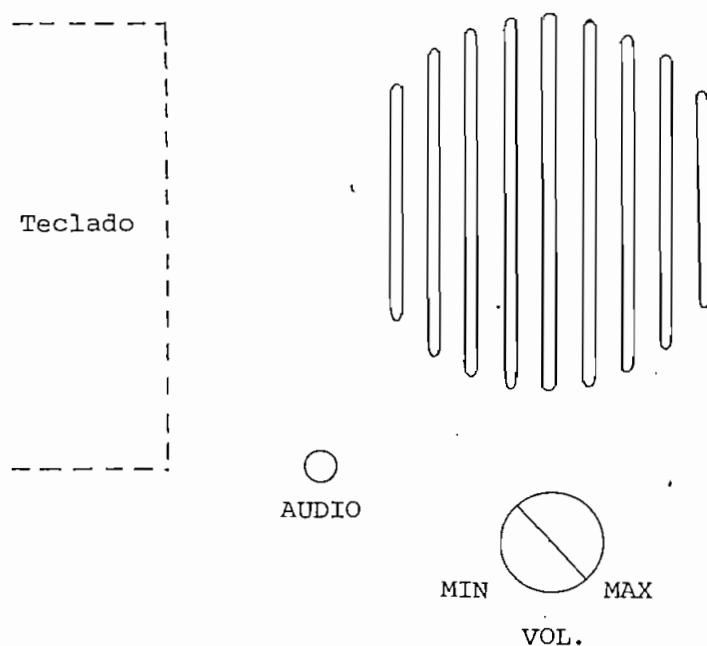


Fig. 3.20

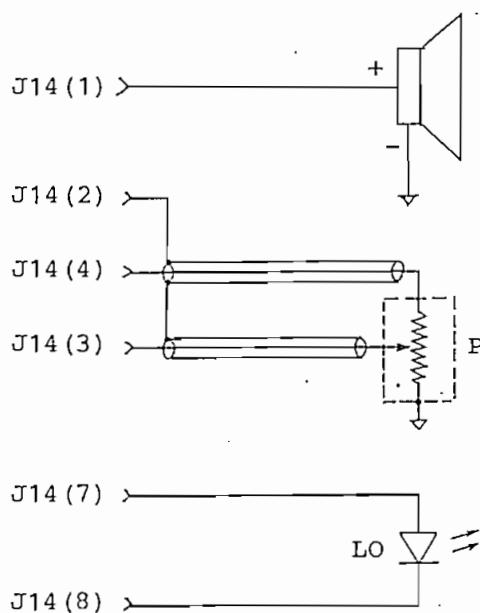


Fig. 3.21

3.4. INTERRUPTOR DE ENCENDIDO.-

Al extremo derecho del panel de comando se encuentra el interruptor de encendido S_{POWER} y sobre éste, una lámpara indicadora (L_{POWER}). La Fig. 3.22, muestra las conexiones respectivas.

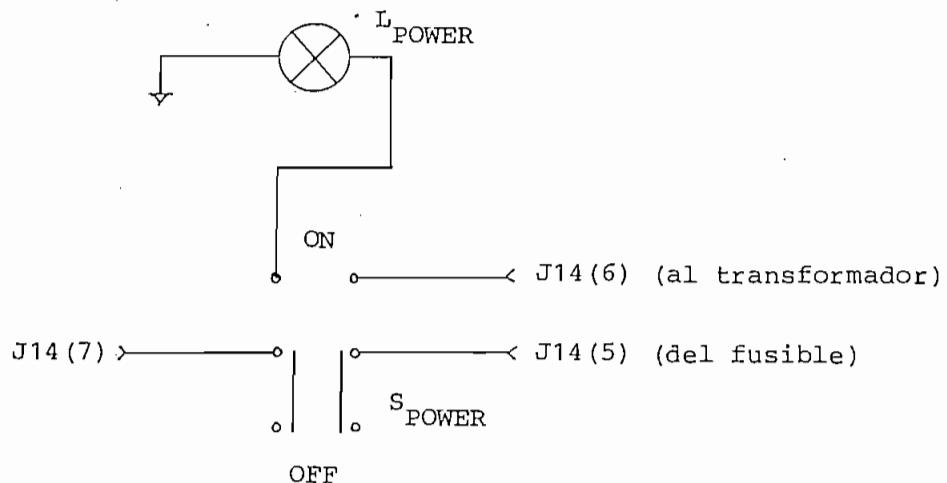


Fig. 3.22

CAPITULO IV

EXPERIMENTACION4.1. CALIBRACION.-

En esta sección se indica la forma de calibrar el sistema de adquisición de datos. Para calibrar las tarjetas TB5 a TB10 debe usarse una extensión que dé acceso a las puntas de prueba (TP), a los potenciómetros y condensadores variables. Para la ubicación de estos elementos referirse al capítulo III. Los números o letras entre paréntesis corresponden a los terminales del zócalo de la tarjeta respectiva.

Como regla general, conviene referir los instrumentos de medida al terminal de tierra más cercano a la tarjeta en la que se hace la calibración. Para ajustar los potenciómetros y condensadores variables se debe emplear un destornillador de material aislante, con el objeto de evitar la interferencia. En ningún caso se debe conectar señales de prueba que superen el rango de $\pm 10V$. Toda la calibración hacerla con el equipo encendido.

Los instrumentos necesarios se resumen a continuación:

- Un alicate de punta fina, para sacar y poner los cables de los zócalos.
- Un destornillador de material aislante
- Un voltímetro digital de $3\frac{1}{2}$ dígitos
- Un óhmetro digital, de preferencia, de $4\frac{1}{2}$ dígitos

- Un osciloscopio de dos canales
- Una fuente de voltaje DC (-10V a +10V)
- Un oscilador de onda senoidal.
- Un oscilador de onda cuadrada

4.1.1. Calibración de los Atenuadores de Entrada

4.1.1.a. Calibración del Atenuador 1

1.- En la tarjeta TB6, quitar los cables (f) y conectar a ella 5.00V en DC, referidos a (h), (j) o (k). En TP1 puede medirse este valor.

2.- Ajustar P_1 para conseguir en TP2 2.63V.

3.- Quitar la señal de 5.00V y conectar nuevamente los cables a (f).

4.1.1.b. Calibración del Atenuador 2

1.- En la tarjeta TB6, quitar los cables de la entrada (b) y conectar a ella 5.00V en DC, referidos a (h), (j) o (k). En TP3 puede medirse este valor.

2.- Ajustar P_2 para conseguir en TP4 2.500V

3.- Quitar la señal DC de la entrada (b) y poner en vez de ella una onda cuadrada de $\pm 5V$ y 1 KHz, con un oscilador (puede tomarse la señal en TP3).

4.- Conectar la punta del osciloscopio en TP5 y seleccionar F8 (192 KHz) desde el teclado.

5.- En TB6, ajustar C_1 para conseguir en TP5 una onda cuadrada de iguales características que la señal del oscilador (TP3).

4.1.3a. Calibración de las Resistencias

- 1.- En las tarjetas TB7 y TB8 colocar las entradas (W) a tierra y desconectar las salidas (T).
- 2.- Entre TP1 y TP2 conectar un óhmetro digital.
 - a) En F1, conseguir que el óhmetro marque 21.00 K Ω ajustando P1.
 - b) En F2, conseguir 14.00 K Ω ajustando P_{1'}.
- 3.- Entre TP2 y TP3:
 - a) En F1, conseguir 21.00 K Ω ajustando P₂.
 - b) En F2, conseguir 14.00 K Ω ajustando P_{2'}.
- 4.- Entre TP4 y TP5:
 - a) En F1, conseguir 10.50 K Ω ajustando P₃.
 - b) En F2, conseguir 7.000 K Ω ajustando P_{3'}.
- 5.- En la tarjeta TB9 colocar la entrada (e) a tierra y desconectar la salida (f).
- 6.- Entre TP4 y TP5:
 - a) En F1, conseguir 21.00 K Ω ajustando P₈.
 - b) En F2, conseguir 14.00 K Ω ajustando P_{8'}.
- 7.- Quitar las conexiones a tierra en las 3 entradas anteriores.

4.1.3b. Calibración de la Ganancia

- 1.- En las tarjetas TB7 y TB8, poner un voltaje DC de 5.00V en las entradas (W), referidos a (f), (h) o (j). Seleccionar F2.
- 2.- En la tarjeta TB7, conseguir que el voltaje en

la tabla 4.2.

- 9.- En la tarjeta TB9 conectar la señal de $1V_p$ en la entrada (e) (puede verse con un osciloscopio en TP4). Conectar otra punta del osciloscopio en TP5. Referir las señales a (a), (b) o (c).
- 10.- En F5 (o F6), conseguir $0.707 V_p$ en TP5, a la frecuencia dada por la tabla 4.3. Ajustar para ello C_1 .
- 11.- En F3 (o F4), conseguir $0.707 V_p$ en TP5, ajustando C'_1 .
- 12.- En F1 (o F2), conseguir $0.707 V_p$ en TP5, ajustando C''_1 .
- 13.- Quitar la señal de $1V_p$ en las entradas anteriores y conectar los cables originales tanto en las 3 entradas J7 (w), J8 (w), y J9 (e), como en las salidas J7 (T), J8 (T) y J9 (f).

TARJETA TB7

Frecuencia de Muestreo	Cero de Tx f_∞ (Hz)	Frecuencia del máximo: F_M (Hz)
F1	3918	2759
F2	5876	4139
F3	7835	5519
F4	11753	8278
F5	15670	11038
F6	23505	16557

$$V_{in} = 1V_p, V_M = 2.859V_p$$

Tabla 4.1

- 2.- En la tarjeta TB10, ajustar P_1 para conseguir en TP1 un voltaje DC de 5.00V, referidos a (P).
- 3.- Seleccionar en el teclado el modo DATA OUT ANALOG.
- 4.- En la tarjeta TB10, ajustar P_2 para conseguir en TP2 un voltaje DC de 2.603V, referidos a (P)
- 5.- Retornar el interruptor S de la tarjeta TB2 a la posición NORMAL.

4.1.7. Calibración del Rectificador de Onda Completa

- 1.- En la tarjeta TB6, poner a tierra la entrada(N)
- 2.- En TP6 conseguir el menor voltaje posible (referido a (d) o (e)), ajustando P_3 .
- 3.- Quitar la conexión de tierra en la entrada (N)
- 4.- Desconectar la entrada (N) e introducir por ella un voltaje DC igual a -5.00V (puede medirse en TP5), referido a (d) o (e).
- 5.- Ajustar P_4 para obtener en TP6 +5.00V.
- 6.- Quitar el voltaje de prueba de la entrada (N) y conectar el cable original.

4.1.8. Calibración del LM3914

- 1.- En la tarjeta TB6, ajustar P_5 para conseguir en TP7 + 5.00V, referidos a (R).

4.1.9. Ajuste del Nivel de Disparo Automático

El disparo automático se determina conectando en el

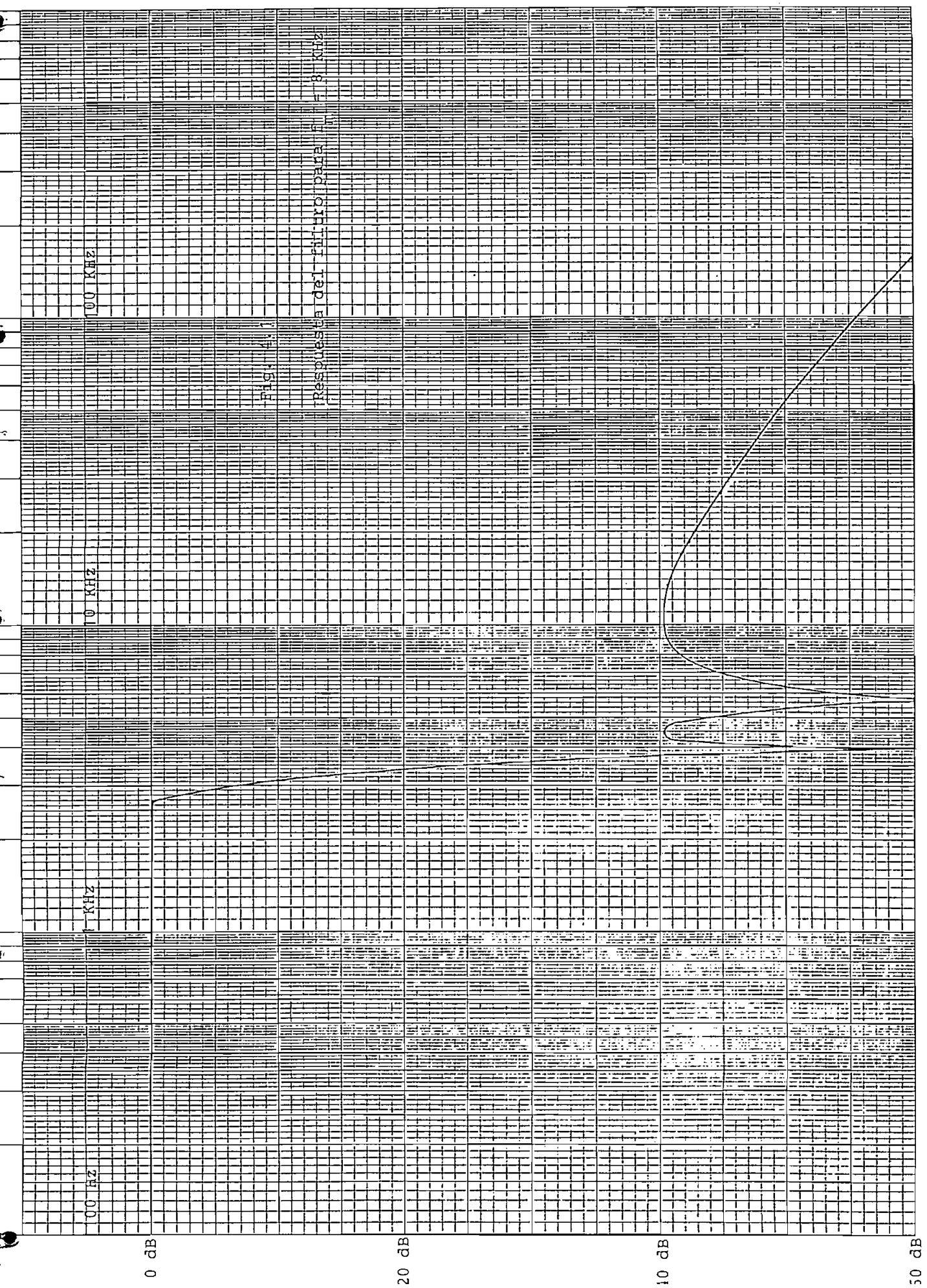
rentes frecuencias de corte que pueden ser programadas. A la entrada del filtro se conectó señal sinusoidal de $3.12 V_p$, aproximadamente, para conseguir a la salida $6V_p$ en la banda de paso. Las figuras 4.1 a 4.6 indican los resultados normalizados con respecto a los $6V_p$ y en las tablas 4.5a y 4.5b se dan a conocer las frecuencias a las cuales se produjeron los ceros de transmisión y el error con relación al valor teórico. Igualmente se indica el valor de atenuación alcanzado en estas frecuencias (teóricamente infinito). Conviene anotar que estas mediciones se realizaron dos meses después de haber sido calibrado el filtro por primera vez.

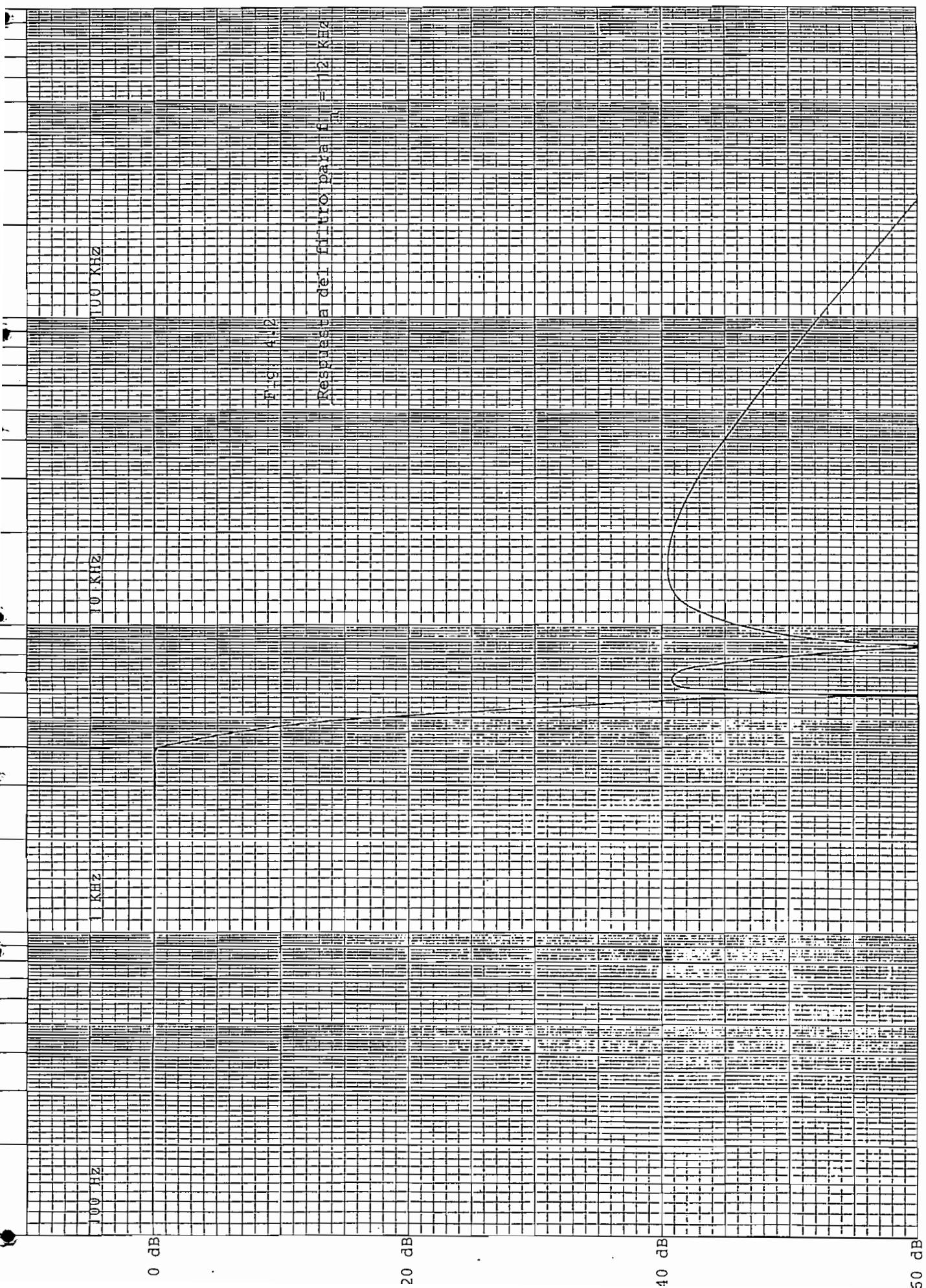
Primer Cero de Transmisión				
	Frecuencia teórica(Hz)	Frecuencia medida(Hz)	Error (%)	Atenuación (db)
F1	3918	3915	0.026	76
F2	5876	5868	0.136	76
F3	7835	7827	0.102	64
F4	11753	11738	0.128	64
F5	15670	15631	0.249	64
F6	23505	23456	0.208	62

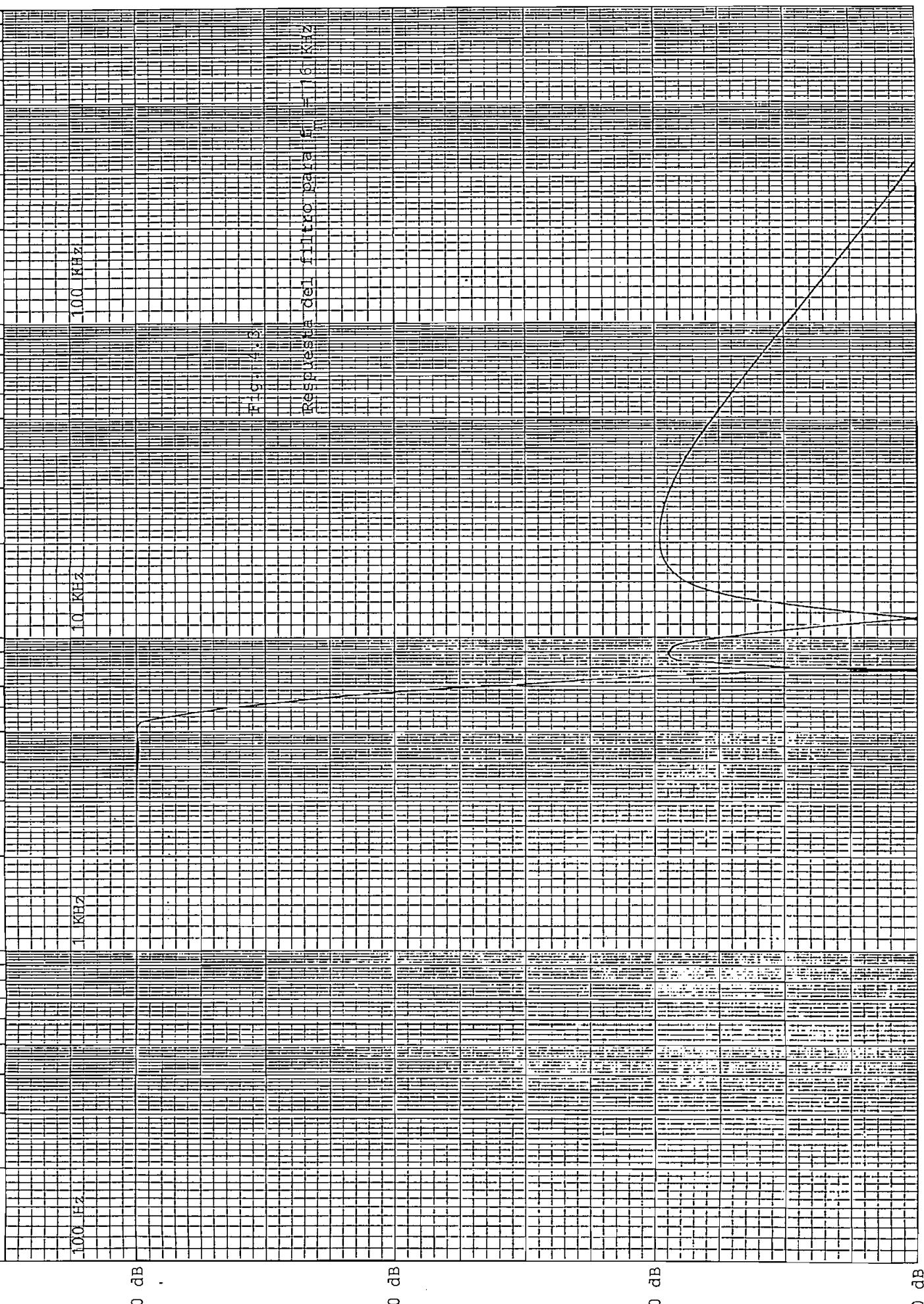
Tabla 4.5a

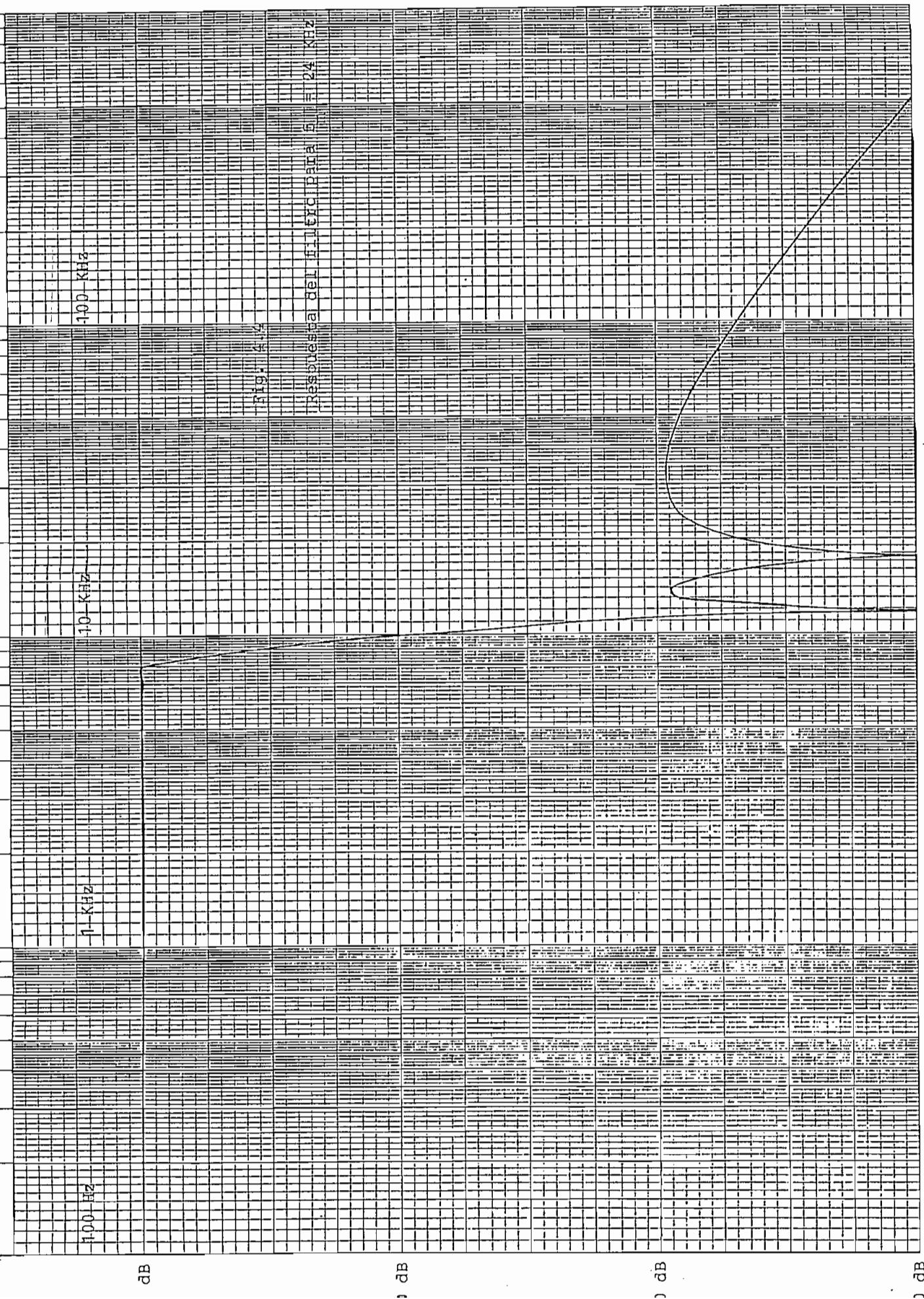
Segundo Cero de Transmisión				
	Frecuencia teórica(Hz)	Frecuencia medida(Hz)	Error %	Atenuación (dB)
F1	5794	5765	0.501	76
F2	8691	8650	0.472	76
F3	11588	11527	0.526	66
F4	17381	17281	0.575	66
F5	23175	23010	0.712	69
F6	34763	34442	0.923	69

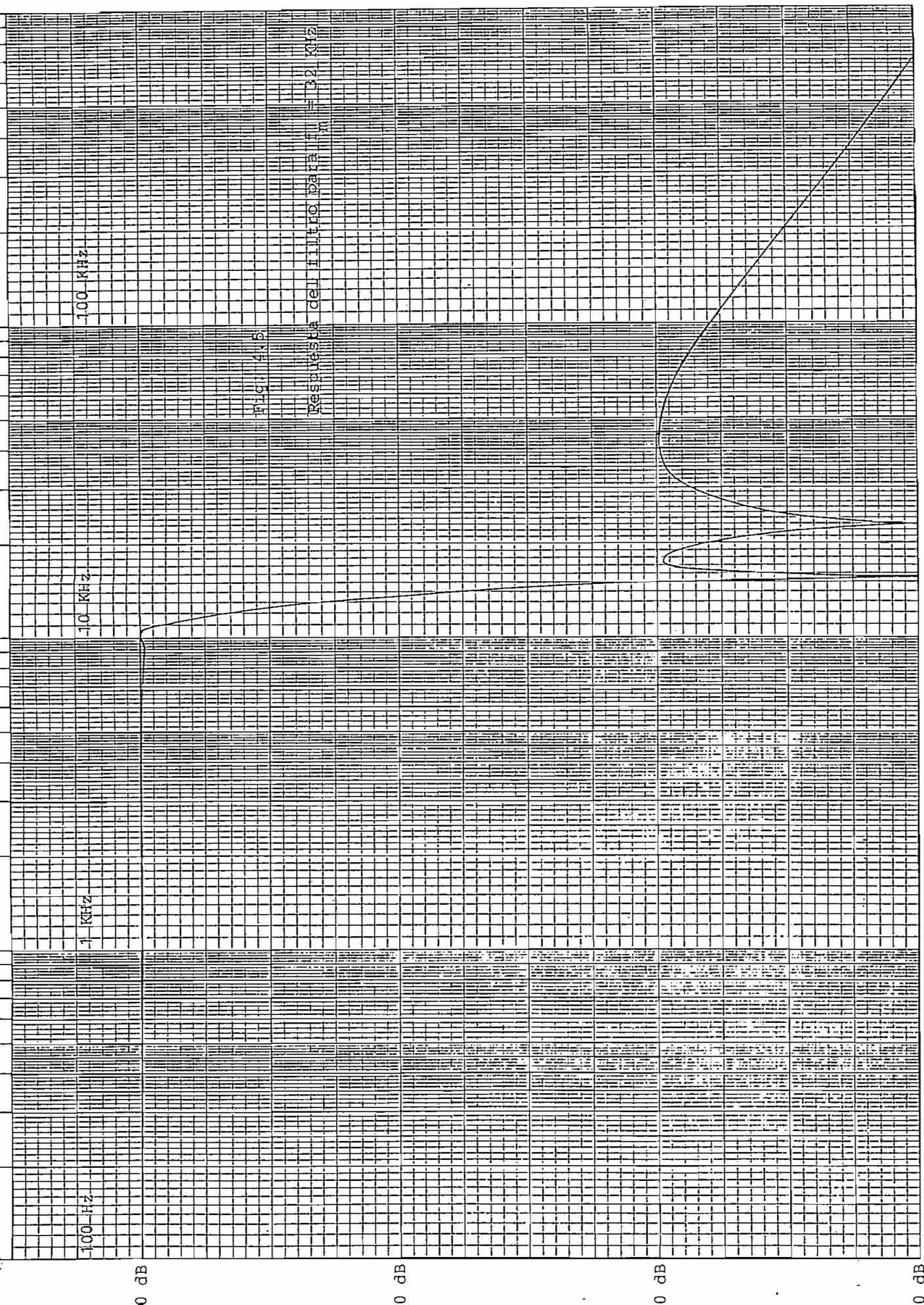
Tabla 4.5b











En la tabla siguiente se indican las frecuencias de corte (f_p) teóricas y medidas, y la selectividad (k) del filtro de acuerdo a la frecuencia de muestreo escogida. La selectividad teórica, en todos los casos, es 0.70541.

Frecuencia de muestreo (Hz)	Frecuencia de corte(Hz)		Selectividad
	teórica	medida	
F1 8000	2667	2656	0.7038
F2 12000	4000	3984	0.7044
F3 16000	5333	5232	0.7037
F4 24000	8000	7937	0.7030
F5 32000	10667	10670	0.7094
F6 48000	16000	16500	0.7274

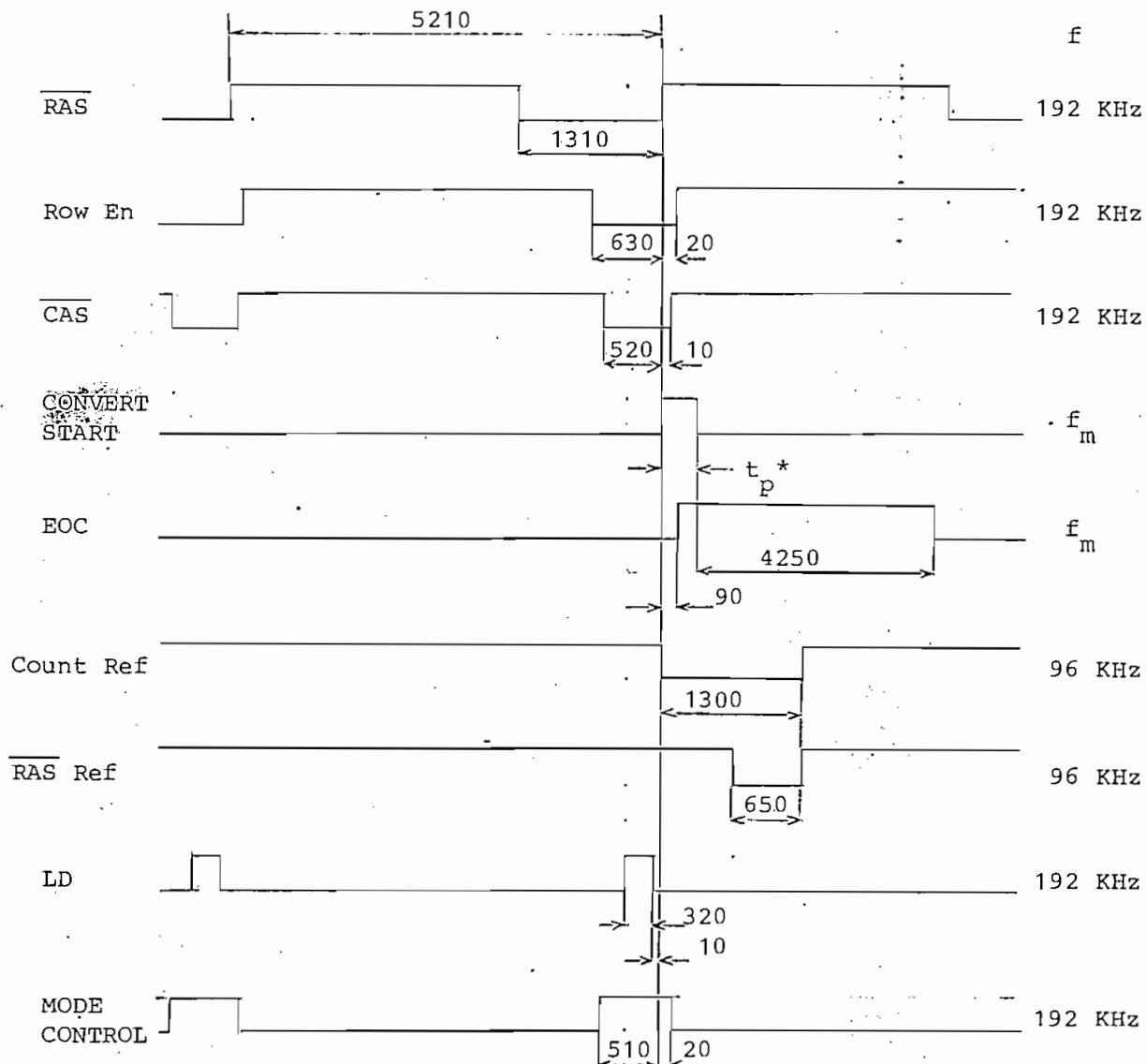
Tabla 4.6

Se puede apreciar que al aumentar la frecuencia de muestreo, aparece en la banda de paso del filtro un rizado mayor que el teórico (0.1dB) Por ejemplo, para $f_m = 32$ KHz, el rizado es aproximadamente 0.3dB y, para $f_m = 48$ KHz, alcanza los 0.4dB. La razón está en el hecho de que para estas frecuencias los interruptores análogos que programan los condensadores del filtro quedan abiertos y las capacidades parásitas en sus entradas modifican la función de transferencia. Este efecto es particularmente observable al calibrar la etapa 2 del filtro. De todas maneras, los resultados prácticos demuestran que el comportamiento del filtro es satisfactorio.

4.2.2. Pruebas a las Señales Digitales

Estas pruebas se realizaron con el analizador lógico

Tektronix 7603, cuya resolución llega a 10 ns. Los resultados de las mismas se indican en la Fig. 4.7. Todos los tiempos se dan en nanosegundos y se han medido tomando como referencia la transición positiva del RAS. Para comparar los resultados, referirse a la sección 2.5.1.



* para $f_m = 8$ KHz, $t_p = 280$ ns

para $f_m = 192$ KHz, $t_p = 310$ ns

Fig. 4.7

En las figuras 4.11 a 4.18 se muestran los datos de diferentes sectores de la memoria y que corresponden a una señal sinusoidal proveniente de un oscilador HEWLETT-PACKARD modelo 200 CD. La grabación se hizo por la entrada MIC., con una amplificación x200 y con una frecuencia de muestreo de 48 KHz.

Por último, en las figuras 4.19 a 4.23 se aprecian las formas de onda de las cinco vocales obtenidas usando el micrófono ATM-31, con amplificaciones entre 50 y 200, según la vocal.

4.3. CONCLUSIONES.-

Los resultados experimentales de este proyecto permiten afirmar que el sistema de adquisición de datos cumple con los requerimientos y con las especificaciones para las cuales fue diseñado, por lo que no puede hablarse de limitaciones en el equipo. Existen, sin embargo, fuentes de error en la cuantización de las señales, algunas de las cuales pueden compensarse o minimizarse. Las principales causas de error observadas durante la implementación del aparato se indican a continuación:

- Capacidades parásitas propias de los elementos y de la circuitería.
- Corrientes de fuga, sobre todo, de los interruptores análogos, pues los amplificadores operacionales poseen entradas de FETs.
- Inducción electromagnética, por la presencia de lí-

neas de fuerza.

Un punto que conviene topar es el referente a las especificaciones de los fabricantes. La mayoría de los elementos de la parte análoga son de la firma NATIONAL SEMICONDUCTOR y en las hojas de datos de los mismos se advierte falta de información; por ejemplo, para los interruptores análogos LF13202 se desconoce la respuesta de frecuencia con señales grandes ($5V_p$ o más); de igual manera, para el LM3914 no se tienen datos respecto a la respuesta de frecuencia; asimismo, se carece de información adecuada acerca de la polarización en las entradas del amplificador LM380, etc. Todo esto obliga a realizar pruebas en el laboratorio antes de proceder a un diseño definitivo.

En el caso de la firma ANALOG DEVICES, en cambio, se ofrecen datos muy precisos respecto a sus integrados, pero el costo que se debe pagar por ello es mucho más alto. En la parte digital sucede algo similar; por ejemplo, una falta de información más precisa sobre el consumo de las fuentes en las memorias dinámicas obligó a sobredimensionar la fuente de +12V. (en la práctica, el rizado observado no supera los 0.1V a la entrada de los reguladores).

Si bien se planteó inicialmente un diseño más simple, que contemplaba solamente los elementos básicos para el funcionamiento del sistema (ver Fig. 1.1), la inclusión de bloques adicionales, como por ejemplo el conversor D/A o el amplificador de audio (Fig. 1.3), se ha justificado plenamente al comprobar la utilidad que prestan al operador.

Inclusive, se pueden mencionar posibles modificaciones o expansiones para el sistema:

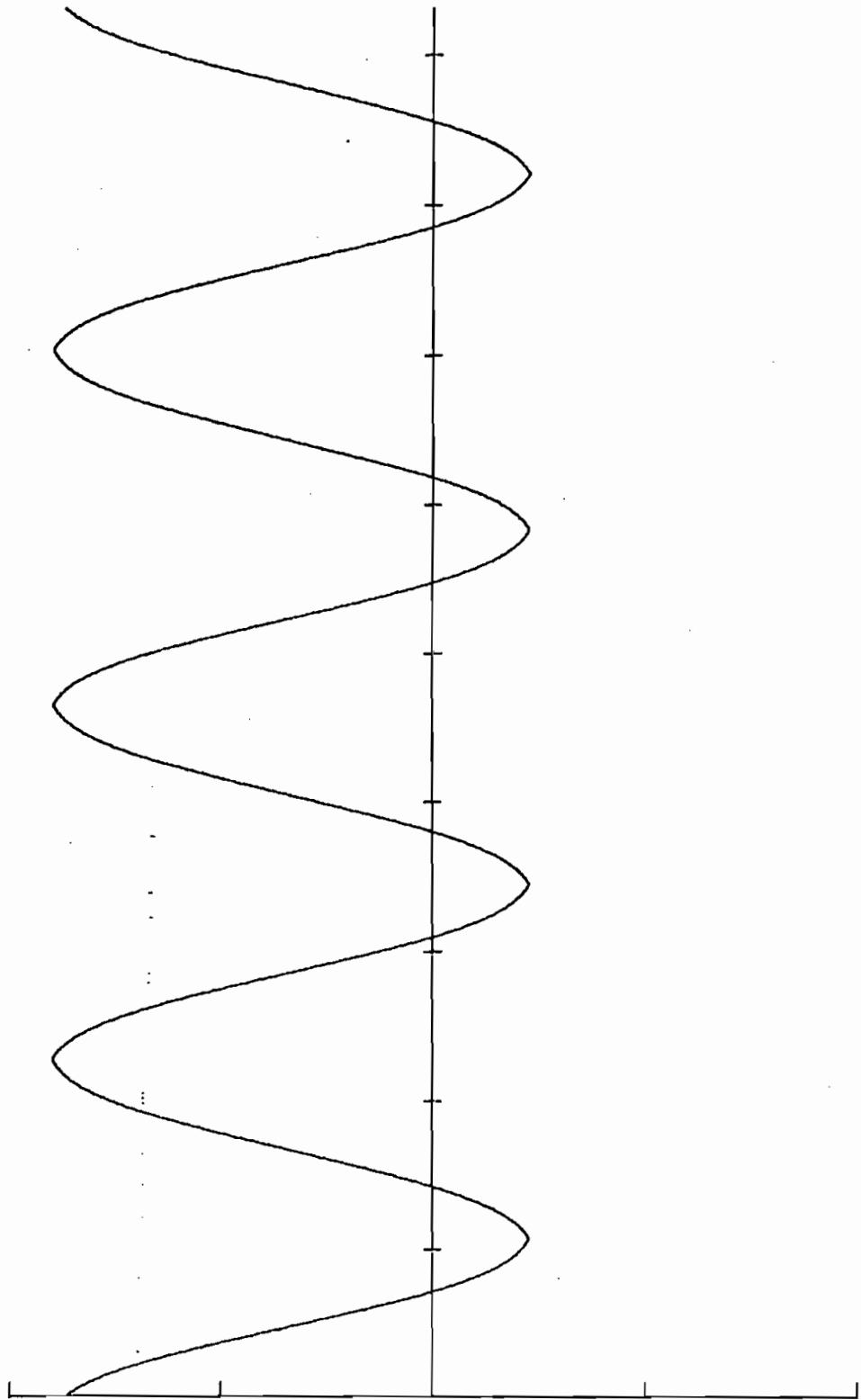
Podría hacerse que el nivel de disparo automático sea programable desde el teclado. Esta modificación se conseguiría añadiendo un circuito digital simple.

Una vez realizadas las pruebas con el computador, se ha podido observar la posibilidad de mejorar el sistema, convirtiéndolo en un "LISTENER". Para esta expansión sería necesario modificar el circuito de interface con el propósito de que pueda recibir básicamente dos tipos de instrucciones: La primera se refiere a que el computador pueda inicializar el contador de direccionamiento de la memoria en cualquier localidad, para empezar la lectura de datos desde ese punto. La segunda consiste en que el computador pueda escribir datos en la memoria del sistema, con el fin de realizar pruebas de síntesis de la voz.

En cuanto al tiempo que se ha requerido para completar el proyecto, fueron necesarias unas 1.500 horas de trabajo y el costo de elementos y materiales asciende a unos \$120.000,oo.

Fig. 4.8
SINUSOIDAL DE PRUEBA CON OFFSET

f_m : 192 KHz
 T : 5.21 μ s
HOR : 110 per/div
VER : 0.5/div



CAPITULO IV

EXPERIMENTACION

- 4.1 Calibración.
- 4.2 Pruebas.
- 4.3 Conclusiones.

Fig. 4.9
ONDA TRIANGULAR DE PRUEBA

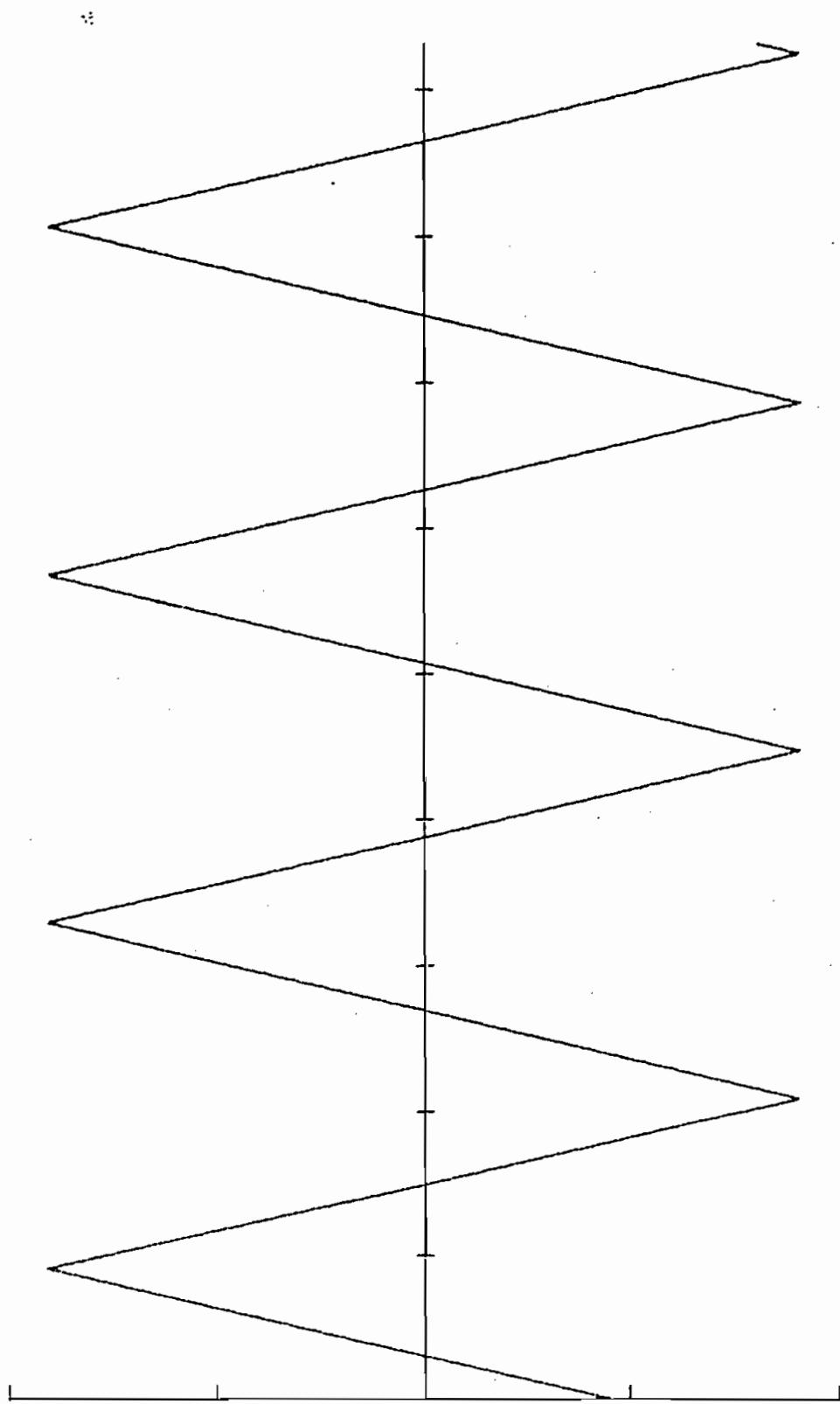
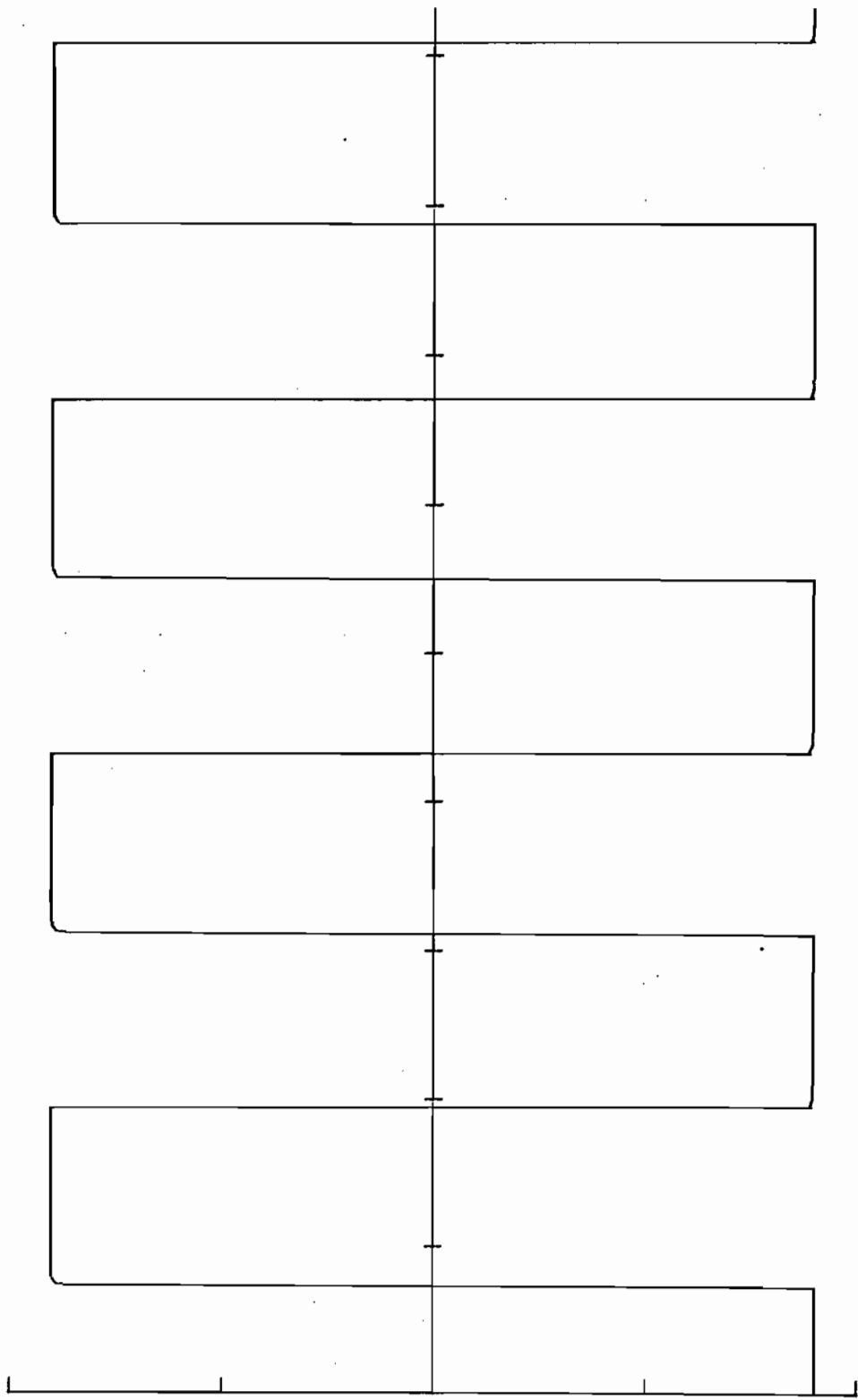


Fig. 4.10
ONDA CUADRADA DE PRUEBA

f_m : 192kHz
 T : 5.21 μ s
HOR : 110per/div
VER : 0.5/div



f_m : 48KHz
T : 20.83 μ s
HOR : 100per/div
VER : 0.5/div

Fig. 4.11
DATOS 1 AL 1000

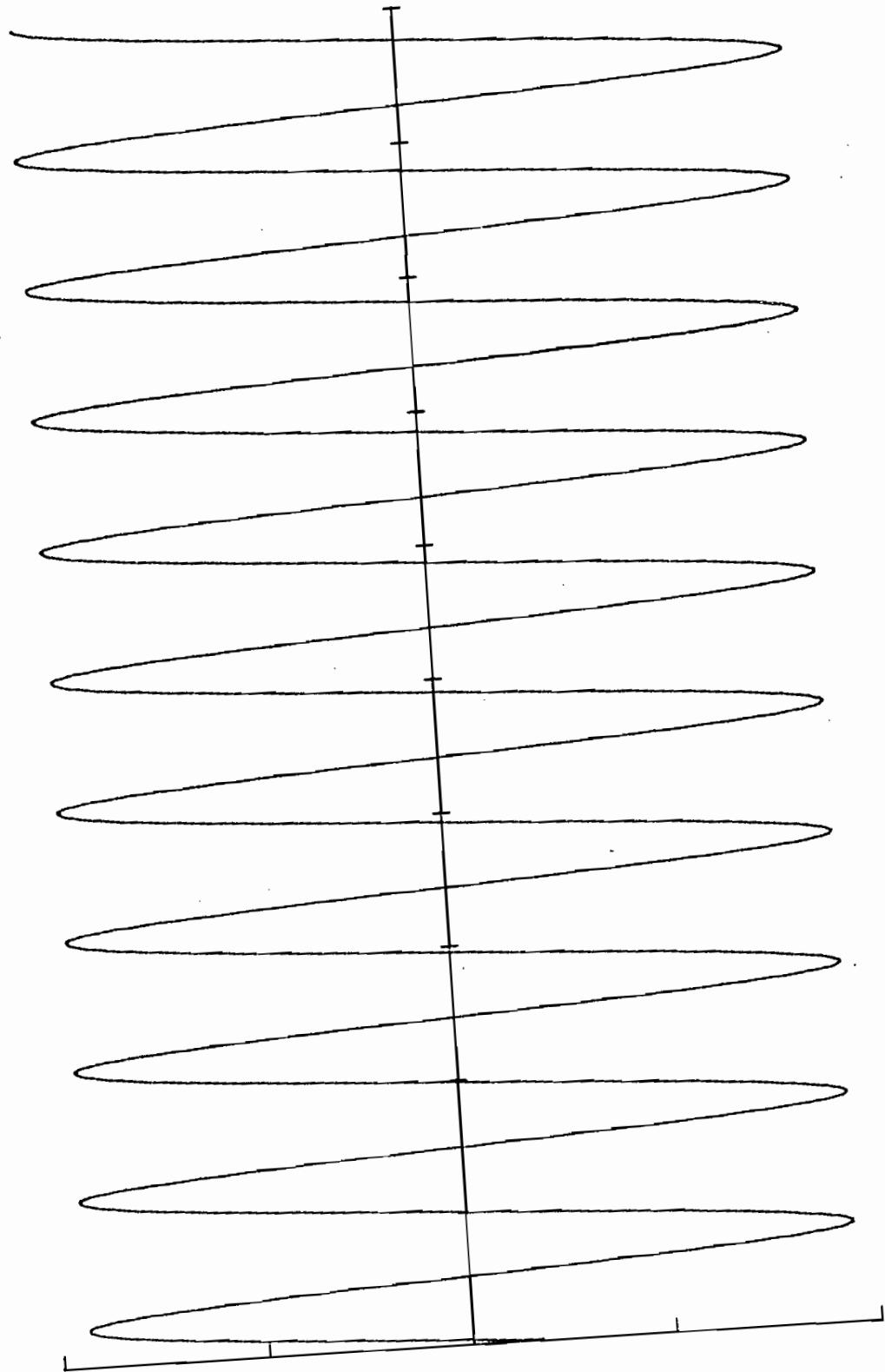


Fig. 4.12

DATOS 16000 AL 16999

f_m : 48KHz
T : 28.83μS
HOR : 100per/div
VER : 0.5/div

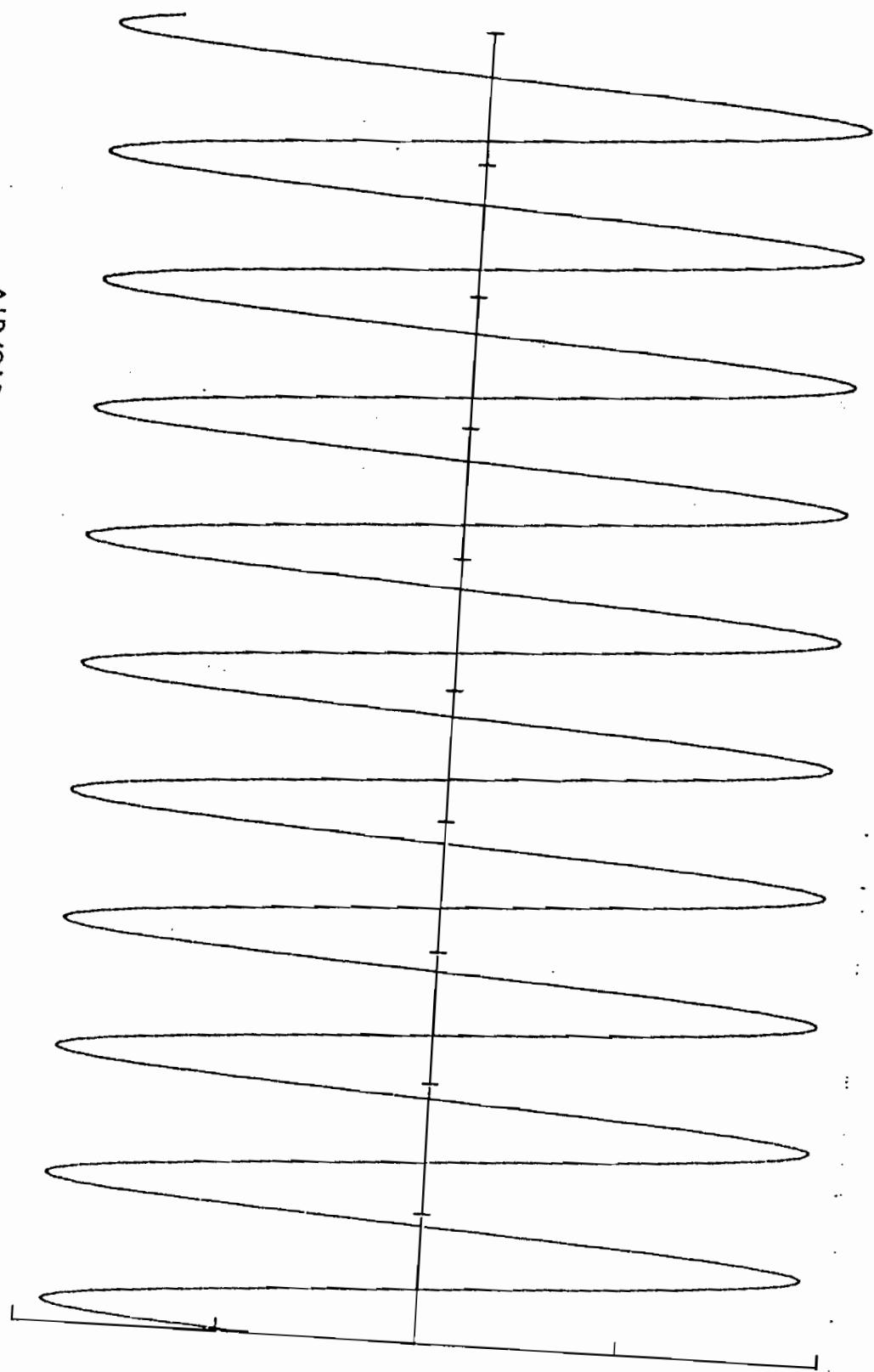
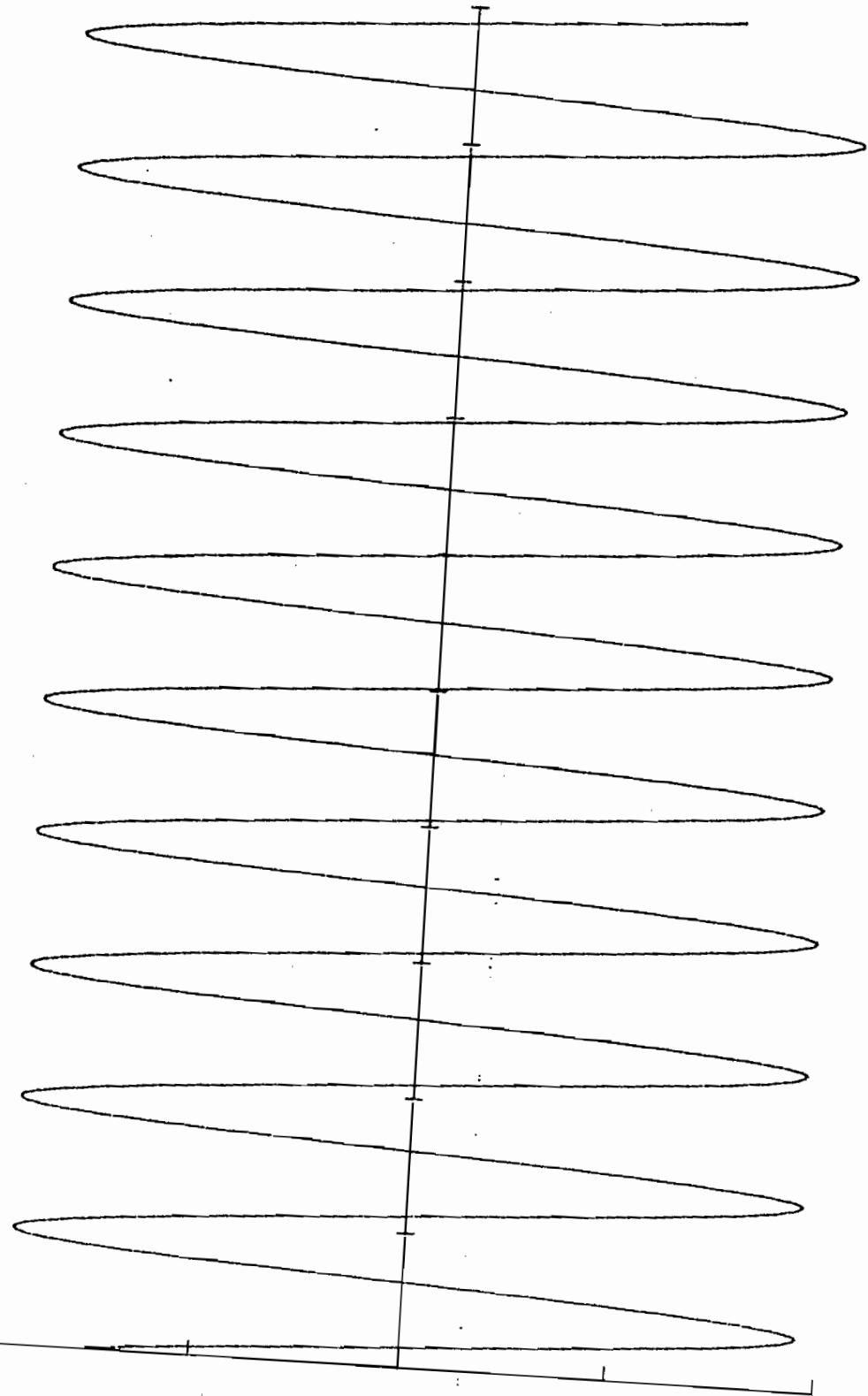


Fig. 4.13
DATOS 32000 AL 32999

f_m : 48KHz
T : 20.83μS
HOR : 100per/div
VER : 0.5/div



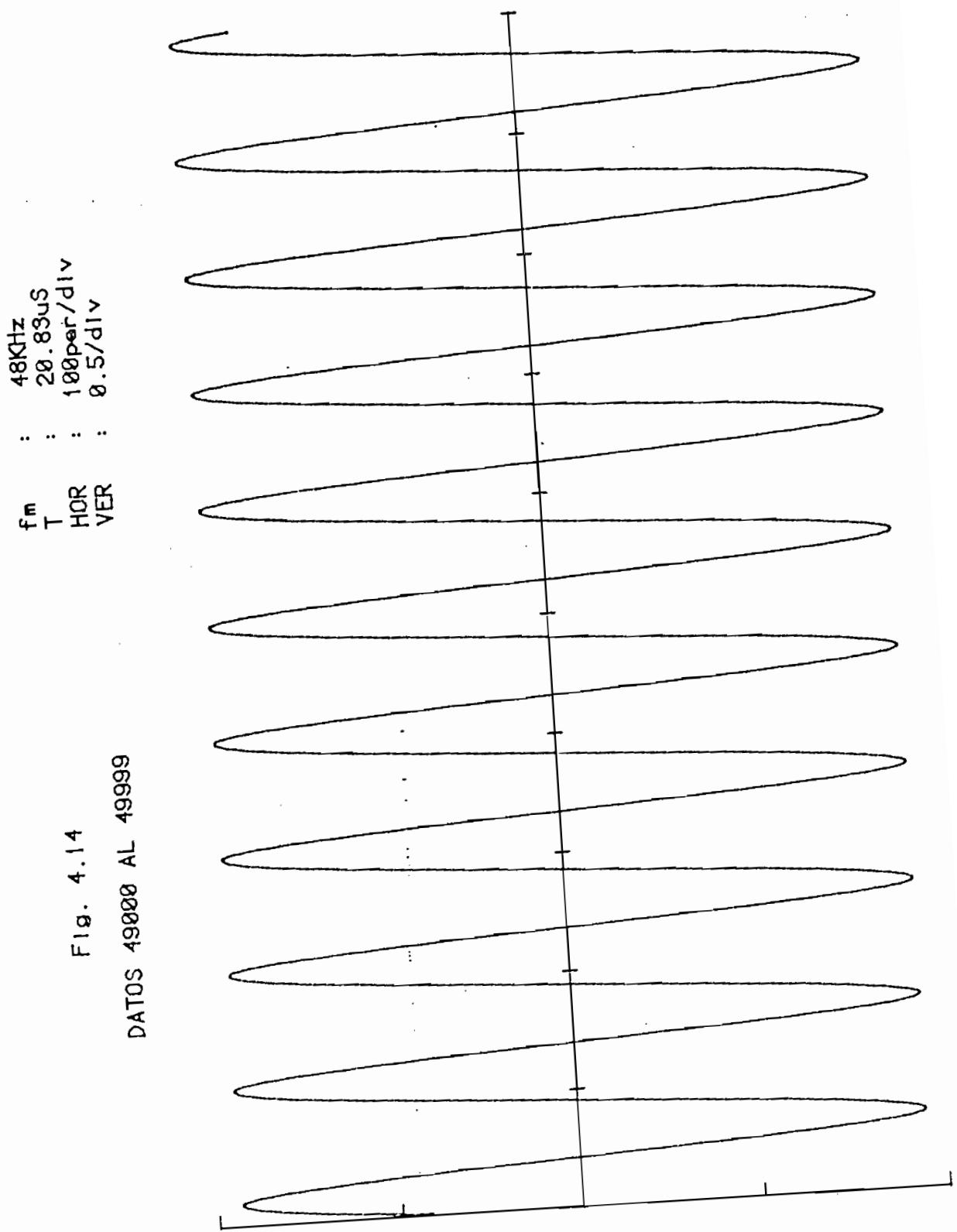
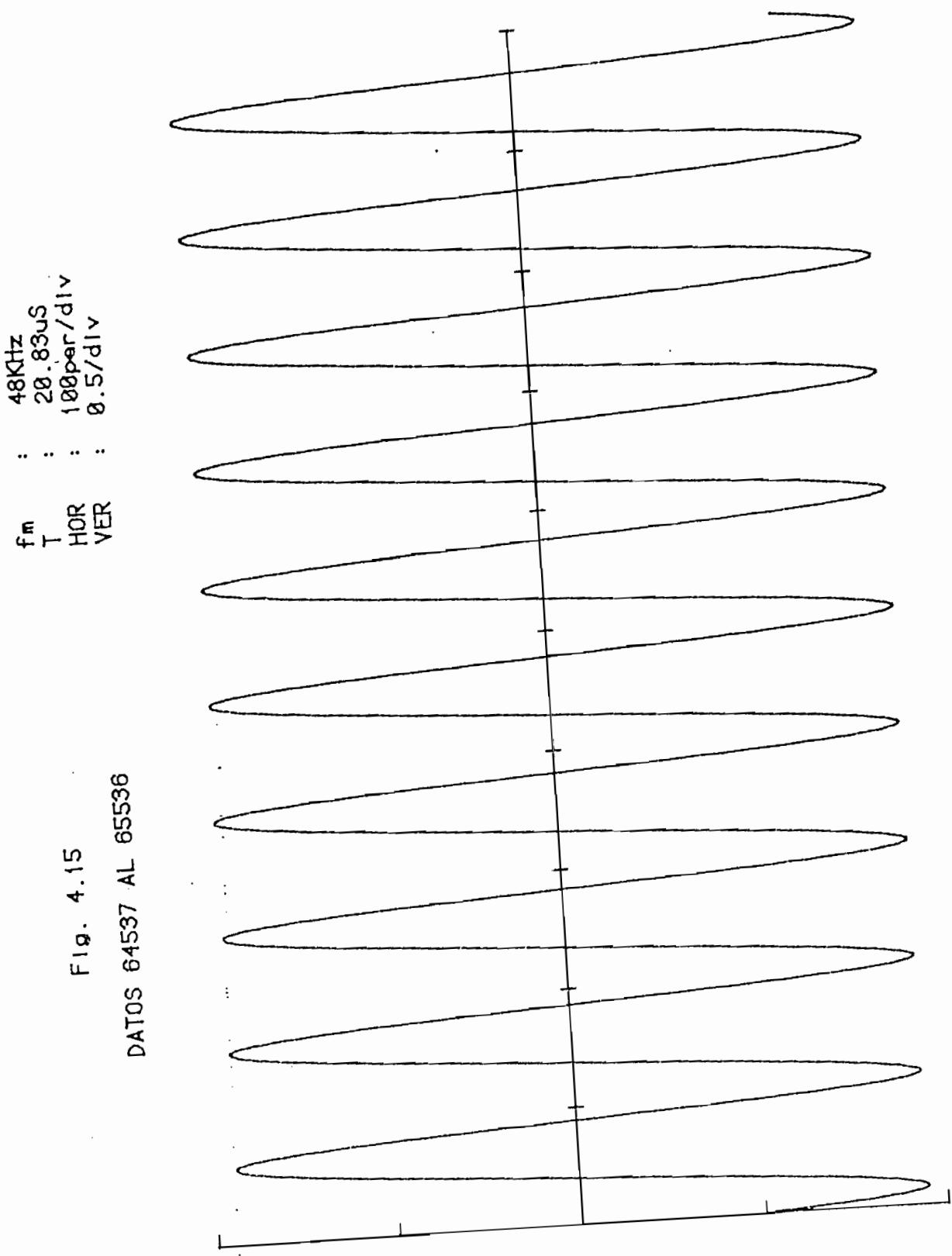
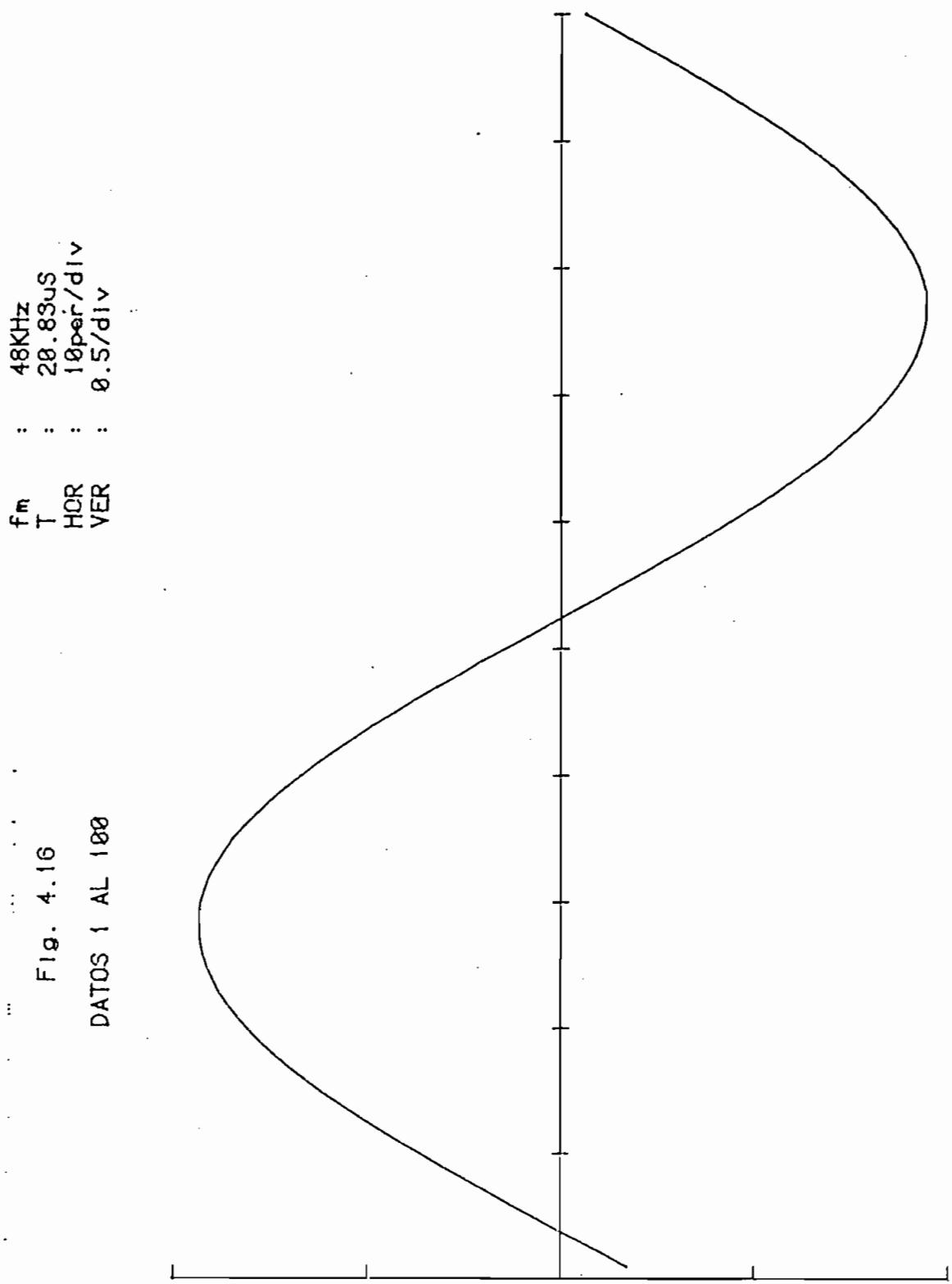


Fig. 4.15
DATOS 64537 AL 65536





f_m : 48KHz
T : 28.83 μ s
HOR : 10per/div
VER : 0.5/div

Fig. 4.17

DATOS 32700 AL 32799

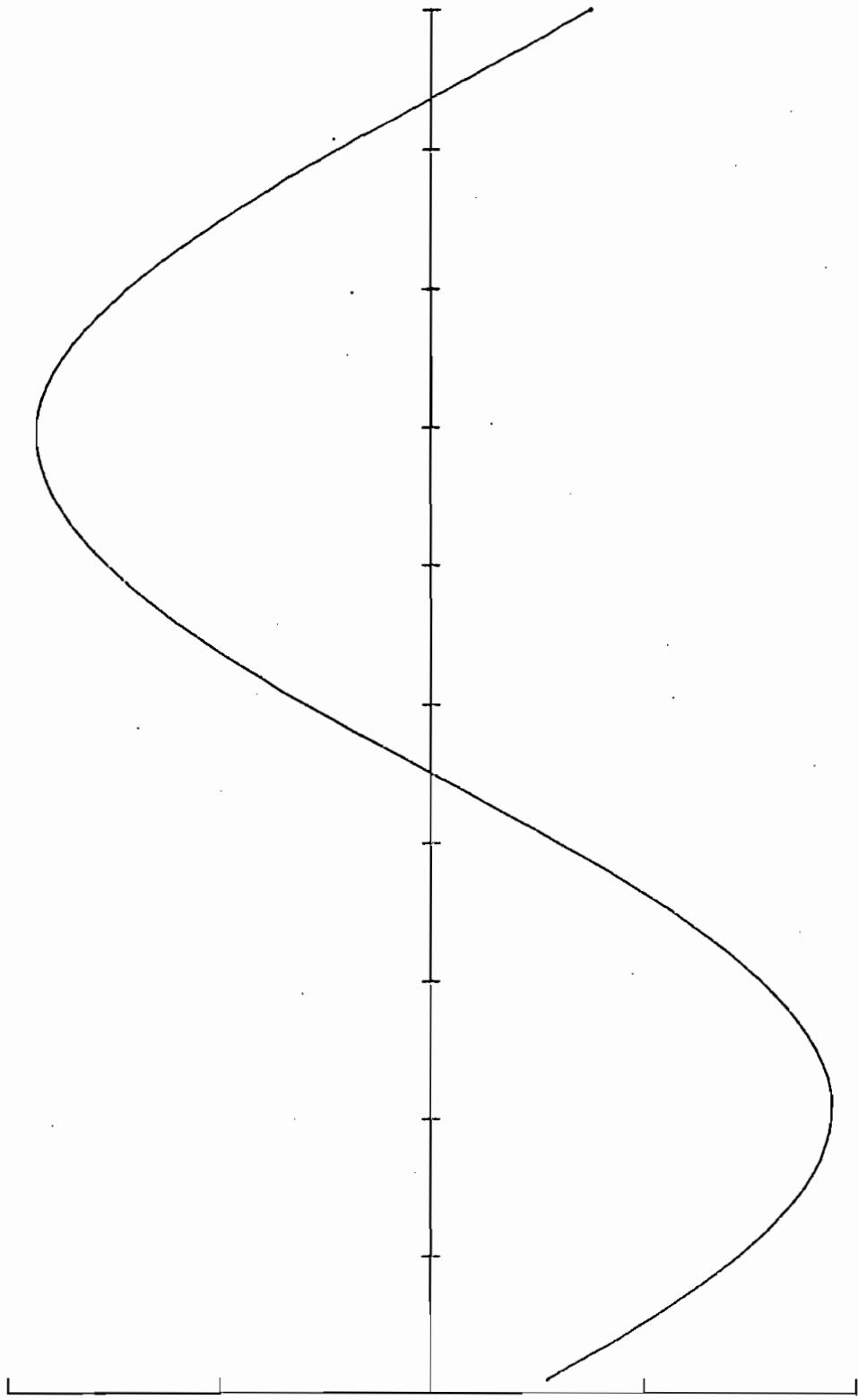


Fig. 4.18
DATOS 65437 AL 65536

fm : 48KHz
T : 20.83μS
HOR : 10per/div
VER : 0.5/div

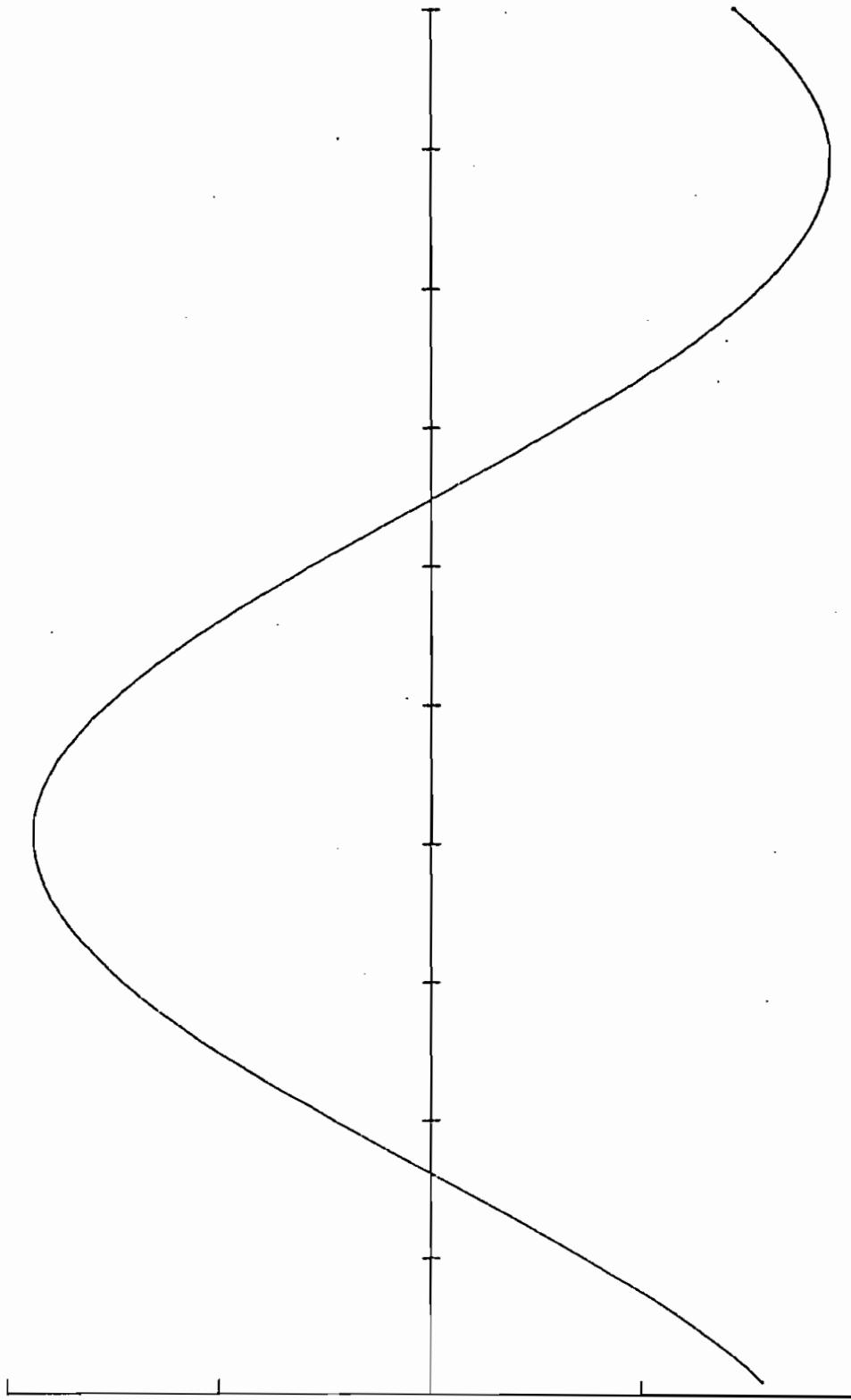


Fig. 4.19
LA VOCAL "A"
 f_m : 48KHz
T : 20.83μS
HOR : 110per/div
VER : 0.5/div

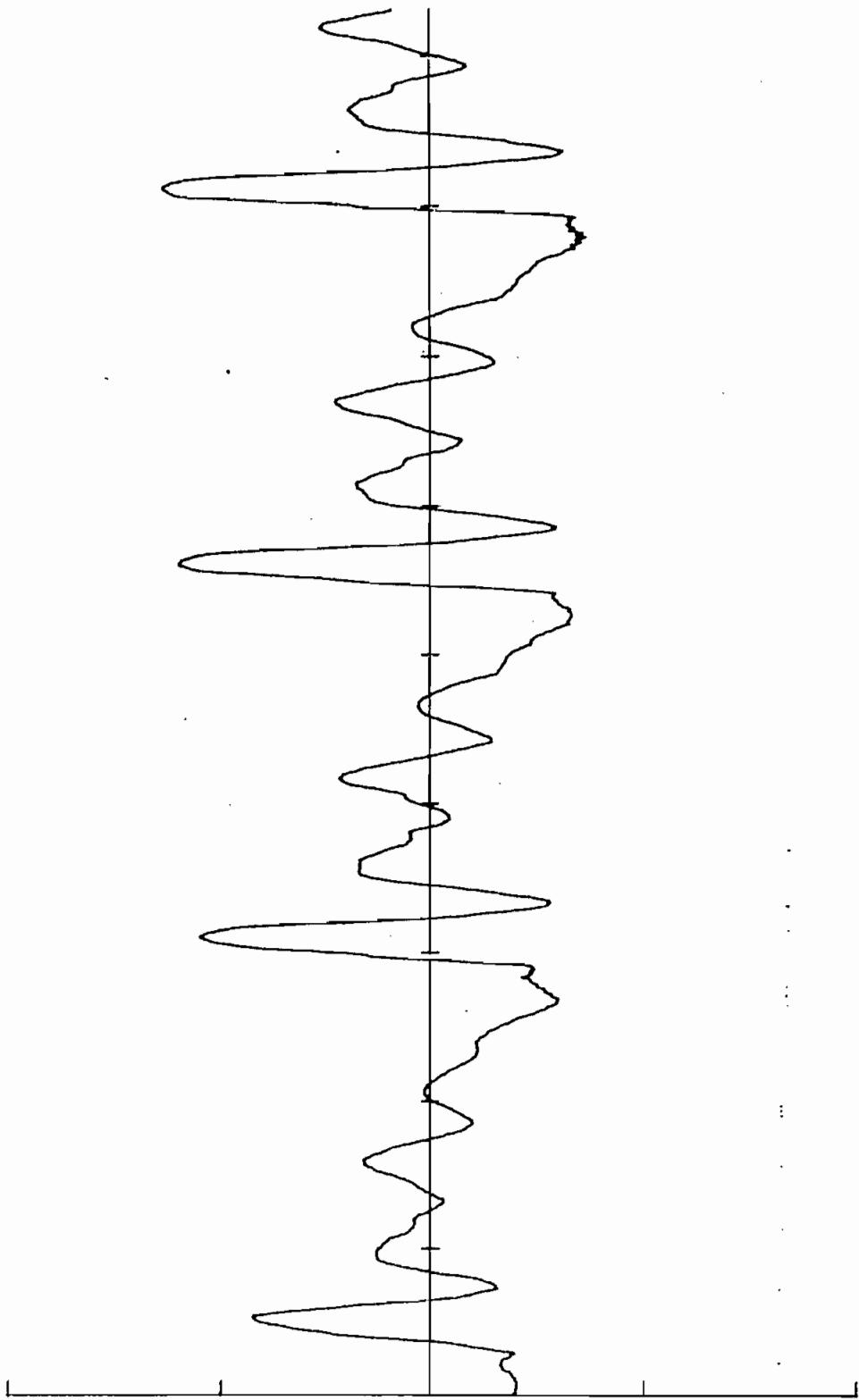


Fig. 4.20
f_m : 48KHz
T : 20.83μS
HOR : 110per/div
VER : 0.5/div
LA VOCAL "E"

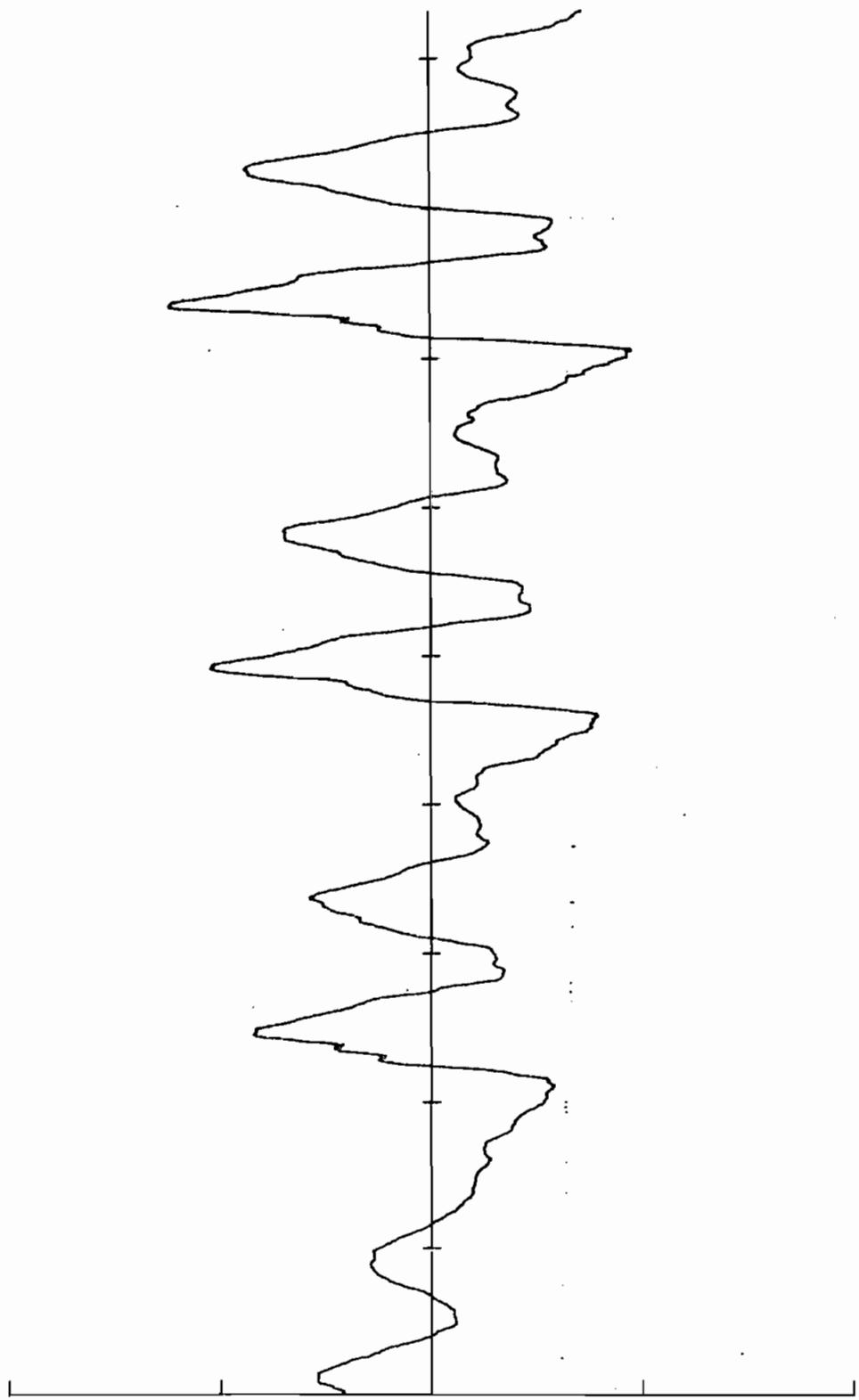


Fig. 4.21
LA VOCAL "I"
 f_m : 48kHz
T : 28.83μs
HOR : 118per/div
VER : 0.5/div

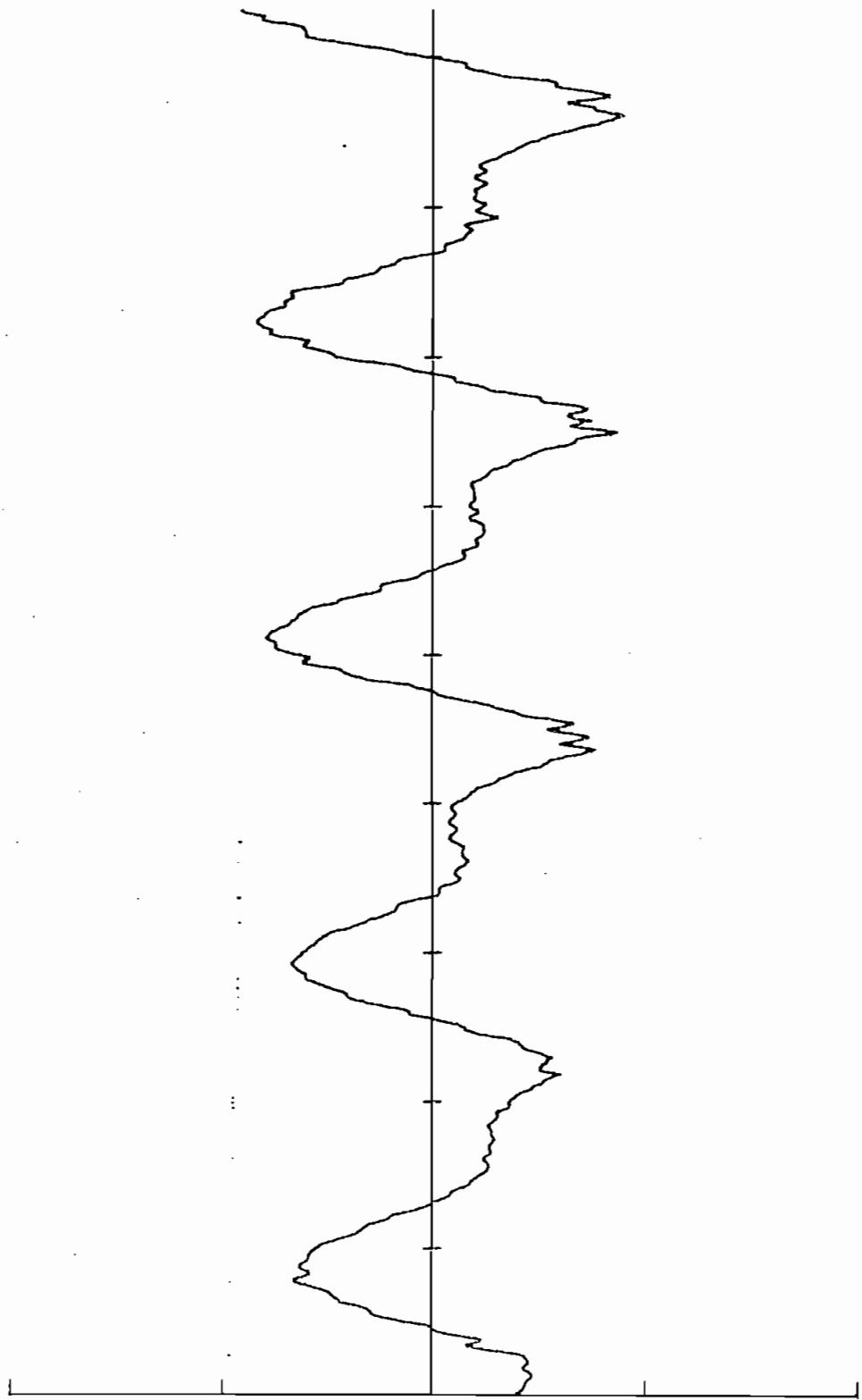


Fig. 4.22
LA VOCAL "O"
 f_m : 48KHz
T : 20.83μS
HOR : 110per/div
VER : 0.5/div

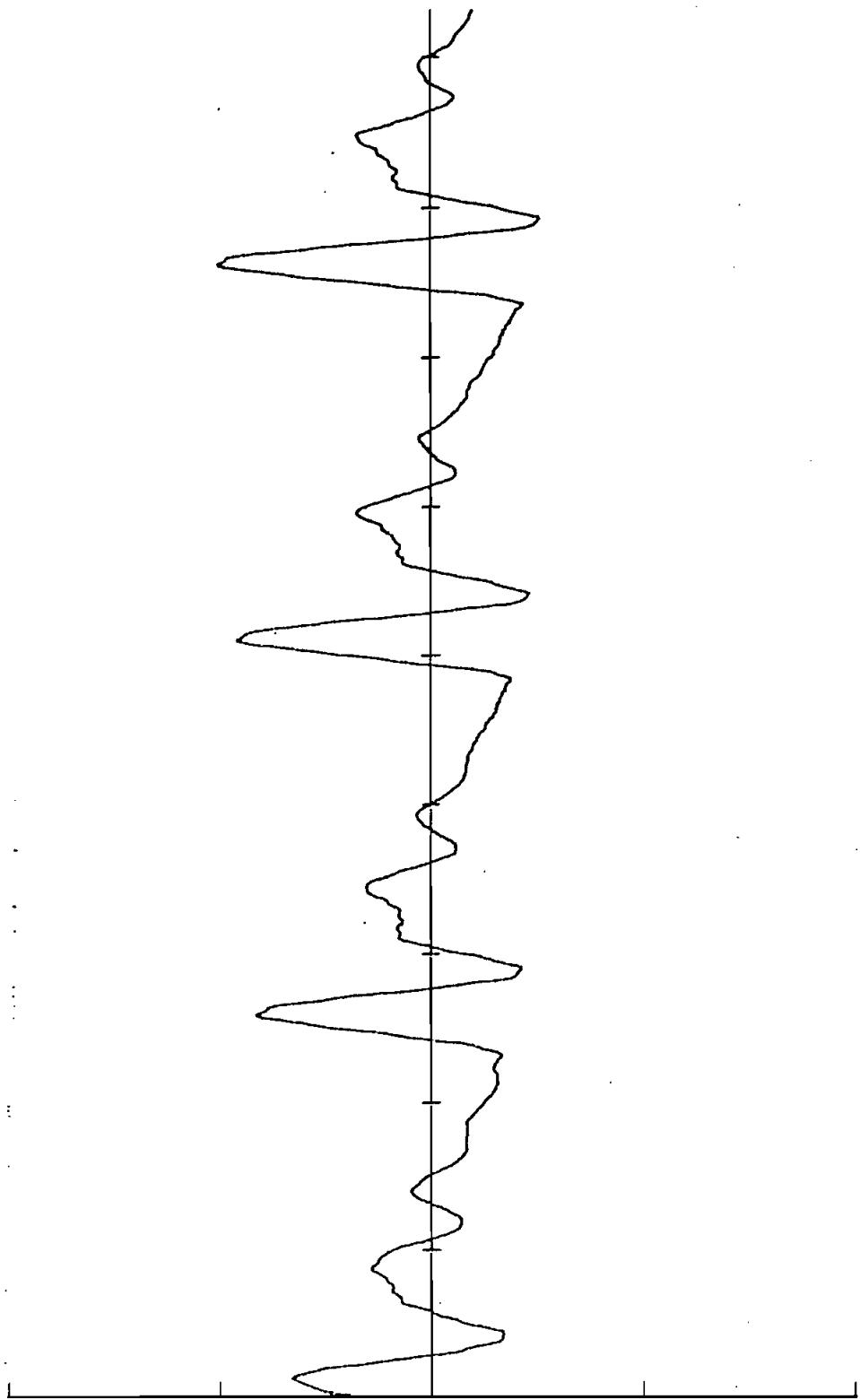
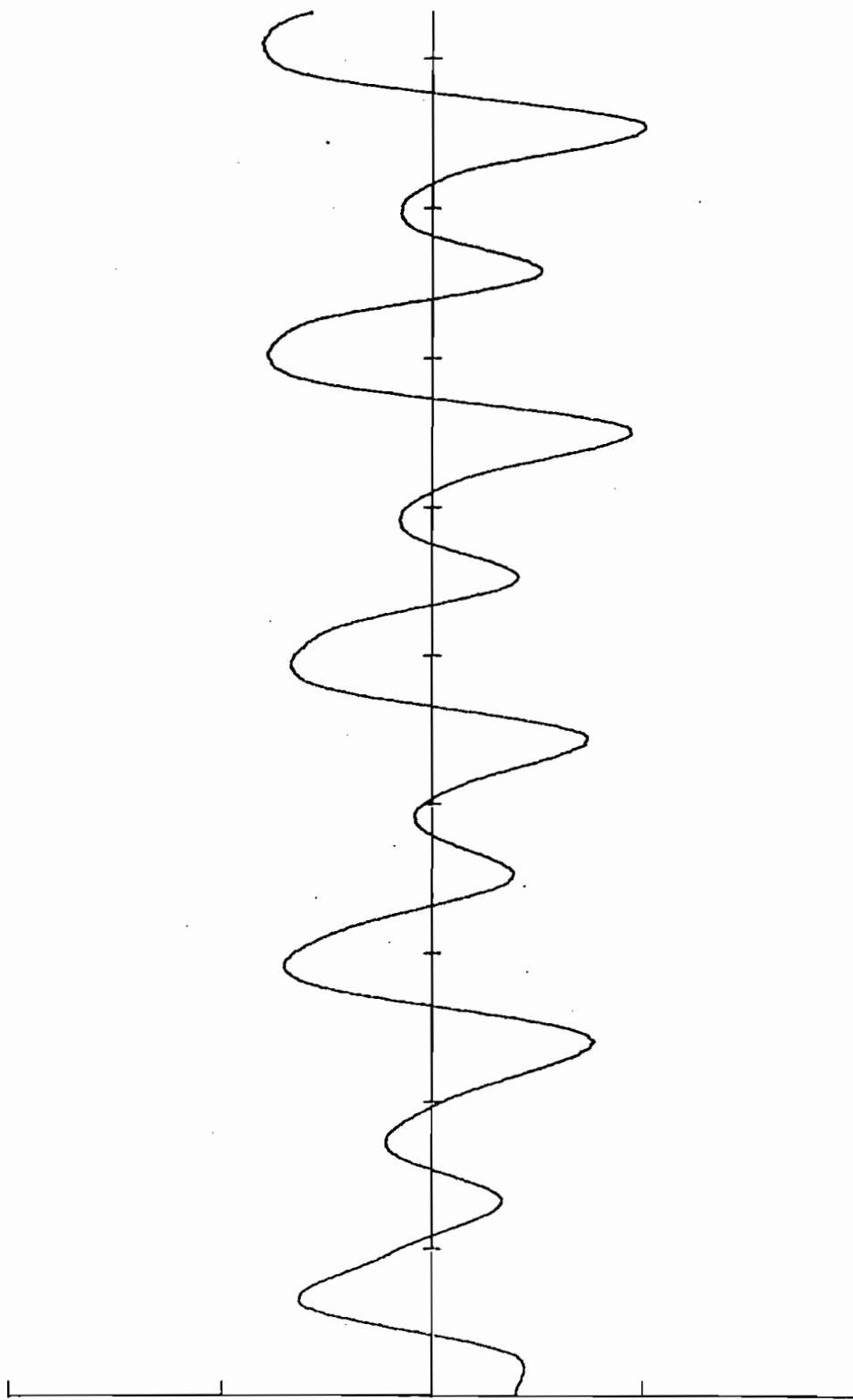


Fig. 4.23
VOCAL "U"
 f_m : 48KHz
T : 28.83μS
HOR : 110per/div
VER : 0.5/div



APENDICE 1

PLANOS

APENDICE 2

HOJAS DE DATOS



audi -tech ica

ARTIST SERIES MICROPHONES



ATM31

**Unidirectional
Fixed-Charge Condenser
Vocal Microphone**

SPECIFICATIONS

Element Fixed-Charge Condenser, permanently polarized.

Polar Pattern Unidirectional (Cardioid)

Frequency Response 60 to 20,000 Hz

Sensitivity

-55 dB (0 dB = 1 mW/10 dynes/cm²)

Open Circuit Sensitivity

0.28 mV (-71 dB) re 1V/dyne/cm²

EIA Sensitivity

-149 dB

Impedance

600 Ohms nominal, matches 150 to 1,000 ohm inputs.

Maximum Input Sound Level

125 dB

Signal to Noise Ratio

Greater than 50 dB at 1 kHz, 1 microbar

Battery Type

UM3 (AA). Use only "leakproof" batteries.
Can also use the following types:

Type	Eveready	Mallory	Panasonic	Ray-O-Vac
Carbon Zinc	915	M15F	UM3	7AA
Alkaline	E91	MN1500	AM3	815
Mercury	E9	ZM9		T9

Battery Current

200 microamps

Battery Life

Up to 5,000 hours (premium battery)

Weight (less cable and clamp)

6.5 ozs. (185 grams)

Dimensions

8" (204mm) long, 2" (51mm) head diameter,
13/16" (21mm) body diameter.

Output Connector

Integral 3-pin Switchcraft A3M/Cannon XLR-3-12, phased.

Accessories Furnished

Model AT8401 Slip-In Stand Clamp for standard
5/8"-27 threaded stands. Protective carrying case.

Optional Accessories

Model AT8201 Line Matching Transformer (600 ohms to 50,000 ohms).

Model AT8301 Cable, 16 1/2 feet (5.03m) 2-conductor, shielded with Switchcraft A3F (Cannon XLR-3-11C) connector at microphone end, Switchcraft A3M connector at output end unterminated.

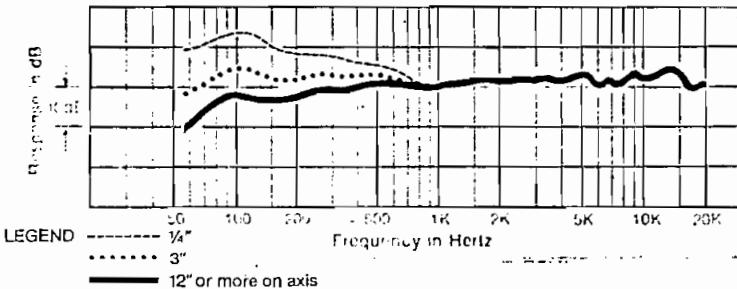
Model AT8302 Cable, 16 1/2 feet (5.03m) 2-conductor, shielded, vinyl-jacketed, broadcast-type with Switchcraft A3F (Cannon XLR-3-11C) connector at microphone end, 1/4" phone plug at output end.

Model AT8303 Cable, 25 feet (7.6m) 2-conductor, shielded with Switchcraft A3F (Cannon XLR-3-11C) connector at microphone end, Switchcraft A3M (Cannon XLR-3-12C) connector at output end.

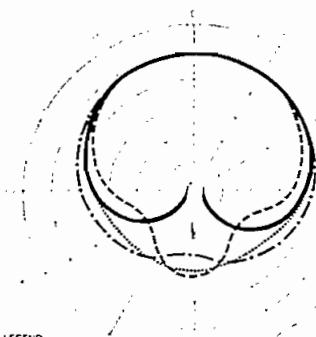
Model AT8402 Snap-In Stand Clamp Adapter for 5/8"-27 thread stands.

Model AT8410a Shock Mount for boom or stand operation. Universal "clothes-pin" clamp fits tapered or cylindrical microphones.

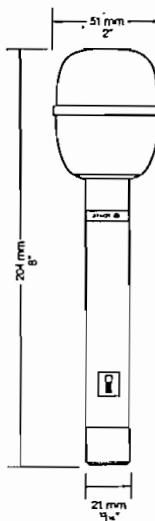
FREQUENCY RESPONSE



POLAR PATTERN



DIMENSIONS



Absolute Maximum Ratings

Positive Supply - Negative Supply ($V_{CC} - V_{EE}$)	36V	Operating Temperature Range	-55°C to +125°C
Reference Voltage	$V_R \leq V_A \leq V_{CC}$	0°C to +70°C	
Logic Input Voltage	$V_R = -4.0V \leq V_{IN} \leq V_R + 6.0V$	-65°C to +150°C	
Analog Voltage	$V_{EE} \leq V_A \leq V_{CC} + 6V; V_A \leq V_{EE} + 36V$	300°C	
Analog Current	$ I_A \leq 20 \text{ mA}$		
Power Dissipation (Note 1)	500 mW		
Molded DIP (N Suffix)	900 mW		
Cavity DIP (D Suffix)			

Electrical Characteristics (Notes 2, 7)

SYMBOL	PARAMETER	TEST CONDITIONS	LF11331/2/3/73			LF11333/2/3/73			UNITS
			MIN	TYP.	MAX	MIN	TYP.	MAX	
R_{ON}	"ON" Resistance	$V_A = 0, I_D = 1 \text{ mA}$, TA = 25°C	150	200	200	150	200	250	Ω
R_{ON} Match	"ON" Resistance Matching	$V_A = 0, I_D = 1 \text{ mA}$, TA = 25°C	200	300	300	200	300	350	Ω
V_A	Analog Range	$V_{EE} = 0, V_D = \pm 10V$, TA = 25°C	1.5	2.0	2.0	1.5	2.0	2.0	V
$I_{(ON)} + I_{(OFF)}$	Leakage Current In "ON" Condition	Switch "ON," $V_S = V_D = \pm 10V$, TA = 25°C	10	15	20	10	15	20	nA
$I_{(OFF)}$	Source Current In "OFF" Condition	Switch "OFF," $V_S = \pm 10V, V_D = 0$, TA = 25°C	0.045	0.045	0.045	0.044	0.044	0.045	nA
$I_{(OFF)}$	Drain Current In "OFF" Condition	Switch "OFF," $V_S = \pm 10V, V_D = 0$, TA = 25°C	0.045	0.045	0.045	0.041	0.041	0.041	nA
V_{INH}	Logical "1" Input Voltage	$V_{IN} = 5V$, TA = 25°C	2.0	—	2.0	—	—	—	V
V_{INL}	Logical "0" Input Voltage	$V_{IN} = 0.8V$, TA = 25°C	0.8	—	0.8	—	—	—	V
$I_{(INH)}$	Logical "1" Input Current	$V_{IN} = 5V$, TA = 25°C	3.6	10	10	3.6	40	100	μA
$I_{(INL)}$	Logical "0" Input Current	$V_{IN} = 0.8V$, TA = 25°C	25	—	25	—	—	—	μA
t_{ON}	Delay Time "ON"	$V_S = \pm 10V$, (Figure 3)	—	500	—	—	500	—	ns
t_{OFF}	Delay Time "OFF"	$V_S = \pm 10V$, (Figure 3)	—	90	—	—	90	—	ns
$t_{ON} - t_{OFF}$	Break-Before-Make	$V_S = \pm 10V$, (Figure 3)	—	80	—	—	80	—	ns
$C_{(OFF)}$	Source Capacitance	Switch "OFF," $V_S = \pm 10V$, TA = 25°C	4.0	—	4.0	—	—	—	pF
$C_{(OFF)}$	Drain Capacitance	Switch "OFF," $V_D = \pm 10V$, TA = 25°C	3.0	—	3.0	—	—	—	pF
$C_{(ON)} + C_{(OFF)}$	Active Source and Drain Capacitance	Switch "ON," $V_S = V_D = 0V$, TA = 25°C	15.0	50	50	15.0	50	50	pF
$I_{(off)}$	"OFF" Isolation	(Figure 4), (Note 3)	—	50	—	—	50	—	dB
C_T	Crosstalk	(Figure 4), (Note 3)	—	85	—	—	85	—	dB
S_R	Analog Slew Rate	(Note 4)	—	150	—	—	150	—	V/μs
$I_{(dis)}$	Disable Current	(Figure 5), (Note 5)	—	0.4	1.0	—	0.8	1.5	mA
I_{EE}	Negative Supply Current	All Switches "OFF," $V_S = \pm 10V$, TA = 25°C	—	1.0	5.0	—	4.3	7.0	mA
I_R	Reference Supply Current	All Switches "OFF," $V_S = \pm 10V$, TA = 25°C	—	1.2	7.5	—	6.0	10.5	mA
I_{cc}	Positive Supply Current	All Switches "OFF," $V_S = \pm 10V$, TA = 25°C	—	2.0	4.0	—	2.7	5.0	mA
			—	2.8	6.0	—	3.8	7.5	mA
			—	4.5	6.0	—	7.0	9.0	mA
			—	6.3	9.0	—	9.8	13.5	mA

Note 1: For operating at high temperature, the molded DIP products must be derated based on a +100°C maximum junction temperature and a thermal resistance of +150°C/W, devices in the cavity DIP are based on a +150°C maximum junction temperature and are derated at +100°C/W.

Note 2: Unless otherwise specified, $V_{CC} = +15V$, $V_{EE} = -15V$, $V_R = 0V$, and limits apply for $-55^\circ C \leq T_A \leq +125^\circ C$ for the LF11331, 2, 3 and the LF11202, 2, $-25^\circ C \leq T_A \leq +85^\circ C$ for the LF11333, 2, 3 and the LF11201, 2.

Note 3: These parameters are limited by the pin to pin capacitance of the package.

Note 4: This is the analog signal slew rate above which the signal is distorted as a result of finite internal slew rates.

Note 5: All switches in the device are turned "OFF" by saturating a transistor at the disable node, as shown in Figure 5. The delay times will be approximately equal to the t_{ON} or t_{OFF} plus the delay introduced by the external transistor.

Note 6: This graph indicates the analog current at which 1% of the analog current is lost when the drain is positive with respect to the source.

LF11331, LF11332, LF11333, LF11201, LF11202 Series

Absolute Maximum Ratings

Positive Supply, Negative Supply ($V_{CC} - V_{EE}$)	36V	Operating Temperature Range	-55°C to +125°C
Reference Voltage	$V_{EE} \leq V_R \leq V_{CC}$	LF11331, 2 and LF11333, 2, 3	-55°C to +125°C
Logic Input Voltage	$V_R = -4.0V \leq V_{IN} \leq V_R + 6.0V$	LF11201, 2 and LF11331, 2, 3	0°C to +70°C
Analog Voltage	$V_{EE} \leq V_A \leq V_{CC} + 6V; V_A \leq V_{EE} + 36V$		-55°C to +150°C
Analog Current	$ I_A \leq 20mA$	Lead Temperature (Soldering, 10 seconds)	300°C
Power Dissipation (Note 1)	500 mW		
Molded DIP (N Suffix)	900 mW		
Cavity DIP (D Suffix)			

Electrical Characteristics (Notes 2, 7)

SYMBOL	PARAMETER	TESTING CONDITIONS	LF11331/2/3			LF11333/2/3			UNITS
			MIN	TYP.	MAX	MIN	TYP.	MAX	
R_{ON}	"ON" Resistance	$V_A = 0.10 \text{ mA}, T_A = 25^\circ\text{C}$	150	200	300	150	250	350	Ω
R_{ON} Match	"ON" Resistance Matching	$V_A = 0.10 \text{ mA}, T_A = 25^\circ\text{C}$	100	150	200	100	150	200	Ω
V_A	Analog Range	$I_A = 10 \mu\text{A}, T_A = 25^\circ\text{C}$	±10	±15	±20	±10	±15	±20	V
I_{ION1} + I_{ION2}	Leakage Current In "ON" Condition	Switch "ON," $V_S = V_D = \pm 10V, T_A = 25^\circ\text{C}$	0.5	1.0	2.0	0.3	0.6	1.0	nA
I_{DION1}			0.5	1.0	2.0	0.3	0.6	1.0	nA
I_{SOFF1}	Source Current In "OFF" Condition	Switch "OFF," $V_S = \pm 10V, T_A = 25^\circ\text{C}$	100	150	200	100	150	200	nA
$I_{D OFF1}$	Drain Current In "OFF" Condition	$V_S = \pm 10V, T_A = 25^\circ\text{C}$	100	150	200	100	150	200	nA
V_{INH}	Logical "1" Input Voltage		2.0		2.0				V
V_{INL}	Logical "0" Input Voltage		0.8		0.8				V
I_{NH}	Logical "1" Input Current	$V_{IN} = 5V, T_A = 25^\circ\text{C}$	3.0	10	3.6	4.0	10	100	nA
I_{NL}	Logical "0" Input Current	$V_{IN} = 0.8V, T_A = 25^\circ\text{C}$	1	0.1	1	0.1	1	1	nA
t_{ON}	Delay Time "ON"	$V_S = \pm 10V, (Figure 3)$	500		500				ns
t_{OFF}	Delay Time "OFF"	$V_S = \pm 10V, (Figure 3)$	90		90				ns
$t_{ON - t_{OFF}}$	Break-Before-Make	$V_S = \pm 10V, (Figure 3)$	80		180				ns
C_{SOFF}	Source Capacitance	Switch "OFF," $V_S = \pm 10V, T_A = 25^\circ\text{C}$	4.0	11	4.0	4.0			pF
$C_{D OFF}$	Drain Capacitance	Switch "OFF," $V_S = \pm 10V, T_A = 25^\circ\text{C}$	3.0	10	3.0	3.0			pF
$C_{ION1} + C_{DION1}$	Active Source and Drain Capacitance	Switch "ON," $V_B = V_D = 0V, T_A = 25^\circ\text{C}$	5.0	13	6.0	6.0			pF
t_{SOFF}	"OFF" Isolation	(Figure 4), (Note 3)	≤50	100	≤50	≤50			dB
t_{CT}	Crosstalk	(Figure 4), (Note 3)	≤65		≤65	≤65			dB
t_{SR}	Analog Slew Rate	(Note 4)	≤50		≤50	≤50			V/ μ
t_{ois}	Disable Current	(Figure 5), (Note 5)	0.4	1.0	0.6	1.5	1.5	2.3	mA
I_{EE}	Negative Supply Current	All Switches "OFF," $V_S = \pm 10V, T_A = 25^\circ\text{C}$	1.0	5.0	4.3	7.0	7.0	10.5	mA
I_R	Reference Supply Current	All Switches "OFF," $V_S = \pm 10V, T_A = 25^\circ\text{C}$	1.2	7.5	6.0	10.5	10.5	15.0	mA
I_{cc}	Positive Supply Current	All Switches "OFF," $V_S = \pm 10V, T_A = 25^\circ\text{C}$	2.0	4.0	2.7	5.0	5.0	7.5	mA
			2.8	6.0	3.88	7.5	7.5	10.0	mA
			2.5	6.0	3.70	9.0	9.0	13.5	mA
			6.3	9.0	9.8				mA

Note 1: For operating at high temperature, the molded DIP products must be derated based on a +100°C maximum junction temperature and a thermal resistance of +150°C/W, devices in the cavity DIP are based on a +150°C maximum junction temperature and are derated at +100°C/W.

Note 2: Unless otherwise specified, $V_{CC} = +15V$, $V_{EE} = -15V$, $V_R = 0V$, and limits apply for $-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ for the LF11331, 2, 3 and the LF11202, 2, -25°C $\leq T_A \leq +85^\circ\text{C}$ for the LF11331, 2, 3 and the LF11201, 2.

Note 3: These parameters are limited by the pin to pin capacitance of the package.

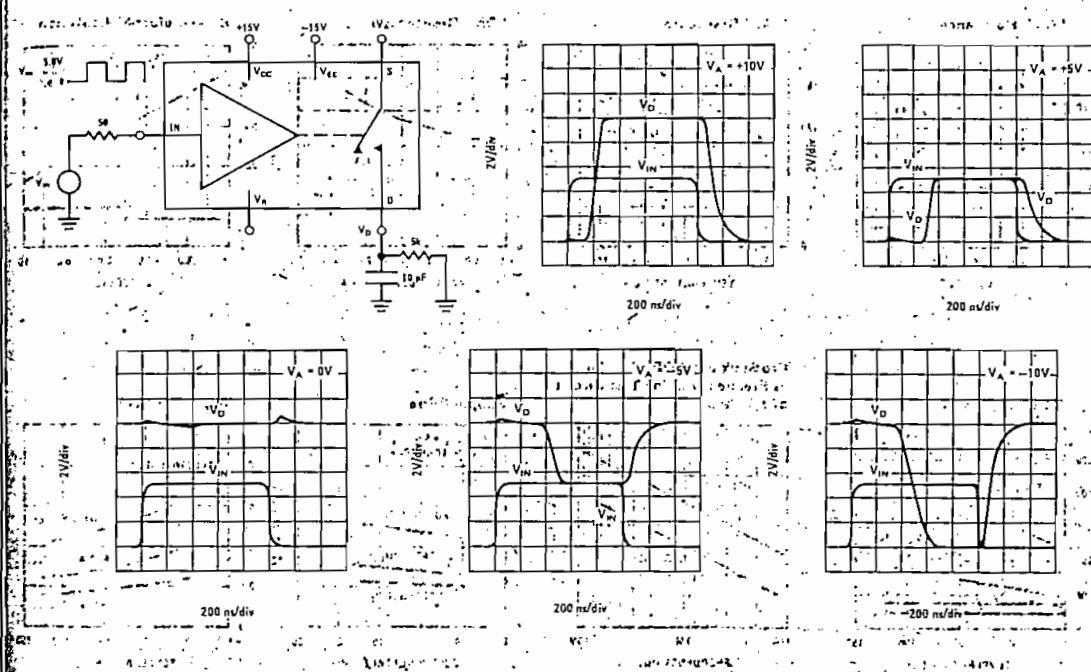
Note 4: This is the analog signal slew rate above which the signal is distorted as a result of finite internal slew rates.

Note 5: All switches in the device are turned "OFF" by saturating a transistor at the disable node, as shown in Figure 5. The delay times will be approximately equal to the t_{ON} or t_{OFF} plus the delay introduced by the external transistor.

Note 6: This graph indicates the analog current at which 1% of the analog current is lost when the drain is positive with respect to the source.

Test Circuit and Typical Performance Curves

Delay Time, Rise-Time, Settling Time, and Switching Transients



Additional Test Circuits

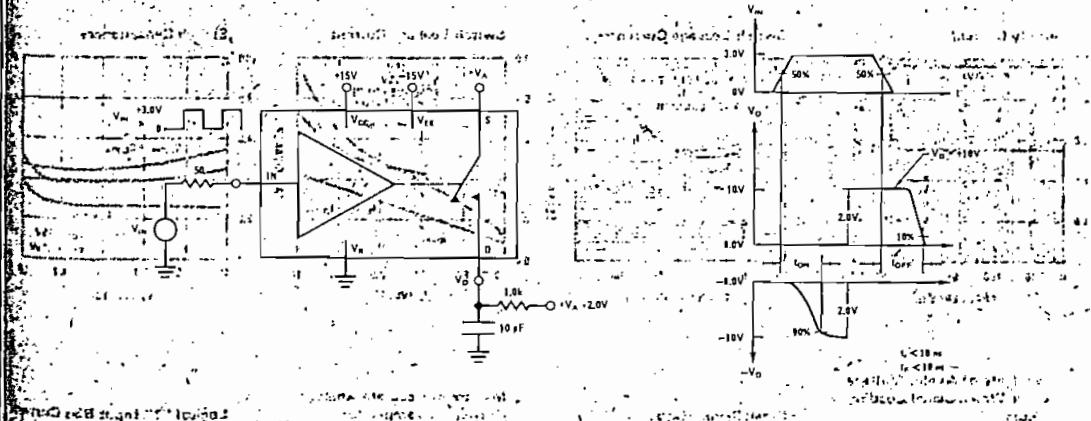


FIGURE 3. TON/TOFF Test Circuit and Waveforms for a Normally Open Switch

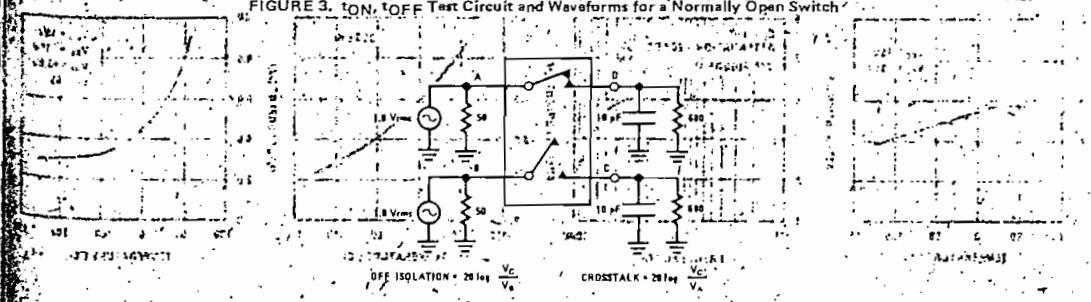
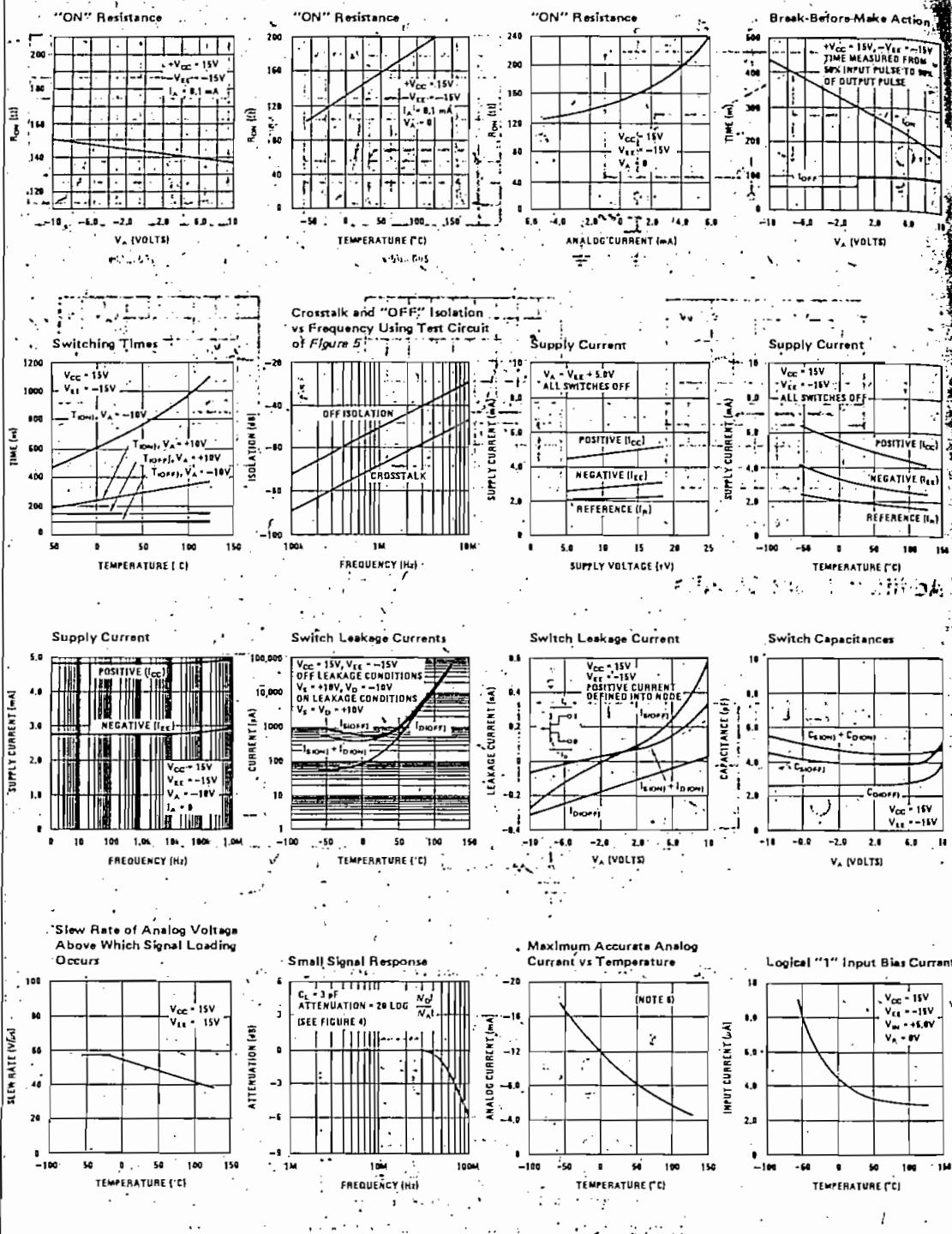


FIGURE 4. "OFF" Isolation, Crosstalk, Small Signal Response

Typical Performance Characteristics



Application Hints

GENERAL INFORMATION

These devices are monolithic quad JFET analog switches with "ON" resistances which are essentially independent of analog voltage or analog current. The leakage currents are typically less than 1 nA at 25°C in both the "OFF" and "ON" switch states and introduce negligible errors in most applications. Each switch is controlled by minimum TTL logic levels at its input and is designed to turn "OFF" faster than it will turn "ON." This prevents two analog sources from being transiently connected together during switching. The switches were designed for applications which require break-before-make action, no analog current loss, medium speed switching times and moderate analog currents.

Because these analog switches are JFET rather than CMOS, they do not require special handling.

LOGIC INPUTS

The logic input (IN), of each switch, is referenced to two forward diode drops (1.4V at 25°C) from the reference supply (V_R) which makes it compatible with DTL, RTL, and TTL logic families. For normal operation, the logic "0" voltage can range from 0.8V to -4.0V with respect to V_R and the logic "1" voltage can range from 2.0V to 6.0V with respect to V_R , provided V_{IN} is not greater than $(V_{CC} - 2.5V)$. If the input voltage is greater than $(V_{CC} - 2.5V)$, the input current will increase. If the input voltage exceeds 6.0V or -4.0V with respect to V_R , a resistor in series with the input should be used to limit the input current to less than 100µA.

ANALOG VOLTAGE AND CURRENT

Analog Voltage

Each switch has a constant "ON" resistance (R_{ON}) for analog voltages from $(V_{EE} + 5V)$ to $(V_{CC} - 5V)$. For analog voltages greater than $(V_{CC} - 5V)$, the switch will remain ON independent of the logic input voltage. For analog voltages less than $(V_{EE} + 5V)$, the ON resistance of the switch will increase. Although the switch will not operate normally when the analog voltage is out of the previously mentioned range, the source voltage can go to either $(V_{EE} + 36V)$, or $(V_{CC} - 6V)$, whichever is more positive, and can go as negative as V_{EE} without destruction. The drain (D) voltage can also go to either $(V_{EE} + 36V)$ or $(V_{CC} + 6V)$, whichever is more positive, and can go as negative as $(V_{CC} - 36V)$ without destruction.

Analog Current

With the source (S) positive with respect to the drain (D), the R_{ON} is constant for low analog currents, but will increase at higher currents (>5 mA) when the FET enters the saturation region. However, if the drain is positive with respect to the source and a small analog current loss at high analog currents (Note 6) is tolerable, a low R_{ON} can be maintained for analog currents greater than 5 mA at 25°C.

LEAKAGE CURRENTS

The drain and source leakage currents, in both the ON and the OFF states of each switch, are typically less than 1 nA at 25°C and less than 100 nA at 125°C. As shown in the typical curves, these leakage currents are dependent on power supply voltages, analog voltage, analog current and the source to drain voltage.

DELAY TIMES

The delay time OFF, (t_{OFF}) is essentially independent of both the analog voltage and temperature. The delay time ON, (t_{ON}), will decrease as either ($V_{CC} - V_A$) decreases or the temperature decreases.

POWER SUPPLIES

The voltage between the positive supply (V_{CC}) and either the negative supply (V_{EE}) or the reference supply (V_R) can be as much as 36V. To accommodate variations in input logic reference voltages, V_R can range from V_{EE} to $(V_{CC} - 4.5V)$. Care should be taken to ensure that the power supply leads for the device never become reversed in polarity or that the device is never inadvertently installed backwards in a test socket. If one of these conditions occurs, the supplies would zener an internal diode to an unlimited current; and result in a destroyed device.

SWITCHING TRANSIENTS

When a switch is turned OFF or-ON, transients will appear at the load due to the internal transient voltage at the gate of the switch JFET being coupled to the drain and source by the junction capacitances of the JFET. The magnitude of these transients is dependent on the load. A lower value R_L produces a lower transient voltage. A negative transient occurs during the delay time ON, while a positive transient occurs during the delay time OFF. These transients are relatively small when compared to faster switch families.

DISABLE NODE

This node can be used, as shown in Figure 5, to turn all the switches in the unit off independent of logic inputs. Normally, the node floats freely at an internal diode drop ($\approx 0.7\text{V}$) above V_R . When the external transistor in Figure 5 is saturated, the node is pulled very close to V_R and the unit is disabled. Typically, the current from the node will be less than 1 mA. This feature is not available on the LF11201 or LF11202 series.

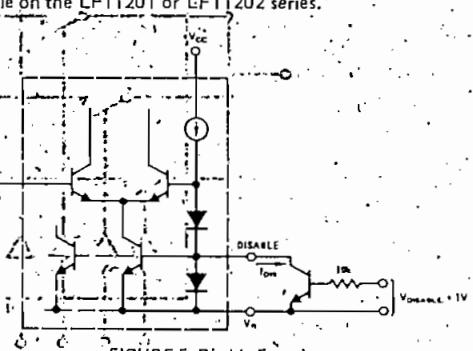


FIGURE 5. Disable Function



Operational Amplifiers/Buffers

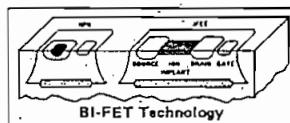
LF155/LF156/LF157 Series

LF155/LF156/LF157 Series Monolithic JFET Input Operational Amplifiers

LF155, LF155A, LF255, LF355, LF355A, LF355B low supply current

LF156, LF156A, LF256, LF356, LF356A, LF356B wide band

LF157, LF157A, LF257, LF357, LF357A, LF357B wide band decompensated ($A_{VMIN} = 5$)



General Description

These are the first monolithic JFET input operational amplifiers to incorporate well matched, high voltage JFETs on the same chip with standard bipolar transistors (BI-FET Technology). These amplifiers feature low input bias and offset currents, low offset voltage and offset voltage drift, coupled with offset adjust which does not degrade drift or common-mode rejection. The devices are also designed for high slew rate, wide bandwidth, extremely fast settling time, low voltage and current noise and a low 1/f noise corner.

- Photocell amplifiers
- Sample and Hold circuits

Common Features

(LF155A, LF156A, LF157A)

■ Low input bias current	30 pA
■ Low Input Offset Current	3 pA
■ High input impedance	10 ¹² Ω
■ Low input offset voltage	1 mV
■ Low input offset voltage temperature drift	3 μV/°C
■ Low input noise current	0.01 pA/√Hz
■ High common-mode rejection ratio	100 dB
■ Large dc voltage gain	106 dB

3

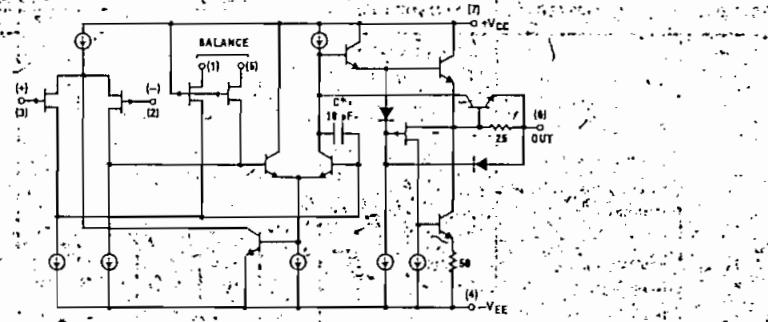
Uncommon Features

	LF155A	LF156A	LF157A	UNITS
■ Extremely fast settling time to 0.01%	4	1.5	1.5	μs
■ Fast slew rate	5	12	50	νV/μs
■ Wide gain bandwidth	2.5	5	20	MHz
■ Low input noise voltage	20	12	12	nV/√Hz

Applications

- Precision high speed integrators
- Fast D/A and A/D converters
- High impedance buffers
- Wideband, low noise, low drift amplifiers
- Logarithmic amplifiers

Simplified Schematic



*C = 2 pF on LF157

LF155/LF156/LF157 Series

Absolute Maximum Ratings

	LF155A/6A/7A	LF155/6/7	LF355B/6B/7B	LF355A/6A/7A
Supply Voltage	$\pm 22V$	$\pm 22V$	$\pm 22V$	$\pm 18V$
Power Dissipation (P_d at $25^\circ C$) and Thermal Resistance (θ_{JA}) (Note 1)				
T_{JMAX} (H and J Package)	$150^\circ C$	$150^\circ C$	$115^\circ C$	$115^\circ C$
θ_{JA} (N Package)			$100^\circ C/W$	$100^\circ C/W$
P_d (H Package)	670 mW	670 mW	570 mW	570 mW
θ_{JA} (J Package)	$150^\circ C/W$	$150^\circ C/W$	$150^\circ C/W$	$150^\circ C/W$
P_d (N Package)	670 mW	670 mW	570 mW	570 mW
θ_{JA} (N Package)	$140^\circ C/W$	$140^\circ C/W$	$140^\circ C/W$	$140^\circ C/W$
Differential Input Voltage	$\pm 40V$	$\pm 40V$	$\pm 40V$	$\pm 30V$
Input Voltage Range (Note 2)	$\pm 20V$	$\pm 20V$	$\pm 20V$	$\pm 16V$
Output Short Circuit Duration	Continuous	Continuous	Continuous	Continuous
Storage Temperature Range	$-65^\circ C$ to $+150^\circ C$			
Lead Temperature (Soldering, 10 seconds)	$300^\circ C$	$300^\circ C$	$300^\circ C$	$300^\circ C$

DC Electrical Characteristics (Note 3)

SYMBOL	PARAMETER	CONDITIONS	LF155A/6A/7A			LF355A/6A/7A			UNITS
			MIN	TYP.	MAX	MIN	TYP.	MAX	
V _{OS}	Input Offset Voltage	$R_S = 50\Omega$; $T_A = 25^\circ C$	-2	-1.5	2	-2	-1.5	2	mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 50\Omega$	-3	-2	5	-3	-2	5	mV/ $^\circ C$
$\Delta T_C/\Delta V_{OS}$	Change in Average TC with V _{OS} Adjust	$R_S = 50\Omega$, (Note 4)	-0.5	-0.5	0.5	-0.5	-0.5	0.5	$\mu V/C$ per mV
I _{OS}	Input Offset Current	$T_J = 25^\circ C$; (Notes 3, 5)	-10	-10	10	-10	-10	10	pA
I _B	Input Bias Current	$T_J \leq THIGH$	-10	-10	10	-10	-10	10	nA
R _{IN}	Input Resistance	$T_J = 25^\circ C$	10	10	10	10	10	10	Ω
A _{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$; $T_A = 25^\circ C$ $V_O = \pm 10V$; $R_L = 2k$	50	100	50	100	100	100	V/mV
V _O	Output Voltage Swing	$V_S = \pm 15V$; $R_L = 10k$ $V_S = \pm 15V$; $R_L = 2k$	± 12	± 13	± 12	± 13	± 12	± 13	V
V _{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$	± 11	± 12	± 11	± 11	± 12	± 11	V
CMRR	Common-Mode Rejection Ratio		85	100	85	100	100	100	dB
PSRR	Supply Voltage Rejection Ratio	(Note 6)	85	100	85	100	100	100	dB

AC Electrical Characteristics ($T_A = 25^\circ C$, $V_S = \pm 15V$)

SYMBOL	PARAMETER	CONDITIONS	LF155A/355A			LF156A/356A			LF157A/357A			UNIT
			MIN	TYP.	MAX	MIN	TYP.	MAX	MIN	TYP.	MAX	
S.R.	Slew Rate	LF155A/6A; AV = 1 LF157A; AV = 5	3	5	10	10	12	40	50	50	50	V/ μ s
GBW	Gain Bandwidth Product		2.5	2.5	4	4.5	4.5	15	20	20	20	MHz
t _s	Settling Time to 0.01%	(Note 7)	4	4	4	4.5	4.5	4.5	4.5	4.5	4.5	μ s
e _n	Equivalent Input Noise Voltage	$R_S = 100\Omega$ $f = 100$ Hz $f = 1000$ Hz	25	25	45	45	55	15	15	15	15	nV/ \sqrt{Hz}
I _n	Equivalent Input Noise Current	$f = 100$ Hz $f = 1000$ Hz	0.01	0.01	0.01	0.01	0.01	0.01	0.01	0.01	0.01	pA/ \sqrt{Hz}
C _{IN}	Input Capacitance		3	3	3	3	3	3	3	3	3	pF

LF155/LF156/LF157 Series

Notes for Electrical Characteristics

Note 1: The maximum power dissipation for these devices must be derated at elevated temperatures and is dictated by T_{JMAX} , θ_{JA} , ambient temperature, T_A . The maximum available power dissipation at any temperature $P_d = (T_{JMAX} - T_A)/\theta_{JA}$ or the $25^\circ C$ P_{dMAX} ever is less.

Note 2: Unless otherwise specified, the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: Unless otherwise stated, these test conditions apply:

	LF156A/6A/7A LF155/6/7	LF255/6/7	LF355A/6A/7A	LF355B/6B/7B	LF355/6/7
Supply Voltage, V_S	$\pm 15V \leq V_S \leq \pm 20V$	$\pm 15V \leq V_S \leq \pm 20V$	$\pm 15V \leq V_S \leq \pm 18V$	$\pm 15V \leq V_S \leq \pm 20V$	$V_S \leq \pm 15V$
T_A	$-55^\circ C \leq T_A \leq +125^\circ C$	$-25^\circ C \leq T_A \leq +85^\circ C$	$0^\circ C \leq T_A \leq +70^\circ C$	$0^\circ C \leq T_A \leq +70^\circ C$	$0^\circ C \leq T_A \leq +70^\circ C$
$THIGH$	$+125^\circ C$	$+85^\circ C$	$+70^\circ C$	$+70^\circ C$	$+70^\circ C$

and V_{OS} , I_B and I_O are measured at $V_{CM} = 0$.

Note 4: The Temperature Coefficient of the adjusted input offset voltage changes only a small amount ($0.5\mu V/^\circ C$ typically) for each adjustment from its original unadjusted value. Common-mode rejection and open loop voltage gain are also unaffected by offset adjust.

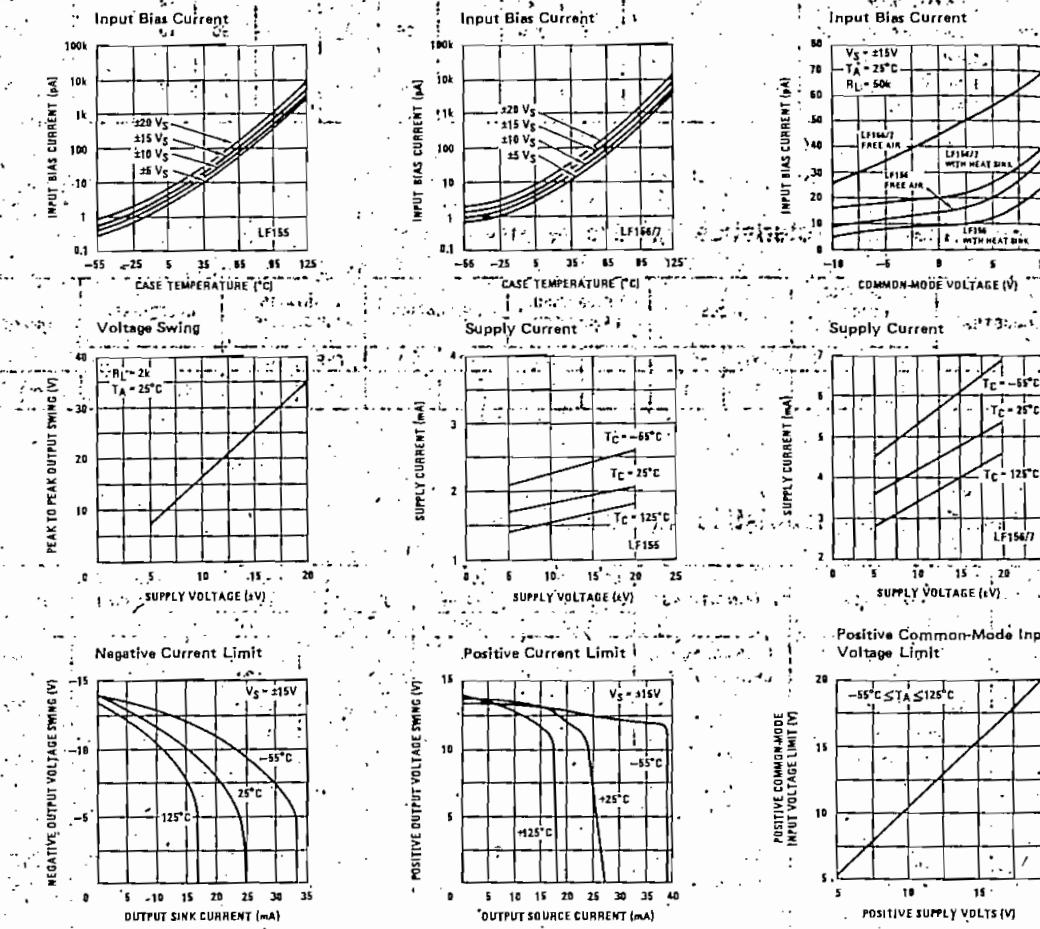
Note 5: The input bias currents are junction leakage currents which approximately double for every $10^\circ C$ increase in the junction temperature. Due to limited production test time, the input bias currents measured are correlated to Junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_d . $T_J = T_A + \theta_{JA} P_d$ where θ_{JA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

Note 6: Supply Voltage Rejection is measured for both supply magnitudes increasing or decreasing simultaneously, in accordance with common practice.

Note 7: Settling time is defined here, for a unity gain inverter connection using 2 k Ω resistors for the LF155/6. It is the time required for the voltage (the voltage at the Inverting Input pin on the amplifier) to settle to within 0.01% of its final value, from the time a 10V step input is applied to the inverter. For the LF157, $A_V = -5$, the feedback resistor from output to input is 2 k Ω and the output step is 10V (See Settling Time Circuit, page 3-9).

Typical DC Performance Characteristics

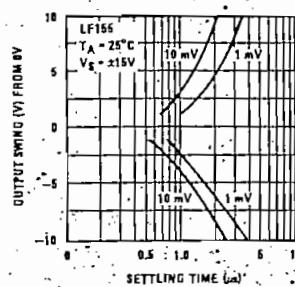
Curves are for LF155, LF156 and LF157 unless otherwise specified.



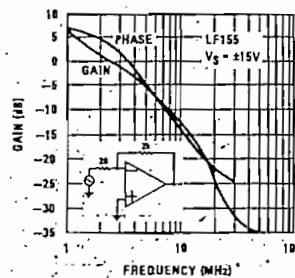
LF155/LF156/LF157 Series

Typical AC Performance Characteristics (Continued)

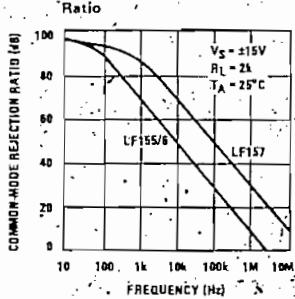
Inverter Settling Time



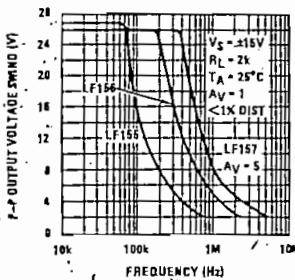
Bode Plot



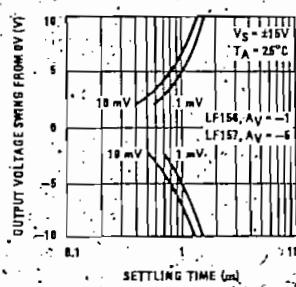
Common-Mode Rejection Ratio



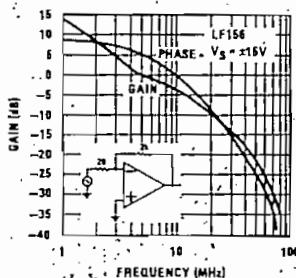
Undistorted Output Voltage Swing



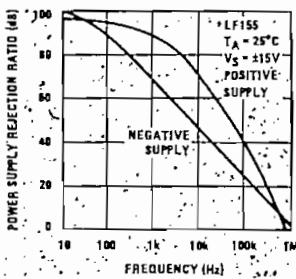
Inverter Settling Time



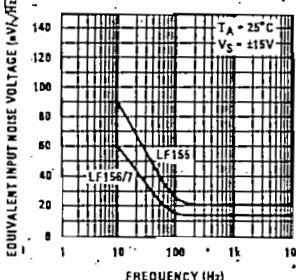
Bode Plot



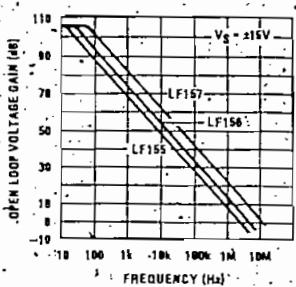
Power Supply Rejection Ratio



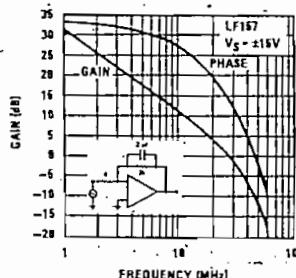
Equivalent Input Noise Voltage



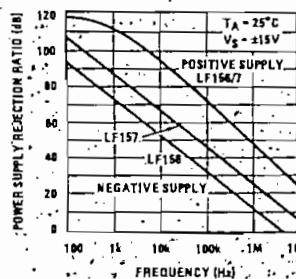
Open Loop Frequency Response



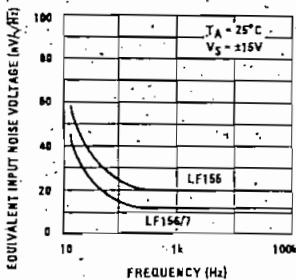
Bode Plot



Power Supply Rejection Ratio



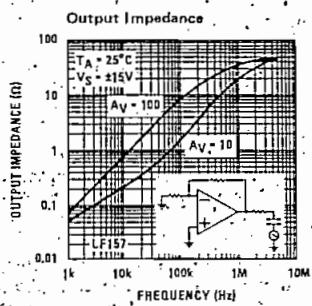
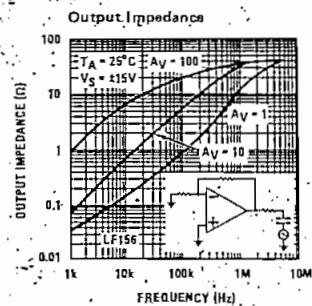
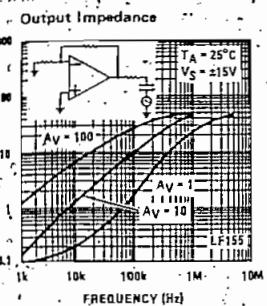
Equivalent Input Noise Voltage (Expanded Scale)



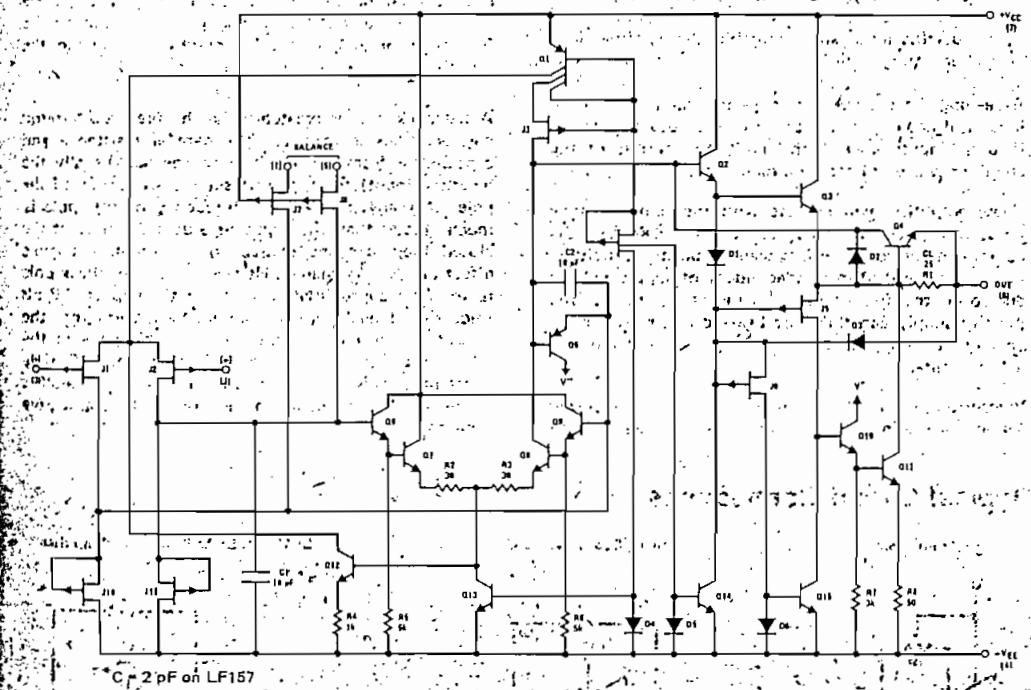
LF155/LF156/LF157 Series

3

Typical AC Performance Characteristics (Continued)



Detailed Schematic

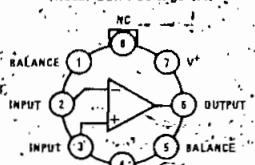


Connection Diagrams (Top Views)

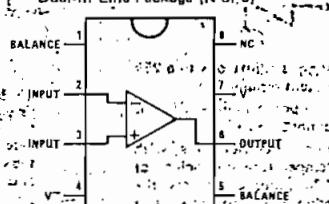
Order Number	LF155AH	LF156AH	LF157AH
LF155H	LF156H	LF157H	
LF255H	LF256H	LF257H	
LF355AH	LF356AH	LF357AH	
LF355H	LF356H	LF357H	

See NS Package H08C

Metal Can Package (H)



Dual-In-Line Package (N or J)



LINEAR INTEGRATED CIRCUITS TYPES TL070, TL070A, TL071, TL071A, TL071B, TL072, TL072A, TL072B, TL074, TL074A, TL074B, TL075 LOW-NOISE JFET-INPUT OPERATIONAL AMPLIFIERS

BULLETIN NO. DL-S 12640, SEPTEMBER 1978

20 DEVICES COVER COMMERCIAL, INDUSTRIAL, AND MILITARY TEMPERATURE RANGES

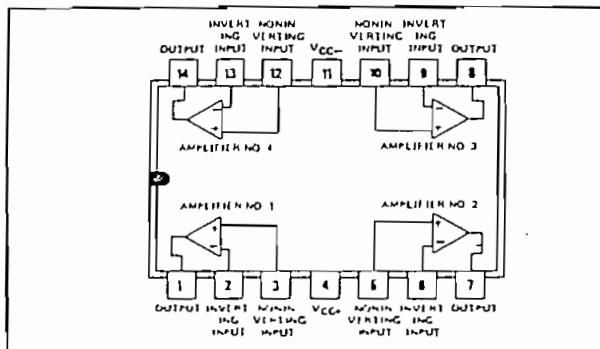
- Low Noise ... $V_n = 18 \text{ nV}/\sqrt{\text{Hz}}$ Typ
- Low Harmonic Distortion ... 0.01% Typ
- Wide Common-Mode and Differential Voltage Ranges
- Low Input Bias and Offset Currents
- Output Short-Circuit Protection
- High Input Impedance ... JFET-Input Stage
- Internal Frequency Compensation
- Low Power Consumption
- Latch-Up-Free Operation
- High Slew Rate ... $13 \text{ V}/\mu\text{s}$ Typ

description

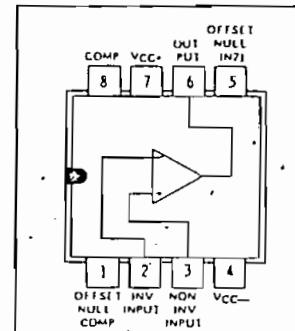
The JFET-input operational amplifiers of the TL071 series are designed as low-noise versions of the TL081 series amplifiers with low input bias and offset currents and fast slew rate. The low harmonic distortion and low noise make the TL071 series ideally suited as amplifiers for high-fidelity and audio preamplifier applications. Each amplifier features JFET-inputs (for high input impedance) coupled with bipolar output stages all integrated on a single monolithic chip.

Device types with an "M" suffix are characterized for operation over the full military temperature range of -55°C to 125°C , those with an "I" suffix are characterized for operation from -25°C to 85°C , and those with a "C" suffix are characterized for operation from 0°C to 70°C .

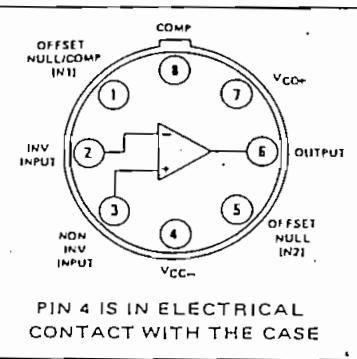
TL074, TL074A, TL074B
J OR N DUAL-IN-LINE PACKAGE (TOP VIEW)



JG OR P DUAL-IN-LINE PACKAGE (TOP VIEW)

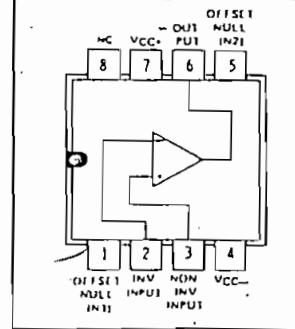


L PLUG-IN PACKAGE (TOP VIEW)

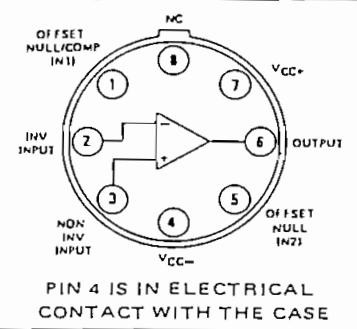


PIN 4 IS IN ELECTRICAL CONTACT WITH THE CASE

JG OR P DUAL-IN-LINE PACKAGE (TOP VIEW)

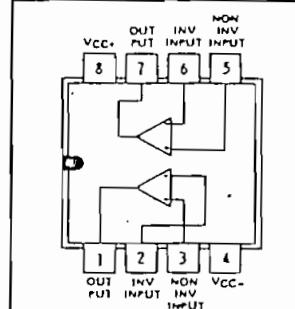


L PLUG-IN PACKAGE (TOP VIEW)

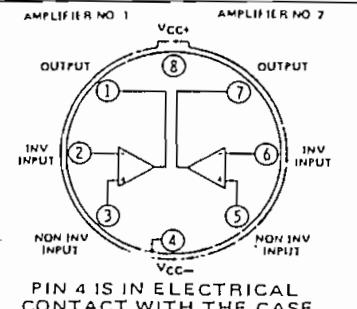


PIN 4 IS IN ELECTRICAL CONTACT WITH THE CASE

JG OR P DUAL-IN-LINE PACKAGE (TOP VIEW)

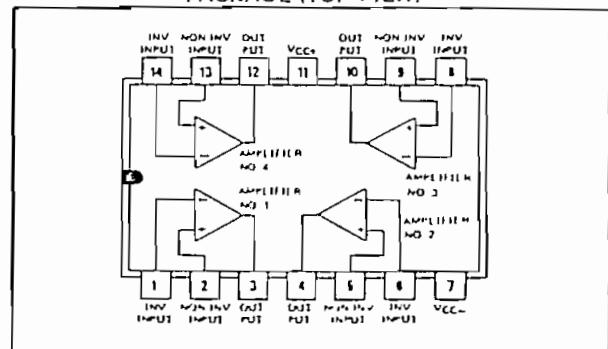


L PLUG-IN PACKAGE (TOP VIEW)



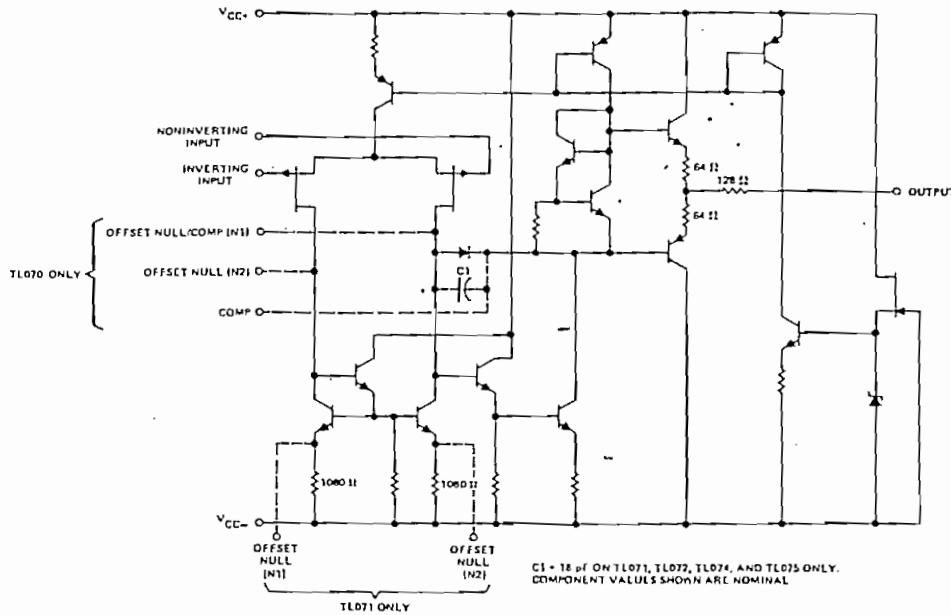
PIN 4 IS IN ELECTRICAL CONTACT WITH THE CASE

TL075
N DUAL-IN-LINE PACKAGE (TOP VIEW)



TYPES TL070, TL070A, TL071, TL071A, TL071B, TL072, TL072A, TL072B, TL074, TL074A, TL074B, TL075 LOW-NOISE JFET-INPUT OPERATIONAL AMPLIFIERS

schematic (each amplifier)



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

	TL07_M	TL07_I	TL07_C TL07_AC TL07_BC	UNIT
Supply voltage, V_{CC+} (see Note 1)	18	18	18	V
Supply voltage, V_{CC-} (see Note 1)	-18	-18	-18	V
Differential input voltage (see Note 2)	± 30	± 30	± 30	V
Input voltage (see Notes 1 and 3)	± 15	± 15	± 15	V
Duration of output short circuit (see Note 4)	Unlimited	Unlimited	Unlimited	
Continuous total dissipation at (or below) 25°C free-air temperature (see Note 5)	680 J, JG, N, or P Package L Package	680 625	680 625	mW
Operating free-air temperature range	-55 to 125	-25 to 85	0 to 70	°C
Storage temperature range	-65 to 150	-65 to 150	-65 to 150	°C
Lead temperature 1/16 inch from case for 60 seconds	J, JG, or L Package	300	300	°C
Lead temperature 1/16 inch from case for 10 seconds	N or P Package	260	260	°C

NOTES: 1. All voltage values, except differential voltages, are with respect to the zero reference level (ground) of the supply voltages where the zero reference level is the midpoint between V_{CC+} and V_{CC-} .

2. Differential voltages are at the noninverting input terminal with respect to the inverting input terminal.
3. The magnitude of the input voltage must never exceed the magnitude of the supply voltage or 15 volts, whichever is less.
4. The output may be shorted to ground or to either supply. Temperature and/or supply voltages must be limited to ensure that the dissipation rating is not exceeded.
5. For operation above 25°C free-air temperature, refer to Dissipation Derating Table.

DISSIPATION DERATING TABLE

PACKAGE	POWER RATING	DERATING FACTOR	ABOVE T_A
J	680 mW	8.2 mW/°C	67°C
JG	680 mW	6.6 mW/°C	47°C
L	625 mW	5.0 mW/°C	25°C
N	680 mW	9.2 mW/°C	76°C
P	680 mW	8.0 mW/°C	65°C

DEVICE TYPES, SUFFIX VERSIONS, AND PACKAGES

	TL070	TL071	TL072	TL074	TL075
TL07_M	J,G,L	J,G,L	J,G,L	J	*
TL07_I	J,G,L,P	J,G,L,P	J,G,L,P	J,N	*
TL07_C	J,G,L,P	J,G,L,P	J,G,L,P	J,N	N
TL07_AC	J,G,L,P	J,G,L,P	J,G,L,P	J,N	*
TL07_BC	*	J,G,L,P	J,G,L,P	J,N	*

* These combinations are not defined by this data sheet.

**TYPES TL070, TL070A, TL071, TL071A, TL071B,
TL072, TL072A, TL072B, TL074, TL074A, TL074B, TL075
LOW-NOISE JFET-INPUT OPERATIONAL AMPLIFIERS**

electrical characteristics, $V_{CC\pm} = \pm 15$ V

PARAMETER	TEST CONDITIONS [†]	TL07_M			TL07_I			TL07_C TL07_AC TL07_BC			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
V _{IO}	Input offset voltage	R _S = 50 Ω, T _A = 25°C	'70, '71, '72, '75‡	3	6	3	6	3	10	3	mV
			'74	3	9	3	6	3	10	3	
			'70A, '71A, '72A, '74A	3	6	3	
			'71B, '72B, '74B	2	3	2	
	Input offset current §	R _S = 50 Ω, T _A = full range	'70, '71, '72, '75‡	9	9	9	9	9	13	9	pA
			'74	15	15	9	9	9	13	9	
			'70A, '71A, '72A, '74A	7.5	7.5	7.5	
			'71B, '72B, '74B	5	5	5	
αV _{IO}	Temperature coefficient of input offset voltage	R _S = 50 Ω, T _A = full range	10	10	10	10	10	10	10	μV/°C	
I _{IO}	Input offset current §	T _A = 25°C	'70, '71, '72, '74, '75‡	5	50	5	50	5	50	5	pA
			'70A, '71A, '72A, '74A	5	50	5	
			'71B, '72B, '74B	5	50	5	
	Input bias current §	T _A = full range	'70, '71, '72, '74, '75‡	20	20	10	10	2	2	2	nA
			'70A, '71A, '72A, '74A	2	2	2	
			'71B, '72B, '74B	2	2	2	
I _B	Input bias current §	T _A = 25°C	'70, '71, '72, '74, '75‡	30	200	30	200	30	200	30	pA
			'70A, '71A, '72A, '74A	30	200	30	
			'71B, '72B, '74B	30	200	30	
	Input bias current §	T _A = full range	'70, '71, '72, '74, '75‡	50	50	20	20	7	7	7	nA
			'70A, '71A, '72A, '74A	7	7	7	
			'71B, '72B, '74B	7	7	7	
V _{ICR}	Common-mode input voltage range	T _A = 25°C	'70, '71, '72, '74, '75‡	±12	±12	±12	±12	±10	±10	±10	V
			'70A, '71A, '72A, '74A	±12	±12	±12	
			'71B, '72B, '74B	±12	±12	±12	
V _{OPP}	Maximum peak-to-peak output voltage swing	T _A = 25°C, R _L = 10 kΩ	24	27	24	27	24	27	24	27	V
			24	24	24	24	24	24	24	24	
		T _A = full range	R _L ≥ 2 kΩ	20	24	20	24	20	24	20	
			'70, '71, '72, '74, '75‡	50	200	50	200	50	200	50	
AVD	Large-signal differential voltage amplification	R _L ≥ 2 kΩ, V _O = ±10 V, T _A = 25°C	'70A, '71A, '72A, '74A	50	200	50	V/mV
			'71B, '72B, '74B	50	200	50	
			'70, '71, '72, '74, '75‡	25	25	25	25	15	15	15	
		R _L ≥ 2 kΩ, V _O = ±10 V, T _A = full range	'70A, '71A, '72A, '74A	25	25	25	
			'71B, '72B, '74B	25	25	25	
			'70, '71, '72, '74, '75‡	25	25	25	25	15	15	15	
B ₁	Unity-gain bandwidth	T _A = 25°C, R _L = 10 kΩ	3	3	3	3	3	3	3	3	MHz
r _i	Input resistance	T _A = 25°C	10 ¹²	10 ¹²	10 ¹²	10 ¹²	10 ¹²	10 ¹²	10 ¹²	10 ¹²	Ω
CMRR	Common-mode rejection ratio	R _S < 10 kΩ, T _A = 25°C	'70, '71, '72, '74, '75‡	80	86	80	86	70	76	70	dB
			'70A, '71A, '72A, '74A	80	86	80	
			'71B, '72B, '74B	80	86	80	
k _{SVR}	Supply voltage rejection ratio ($\Delta V_{CC\pm}/\Delta V_{IO}$)	R _S < 10 kΩ, T _A = 25°C	'70, '71, '72, '74, '75‡	80	86	80	86	70	76	70	dB
			'70A, '71A, '72A, '74A	80	86	80	
			'71B, '72B, '74B	80	86	80	
I _{CC}	Supply current (per amplifier)	No load, T _A = 25°C	No signal,	1.4	2.5	1.4	2.5	1.4	2.5	1.4	mA
V _{O1} /V _{O2}	Channel separation	A _{VO} = 100, T _A = 25°C	120	120	120	120	120	120	120	120	dB

¹ All characteristics are specified under open-loop conditions unless otherwise noted. Full range for T_A is -55°C to 125°C for TL07_M; -25°C to 85°C for TL07_I, and 0°C to 70°C for TL07_C, TL07_AC, and TL07_BC.

[‡] Types TL075I and TL075M are not defined by this data sheet.

[§] Input bias currents of a FET-input operational amplifier are normal junction reverse currents, which are temperature sensitive as shown in Figure 1B. Pulse techniques must be used that will maintain the junction temperatures as close to the ambient temperature as is possible.

**TYPES TL070, TL070A, TL071, TL071A, TL071B,
TL072, TL072A, TL072B, TL074, TL074A, TL074B, TL075
LOW-NOISE JFET-INPUT OPERATIONAL AMPLIFIERS**

operating characteristics, $V_{CC\pm} = \pm 15$ V, $T_A = 25^\circ C$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
SR Slew rate at unity gain	$V_I = 10$ V, $R_L = 2$ k Ω , $C_L = 100$ pF, See Figure 1		13		V/ μ s
t_r Rise time	$V_I = 20$ mV, $R_L = 2$ k Ω ,	-0.1			μ s
Overshoot factor	$C_L = 100$ pF, See Figure 1	10%			
V_n Equivalent input noise voltage	$R_S = 100$ Ω , $f = 1$ kHz	18			nV/ $\sqrt{\text{Hz}}$
I_n Equivalent input noise current	$R_S = 100$ Ω , $f = 1$ kHz	0.01	4		μ A/ $\sqrt{\text{Hz}}$
THD Total harmonic distortion	$V_O(\text{rms}) = 10$ V, $R_S < 1$ k Ω , $R_L > 2$ k Ω , $f = 1$ kHz	0.01%			

PARAMETER MEASUREMENT INFORMATION

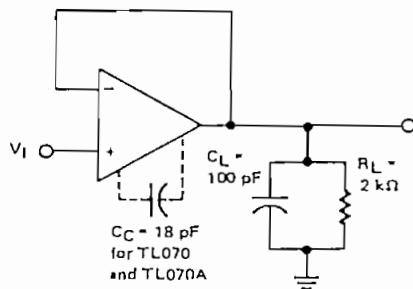


FIGURE 1—UNITY-GAIN AMPLIFIER

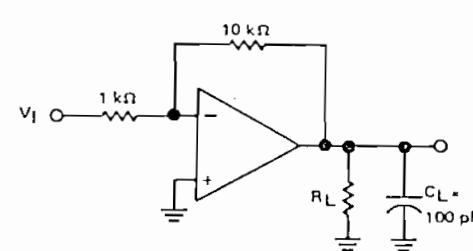


FIGURE 2—GAIN-OF-10 INVERTING AMPLIFIER

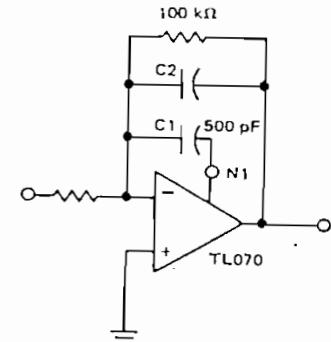


FIGURE 3—FEED-FORWARD COMPENSATION

INPUT OFFSET VOLTAGE NULL CIRCUITS

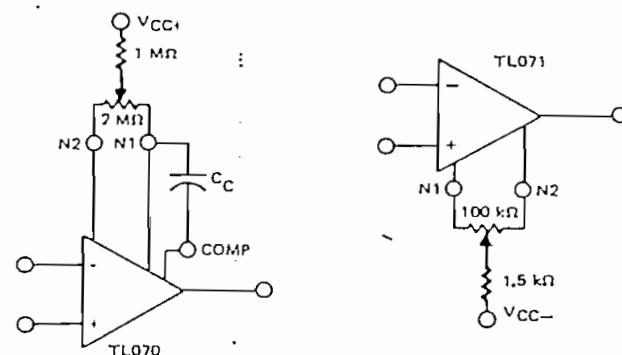


FIGURE 4

FIGURE 5

LM380



Audio, Radio and TV Circuits

LM380 Audio Power Amplifier

General Description

The LM380 is a power audio amplifier for consumer application. In order to hold system cost to a minimum, gain is internally fixed at 34 dB. A unique input stage allows inputs to be ground referenced. The output is automatically self centering to one half the supply voltage.

The output is short circuit proof with internal thermal limiting. The package outline is standard dual-in-line. A copper lead frame is used with the center three pins on either side comprising a heat sink; this makes the device easy to use in standard p-c layout.

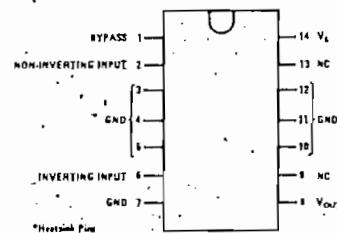
Uses include simple phonograph amplifiers, intercoms, line drivers, teaching machine outputs, alarms, ultrasonic drivers, TV sound systems, AM-FM radio, small servo drivers, power converters, etc.

A selected part for more power on higher supply voltages is available as the LM384. For more information see AN-69.

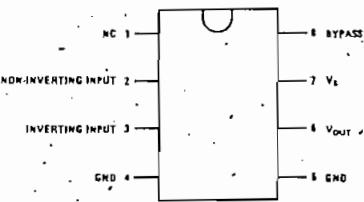
Features

- Wide supply voltage range
- Low quiescent power drain
- Voltage gain fixed at 50
- High peak current capability
- Input referenced to GND
- High input impedance
- Low distortion
- Quiescent output voltage is at one-half of the supply voltage
- Standard dual-in-line package

Connection Diagrams (Dual-In-Line Packages, Top View)

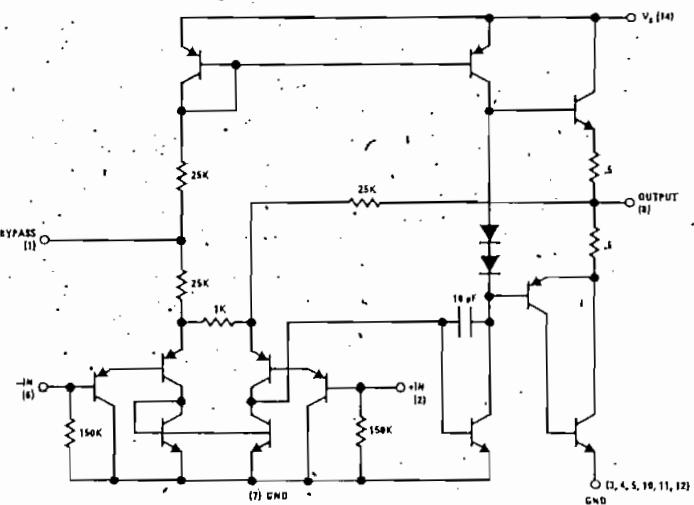
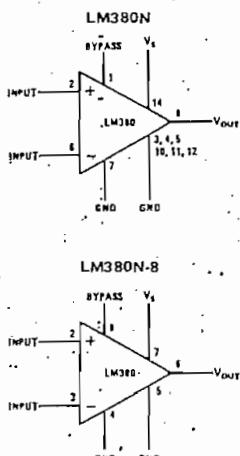


Order Number LM380N
See NS Package N14A



Order Number LM380N-8
See NS Package N08B

Block and Schematic Diagrams



Absolute Maximum Ratings

Supply Voltage	22V
Peak Current*	1.3A
Package Dissipation 14-Pin DIP (Notes 6 and 7)	10W
Input Voltage	$\pm 0.5V$
Storage Temperature	-65°C to +150°C
Operating Temperature	0°C to +70°C
Junction Temperature	+150°C
Lead Temperature (Soldering, 10 sec)	+300°C

Electrical Characteristics (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Power	P _{OUT} (RMS)	(Notes 3, 4) R _L = 8Ω, THD = 3%	2.5			W
Gain	A _V		40	50	60	V/V
Output Voltage Swing	V _{OUT}	R _L = 8Ω		14		V _{DD}
Input Resistance	Z _{IN}			150k		Ω
Total Harmonic Distortion	THD	(Note 4, 5)		0.2		%
Power Supply Rejection Ratio	PSRR	(Note 2)		38		dB
Supply Voltage	V _S		B		22	V
Bandwidth	BW	P _{OUT} = 2W, R _L = 8Ω		100k		Hz
Quiescent Supply Current	I _Q			7	25	mA
Quiescent Output Voltage	V _{OUT0}		-8	-9.0	-10	V
Bias Current	I _{BIAS}	Inputs Floating		100		nA
Short Circuit Current	I _{SC}				1.3	A

Note 1: V_S = 18V and T_A = 25°C unless otherwise specified.Note 2: Rejection ratio referred to the output with C_{BYPASS} = 5 μF.

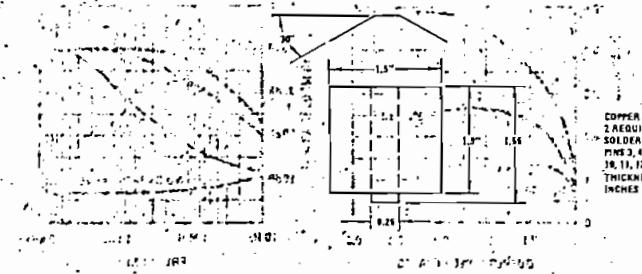
Note 3: With device Pins 3, 4, 5, 10, 11, 12 soldered into 1/16" epoxy glass board with 2 ounce copper foil with a minimum surface of 6 square inches.

Note 4: If oscillation exists under some load conditions, add 2.7Ω and 0.1 μfd series network from Pin B to Gnd.

Note 5: C_{BYPASS} = 0.47 μfd on Pin 10.

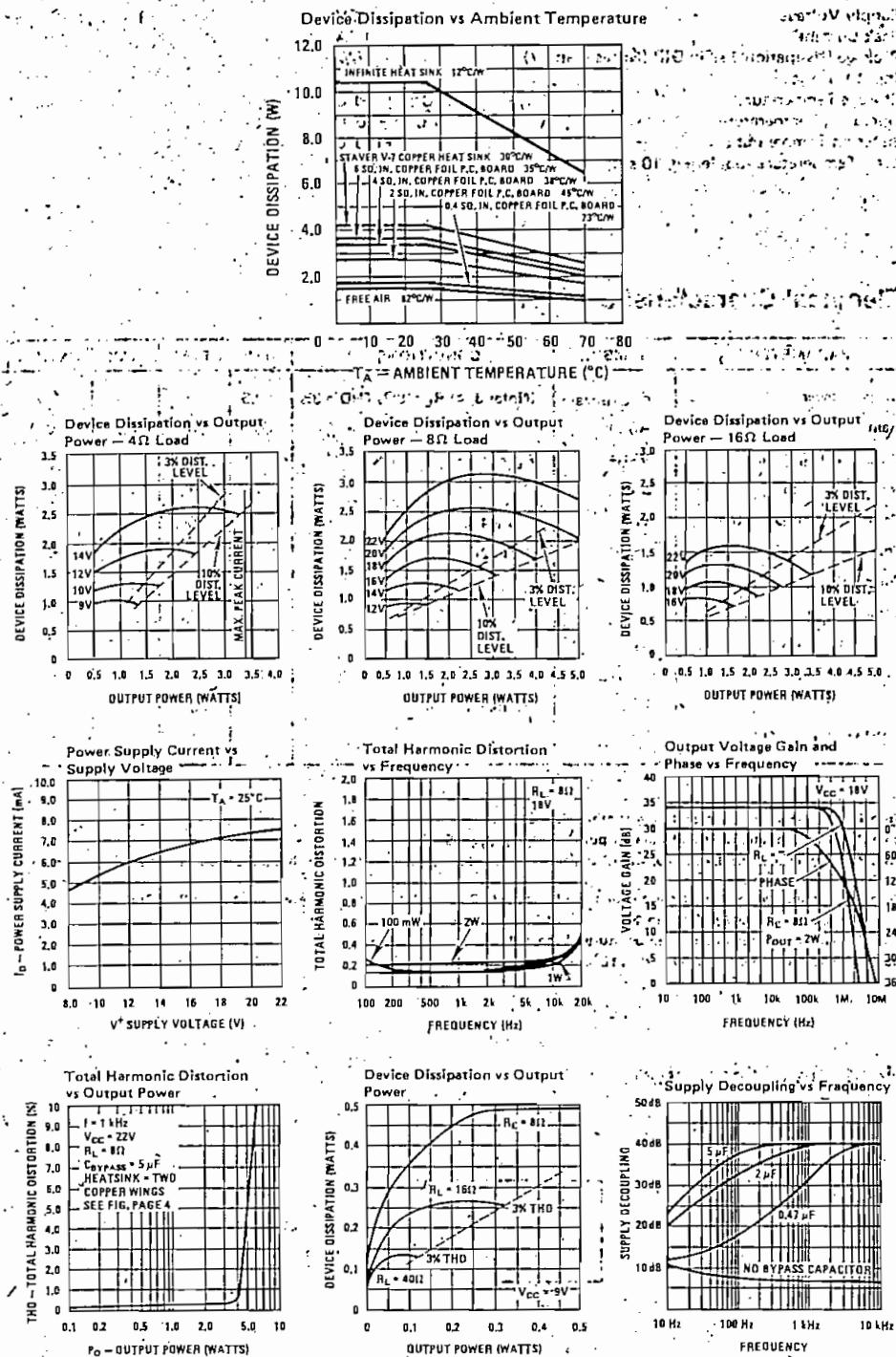
Note 6: The maximum junction temperature of the LM380 is 150°C.

Note 7: The package is to be derated at 12°C/W junction to heat sink pins.

Heat Sink Dimensions

LM380

Typical Performance Characteristics



GENERAL DESCRIPTION

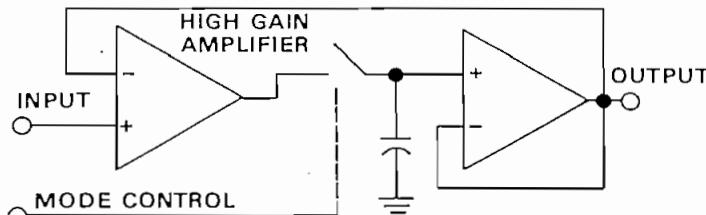
The SHA-2A is a very fast sample-and-hold module with accuracy and dynamic performance appropriate for application with very fast 12-bit A/D converters. In the "sample" mode, it acts as a fast amplifier, tracking the input signal. When switched to the "hold" mode, the output is held at a level corresponding to the input signal voltage at the instant of switching. The droop rate in "hold" mode is appropriate to allow 12-bit accurate conversion by very fast A/D converters, e.g. those having total conversion times of up to several microseconds.

DYNAMIC PERFORMANCE

The SHA-2A was designed for use with very fast A/D converters such as the Analog Devices' ADC-F series, which convert 10 bits in $1\mu s$. Since such converters will often be used to acquire data from fast slewing signal sources, the dynamic parameters were designed with this in mind. Slewing rate is $100V/\mu s$, and settling time to 0.01% is $< 500ns$. The aperture time of less than 10ns, and aperture jitter of 0.25ns, means that an input signal slewing at $200mV/\mu s$ (3kHz) will be acquired to appreciably better than one LSB uncertainty for a 12-bit converter. The maximum droop rate of $100\mu V/\mu s$ means that when the SHA-2A is in "hold," its output is holding constant for the ADC input, changing less than 0.1 LSB per conversion time for a $1\mu s$ 12-bit ADC. The fast settling of the sample-hold transient allows the following A/D converter to make an accurate MSB decision only 150ns after the "hold" command is applied.

UNIQUE CIRCUIT ARRANGEMENT

Most sample-and-hold amplifier modules have input terminals connected either to a unity gain buffer, or directly to the hold capacitor through a switch. In the SHA-2A an input buffer is used, but the feedback connection has been omitted in order to allow the user to connect the SHA-2A as a follower, for unity gain, or to provide gain in order to simplify signal conditioning in his system. We call the user's attention to the fact that the input buffer bandwidth will go down as gain is increased, as it does for all op amps. Performance data is given for the unity gain buffer connection.



TYPICAL BLOCK DIAGRAM

FEATURES:

- ±10V Range
- 10ns Aperture Delay
- 1/4ns Aperture Jitter
- 300ns Settling Time
- 0.01% Linearity Error
- Complete with Input Buffer



APPLICATIONS:

- Track and Hold
- Peak Measurement Systems
- Data Acquisition Systems
- Simultaneous Sample & Hold

Represented by:



ROUTE ONE
P.O. BOX 280
TEL: 617/329-4700

INDUSTRIAL
NORWOOD, MASS.
TWX: 710/394

SHA-2A SAMPLE-AND-HOLD AMPLIFIER

SPECIFICATIONS (Typical @ 25°C and ±15VDC, unless otherwise noted)

GAIN AND ACCURACY

Voltage Gain (Follower Connection)	+1
Gain Error (Follower Connection)	+0 -0.01%
Gain Nonlinearity	0.01% max

INPUT CHARACTERISTICS

Input Impedance	10 ¹¹ ohms and 7pF
Input Bias Current	100pA max
Input Range	±10V min
Initial Offset Voltage	adjustable to 0
Offset vs Temp	100µV/°C max
Offset vs Supply	500µV/%

FREQUENCY RESPONSE (SAMPLE MODE)

Full Power Bandwidth	1.5MHz
Slewing Rate	100V/µs
Settling Time to 0.01%	500ns max
Settling Time to 0.1%	300ns max
Noise (BW 100Hz to 1MHz)	100µV rms

SAMPLE-TO-HOLD SWITCHING

Aperture Delay Time	10ns
Aperture Delay Jitter	0.25ns
Switching Transient Settling (to 5mV)	150ns max
S-H Offset Nonlinearity	0.025% max

HOLDING CHARACTERISTICS

Droop Rate	100µV/µs max
Feedthrough (10kHz, 20V p-p Input)	5mV p-p max

OUTPUT CHARACTERISTICS

Output Voltage	±10V min
Output Current	±20mA min
Short Circuit Current	±70mA
Maximum Capacitive Load	200pF

DIGITAL CONTROL

Logic Levels (DTL/TTL Compatible)	
Sample ("1")	> +2V @ 1µA
NOTE: TO ACHIEVE RATED SPECIFICATIONS, LOGIC HOLD ("0") DRIVING DIGITAL CONTROL INPUT SHOULD BE SCHOTTKY TTL	to 3.7V @ 1mA < 0.8V 0 to 0.8V @ -7mA
	±15V ±2% @ 100mA

POWER REQUIREMENTS

TEMPERATURE RANGE

Operating	0 to +70°C
Storage	-25°C to +85°C
MATING SOCKET	AC 1035
PRICE (1-9)	\$225.

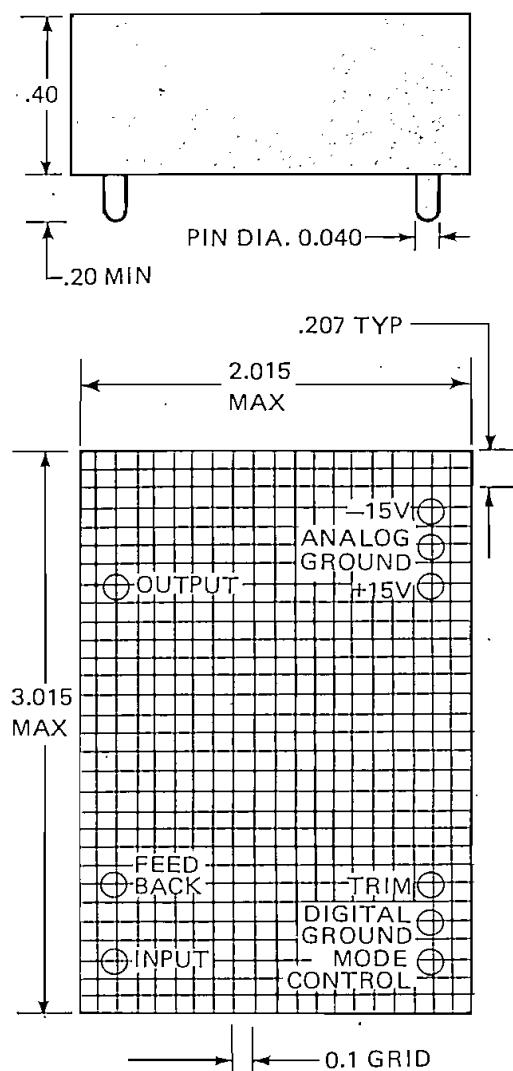
MATING SOCKET AC-1035

The AC-1035 is a simple socket assembly, 2" x 3", for mounting the SHA-2A. Price: \$4.00

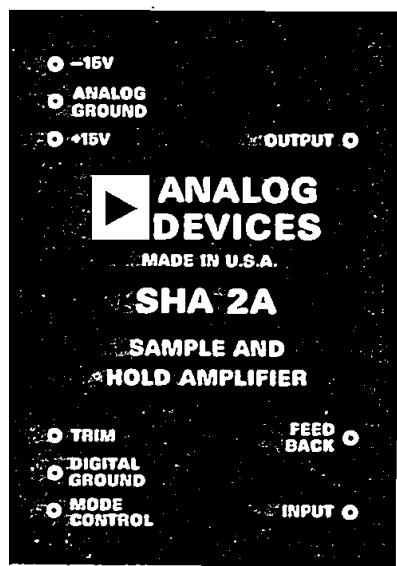
MOUNTING BOARD AC-1503

The AC-1503 is a 2½" x 4½" PC board with edge connector. It contains a trimmer pot for adjustment of offset, as well as a logic chip, needed to simulate terminal characteristics of the SHA-II. When the SHA-2A is mounted on the AC-1503, the assembly is a pin-compatible replacement for the SHA-II. Price: \$35.00

OUTLINE DIMENSIONS



TOP VIEW



CIRCUIT DESCRIPTION

The SHA-2A is a typical sample-and-hold module in that it consists of an input isolator, a fast switch, the storage element, and an output buffer. It differs from typical designs in two particular respects:

1. Speed — since it was designed to be compatible with very fast A/D converters of the $1\mu\text{s}$ total conversion time class, aperture delay time was reduced to 10ns, aperture

jitter to 0.25ns, and settling time to 300ns for 10-bit performance.

2. Application versatility — the user completes the feedback circuit for the SHA-2A external to the module. Therefore, the module may be used in various input configurations, and can easily be arranged to provide circuit gain of more than unity, to simplify signal conditioning in a subsystem.

FEEDBACK CONNECTIONS

A block diagram of the SHA-2A is shown in Figure 1. The input section acts as a voltage-to-current converter, providing the current needed to charge the "HOLD" capacitor. The output amplifier isolates the "HOLD" capacitor, and provides low output impedance for driving the load. Since feedback is not hardwired in the module, both inverting and noninverting input terminals are available, and the SHA-2A can be connected as a follower with unity gain or potentiometric gain, as well as an inverter or even a differential amplifier. Since the unity gain follower mode will be the most frequent application, performance data in the specifications is based on this operating mode.

1. Figure 2 shows feedback connections to the SHA-2A for the unity gain follower mode. Output (pin #3) is connected to feedback (or — input, pin #2). Input signal is applied to pin #1.

2. Figure 3 shows feedback connections for noninverting operation with potentiometric gain. When the indicated values are installed, gain will be +5. As in all operational amplifiers, gain-bandwidth product is a constant for a given sample-and-hold. Effective 3dB bandwidth will be inversely proportional to gain.

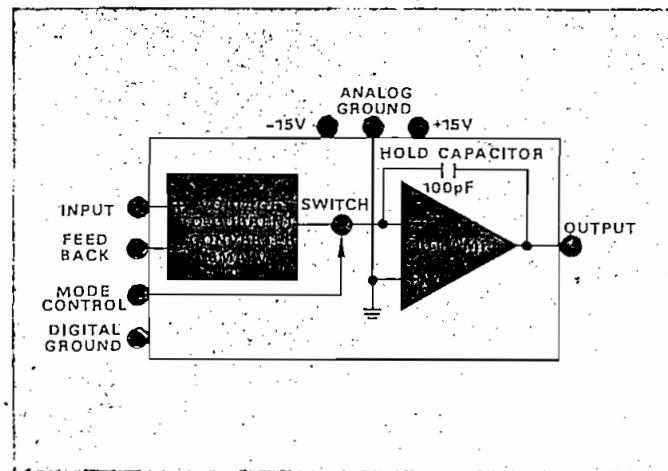


Figure 1. Block Diagram

3. By using conventional operational amplifier feedback connections, the SHA-2A can be connected for use as an inverter, with various gains (as determined by the R_F/R_1 ratio), or as a differential amplifier.

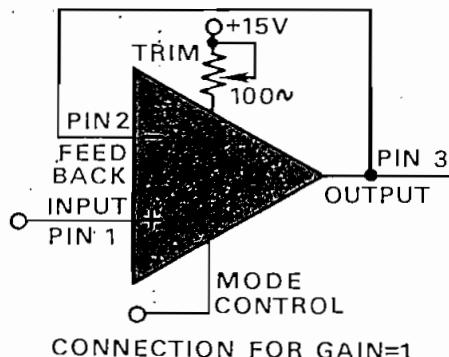


Figure 2.

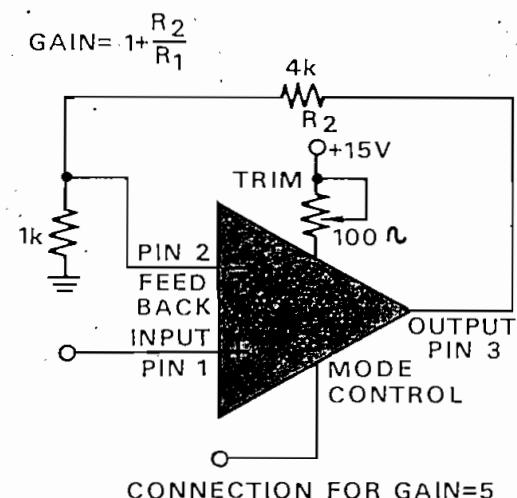


Figure 3.

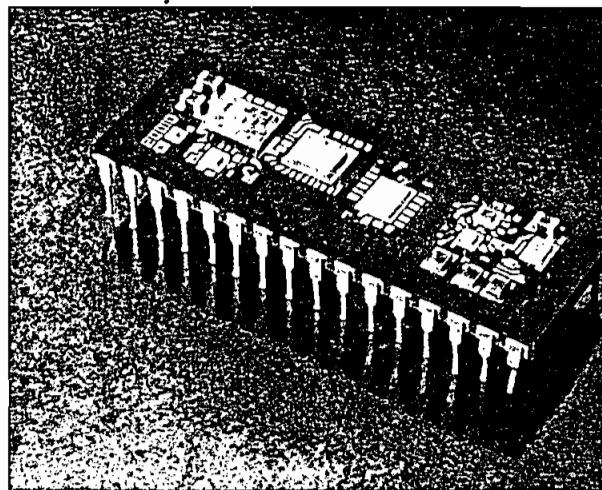
FEATURES

Performance

Complete 12-Bit A/D Converter with Reference and Clock
Fast Successive Approximation Conversion: $3\mu s$
Buried Zener Reference for Long Term Stability and Low
Gain T.C.: $\pm 30\text{ppm}/^{\circ}\text{C}$ max
Max Nonlinearity: $< \pm 0.012\%$
Low Power: 775mW
Hermetic Package Available

Versatility

Positive-True Parallel or Serial Logic Outputs
Short Cycle Capability
Precision +10V Reference for External Applications
Adjustable Internal Clock
"Z" Models for $\pm 12\text{V}$ Supplies



PRODUCT DESCRIPTION

The AD578 is a high speed low cost 12-bit successive approximation analog-to-digital converter that includes an internal clock, reference and comparator. Its hybrid IC design utilizes MSI digital and linear monolithic chips in conjunction with a 12-bit monolithic DAC to provide modular performance and versatility with IC size, price and reliability.

Important performance characteristics of the AD578 include a maximum linearity error at $+25^{\circ}\text{C}$ of $\pm 0.012\%$, maximum gain temperature coefficient of $\pm 30\text{ppm}/^{\circ}\text{C}$, typical power dissipation of 775mW and maximum conversion time of $3\mu s$.

The fast conversion speeds of $3\mu s$ (L grade) $4.5\mu s$ (K grade) and $6\mu s$ (J grade) make the AD578 an excellent choice in a variety of applications where system throughput rates from 166kHz to 333kHz are required. In addition, it may be short cycled to obtain faster conversion speeds at lower resolutions.

The design of the AD578 includes scaling resistors that provide analog input signal ranges of $\pm 5\text{V}$, $\pm 10\text{V}$, 0 to $+10\text{V}$ or 0 to $+20\text{V}$. Adding flexibility and value is the +10V precision reference which can be used for external applications.

The AD578 is available with either the polymer seal (N) for use in benign environmental applications or solder-seal (D) for more harsh or rigorous surroundings. Both are contained in a 32-pin side-brazed, ceramic DIP.

PRODUCT HIGHLIGHTS

1. The AD578 is a complete 12-bit A/D converter. No external components are required to perform a conversion.
2. The fast conversion rate of the AD578 makes it an excellent choice for high speed data acquisition and digital audio processing applications.
3. The internal buried zener reference is laser trimmed to $10.00\text{V} \pm 0.1\%$ and $\pm 1.5\text{ppm}/^{\circ}\text{C}$ typical T.C. The reference is available externally and can provide up to 1mA.
4. The scaling resistors are included on the monolithic DAC for exceptional thermal tracking.
5. Short cycle and external clock capabilities are provided for applications requiring faster conversion speeds and/or lower resolutions.
6. The integrated package construction provides high quality and reliability with small size and weight.

SPECIFICATIONS

(typical @ +25°C; ±15V, and +5V unless otherwise noted).

Model	AD578J	AD578K	AD578L
RESOLUTION	12 Bits	*	*
ANALOG INPUTS			
Voltage Ranges			
Bipolar	±5.0V, ±10V	*	*
Unipolar	0 to +10V, 0 to +20V	*	*
Input Impedance			
0 to +10V, ±5V	5kΩ	*	*
±10V, 0 to +20V	10kΩ	*	*
DIGITAL INPUTS			
Convert Command ¹	1LS TTL Load	*	*
Clock Input	1LS TTL Load	*	*
TRANSFER CHARACTERISTICS			
Gain Error ^{2,3}	±0.1% FSR, ±0.25% FSR max	*	*
Unipolar Offset ³	±0.1% FSR, ±0.25% FSR max	*	*
Bipolar Offset ^{3,4}	±0.1% FSR, ±0.25% FSR max	*	*
Linearity Error			
+25°C	±1/2LSB max	*	*
0 to +70°C	±3/4LSB max	*	*
DIFFERENTIAL LINEARITY ERROR			
(Minimum resolution for which no missing codes are guaranteed)			
+25°C	12 Bits	*	*
0 to +70°C	12 Bits	*	*
POWER SUPPLY SENSITIVITY			
+15V ±10%	3ppm/%ΔV _S typ	*	*
	10ppm/%ΔV _S max	*	*
-15V ±10%	15ppm/%ΔV _S typ	*	*
	25ppm/%ΔV _S max	*	*
+5V ±10%	2ppm/%ΔV _S typ	*	*
	10ppm/%ΔV _S max	*	*
TEMPERATURE COEFFICIENTS			
Gain	±15ppm/°C typ	*	*
	±30ppm/°C max	*	*
Unipolar Offset	±3ppm/°C typ	*	*
	±10ppm/°C max	±5ppm/°C max	**
Bipolar Offset	±8ppm/°C typ	*	*
	±20ppm/°C max	±15ppm/°C max	**
Differential Linearity	±2ppm/°C typ	*	*
CONVERSION TIME ^{5,6} (max)	6.0μs	4.5μs	3μs
PARALLEL OUTPUTS			
Unipolar Code	Binary	*	*
Bipolar Code	Offset Binary/Two's Complement	*	*
Output Drive	2TTL Loads	*	*
SERIAL OUTPUTS (NRZ FORMAT)			
Unipolar Code	Binary/Complementary Binary	*	*
Bipolar Code	Offset Binary/Comp. Offset Binary	*	*
Output Drive	2TTL Loads	*	*
END OF CONVERSION (EOC)	Logic "1" During Conversion	*	*
Output Drive	8TTL Loads	*	*
INTERNAL CLOCK ⁷			
Output Drive	2TTL Loads	*	*
INTERNAL REFERENCE			
Voltage	10.000 ± 10mV	*	*
External Current	±1mA max	*	*
POWER SUPPLY REQUIREMENTS			
Range for Rated Accuracy	4.75 to 5.25 and ±13.5 to ±16.5	*	*
Z Models ⁸	4.75 to 5.25 and ±11.8 to ±16.5	*	*
Supply Current +15V	3mA typ, 8mA max	*	*
-15V	22mA typ, 35mA max	*	*
+5V	80mA typ, 110mA max	*	*
Power Dissipation	775mW typ	*	*
TEMPERATURE RANGE			
Operating	0 to +70°C	*	*
Storage	-55°C to +150°C	*	*

¹ Positive pulse 200ns wide (min) leading edge (0 to 1) resets outputs. Trailing edge initiates conversion.

² With 50Ω, 1% resistor in place of gain adjust potentiometer.

³ Adjustable to zero.

⁴ With 50Ω, 1% resistor between Ref Out and Bipolar Offset (Pins 24 & 26).

⁵ Conversion time is defined as the time between the falling edge of convert start and the falling edge of the EOC.

⁶ Each grade is specified at the conversion speed shown.

⁷ Externally adjustable by a resistor or capacitor.

⁸ For "Z" models order AD578ZJ, AD578ZK or AD578ZL.

*Specifications same as AD578J.

**Specifications same as AD578K.

Specifications subject to change without notice.

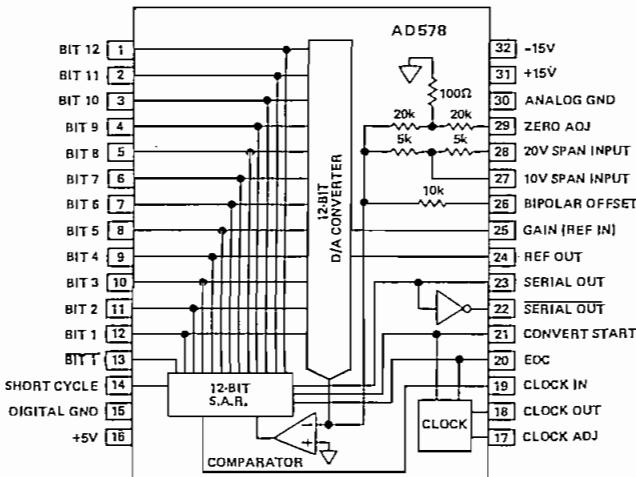


Figure 1. AD578 Functional Diagram and Pinout

The AD578 is a complete 12-bit A/D converter which requires no external components to provide the successive-approximation analog-to-digital conversion function. A block diagram of the AD578 is shown in Figure 1.

When the control section is commanded to initiate a conversion it enables the clock and resets the successive-approximation register (SAR). The SAR, timed by the clock, sequences through the conversion cycle and returns an end-of-convert flag to the control section. The control section disables the clock and brings the output status flag low. The parallel data bits become valid on the rising edge of the clock pulse starting with t_1 and ending with t_{12} .

During the conversion cycle, the internal 12-bit current output DAC is sequenced by the SAR from the most-significant-bit (MSB) to least-significant-bit (LSB) to provide an output current which accurately balances the input signal current through the $5\text{k}\Omega$ (or $10\text{k}\Omega$) input resistor. The comparator determines whether the addition of each successively-weighted bit current causes the DAC current sum to be greater or less than the input current; if the sum is less, the bit is left on; if more, the bit is turned off. After testing all the bits, the SAR contains a 12-bit binary code which accurately represents the input signal to within $\pm 1/2\text{LSB}$.

The temperature-compensated buried Zener reference provides the primary voltage reference to the DAC and guarantees excellent stability with both time and temperature. The reference is trimmed to 10.00 volts $\pm 0.1\%$; it is buffered and can supply up to 1.0mA to an external load in addition to the current required to drive the reference input resistor (0.5mA) and bipolar offset resistor (1mA). The thin film application resistors are trimmed to match the full scale output current of the DAC. There are two $5\text{k}\Omega$ input scaling resistors to allow either a 10 volt or 20 volt span. The $10\text{k}\Omega$ bipolar offset resistor is grounded for unipolar operation or connected to the 10 volt reference for bipolar operation.

UNIPOLAR CALIBRATION

The AD578 is intended to have a nominal $1/2\text{LSB}$ offset so that the exact analog input for a given code will be in the middle of that code (halfway between the transitions to the codes above and below it). Thus, when properly calibrated, the first transition (from 0000 0000 0000 to 0000 0000 0001) will occur for an input level of $+1/2\text{LSB}$ (1.22mV for 10V range).

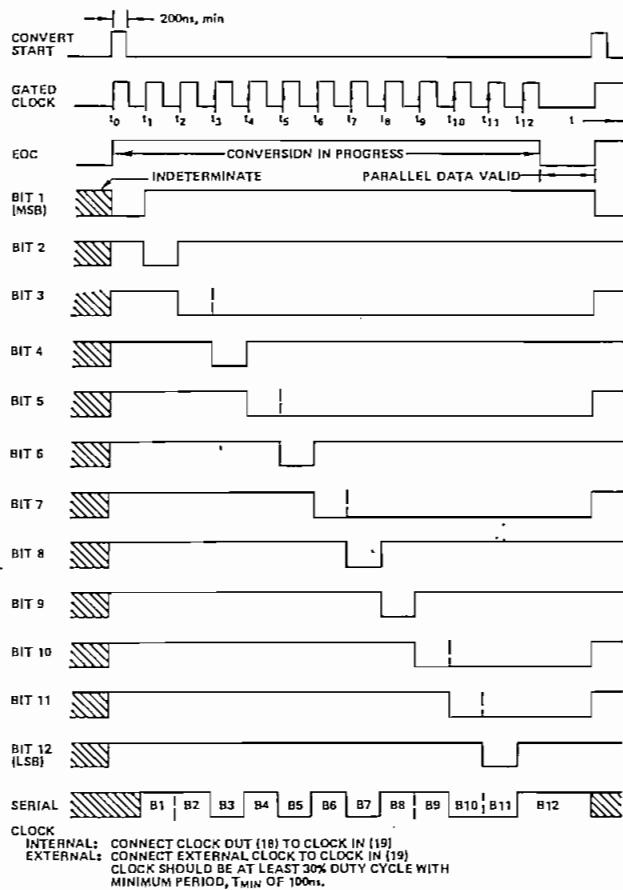


Figure 2. AD578 Timing Diagram

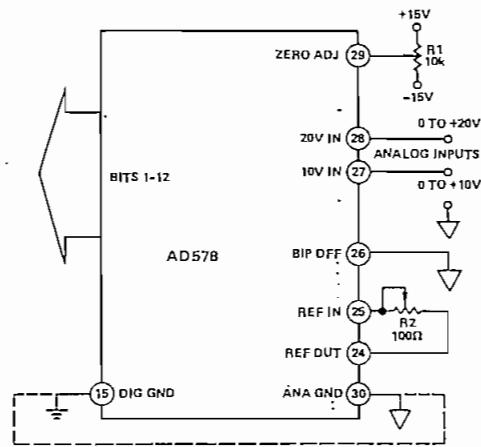


Figure 3. Unipolar Input Connections

If pin 26 is connected to pin 30, the unit will behave in this manner, within specifications. Refer to Table 1 and Figure 5 for further clarification. If the offset trim (R1) is used, it should be trimmed as above, although a different offset can be set for a particular system requirement. This circuit will give approximately $\pm 25\text{mV}$ of offset trim range.

The full scale trim is done by applying a signal 1 $1/2\text{LSB}$ below the nominal full scale (9.9963V for a 10V range). Trim R2 to give the last transition (1111 1111 1110 to 1111 1111 1111).

BIPOLAR OPERATION

The connections for bipolar ranges are shown in Figure 4. Again, as for the unipolar ranges, if the offset and gain specifications are sufficient, the 100Ω trimmer shown can be replaced by a $50\Omega \pm 1\%$ fixed resistor. The analog input is applied as for the unipolar ranges. Bipolar calibration is similar to unipolar calibration. First, a signal $1/2\text{LSB}$ above negative full scale (-4.9988V for the $\pm 5\text{V}$ range) is applied, and R1 is trimmed to give the first transition (0000 0000 0000 to 0000 0000 0001). Then, a signal $1 1/2\text{LSB}$ below positive full scale ($+4.9963\text{V}$ for the $\pm 5\text{V}$ range) is applied and R2 trimmed to give the last transition (1111 1111 1110 to 1111 1111 1111).

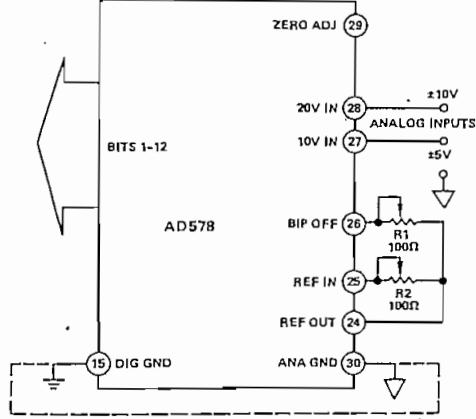


Figure 4. Bipolar Input Connections

ERROR SOURCES

The analog continuum is partitioned into 2^{12} discrete ranges for 12-bit conversion. All analog values within a given quantum are represented by the same digital code, usually assigned to the nominal midrange value. There is an inherent quantization uncertainty of $\pm 1/2\text{LSB}$, associated with the resolution, in addition to the actual conversion errors.

The actual conversion errors that are associated with A/D converters are combinations of analog errors due to the linear circuitry, matching and tracking properties of the ladder and scaling networks, reference error and power supply rejection.

The matching and tracking errors in the AD578 have been minimized by the use of a monolithic DAC that includes the scaling network. The initial gain and offset errors are specified at $\pm 0.1\%$ FSR typical. These errors may be trimmed to zero by the use of the external trim circuits as shown in Figures 3 and 4. Linearity error is defined as the deviation from a true straight line transfer characteristic from a zero analog input which calls for a zero digital output to a point which is defined as full scale. The linearity error is unadjustable and is the most meaningful indication of A/D converter accuracy. Differential nonlinearity is a measure of the deviation in staircase step width between codes from the ideal least significant bit step size (Figure 5).

Monotonic behavior requires that the differential linearity error be less than 1LSB , however a monotonic converter can have missing codes; the AD578 is specified as having no missing codes from 0 to $+70^\circ\text{C}$ and thus is monotonic.

There are three types of drift error over temperature: offset, gain and linearity. Offset drift causes a shift of the transfer characteristic left or right over the operating temperature range. Gain drift causes a rotation of the transfer characteristic about the zero or minus full scale point. The worst case accuracy drift is the summation of all three drift errors over temperature. Statistically, however, the drift error behaves as the root-sum-squared (RSS) and can be shown as:

$$\text{RSS} = \sqrt{\epsilon_G^2 + \epsilon_O^2 + \epsilon_L^2}$$

ϵ_G = Gain Drift Error (ppm/ $^\circ\text{C}$)

ϵ_O = Offset Drift Error (ppm of FSR/ $^\circ\text{C}$)

ϵ_L = Linearity Error (ppm of FSR/ $^\circ\text{C}$)

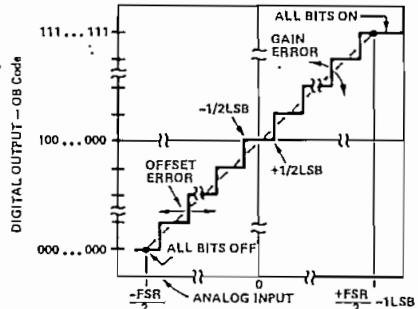


Figure 5. Transfer Characteristic for an Ideal Bipolar A/D

Analog Input — Volts (Center of Quantization Interval)				Digital Output Code (Binary for Unipolar Ranges; Offset Binary for Bipolar Ranges)	
0 to +10V Range	0 to +20V Range	-5V to +5V Range	-10V to +10V Range	B1 (MSB)	B12 (LSB)
+9.9976	+19.9951	+4.9976	+9.9951	1 1 1 1 1 1 1 1 1 1 1 1	
+9.9952	+19.9902	+4.9952	+9.9902	1 1 1 1 1 1 1 1 1 1 1 0	
.
+5.0024	+10.0049	+0.0024	+0.0049	1 0 0 0 0 0 0 0 0 0 1	
+5.0000	+10.0000	+0.0000	+0.0000	1 0 0 0 0 0 0 0 0 0 0	
.
+0.0024	+0.0051	-4.9976	-9.9951	0 0 0 0 0 0 0 0 0 0 1	
+0.0000	+0.0000	-5.0000	-10.0000	0 0 0 0 0 0 0 0 0 0 0 0	

Table 1. Digital Output Codes vs. Analog Input for Unipolar and Bipolar Ranges

LAYOUT CONSIDERATIONS

Many data-acquisition components have two or more ground pins which are not connected together within the device. These "grounds" are usually referred to as the Logic Power Return, Analog Common (Analog Power Return), and Analog Signal Ground. These grounds must be tied together at one point, usually at the system power-supply ground. Ideally, a single solid ground would be desirable. However, since current flows through the ground wires and etch stripes of the circuit cards, and since these paths have resistance and inductance, hundreds of millivolts can be generated between the system ground point and the ground pin of the AD578. Separate ground returns should be provided to minimize the current flow in the path from sensitive points to the system ground point. In this way supply currents and logic-gate return currents are not summed into the same return path as analog signals where they would cause measurement errors.

Each of the AD578's supply terminals should be capacitively decoupled as close to the AD578 as possible. A large value capacitor such as $10\mu F$ in parallel with a $0.1\mu F$ capacitor is usually sufficient. Analog supplies are bypassed to the Analog Power Return pin and the logic supply is bypassed to the Digital GND pin.

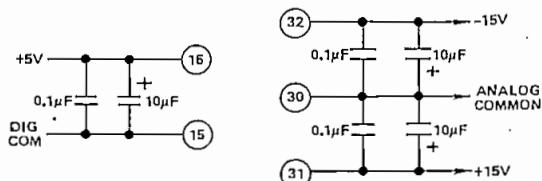


Figure 6. Basic Grounding Practice

To minimize noise the reference output (Pin 24) should be decoupled by a $6.8\mu F$ capacitor to pin 30.

CLOCK RATE CONTROL

The internal clock is preset to a nominal conversion time of $5.6\mu s$. It can be adjusted for either faster or slower conversions. For faster conversion connect the appropriate 1% resistor between pin 17 and pin 18 and short pin 18 to pin 19.

For slower conversions connect a capacitor between pin 15 and pin 17.

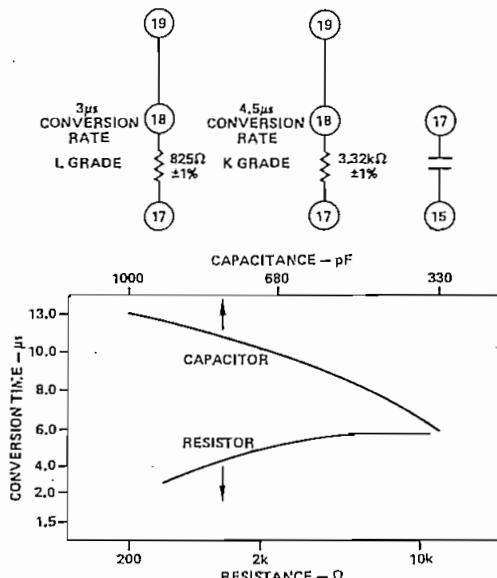


Figure 7. Conversion Time vs. R&C Values

The curves in Figure 7 characterize the conversion time for a given resistor or capacitor connection.

Note: 12-bit operation with no missing codes is not guaranteed when operating in this mode if a particular grade conversion speed specification has been exceeded.

Short Cycle Input — A Short Cycle Input, pin 14, permits the timing cycle shown in Figure 2 to be terminated after any number of desired bits has been converted, allowing somewhat shorter conversion times in applications not requiring full 12-bit resolution. Short cycle pin connections and associated maximum 12-, 10-, and 8-bit conversion times are summarized in Table 2.

Resolution (Bits)	12	10	8
Connect Pin 14 to Pin	16	2	4
Conversion Speed (μs)	3	2.5	2

Table 2. Short Cycle Connections

External Clock — An external clock may be connected directly to the clock input, pin 19. When operating in this mode the convert start should be held high for a minimum of one clock period in order to reset the SAR and synchronize the conversion cycle. A positive going pulse width of 100 to 200 nanoseconds will provide a continuous string of conversions that start on the first rising edge of the external clock after the EOC output has gone low.

External Buffer Amplifier — In applications where the AD578 is to be driven from high impedance sources or directly from an analog multiplexer a fast slewing, wideband op amp like the AD507 should be used.

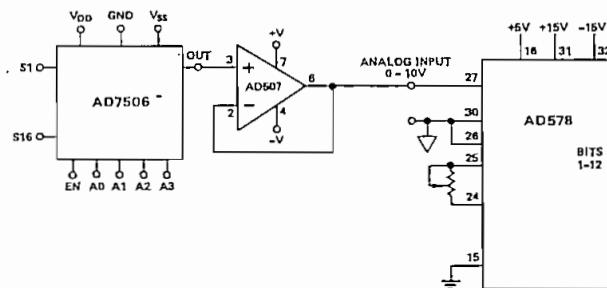


Figure 8. Input Buffer

MICROPROCESSOR INTERFACING

The $3\mu s$ conversion time of the AD578 suggests several different methods of interface to microprocessors. In systems where AD578 is used for high sampling rates on a single signal which is to be digitally processed, CPU-controlled conversion may be inefficient due to the slow cycle times of most microprocessors. It is generally preferable to perform conversions independently, inserting the resultant digital data directly into memory. This can be done using direct memory access (DMA) which is totally transparent to the CPU. Interface to user-designed DMA hardware is facilitated by the guaranteed data validity on the falling edge of the EOC signal.

In many multichannel data acquisition systems, the processor spends a good deal of time waiting for the ADC to complete its cycle. Converters with total conversion times of $25\mu s$ to $100\mu s$ are not slow enough to justify use of interrupts, nor fast enough to finish converting during one instruction and usually timed out with loops, or continuously polled for status. The AD578 allows the microprocessor to time out the con-

verter with just a few dummy instructions. For example, an 8085 system running at a 5MHz clock rate will time out an AD578 by pushing a register pair onto the stack and popping the same pair back off the stack. Such a time-out routine only occupies two bytes of program memory but requires 22 clock cycles ($4.4\mu s$). The time saved by not having to wait for the converter allows the processor to run much more efficiently, particularly in multichannel systems.

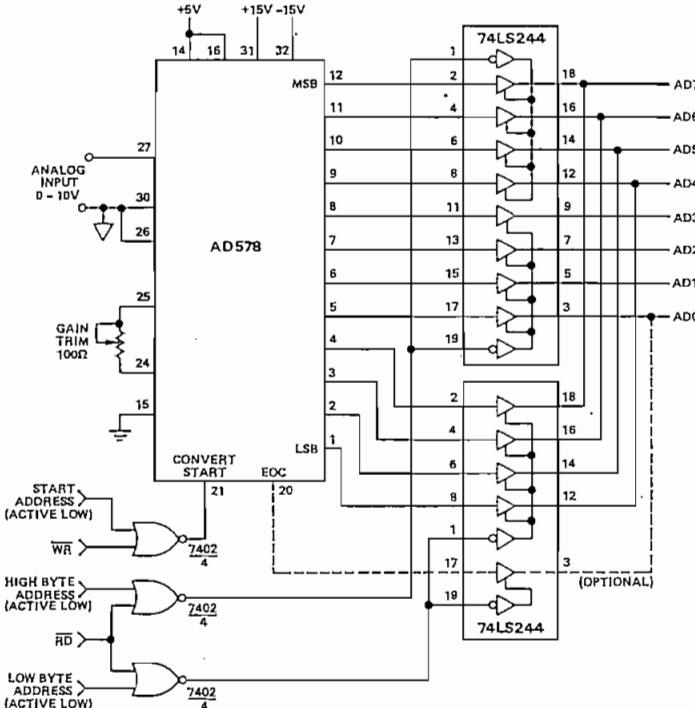


Figure 9. AD578-8085A Interface Connections

Clearly, 12 bits of data must be broken up for interface to an 8-bit wide data bus. There are two possible formats: right-justified and left-justified. In a right-justified system, the least-significant 8 bits occupy one byte and the four MSB's reside in the low nibble of another byte. This format is useful when the data from the ADC is being treated as a binary number between 0 and 4095. The left-justified format supplies the eight most-significant bits in one byte and the 4LSB's in the high nibble of another byte. The data now represents the fractional binary number relating the analog signal to the full-scale voltage. An advantage to this organization is that the most-significant eight bits can be read by the processor as a coarse indication of the true signal value. The full 12-bit word can then be read only when all 12 bits are needed. This allows faster and more efficient control of a process.

Figure 9 shows a typical connection to an 8085-type bus, using a left justified data format for unipolar inputs. Status polling is optional, and can be read simultaneously with the 4LSBs. If it is desired to right-justify the data, pins 1 through 12 of the AD578 should be reversed, as well as the connections to the data bus and high and low byte address signals.

When dealing with bipolar inputs ($\pm 5V, \pm 10V$ ranges), using the MSB directly yields an offset binary-coded output. If two's complement coding is desired, it can be produced by substituting MSB (pin 13) for the MSB. This facilitates arithmetic operations which are subsequently performed on the ADC output data.

SAMPLED DATA SYSTEMS

The conversion speed of the AD578 allows accurate digitization of high frequency signals and high throughput rates in multichannel data acquisition systems. The AD578LD, for example, is capable of a full accuracy conversion in $3\mu s$. In order to benefit from this high speed, a fast sample-hold amplifier (SHA) such as the HTC-0300 is required. This SHA has an acquisition time to 0.01% of approximately 300ns, so that a complete sample-convert-acquire cycle can be accomplished in approximately $4\mu s$. This means a sample rate of 250kHz can be realized, allowing a signal with no frequency components above 125kHz to be sampled with no loss of information. Note that the EOC signal from the AD578 places the SHA in the hold mode in advance of the actual start of the conversion cycle, and releases the SHA from the HOLD mode only after completion of the conversion. After allowing at least 300ns for the SHA to acquire the next analog value, the converter can again be started.

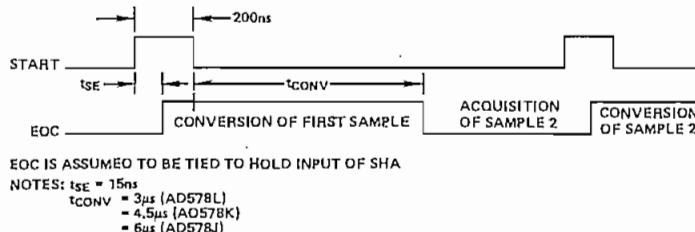
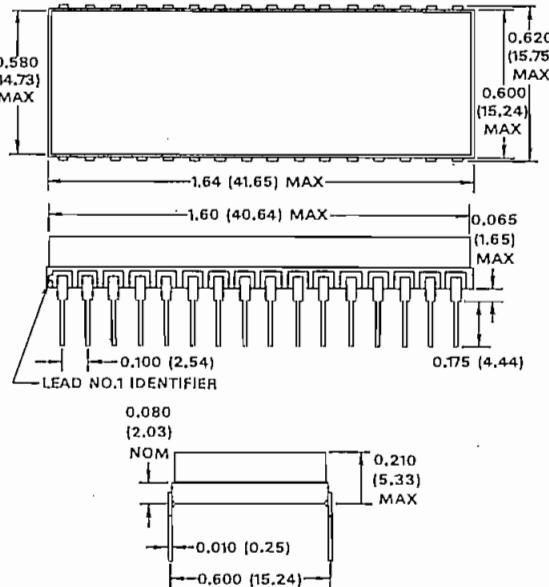


Figure 10. Start/EOC Timing for Sampled Data System

OUTLINE DIMENSIONS

Dimensions shown in inches and (mm).



AD578 ORDERING GUIDE

Model	Conversion Speed	Package		
AD578JN	$6\mu\text{s}$	Polymer-Seal		
AD578KN	$4.5\mu\text{s}$	Polymer-Seal		
AD578LN	$3\mu\text{s}$	Polymer-Seal		
AD578JD	$6\mu\text{s}$	Hermetic-Seal		
AD578KD	$4.5\mu\text{s}$	Hermetic-Seal		
AD578LD	$3\mu\text{s}$	Hermetic-Seal		



MOTOROLA

16,384-BIT DYNAMIC RANDOM ACCESS MEMORY

The MCM4116B is a 16,384-bit, high-speed dynamic Random Access Memory designed for high-performance, low-cost applications in mainframe and buffer memories and peripheral storage. Organized as 16,384 one-bit words and fabricated using Motorola's highly reliable N-channel double-polysilicon technology, this device optimizes speed, power, and density tradeoffs.

By multiplexing row and column address inputs, the MCM4116B requires only seven address lines and permits packaging in Motorola's standard 16-pin dual in-line packages. This packaging technique allows high system density and is compatible with widely available automated test and insertion equipment. Complete address decoding is done on chip with address latches incorporated.

All inputs are TTL compatible, and the output is 3-state TTL compatible. The data output of the MCM4116B is controlled by the column address strobe and remains valid from access time until the column address strobe returns to the high state. This output scheme allows higher degrees of system design flexibility such as common input/output operation and two dimensional memory selection by decoding both row address and column address strobes.

The MCM4116B incorporates a one-transistor cell design and dynamic storage techniques, with each of the 128 row addresses requiring a refresh cycle every 2 milliseconds.

- Flexible Timing with Read-Modify-Write, RAS-Only Refresh, and Page-Mode Capability
- Industry Standard 16-Pin Package
- 16,384 X 1 Organization
- ±10% Tolerance on All Power Supplies
- All Inputs are Fully TTL Compatible
- Three-State Fully TTL-Compatible Output
- Common I/O Capability When Using "Early Write" Mode
- On-Chip Latches for Addresses and Data In
- Low Power Dissipation — 463 mW Active, 20 mW Standby (Max)
- Fast Access Time Options: 150 ns — MCM4116BP-15, BC-15
200 ns — MCM4116BP-20, BC-20
250 ns — MCM4116BP-25, BC-25
300 ns — MCM4116BP-30, BC-30
- Easy Upgrade from 16-Pin 4K RAMs

ABSOLUTE MAXIMUM RATINGS (See Note)

Rating	Symbol	Value	Unit
Voltage on Any Pin Relative to V _{BB}	V _{in} , V _{out}	-0.5 to +20	V
Operating Temperature Range	T _A	0 to +70	°C
Storage Temperature Range	T _{stg}	-65 to +150	°C
Power Dissipation	P _D	1.0	W
Data Out Current	I _{out}	50	mA

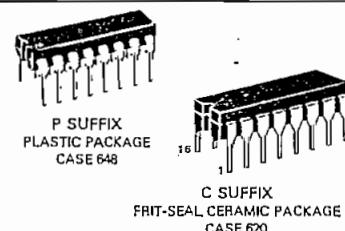
NOTE: Permanent device damage may occur if ABSOLUTE MAXIMUM RATINGS are exceeded. Functional operation should be restricted to RECOMMENDED OPERATING CONDITIONS. Exposure to higher than recommended voltages for extended periods of time could affect device reliability.

MCM4116B

MOS

(N-CHANNEL)

16,384-BIT DYNAMIC
RANDOM ACCESS
MEMORY



PIN ASSIGNMENT

V _{BB}	1	16	V _{SS}
D	2	15	CAS
W	3	14	DQ
RAS	4	13	DA6
A0	5	12	DA3
A2	6	11	DA4
A1	7	10	DA5
V _{DD}	8	9	V _{CC}

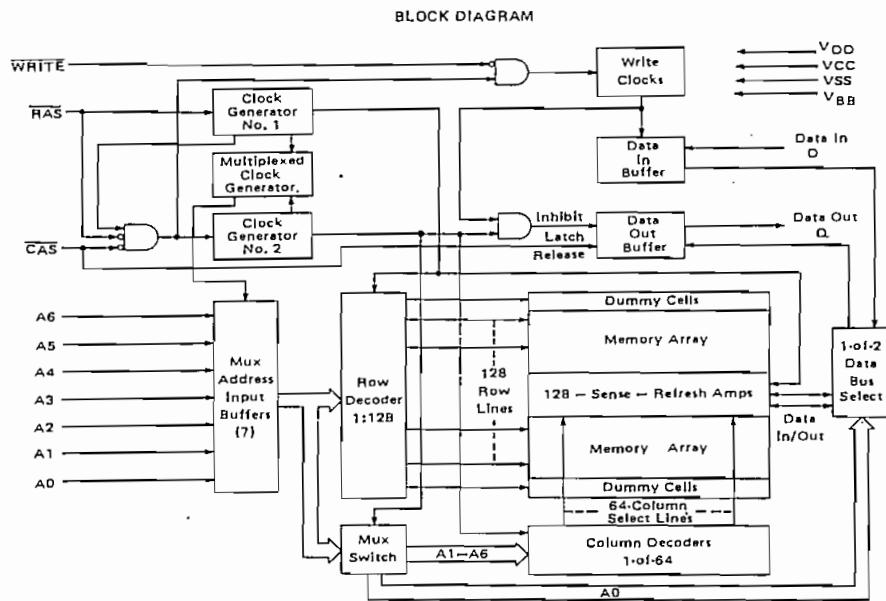
PIN NAMES

A0-A6.....	Address Inputs
CAS.....	Column Address Strobe
D.....	Data In
D.....	Data Out
RAS.....	Row Address Strobe
W.....	Read/Write Input
V _{BB}	Power (-5 V)
V _{CC}	Power (+5 V)
V _{DD}	Power (+12 V)
V _{SS}	Ground

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit.

DRAM

MCM4116B



DC OPERATING CONDITIONS AND CHARACTERISTICS (Full operating voltage and temperature range unless otherwise noted.)

RECOMMENDED OPERATING CONDITIONS

Parameter	Symbol	Min	Typ	Max	Unit	Notes
Supply Voltage	V _{DD}	10.8	12.0	13.2	V	1
	V _{CC}	4.5	5.0	5.5	V	1, 2
	V _{SS}	0	0	0	V	1
	V _{BB}	-4.5	-5.0	-5.5	V	1
Logic 1 Voltage, RAS, CAS, WRITE	V _{IHC}	2.4	—	7.0	V	1
Logic 1 Voltage, all inputs except RAS, CAS, WRITE	V _{IH}	2.4	—	7.0	V	1
Logic 0 Voltage, all Inputs	V _{IL}	-1.0	—	0.8	V	1

DC CHARACTERISTICS (V_{DD} = 12 V ± 10%, V_{CC} = 5.0 V ± 10%, V_{BB} = -5.0 V ± 10%, V_{SS} = 0 V, T_A = 0 to 70°C)

Characteristic	Symbol	Min	Max	Units	Notes
Average V _{DD} Power Supply Current	I _{DD1}	—	35	mA	4
V _{CC} Power Supply Current	I _{CC}	—	—	mA	5
Average V _{BB} Power Supply Current	I _{BB1,3}	—	200	μA	
Standby V _{BB} Power Supply Current	I _{BB2}	—	100	μA	
Standby V _{DD} Power Supply Current	I _{DD2}	—	1.5	mA	6
Average V _{DD} Power Supply Current during "RAS only" cycles	I _{DD3}	—	27	mA	4
Input Leakage Current (any input)	I _{I(L)}	—	10	μA	
Output Leakage Current	I _{O(L)}	—	10	μA	6, 7
Output Logic 1 Voltage @ I _{out} = -5 mA	V _{OH}	2.4	—	V	2
Output Logic 0 Voltage @ I _{out} = 4.2 mA	V _{OL}	—	0.4	V	

NOTES:

- All voltages referenced to V_{SS}. V_{BB} must be applied before and removed after other supply voltages.
- Output voltage will swing from V_{SS} to V_{CC} under open circuit conditions. For purposes of maintaining data in power-down mode, V_{CC} may be reduced to V_{SS} without affecting refresh operations. V_{OH(min)} specification is not guaranteed in this mode.
- Several cycles are required after power-up before proper device operation is achieved. Any 8 cycles which perform refresh are adequate.
- Current is proportional to cycle rate; maximum current is measured at the fastest cycle rate.
- I_{CC} depends upon output loading. The V_{CC} supply is connected to the output buffer only.
- Output is disabled (open-circuit) when CAS is at a logic 1.
- 0 V < V_{out} < +5.5 V.

CAPACITANCE (f = 1.0 MHz, T_A = 25°C, V_{CC} = 5 V, periodically sampled rather than 100% tested) (See Note 8)

Parameter	Symbol	Typ	Max	Unit	Notes
Input Capacitance (A0-A5), D _{in}	C _{I1}	4.0	5.0	pF	9
Input Capacitance RAS, CAS, WRITE	C _{I2}	8.0	10	pF	9
Output Capacitance (D _{out})	C _O	5.0	7.0	pF	7, 9

MCM4116B

AC OPERATING CONDITIONS AND CHARACTERISTICS (See Notes 3, 9, 14)

READ, WRITE, AND READ-MODIFY-WRITE CYCLES
 $(V_{DD} = 12 \text{ V} \pm 10\%, V_{CC} = 5.0 \text{ V} \pm 10\%, V_{BB} = -5.0 \text{ V} \pm 10\%, V_{SS} = 0 \text{ V}, T_A = 0 \text{ to } 70^\circ\text{C},)$

Parameter	Symbol	MCM4116B-1.5		MCM4116B-20		MCM4116B-25		MCM4116B-30		Units	Notes
		Min	Max	Min	Max	Min	Max	Min	Max		
Random Read or Write Cycle Time	t _{RC}	375	—	375	—	410	—	480	—	ns	
Read Write Cycle Time	t _{RWC}	375	—	375	—	515	—	660	—	ns	
Access Time from Row Address Strobe	t _{RA}	—	150	—	200	—	250	—	300	ns	10, 12
Access Time from Column Address Strobe	t _{CA}	—	100	—	135	—	165	—	200	ns	11, 12
Output Buffer and Turn-off Delay	t _{OFF}	0	50	0	50	0	60	0	60	ns	17
Row Address Strobe Precharge Time	t _{RP}	100	—	120	—	150	—	180	—	ns	
Row Address Strobe Pulse Width	t _{RA}	150	10,000	200	10,000	250	10,000	300	10,000	ns	
Column Address Strobe Pulse Width	t _{CA}	100	10,000	135	10,000	165	10,000	200	10,000	ns	
Row to Column Strobe Lead Time	t _{RCD}	20	50	25	65	35	85	60	100	ns	13
Row Address Setup Time	t _{ASR}	0	—	0	—	0	—	0	—	ns	
Row Address Hold Time	t _{RAH}	20	—	25	—	35	—	60	—	ns	
Column Address Setup Time	t _{ASC}	-10	—	-10	—	-10	—	-10	—	ns	
Column Address Hold Time	t _{CAH}	45	—	55	—	75	—	100	—	ns	
Column Address Hold Time Referenced to RAS	t _{AR}	95	—	120	—	160	—	200	—	ns	
Transition Time (Rise and Fall)	t _T	3.0	35	3.0	50	3.0	50	3.0	50	ns	14
Read Command Setup Time	t _{RCS}	0	—	0	—	0	—	0	—	ns	
Read Command Hold Time	t _{RCR}	0	—	0	—	0	—	0	—	ns	
Write Command Hold Time	t _{WCH}	45	—	55	—	75	—	100	—	ns	
Write Command Hold Time Referenced to RAS	t _{WCR}	95	—	120	—	160	—	200	—	ns	
Write Command Pulse Width	t _{WP}	45	—	55	—	75	—	100	—	ns	
Write Command to Row Strobe Lead Time	t _{RWL}	60	—	80	—	100	—	180	—	ns	
Write Command to Column Strobe Lead Time	t _{CWL}	60	—	80	—	100	—	180	—	ns	
Data In Setup Time	t _{IDS}	0	—	0	—	0	—	0	—	ns	15
Data In Hold Time	t _{IDH}	45	—	55	—	75	—	100	—	ns	15
Data In Hold Time Referenced to RAS	t _{IDHR}	95	—	120	—	160	—	200	—	ns	
Column to Row Strobe Precharge Time	t _{CRP}	-20	—	-20	—	-20	—	-20	—	ns	
RAS Hold Time	t _{RSH}	100	—	135	—	165	—	200	—	ns	
Refresh Period	t _{REF}	—	2.0	—	2.0	—	2.0	—	2.0	ms	
WRITE Command Setup Time	t _{WCS}	-20	—	-20	—	-20	—	-20	—	ns	
CAS to WRITE Delay	t _{CWD}	70	—	95	—	125	—	180	—	ns	16+
RAS to WRITE Delay	t _{RWD}	120	—	160	—	210	—	280	—	ns	16
CAS Precharge Time (Page mode cycle only)	t _{CP}	60	—	80	—	100	—	100	—	ns	
Page Mode Cycle Time	t _{PC}	170	—	225	—	275	—	325	—	ns	
CAS Hold Time	t _{CSH}	150	—	200	—	250	—	300	—	ns	

NOTES: (continued)

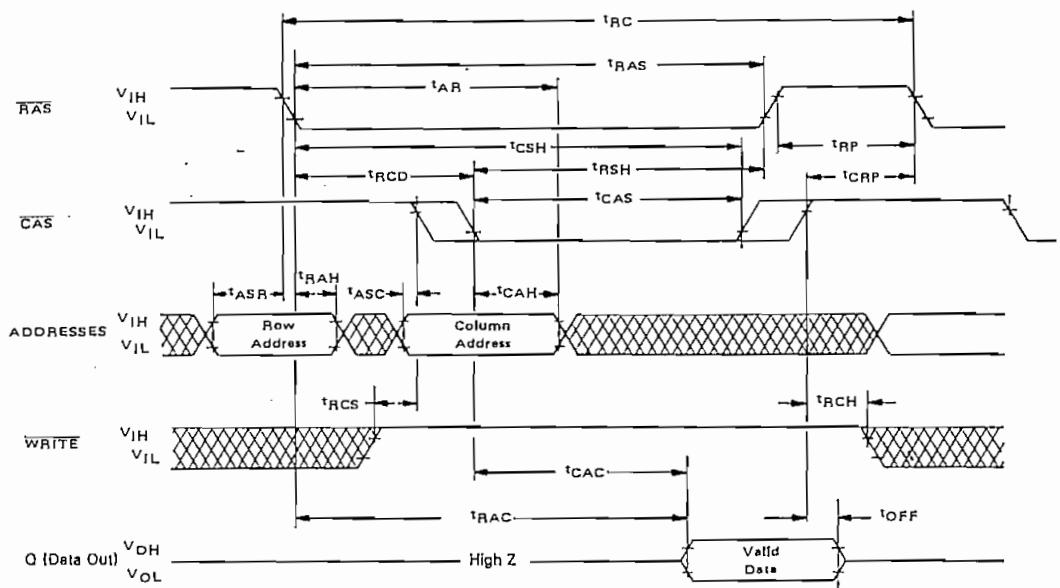
8. Capacitance measured with a Boonton Meter or effective capacitance calculated from the equation: $C = \frac{I_A}{\Delta V}$.
9. AC measurements assume $t_T \geq 5.0 \text{ ns}$.
10. Assumes that $t_{RCD} + t_T \leq t_{RCD} (\text{max})$.
11. Assumes that $t_{RCD} + t_T \geq t_{RCD} (\text{max})$.
12. Measured with a load circuit equivalent to 2 TTL loads and 100 pF.
13. Operation within the t_{RCD} (max) limit ensures that t_{RA} (max) can be met. t_{RCD} (max) is specified as a reference point only; if t_{RCD} is greater than the specified t_{RCD} (max) limit, then access time is controlled exclusively by t_{CA} .
14. V_{IH} (min) or V_{IH} (min) and V_{IL} (max) are reference levels for measuring timing of input signals. Also, transition times are measured between V_{IH} or V_{IH} and V_{IL} .
15. These parameters are referenced to CAS leading edge in random write cycles and to WRITE leading edge in delayed write or read-modify-write cycles.
16. t_{WCS} , t_{CWD} and t_{RWD} are not restrictive operating parameters. They are included in the data sheet as electrical characteristics only: If $t_{WCS} \geq t_{CWD}$ (min), the cycle is an early write cycle and the data out pin will remain open circuit (high impedance) throughout the entire cycle; if $t_{CWD} \geq t_{RWD}$ (min) and $t_{RWD} \geq t_{CWD}$ (min), the cycle is a read-write cycle and the data out will contain data read from the selected cell; if neither of the above sets of conditions is satisfied the condition of the data out (at access time) is indeterminate.
17. Assumes that $t_{CRP} > 50 \text{ ns}$.



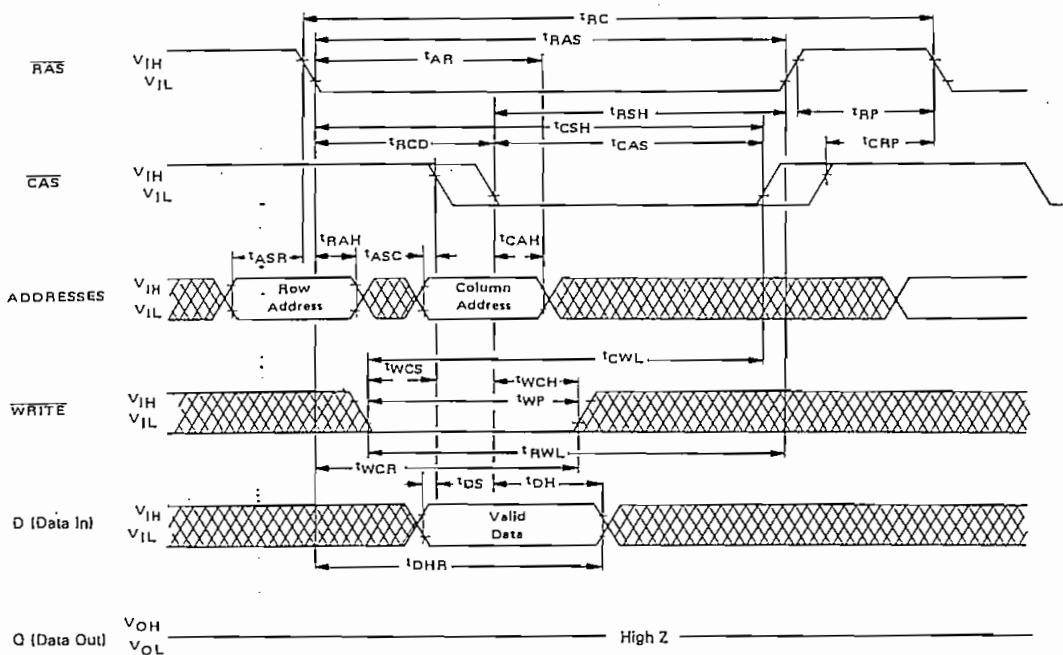
MCM4116B

DRAM

READ CYCLE TIMING

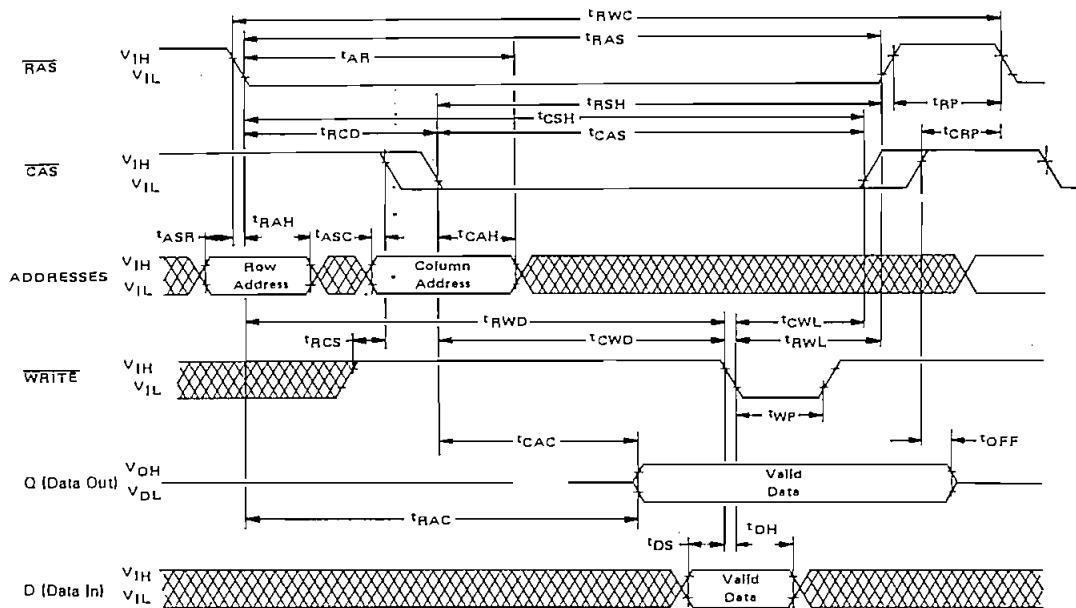


WRITE CYCLE TIMING



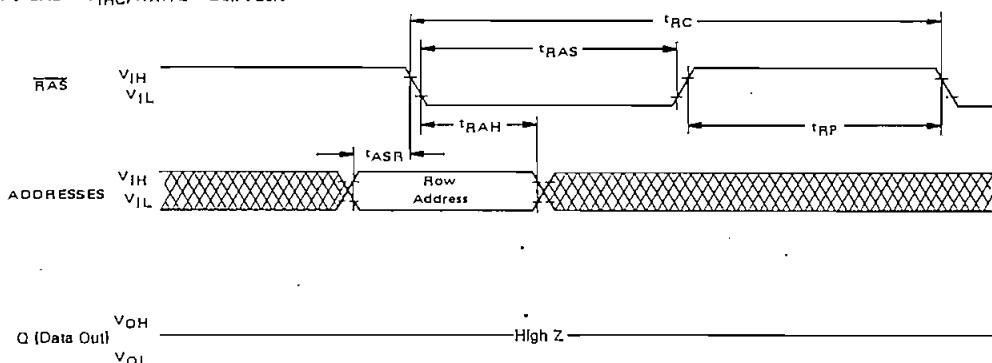
MCM4116B

READ-WRITE/READ-MODIFY-WRITE CYCLE



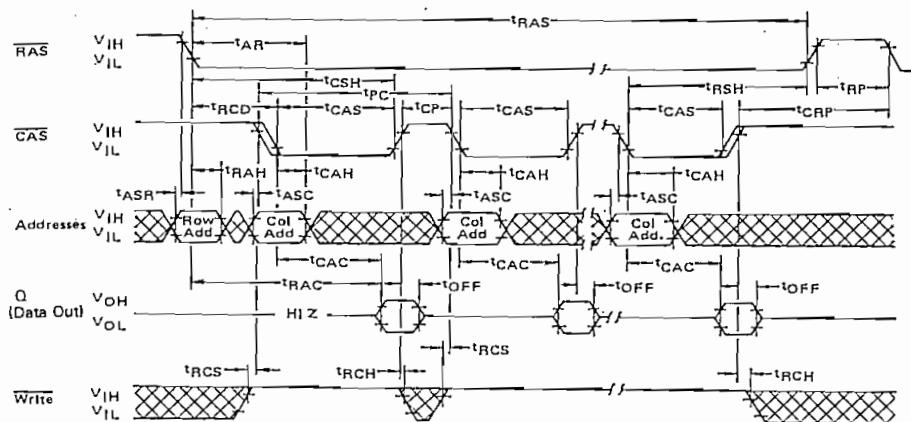
RAS ONLY REFRESH TIMING

Note: $\text{CAS} = V_{IHG}$, $\text{WRITE} = \text{Don't Care}$

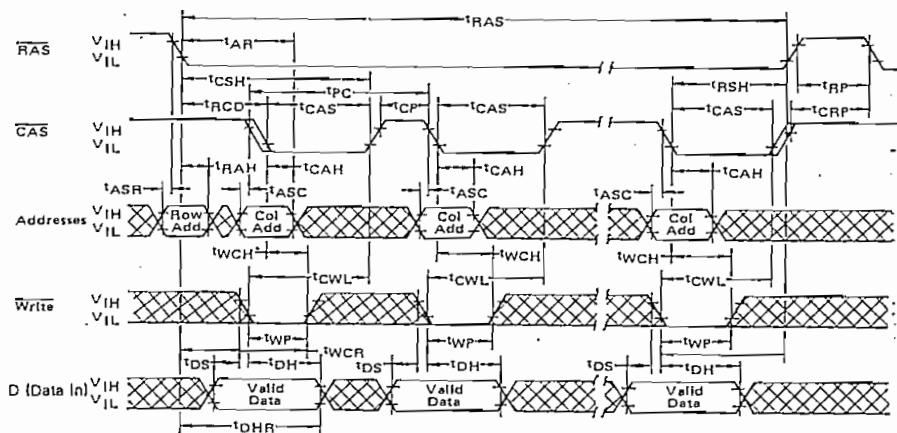


MCM4116B

PAGE MODE READ CYCLE



PAGE MODE WRITE CYCLE



intel®

3242

ADDRESS MULTIPLEXER AND REFRESH COUNTER FOR 16K DYNAMIC RAMS

- Ideal For 2116
- Simplifies System Design
- Reduces Package Count
- Standard 28-Pin DIP
- Suitable For Either Distributed Or Burst Refresh

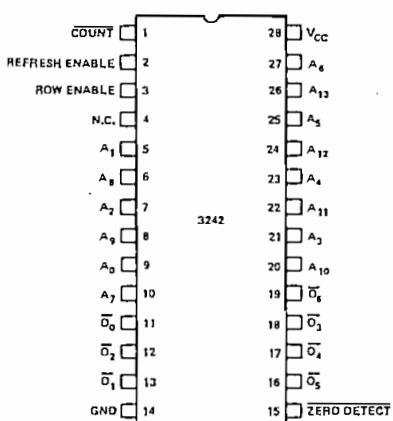
- Single Power Supply:
+5 Volts $\pm 10\%$
- Address Input to Output Delay:
9ns Driving 15 pF,
25ns Driving 250pF



The Intel® 3242 is an address multiplexer and refresh counter for multiplexed address dynamic RAMs requiring refresh of 64 or 128 cycles. It multiplexes 14 bits of system supplied address to 7 output address pins. The device also contains a 7 bit refresh counter which is externally controlled so that either distributed or burst refresh may be used. The high performance of the 3242 makes it especially suitable for use with high speed N-channel RAMs like the 2116.

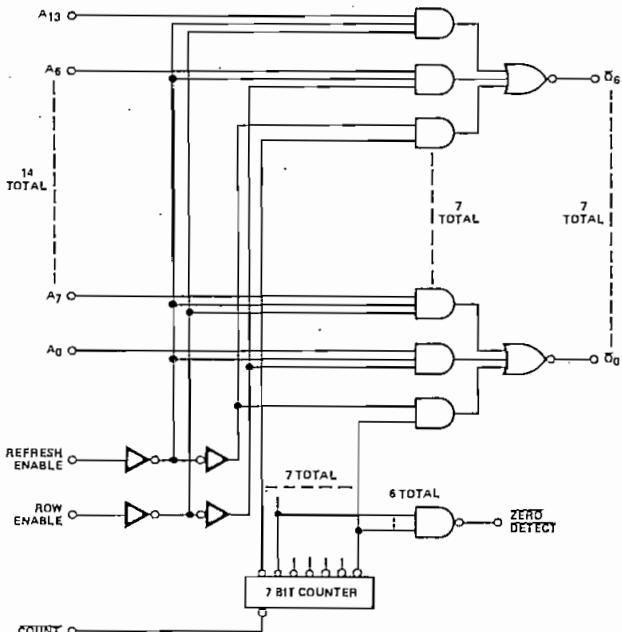
The 3242 operates from a single +5 volt power supply and is specified for operation over a 0 to +75°C ambient temperature range. It is fabricated by means of Intel's highly reliable Schottky bipolar process and is packaged in a hermetically sealed 28 pin Type D package.

PIN CONFIGURATION



NOTE: A₀ THROUGH A₄ ARE ROW ADDRESSES.
A₇ THROUGH A₁₃ ARE COLUMN ADDRESSES.

LOGIC DIAGRAM



TRUTH TABLE AND DEFINITIONS:

REFRESH ENABLE	ROW ENABLE	OUTPUT
H	X	REFRESH ADDRESS (FROM INTERNAL COUNTER)
L	H	ROW ADDRESS (A ₀ THROUGH A ₄)
L	L	COLUMN ADDRESS (A ₇ THROUGH A ₁₃)

COUNT — ADVANCES INTERNAL REFRESH COUNTER.
ZERO DETECT — INDICATES ZERO IN THE FIRST 6
SIGNIFICANT REFRESH COUNTER
BITS (USED IN BURST REFRESH MODE)

A.C. Characteristics

All Limits Apply for $V_{CC} = +5.0V \pm 10\%$, $T_A = 0^\circ C$ to $75^\circ C$, Load = 1 TTL, $C_L = 250\text{pF}$, Unless Otherwise Specified.

SYMBOL	PARAMETER	MIN.	TYP. ⁽¹⁾	MAX.	UNIT	CONDITIONS
t_{AO}	Address Input to Output Delay		6	9	ns	Refresh Enable = Low ⁽²⁾⁽³⁾
t_{AOI}	Address Input to Output Delay		16	.25	ns	Refresh Enable = Low
t_{EO}	Row Enable to Output Delay	7	12	27	ns	Refresh Enable = Low ⁽²⁾⁽³⁾
t_{EOI}	Row Enable to Output Delay	12	28	41	ns	Refresh Enable = Low
t_{EO}	Refresh Enable to Output Delay	7	14	27	ns	Notes 2, 3
t_{EOI}	Refresh Enable to Output Delay	12	30	45	ns	
t_{CO}	Count to Output	15	40	60	ns	Refresh Enable = High ⁽²⁾⁽³⁾
t_{COI}	Count to Output	20	55	80	ns	Refresh Enable = High
f_C	Counting Frequency			5	MHz	
t_{CPW}	Count Pulse Width	35			ns	
t_{CZ}	Count to Zero Detect	15		70	ns	Note 3

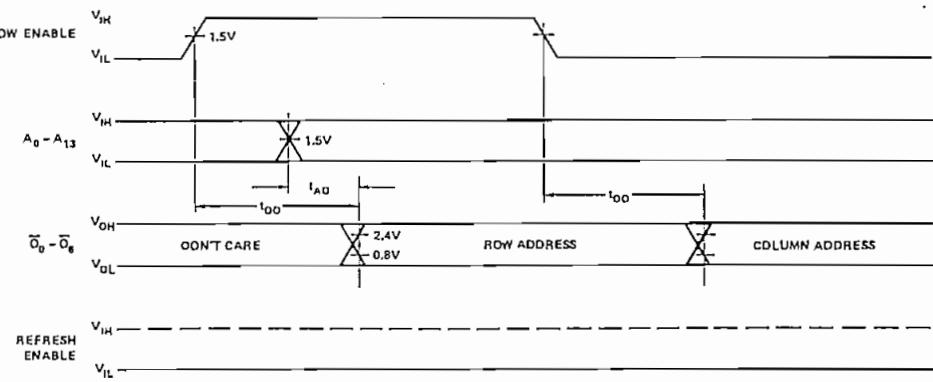
Notes: 1. Typical values are for $T_A = 25^\circ C$ and $V_{CC} = 5.0V$.

2. $T_A = 25^\circ C$, $V_{CC} = 5.0V$.

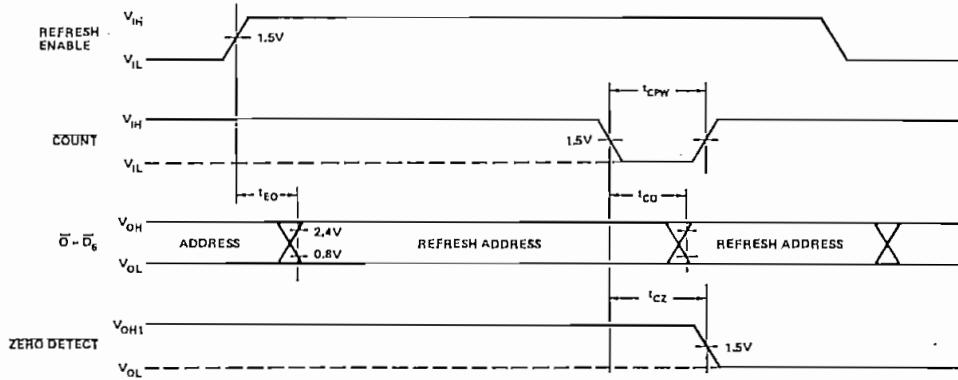
3. $C_L = 15\text{ pF}$.

A.C. TIMING WAVEFORMS (Typically used with 2116)

NORMAL CYCLE



REFRESH CYCLE



Absolute Maximum Ratings*

Temperature Under Bias -10° to +85°C
 Storage Temperature -65° to +150°C
 All Input, Output, or Supply Voltages -0.5V to +7 Volts
 Output Currents 100mA
 Power Dissipation 1W

***COMMENT:**

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. and Operating Characteristics

All Limits Apply for $V_{CC} = 5.0V \pm 10\%$, $T_A = 0^\circ C$ to $+75^\circ C$



SYMBOL	PARAMETER	LIMITS			UNIT	TEST CONDITIONS
		MIN.	TYP.(1)	MAX.		
I_F	Input Load Current		-0.04	-0.25	mA	$V_{IN} = 0.45V$, Note 2
I_R	Input Leakage Current		0.01	10	μA	$V_{IN} = 5.5V$
V_{IH}	Input High Voltage	2.0			V	
V_{IL}	Input Low Voltage			0.8	V	
V_{OL}	Output Low Voltage		0.25	0.40	V	$I_{OL} = 8mA$
V_{OH}	Output High Voltage ($\bar{O}_0-\bar{O}_5$)	3.0	4.0		V	$I_{OH} = -1mA$
V_{OHI}	Output High Voltage (Zero Detect)	2.4	3.3		V	$I_{OH} = -1mA$
I_{CC}	Power Supply Current		105	165	mA	$V_{CC} = 5.5V$

Notes: 1. Typical values are for $T_A = 25^\circ C$ and $V_{CC} = 5.0V$.

2. Inputs are high impedance, TTL compatible, and suitable for bus operation.



**National
Semiconductor**

LM3914 Dot/Bar Display Driver

General Description

The LM3914 is a monolithic integrated circuit that senses analog voltage levels and drives 10 LEDs, providing a linear analog display. A single pin changes the display from a moving dot to a bar graph. Current drive to the LEDs is regulated and programmable, eliminating the need for resistors. This feature is one that allows operation of the whole system from less than 3V.

The circuit contains its own adjustable reference and accurate 10-step voltage divider. The low-bias-current input buffer accepts signals down to ground, or V^- , yet needs no protection against inputs of 35V above or below ground. The buffer drives 10 individual comparators referenced to the precision divider. Indication non-linearity can thus be held typically to 1/2%, even over a wide temperature range.

Versatility was designed into the LM3914 so that controller, visual alarm, and expanded scale functions are easily added on to the display system. The circuit can drive LEDs of many colors, or low-current incandescent lamps. Many LM3914s can be "chained" to form displays of 20 to over 100 segments. Both ends of the voltage divider are externally available so that 2 drivers can be made into a zero-center meter.

The LM3914 is very easy to apply as an analog meter circuit. A 1.2V full-scale meter requires only 1 resistor and a single 3V to 15V supply, in addition to the 10 display LEDs. If the 1 resistor is a pot, it becomes the LED brightness control. The simplified block diagram illustrates this extremely simple external circuitry.

When in the dot mode, there is a small amount of overlap or "fade" (about 1 mV) between segments. This assures that at no time will all LEDs be "OFF", and

Industrial/Automotive/Functional Blocks/Telecommunications

LM3914

thus any ambiguous display is avoided. Various novel displays are possible.

Much of the display flexibility derives from the fact that all outputs are individual, DC regulated currents. Various effects can be achieved by modulating these currents. The individual outputs can drive a transistor as well as a LED at the same time, so controller functions including "staging" control can be performed. The LM3914 can also act as a programmer, or sequencer.

Features

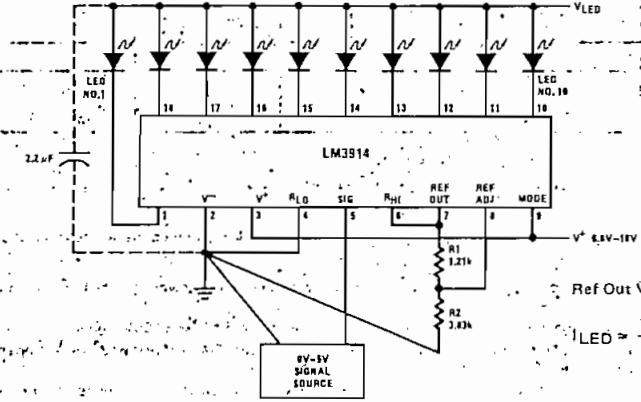
- Drives LEDs, LCDs or vacuum fluorescents
- Bar or dot display mode externally selectable by user
- Expandable to displays of 100 steps
- Internal voltage reference from 1.2V to 12V
- Operates with single supply of less than 3V
- Inputs operate down to ground
- Output current programmable from 2 to 30 mA
- No multiplex switching or interaction between outputs
- Input withstands $\pm 35V$ without damage or false outputs
- LED driver outputs are current regulated, open collectors
- Outputs can interface with TTL or CMOS logic
- The internal 10-step divider is floating and can be referenced to a wide range of voltages

The LM3914 is rated for operation from $0^\circ C$ to $+70^\circ C$. The LM3914N is available in an 18-lead molded (N) package and the LM3914J comes in the 18-lead ceramic DIP.

The following typical application illustrates adjusting of the reference to a desired value, and proper grounding for accurate operation, and avoiding oscillations.

Typical Applications

0V to 5V Bar Graph Meter



Note 1: Grounding method is typical of all uses. The 2.2 μF tantalum or 10- μF aluminum electrolytic capacitor is needed if leads to the LED supply are 6" or longer.

$$\text{Ref Out } V = 1.25 \left(1 + \frac{R2}{R1} \right)$$

$$I_{LED} = \frac{12.5}{R1}$$

9

Absolute Maximum Ratings

Power Dissipation (Note 5)		Input Signal Overvoltage (Note 3)	±35V
Ceramic DIP (J)	1W	Divider Voltage	100 mV to V _{LED}
Molded DIP (N)	625 mW	Reference Load Current	10 mA
Supply Voltage	25V	Storage Temperature Range	-55°C to +150°C
Voltage on Output Drivers	25V	Lead Temperature (Soldering, 10 seconds)	300°C

Electrical Characteristics (Note 1)

PARAMETER	CONDITIONS (Note 1)	MIN	TYP	MAX	UNITS
COMPARATOR					
Offset Voltage, Buffer and First Comparator	0V ≤ V _{RLO} = V _{RHI} ≤ 12V, I _{LED} = 1 mA	3	10	100	mV
Offset Voltage, Buffer and Any Other Comparator	0V ≤ V _{RLO} = V _{RHI} ≤ 12V, I _{LED} = 1 mA	3	15	100	mV
Gain [ΔI _{LED} /ΔV _{IN}]	I _{L(REF)} = 2 mA, I _{LED} = 10 mA	3	8	10	mA/mV
Input Bias Current (at Pin 5)	0V ≤ V _{IN} ≤ V ⁺ - 1.5V	-10	50	100	nA
Input Signal Overvoltage	No Change in Display	-35	35	35	V
VDLTAGE-DIVIDER					
Divider Resistance	Total, Pin 6 to 4	6.5	10	15	kΩ
Accuracy	(Note 2)	0.5	2	5	%
VOLTAGE REFERENCE					
Output Voltage	0.1 mA ≤ I _{L(REF)} ≤ 4 mA, V ⁺ = V _{LED} = 5V	1.2	1.28	1.34	V
Line Regulation	3V ≤ V ⁺ ≤ 18V	0.01	0.03	0.05	%/V
Load Regulation	0.1 mA ≤ I _{L(REF)} ≤ 4 mA, V ⁺ = V _{LED} = 5V	0.4	2	5	%
Output Voltage Change With Temperature	0°C ≤ T _A ≤ +70°C, I _{L(REF)} = 1 mA, V ⁺ = 5V	1.2	1.28	1.34	%
Adjust Pin Current		75	120	150	μA
OUTPUT DRIVERS					
LED Current	V ⁺ = V _{LED} = 5V, I _{L(REF)} = 1 mA	7	10	13	mA
LED Current Difference (Between Largest and Smallest LED Currents)	V _{LED} = 5V, I _{LED} = 2 mA	-0.12	0.4	1.2	mA
LED Current Regulation	V _{LED} = 5V, I _{LED} = 20 mA	1.2	3	10	mA
Dropout Voltage	2V ≤ V _{LED} ≤ 17V, I _{LED} = 2 mA	0.1	0.25	0.3	V
Saturation Voltage	I _{LED(ON)} = 20 mA, V _{LED} = 5V, ΔI _{LED} = 2 mA	1.5	2.5	3.5	V
Output Leakage, Each Collector	I _{LED} = 2.0 mA, I _{L(REF)} = 0.4 mA	0.15	0.4	0.5	V
Output Leakage	(Bar Mode) (Note 4)	0.1	10	100	μA
Pins 10-18	(Dot Mode) (Note 4)	0.1	10	100	μA
Pin 1		60	150	450	μA
SUPPLY CURRENT					
	V ⁺ = 5V, I _{L(REF)} = 0.2 mA	2.4	4.2	5.5	mA
	V ⁺ = 20V, I _{L(REF)} = 1.0 mA	6.1	9.2	12	mA

Note 1: Unless otherwise stated, all specifications apply with the following conditions:

$$\begin{aligned} 3 \text{ VDC} &\leq V^+ \leq 20 \text{ VDC} & V_{\text{REF}}, V_{\text{RHI}}, V_{\text{RLO}} &\leq (V^+ - 1.5V) \\ 3 \text{ VDC} &\leq V_{\text{LED}} \leq V^+ & 0V \leq V_{\text{IN}} \leq V^+ - 1.5V \\ -0.015V &\leq V_{\text{RLO}} \leq 12 \text{ VDC} & T_A = +25^\circ\text{C}, I_{\text{L(REF)}} = 0.2 \text{ mA}, V_{\text{LED}} = 3.0 \text{ V}, \text{pin 9 connected to pin 3 (Bar Mode).} \end{aligned}$$

For higher power dissipations, pulse testing is used.

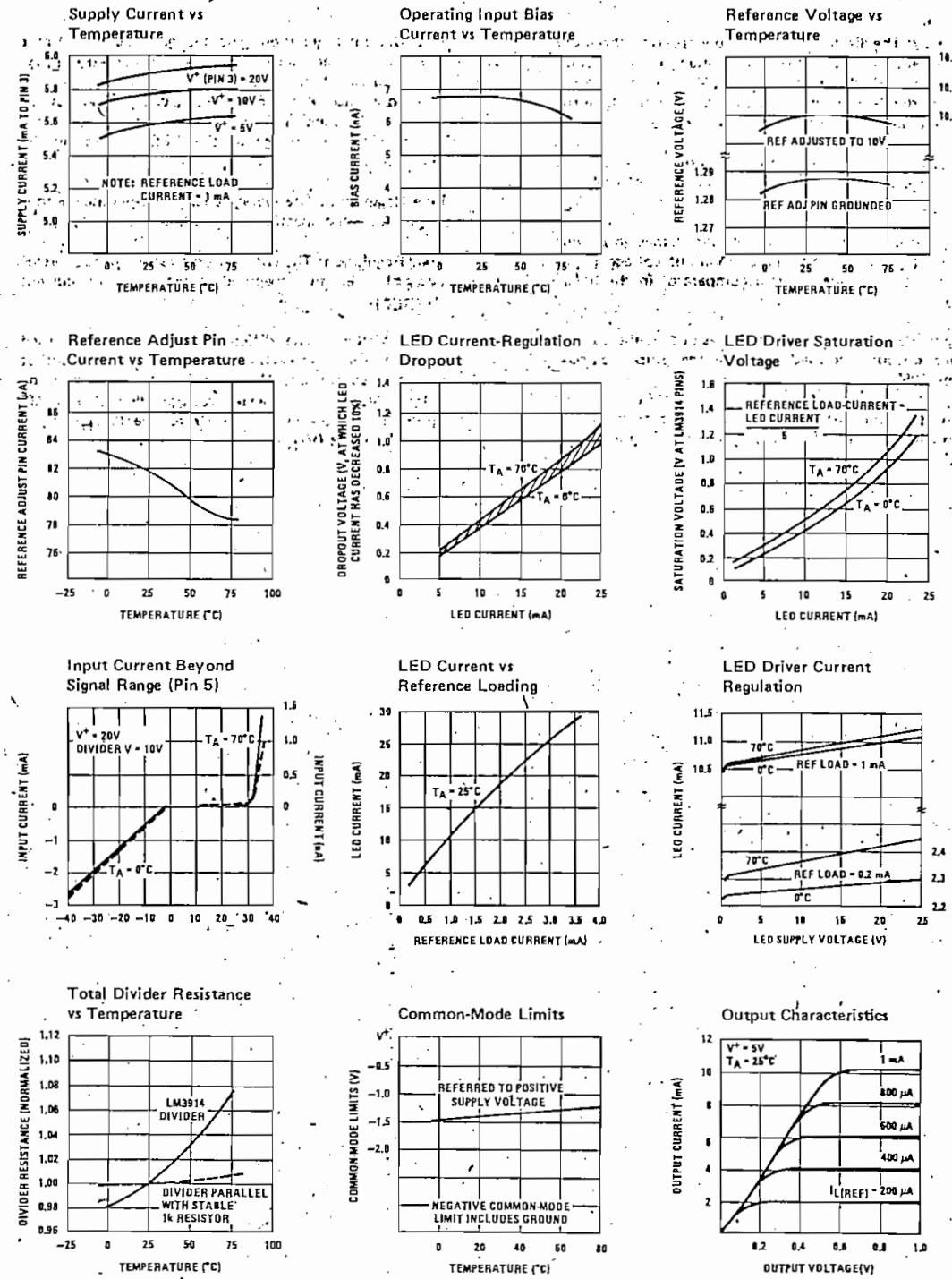
Note 2: Accuracy is measured referred to $\pm 10,000 \text{ VDC}$ at pin 6, with 0.000 VDC at pin 4. At lower full-scale voltages, buffer and comparator offset voltage may add significant error.

Note 3: Pin 5 input current must be limited to $\pm 3 \text{ mA}$. The addition of a 39k resistor in series with pin 5 allows $\pm 100\text{V}$ signals without damage.

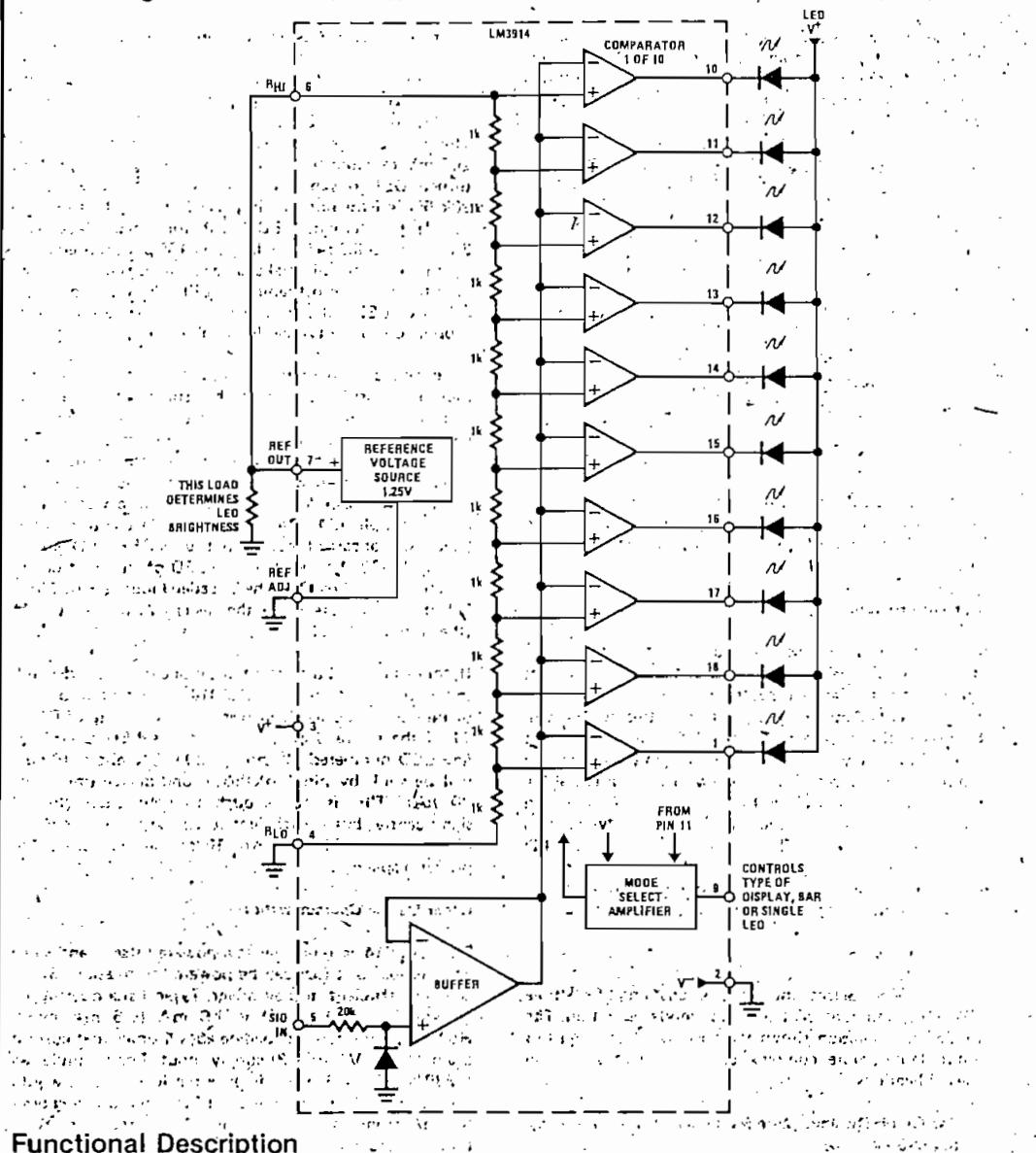
Note 4: Bar mode results when pin 9 is within 20 mV of V^+ . Dot mode results when pin 9 is pulled at least 200 mV below V^+ or left open circuit. LED No. 10 (pin 10 output current) is disabled if pin 9 is pulled 0.9V or more below V_{LED} .

Note 5: The maximum junction temperature of the LM3914 is 100°C . Devices must be derated for operation at elevated temperatures. Junction to ambient thermal resistance is $75^\circ\text{C}/\text{W}$ for the ceramic DIP (J package) and $120^\circ\text{C}/\text{W}$ for the molded DIP (N package).

Typical Performance Characteristics



Block Diagram (Showing Simplest Application)



Functional Description

The simplified LM3914 block diagram is to give the general idea of the circuit's operation. A high input impedance buffer operates with signals from ground to 12V, and is protected against reverse and overvoltage signals. The signal is then applied to a series of 10 comparators; each of which is biased to a different comparison level by the resistor string, *e.g.* 12.5 mV per step. In the example illustrated, the resistor string is connected to the internal 1.25V reference voltage. In this case, for each 12.5 mV that the input signal increases, a comparator will switch on another indicating LED. This

resistor divider can be connected between any 2 voltages, providing that they are 1.5V below V⁺, and no less than V⁻. If an expanded scale meter display is desired, the total divider voltage can be as little as 200 mV. Expanded-scale meter displays are more accurate and the segments light uniformly only if bar mode is used. At 50 mV or more per step, dot mode is usable.

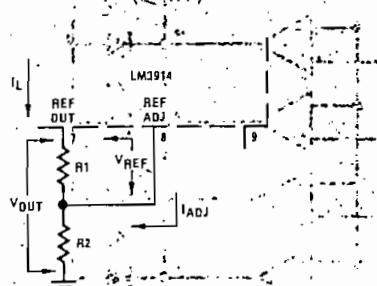
Internal Voltage Reference

The reference is designed to be adjustable and develops a nominal 1.25V between the REF OUT (pin 7) and

Functional Description (Continued)

REF ADJ (pin 8) terminals. The reference voltage is impressed across program resistor R1 and, since the voltage is constant, a constant current I_L then flows through the output set resistor R2, giving an output voltage of:

$$V_{OUT} = V_{REF} \left(1 + \frac{R_2}{R_1} \right) + I_{ADJ} R_2$$



Since the 120 μ A current (max) from the adjust terminal represents an error term, the reference was designed to minimize changes of this current with V^+ and load changes.

Current Programming

A feature not completely illustrated by the block diagram is the LED brightness control. The current drawn out of the reference voltage pin (pin 7) determines LED current. Approximately 10 times this current will be drawn through each lighted LED, and this current will be relatively constant despite supply voltage and temperature changes. Current drawn by the internal 10-resistor divider, as well as by the external current and voltage-setting divider should be included in calculating LED drive current. The ability to modulate LED brightness with time, or in proportion to input voltage and other signals can lead to a number of novel displays or ways of indicating input overvoltages, alarms, etc.

Mode Pin Use

Pin 9, the Mode Select input controls chaining of multiple LM3914s, and controls bar or dot mode operation. The following tabulation shows the basic ways of using this input. Other more complex uses will be illustrated in the applications.

Bar Graph Display: Wire Mode Select (pin 9) directly to pin 3 (V^+ pin).

Dot Display, Single LM3914-Driver: Leave the Mode Select pin open circuit.

Dot Display, 20 or More LEDs: Connect pin 9 of the first driver in the series (i.e., the one with the lowest input voltage comparison points) to pin 1 of the next higher LM3914 driver. Continue connecting pin 9 of lower input drivers to pin 1 of higher input drivers for 30, 40, or more LED displays. The last LM3914 driver in the chain will have pin 9 wired to pin 11. All previous drivers should have a 20k resistor in parallel with LED No. 9 (pin 11 to V_{LED}).

Characteristics of Mode Select Pin (Pin 9)

The connections for using this pin have already been summarized. The mode pin will cause the bar graph display to appear if within 20 mV of V^+ voltage (pin 3). The dot LED display will occur if the mode pin is 200 mV or more below V^+ voltage. LED No. 10 will be turned OFF if pin 9 is pulled 0.9V below V_{LED} . A 20k 5% resistor must be in place from pin 11 to V_{LED} (i.e., in parallel with LED No. 9) for dot displays using 2 or more LM3914s. The less than 100 μ A shunted away by this resistor will make a negligible difference in the brightness of almost any red LED display. For other colors of LEDs, the resistor value can increase in direct proportion to the typical LED voltage drop.

In "chaining" display drivers, some further characteristics must be considered. Bar graph displays of 20 or more segments are simple. All that is needed is to connect the mode pin of each device to pin 3 of the same device (the V^+ pin). It should be noted that the Mode Select Amplifier looks at 3 inputs to determine whether to show a bar display, a dot display, or a dot display using multiple LM3914 devices. This last action is the "chaining" or carry function that turns OFF LED No. 10 of one LM3914 when the first LED of the next device turns ON. The 3 needed inputs to the Mode Select Amplifier are: pin 9, the device's V^+ pin and pin 11 (the cathode of LED No. 9).

If, for instance, a 20-segment dot mode display is desired, the mode pin of the first LM3914 is connected to pin 1 of the second device (which is actually driving LED No. 11 of the entire display). Even if this LED is OFF, if any LED numbered 12 through 20 is ON, about 100 μ A will be sunk by pin 1 of this second device (minimum 60 μ A). This is not enough to light LED No. 11 significantly, but is sufficient to be sensed by the mode pin and turn OFF LED No. 10 of the first device for proper display.

Other Device Characteristics

The LM3914 is relatively low-powered itself, and since any number of LEDs can be powered from about 3V, it is a very efficient display driver. Typical standby supply current (all LEDs OFF) is 1.6 mA (2.5 mA max). However, any reference loading adds 4 times that current drain to the V^+ (pin 3) supply input. For example, an LM3914 with a 1 mA reference pin load (1.3k), would supply almost 10 mA to every LED while drawing only 5.6 mA from its V^+ pin supply. At full-scale, the IC is typically drawing less than 7% of the current supplied to the display.

The display driver does not have built-in hysteresis so that the display does not jump instantly from one LED to the next. Under rapidly changing signal conditions, this cuts down high frequency noise and often an annoying flicker. An "overlap" is built in so that at no time between segments are all LEDs completely OFF in the dot mode. Generally 1 LED fades in while the other fades out over a mV or more of range (Note 2). The change may be much more rapid between LED No. 10 of one device and LED No. 1 of a second device "chained" to the first.



LM311 Voltage Comparator

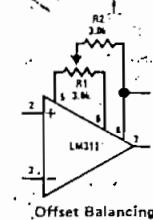
General Description

The LM311 is a voltage comparator that has input currents more than a hundred times lower than devices like the LM306 or LM710C. It is also designed to operate over a wider range of supply voltages: from standard $\pm 15V$ op amp supplies down to the single $5V$ supply used for IC logic. Its output is compatible with RTL, DTL and TTL as well as MOS circuits. Further, it can drive lamps or relays, switching voltages up to $40V$ at currents as high as 50 mA .

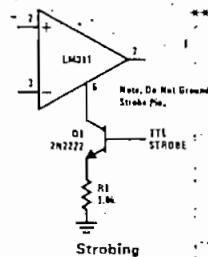
Features

- Operates from single $5V$ supply
- Maximum input current: 250nA
- Maximum offset current: 50nA

Auxiliary Circuits**

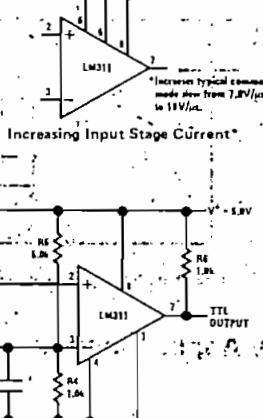


Offset Balancing



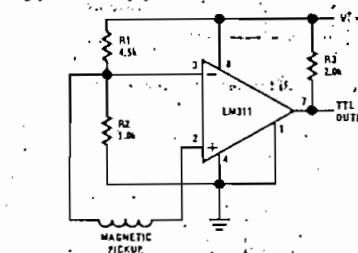
** Note: Pin connections shown on schematic diagram and typical applications are for TO-5 package.

Increasing Input Stage Current*

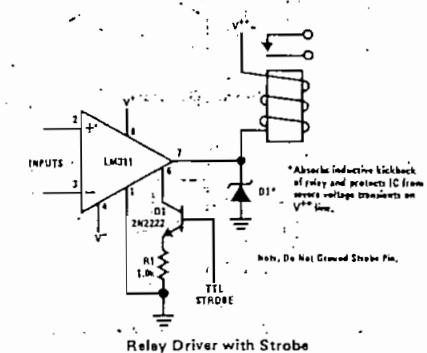


Digital Transmission Isolator

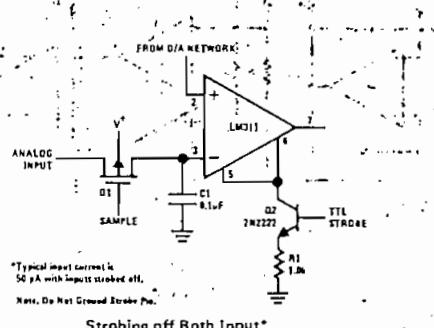
Typical Applications



Detector for Magnetic Transducer



Relay Driver with Strobe



Strobing off Both Input* and Output Stages

*Typical input current is 50 pA with inputs strobed off.

Note: Do Not Ground Strobe Pin.

Note: Do Not Ground Strobe Pin.

Absolute Maximum Ratings

Total Supply Voltage (V_{S4})	36V
Output to Negative Supply Voltage (V_{74})	-40V
Ground to Negative Supply Voltage (V_{14})	-30V
Differential Input Voltage	±30V
Input Voltage (Note 1)	±15V
Power Dissipation (Note 2)	500 mW
Output Short Circuit Duration	10 sec
Operating Temperature Range	0°C to 70°C
Storage Temperature Range	-65°C to 150°C
Lead Temperature (soldering, 10 sec)	300°C
Voltage at Strobe Pin	$V^+ - 5V$

Electrical Characteristics (Note 3)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Input Offset Voltage (Note 4)	$T_A = 25^\circ C, R_S \leq 50k$	-2.0	7.5	10	mV
Input Offset Current (Note 4)	$T_A = 25^\circ C$	6.0	50	100	nA
Input Bias Current	$T_A = 25^\circ C$	100	250	300	nA
Voltage Gain	$T_A = 25^\circ C$	40	200	1000	V/mV
Response Time (Note 5)	$T_A = 25^\circ C$	200	—	—	ns
Saturation Voltage	$V_{IN} \leq -10 mV, I_{OUT} = 50 mA$ $T_A = 25^\circ C$	0.75	1.5	2.0	V
Strobe ON Current	$T_A = 25^\circ C$	3.0	—	—	mA
Output Leakage Current	$V_{IN} \geq 10 mV, V_{OUT} = 35V$ $T_A = 25^\circ C, I_{STROBE} = 3mA$	0.2	50	100	nA
Input Offset Voltage (Note 4)	$R_S \leq 50k$	—	10	15	mV
Input Offset Current (Note 4)	$R_S \leq 50k$	—	70	100	nA
Input Bias Current	$R_S \leq 50k$	—	300	400	nA
Input Voltage Range	$V^+ \leq 4.5V, V^- = 0V$	14.5	13.8 - 14.7	13.0	V
Saturation Voltage	$V_{IN} \leq -10 mV, I_{SINK} \leq 8 mA$	0.23	0.4	0.6	V
Positive Supply Current	$T_A = 25^\circ C$	5.1	7.5	10	mA
Negative Supply Current	$T_A = 25^\circ C$	-4.1	-5.0	-6.0	mA

Note 1: This rating applies for ±15V supplies. The positive input voltage limit is 30V above the negative supply. The negative input voltage limit is equal to the negative supply voltage or 30V below the positive supply, whichever is less.

Note 2: The maximum junction temperature of the LM311 is 110°C. For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W, junction to ambient, or 45°C/W, junction to case. The thermal resistance of the dual-in-line package is 100°C/W, junction to ambient.

Note 3: These specifications apply for $V_S = \pm 15V$ and the Ground pin at ground, and $0^\circ C \leq T_A \leq +70^\circ C$, unless otherwise specified. The offset voltage, offset current and bias current specifications apply for any supply voltage from a single 5V supply up to ±15V supplies.

Note 4: The offset voltages and offset currents given are the maximum values required to drive the output within a volt of either supply, with 1 mA load. Thus, these parameters define an error band and take into account the worst-case effects of voltage gain and input impedance.

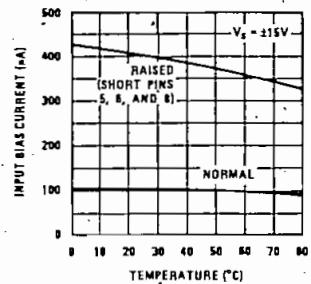
Note 5: The response time specified (see definitions) is for a 100 mV input step, with 5 mV overdrive.

Note 6: Do not short the strobe pin to ground; it should be current driven, at 3 to 5 mA.

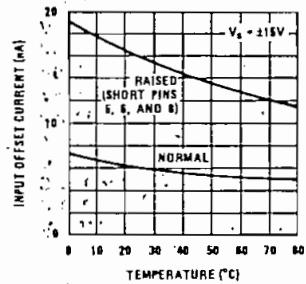
LM311

Typical Performance Characteristics

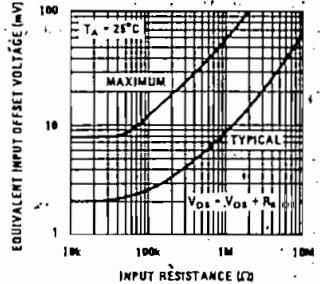
Input Bias Current



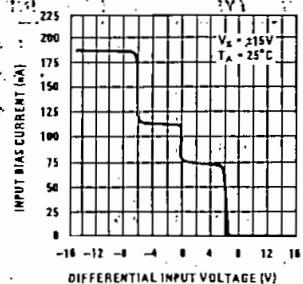
Input Offset Current



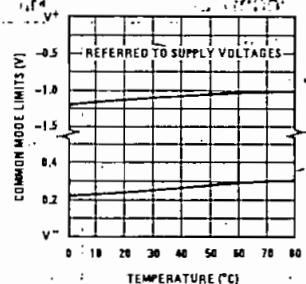
Offset Error



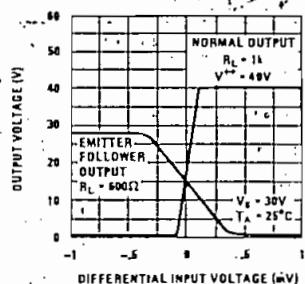
Input Characteristics



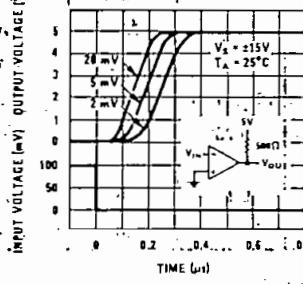
Common-Mode Limits



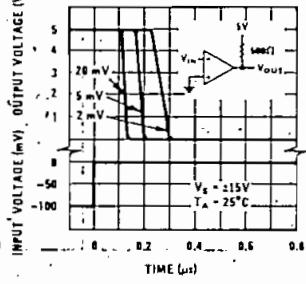
Transfer Function



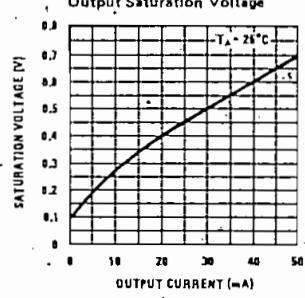
Response Time for Various Input Overdrives



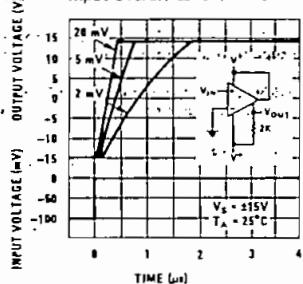
Response Time for Various Input Overdrives



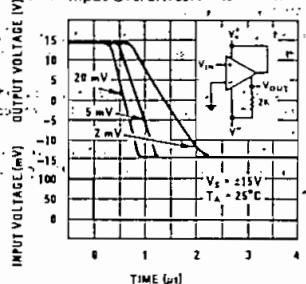
Output Saturation Voltage



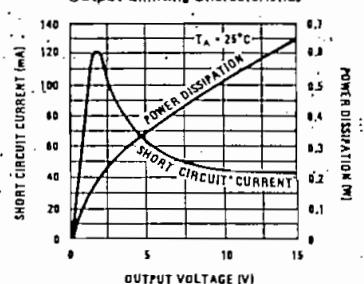
Response Time for Various Input Overdrives

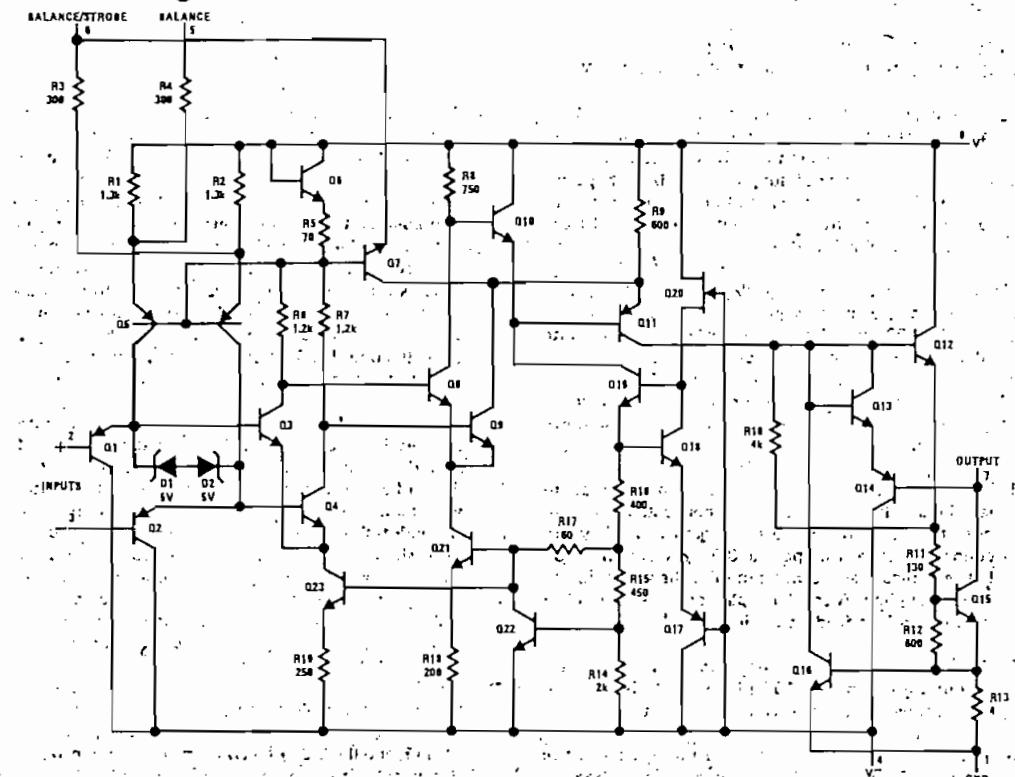
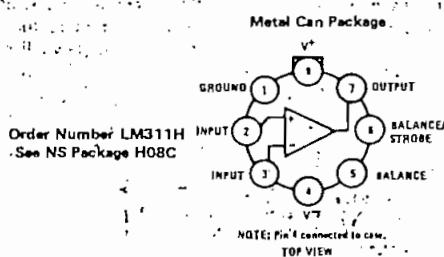


Response Time for Various Input Overdrives



Output Limiting Characteristics



Schematic Diagram**Connection Diagrams**

Order Number LM311N
See NS Package N08B
Order Number LM311J-8
See NS Package J08A

Dual-In-Line Package

TOP VIEW

Dual-In-Line Package

TOP VIEW

Order Number LM311N-14
See NS Package N14A
Order Number LM311J
See NS Package J14A

Connections shown on schematic diagram
and typical applications are for TO-5 package.

-5-49



**National
Semiconductor**

DAC1020 10-Bit Binary Multiplying D/A Converter DAC1220 12-Bit Binary Multiplying D/A Converter

General Description

The DAC1020 and the DAC1220 are, respectively, 10 and 12-bit binary multiplying digital-to-analog converters. A deposited thin film R-2R resistor ladder divides the reference current and provides the circuit with excellent temperature tracking characteristics (0.0002% /°C linearity error temperature coefficient maximum). The circuit uses CMOS current switches and drive circuitry to achieve low power consumption (30 mW max) and low output leakages (200 nA max). The digital inputs are compatible with DTL/TTL logic levels as well as full CMOS logic level swings. This part, combined with an external amplifier and voltage reference, can be used as a standard D/A converter; however, it is also very attractive for multiplying applications (such as digitally controlled gain blocks) since its linearity error is essentially independent of the voltage reference. All inputs are protected from damage due to static discharge by diode clamps to V^+ and ground.

This part is available with 10-bit (0.05%), 9-bit (0.10%), and 8-bit (0.20%) non-linearity guaranteed over temperature (note 1 of electrical characteristics). The

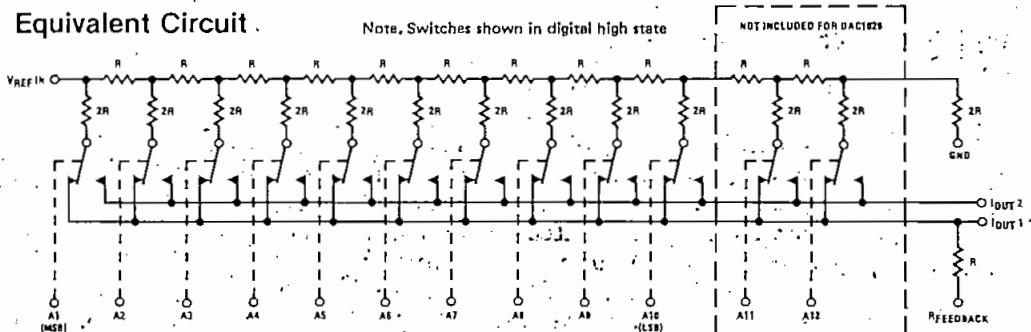
A to D, D to A

DAC1020, DAC1021 and DAC1022 are direct replacements for the 10-bit resolution AD7520 and AD7530 and equivalent to the AD7533 family. The DAC1220, DAC1221 and DAC1222 are direct replacements for the 12-bit resolution AD7521 and AD7531 family.

Features

- Linearity specified with zero and full-scale adjust only
- Non-linearity guaranteed over temperature
- Integrated thin film on CMOS structure
- 10-bit or 12-bit resolution
- Low power dissipation 10 mW @ 15V typ
- Accepts variable or fixed reference $-25V \leq V_{REF} \leq +25V$
- 4-quadrant multiplying capability
- Interfaces directly with DTL, TTL and CMOS
- Fast settling time—500 ns typ
- Low feedthrough error— $1/2$ LSB @ 100 kHz typ

Equivalent Circuit



Ordering Information

10-BIT D/A CONVERTERS

TEMPERATURE RANGE	0°C to 70°C		-40°C to +85°C		-55°C to +125°C	
	ACCURACY	PACKAGE OUTLINE	DAC1020LCN AD7520LN AD7530LN	DAC1020LCD AD7520LD AD7530LD	DAC1020LD AD7520UD	DAC1021LD AD7520TD
0.05%						
0.10%	DAC1021LCN AD7520KN AD7530KN					
0.20%	DAC1022LCN AD7520JN AD7530JN					
		N16A		D16C		D16C

12-BIT D/A CONVERTERS

TEMPERATURE RANGE	0°C to 70°C		-40°C to +85°C		-55°C to +125°C	
	ACCURACY	PACKAGE OUTLINE	DAC1220LCN AD7521LN AD7531LN	DAC1220LCD AD7521LD AD7531LD	DAC1220LD AD7521UD	DAC1221LD AD7521TD
0.05%						
0.10%	DAC1221LCN AD7521KN AD7531KN					
0.20%	DAC1222LCN AD7521JN AD7531JN					
		N18A		D18A		D18A

Note. Devices may be ordered by either part number.

Absolute Maximum Ratings

V ⁺ to Gnd	17V
V _{REF} to Gnd	±25V
Digital Input Voltage Range	V ⁺ to Gnd
DC Voltage at Pin 1 or Pin 2 (Note 3)	-100 mV to V ⁺
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

Operating Conditions

	MIN	MAX	UNITS
Temperature (T _A)			
DAC1020LD, DAC1021LD,	-55	+125	°C
DAC1022LD, DAC1220LD,	-55	+125	°C
DAC1221LD, DAC1222LD	-55	+125	°C
DAC1020LCD, DAC1021LCD,	-40	+85	°C
DAC1022LCD, DAC1220LCD,	-40	+85	°C
DAC1221LCD, DAC1222LCD	-40	+85	°C
DAC1020LCN, DAC1021LCN	0	+70	°C
DAC1022LCN, DAC1220LCN	0	+70	°C
DAC1221LCN, DAC1222LCN	0	+70	°C

Electrical Characteristics(V⁺ = 15V, V_{REF} = 10.000V, T_A = 25°C unless otherwise specified)

PARAMETER	CONDITIONS	DAC1020, DAC1021, DAC1022			DAC1220, DAC1221, DAC1222			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Resolution		10			12			Bits
Linearity Error	T _{MIN} < T _A < T _{MAX} , -10V < V _{REF} < +10V, (Note 1) End Point Adjustment Only (See Linearity Error in Definition of Terms)							
10-Bit Parts	DAC1020, DAC1220		0.05			0.05	% FSR	
9-Bit Parts	DAC1021, DAC1221		0.10			0.10	% FSR	
8-Bit Parts	DAC1022, DAC1222		0.20			0.20	% FSR	
Linearity Error Tempco	-10V ≤ V _{REF} ≤ +10V, (Notes 1 and 2)		0.0002			0.0002	% FS/°C	
Full-Scale Error	-10V ≤ V _{REF} ≤ +10V, (Notes 1 and 2)	0.3	1.0		0.3	1.0		% FS
Full-Scale Error Tempco	T _{MIN} < T _A < T _{MAX} , (Note 2)		0.001			0.001	% FS/°C	
Output Leakage Current	T _{MIN} ≤ T _A ≤ T _{MAX}							
I _{OUT} 1	All Digital Inputs Low		200		200		nA	
I _{OUT} 2	All Digital Inputs High		200		200		nA	
Power Supply Sensitivity	All Digital Inputs High, 14V ≤ V ⁺ ≤ 16V, (Note 2), (Figure 2)	0.005	0.005		0.005	0.005		% FS/V
V _{REF} Input Resistance		10	15	20	10	15	20	kΩ
Full-Scale Current Settling Time	R _L = 100Ω from 0 to 99.95% FS							
	All Digital Inputs Switched Simultaneously	500			500			ns
V _{REF} Feedthrough	All Digital Inputs Low, V _{REF} = 20 V _{p-p} @ 100 kHz		10		10		mV _{p-p}	
	D Package (Note 4)	6	9		6	9		mV _{p-p'}
	N Package	2	5		2	5		mV _{p-p}
Output Capacitance								
I _{OUT} 1	All Digital Inputs Low	40			40			pF
	All Digital Inputs High	200			200			pF
I _{OUT} 2	All Digital Inputs Low	200			200			pF
	All Digital Inputs High	40			40			pF
Digital Input	(Figure 1)							
Low Threshold	T _{MIN} < T _A < T _{MAX}		0.8			0.8		V
High Threshold	T _{MIN} < T _A < T _{MAX}	2.4		2.4				V

Electrical Characteristics (Continued)

(V⁺ = 15V, V_{REF} = 10.000V, T_A = 25°C unless otherwise specified)

PARAMETER	TEST CONDITIONS	DAC1020, DAC1021 DAC1022			DAC1220, DAC1221 DAC1222			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
Digital Input Current	T _{MIN} ≤ T _A ≤ T _{MAX} Digital Input High Digital Input Low		1 -50	-100 -200		1 -50	-100 -200	μA
Supply Current	All Digital Inputs High All Digital Inputs Low		0.2 0.6	1.6 2		0.2 0.6	-1.6 -2.1	mA
Operating Power Supply Range	(Figures 1 and 2)	5	14	15	-5	-5	-15	mA

Note 1: V_{REF} = ±10V and V_{REF} = ±1V. A linearity error temperature coefficient of 0.0002% FS for a 45°C rise only guarantees 0.009% maximum change in linearity error. For instance, if the linearity error at 25°C is 0.045% FS it could increase to 0.054% at 70°C and the DAC will be no longer a 10-bit part. Note, however, that the linearity error is specified over the device full temperature range which is a more stringent specification since it includes the linearity error temperature coefficient.

Note 2: Using internal feedback resistor as shown in Figure 3.

Note 3: Both I_{OUT} 1 and I_{OUT} 2 must go to ground or the virtual ground of an operational amplifier. If V_{REF} = 10V, every millivolt offset between I_{OUT} 1 or I_{OUT} 2, 0.005% linearity error will be introduced.

Note 4: To achieve this low feedthrough in the D package, the user must ground the metal lid.

Typical Performance Characteristics

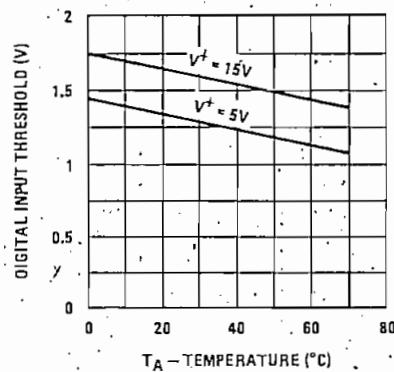


FIGURE 1. Digital Input Threshold vs
Ambient Temperature

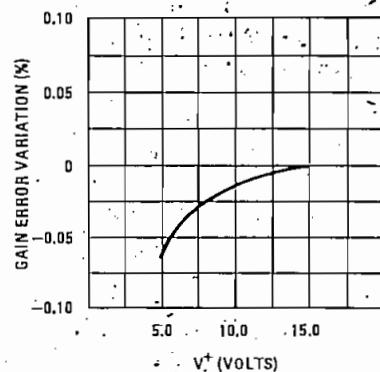


FIGURE 2. Gain Error Variation vs V⁺



**National
Semiconductor**

**Applicable TTL and
CMOS Logic Circuits**

MM54C922/MM74C922 16 key encoder MM54C923/MM74C923 20 key encoder

general description

These CMOS key encoders provide all the necessary logic to fully encode an array of SPST switches. The keyboard scan can be implemented by either an external clock or external capacitor. These encoders also have on-chip pull-up devices which permit switches with up to 50 k Ω on resistance to be used. No diodes in the switch array are needed to eliminate ghost switches. The internal debounce circuit needs only a single external capacitor and can be defeated by omitting the capacitor. A Data Available output goes to a high level when a valid keyboard entry has been made. The Data Available output returns to a low level when the entered key is released, even if another key is depressed. The Data Available will return high to indicate acceptance of the new key after a normal debounce period; this two key roll over is provided between any two switches.

An internal register remembers the last key pressed even after the key is released. The TRI-STATE® outputs

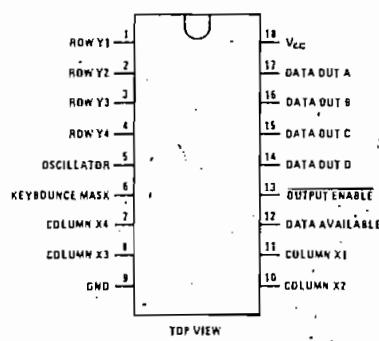
provide for easy expansion and bus operation and are LPTTL compatible.

features

- 50 k Ω maximum switch on resistance
- On or off chip clock
- On chip row pull-up devices
- 2 key roll-over
- Keybounce elimination with single capacitor
- Last key register at outputs
- TRI-STATE outputs LPTTL compatible
- Wide supply range 3V to 15V
- Low power consumption

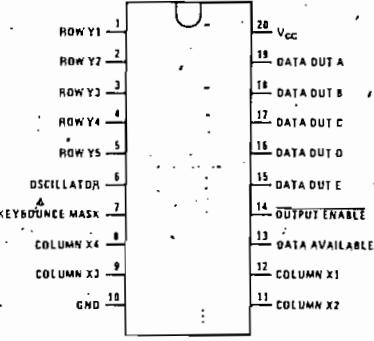
connection diagrams

Dual-In-Line Package



Order Number MM54C922J
or MM74C922N
See NS Package J18A or N18A

Dual-In-Line Package



Order Number MM54C923J
or MM74C923N
See NS Package J20A or N20A

absolute maximum ratings

Voltage at Any Pin	$V_{CC} - 0.3V$ to $V_{CC} + 0.3V$	Package Dissipation	500 mW
Operating Temperature Range	-55°C to $+125^{\circ}\text{C}$	Operating V_{CC} Range	3V to 15V
MM54C922, MM54C923		V_{CC}	18V
MM74C922, MM74C923	-40°C to $+85^{\circ}\text{C}$	Lead Temperature (Soldering, 10 seconds)	300°C

electrical characteristics Min/max limits apply across temperature range unless otherwise noted

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
CMOS TO CMOS					
V_{T+}	Positive-Going Threshold Voltage at Osc and KBM Inputs	3	3.6	4.3	V
	$V_{CC} = 5V$, $I_{IN} \geq 0.7\text{ mA}$				
	$V_{CC} = 10V$, $I_{IN} \geq 1.4\text{ mA}$	6	6.8	8.6	V
	$V_{CC} = 15V$, $I_{IN} \geq 2.1\text{ mA}$	9	10	12.9	V
V_{T-}	Negative-Going Threshold Voltage at Osc and KBM Inputs	0.7	1.4	2	V
	$V_{CC} = 5V$, $I_{IN} \geq 0.7\text{ mA}$				
	$V_{CC} = 10V$, $I_{IN} \geq 1.4\text{ mA}$	1.4	3.2	4	V
	$V_{CC} = 15V$, $I_{IN} \geq 2.1\text{ mA}$	2.1	5	6	V
$V_{IN(1)}$	Logical "1" Input Voltage, Except Osc and KBM Inputs	3.5	4.5		V
	$V_{CC} = 5V$,				
	$V_{CC} = 10V$,	8	9		V
	$V_{CC} = 15V$,		12.5	13.5	V
$V_{IN(0)}$	Logical "0" Input Voltage, Except Osc and KBM Inputs	0.5	1.5		V
	$V_{CC} = 5V$,				
	$V_{CC} = 10V$,	1	2		V
	$V_{CC} = 15V$,		1.5	2.5	V
I_{RP}	Row Pull-Up Current at Y1, Y2, Y3, Y4 and Y5 Inputs	-2	-5		μA
	$V_{CC} = 5V$, $V_{IN} = 0.1 V_{CC}$				
	$V_{CC} = 10V$	-10	-20		μA
	$V_{CC} = 15V$	-22	-45		μA
$V_{OUT(1)}$	Logical "1" Output Voltage	4.5			V
	$V_{CC} = 5V$, $I_O = -10\mu\text{A}$				
	$V_{CC} = 10V$, $I_O = -10\mu\text{A}$	9			V
	$V_{CC} = 15V$, $I_O = -10\mu\text{A}$		13.5		V
$V_{OUT(0)}$	Logical "0" Output Voltage			0.5	V
	$V_{CC} = 5V$, $I_O = 10\mu\text{A}$			1	V
	$V_{CC} = 10V$, $I_O = 10\mu\text{A}$			1.5	V
R_{ON}	Column "ON" Resistance at X1, X2, X3 and X4 Outputs	500	1400		Ω
	$V_{CC} = 5V$, $V_O = 0.5V$				
	$V_{CC} = 10V$, $V_O = 1V$	300	700		Ω
	$V_{CC} = 15V$, $V_O = 1.5V$	200	500		Ω
I_{CC}	Supply Current	0.55	1.1		mA
	$V_{CC} = 5V$, Osc at 0V				
	$V_{CC} = 10V$	1.1	1.9		mA
	$V_{CC} = 15V$	1.7	2.6		mA
$I_{IN(1)}$	Logical "1" Input Current at Output Enable		0.005	1.0	μA
$I_{IN(0)}$	Logical "0" Input Current at Output Enable	-1.0	-0.005		μA
CMOS/LPTTL INTERFACE					
$V_{IN(1)}$	Logical "1" Input Voltage, Except Osc and KBM Inputs	54C, $V_{CC} = 4.5V$ 74C, $V_{CC} = 4.75V$	$V_{CC} = 1.5$ $V_{CC} = 1.5$		V
$V_{IN(0)}$	Logical "0" Input Voltage, Except Osc and KBM Inputs	54C, $V_{CC} = 4.5V$ 74C, $V_{CC} = 4.75V$		0.8 0.8	V
$V_{OUT(1)}$	Logical "1" Output Voltage	54C, $V_{CC} = 4.5V$, $I_O = -360\mu\text{A}$ 74C, $V_{CC} = 4.75V$, $I_O = -360\mu\text{A}$	2.4		V
$V_{OUT(0)}$	Logical "0" Output Voltage	54C, $V_{CC} = 4.5V$, $I_O = -360\mu\text{A}$ 74C, $V_{CC} = 4.75V$, $I_O = -360\mu\text{A}$		0.4 0.4	V

electrical characteristics (con't)

PARAMETER	CONDITIONS	MIN	TYP.	MAX	UNITS
OUTPUT DRIVE (See 54C/74C Family Characteristics Data Sheet)					
I _{SOURCE} Output Source Current (P-Channel)	V _{CC} = 5V, V _{OUT} = 0V, TA = 25°C	-1.75	-3.3		mA
I _{SOURCE} Output Source Current (P-Channel)	V _{CC} = 10V, V _{OUT} = 0V, TA = 25°C	-8	-15		mA
I _{SINK} Output Sink Current (N-Channel)	V _{CC} = 5V, V _{OUT} = V _{CC} , TA = 25°C	1.75	3.6		mA
I _{SINK} Output Sink Current (N-Channel)	V _{CC} = 10V, V _{OUT} = V _{CC} , TA = 25°C	8	16		mA

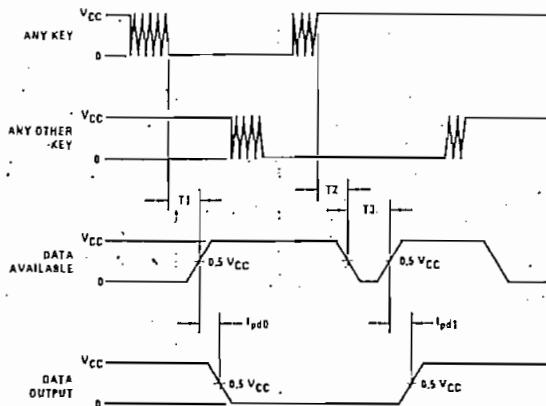
switching characteristics TA = 25°C

PARAMETER	CONDITIONS	MIN	TYP.	MAX	UNITS
t _{pd0, t_{pd1}}	Propagation Delay Time to Logical "0" or Logical "1" from D.A.				
	C _L = 50 pF, (Figure 1) V _{CC} = 5V		60	150	ns
	V _{CC} = 10V		35	80	ns
	V _{CC} = 15V		25	60	ns
t _{0H, t_{1H}}	Propagation Delay Time from Logical "0" or Logical "1" into High Impedance State				
	R _L = 10k, C _L = 5 pF, (Figure 2) V _{CC} = 5V R _L = 10k		80	200	ns
	V _{CC} = 10V C _L = 10 pF		65	150	ns
	V _{CC} = 15V		50	110	ns
t _{H0, t_{H1}}	Propagation Delay Time from High Impedance State to a Logical "0" or Logical "1"				
	R _L = 10k, C _L = 50 pF, (Figure 2) V _{CC} = 5V R _L = 10k		100	250	ns
	V _{CC} = 10V C _L = 50 pF		55	125	ns
	V _{CC} = 15V		40	90	ns
C _{IN}	Input Capacitance	Any Input, (Note 2)	5	7.5	pF
C _{OUT}	TRI-STATE Output Capacitance	Any Output, (Note 2)	10		pF

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: Capacitance is guaranteed by periodic testing.

switching time waveforms



T1 ≈ T2 ≈ RC, T3 ≈ 0.7 RC where R ≈ 10k and C is external capacitor at KBM input.

FIGURE 1

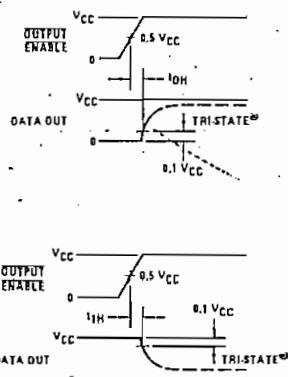
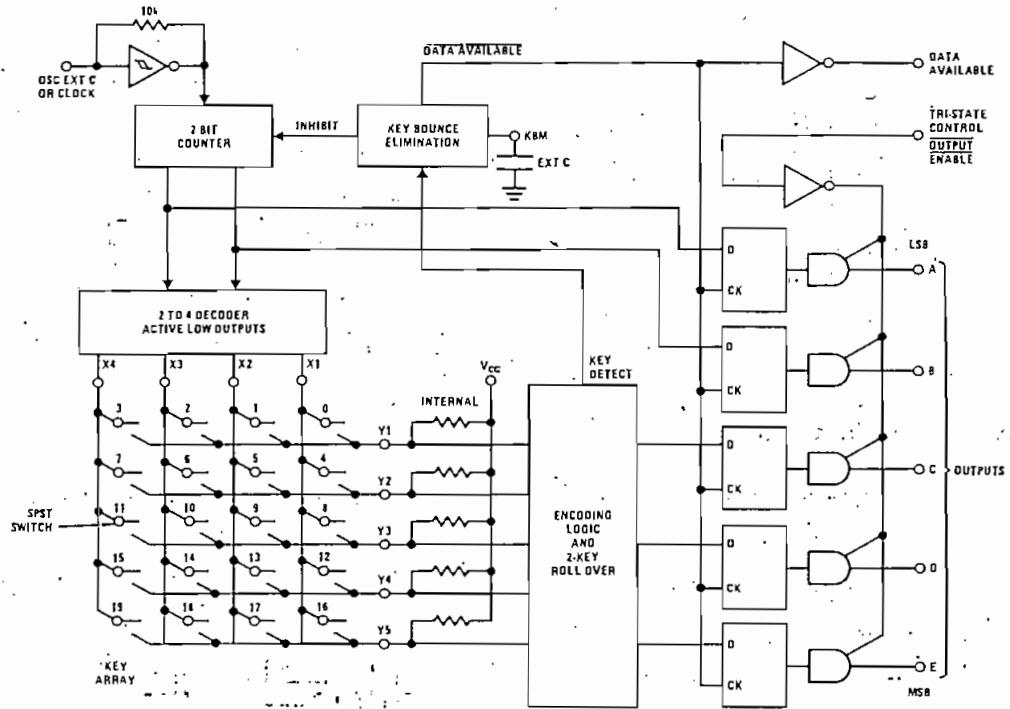


FIGURE 2

MM54C922/MM74C922, MM54C923/MM74C923

block diagram

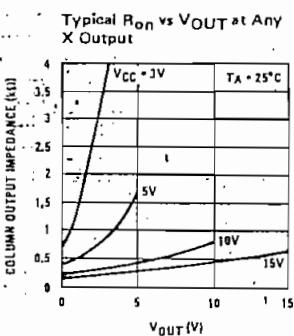
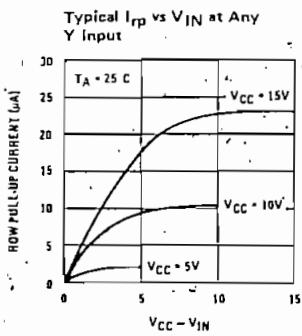


truth table

SWITCH POSITION	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
	Y1,X1	Y1,X2	Y1,X3	Y1,X4	Y2,X1	Y2,X2	Y2,X3	Y2,X4	Y3,X1	Y3,X2	Y3,X3	Y3,X4	Y4,X1	Y4,X2	Y4,X3	Y4,X4	Y5,X1	Y5,X2	Y5,X3	Y5,X4
A	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
B	0	0	1	0	1	0	0	1	0	1	0	0	1	0	1	0	1	0	1	0
C	0	0	0	0	1	1	1	1	1	0	0	0	1	1	1	1	0	0	0	0
D	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	0	0	0	0
E*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

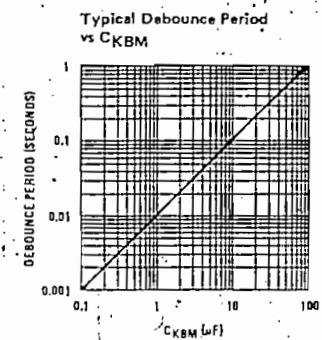
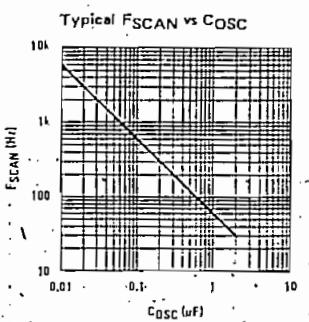
*Omit for MM54C922/MM74C922

typical performance characteristics



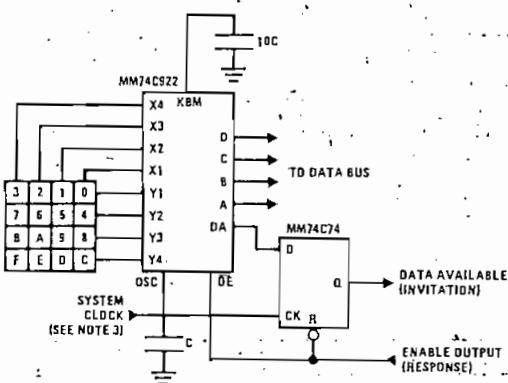
9

typical performance characteristics (con't)

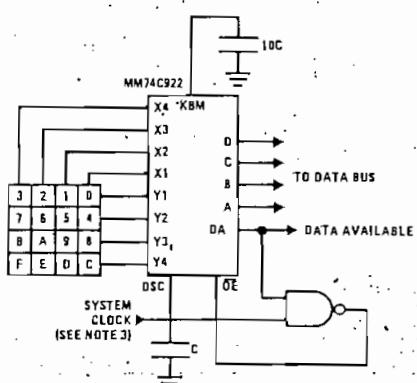


typical applications

Synchronous Handshake (MM74C922)

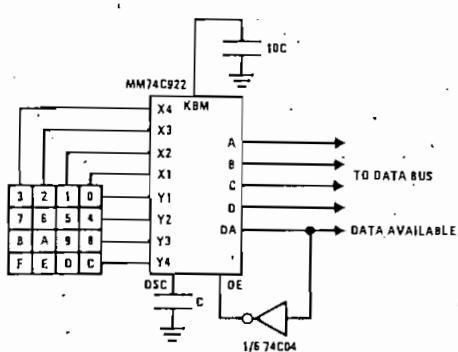


Synchronous Data Entry Onto Bus (MM74C922)



Outputs are enabled when valid entry is made and go into TRI-STATE when key is released.

Asynchronous Data Entry Onto Bus (MM74C922)



Outputs are in TRI-STATE until key is pressed; then data is placed on bus. When key is released, outputs return to TRI-STATE.

Note 3: The keyboard may be synchronously scanned by omitting the capacitor at osc, and driving osc directly if the system clock rate is lower than 10 kHz.

APENDICE 3

GUITA DE OPERACION

APENDICE 3

GUIA DE OPERACION

Esta sección tiene como finalidad dar la orientación necesaria para el manejo correcto del sistema de adquisición de datos. La descripción de los diferentes comandos con los que cuenta el operador se hace a un nivel cualitativo, sin mencionar el aspecto técnico. En primer lugar se explicarán las funciones que cumplen el teclado y el panel de indicación y luego se darán las instrucciones para utilizar el aparato conjuntamente con el computador Tektronix 4051. Para esta última parte, es necesario que el operador sepa manejar el computador.

I.- Teclado

El teclado se compone de 19 teclas, de las cuales 18 tienen definida alguna función. Ver la Fig. A3.1.

DATA IN MANUAL	DATA IN AUTO	DATA OUT GGPIB	DATA OUT ANALOG
A	F	AUDIO	
5	6	7	8
1	1	3	4
BREAK		RESET	START

Fig. A3.1

A continuación se describe la función que desempeña cada tecla.

DATA IN MANUAL: Habilita el aparato para que muestre las señales de entrada. El muestreo se inicia al presionar la tecla START o al dar un pulso en la entrada EXT. TRIGGER. e inmediatamente después se deshabilita el teclado (excepto la tecla BREAK).

DATA IN AUTO: Igual que el anterior, excepto que el muestreo se inicia con un pulso en la entrada EXT. TRIGGER. o cuando se detecta señal en la entrada analoga seleccionada.

DATA OUT GPIB: Habilita el aparato para enviar datos a través del bus GPIB y se deshabilita el teclado. El control del aparato se transfiere al computador al cual está conectado y se deshabilita el teclado (excepto la tecla BREAK).

DATA OUT ANALOG: Habilita el aparato para sacar los datos de la memoria mediante el conversor D/A por la salida ANALOG OUTPUT. Al presionar la tecla START se inicia la salida de la señal y se deshabilita el teclado (excepto la tecla BREAK).

A (Amplificación): Permite seleccionar uno de los ocho valores de amplificación disponibles (ver

tabla A3.1). Después de presionar la tecla A, debe presionarse el número correspondiente a la amplificación deseada.

F (Frecuencia): Permite seleccionar una de las ocho frecuencias de muestreo disponibles (ver tabla A3.2). Después de presionar la tecla F debe presionarse el número correspondiente a la frecuencia de muestreo deseada.

AUDIO: Habilita o deshabilita el paso de la señal que sale hacia el parlante. Cuando éste queda deshabilitado, el conversor D/A recibe los datos de la memoria con una frecuencia de 6 KHz.

BREAK: Cuando el teclado está deshabilitado, mientras se mantenga presionada esta tecla se habilita la tecla RESET.

RESET: Inicializa el contador de la memoria y detiene el funcionamiento del aparato si se presiona junto con la tecla BREAK, Inicializa también la barra de LEDs.

START: Sirve para iniciar el muestreo de la señal análoga, en el modo de operación DATA IN MANUAL y sirve para iniciar la salida de la señal análoga del conversor D/A, en el modo de operación DATA OUT ANALOG.

Amplificación	
A1	x1
A2	x2
A3	x5
A4	x10
A5	x20
A6	x50
A7	x100
A8	x200

Tabla A3.1

Frecuencia de muestreo (KHz)	
F1	8
F2	12
F3	16
F4	24
F5	32
F6	48
F7	96
F8	192

Tabla A3.2

II.- Panel de Indicación

Lo conforman todos los diodos emisores de luz que dan información relativa al estado del sistema y de la señal analógica por muestrearse. Ver Fig. A3.2.

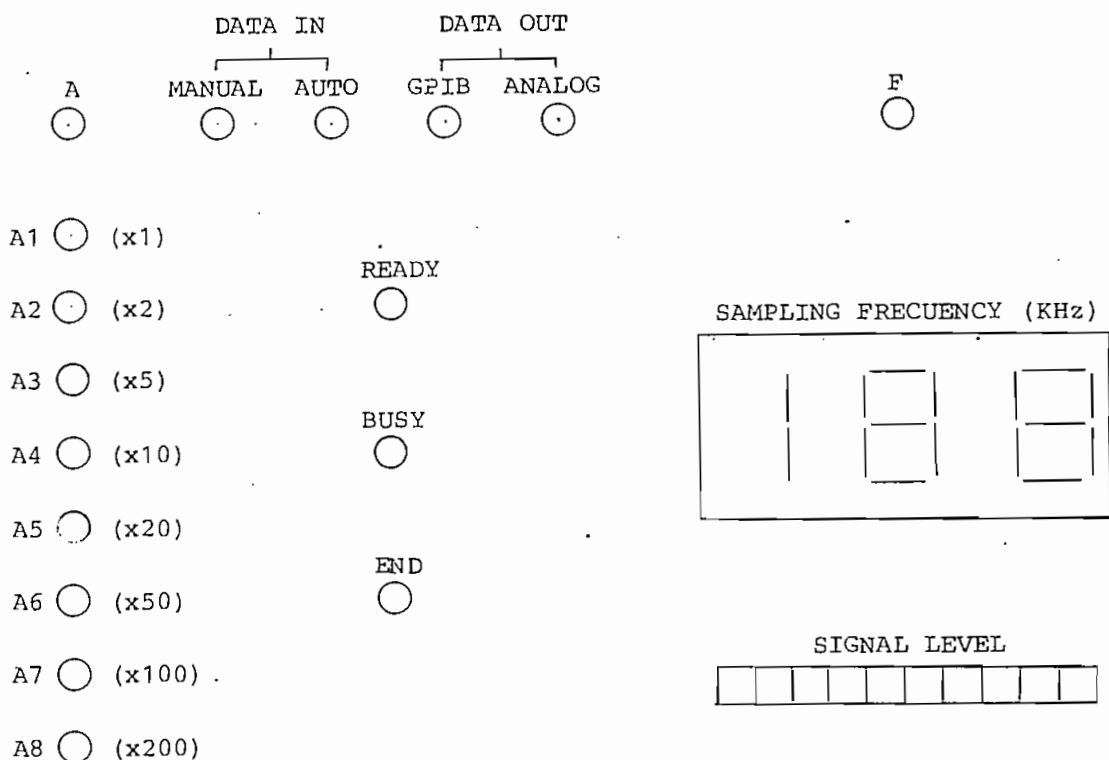


Fig. A3.2

Los LEDs "DATA IN MANUAL", "DATA IN AUTO", "DATA OUT GPIB", y "DATA OUT ANALOG" indican el modo de operación es cogido con las teclas del mismo nombre. El LED "READY" se enciende para indicar que el equipo está listo para realizar una grabación o para sacar datos de la memoria. El LED "BUSY" se activa mientras el aparato escribe o saca datos

de la memoria, y señala, además, que el teclado está deshabilitado (excepto la tecla BREAK). El LED "END" indica que el equipo ha terminado de grabar o sacar datos de la memoria.

Cuando se presiona la tecla A, el LED "A" se activa y luego de presionar un número, éste se apaga y en su lugar se enciende el LED respectivo a la amplificación escogida.

Así mismo, al presionar la tecla F, el LED "F" se activa y, luego de presionar un número, éste se apaga y en su lugar aparece en el display la frecuencia de muestreo seleccionada.

La barra de LEDs marcada con "SIGNAL LEVEL" indica el nivel de la señal que se quiere grabar o el nivel de reproducción de la señal grabada en memoria. Los cuatro últimos LEDs de la barra señalan el nivel máximo alcanzado durante la grabación o reproducción. Para inicializar estos LEDs se debe presionar la tecla RESET.

Existe, además, el indicador luminoso "AUDIO" (junto al parlante) que se activa cuando el parlante está habilitado. El control de volumen permite ajustar la señal de salida al parlante, pero se debe notar que se modifica de manera alguna el nivel de la señal que se desea grabar en el sistema.

Sobre las entradas MIC. y EXT. se encuentran dos LEDs que señalan cuál de ellas está habilitada (para las seis primeras frecuencias, F1 a F6, se habilita la entrada MIC.

y pasa F7 y F8 se habilita la entrada EXT.).

III.- Grabación

Para grabar datos en el sistema se procede así:

- 1.- a) Si se desea iniciar la grabación con un comando manual (tecla START), seleccionar el modo de operación DATA IN MANUAL.
- b) Si se desea que el aparato inicie automáticamente la grabación al detectarse señal, seleccionar el modo de operación DATA IN AUTO.
- c) Si el inicio de grabación se da con un pulso TTL por la entrada EXT. TRIGGER, cualquiera de los modos de operación anteriores puede ser usado.
- 2.- Seleccionar la frecuencia de muestreo.
- 3.- Conectar la fuente de señal analógica a la entrada MIC. o EXT:
 - a) Si se usa la entrada MIC. (frecuencia F1 a F6) seleccionar el valor de amplificación adecuado para garantizar que la señal no sobrepase el fondo de escala (último indicador de la barra de LEDs).
 - b) Si se usa la entrada EXT. (frecuencias F7 o F8), la amplitud de la señal debe acondicionarse en la fuente de la señal.
- 4.- Presionar la tecla RESET.

- 5.- a) Si se ha escogido el modo DATA IN MANUAL, presionar la tecla START para iniciar la grabación.
- b) Si se ha escogido el modo DATA IN AUTO, al detectarse la señal en la entrada se iniciará la grabación.
- c) Si se da una transición negativa (TTL) en la entrada EXT. TRIGGER, el aparato iniciará la adquisición de datos, con cualquiera de los dos modos anteriores.

El LED "END" indicará el fin de la grabación

Si se desea interrumpir la adquisición de datos antes de su finalización, presionar juntas las teclas BREAK y RESET.

IV.- Reproducción

Los datos grabados en la memoria pueden ser recuperados en forma de una señal análoga. La señal proveniente del conversor D/A, puede obtenerse por el conector de salida ANALOG OUTPUT.

- 1.- Seleccionar el modo de operación DATA OUT ANALOG
- 2.- a) Si se desea escuchar la señal en el parlante, habilitarlo con la tecla AUDIO (el LED "AUDIO" debe encenderse). En este caso, los datos de la memoria salen con la frecuencia de muestreo que se haya seleccionado.

b) Si se desea una salida lenta de los datos de la memoria (a 6 KHz), deshabilitar el parlante con la tecla AUDIO (el LED "AUDIO" debe apagarse).

3.- Para iniciar la reproducción, presionar RESET y luego START. Si se desea interrumpir la reproducción antes de su finalización, presionar juntas las teclas BREAK y RESET.

V.- Comunicación con el Computador

Para conectar y utilizar el sistema de adquisición de datos con la Tektronix 4051 se deben seguir los pasos siguientes:

- 1.- Revisar que el interruptor de encendido del equipo esté en la posición "OFF". Conectar el aparato a un tomacorriente de 120
- 2.- Usando el cable GPIB, conectar el equipo al computador.
- 3.- Encender el equipo.
- 4.- Cargar en el computador un programa que pueda leer los datos de la memoria del sistema de adquisición de datos. En el apéndice 4 se puede ver un programa que ejecuta esta operación (líneas 340 a 470) y que tiene también la posibilidad de normalizar la información y grafizarla.
- 5.- Grabar la señal deseada en el sistema de adquisición de datos.

- 7.- Seleccionar el modo de operación DATA OUT GPIB.
Presionar la tecla RESET.
- 8.- Correr el programa en el computador. Cuando éste direccione por primera vez el aparato, el LED "BUSY" se encenderá y una vez que el computador haya leído el último dato del sistema, el LED "END" indicará la finalización de la transferencia de datos.

Si se desea reiniciar la lectura de datos desde la primera localidad de la memoria antes de que se haya terminado la transferencia de datos, es decir, cuando el LED "BUSY" está todavía encendido, presionar juntas las teclas BREAK y RESET.
- 9.- Para desconectar el sistema del computador, apagar el aparato y desenchufar el cable GPIB.

APENDICE 4

Programa para Lectura de Datos para el
Computador TEKTRONIX 4051

```
4 GO TO 100
8 GO TO 250
12 GO TO 560
100 REM *** TRANSFERENCIA DE DATOS ***
110 REM
120 PRINT "LJG PROGRAMA TRANSFERENCIA DE DATOS"
130 PRINT "JJ ESTE PROGRAMA LEE Y NORMALIZA LOS DATOS ALMACENADOS"
140 PRINT "J EN EL SISTEMA DE ADQUISICION DE DATOS PARA ANALISIS"
150 PRINT "J DE FONEMAS."
160 PRINT "JJJ INDICE GENERAL:J"
170 PRINT USING 200;"TECLA 1 --- INFORMACION"
180 PRINT USING 200;"TECLA 2 --- INGRESO DE DATOS"
190 PRINT USING 200;"TECLA 3 --- GRAFICACION"
200 IMAGE 20X,FA
210 PRINT USING "//14X,FA" "ESCOJA TECLAG"
220 END
230 GO TO 510
240 END
250 REM * LECTURA Y NORMALIZACION *
260 REM
270 PRINT "LJJJ * LECTURA DE DATOS *"
280 DELETE X,Y,F
290 PRINT "J INGRESE LA FRECUENCIA DE MUESTREO- "
300 INPUT F
310 DIM X(1024),Y(1024)
320 OPEN "DATOS":1,"F",Z$
330 WRITE #1:F
340 FOR J=1 TO 64
350 CLOSE 1
360 FOR I=1 TO 1024
370 WBYTE #80:
380 RBYTE X(I),Y(I)
390 WBYTE #63:
400 NEXT I
410 Y=256*Y
420 Y=X+Y
430 Y=Y/2048
440 X=Y-1
450 OPEN "DATOS":1,"U",Z$
460 WRITE #1:X
470 NEXT J
480 PRINT "JJ FIN DE LECTURAG"
490 CLOSE 1
500 GO TO 160
510 REM
520 REM * GRAFICACION *
530 REM
540 U=32
550 V=130
560 PRINT "LJJ *** GRAFICACION ***"
561 PRINT "J INGRESE EL NUMERO DE FIGURA "
562 INPUT A$
563 PRINT "J INGRESE EL TITULO"
564 INPUT B$
```

```

570 PRINT "J INGRESE EL NUMERO DEL PRIMER DATO ";
580 INPUT M
590 M=M-1
600 IF M>65535 THEN 570
610 PRINT "J INGRESE EL NUMERO DE PUNTOS (MAX. 3000) ";
620 INPUT N
630 IF N>3000 THEN 610
640 OPEN "DATOS":1,"R",Z$
650 READ #1:F
660 IF M=0 THEN 750
670 IF M<=3000 THEN 730
680 H=3000
690 GOSUB 1040
700 M=M-H
710 IF M<=3000 THEN 730
720 GO TO 700
730 H=M
740 GOSUB 1040
750 H=N
760 GOSUB 1040
770 T=1/F*1000
780 CLOSE 1
790 N1=10*INT(INT(N/10+0.8)/10+0.8)
800 U=32
810 V=130
820 PAGE @U:
830 PRINT @U: USING "/50X,2A,4X,3A,3D,3A":"fm","; ",F,"KHz"
840 PRINT @U: USING "50X,1A,5X,3A,3D+2D,2A":"T","; ",T,"uS"
850 PRINT @U: USING "50X,3A,3X,3A,3I,7A":"HOR","; ",N1,"Per/div"
860 PRINT @U: USING "50X,FA":"VER","; 0,5/div"
861 HOME @U:
862 PRINT @U: USING "//20X,5A,10A":"Fis.",",A$"
863 C$=STR(INT(23-LEN(B$)/2)+1)
864 C$="/"&C$;
865 C$=C$&"X,45A"
868 PRINT @U: USING C$;B$;
870 VIEWPORT 0,U,0,80
880 WINDOW 0,N,-1,1
890 AXIS @U:N1,0.5
900 MOVE @U:1,X(1)
910 FOR I=2 TO N
920 DRAW @U:I,X(I)
930 NEXT I
940 IF U=1 THEN 160
950 HOME
960 PRINT "DESEA IMPRESION? (SI O NO) ";
970 INPUT L$;
980 IF L$="S" OR L$="SI" THEN 1010
990 PRINT "LJ"
1000 GO TO 160
1010 U=1
1020 V=150
1030 GO TO 820
1040 REM **** AVANCE Y LECTURA EN EL DISCO ****

```

1050 REM
1060 DELETE X
1070 DIM X(H)
1080 READ #1:X
1090 RETURN

B I B L I O G R A F I A

- 1.- STOUT D. / KAUFMAN M., Handbook of Operational Amplifier Circuit Design, Mc Graw Hill Inc., Caledonia, 1976.
- 2.- ANALOG DEVICES, Data Acquisition Components and Subsystems, Norwood, 1980.
- 3.- TIETZE U. / SCHENK CH., Halbleiter-Schaltungs-technik, Springer-Verlag, Berlin, 5a. Ed., 1980.
- 4.- BILDSTEIN P., Filtros Activos, Ed. Marcombo, España, 1977.
- 5.- I.T.T., Reference Data for Radio Engineers, Howard W. Sams & Co. Inc., 6a. Ed., Indianápolis, 1977.
- 6.- IEEE, IEEE Standard Digital Interface for Programmable Instrumentation, New York, 1979.
- 7.- TEXAS INSTRUMENTS, The TTL Data Book, 2a. Ed., Dallas, 1981.
- 8.- NATIONAL SEMICONDUCTOR, Audio / Radio Handbook, Santa Clara, 1980.