

ESCUELA POLITECNICA NACIONAL

FACULTAD DE INGENIERIA ELECTRICA

TESIS DE GRADO

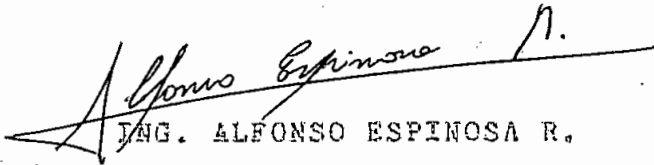
" CONVERTIDOR A/D, POR CONVERSION DE
VOLTAJE A FRECUENCIA "

Por: CARLOS NOVILLO MONTERO

TESIS PREVIA A LA OBTENCION DEL TITULO DE IN
GENIERO ELECTRICO EN LA ESPECIALIZACION DE
INGENIERIA ELECTRONICA Y TELECOMUNICACIONES.

Quito, Noviembre de 1978

Certifico que el presente
trabajo ha sido elaborado
en su totalidad por el se
ñor Carlos Novillo Montero.


ING. ALFONSO ESPINOSA R.

Director de Tesis

DEDICATORIA

A mis Padres,
a mis hermanas
y amigos.

C O N T E N I D O

PREFACIO

CAPITULO I COMPARACION DE SISTEMAS

1.1.-	INTRODUCCION	1.1
1.1.a.-	Cantidades Analógicas	1.1
1.1.b.-	Cantidades Digitales	1.2
1.2.-	CODIGOS BINARIOS	1.4
1.2.a.-	Código Binario Natural	1.4
1.2.b.-	Relación Básica de Conversión	1.7
1.2.c.-	Decimal Codificado en Binario (DCB)	1.11
1.2.d.-	Código 2-4-2-1 Decimal Codifi- cado en Binario	1.14
1.2.e.-	Código de Gray	1.15
1.2.f.-	Polaridad Analógica	1.20
1.2.g.-	Códigos Bipolares	1.20
1.2.h.-	Conversión de Códigos	1.26
1.2.i.-	Otros Códigos Bipolares	1.27
1.3.-	COMPARACION DE SISTEMAS CON- VERTIDORES A/D	1.29
1.3.a.-	Circuitos Convertidores A/D	1.29
1.3.b.-	Aproximaciones Sucesivas	1.30
1.3.c.-	Tipos Contadores y "Servo"	1.34
1.3.d.-	Tipo Paralelo	1.38

1.3.e.- Integración (Tipo Rampa)	1.39
1.3.f.- Convertidor Voltaje-a-Tiempo- a-Digital (Simple-Rampa)	1.40
1.3.g.- Convertidor A/D por Integra- ción Doble-Rampa	1.42
1.3.h.- Convertidor Voltaje-a-Frecuen- cia-a-Digital	1.46
1.4.- CONCLUSIONES	1.48
CAPITULO 2 DIAGRAMA DE BLOQUES	
2.1.- INTRODUCCION	2.1
2.2.- DIAGRAMA DE BLOQUES DEL CON- VERTIDOR A/D	2.4
CAPITULO 3 DISEÑO DEL V.C.O.	
3.1.- INTRODUCCION	3.1
3.2.- ESCALAMIENTO Y CONMUTACION	3.2
3.2.a.- Amplificador sin Inversión	3.6
3.2.b.- Circuito Conmutador	3.9
3.3.- CONVERTIDOR VOLTAJE A FRECUEN- CIA	3.12
3.4.- FUENTE DE CORRIENTE CON CO- NEXION DE CARGA A TIERRA	3.12
3.5.- CIRCUITO INTEGRADOR Y GENERA- DOR DE PULSOS	3.16

3.5.a.-	El Disparador de Schmitt SN7413	3.18
3.5.b.-	Formas de Onda sobre el Capa citor C y en la Salida del Disparador de Schmitt	3.19
3.5.c.-	Análisis de los Niveles de Voltaje del Circuito Integra dor y Generador de Pulsos	3.20
3.5.d.-	Corriente de Polarización I_{bias}	3.26
3.6.-	CALCULOS PARA EL CONVERTIDOR V/f	3.31
3.6.a.-	Cálculo de E_o (máx)	3.36
3.6.b.-	Elementos Constituyentes del Circuito Integrador y Genera dor de Pulsos	3.42
3.7.-	FUENTES DE PODER	3.44
3.7.a.-	Fuente de + 15V DC	3.45
3.7.b.-	Fuente de - 15V DC	3.46
3.7.c.-	Fuente de + 5 V DC	3.48

CAPITULO 4. CIRCUITO DIGITAL

4.1.-	INTRODUCCION	4.1
4.1.a.-	Esquema de Tiempo	4.2
4.2.-	DIAGRAMA DE BLOQUES DEL CIR- CUITO DIGITAL	4.5
4.3.-	CIRCUITO OSCILADOR	4.8

4.4.-	CIRCUITO DIVISOR DE FRECUEN CIA	4.10
4.5.-	SEÑALES DE CONTROL	4.11
4.5.a.-	Formas de Onda de las Señales de Control	4.13
4.5.b.-	S ₁ . Control de Tiempo de Cuenta	4.13
4.5.c.-	Señal para Controlar el Bloqueo de la Señal Analógica de Entrada E _{in} , (S ₄)	4.14
4.5.d.-	Señal de Control de Carga de los Retenedores de Datos, (S ₃) y de Borrado de los Contadores, (S ₅)	4.18
4.5.e.-	Señal de Control para el Cambio de Dirección de Conteo, (S ₂)	4.18
4.5.f.-	Circuito de Control Completo	4.20
4.6.-	CONTADORES UP/DOWN	4.22
4.7.-	CIRCUITO RETENEDOR DE DATOS SN74LS175	4.26
4.7.a.-	Conexiones al Circuito Retenedor de Datos	4.26
4.8.-	CIRCUITO DECODIFICADOR SN7447AN	4.29

4.9.-	POLARIDAD DE LA SEÑAL ANALOGI <u>¿</u>	
	CA	4.31
4.10.-	SISTEMAS DE INDICACION NUMERI <u>¿</u>	
	CA	4.32

CAPITULO 5 CONSTRUCCION Y EXPERIMENTACION

5.1.-	DETALLES DE CONSTRUCCION	5.1
5.2.-	CALIBRACION	5.7
5.3.-	EXPERIMENTACION	5.7
5.4.-	RESULTADOS	5.8

CAPITULO 6 CONCLUSIONES

6.1.-	CONCLUSIONES	6.1
-------	--------------	-----

BIBLIOGRAFIA

APENDICE

PREFACIO

En tiempos recientes parte de la ciencia electrónica ha tenido un desplazamiento grande hacia el campo de sistemas digitales y de computación. La tecnología ha reducido rápidamente el precio de los computadores digitales y de los módulos lógicos básicos, de esta manera muchos de los trabajos que tradicionalmente fueron realizados con circuitos y sistemas analógicos son ahora implementados usando técnicas digitales; por ejemplo, las comunicaciones a larga distancia y vía satélite se realizan con una gran variedad de técnicas de modulación de pulsos. Dando como resultado que muchos ingenieros y científicos hayan sentido la necesidad de entender la operación básica de los sistemas digitales y cómo pueden ser diseñados para que realicen un cometido particular de procesamiento de información asociado con su trabajo.

Para describir las propiedades y características de los sistemas físicos se requieren funciones continuas, puesto que muchas cantidades físicas de interés toman valores continuos. Cuando se trabaja con equipos que procesan información encontramos que no se aplican las mismas restricciones, en efecto, se ha encontrado que las funciones

evaluadas en forma discreta a menudo son más apropiadas en la representación de información.

El mundo de la electrónica e instrumentación científica está desarrollándose rápidamente. La introducción comercial de circuitos integrados ha sido realizada con técnicas de diseño completamente nuevas con lo cual la instrumentación digital y analógica no se ha estancado en años anteriores.

Algunos profesores de la Escuela Politécnica Nacional han creído conveniente que se haga un trabajo teórico-práctico de un sistema interfase que permita realizar la conversión de cantidades analógicas a digitales, para lo cual se sugirió el siguiente tema: "CONVERTIDOR A/D, POR CONVERSION DE VOLTAJE A FRECUENCIA".

Muchas personas han colaborado desinteresadamente para la culminación de este trabajo, para ellas mi gratitud por siempre. Mi reconocimiento para el Doctor Kanti Hore, Decano de la Facultad de Ingeniería Eléctrica, que siempre se ha interesado por la superación de los alumnos y las personas que tenemos el privilegio de trabajar con él. Muchas sugerencias y consejos prácticos he recibido de los ingenieros Herbert Jacobson y Alfonso Espinosa, Director de esta Tesis, para ellos mi agradecimiento. También

agradezco a todas las personas que forman la Facultad de Ingeniería Eléctrica, especialmente a mis compañeros de trabajo, que diariamente colaboran con sus conocimientos y amistad. Mi gratitud para la señorita Carmen Suárez que tuvo la gentileza de transcribir esta tesis tomando horas a su merecido descanso.

Finalmente el reconocimiento a mis padres Humberto y Mercedes que con su afecto y grandes sacrificios han sabido dar a sus hijos una formación digna de estos tiempos, para ellos y mis hermanas mi más profundo y sincero agradecimiento.

QUITO, NOVIEMBRE DE 1978

C. NOVILLO M.

CAPITULO 1

COMPARACION DE SISTEMAS.

1.1 INTRODUCCION

Los convertidores de analógico a digital (convertidor A/D), transforman las mediciones analógicas, que son características de la mayoría de los fenómenos del "mundo real", a un lenguaje digital usado en el procesamiento de información, computación, transmisión de datos y sistemas de control.

Como es conocido, la mayoría de los transductores proveen señales analógicas. Entonces, los convertidores A/D son esenciales si la información sobre algún fenómeno físico va a ser procesada, almacenada o muestreada como un dato digital.

1.1.a CANTIDADES ANALOGICAS

Las variables analógicas, cualquiera que sea su origen,

con mucha frecuencia son convertidas a voltajes o corrientes por los transductores. Estas cantidades eléctricas pueden aparecer como mediciones "dc" directas de un fenómeno continuo; o como ondas "ac" moduladas (usando una amplia variedad de técnicas de modulación), o en alguna combinación, con alguna configuración espacial de variables relacionadas para representar ángulos.

Las variables analógicas a ser tratadas en este capítulo son aquellas relacionadas con los voltajes o corrientes "dc" que representan al fenómeno analógico real. Pueden ser de banda ancha o de banda estrecha, normalizadas en el momento de la medición directa o estar sujetas a alguna otra forma de procesamiento analógico, tal como linealización, combinación, demodulación, filtrado, retención de muestra (sample-hold), etc. Como parte del proceso, los voltajes y corrientes son "normalizados" a rangos compatibles con los rangos de entrada asignados al convertidor.

1.1.b CANTIDADES DIGITALES

Los números digitales están representados por la presencia o ausencia de niveles de voltaje, referidos a tierra, que ocurren a las salidas de las compuertas lógicas o que están aplicadas a sus entradas. Los números digitales u-

sados son todos básicamente binarios. Esto es, cada "bit", o unidad de información, tiene uno de dos estados posibles que se los puede representar como estado "abierto", "falso", "cero" o como estado "cerrado", "verdadero", "uno". Las palabras o grupos de niveles que representan números digitales pueden aparecer en forma simultánea sobre las salidas (en paralelo), o uno tras otro, es decir secuencial en tiempo, sobre una línea simple (en serie).

Las compuertas lógicas escogidas son las más ampliamente usadas hasta la presente fecha, pertenecen al sistema TTL (lógica de transistor a transistor), en el cual el "verdadero" o "uno" corresponden a un nivel de salida mínimo de 2.4 V (las entradas aceptan como "1" los niveles mayores que 2.0 V) y "falso" o "cero" corresponden a una salida máxima de 0.4 V, (las entradas responden a cualquier voltaje menor que 0.8 V). Cada nivel analógico será representado por un número o código digital. Un código digital típico sería este arreglo:

110011011.

Está compuesto de nueve bits. El "1" del extremo izquierdo es denominado el "bit más significativo" (MSB, o bit 1) y el de la derecha es llamado el "bit menos significativo" (LSB, o bit 9, en este caso). El significado del código como un número o como representación de una va

riable analógica es desconocida hasta que el código y la relación de conversión hayan sido definidos.

1.2 CODIGOS BINARIOS

1.2.a EL CODIGO BINARIO FRACCIONAL

El código más conocido es el BINARIO NATURAL. En un código binario natural fraccional de n bits, el bit MSB tiene una ponderación de $1/2 = 2^{-1}$. El segundo bit tiene una ponderación de $1/4 = 2^{-2}$, así sucesivamente hasta llegar al LSB que tiene una ponderación de 2^{-n} . El valor de un número binario es obtenido sumando las ponderaciones de todos los bits diferentes de cero. Como ejemplo, la tabla 1.1 indica las 16 permutaciones de 4 bits con sus valores de 1's y 0's, con sus ponderaciones binarias y los números equivalentes expresados en forma decimal y en fracción binaria.

FRACCION DECIMAL	FRACCION BINARIA	MSB (x1/2)	BIT 2 (x1/4)	BIT 3 (x1/8)	BIT 4 (x1/16)
0	0.0000	0	0	0	0
$1/16 = 2^{-4}$ (LSB)	0.0001	0	0	0	1
$2/16 = 1/8$	0.0010	0	0	1	0
$3/16 = 1/8 + 1/16$	0.0011	0	0	1	1
$4/16 = 1/4$	0.0100	0	1	0	0

$5/16 = 1/4 + 1/16$	0.0101	0	1	0	1
$6/16 = 1/4 + 1/8$	0.0110	0	1	1	0
$7/16 = 1/4 + 1/8 + 1/16$	0.0111	0	1	1	1
$8/16 = 1/2$	0.1000	1	0	0	0
$9/16 = 1/2 + 1/16$	0.1001	1	0	0	1
$10/16 = 1/2 + 1/8$	0.1010	1	0	1	0
$11/16 = 1/2 + 1/8 + 1/16$	0.1011	1	0	1	1
$12/16 = 1/2 + 1/4$	0.1100	1	1	0	0
$13/16 = 1/2 + 1/4 + 1/16$	0.1101	1	1	0	1
$14/16 = 1/2 + 1/4 + 1/8$	0.1110	1	1	1	0
$15/16 = 1/2 + 1/4 + 1/8 + 1/16$	0.1111	1	1	1	1

TABLA 1.1 CODIGOS BINARIOS FRACCIONARIOS

Quando todos los bits de la fracción binaria son 1's el valor del número es $1 - 2^{-n}$, es decir la escala completa normalizada menos el bit de menor significación, ($1 - 1/16 = 15/16$, en el ejemplo). Teniendo la escala completa un valor máximo igual a 1. Es una práctica casi universal escribir el código sin tomar en cuenta el bit correspondiente al número entero, simplemente como el entero 1111 (es decir, 15) con la fracción natural del número correspondiente sobrentendida, ("1111" \rightarrow 1111/(1111+1), o 15/16).

Por conveniencia la tabla 1.2 indica la ponderación de los bits en binario para números que tienen hasta 20 bits.

El rango práctico para una vasta mayoría de aplicaciones es de alrededor de 16 bits.

La ponderación asignada al LSB es la RESOLUCION que tiene un número de n bits. La columna "dB" representa el logaritmo (base 10) de la relación del valor del LSB a la unidad (o escala completa), multiplicada por 20. Cada cambio sucesivo de potencia de 2 representa un cambio de 6.02 dB, (es decir, $20\log 2$) o sea "6 dB/octava".

BIT	2^{-n}	$1/2^n$ (fraccion)	$1/2^n$ (decimal)	"dB"
FS	2^0	1	1.0	0
MSB	2^{-1}	1/2	0.5	-6
2	2^{-2}	1/4	0.25	-12
3	2^{-3}	1/8	0.125	-18.1
4	2^{-4}	1/16	0.0625	-24.1
5	2^{-5}	1/32	0.03125	-30.1
6	2^{-6}	1/64	0.015625	-36.1
7	2^{-7}	1/128	0.007812	-42.1
8	2^{-8}	1/256	0.003906	-48.2
9	2^{-9}	1/512	0.001953	-54.2
10	2^{-10}	1/1024	0.0009766	-60.2
11	2^{-11}	1/2048	0.00048828	-66.2
12	2^{-12}	1/4096	0.00024414	-72.2
13	2^{-13}	1/8192	0.00012207	-78.3
14	2^{-14}	1/16384	0.000061035	-84.3

COMPARACION DE SISTEMAS 1.7

15	2-15	1/32768	0.0000305176	-90.3
16	2-16	1/65536	0.0000152588	-96.3
17	2-17	1/131072	0.00000762939	-102.3
18	2-18	1/262144	0.000003814697	-108.4
19	2-19	1/524288	0.000001907349	-114.4
20	2-20	1/1048576	0.0000009536743	-120.4

TABLA 1.2 · PONDERACION O RESOLUCION DE LOS BITS BINARIOS

En binario natural, el valor numérico normalizado del código 110011011, sería:

0.5000	MSB	1/2	=	256/512
0.2500	BIT2	1/4	=	128/512
0.0312	BIT5	1/32	=	16/512
0.0156	BIT6	1/64	=	8/512
0.0039	BIT8	1/256	=	2/512
+ 0.0020	BIT9(LSB)	1/512	=	1/512
<u>0.8027</u>				<u>411/512 = 0.8027</u>

1.2.5 RELACION BASICA DE CONVERSION

La forma más clara de indicar la relación entre las cantidades analógicas y digitales involucradas en una conversión es por medio de un gráfico.

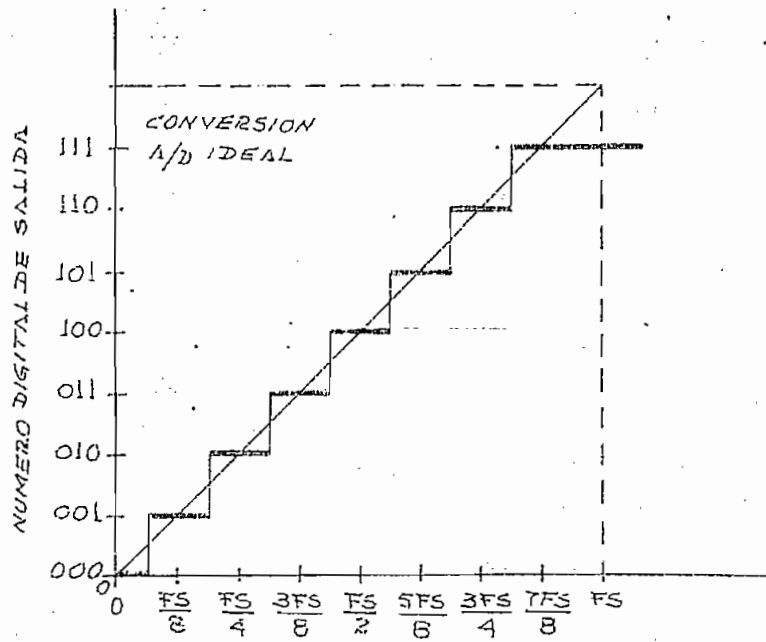
La fig. 1.1 muestra el gráfico para un convertidor A/D

ideal de tres bits. Se ha supuesto que existen todos los valores de la señal analógica y que pueden ser "cuantizados" dividiendo la continuidad en ocho rangos discretos. Todos los valores analógicos dentro de un rango dado están representados por el mismo código digital y corresponderá a la mitad del valor nominal del rango.

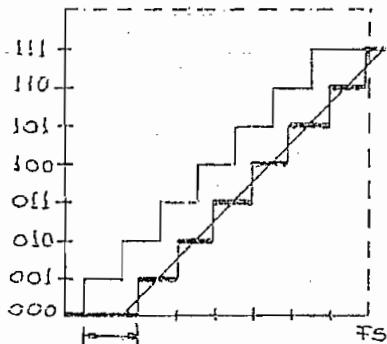
Hay por tanto, en el proceso de conversión A/D una INCERTIDUMBRE DE CUANTIZACION inherente de $\pm 1/2$ LSB, además de ciertos errores de conversión. La única manera de reducir los errores de incertidumbre de cuantización es incrementar el número de bits. Hay por supuesto, métodos de interpolación estática que pueden utilizarse en el proceso digital o en el filtrado que sigue a la subsecuente conversión D/A, que llenarán los valores analógicos faltantes para las señales grandes y de variación rápida, pero no indicarán las variaciones dentro de un quantum para un número digital aparentemente constante.

Como es más fácil determinar la localización de una transición que el valor del medio rango, los errores de los convertidores A/D se definen y se miden en términos de los valores analógicos en que ocurre la transición con relación al valor en que debe ocurrir la transición ideal.

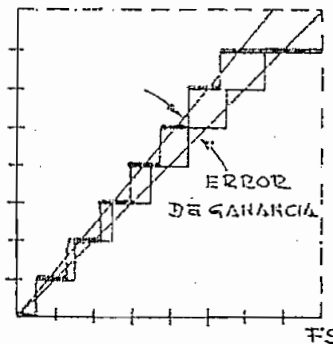
Los convertidores A/D tienen errores de desplazamiento



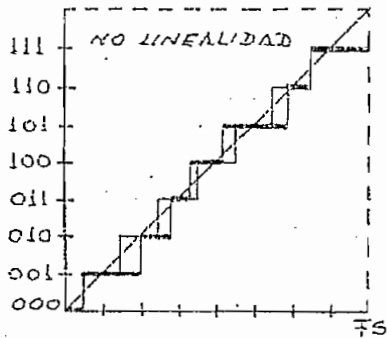
a) ENTRADA ANALOGICA NORMALIZADA



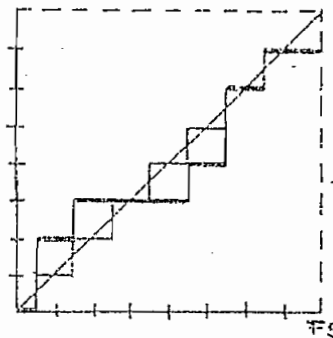
b) ERROR DE DESPLAZAMIENTO



c) ERROR DE FACTOR DE ESCALA



d) ERROR DE LINEALIDAD



e) ERROR DE LINEALIDAD DIFERENCIAL

FIGURA 1.1 RELACION DE CONVERSION EN UN CONVERTIDOR A/D DE 3-BITS.

(off-set), es decir, la primera transición no ocurre exactamente cada $1/2$ LSB; errores de factor de escala (o error de ganancia), es decir, la diferencia entre los valores a los que ocurren la primera y la última transición no es igual a $(FS - 2LSB)$, y error de linealidad: los valores de las diferencias entre transiciones no son todas iguales o de cambio uniforme. Si el error de linealidad diferencial es bastante grande es posible que se pierdan uno o más códigos.

Para visualizar el comportamiento ideal de los convertidores que tienen un gran número de bits, se puede agrandar o intensificar el gráfico patrón interpolando escalones adicionales entre los escalones de la fig. 1.1. Por ejemplo, un cuarto bit requeriría ocho escalones adicionales con un ancho igual a la mitad del que tienen en el gráfico actual. El valor del LSB sería $FS/16 = 1/16$ y el máximo valor sería $(7/8 + 1/16)FS = 15FS/16$. Un siguiente bit, el quinto interpolaría 16 escalones adicionales, el nuevo LSB sería $FS/32 = 1/32$ y el máximo valor $31/32$, etc. La línea recta que conecta los puntos medios de los escalones es el lugar geométrico de la envolvente de la relación de conversión ideal.

OTROS CODIGOS

Aunque el binario es el código más comúnmente usado, hay algunos otros códigos que se utilizan con sistemas de interfase, dependiendo del rango y polaridad de la señal, de la técnica de conversión, características especialmente deseadas y origen y destino de la información digital.

1.2.c DECIMAL CODIFICADO EN BINARIO (DCB)

Este es un código en el cual cada dígito decimal está representado por un grupo de cuatro dígitos binarios-codificados o "QUAD". El LSB del grupo más significativo tiene una ponderación de 0.1, el LSB del próximo quad tiene una ponderación de 0.01, etc. Cada quad tiene 10 niveles permisibles con ponderaciones de 0 a 9. En un quad los valores mayores que 9 no están permitidos. Como ejemplo, la tabla 1.3 muestra el código DCB para una variedad de números entre 0 y 0.99.

FRACCION DECIMAL	CODIGO DCB	
	MSQ (x1/10)	2°Quad (x1/100)
0.00 = 0.00 + 0.00	0 0 0 0	0 0 0 0
0.01 = 0.00 + 0.01	0 0 0 0	0 0 0 1
0.02 = 0.00 + 0.02	0 0 0 0	0 0 1 0

COMPARACION DE SISTEMAS 1.12

0.03 = 0.00 + 0.03	0 0 0 0	0 0 1 1
0.04 = 0.00 + 0.04	0 0 0 0	0 1 0 0
0.05 = 0.00 + 0.05	0 0 0 0	0 1 0 1
0.06 = 0.00 + 0.06	0 0 0 0	0 1 1 0
0.07 = 0.00 + 0.07	0 0 0 0	0 1 1 1
0.08 = 0.00 + 0.08	0 0 0 0	1 0 0 0
0.09 = 0.00 + 0.09	0 0 0 0	1 0 0 1
0.10 = 0.10 + 0.00	0 0 0 1	0 0 0 0
0.11 = 0.10 + 0.01	0 0 0 1	0 0 0 1
0.12 = 0.10 + 0.02	0 0 0 1	0 0 1 0
0.20 = 0.20 + 0.00	0 0 1 0	0 0 0 0
0.30 = 0.30 + 0.00	0 0 1 1	0 0 0 0
0.90 = 0.90 + 0.00	1 0 0 1	0 0 0 0
0.91 = 0.90 + 0.01	1 0 0 1	0 0 0 1
0.98 = 0.90 + 0.08	1 0 0 1	1 0 0 0
0.99 = 0.90 + 0.09	1 0 0 1	1 0 0 1

TABLA 1.3 EJEMPLOS DE PONDERACION DE DOS DIGITOS EN DCB

Los convertidores A/D con código DCB son utilizados principalmente en voltímetros y medidores de panel, puesto que las salidas de cada quad pueden ser decodificadas para accionar indicadores numéricos que usan los números decimales familiares. Si el indicador numérico es de un número DCB transmitido o procesado digitalmente, se debe utilizar un convertidor D/A que corresponda a DCB para ob-

COMPARACION DE SISTEMAS 1.13

tener una salida analógica de la misma entrada digital.

El DCB no es utilizado óptimamente ya que cada quad DCB tiene 10/16 de resolución de un quad binario natural similar. La tabla 1.4 muestra la capacidad relativa de resolución.

NUMERO DE BITS	LSB BINARIO	LSB DCB	NUMERO DE BITS BINARIOS REQUERIDOS PARA LA MISMA RESOLUCION QUE EL DCB
4	0.0625	0.1	4
8	0.0039	0.01	7
12	0.00024	0.001	10
16	0.000015	0.0001	14
20	0.000001	0.00001	17
24	0.00000006	0.000001	20

TABLA 1.4 RESOLUCION RELATIVA DE DCB Y BINARIO NATURAL

SOBRE RANGO

Muchos convertidores A/D con código DCB tienen un bit adicional con ponderación igual a la plena escala, en una posición "más significativa" que el MSB. Este bit adicional produce una capacidad máxima de "sobre-rango" del 100%. Bits adicionales "supersignificantes" producen una

capacidad de sobre-rango binario de 300% (para 2-bits) y de 700% (para 3-bits). El bit de sobre-rango es más comúnmente usado en voltímetros digitales y en medidores de panel para indicar que la escala completa nominal ha sido sobrepasada y que la lectura visual puede ser errónea.

Los bits de sobre-rango no se restringen necesariamente al DCB. Son muy útiles como "banderines de señalización" en cualquier proceso de conversión para el que una entrada de sobre-rango podría dar una lectura ambigua.

1.2.d CODIGO 2-4-2-1 DECIMAL CODIFICADO EN BINARIO

Este es un código que todavía es de uso común, en el que el bit de la posición MSB tiene una ponderación de 2 en vez del 8 usual que es normal para el DCB. Este sistema se encuentra, por ejemplo, a la salida digital de algunos voltímetros digitales Hewlett-Packard. Las ponderaciones relativas dentro de un quad están dadas en la tabla 1.5.

	2	4	2	1
	x2	x4	x2	x1
0.0	0	0	0	0
0.1 = 0.1	0	0	0	1
0.2 = 0.2	0	0	1	0

COMPARACION DE SISTEMAS 1.15

$0.3 = 0.1 + 0.2$	0	1	1	1
$0.4 = 0.4$	0	1	0	0
$0.5 = 0.1 + 0.4$	0	1	0	1
$0.6 = 0.2 + 0.4$	0	1	1	0
$0.7 = 0.1 + 0.2 + 0.4$	0	1	1	1
$0.8 = 0.2 + 0.4 + 0.2$	1	1	1	0
$0.9 = 0.1 + 0.2 + 0.4 + 0.2$	1	1	1	1

TABLA 1.5 CODIGO 2-4-2-1 DCB, PONDERACION DE CADA BIT EN CADA QUAD.

Este código era muy económico de implementar en la época en que los circuitos integrados empezaron a ser comunes, todavía tiene la ventaja de tener todos 1's para (plena escala - LSB) y requiere un rango más pequeño de resistencia en redes de escalera de convertidores D/A basados en valores de conductancia binaria.

1.2.e CODIGO DE GRAY

En este código la posición del bit no significa una ponderación numérica; sin embargo, en los convertidores que lo usan, cada código sigue correspondiendo a una porción única del rango analógico. Fácilmente puede transformarse al código binario natural (tabla 1.6).

COMPARACION DE SISTEMAS 1.16

FRACCION DECIMAL	CODIGO DE GRAY	CODIGO BINARIO
0	<u>0</u> 0 0 0	0 0 0 0
1/16	0 0 0 <u>1</u>	0 0 0 1
2/16	0 0 <u>1</u> 1	0 0 1 0
3/16	0 0 1 <u>0</u>	0 0 1 1
4/16	0 <u>1</u> 1 0	0 1 0 0
5/16	0 1 1 <u>1</u>	0 1 0 1
6/16	0 1 <u>0</u> 1	0 1 1 0
7/16	0 1 0 <u>0</u>	0 1 1 1
8/16	<u>1</u> 1 0 0	1 0 0 0
9/16	1 1 0 <u>1</u>	1 0 0 1
10/16	1 1 <u>1</u> 1	1 0 1 0
11/16	1 1 1 <u>0</u>	1 0 1 1
12/16	1 <u>0</u> 1 0	1 1 0 0
13/16	1 0 1 <u>1</u>	1 1 0 1
14/16	1 0 0 <u>1</u>	1 1 1 0
15/16	1 0 0 <u>0</u>	1 1 1 1

TABLA 1.6 COMPARACION DEL CODIGO BINARIO NATURAL DE 4 BITS Y EL CODIGO DE GRAY. LOS BITS SUBRAYADOS INDICAN LOS CAMBIOS CUANDO EL NUMERO SE INCREMENTA.

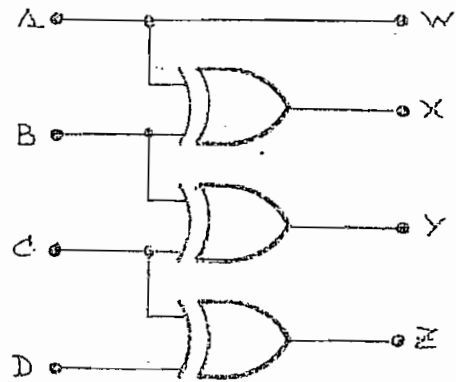
En el código de Gray cuando el número cambia de valor, la transición de un código al siguiente involucra solamente un bit a la vez. Los bits que cambian cuando el número

mero se incrementa están subrayados en la tabla 1.6.

La conversión del código binario al de Gray se realiza de la siguiente manera: El MSB del código binario es igual al MSB del código de Gray, luego, continuando la lectura desde el MSB hacia el LSB, cada cambio produce un "1" y cada no cambio produce un "cero". Ejemplo: el número binario de 12 bits 111100101100, vendrá a ser 10001011010 en código de Gray. La fig. 1.2 muestra una manera en la que la conversión de binario a código de Gray puede ser realizada.

La conversión de código de Gray a binario es justamente el inverso de la conversión binario a código de Gray: El MSB binario será el mismo que el MSB en el código de Gray. Luego, siguiendo la lectura desde el MSB hacia el LSB, si el siguiente bit de código de Gray es 1 el próximo bit binario es el complemento del anterior bit binario, si es cero, se pone el bit anterior del número binario. Ejemplo, el código de Gray de 7 bits 1100111 es 1000101 en binario. Una mecanización de la conversión de código de Gray a binario aparece en la fig. 1.3.

ENTRADAS				SALIDAS			
CODIGO BINARIO				CODIGO DE GRAY			
A	B	C	D	W	X	Y	Z
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0



CD \ AB	00	01	11	10
00				
01				
11	1	1	1	1
10	1	1	1	1

$W = A$

CD \ AB	00	01	11	10
00				
01	1	1	1	1
11				
10	1	1	1	1

$X = A \oplus B$

CD \ AB	00	01	11	10
00			1	1
01	1	1		
11	1	1		
10			1	1

$Y = B \oplus C$

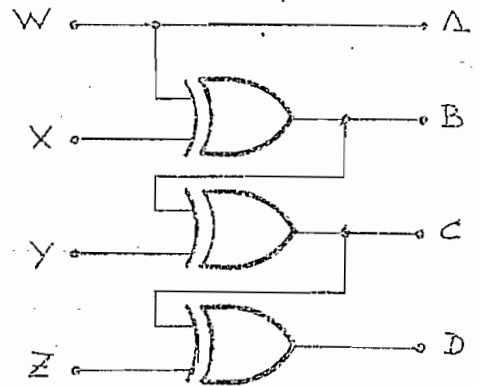
CD \ AB	00	01	11	10
00		1		1
01		1		1
11		1		1
10		1		1

$Z = C \oplus D$

FIGURA 1.2. CONVERSION DE CODIGO BINARIO A CODIGO DE GRAY

COMPARACION DE SISTEMAS 1.19

ENTRADAS				SALIDAS			
CODIGO DE GRAY				CODIGO BINARIO			
W	X	Y	Z	A	B	C	D
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	1	0	0	1	0
0	0	1	0	0	0	1	1
0	1	1	0	0	1	0	0
0	1	1	1	0	1	0	1
0	1	0	1	0	1	1	0
0	1	0	0	0	1	1	1
1	1	0	0	1	0	0	0
1	1	0	1	1	0	0	1
1	1	1	1	1	0	1	0
1	1	1	0	1	0	1	1
1	0	1	0	1	1	0	0
1	0	1	1	1	1	0	1
1	0	0	1	1	1	1	0
1	0	0	0	1	1	1	1



YZ \ WX	00	01	11	10
00				
01				
11	1	1	1	1
10	1	1	1	1

$A = W$

YZ \ WX	00	01	11	10
00				
01	1	1	1	1
11				
10	1	1	1	1

$B = W \oplus X$

YZ \ WX	00	01	11	10
00			1	1
01	1	1		
11			1	1
10	1	1		

$C = W \oplus X \oplus Y$

YZ \ WX	00	01	11	10
00		1		1
01	1		1	
11		1		1
10	1		1	

$D = W \oplus X \oplus Y \oplus Z$

FIGURA 1.3 CONVERSION DE CODIGO DE GRAY A CODIGO BINARIO

1.2.f POLARIDAD ANALOGICA

Hasta aquí, las relaciones de conversión han sido unipolares: los códigos han representado números, los cuales a su vez representan la magnitud normalizada de las variables analógicas, sin tomar en cuenta la polaridad. Un convertidor A/D unipolar responderá a señales analógicas de una sola polaridad.

La polaridad de la señal analógica queda determinada usando un convertidor de doble polaridad, o (si por razones de economía o disponibilidad se utiliza un convertidor que tiene polaridad determinada) operando con la señal analógica antes de la conversión A/D para invertir su polaridad, y también realizar cualquier cambio de escala necesario, si acaso el rango también debe ser adaptado al del convertidor A/D.

1.2.g CODIGOS BIPOLARES

Para la conversión de señales analógicas bipolares a un código digital que retenga la información del signo es necesario un bit extra que será el "bit del signo". Este bit "más significativo" dobla el rango analógico y divide en dos partes iguales la resolución pico-a-pico. En algunos casos el bit del signo es suministrado por una rein-

interpretación del MSB ya existente, evento en el cual el RANGO analógico puede ser doblado pero la resolución es la mitad. Por ejemplo, si un convertidor de 10 bits cuya resolución es $1/1024$, para el rango de 0-10V, podemos usar un código bipolar que tenga 11 bits con una resolución pico-a-pico de $1/2048$ y un rango de $\pm 10V$, o mantener el código que tiene 10 bits pero "extender" el rango a $\pm 10V$ en cuyo caso la resolución pico-a-pico permanece en $1/1024$, lo cual dobla la magnitud del LSB. Se debe enfatizar que, puesto que el dígito del signo dobla tanto el rango como el número de niveles, la relación del LSB a la escala completa en cualquier polaridad es $2^{-(n-1)}$ no 2^{-n} .

Los códigos binarios más a menudo usados en conversión bipolar son: Signo-magnitud (magnitud más signo), binario desplazado, complemento de 2 y complemento de 1. La tabla 1.7 muestra cada uno de estos códigos expresados para 4 bits (3 bits para la magnitud y 1 para el signo).

Nº	FRACCION DECIMAL	SIGNO MAGNITUD	COMPLEMEN TOS DE 2	BINARIO DESPLAZADO	COMPLEMEN TOS DE 1
7	7/8	0111	0111	1111	0111
6	6/8	0110	0110	1110	0110
5	5/8	0101	0101	1101	0101
4	4/8	0100	0100	1100	0100

COMPARACION DE SISTEMAS 1.22

Nº	FRACCION DECIMAL	SIGNO MAGNITUD	COMPLEMEN TOS DE 2	BINARIO DESPLAZADO	COMPLEMEN TOS DE 1
3	3/8	0011	0011	1011	0011
2	2/8	0010	0010	1010	0010
1	1/8	0001	0001	1001	0001
0	0+	0000	0000	1000	0000
0	0-	1000	(0000)	(1000)	1111
-1	-1/8	1001	1111	0111	1110
-2	-2/8	1010	1110	0110	1101
-3	-3/8	1011	1101	0101	1100
-4	-4/8	1100	1100	0100	1011
-5	-5/8	1101	1011	0011	1010
-6	-6/8	1110	1010	0010	1001
-7	-7/8	1111	1001	0001	1000
-8	-8/8		(1000)	(0000)	

TABAL 1.7 CODIGOS BIPOLARES COMUNMENTE USADOS.

Puesto que se tiene ahora una forma de escoger la polaridad, debemos tener cuidado acerca de la relación entre el código y la polaridad de la señal analógica.

SIGNO-MAGNITUD aparecería como el código más extensamente usado para expresar cantidades analógicas en forma digital con signo. Simplemente se determina el código apropiado para la magnitud y se añade un bit de polaridad. Es

utilizado con ventaja en convertidores D/A que operan en las cercanías de cero, donde la aplicación exige transiciones uniformes y lineales desde voltajes positivos pequeños hasta voltajes negativos pequeños. Como se puede ver en el ejemplo de la tabla 1.7, es el único código para el cual los tres bits de magnitud no tienen mayor transición (todos 1's a todos 0's o su equivalente) en cero. El código DCB-signo-magnitud es utilizado casi universalmente en voltímetros digitales bipolares (convertidores A/D).

Sin embargo, tiene algunos defectos. En la aplicación de procesamiento de datos, los otros códigos son más fácilmente utilizables para computación con una traslación mínima. Otro de sus problemas es que tiene dos códigos para el cero. Por esta razón el código signo-magnitud es más difícil de usarlo en sistemas digitales interfases puesto que requiere equipo adicional. Además, el convertidor para signo-magnitud usa una circuitería más costosa.

BINARIO DESPLAZADO es el código más fácil de relacionarlo con la circuitería del convertidor. Un análisis del código binario-desplazado para tres bits más el signo muestra que realmente se trata del código binario natural para 4-bits, excepto que su cero es para plena escala negativa, el LSB es 1/16 de todo el rango bipolar y el MSB es "1" en el cero analógico.

Además de su facilidad de implementación, el binario desplazado tiene la ventaja adicional de su compatibilidad con las entradas y salidas del computador, es más fácilmente cambiable al código más computacionalmente-útil, sistema de complemento de 2 (solo complementando el MSB) y tiene un solo código (no ambiguo) para el cero. El código para plena escala negativa de todos ceros (0000), aunque no es utilizado en computación (puesto que $-(FS-1 \text{ LSB})$ es el valor más negativo definido en computación), sin embargo, es útil como chequeo y como un código de ajuste.

La principal desventaja del binario desplazado es que ocurre un cambio de todos los bits en la transición de -1 a 0 (todos los bits cambian desde 0111 hasta 1000). Esto puede provocar problemas dinámicos ("glitch", la diferencia de velocidad entre los bits que se encienden y se apagan puede producir grandes picos).

COMPLEMENTO DE 2, para propósitos de conversión, es igual a un código binario para cantidades positivas (el bit para el signo es cero), mientras que para representar un número negativo se saca el complemento de 2 de cada número positivo. Aritméticamente el código con complemento de 2 se forma complementando el número y sumando 1 LSB. Por ejemplo, el complemento de 2 de $3/8$ (0011) sería: 1100 0001 = 1101, que correspondería al $-3/8$.

El código complemento de 2 es útil puesto que puede ser pensado como un conjunto de números negativos. Entonces, la adición puede reemplazar a la sustracción (resta). Por ejemplo, para restar $3/8$ de $5/8$ sumamos $5/8$ a $-3/8$, es decir, 0101 a 1101; el resultado es 0010 (despreciamos el carry extra), o sea $2/8$.

Si se comparan los códigos complemento de 2 y binario desplazado, puede verse que la única diferencia entre ellos es que el bit del signo del uno está reemplazado por su complemento en el otro. Puesto que tanto un dígito como su complemento están presentes en la mayoría de los flipflops, un convertidor codificado en binario desplazado puede ser usado como complemento de 2 tomando únicamente el complemento del bit del signo de un convertidor A/D. El código complemento de 2 tiene las mismas desventajas del binario desplazado, puesto que el proceso de conversión es idéntico.

COMPLEMENTO DE 1, es un medio de representar números negativos algunas veces usado en computadores. El complemento de 1 es obtenido en forma aritmética simplemente complementando todos los dígitos del número. Así, el complemento de 1 de $3/8$ (0011) es (1100). Cuando un número es sustraído sumando su complemento de 1, el carry extra, (que es despreciado en complemento de 2), produce un LSB

para ser sumado al total resultante. De modo que en el ejemplo anterior de restar $3/8$ de $5/8$ se tendrá lo siguiente: $0101 + 1100 = 0001 + 0001 = 0010$, es decir, $2/8$. El código complemento de 1 puede ser formado complementando cada valor positivo para obtener el valor negativo correspondiente, incluyendo el 0, que estará representado por dos códigos, 0000 y 1111.

Además de su cero ambiguo, otra desventaja de este código es que no es implementado tan fácilmente como lo es el complemento de 2. Si se dispone de un convertidor D/A compatible con el sistema de complemento de 2, es necesario pasar previamente del código complemento de 1 al complemento de 2 sumando un LSB al primer código, cuando el bit del signo es 1 (que indica un número negativo); cuando no es posible hacer esto, la manera más fácil de realizar la conversión es utilizar el mismo convertidor D/A (compatible con el código complemento de 2) y sumar el valor analógico de 1 LSB, si el bit del signo es 1. La suma del bit analógico extra puede ser realizada en forma elegante y simple (si no exactamente) dividiendo resistivamente el nivel lógico del dígito MSB hasta el valor analógico del LSB y sumar esta señal atenuada.

1.2.h CONVERSION DE CODIGOS

Debido a que se puede desear la conversión de códigos, después de la conversión A/D o antes de la conversión D/A, para hacer posible el uso de un convertidor que produzca los mejores resultados al más bajo costo, la matriz de la tabla 1.8 brevemente presenta las relaciones entre los códigos.

CONVERTIR DE A	SIGNO-MAGNITUD	COMPLEMENTO DE 2	BINARIO DESPLAZADO	COMPLEMENTO DE 1
SIGNO-MAGNITUD	SIN CAMBIO	SI EL MSB=1 COMPLEMENTE LOS OTROS BITS SUME 00...01	COMPLEMENTE EL MSB SI EL NUEVO MSB=1 COMPLEMENTE LOS OTROS BITS SUME 00...01	SI EL MSB=1 COMPLEMENTE LOS OTROS BITS
COMPLEMENTO DE 2	SI EL MSB=1 COMPLEMENTE LOS OTROS BITS. SUME 00...01	SIN CAMBIO	COMPLEMENTE EL MSB	SI EL MSB=1 SUME 00...01
BINARIO DESPLAZADO	COMPLEMENTE EL MSB. SI EL NUEVO MSB=0 COMPLEMENTE LOS OTROS BITS SUME 00...01	COMPLEMENTE EL MSB	SIN CAMBIO	COMPLEMENTE EL MSB. SI EL NUEVO MSB=0 SUME 00...01
COMPLEMENTO DE 1	SI EL MSB=1 COMPLEMENTE LOS OTROS BITS	SI EL MSB=1 SUME 11...11	COMPLEMENTE EL MSB. SI EL NUEVO MSB=1 SUME 11...11	SIN CAMBIO

TABLA 1.8 RELACIONES ENTRE CODIGOS BIPOLARES.

1.2.1 OTROS CODIGOS BIPOLARES

La lista de códigos bipolares mencionados en la tabla 1.8, puede parecer bastante completa y coherente, pero no refleja completamente la ingeniosidad y diversidad de la industria de los computadores y convertidores. Hay un número de variaciones más o menos extenso que se utilizan y que será mencionado aquí, puesto que alguna vez se los puede encontrar. Afortunadamente, están basados en códigos que ya han sido discutidos y que fácilmente pueden ser descritos.

SIGNO-MAGNITUD MODIFICADO: Esta es una versión del código signo-magnitud en el cual el bit del signo está complementado (1 para positivo, 0 para negativo).

COMPLEMENTO DE 1 MODIFICADO: Como en el caso de signo magnitud, es una versión en la que el bit del signo está modificado (1 para positivo, 0 para negativo).

Los dos códigos de arriba tienen los bits de polaridad que son los mismos que para el binario desplazado, que es el único que se destaca en la tabla 1.7. Puesto que el binario desplazado es popular entre los fabricantes, parece lógico que estén disponibles otros códigos con el bit del signo compatible con el binario desplazado, por motivo de uniformidad.

TODO COMPLEMENTADO: Todos los códigos arriba mencionados pueden ser complementados para formar los códigos: signo magnitud complementario, binario desplazado complementario, complementos de 2 complementario, y complemento de 1 complementario. Tales códigos, aunque se complican un poco, son necesarios para tener una ventaja sobre algunos de los más complicados conmutadores monolíticos actuales. Por suerte, los convertidores A/D y D/A que tienen registros realizan internamente la complementación.

1.3 COMPARACION DE SISTEMAS CONVERTIDORES A/D

1.3.a CIRCUITOS CONVERTIDORES A/D

Hay un gran número concebible de diseños de circuitos convertidores A/D. Sin embargo, hay un número mucho más limitado de diseños disponibles en pequeñas cantidades en el mercado, en forma modular a bajo costo, específicamente diseñados para incorporarlos como componentes de equipo. Los más comunes son:

- Tipos de aproximaciones sucesivas.
- Tipos contador y "servo".
- Tipos paralelo y paralelo modificado.
- Tipos de integración (simple y doble rampa).
- Tipos de conversión voltaje a frecuencia.

Cada una de estas aproximaciones tiene características que lo hacen más útil para una clase específica de aplicación, basado en velocidad, exactitud, costo, tamaño y versatilidad.

1.3.b APROXIMACIONES SUCESIVAS

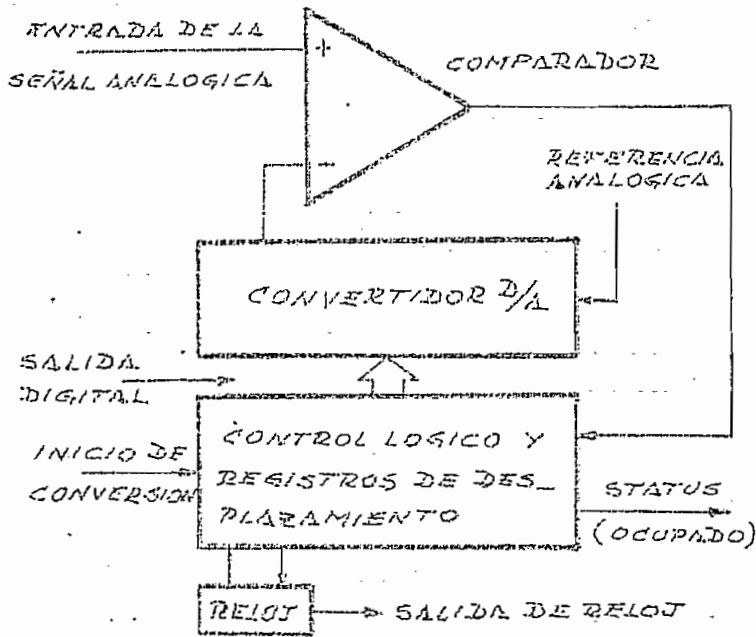
Los convertidores A/D de aproximaciones sucesivas son ampliamente usados especialmente en interconexión de computadores, puesto que son capaces de alta resolución (16 bits) y alta velocidad (1 MHz). El tiempo de conversión es fijo y es independiente de la magnitud del voltaje de entrada, cada conversión es única e independiente de los resultados de conversiones previas, puesto que la lógica interna es borrada al comienzo de cada conversión.

La técnica de conversión consiste en comparar la entrada analógica desconocida con un voltaje de referencia exacto y preciso generado internamente a la salida de un convertidor D/A. La entrada al convertidor D/A es el número digital a la salida del convertidor A/D. El proceso de conversión es similar al proceso de ponderación usando una balanza de químico, con un conjunto de pesas binarias (tales como: $1/2$ Kg, $1/8$ Kg, $1/16$ Kg, $1/32$ Kg, etc. para encontrar pesos desconocidos hasta 1 Kg).

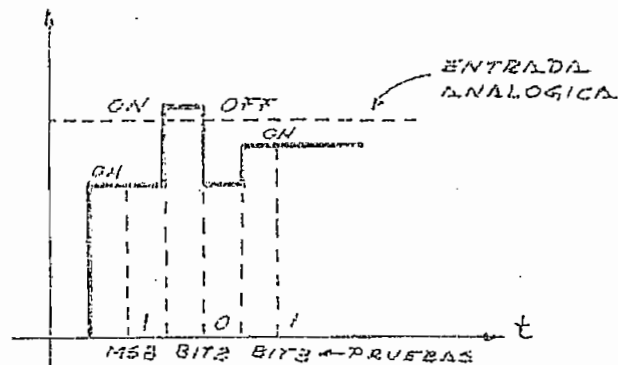
Después que el comando de conversión es aplicado, y el convertidor ha sido borrado, el MSB del convertidor D/A ($1/2$ de plena escala) es comparado con la entrada. Si la entrada es más grande que el MSB, éste permanece "encendido" (es decir, "1" en el registro de salida), y se prueba el siguiente bit (ahora se tendrá $3/4$ de plena escala a la salida del convertidor D/A). Si la entrada es menor que el MSB, éste se pone en "apagado" (es decir, "0" en el registro de salida), y se prueba el siguiente bit (en este caso se tendrá $1/4$ de plena escala a la salida del convertidor D/A). Si el siguiente bit no añade suficiente peso para exceder a la entrada este bit queda encendido ("1") y se ensaya con el tercer bit. Si el segundo bit sobrepasa la escala, este bit se apaga ("0"), y se trata con el tercer bit. El proceso continúa en orden descendente a las ponderaciones de los bits, hasta que el último de ellos haya sido tratado. Una vez que el proceso ha sido completado, la línea de status cambia de estado para indicar que el contenido de los registros ahora constituye una conversión válida. El contenido de los registros de salida forma un código binario digital correspondiente a la señal de entrada.

La fig. 1.4 es un diagrama de bloques de un convertidor A/D de aproximaciones-sucesivas, está acompañado del gráfico de tiempo de una conversión simple de tres bits. Se no

tará que la señal de entrada no cambia durante la conver-



a) DIAGRAMA DE BLOQUES



b) PONDERACION A 3-BITS

FIGURA 1.4 CONVERTIDOR A/D POR APROXIMACION-SUCESIVA.

sión, en el ejemplo de la figura anterior. La entrada no debe cambiar durante el proceso de conversión, si esto sucede el número de la salida no representará con exactitud

a la entrada analógica. Puesto que este es un requerimiento que a menudo no se llena, generalmente se emplea un retenedor de muestra, (sample-hold), antes del convertidor para mantener el valor de la entrada que está presente al momento de iniciar una nueva conversión.

El status de la salida del convertidor podría ser usado para liberar al retenedor de muestra de su estado de retención una vez terminada la conversión. Puede que no sea necesario un retenedor de muestra si la señal por si misma, o por filtrado, varía muy lentamente y está suficientemente liberada de ruido de tal manera que no se espera que se produzcan cambios significantes durante el intervalo de conversión.

La exactitud, la linealidad y la velocidad son afectadas en principio por las propiedades del convertidor D/A (y su referencia) y el comparador. En general, el tiempo de acción del convertidor y el tiempo de respuesta del comparador son considerablemente más lentas que el tiempo de conmutación de los elementos digitales. La no linealidad diferencial del convertidor D/A estará reflejada en la no linealidad del convertidor A/D resultante. Si el convertidor D/A no es monótonico, uno o más códigos pueden ser omitidos del rango de salida del convertidor A/D.

La palabra digital de salida puede ser obtenida en forma serial o en paralelo. Si se toma serialmente, la salida del comparador debe ser acondicionada adecuadamente cada vez que se trata un nuevo bit, de lo contrario se tendrá una lectura errada. Si se toma en paralelo, los flip flops que activan al convertidor D/A pueden ser leídos al terminar el período de conversión. Solamente se requieren de 10 a 50 microsegundos para realizar una nueva conversión, comparada con los varios cientos de microsegundos que se requieren para los otros sistemas de conversión (tipos simple y doble rampa, conversión voltaje a frecuencia) o unos pocos microsegundos en el caso del convertidor tipo paralelo. "

1.3.c TIPOS CONTADORES Y "SERVO"

La Fig. 1.5 es un diagrama de bloques de un convertidor A/D contador-comparador, el cual es similar al tipo rampa simple. La entrada analógica es comparada con la salida de un convertidor D/A, cuya entrada digital está generada por un contador. Al inicio de la conversión, el contador empieza a contar hasta que la salida del convertidor D/A es igual o mayor que el valor de la entrada, en ese momento cesa la conversión, y el convertidor estará listo para iniciar una nueva conversión una vez que el contenido del contador haya sido almacenado en un registro y después de

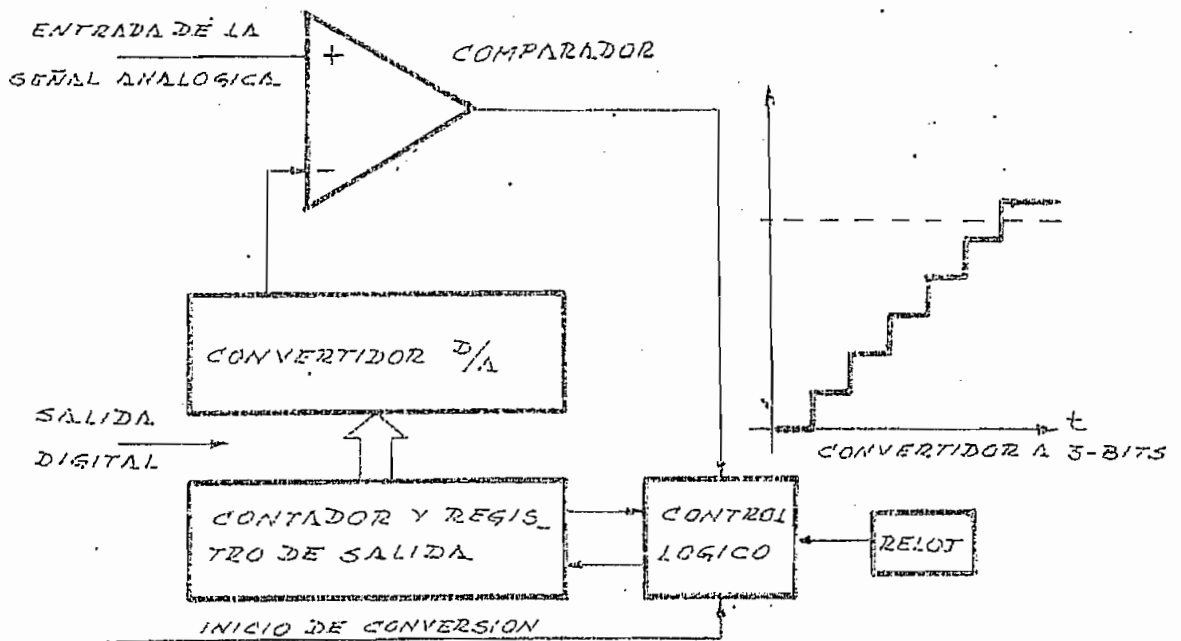


FIGURA 1.5 CONVERTIDOR A/D CONTADOR-COMPARADOR.

que el contador haya sido puesto en cero. El número digital correspondiente aparece a la salida del registro. Para entradas bipolares se utiliza un convertidor D/A bipolar y la salida es una representación binaria desplazada de la entrada empezando desde plena escala negativa.

Aunque bastante simple en concepto, este convertidor tiene la desventaja de ser muy lento ya que, para una resolución dada, el tiempo de conversión para un cambio a plena escala, es igual al máximo número de cuentas dividido por la frecuencia del reloj. Por ejemplo, si la frecuencia del reloj es 10 MHz, la máxima relación para una

resolución de 10 bits (1024 cuentas) es de unos 100 μ s/conversión. Una variación de este convertidor es el tipo "servo" en el cual se usa un contador "up/down", fig. 1.6.

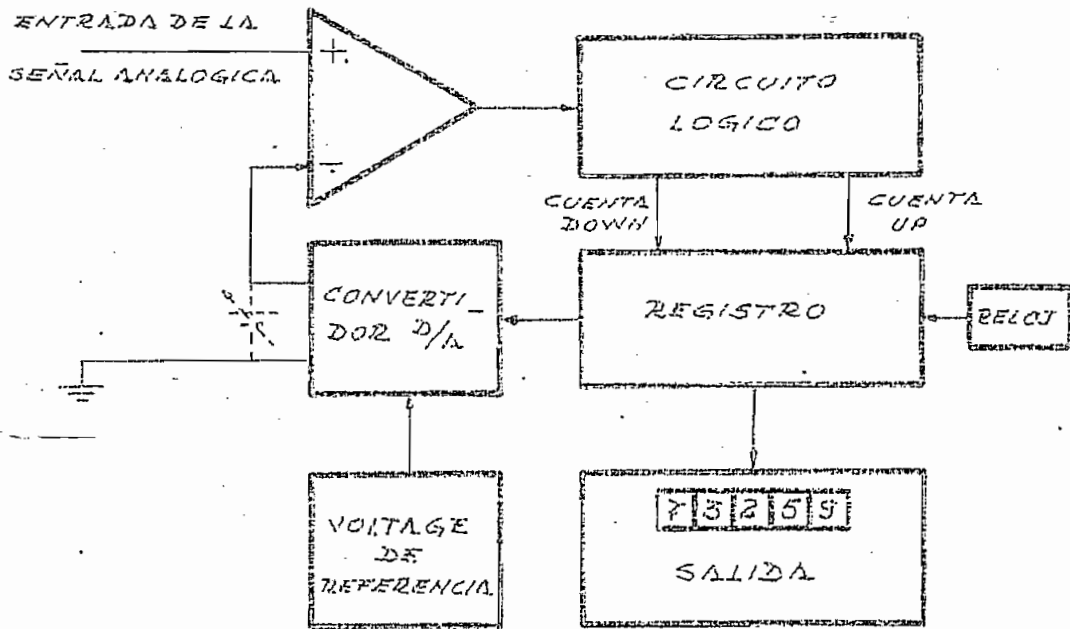


FIGURA 1.6 CONVERTIDOR A/D "SERVO" O DE BALANCE CONTINUO POR COMPARACION DE VOLTAJES.

Si la salida del convertidor D/A es menor que la entrada analógica, el contador cuenta hacia arriba ("up"), cuando el número digital se incrementa, el voltaje de referencia también se incrementa a través del convertidor D/A hasta hacerse igual a la señal de entrada. Si la señal de entrada es menor que el voltaje de referencia, el contador cuenta hacia abajo ("down") de tal manera que el vol

taje de referencia decrece hasta hacerse igual a la señal de entrada. Si la entrada analógica es constante, la salida del contador variará entre dos valores adyacentes. Puesto que trata de seguir el valor analógico de la entrada, la analogía con un servomecanismo es evidente. Como pretende convertir continuamente, esto puede ser una desventaja al tratar de acoplar este sistema con un sistema rápido de adquisición de datos, ya que da un "reporte" de conversión completo válido solo durante el período de reloj inmediatamente siguiente al cambio de estado del comparador, que generalmente ocurre a intervalos irregulares. Al detener la cuenta, (después de una conversión completa) en un instante determinado, el convertidor tipo servo puede ser usado como retenedor de muestra con un tiempo de retención arbitrariamente largo (sin pérdida).

En esencia éste es un circuito cuya salida digital "sigue" los cambios de una entrada de variación lenta. En presencia de un ruido sobre la señal de entrada, el instrumento tratará de seguir el ruido. El lazo de realimentación está siempre cerrado, haciendo que la salida digital sea igual a la entrada analógica. Este convertidor actúa como un seguidor de pico, contando en la dirección apropiada solo cuando la entrada analógica exceda el valor extremo previsto. Tanto los valores analógicos como los digitales están disponibles.

1.3.d TIPO PARALELO

La fig. 1.7 muestra un convertidor paralelo de 3-bits con salida en código de Gray. Tiene $2^n - 1$ comparadores, polarizados con 1 LSB de diferencia, empezando con 1/2 LSB. Para entrada 0, todos los comparadores están apagados. Cuando la entrada se incrementa, aumenta el número de comparadores que se encienden (se ponen en 1).

La ventaja evidente de esta aproximación es que la conversión ocurre en paralelo con la velocidad limitada solo por el tiempo de conmutación de los comparadores y de las compuertas. Cuando la entrada cambia, el código de la salida cambia. Así, ésta es la más rápida forma de conversión.

Desafortunadamente, el número de elementos incrementa geométricamente con la resolución. Para 4-bits son necesarios 15 comparadores. Para 5-bits de resolución, 31 comparadores, etc. Cuando estén disponibles circuitos integrados lineales y digitales de gran complejidad se podría incrementar los niveles de resolución y aproximarse a un nivel práctico. Pero, una alta resolución y una alta velocidad todavía no es posible.

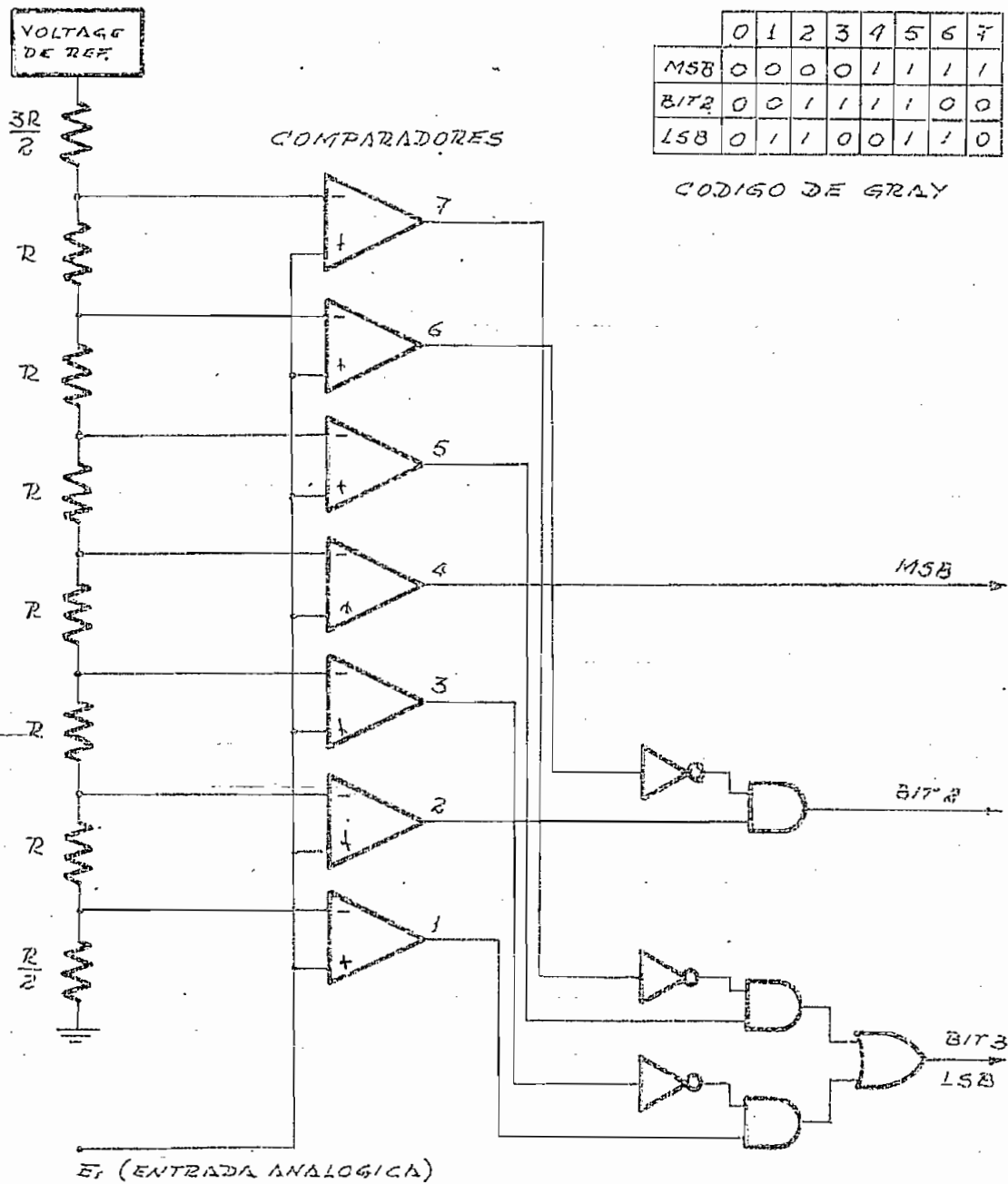


FIGURA 1.7 CONVERTIDOR PARALELO A/D 3-BITS
CON SALIDA EN CODIGO DE GRAY.

1.3.e INTEGRACION (TIPO RAMPA)

Este grupo de convertidores es también bastante popular.

Sus miembros realizan una conversión indirecta, primero convierten la señal analógica a una función de tiempo, de aquí pasan a un número digital usando un contador. El tipo doble-rampa es muy adecuado para usarlo en voltímetros digitales y en aquellas aplicaciones en las cuales la conversión puede ser realizada en un tiempo relativamente largo, para tener los beneficios de la reducción de ruido.

1.3.f CONVERTIDOR VOLTAJE-A-TIEMPO-A-DIGITAL (SIMPLE-RAMPA)

Una aproximación barata para obtener la conversión de un voltaje analógico a una palabra digital es pasar al dominio de intervalos de tiempo. Un convertidor A- Δ t-D basado en la generación de una rampa lineal se ilustra en la fig. 1.8. El voltaje de la entrada, E_{in} , es comparado con un voltaje de referencia, E_R , que tiene forma de rampa. Cuando el voltaje de referencia (rampa) inicia su barrido lineal, se abre una compuerta. Cuando E_R alcanza un valor igual a E_{in} , la salida del comparador invierte su polaridad y la compuerta se cierra. El resultado es que se genera un intervalo de tiempo Δt que es proporcional al voltaje analógico de la entrada. El intervalo de tiempo Δt es convertido a una palabra digital enviando pulsos de reloj a un contador durante dicho intervalo.

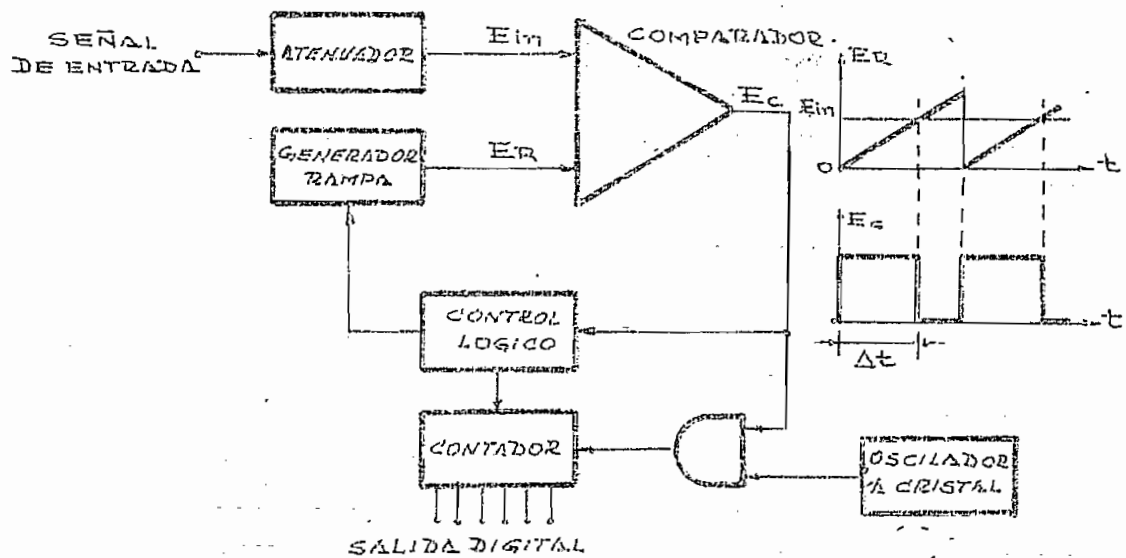


FIGURA 1.8 CONVERTIDOR A/D SIMPLE RAMPLA
(VOLTIMETRO DIGITAL TIPO RAMPA).

Relativamente se requiere poco equipo electrónico para generar un pulso de intervalo de tiempo por la técnica simple-rampa. Este pulso puede ser convenientemente transferido desde un instrumento a otro sobre líneas de transmisión largas. Por lo tanto, la conversión de un voltaje analógico al dominio de intervalos de tiempo puede ser realizado cerca del transductor, y el pulso de tiempo puede ser transferido a un procesador de datos donde puede ser convertido al dominio digital por conteo. Las desventajas de la técnica rampa son: exactitud relativamente baja (típicamente: 0.1 - 1%) y la posibilidad de grandes errores con el ruido en la señal de entrada E_{in} . Generalmente se requieren filtros de entrada para este tipo de convertidor.

1.3.g CONVERTIDOR A/D POR INTEGRACION DOBLE-RAMPA

Este es un convertidor que usa la técnica de conversión analógico-a-tiempo-a-digital, también se le conoce con el nombre de integrador up/down. La inexactitud inherente en la técnica de integración lineal de una sola pendiente puede ser grandemente minimizada por el método de integración doble-rampa. Un intervalo de tiempo que es proporcional al voltaje de entrada es producido haciendo una comparación entre dos integraciones. El voltaje de entrada es integrado en primer lugar durante un intervalo de tiempo fijo T_1 , como se indica en la fig. 1.9. Luego la entrada al integrador es conmutada, ahora, a un voltaje

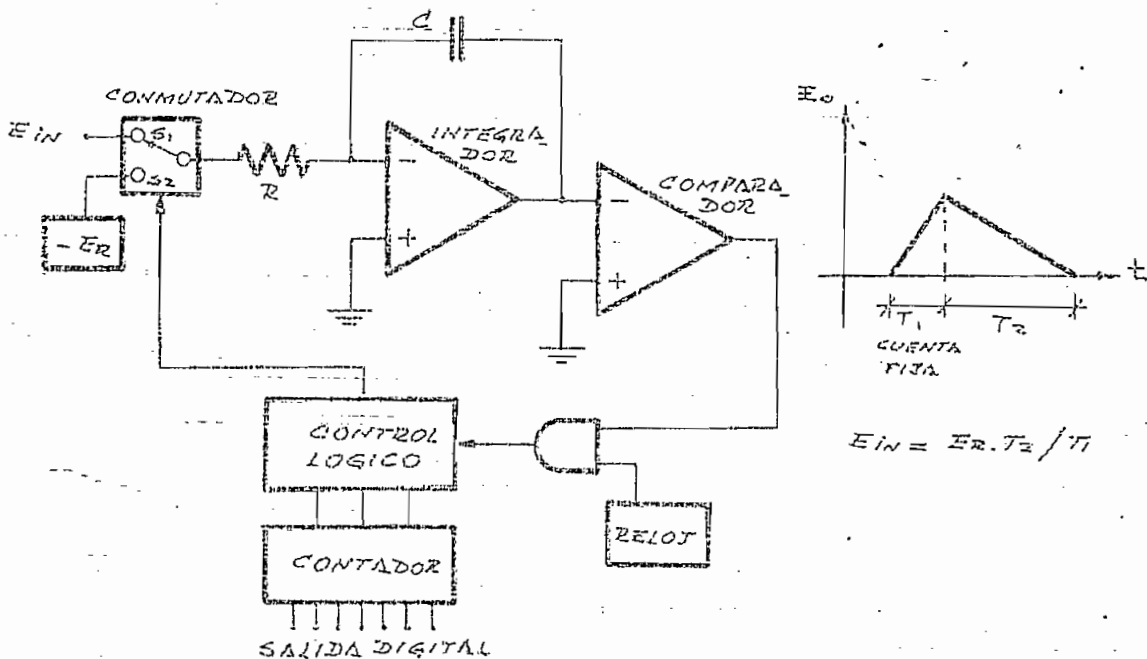


FIGURA 1.9 CONVERTIDOR A/D POR INTEGRACION DOBLE - RAMPA.

de referencia fijo- E_R . Entonces el capacitor se descarga a cero y el tiempo requerido para la descarga es proporcional a la carga del capacitor, el cual es proporcional al voltaje analógico de la entrada.

Al inicio de la conversión, un pulso pone en cero al contador y cierra S_1 mientras que S_R está abierto, así que el capacitor integrador C empieza a cargarse con una relación que depende de la magnitud de la señal de entrada. Como la salida del integrador excede a cero, la salida del comparador de voltaje cambia de estado y abre la compuerta de manera que los pulsos de reloj alimentan al contador; este cuenta hasta su capacidad total (p.e. 9999), esto representa un tiempo fijo. En el próximo pulso de reloj todos los dígitos van a cero, este pulso de sobrecarga del contador hace que el circuito de control lógico accione el conmutador; lo que a su vez hace que S_1 se abra y S_R se cierre, es decir, se desconecta la señal de entrada y $-E_R$ es conectado ahora al integrador. La salida del integrador decrece linealmente a cero voltios instante en el cual la salida del comparador cambia otra vez de estado y cierra la compuerta, bloqueando los pulsos del reloj.

En el tiempo T_1 , la salida de voltaje E_0 del integrador es:

$$-E_o = (1/RC) \int_0^{T_1} E_{in} \cdot dt = E_{in} T_1 / RC \quad (1-1)$$

El voltaje de salida decrece a cero por la descarga del capacitor C con una corriente constante $-E_R/R$, tal que:

$$E_o = (1/RC) \int_0^{T_2} (-E_R) \cdot dt = -E_R T_2 / RC \quad (1-2)$$

combinando las ecuaciones (1-1) y (1-2) tendremos:

$$E_o - E_o = E_{in} T_1 / RC - E_R T_2 / RC = 0 \quad (1-3)$$

de aquí:

$$E_{in} = E_R T_2 / T_1 \quad (1-4)$$

De la ec. (1-4), es claro que la exactitud del voltaje medido es independiente de la exactitud de la constante de tiempo de integración. Los tiempos T_1 y T_2 son obtenidos contando n_1 y n_2 , respectivamente, períodos del reloj oscilador. (Llamaremos T_R al período del reloj). Así:

$$E_{in} = n_2 T_R E_R / n_1 T_R = n_2 E_R / n_1 = K n_2 \quad (1-5)$$

La ec. (1-5), indica que el método también es independiente del valor absoluto de la frecuencia del oscilador.

La técnica doble-rampa tiene un excelente rechazo al ruido puesto que es una técnica de integración. La velocidad y la exactitud fácilmente pueden ser variadas de acuerdo a los requerimientos específicos y una exactitud de 0.05% en 100 ms se consiguen con facilidad.

La integración doble rampa tiene muchas ventajas. La exactitud de conversión es independiente del valor del capacitor y de la frecuencia de la señal del reloj porque ellos afectan tanto a la pendiente de subida como a la de bajada en la misma proporción. La linealidad diferencial es excelente porque la función analógica está libre de discontinuidades, los códigos son generados por un contador y un reloj y todos los códigos pueden existir inherentemente. El método de integración produce un rechazo al ruido de alta frecuencia puesto que se hace el promedio de los cambios que ocurren durante el período de muestreo. El período de promediación fijado también hace posible obtener un rechazo muy alto en modo normal a las frecuencias que son múltiplos enteros de $1/T$. El ruido en modo-normal consiste de señales no deseadas que aparecen sobre la línea de entrada, aún si el error en modo común es despreciable. Si una señal de baja frecuencia va a ser convertida en presencia de un rizado de alta frecuencia, un convertidor de aproximaciones sucesivas aunque precedido de un retenedor de muestra convertirá el valor instantáneo

de la señal más ruido, produciendo una señal digital ruidosa. Por otro lado, un atenuador inherentemente atenuará las altas frecuencias y si está combinado con un período de promediación fijado, anulará la salida de estas frecuencias que tienen un número entero de ciclos durante el período de promediación.

La relación de conversión de los convertidores de doble rampa está limitada a algo menos que $1/2T$ conversiones por segundo. Aunque un poco lentos, los convertidores de doble rampa son muy adecuados para transductores tales como termocuplas y cromatógrafos de gas, y son los circuitos predominantes en la construcción de voltímetros digitales.

1.3.h. CONVERTIDOR VOLTAJE-A-FRECUENCIA-A-DIGITAL

La conversión del voltaje de entrada a una frecuencia proporcional y luego a una palabra digital (A- Δ t-D) frecuentemente es utilizada para DVM's. La salida del convertidor voltaje a frecuencia (V-f) puede alimentar directamente a cualquier frecuencímetro digital así que es un método conveniente.

La técnica está ilustrada en la fig. 1.10. La entrada del voltaje analógico produce una corriente de carga E_{in}/R_1 que carga un capacitor C a un voltaje de referen-

cia E_R . Cuando se alcanza el nivel de referencia el comparador cambia de estado y dispara un generador de pulsos; este produce un pulso con una cantidad de carga precisa que descarga rápidamente al capacitor. La relación de carga y descarga del capacitor produce una señal de frecuencia que es directamente proporcional a E_{in} .

El método V/f podría ser también considerado un método de doble rampa. Sin embargo, en lugar de mantener E_R/T_1 constante, el producto $T_2 \cdot E_R$ de la ec. (1-4) es mantenido constante, al ser producido un pulso de realimentación de contenido de carga fijo; de donde:

$$E_{in} = T_2 \cdot E_R / T_1 = k \cdot f_1 \quad (1-6)$$

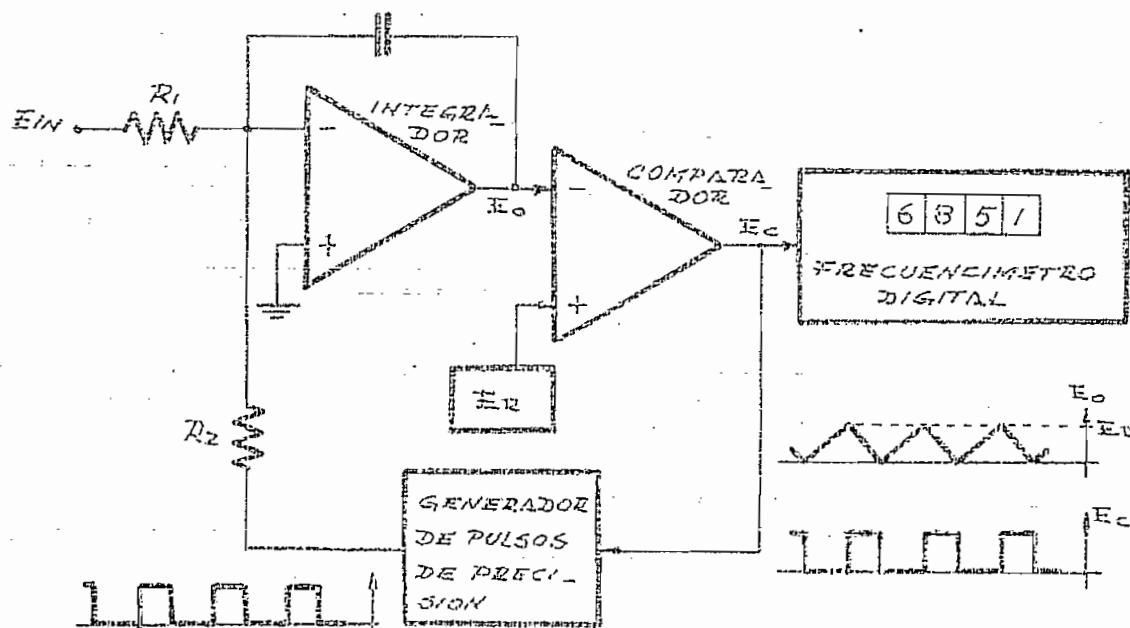


FIGURA 1.10 CONVERTIDOR VOLTAJE-A-FRECUENCIA.

Donde la frecuencia de salida f_1 es directamente proporcional al voltaje de entrada E_{in} . La constante de proporcionalidad, k , puede ser ajustada cambiando el contenido de coulombios de los pulsos de realimentación ($E_R \cdot T_2$), así que la frecuencia puede ser relacionada directamente a voltios, o a otras unidades deseadas como presión, temperatura, pH, etc.

Este método de integración tiene un alto rechazo al ruido y puede ser hecho con gran exactitud (0.005%). Es un convertidor bastante lento, pero, esta desventaja es aprovechada puesto que facilita la transmisión remota de datos sobre una línea telefónica larga utilizando las frecuencias en el rango de audio.

1.4 CONCLUSIONES

En este capítulo se ha intentado proveer los fundamentos básicos para comprender el funcionamiento de los convertidores A/D, poder realizar una comparación y finalmente escoger el más adecuado para un trabajo específico.

El análisis anterior ha estudiado las ventajas técnicas del convertidor A/D voltaje-a-frecuencia. A esto hay que añadir lo siguiente:

1. Este método de conversión A/D ha despertado mucho interés industrial en los últimos años.
2. No ha sido estudiado en tesis anteriores.

Estas fueron las razones que determinaron que en el diseño realizado se haya escogido el método de conversión A/D por conversión voltaje-a-frecuencia.

CAPITULO 2

DIAGRAMA DE BLOQUES.

2.1 INTRODUCCION

Entre las técnicas de integración, los convertidores con integración por doble rampa son actualmente los más comunes en la industria. Pero a pesar de su exactitud y estabilidad, su técnica de medición tiene desventajas. La operación bipolar es muy complicada; invariablemente requiere muchos circuitos adicionales al igual que ajustes de calibración separados para cada polaridad. El encerramiento automático también viene a ser bastante molesto, para lo que se requiere una cantidad considerable de conmutadores analógicos y circuitos de muestreo y retención (sample-and-hold).

El convertidor A/D tipo voltaje-a-frecuencia, sin embargo, ofrece la esperanza de eliminar estas desventajas, a la vez que permite que la mayor parte de la circuitería tome la forma de integración en gran escala (LSI). El di

seño final soluciona los problemas de polaridad y encerramiento.

Como en el caso de aproximación por doble rampa, la conversión voltaje-a-frecuencia es un proceso integrante. Pero en vez de contar una frecuencia fija por un período variable de tiempo, como lo hace el convertidor de doble-pendiente, el convertidor voltaje-a-frecuencia cuenta una frecuencia variable por un período fijo de tiempo. En ambos casos la exactitud final depende de la exactitud de conversión de un voltaje a tiempo o frecuencia.

Los siguientes capítulos tratarán básicamente sobre el convertidor A/D por conversión de voltaje-a-frecuencia, su diseño y su comprobación.

En este caso, el diseño será realizado con elementos discretos y circuitos integrados simples, los que formarán un conjunto de circuitos tanto analógicos como digitales y que serán combinados para realizar el procesamiento interno con muchos grados de sofisticación.

Seguidamente se menciona en forma esquemática aquellas unidades que juegan roles principales en el presente trabajo. En forma más o menos ampliada, pero siempre tratando de dejar bien claros los conceptos, se indican sus ca-

racterísticas además de la actividad que desempeña dentro del equipo a construirse.

Se encontrará que la mayor importancia y peso de la discusión está dada a las propiedades y usos de los circuitos ANALÓGICOS y sus características en el desarrollo de funciones del sistema. La razón para esto recae principalmente en la estructura bastante delicada y en los muchos grados de libertad asociados con los circuitos analógicos, puesto que deben trabajar en el mundo físico real, donde la inmunidad al ruido es una función de la resolución y del nivel de la señal, la velocidad es una función del nivel de la señal, la exactitud es una función de la tolerancia de los componentes y del nivel de la señal y el reto al conocimiento e inventiva del diseñador es grande y difícil. Por otro lado, sus metas básicas, en medio ambientes favorables, son: simplicidad funcional, velocidad y sobre todo bajo costo.

Con técnicas digitales por otra parte, los retos principales son la inventiva combinatorial, arquitectura del equipo, disminución en el costo y complejidad de las interconexiones. Los circuitos digitales tienen alta inmunidad al ruido, alta velocidad (individualmente), bajo costo (individualmente) y las reglas para su uso son pocas y simples.

Con la excepción de la preamplificación una gran cantidad de las funciones descritas aquí en forma analógica podrían ser realizadas en forma digital, después de la conversión. Si, hasta ahora, no se realizan a menudo se debe a un compromiso en costo, velocidad y complejidad. Sin embargo, la reducción en el costo de los circuitos digitales y el incremento de complejidad en los pedazos de silicio (chips) gradualmente hacen factible el desarrollo de aparatos que realizan funciones analógicas, pero que contienen componentes digitales.

2.2 DIAGRAMA DE BLOQUES DEL CONVERTIDOR A/D

Las unidades principales que se utilizarán para la realización del equipo se muestran en el diagrama de bloques de la fig. 2.1 y son:

- Escalamiento y conmutación para la señal analógica de la entrada, E_1 .
- Convertidor voltaje-a-frecuencia, (V/f).
- Contadores UP/DOWN.
- Retenedores de datos.
- Indicadores (displays).
- Multivibrador a cristal.
- Generador de intervalos de tiempo.
- Control lógico.

- Fuentes de poder.

Las unidades que acabamos de mencionar pueden subdividirse en dos grupos. Las dos primeras unidades: escalamiento y conmutación para la señal analógica de la entrada, E_1 y convertidor V/f, junto con las fuentes de poder constituyen la parte puramente analógica, mientras que las restantes son componentes digitales; por lo mismo se ha creído conveniente hacer su estudio en forma separada y en dos capítulos; el primero de los cuales está dedicado a analizar las unidades analógicas: sus características, utilidad, conveniencia y diseño. En el siguiente capítulo se hará un estudio de la parte digital y del sistema de indicación de los resultados (displays).

La unidad de escalamiento y conmutación cumple dos propósitos: normalizar el voltaje de la entrada E_1 , a un valor compatible con el rango de voltaje de entrada al convertidor voltaje-a-frecuencia, y bloquear o permitir el paso de la señal analógica normalizada al convertidor, de acuerdo con una señal S_4 , generada por la unidad de control lógico. El escalamiento y la conmutación son realizadas con un amplificador operacional y con conmutadores electrónicos.

La salida de los conmutadores está conectada a la entra

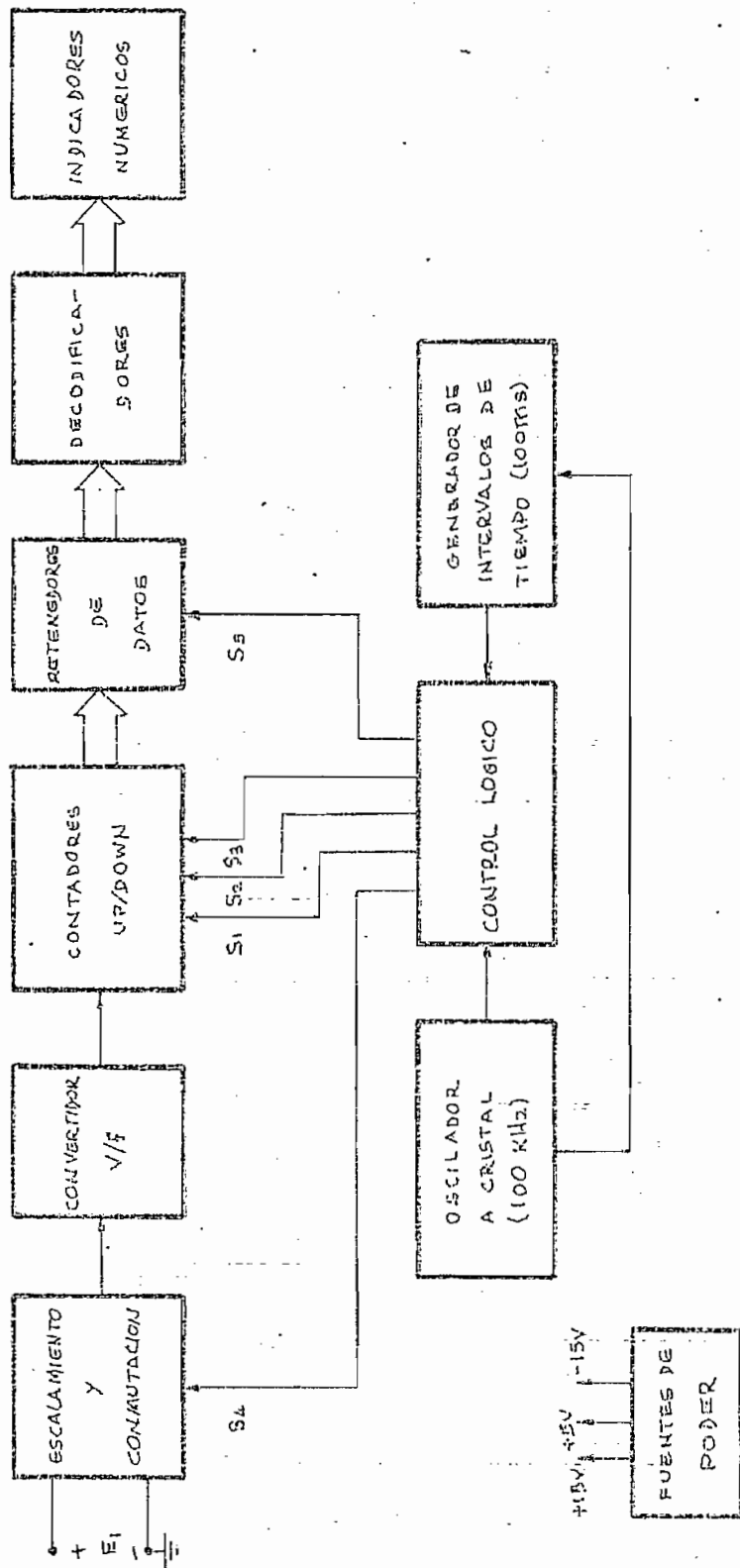


FIGURA 2.1 DIAGRAMA DE BLOQUES DEL CONVERTIDOR A/D
(PARA UN VOLTIMETRO DIGITAL)

da del convertidor voltaje-a-frecuencia; que es la unidad básica para la conversión A/D. La salida del convertidor voltaje-a-frecuencia produce una señal cuya frecuencia es proporcional al voltaje de entrada, en consecuencia esta unidad es un oscilador controlado por voltaje (voltage-control-oscillator, V.C.O.) y puede ser dividida en dos subunidades: fuente de corriente controlada por voltaje, circuito integrador y generador de pulsos.

Los contadores UP/DOWN, tienen como función contar los pulsos generados en el convertidor voltaje-a-frecuencia. Se utilizan contadores UP/DOWN entre otras cosas para solucionar el problema de enceramiento automático, además generan una señal para determinar la polaridad de E_1 . Una vez terminado el período de conversión la salida de los contadores alimenta a unos circuitos retenedores de datos (latches), los cuales aceptan información desde los contadores cada período específico de tiempo; la salida de los retenedores de datos proporciona una representación digital de la señal de entrada, también alimentan a un circuito decodificador para obtener una representación decimal de la señal analógica; para este fin se utiliza indicadores numéricos de siete segmentos.

El oscilador a cristal de una frecuencia de 100 KHz, se lo utiliza para obtener intervalos exactos de tiempo, de

esa manera se consigue que la conversión, sea más precisa. El generador de intervalos de tiempo consiste de divisores de frecuencia para obtener una señal con un período de 240 ms, que representa el tiempo de conversión. Además estas señales servirán para derivar otras señales de control lógico.

CAPITULO 3.

DISEÑO DEL V.C.O.

3.1 INTRODUCCION

Para el diseño de la parte analógica del convertidor A/D, se utilizarán amplificadores operacionales, por esta razón se hace un estudio rápido de este elemento especialmente de las aplicaciones que tendrá en este trabajo.

A continuación se hace un análisis cualitativo y cuantitativo del circuito escalador, de la fuente de corriente controlada por voltaje y del circuito integrador y generador de pulsos, unidades que en conjunto forman el oscilador controlado por voltaje (V.C.O.), cuyo objetivo es convertir un voltaje de variación continua a una señal de pulsos de frecuencia proporcional al nivel del voltaje de entrada.

Finalmente se hace un estudio somero de las fuentes de voltaje DC, requeridas para la polarización de los circui

tos analógicos y digitales.

3.2 ESCALAMIENTO Y CONMUTACION

El convertidor A/D acepta señales desde niveles del orden de los milivoltios hasta ± 10 V para entrada a plena escala. Si deseamos que el convertidor A/D tenga varias escalas dentro de este rango, como es el caso de la tesis, puede utilizarse para este fin un amplificador operacional con una ganancia a lazo cerrado variable.

El amplificador operacional es un elemento muy útil en conversión A/D, en circuitos de interfase y en electrónica general. Sus aplicaciones incluyen: escalonamiento de las señales de entrada, retención de muestra (sample-hold), comparación precisa, conversión de corriente a voltaje y de voltaje a corriente, filtros activos, etc.

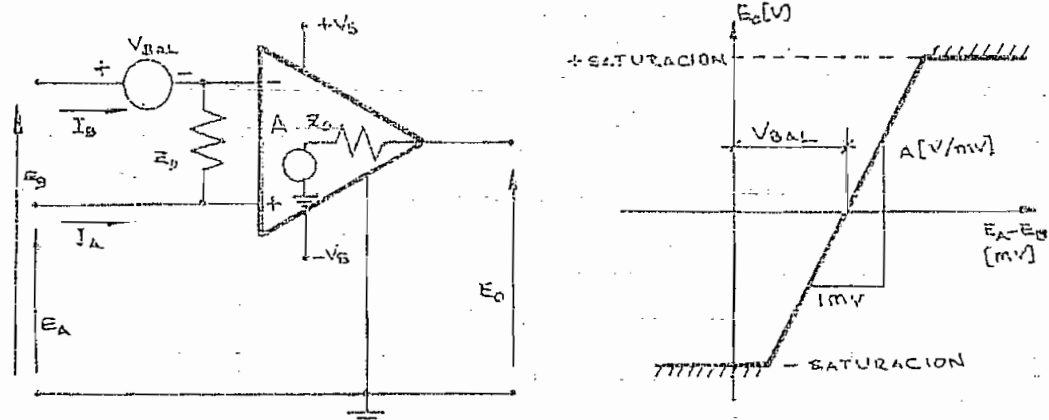


FIGURA 3.1 AMPLIFICADOR OPERACIONAL-DIAGRAMA DE BLOQUES Y RESPUESTA.

El símbolo aceptado para representar un amplificador operacional está mostrado en la fig. 3.1. Cuando $(E_A - E_B)$ es positivo, la salida es positiva y el terminal E_A es marcado con "+" para indicar entrada no invertida y el terminal E_B es marcado con "-" o entrada invertida.

A continuación se indican los valores de los parámetros de un amplificador operacional ideal y de un amplificador operacional real (uA741).

	Amplificador operacional	
	IDEAL	REAL
Ganancia a lazo-abierto	$A \rightarrow \infty$	200 000
voltaje de balanceo (offset)	$V_{BAL}=0$	2 mV, (T=300°K)
corrientes de polarización	$I_A=I_B=0$	$10^{-12}A$
impedancia de entrada	$Z_D \rightarrow \infty$	2 Megaohmios
impedancia de salida	$Z_O=0$ ohmios	75 ohmios
rechazo a modo común	CMRR $\rightarrow \infty$	90 dB

De las consideraciones anotadas, es evidente que el amplificador-operacional actúa como un comparador de dos niveles de alta ganancia si es utilizado en lazo-abierto; en efecto, los comparadores son esencialmente amplificadores operacionales en los cuales la velocidad a lazo-abierto ha sido optimizada a expensas de la estabilidad a lazo-cerrado. Para aprovechar los muchos beneficios de

la circuitería operacional, es necesario emplear realimentación negativa, en cuyo caso el circuito amplificador operacional es, realmente, un lazo de control dedicado a mantener la diferencia de voltaje entre las entradas, igual a cero. En efecto, si el voltaje de salida está dentro de su rango lineal, $E_A - E_B$ deberá aproximarse a cero.

$$E_A - E_B = E_O/A \quad (3-1)$$

Como:

$$A \rightarrow \infty \quad \Rightarrow \quad E_A - E_B \approx 0$$

es decir:

$$E_A \approx E_B \quad (3-2)$$

Por ejemplo para $E_O = 8 \text{ V}$, si $A = 200\,000$, entonces

$$E_A - E_B = 40 \text{ uV}$$

El circuito con realimentación más simple que uno puede implementar es el seguidor ideal de ganancia unitaria que se muestra en la fig. 3.2 en el cual el 100% del voltaje de salida es realimentado a la entrada negativa. La fuente de señal de entrada está conectada directamente a la

entrada no invertida y la salida la sigue con precisión. Sumando el voltaje alrededor del lazo,

$$E_1 + (E_B - E_A) - E_O = 0 \quad (3-3)$$

puesto que:

$$E_B - E_A \approx 0 \quad \Rightarrow \quad E_O = E_1 \quad (3-4)$$

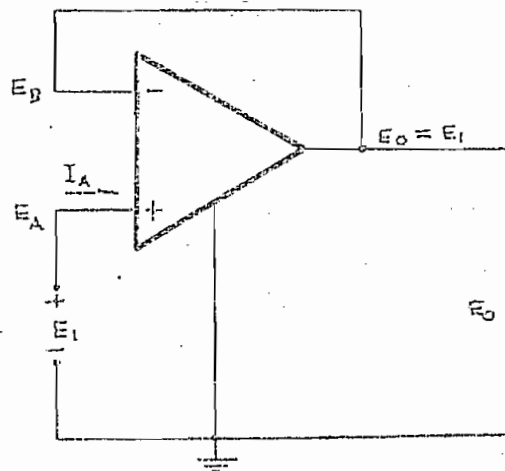


FIGURA 3.2 SEGUIDOR DE GANANCIA-UNITARIA.

La ganancia es unitaria, la impedancia de entrada es in finita y la impedancia de salida cero, puesto que se considera el amplificador operacional ideal. Para aplicaciones prácticas, los factores que más limitan el comportamiento de este circuito son el rango de voltaje de entrada y el error de modo-común, tanto como las corrientes de

polarización (si la impedancia de la fuente de la señal de entrada es alta).

3.2.a AMPLIFICADOR SIN INVERSION

En la fig. 3.3, en vez de realimentar todo el voltaje de la salida, éste es dividido a través de un simple atenuador, para reducir el voltaje de realimentación. Así:

$$E_A - E_B = E_1 - R_1 E_o / (R_1 + R_2) = 0 \quad (3-5)$$

Entonces:

$$E_o = (R_2/R_1 + 1) E_1 \quad (3-6)$$

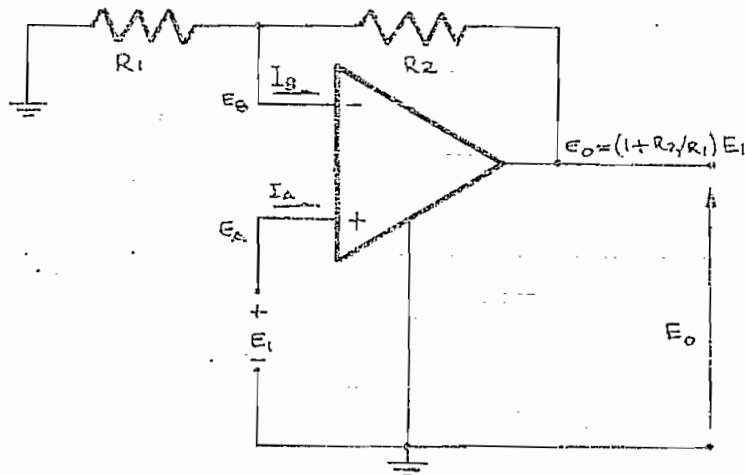


FIGURA 3.3 AMPLIFICADOR SIN INVERSION.

La ganancia está determinada idealmente sólo por las componentes pasivas usadas, es positiva y es siempre mayor que la unidad. Nótese que el seguidor de voltaje es simplemente un caso especial para $R_2 = 0$. Otra vez, la impedancia de entrada es infinita y la impedancia de salida es cero. Sin embargo, $R_1 + R_2$ ahora forman parte de la carga sobre la salida del amplificador operacional. Las mismas limitaciones básicas que para el seguidor son aplicables.

Este circuito se lo ha utilizado como escalador ya que ofrece las ventajas de poseer una alta impedancia de entrada y una amplificación sin inversión.

Las escalas del voltaje de entrada al convertidor A/D requeridas para esta tesis son:

desde	0.0 V	hasta	± 0.1 V
"	± 0.1 V	"	± 1.0 V
"	± 1.0 V	"	$\pm 10.$ V

En vista de que, para cualquier escala, siempre se tendrá una lectura máxima igual a 10.000, que corresponde a un valor máximo de 10 V, es necesario que los voltajes más pequeños sean amplificados. La escala hasta 0.1 V, requiere una amplificación de 100, y la escala hasta 1 V,

una amplificación de 10.

Haciendo uso de la ec. (3-6) y de las ganancias a lazo cerrado deseadas y considerando una resistencia R_2 de 9 Kohmios, se obtiene lo siguiente:

Para una ganancia de 100, R_1 debe ser 90.9 ohmios; para una ganancia de 10, R_1 debe ser 1000 ohmios y para una ganancia de 1, R_1 debe ser infinita. El circuito selector de la escala para el voltaje de la entrada o circuito escalador de la señal analógica quedará como se indica en la fig. 3.4.

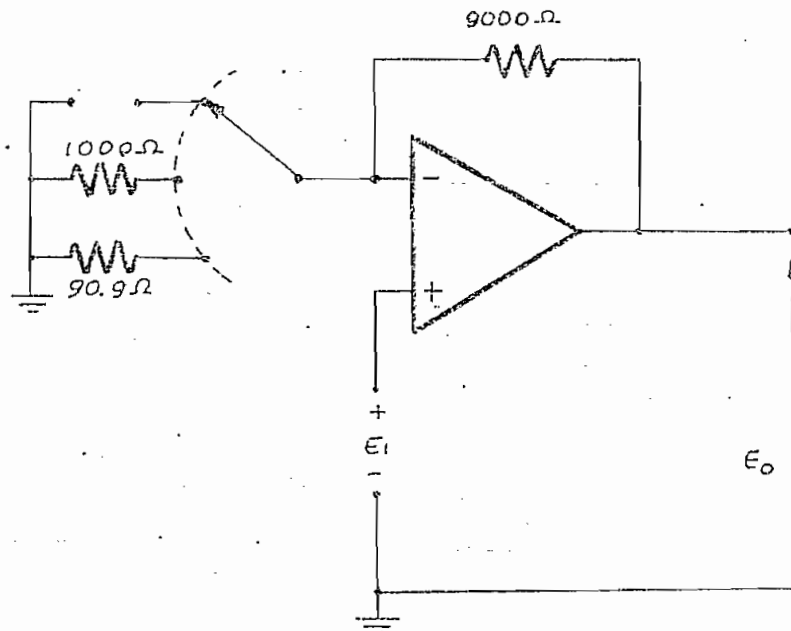


FIGURA 3.4 CIRCUITO ESCALADOR DE LA SEÑAL ANALÓGICA DE ENTRADA CON LOS VALORES A USARSE.

3.2.b CIRCUITO CONMUTADOR

Dentro de las consideraciones necesarias en la conversión analógica a digital por conversión de voltaje a frecuencia, se verá que durante cierto tiempo el convertidor de corriente a frecuencia debe actuar solo con una corriente de polarización I_{bias} ; es decir, durante este tiempo la señal de entrada al convertidor V/f que llamaremos E_{in} debe quedar bloqueada; luego, y por un tiempo igual al primero, el convertidor de corriente a frecuencia actuará tanto con la corriente de polarización como con aquella producida por el voltaje E_{in} . En resumen, durante un tiempo T_1 la señal de entrada E_{in} quedará bloqueada y durante un tiempo T_2 , igual a T_1 , la señal E_{in} pasará al convertidor voltaje a frecuencia. Este proceso se repetirá periódicamente con un período $T_1 + T_2$ y estará controlado por la señal S_4 , que es producida por el circuito de control de la parte digital y cuyo análisis se lo hará en la sección correspondiente, por ahora lo único que interesa es su forma de onda y que está indicada en la fig. 3.5.

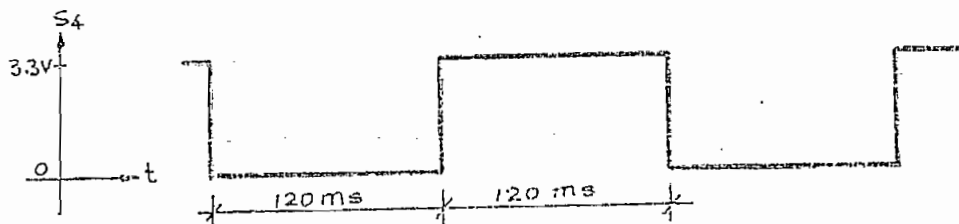


FIGURA 3.5 FORMA DE ONDA DE LA SEÑAL DE CONTROL DE BLOQUEO DE E_{in} , (S_4).

En forma muy simplificada, el circuito conmutador debe funcionar como se indica en las figs. 3.6a y b. Es decir, durante 120 milisegundos la señal E_{in} debe quedar bloqueada, entonces el conmutador A estará abierto mientras que el conmutador B pone a tierra la entrada del convertidor con el fin de disminuir el ruido de la entrada (fig.3.6a); en los 120 milisegundos siguientes la señal E_{in} debe pasar sin atenuación a la entrada del convertidor V/f, en este caso el conmutador A estará cerrado mientras que el conmutador B estará abierto (fig. 3.6b).

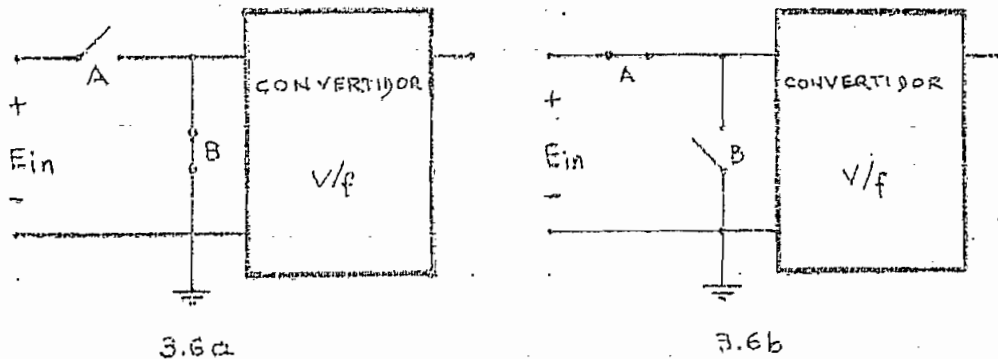


FIGURA 3.6 FUNCIONAMIENTO DE LOS CONMUTADORES PARA LA SEÑAL E_{in} .

La única forma de realizar la conmutación en los instantes exactos deseados debe ser electrónicamente, para tener una precisión bastante aceptable y una alta velocidad, imposible de lograr manualmente. Esto puede lograrse por medio del circuito integrado AD7510KN (fig. 3.7), que tie

ne cuatro conmutadores electrónicos con FET de salida, inversor y amplificador. Actúan en una forma similar a los conmutadores deseados con la ventaja de que son activados con niveles de voltaje proporcionados por los circuitos TTL; además pueden accionar voltajes dentro del rango ± 12 V, aproximadamente, esto es posible debido a que usan fuentes de polarización de ± 15 V. En el estado abierto tienen una impedancia muy grande del orden de 100 Mohmios, mientras que en el estado de conducción su impedancia es de unos 100 ohmios y que estaría en serie con una resistencia de 62500 ohmios, de modo que la impedancia del FET en estado de conducción es prácticamente despreciable en comparación con la impedancia que se tiene a la entrada de la señal E_{in} .

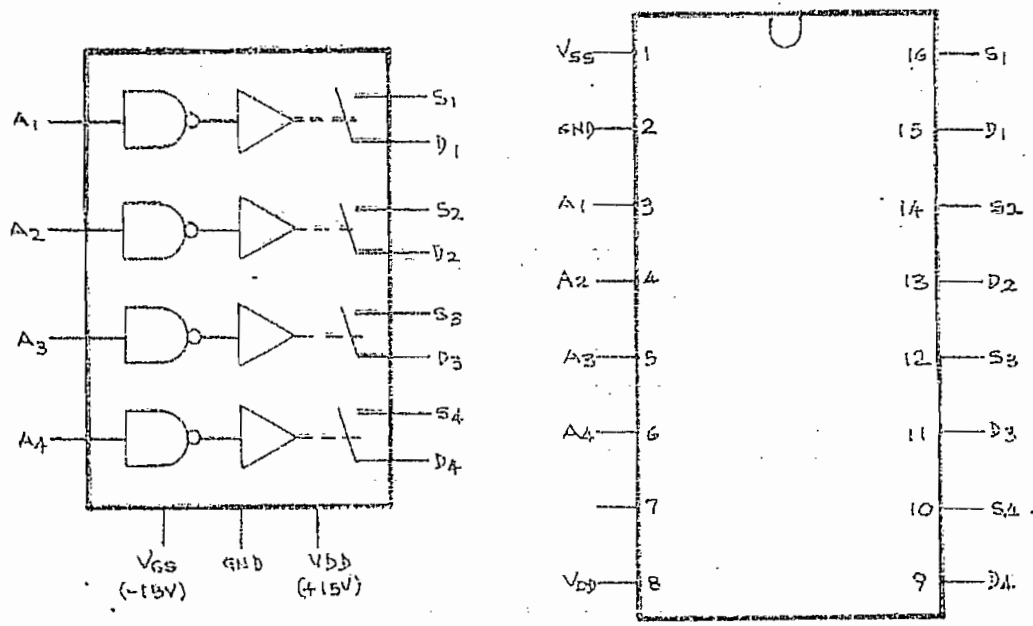


FIGURA 3.7 CIRCUITO AD7510KN Y SUS CONEXIONES.

3.3 CONVERTIDOR DE VOLTAJE A FRECUENCIA

El convertidor V/f consta de dos subunidades principales: un convertidor de voltaje a corriente (fuente de corriente controlada por voltaje) y un circuito integrador y generador de pulsos.

La salida del conmutador electrónico se conecta a la entrada de la fuente de corriente controlada por voltaje, cuya salida producirá una corriente que es proporcional al voltaje de entrada. Como se verá en la siguiente sección, tiene la ventaja de que la intensidad de la corriente en la carga (I_{in}) no depende de la impedancia de la carga sino exclusivamente de los parámetros del circuito. La carga de esta fuente de corriente está constituida por el circuito integrador y generador de pulsos, el cual producirá una señal de forma de onda cuadrada cuya frecuencia es proporcional a la corriente de entrada a este circuito. Estas dos subunidades forman el convertidor V/f.

3.4 FUENTE DE CORRIENTE CON CONEXION DE CARGA A TIERRA

El circuito amplificador simple de la fig. 3.8 actúa como una fuente de corriente controlada por E_{in} . La corriente en la carga está dada por

$$I_{in} = -E_{in}/R_2 \quad (3-7)$$

siempre que $R_3/R_2 = R_F/R_1$ (3-8)

A continuación se hace un análisis del circuito de la fig. 3.8 considerando que los amplificadores operacionales tienen características ideales. Entonces, puesto que $A \rightarrow \infty$

$$E_3 = E_4$$

$$E_3 = I_T R_2 \quad (3-9)$$

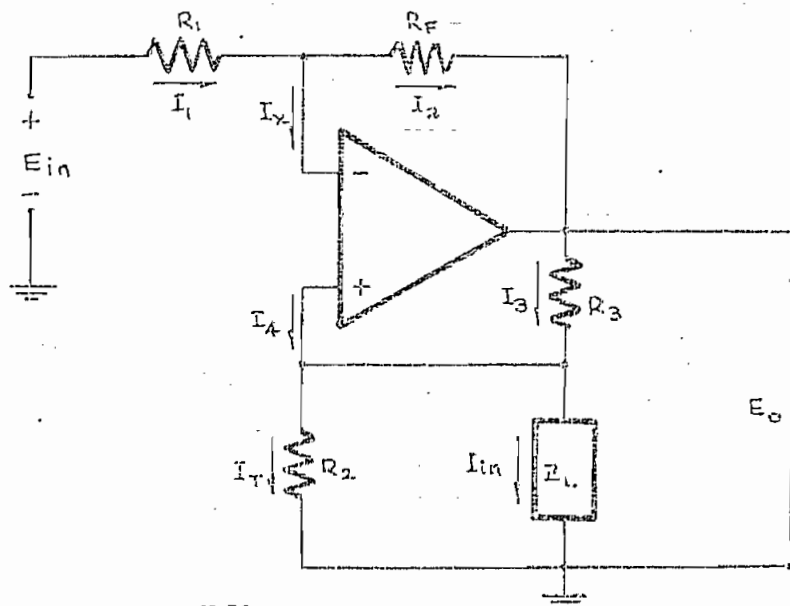


FIGURA 3.8 CONVERTIDOR VOLTAJE-A-CORRIENTE CON LA CARGA CONECTADA A TIERRA.

$$I_1 = (E_{in} - E_3)/R_1 \quad (3-10)$$

$$I_1 = (E_{in} - I_T R_2)/R_1 \quad (3-11)$$

$$I_2 = (E_3 - E_0)/R_F \quad (3-12)$$

$$I_2 = (I_T R_2 - E_0)/R_F \quad (3-13)$$

Como $I_x = 0 \Rightarrow I_4 = 0$

$$y \quad I_1 = I_2$$

Entonces igualando las ecs. (3-11) y (3-13), se tiene

$$(E_{in} - I_T R_2)/R_1 = (I_T R_2 - E_0)/R_F \quad (3-14)$$

$$E_0 = I_T R_2 - R_F (E_{in} - I_T R_2)/R_1 \quad (3-15)$$

de la fig. 3.8 vemos que:

$$I_3 = (E_0 - I_T R_2)/R_3 \quad (3-16)$$

también

$$I_{in} = I_3 - I_T \quad (3-17)$$

reemplazando la ec. (3-16) en la ec. (3-17), se obtiene:

$$I_{in} = (E_0 - I_T R_2) / R_3 - I_T \quad (3-18)$$

reemplazamos la ec. (3-15) en la ec. (3-18), después de la simplificación se tendrá:

$$I_{in} = -E_{in} R_F / (R_1 \cdot R_3) + I_T (R_2 \cdot R_F / (R_1 \cdot R_3) - 1) \quad (3-19)$$

Si $R_3 / R_2 = R_F / R_1$, la ec. (3-19) quedaría:

$$I_{in} = -E_{in} \cdot R_F / (R_1 \cdot R_3) \quad (3-20)$$

también se tiene

$$R_F / (R_1 \cdot R_3) = 1 / R_2 \quad (3-21)$$

reemplazamos la ec. (3-21) en la ec. (3-20), de aquí:

$$I_{in} = -E_{in} / R_2 \quad (3-22)$$

Si la relación de las resistencias, ec. (3-21), es muy exacta, el circuito funcionará como una fuente de corriente con una impedancia interna muy alta. Un desacoplamiento de esta relación será visto como un decremento de la linealidad de la fuente.

El amplificador operacional de la fuente de corriente debe tener un rango de voltaje de salida suficientemente grande para proveer el voltaje de carga máximo y la caída a través de R_3 . Normalmente R_1 y R_2 se escogerán para que por ellas circulen corrientes pequeñas. R_F/R_3 se escogerá de manera que se minimice la caída de voltaje en R_3 .

3.5 CIRCUITO INTEGRADOR Y GENERADOR DE PULSOS

Un diagrama del circuito integrador y generador de pulsos se muestra en la figura 3.9. Básicamente es un convertidor voltaje-a-frecuencia (V/f). I_{in} es la corriente producida por el convertidor de voltaje a corriente.

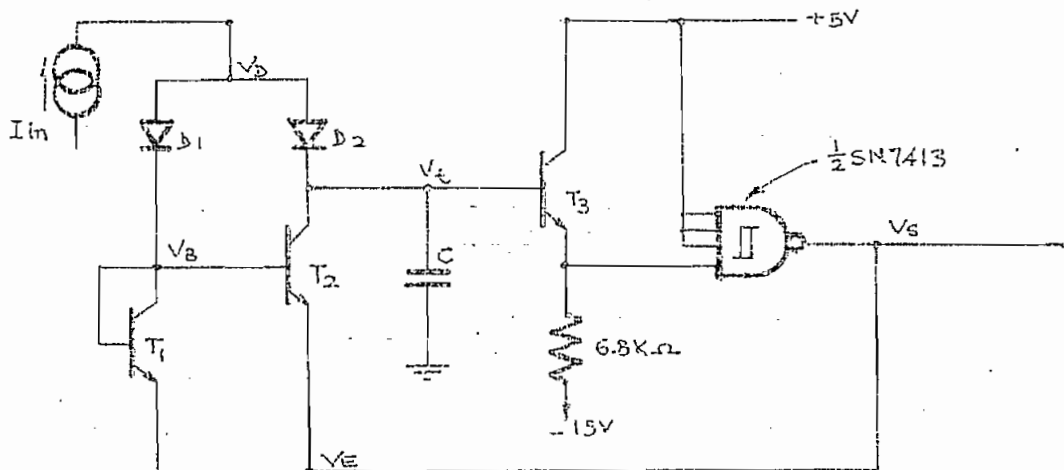


FIGURA 3.9 CIRCUITO INTEGRADOR Y GENERADOR DE PULSOS PRACTICO, USADO EN EL CONVERTIDOR A/D.

Debido a que el capacitor C es cargado y descargado con una corriente constante I_{in} , este circuito que acabamos de estudiar producirá tanto una onda triangular (sobre C) como una onda cuadrada (a la salida del disparador de Schmitt). Podemos concluir que este es un circuito convertidor de corriente-a-frecuencia lineal. T_3 se ha conectado como seguidor de emisor con el fin de aumentar la impedancia de entrada al Schmitt trigger. La frecuencia de oscilación de este circuito está determinada por varios factores. Los más importantes son: los niveles alto y bajo de disparo del Schmitt trigger, por el valor de C (capacitor de sintonía) y por la magnitud de la corriente de carga del capacitor C . Es decir, que podemos variar la frecuencia de las siguientes maneras:

1. Variando los niveles de disparo del Schmitt trigger.
2. Conmutando diferentes valores de capacidad para C .
3. Cambiando la corriente de carga I_{in} .

Haciendo un estudio de las tres posibilidades anteriormente anotadas tenemos lo siguiente: Debido a que el Schmitt-trigger viene en circuito integrado, y cuyo análisis haremos después, no podemos cambiar los niveles de disparo de este circuito de manera que esta posibilidad queda descartada. Otra forma de cambiar la frecuencia era variando C , esto es realmente fácil puesto que existen capacitores variables y se utilizará para calibrar el ins

trumento. La última posibilidad es variando la corriente I_{in} , que es justamente el principio que se aplica para construir el convertidor V/f.

3.5.a EL DISPARADOR DE SCHMITT SN7413

El SN7413 es un disparador de Schmitt en circuito integrado y cuyas características completas se dan en las hojas de datos que se presentan en el apéndice al final. Podemos decir que consta de una compuerta AND a la entrada del disparador de Schmitt y a cuya salida existe un inversor.

El nivel alto de voltaje de disparo del Schmitt trigger SN7413 es 1.7V mientras que el nivel bajo es de 0.9V (valores típicos). Los niveles de salida típicos son: V_{OH} (nivel alto de voltaje de salida) es de 3.3V y el V_{OL} (nivel bajo de voltaje de salida) es de 0.22V. La curva del voltaje de salida en función del voltaje de entrada sería como se muestra en la fig. 3.10.

Otra de las ventajas de trabajar con el SN7413 es que necesita una fuente de polarización de + 5V y que su salida es compatible con el sistema TTL que es el que se utilizará en la parte correspondiente al circuito digital (contadores, etc.) del convertidor A/D.

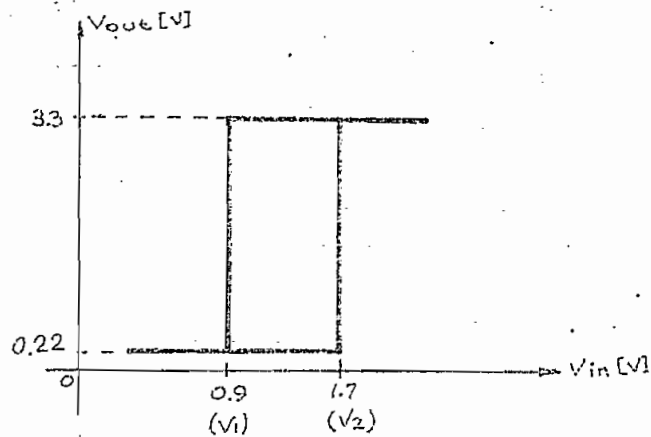


FIGURA 3.10 CURVA DEL VOLTAJE DE SALIDA EN FUNCION DEL VOLTAJE DE ENTRADA EN UN DISPARADOR DE SCHMITT.

3.5.b FORMAS DE ONDA SOBRE EL CAPACITOR C Y EN LA SALIDA DEL DISPARADOR DE SCHMITT.

En la fig. 3.11a se indica la onda triangular que debe existir sobre el condensador C. La fig. 3.11b es una representación del voltaje de salida del disparador de Schmitt en función del tiempo.

El Schmitt trigger necesita 0.9V y 1.7V para sus transiciones negativas y positivas, respectivamente. Si el transistor T_3 es de Si entonces en C serán necesarios 1.6V y 2.4V para las transiciones respectivas. En los gráficos de las figs. 3.11a y 3.11b, no se indican las escalas de tiempo, debido a que la frecuencia y por tanto el pe-

río depende de algunos factores como se ha visto anteriormente.

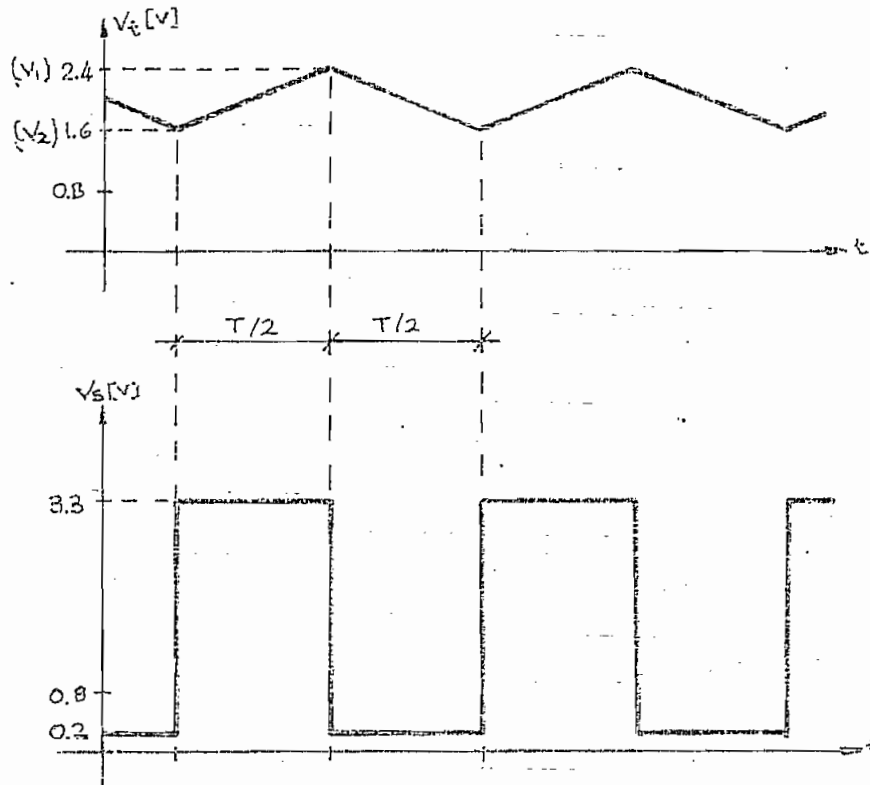


FIGURA 3.11 FORMAS DE ONDA SOBRE EL CAPACITOR C Y A LA SALIDA DEL SCHMITT TRIGGER.

3.5.c ANALISIS DE LOS NIVELES DE VOLTAJE DEL CIRCUITO INTEGRADOR Y GENERADOR DE PULSOS

El circuito Schmitt trigger ha sido estudiado en la sección anterior. Restaría por hacer un análisis de voltag-

jes para los dos niveles de voltaje del circuito integrador y generador de pulsos. Para esto se utilizará el circuito de la fig. 3.9, donde se indican los voltajes de interés, estos son:

V_B = Voltaje en las bases de los transistores T_1 y T_2 .

V_t = Voltaje en la base del transistor T_3 , sobre el capacitor C y en el colector de T_2 así como también es el voltaje en el cátodo del diodo D_2 .

V_D = Voltaje en los ánodos de los diodos D_1 y D_2 .

V_E = Voltaje en los emisores de T_1 y T_2 .

V_I = Voltaje en el emisor de T_3 , es decir, a la entrada del disparador de Schmitt.

$V_S = V_E$ = Voltaje a la salida del disparador de Schmitt.

Para el análisis se puede suponer que en un primer instante el voltaje a la salida del Schmitt Trigger es de un nivel alto, (3.3 V valor típico); entonces se tiene lo siguiente:

$$V_S = V_E = 3.3 \text{ V}$$

Puesto que el Schmitt Trigger tiene un inversor a la salida, para tener un nivel alto a la salida del disparador es necesario que a su entrada haya un voltaje bajo (para el disparo positivo el disparador de Schmitt SN7413 necesita 0.9 V a la entrada)

$$V_I = 0.9 \text{ V}$$

Como el transistor T_3 estará siempre en la región activa, se tiene que $V_{BET} = 0.6 \text{ V}$, aproximadamente, de ahí:

$$V_t = 0.6 \text{ V} + V_I = 0.6 \text{ V} + 0.9 \text{ V}$$

$$= 1.5 \text{ V}$$

En este caso el diodo D_2 estará conduciendo para cargar al capacitor C , lo cual se comprobará enseguida. Como D_2 es de Si, su caída de voltaje en conducción directa es de unos 0.7 V

$$\Rightarrow V_D = 2.2 \text{ V}$$

Para que D_1 y T_1 estén conduciendo, en esta condición sería necesario que:

$$V_B = (3.3 + 0.6) \text{ V} = 3.9 \text{ V}$$

$$\text{y que } V_D = 3.9 \text{ V} + 0.7 \text{ V} = 4.6 \text{ V}$$

Como el voltaje en los ánodos de D_1 y D_2 , V_D es solo de 2.2 V significa que D_1 y T_1 no están conduciendo, por las mismas razones T_2 tampoco conduce, de lo que se deduce que

la corriente que fluye por D_2 irá a cargar al capacitor C, como se había dicho antes. Al recibir corriente el capacitor C empieza a cargarse hasta conseguir el voltaje superior de disparo del Schmitt trigger; mientras esto ocurre, el voltaje V_S permanece sin variaciones, es decir, que durante ese tiempo D_1 , T_1 y T_2 permanecen sin conducir. La razón para asegurar esto es que para que el Schmitt trigger cambie de estado, desde un nivel alto a un nivel bajo a la salida se requiere que a la entrada haya 1.7V aproximadamente, o sea:

$$V_I = 1.7V$$

$$V_t = 2.3V$$

En otras palabras el capacitor debe cargarse hasta un voltaje de unos 2.3 V y en ese instante la salida pasará de 3.3 V a 0.2V. Un instante antes de que la salida del Schmitt trigger cambie de estado a su nivel de salida bajo, los voltajes son:

$$V_I = 1.7V$$

$$V_t = 2.3V$$

hasta ese instante D_2 debe seguir conduciendo para cargar el capacitor; entonces:

$$V_D = 3.0V,$$

puesto que V_B , hasta ese instante todavía es 3.3V, sería necesario que $V_D = 4.6V$ para que D_1 , T_1 y T_2 conduzcan, de lo cual se deduce que durante la carga del capacitor C, la corriente de la fuente fluye exclusivamente hacia el capacitor C.

En el instante en que la salida pasa a su nuevo estado de 0.2 voltios, las cosas cambian también en la entrada y se tendrá lo siguiente, D_1 , T_1 y T_2 empiezan a conducir pero D_2 ya no conducirá como se puede ver seguidamente:

$$V_I = -1.7V$$

$$V_t = 2.4V$$

$$V_S = 0.2V$$

$$V_E = 0.2V$$

para que D_1 , T_1 y T_2 conduzcan es necesario que

$$V_B = 0.8V$$

y que

$$V_D = 0.8V + 0.7V = 1.5V,$$

de aquí se ve que cuando V_D tiene un valor de 1.5V el diodo D_2 queda polarizado inversamente y no conducirá, puesto que $V_t = + 2.4V$, esto significa que la corriente circulará por D_1 y T_1 . Ahora bien, como las bases de T_1 y T_2 se encuentran a un mismo nivel de voltaje, y también sus emisores, por T_2 debe circular la misma cantidad de corriente que por T_1 . La corriente que circula por T_2 será entregada por el capacitor C, el cual se descargará con la misma cantidad de corriente con que fue cargado, esto ocurre hasta que el voltaje V_t es de 1.5V, instante en el cual el estado de salida del disparador de Schmitt pasa nuevamente a su nivel alto y se repite el ciclo.

Durante este tiempo el voltaje V_D es de 1.5V, mientras que el voltaje del capacitor estará por encima de 1.5V, el diodo D_2 estará polarizado inversamente y permanecerá sin conducir. En la fig. 3.12 se indican los valores de los voltajes en el instante en que el disparador de Schmitt cambia sus niveles de salida. Los valores superiores corresponden al cambio desde un nivel bajo a uno alto, los inferiores indican los voltajes en el instante en que ocurre un cambio desde un nivel alto a uno bajo.

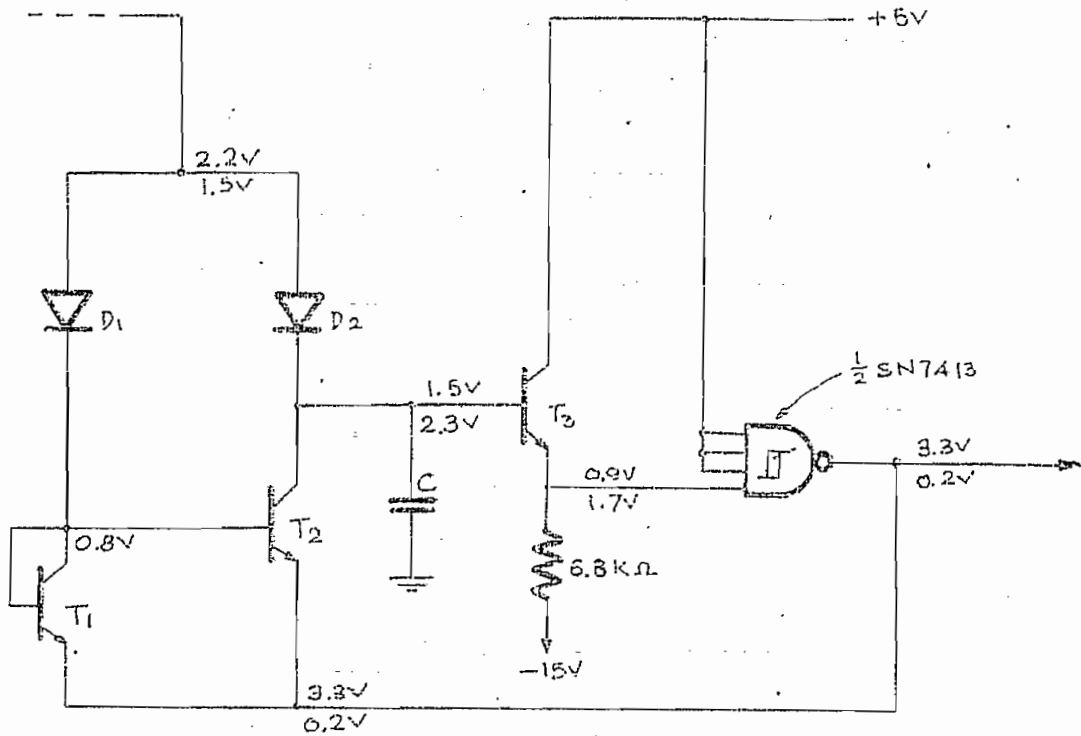


FIGURA 3.12 ANALISIS DE LOS VOLTAJES DE DISPARO.

3.5.d CORRIENTE DE POLARIZACION I_{bias}

Como está planteado hasta aquí, el convertidor V/f no es práctico ya que requiere que la frecuencia vaya a cero cuando el voltaje de entrada baja a cero. Además, este circuito sirve para una sola polaridad en la entrada. La solución para estos dos problemas es añadir una corriente de polarización de valor fijo (I_{bias}), como se indica en la figura 3.13. Si se escoge I_{bias} para que sea mucho más grande que el rango de I_{in} , la corriente total de entrada al circuito integrador nunca será igual a cero y la fre-

cuencia de salida sufrirá porcentajes de cambio mucho más pequeños y no invertirá la polaridad cuando I_{in} varía dentro de su rango bipolar.

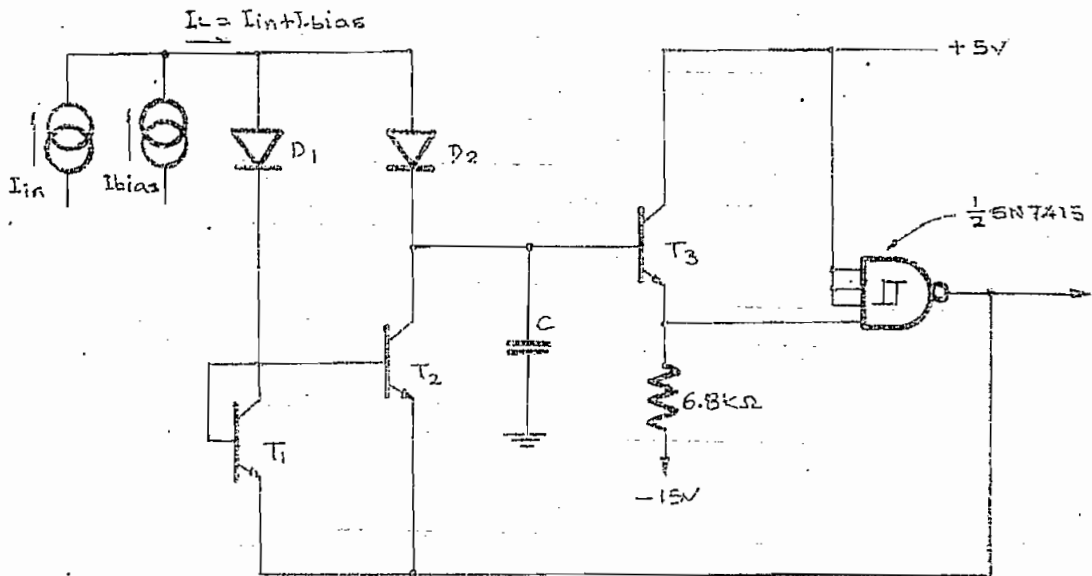


FIGURA 3.13 CONVERTIDOR DE CORRIENTE A FRECUENCIA CON UNA CORRIENTE DE POLARIZACIÓN I_{bias} .

El problema que se presenta al añadir una corriente de polarización es la pérdida de calibración e información de la polaridad. Pero estos problemas pueden ser solucionados. Cuando añadimos la corriente de polarización, la relación entre la frecuencia de salida y la corriente de entrada, está dada por:

$$I_{in} + I_{bias} = 2fCV_c$$

(3-23)

Donde f es la frecuencia de oscilación del convertidor V/f ; C es el capacitor del circuito integrador; $I_{in} + I_{bias} = I_L$, es la corriente en la carga:

$$I_L = I_{in} + I_{bias}; \quad (3-24)$$

y V_C es la diferencia entre los niveles de disparo del Schmitt trigger. Demostración:

Se tiene $i = dq/dt$

$$\Rightarrow i \cdot dt = dq$$

pero

$$q = Cv;$$

Para el caso que estamos analizando $i = I_{in} + I_{bias}$ (constante) y C es el capacitor (constante), entonces:

$$(I_{in} + I_{bias}) dt = Cdv \quad (3-25)$$

de la fig. 3.11, obtenemos los límites de integración,

$$\int_0^{\tau/2} (I_{in} + I_{bias}) dt = \int_{V/2}^{V_1} Cdv \quad (3-26)$$

finalmente:

$$(I_{in} + I_{bias}) T/2 = (V_1 - V_2)C \quad (3-27)$$

además tenemos que $T = 1/f$ y que $V_1 - V_2 = V_c$, que es la diferencia entre los niveles de disparo del Schmitt trigger;

$$\Rightarrow I_{in} + I_{bias} = 2fCV_c \quad (3-28)$$

de la ec. (3-7) tenemos:

$$I_{in} = -KE_{in} \quad (3-29)$$

K es una constante con unidades en mhos; reemplazando la ec. (3-29) en la ec. (3-28), se tendrá:

$$-KE_{in} + I_{bias} = 2fCV_c \quad (3-30)$$

Si se realizan dos mediciones sucesivas, cambiando únicamente E_{in} entre ellas, tendremos:

$$-KE_{in1} + I_{bias} = 2f_1CV_c \quad (3-31)$$

$$-KE_{in2} + I_{bias} = 2f_2CV_c \quad (3-32)$$

restando la ec. (3-32) de la ec. (3-31), se tendrá:

$$-K(E_{in1} - E_{in2}) = 2CV_c(f_1 - f_2) \quad (3-33)$$

$$E_{in1} - E_{in2} = -2CV_c(f_1 - f_2)/K \quad (3-34)$$

cuando $E_{in1} = 0$; entonces

$$E_{in2} = 2CV_c(f_1 - f_2)/K \quad (3-35)$$

y el voltaje de entrada desconocido es una función de la diferencia entre dos frecuencias. Para medir esta diferencia de frecuencias las señales son introducidas a una compuerta lógica y de allí a un contador reversible, el cual contará normalmente (UP) durante $T/2$ la frecuencia f_1 y regresivamente (DOWN) durante $T/2$ la frecuencia f_2 . Escogiendo adecuadamente el período T , el capacitor C y V_c , la diferencia almacenada en el contador será una representación digital de E_{in2} .

Si E_{in2} es un voltaje negativo, la frecuencia f_2 será más grande que f_1 y en el período de cuenta regresiva el contador tratará de contar más allá de cero, (es decir, seguiría esta secuencia: 00001, 0000, 99999, 99998, etc.) El problema se resuelve invirtiendo la dirección de la cuenta al momento de llegar ésta a cero y contando hacia

arriba una vez más. La cuenta almacenada será también una representación digital de E_{in2} , sin considerar su polaridad. Para encontrar la polaridad correcta de E_{in2} , se utiliza el pulso que se produce cuando la cuenta pasa de 00001 a 0000, al invertirse la dirección de la cuenta.

3.6 CALCULOS PARA EL CONVERTIDOR V/f

Es conveniente seleccionar una frecuencia central de operación, que será denominada f_0 , de tal manera que cuando el voltaje en la entrada sea 0 V, actúe únicamente la corriente de polarización I_{bias} , para generar la frecuencia central.

Como después se verá no es necesario que el valor de la frecuencia central sea un valor exacto, pero si es un requisito esencial que se mantenga en un valor constante durante el período de conversión. La forma de escoger este valor radica en que se desea trabajar en el rango más lineal del convertidor y también en que por cada voltio de variación en la entrada (E_{in}), haya un cambio de 10 KHz en la salida del convertidor V/f. Se ha escogido una frecuencia central de alrededor de 180 KHz (con un capacitor de 1000 pf). Como el rango del voltaje de entrada es de $\pm 10V$, entonces el rango de variación de frecuencia del convertidor es desde unos 80 KHz hasta unos 280 KHz. De

esta manera la frecuencia nunca llega a ser 0.

De acuerdo con lo anterior es necesario escoger una corriente de polarización adecuada. Para no cargar demasiado la capacidad tanto del voltaje como de la corriente de salida del amplificador operacional y aprovechando la fuente de polarización de -15 V disponible, como E_{bias} , se ha tomado una corriente de $300\text{ }\mu\text{A}$ para I_{bias} .

Para la fuente de corriente I_{bias} se hará uso del circuito de la fuente de corriente controlada por voltaje estudiada anteriormente, de este modo solamente será necesario aumentar una entrada en el punto E_4 , como se muestra en la Fig. 3.14.

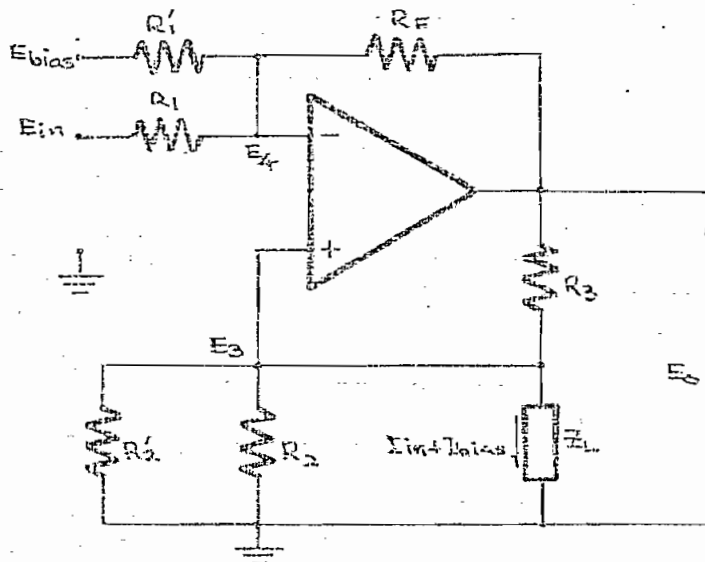


FIGURA 3.14 FUENTE DE CORRIENTE CONTROLADA POR VOLTAJE, CON ENTRADA PARA E_{in} Y PARA E_{bias} .

De este gráfico se puede ver que R_1 y R_1' están en paralelo. Si se desea mantener la relación de impedancia requerida para un buen acoplamiento es necesario poner una R_2' en paralelo con R_2 (fig. 3.14). La ecuación de la corriente en la carga, incluida la corriente de polarización quedaría como sigue:

$$I_L = -(E_{in}/R_1 + E_{bias}/R_1') \frac{R_2 + R_2'}{R_1 + R_1'} \cdot \frac{R_1 \cdot R_1'}{R_2 \cdot R_2'} \quad (3-36)$$

siempre que:

$$\frac{R_F}{R_3} = \frac{R_2 + R_2'}{R_2 \cdot R_2'} \cdot \frac{R_1 \cdot R_1'}{R_1 + R_1'} \quad (3-37)$$

cuya demostración sigue un procedimiento semejante al realizado en la sección 3.4.

Para mayor simplicidad se puede hacer la siguiente consideración:

$$R_1 = R_2$$

$$R_1' = R_2'$$

con lo cual la ec. (3-36), quedaría:

$$I_L = -(E_{in}/R_2 + E_{bias}/R_2'). \quad (3-38)$$

Haciendo una comparación entre las ecs. (3.7) y (3.38) podríamos asumir que:

$$I_{in} = -E_{in}/R_2 \quad (3-39)$$

$$I_{bias} = -E_{bias}/R_2' \quad (3-40)$$

Cuando $E_{bias} = -15 \text{ V}$ y $I_{bias} = -300 \text{ uA}$, entonces $R_2' = 50 \text{ Kohm}$.

Igualmente para el cálculo de la frecuencia central se dispone de los siguientes datos:

$$I_{bias} = -300 \text{ uA}$$

$$I_{in} = 0$$

$$V_c = (1.7 - 0.9)\text{V} = 0.8\text{V}$$

Inicialmente se ha considerado un capacitor fijo de 1000 pF, pero posteriormente y para los ajustes de frecuencia se pondrá un capacitor trimer en paralelo con el de 1000 pF. Para los cálculos de la frecuencia central se usará el valor indicado para C y de la ec. (3-28):

$$I_{in} + I_{bias} = 2fCV_C$$

pero $I_{in} = 0$

$$f_0 = I_{bias}/(2CV_C)$$

$$f_0 = 300 \times 10^{-6} / (2 \times 1000 \times 10^{-12} \times 0.8) \text{ Hz}$$

$$f_0 = 187.5 \text{ KHz}$$

Una vez que se conoce la frecuencia central de trabajo, se puede calcular el incremento de corriente necesario para que se produzca un cambio de frecuencia de 10 KHz en la salida con un cambio de 1V en la señal de entrada al convertidor V/f. Se puede hacer con incremento de frecuencia o con decremento de la misma, se hará con esta última:

$$f = 187500 - 10000 = 177500 \text{ Hz}$$

$$C = 1000 \text{ pF}$$

$$V_C = 0.8V$$

$$I_{in} = 177500 \text{ Hz} \times 1000 \times 10^{-12} \text{ F} \times 0.8V \times 2$$

$$I_{in} = 284 \text{ uA}$$

$$\Rightarrow \Delta I = 300\text{uA} - 284\text{uA} = 16\text{uA}$$

Es decir, que para que la frecuencia central disminuya en 10 KHz es necesario una variación de corriente de 16uA. Como se ha supuesto que la entrada tendrá un voltaje de 1 V, se puede determinar cual debe ser la resistencia en paralelo con la R_2' encontrada anteriormente para I_{bias} (ver fig. 3.14).

$$1V = 16 \text{ uA} \times R_2$$

$$R_2 = 62.5 \text{ Kohmios}$$

3.6.a CALCULO DE $E_o(\text{máx})$

Es muy conveniente calcular el voltaje máximo a la salida del amplificador operacional, utilizado en el convertidor voltaje a corriente; la fig. 3.15 ayudará a este propósito.

En la sección anterior se encontró lo siguiente:

$$R_2' = 50 \text{ Kohmios}$$

$$R_2 = 62.5 \text{ Kohmios}$$

De la fig. 3.15 se tiene que:

Z_L = impedancia de carga y que está indicada también en la fig. 3.16 con cada uno de sus componentes.

También de la fig. 3.15 se obtiene:

$$I_3 = I_T + I_{in}$$

Como R_2' y R_2 están en paralelo, la resistencia equivalente R_{2eq} será:

$$R_{2eq} = 27.8 \text{ Kohmios}$$

Por consideraciones de acoplamiento es necesario escoger

$$R_{1eq} = R_{2eq}$$

$$R_3 = R_F$$

Para que cumpla con los requerimientos de la ec. (3-38); R_{1eq} estará compuesto por una resistencia de 50 Kohmios conectada a la fuente de -15V (para la corriente I_{bias}) y

una resistencia de 62.5 Kohmios para la señal de entrada.

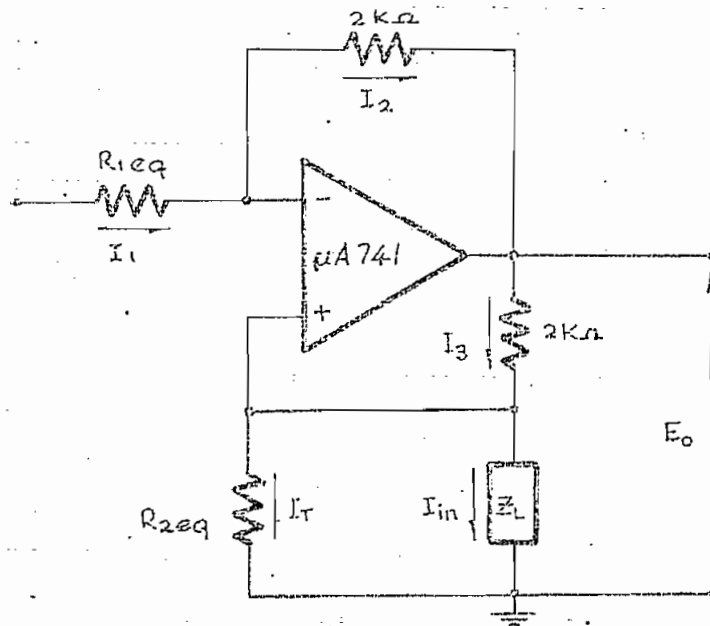


FIGURA 3.15 GRAFICO PARA EL CALCULO DE E_o (máx).

Así mismo se ha tomado una $R_3 = 2000$ ohmios para limitar el voltaje a la salida del amplificador operacional de la fuente de corriente, como se verá más adelante.

Lo más importante será calcular el voltaje en las condiciones más rigurosas.

En este caso, el máximo voltaje necesario en la entrada del Schmitt trigger es de 1.7V y sobre el capacitor C existirá un voltaje de 2.3V, hasta ese instante el diodo D_2 todavía conduce de manera que E_L será alrededor de 2.9V.

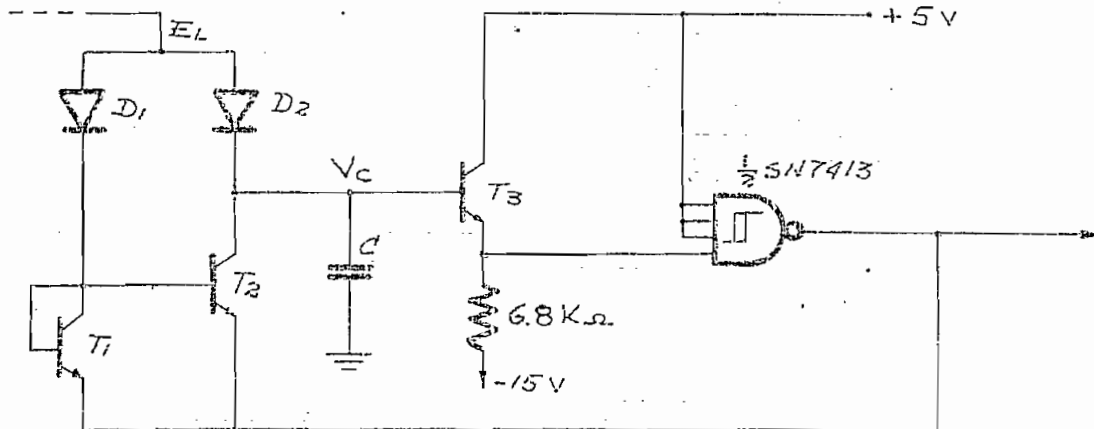


FIGURA 3.16 GRAFICO PARA CALCULAR EL MAXIMO VOLTAJE EN LA CARGA.

En la fig. 3.15 se ve que el R_{2eq} está en paralelo con Z_L de manera que la corriente máxima que se tendrá en R_{2eq} está determinada por $E_L(\text{máx})$, y se calculará de la siguiente manera:

$$I_{T(\text{máx})} = 2.9V/27.8K = 0.104 \text{ mA.}$$

También se puede calcular la corriente máxima que circulará por la carga, considerando el caso de tener $E_{in} = -10V$

$$I_{in(\text{máx})} = -(-10V/62.5K) = 0.16 \text{ mA}$$

$$I_{\text{bias}} + I_{in(\text{máx})} = 0.3 \text{ mA} + 0.16 \text{ mA} = 0.46 \text{ mA,}$$

de donde la corriente máxima en la resistencia R_3 será:

$$I_3(\text{máx}) = I_T(\text{máx}) + (I_{in}(\text{máx}) + I_{bias})$$

$$I_3(\text{máx}) = 0.104 \text{ mA} + 0.46 \text{ mA} = 0.564 \text{ mA},$$

y el voltaje de salida máximo $E_o(\text{máx})$ será:

$$E_o(\text{máx}) = E_L(\text{máx}) + I_3(\text{máx})R_3;$$

$$E_o(\text{máx}) = 2.9V + 0.564 \text{ mA} \times 2 \text{ kohmios}$$

$$E_o(\text{máx}) = 4.03V.$$

El rango de voltaje máximo a la salida que puede soportar el amplificador operacional uA741 utilizado en el convertidor es $\pm 10V$ mínimo para una carga de 2 Kohmios o más. Del análisis anterior se tendrá a la salida un voltaje máximo de 5V, es decir, una tolerancia bastante aceptable para asegurar el trabajo dentro del rango lineal.

Estos han sido los criterios para escoger una resistencia R_3 de 2000 ohmios.

Se vió en una sección anterior que los valores de las resistencias R_{1eq} , R_{2eq} , R_3 y R_F deben ser muy exactos pa

ra un buen acoplamiento, se ha podido conseguir R_3 y R_F con una precisión de 1%. Entonces los valores de resistencias quedan así:

$$R_1 \parallel R_2 = 62.5K \parallel 50K = R_{1eq} = R_{2eq} \\ = 27.8K$$

$$R_3 = R_F = 2000 \text{ ohmios.}$$

Ahora es difícil conseguir una resistencia de 27.8K y más todavía si se requiere de una gran exactitud, se ha creído más conveniente obtenerla como se indica en la fig. 3.17. Se pudo obtener asimismo resistencias de 125K y de 50K con una precisión del 1%.

De manera que:

$$125K \parallel 125K \parallel 50K = 27.8K$$

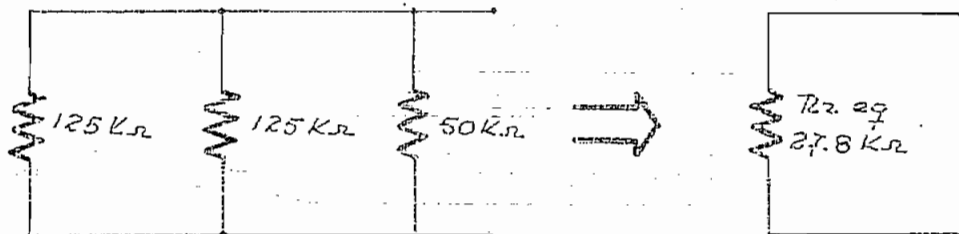


FIGURA 3.17 OBTENCION DE LA RESISTENCIA R_{2eq} .

Para una mayor claridad se ha hecho un gráfico del circuito convertidor voltaje-a-corriente con los valores de los parámetros que se ha encontrado en el diseño, (fig. 3.18).

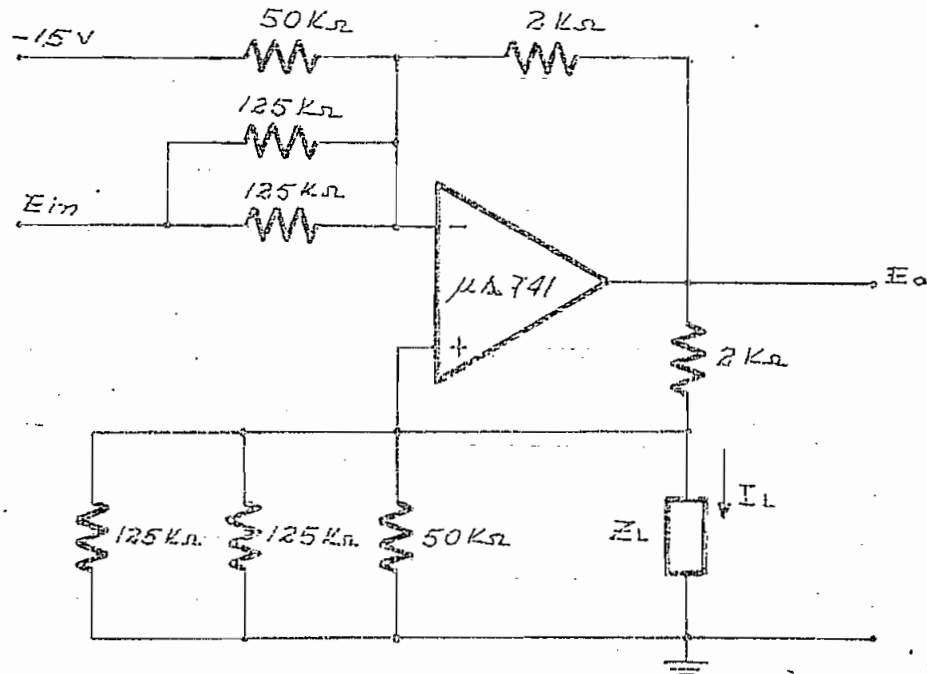


FIGURA 3.18 CONVERTIDOR VOLTAJE-A-CORRIENTE CON LOS VALORES DE LOS PARAMETROS DEL DISEÑO.

3.6.b ELEMENTOS QUE CONSTITUYEN EL CIRCUITO INTEGRADOR Y GENERADOR DE PULSOS

La fig. 3.19 muestra los elementos del circuito integrador y generador de pulsos. La corriente es del orden de los cientos μA y su valor máximo es de alrededor de $500\mu\text{A}$. Esta es una de las consideraciones que han sido tenidas

en cuenta para escoger los elementos.

Otra de las consideraciones para escoger los transistores es el V_{CE} máximo, aunque para este caso no constituye un problema puesto que, como se vió en la sección 3.5.c, el máximo voltaje que se tendrá entre colector y emisor es de solamente 2.5 V, por lo que se ha decidido utilizar los transistores 2N3704. Del análisis de corrientes se desprende que es conveniente usar diodos de señal que soporten hasta unos 10 mA y cuya impedancia directa sea muy pequeña mientras que la impedancia para polarización inversa sea muy alta. Por otra parte, el voltaje de polarización inverso, que soportarán los diodos de señal que se ha escogido, es suficientemente pequeño.

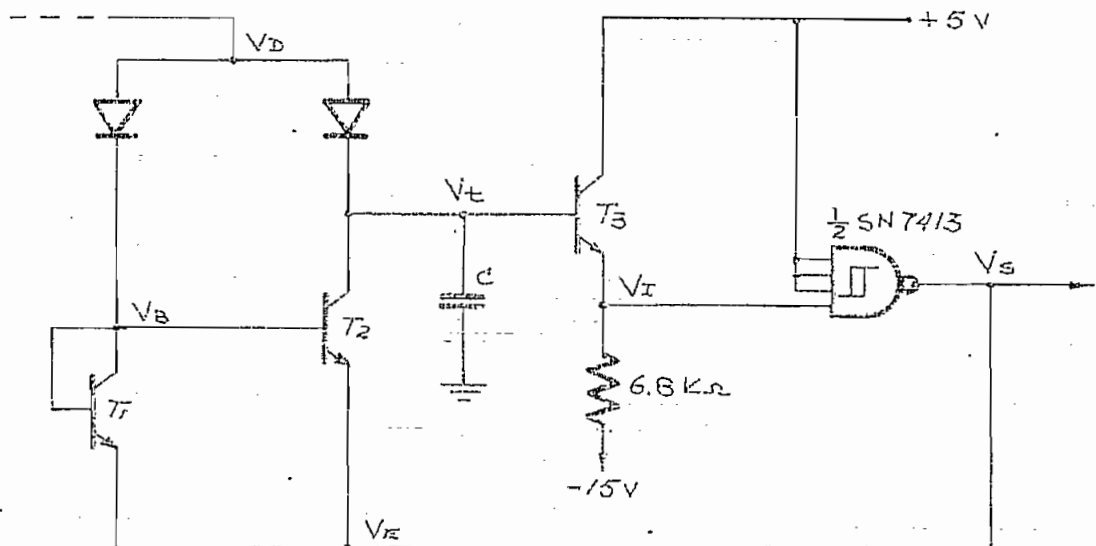


FIGURA 3.19 CIRCUITO INTEGRADOR Y GENERADOR DE PULSOS.

Se han utilizado los transistores 2N3704, que son de silicio y entre cuyas características se anotan las siguientes: ancho de banda $f_T = 100$ MHz, para un $\beta = 1$; $V_{CBO}(\text{máx}) = 50\text{V}$; $V_{CE}(\text{máx}) = 30\text{V}$; $\beta(\text{mín}) = 100$, $\beta(\text{máx}) = 300$; $V_{CE}(\text{sat}) = 0.6\text{V}$. Y una disipación de potencia de 360mW. La potencia que disiparán los transistores en este circuito se puede calcular así:

$$P(\text{máx}) = V_{CE}(\text{máx}) \times I_L(\text{máx}).$$

Anteriormente se vió que,

$$V_{CE}(\text{máx}) = 2.5 \text{ V}$$

$$I_L(\text{máx}) = 0.46 \text{ mA};$$

$$P(\text{máx}) = 1.15 \text{ mW}.$$

Finalmente se tiene el disparador de Schmitt, incluido en el circuito integrador y generador de pulsos, y que ha sido tratado en la sección 3.5.a.

3.7 FUENTES DE PODER

Para polarizar el circuito convertidor A/D son necesarias las siguientes fuentes: +15 V, -15 V y +5V. Las

dos primeras: +15V y -15V se usan casi en forma exclusiva para la polarización de los amplificadores operacionales. La fuente de -15V es utilizada además para generar la corriente I_{bias} necesaria para producir la frecuencia central del circuito integrador y generador de pulsos, esta fuente también sirve para la polarización de seguidor de emisor del mismo circuito, razón por la cual se debe utilizar fuentes reguladas; para este propósito se ha escogido el regulador de voltaje integrado uA723. La fuente de +5V se utiliza para la polarización de los circuitos integrados correspondientes a la parte digital que son de la familia TTL, esta fuente se la ha realizado con elementos discretos.

3.7.a FUENTE DE +15 V DC

La fig. 3.20 muestra la configuración básica de un regulador que produce voltajes de salida desde +7 hasta +37 V, en el cual

$$V_R = V_{REF}(R_1 + R_2)/R_2 \quad (3-41)$$

R_3 es utilizada para incrementar la impedancia de la fuente de referencia. Mientras que R_{SC} sirve para limitar la máxima corriente de salida, a un valor deseado, para este caso la corriente máxima está limitada aproximada

mente en 100 mA, (los datos del regulador de voltaje uA723 se indican en el apéndice): El capacitor C_1 es un compensador de frecuencia.

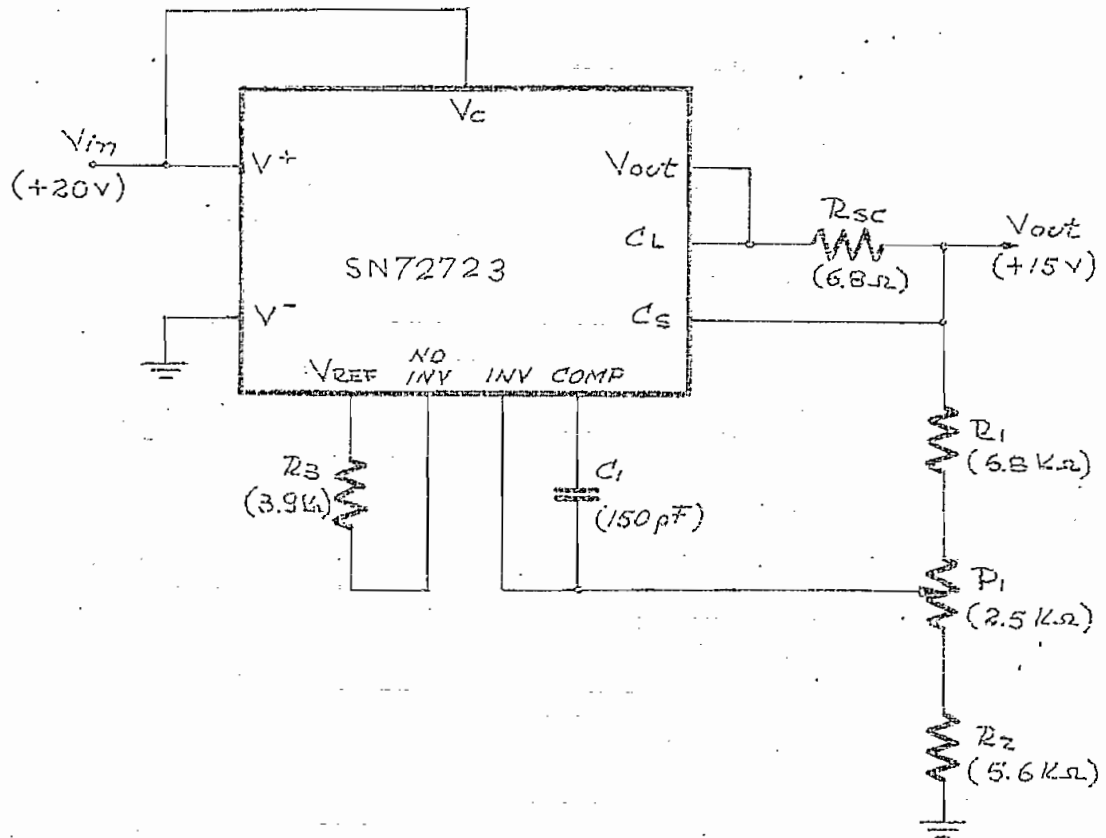


FIGURA 3.20 FUENTE DE + 15 V.

3.7.b FUENTE DE - 15 V-DC

El circuito de la fig. 3.21 regula voltajes entre -9.5V y -40V. Debido a que el regulador uA723 está operando entre tierra y la salida regulada, el máximo voltaje de en-

trada no regulado está determinado por el voltaje de ruptura y la capacidad de disipación de potencia del transistor pnp, T_1 . La corriente de base para T_1 es regulada por V_Z de tal manera que cualquier diferencia entre la entrada y la salida está controlada por la corriente de base de T_1 . Esta fuente de voltaje está diseñada para una corriente de carga máxima de 100 mA, en este caso la potencia máxima disipada por T_1 es de 500 mW.

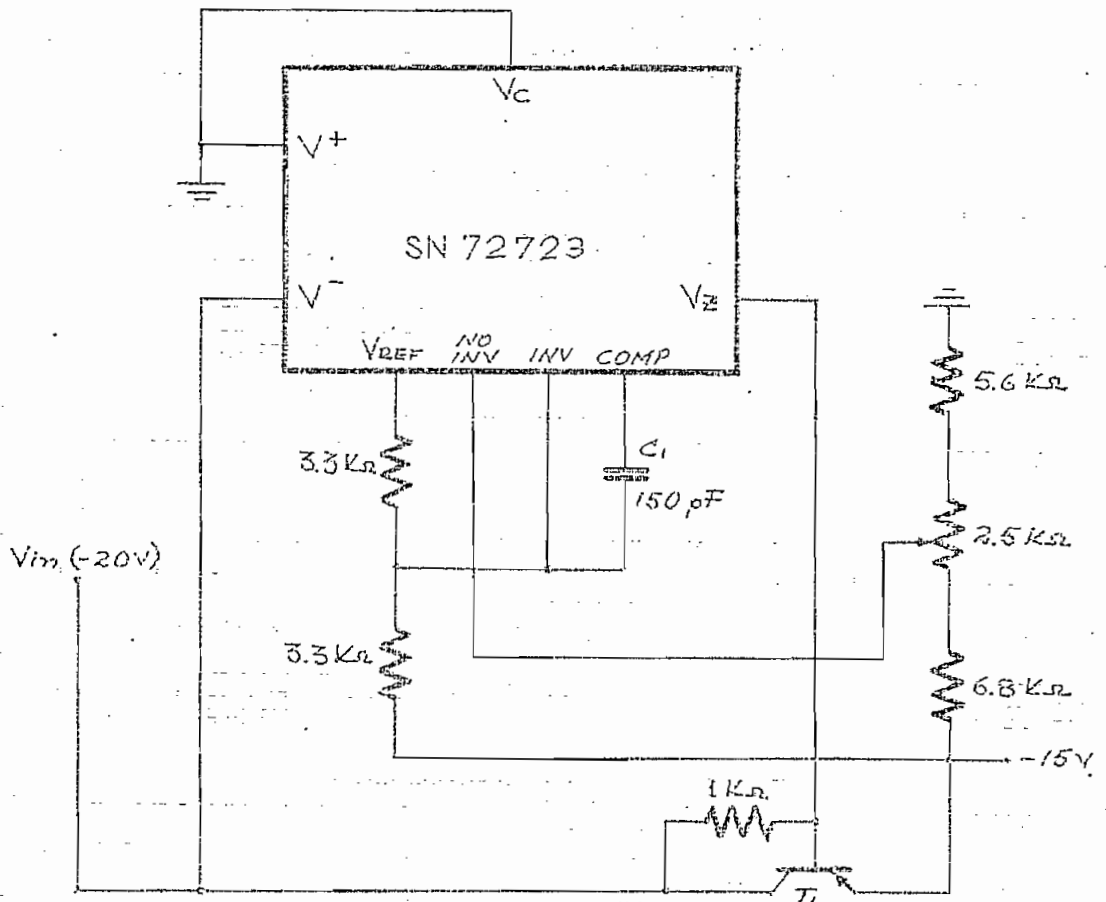


FIGURA 3.21 FUENTE REGULADA PARA - 15 V.

3.7.c FUENTE DE + 5 V DC

Para la fuente de + 5 V DC no se ha utilizado el regulador de voltaje uA723 porque el circuito externo era muy complicado y costoso. Se ha realizado el circuito mostrado en la fig.- 3.22, en la que se ha indicado la función realizada por cada parte componente del circuito.

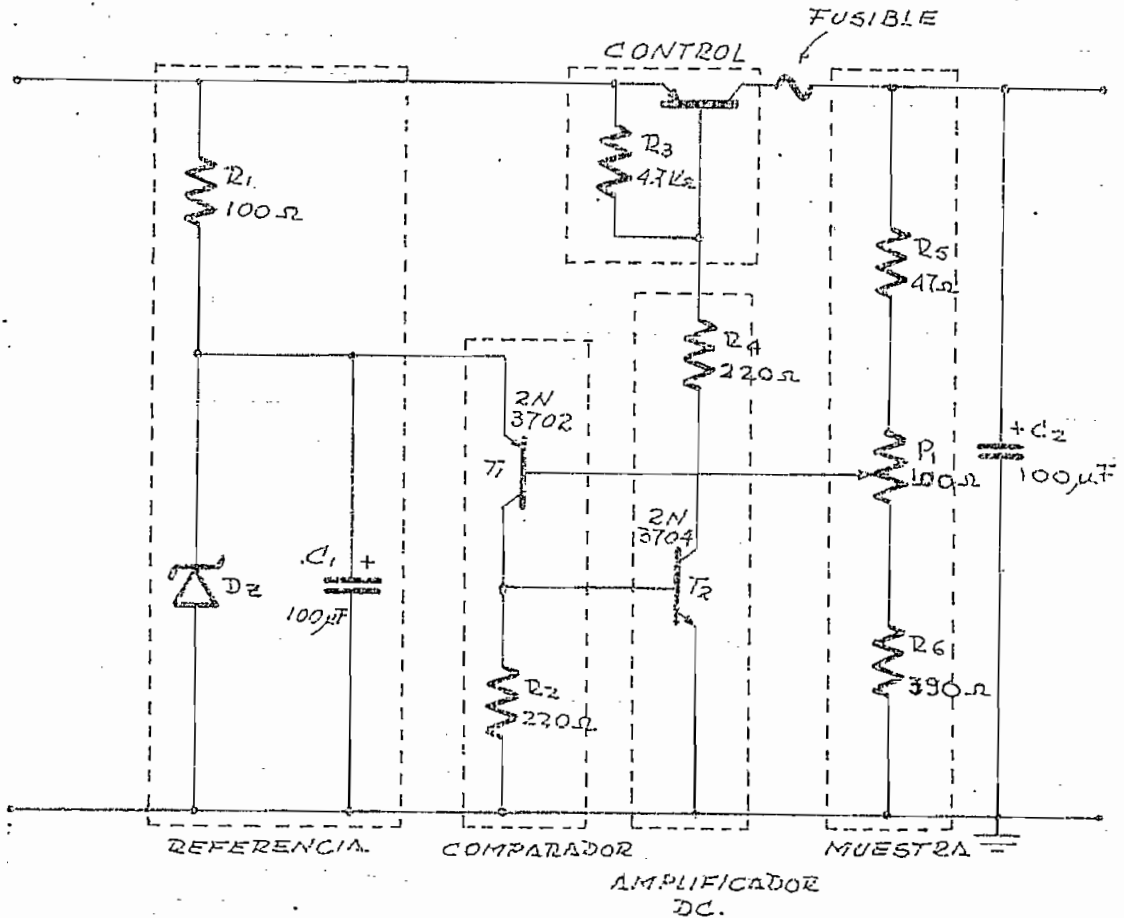


FIGURA 3.22 FUENTE REGULADA DE VOLTAJE
+ 5 V DC.

Cuando aumentá el voltaje V_o , el voltaje V_M aumenta también. Entonces la corriente de colector de T_1 disminuye, lo cual hace que las corrientes de base y de colector de T_2 disminuya, esto produce una disminución en las corrientes de base y de colector de T_3 con lo que se logra disminuir la corriente del circuito de muestra I_M , como consecuencia de lo cual disminuirá V_o . Cuando V_o disminuye, V_M también será menor y las corrientes I_{B1} , I_{C1} , I_{B2} , I_{C2} , aumentan al igual que I_M , produciendo un aumento de V_o .

Este regulador es muy práctico y fácil de construir. Ha sido diseñado para una corriente de carga máxima de 2 A, en cuyo caso se obtiene un rizado de 25 mV pico, lo que no afecta el buen funcionamiento de los CI's. La corriente máxima que consumirá el circuito de carga es de 1.6 A, por lo que el transistor T_3 deberá disipar una potencia máxima de 20 W.

CAPITULO 4.

CIRCUITO DIGITAL.

4.1 INTRODUCCION

Cuando se realizan mediciones científicas es conveniente que el resultado sea un número digital. P.e., la posición de la aguja de un instrumento de medida es una función de la señal de información desde el transductor y puede ser leída o grabada en forma de un número digital. Aunque este tipo de mediciones y lecturas tiene muchas aplicaciones de laboratorio, los más recientes logros en electrónica hacen posible las mediciones automáticas que proveen lecturas digitales directas tanto de señales analógicas como de eventos discretos. Las ventajas de las mediciones digitales directas son numerosas: la señal no está sujeta a "error de lectura" de la escala. La información digital puede ser manipulada y procesada directamente por los computadores. La información discreta en forma de pulsos no tiene que ser promediada sino que puede ser medida directamente. Generalmente hay menos sensi

bilidad al ruido. La precisión relativa y la exactitud pueden ser mejoradas grandemente.

Es de esperarse que cuando se desarrollen nuevas técnicas y transductores, muchas de las mediciones analógicas actuales serán reemplazadas por mediciones digitales de eventos discretos. Algunos de los avances más importantes del futuro probablemente serán consecuencia de una nueva y mejor instrumentación digital de alta velocidad y una computación que permitirá que los datos de los eventos discretos rápidos sean observados, manipulados y analizados rápidamente.

4.1.a ESQUEMA DE TIEMPO

Con el objeto de facilitar el diseño de la parte correspondiente al circuito digital, se ha creído conveniente presentar un esquema de tiempo; después se explicará como debe comportarse cada parte del circuito digital en cada período de tiempo.

El ciclo de operación del convertidor está ilustrado en la fig. 4.1 durante los primeros 100 ms del período, la entrada es cortocircuitada y el convertidor está generando su frecuencia central nominal 187.5 KHz, de manera que la cuenta acumulada en el control es de 18 750. Después el

voltaje de entrada es conmutado de manera que pasa al con-
vertidor y se espera durante 20 ms para permitir que el
convertidor V/f adquiera y se estabilice en la nueva fre-
cuencia. Cuando empiezan los siguientes 100 ms (2° /perío-
do), el contador invierte su sentido, es decir cuenta ha-
cia abajo.

Si el voltaje de entrada es cero, el contador regresará
a cero al término de 100 ms (2° /período). Puesto que el

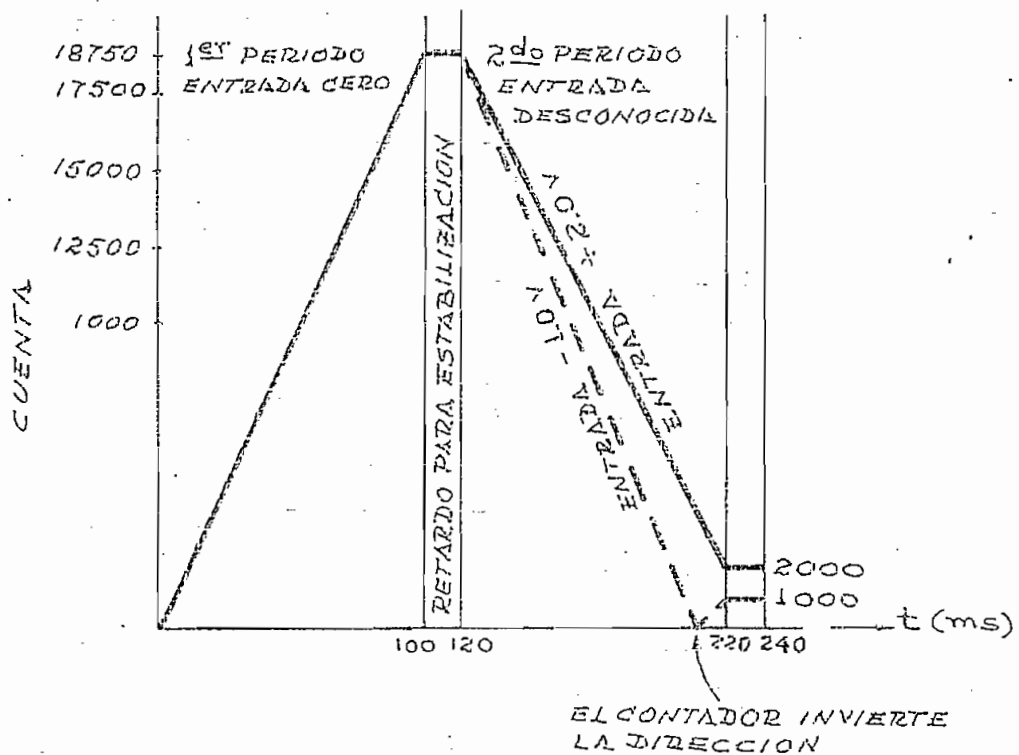


FIGURA 4.1 ESQUEMA DE TIEMPO.

convertidor V/f tiene una sensibilidad de -10KHz/volt , un voltaje de entrada de 2.0 V (indicado por la línea sólida de la fig. 4.1) reducirá la frecuencia del convertidor por exactamente 20 KHz , esto es, la frecuencia pasa a ser 167.5 KHz . En los 100 ms , los 167.5 KHz reducen la cuenta en $16\ 750$; así que después del segundo período en el contador quedará una cuenta de $18750 - 16750 = 2000$.

La línea de puntos muestra la secuencia de la cuenta para una entrada de -1.0 V . En este caso la frecuencia del convertidor V/f es incrementada en 10 KHz , esto es, la frecuencia pasa a ser 197.5 KHz . En los 100 ms , los 197.5 KHz reducen la cuenta en 19750 lo que hará que el contador alcance el valor 0 , invierta la cuenta hacia arriba y alcance el valor final de 1000 , durante el 2° período. La inversión de la cuenta en este período es aprovechada para generar el signo negativo que debe ser indicado.

Note que la corriente de balanceo (offset) de los amplificadores operacionales no tiene efecto en el comportamiento del convertidor. Estas corrientes pueden ser consideradas como una parte de la corriente de polarización I_{bias} , y puesto que no cambian entre dos mediciones, no tendrán efecto en la lectura final. El mismo razonamiento se aplica para el convertidor V/f; en tanto que su frecuencia central se mantenga estable para los 240 ms nece-

sarios para un ciclo completo de conversión, no será necesario que la frecuencia sea exactamente 187 500 Hz. De esta manera los problemas de autoencerramiento y de polaridad están resueltos en este convertidor porque han sido tratados digitalmente en vez de hacerlo con circuitería analógica.

Los dígitos del contador son transferidos a un registro de almacenaje o retenedor de datos (latch) al final de cada ciclo de medición. Desde este registro, los datos pueden accionar un indicador numérico y/o decimal (display).

4.2 DIAGRAMA DE BLOQUES DEL CIRCUITO DIGITAL

El sistema de conversión frecuencia a digital está representado en la fig. 4.2. La señal V/f a ser convertida a digital entra a los contadores UP/DOWN. Un oscilador controlado por cristal genera una onda cuadrada de 100KHz que alimenta a un divisor de frecuencia ($\div 2000$), para obtener una señal de 20 ms y al circuito de control lógico el cual proporciona varias señales: para control de dirección de la cuenta, tiempos de habilitación y de bloqueo y borrado de los contadores; también provee una señal (S_4) para control del circuito convertidor V/f y una señal (S_3) para cargar a los retenedores de datos. Además de la entrada para el oscilador, tiene una entrada para

la señal M/M generada por los contadores cuando estos llegan a cero. Una vez que se ha completado el ciclo de con

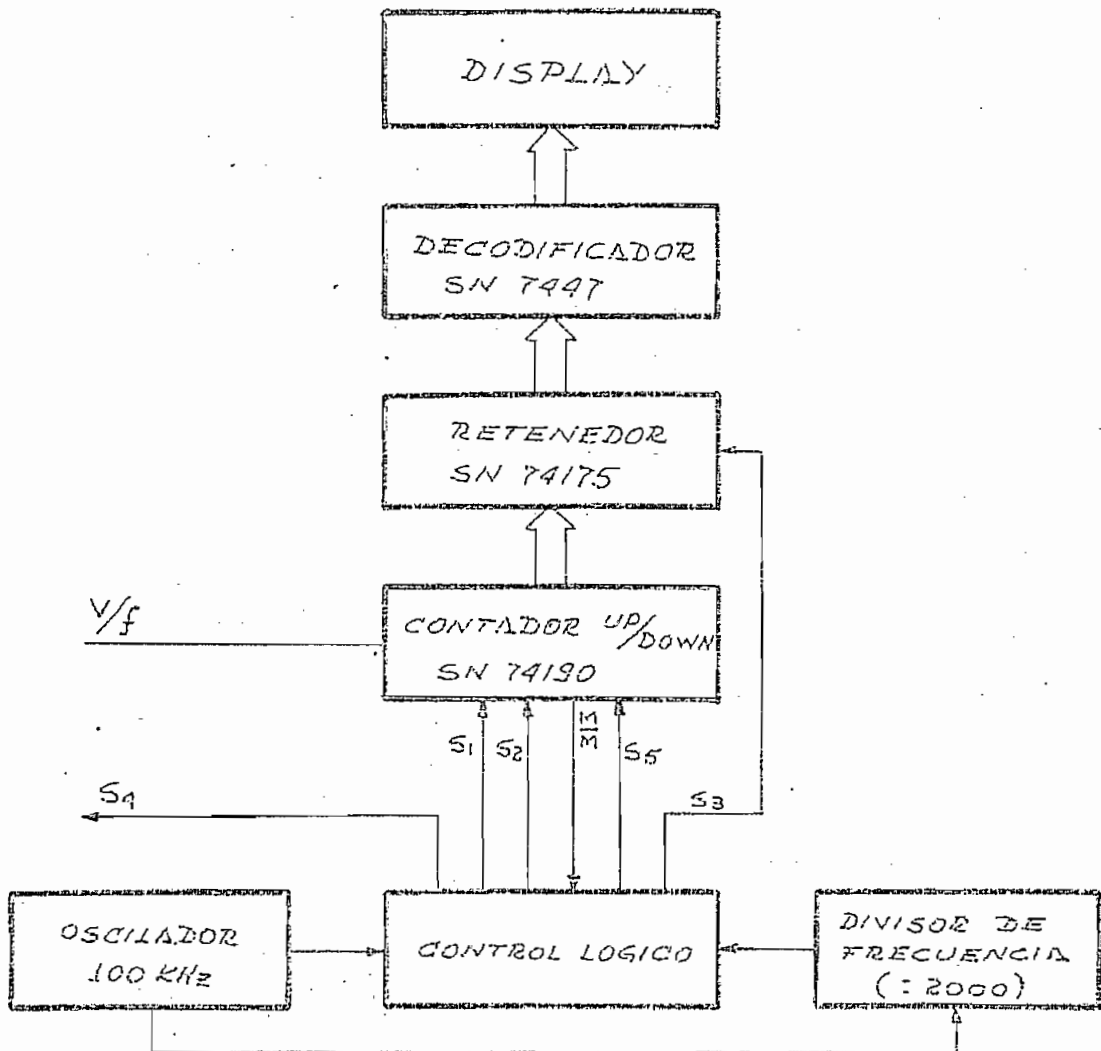


FIGURA 4.2 DIAGRAMA EN BLOQUES DEL CIRCUITO DIGITAL.

versión, los datos a las salidas de los contadores son almacenados en los retenedores, después de lo cual, los contadores son borrados con la señal S_5 generada por el con-

trol lógico. Cuando los retenedores han sido cargados con nuevos datos, almacenan esta información durante los 240 ms que dura la nueva conversión.

La salida de los retenedores son una representación digital de la señal analógica presente a la entrada del convertidor A/D. Para una representación visual de la conversión A/D se han utilizado diodos emisores de luz (LED's); de modo que las salidas de los retenedores estarán conectadas a dichos LED's. Es deseable y útil tener una representación decimal de la señal analógica de la entrada por lo que las salidas de los retenedores también están conectadas a unos circuitos decodificadores cuyas salidas alimentan a displays de siete segmentos, para la indicación decimal deseada.

A continuación se realiza un estudio detallado de cada una de las etapas del circuito digital en el siguiente orden:

- Circuito oscilador
- Divisor de frecuencia
- Generador de señales de control lógico
- Contadores Up/Down
- Retenedores (Latches)
- Decodificadores
- Sistemas de indicación numérica.

4.3 CIRCUITO OSCILADOR

En vista de que toda la parte correspondiente al circuito digital será realizada con circuitos compatibles con el sistema TTL, se ha creído conveniente usar un circuito multivibrador con compuertas lógicas. Existe un multivibrador muy práctico y que ha sido probado con buenos resultados en muchas aplicaciones prácticas, el cual será utilizado también en esta tesis.

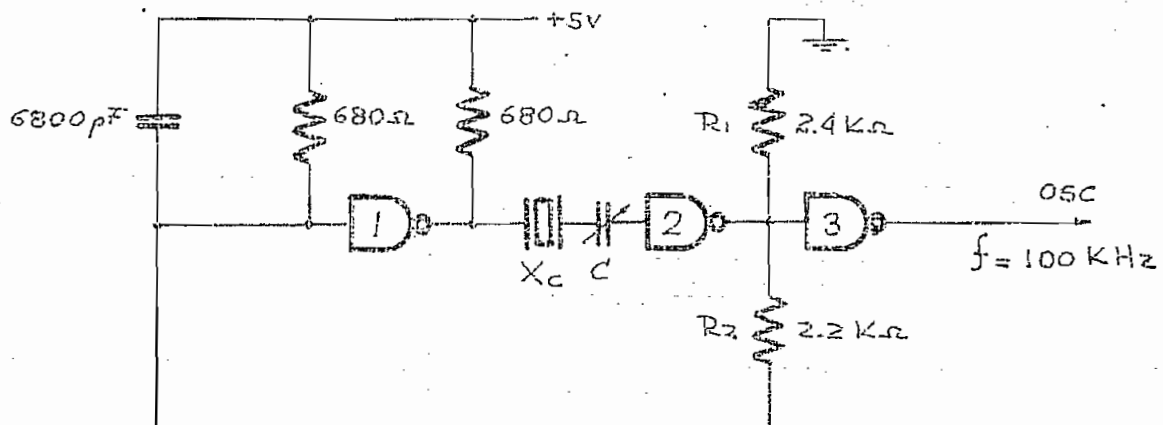


FIGURA 4.3 OSCILADOR CON COMPUERTAS NAND.

La figura 4.3 muestra un generador de reloj controlado a cristal e implementado con compuertas NAND, el circuito es adecuado para cristales de control con frecuencias de oscilación entre 0.1 y 10 MHz. Para evitar mucha atenuación, la impedancia resonante en serie del cristal no debe ser menor que 250 ohms.

El cristal de control está conectado en serie con un trimer de unos 100 pF, que es usado como capacitor de extensión para sintonía fina de la frecuencia de resonancia. Las resistencias R_1 y R_2 sirven para estabilizar el punto de operación del circuito. La compuerta 3 se utiliza para aislar el circuito oscilador de la carga y además como elemento que mejora los flancos de los pulsos a la salida. El tiempo de subida de los extremos de la señal que debe ser rectangular, es de un promedio de 10 ns. La desviación de frecuencia del generador causada por los cambios de temperatura y variaciones del voltaje de polarización es muy pequeña. La capacidad de corriente del generador de pulsos depende de la frecuencia de oscilación y de los elementos lógicos utilizados.

En el caso presente se ha obtenido un circuito oscilador cuya frecuencia es de 100 KHz. Sin embargo, la frecuencia básica que se necesita es de 50 Hz ($T = 20$ ms). En este caso la variación de frecuencia del generador es del orden de 0.01%. Se hace necesario dividir la frecuencia de 100 KHz hasta obtener una de 50 Hz. Esto puede realizarse con divisores de frecuencia tipo TTL, cuyo diagrama en bloque se indica en la fig. 4.4.

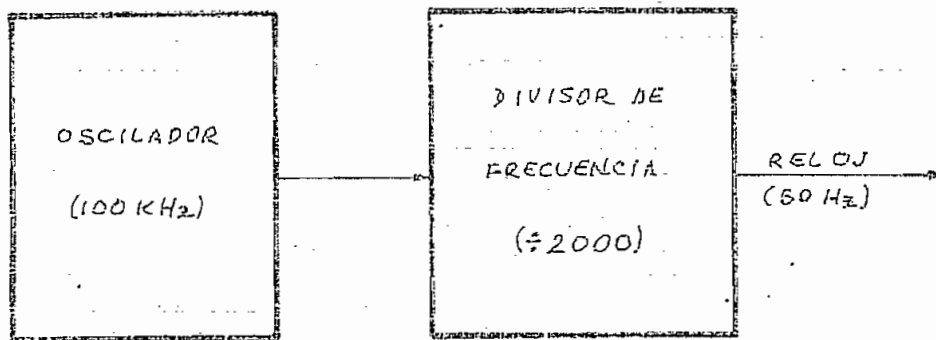


FIGURA 4.4 DIVISOR DE FRECUENCIA.

4.4. CIRCUITO DIVISOR DE FRECUENCIA

Se requiere, entonces, un divisor de frecuencia para 2000 para conseguir que los 100 KHz sean reducidos a 50 Hz. Para esto se ha hecho uso de tres compuertas décadas (divisores de frecuencia para 10) del tipo SN7490 y de un circuito tipo JK, que será utilizado como flip-flop tipo T, para tener un divisor para 2. Estos circuitos proveen el divisor de frecuencia para 2000. La fig. 4.5 representa un diagrama de conexiones usando circuitos integrados SN7490 y un flip-flop JK. Hasta este momento se ha obtenido una onda cuadrada de 50 Hz, que en adelante se la denominará señal de reloj. Con esta función podemos generar las señales que se usarán para controlar el proceso de conversión A/D. A continuación se hace un estudio detallado de cada una de las señales de control.

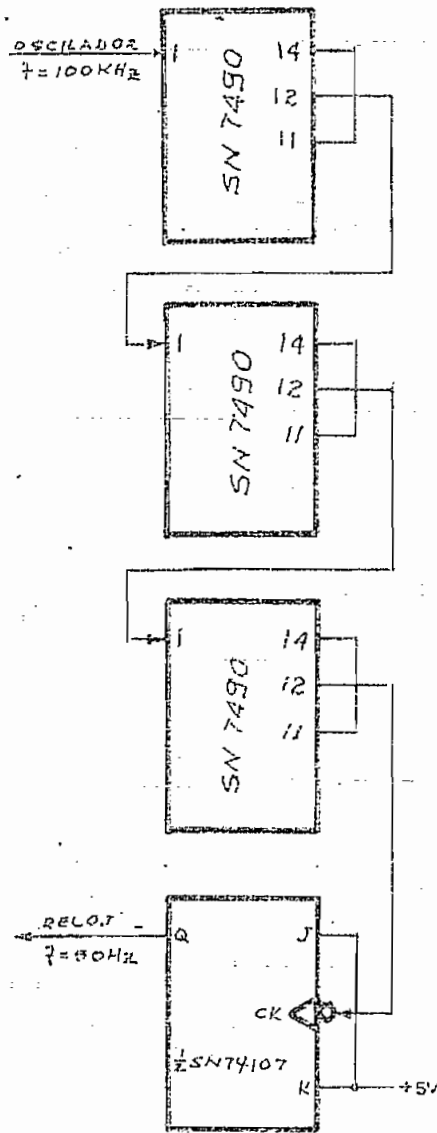


FIGURA 4.5 DIVISOR DE FRECUENCIA PARA 2000.

4.5 SEÑALES DE CONTROL

En primer lugar se indica cada una de las señales que serán necesarias para realizar el control en el procesamiento de la señal analógica.

- S_1 Es la señal que controla los tiempos de conteo de las frecuencias que vienen desde el convertidor V/f. Esta señal debe tener las siguientes características: durante los primeros 100 ms cuenta la frecuencia central o nominal (producida exclusivamente por I_{bias}); durante los siguientes 20 ms bloquea la cuenta hasta que la nueva frecuencia haya sido establecida ($I_{bias} + I_{in}$). En los 100 ms que siguen se vuelve a contar, esta vez en forma regresiva la frecuencia producida por la corriente de polarización más la corriente debida a la señal de entrada; en los 20 ms finales otra vez la cuenta es detenida para que el número final de los contadores pueda ser almacenado y muestreado. El convertidor quedará listo para un nuevo ciclo de conversión. Esta señal irá a la entrada enable del primer contador.
- S_2 Es una señal de control que sirve para indicar al contador cuando debe cambiar el sentido de la cuenta. Es decir, esta señal indica el instante preciso en que el contador hará una cuenta directa o una cuenta regresiva. Esta señal irá a la entrada UP/DOWN de los contadores.
- S_3 Es una señal que indica que la conversión analógica-digital ha sido completada y que los datos pueden

ser almacenados en los registros retenedores, aparece al final de cada período de conversión.

S_4 Es una señal que controla el paso o el bloqueo de la señal E_{in} hacia el convertidor de voltaje a corriente. La señal S_4 servirá, junto con S_2 para detectar el signo de la señal E_{in} .

S_5 Aparece al final de cada ciclo de conversión y hará que se borre el contenido del contador antes de iniciar una nueva conversión.

M/M Es una señal generada por los contadores UP/DOWN, que se produce cuando estos han alcanzado el valor cero. Servirá para generar la señal S_2 .

4.5.a FORMAS DE ONDA DE LAS SEÑALES DE CONTROL

En las figs. 4.6a y 4.6b se muestran las formas de onda de cada una de las señales de control en función del tiempo, ellas serán utilizadas para el diseño de los circuitos que producirán dichas señales.

4.5b S_1 , CONTROL DE TIEMPO DE CUENTA

Esta señal puede ser obtenida de muchas formas. Por

ejemplo usando un contador módulo-6. Para esto se utilizará la señal de reloj ($f = 50\text{Hz}$) que se dispone.

Afortunadamente en el mercado de circuitos integrados existe un contador módulo-6 (SN7492). Se utilizará éste para la obtención de la señal de control S_1 . En la fig. 4.7 se indica la conformación del circuito SN7492 junto con las formas de onda para Q_B , Q_C y Q_D . No se utiliza el flip-flop A y se emplea directamente la entrada B, para que el SN7492 funcione realmente como un contador módulo-6. De la fig. 4.7 se puede ver que S_1 es el producto lógico de las funciones de salida Q_C y Q_D . \bar{S}_1 se obtiene invirtiendo S_1 . En la fig. 4.8 se indican las conexiones que deben hacerse en el circuito SN7492 para generar las funciones S_1 y \bar{S}_1 .

Para generar las funciones S_2 y S_3 es necesario conocer en primer lugar S_4 ; este es el motivo por el cual se estudiará enseguida esta función.

4.5.c SEÑAL PARA CONTROLAR EL BLOQUEO DE LA SEÑAL ANALÓGICA DE ENTRADA E_{in} , (S_4)

Una vez que hemos obtenido la señal de control \bar{S}_1 , es muy fácil obtener la señal S_4 , que se muestra en la fig. 4.9. El circuito utilizado para generar la función S_4 a

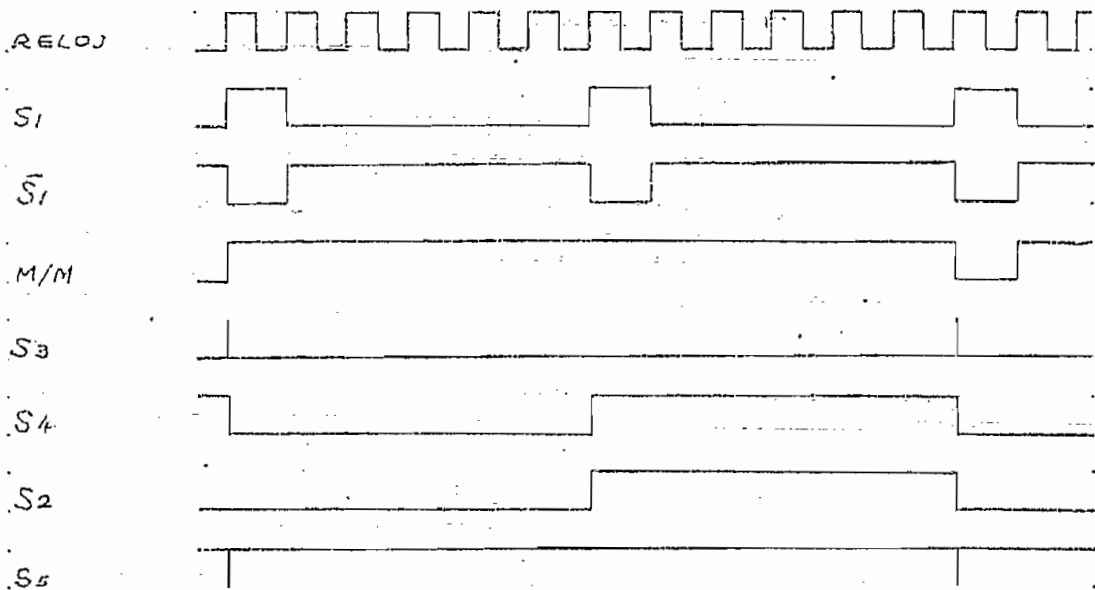


FIGURA 4.5a PARA VOLTAJES DE ENTRADA POSITIVOS.

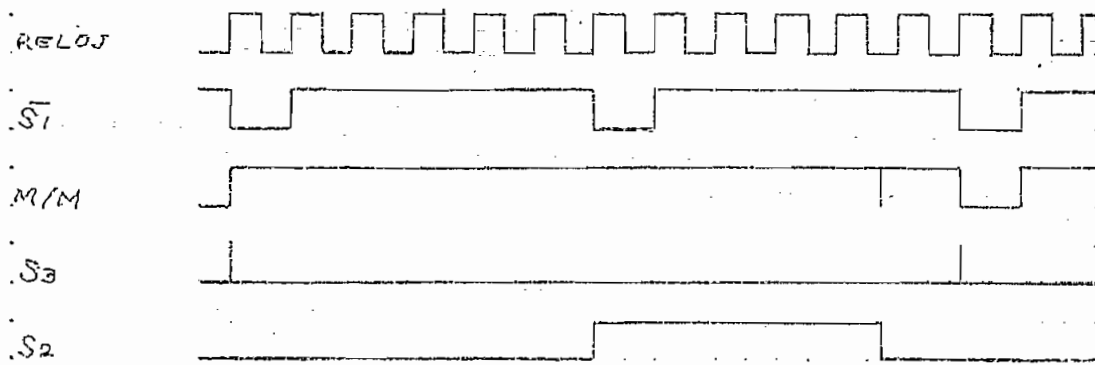


FIGURA 4.6b PARA VOLTAJES DE ENTRADA NEGATIVOS.

FIGURA 4.6 FORMAS DE ONDA QUE DEBEN SER GENERADAS POR EL CIRCUITO DE CONTROL LOGICO.

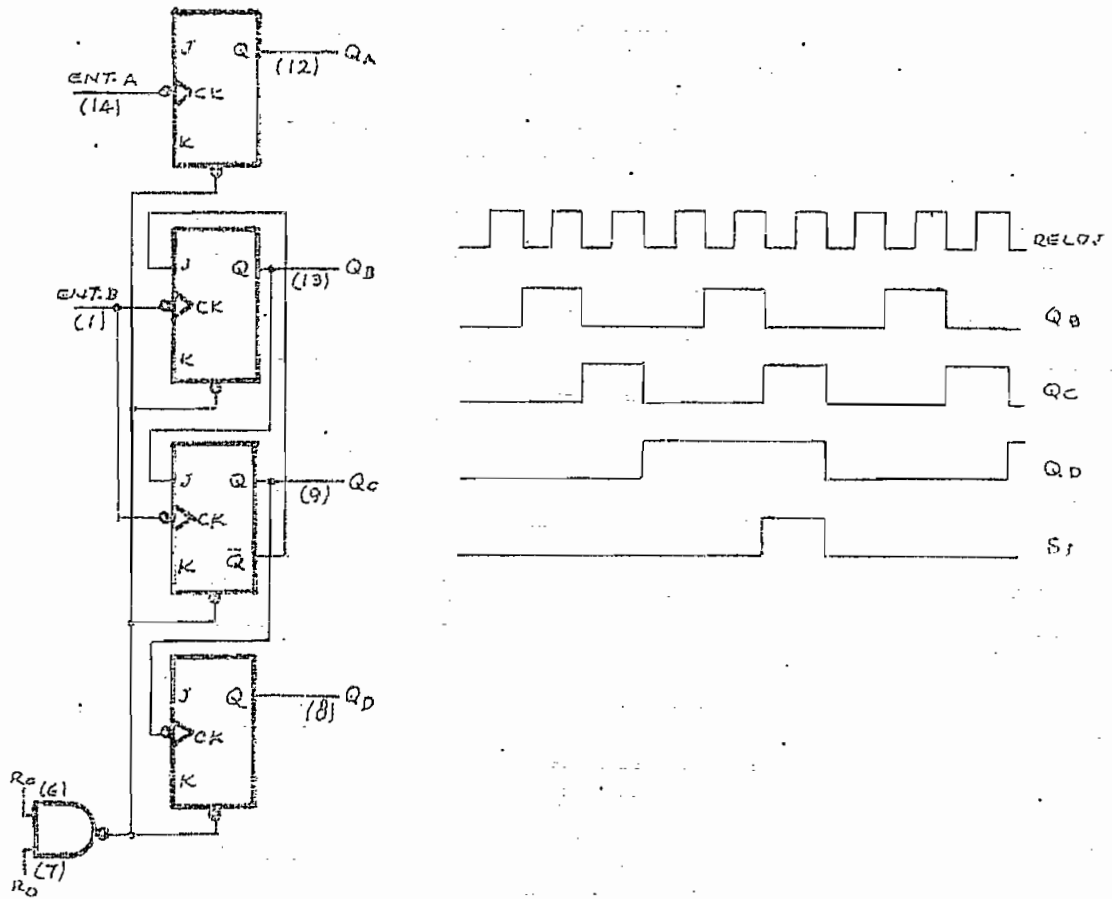


FIGURA 4.7 CONTADOR MODULO-6 (SN7492) Y FORMAS DE ONDA PARA Q_B , Q_C Y Q_D .

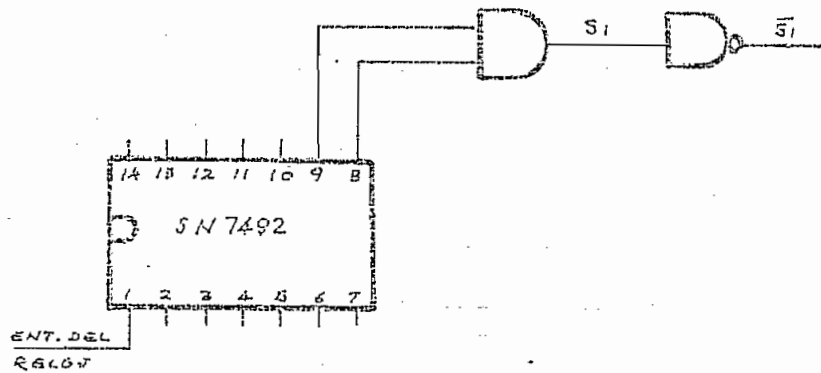


FIGURA 4.8 OBTENCION DE S_1 Y \bar{S}_1 .

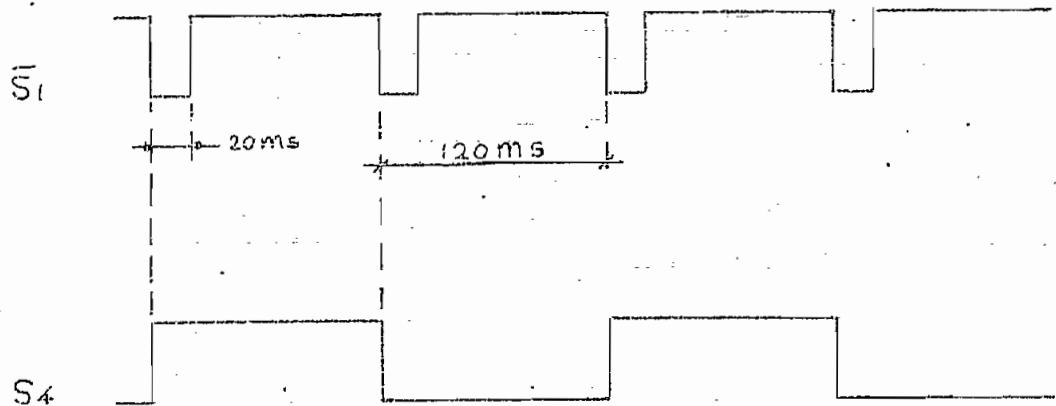


FIGURA 4.9 FORMAS DE ONDA DE \overline{S}_1 Y S_4 .

partir de \overline{S}_1 un flip-flop tipo T, que puede ser obtenido a partir de un circuito JK cuando las entradas J y K están permanentemente conectadas a un nivel alto. El circuito que se utiliza en este trabajo se indica en la fig. 4.10 (el flip-flop JK es el circuito integrado SN74107).

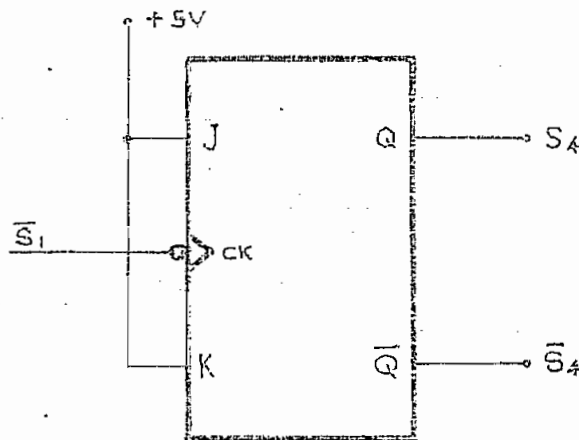


FIGURA 4.10 CIRCUITO UTILIZADO PARA GENERAR S_4 .

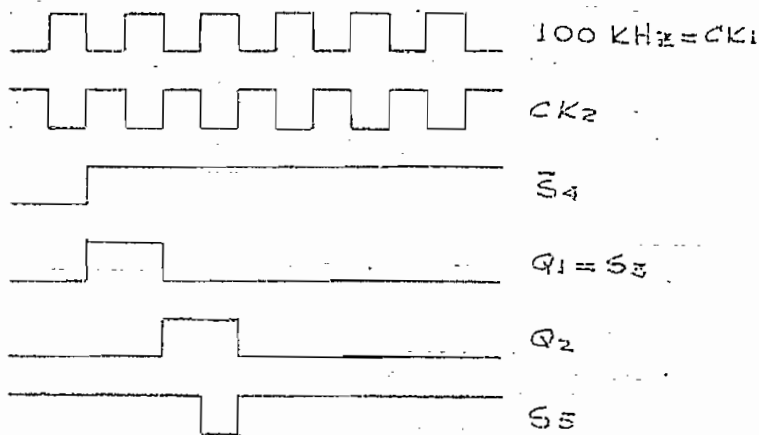
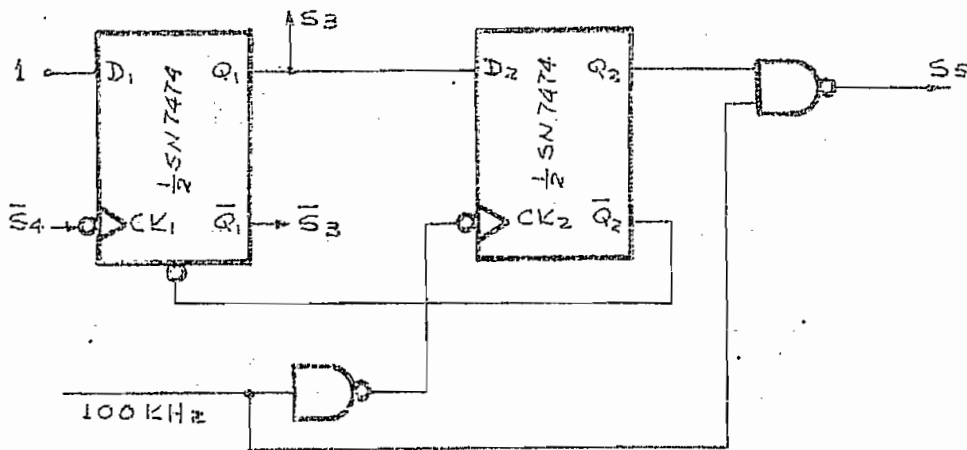
4.5.d SEÑAL DE CONTROL DE CARGA DE LOS RETENEDORES DE DATOS, (S_3) Y DE BORRADO DE LOS CONTADORES, (S_5)

En el caso de los retenedores de datos, para cargarlos con nuevos datos es necesario generar un pulso; es decir, un cambio rápido de nivel lógico. Generalmente se utiliza un circuito multivibrador monoestable para generar el pulso. El multivibrador monoestable con compuertas lógicas usando flip-flop tipo D será utilizado para generar las señales S_3 y S_5 .

El contenido de los contadores debe ser borrado cada vez que se ha completado una conversión, después de que los datos hayan sido almacenados en los retenedores, por lo que se necesita una señal al final de cada período de conversión. La misma señal que se utilizó para cargar los retenedores puede ser utilizada para generar la señal de borrado de los contadores, con un retardo de tiempo de unos 10 us. En la fig. 4.11 se muestra el circuito que se utilizará en este trabajo para producir las señales S_3 y S_5 .

4.5.e SEÑAL DE CONTROL PARA EL CAMBIO DE DIRECCION DEL CONTEO (S_2)

Esta señal de control es una de las más importantes. Se



4.11 CIRCUITO GENERADOR DE LAS SEÑALES DE CONTROL S_3 Y S_5 Y SUS FORMAS DE ONDA.

debe recordar que esta señal se la emplea para controlar la dirección de cuenta de los contadores. Inicialmente el contador debe contar hacia arriba durante 100 ms, el contador deja de contar durante 20 ms, el contador reinicia la cuenta durante los siguientes 100 ms pero esta vez en forma regresiva, si es que la señal analógica de la en

trada del convertidor es positiva no habrá problemas con esta señal, el problema se presenta cuando la señal analógica de la entrada es negativa, en cuyo caso, el contador en el segundo período de cuenta regresa a cero y trata de seguir contando hacia abajo, entonces la señal S_2 debe cambiar otra vez de nivel lógico para que el contador vuelva a contar hacia arriba una vez que ha llegado a cero. Para poder realizar esta operación se necesita de las señales \bar{S}_1 y del estado de cuenta de los contadores; como se verá más adelante, los contadores a usarse en este trabajo proveen esta indicación con una señal identificado como M/M (máximo/mínimo) que es producido por el contador cuando su cuenta ha regresado a cero. Siendo el número anterior 1. Además, es necesario que al iniciar una nueva cuenta la señal S_2 esté lista para que el contador cuente hacia arriba, en este caso se utilizará la señal \bar{S}_3 . La fig. 4.12 es un gráfico del circuito utilizado para la generación de la señal S_2 . Las formas de onda obtenidas se indican en las figs. 4.6a y 4.6b.

4.5.f CIRCUITO DE CONTROL COMPLETO

Una vez que, en forma parcial, se han estudiado los circuitos para generar cada una de las funciones de control lógico del convertidor A/D, se ha creído conveniente mostrar todas las partes constituyentes en un sólo gráfico;

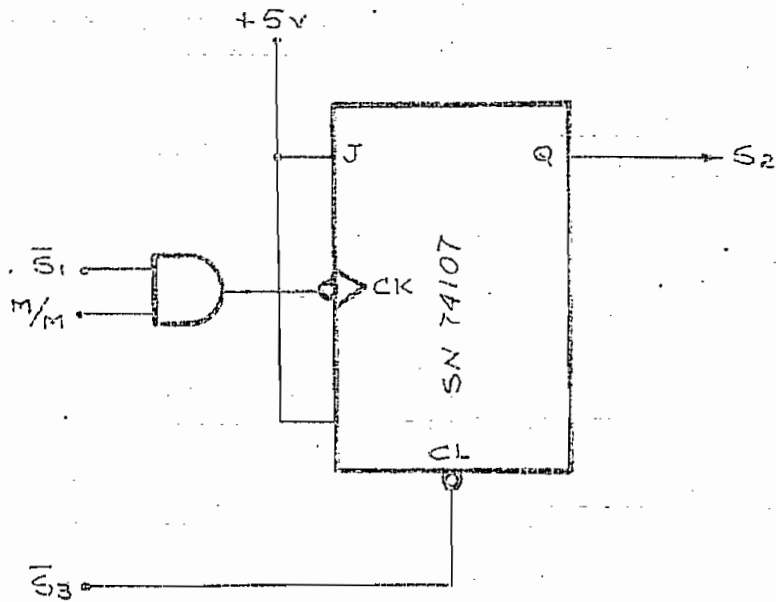


FIGURA 4.12 SEÑAL DE CONTROL DE LA DIRECCION DE CUENTA (S_2).

esto se muestra en la fig. 4.13.

Quedaría por conocer la función M/M ; como se mencionó antes, esta es una señal que la genera el contador, de manera que en la siguiente sección, correspondiente al estudio de los contadores, se verá en detalle como se produce la señal M/M y su modo de empleo.

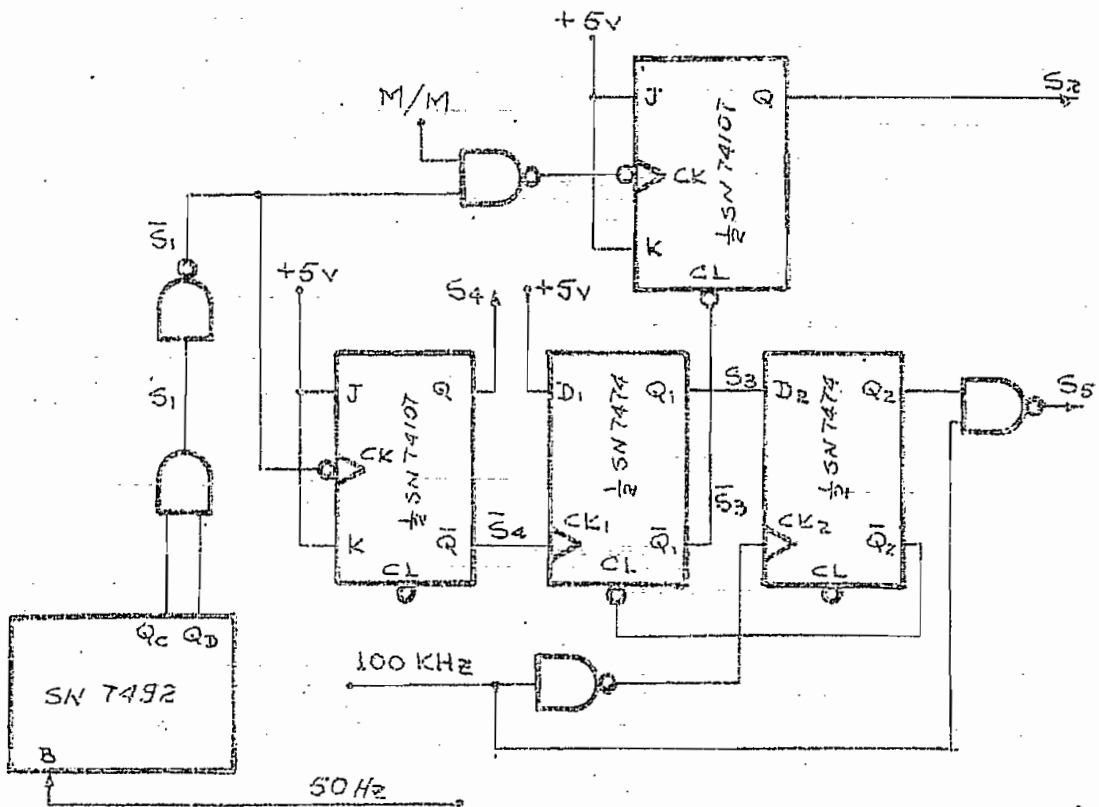


FIGURA 4.13 CIRCUITO DE CONTROL COMPLETO CON SIMBOLOS LOGICOS.

4.6. CONTADORES UP/DOWN

En vista de las necesidades se ha escogido el contador UP/DOWN SN74190, por ser un circuito muy versátil y que simplifica en gran manera al circuito de control.

Algunas de las características especiales de este circuito son: Se trata de un contador sincrónico UP/DOWN BCD que tiene una complejidad equivalente a cincuenta y ocho compuertas. Las salidas de los cuatro flip-flops maes

tro-esclavo son disparadas con una transición de un nivel bajo a uno alto en la entrada de reloj cuando la entrada de habilitación (enable) está en un estado bajo. La entrada de habilitación en el estado alto no permite el conteo. El cambio de nivel de la entrada de habilitación debe realizarse solamente cuando la entrada de reloj es alta. La dirección de la cuenta está determinada por el nivel de la entrada UP/DOWN; cuando es baja, la cuenta se realiza directamente (UP); cuando es alta, la cuenta es regresiva (DOWN). El contador es completamente programable; es decir, las salidas pueden ser preestablecidas a un nivel deseado poniendo un nivel bajo en la entrada de carga (LOAD) e introduciendo los datos deseados en las correspondientes entradas de datos. Esta característica será utilizada para borrar al contador después de que la cuenta final haya sido almacenada en los circuitos retenedores de datos; las salidas toman los datos desde las entradas independientemente del nivel de la entrada del reloj. Existen dos salidas que están disponibles para hacer trabajos en cascada, éstas son: la salida de rizado de reloj (ripple-clock) y la salida máximo/mínimo (M/M). Esta última produce un pulso de salida alto con una duración de aproximadamente igual a un ciclo de reloj cuando el contador sobrepasa su capacidad al contar directa o regresivamente, ésta es otra de las características que será utilizada en el circuito de control para invertir la

dirección de la cuenta cuando el contador regresa a cero y que se verá con más claridad próximamente. La salida ripple-clock produce un pulso de salida de bajo nivel cuando está contando directa o regresivamente y su capacidad es sobrepasada y tiene una duración igual a la parte de bajo nivel de la entrada del reloj. La fig. 4.14 indica las entradas y salidas del contador UP/DOWN SN74190.

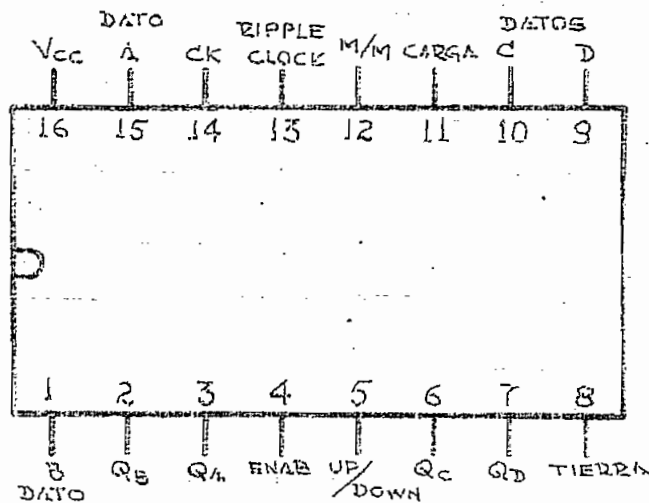


FIGURA 4.14 CONTADOR UP/DOWN SN74190.

La señal de control S_1 está conectada a la entrada de habilitación del primer contador SN74190. La señal S_2 , que indica la dirección de conteo, irá a la entrada UP/DOWN. La señal S_5 , para el borrado de los contadores estará conectada a las entradas de carga (LOAD); como las entradas de datos A, B, C y D están conectadas a tierra al momento de presentarse la señal S_5 , se tendrá ceros en

las salidas Q_A , Q_B , Q_C y Q_D , y el contador estará listo para iniciar una nueva cuenta. Como es necesario trabajar en el modo sincrónico, las entradas de reloj de todos los contadores SN74190 estarán conectadas a la salida del convertidor V/f. La señal ripple-clock quedará desconectada. La salida M/M del primer contador irá a través de un inversor a la entrada de habilitación del segundo contador. La entrada de habilitación del tercer contador es el producto lógico invertido de la salida M/M del primero y segundo contador. De la misma manera la salida M/M del primero, segundo y tercer contador están conectadas a las entradas de una compuerta NAND cuya salida va a la entrada de habilitación del cuarto contador. También las salidas del primero, segundo, tercero y cuarto contador se conectan a las entradas de una compuerta NAND; la salida de esta se conecta a la entrada de habilitación del quinto contador. Esto se hizo con el objeto de trabajar en modo sincrónico. Finalmente, las salidas M/M de todos los contadores están conectadas a las entradas de una compuerta NAND cuya salida ha sido denominada M/M en la fig. 4.6. Esta señal, junto con \bar{S}_1 y \bar{S}_3 generan la función S_2 , que a su vez servirá para producir el signo de la señal analógica.

Las salidas Q_A , Q_B , Q_C y Q_D de los contadores, están conectadas directamente a las entradas de los retenedores

de datos. Las formas de onda de los contadores SN74190 se indican en las hojas de datos del apéndice.

El rango máximo de voltaje es de ± 10 V y la lectura se realizará con cinco cifras; es decir, que el indicador numérico, para máximo voltaje de entrada indicaría ± 10000 . Entonces son necesarios cinco contadores UP/DOWN para la indicación de la magnitud.

4.7 CIRCUITO RETENEDOR DE DATOS SN74LS175

El circuito integrado SN74LS175 es un circuito monolítico que tiene cuatro flip-flops tipo D con disparo positivo, es decir, que cuando hay una transición desde un nivel bajo a uno alto en la entrada de reloj, los datos de las entradas D pasan a las salidas Q. Todos los flip-flops tienen una entrada común de borrado y disponen de salida directa y complementada (Q y \bar{Q}) para cada flip-flop. Cuando la entrada de reloj está en su estado bajo o en su estado alto estacionarios las señales en las entradas D no tienen efecto en la salida. Estos circuitos son totalmente compatibles con la mayoría de los circuitos TTL y DTL. En el apéndice se incluyen los datos y conexiones internas del C.I. SN74LS175.

4.7.a CONEXIONES AL CIRCUITO RETENEDOR DE DATOS

En el caso de los retenedores de datos, a las entradas D irán conectadas las salidas Q de los contadores UP/DOWN, (como se indicó antes). Los datos que se presenten en dichas entradas solamente podrán pasar a las salidas cada vez que se complete un ciclo de conversión, es decir, cada doscientos-cuarenta ms, para este fin se ha generado la función S_3 , que sirve para cargar a los retenedores con los datos obtenidos del nuevo período de conversión. De modo que la señal S_3 irá a la entrada del reloj de cada uno de los retenedores de datos. En la tabla de verdad para estos retenedores se ve que para cargar nuevos datos es necesaria una transición positiva del reloj, en otras circunstancias el dato anterior permanece almacenado en el retenedor. La entrada clear del SN74LS175 no interesa, puesto que en este caso, para almacenar nuevos datos no es necesario borrar los anteriores, sin embargo, para que no se introduzca ruido por la entrada clear es preferible que esté conectada a la fuente del voltaje V_{CC} . Las salidas Q de los retenedores van conectadas a las correspondientes entradas de los circuitos decodificadores BCD; las salidas complementadas (\bar{Q}) de los retenedores están conectadas a los indicadores de numeración binaria que están constituidos por diodos emisores de luz (LED'S).

El número 10.000 en base binaria necesita 17 dígitos y uno más para la representación del signo, de modo que en

total son necesarios 18 LED's es decir, 18 flip-flops para almacenar los correspondientes datos; puesto que cada circuito integrado SN74LS175 tiene 4 flip-flops, se utilizarán 4 circuitos integrados de este tipo y los 2 flip-flops restantes estarán formados por un circuito integrado SN7474, cuyas características fundamentales son: tiene dos flip-flops en cada circuito integrado, sus entradas de reloj son independientes lo que servirá especialmente para la retención del signo; además, tiene entradas clear y preset. Se dispara con la transición positiva del reloj. Así mismo dispone de una salida directa y una salida complementada (Q y \bar{Q}).

Las características de operación del SN7474 son muy semejantes a aquellas del SN74LS175, la diferencia principal radica más bien en los tiempos de retardo de propagación que difieren en unos pocos nanosegundos siendo más lento el SN7474; de aquí que la frecuencia máxima de trabajo del SN7474 es de unos 25 MHz, de todos modos esto no es un problema porque los datos se almacenarán cada 240 ms, como se vió anteriormente; es decir, que la frecuencia de trabajo para la presente tesis es de alrededor de 4 Hz. En las hojas del apéndice se incluyen los datos correspondientes al C.I. SN7474. Para evitar el ruido, las entradas preset y clear estarán conectadas a la fuente de V_{CC} .

Para la retención del dígito más significativo correspondiente al "1" decimal, se utiliza un circuito integrado SN7474, constituido por dos flip-flops del tipo D. En la entrada de datos se conecta la salida Q_A del contador más significativo mientras que a la entrada del reloj irá la señal \overline{S}_3 , utilizada para cargar los SN74175. La salida \overline{Q} del SN7474 estará conectada al display decimal correspondiente, mientras que la salida Q irá a un inversor lógico; la salida de este inversor está conectada a través de una resistencia a un diodo emisor de luz que nos indicará el bit más significativo en representación binaria.

4.8 CIRCUITO DECODIFICADOR SN7447AN

El circuito integrado SN7447AN es un decodificador de decimal codificado en binario-a-siete-segmentos. Tiene salida con colector abierto y puede accionar directamente a los indicadores numéricos; además, está provisto de una entrada para probar las lámparas de los indicadores. En la fig. 4.15 se indican como están distribuidas internamente las conexiones en el circuito integrado.

Este circuito decodificador/impulsor (decoder/driver) decimal codificado en binario-a-siete-segmentos está diseñado para activar directamente las lámparas cuando su salida tiene un nivel; es decir su característica es de ac--

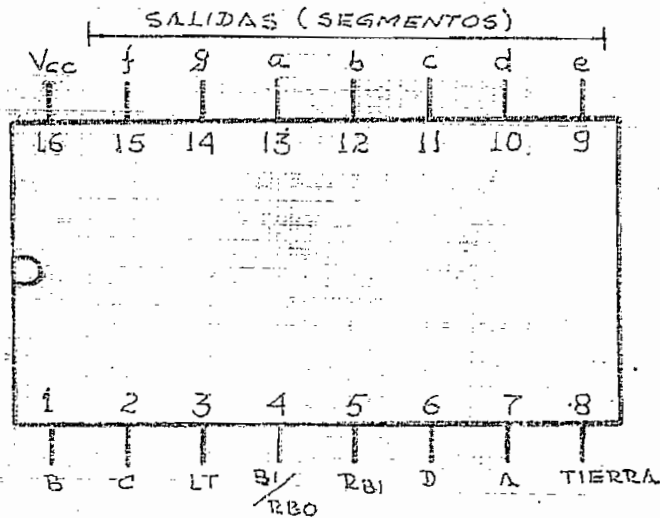


FIGURA 4.15 CIRCUITO INTEGRADO DECODIFICADOR/IMPULSOR
SN7447AN.

tivo-bajo. Podemos agregar que en el nivel activo para el SN7447AN la corriente de salida I_{OL} es de 40 mA con un voltaje máximo de 15 V y una disipación de potencia típica de 320 mW. Su rango de temperatura es desde 0°C hasta 70°C.

Este circuito tiene controles completos para ripple-blanking de entrada y salida. La fig, 4.16 indica la identificación de segmentos junto con el display resultante.

Las salidas del circuito integrado SN7447 irán directamente a los segmentos del display numérico de siete segmentos.

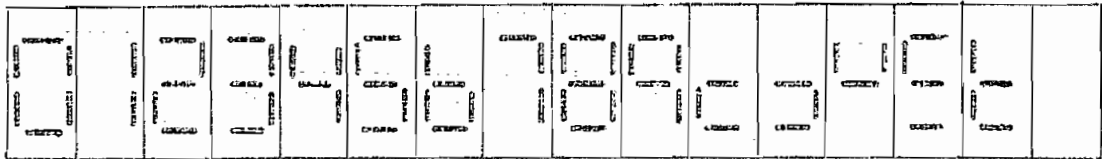
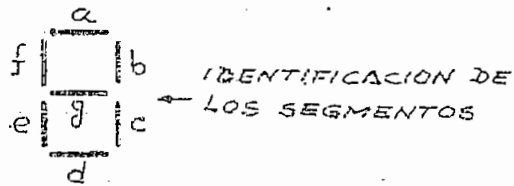


FIGURA 4.16 IDENTIFICACION DE SEGMENTOS Y DISPLAY RESULTANTE PARA EL SN7447AN.

4.9 POLARIDAD DE LA SEÑAL ANALOGICA

La fig. 4.17 indica el circuito utilizado para determinar la polaridad analógica de la señal de entrada. Las señales de control S_2 y S_4 están conectadas a un registro de almacenamiento constituido por un biestable tipo D (SN7474). S_2 determina la polaridad de la señal analógica y está conectada a la entrada D, mientras que la señal S_4 va a la entrada de reloj del flip-flop.

S_2 sirve además para controlar la dirección de la cuenta de los contadores UP/DOWN. Cuando la señal analógica es positiva S_2 tiene la misma forma que S_4 (fig. 4.6a); con el flanco negativo de S_4 , en la salida Q del biestable se tendrá un nivel alto (1). Cuando la señal analógica es

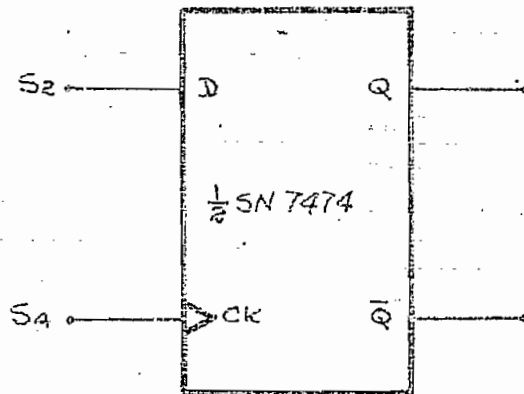


FIGURA 4.17 DETERMINACION DE LA POLARIDAD DE LA SEÑAL ANALOGICA.

negativa, la señal S_2 baja a 0 antes de que lo haga S_4 (fig. 4.6b), de manera que al producirse el flanco negativo de S_4 , en la salida Q del biestable tendremos un nivel bajo (0).

4.10 SISTEMAS DE INDICACION NUMERICA

En el presente trabajo se utilizan dos sistemas de indicación numérica. El primero de los cuales es con diodos emisores de luz (LED's) los cuales proporcionan la indicación numérica binaria. Los LED's están conectados de la siguiente manera: el ánodo a una fuente de +5V a través de una resistencia de 300 ohmios y el cátodo a la salida \bar{Q} de los circuitos retenedores de datos como se indica en la fig. 4.18.

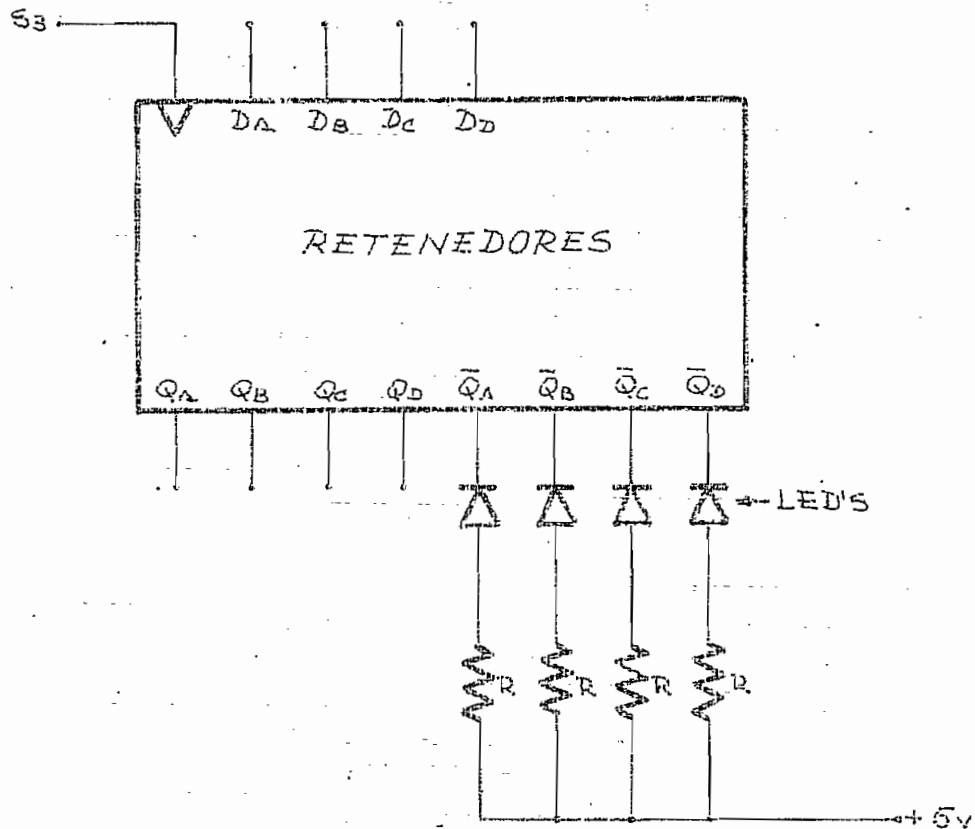


FIGURA 4.16 CONEXION DE LOS DIODOS EMISORES DE LUZ.

La resistencia R es para limitar la corriente directa a través de los LED's. Para una luminosidad bastante buena se requiere una corriente de unos 10 mA; así mismo, en conducción, la caída de voltaje en los diodos es de alrededor de 1.6V. Cuando la salida \bar{Q} está a un bajo nivel de voltaje, por ejemplo: 0.4V, el circuito equivalente será:

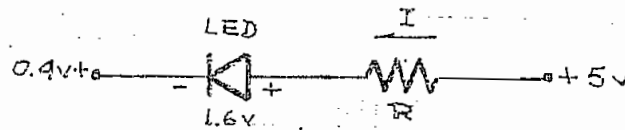


FIGURA 4.19 CIRCUITO EQUIVALENTE 1.

De manera que el LED queda polarizado directamente, en cuyo caso circulará una corriente directa I de unos 10mA, la caída de voltaje en el diodo será de 1.6V, mientras que en la resistencia caerá aproximadamente 3V (fig. 4.19) de aquí se puede calcular el valor de la resistencia R , que será la misma para cada uno de los LED's.

$$R = 300 \text{ ohmios}$$

Cuando la salida \bar{Q} está a un alto nivel de voltaje (3,7 V, valor típico), el circuito equivalente está indicado en la fig. 4.20. Como se puede ver, el diodo emisor queda polarizado inversamente y por lo tanto no se iluminará.

Finalmente, el circuito de indicación numérica binario quedará formado por 17 diodos emisores de luz para la magnitud y un LED adicional para la indicación de la polaridad de la señal analógica.



FIGURA 4.20 CIRCUITO EQUIVALENTE 2.

El otro sistema de indicación numérica utilizado es el decimal formado por displays de siete segmentos. En realidad cada uno de los segmentos que forman el display es un diodo emisor de luz. Para poder utilizar la información binaria almacenada en los retenedores de datos es necesario usar los circuitos decodificadores. Los decodificadores que se utilizaron son del tipo SN7447, cuyo estudio se hizo en una sección anterior en este mismo capítulo.

Al igual que los LED's estudiados anteriormente, aquellos de los displays de siete segmentos pueden ser polarizados con una fuente de + 5V y una resistencia en serie para limitar la corriente a través de cada diodo cuando este se encuentra en conducción.

La fig. 4.21 muestra un display de siete segmentos del tipo 50827730 fabricado por Hewlett-Packard y que se uti-

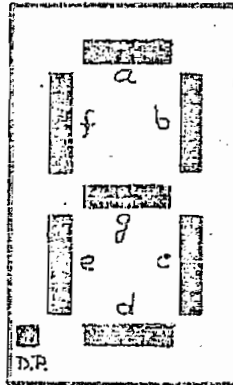


FIGURA 4.21 DISPLAY DE SIETE SEGMENTOS 5082-7730.

liza en esta tesis. Contiene siete diodos emisores de luz con ánodo común; la polarización es idéntica al de los LED's estudiados antes. Más información se muestra en las hojas de datos del apéndice. Para la indicación numérica decimal se utiliza cuatro displays de siete segmentos para los números menores que 10.000.

Para la indicación del signo se utiliza un display especial que contiene los signos +, - y el número "1", se ha hecho en vista de que el rango máximo del convertidor A/D es ± 10.000 . El dígito "1" se enciende únicamente cuando en la entrada analógica se tiene 0.1V, 1V, o 10V, (dependiendo del rango de voltaje escogido).

CAPITULO 5.

CONSTRUCCION Y EXPERIMENTACION.

5.1 DETALLES DE CONSTRUCCION

Después que se ha realizado el estudio de cada una de las partes y elementos -con sus valores respectivos- que conformarán el convertidor A/D, se creyó conveniente dividir al sistema en las siguientes partes para la construcción del equipo.

Parte 1. Fuentes de polarización: + 5V
+15V.
-15V

Parte 2 Circuito analógico: V.C.O.

Parte 3 Circuito digital: control lógico

Parte 4 Circuito digital: contadores
retenedores
decodificadores

Parte 5 Sistemas de indicación: LED's

Displays

Cada una de las partes indicadas (a excepción de los sistemas de indicación) ha sido implementada en una tarjeta de baquelita, y se muestran en las fotos 5.1, 5.2, 5.3 y 5.4. Esta distribución facilita la ubicación de las secciones que conforman el convertidor A/D.

En la parte posterior del chasis se encuentra el transformador y la tarjeta de las fuentes de polarización del sistema; el transistor de potencia y el puente de rectificación para la fuente de +5V están montados en la parte exterior del chasis sobre un disipador de calor, para facilitar su enfriamiento.

También se vió la necesidad de poner protecciones para el equipo, por lo que se han incluido fusibles para cada una de las fuentes y para la entrada de la red de 110 V. Los fusibles están montados en la parte posterior del chasis.

Las tarjetas que contienen los circuitos analógicos y digitales han sido montadas en un soporte metálico que contiene unos conectores propios para este tipo de tarjetas, lo que facilita mucho su montaje y desmontaje y tam-

bién realizar conexiones entre tarjetas.

Finalmente, la tarjeta que contiene los sistemas de indicación numérica se encuentra montada sobre el panel frontal del equipo. La foto 5.5 muestra la distribución de las tarjetas dentro del equipo y la foto 5.6 el panel frontal.

En el panel frontal, se encuentra además lo siguiente:

- Un conmutador con tres escalas para seleccionar el rango de la señal de entrada.
- Una salida con conector coaxial para el oscilador de 100 KHz.
- Una salida con conector coaxial para la conversión de V/f.
- Un conector coaxial para la entrada de la señal analógica.
- Un conmutador para la línea de 110 V.
- Una lámpara piloto para 110V, en paralelo con el primario del transformador.

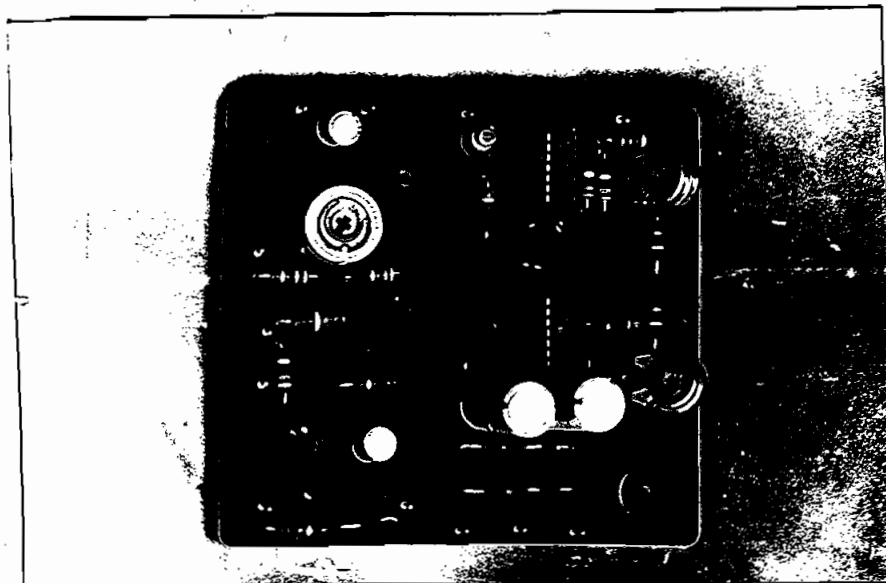


FOTO 5.1 FUENTES DE POLARIZACION.

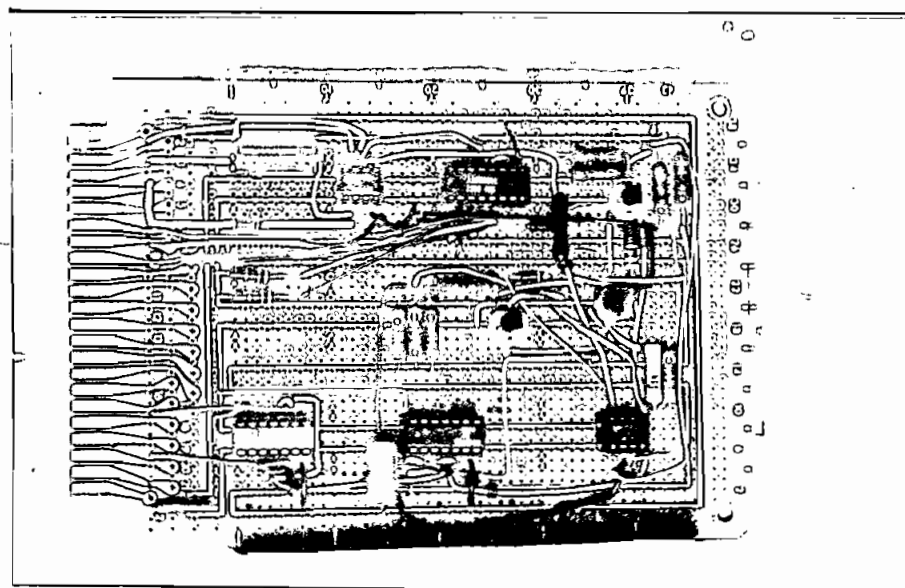


FOTO 5.2 V.C.O.

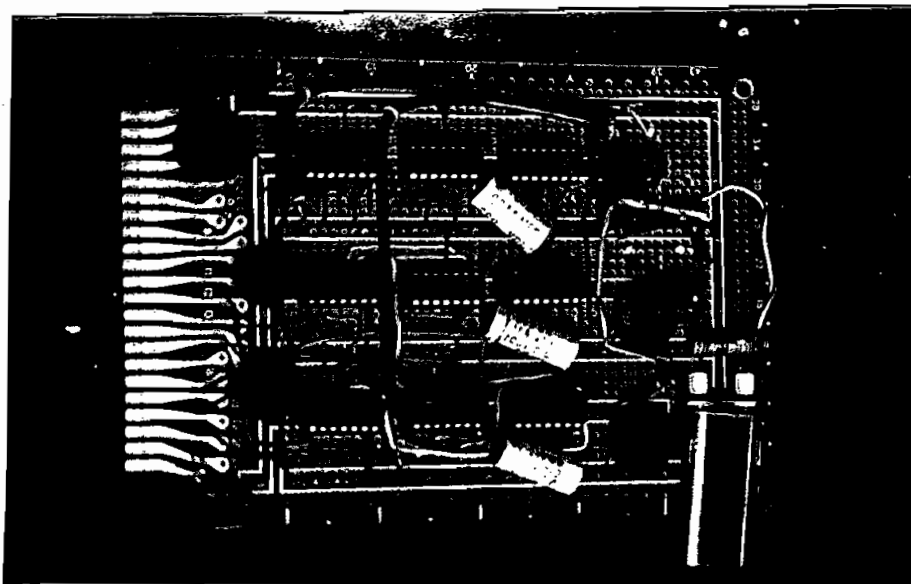


FOTO 5.3 CONTROL LOGICO.

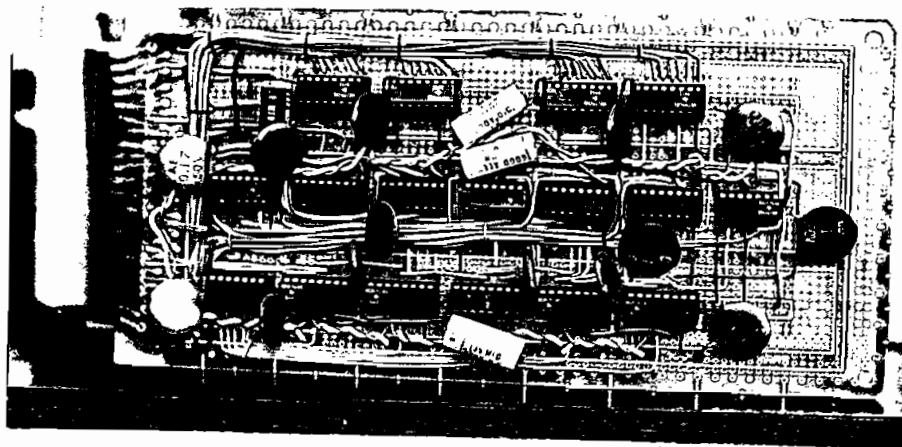


FOTO 5.4 CONTADORES, RETENEDORES Y DECODIFICADORES.

CONTADORES, RETENEDORES, DECODIFICADORES

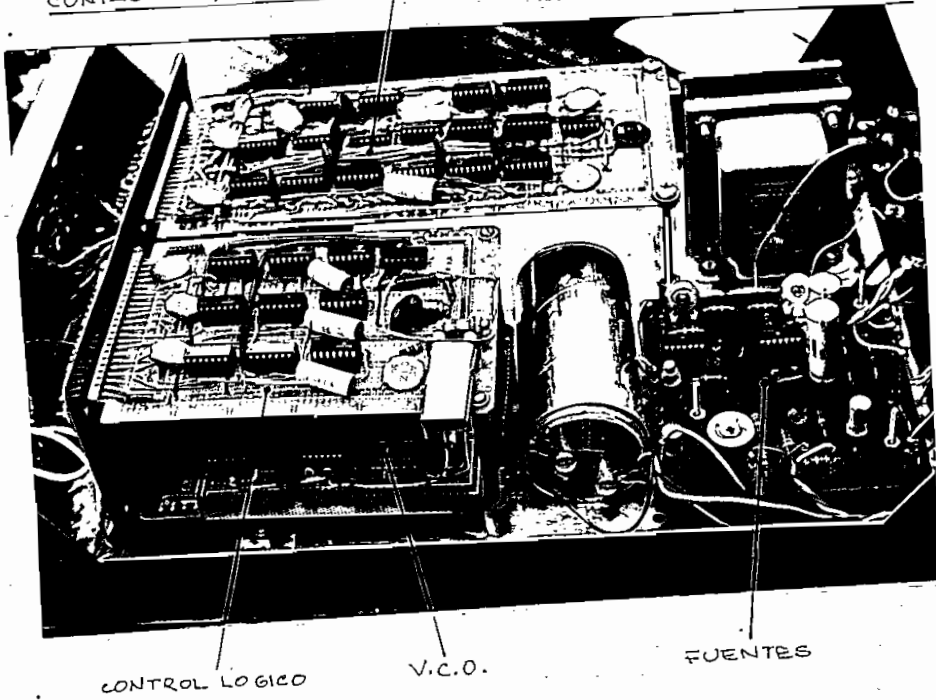


FOTO 5.5 DISTRIBUCION DE LAS TARJETAS.

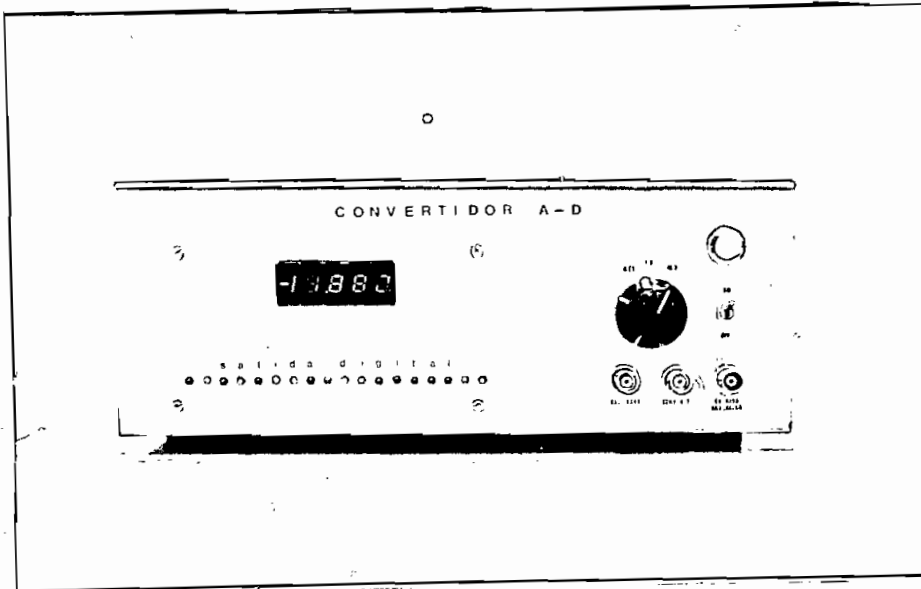


FOTO 5.6 PANEL FRONTAL.

5.2 CALIBRACION

Se ha creído conveniente utilizar los siguientes elementos para la calibración del equipo:

- Un capacitor variable para la calibración del oscilador de 100 KHz.
- Un capacitor variable para calibrar la frecuencia de oscilación del convertidor V/f.
- Un potenciómetro para calibrar la fuente de +5V.
- Un potenciómetro para la fuente de +15V.
- Un potenciómetro para la fuente de -15V.

5.3 EXPERIMENTACION

Una vez armado el equipo se han realizado las pruebas y comprobaciones pertinentes. Se ha puesto especial cuidado en la verificación de cada una de las señales de control, para lo cual se utilizó un osciloscopio Tektronix 475.

Se han obtenido las siguientes fotos de las señales de

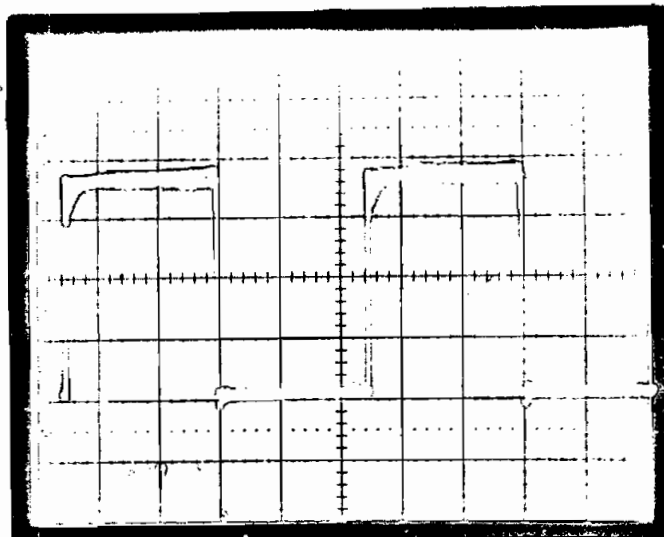
control:

- La foto 5.7 indica la señal del oscilador de 100KHz;
- La foto 5.8 corresponde a la señal del reloj (50Hz).
- La foto 5.9 la señal de control S_1 .
- La foto 5.10 muestra las señales S_3 y S_5 . Simultáneamente. Como se recordará la señal S_3 se utiliza para cargar los retenedores, mientras que S_5 es para el borrado de los contadores. S_5 es retrazada 5 s con respecto a S_3 ; esto puede observarse en esta foto.

También se analizó la señal generada por el convertidor V/f. Las fotos 5.11 y 5.12 muestran esta señal para dos diferentes voltajes de entrada.

5.4 RESULTADOS

Los resultados experimentales muestran que este no es un convertidor A/D ideal, puesto que los elementos utilizados tienen tolerancias de 10%, y solamente para la fuente de corriente controlada por voltaje se han utilizado resistencias con una tolerancia del 1%. Estos son algunos de los motivos por los cuales la conversión, especial

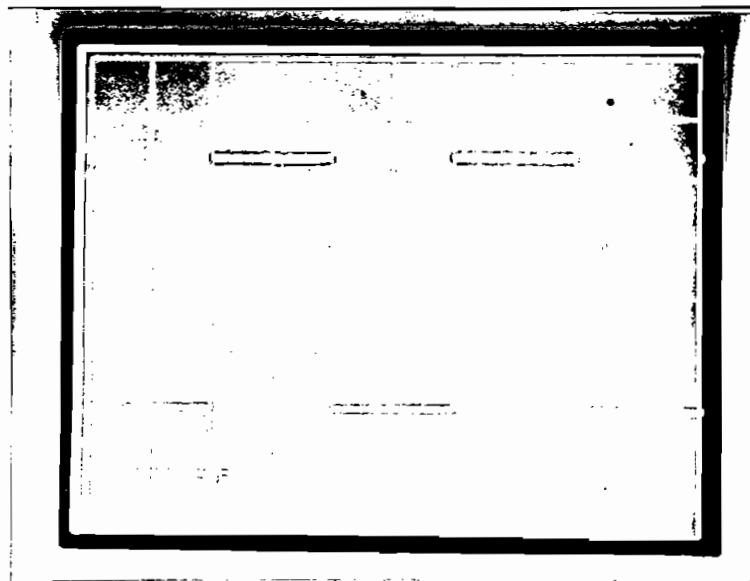


ESCALAS

VERT. 1V/DIV

HORIZ. 2 μ S/DIV

FOTO 5.7 OSCILADOR 100 KHZ.



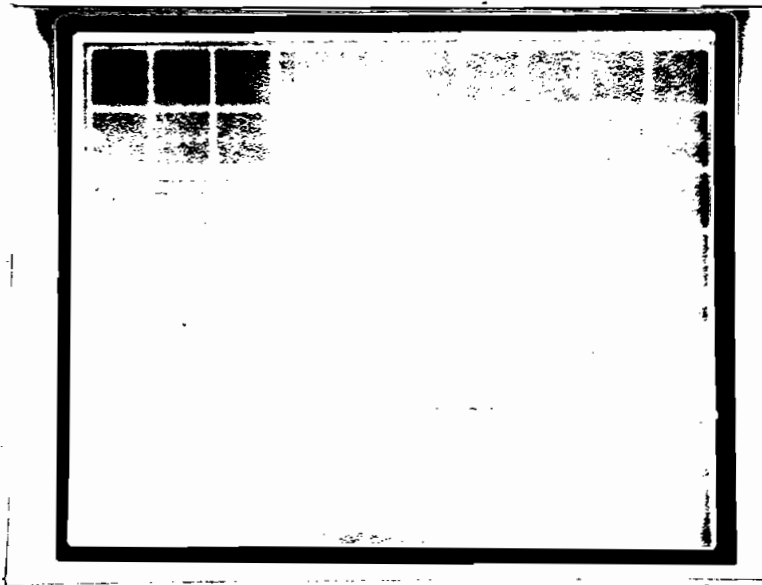
ESCALAS

VERT. 1V/DIV

HORIZ. 5ms/DIV

FOTO 5.8 RELOJ 50 Hz.

CONSTRUCCION Y EXPERIMENTACION 5.10

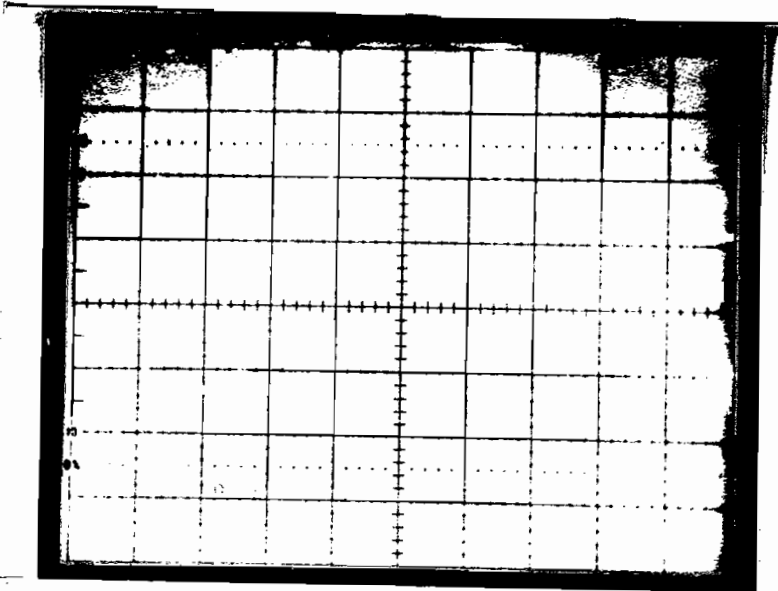


ESCALAS

VERT. 1V/DIV

HORIZ. 20MS/DIV

FOTO 5.9 SEÑAL DE CONTROL S_1 .



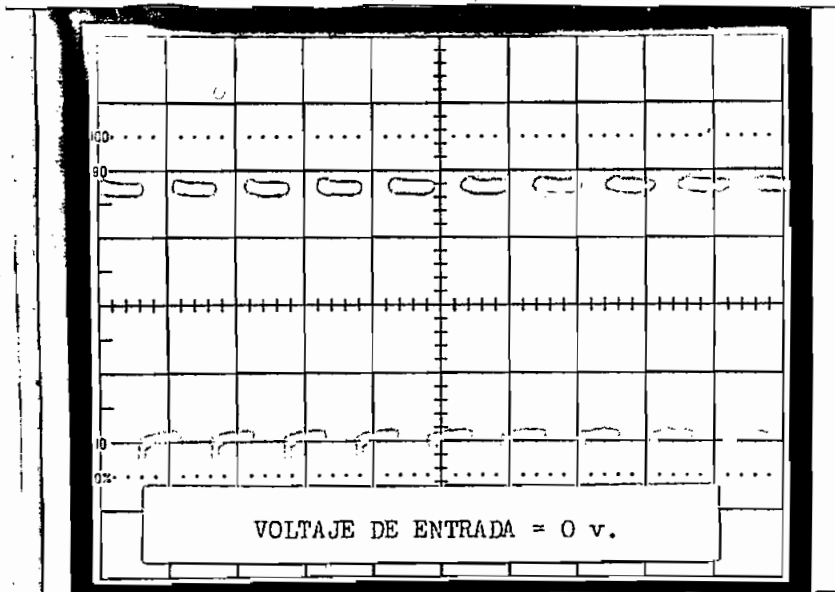
ESCALAS

VERT. 2V/DIV

HORIZ. 5 μ S/DIV

FOTO 5.10 SEÑALES DE CONTROL S_3 Y S_5 .

CONSTRUCCION Y EXPERIMENTACION 5.11

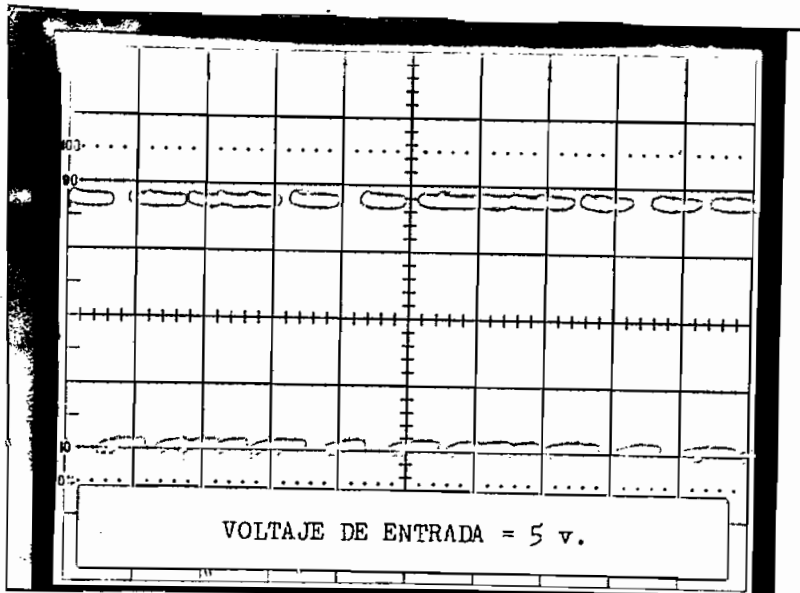


ESCALAS

VERT. 1V/DIV

HORIZ. 5 μ S/DIV

FOTO 5.11 FORMA DE ONDA DEL CONVERTIDOR V/F.



ESCALAS

VERT. 1V/DIV

HORIZ. 5 μ S/DIV

FOTO 5.12 FORMA DE ONDA DEL CONVERTIDOR V/f.

mente para voltajes positivos, no sea lineal, sin embargo, el error producido por el equipo no es mayor que el 5 % y depende mucho de la tolerancia del capacitor utilizado para el convertidor V/f.

El problema principal radica en las señales espúreas, que producen inestabilidad en el equipo, y que se denomina ruido digital surgido. Para evitarlo se han tomado algunas medidas que disminuyen estas señales no deseadas.

En primer lugar se ha puesto capacitores de 0.1 F/50 V entre la fuente de polarización y la tierra de cada C.I. Además, algunos conectores han sido pasados a través de ferritas, bobinas de choques, etc. Como resultado de esto se ha conseguido reducir bastante el ruido digital pero no totalmente.

CAPITULO 6.

CONCLUSIONES.

6.1 CONCLUSIONES

Los resultados experimentales del presente trabajo son bastante aceptables y concuerdan con los resultados analíticos.

El precio del equipo, considerando los circuitos integrados, las tarjetas, conectores, elementos y otros materiales es de alrededor de 12.000,00 sucres. Considerando el número de dígitos binarios (18 bits, incluido el signo) el precio es mucho menor que un equipo equivalente en el mercado internacional que es de alrededor de 2.000 dólares.

Para el caso de producción en serie de este equipo habría que tomar en cuenta ciertas precauciones como el de tarjetas especiales, circuitos integrados de bajo ruido, una mejor distribución interna de los elementos y de ser

posible reducción de las dimensiones del aparato.

En la actualidad existen muchos tipos de convertidores A/D con diferentes técnicas de conversión y en forma de circuitos integrados; sin embargo, la ventaja de su diseño y realización en nuestro país radica en el conocimiento de la técnica utilizada para su fabricación.

B I B L I O G R A F I A

REVISTA ELECTRONICS, Septiembre 11, 1972.

J. G. GRAEME: "APPLICATIONS OF OPERATIONAL AMPLIFIERS",
The Burr-Brown, Electronics Series, McGRAW-HILL BOOK
COMPANY, NUEVA YORK, 1973.

MALMSTADT/ENKE: "DIGITAL ELECTRONICS FOR SCIENTISTS",
W. A. BENJAMIN, INC., NEW YORK, 1969.

DANIEL H. SHEINGOLD: "ANALOG-DIGITAL CONVERSION HAND-
BOOK", ANALOG DEVICES, NORWOOD, MASS., 1972.

STAFF DE INGENIEROS DE TEXAS INSTRUMENTS, INC.: "TRAN-
SISTORES CIRCUITOS-DISEÑO", CECSA, MEXICO, 1970.

HOWARD W. SAMS AND COMPANY: "REFERENCE DATA FOR RADIO
ENGINEERS", IIT, QUINTA EDICION, NEW YORK, 1973.

TEXAS INSTRUMENTS INC.: "THE TTL DATA BOOK", CRAMER
ELECTRONICS INC., 1973.

A P E N D I C E

SERIES 54/74 FLIP-FLOPS

recommended operating conditions

PARAMETER	SERIES 54/74				'70				'72, '73, '76, '107				'74				'109				'110				'111				UNIT
	MIN	TYP	MAX	MAX	MIN	TYP	MAX	MAX	MIN	TYP	MAX	MAX	MIN	TYP	MAX	MAX	MIN	TYP	MAX	MAX	MIN	TYP	MAX	MAX	MIN	TYP	MAX	MAX	
Supply voltage, V _{CC}	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	V	
High-level output current, I _{OH}	-400				-400				-400				-400				-600				-800				-800				μA
Low-level output current, I _{OL}	16				16				16				16				16			16				16				mA	
Pulse width, t _w	20				20				20				20				20			20				20				ns	
	30				30				30				30				30			30				30				ns	
Present or clear low	25				25				25				25				25			25				25				ns	
Input setup time, t _{setup}	20				20				20				20				20			20				20				ns	
Input hold time, t _{hold}	51				51				51				51				51			51				51				ns	
Operating free-air temperature, T _A	-55				-55				-55				-55				-55			-55				-55				°C	
	0				0				0				0				0			0				0				°C	

† The arrow indicates the edge of the clock pulse used for reference; † for the rising edge; ‡ for the falling edge.

‡ The arrow indicates the edge of the clock pulse used for reference; ‡ for the rising edge; † for the falling edge.

Electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†				'70				'72, '73, '76, '107				'74				'109				'110				'111				UNIT
	MIN	TYP	MAX	MAX	MIN	TYP	MAX	MAX	MIN	TYP	MAX	MAX	MIN	TYP	MAX	MAX	MIN	TYP	MAX	MAX	MIN	TYP	MAX	MAX	MIN	TYP	MAX	MAX	
V _{IH} High-level input voltage	2				2				2				2				2			2				2				V	
V _{IL} Low-level input voltage																												V	
V _I Input clamp voltage																												V	
V _{OH} High-level output voltage																												V	
V _{OL} Low-level output voltage																												V	
I _I Input current at maximum input voltage																												mA	
I _{IH} High-level input current	D, J, K, or R																											μA	
	Clear	80			80				80				80				80			80				80				μA	
	Present	80			80				80				80				80			80				80				μA	
	Clock	40			40				40				40				40			40				40				μA	
I _{IL} Low-level input current	D, J, K, or R																											μA	
	Clear	-3.2			-3.2				-3.2				-3.2				-3.2			-3.2				-3.2				mA	
	Present	-3.2			-3.2				-3.2				-3.2				-3.2			-3.2				-3.2				mA	
I _{OS} Short-circuit output current	Series 54																											mA	
	Series 74																											mA	
I _{CC} Supply current (Average per flip-flop)																												mA	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.

§ Not more than one output should be shorted at a time.

NOTE 1: With all outputs open, I_{CC} is measured with the C and Q outputs high in turn. At the time of measurement, the clock input is at 4.5 V for the '70, '110, and '111; and is grounded for all the others.

† The input clamp voltage specification is effective for Series 54/74 parts (also covered 7302 or higher).

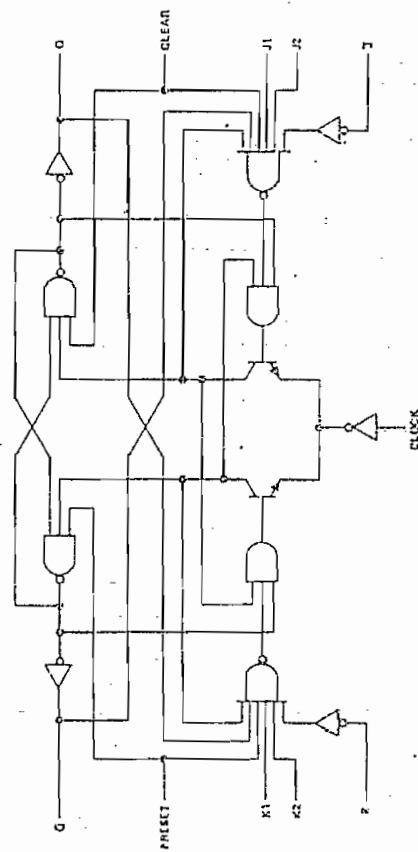
SERIES 54/74 FLIP-FLOPS

switching characteristics, VCC = 5 V, TA = 25°C

PARAMETER ¹	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	'70		'72, '73 '76, '107		'74		'109		'110		'111		UNIT						
				MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		MIN	TYP	MAX			
f _{max}				20	35	15	20	16	25	25	33	20	25	20	25	MHz						
t _{PLH}	Preset	Q	CL = 15 pF, RL = 600 Ω, See Note 2	50	50	16	25	16	25	25	10	15	12	20	12	18	nS					
t _{PHL}	(as applicable)	Q		50	50	25	40	40	40	40	23	35	18	25	21	30	nS					
t _{PLH}	Clear	Q		50	50	16	25	16	25	25	10	15	12	20	12	18	nS					
t _{PHL}	(as applicable)	Q		50	50	25	40	40	40	40	17	25	18	25	21	30	nS					
t _{PLH}	Clock	Q or Q̄		10	27	50	10	16	25	10	14	25	4	10	16	10	20	30	6	12	17	nS
t _{PHL}				10	18	50	10	25	40	10	20	40	9	18	28	6	13	20	10	20	30	nS

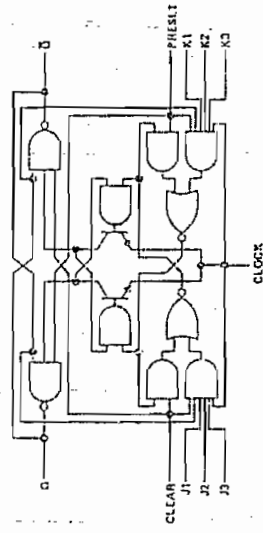
¹t_{max} = maximum clock frequency; t_{PLH} = propagation delay time, low-to-high-level output; t_{PHL} = propagation delay time, high-to-low-level output.
NOTE 2: Load circuit and voltage waveforms are shown on page 148.

functional block diagrams



'70-GATED J-K WITH CLEAR AND PRESET

See following pages for:
 '73-DUAL J-K WITH CLEAR
 '74-DUAL D WITH CLEAR AND PRESET
 '76-DUAL J-K WITH CLEAR AND PRESET
 '107-DUAL J-K WITH CLEAR



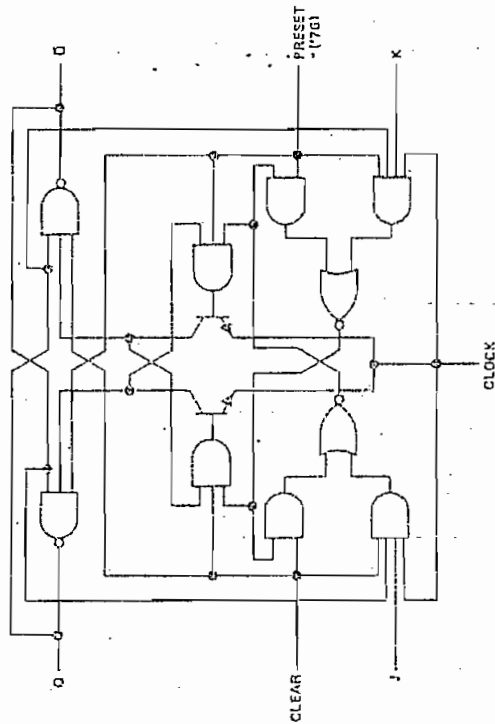
'72-GATED J-K WITH CLEAR AND PRESET

'109-DUAL J-K WITH CLEAR AND PRESET
 '110-GATED J-K WITH CLEAR AND PRESET
 '111-DUAL J-K WITH CLEAR AND PRESET

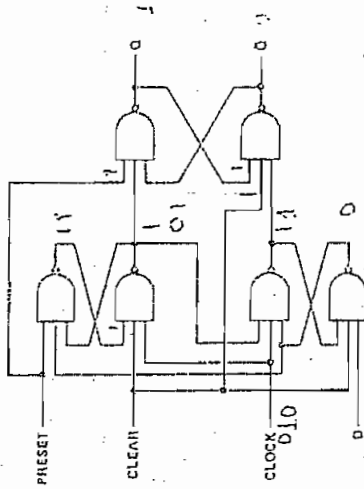
SERIES 54/74 FLIP-FLOPS

2

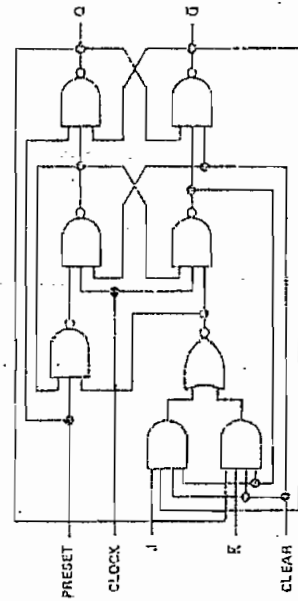
functional block diagrams (continued)



'73-DUAL J-K WITH CLEAR
'76-DUAL J-K WITH CLEAR AND PRESET
'107-DUAL J-K WITH CLEAR



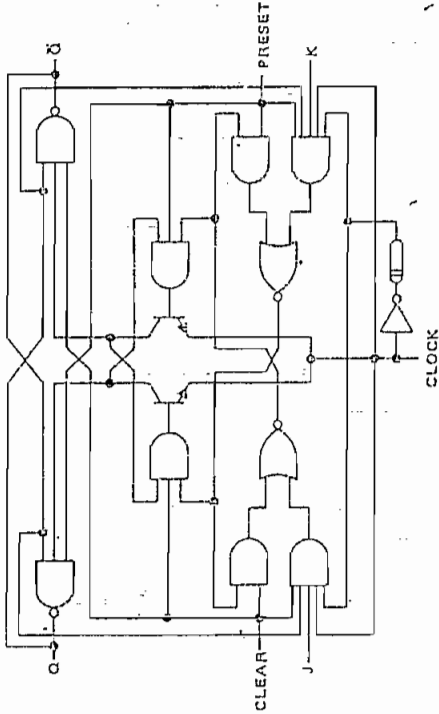
'74-DUAL D WITH CLEAR AND PRESET



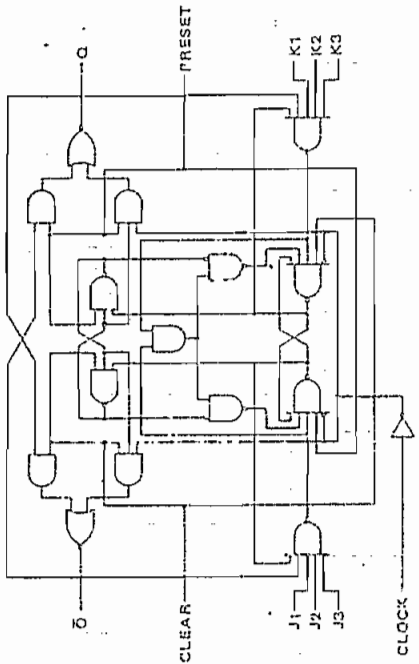
'109-DUAL J-K WITH CLEAR AND PRESET

SERIES 54/74 FLIP-FLOPS

functional block diagrams (continued)

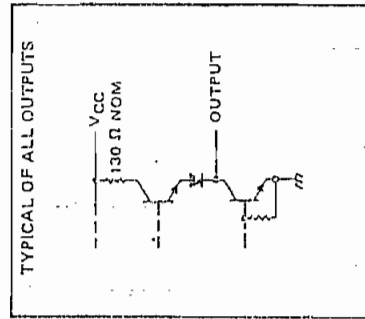
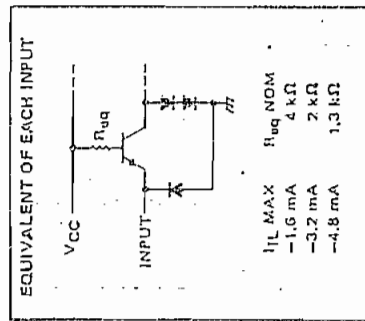


74111-DUAL J-K WITH CLEAR AND PRESET



74110-GATED J-K WITH CLEAR AND PRESET

schematics of inputs and outputs



TYPES SN5446A, SN5447A, SN5448, SN5449, SN54L46, SN54L47,
SN7446A, SN7447A, SN7448, SN7449, SN74L46, SN74L47
BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

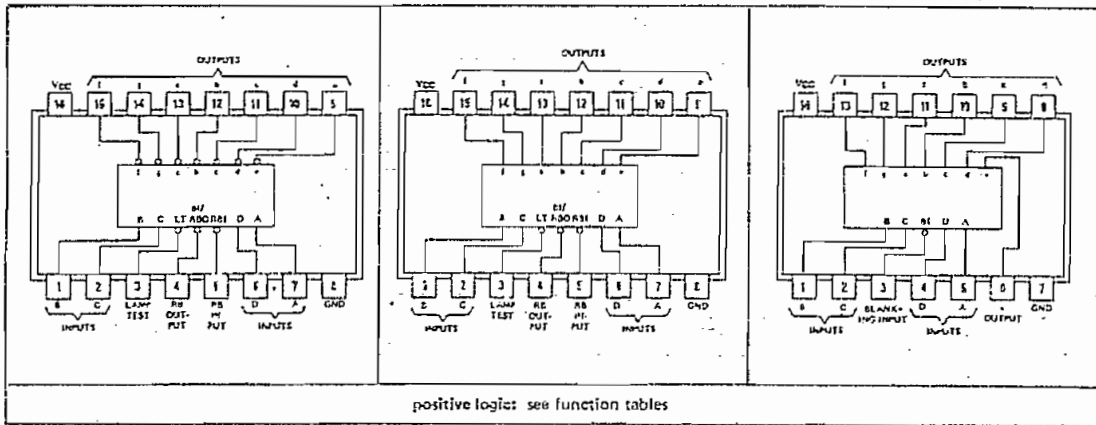
BULLETIN NO. DLS 7211811, DECEMBER 1972

- | | | |
|--|---|--|
| <p>'46A, '47A, 'L46, 'L47
feature</p> <ul style="list-style-type: none"> • Open-Collector Outputs Drive Indicators Directly • Lamp-Test Provision • Leading/Trailing Zero Suppression | <p>'48
features</p> <ul style="list-style-type: none"> • Internal Pull-Ups Eliminate Need for External Resistors • Lamp-Test Provision • Leading/Trailing Zero Suppression | <p>'49
features</p> <ul style="list-style-type: none"> • Open-Collector Outputs • Blanking Input |
|--|---|--|
- All Circuit Types Feature Lamp Intensity Modulation Capability

'46A, '47A ... J, N, OR W PACKAGE
'L46, 'L47 ... J OR N PACKAGE
(TOP VIEW)

'48 ... J, N, OR W PACKAGE
(TOP VIEW)

'49 ... W PACKAGE
(TOP VIEW)



description

Of these BCD-to-seven-segment decoder/driver circuits, the '46A, 'L46, '47A, and 'L47 feature active-low outputs designed for driving indicators directly, and the other two, '48 and '49, feature active-high outputs for driving lamp buffers. The following table summarizes the differences in the driver outputs and gives the typical power dissipation.

TYPE	DRIVER OUTPUTS				TYPICAL POWER DISSIPATION
	ACTIVE-LEVEL	OUTPUT CONFIGURATION	I _{OL} , SINK CURRENT	MAX VOLTAGE	
'46A	low	open-collector	40 mA	30 V	320 mW
'L46	low	open-collector	20 mA	30 V	160 mW
'47A	low	open-collector	40 mA	15 V	320 mW
'L47	low	open-collector	20 mA	15 V	160 mW
'48A	high	2-k Ω pull-up	6.4 mA	5.5 V	265 mW
'49A	high	open-collector	10 mA	5.5 V	155 mW

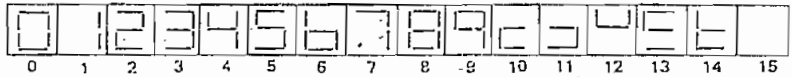
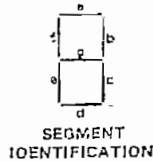
All of the circuits except '49 have full ripple-blanking input/output controls and a lamp test input. The '49 circuit incorporates a direct blanking input. Segment identification with resultant displays are shown on the following page. Display patterns for BCD input counts above 9 are unique symbols to authenticate input conditions.

TYPES SN5446A, SN5447A, SN5448, SN5449, SN54L46, SN54L47,
 SN7446A, SN7447A, SN7448, SN7449, SN74L46, SN74L47
 BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

description (continued)

The '46A, '47A, '48, 'L46, and 'L47 circuits incorporate automatic leading and/or trailing-edge zero-blanking control (RBI and RBO). Lamp test (LT) of these types may be performed at any time when the BI/RBO node is at a high level. All types contain an overriding blanking input (BI) which can be used to control the lamp intensity by pulsing or to inhibit the outputs. Inputs and outputs are entirely compatible for use with TTL or DTL logic outputs.

Series 54 and Series 54L devices are characterized for operation over the full military temperature range of -55°C to 125°C; Series 74 and Series 74L devices are characterized for operation from 0°C to 70°C.



NUMERICAL DESIGNATIONS AND RESULTANT DISPLAYS

'46A, '47A, 'L46, 'L47
 FUNCTION TABLE

DECIMAL OR FUNCTION	INPUTS						BI/RBO†	OUTPUTS							NOTE
	LT	RBI	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	1
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	1
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON	
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON	
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON	
6	H	X	L	H	H	L	H	OFF	OFF	ON	ON	ON	ON	ON	
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON	
9	H	X	H	L	L	H	H	ON	ON	ON	OFF	OFF	ON	ON	
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON	
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON	
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON	
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	OFF	ON	ON	
14	H	X	H	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON	
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
BI	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
RBI	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	4

H = high level, L = low level, X = irrelevant

- NOTES: 1. The blanking input (BI) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input (RBI) must be open or high if blanking of a decimal zero is not desired.
 2. When a low logic level is applied directly to the blanking input (BI), all segment outputs are off regardless of the level of any other input.
 3. When ripple-blanking input (RBI) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go off and the ripple-blanking output (RBO) goes to a low level (response condition).
 4. When the blanking input/ripple blanking output (BI/RBO) is open or held high and a low is applied to the lamp-test input, all segment outputs are on.

† BI/RBO is wire-AND logic serving as blanking input (BI) and/or ripple-blanking output (RBO).

TYPES SN5446A, SN5447A, SN5448, SN5449, SN54L46, SN54L47,
SN7446A, SN7447A, SN7448, SN7449, SN74L46, SN74L47
BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

48
FUNCTION TABLE

DECIMAL OR FUNCTION	INPUTS						BI/RBO1	OUTPUTS							NOTE
	LT	RBI	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	H	H	H	H	H	L	1	
1	H	X	L	L	L	H	H	L	H	H	L	L	L	1	
2	H	X	L	L	H	L	H	H	H	L	H	H	L	H	
3	H	X	L	L	H	H	H	H	H	H	H	L	L	H	
4	H	X	L	H	L	L	H	L	H	H	L	L	H	H	
5	H	X	L	H	L	H	H	H	L	H	H	L	H	H	
6	H	X	L	H	H	L	H	L	L	H	H	H	H	H	
7	H	X	L	H	H	H	H	H	H	H	L	L	L	L	
8	H	X	H	L	L	L	H	H	H	H	H	H	H	H	
9	H	X	H	L	L	H	H	H	H	H	L	L	H	H	
10	H	X	H	L	H	L	H	L	L	L	H	H	L	H	
11	H	X	H	L	H	H	H	L	L	H	H	L	L	H	
12	H	X	H	H	L	L	H	L	H	L	L	L	H	H	
13	H	X	H	H	L	H	H	H	L	L	L	H	L	H	
14	H	X	H	H	H	L	H	L	L	L	H	H	H	H	
15	H	X	H	H	H	H	H	L	L	L	L	L	L	L	
BI	X	X	X	X	X	X	L	L	L	L	L	L	L	2	
RBI	H	L	L	L	L	L	L	L	L	L	L	L	L	3	
LT	L	X	X	X	X	X	H	H	H	H	H	H	H	4	

H = high level, L = low level, X = irrelevant

- NOTES: 1. The blanking input (BI) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input (RBI) must be open or high, if blanking of a decimal zero is not desired.
2. When a low logic level is applied directly to the blanking input (BI), all segment outputs are low regardless of the level of any other input.
3. When ripple-blanking input (RBI) and inputs A, B, C, and D are at a low level with the lamp-test input high, all segment outputs go low and the ripple-blanking output (RBO) goes to a low level (response condition).
4. When the blanking input/ripple-blanking output (BI/RBO) is open or held high and a low is applied to the lamp-test input, all segment outputs are high.
- BI/RBO is wire-AND logic serving as blanking input (BI) and/or ripple-blanking output (RBO).

49
FUNCTION TABLE

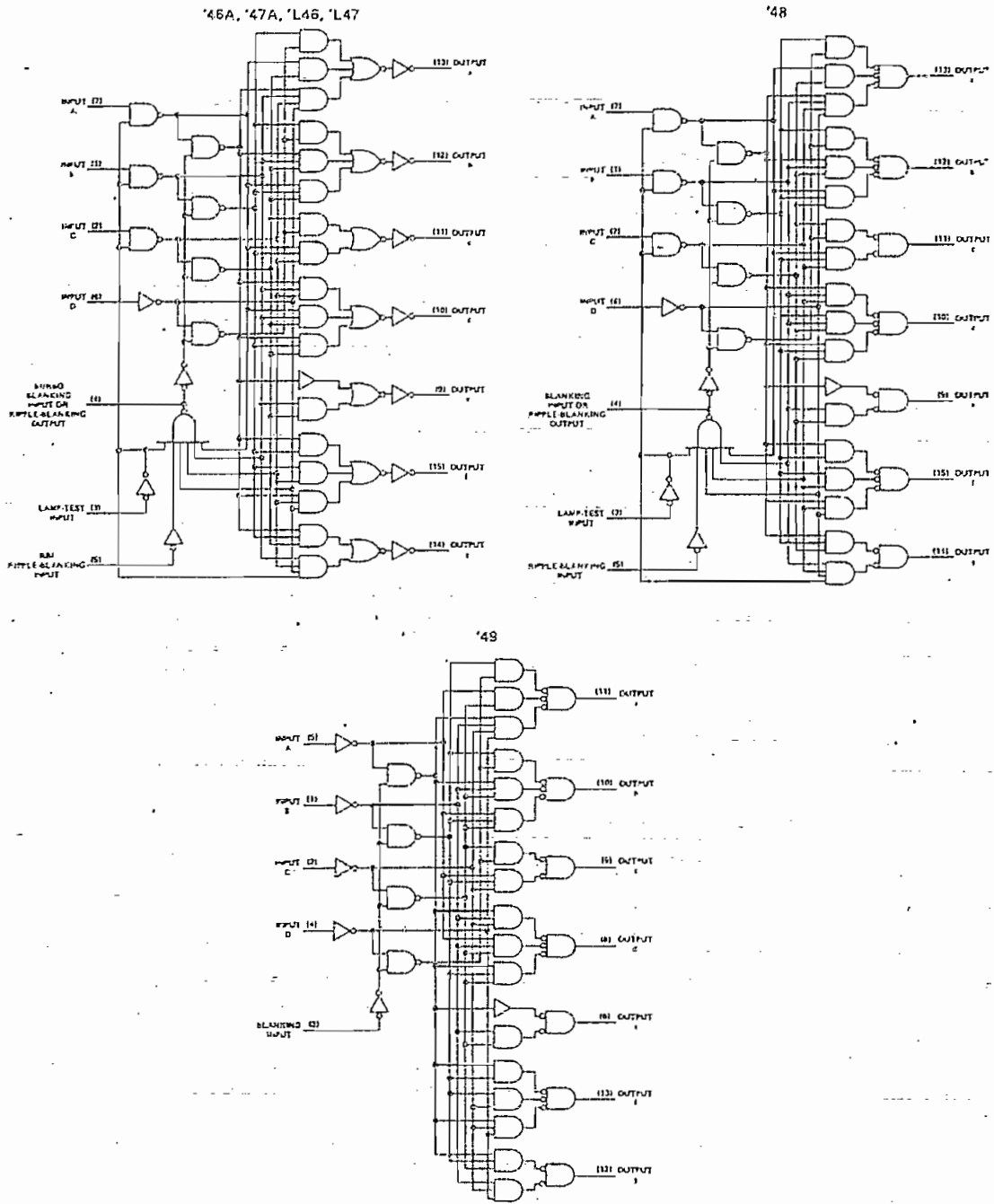
DECIMAL OR FUNCTION	INPUTS						OUTPUTS							NOTE
	D	C	B	A	BI	a	b	c	d	e	f	g		
0	L	L	L	L	H	H	H	H	H	H	H	H	1	
1	L	L	L	H	H	L	H	H	H	H	H	H	1	
2	L	L	H	L	H	H	H	L	H	H	H	L	H	
3	L	L	H	H	H	H	H	H	H	H	L	L	H	
4	L	H	L	L	H	L	H	H	L	L	L	H	H	
5	L	H	L	H	H	H	L	H	H	L	H	H	H	
6	L	H	H	L	H	L	L	H	H	H	H	H	H	
7	L	H	H	H	H	H	H	H	H	L	L	L	L	
8	H	L	L	L	H	H	H	H	H	H	H	H	H	
9	H	L	L	H	H	H	H	H	L	L	L	H	H	
10	H	L	H	L	H	L	L	L	H	H	L	L	H	
11	H	L	H	H	H	L	L	H	H	L	L	L	H	
12	H	H	L	L	H	L	H	L	L	L	L	H	H	
13	H	H	L	H	H	H	L	L	L	H	L	H	H	
14	H	H	H	L	H	L	L	L	H	H	H	H	H	
15	H	H	H	H	H	L	L	L	L	L	L	L	L	
BI	X	X	X	X	L	L	L	L	L	L	L	L	2	

H = high level, L = low level, X = irrelevant

- NOTES: 1. The blanking input (BI) must be open or held at a high logic level when output functions 0 through 15 are desired.
2. When a low logic level is applied directly to the blanking input (BI), all segment outputs are low regardless of the level of any other input.

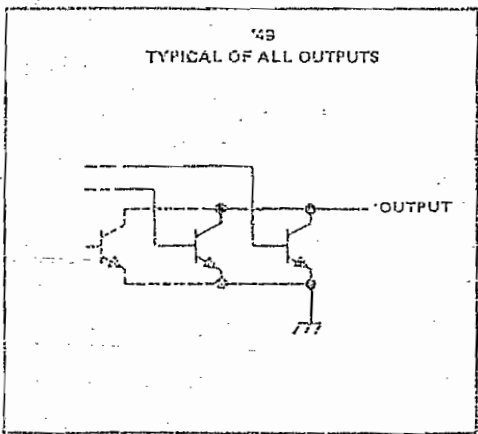
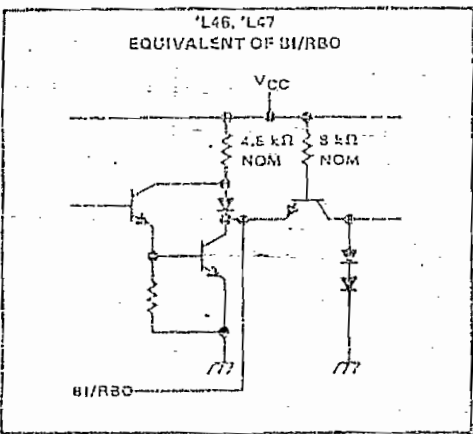
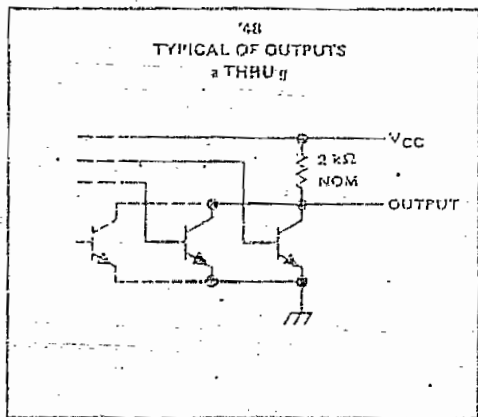
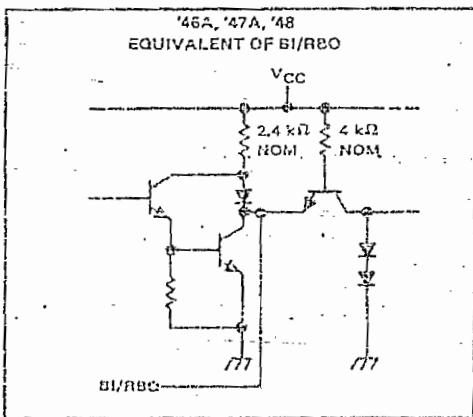
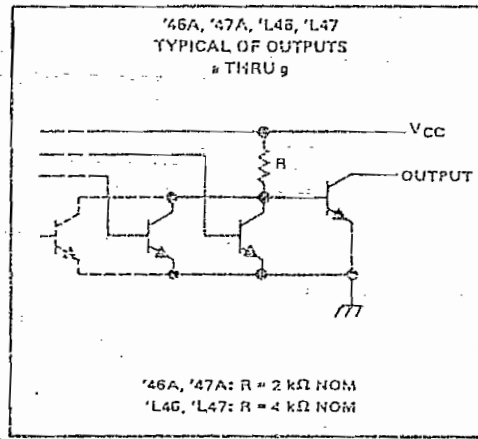
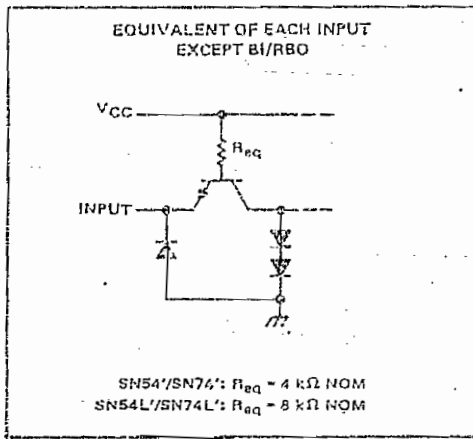
TYPES SN5446A, SN5447A, SN5448, SN5449, SN54L46, SN54L47,
 SN7446A, SN7447A, SN7448, SN7449, SN74L46, SN74L47
 BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

functional block diagrams



TYPES SN5446A, SN5447A, SN5448, SN5449, SN54L46, SN54L47,
SN7446A, SN7447A, SN7448, SN7449, SN74L46, SN74L47
BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

schematics of inputs and outputs



1272

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

177

TYPES SN5446A, SN5447A, SN7446A, SN7447A,
BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage	5.5 V
Current forced into any output in the off state	1 mA
Operating free-air temperature range: SN5446A, SN5447A Circuits	-55°C to 125°C
SN7446A, SN7447A Circuits	0°C to 70°C
Storage temperature-range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

	SN5446A			SN5447A			SN7446A			SN7447A			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.5	5	5.5	4.75	5	5.25	4.75	5	5.25	V

TYPES SN5446A, SN5447A, SN7446A, SN7447A, BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage	5.5 V
Current forced into any output in the off state	1 mA
Operating free-air temperature range: SN5446A, SN5447A Circuits	-55°C to 125°C
SN7446A, SN7447A Circuits	0°C to 70°C
Storage temperature-range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

	SN5446A			SN5447A			SN7446A			SN7447A			UNIT				
	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX					
Supply voltage, V_{CC}	4.5	5	5.5	4.5	5	5.5	4.75	5	5.25	4.75	5	5.25	V				
Off-state output voltage, $V_{O(off)}$	a thru g			30			15			30			V				
On-state output current, $I_{O(on)}$	a thru g			40			40			40			mA				
High-level output current, I_{OH}	BI/RBO			-200			-200			-200			μ A				
Low-level output current, I_{OL}	BI/RBO			8			8			8			mA				
Operating free-air temperature, T_A	-55			125			-55			125			0	70	0	70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS [†]	MIN	TYP [‡]	MAX	UNIT	
V_{IH}	High-level input voltage		2			V	
V_{IL}	Low-level input voltage				0.8	V	
V_I	Input clamp voltage, any input except BI/RBO	$V_{CC} = \text{MIN}$, $I_I = -10 \text{ mA}$			-1.5	V	
V_{OH}	High-level output voltage	BI/RBO $V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OH} = -200 \mu\text{A}$	2.4	3.7		V	
V_{OL}	Low-level output voltage	BI/RBO $V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OL} = 8 \text{ mA}$		0.3	0.4	V	
$I_{O(off)}$	Off-state output current	a thru g $V_{CC} = \text{MAX}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $V_{O(off)} = \text{MAX}$			250	μ A	
$V_{O(on)}$	On-state output voltage	a thru g $V_{CC} = \text{MAX}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{O(on)} = 40 \text{ mA}$	0.3	0.4		V	
I_I	Input current at maximum input voltage	Any input except BI/RBO $V_{CC} = \text{MAX}$, $V_I = 5.5 \text{ V}$			1	mA	
I_{IH}	High-level input current	Any input except BI/RBO $V_{CC} = \text{MAX}$, $V_I = 2.4 \text{ V}$			40	μ A	
I_{IL}	Low-level input current	Any input except BI/RBO $V_{CC} = \text{MAX}$, $V_I = 0.4 \text{ V}$			-1.6	mA	
I_{OS}	Short-circuit output current	BI/RBO $V_{CC} = \text{MAX}$			-4	mA	
I_{CC}	Supply current	$V_{CC} = \text{MAX}$, See Note 2			64	85	mA
					64	103	

[†]For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.

[‡]All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.

NOTE 2: I_{CC} is measured with all outputs open and all inputs at 4.5 V.

switching characteristics, $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{off}	Turn-off time from A input	$C_L = 15 \text{ pF}$, $R_L = 120 \Omega$, See Note 3			100	ns
t_{on}	Turn-on time from A input				100	
t_{off}	Turn-off time from RBI input				100	ns
t_{on}	Turn-on time from RBI input				100	

NOTE 3: Load circuit and voltage waveforms are shown on page 148; t_{off} corresponds to t_{pLH} and t_{on} corresponds to t_{pHL} .

TYPES: SN54L46, SN54L47, SN74L46, SN74L47 BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage	5.5 V
Peak output current ($t_w \leq 1$ ms, duty cycle $\leq 10\%$)	200 mA
Current forced into any output in the off state	1 mA
Operating free-air temperature range: SN54L46, SN54L47 Circuits	-55°C to 125°C
SN74L46, SN74L47 Circuits	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

	SN54L46			SN54L47			SN74L46			SN74L47			UNIT		
	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX			
Supply voltage, V_{CC}	4.5	5	5.5	4.5	5	5.5	4.75	5	5.25	4.75	5	5.25	V		
Off-state output voltage, $V_{O(off)}$	a thru g			30			15			30			15	V	
On-state output current, $I_{O(on)}$	a thru g			20			20			20			20	mA	
High-level output current, I_{OH}	BI/RBO			-100			-100			-100			-100	μ A	
Low-level output current, I_{OL}	BI/RBO			4			4			4			4	mA	
Operating free-air temperature, T_A	-55			125			0			70			0	70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS ¹	MIN	TYP [†]	MAX	UNIT	
V_{IH}	High-level input voltage		2			V	
V_{IL}	Low-level input voltage				0.8	V	
V_I	Input clamp voltage, any input except BI/RBO	$V_{CC} = \text{MIN}$, $I_I = -12$ mA			-1.5	V	
V_{OH}	High-level output voltage	BI/RBO $V_{CC} = \text{MIN}$, $V_{IH} = 2$ V, $V_{IL} = 0.8$ V, $I_{OH} = -100$ μ A	2.4	3.4		V	
V_{OL}	Low-level output voltage	BI/RBO $V_{CC} = \text{MIN}$, $V_{IH} = 2$ V, $V_{IL} = 0.8$ V, $I_{OL} = 4$ mA	0.2	0.4		V	
$I_{O(off)}$	Off-state output current	a thru g $V_{CC} = \text{MAX}$, $V_{IH} = 2$ V, $V_{IL} = 0.8$ V, $V_{O(off)} = \text{MAX}$			250	μ A	
$V_{O(on)}$	On-state output voltage	a thru g $V_{CC} = \text{MAX}$, $V_{IH} = 2$ V, $V_{IL} = 0.8$ V, $I_{O(on)} = 20$ mA			0.4	V	
I_I	Input current at maximum input voltage	Any input except BI/RBO $V_{CC} = \text{MAX}$, $V_I = 5.5$ V			1	mA	
I_{IH}	High-level input current	Any input except BI/RBO $V_{CC} = \text{MAX}$, $V_I = 2.4$ V			20	μ A	
I_{IL}	Low-level input current	Any input except BI/RBO $V_{CC} = \text{MAX}$, $V_I = 0.4$ V			-0.8	mA	
		BI/RBO			-2		
I_{OS}	Short-circuit output current	BI/RBO $V_{CC} = \text{MAX}$			-2	mA	
I_{CC}	Supply current	$V_{CC} = \text{MAX}$, See Note 2	SN54L [†]		32	43	mA
			SN74L [†]		32	52	

[†] For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.

[†] All typical values are at $V_{CC} = 5$ V, $T_A = 25^\circ\text{C}$.

NOTE 2: I_{CC} is measured with all outputs open and all inputs at 4.5 V.

switching characteristics, $V_{CC} = 5$ V, $T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{off}	Turn-off time from A input			200	ns
t_{on}	Turn-on time from A input			200	
t_{off}	Turn-off time from RBI input			200	ns
t_{on}	Turn-on time from RBI input			200	

NOTE 3: Load circuit and voltage waveforms are shown on page 146, t_{off} corresponds to t_{pLH} and t_{on} corresponds to t_{pHL} .

TYPES SN54174, SN54175, SN54LS174, SN54LS175, SN54S174, SN54S175,
SN74174, SN74175, SN74LS174, SN74LS175, SN74S174, SN74S175
HEX/QUADRUPLE D-TYPE FLIP-FLOPS WITH CLEAR

BULLETIN NO. DL 5 7211803, DECEMBER 1972

'174, 'LS174, 'S174 ... HEX D-TYPE FLIP-FLOPS

'175, 'LS175, 'S175 ... QUADRUPLE D-TYPE FLIP-FLOPS

- '174, 'LS174, 'S174 Contain Six Flip-Flops with Single-Rail Outputs
- '175, 'LS175, 'S175 Contain Four Flip-Flops with Double-Rail Outputs
- Three Performance Ranges Offered: See Table Lower Right
- Buffered Clock and Direct Clear Inputs
- Individual Data Input to Each Flip-Flop
- Applications include:
Buffer/Storage Registers
Shift Registers
Pattern Generators

description

These monolithic, positive-edge-triggered flip-flops utilize TTL circuitry to implement D-type flip-flop logic. All have a direct clear input, and the '175, 'LS175, and 'S175 feature complementary outputs from each flip-flop.

Information at the D inputs meeting the setup time requirements is transferred to the Q outputs on the positive-going edge of the clock pulse. Clock triggering occurs at a particular voltage level and is not directly related to the transition time of the positive-going pulse. When the clock input is at either the high or low level, the D input signal has no effect at the output.

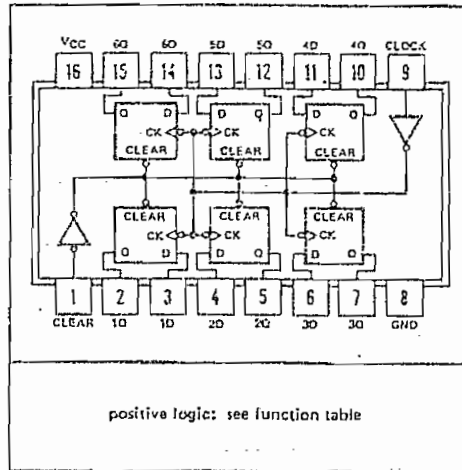
These circuits are fully compatible for use with most TTL or DTL circuits.

FUNCTION TABLE
(EACH FLIP-FLOP)

INPUTS			OUTPUTS	
CLEAR	CLOCK	D	Q	\bar{Q} †
L	X	X	L	H
H	↑	H	H	L
H	↑	L	L	H
H	L	X	Q_0	\bar{Q}_0

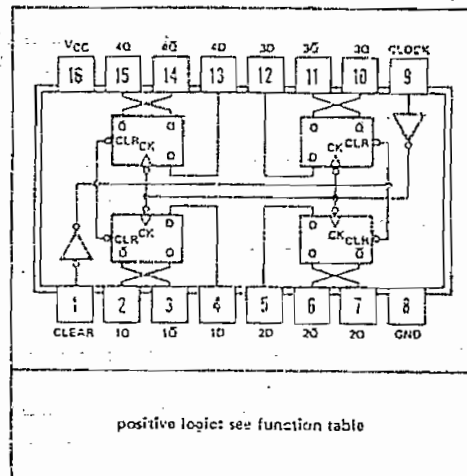
- H = high level (steady state)
- L = low level (steady state)
- X = irrelevant
- ↑ = transition from low to high level
- Q_0 = the level of Q before the indicated steady-state input conditions were established.
- † = '175, 'LS175, and 'S175 only

SN54S174 ... J OR W PACKAGE
'174, 'LS174, SN74S174 ... J, N, OR W PACKAGE
(TOP VIEW)



positive logic: see function table

'175, 'LS175, 'S175 ... J, N, OR W PACKAGE
(TOP VIEW)



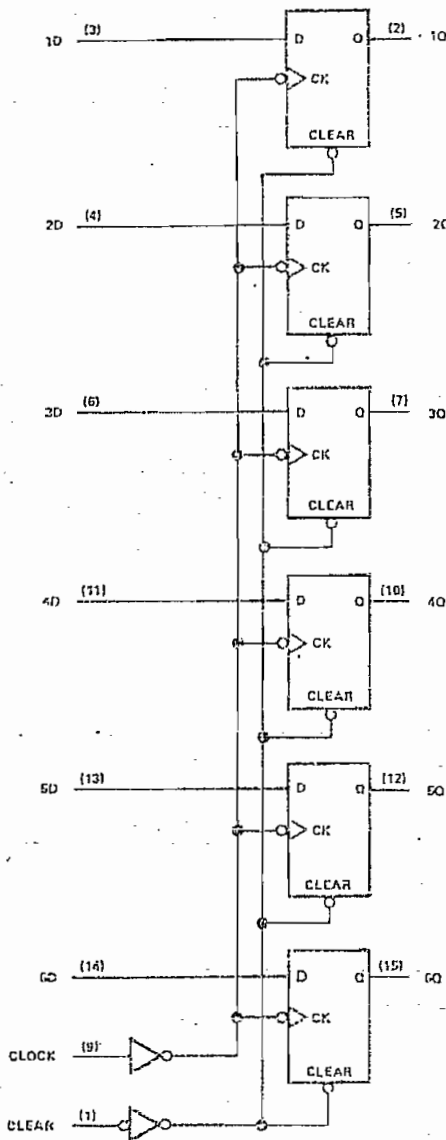
positive logic: see function table

TYPES	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION PER FLIP-FLOP
'174, '175	35 MHz	38 mW
'LS174, 'LS175	40 MHz	11 mW
'S174, 'S175	110 MHz	75 mW

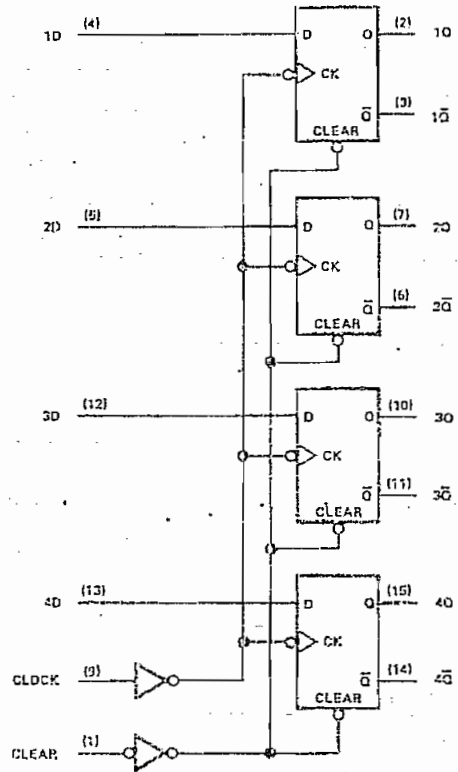
TYPES SN54174, SN54175, SN54LS174, SN54LS175, SN54S174, SN54S175,
 SN74174, SN74175, SN74LS174, SN74LS175, SN74S174, SN74S175
 HEX/QUADRUPLE D-TYPE FLIP-FLOPS WITH CLEAR


functional block diagrams

'174, 'LS174, 'S174



'175, 'LS175, 'S175

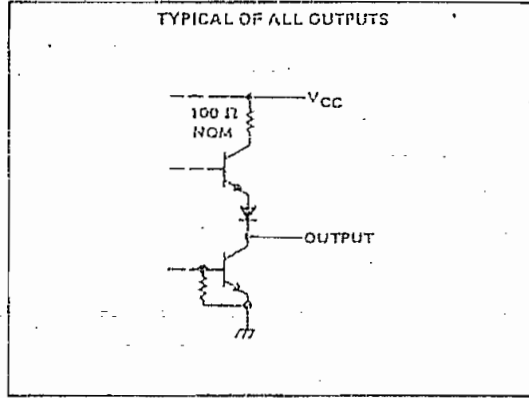
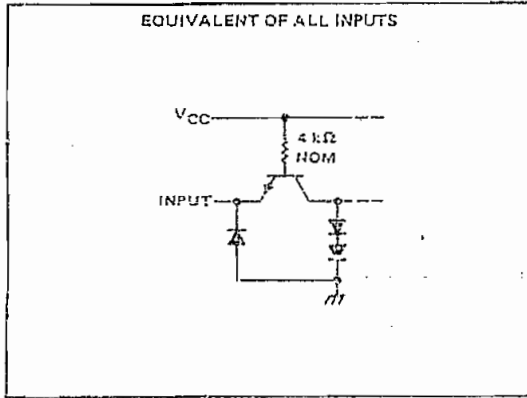


 . . . dynamic input activated by transition from a high level to a low level.

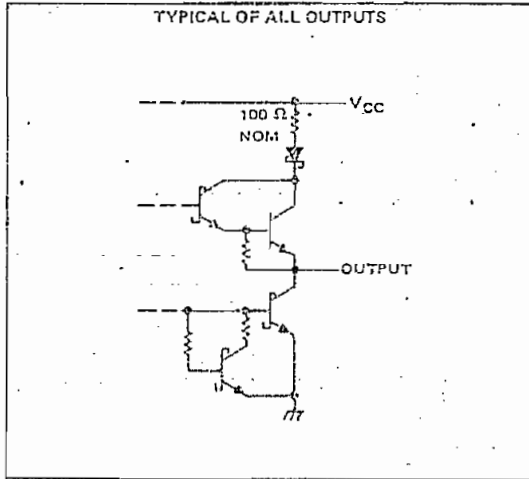
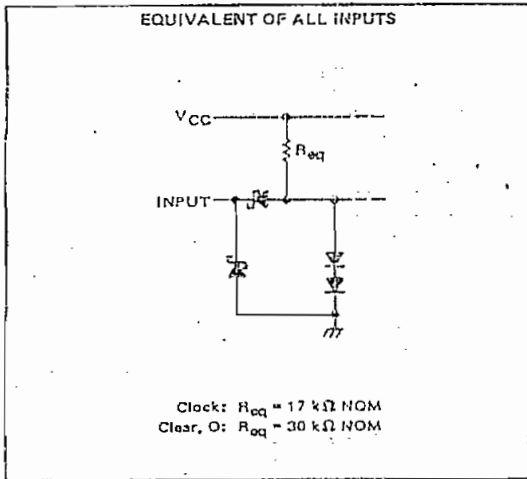
TYPES SN54174, SN54175, SN54LS174, SN54LS175, SN54S174, SN54S175,
 SN74174, SN74175, SN74LS174, SN74LS175, SN74S174, SN74S175
 HEX/QUADRUPLE D-TYPE FLIP-FLOPS WITH CLEAR

schematics of inputs and outputs

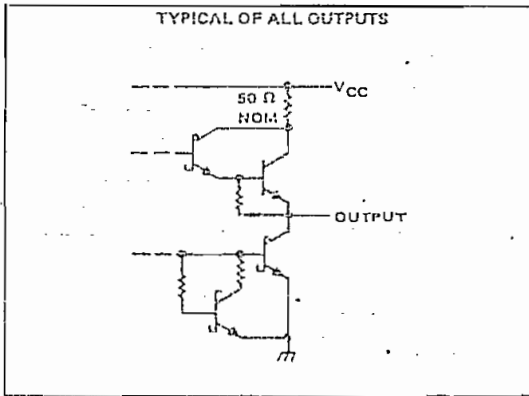
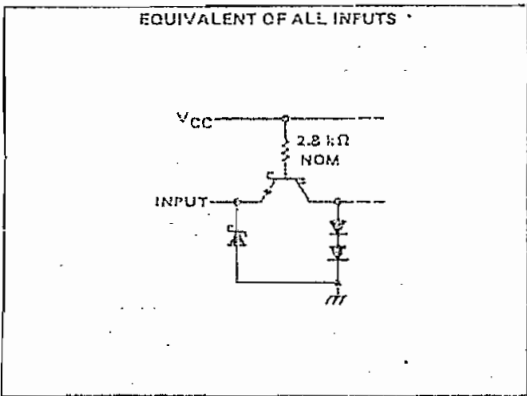
SN54174, SN54175, SN74174, SN74175



SN54LS174, SN54LS175, SN74LS174, SN74LS175



SN54S174, SN54S175, SN74S174, SN74S175



TYPES SN54174, SN54175, SN74174, SN74175

HEX/QUADRUPLE D-TYPE FLIP-FLOPS WITH CLEAR

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage	5.5 V
Operating free-air temperature range: SN54174, SN54175 Circuits	-55°C to 125°C
SN74174, SN74175 Circuits	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

	SN54174, SN54175			SN74174, SN74175			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-800			-800	μ A
Low-level output current, I_{OL}			16			16	mA
Clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock or clear pulse, t_w	20			20			ns
Setup time, t_{setup}	Data input	20		20			ns
	Clear inactive-state	25		25			ns
Data hold time, t_{hold}	5			5			ns
Operating free-air temperature, T_A	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS ¹	MIN	TYP ²	MAX	UNIT
V_{IH} High-level input voltage		2			V
V_{IL} Low-level input voltage				0.8	V
V_I Input clamp voltage	$V_{CC} = \text{MIN}$, $I_I = -12 \text{ mA}$			-1.5	V
V_{OH} High-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OH} = -800 \mu\text{A}$	2.4	3.4		V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OL} = 16 \text{ mA}$		0.2	0.4	V
I_I Input current at maximum input voltage	$V_{CC} = \text{MAX}$, $V_I = 5.5 \text{ V}$			1	mA
I_{IH} High-level input current	$V_{CC} = \text{MAX}$, $V_I = 2.4 \text{ V}$			40	μ A
I_{IL} Low-level input current	$V_{CC} = \text{MAX}$, $V_I = 0.4 \text{ V}$			-1.6	mA
I_{OS} Short-circuit output current ³	$V_{CC} = \text{MAX}$	SN54 ⁴	-20	-57	mA
		SN74 ⁴	-18	-57	mA
I_{CC} Supply current	$V_{CC} = \text{MAX}$, See Note 2	'174	45	65	mA
		'175	30	45	mA

¹ For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.

² All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ \text{C}$.

³ Not more than one output should be shorted at a time.

NOTE 2: With all outputs open and 4.5 V applied to all data and clear inputs, I_{CC} is measured after a momentary ground, then 4.5 V, is applied to clock.

switching characteristics, $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ \text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max} Maximum clock frequency		25	35		MHz
t_{PLH} Propagation delay time, low-to-high-level output from clear (SN54175, SN74175 only)	$C_L = 15 \text{ pF}$, $R_L = 400 \Omega$, See Note 3		16	25	ns
t_{PHL} Propagation delay time, high-to-low-level output from clear			23	35	ns
t_{PLH} Propagation delay time, low-to-high-level output from clock			20	30	ns
t_{PHL} Propagation delay time, high-to-low-level output from clock			21	30	ns

NOTE 3: Load circuit and voltage waveforms are shown on page 14B.

TYPES SN54LS174, SN54LS175, SN74LS174, SN74LS175 HEX/QUADRUPLE D-TYPE FLIP-FLOPS WITH CLEAR

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage	7 V
Operating free-air temperature range: SN54LS174, SN54LS175 Circuits	-55°C to 125°C
SN74LS174, SN74LS175 Circuits	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

	SN54LS174 SN54LS175			SN74LS174 SN74LS175			UNIT		
	MIN	NOM	MAX	MIN	NOM	MAX			
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V		
High-level output current, I_{OH}			-400			-400	μ A		
Low-level output current, I_{OL}			4			8	mA		
Clock frequency, f_{clock}	0		30	0		30	MHz		
Width of clock or clear pulse, t_w				20			ns		
Setup time, t_{setup}	Data input			20				ns	
	Clear inactive-state			25				ns	
Data hold time, t_{hold}	5			5			ns		
Operating free-air temperature, T_A	-55			125			0	70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54LS174 SN54LS175			SN74LS174 SN74LS175			UNIT	
		MIN	TYP‡	MAX	MIN	TYP‡	MAX		
V_{IH} High-level input voltage		2			2			V	
V_{IL} Low-level input voltage		0.7			0.8			V	
V_I Input clamp voltage	$V_{CC} = \text{MIN}, I_I = -18 \text{ mA}$	-1.5			-1.5			V	
V_{OH} High-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V},$ $V_{IL} = V_{IL \text{ max}}, I_{OH} = -400 \mu\text{A}$	2.5	3.5		2.7	3.5		V	
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V},$ $V_{IL} = V_{IL \text{ max}}$	0.25			0.4			V	
	$I_{OL} = 4 \text{ mA}$ $I_{OL} = 8 \text{ mA}$				0.35				
I_I Input current at maximum input voltage	$V_{CC} = \text{MAX}, V_I = 5.5 \text{ V}$	0.1			0.1			mA	
I_{IH} High-level input current	$V_{CC} = \text{MAX}, V_I = 2.7 \text{ V}$	20			20			μ A	
I_{IL} Low-level input current	Clock input Other inputs	$V_{CC} = \text{MAX}, V_I = 0.4 \text{ V}$			-0.4			mA	
					-0.36				
I_{OS} Short-circuit output current‡	$V_{CC} = \text{MAX}$	-6			-40			mA	
I_{CC} Supply current	$V_{CC} = \text{MAX},$ See Note 2	*LS174			13			22	mA
		*LS175			9				

† For conditions shown at MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at $V_{CC} = 5 \text{ V}, T_A = 25^\circ \text{C}$.

§ Not more than one output should be shorted at a time.

NOTE 2: With all outputs open and 4.5 V applied to all data and clear inputs, I_{CC} is measured after a momentary ground, then 4.5 V, is applied to clock.

switching characteristics, $V_{CC} = 5 \text{ V}, T_A = 25^\circ \text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max} Maximum clock frequency		30	40		MHz
t_{PLH} Propagation delay time, low-to-high-level output from clear (SN54LS175, SN74LS175 only)	$C_L = 15 \text{ pF},$ $R_L = 2 \text{ k}\Omega,$ See Note 4	16		25	ns
t_{PHL} Propagation delay time, high-to-low-level output from clear		23		35	ns
t_{PLH} Propagation delay time, low-to-high-level output from clock		20		30	ns
t_{PHL} Propagation delay time, high-to-low-level output from clock		21		30	ns

NOTE 4: Load circuit and voltage waveforms are shown on page 149.

TENTATIVE DATA

This page provides tentative information on a product in the developmental stage. Texas Instruments reserves the right to change or discontinue this product without notice.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

TYPES SN54S174, SN54S175, SN74S174, SN74S175

HEX/QUADRUPLE D-TYPE FLIP-FLOPS WITH CLEAR

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage	5.5 V
Operating free-air temperature range: SN54S174, SN54S175 Circuits	-55°C to 125°C
SN74S174, SN74S175 Circuits	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions:

	SN54S174, SN54S175			SN74S174, SN74S175			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-1			-1	mA
Low-level output current, I_{OL}			20			20	mA
Clock frequency, f_{clock}	0		75	0		75	MHz
Pulse width, t_w	Clock	7		7			ns
	Clear	10		10			
Setup time, t_{setup}	Data input	5		5			ns
	Clear inactive-state	5		5			
Data hold time, t_{hold}	3			3			ns
Operating free-air temperature, T_A	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH} High-level input voltage		2			V
V_{IL} Low-level input voltage				0.8	V
V_I Input clamp voltage	$V_{CC} = \text{MIN}$, $I_I = -18 \text{ mA}$			-1.2	V
V_{OH} High-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OH} = -1 \text{ mA}$		2.5 3.4		V
			SN54S [§] SN74S [§]		
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OL} = 20 \text{ mA}$			0.5	V
I_I Input current at maximum input voltage	$V_{CC} = \text{MAX}$, $V_I = 5.5 \text{ V}$			1	mA
I_{IH} High-level input current	$V_{CC} = \text{MAX}$, $V_I = 2.7 \text{ V}$			50	µA
I_{IL} Low-level input current	$V_{CC} = \text{MAX}$, $V_I = 0.5 \text{ V}$			-2	mA
I_{OS} Short-circuit output current [§]	$V_{CC} = \text{MAX}$	-40		-100	mA
I_{CC} Supply current	$V_{CC} = \text{MAX}$, See Note 2	174	90	144	mA
		175	60	96	

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.

‡All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ \text{C}$.

§Not more than one output should be shorted at a time, and duration of the short-circuit test should not exceed one second.

NOTE 2: With all outputs open and 4.5 V applied to all data and clear inputs, I_{CC} is measured after a momentary ground, then 4.5 V, is applied to clock.

switching characteristics, $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ \text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max} Maximum clock frequency		75	110		MHz
t_{PLH} Propagation delay time, low-to-high-level Q output from clear (SN54S175, SN74S175 only)	$C_L = 15 \text{ pF}$, $R_L = 280 \Omega$, See Note 3		10	15	ns
t_{PHL} Propagation delay time, high-to-low-level Q output from clear			13	22	ns
t_{PLH} Propagation delay time, low-to-high-level output from clock			8	12	ns
t_{PHL} Propagation time, high-to-low-level output from clock			11.5	17	ns

NOTE 3: Load circuit and voltage waveform, see shown on page 148.

TYPES SN54190, SN54191, SN54LS190, SN54LS191,
SN74190, SN74191, SN74LS190, SN74LS191
SYNCHRONOUS UP/DOWN COUNTERS WITH DOWN/UP MODE CONTROL

BULLETIN NO. DL-5 7211865, DECEMBER 1972

- Counts 8-4-2-1 BCD or Binary
- Single Down/Up Count Control Line
- Count Enable Control Input
- Ripple Clock Output for Cascading
- Asynchronously Presetable with Load Control
- Parallel Outputs
- Cascadable for n-Bit Applications

TYPE	AVERAGE PROPAGATION DELAY	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'190, '191	20 ns	25 MHz	325 mW
'LS190, 'LS191	20 ns	25 MHz	90 mW

description

The '190, 'LS190, '191, and 'LS191 are synchronous, reversible up/down counters having a complexity of 58 equivalent gates. The '191 and 'LS191 are 4-bit binary counters and the '190 and 'LS190 are BCD counters. Synchronous operation is provided by having all flip-flops clocked simultaneously so that the outputs change coincident with each other when so instructed by the steering logic. This mode of operation eliminates the output counting spikes normally associated with asynchronous (ripple clock) counters.

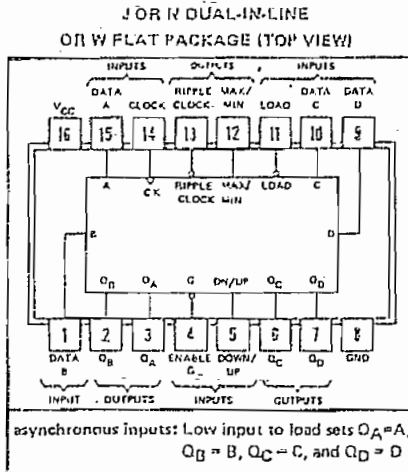
The outputs of the four master-slave flip-flops are triggered on a low-to-high-level transition of the clock input if the enable input is low. A high at the enable input inhibits counting. Level changes at the enable input should be made only when the clock input is high. The direction of the count is determined by the level of the down/up input. When low, the counter counts up and when high, it counts down.

These counters are fully programmable; that is, the outputs may be preset to either level by placing a low on the load input and entering the desired data at the data inputs. The output will change to agree with the data inputs independently of the level of the clock input. This feature allows the counters to be used as modulo-N dividers by simply modifying the count length with the preset inputs.

The clock, down/up, and load inputs are buffered to lower the drive requirement which significantly reduces the number of clock drivers, etc., required for long parallel words.

Two outputs have been made available to perform the cascading function: ripple clock and maximum/minimum count. The latter output produces a high-level output pulse with a duration approximately equal to one complete cycle of the clock when the counter overflows or underflows. The ripple clock output produces a low-level output pulse equal in width to the low-level portion of the clock input when an overflow or underflow condition exists. The counters can be easily cascaded by feeding the ripple clock output to the enable input of the succeeding counter if parallel clocking is used, or to the clock input if parallel enabling is used. The maximum/minimum count output can be used to accomplish look-ahead for high-speed operation.

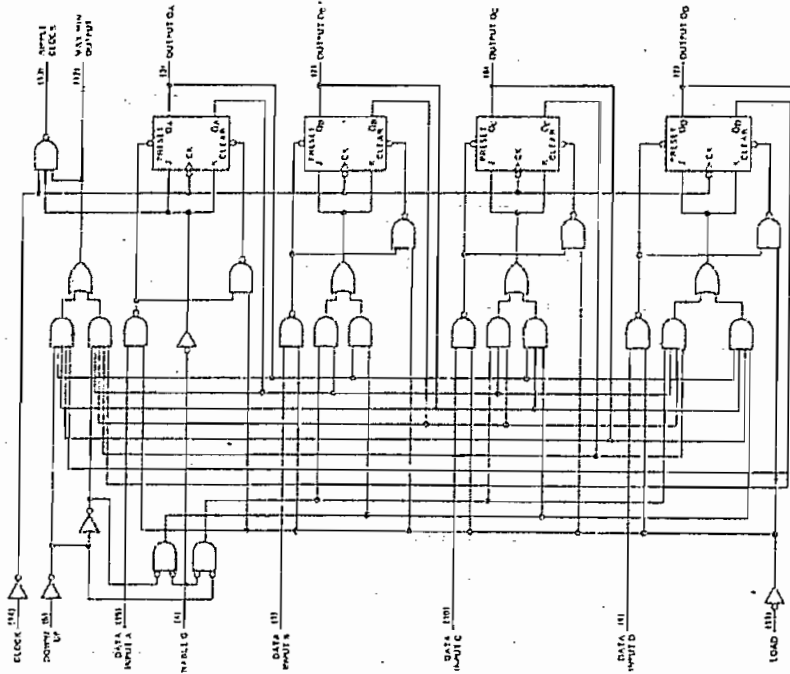
Series 54' and 54LS' are characterized for operation over the full military temperature range of -55°C to 125°C; Series 74' and 74LS' are characterized for operation from 0°C to 70°C.



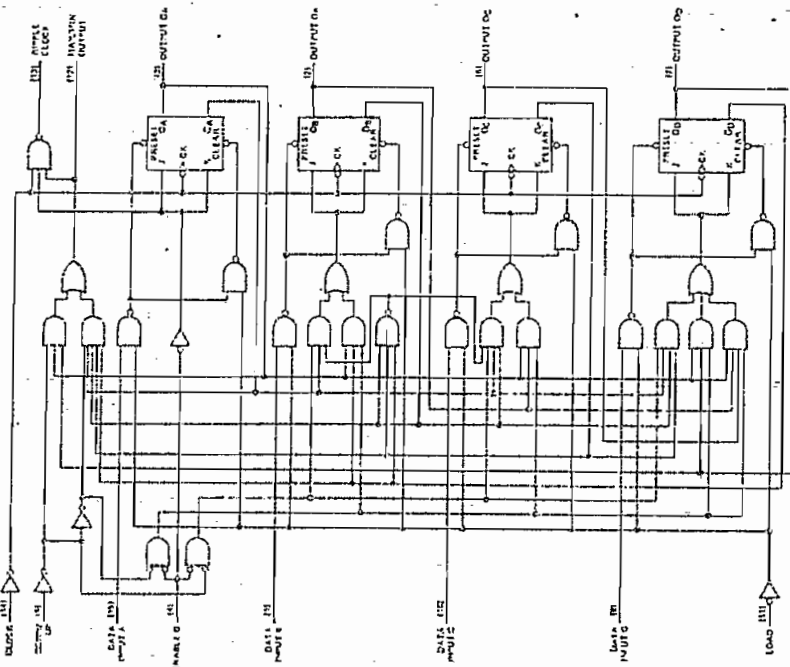
TYPES SN54190, SN54191, SN54LS190, SN54LS191, SN74190, SN74191, SN74LS190, SN74LS191
 SYNCHRONOUS UP/DOWN COUNTERS WITH DOWN/UP MODE CONTROL

functional block diagrams

'191, 'LS191 BINARY COUNTERS



'190, 'LS190 DECADE COUNTERS



... Dynamic input activated by a transition from a high level to a low level.

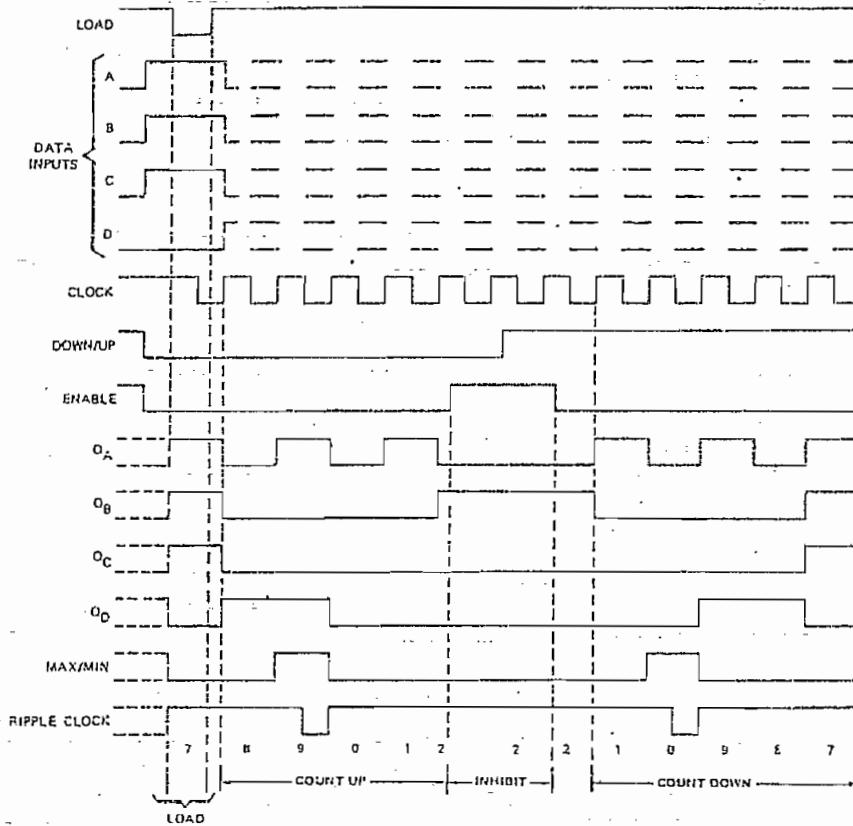
TYPES SN54190, SN54LS190, SN74190, SN74LS190 SYNCHRONOUS UP/DOWN COUNTERS WITH DOWN/UP MODE CONTROL

190, 'LS190 DECADE COUNTERS

typical load, count, and inhibit sequences

Illustrated below is the following sequence:

1. Load (preset) to BCD seven.
2. Count up to eight, nine (maximum), zero, one, and two.
3. Inhibit.
4. Count down to one, zero (minimum), nine, eight, and seven.



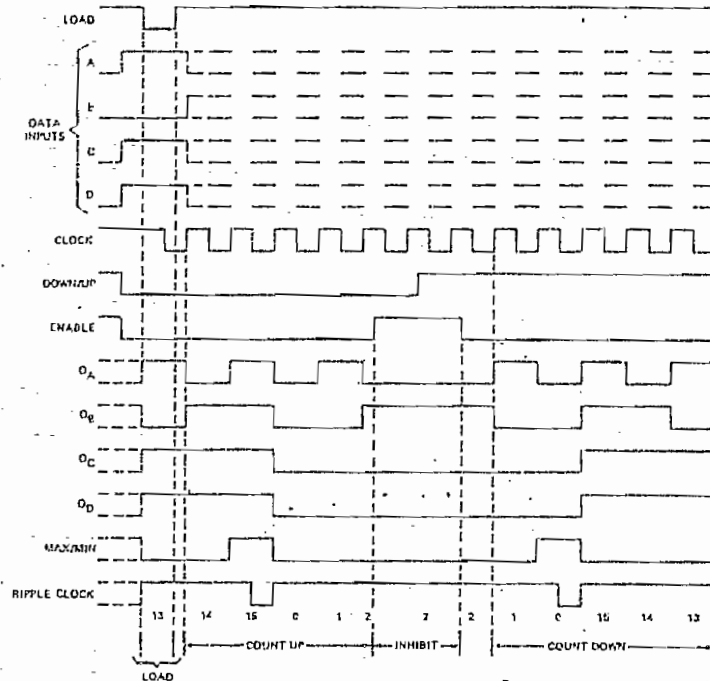
TYPES SN54191, SN54LS191, SN74191, SN74LS191 SYNCHRONOUS UP/DOWN COUNTERS WITH DOWN/UP MODE CONTROL

'191, 'LS191 BINARY COUNTERS

typical load, count, and inhibit sequences

Illustrated below is the following sequence:

1. Load (preset) to binary thirteen.
2. Count up to fourteen, fifteen (maximum), zero, one, and two.
3. Inhibit.
4. Count down to one, zero (minimum), fifteen, fourteen, and thirteen.



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V _{CC} (see Note 1)	7 V
Input voltage: SN54', SN74' Circuits	5.5 V
SN54LS', SN74LS' Circuits	7 V
Operating free-air temperature range: SN54', SN54LS' Circuits	-55°C to 125°C
SN74', SN74LS' Circuits	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

TYPES SN54190, SN54191, SN74190, SN74191 SYNCHRONOUS UP/DOWN COUNTERS WITH DOWN/UP MODE CONTROL

recommended operating conditions

	SN54190, SN54191			SN74190, SN74191			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-800			-800	μ A
Low-level output current, I_{OL}			16			16	mA
Input clock frequency, f_{clock}	0		20	0		20	MHz
Width of clock input pulse, $t_w(\text{clock})$	25			25			ns
Width of load input pulse, $t_w(\text{load})$	35			35			ns
Data setup time, t_{setup} (See Figures 1 and 2)	20			20			ns
Data hold time, t_{hold}	0			0			ns
Operating free-air temperature, T_A	-55		125	0		70	$^{\circ}$ C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54190, SN54191		SN74190, SN74191		UNIT
		MIN	TYP‡	MAX	MIN	
V_{IH} High-level input voltage	$V_{CC} = \text{MIN}$	2		2		V
V_{IL} Low-level input voltage	$V_{CC} = \text{MIN}$		0.8		0.8	V
V_I Input clamp voltage	$V_{CC} = \text{MIN}$, $I_I = -12 \text{ mA}$			-1.5		V
V_{OH} High-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OH} = -800 \mu\text{A}$	2.4	3.4	2.4	3.4	V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OL} = 16 \text{ mA}$	0.2	0.4	0.2	0.4	V
I_I High-level input current at maximum input voltage	$V_{CC} = \text{MAX}$, $V_I = 5.5 \text{ V}$		1		1	mA
I_{IH} High-level input current at any input except enable	$V_{CC} = \text{MAX}$, $V_I = 2.4 \text{ V}$		40		40	μ A
I_{IH} High-level input current at enable input			120		120	μ A
I_{IL} Low-level input current at any input except enable	$V_{CC} = \text{MAX}$, $V_I = 0.4 \text{ V}$		-1.6		-1.6	mA
I_{IL} Low-level input current at enable input			-4.8		-4.8	mA
I_{OS} Short-circuit output current §	$V_{CC} = \text{MAX}$	-20	-65	-18	-65	mA
I_{CC} Supply current	$V_{CC} = \text{MAX}$, See Note 2	65	99	65	105	mA

†For conditions shown as MAX or MIN, use appropriate value specified under recommended operating conditions for the applicable device type.

‡All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^{\circ}\text{C}$.

§Not more than one output should be shorted at a time.

NOTE 2: I_{CC} is measured with all inputs grounded and all outputs open.

**LINEAR
INTEGRATED CIRCUITS**

**TYPES SN52723, SN72723
PRECISION VOLTAGE REGULATORS**

BULLETIN NO. OL-S 7311533, AUGUST 1972—REVISED SEPTEMBER 1973

- 150-mA Load Current without External Power Transistor
- Typically 0.02% Input Regulation and 0.03% Load Regulation (SN52723)
- Adjustable Current Limiting Capability
- Input Voltages to 40 Volts
- Output Adjustable from 2 to 37 Volts
- Designed to be Interchangeable with Fairchild $\mu A723$ and $\mu A723C$ Respectively

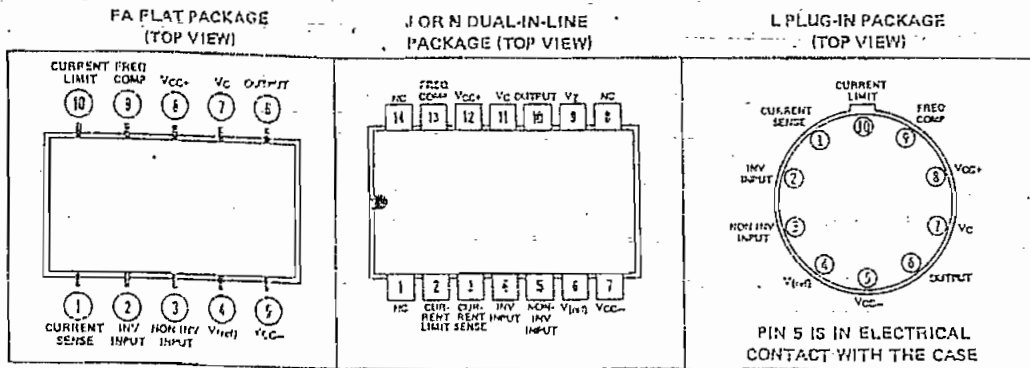
description

The SN52723 and SN72723 are monolithic integrated circuit voltage regulators featuring high ripple rejection, excellent input and load regulation, excellent temperature stability, and low standby current. The circuit consists of a temperature-compensated reference voltage amplifier, an error amplifier, a 150-milliampere output transistor, and an adjustable output current limiter.

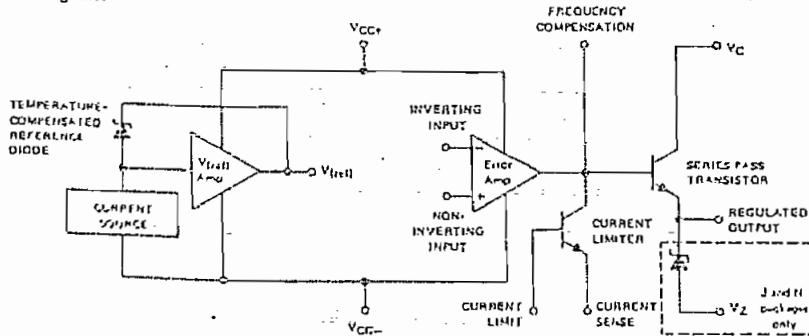
The SN52723 and SN72723 are designed for use in positive or negative power supplies as a series, shunt, switching, or floating regulator. For output currents exceeding 150 mA, additional pass elements may be connected as shown in Figures 4 and 5.

The SN52723 is characterized for operation over the full military temperature range of -55°C to 125°C ; the SN72723 is characterized for operation from 0°C to 70°C .

terminal assignments



functional block diagram



TYPES SN52723, SN72723 PRECISION VOLTAGE REGULATORS

DEFINITION OF TERMS

Input Regulation The percentage change in the output voltage for a change in input voltage from one level to another level.

$$\text{Input Regulation} = \left[\frac{\Delta V_O}{V_O \text{ at } V_I = 12 \text{ V}} \right] 100\%$$

Ripple Rejection The ratio of the peak-to-peak input ripple voltage to the peak-to-peak output ripple voltage.

Load Regulation The percentage change in the output voltage for a change in output current from one level to another level.

$$\text{Load Regulation} = \left[\frac{V_O \text{ at } I_O(2) - V_O \text{ at } I_O(1)}{V_O \text{ at } I_O(1)} \right] 100\%$$

where $I_O(1)$ and $I_O(2)$ are the specified low and high current extremes, respectively.

Reference Voltage The output of the reference amplifier measured with respect to the negative supply.

Standby Current The input current to the regulator from V_{CC+} with no output current and the $V_{(ref)}$ terminal open.

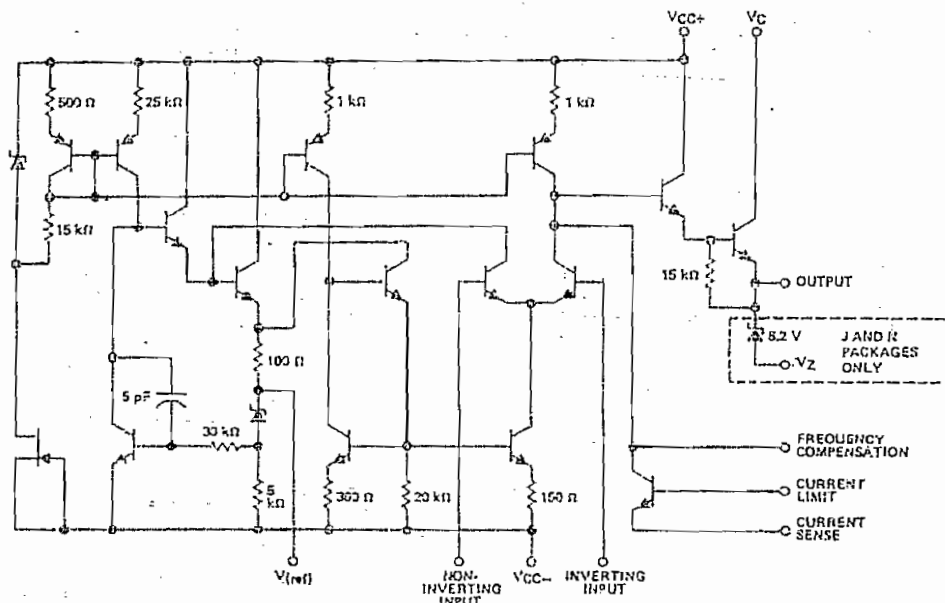
Average Temperature Coefficient of Output Voltage (α_{VO}) The ratio of the change in output voltage expressed as a percentage to the change in free-air temperature. This is an average value for the specified temperature range.

$$\alpha_{VO} = \pm \left[\frac{V_O \text{ at } T_A(2) - V_O \text{ at } T_A(1)}{V_O \text{ at } 25^\circ\text{C}} \right] \frac{100\%}{(T_A(2) - T_A(1))}$$

Short-Circuit Output Current The output current of the regulator with the output shorted to V_{CC-} .

Output Noise Voltage The rms output noise voltage with constant load and no input ripple.

schematic



TYPES SN52723, SN72723 PRECISION VOLTAGE REGULATORS

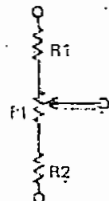
TABLE I
RESISTOR VALUES (kΩ) FOR STANDARD OUTPUT VOLTAGES

OUTPUT VOLTAGE (V)	APPLICABLE FIGURES (SEE NOTE 4)	FIXED OUTPUT ± 5%		OUTPUT ADJUSTABLE ± 10% (SEE NOTE 5)			OUTPUT VOLTAGE (V)	APPLICABLE FIGURES (SEE NOTE 4)	FIXED OUTPUT ± 5%		OUTPUT ADJUSTABLE ± 10% (SEE NOTE 5)		
		R1 (kΩ)	R2 (kΩ)	R1 (kΩ)	P1 (kΩ)	R2 (kΩ)			R1 (kΩ)	R2 (kΩ)	R1 (kΩ)	P1 (kΩ)	R2 (kΩ)
+3.0	1, 5, 6, 9, 11, 12 (4)	4.12	3.01	1.8	0.5	1.2	+100	7	3.57	105	2.2	10	91
+3.6	1, 5, 6, 9, 11, 12 (4)	3.57	3.65	1.5	0.5	1.5	+250	7	3.57	255	2.2	10	240
+5.0	1, 5, 6, 9, 11, 12 (4)	2.15	4.99	0.75	0.5	2.2	-6 (Note 6)	3, (10)	3.57	2.43	1.2	0.5	0.75
+6.0	1, 5, 6, 9, 11, 12 (4)	1.15	6.04	0.5	0.5	2.7	-9	3, 10	3.48	5.36	1.2	0.5	2.0
+9.0	2, 4, (5, 6, 9, 12)	1.87	7.15	0.75	1.0	2.7	-12	3, 10	3.57	8.45	1.2	0.5	3.3
+12	2, 4, (5, 6, 9, 12)	4.87	7.15	2.0	1.0	3.0	-15	3, 10	3.57	11.5	1.2	0.5	4.3
+15	2, 4, (5, 6, 9, 12)	7.87	7.15	3.3	1.0	3.0	-28	3, 10	3.57	24.3	1.2	0.5	10
+28	2, 4, (5, 6, 9, 12)	21.0	7.15	5.6	1.0	2.0	-45	8	3.57	41.2	2.2	10	33
+45	7	3.57	48.7	2.2	10	39	-100	8	3.57	95.3	2.2	10	91
+75	7	3.57	78.7	2.2	10	68	-250	8	3.57	249	2.2	10	240

TABLE II
FORMULAS FOR INTERMEDIATE OUTPUT VOLTAGES

<p>Outputs from +2 to +7 volts (Figures 1, 5, 6, 9, 11, 12, (4))</p> $V_O = V_{(ref)} \times \frac{R_2}{R_1 + R_2}$	<p>Outputs from +4 to +250 volts (Figure 7)</p> $V_O = \frac{V_{(ref)}}{2} \times \frac{R_2 - R_1}{R_1}$ <p>R3 = R4</p>	<p>Current Limiting</p> $I_{(limit)} \approx \frac{0.65 V}{R_{sc}}$
<p>Outputs from +7 to +37 volts (Figures 2, 4, (5, 6, 9, 11, 12))</p> $V_O = V_{(ref)} \times \frac{R_1 + R_2}{R_2}$	<p>Outputs from -6 to -250 volts (Figures 3, 8, 10)</p> $V_O = -\frac{V_{(ref)}}{2} \times \frac{R_1 + R_2}{R_1}$ <p>R3 = R4</p>	<p>Foldback Current Limiting (Figure 6)</p> $I_{(knee)} \approx \frac{V_O R_3 + (R_3 + R_4) 0.65 V}{R_{sc} R_4}$ $I_{OS} \approx \frac{0.65 V}{R_{sc}} \times \frac{R_3 + R_4}{R_4}$

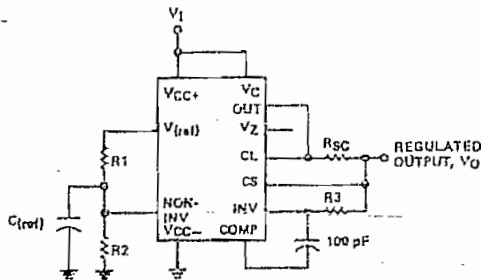
- NOTES: 1. Figures 1 through 12 show the R1/R2 divider across either V_O or $V_{(ref)}$. Figure numbers in parentheses may be used if the R1/R2 divider is placed across the other voltage ($V_{(ref)}$ or V_O) than it was not placed across in the figures without parentheses.
2. To make the voltage adjustable, the R1/R2 divider shown in the figures must be replaced by the divider shown at the right.
3. For negative output voltages less than 9 V, V_{CC+} and V_C must be connected to a positive supply such that the voltage between V_{CC+} and V_{CC-} is greater than 8 V.
4. When 1C-tad SN52723/SN72723 devices are used in applications requiring V_Z , an external 6.2-V regulator diode must be connected in series with the V_O terminal.



ADJUSTABLE OUTPUT CIRCUITS

TYPES SN52723, SN72723 PRECISION VOLTAGE REGULATORS

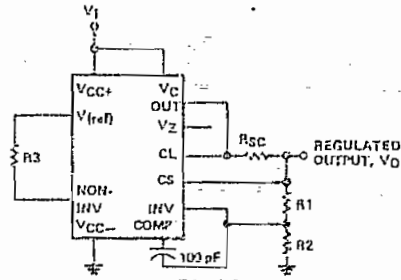
TYPICAL APPLICATION DATA



NOTES: A. $R_3 = \frac{R_1 \cdot R_2}{R_1 + R_2}$ for minimum α_{VO} .

B. R_3 may be eliminated for minimum component count. Use direct connection (i.e., $R_3 = 0$).

FIGURE 1—BASIC LOW-VOLTAGE REGULATOR ($V_0 = 2$ TO 7 VOLTS)



NOTES: A. $R_3 = \frac{R_1 \cdot R_2}{R_1 + R_2}$ for minimum α_{VO} .

B. R_3 may be eliminated for minimum component count. Use direct connection (i.e., $R_3 = 0$).

FIGURE 2—BASIC HIGH-VOLTAGE REGULATOR ($V_0 = 7$ TO 37 VOLTS)

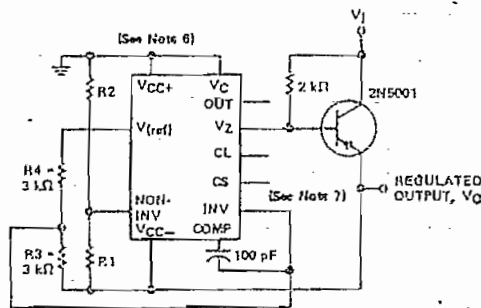


FIGURE 3—NEGATIVE VOLTAGE REGULATOR

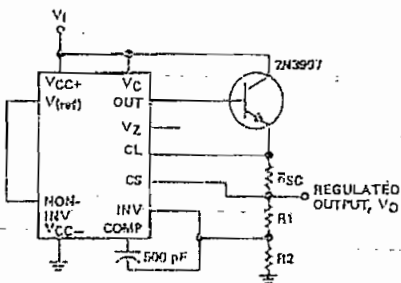


FIGURE 4—POSITIVE VOLTAGE REGULATOR (EXTERNAL N-P-N PASS TRANSISTOR)

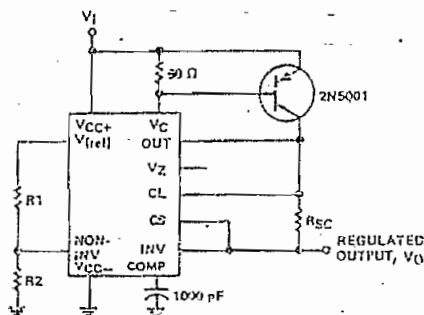


FIGURE 5—POSITIVE VOLTAGE REGULATOR (EXTERNAL P-N-P PASS TRANSISTOR)

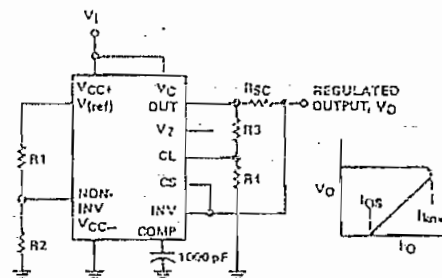


FIGURE 6—FOLDBACK CURRENT LIMITING

TYPES SN52723, SN72723
PRECISION VOLTAGE REGULATORS

TYPICAL APPLICATION DATA

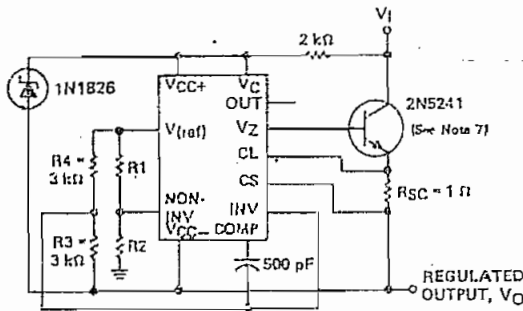


FIGURE 7—POSITIVE FLOATING REGULATOR

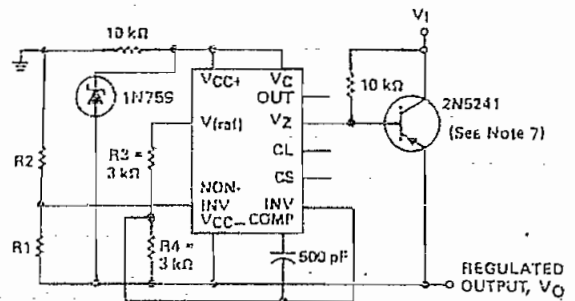


FIGURE 8—NEGATIVE FLOATING REGULATOR

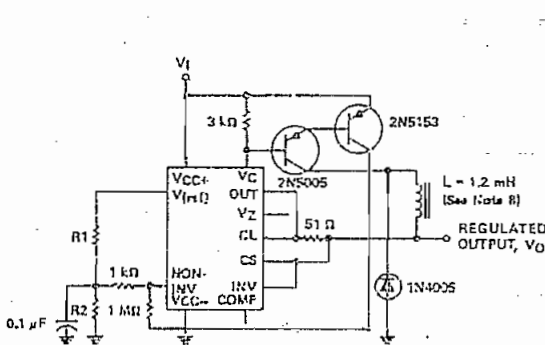


FIGURE 9—POSITIVE SWITCHING REGULATOR

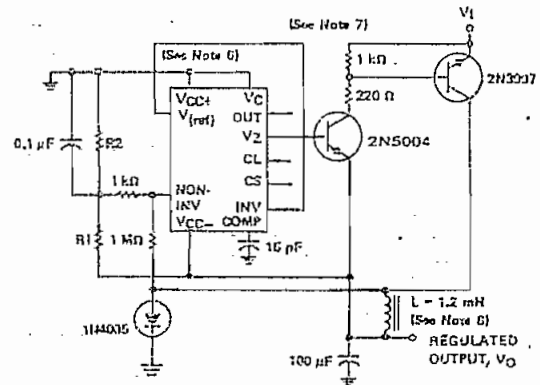
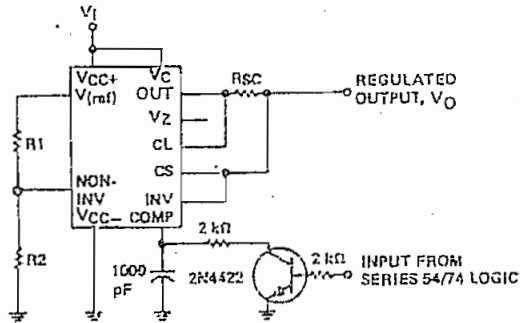


FIGURE 10—NEGATIVE SWITCHING REGULATOR

- NOTES: 6. For negative output voltages less than 9 V, V_{CC+} and V_C must be connected to a positive supply such that the voltage between V_{CC+} and V_{CC-} is greater than 9 V.
7. When 10-load SN52723/SN72723 devices are used in applications requiring V_2 , an external 6.2-V regulator diode must be connected in series with the V_O terminal.
8. L is 40 turns of No. 20 enameled copper wire wound on Ferroxcube P36/22-3B7 potted core, or equivalent, with 0.009-inch air gap.

TYPES SN52723, SN72723 PRECISION VOLTAGE REGULATORS

TYPICAL APPLICATION DATA



NOTE A: Current limit transistor may be used for shutdown if current limiting is not required.

FIGURE 11—REMOTE SHUTDOWN REGULATOR WITH CURRENT LIMITING

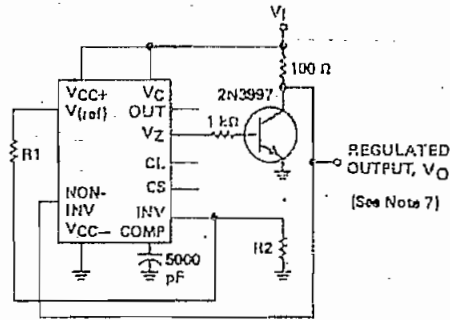


FIGURE 12—SHUNT REGULATOR

NOTE 7: When 10-lead SN52723/SN72723 devices are used in applications requiring V_Z , an external 6.2-V regulator diode must be connected in series with the V_O terminal.

THERMAL INFORMATION

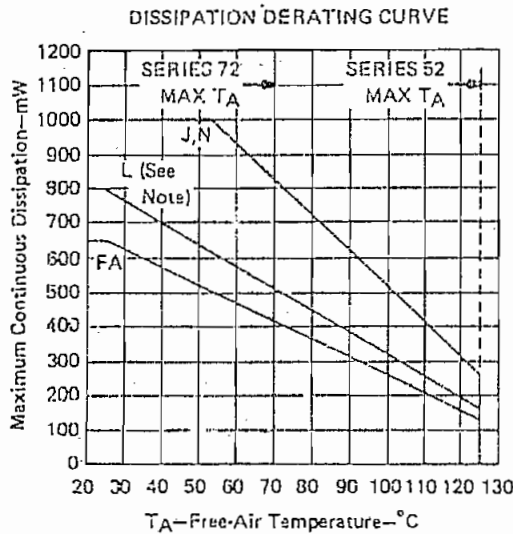


FIGURE 13

NOTE 2: This rating for the L package requires a heat sink that provides a thermal resistance from case to free air, $R_{\theta CA}$, of not more than 95°C/W .

PACKAGE DERATING

PKG	DERATE	FROM
FA	5.2 mW/°C	25°C
L	6.4 mW/°C	25°C
J, N	10.4 mW/°C	54°C

PRINTED IN U.S.A.

If you are assuming any responsibility for any circuits shown or reported that they are free from patent infringement.

TEXAS INSTRUMENTS RESERVES THE RIGHT TO MAKE CHANGES AT ANY TIME IN ORDER TO IMPROVE DESIGN AND TO SUPPLY THE BEST PRODUCT POSSIBLE.

TEXAS INSTRUMENTS
INCORPORATED

POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

HEWLETT  PACKARD
COMPONENTS

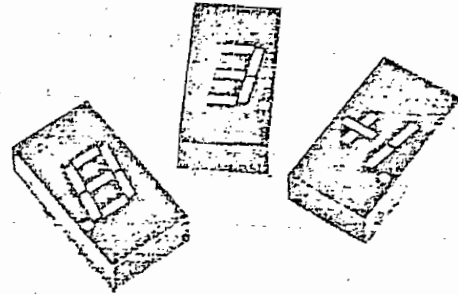
0.3 INCH RED SEVEN SEGMENT DISPLAY

5082-7730 SERIES
5082-7740

TECHNICAL DATA APRIL 1977

Features

- 5082-7730
Common Anode
Left Hand D.P.
- 5082-7731
Common Anode
Right Hand D.P.
- 5082-7736
Polarity and Overflow Indicator
Universal Pinout
Right Hand D.P.
- 5082-7740
Common Cathode
Right Hand D.P.
- EXCELLENT CHARACTER APPEARANCE
Continuous Uniform Segments
Wide Viewing Angle
High Contrast
- IC COMPATIBLE
1.6V dc per Segment
- STANDARD 0.3" DIP LEAD CONFIGURATION
PC Board or Standard Socket Mountable
- CATEGORIZED FOR LUMINOUS INTENSITY
Assures Uniformity of Light Output from
Unit to Unit within a Single Category



Description

The HP 5082-7730/7740 series devices are common anode LED displays. The series includes a left hand and a right hand decimal point numeric display as well as a polarity and overflow indicator. The large 7.62 mm (0.3 in.) high character size generates a bright, continuously uniform seven segment display. Designed for viewing distances of up to 3 meters (9.9 feet), these single digit displays provide a high contrast ratio and a wide viewing angle.

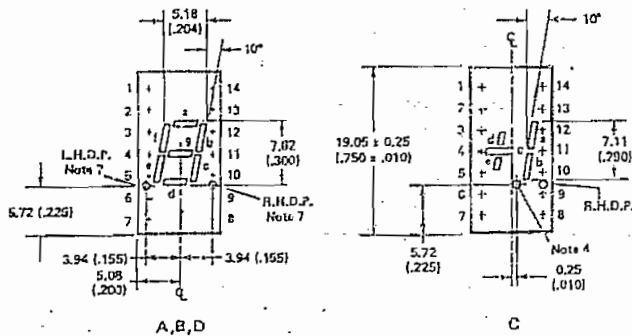
The 5082-7730 series devices utilize a standard 7.62 mm (0.3 in.) dual-in-line package configuration that permits mounting on PC boards or in standard IC sockets. Requiring a low forward voltage, these displays are inherently IC compatible, allowing for easy integration into electronic instrumentation, point of sale terminals, TVs, radios, and digital clocks.

Devices

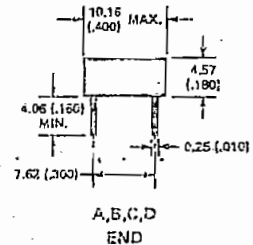
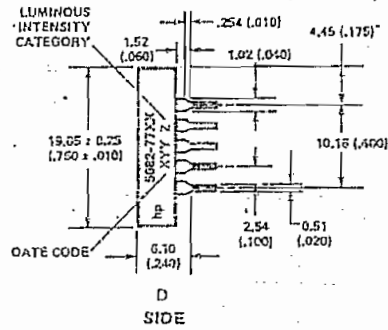
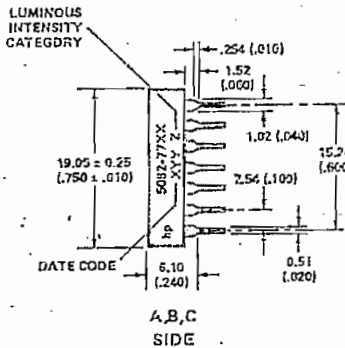
Part No. 5082-	Description	Package Drawing
7730	Common Anode Left Hand Decimal	A
7731	Common Anode Right Hand Decimal	B
7736	Universal Overflow ± 1 Right Hand Decimal	C
7740	Common Cathode Right Hand Decimal	D

Note: Universal pinout brings the anode and cathode of each segment's LED out to separate pins. See Internal diagram C.

Package Dimensions

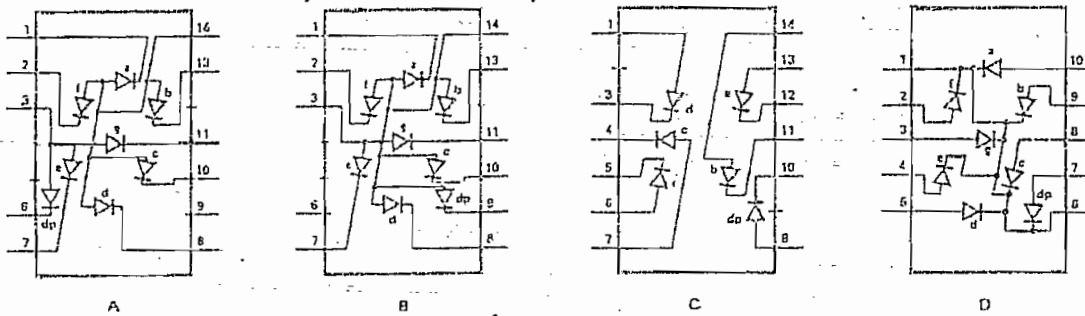


PIN	FUNCTION			
	A -7730	B -7731	C -7736	D -7740
1	CATHODE-a	CATHODE-a	ANODE-d	CATHODE-b
2	CATHODE-f	CATHODE-f	NO PIN	ANODE-f
3	ANODE-b	ANODE-b	CATHODE-d	ANODE-g
4	NO PIN	NO PIN	CATHODE-e	ANODE-e
5	NO PIN	NO PIN	CATHODE-g	ANODE-d
6	CATHODE-dp	NO CONNECTION	ANODE-a	CATHODE-c
7	CATHODE-e	CATHODE-e	ANODE-e	ANODE-lp
8	CATHODE-d	CATHODE-d	ANODE-dp	ANODE-c
9	NO CONNECTION	CATHODE-dp	NO PIN	ANODE-b
10	CATHODE-c	CATHODE-c	CATHODE-dp	ANODE-a
11	CATHODE-g	CATHODE-g	CATHODE-b	
12	NO PIN	NO PIN	CATHODE-a	
13	CATHODE-b	CATHODE-b	ANODE-b	
14	ANODE-l	ANODE-l	ANODE-b	



- NOTES:
1. Dimensions in millimeters and (inches).
 2. All unfrowned dimensions are for reference only.
 3. Redundant anodes.
 4. Unused dp position.
 5. See Internal Circuit Diagram.
 6. Redundant cathode.
 7. See part number table for L.H.D.P. and R.H.D.P. designation.

Internal Circuit Diagram



Absolute Maximum Ratings

DC Power Dissipation Per Segment or D.P. ⁽¹⁾ (T _A =25°C)	42mW
Operating Temperature Range	-20°C to +85°C
Storage Temperature Range	-20°C to +85°C
Peak Forward Current Per Segment or D.P. ⁽²⁾ (T _A =25°C)	150mA
Average Forward Current Per Segment or D.P. ⁽³⁾ (T _A =25°C)	25mA
Reverse Voltage Per Segment or D.P.	6.0V
Lead Soldering Temperature	230°C for 3 Sec (1.59mm (1/16 inch) below seating plane ⁽⁴⁾)

- Notes: 1. See power derating curve (Fig. 2). 2. Derate DC current from 50°C at 0.13mA/°C per segment. 3. See pulse width limitation curve (Fig. 2) and Duty Factor Curve (Fig. 5). 4. Clean only in water, isopropyl alcohol, ethanol, Freon TF or TE (or equivalent) and Gensolv DI-15 or DE 15 (or equivalent).

Electrical/Optical Characteristics at $T_A = 25^\circ\text{C}$

Description	Symbol	Test Condition	Min.	Typ.	Max.	Units
Luminous Intensity/Segment ^(2,4) (Digit Average)	I_V	$I_{PEAK} = 100\text{mA}$ 10% Duty Cycle	50	200		μcd
Peak Wavelength	λ_{PEAK}			655		nm
Dominant Wavelength ⁽²⁾	λ_d			540		nm
Forward Voltage, any Segment or D.P.	V_F	$I_F = 20\text{mA}$		1.6	2.0	V
Reverse Current, any Segment or D.P.	I_R	$V_R = 6\text{V}$		10		μA
Rise and Fall Time ⁽³⁾	t_r, t_f			10		ns
Temperature Coefficient of Forward Voltage	$\Delta V_F/^\circ\text{C}$			-2.0		$\text{mV}/^\circ\text{C}$

Notes:

- The digits are categorized for luminous intensity with the intensity category designated by a letter located on the right hand side of the packaging.
- The dominant wavelength, λ_d , is derived from the CIE Chromaticity Diagram and is that single wavelength which defines the color of the device.
- Time for a 10% - 90% change of light intensity for step change in current.
- Temperature coefficient of luminous intensity $I_V/^\circ\text{C}$ is determined by the formula: $I_{V,T_A} = I_{V,25^\circ\text{C}} e^{(-0.0188/^\circ\text{C})(T_A - 25^\circ\text{C})}$.

Operational Considerations

ELECTRICAL

The 5082-7730/7740 series display is composed of eight light emitting diodes optically magnified to form seven individual segments and decimal point.

The diodes are made of GaAsP (Gallium Arsenide Phosphide) junction on a GaAs substrate. Diode turn-on voltage is approximately 1.55 volts and typical forward diode resistance is 5 ohms. For strobing at peak currents a user should take this forward resistance into account.

Typical forward voltage may be scaled from Figure 4 or calculated from the following formula:

$$V_F = 1.55\text{V} + (3\Omega \times I_{PEAK})$$

Figure 1 relates refresh rate, f , and pulse duration, t_p , to a ratio which defines the maximum desirable operating peak current as a function of derated dc current, $I_{P\text{ MAX}}/I_{DC\text{ MAX}}$. To most effectively utilize Figure 1, perform the following steps:

- Determine desired duty factor.
Example: Four digit display, duty factor = 1/4.
- Determine desired refresh rate, f . Use duty factor to calculate pulse duration, t_p . Note: $f t_p = \text{Duty Factor}$
Example: $f = 1\text{kHz}$; $t_p = 250\ \mu\text{sec}$.
- Enter Figure 1 at the calculated t_p . Move vertically to the refresh rate line and then record the corresponding value of $I_{P\text{ MAX}}/I_{DC\text{ MAX}}$.
Example: At $t_p = 250\ \mu\text{sec}$ and $f = 1\text{kHz}$, $I_{P\text{ MAX}}/I_{DC\text{ MAX}} = 2.7$.
- From Figure 2, determine the value for $I_{DC\text{ MAX}}$.
Note: $I_{DC\text{ MAX}}$ is derated above $T_A = 50^\circ\text{C}$
Example: At $T_A = 70^\circ\text{C}$, $I_{DC\text{ MAX}} = 16.4\text{mA}$.
- Calculate $I_{P\text{ MAX}}$ from $I_{P\text{ MAX}}/I_{DC\text{ MAX}}$ ratio and calculate I_{AVG} from I_P and duty factor.
Example: $I_P = (2.7)(16.4\text{mA}) = 44.3\text{mA}$ peak
 $I_{AVG} = (1/4)(44.3\text{mA}) = 11.1\text{mA}$ average.

The above calculations determine the maximum tolerable strobing conditions. Operation at a reduced peak current or duty factor is suggested to help insure even more reliable operation.

Refresh rates of 1kHz or faster provide the most efficient operation resulting in the maximum possible time average luminous intensity.

This display may be operated at various peak currents (see Figure 3). Light output for a selected peak current can be calculated as follows:

$$I_V \text{ TIME AVG} = \left[\frac{I_{AVG}}{I_{AVG\text{ SPEC}}} \right] \left[\frac{\eta_{PEAK}}{\eta_{PEAK\text{ SPEC}}} \right] \left[I_V \text{ SPEC} \right]$$

- I_{AVG} = Operating point average current
- $I_{AVG\text{ SPEC}}$ = Average current for data sheet luminous intensity value, $I_V \text{ SPEC}$
- η_{PEAK} = Relative efficiency at operating peak current
- $\eta_{PEAK\text{ SPEC}}$ = Relative efficiency at data sheet peak current where luminous intensity $I_V \text{ SPEC}$ is specified.
- $I_V \text{ SPEC}$ = Data sheet luminous intensity, specified at $I_{AVG\text{ SPEC}}$ and $I_{PEAK\text{ SPEC}}$

CONTRAST ENHANCEMENT

The 5082-7730/7740 series display may be effectively filtered using one of the following filter products: Homalite H100-1605; H 100-1804 (purple); Panelgraphic Ruby Red 60; Dark Red 63; Purple 90; Plexiglas 2423; 3M Brand Light Control Film for daylight viewing. For further information see Application Note 964.

MECHANICAL

The 5082-7730/7740 series devices are constructed utilizing a lead frame in a standard DIP package. The individual packages may be close-packed on 10.16mm (.4 in.) centers on a PC board. Also, the larger character height allows other character spacing options when desired. The lead frame has an integral seating plane which will hold the package approximately 1.52mm (.060 in.) above the PC board during standard soldering and flux removal operation. To optimize device performance, new materials are used that are limited to certain solvent materials for flux removal. It is recommended that only mixtures of Freon and alcohol be used for post solder vapor cleaning processes, with an immersion time in the vapors up to two minutes maximum. Suggested products are Freon TF, Freon TE, Genesolv DI-15 and Genesolv DE-15. Isopropanol, Ethanol or water may also be used for cleaning operations.

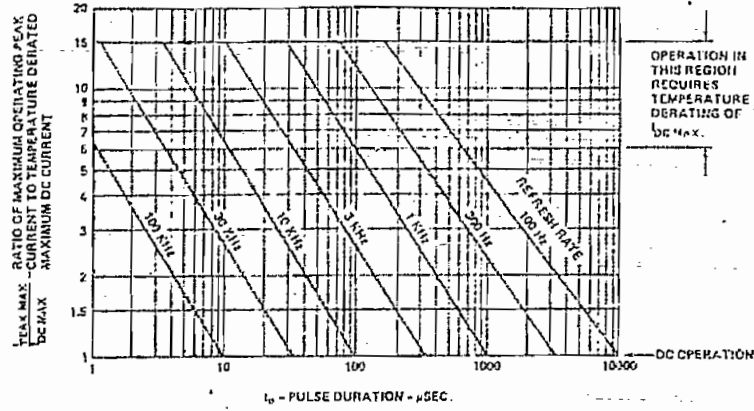


Figure 1. Maximum Tolerable Peak Current vs. Pulse Duration.

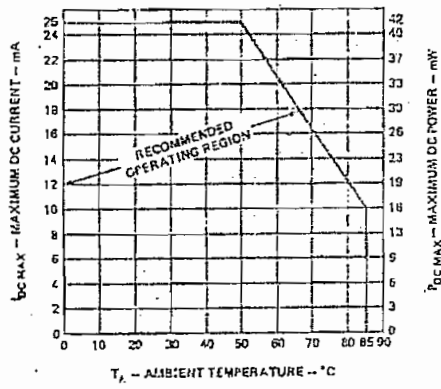


Figure 2. Maximum Allowable DC Current and DC Power Dissipation per Segment as a Function of Ambient Temperature.

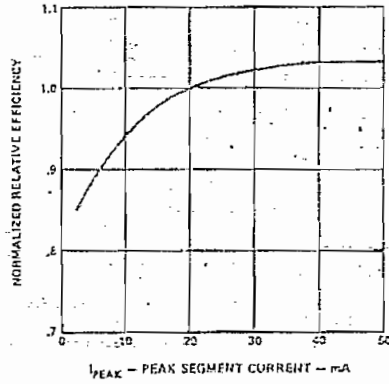


Figure 3. Relative Efficiency (Luminous Intensity per Unit Current) vs. Peak Current per Segment.

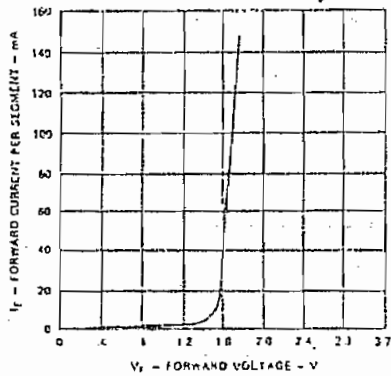


Figure 4. Forward Current vs. Forward Voltage.

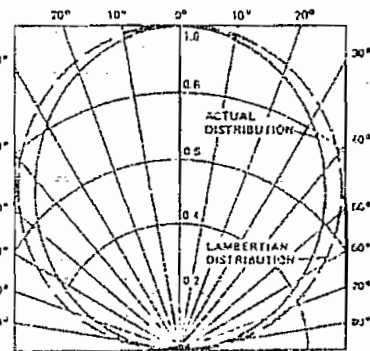


Figure 5. Normalized Angular Distribution of Luminous Intensity.

FEATURES

- Four Independent Switches
- TTL/DTL/CMOS Compatible
- Quiescent Power Dissipation: 30 μ W
- "ON" Resistance: 75 Ω
- Leakage Current: 500pA
- Silicon Nitride Passivation

GENERAL DESCRIPTION

The AD7510 consists of four independent analog switches in a 16 pin ceramic dip package characterized by an "ON" resistance of 75 Ω and an "OFF" leakage current of 500pA. The digital control inputs are TTL/DTL and CMOS logic compatible with at least 10⁹ Ω input impedance.

An extremely low quiescent power dissipation (30 μ W) is achieved by combining unique circuit design with CMOS (Complementary MOS) technology using the state-of-the-art double layer of interconnect and silicon nitride passivation techniques resulting in a very stable and highly reliable product.

The AD7510 is an excellent replacement for reed relays and FET switches due to its direct logic interface, low power dissipation and low price.

Applications range from sample and hold circuits to a myriad of control functions without loading existing power supplies or without substantially decreasing the lifetime of batteries in portable equipment.

ABSOLUTE MAXIMUM RATINGS

(T_A = +25°C unless otherwise noted)

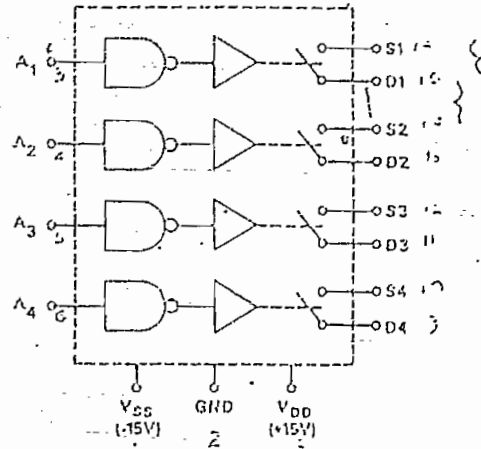
V _{DD} (to GND)	+17V
V _{SS} (to GND)	-17V
Switch Voltage (to V _{SS})	+27V
Switch Voltage (to V _{DD})	-30V
Switch Current (I _{DS} , Continuous)	30mA
Switch Current (I _{DS} , Surge)	150mA
1ms duration, 10% duty cycle	
Digital Input Voltage Range	V _{SS} to V _{DD}
Power Dissipation (package)	
16 pin Plastic DIP	
Up to +70°C	670mW
Derates above +70°C by	8.3mW/°C
16 pin Ceramic DIP	
Up to +75°C	450mW
Derates above +75°C by	6mW/°C
Operating Temperature	-55°C to +125°C
Storage Temperature	-65°C to +150°C

CAUTION:

- Do not apply voltages higher than V_{DD} and V_{SS} to any other terminal, especially when V_{SS} = V_{DD} = 0V all other pins should be at 0V.
- The digital control inputs are laser protected; however, permanent damage may occur on unconnected units under high energy electrostatic fields. Keep unused units in conductive foam at all times.

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

FUNCTIONAL DIAGRAM



A switch is closed when its input is in low state.

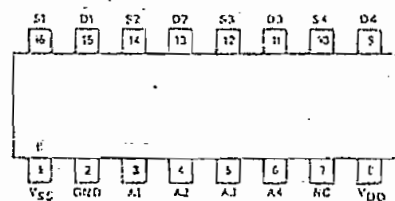
ORDERING INFORMATION

- AD7510J: 0 to +75°C
- AD7510K: 0 to +75°C
- AD7510S: -55°C to +125°C

PACKAGE VERSIONS

- Suffix "D" 16-pin Ceramic DIP
- Suffix "N" 16-pin Plastic DIP
- Suffix "F" Flatpack (Special Request)

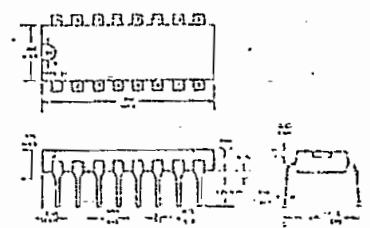
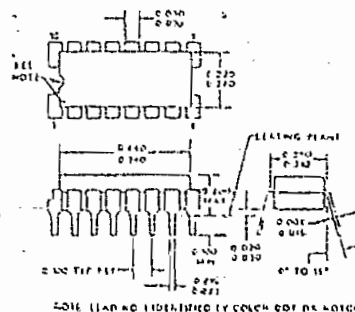
PIN CONFIGURATION (Top View)



OUTLINE DIMENSIONS

16 PIN CERAMIC DIP

16 PIN PLASTIC DIP



Route 1 Industrial Park, P.O. Box 280, Norwood, Mass. 01062
 Tel: 617/329-4700 TWX: 710/394-6577
 West Coast Tel: 213/595-1793
 Mid-West Tel: 312/297-5710

SPECIFICATIONS

$V_{DD} = 15V, V_{SS} = -15V, T_A = +25^\circ C$ unless otherwise noted)

PARAMETER	VERSION	SWITCH	$\omega 25^\circ C$			OVER SPECIFIED		UNITS	TEST CONDITIONS
			MIN	TYP	MAX	TEMP. RANGE	MIN		
DIGITAL SWITCH									
R_{DS}	All	ON	75	100				Ω	$-10V \leq V_D \leq +10V, I_{DS} = 1.0mA$
R_{DS} vs. V_D	All	ON		20				%	
$\frac{R_{DS}}{\Delta T}$	All	ON	10.5					$\%/^\circ C$	$V_D = 0, I_{DS} = 1.0mA$
R_{DS} Mismatch Between Switches	All	ON		1				%	
R_{DS} Mismatch Between Switches vs. Temperature	All	ON		0.01				$\%/^\circ C$	
I_{D} or I_S	J, K	OFF	0.5	5	500			nA	$-10V \leq V_D \leq +10V$
	S	OFF	0.2	3	200			nA	$-10V \leq V_S \leq +10V$
$I_D - I_S$	All	ON		5				nA	$V_D = 0$
DIGITAL CONTROL									
V_{INL}	All						0.8	V	
	J	-			3.0			V	
V_{INH} Note 1	K, S	-			2.4			V	
I_{INL} or I_{INH}	All	-	10					nA	
	J, K	-			100 typ			nA	
	S	-			1 typ			μA	
C_{IN}			5					pF	
DYNAMIC CHARACTERISTICS									
t_{ON}	All			1				μs	
t_{OFF}	All			1				μs	
C_S or C_D	All	OFF		8				pF	
C_S or C_D	All	ON		20				pF	
C_{DS}	All	OFF		1				pF	$V_D (V_S) = 0V$
C_{DD} or C_{SS} Between Any Two Switches	All	ON		0.5				pF	
POWER SUPPLY									
I_{DD}		ON	0.15	0.5				mA	All Digital Inputs High
I_{SS}		ON		1	100			μA	
I_{DD}		OFF		1	100			μA	All Digital Inputs Low
I_{SS}		OFF		1	100			μA	
PRICE (1-49)									
	AD7510JN			8.00				\$	
	AD7510JD			13.00				\$	
	AD7510EN			9.00				\$	
	AD7510KU			15.00				\$	
	AD7510SD			24.00				\$	

NOTES:
 A pullup resistor, typically 1-2k Ω , is required to make the AD7510J compatible with TTL/DTL levels. The maximum value is determined by the output leakage current of the driver gate when in the high state.
 Specifications subject to change without notice.

C1756-10-4/74

PRINTED IN U.S.A.

1175
 1175
 1175