

CONVERTIDOR ANALOGICO DIGITAL  
PARA UN  
SISTEMA PCM,

*Tesis previa a la obtención  
del título de Ingeniero en  
la especialización de Elec-  
trónica y Telecomunicaciones  
de la Escuela Politécnica Na-  
cional.*

AMILCAR ARTURO PADILLA PROAÑO

QUITO

JULIO DE 1.973

*Certifico que este trabajo ha sido  
realizado por el Señor AMILCAR  
PADILLA PROAÑO.*

*Ing. JACINTO JIJON*

*CONSULTOR DE TESIS*

*Quito, Julio de 1.973*

*A MIS PADRES*

---

ALICIA.

A G R A D E C I M I E N T O .

*A los Ingenieros:*

JACINTO JIJON C.

Y

HERBERT JACOBSON.

## I N T R O D U C C I O N

El propósito de este trabajo es ayudar a diseñar y usar equipos de conversión analógica-digital o digital-analógica y proporcionar ciertos conocimientos básicos sobre transmisión PCM (modulación por codificación de pulsos).

Verdaderamente el aparato construido es un circuito híbrido (A/D y D/A) por lo que las experiencias adquiridas serán de mucha utilidad para aquellos ingenieros o técnicos que de una u otra forma estén vinculados con el estudio de técnicas de conversión electrónicas.

El análisis teórico se realizó en cinco capítulos.

En el capítulo I encontramos nociones básicas de PCM, a base de las cuales deducimos las características esenciales que influirán en la selección del tipo de convertidor A/D a construirse.

Diversos métodos de conversión A/D son estudiados en el capítulo II, concluyendo con la selección del convertidor apropiado para ser utilizado en un sistema PCM.

Posteriormente, en el capítulo III se diseña el convertidor A/D. Este capítulo incluye un análisis detallado de los componentes que forman el aparato.

Para la parte experimental se construyó un sistema de transmisión de cuatro canales, tratado en el capítulo IV.

Finalmente el capítulo V versa sobre el error y características del convertidor A/D, incluyendo detalles que solamente en laboratorio pudieron conocerse.

# I N D I C E

## CAPITULO I:

	PAG.	
1.1	Modulación por codificación de pulsos.	1 - 1
1.2	Tipos de modulación de pulsos.	1 - 3
1.3	Características.	1 - 6
1.3a	Muestreo.	1 - 6
1.3b	Repetidoras regeneradoras.	1 - 7
1.3c	Multiplex.	1 - 8
1.3d	Frecuencia de los pulsos.	1 - 9
1.4	Transmisión y recepción PCM.	1 - 10
1.4a	Sincronización.	1 - 12
1.5	Conclusiones.	1 - 14

## CAPITULO II:

2.1	Generalidades.	2 - 1
2.2	Clasificación de convertidores A/D.	2 - 4
2.3	Convertidores A/D por carga del condensador.	2 - 5
2.3a	Convertidor-voltaje-frecuencia.	2 - 5
2.3b	Convertidor por modulación de ancho de pulso.	2 - 6
2.3c	Convertidor A/D por generación de doble ram	2 - 8



2.4	Convertidores por comparación de valores discretos de voltaje.	2 - 11
2.4a	Contador de rampa.	2 - 11
2.4b	Convertidor A/D simultáneo o paralelo.	2 - 13
2.4c	Convertidor A/D por aproximación sucesiva	2 - 14
2.5	Comparación de convertidor A/D.	2 - 15
2.6	Conclusiones.	2 - 16

CAPITULO III.

3.1	Convertidor A/D por aproximación sucesiva	3 - 1
3.1a	Generalidades.	3 - 1
3.2	Reloj del sistema.	3 - 11
3.3	Contador.	3 - 17
3.4	Decodificador.	3 - 19
3.5	El biestable como elemento lógico.	3 - 23
3.5a	Biestable con circuitos NOR.	3 - 23
3.5b	Biestable con circuitos NAND.	3 - 24
3.5c	Biestable controlado por pulso de reloj.	3 - 25
3.5d	Comutación de biestables.	3 - 25
3.5e	Flip-Flop J-K.	3 - 28
3.6	Convertidor D/A.	3 - 34
3.6a	Red resistiva evaluadora.	3 - 35

	PAG.
4.2g	27
4.2h	32
4.2i	33
4.3	36

## CAPITULO V.

5.1	1
5.1a	1
5.2	1
5.2a	1
5.2b	2
5.2c	3
5.2d	4
5.3	6
5.3a	5
5.4	8
5.4a	8
5.4b	9
5.4c	10
5.4d	10
5.4e	12

cala completa.

	PAG.
5.4f <i>Impedancia de entrada al convertidor A/D.</i>	5 - 12
5.4g <i>Salidas digitales.</i>	5 - 12
5.4h <i>Rango de temperatura.</i>	5 - 13
5.4i <i>Factores mecánicos.</i>	5 - 13
5.5 <i>Detalles de construcción.</i>	5 - 13
5.6 <i>Experimentación.</i>	5 - 17
5.7 <i>Mediciones.</i>	5 - 22
5.8 <i>Conclusiones y aplicaciones.</i>	5 - 24
5.9 <i>Bibliografía.</i>	5 - 25

*CAPITULO I*

## C A P I T U L O I

### 1.1 MODULACION POR CODIFICACION DE PULSOS.

En casi todas las plantas telefónicas del mundo, ahora se usa transmisión analógica F.D.M. (Modulación por División de Frecuencia) o cualquiera de las formas de modulación analógica. Una nueva y diferente forma de planta sería instalada usando la técnica llamada P.C.M. (Modulación por Codificación de Pulsos); en la cual la voz y otras señales analógicas serían convertidas en un grupo de bits.

Una variedad de técnicas de pulso son teóricamente aptas para la transmisión de información. En todas estas técnicas, la información analógica (música, voz humana) necesita ser codificada en alguna forma, de tal manera que pueda ser transmitida en forma de pulsos y entonces decodificada en el lado de recepción para reconstruir la información.

Los circuitos son diseñados para transmitir trenes de pulsos a muy altas velocidades, en los cuales, voz, T.V., facímil y datos, serán todos codificados y enviados de una manera uniforme sobre canales que básicamente son digitales. Hay una mayor ventaja en usar técnicas digitales para la transmisión.

Con transmisión analógica, cuando la señal es amplificada, el ruido es amplificado con ella; si la señal pasa por transmisión de etapas de amplificación, el ruido es acumulativo.

Con transmisión digital, cada estación repetidora regenera el pulso. Nuevos y claros pulsos son reconstruídos y enviados a la próxima repetidora donde un proceso similar tiene lugar, y así el tren de pulsos puede viajar a través de un despreciable ruido medio. Solamente un ruido exponencial (grande) puede destruir uno o más pulsos, de tal manera que ellos no puedan ser reconstruídos por las estaciones repetidoras.

La principal desventaja en la transmisión de pulsos es que se requiere un ancho de banda muy grande.

Para enviar una cantidad dada de conversaciones telefónicas por ej. necesitaríamos un ancho de banda mucho más grande que con los sistemas analógicos en uso.

Sin embargo, porque la señal es regenerada frecuentemente, la señal P.C.M., puede ser operada con una baja relación, señal a ruido ( $s/n$ .)

Hay entonces un compromiso entre ancho de banda, y relación señal a ruido en la transmisión de una cantidad dada de información. Se puede demostrar que para un aumento de ancho de banda, el mejora

miento de la condición  $s/n$  es mayor para un sistema PCM, que para una modulación analógica de una portadora sinusoidal.

El costo del equipo eléctrico, referido al equipo terminal de un enlace es considerablemente más barato para PCM que para FDM; 3 factores contribuyen a afirmar esto:

1. La tendencia a muy extensas facilidades de ancho de banda;
2. El decrecimiento de costo de la circuitería lógica que sería usada en codificar, decodificar y juntar algunas señales diferentes para la transmisión simultánea;
3. El incremento necesario de rapidez para transmitir datos y señales diferentes que la voz.

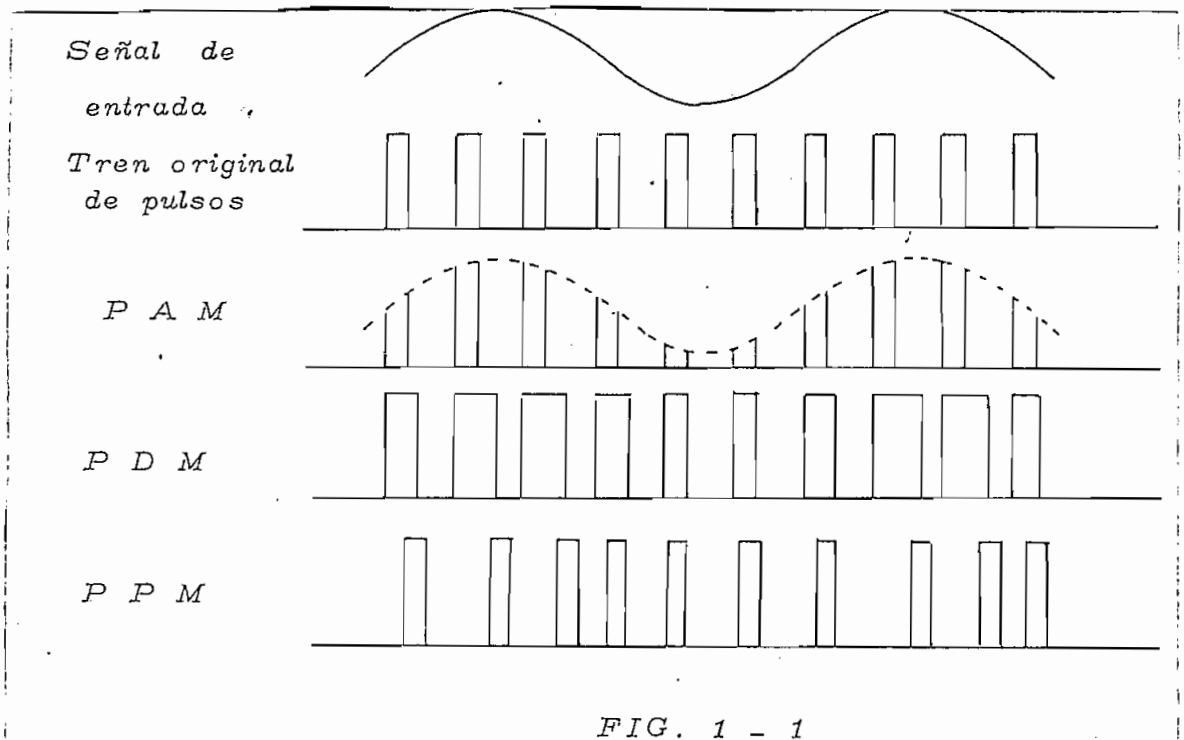
Posiblemente la ventaja más importante es el hecho que todas las señales, voz, TV., facsímil y datos, se convierten en un flujo de pulsos similares a la vista. Consecuentemente ellos no interfieren uno con otro y no demandarán diferentes condiciones en el diseño de canales.

## 1.2 TIPOS DE MODULACION DE PULSOS.

La transmisión de pulsos es empleada para llevar información. La información será enviada usando modulación o cambio del tren de pulsos en alguna forma. Hay algunas formas de hacerlo: (Fig. 1--1)

- a. Alguna característica física de cada pulso puede ser modificado de acuerdo con la señal de entrada. Su amplitud puede ser cambia

da o su ancho o su posición.



Aquí la señal está representando una onda sinusoidal que es usada para modular el tren de pulsos mostrados.

Entonces podemos incluir tres técnicas:

PAM. Modulación por amplitud del pulso;

PDM. Modulación por duración del pulso;

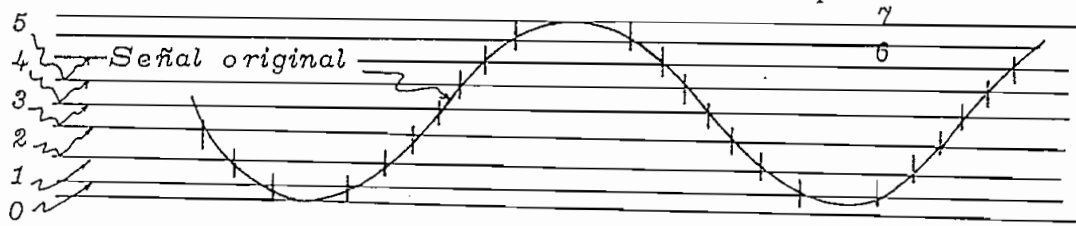
PPM. Modulación por posición del pulso.

b. PCM, en el cual, la señal a ser enviada es convertida en una serie de dígitos o caracteres, y es enviada en forma codificada.

Antes de ser codificada, la señal debe ser cuantizada y entonces muestreada.

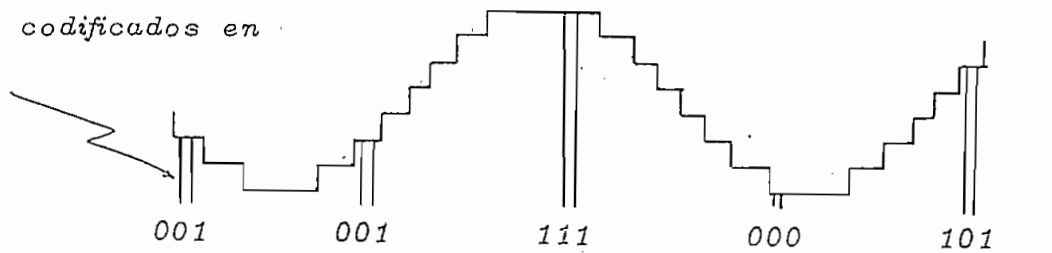


1) La señal es primero evaluada o destinada a ocupar valores discretos.



2) Es entonces muestreada en puntos específicos. La señal PAM resultante puede ser codificada (PCM)

Pulsos codificados en binario



3) Código de pulsos en binario.



Información de otras señales que pueden ser enviadas entre muestras.

FIG. 1 - 2

Cuantizar la señal es dividirla en un número específico de valores discretos. En la Fig. 1-2, la amplitud de la señal puede ser representada por uno de los 8 valores mostrados.

La amplitud de los pulsos transmitidos serán entonces, uno de estos 8 valores (PAM.)

Si los pulsos en Fig. 1-2, son codificados en binario como se muestra, 3 bits son necesarios para representar la amplitud de cada muestra. Una mayor exactitud de muestreo con 128 niveles cuantizados podría lograrse representando cada muestra por 7 bits.

El proceso de producir un tren de pulsos binarios es referido como PCM. El tren de pulsos resultantes pasa a través de estaciones repetidoras que reconstruyen el tren de pulsos, y son impenetrables a la mayoría de tipos de ruidos de telecomunicaciones, a no ser que se trate de impulsos cuya amplitud es mayor que la amplitud de la señal. La presencia o ausencia de un pulso puede ser fácilmente reconocida, cuando la distorsión está presente, mientras que en la determinación de magnitud se tendría un error.

A pesar de esto, la señal de voz original nunca será reproducida exactamente por los errores de cuantización.

Esta desviación continua de la señal original es conocida como ruido de cuantización. Este es de magnitud conocida, y puede ser reducido a expensas del ancho de banda, por incremento de niveles de muestreo; por ej. 128 niveles, (necesitando 7 bits por muestra) son suficientes para producir canales telefónicos, teniendo una relación señal a ruido comparable a los que se logra en canales analógicos hoy día.

### 1.3 CARACTERÍSTICAS.

1.3a MUESTREO.- Los pulsos ilustrados en la fig. 3, están muestreando la señal de entrada a un número limitado de puntos en tiempo, para que la amplitud de cada muestra pueda ser convertida en PCM. Entonces nos preguntamos. ¿Con qué frecuencia necesitamos muestrear la señal para poderla reconstruir en forma satisfactoria de las muestras?.

Se puede demostrar matemáticamente, que si la señal se limita de tal forma que la más alta frecuencia contenida sea  $W$  c/s ( $H2$ ), entonces un tren de pulsos de  $2W$  pulsos/s es suficiente para llevarla y permitir que sea reconstruida completamente.

Si un canal telefónico está limitado a frecuencias de menos de 4000 Hz, puede ser llevada por un tren de 8000 pulsos/s y posteriormente puede reconstruirse completamente.

### 1.3b REPETIDORAS REGENERADORAS.

Una de las mayores ventajas de transmisión digital es la facilidad de poner repetidoras en los enlaces de comunicación para reconstruir la señal completamente. En la mayoría de enlaces (sistemas PCM) se acostumbra a poner una repetidora cada milla! The Bell T1 System! usa repetidoras a intervalos de 6000 pies. Estas reconstruyen 1544000 pulsos/s. El ancho de banda mas grande de un enlace coaxial fue operado experimentalmente por Bell Laboratories en 1965, que transmite 244 millones de pulsos/s con repetidores cada milla, un enlace de 10 millones de pulsos/s tiene una cantidad de error bajo  $10^{-10}$ .

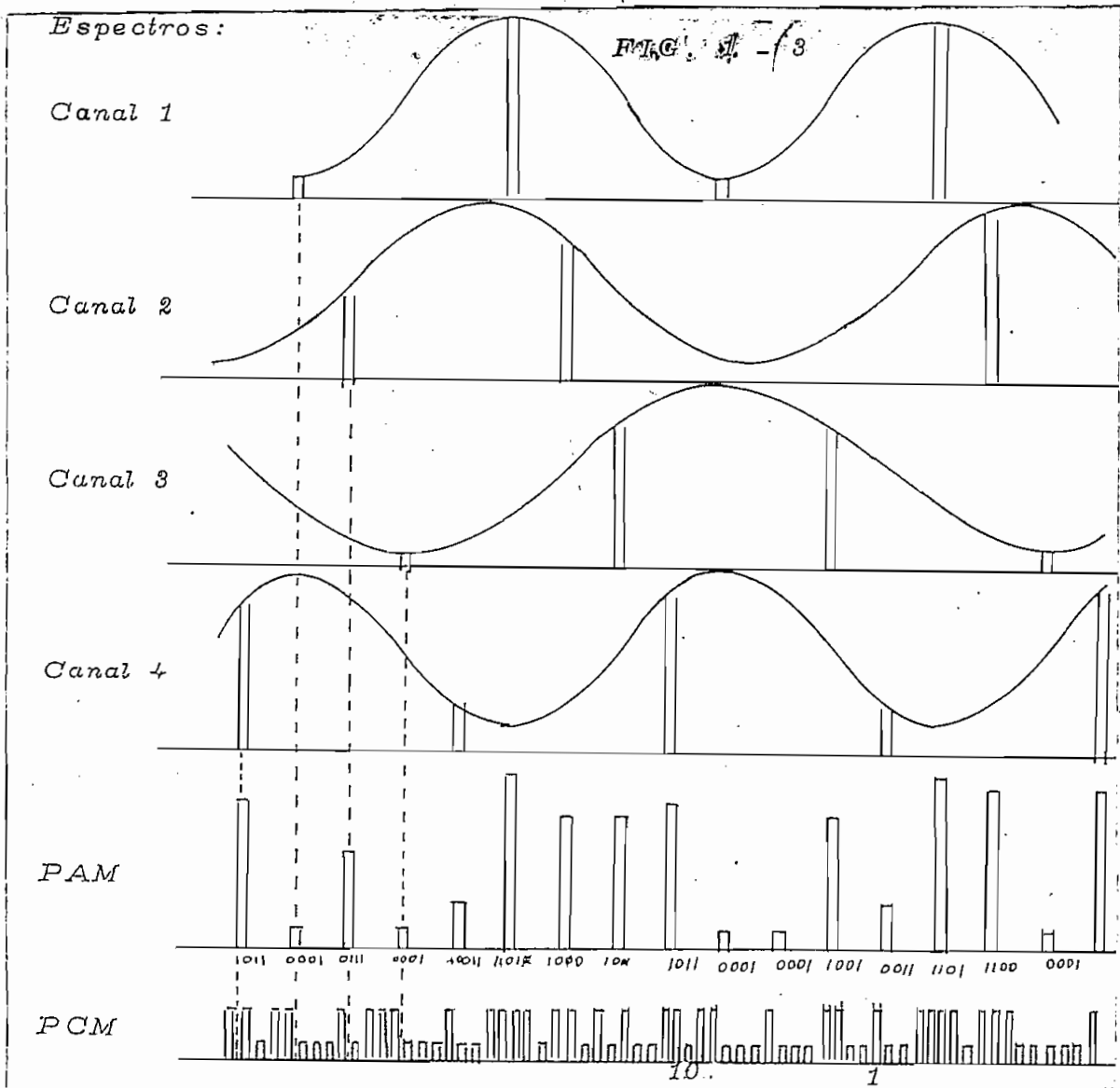
Una repetidora regeneradora tiene tres funciones:

- a. Reformar: cuando el pulso llega a la repetidora está atenuado y deformado entonces deberá pasar por un preamplificador y un ecualizador para reformarlo antes del proceso de detección.
- b. Un circuito de tiempo provee una señal para muestrear el pulso en puntos óptimos y decidir si es un bit de 0 (cero lógico) o 1

(uno lógico).

o. El circuito de tiempo controla la regeneración del pulso de salida y asegura que este sea enviado al tiempo correcto y con su valor correcto.

1.3o MULTIPLEX.- Sobre un enlace PCM puede enviarse más de un canal. Como se indica en Fig. 3 normalmente hay mucho espacio entre la codificación de las muestras. Entonces, los bits de diferentes canales de voz pueden ser agrupados:



En el sistema "Bell T1" por ejemplo cada agrupación ocupa 125 us.

Un canal entonces será muestreado en forma progresiva y ordenada cada 125 us.

La agrupación contiene una muestra de cada uno de los 24 canales de voz.

Fig. 1-3 indica el muestreo de 4 señales dando un tren de pulsos PAM.

El resultado es codificado en una señal PCM. Por simplicidad un código de 4 bits es mostrado en el diagrama. Como resultado vemos una serie de agrupaciones, cada una de 16 bits.

Para decodificar la señal es necesario estar seguros donde comienza cada agrupación, permitiendo la reconstrucción de las señales (sincronización.) En la Fig. 1-3 los primeros 4 bits corresponden a muestra 1, los segundos 4 a la 2 y así.

1.3d FRECUENCIA DE LOS PULSOS.- Si PCM es usado para transmitir voz humana, consideraremos que la frecuencia llega hasta los 4000 c/s y teóricamente necesitamos un mínimo de 8000 muestras/s. Si cada muestra codificada es 1 de 127 niveles permitidos, necesitaremos 7 bits para cada muestreo; entonces  $f=8000 \times 7=56.000$  bits/s. Para la transmisión de 56.000 bits/s requerimos un ancho de banda no menor que 28 KHz según intervalo de "Nyquist" ( $2B$  elementos/s, si  $B$  es el ancho de banda). En la práctica necesitaremos dos veces este ancho de banda, pues representa un compromiso entre la reducción del ruido e interferencia y el incremento de la señal.

Una reducción del ancho de banda implica un incremento correspondiente en ruido de cuantización.

A pesar de esta exageración en ancho de banda, la economía al utilizar este tipo de transmisión la encontramos en los costos de repetidoras (especialmente en distancias cortas), y son más rigurosos los gastos mientras más sea el ancho de banda utilizada.

La circuitería lógica necesitada para PCM; apesar de ser compleja, es más barata que para un sistema AM/FM de una calidad de transmisión comparable como ej. Los filtros pasa banda utilizados en FDM son caros, mientras los filtros pasa bajos para PCM son baratos.

En FDM los costos son proporcionales al número de canales transmitidos juntos sobre un enlace (solamente una pequeña parte es común a los canales distintos.)

En PCM, los canales utilizan una gran parte del equipo en común, y entonces, mientras la capacidad de transmisión aumente, los costos por unidad rebajarán.

Como hemos mencionado señales diferentes como facsímil, voz y TV, pueden ser mezclados en PCM sin tener interferencia mutua.

#### 1.4 TRANSMISION Y RECEPCION EN P.C.M.

El muestreo de la señal antes de codificarla está hecho por una serie de "switches" exactos o por entradas de muestreo.

Las señales son limitadas a la frecuencia máxima de 4 KHz, por los filtros pasa bajos. Entonces, las señales son muestreadas al pasar por una serie de puertas que se abren a intervalos de tiempo determinados. Esto crea PAM que posteriormente es codificado.

En el terminal de recepción el proceso inverso tiene lugar; es decir es detectada la señal digital, la cual es amplificada y expandida hasta el nivel de la señal original, luego pasa a través de unas entradas de muestreo en tiempo muy exactas.

Estas entradas separan los canales y envían por cada una PAM. Los filtros pasa bajos de cada canal integran las muestras y la señal es reobrada.

En los sistemas prácticos hay señales viajando en ambas direcciones y el sistema es más complicado que la fig. 1-4

Existe un problema en este procedimiento, las entradas de muestreo debieron ser abiertas y cerradas a exactos valores de tiempo. Las entradas a los circuitos de muestreo, al final de la transmisión y recepción debieran corresponderse, y se tomará en consideración cualquier demora en la transmisión. Además, porque los pulsos tienden a desarrollarse ligeramente cuando viajan sobre la línea, las muestras no pueden estar agrupadas apretadamente. Se necesita entre ellos un tiempo de demora.

TRANSMISION

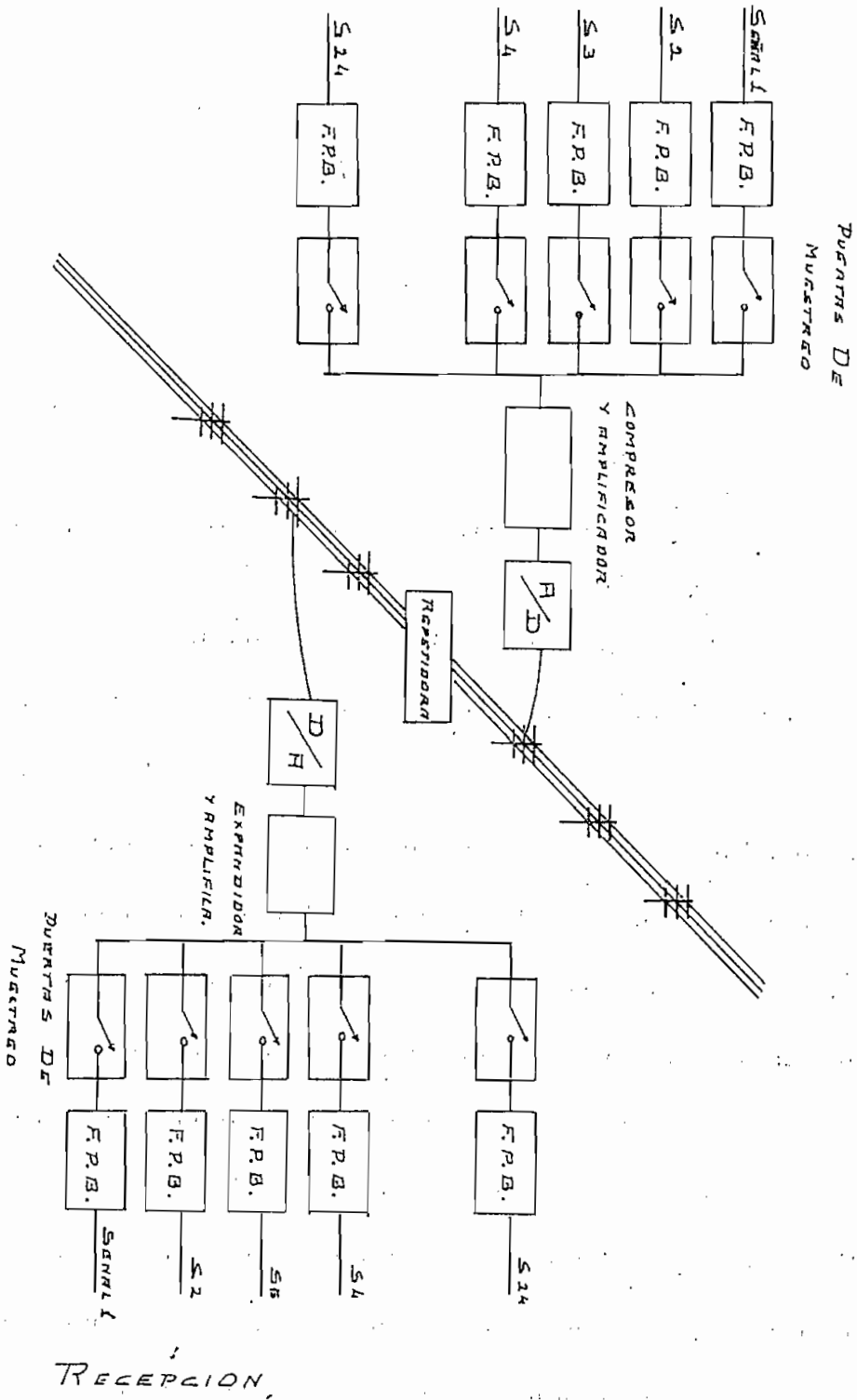


FIG 1-4



Las entradas a los circuitos de muestreo, están controlados por un tren de pulsos de un oscilador de frecuencia precisa. La frecuencia de muestreo puede ser mantenida y el tiempo de muestreo sincronizado para controlar los pulsos de entrada. Además, es necesario establecer una sincronización para que el terminal de recepción identifique los pulsos en el mismo orden en que son transmitidos.

#### 1.4a SINCRONIZACION.

En PCM, con código binario, los bits deberán valer 1 a 0 y no podemos usar diferente amplitud para indicar el comienzo de un "grupo", o ancho de pulso, o variación en la posición, porque así, no trabajan las repetidoras regeneradoras.

Entonces una información binaria especial, codificada, es incluida en el grupo, para sincronización.

El sistema PCM Bell T1 transmite 24 canales de voz juntos; 7 bits son usados para codificar cada muestra. El sistema es diseñado para transmitir frecuencias de voz hasta 4 KHz, y entonces se necesitará 8000 muestras/s y viajarán a través de la línea 8000 grupos/s, cada grupo de 125 us. El grupo ilustrado en la fig. 1-5 contiene 8 bits por cada canal; el octavo es utilizado por razones de señalización y supervisión, por ej. para establecer una conexión y terminar la llamada. Hay un total de 193 bits en cada grupo y así la línea del T1 opera a  $193 \times 8000 = 1.544.000$  bits/s. El último bit en el grupo, 193, es usado para establecer y man

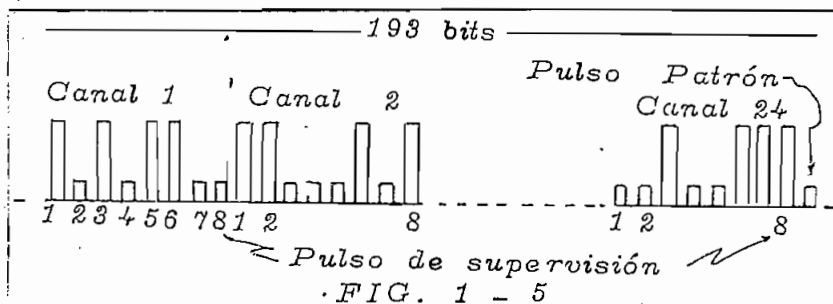
tener sincronización. La secuencia de este bit a grupos separados es examinado por la lógica del terminal RX. Si esta secuencia no sigue un determinado código patrón, entonces el terminal detecta que la sincronización fue perdida. Si esto sucede, los bits de los canales no serán recibidos.

Este patrón utilizado tiene dos características esenciales:

a) Es de valores 0 y 1, en forma alternada, esto es 010101 .....

Si este bit fuera 0 o 1 solamente, podría confundirse con la información. Es de notar que difícilmente en la información, la señal patrón sea formada al azar.

b) Empleará una frecuencia de 4 KHz; debe observarse que los filtros de entrada atenuarán bastante las señales correspondientes a esta frecuencia.



Entonces el bit 193 está compuesto alternadamente de 1 y 0. El terminal de recepción se asegura que este patrón este presente. Si no esta, examina las otras posiciones de los bit (193) hasta encontrarlo.

Este esquema ha sido provado y trabaja perfectamente. Si la sin-

cronización se pierde, el circuito lógico toma de 1 a 6 ms. en detectarlo. El tiempo máximo requerido en el peor caso en que todas las otras 192 posiciones sean revisadas, será de 50 ms. Esto no afecta la transmisión, sin embargo existen numerosas formas de lograr sincronismo.

### 1.5 CONCLUSIONES. (No)

De este capítulo, además del conocimiento genérico sobre sistemas de conversión, obtenemos dos importantes razonamientos que nos servirán posteriormente:

1. Importancia, función y características del convertidor A/D (localización en un sistema de transmisión PCM.)
2. Una característica esencial del sistema de transmisión PCM es la velocidad, pues si se diseña un sistema de 8 bits para transmitir señales de hasta 4 KHz deberá existir un muestreador de 8000 pulsos/s o lo que da lo mismo, la conversión tendría una velocidad de 8000 conversiones /s o  $8000 \times \# \text{ bits} = \text{bits/s}$ .

*CAPITULO II*

## CAPITULO II

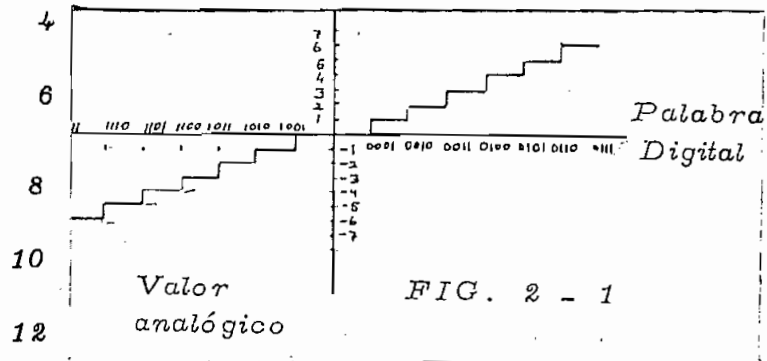
### 2.1 GENERALIDADES.

En sistemas de conversión A/D, la información a ser convertida está en forma analógica como voltaje, corriente, frecuencia, etc., que representan magnitudes físicas tales como temperatura o velocidad.

En sistemas de conversión D/A, la información está en forma digital, esto es, la representación de la magnitud física mediante un código. En el sistema binario solamente se necesitan dos elementos: el cero y el uno para los cuales se requieren dos niveles de voltaje.

TABLA 2-1

BMS	BPMS	BmS	Voltaje analógico equivalente (voltios)
0	0	0	0
0	0	1	2
0	1	0	4
0	1	1	6
1	0	0	8
1	0	1	10
1	1	0	12
1	1	1	14



La tabla 2-1, nos muestra un ejemplo de una palabra binaria de tres bits y su valor en forma decimal. El ejemplo usa a voltios como cantidad representada, y dos voltios esta representado por el bit menos significativo de la representación digital (BmS.) Entonces la cantidad más pequeña que puede ser representada es dos voltios y podemos representar en pasos incrementales de cero a oatoros voltios.

A la oantidad más pequeña que puede ser representada por una palabra digital le llamaremos *quantum* y es igual al valor del BmS de la palabra digital.

Para la adición de un signo a la representación digital tendremos que añadir un bit, antes del bit más significativo (BMS), pudiendo entonces representarse cantidades positivas o negativas; como se muestra en la fig. 2-1, en la cual un uno representa números negativos y un oero números positivos.

Notemos en la fig. 2-1, que las palabras digitales se refieren solamente a valores disoretos sin que ningún valor entre ellos pueda ser representado. Sus valores cuantitativos equivalentes pueden ser definidos como un equivalente analógico de la representación digital.

En la naturaleza existen oantidades analógicas cuya medida y representación pueda ser hecha utilizando equipos de medioión, pero siempre es

tos aparatos tienen un error, es decir, son representados con una limitación de resolución. Cuando la representación se evalúa en pasos discretos. Para hacer estos pasos más pequeños y lograr una mayor exactitud en la representación de la cantidad analógica, es necesario incrementar el número de bits de la palabra digital; en general diremos que los requerimientos de exactitud del sistema determinarán el número de bits a usarse.

En general mientras mayor sea el requerimiento de velocidad de operación, más baja es la exactitud del equipo analógico. Con técnicas digitales sin embargo, la exactitud no degrada durante cada operación, siendo una función del número de bits empleados. Naturalmente, está limitada por la exactitud del equipo de entrada y salida, si éste tiene elementos analógicos o la resolución del equipo entrada-salida, si éste es digital.

La forma digital discutida fue de evaluación binaria, sin embargo los mismos argumentos servirán para cualquier otro código. La forma analógica discutida fue voltaje, podría haber sido corriente, frecuencia, desplazamiento de fase, ancho de pulso u otra forma de señal, que podrían representar temperatura, presión, velocidad, distancia, vibración o cualquier otro fenómeno físico.

Los ejemplos muestran unas pocas formas posibles en las cuales un sistema A/D o D/A puede ser utilizado. En general anote-

mos que la razón para manejar datos en modo digital en algunos sistemas es lograr mayor velocidad y exactitud o también para reducir el ruido sobre un sistema, como sucede en PCM.

## 2.2 CLASIFICACIÓN DE CONVERTIDORES A/D.

Hay algunas formas por las cuales los convertidores pueden ser clasificados: Un método es separándolos en: Programados y no Programados. En los primeros, el proceso de conversión es realizado en un número de pasos dado (con cada señal del reloj,) para tener un intervalo de tiempo fijo.

Los no programados, pueden requerir una secuencia de eventos antes de que la conversión se complete; sin embargo, esta secuencia no es a pasos de tiempos fijos y depende solamente del tiempo de respuesta del círculo de conversión.

Otra forma de clasificar a los convertidores A/D sería considerando que sean de tipo de lazo abierto, o de realimentación. En los convertidores de lazo abierto, hay una comparación directa entre la entrada analógica de voltaje y un voltaje analógico de referencia; el resultado de esta comparación es una palabra digital generada. En los convertidores de lazo cerrado, como al proceso de conversión preside: un voltaje analógico generado internamente como una función de la palabra digital, el convertidor A/D está realimentando una entrada del comparador. Este voltaje es comparado nuevamente con la entrada analógica de voltaje a ser



convertida y cuando la realimentación de voltaje es igual a la entrada analógica, la conversión se completa.

Un tercer método para clasificar los convertidores, es dependiendo de si usan un capacitor de carga o si la comparación se la realiza a base de valores de voltaje discretos. En los primeros, el proceso de conversión depende básicamente de la codificación digital del tiempo de carga del capacitor a algún voltaje de referencia o al valor de la entrada analógica de voltaje. Los segundos, usan un proceso de conversión que depende básicamente de la generación de voltajes discretos cuyos niveles son equivalentes a palabras digitales y la comparación de éstos niveles de voltaje discretos con la entrada analógica de voltaje determinarán la palabra digital equivalente. La generación de voltajes discretos podría ser simultánea, secuencial o una combinación de las dos.

### 2.3 CONVERTIDORES A/D POR CARGA DEL CAPACITOR.

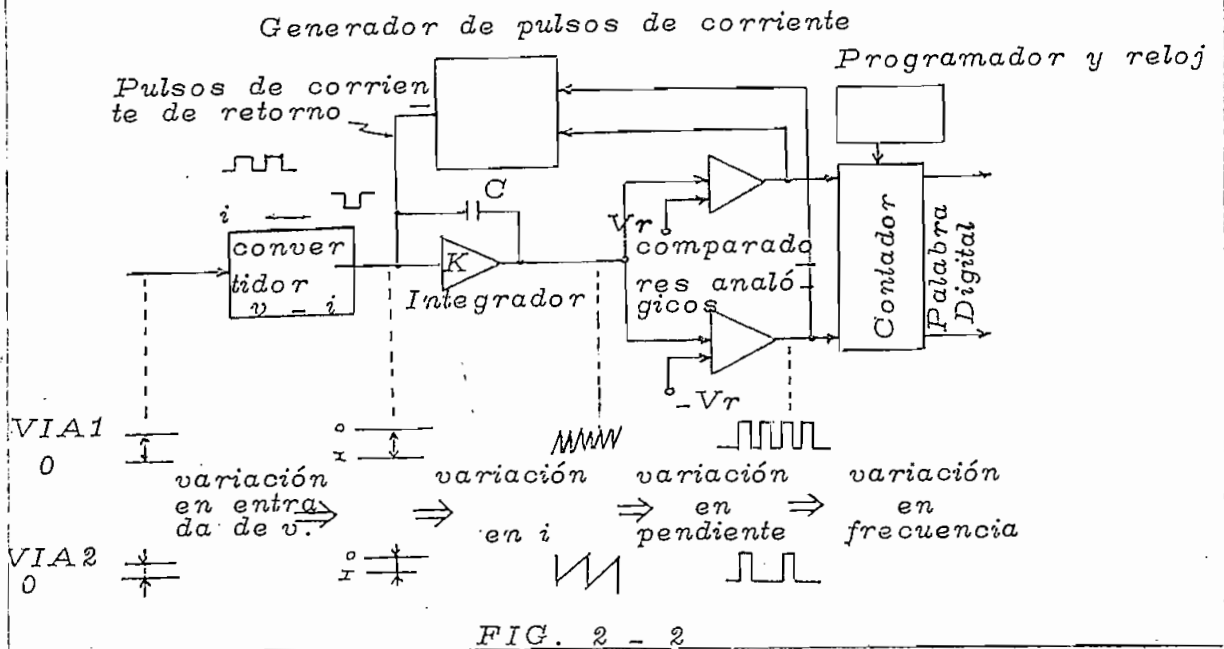
Tenemos tres ejemplos que son:

- . Convertidor voltaje - frecuencia,
- . Convertidor por modulación de ancho de pulso o por generación de rampa,
- . Convertidor por generación de doble rampa.

#### 2.3a CONVERTIDOR VOLTAJE-FRECUENCIA. (fig. 2-2)

La entrada de voltaje analógico es primero convertida a una corriente proporcional, que es integrada por un amplificador acoplado directa-

- CONVERSION DE VOLTAJE A FRECUENCIA -



tegrador exceda bien a  $+V_r$  o a  $-V_r$ , tiempo en el cual uno de los comparadores analógicos genera un pulso de salida. El pulso de salida es utilizado para regresar el integrador a 0. Resulta entonces un número de pulsos por segundo que es la frecuencia, que es proporcional a la entrada analógica. Estos pulsos pueden ser contados en un período fijo de tiempo en un contador binario. El conteo digital, al final de este tiempo es proporcional a la entrada analógica.

2.3b CONVERTIDOR POR MODULACION DE ANCHO DE PULSO.

El nombre de este proceso de conversión, se deriva del hecho de que la señal analógica es inicialmente transformada a un pulso cuyo ancho,

	PAG.
3.6b Red $R-2R$ .	3 - 39
3.6c Conmutación.	3 - 40
3.6d Fuente de voltaje de precisión.	3 - 42
3.7 Comparador.	3 - 45
3.7a Amplificador diferencial de alta ganancia.	3 - 50
3.7b Operación del comparador.	3 - 56

#### CAPITULO IV;

4.1 Transmisión.	4 - 1
4.1a El transistor por efecto de campo como <u>in</u> terruptor analógico.	4 - 8
4.1b Función y diseño del capacitor a la salida de los muestreadores.	4 - 14
4.1c Valor de C y T.	4 - 16
4.2 Recepción.	4 - 18
4.2a Circuito biestable.	4 - 18
4.2b Circuitos de registro.	4 - 18
4.2c Registro completo.	4 - 19
4.2d Registro de corrimiento.	4 - 19
4.2e Registro de corrimiento de dos circuitos.	4 - 21
4.2f Circuito de demora.	4 - 25

en tiempo, es una función del valor de la señal de entrada analógica. El ancho de pulso es convertido a un formato digital por conteo de número de ciclos de una frecuencia de referencia que ocurre entre el comienzo y el final del ancho de pulso.

El principio básico de operación se ilustra en la fig. 2-3

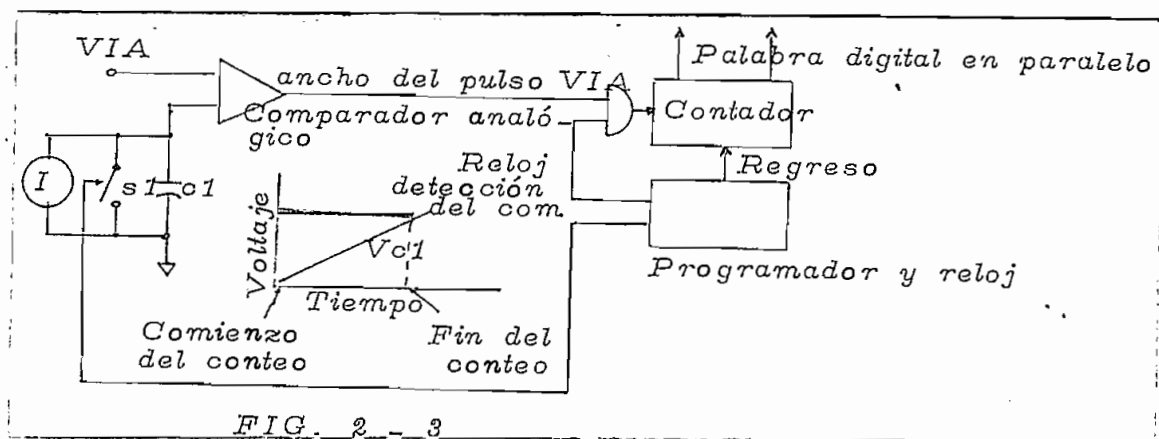


FIG. 2 - 3

El "switch" de retorno  $S1$ , es cerrado antes de que la conversión comience. En ese tiempo comienza el ancho del pulso, el switch es abierto y el capacitor  $C1$  se carga linealmente a causa de la corriente constante,  $I$ . El comparador analógico conectado al capacitor consume relativamente poca corriente. Desde que el capacitor se carga (0 V.), el acumulador (contador binario,) cuenta los ciclos de la frecuencia de referencia; cuando el voltaje  $C1$  iguala la entrada analógica del voltaje,  $VIA$ , la salida del comparador cambia de estado (fin del ancho del pulso.) La señal del comparador, entonces, acepta la frecuencia de referencia de entrada al acumulador,

y el conteo final en el acumulador, es el equivalente digital de la en-  
trada analógica.

### 2.3c CONVERTIDOR A/D POR GENERACION DE DOBLE RAMPA.

Es una forma del tipo modulador del ancho del pulso, sus carac-  
terísticas son: velocidad baja de conversión, buena exactitud y ba-  
ja complejidad en el equipo. Su ventaja más importante es su exac-  
titud, sin embargo el equipo es relativamente simple, para ciertos  
rangos de exactitud, comparado con otras técnicas. La idea bási-  
ca es generar un ancho de pulso proporcional a la entrada analógi-  
ca de voltaje, haciendo una comparación de tiempo entre dos integra-  
ciones. En esta forma, algunos de los errores absolutos genera-  
dos en el integrador son eliminados.

La primera integración es sobre la señal de entrada analógica; se  
procede en un intervalo fijo de tiempo  $t_1$ . La entrada al circuito in-  
tegrador es conectada a un voltaje de referencia conocido. El tiem-  
po para la conmutación, antes de que las salidas del integrador al-  
cancen algún punto de referencia fijo, da una medida de la entrada  
analógica de voltaje.

La fig. 2-5 muestra un diagrama bloque y un diagrama de tiempo bá-  
sico para el convertidor A/D. En la recepción del pulso de conver-  
sión, el  $F_1$  con todos los  $F$  del contador, regresan a 0, el conmutador S1

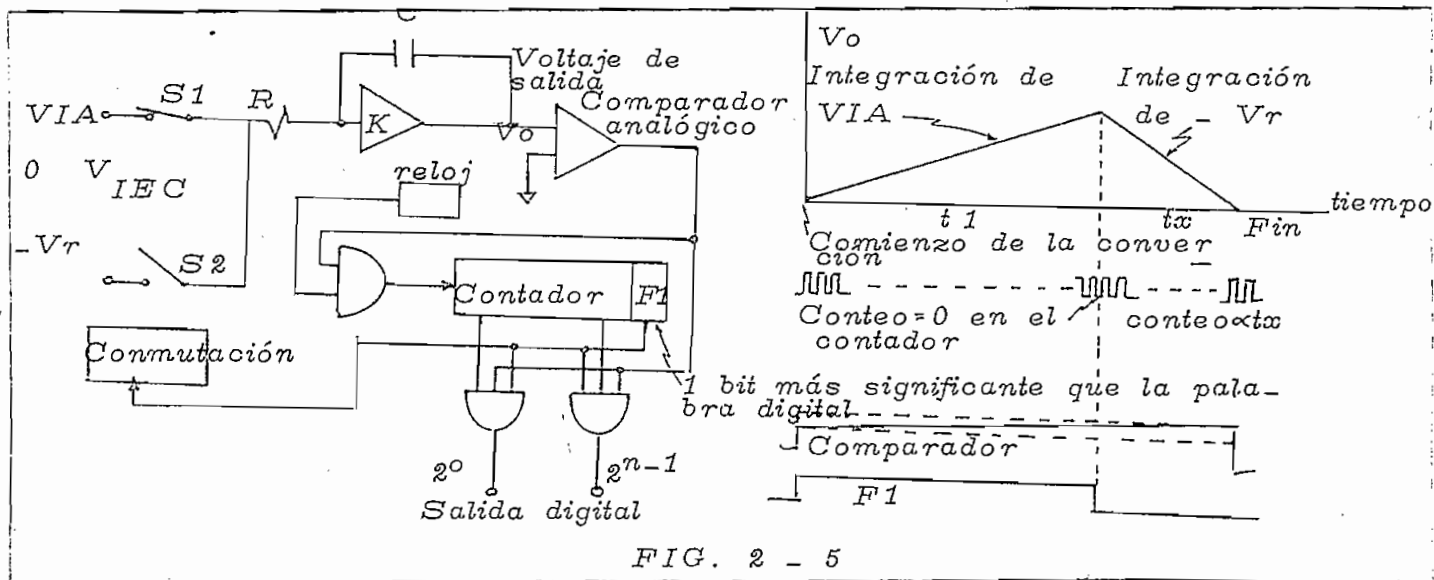


FIG. 2 - 5

es cerrado y  $S2$  abierto de tal manera, que el tiempo de integración de la entrada comienza a transcurrir. Como la salida del integrador excede en un poco más de 0 v. la salida del comparador cambia de estado, el contador recibe pulsos del oscilador y cuenta a través de todos los estados posibles para dar la condición "1". En la próxima señal del oscilador, el contador cambia al estado cero, que maneja el  $F/F 1$ , al estado 1. La salida del  $F/F 1$ , abre  $S1$  y cierra  $S2$ ; desconectando el voltaje de entrada del integrador, y conectándolo a  $V_f$ , la salida de voltaje del integrador decrece linealmente hasta cero V., cuando está cruzando por este valor, la salida del comparador analógico cambia de estado cerrando la compuerta  $G1$  e impidiendo la entrada de pulsos de reloj. El conteo en el contador es entonces proporcional a  $tX$ , que a la vez proporcional a la entrada. Por ej. mientras más grande sea el valor de la entrada, más grande es la salida del integrador a  $t1$ . Entonces es mayor el tiempo

po que toma a la rampa formada abase de la integración de  $-VR$  para llegar a 0.

Se puede probar matemáticamente, que este proceso de conversión elimina algunas fuentes de error. Al final del tiempo  $t_1$  el voltaje a la salida del integrador está dado por:

$$\Delta V_{o t_1} = \frac{1}{RC} \int_0^{t_1} V_{IA} dt = V_{IA} \frac{t_1}{RC} + C_1$$

Donde la constante  $C_1$  es 0 si el comparador detecta exactamente  $0V$ , y la salida del integrador fuera siempre un poco más negativa en voltaje, si este es el caso, no comienza contando antes de que el comparador detecte que del integrador cruce  $0V$ . Durante el tiempo  $t_x$ , este tiene que alcanzar  $0V$ .

El cambio en la salida de voltaje del integrador, después que este retorna a  $0v$ . en el tiempo  $t_x$  es igual a:

$$\Delta V_{o t_x} = \frac{1}{RC} \int_0^{t_x} V_r dt = \frac{V_r t_x}{RC}$$

El cambio en voltaje durante  $t_1$  es igual al que se alcanza durante  $t_x$ , esto es, el integrador de voltaje comienza a  $0v$ . y retorna al mismo valor, entonces:

$$0 = \Delta V_{o t_1} - \Delta V_{o t_x}$$

$$0 = \frac{V_{IA} t_1}{RC} - \frac{V_r t_x}{RC} \quad t_x = \frac{V_{IA} t_1}{V_r}$$

Vemos que  $t_x$  es independiente de la constante de tiempo de integración. La exactitud es también independiente de la frecuencia del oscilador (con error de cuantización .)



Notemos que los períodos  $t_1$  y  $t_X$  son funciones de la frecuencia del oscilador.

Las fuentes de error en este convertidor se deben a los errores del comparador, los errores de la conmutación analógica, errores del voltaje de referencia y errores en el integrador, así como voltajes internos que son integrados junto con la señal. Entonces la entrada es opuesta en polaridad a  $V_r$ ; los errores del amplificador, se anularán (errores de la misma magnitud y en sentido contrario uno a otro.)

Este convertidor A/D, puede utilizarse con conmutación microelectrónica, pues los interruptores  $S_1$  y  $S_2$ , también podrían construirse a base de transistores de efecto de campo (FET). El problema de conmutación es el mismo que se discutirá posteriormente cuando se analice el convertidor por aproximación sucesiva.

## 2.4 CONVERTIDORES POR COMPARACION DE VALORES DISCRETOS DE VOLTAJE.

Tres ejemplos de este grupo son:

- . Contador de rampa,
- . Convertidor A/D simultáneo o paralelo,
- . Por aproximación sucesiva.

### 2.4a CONTADOR DE RAMPA.

Es uno de los más simples, sin embargo, a causa de esto el convertidor es relativamente lento, pues a escala completa, una entrada de vol



taje analógico puede ser convertida en  $2^n - 1$  pasos, si  $n$  es el número de bits en la palabra digital.

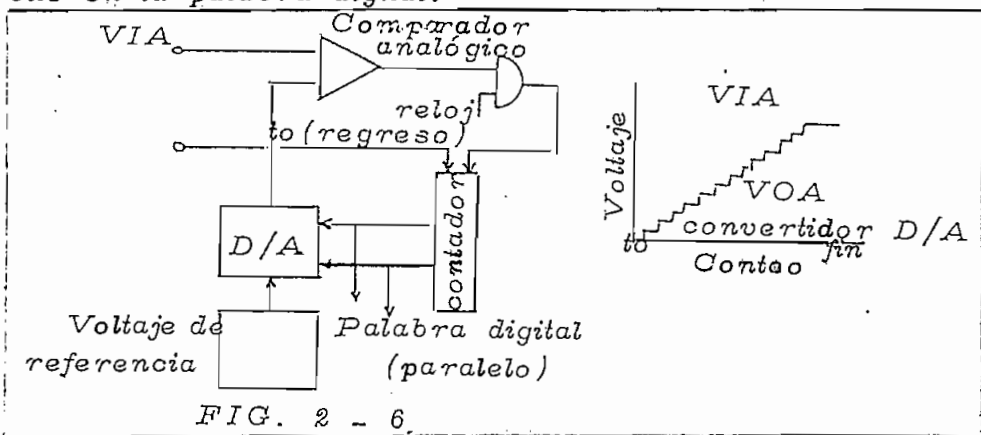


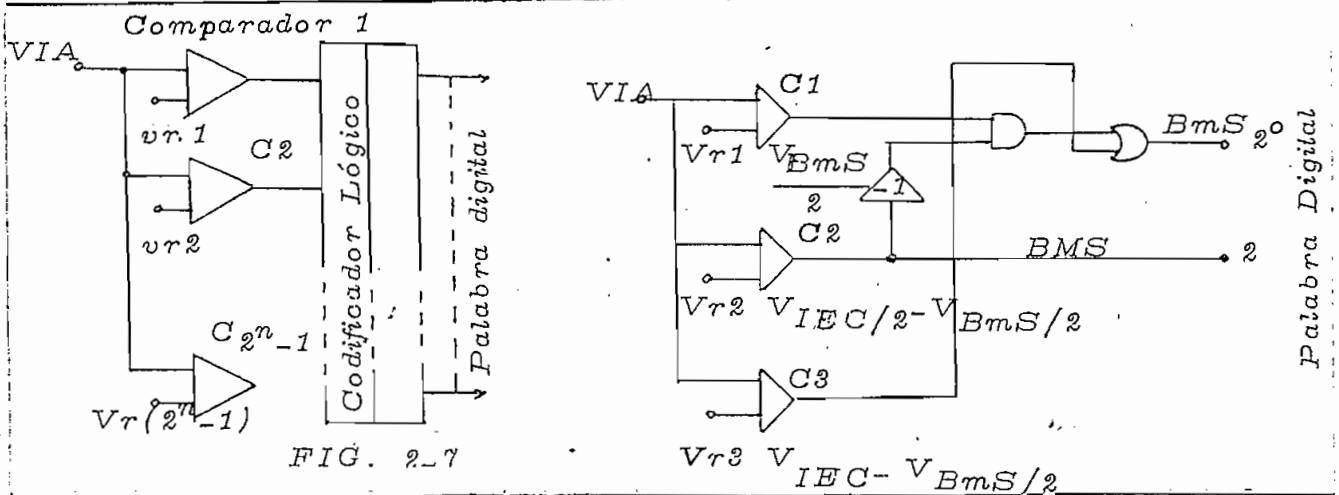
FIG. 2 - 6

El proceso de conversión comienza al regresar al contador a  $t_0$ . Entonces, el contador es enviado a cero, manejando la salida analógica del convertidor D/A a 0v. El contador entonces comienza a recibir y contar señales de reloj a través de la entrada 1. El decodificador D/A, es sincronizado al contador de tal forma que, mientras avanza el conteo, la salida analógica del voltaje del convertidor VoA incrementa como se muestra en el diagrama. Cuando el conteo ha llegado a un punto tal que VoA es un poco más grande que la entrada de voltaje, el comparador cambia de estado, entonces se evoluciona la entrada uno de tal forma de que no entren mas pulsos de reloj al contador, al mismo tiempo, la palabra digital en paralelo, en el contador es el equivalente digital de la entrada.

A escala completa, el contador deberá contar de todos 0s. a todos 1s., esto requiere un tiempo de conversión de  $2^n - 1$ , períodos de pulso de reloj.

## 2.4b CONVERTIDOR A/D SIMULTANEO O PARALELO.

Utiliza un comparador analógico, con un voltaje fijo de referencia para cada una de sus entradas.



Por cada nivel de cuantización en la palabra digital desde 0 hasta escala completa (EC) vemos que se utiliza un comparador. La entrada analógica de voltaje es conectada a la otra entrada de cada comparador, de tal forma que la comparación analógica puede ser hecha con todos los niveles de voltaje de referencia, representando todos los niveles de cuantización. Las salidas de estos comparadores manejan codificadores lógicos para generar la palabra digital equivalente. El valor de esta palabra es dependiente de los comparadores, que tienen que detectar si la entrada analógica de voltaje fue más grande que su voltaje de referencia.

La velocidad de conversión posible con este tipo de convertidor, es extremadamente rápida, pues la conversión se realiza en un solo paso.

Sin embargo, tiene una desventaja, y es que para bit adicional en la palabra digital la necesidad en equipo requerido es practicamente doblada por ej: para una conversión de 8 bits, será necesario 255 comparadores, para generar 255 voltajes de referencia y tener un número apropiado de entradas en el codificador lógico.

#### 2.40 CONVERTIDOR A/D POR APROXIMACIONES SUSCESIVAS.

Este proceso de conversión básicamente consiste en tratar con el BMS y sucesivamente tratar de llevar a uno lógico a cada bit de la salida digital.

Mientras cada bit es tratado, la salida del deodificador D/A es nuevamente comparada con la entrada. Si la salida D/A es más grande, el uno es cambiado de ese bit y el proceso continúa y un 1 es tratado en el BPMS (bit próximo más significativo).

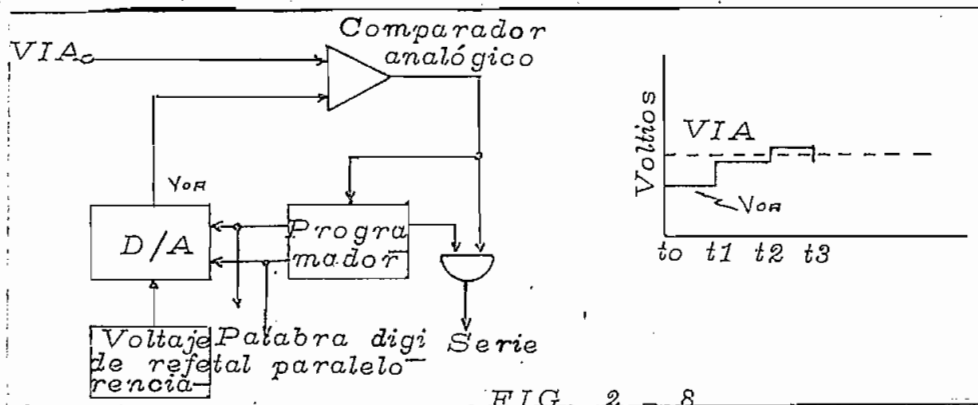


FIG. 2 8

Si la señal de entrada analógica es más grande, el 1 permanece en ese bit; al final del proceso después de haber sido tratado el BMS, la palabra digital en el descodificar D/A es el equivalente del voltaje analógico.

Este convertidor A/D requiere  $n$  pasos para codificar a una palabra de  $n$  bits, la cual se puede obtener en forma paralela a la salida F/F (Flip/Flops) que manejan el decodificar D/A al final de tiempo de conversión, o en forma serial a la salida del comparador mediante circuitería conveniente tratada posteriormente. La velocidad de conversión en este sistema es media, se logra una gran exactitud empleando una complejidad media del equipo.

## 2.5 COMPARACION DE CONVERTIDORES A/D. TABLA 2 - 2

Lento y menos complejo: Contador de Rampa: Cada paso incremental en el voltaje de rampa iguala al valor de  $BmS$ . A EC, la salida requiere  $2^n - 1$  pasos para completar la conversión ( $n$  número de bits de la palabra digital.)

Contador de rampa seccionado en dos: Determinación mediante pasos discretos del BMS hasta el  $BmS$ . A EC, la salida requiere  $2(2^n/2 - 1)$  pasos para completar la conversión.

Dirección de in cremento de ve Contador de rampa seccionado en tres: Tres diferentes magnitudes de pasos, comenzando con el más grande y terminando con el más pequeño, A EC se requiere  $3(2^n/3 - 1)$  pasos para completar

locidad de conversión  
e incremento en la  
complejidad del equi-  
po.

la conversión.  
Contador de rampa seccionado en  $n$ : o por  
aproximación sucesiva; cada paso de di-  
ferente magnitud. Cada bit, desde el BMS  
hasta el BMS es comparado ordenadamente  
con la salida. Conforme el proceso avanza  
estos bits excedidos por la entrada analógi-  
ca dan 1s. A EC,  $n(2^n/n-1)$  pasos para  
completar la conversión.

Conversión simultánea o paralela: Compara-  
ción de la salida con  $2^n-1$  voltajes fijos de re-  
ferencia. Estos niveles excedidos por la sa-  
lida son detectados y codificados, dando el e-  
quivalente de la palabra digital. Un solo paso  
se requiere para completar el proceso de con-  
versión.

Rápido y más complejo.

## 2.6 CONCLUSIONES.

Del estudio de este capítulo y más propiamente de Tabla 2-2, podemos  
ver que el convertidor analógico digital por aproximación sucesiva es  
el más apropiado para ser utilizado en un sistema de transmisión PCM,  
pues con una complejidad mediana en el equipo electrónico (bajo costo)

se logra una condición aceptable de velocidad y alto grado de exactitud.

NOTA:

En la tabla 2-2 no fueron considerados los convertidores por carga del condensador por ser extremadamente lentos.

*CAPITULO III*

### 3.1 CONVERTIDOR ANALOGICO DIGITAL POR APROXIMACION SUCESIVA.

#### 1a GENERALIDADES Y DISEÑO.

Estos convertidores son aparatos de conversión muy utilizados, especialmente en computadoras, contadores de señales, en sistemas de comunicación debido a su alta resolución (hasta 16 bits) y tiempo corto de conversión (independiente de la magnitud del voltaje de entrada hasta 1 MHz) con un costo bajo del equipo electrónico.

Existen muchas maneras de llegar al diseño lógico apropiado según lo que representa la técnica de aproximación sucesiva.

El proceso de conversión es similar a tratar de evaluar un peso determinado, cuando se dispone solamente pesas de  $1/2$ ,  $1/4$ ,  $1/8$  o en general pesas de  $1/2^n$  libras.

Es decir, tenemos una balanza con el un lado ocupado por peso  $x$  ( $Px$ ) en el otro lado realizamos la siguiente operación: ponemos  $1/2$  libra; si  $Px$  es mayor la dejamos, si es menor la sacamos; Luego ponemos  $1/4$  libra, si es que hemos añadido lo necesario para sobrepasar el valor de  $Px$  lo quitamos, en caso contrario la dejamos. Ahora aumentamos  $1/8$  libra y procedemos en igual forma; de esta forma nos iremos acercando al valor deseado que será igual a la suma de todos los pesos.

Similarmente, la aproximación sucesiva a un nivel desconocido es operar por comparación de esta entrada analógica con un voltaje de realimentación dependiente de las salidas de un convertidor D/A. La con-



versión se la hace bit por bit, comenzando por el bit generado más significativo.

Para el primer tiempo, el bit más significativo es 1 y todos los demás 0. Este valor entra al D/A y su salida es comparada con la entrada analógica. Si esta señal es más grande  $F1$  permanece en 1, en caso contrario un pulso generado que depende de la salida del comparador hace regresar al  $F1$  a 0 y al mismo tiempo pone en 1 al  $F2$  y así sucesivamente.

Diseño:

Podríamos representar con diagrama de bloques la conversión fig. 3-1

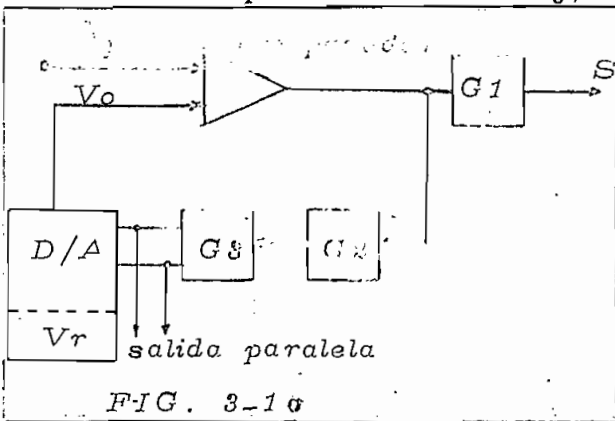


FIG. 3-1a

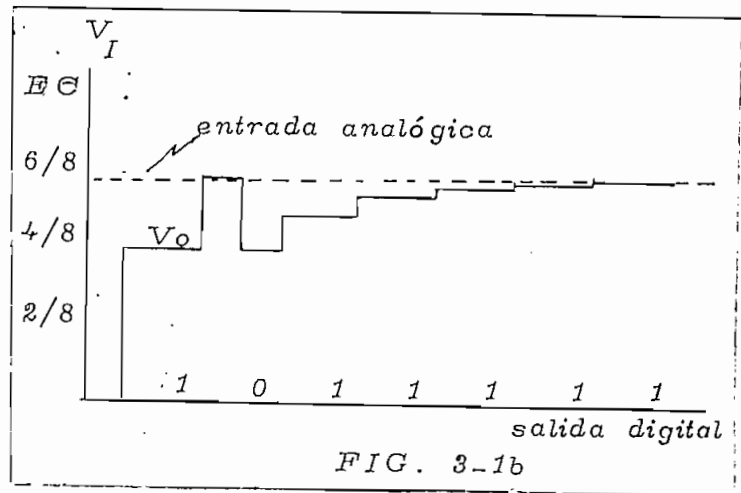


FIG. 3-1b

La salida BMS (1/2 de escala completa) del convertidor D/A es comparada con la entrada analógica. Si esta última es más grande un 1 se

almacena en el registro G3 (en el F correspondiente al primer bit,) si es más pequeña se almacena un 0.

Luego es tratado el próximo bit, BPMS (bit próximo más significativo) o EC/4. Si la entrada es mayor, almacena un 1, si sucede lo contrario un 0 y el próximo bit es tratado y si este no añade el nivel suficiente para sobrepasar la entrada se registra un 1. Este proceso continua hasta evaluar el nivel más correcto con los bits disponibles.

Según diagrama bloque de fig. 3-1, además del comparador y convertidor D/A necesitamos bloques G2, G3 y G1, que en su orden son bloques de control lógico, registro de almacenamiento (salida paralela) y bloque de almacenamiento (salida serial.)

Para cada bit hay un almacenamiento en particular, es decir que podremos utilizar F-JK (Master Slave); como son 7 bits, utilizaremos 7 F. El bloque lógico G1 será utilizado posteriormente para el análisis de salida serial y el bloque G2 deberá cumplir las siguientes funciones:

- a) Generar un control del sistema,
- b) Manejar los F en siete oportunidades sucesivas, una cada conversión de tal forma que al primer tiempo se ponga 1 y en un segundo tiempo almacene un 1 ó 0, dependiendo del resultado de la comparación.
- c) Al final de cada conversión generar un pulso de sincronismo, cuyo objeto es hacer que cada conversión sea única e independiente de resul-

tados de conversiones previas (despejar la lógica interna en los  $F$ ).

Para cumplir la primera condición utilizamos Schmitt Trigger SN7413, que está regulado para un período de 2 us. (reloj asincrónico), CP2; que va a un  $F$  cuya salida cambia cada vez que CP2 lo haga de 1 a 0. De esta manera conseguiremos un reloj sincronico general del sistema CP, de un período de 4 us. que es el apropiado.

Si tiene que haber ocho estados distintos, podemos ocupar un contador módulo 8. El contador SN7493 tiene 4  $F$ , el primero de los cuales es utilizado para obtener el reloj sincronico y los tres últimos como contador módulo 8.

El CP introducido en el grupo de 3  $F$  (contador BCD) sirve para generar ocho posibles estados sucesivos y distintos (siete primeros para la conversión y el último para sincronismo.)

Estos estados se manifiestan por niveles de voltaje presentes en las tres líneas de salida del contador BCD; pero nosotros deseamos tener estos ocho estados en forma independiente (manejo de los  $F$  en forma sucesiva,) por lo que tenemos que utilizar un deodificador, pues de sus ocho salidas obtenemos los ocho estados distintos del contador BCD.

A la salida del deodificador tendremos salidas complementadas según el análisis realizado:  $\overline{D1}$ ,  $\overline{D2}$ ,  $\overline{D3}$ , .....  $\overline{D8}$ . (Ver diagrama de tiempo de fig. 3-2.) de lógica negativa.

Para cumplir con la segunda condición, al iniciar el proceso necesitamos

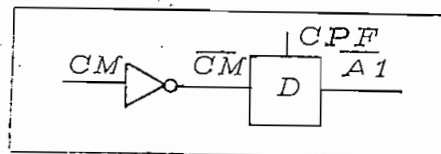
poner a  $F1 = 1$  (BMS-salida  $\bar{Q}$ ) y a todos los demás en 0 (salida  $Q$ ). Esto lo conseguimos utilizando el clear de los  $F$  ( $Cl$ ), debemos poner  $Cl = 0$  en el último cuarto de período de  $D8$  o sea:  $Cl = \overline{CPF \times D8}$  siendo  $CPF = CP2 \times CP$ .

Consideremos la manera de regresar a 0 o mantener en 1 el  $F1$ , dependiendo del resultado de la comparación, al mismo tiempo que poner en 1 a  $F2$  y así sucesivamente. Para esto resulta una gran ayuda el diagrama de tiempos mostrado en fig. 3-2.

El comparador emite señales 1 o 0; cuando es 1 queremos hacer regresar  $F1$  a 0 antes de que comience el nuevo período de  $CP$ , por lo que regulamos la salida del comparador con  $CPF$ , de tal forma que  $\bar{A1} = 0$  solo en la última cuarta parte del primer período de  $CP$ .

Además como veremos más tarde, para obtener salida serial es necesario que  $\bar{A1}$  se forme de valores 0 y 1 bien definidos y que tengan igual duración.

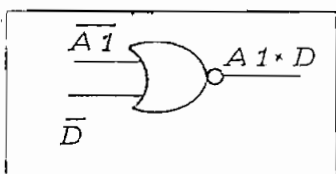
Es por esto que utilizamos el SN74174 tipo D (Flip-Flop), cuya salida cambia en la transición 0 a 1 del reloj.



Si queremos hacer  $\bar{A1} = 0$  cuando la salida del comparador ( $CM$ ) = 1, solamente tendremos que utilizar un invertidor (1/2 del Schmitt Trigger) y almacenar en el 74174  $\overline{CM}$  cuando suceda la transición (0 a 1) de  $CPF$ .

Esta salida  $\overline{A1}$  junto con la correspondiente  $\overline{D1}$ , nos deberá dar una señal positiva para que introducida en el J de F1 lo regrese a 0 (cuando  $\overline{A1} = 0$ ;  $\overline{D1} = 0$ .)

Si analizamos la función NOR:



Función NOR ( $F$ ) =  $\overline{\overline{A1} + \overline{D}}$

Teorema  $\overline{XY} = \overline{X} + \overline{Y}$

Entonces  $\overline{\overline{A1} + \overline{D}} = \overline{\overline{A1D}} = A1D$

TABLA # 3-1

$\overline{A1}$	$\overline{D}$	$A1 D$
1	1	0
1	0	0
0	1	0
0	0	1

Utilizamos circuitos SN7402.

Podemos aplicar el mismo razonamiento para hacer regresar o mantener en su valor a cualquier F, por lo que necesitamos siete circuitos NOR. A partir del segundo, las salidas estarán conectadas a las entradas K de los F (utilizamos salidas Q).

Ahora tenemos que pensar en cómo poner a cada F = 1 simultáneamente cuando se hace la corrección en el F anterior. Podemos hacer esto introduciendo una señal positiva en el J del F subsiguiente a partir del segundo; pero esta señal deberá ser simultánea con el comienzo del segundo pulso de reloj o con el regreso de  $\overline{D1}$  a su nivel 1 (lógica

negativa,) por lo que conectamos  $\overline{D1}$  a un circuito NAND (invertidor,) para introducir una señal positiva en el J del F2.

Entonces,  $\overline{D2}$  estará conectada al invertidor y de allí al J del F3 y así sucesivamente.

En el diagrama de tiempos nos podemos dar cuenta perfectamente que cumplimos la condición especificada por el manual del SN74107, esto es, que la señal negativa del C1 debe terminar antes de que comience el pulso positivo de CPF.

Las salidas  $\overline{Q1}$ ,  $Q2$ , .....  $Q7$ , serán conectadas en este orden al D/A, cuya salida irá al comparador (corriente.)

La salida paralela podemos obtenerla en las salidas de los F.

Para la salida serial, tendremos que diseñar el bloque G1. Si es que  $\overline{A1}$  es la salida invertida del comparador regulada por CPF,  $\overline{A1}$  será exactamente en forma sucesiva a la salida del comparador, Recordemos que cuando  $CM=1$ , el valor correspondiente a ese bit es 0 y cuando  $CM=0$ , el valor almacenado en el F es 1.

Cada valor sucesivo  $\overline{A1}$  debe ser retenido para luego ser transmitido (utilización de 1F JK.) Cada valor debe pasar a la salida al final de cada pulso de reloj, por lo que utilizamos CPF en el F de salida, Además, debe haber una vez por cada 7 bits de datos el dígito de sincronización ( $\overline{D8}$ ), que proviene de tener las tres líneas del contador al nivel 1 ( $\overline{D8}=0$ ); en los demás estados del contador  $\overline{D8}=1$ .

Para obtener la salida serial no invertida de los ocho dígitos, obtenemos  $A1$  mediante un invertidor y hacemos:  $S = A1 \overline{D8}$ , para lo cual utilizamos un NAND, cuya salida será retenida en un SN74107.

La salida serial del convertidor A/D la obtenemos en la salida Q de este F.

Ejemplo de funcionamiento:

Ahora analizaremos el trabajo por aproximación sucesiva del convertidor para un valor determinado de entrada. Durante el primer pulso de reloj, contador 000; esta señal decodificada da  $\overline{D1} = 0$ . Al coincidir en la última cuarta parte del pulso de reloj  $D8 = CPF = 1$ , el  $C1 = 0$ ; con esta señal el F1 cambiará a estado 1 y los F2, F3 ..... F7 el estado 0 (sin importar su estado anterior,) de esta manera el bit BMS esta presente al ser conectado el voltaje de referencia (en el D/A) con la resistencia evaluadora de corriente de ese bit. La salida de la red, es entonces  $64 \cdot Vr/127$  para una red resistiva evaluadora y  $64 \cdot Vr/128$ , para una red R-2R.

La salida de la red  $V_o$  es comparada con la corriente producida por la entrada analógica  $V_I$  en el comparador analógico.

El comparador genera un dígito uno a la salida, pues  $V_I < V_o$  ( $CM = 1$ )

y  $\overline{A1} = 0$  (a partir de la última cuarta parte del primer período del reloj),

lo que hace cambiar a 0 a F1 ( $J = A1 \times D1 = 1$ ), desconectando el terminal de la red resistiva perteneciente a la evaluación del BMS. Al cambiar

$\overline{D1}$  de 0 a 1, pone al F2 en estado 1 ( $J = 1$ ); al mismo tiempo  $\overline{D2} = 0$

(lógica negativa.)

En el ej. gráfico (fig. 3-2)  $V_I$  es:  $54 V_r/127 < V_I < 56 V_r/127$   
pero  $V_I > 32 V_r/127$ .

Esto es, que la entrada analógica de voltaje es menor que el equivalente analógico del BMS, pero más grande que el equivalente analógico del BPMS y siguiente.

Al ponerse  $F2 = 1$ , conecta  $V_r$  al terminal de la red resistiva evaluadora del BPMS. La salida del D/A es entonces  $32V_r/127$  que es comparado con  $V_I$ , en este caso el comparador generará 0, pues  $V_I > V_0$ ; si  $\overline{CM} = 1$ ,  $\overline{A1} = 1$ ,  $A1 \cdot D2 = 0$ , el valor 1 almacenado en  $F2$ , permanece sin ninguna alteración, manteniendo conectado el terminal de la red resistiva evaluadora del BPMS (en el D/A.)

Al presentarse el tercer pulso de reloj 010,  $\overline{D3} = 0$  ( $F3$  fue puesto en estado 1 al cambiar  $\overline{D2}$  de 0 a 1),  $V_r$  es conectada al terminal de evaluación del bit 3, la salida de la red es entonces  $48V_r/127$  que es comparada con  $V_I$ .

El comparador genera 0 ( $CM = 0$ ), ya que  $V_I > V_0$ ,  $\overline{A1} = 1$  y  $A1 D3 = 0$  por lo que el interruptor sigue conectando la evaluación del bit.

Este proceso es repetido hasta que sucesivamente se hayan tratado todos los siete bits. Después del séptimo y último bit, la palabra digital en los  $F1, F2 \dots F7$  representa el  $V_I$ , con una precisión  $1/2$  parte en 127, que es la resolución de la palabra binaria de siete bits.





### Analisis del Circuito:

El transistor Q1 de emisores múltiples opera como un diodo, (su jun-  
tura colector base esta cortocircuitada.) Los transistores Q2 y Q3  
constituyen verdaderamente el Schmitt Trigger, mientras los transisto-  
res Q4 hasta Q9 forman una entrada NAND con características de  
salida tipo TTL. Dos de estos transistores, Q5 y Q9, funcionan co-  
mo diodos emisor base (colector abierto). Fig. 3-4.

Cuando la entrada (asumiendo que todas las entradas estan unidas)  
es baja, Q2 está cortado y Q3 esta saturado. Para calcular la entra-  
da positiva de voltaje, el circuito de la fig. 3-5a será usado y obten-  
dremos el equivalente de Thévenin (fig. 3-5b), con el transistor Q3  
en saturación.

La suma de las caídas de voltaje en el lazo de entrada,

$$V_{T+} = -V_{be1} + V_{Y2} + V_E$$

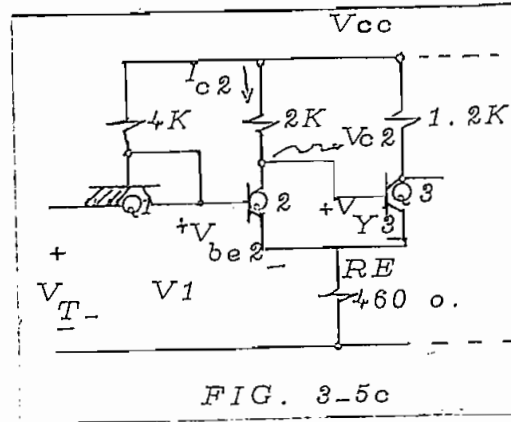
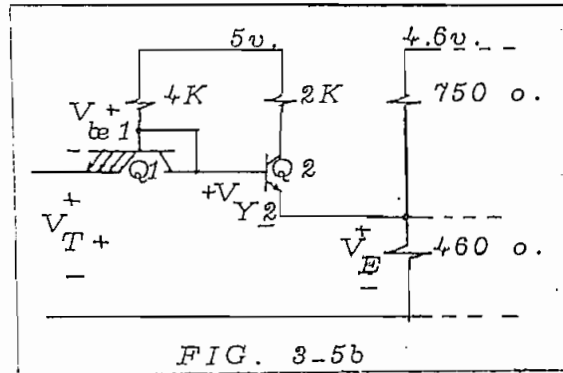
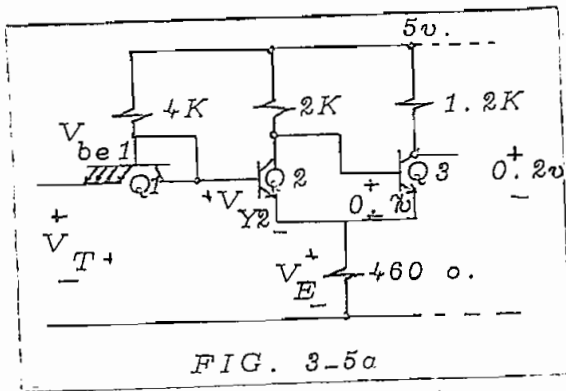
Donde  $V_{be1}$  es el voltaje base emisor del transistor Q1 y  $V_{Y2}$  es el  
voltaje emisor base requerido para poner al transistor Q2 en posición  
de trabajo (on). El voltaje  $V_E$  de los emisores de Q2 y Q3 a tierra  
puede ser hallado del circuito equivalente de Thévenin:

$$V_E = 480 \text{ } \Omega \cdot 4.6 \text{ v.} / (750 \text{ } \Omega + 480 \text{ } \Omega) = 1.74 \text{ v.}$$

Asumiendo valores de  $V_{be1} = 0.7 \text{ v.}$  y  $V_{Y2} = 0.55 \text{ v.}$ :

$$V_{T+} = -0.7 \text{ v.} + 0.55 \text{ v.} + 1.74 \text{ v.} = 1.59 \text{ v.}$$

La entrada negativa  $V_{T-}$  puede ser determinada asumiendo que el transistor  $Q_2$  esta trabajando, como la entrada del Schmitt Trigger cae el transistor  $Q_3$  comienza a pasar al estado de trabajo y las condiciones del circuito de la fig. 3-5c se manifiestan.



Cuando  $Q_3$  pasa al estado de trabajo, el transistor  $Q_2$  está en estado

activo y el voltaje de colector es:  $V_{o2} = V_{o0} - I_{o2} \times R_{c2}$  (1)

Calculando las corrientes de  $Q_2$ :

$$I_{o2} = (\alpha_2 (V_1 - V_{be2})) / R_E \quad (2)$$

Donde  $\alpha_2$  es la ganancia de corriente de base común del transistor  $Q_2$ .

Sustituyendo la ecuación 2 en ecuación 1 y resolviendo para  $V_1$  con  $\alpha_2 = 1$  tenemos:  $V_1 = V_{be2} - V_{Y3} + V_{cc} - R_{o2} (V_1 - V_{be2}) / R_E$

$$o: V_1 = V_{be2} + (V_{cc} - V_{Y3}) / (1 + R_{o2} / R_E) \quad (3)$$

la ecuación para  $V_{T-}$  será:

$$V_{T-} = -V_{be1} + V_{be2} - V_{Y3} + V_{cc} = -V_{be1} + V_1$$

Reemplazando  $V_1$  en ecuación 3:

$$V_{T-} = -V_{be1} + V_{be2} + (V_{cc} - V_{Y3}) / (1 + R_{o2} / R_E)$$

Entonces  $V_{be1} \approx V_{be2}$ , reduciendo la ecuación a:

$$V_{T-} = (V_{cc} - V_{Y3}) / (1 + R_{o2} / R_E)$$

Con los valores componentes del circuito mostrados y con  $V_{Y3} = 0.75v.$ ,

la entrada negativa del voltaje puede ser evaluada:

$$V_{T-} = (5 - 0.55)v / (1 + (2000) / 460) = 0.83 v.$$

Ambas entradas de voltaje varían considerablemente con el voltaje de la fuente  $V_{cc}$ .

El 7413 puede operar sobre un rango ancho de temperatura. La entrada  $V_{T+}$  es insensible a los cambios de temperatura, porque sus variaciones o bien se cancelan o son despreciables; lo que no sucede con  $V_{T-}$  que es ligeramente dependiente de la temperatura:

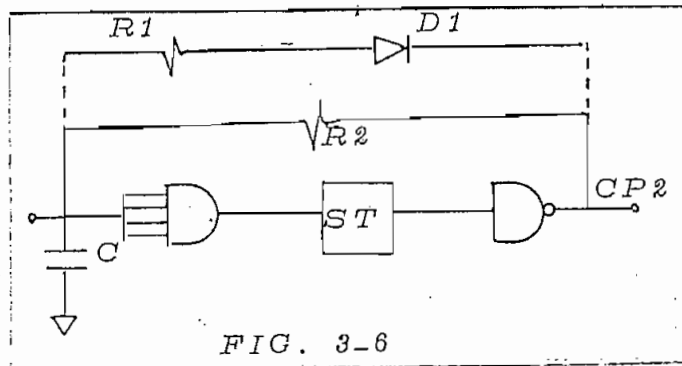
$$V_{T-} = (V_{cc} - V_{Y3}) / (1 + R_{o2} / R_E)$$

diferenciando esta ecuación con respecto a la temperatura:

$$dV_{T-} / dT = dV_{Y3} / (1 + R_{o2} / R_E) dT$$

Entonces; si  $dV_{Y3} / dT = 2 \text{ mv} / ^\circ \text{C}$ ,  $dV_{T-} / dT = 0.87 \text{ mv} / ^\circ \text{C}$ .

La fig. 3-6 nos muestra un multivibrador simple  $R_C$ , formado por la mitad del circuito 7413 más una resistencia ( $R_2$ ) y un capacitor ( $C$ ).



El capacitor está inicialmente descargado y el voltaje a través de éste es menor que  $V_{T+}$ ; el nivel de voltaje del circuito de salida es alto. El capacitor se carga a través de la resistencia  $R_2$  y del transistor  $Q_1$  de emisor múltiple.

Cuando el voltaje alcanza  $V_{T+}$  (cerca de 1.6 v.), el circuito cambia de estado de tal forma que su salida va para abajo, descargando  $S$  a través de  $R_2$  y saturando la salida del transistor  $Q_7$ . Cuando el voltaje del capacitor desciende a  $V_{T-}$  (cerca de 0.8 v.), el circuito cambia a su estado alto y  $C$  comienza a cargar nuevamente.

Algunas consideraciones de  $C$  influyen la selección de la resistencia  $R_2$ . Esta no deberá causar una corriente excesiva de salida, pero su valor deberá ser suficientemente alto para prevenir la carga de etapas subsiguientes. Su máximo valor está determinado por la capacidad de corriente del transistor de salida  $Q_7$ . Una resistencia  $R_2 = 390\Omega$  es la recomendada por el catálogo del circuito integrado.

Añadiendo una resistencia (R) y un diodo (D) como se muestra con línea punteada, se reduce el tiempo de descarga, pues anteriormente la resistencia de 4K conectada a la base del transistor multi-emisor actuaba como una fuente de corriente.

$R = 150 \text{ } \Omega$ ;  $C = 56000 \text{ pf}$ .

Estos valores fueron determinados experimentalmente de acuerdo a la necesidad de tener un reloj asincrónico de un período de 2  $\mu\text{s}$ .

(análisis en el capítulo IV).

La salida de este circuito (CP2) nos sirve como entrada a un F, de donde sacamos el reloj sincrónico de todo el sistema.

### 3.3 CONTADOR.

Tiene un solo alambra de entrada y cada vez que baja el voltaje del mismo, la cuenta binaria aumenta 1; el contador tiene tres salidas, una por cada dígito y cuenta desde 000 hasta 111. La fig. 3-7 nos muestra un diagrama de tiempo en el que se ve como cambian las sa lidas cuando cambia la entrada.

El conteo se realiza directamente a través de registros contadores (3 F JK tipo master slave) que funcionan como circuitos tipo T (en- tradas J y K de los F, desoconectados.

Los F cambian de estado cuando se hace presente a la entrada una se ñal de reloj negativa (cambio de 1 a 0.)

En nuestro caso utilizamos un circuito integrado compuesto de 4 F, pe ro como utilizamos 3 F el contador será módulo 8.

Según fig. 3-8 inicialmente, todos los F, están en estado 0, esto es, las salidas A, B, C, son iguales a 0; la entrada del contador va di rectamente al primer F (A) y como la salida del mismo cambia cada vez que baja la entrada, esa salida se usa como dígito 1, luego, coneo tamos, la entrada del F2 (B) a la salida del dígito 1.

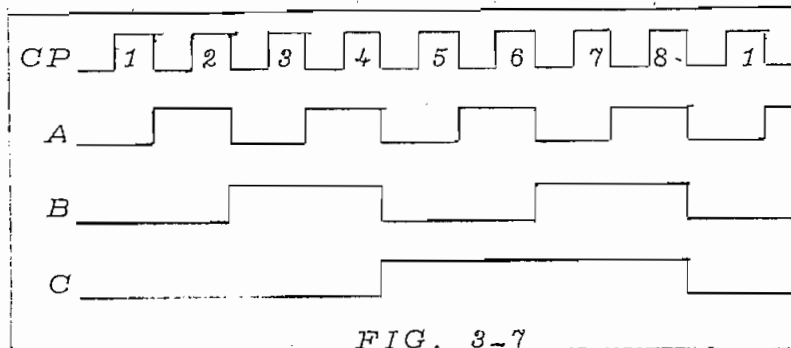


FIG. 3-7

Cuando baja el dígito 1, sube el dígito 2, por la misma razón la entrada del disparador binario 3, (C) se conecta a la salida del dígito 2. La fi. 3-8 muestra estas conexiones y también como las salidas de cada F, se utiliza como salida del contador.

Cuando el contador llega a su límite máximo 111, la entrada hará que cada uno de los F regresen a 0 simultáneamente.

Podemos ensanchar la capacidad de conteo, en cualquier medida, añadiendo tantos F como número de dígitos intervengan en la representación binaria de cada conteo.

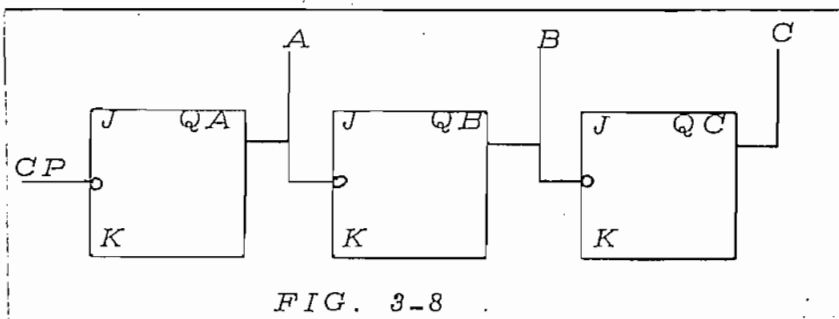
Vemos entonces que al cabo de ocho pulsos de reloj, el contador vuelve al estado inicial 000, listo para iniciar nuevamente el ciclo.

Entonces cada etapa cuenta bajo un factor de dos.

M - Número de pulsos de reloj.

O sea que el contador binario de M etapas completa su ciclo, cada  $2^M$  pulsos del reloj. Entonces el contador de 3 etapas completará su ciclo cada  $2^3 = 8$  pulsos de reloj.

Es un contador tipo Asíncrono, porque los F no están comandados por un reloj, pues sus cambios lo realizan de acuerdo a la salida del F anterior.





### 3.4 DECODIFICADOR.

El proceso digital en la parte central del convertidor A/D requiere una información decodificada del contador, cuya información de 3 bits da un carácter y puede entonces emitir ocho instrucciones distintas. Esta información se codifica en forma binaria; entonces surge la necesidad de un conmutador multiposicional, también llamado red traslativa, que puede ser accionada de acuerdo a este código, en otras palabras, para cada uno de estas ocho instrucciones a de excitarse una sola línea.

El proceso de identificación BCD se denomina decodificación.

Mediante tres dígitos, podemos representar  $2^3 = 8$  instrucciones diferentes, el cuadro muestra los posibles estados al realizar las combinaciones con tres bits, además mostramos su matriz de referencia:

ENTRADA BCD .	ESTADO.	SALIDA.
000	$\bar{A} \bar{B} \bar{C}$	0
001	$\bar{A} \bar{B} C$	1
010	$\bar{A} B \bar{C}$	2
011	$\bar{A} B C$	3
100	$A \bar{B} \bar{C}$	4
101	$A \bar{B} C$	5
110	$A B \bar{C}$	6
111	$A B C$	7

Para una mayor comprensión del proceso de decodificación utilizaremos su representación mediante una matriz rectangular de díodos. Supongamos que las salidas binarias son:

$Y = 0$  v. para "0" y

$Y = 5$  v. para "1".

línea dos, esta a 0 v. siendo fijada la salida a 0 v. también.

La línea 6, se excitará solo si el código corresponde a 110.

Señalamos que el decodificador es una puerta de diodos y existe un total de ocho puertas y tres entradas y convierte un decimal codificado en forma binaria (BCD) en un número decimal, la matriz de referencia sería la siguiente:

		00	01	11	10
C	0	0	2	6	4
	1	1	3	7	5

Las ecuaciones Boleanas para cada salida serían:

$$0 = \overline{ABC}$$

$$1 = \overline{A}BC$$

$$2 = \overline{A}\overline{B}\overline{C}$$

$$3 = \overline{A}BC$$

$$4 = \overline{A}\overline{B}C$$

$$5 = A\overline{B}\overline{C}$$

$$6 = \overline{A}B\overline{C}$$

$$7 = ABC$$

Esto constituye suficiente información para operar con circuitos lógicos y diseñar el decodificador.

Teniendo las entradas A, B, C, mediante la utilización de circuitos SN-7400 (cortocircuitando las entradas) invertimos las señales obteniendo  $\overline{A}$ ,  $\overline{B}$ ,  $\overline{C}$ . Entonces disponemos de las seis señales necesarias cuya combinación nos dan los ocho estados diferentes (según ecuaciones Boleanas.)

Utilizando ahora, circuitos integrados SN7420, logramos representar las ecuaciones Boleanas obteniendo las salidas 0 a 7 en forma invertida, es

decir, que cuando  $\bar{A} \bar{B} \bar{C} = 1$ , el estado 0 se manifestará en el primer hilo como una señal de nivel 0 v. y en todos los demás casos, este hilo tendrá el nivel de voltaje perteneciente a 1 (3.3 v.).

Diseño en diagrama lógico de fig. 3 - 9

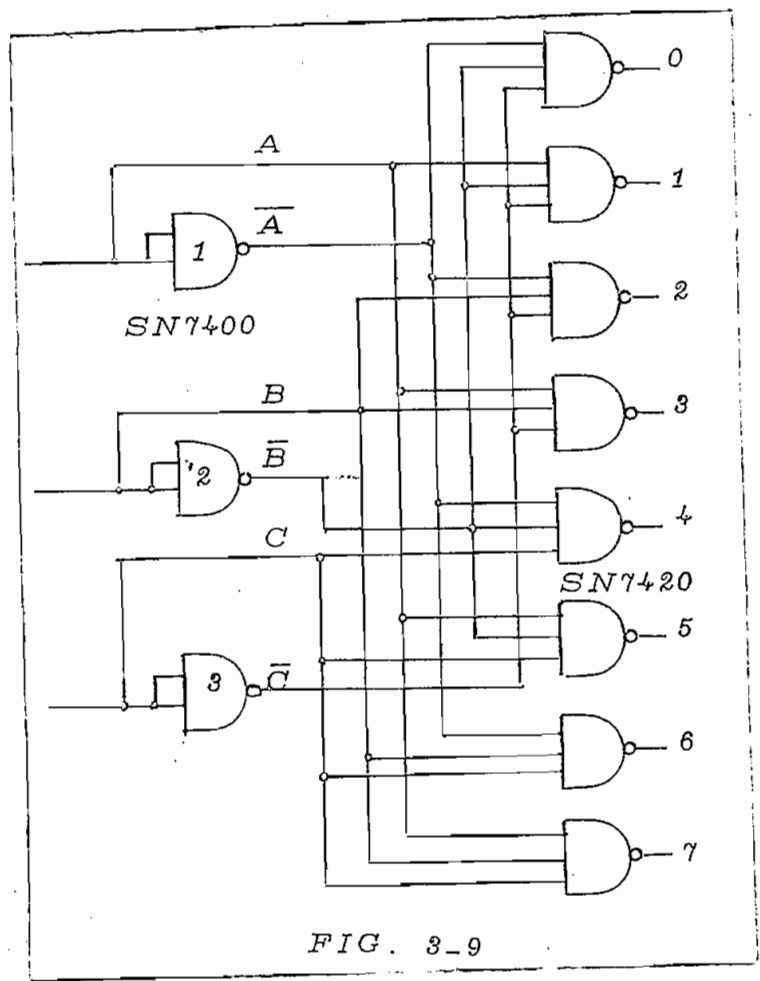
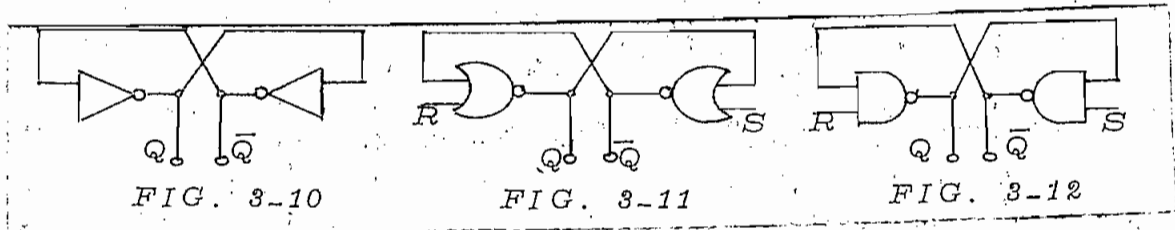


FIG. 3-9

### 3.5 EL BIESTABLE COMO ELEMENTO LOGICO.

El multibrazador biestable puede estar compuesto simplemente de dos inversores acoplados; el inversor en posición de corte con salida a nivel uno, acoplado a la entrada del segundo inversor, pone a este en posición de conducción, con la salida a nivel lógico 0, conservando al primer invertidor en posición de corte. El estado de salida de cualesquier invertidor registra la información digital almacenada. El problema es asegurarse que el inversor correcto esté en posición de conducción; esto se consigue manejando externamente el inversor apropiado de uno a otro estado. En circuitos integrados, el inversor es sustituido por circuitos NAND o NOR



#### 3.5a BIESTABLE CON CIRCUITOS NOR.

Reemplazando los invertidores en la fig. 3-10 por dos NOR como en fig. 3-11 formamos un biestable y para analizarlo consideremos la tabla de estados del circuito NOR:

a	b	s
0	0	1
0	1	0
1	0	0
1	1	0

Según esto, siempre cuando tengamos 1 en cualquier entrada, la salida del NOR es 0.

Si S y R son entradas al biestable podemos decir:

S	R	Q	$\bar{Q}$	
0	0	1	0	
0	1	0	1	
1	0	1	0	} Cuando S = 1; $\bar{Q}$ = 0.
1	1	0	0	

Si S = R = 0, el biestable permanece en estado previo existente, pues la entrada 0 no cambia su estado.

Si S = R = 1, la salidas de los circuitos NOR son forzadas al nivel 0 lógico, aunque en verdad constituye un estado no definido (ND).

### 3.5<sup>b</sup>BIESTABLE CON CIRCUITOS NAND.

Fig. 3-12. Consideraremos la tabla del circuito NAND:

a	b	x
0	0	1
0	1	1
1	0	1
1	1	0

Lo que quiere decir, siempre que tengamos 0 en cualquier entrada la salida del NAND es 1.

Siendo S y R las entradas la tabla de estados sería:

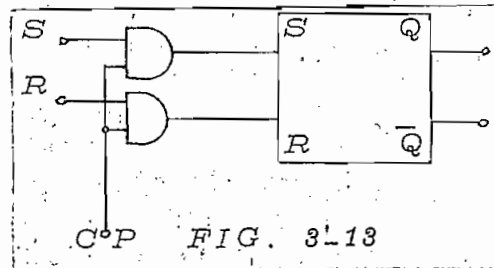
S	R	Q	$\bar{Q}$	
0	0	1	1	ND
0	1	0	1	} Cuando S=0; $\bar{Q}$ = 1
1	0	1	0	
		0	1	

Si  $S = R = 1$ , el biestable permanece en el estado previo, pues ninguna de estas entradas cambiará su salida.

Si  $S = R = 0$ , la salida de los NAND son forzadas al nivel 1 lógico pero en verdad es un estado no definido.

### 3.5c BIESTABLE CONTROLADO POR PULSO DE RELOJ.

Es el caso donde la conmutación se limita a un intervalo de tiempo de finido por la presencia del pulso de reloj. Lo que se desea entonces es conmutar solamente sobre la coincidencia de dos pulsos: el de en trada con el del reloj (CP).



En fig. 3-13 podemos notar que las entradas pasan por compuertas AND donde se multiplican por CP antes de ser aplicadas a S y R del biestable.

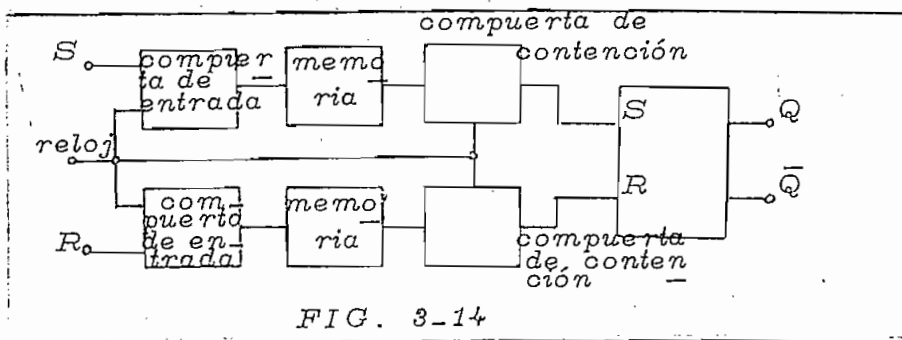
### 3.5d CONMUTACION DE BIESTABLES.

Si acoplamos varios biestables en serie, el estado retardado de algún biestable puede causar un error. Veremos también que la entrada de picos en un sistema crea la posibilidad de inestabilidades lógicas en la red.

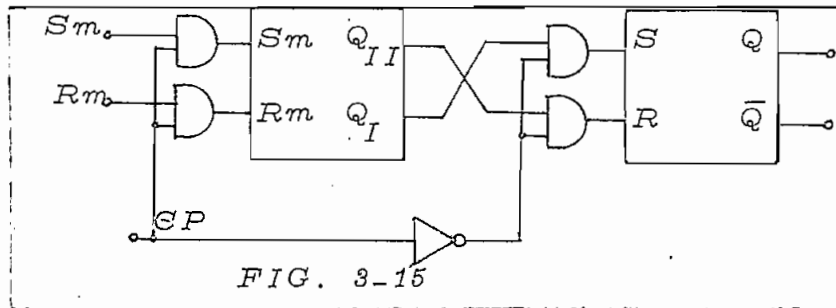
En una red de biestables podemos eliminar esta posibilidad de error,

almacenando durante la presencia del reloj la señal de entrada que causará el cambio en el biestable de salida; luego conmutar el biestable de salida al nuevo estado, cuando el pulso del reloj retorne al nivel 0. Cuando deseamos producir eventos en forma secuencial u tilizamos una memoria.

Los bits de información a la entrada son introducidos en la memoria de tiempo corto a través de la entrada lógica que se activa por el pulso del reloj el cual también activa un circuito de contención que desconecta la memoria del biestable básico durante el tiempo de almacenamiento. Al final del pulso del reloj la entrada lógica es inhabilitada y un poco más tarde la memoria es conectada al biestable y la información almacenada es usada como salida. Un diagrama blo- que que ilustra esta forma de operación es:



En el circuito integrado a analizarse posteriormente veremos que co mo compuertas de detención se utilizan circuitos AND. Como elemento de memoria utilizamos el biestable formado por circuitos NOR I - II, para conectarlo al biestable de salida formado por circuitos NAND 7 y 8. Es lo que conocemos como circuito "Master-Slave".



En la fig. 3-15 vemos que cada biestable es individualmente un R-S controlado por reloj. La compuerta AND a la entrada del "Master" es habilitado ( $CP = 1$ ), lo que hace que  $Q_I$  y  $Q_{II}$  cambien de estado según las entradas  $S_m$  y  $R_m$ . El lógico 1 del reloj, después del inversor es 0, señal que es usada para inhabilitar las puertas AND a las entradas R y S del biestable "Slave". Cuando el pulso del reloj retorna a 0, la salida del inversor,  $\overline{CP} = 1$ , habilita las entradas lógicas al "Slave" y este se pone en el mismo estado que el "Master".

Mirando el pulso del reloj de la fig. 3-16 vemos que las secuencias de tiempos en el "Master-Slave" serán:

$T_0$  es el período durante el cual las entradas del "Master" están inhabilitadas y del "Slave" habilitadas.

$T_1$  es el período durante el cual ambos biestables están retenidos.

$T_2$ , período en el que existe entrada lógica al "Master" de acuerdo al estado determinado por  $S_m$  o  $R_m$  y biestable "Slave" inhabilitado.

$T_3$  es el período en el que ambos biestables quedan retenidos.



$Q_{n+1}$  es la salida en el intervalo  $n+1$ .

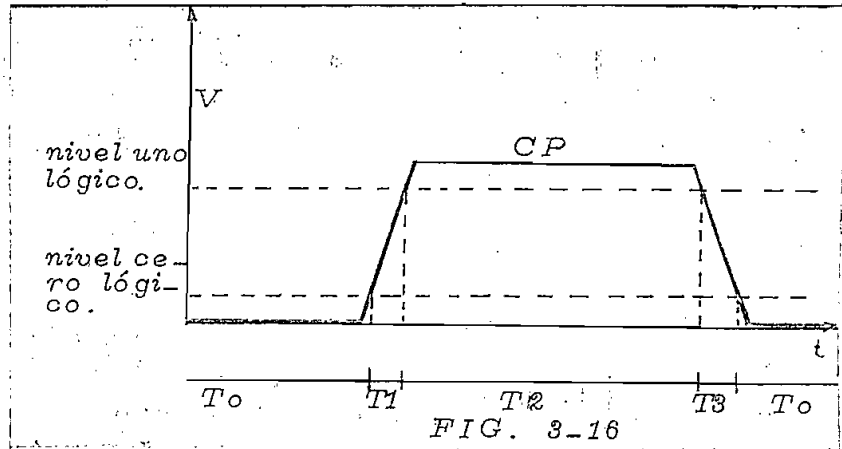
$Q_n$  es la salida en el intervalo  $n$  precedente.

Estos intervalos corresponden a dos pulsos de reloj sucesivos.

Las entradas  $S_n$  y  $R_n$  son las que se activan con el pulso  $n$  del

reloj. La acción de conmutación ocurre en la transición uno a 0

del pulso del reloj.



### 3.5 e FLIP-FLOP J-K.

Cuando las dos entradas de un biestable S-R formado con compuertas NOR son 1, la salida no está definida. Inversamente, la salida

no es definida cuando utilizamos circuitos NAND y las entradas son

0 simultáneamente y en general cuando tenemos este problema en

cualquiera de los biestables, la salida final dependerá de cualquier des

balance pequeño en el circuito. Con el diseño del F J-K se eliminan

esta serie de estados ambiguos, y las entradas J-K esencialmente

corresponden a S y R. El J-K se conmuta de la misma manera que

el F S-R, excepto cuando las entradas J-K se manifiestan en forma

simultánea. En este circuito el biestable siempre se conmuta. FIG.

8-17

8-17

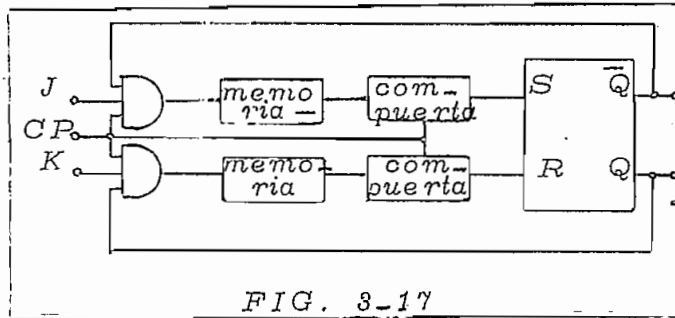
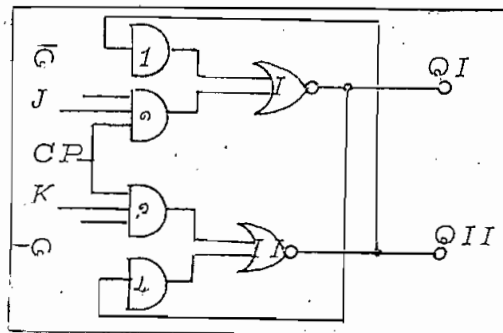


FIG. 3-17

Analizando el diagrama lógico de la fig. 3-20 miramos que las puer-  
 tas de entrada AND 2 y 3 van hacia la memoria formada por cir-  
 cuitos NORI y II y para analizar su tabla de estados asumimos  
 CP = 1, considerando todas las combinaciones de valores que se  
 puedan presentar en entradas Q,  $\bar{Q}$ , J y K:



Q	$\bar{Q}$	J	K	Sm	Rm	$Q_I$	$Q_{II}$
0	1	0	0	0	0	-	-
0	1	0	1	0	0	-	-
0	1	1	0	1	0	0	1
0	1	1	1	1	0	0	1
1	0	0	0	0	0	-	-
1	0	0	1	0	1	1	0
1	0	1	0	0	0	-	-
1	0	1	1	0	1	1	0

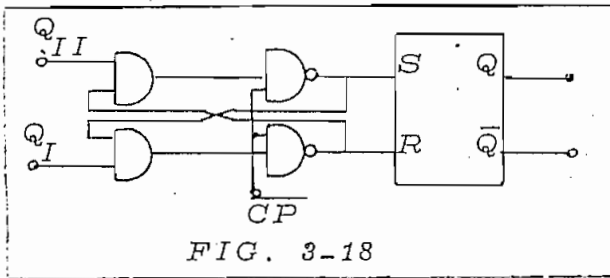
$t = n$

$Q_I$  y  $Q_{II}$  varían según tabla de estados para biestable de circuitos  
 NOR, esto es  $Q_{II}$  sigue a Sm (donde quiera que haya Sm = 1;

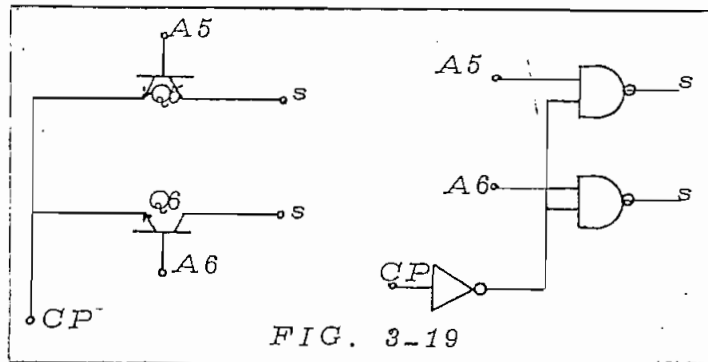
$Q_{II} = 1$  y si Rm = 1,  $Q_I = 1$ .

Los estados  $S_m = R_m = 0$  conmutan el estado anterior.

La salida de la memoria va hacia las compuertas de conmutación formada por AND5 y 6, además de 2 transistores npn con emisor común cuya representación sería:



ya que la función de los transistores de emisor común podríamos reemplazarla por:



La Tabla de verdad para este biestable será:

$Q_I$	$Q_{II}$	$S$	$R$
---	---	---	---
0	1	0	1
0	1	0	1
---	---	---	---
1	0	1	0
---	---	---	---
1	0	1	0

$S$  y  $R$  varían según tabla de estados para biestable de circuitos

NAND, esto significa que  $S = 1$  siempre que  $Q_I = 1$  y  $R = 1$  donde

$$Q_{II} = 1.$$

Finalmente tenemos el biestable de salida formado por circuitos NAND

7 y 8 y su tabla de estados será:

$S$	$R$	$Q$	$\bar{Q}$
---	---	---	---
---	---	---	---
---	---	---	---
0	1	1	0
0	1	1	0
---	---	---	---
---	---	---	---
1	0	0	1
---	---	---	---
---	---	---	---
1	0	0	1

$$t = n + 1$$

Podemos elaborar una tabla general llenando los espacios del estado anterior (---), considerando que  $Q$  y  $\bar{Q}$  en el tiempo  $n+1$  tiene los mismos estados que  $Q$  y  $\bar{Q}$  en el tiempo  $n$ .

$Q$	$\bar{Q}$	$J$	$K$	$S_m$	$R_m$	$Q_I$	$Q_{II}$	$S$	$R$	$Q$	$\bar{Q}$
0	1	0	0	0	0	1	0	1	0	0	1
0	1	0	1	0	0	1	0	1	0	0	1
0	1	1	0	1	0	0	1	0	1	1	0
0	1	1	1	1	0	0	1	0	1	1	0
1	0	0	0	0	0	0	1	0	1	1	0
1	0	0	1	0	1	1	0	1	0	0	1
1	0	1	0	0	0	0	1	0	1	1	0
1	0	1	1	0	1	1	0	1	0	0	1

Ahora consideramos la tabla para el biestable J-K:

entradas		salidas		Estado
J	K	$Q_n$	$Q_{n+1}$	
0	0	0	0	1
0	0	1	1	2
0	1	0	0	3
0	1	1	0	4
1	0	0	1	5
1	0	1	1	6
1	1	0	1	7
1	1	1	0	8

que podemos simplificarla en:

2	$x$						
3	$K\_NI$	$x$					
4	$x$	$x$	$x$				
5	$x$	$x$	$x$	$x$			
6	$x$	$J\_NI$	$x$	$x$	$x$		
7	$x$	$x$	$x$	$x$	$K\_NI$	$x$	
8	$x$	$x$	$x$	$J\_NI$	$x$	$x$	$x$
	1	2	3	4	5	6	7

$x$  significa estados absolutamente diferentes.

$K\_NI$  son estados condicionalmente iguales.

3 y 1; 7 y 5, son estados iguales cuando K no importa (NI).

Con esto podemos elaborar la tabla más genérica del biestable J-K:

J	K	$Q_n$	$Q_{n+1}$
0	NI	0	0
1	NI	0	1
NI	0	1	1
NI	1	1	0

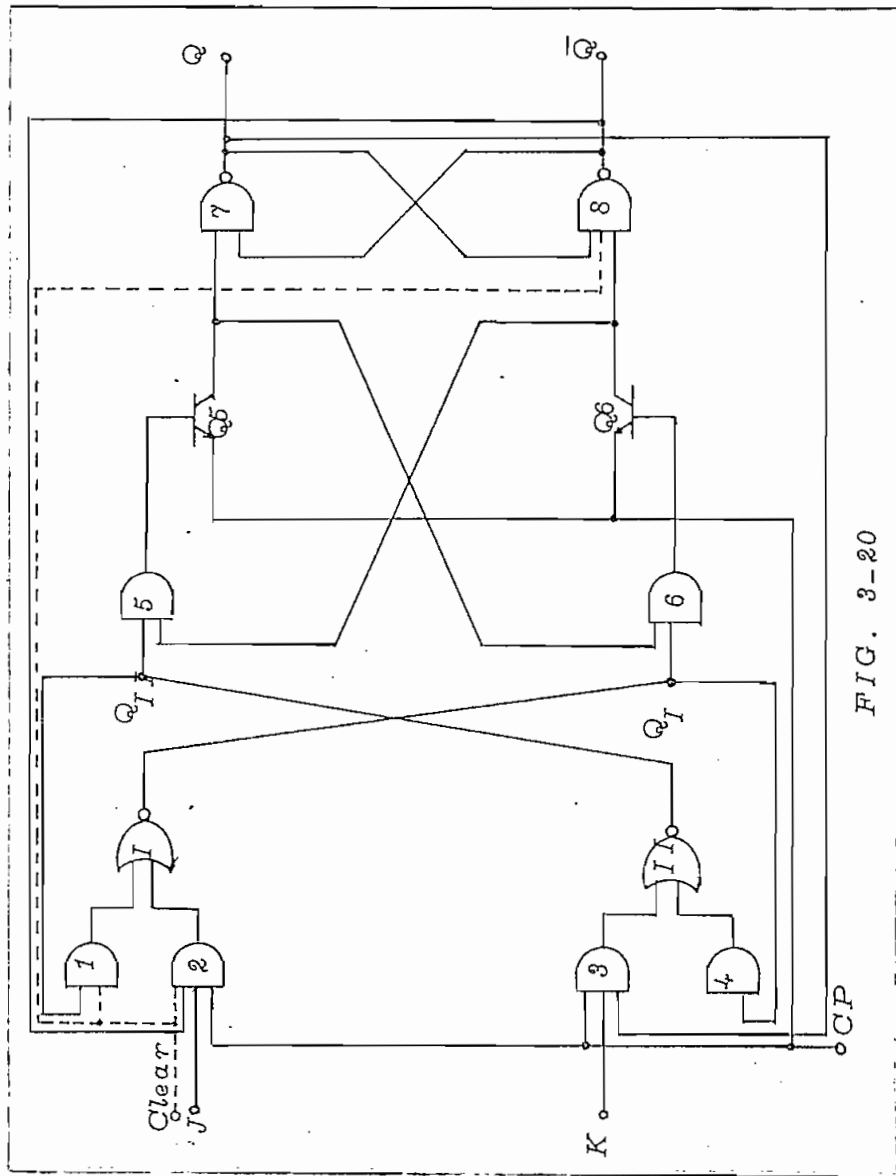


FIG. 3-20

### 3.6 CONVERTIDOR DIGITAL ANALÓGICO.

Un convertidor digital analógico (D/A) consiste de cuatro partes fundamentales (fig. 3-21):

1. Circuitería lógica (registro de datos.)
2. Un grupo de resistencias de precisión que determinan la salida analógica.
3. Un grupo de conmutadores entre un voltaje de referencia y los terminales de entrada de la red.
4. Un voltaje de referencia. Cuando una señal de salida analógica bipolar es requerida, el aparato deberá ser provisto para conectarse a un voltaje de referencia positivo o negativo (signo de la palabra digital).

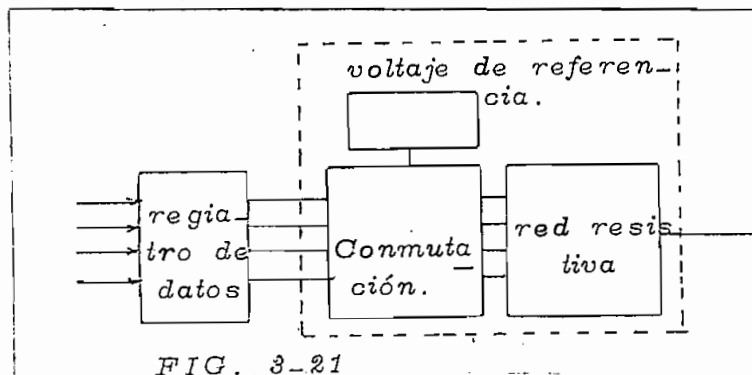


FIG. 3-21

El D/A utiliza un sistema de fuentes de corriente constante formadas por una fuente de voltaje de referencia y resistencias que dan corrientes proporcionales al valor posicional de los bits de acuerdo a la siguiente tabla:

Palabra digital				Salida analógica
BMS.	BmS	BmS	BmS	$I_o$
1	0	0	0	$8 I/15$
0	1	0	0	$4 I/15$
0	0	1	0	$2 I/15$
0	0	0	1	$I/15$
1	1	1	1	$I$

Notemos que en esta tabla constan equivalentes analógicos de cinco casos, habiendo quince posibles según representación binaria. A continuación estudiaremos dos clases de redes resistivas muy utilizadas:

### 3.8a. RED RESISTIVA EVALUADORA.

La fig. 3-22, nos muestra una red de 4 bits y la tabla 1 demuestra la evaluación analógica de 5 palabras digitales posibles. Podemos notar para este tipo de red que cada paso analógico es  $I_o = V_r/15(R_L + R_o)$  y a escala completa cuando  $R_L \gg R_o$ ,  $I_o = V_r/R_o = I$ .

En la fig. 3-22;  $R_o$  es la resistencia de salida de la red:

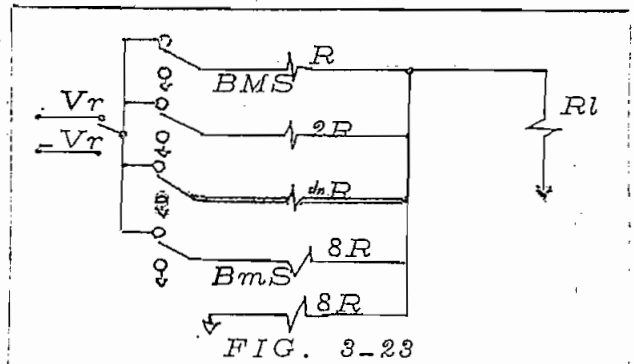
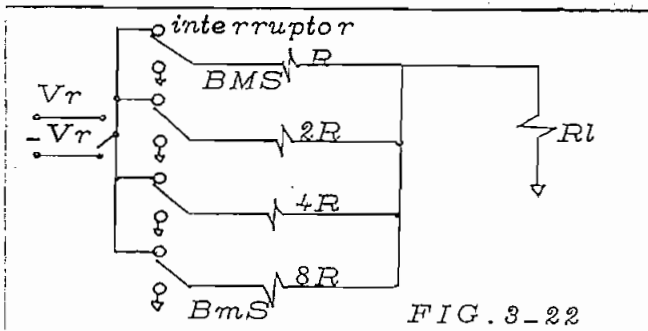




TABLA 1

Operación de conversión (4 bits más signo)

Palabra digital.                      Circuito                      Circuito                      Salida Analógica ( $I_o$ )  
 Signo BMS, ..... BmS Resultante                      Equivalente

Signo BMS	BmS	Resultante	Circuito	Circuito Equivalente	Salida Analógica ( $I_o$ )
1	1	0 0 0			$8V_r/15(R_o + R_L)$
1	0	1 0 0			$4V_r/15(R_o + R_L)$
0	0	0 1 0			$-2V_r/15(R_o + R_L)$
0	0	0 0 1			$-V_r/15(R_o + R_L)$
1	1	1 1 1			$V_r/(R_o + R_L)$

$$1/R_0 = 1/R + 1/2R + 1/4R + 1/8R.$$

$$R_0 = 8R/15.$$

En general para una red resistiva evaluadora de  $n$  bits:

$$R_0 = 2^{n-1} R / (2^n - 1).$$

Por ejemplo si la red de fig. 3-22 fuera incrementada para 5 bits y

$R_L \gg R$ , la evaluación del BMS sería  $I_0 = 16V_r/31 R_0$  y del BmS

$$I_0 = V_r/31 R_0.$$

Para  $n$  bits la salida analógica del BMS será:  $I_{0 \text{ BMS}} = 2^{n-1} V_r / R_0 (2^n - 1)$

y la salida analógica del BmS será:

$$I_{0 \text{ BmS}} = V_r / R_0 (2^n - 1).$$

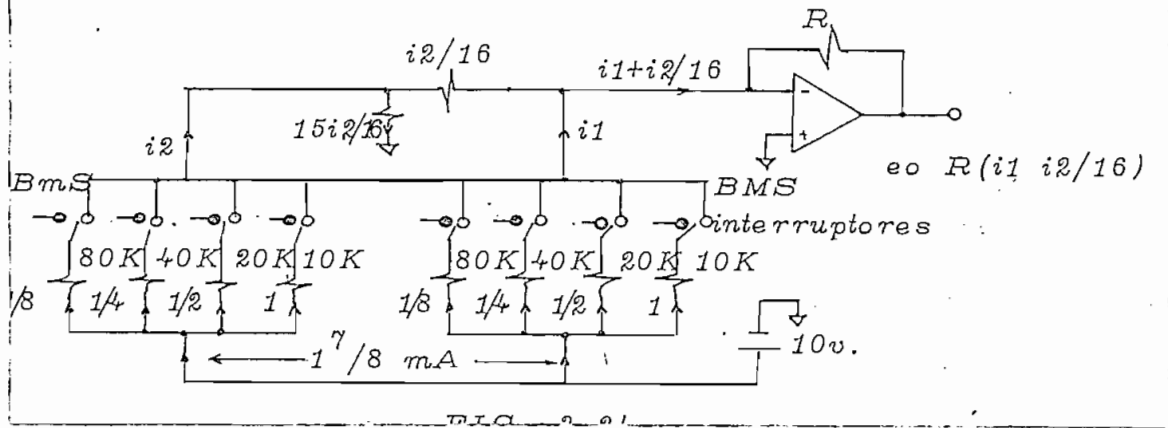
Entonces el valor analógico equivalente para cualquier palabra digital de  $n$  bits puede ser calculada de:

$$I_0 = \left[ 2^{n-1} D_1 / (2^n - 1) + 2^{n-2} D_2 / (2^n - 1) + 2^{n-3} D_3 / (2^n - 1) + \dots + D_n / (2^n - 1) \right] V_r / R_0.$$

El primer término de esta expresión corresponde al BMS y el último término al BmS. " $D_n$ " es el estado de entrada digital del bit  $n$ .

Si la entrada digital es 0 ( $D = 0$ ), la evaluación analógica de ese bit no es sumada al  $I_0$ .

Es usual conectar una resistencia terminal igual a la resistencia del BmS como en fig. 3-23, con el objeto de tener una resistencia de salida  $R/2$ , independiente del número de bits.



Esto hace que las características de salida de esta red sean iguales a las de la red resistiva  $R-2R$  que veremos luego.

Hay una ventaja en usar este tipo de red y es que la corriente debida a los bits menos significantes es considerablemente menor que la de los más significantes y si se utilizara transistores, sus corrientes de base serían muy reducidas (economía de potencia.)

Una dificultad es que se emplean resistencias de alto valor cuyos coeficientes de acoplamiento por temperatura difiere mucho, lo que influye en la exactitud del sistema.

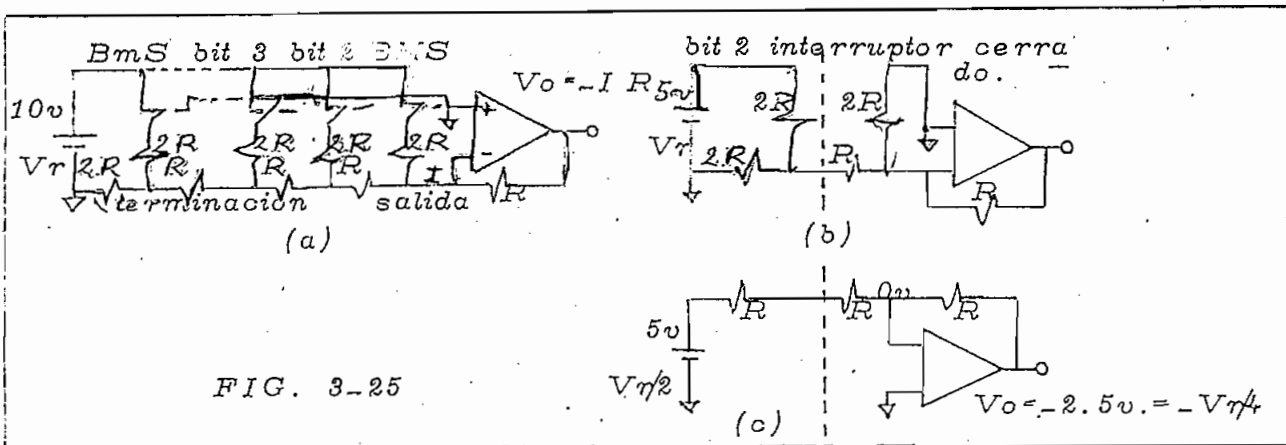
Una forma de reducir el rango de resistencias es usar un limitado número de valores repetidos en grupos, con atenuación adecuada unos a otros.

Un arreglo adecuado se muestra en la fig. 8-24, usando cuádruples de resistencias de valores  $2R$ ,  $4R$ ,  $8R$  y  $16R$  para cada grupo de 4 bits, con atenuación 10 a 1 para el segundo cuádruple, 100 a 1 para el tercer cuádruple, etc. Debemos anotar que junto a las resistencias, en esta distribución, irán los conmutadores analógicos.

De esta forma las corrientes de los bits menos significantes son atenuadas en la línea de salida. Un beneficio importante de esta estructura es que solamente hay cuatro valores diferentes de corriente, reduciendo considerablemente el problema de acoplamiento y manteniendo la velocidad de cambio de corriente adecuada para los bits menos significantes. A causa de la atenuación los valores de resistencias y la compensación de los transistores en los cuádruples menos significantes son tolerables en relación con los cuádruples más significantes.

### 3.6b RED R-2R.

En la fig. 3-25 vemos la utilización de este tipo de red, con salida de voltaje, pues usa un amplificador operacional a la salida. Si todos los bits excepto el BMS están fuera de trabajo (a tierra) la salida de voltaje es  $V_o = V_r/2$ . Si todos los bits excepto el bit 2 están a tierra la salida de voltaje es  $V_r/4$ . Esto lo podemos demostrar a partir de la fig. 3-25a, pues las resistencias de todos los bits menos significantes del circuito a la izquierda del bit 2 es  $2R$ ; el equivalente de Thévenin tomado desde el BMS (conmutador cerrado) está conectado al generador en serie con la resistencia  $2R$ . Entonces el valor de la resistencia  $2R$  del BMS no tiene influencia porque el punto de sumación de las corrientes de entrada al amplificador forma una tierra virtual, la salida de voltaje entonces es  $V_r/4$ .

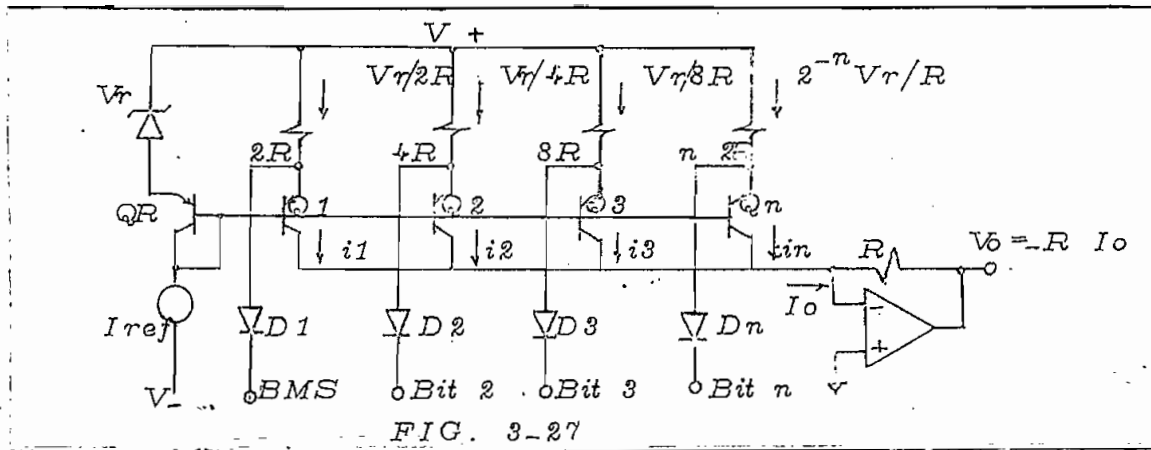


De la misma manera podemos demostrar que el  $n$ -ésimo bit produce una salida  $V_r/2^n$ .

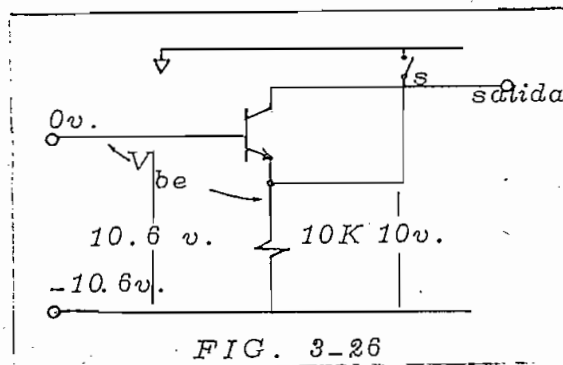
### 3.6c CONMUTACION.

Los interruptores de corriente son usados para guiar la corriente al punto de sumación o a tierra. Trabajan a velocidades considerablemente altas porque no se varía  $V_r$ , sino que solamente se conmuta la conexión de las resistencias entre este voltaje y tierra.

El concepto básico de conmutación se muestra en la fig. 3-26. Cuando la entrada digital cierra el conmutador  $S$ , conecta a tierra el emisor del transistor  $Q_1$ , cortándolo y dejándolo en posición "off", consecuentemente la corriente que antes fluía a través de  $Q_1$  al circuito de salida, ahora fluye a tierra. El circuito de salida es entonces privado de recibir la corriente correspondiente al valor del bit.



Una forma simple de interruptores de corriente en cuádruple se muestra en la fig. 3-27



Consideremos el transistor Q1: si es que  $V_{be1}$  es igual al de QR, el voltaje a través de  $2R$  será  $V_r$ . La corriente a través de la resistencia será entonces  $V_r/2R$  y asumiendo que ninguna corriente pase por el diodo y además un  $\beta$  muy alto; esta misma corriente fluirá a través del circuito de colector. Para que esto ocurra el cátodo del diodo deberá estar a un potencial más alto que el ánodo (lógico 1). Si este punto está a 1.4v. y asumiendo 0.64 v. como voltaje de conducción del diodo, un voltaje de 2.4v. (mínimo para lógico 1) sería suficiente para esta condición. Si el ánodo de D1 es ahora conectado a 0 (0.8v. o menos) Q1 se cortará, porque D1 guiará toda su corriente juntando el emisor de Q1 a 0v., eliminando la contribución de corriente de ese bit.

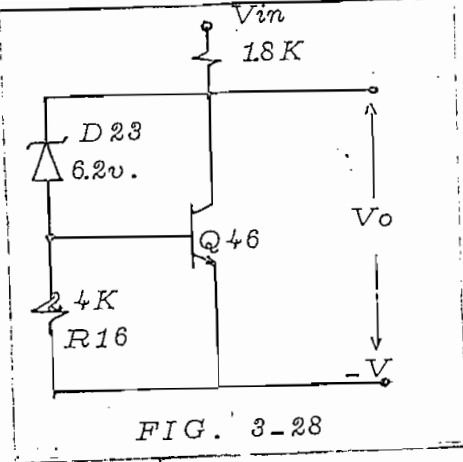
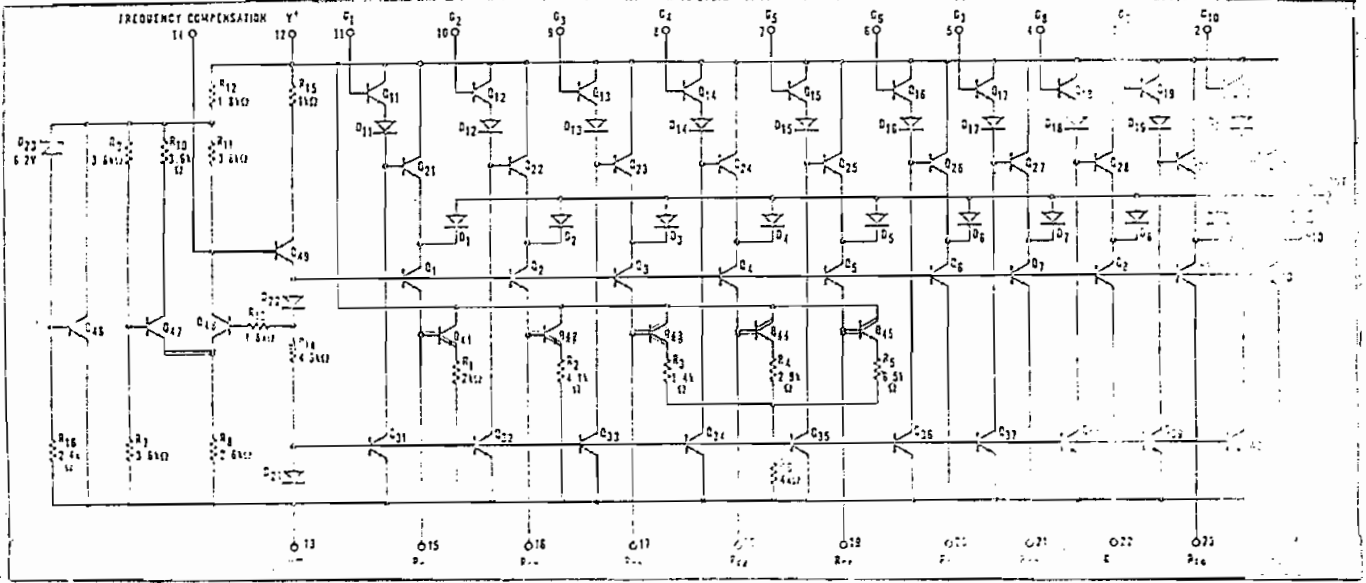


FIG. 3-28

son especificados.

El diodo "zener" está en serie con R16, entonces cualquier cambio en la entrada de voltaje  $E_{in}$  repercutirá en la caída a través de R16 y por lo tanto en la base del transistor Q46, variando el voltaje de emisor; lo que hará cambiar la corriente I que a su vez produce un cambio en la caída de voltaje de R12 que tenderá a contrarestar el cambio de  $E_{in}$  y de esta forma se estabilizará la salida  $E_o$ . Además de los diseños del convertidor D/A antes mencionados se utilizan una variedad de otros sistemas. Como ejemplo reproducimos el circuito del D/A uA722 de la "Fairchild linear integrated circuits":



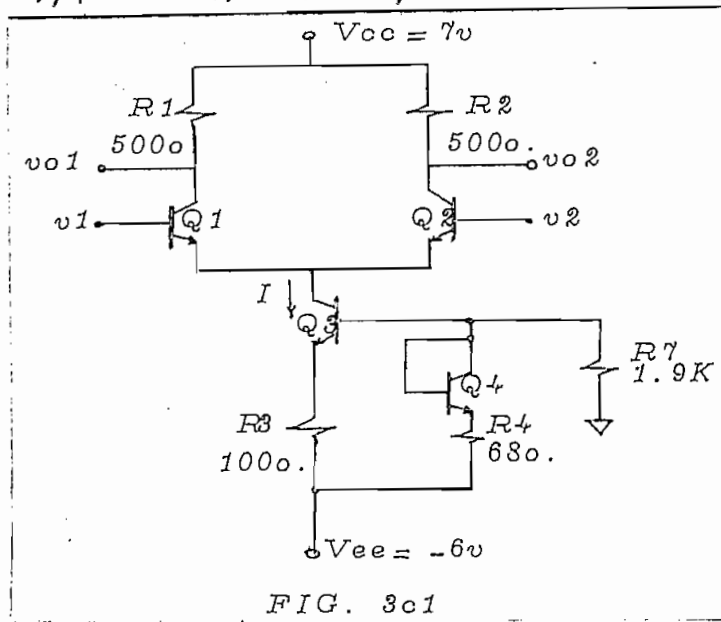
El convertidor D/A usado en este trabajo es el DAC-9 series, de la "DATEL Systems, INC." para el cual no tenemos suficiente información sobre su diseño interno, sin embargo creemos que las técnicas anteriormente estudiadas son básicas en cualquier diseño.



### 3.7 COMPARADOR.

El comparador usa un par amplificador diferencial comparando la señal de entrada ( $v_1$ ) con la señal de referencia aplicada a la otra entrada ( $v_2$ ). Para conseguir que el nivel de salida del 0 lógico sea independiente del voltaje de modo común de las señales de entrada usamos una fuente de corriente como carga de emisor común. Esta fuente de corriente está estabilizada con respecto a variaciones de temperatura (por  $Q_4$ ). Despreciando la corriente de base de  $Q_3$  y asumiendo inicialmente una caída en el diodo de  $750\text{mV}$ , a través de  $Q_4$ , nosotros obtenemos: FIG. 3c1.

$$I_d = (V_{ee} - V_d) / (R_4 + R_7) = 5.25\text{v.} / 1.97\text{K} = 2.56 \text{ mA.} \quad (301)$$



Las características del diodo están representadas por: (302)

$I_d = I_{rs} e^{V_d/V_T}$ , donde  $I_{rs} = 3 \times 10^{-16}$  A; es un valor típico de la corriente de saturación reversa de los transistores del circuito integr

do utilizado arriba. A temperatura ambiente  $V_T \approx 26$  mv; con una corriente de diodo de 2.56 mA., obtenemos una caída:

$$V_d = V_T \ln I_d / I_{rs} = 26 \ln 2.56 \times 10^{-3} / 3 \times 10^{-16} = 775 \text{ mv.} \quad (303)$$

que es más o menos el valor asumido.

Comparando las caídas en los circuitos de base y emisor de Q3, tenemos:

$$V_{be3} + I_{e3} \times R_3 = I_d \times R_4 + V_d$$

$$I_{e3} = (V_d - V_{be3} + I_d \times R_4) / R_3 \quad (304)$$

asumimos  $V_d = V_{be3}$

$$I_{e3} = I_d \times R_4 / R_3 = 1.88 \text{ mA.}$$

Sustituyendo esta corriente en la ecuación del diodo (302), encontramos  $V_{be} = 767$  mv., es decir 8 mv. menos que  $V_d$ .

$V_d$  y  $V_{be}$  varían en igual forma con la temperatura. Entonces, la cancelación mostrada en la ecuación 304 (numerador) indica que el circuito de carga es relativamente insensible a los cambios de temperatura.

Para  $\alpha = 0.97$  tenemos una corriente de colector en Q3 de  $I = \alpha I_{e3} = 1.83$  mA., que es la corriente constante filtrada por el par diferencial Q1 y Q2.

Los voltajes de salida de los colectores del par diferencial dependerán de la distribución de la corriente constante  $I$  entre Q1 y Q2.

Del modelo de la fig. 302 podemos concluir:

$$V_1 - V_{be1} = V_2 - V_{be2} \quad (305)$$

$$I_{e1} + I_{e2} = I \quad (306)$$

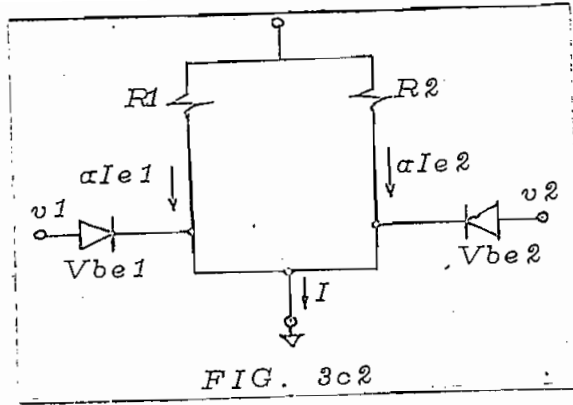


FIG. 3c2

Sustituyendo la relación 3c2 en 3c6:

$$I_{e1} e^{V_{be1}/V_T} + I_{e2} e^{V_{be2}/V_T} = I$$

Factorando  $I_{e1}$ :

$$I_{e1} = I / (1 + e^{(V_{be2} - V_{be1})/V_T}) \quad (3c7)$$

Sustituyendo 3c5 en 3c7:

$$I_{e1} = I / (1 + e^{(v_2 - v_1)/V_T}) \quad (3c8)$$

De una manera similar, resolviendo para  $I_{e2}$ :

$$I_{e2} = I e^{(v_2 - v_1)/V_T} / (1 + e^{(v_2 - v_1)/V_T}) \quad (3c9)$$

Podemos graficar estas dos funciones:

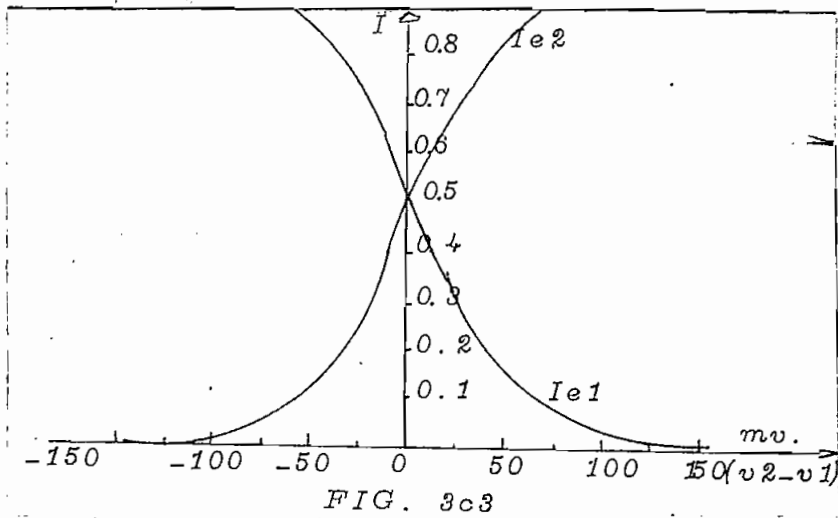


FIG. 3c3

Si  $v_1 = v_2$ , la mitad de la corriente  $I$  fluye por cada transistor  $I_{e1} = I_{e2} = I/2$ .

Si  $v_1$  es 53.5 mv más bajo que  $v_2$ :

$$I_{e1} = 0.1 I; \quad I_{e2} = 0.9 I$$

Si  $v_1$  es 58.5 mv. más que  $v_2$ :

$$I_{e1} = 0.9 I; \quad I_{e2} = 0.1 I.$$

La región de transición definida como la entrada diferencial necesaria para manejar la corriente de 0.1 a 0.9 del valor  $I$  es de 117 mv.

Esta región está centrada cerca del voltaje de modo común (nivel de  $v_1$  o  $v_2$ , cualquiera servirá como nivel de referencia.)

La salida de voltaje  $v_{o2}$  cambia del valor lógico 0 de

$$v_{o2} \leq V_{oo} - \alpha \times 0.9 I \times R_2 = 6.2v.$$

cuando  $v_1$  es 58.5 mv o más bajo que  $v_2$ ; al nivel lógico uno de

$$v_{o2} \geq V_{oc} - \alpha \times 0.1 I \times R_2 = 6.9 v.$$

cuando  $v_2 - v_1 \geq 58.5$  mv.

El cambio de la corriente de colector de un solo transistor con respecto a la entrada "push-pull" es definida como la transconductancia del par diferencial.

De ecuación 308 o 309 encontramos que cuando  $v_1 = v_2$ :

$$g_m = dI_{c2}/d(v_2 - v_1) = \alpha \times I/4 \times V_T = 17.100 \text{ umhos.}$$

La ganancia de voltaje de la entrada "push-pull" a la salida del colector de  $Q_2$  será:  $A_2 = \Delta v_{o2}/(v_2 - v_1) = -g_m \times R_2 = -8.55$

La ganancia de salida "push-pull" en un circuito simétrico ( $R_1 = R_2$ ) será dos veces más grande.

Los niveles de salida son independientes del voltaje de referencia; ellos dependen solamente del cambio en la caída  $I R_2$ . El rango permitido de los niveles de señal de entrada puede ser hallado de las condiciones dadas en el circuito. El límite más bajo será determinado por la saturación de  $Q_3$ .

En el margen de saturación de  $Q_3$ , el voltaje de emisor común del par diferencial es:  $v_e = V_{ee} + I_{e3} * R_3 + V_{ce}/_{sat} = -5.6v$ .

asumiendo  $V_{ce}/_{sat} = 200 \text{ mv}$ .

El voltaje correspondiente de modo común,  $v_1 = v_2$ , es una caída base emisor más alta:  $v_2 \text{ min} = -4.85 \text{ v}$ .

El límite superior de  $v_2$ , es el voltaje que satura  $Q_2$  cuando toda la corriente fluye a través de éste. Bajo condiciones de saturación, el voltaje de colector será:  $v_{o2} = V_{cc} - \alpha * I * R_2 = 6.1 \text{ v}$ .

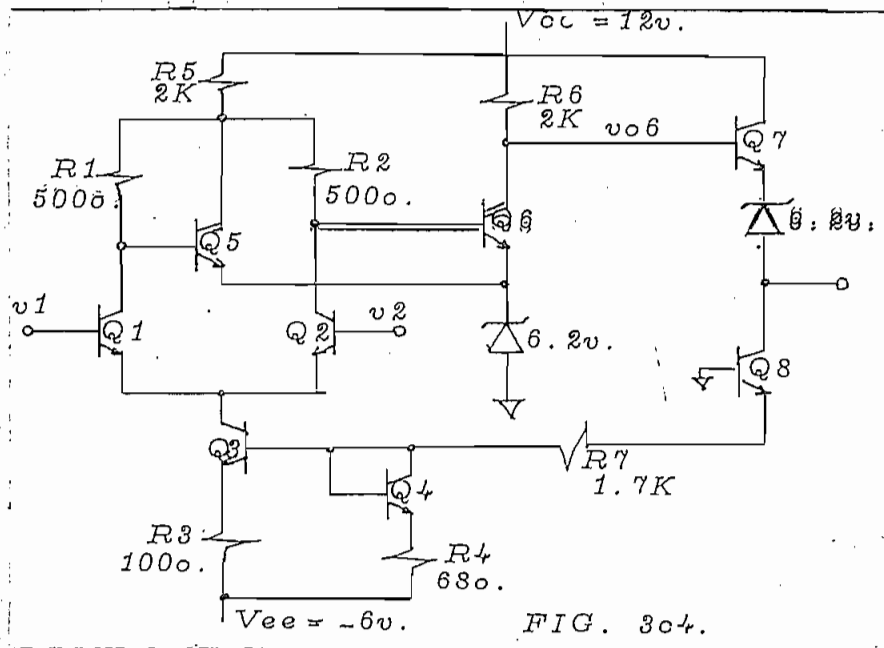
El voltaje de emisor del transistor saturado será 200 mv. más bajo.

Si tomamos en cuenta que el voltaje de la base es 750 mv. más que el emisor tendremos:  $v_2 \text{ máx} = 6.1 - 0.2 + 0.75 = 6.65 \text{ v}$ .

Es decir que el amplificador diferencial puede comparar una señal de entrada  $v_1$  con el voltaje de referencia  $v_2$  sobre el rango  $-4.85v$  a  $6.65 \text{ v}$ . Podemos determinar el punto de coincidencia solamente dentro de  $\pm 58.5 \text{ mv}$ . alrededor del punto de cruce. La operación balanceada, el voltaje de cruce y los niveles de salida son insensibles a los cambios de temperatura.

### 3.7a AMPLIFICADOR DIFERENCIAL DE ALTA GANANCIA.

La extensión de la región de transición es la mayor desventaja del par diferencial amplificador usado como un comparador de voltaje, pero desde el punto de cruce ( $I_c = I/2$ ) es insensible a la temperatura y es independiente del voltaje de referencia  $v_2$ ; podemos anemar etapas adicionales en cascada para ganancia de voltaje y usar solamente una pequeña porción de la región de transición (entrada) para manejar la etapa de salida a los niveles 0 o 1 lógico. Haciendo esto, la región de transición efectiva en la entrada puede ser reducida de 117 mv. a pocos mv. centrados alrededor de  $v_2$ .



La Fig. 304 muestra un comparador completo. El amplificador diferencial de entrada es seguido por una segunda etapa de ganancia, que maneja un seguidor como etapa de salida.

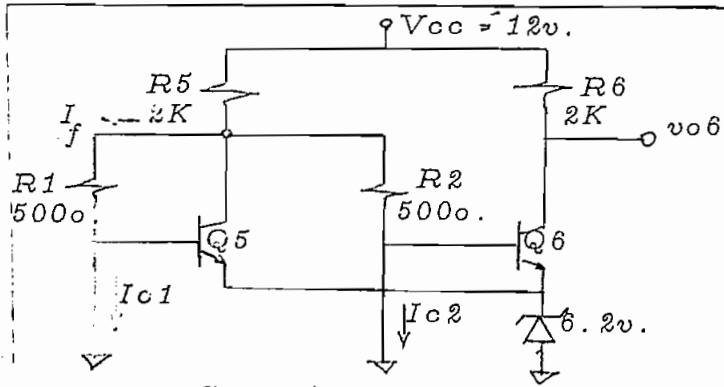


FIG. 305

En fig. 305 se muestra la etapa de ganancia balanceada manejada por las corrientes de colector del par diferencial. Esta etapa combina las salidas fuera de fase de las dos mitades de la etapa de entrada diferencial, las amplifica y produce una salida única y final, que es la entrada al seguidor de emisor. El diodo "zener" establece los niveles dc en un valor que permite la operación diferencial sobre un rango ancho de entradas de modo común.

Los cálculos básicos son realizados cuando  $v_1 = v_2$  que significa:  
 $I_{c1} = I_{c2} = \alpha I / \beta = 0.89 \text{ mA.}$

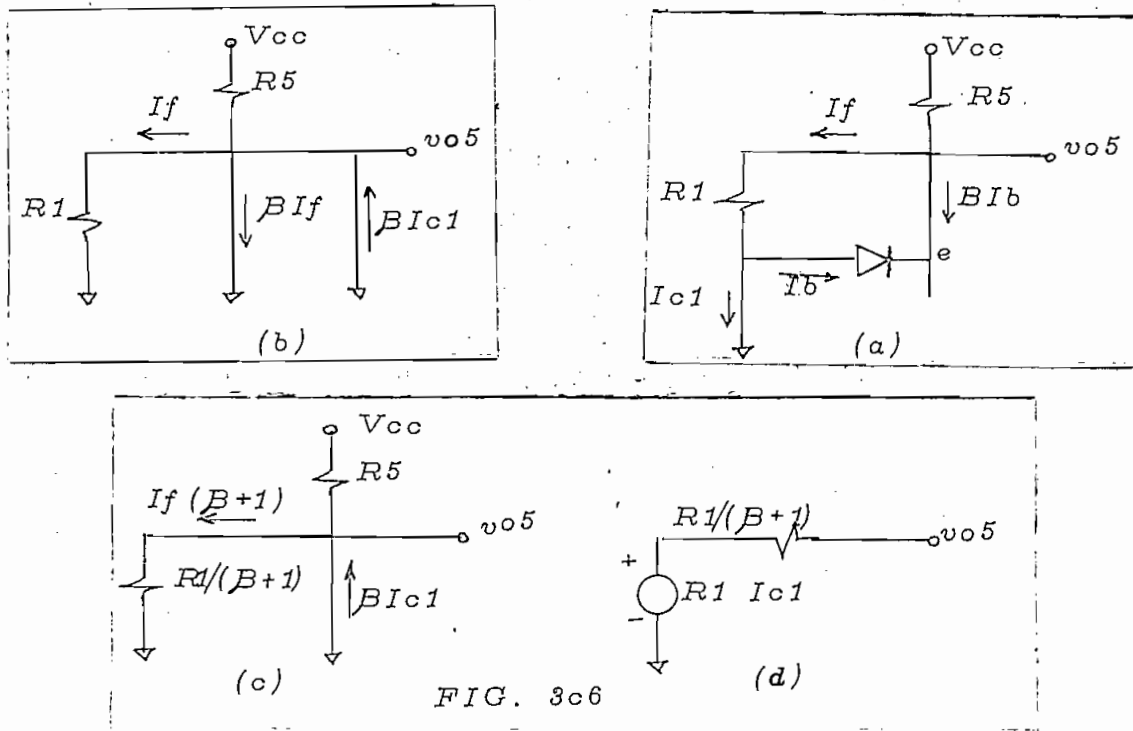
Los transistores Q5 y Q6 son conectados (bases) al colector de Q5 a través de resistencias iguales, por lo tanto ellos tendrán corrientes colectoras idénticas.

Despreciando la corriente de base, podemos escribir el voltaje de base de Q5 como:

$$v_{b5} = V_{cc} - (I_{c5} + I_{c1} + I_{c2}) R_5 - I_{c1} \times R_1 = 6.2 + V_{be5} \quad (3010)$$

de donde:  $I_{c5} \approx 1 \text{ mA.}$  y por simetría  $I_{c6} \approx 1 \text{ mA.}$  (3011a y b)

En la primera etapa Q5 invierte la corriente  $I_{c1}$  que es combinada con  $I_{c2}$  a la entrada de Q6. Q6 por lo tanto suple la etapa total de amplificación. Para ilustrar esto miramos la Fig. 3c6a:



Vemos que la corriente de base de Q5 es:  $I_{b5} = I_f - I_{c1}$ , donde  $I_f$  es la corriente de realimentación a través de  $R1$ . El equivalente de salida de Q5 se muestra en Fig. 3c6b.

La fuente de corriente controlada  $\beta I_f$  se presenta en paralelo con la corriente de control  $I_f$ ; por reducción de  $R1$  a  $R1/(\beta + 1)$ , podemos simplificar moviendo la fuente controlada sin cambiar la corriente total de entrada (Fig. 3c6c); si  $R5 \gg R1/(\beta + 1)$  y  $\beta + 1 \approx \beta$ , el equivalente de "Thévenin" del circuito de salida será el que se muestra en Fig. 3c6d.



La Fig. 3c7 muestra como esta salida sirve de entrada a Q6 combinada con I<sub>o2</sub>. La corriente de base a Q6 puede ser resumida para R<sub>2</sub> = R<sub>1</sub> a:  $i_{b6} = (I_{o1} - I_{c2})R_2 / (R_2 + h_{ie})$ .

El voltaje de salida sería:  $v_{o6} = -\beta (I_{c1} - I_{c2}) R_6 \times R_2 / (R_2 + h_{ie})$

y expresando I<sub>c1</sub> e I<sub>c2</sub> en términos de g<sub>m</sub>., la entrada diferencial (v<sub>1</sub>-v<sub>2</sub>) y tomando en cuenta la polaridad de la señal:

$$v_{o6} = -2g_m \beta R_2 R_6 (v_1 - v_2) / (R_2 + h_{ie}).$$

Para I<sub>e6</sub> = 1mA.,  $\beta = 33$ ,  $h_{ie} \approx 1.100 \Omega$ ., la ganancia de la entrada "push-pull" al amplificador de salida será:  $A = v_{o6} / (v_1 - v_2) = -680$ .

El voltaje de salida es determinado por la saturación y corte de Q6 (Q5 permanece activo). Para Q6 en corte, la salida está en nivel lógico 1:  $v_{o6_1} = V_{cc} = 12v$ .

Para Q6 en saturación obtenemos el nivel lógico 0:

$$v_{o6_0} = 6.2 + V_{ce_{sat}} = 6.4v.$$

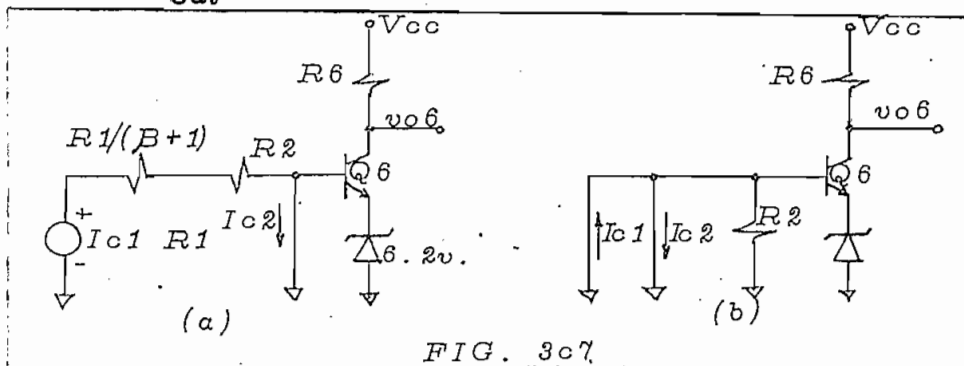


FIG. 3c7

Los niveles lógicos 1 y 0 en el colector de Q6 están elevados con respecto a los niveles utilizados en circuitos lógicos. Necesitaremos alguna forma de traslación de niveles para conseguir salida ló

gica 0 con un nivel de 0v. Idealmente, cualquier cosa que se haga no deberá reducir la ganancia. Para lograr una capacidad máxima deberemos combinar una impedancia baja de salida con el nivel desplazado.

La etapa de salida (Fig. 3c4) es un seguidor de emisor, usando una fuente de corriente constante para la carga del emisor. Un diodo zener (6.2v.), es usado para desplazar el nivel de voltaje de salida de tal manera que aproximadamente a 0v. dé salida lógica 0. La corriente de emisor de Q8 es la corriente del diodo Q4.

Para valores dados en la fig. 3c4, usando las caídas en diodo previamente calculadas:  $I_{E8} = (6 - 0.775 - 0.775) / 1.77 = 2.5 \text{ mA}$ .

Los niveles de salida serán la caída base emisor más la caída en el diodo zener bajo la entrada. De ecuaciones referentes a vo6:

$$v_{o1} = 12 - 6.97 = 5.03v.$$

$$v_{o0} = 6.4 - 6.97 = -0.57v.$$

Entonces, la ganancia total es 680, la oscilación de 5.6v. de salida corresponde a una entrada transitoria de rango  $\pm 4.2 \text{ mv}$ .

Este circuito tiene una gran oscilación de salida y una pequeña región de transición que hace una etapa diferencial única. Por cambios en diseño podemos facilmente tratar de conseguir una oscilación de salida para una región limitada de transición.

La segunda etapa discutida anteriormente es muy usada por algunas razones:

1. La sustracción de corrientes al amplificador diferencial en la base de Q6 reduce la dependencia del circuito sobre los niveles de entrada de voltaje. Entonces, en el punto balanceado ( $v_1 = v_2$ ,) corrientes iguales fluyen en cada uno de los transistores del amplificador diferencial y cualquier cambio en los valores absolutos de estas corrientes, se cancelarán a la entrada de Q6.

2. El punto de operación cuosente es relativamente insensible a variaciones de la fuente de poder positiva.

El tipo de circuito integrado SN72710 básicamente es el mismo circuito descrito, Difiere solamente en dos aspectos:

1. El transistor Q10 conectado como diodo, del colector de Q6 a la carga del colector de Q5, es usado para controlar el nivel de salida uno lógico. Cuando Q6 está cortado, Q10 conduce y establece una salida lógica 1 a nivel de 3.1 v. El nivel lógico 0 se mantiene en -0.57v.

2. El colector de Q6 es conectado a las bases de Q5 y Q6 a través de un seguidor de emisor Q9. Esto permite usar una resistencia de carga al colector de mayor valor (para Q5 y Q6,) dando como resultado un incremento de ganancia.

Ambos cambios influyen en una limitación de la región transitoria de entrada y por consiguiente en un aumento de la velocidad de operación.

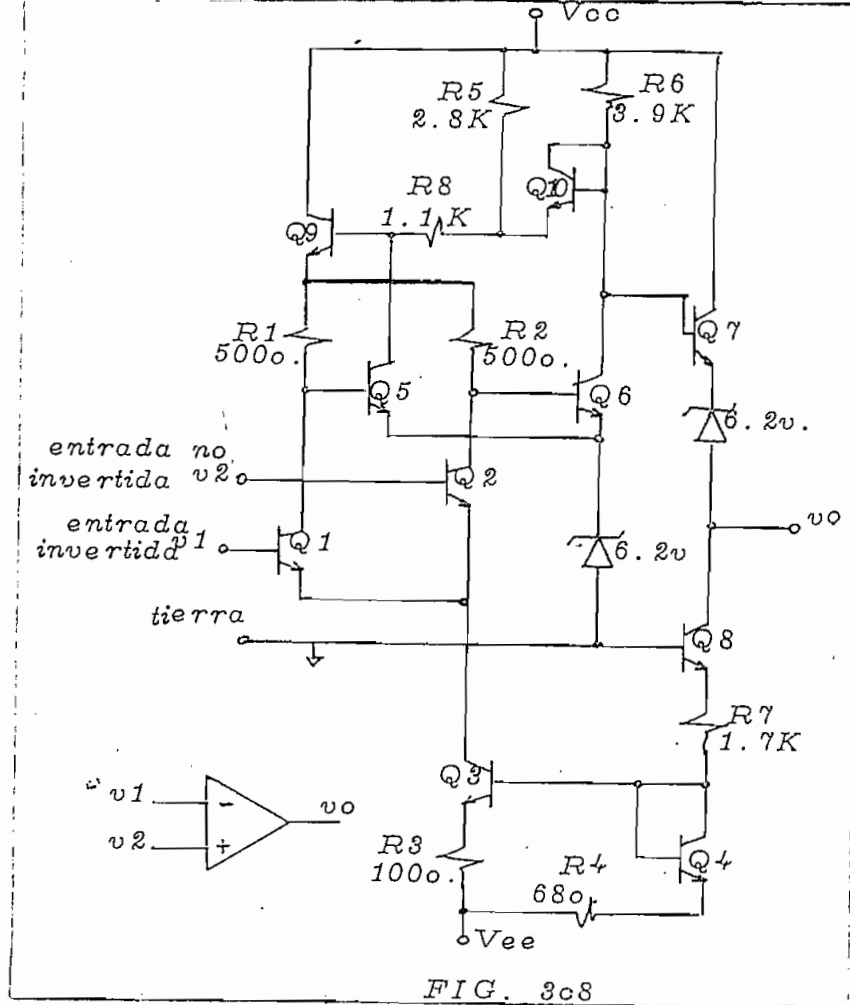


FIG. 3c8

### 3.7b OPERACION DEL COMPARADOR.

En el proceso de conversión, el comparador es el elemento más crítico, pues de su funcionamiento depende la velocidad de conversión y el error total del sistema.

El comparador ideal tendría ganancia infinita y tiempo de comparación igual a 0, pero en la práctica su operación esta limitada por parámetros de lazo abierto, velocidad, ancho de banda, entrada características dc. y dinámicas.

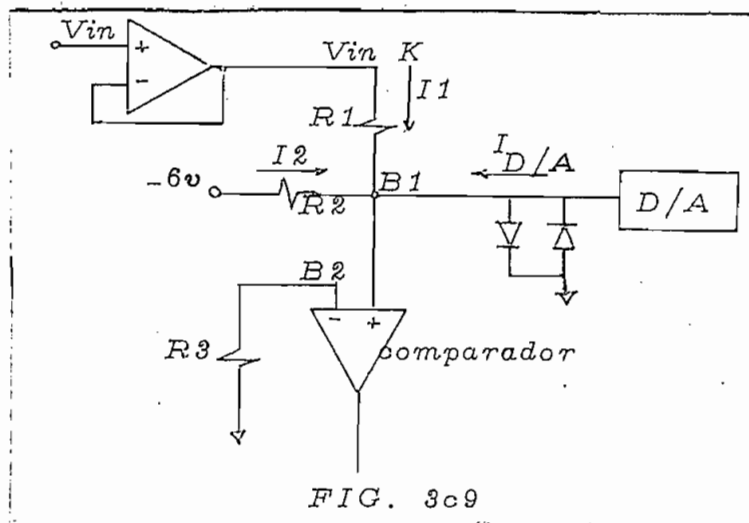
Basicamente hay dos formas diferentes para usar el comparador: Comparación de voltaje diferencial y comparación de corriente.

En el modo de voltaje, la salida analógica del convertidor D/A esta

en forma de voltaje (salida de un amplificador operacional) y está conectada a la entrada invertida del comparador. La entrada analógica de voltaje está conectada al terminal no invertido.

Los comparadores usados en esta forma deberán tener alto rango de entrada en modo común y excelente rechazo de señales de modo común. (CMR).

El uso de comparadores en el modo de corriente es actualmente el más utilizado porque permite mejores condiciones de velocidad y menos sensibilidad a variaciones de temperatura, además, las condiciones del CMR no son severas. Esto se complementa perfectamente con el circuito cuádruple discutido en el artículo correspondiente al convertidor D/A.



Condición:  $V_{in} K = \pm 5v$ .

Especificación:  $I_{D/A}$  (para EC) = 2.6 mA.

Suma de corrientes en B1:  $I_{D/A} + I1 + I2 = 0$  (1)

(2)  $V_{B1} = -(I_{D/A} + I1 + I2) R1 \times R2 / (R1 + R2)$

R2 producirá una corriente constante I2 que será la que permita la entrada de voltaje en el rango  $\pm 5v$ .

Analizaremos las tres condiciones:

Vin K = 0v.  $I1 = 0$

$I_{D/A} = 1.3 \text{ mA.}$

De (1)  $I2 = -1.3 \text{ mA.}$

En el circuito tenemos una fuente negativa de -6.5 v., entonces:

$R2 = V/I2 = 6.2/1.3 = 4.7K.$

Vin K = 5v.

$I_{D/A} = 2.6 \text{ mA}$

$2.6 \text{ mA.} + I1 - 1.3 \text{ mA} = 0$

$I1 = -1.3 \text{ mA.}$

$R1 = 5/1.3 = 3.9K.$

Vin K = -5v.

$I_{D/A} = 0$

$I1 - 1.3 = 0$

$I1 = 1.3 \text{ mA.}$

Según el análisis hecho al comparador, las entradas negativa y positiva entrarían al amplificador diferencial, es decir, que estos dos voltajes deben tender a igualarse (voltaje diferencial de entrada al comparador), entonces:  $-v1 \approx v2; I_{b1} \approx I_{b2}.$

y según análisis de ecuación (2),  $R3 = R1 \times R2 / (R1 + R2)$ .

$$R3 = 4.7 \times 3.9 / 8.6 = 1.82K.$$

Notemos que el valor de esta resistencia produce la misma corriente que la del lado no invertido, cumpliéndose las condiciones para que el efecto de las mismas a la entrada del comparador sea mínima.

Anotemos que los diodos conectados a tierra sirven como protección de entrada al comparador ante señales grandes y además, mantienen el voltaje a la salida del convertidor D/A dentro de los límites para los cuales su corriente de salida es correcta.

*CAPITULO IV*



## C A P I T U L O    I V

### 4.1 TRANSMISION.

En el capítulo I se muestra un diagrama bloques de lo que sería un canal digital PCM, en el cual se emplea como unidad principal (en TX) el elemento de conversión A/D.

Para la parte demostrativa de este trabajo se diseñó un sistema de transmisión de 4 canales (7 bits por palabra digital,) y similarmente al análisis hecho en el capítulo I, esperamos que trabaje con los elementos mostrados en fig. 4-1.

Una primera necesidad, es limitar los canales a cierta frecuencia; como son canales telefónicos, la frecuencia límite será de 4 KHz, debiendo tener atenuación máxima para frecuencias armónicas 2da. y 3ra.

Consecuencia del análisis gráfico de fig. 4-2 (muestreo de las se-ñales,) concluimos que el filtro de salida debe tener una fuerte atenuación (mayor que 30 db) para las armónicas.

No es rigurosa esta condioón para el filtro de entrada porque pa-ra las armónicas de frecuencias de hasta 4 KHz, el muestreo de las señales (PAM) tiene el mismo valor.

Sin embargo, por agilidad y optimización se utiliza la misma clase

TRANSMISION

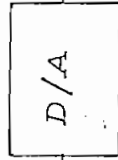
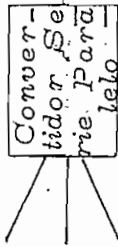
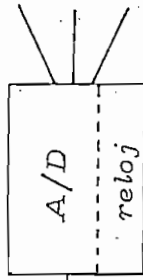
Filtros pasa bajo

Canal 1

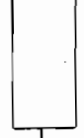
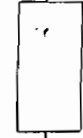
C2

C3

C4



Filtros pasa



fuentes de muestreo

fuentes de muestreo

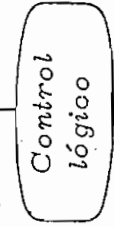
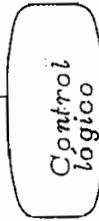
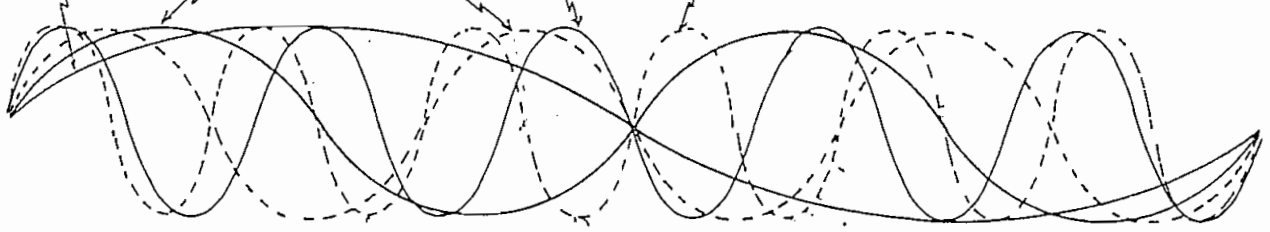


FIG. 4 - 1

8 KHz

1 KHz 2 KHz 3 KHz 5 KHz 6 KHz



1 KHz

2 KHz

3 KHz

5 KHz

6 KHz

1ms.

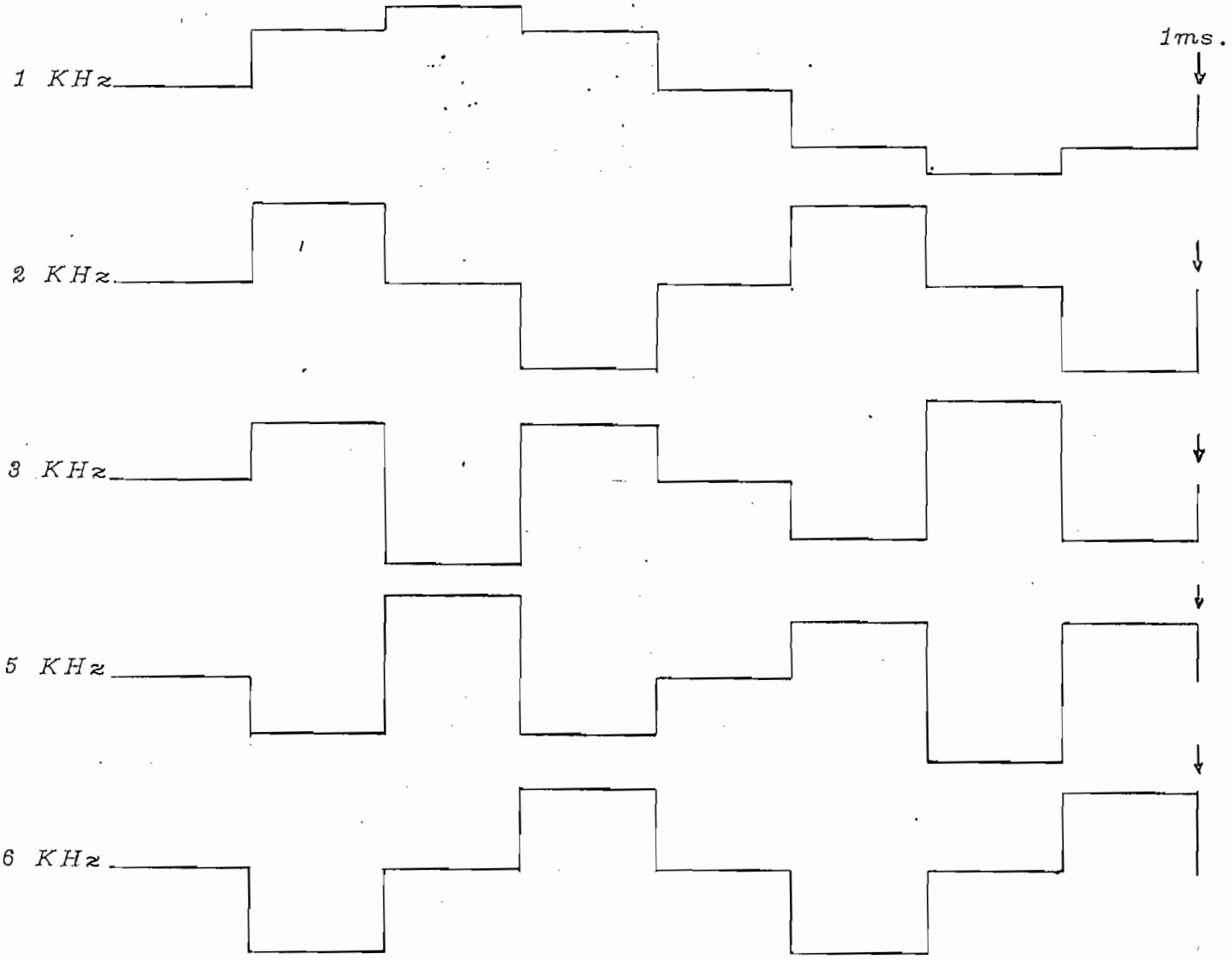


FIG. 4 - 2

Según gráfico, notamos que de las señales de 3 y 5 KHz se obtienen muestras de la misma magnitud; lo mismo ocurre con las señales de 2 y 6 KHz. Esto justificaría el empleo de filtros de entrada con características tolerantes.

de filtro en TX y RX (transmisión y recepción,) cuyo diseño es:  
 Revisando las curvas que nos dan una idea de la atenuación en función de la frecuencia, vemos que aquellas para filtros de 5 a 7 polos presentan atenuación entre 30 db y 50 db a  $2f$  ( $f \rightarrow$  frecuencia permitida más alta,) pero según curvas para filtros con ceros, notamos que a esta frecuencia la atenuación está entre 50db y 70db considerando que mientras aumente el número de polos y ceros, el costo del filtro también aumentará, creemos prudente hacer un filtro de 5 polos y 4 ceros, cuya forma es:

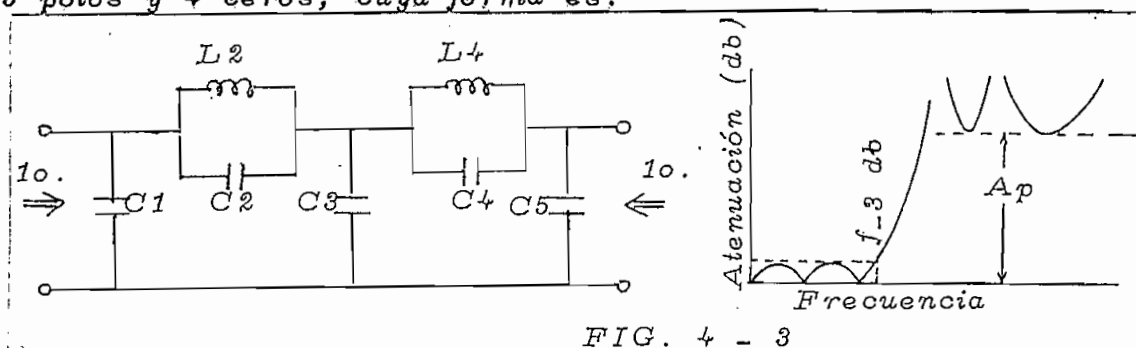


FIG. 4 - 3

Característica esencial del filtro es mantener una atenuación mínima para todas las frecuencias mayores que  $2f$ . Fig. 4-3

Para el diseño asumimos los siguientes datos:

- Rangos de frecuencias permitidas: Cero a 3.8 KHz.
- Terminaciones de 620  $\Omega$ .
- En las curvas (fig. 9, fig. 20),  $(V_p/V_v)_{db} = 0.1$ ,  $(V_p/V)_{db} = 1$

Según fig. 9, curva 5:  $Bw/Bw_{3db} = 0.945$

$$3.8 \text{ K} \times 0.945 = f_{-3db} = 3.59 \text{ KHz}$$

$$\omega_{3db} = 2\pi f_{-3db} = 22.6 \times 10^3$$

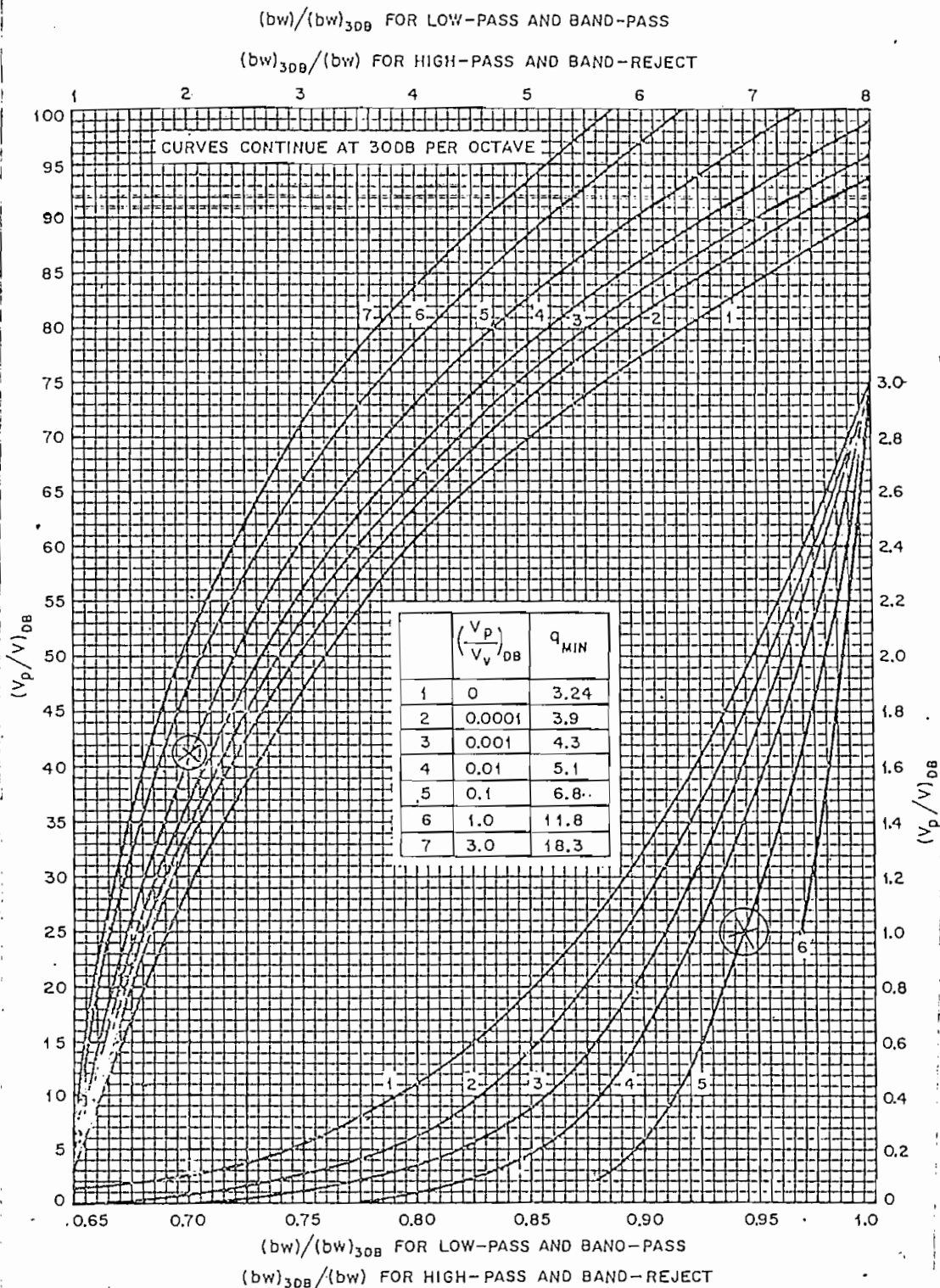


Fig. 9—Relative attenuation for a 5-pole network.

Ahora en fig. 20, conociendo que nos movemos en curva  $(V_p/V_v)_{db} = 0.1$  para  $2f$ , el filtro tendrá una atenuación de 64 db ( $A_p$ ).

Con datos  $(V_p/V)_{db} = 1$  y  $A_p = 64$  db, encontramos tabulados los valores de los elementos que deben formar el filtro (normalizados para terminaciones de 1 o. y  $\omega = 1$ ):

$$C1 = 1.626; \quad C2 = 0.086; \quad C3 = 2.1; \quad C4 = 0.21; \quad C5 = 1; \quad L2 = 1.258$$

$$L4 = 1.037.$$

Notemos según fig. 9 (curva 5) que  $q_{min} = 6.8$ , valor bastante bajo.

Valores referidos a terminaciones de 620 o. y  $\omega = 22,6 \times 10^3$ :

$$L' = R' L \omega / R \omega'$$

$$L2' = 1.258 \times 27.4 \times 10^3 = 34.33 \text{ mH}$$

$$L4' = 1.037 \times 27.4 \times 10^3 = 28.4 \text{ mH}$$

$$C' = C \omega R / R' \omega'$$

$$C1 = 1.620 / 7.13 \times 10^{-8} = 0.116 \text{ uf}$$

$$C2 = 0.086 / 7.13 \times 10^{-8} = 0.0061 \text{ uf}$$

$$C3 = 2.1 / 7.13 \times 10^{-8} = 0.149 \text{ uf}$$

$$C4 = 0.21 / 7.13 \times 10^{-8} = 0.0149 \text{ uf}$$

$$C5 = 1 / 7.13 \times 10^{-8} = 0.0713 \text{ uf}$$

Valores empleados:

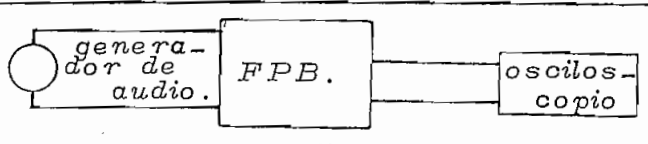
$$C1 = 0.1 \text{ uf}; \quad C2 = 0.012 \text{ uf}; \quad C3 = 0.1 \text{ uf}; \quad C4 = 0.0068 \text{ uf};$$

$$C5 = 0.033 \text{ uf}; \quad L2 \text{ y } L4 \text{ } 15 \text{ mH a } 50 \text{ mH}.$$

4 - 3

Mediciones en Laboratorio.

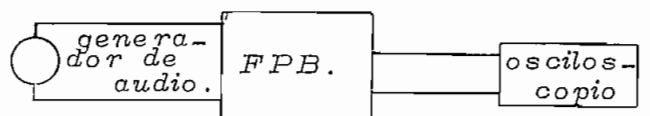
Circuito empleado:



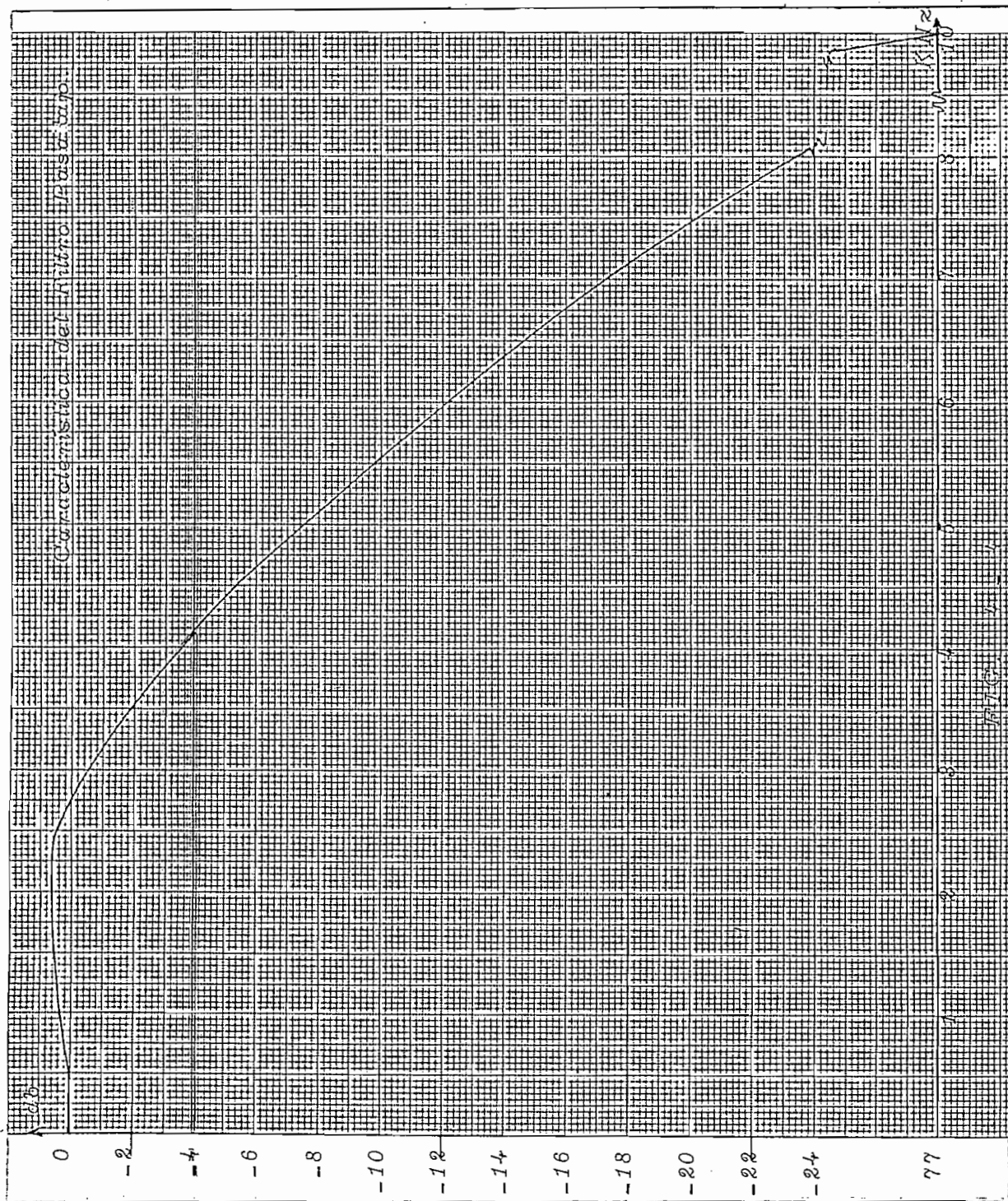
$f$ (Hz)	$V_s$ (v)	$20 \log \frac{V_s}{7.4}$ (db)
10	7.4	0
500	7.4	0
1000	7.7	0.34
1500	8	0.67
2000	8	0.67
2500	8	0.67

Mediciones en Laboratorio.

Circuito empleado:



$f$ (Hz)	$V_s$ (v)	$20 \log \frac{V_s}{7.4}$ (db)
10	7.4	0
500	7.4	0
1000	7.7	0.34
1500	8	0.67
2000	8	0.67
2500	8	0.67
3000	7	- 0.62
3100	6.8	- 0.84
3200	6.5	- 1.04
3300	6.4	- 1.26
3400	+ 6.2	- 1.56
3500	6	- 1.83
3600	5.7	- 2.26
3800	5.4	- 2.7
4000	4.8	- 3.7
4500	3.9	- 5.5
5000	3	- 7.84
5500	2.4	- 9.76
6000	1.8	- 12.3
6500	1.4	- 14.4
7000	1	- 17.4
7600	0.6	- 22
8000	0.5	- 23.6
10000	0.01	- 77





Nuestro próximo paso será el diseño de las fuentes de muestreo a la entrada, para la cual utilizamos un FET ECG133 (canal n,) como interruptor, sabiendo según las características que se lo puede activar con un voltaje de 0 v. ( $I_{DS} = 2.8 \text{ mA}$ ).

Características del FET:

Aplicación -- audio;  $V_{DS}$  -- 25 v.; voltaje de corte  $V_{GS}$  -- 25 v.

$I_G$  -- 10 mA dc; Corriente reversa del gate -- 1 nA dc;

$V_G = 0$   $I_D$  0-5.15 mA dc; Disipación -- 300 mw.



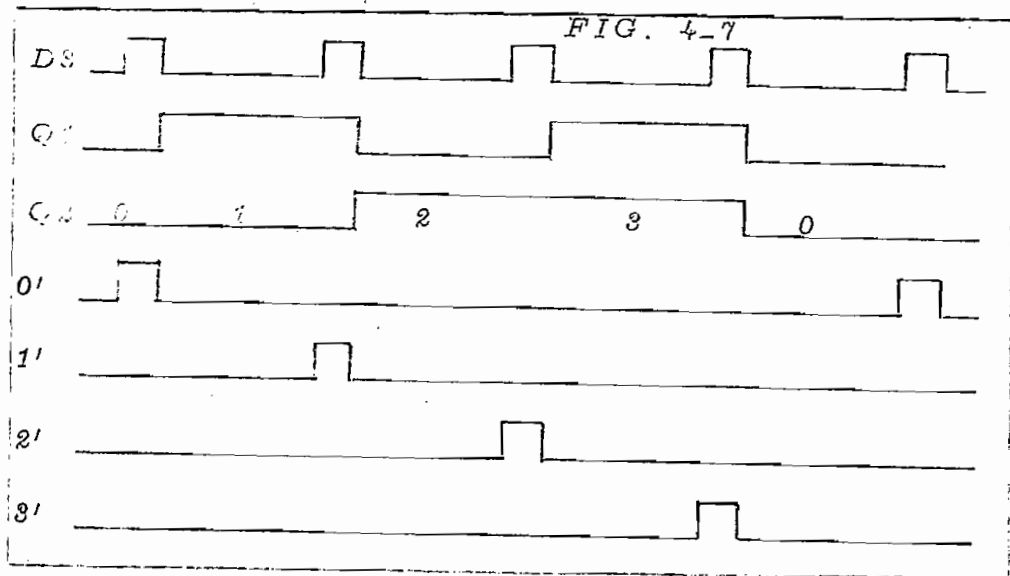
Entonces, es necesario diseñar el bloque X de tal forma que a la entrada G ponga en dos condiciones: 0 v. de trabajo y - 15 v. de corte.

Debido a que el sistema es para cuatro canales, el bloque X debe poner a G en 0 v. durante el tiempo necesario (4 us.) cada 124 us.

El diagrama sería: Fig. 4 - 8. (Pag 4-2b)

El control deberá activar X en forma sucesiva una vez cada 124 us.,

y como son 4 bloques X podríamos utilizar un contador módulo 4 formado por 2 Flip-Flop (F.) JK (circuito integrado SN 74107.) Las combinaciones de salidas de este circuito nos pueden dar las cuatro condiciones esperadas. Si debe contar cada 32 us, deberíamos hacer  $CP = D8$ , dígito de sincronización, según análisis hecho en diagrama de tiempo (fig. 4-7.)



Para conseguir un sincronismo perfecto, deberemos permitir un tiempo de conmutación de 4 us en cada uno de los estados, con el obje-

to de eludir las transiciones de un estado a otro del contador; es to lo conseguimos por la limitación de la salida en los diferentes estados (pulso D8,) si queremos manifestar cada uno de los estados con salidas equivalentes a 0, tendremos las siguientes ecuaciones booleanas:

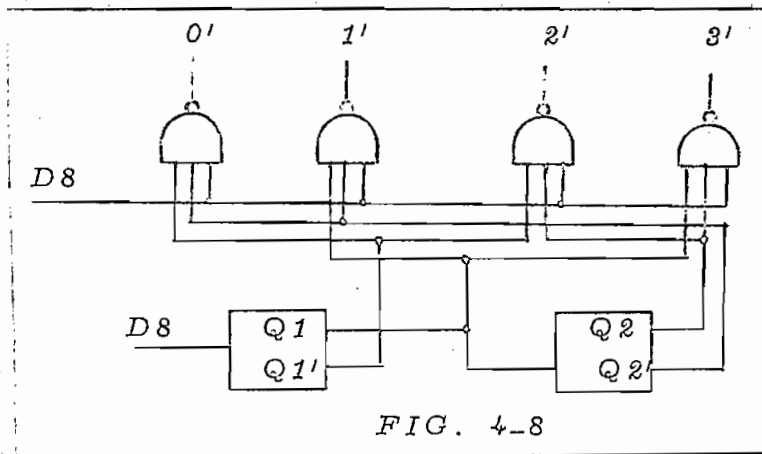
$$0' = \overline{Q1} \times \overline{Q2} \times D8$$

$$1' = \overline{Q1} \times Q2 \times D8$$

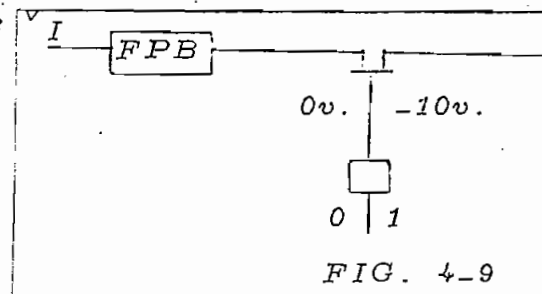
$$2' = Q1 \times \overline{Q2} \times D8$$

$$3' = Q1 \times Q2 \times D8$$

Para la interpretación práctica de estas ecuaciones utilizamos dos circuitos SN 7420 y el diagrama lógico sería:



De esta manera para cada canal tendríamos:



4.1a EL TRANSISTOR POR EFECTO DE CAMPO COMO INTERRUPTOR ANALOGICO.

### Características:

- .  $I_D$  es función directa del voltaje aplicado,
- . Es un dispositivo controlado por voltaje y es un buen interruptor porque carece de voltaje interno,
- . El tiempo de transición es muy corto.

### Funcionamiento:

Para hacerlo funcionar como interruptor es necesario aplicar un valor de voltaje, determinado por las características del transistor, en G (Gate) con respecto a D (Drain) y S (Source).

Conducción  $\rightarrow V_G \approx V_I$   
Condiciones:  
Corte  $\rightarrow V_G \ll V_I$

$V_G$  es el voltaje en G.

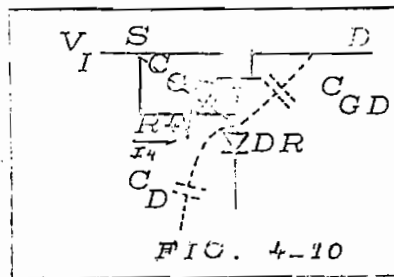
$V_I$  es la entrada analógica.

Si la entrada analógica está dentro del rango  $\pm 5$  v.; el voltaje aplicado en G debe estar en función de este rango, del voltaje de corte del FET y de  $r_{ds}$  (resistencia dinámica del interruptor).

$r_{ds}$  estará en función del voltaje de polarización y será proporcional a  $V_I$ .

Entonces, nuestro problema es poner el transistor en estado de trabajo y obtener una  $r_{ds}$  suficientemente baja para este estado, de tal forma que independice su valor de  $V_I$  y del voltaje aplicado para polarizar el FET.

Para algunas aplicaciones, esto lo conseguimos mediante el siguiente esquema:



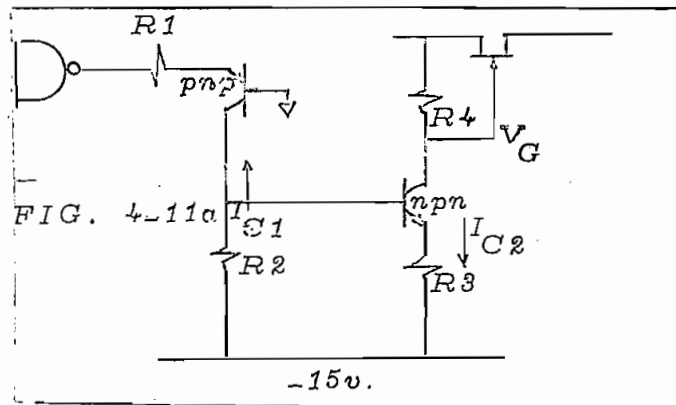
En el que el diodo representaría al colector de un transistor.

Cuando el FET está en conducción, el diodo DR está polarizado al revés, de tal forma que para cualquier valor de  $V_I$  el diodo permanece en esta condición, pues  $V_G$  se acerca a  $V_I$  a través del camino conductor  $R_4$ ; entonces, independiente de  $V_I$ , el G se pone en cero v. con respecto a S y se consigue  $r_{ds}$  más baja para el FET.

Además,  $R_4$  evita que el tiempo de transición del interruptor sea extremadamente largo, pues si consideramos  $C_{GS}$ ,  $C_{GD}$  y  $C_D$  conectados en el estado de trabajo, sin la resistencia  $4$ , la constante de tiempo sería incierta y extremadamente larga, ya que podría depender de las corrientes parásitas de los diodos polarizados por el G y del diodo DR.

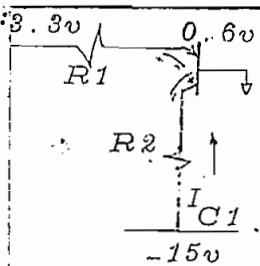
Con la resistencia  $R_4$  junto a la capacidad total al G, da una constante de tiempo que hace casi instantánea la conmutación ( $R_4$  será determinada experimentalmente.)

Pasaremos a diseñar las características de la circuitería que va a poner en las dos condiciones al FET. Utilizaremos dos transistores: El primero que trabaje en la region activa (señal del NAND = 1) y en corte (señal del NAND = 0,) para saturar o no polarizar al segundo, de tal modo que la caída de voltaje en el transistor sea baja y conecte al G a -10v. (voltaje suficiente para cortarle.) En caso contrario no pasará corriente y el G mediante R4 seguirá a  $V_I$  (0v. con respecto a S) fig. 4-11.



Según manual, dos transistores compatibles son: 2N3702 (pnp) y 2N3704 (npn).

Cuando pnp conduce:



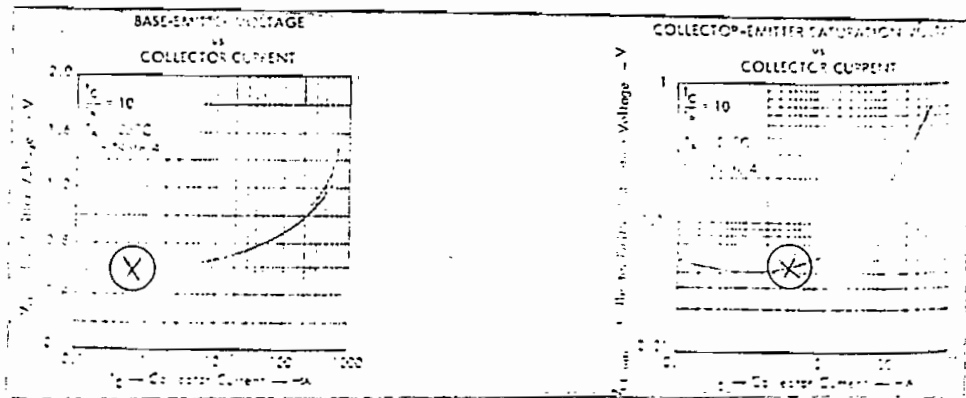
$$V_E = 0.6 \text{ v.}$$

$$V_{BE} = 0.6 \text{ v. (asumido)}$$

$$R1 = (3.3 - 0.6) / I$$

Asumimos  $R1 = 4.7 \text{ K}$  que da  $I = 0.57 \text{ mA}$  que esta dentro del rango permitido a la salida del NAND.

Viendo en curva  $V_{BE} (f) I_{C1}$

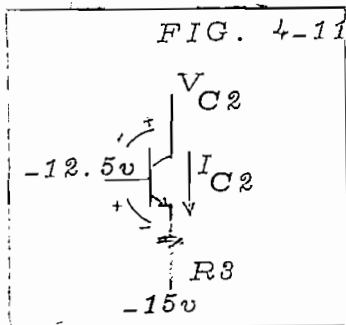


$$I_{C1} = 0.6 \text{ mA}$$

En C necesitamos  $-12 \text{ v}$  a  $-13 \text{ v}$ , para poder polarizar el siguiente paso; tomemos  $V_{C1} = -12.5 \text{ v}$ .

$$R2 = (-15 - V_{C1}) / I_{C1} = 4.16 \text{ K} \quad \text{Se emplean } R2 = 4.7 \text{ K}$$

Cuando npn esta saturado:



$$V_{BE} = 0.6 \text{ v.}$$

$$V_{BE} = V_B - V_E$$

$$V_E = -13.1 \text{ v.}$$

$$R3 = 1.9 / I_{C2} \text{ (sat)}$$

$$I_{C2} \text{ (sat)} = 1.3 \text{ mA} \quad \text{(de curva)}$$

$$V_{CE} \text{ (sat)} = 0.1 \text{ v} \quad \text{(de curva)}$$

$$R3 = 1.46 \text{ K} \quad \text{(se emplea } 1.5 \text{ K;)} \text{ con lo que conseguimos } V_{C2} = -13 \text{ v}$$

Consideremos el efecto de  $V_I$ : en verdad en G los voltajes van a ser  $-13 \text{ v.} \pm V_I$ , es decir de  $-8 \text{ v}$  y  $-18 \text{ v}$ , voltaje suficiente según características del FET para ponerlo en corte.

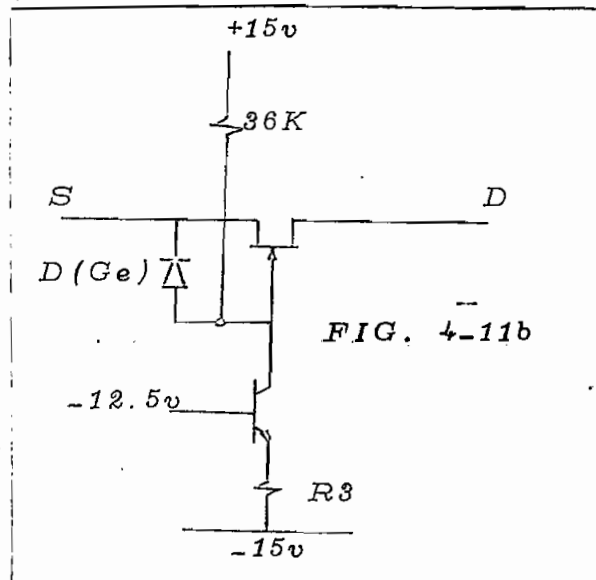
En caso que el pnp no conduzca: no es polarizado, no conduce, e impide la polarización del npn (no existe  $I_{C2}$ )

El G mediante  $R_4$  seguirá a la entrada analógica; El FET conduce.

Con un análisis similar podríamos llegar al diseño del circuito de la fig. 4-11b en el cual  $R_4$  sustituye al diodo de germanio y se conecta la resistencia de 36 K a 15 v.

El funcionamiento de este circuito sería similar al estudiado anteriormente; teniendo una ventaja que es la de eliminar parte del error por transferencia de carga, pues mientras en el circuito de la fig. 4-11a el voltaje no llegaba al nivel de  $V_S$  (voltaje en "source"), ahora tiene a pasarlo, pero no lo hace debido a que cuando conduce el diodo de germanio la caída en el diodo G-S (0.6v.) lo impide.

En el osciloscopio se logró una mejor respuesta con el circuito de la fig. 4-11b.

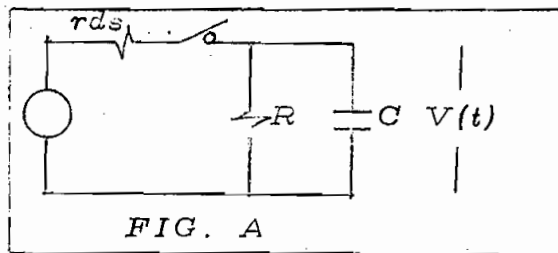




#### 4.1b FUNCION Y DISEÑO DEL CAPACITOR A LA SALIDA DE LOS MUESTREADORES.

Cada muestreador funciona durante 4 us a intervalos de 124 us, de tal manera que esta señal constituye una  $U-1(t)$  (paso) y emplearemos el capacitor C para hacer durar esta señal de voltaje en la forma más estable posible durante el período de 124 us (tiempo de una conversión A/D.)

Al poner C a la salida común de los muestreadores, estamos formando un circuito RC:



$$R = (RDG / 4) // R_o \quad (1)$$

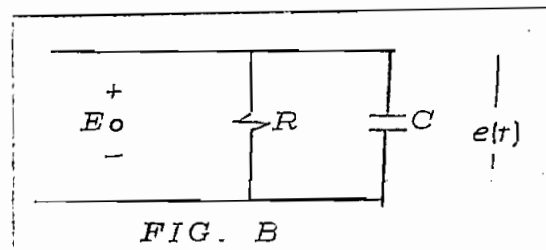
$R_{DG}$  = Resistencia entre D y S que según características del FET  
 = Voltaje de polarización al revés / corriente reversa del G.

$$R_{DG} = 15 \text{ v} / 1 \text{ nA} = 15.000 \text{ o.}$$

$R_o$  → Resistencia de salida del operacional = 40 Mo

Según (1)  $R = 40 \text{ Mo}$

$$R_{DS} \quad 500 \text{ o} = r_{ds}$$



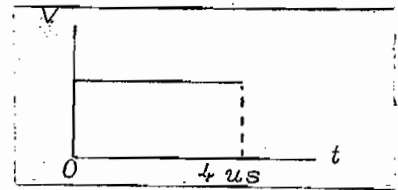
En el equivalente de la fig. A; no influye la impedancia de salida del FPB, porque en el tiempo de muestreo su capacitor de salida ( $0.033 \mu\text{f}$ ) representa una impedancia muy baja.

El circuito se excita durante el intervalo  $t=0 \rightarrow t=4 \mu\text{s}$  y se carga por rds, pues R es un circuito abierto (por ser tan grande) y C en  $t=0$  es un cortocircuito.

Consideremos la fórmula que da el valor final de voltaje en un capacitor:

$$1) \quad V_f = (V_i - V_f) e^{-t/T}$$

Siendo la excitación:



Por definición:  $V_i = V \quad / \quad t=0 \quad V_i = 0$

$$V_f = V \quad / \quad t \rightarrow \infty \quad V_f = (R V) / (r + R)$$

$$T_1 = C R r / (r + R)$$

$$V(t) = R V (1 - e^{-tr/T_1}) / (r + R)$$

Considerando  $R \gg r$

$$E_0 = V (1 - e^{-tr/r C}) = V (1 - e^{-t}) \approx V$$

Después de  $t=4 \mu\text{s}$ , la excitación es 0 (interruptor abierto) y el capacitor se descarga (fig. b)

Según 1)  $V_i = E_0$

$$V_f = 0$$

$$T_2 = RC$$

$$V(t) = E_0 e^{-t/T_2} = V e^{-t/RC}$$

#### 4.10 VALOR DE C y T:

Si consideramos  $r_{ds} = 500 \Omega$ , la resistencia en serie con C sería:

$r_{ds} + \text{impedancia de salida de FPB} \approx 1 \text{ K}$ .

Si cada muestreo se realiza en un lapso de 4  $\mu\text{s}$  (2  $\mu\text{s}$  efectivos)

es suficiente que  $T_2 = 1 \mu\text{s}$ .

$$T_2 = RC \quad \therefore \quad C = 1 \text{ nf.}$$

En este caso el capacitor se carga en un tiempo muy corto con la función paso (proveniente del muestreador  $T_2 = 1 \mu\text{s}$ ); pero, para la descarga del capacitor (fig. b,) R es la impedancia de entrada de la operacional que es bastante alta, haciendo  $T_2$  muy grande.

Consideremos la variación del voltaje al emplear el capacitor  $RC = 40 \text{ Mo}$ ,

$$\approx 1 \text{ nf} = 40 \text{ ms} = 400 \text{ } \mu\text{s}.$$

$\mu\text{s} \Rightarrow$  tiempo de conversión.

Si el tiempo de descarga es 400 veces mayor, el decaimiento (descarga) tendrá un error del orden de 0.4 % (muy bajo).

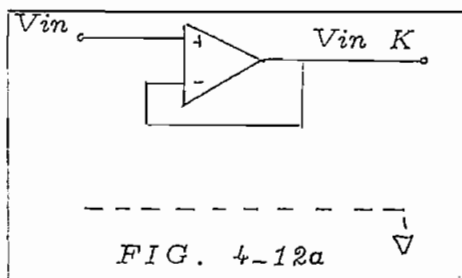
A continuación pondremos un dispositivo que tenga las siguientes características:

- . Alta impedancia de entrada,
- . Suprimir efecto de no linealidad de la señal proveniente del capacitor y además estabilizarla,
- . Baja impedancia de salida con el objeto de que la señal no sea atenuada.

El amplificador operacional SN 72747 cumple con estas características, utilizándole como seguidor de emisor o más propiamente como seguidor de voltaje, lo que quiere decir que su ganancia es uno.

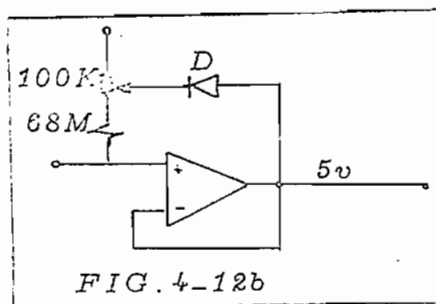
Este circuito presenta una alta impedancia de entrada ( $40 \text{ Mo}$ ) y una impedancia baja de salida (menor que  $1 \text{ o}$ ).

Analizaremos porque siendo la impedancia de entrada al operacional  $1 \text{ Mo}$  (especificación del manual); con la realimentación, esta resistencia es más elevada:



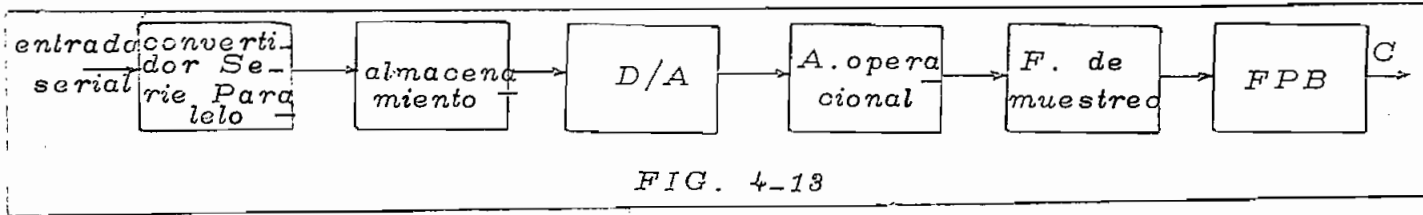
Si entre los terminales del operacional existe una pequeña diferencia de voltaje, por ejemplo  $1 \text{ mv}$ , este voltaje con respecto a tierra es mucho mayor por lo que la impedancia aumenta su valor ( $40 \text{ Mo}$ ) fig. 4-12a.

A la entrada del operacional existe una pequeña corriente de polarización ( $80 \text{ nA}$ -especificación,) que causa un decaimiento de la señal; una manera de impedir esto sería utilizando el circuito de fig. 4-12b



## 4.2 RECEPCION.

En esta etapa del sistema el esquema sería:



Para la conversión serie - paralelo utilizamos un registro de desplazamiento cuyo análisis es:

### 4.2a CIRCUITO BIESTABLE.

Un circuito biestable puede usarse para almacenar cualquier tipo de información que sólo tenga dos valores posibles. Por ej. puede usarse para almacenar el signo de un número, si ajustamos el biestable para un signo positivo y lo reajustamos para un negativo. Si la información tiene uno de  $n$  valores, se necesitan  $\log_2 n$  biestables. Es un elemento básico de los registros.

### 4.2b CIRCUITOS DE REGISTRO.

Un circuito de registro simple almacena el valor binario que hay en su alambre de entrada, almacenamiento que se efectúa según el control.

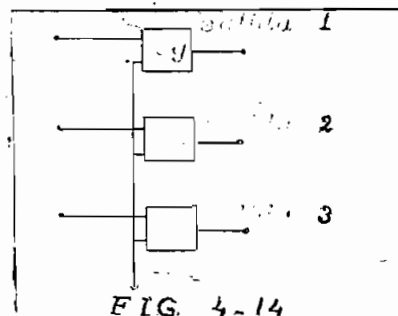


Normalmente el alambre de control está a nivel 0, y en ese intervalo el valor de la señal de entrada no afecta al valor almacenado en el circui-

to de registro. Cuando hay que almacenar el valor de entrada, el control se sube a 1. Si en ese momento el valor de entrada es 1, se almacena un 1, o si el valor de entrada es 0, se almacena un 0. Después, el control vuelve a 0 y los cambios en el alambre de entrada no afectarán el valor almacenado.

#### 4.2o REGISTRO COMPLETO.

Un registro completo, que consta de un grupo de circuitos individuales de registro puede almacenar un número. Para almacenar un número binario el registro debe contener un circuito individual de registro por cada dígito binario, como se ve en el pequeño registro indicado en la figura 4-14

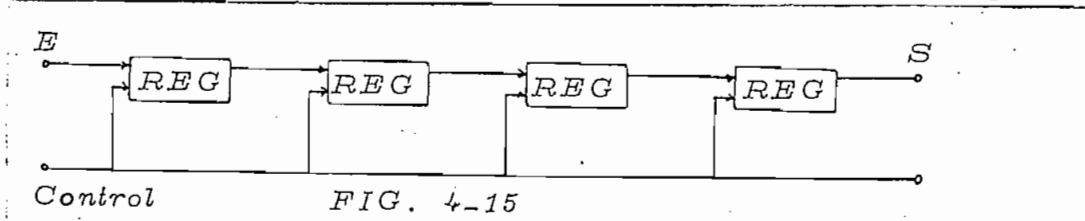


Como los alambres de control de todos los circuitos de registro se conectan juntos, y las entradas se manifiestan en forma paralela (un alambre para cada dígito,) los tres dígitos binarios se llevan simultáneamente al registro.

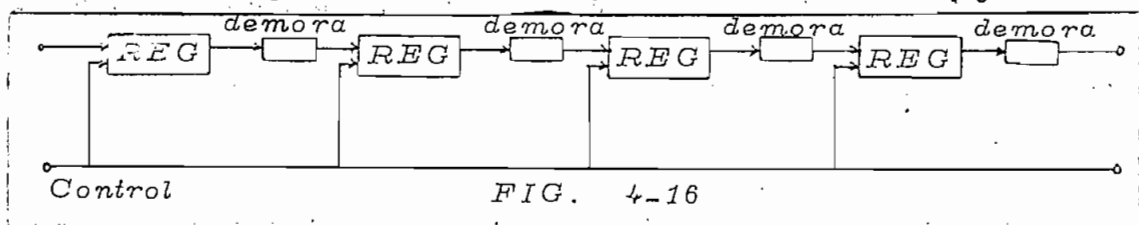
#### 4.2d REGISTRO DE CORRIMIENTO.

Un registro de corrimiento es un tipo especial de registro que puede desplazar lateralmente todos los dígitos de un número. Después de des

plazarse un lugar a la derecha un número binario de seis dígitos como 001111 aparecería como 000111. En general se pierden los dígitos que se desplazan hacia la derecha mientras aparecen a la izquierda, pero ocurrirá lo contrario si el oorrimiento es hacia la izquierda



La fig. 4-15, muestra un diagrama simplificado de un registro de oorrimiento. Cuando el alambre de control se sube a uno, el valor almacenado en cada circuito de registro se lleva al circuito de registro de la derecha, lo que significa que el número se desplaza hacia la derecha. Desgraciadamente el diagrama de la fig. 4-15 es demasiado simplificado, porque hace caso omiso de un problema básico. Cuando sube el control, cada circuito de registro comienza a cambiar al valor del circuito de la izquierda, pero como ese circuito también está cambiando, el valor del alambre de entrada ya no representa el valor que hay que llevar al registro. Una forma de evitar esto consiste en añadir una demora entre los registros del circuito, como se ve en la fig. 4-16:



Esta demora puede tomar la forma de un alambre muy largo o de una combinación de inductancias y condensadores que simulan un alambre muy largo; de modo que se requiera cierto tiempo para que el cambio

de voltaje atraviese las demoras.

Cuando sube el control en la fig. 4-16 cada circuito cambia a su nuevo valor. Sin embargo, debido a la demora, parecerá que el circuito de la izquierda no cambia o para decirlo de otro modo, la entrada de cada circuito permanece constante aunque haya cambiado el circuito de la izquierda; pero como la entrada cambiará después del periodo de demora, es necesario bajar el control a 0 antes que esto ocurra. Entre cada operación de corrimiento es necesario esperar el tiempo suficiente para que la salida de la demora llegue a su nuevo valor.

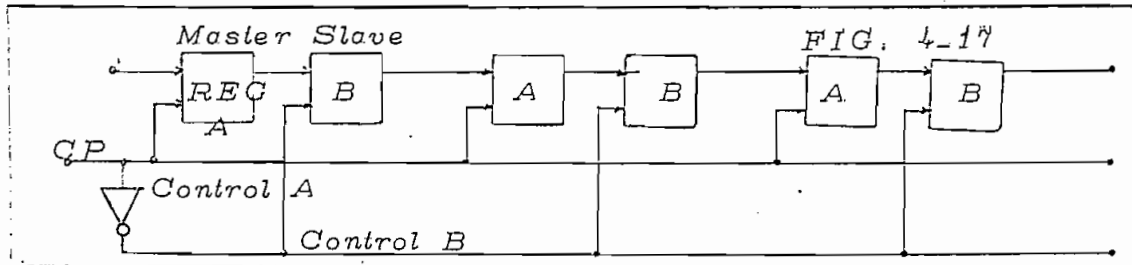
#### 4.2e REGISTRO DE CORRIMIENTO DE DOS CIRCUITOS.

Debido a que en la técnica de circuitos integrados resulta mucho más económico el empleo de circuitos a base de semiconductores, que utilizar los circuitos de demora mencionados anteriormente, se utiliza el registrador de desplazamiento SN7495.

Este registro emplea dos circuitos para cada dígito en vez de un circuito de registro y una demora. En la fig. 4-17 el circuito A (máster) es el circuito básico del registro y el circuito B (slave) sustituye a la demora. Cuando hay que efectuar una operación de corrimiento el control B se sube a 1 y el número se lleva al circuito B. Después que el



control B vuelve a 0, el control A sube a 1 y se lleva el número al circuito A, aunque desplazado a la derecha.



Durante el intervalo en que se lleva un nuevo valor al circuito B, su entrada no cambia; de modo semejante, durante el intervalo en que se lleva un nuevo valor al circuito A, su entrada tampoco cambia. En realidad los circuitos B se usan para mantener constantes las entradas de los circuitos A, mientras los números se llevan a ellos.

El SN 7495 cuyo esquema mostramos en la fig. 4-18 está compuesto de 4 circuitos R-S (master-slave,) 4 puertas de selección and-or-invert, una and-or y 6 invertidores conectados internamente; estas funciones lógicas hacen un registro que puede operar con desplazamiento a la derecha o a la izquierda, dependiendo del nivel de entrada lógica al modo de control. Cualquier número de estos registros conectados en serie formarán un registro de desplazamiento de n bits. Este registro también puede ser usado como un registro de almacenamiento de entradas y salidas paralelas (A, B, C, D.)

Cuando un nivel lógico 0 es aplicado al modo de control (entrada,) las entradas and # 1 son habilitadas y las # 2 inhabilitadas. En esta forma

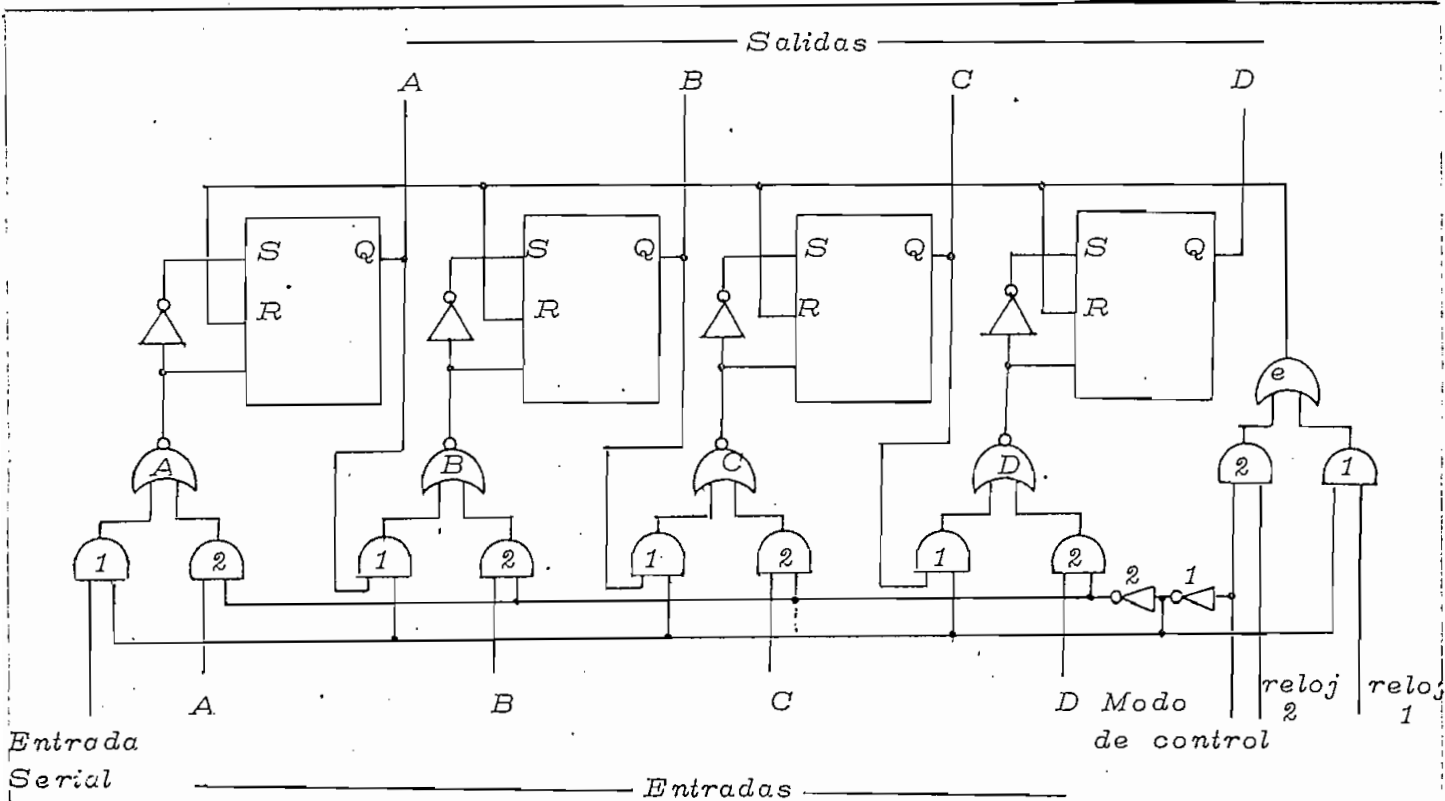


FIG. 4-18

La salida de cada  $F$  es acoplada a las entradas  $R-S$  del subsiguiente  $F$  y el desplazamiento a la derecha es realizado bajo el control del reloj uno. De esta forma se procesa la entrada serial. El reloj dos y las entradas paralelas  $A, B, C, D$ , con inhabilitadas por las entradas and # 2.

Cuando un nivel lógico 1 es aplicado al modo de control, las entradas and # 1 son inhabilitadas (desacoplando las salidas de cada  $F$  a las subsiguientes entradas  $R-S$  que previenen el desplazamiento hacia la derecha)

y las entradas and # 2 son habilitadas para permitir la entrada de datos en forma paralela (A, B, C, D,) y el reloj 2. De este modo se permite la entrada paralela al registro o con interconexiones externas, la operación de desplazamiento hacia la izquierda. Esto es posible conectando la salida de cada F a la entrada paralela de cada F anterior (salida D a la entrada C,) siendo la entrada D la entrada serial del registro.

El control de reloj para el desplazamiento está acoplado a través de una entrada and-or, la cual permite separar las fuentes de reloj a ser usadas para la forma de desplazamiento hacia la derecha o hacia la izquierda.

La transferencia de información a la salida ocurre cuando la entrada de reloj va de lógico 1 a lógico 0.

Básicamente los circuitos S-R forman el registro tratado, según fig. 4-17, pero para dar mayores utilidades se han aumentado las cuatro puertas de selección and-or-invert, una and-or y los invertidores cuya función queda explicada.

Según esto, los dígitos se van desplazando hacia la derecha (perdiéndose los del extremo en cada 4 us a la vez que entra el nuevo bit).

Entonces necesitamos un circuito de retención que almacene los valores de cada bit y simultáneamente conecte a todos con el convertidor D/A;

para ello utilizamos un circuito integrado SN 7475 cuyo funcionamiento trataremos de explicar:

#### 4.2f CIRCUITO DE DEMORA.

Se lo utiliza para el almacenamiento temporal de información binaria, entre unidades de procesamiento (registros de desplazamiento) y salida (convertidor D/A). La información de datos presente a la entrada  $D$ , es transferida a la salida  $Q$ , cuando el reloj indica 1, y la salida  $Q$  seguirá a la entrada tanto como el reloj permanezca en esta condición. Cuando el reloj pasa a 0, la información (que estuvo presente a la entrada en el tiempo de transición) es retenida en la salida  $Q$  hasta que el reloj nuevamente de el nivel 1.

Esquemáticamente estaría compuesto de 2 partes: fig. 4-19a

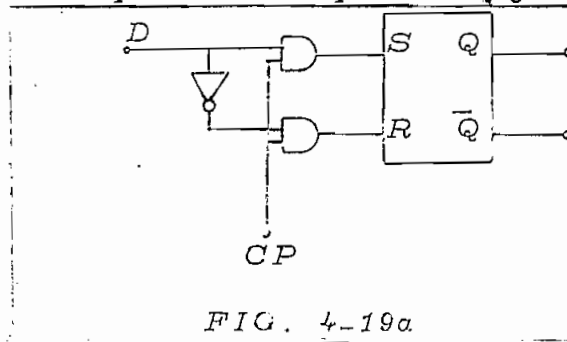
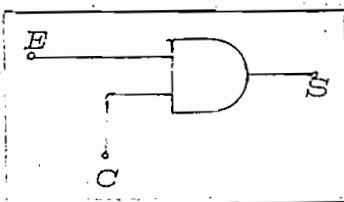


FIG. 4-19a

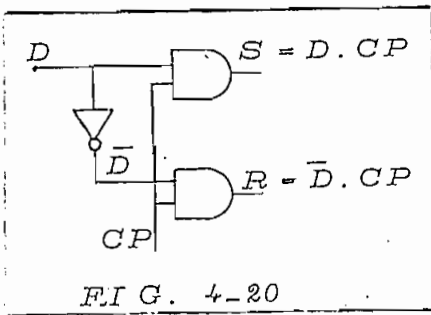
Siendo la primera un circuito puerta, que permite almacenar información siempre y cuando  $CP = 1$ . Lo podemos analizar a base de un ejemplo de una puerta AND, pues cuando  $C = 0$ , la puerta está cerrada



y  $S = 0$ ; cuando  $C = 1$  la puerta está abierta y  $S = E$

Ahora formaremos una puerta de la forma indicada:

en la fig. 4-20, la cual permitirá el paso de  $D$  y  $\bar{D}$ ,



solamente cuando  $CP = 1$ , en caso contrario la puerta permanece cerrada (sin cambiar la condición del F.)

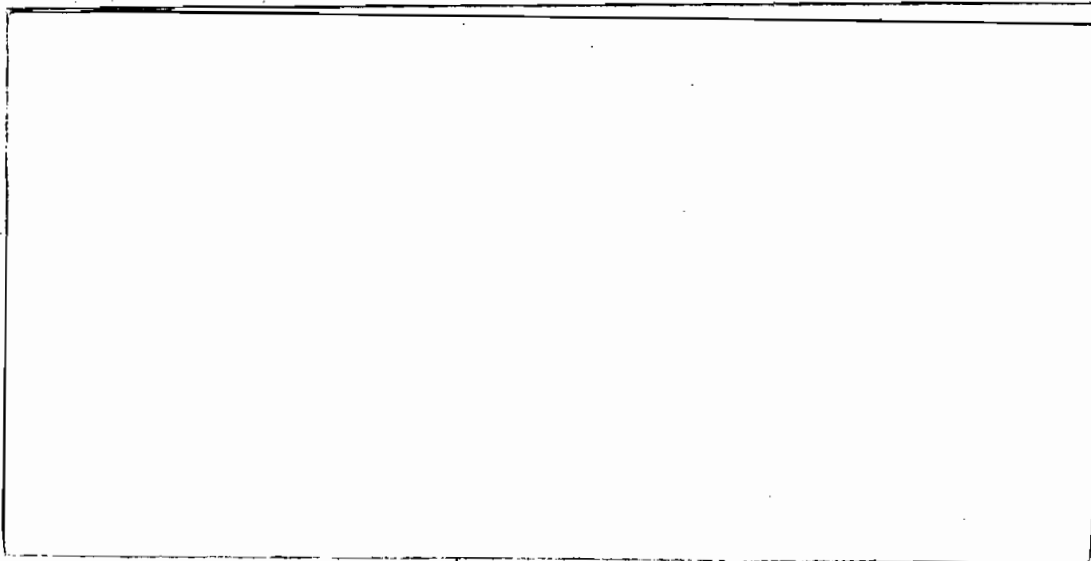
La segunda parte está formada por un F R-S (master - slave), cuyo funcionamiento ha sido analizado.

Tabla del Circuito:

CP	D	$\bar{D}$	S	R	Q
1	1	0	1	0	1
1	0	1	0	1	0

La regulación del desplazamiento hacia la derecha (intervalo  $1 \rightarrow 0$ ), hemos visto que está controlado por un reloj 1 y la transferencia de datos del retenedor al D/A debe ser regulado por otra señal.

Mediante un diagrama de tiempos analizaremos cuáles serán estas señales:



Debido a la demora en el registro de desplazamiento ( $1/2$  del período del reloj) utilizaremos  $\overline{CP}$ , pues cada desplazamiento se hace con la transición 1 a 0 del reloj 1.

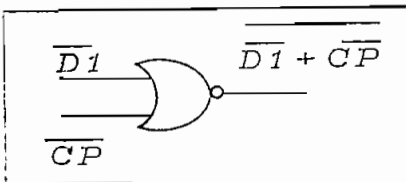
El control para la transferencia de datos de los 7475 al D/A debe estar en el sitio señalado, pues debe comandar la transferencia un poco antes de que el dígito (0), sea desplazado por la entrada del primer dígito (D1 o BMS) de la nueva muestra.

Notar que los retenedores transfieren los datos con una señal positiva (0 a 1).

Esta señal debe tener ecuaciones booleanas:  $\overline{D1} + \overline{CP}$ .

$\overline{CP}$  porque debe ser durante la segunda mitad del período en el que  $\overline{D1} = 0$  (instantes antes de que comience un nuevo desplazamiento).

Para obtener esta señal utilizaremos circuitos NOR.



De esta manera llegamos al convertidor D/A, cuya salida de corriente es llevada al amplificador operacional 72747.

Es necesario analizar previamente el empleo del convertidor D/A en versión bipolar.

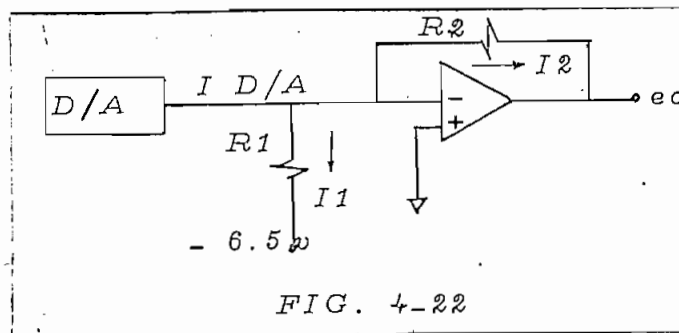
#### 4.2g CONVERSION BIPOLAR.

Para conversión D/A o A/D bipolar por conmutación de corriente, una corriente de balanceamiento igual y opuesta a la corriente producida por el BMS es añadida a la salida del convertidor. esto se consigue con un

voltaje constante de referencia y una resistencia, aunque lo ideal sería utilizar el mismo voltaje de referencia del D/A para minimizar el error de salida por temperatura.

Como para la conversión se utiliza  $\pm 5$  v, la salida del A/D para 0v será el número binario  $1000000 = 64 V_r/127 = BMS$ , que produce una corriente a la salida del D/A de 1.3 mA.

En el lado de transmisión, en la conversión A/D se explica como se logra el balanceamiento de las corrientes a la entrada del comparador. Ahora analizaremos la conexión utilizada en RX para lograr la conversión bipolar D/A



$$e_o = 5 \text{ v}$$

$$e_o = I_2 R_2$$

Corriente de balanceamiento  $I_2 = 1.3 \text{ mA}$

La fig. 4-22 nos muestra que si  $I_{D/A} = 2.6 \text{ mA}$ , deberá pasar por  $R_1$  la mitad de la corriente (constante) para que por  $R_2$  pase 1.3 mA que corresponderá a  $-5 \text{ v}$ , ya que la entrada es conectada a la entrada invertida del operacional (resultado de conversión con referencia negativa)  $I_1 = 1.3 \text{ mA}$ .

$$R_2 = e_o / I_2 = 3.9 \text{ K}$$

$$R_1 = -6/I_1 = 4.7 \text{ K}$$

La salida de la red decodificadora (D/A) es conectada a la entrada de un operacional, (impedancia de entrada y salida muy baja) y además, porque siendo corriente la salida del D/A necesita ser convertida en voltaje. Hemos visto que la salida de la red decodificadora es del orden de kilo ohmios. Es necesario tener una impedancia baja de salida porque variaciones grandes en la carga de salida pueden causar errores intolerables en la salida de la red decodificadora o la impedancia de carga es constante, pero tan baja en valor (rds), que la salida se atenúa fuertemente

A continuación haremos un análisis de como trabaja el operacional:

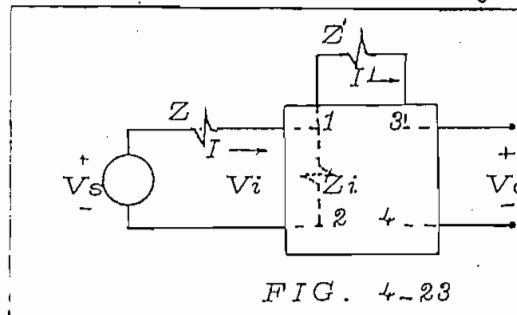


FIG. 4-23

El amplificador tiene ganancia real y grande.  $Z_i$  impedancia de entrada del amplificador. El amplificador encerrado en el cuadro es básico y puede constar de una o más etapas de amplificación.

1)  $A_v = V_o/V_i$  Amplificación de tensión con  $Z'$  conectada.

Circuito equivalente por teorema de Miller ( $K = A_v$ ):

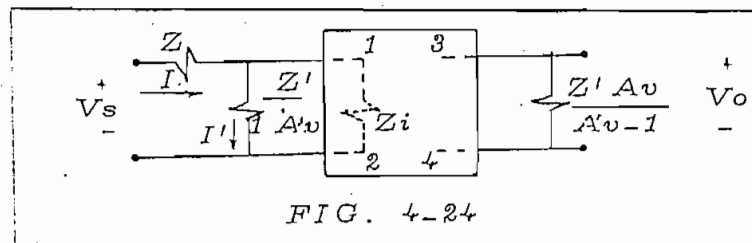


FIG. 4-24



Pero  $A_v = 2 \times 10^5$  (nominal para el 72747).

2)  $|Z'| / (1 - A_v) | \ll |Z_i|$  por lo que  $I' \approx I$

3)  $V_o = A_v V_i = A_v \times I \times Z' / (1 - A_v)$

Si  $A_v \rightarrow \infty$ , la impedancia entre 1 y 2 se aproxima a 0. (cortocircuito) o la impedancia de entrada es muy baja:

$$A_v = 2 \times 10^5 \quad Z' = 3.9 \text{ K} \quad Z_i = 3.9 \times 10^3 / 2 \times 10^5 = 0.0195 \Omega.$$

4)  $I \approx V_s / Z$

De 3):  $V_o \approx -I \times Z' \approx -Z' \times V_s / Z$

El funcionamiento del operacional entonces es presentar a su entrada un cortocircuito virtual o masa virtual, esto implica que aunque la realimentación de la salida a la entrada ( $Z'$ ) sirve para mantener  $V_i = 0$ , la corriente de entrada del operacional y entonces la corriente suministrada por  $V_s$  elude este cortocircuito, pasando por  $Z'$ , con lo cual  $V_o = -I \times Z'$  (se representa esta situación por flecha en fig. 4-25).

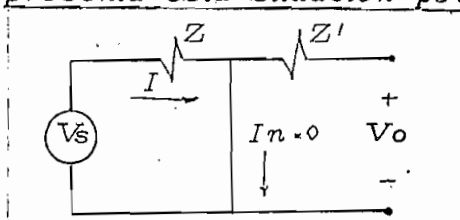


FIG. 4-25

Este efecto es el que utilizamos en el amplificador operacional que esta a continuación del D/A, pues, según fig. 4-26 si es que consideramos una carga de 1 K, y la impedancia interna de salida del operacional 750 (según manual,) además de las características anteriormente vistas; una

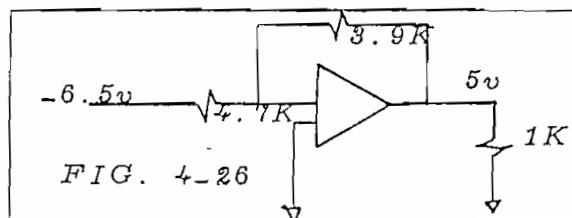


FIG. 4-26

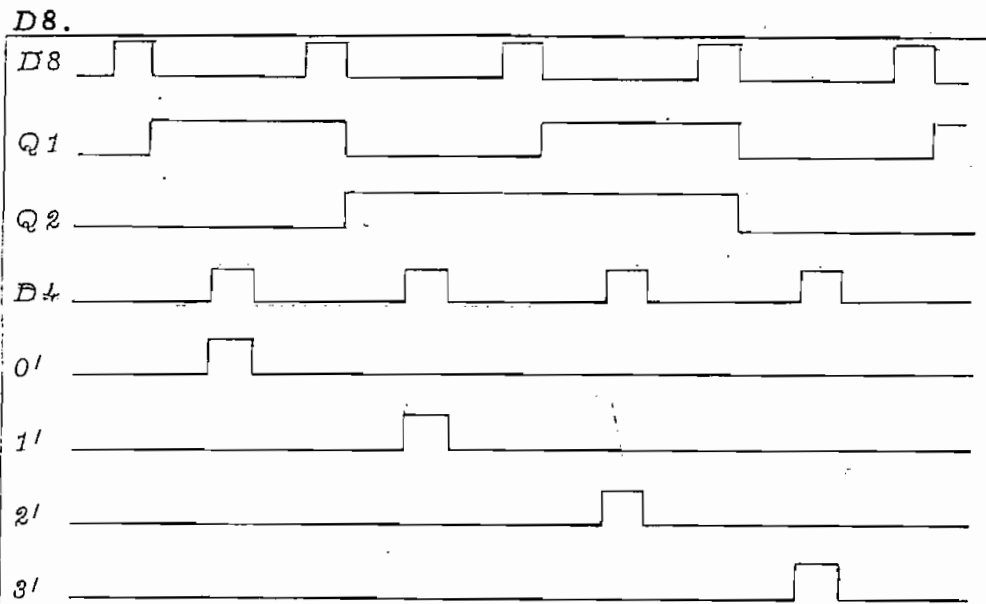
corriente de 1 mA daría una caída de voltaje de 75 mv. Para compensar esta variación necesitamos una variación a la entrada de  $0.075/2 \times 10^5 = 3.75 \times 10^{-9}$  que corresponde a una variación a la salida de 750 mv. y  $R_s = 750 \times 10^{-9} / 10^{-9} = 750 \times 10^{-6} \text{ } \Omega$ .

Una alternativa sería utilizar el circuito integrado DAC-49 SERIES, que está compuesto del convertidor D/A y un operacional y que cumpliendo condiciones especificadas trabaja en conversión bipolar.

La salida del operacional, que será el valor analógico de las 4 muestras, deberá ser muestreada sinóricamente por 4 muestreadores cada 124 us. (se emplean fuentes de muestreo iguales a las de TX.)

El diseño de las fuentes de muestreo lo explicamos anteriormente; el único cambio sería el sinorionismo de lo cual nos ocupamos:

Utilizamos un contador módulo 4 (igual que en TX) que nos proporciona 4 estados diferentes y considerando que debe contar al comienzo de cada muestra sinóricamente con el lado TX; hacemos el reloj del contador



Según diagrama de tiempo (fig. 4-27), para limitar el tiempo de conmutación por 4 us. por razones especificadas y además, porque en el lado RX tenemos un retraso de medio tiempo del reloj más la demora en demás circuitos; creemos prudente muestrear durante el período  $D\ddagger$ , dando tiempo suficiente para que la muestra analógica correspondiente a cierta palabra digital se estabilice (retenedores pasan la palabra digital en paralelo al D/A en el impulso  $\overline{D1} + \overline{CP}$ ) y el valor analógico lo logramos entre los pulsos  $D\ddagger$  y  $\overline{D1} + \overline{CP}$ .

El voltaje de cada muestreador dura un tiempo muy corto (en la práctica menos de 4 us) por lo que tendremos que poner un capacitor a la salida de cada uno.

#### 4.2h CALCULO DEL CAPACITOR.

Si el fet conduce es suficiente que  $T = 1$  us. La resistencia en paralelo con C sería rds, ya que la impedancia de salida del operacional es bastante baja.

$$T = CR \quad C = 1 \text{ us.} / 500 \text{ o.} = 2000 \text{ pf.}$$

Posteriormente veremos que el capacitor se descarga por una resistencia grande (Mo.), y que su característica durante el tiempo necesario (124 us.) es constante.

A continuación debemos poner filtros (en cada uno de los canales) que tienen como función:

1. Detectar la señal,
2. Limitar hasta frecuencias de 3.8 K.

En el diseño de los filtros de entrada se analizó que tenían una característica suficientemente selectiva para utilizarlos en la salida (con el uso de elementos disponibles se logró construir filtros de características similares.)

Nuestro problema es acoplar las fuentes de muestreo con los filtros, sin que la impedancia de entrada de estos últimos (baja) afecten la salida de los muestreadores. Además, según analizamos en el diseño de C, éste debe descargarse por una impedancia muy alta.

Al igual que en el lado TX, podríamos utilizar 4 operacionales (uno a cada salida) como seguidores de voltaje, cuyo funcionamiento fue analizado.

Pero al carecer de esta clase de CI., decidimos emplear el "par de Darlington" que es un circuito bastante económico.

#### 4.2i PAR DE DARLINGTON.

Características:

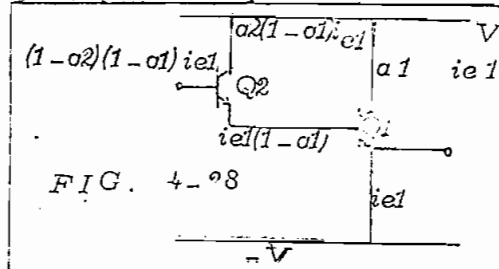
- . Aprovecha un  $\beta$  alto de los transistores;
- . Une dos circuitos, manteniendo sus características independientes uno del otro.

#### ANALISIS.

La corriente pequeña de base en Q1 es  $i_{b1} (1 - \alpha_1)$  es amplificada por Q2,  $\alpha_2 (1 - \alpha_1) i_{b1}$ .

Con respecto a las corrientes de colector a1 ie1 es la corriente normal en cualquier transistor,  $\alpha_2 (1 - \alpha_1) ie1$  representa una pequeña corrección adicional.

Notemos que los  $\alpha$  son un poco menores que la unidad y que la corriente de entrada es mucho menor que la de salida. fig. 4-28.



$r_e$  → Resistencia incremental del diodo E-B polarizado directamente. Su

resistencia es una función de la corriente de emisor y está dada por:

$$i = i_0 (e^{V/(KT/q)} - 1)$$

$$i = i_0 e^{V/(KT/q)}$$

$$di/dV = i_0 / (KT/q) e^{V/(KT/q)}$$

$$dV/di = (KT/q) / i$$

$K$  → constante de Boltzman

$T$  → temperatura en grados Kelvin

$q$  → carga electrónica

A temperatura ambiente  $KT/q = 26$  mv.  $r_e = 26/i_E$   $\left\{ \begin{array}{l} i_E \text{ en mA.} \\ r_e \text{ en } \Omega. \end{array} \right.$

$r_b$  → resistencia ómica del contacto de la base y de la región de la base.

$r_c$  → valor de la juntura de colector, que es un diodo polarizado inversamente.

$\alpha$  → fracción de corriente de emisor, que se transforma en corriente de colector.

Circuito equivalente T para el transistor: fig. 4-29a.

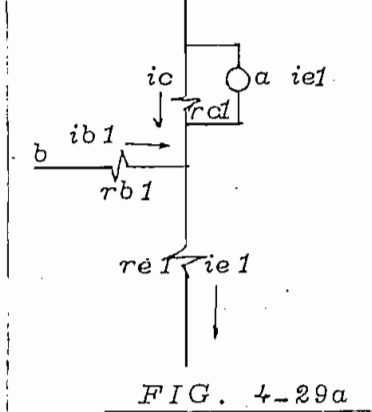


FIG. 4-29a

$$Z_{in1} = r_{b1} + (\beta + 1) r_{e1} \quad (\text{para } q1)$$

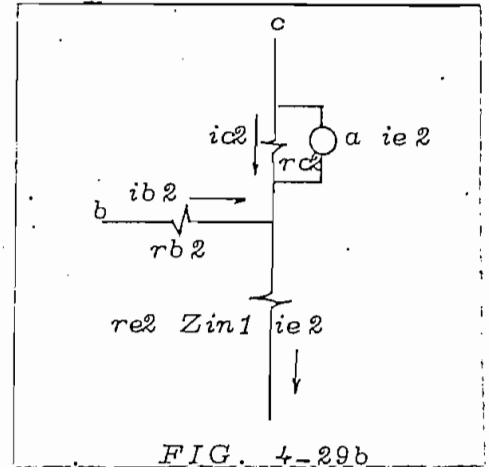


FIG. 4-29b

Para el segundo transistor (fig. 4-29 b) tendríamos:

$$Z_{in} = [r_{b2} + (r_{e2} + Z_{in1})] (1 + \beta_2)$$

$$Z_{in} \approx Z_{in1} (1 + \beta_2)$$

$$Z_{in} = [r_{b1} + (\beta_1 + 1) r_{e1}] (1 + \beta_2)$$

Podríamos decir que:

$$Z_{in} \approx (1 + \beta_1) (1 + \beta_2) r_{e1}$$

$$Z_{in} \approx \beta_1 \beta_2 r_{e1}$$

Si conectamos una resistencia en serie con  $r_{e1}$ :

$$Z_{in} \approx \beta_1 \beta_2 (R_E + r_{e1})$$

## DISEÑO.

Disponemos de transistores npn con un  $\beta = 180$  (probados en laboratorio) 2N 3704.

Según requerimientos de descarga del capacitor a la salida de las fuentes de muestreo, la impedancia vista a la entrada del par, debe ser del orden de  $M\Omega$ , entonces creemos conveniente que  $R_E = 1 K$ .

Con el objeto de impedir que Q1 y Q2 trabajen en saturación y tomando en cuenta que la señal de entrada será de 5v, utilizaremos voltajes de polarización de 15v.

### 4.3 FUENTES DE VOLTAJE REGULADO.

Voltajes necesarios:	15 v	} Fuentes Externas
	- 15 v	
	5 v	} Fuentes Internas.
	12 v	
	- 6 v	

Carga para fuente de 12 v.:

SN 72710 Nominal 5.4 mA ( $I_o$ ) Circuito (fig. 4-30)

#### DISEÑO:

Como vemos la corriente tiene un valor bajo.

Emplearemos en transistor de:

$P_T$  (potencia máxima de disipación=500 mw.)

npn 3704  $\beta = 100$

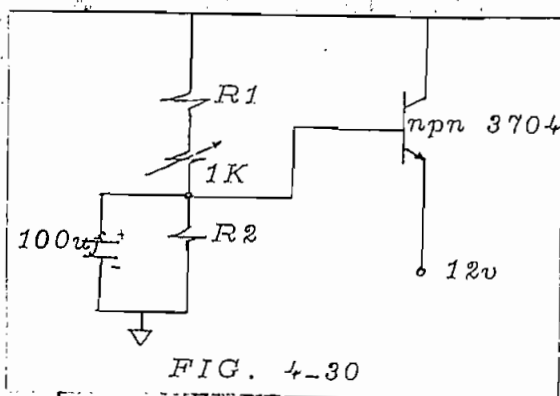
$h_i = 2 K.$

Si es que en su emisor debemos tener 12 v., en su base:

$$V_b = 12 + V_{be} = 12.6 v.$$

$$I_o = \beta I_b$$

$$I_b = I_o / \beta = 5.4 mA / 100 = 54 \mu A.$$



Asumimos un valor para  $R1 = 3.3 K.$

Aunque en el circuito utilizamos una  $R1$   
 $= R + Rv.$

$$R = 2.7 K$$

$Rv =$  resistencia variable

de un K.

$$I_1 = 2.4 \text{ v} / 3.3 \text{ K} = 730 \text{ uA.}$$

$$I_t = I_1 - I_b = 676 \text{ uA.}$$

$$R_2 = 12.6 \text{ v.} / 676 \text{ uA.} = 18.6 \text{ K (utilizamos 18 K.)}$$

Potencia de disipación máxima:

$$P_{Tdc} = 5.4 \text{ mA} \cdot 3 \text{ v.} = 16.2 \text{ mw.}$$

Entonces es suficiente utilizar elementos de 1/4 w. aunque se utiliza de 1/2 w.

Carga para fuente de - 6 v.:

$$SN \ 72710 \quad \text{NOM.} \quad - \ 3.8 \text{ mA}$$

$$R1 \quad \quad \quad \text{"} \quad \quad - \ 1.3 \text{ mA}$$

$$R2 \quad \quad \quad \text{"} \quad \quad - \ 1.3 \text{ mA}$$

---


$$- \ 7.4 \text{ mA}$$

Resistencias utilizadas para  
conversión bipolar.

Simplemente utilizamos un diodo zener en serie con una resistencia.

Características del Zener (HEP 103):

$$P_T = 1 \text{ w.}$$

$$V_r = 6.2 \text{ v.} \quad (\text{voltaje nominal})$$

$$I \text{ máxima } 146 \text{ mA} \quad (\text{corriente máxima del Zener})$$

Empleo del diodo Zener:

Son diodos que operan en la región crítica, polarizados al revés.

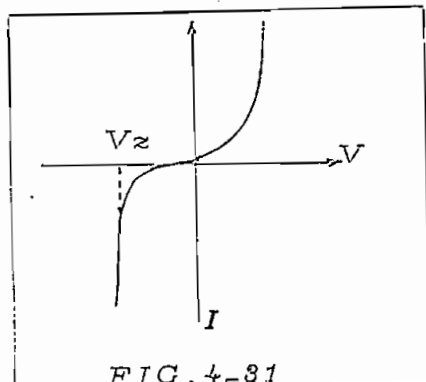


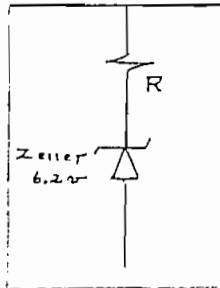
FIG. 4-31

En las características nos podemos dar cuenta que la corriente reversa a través del Zener ( $I_z$ ), en la región crítica crece rápidamente, mientras el valor de  $V_z$  casi



no varía y si lo hace  $\Delta V_z = I_z \times Z_z$ , donde  $V_z$  es un valor muy pequeño.

DISEÑO:



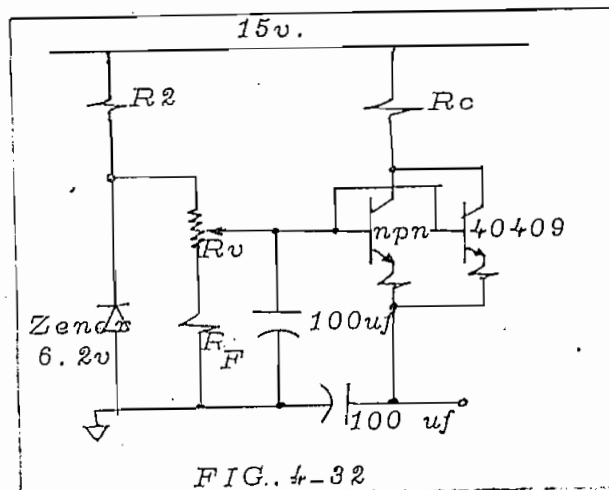
Assumimos un valor de  $I_z = 16 \text{ mA}$  (con un rango de seguridad.)

$$R = 8.8 \text{ v.} / 16 \text{ mA} = 550 \text{ } \Omega$$

Carga para fuente de 5 v.:

CI	Carga máxima	# CI	Total
SN 74107	20	6	120
SN 7400	12	6	72
SN 7420	6	8	48
SN 7412	20	1	20
SN 7475	32	2	64
SN 7495	50	2	100
SN 7402	14	2	28
SN 7492	32	1	32
			894 mA

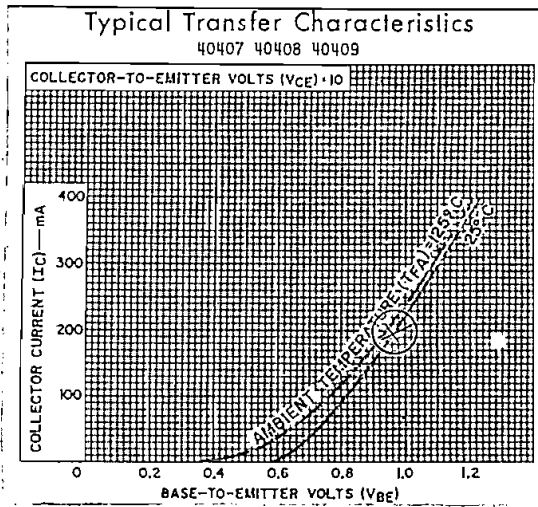
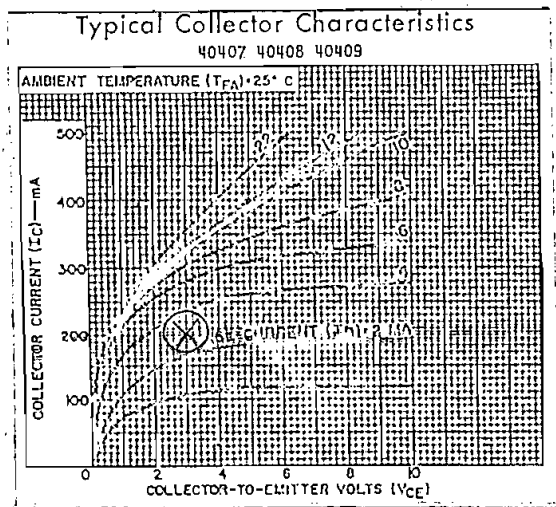
Circuito (fig. 4-32):



DISEÑO:

Según características de transistor RCA 40409, funciona bien como re-

gulgador de voltaje para una corriente de colector igual 200 mA (fig.)



Como la necesidad de corriente es de 400 mA podemos repartirla entre dos transistores iguales, poniendo una resistencia de 1  $\Omega$  en serie con sus emisores para compensar variaciones internas.

Si por cada uno de los transistores va a pasar 200 mA, podremos asumir un  $V_{ce} = 2.5$  v. con lo que  $P_T = 2.5$  v.  $\times$  200 mA = 0.52 w. en cada transistor.

$$V_o = V_e + V_{ce} = 5 + 2.6 = 7.5$$
 v.

$$V_{oc} - V_o = 7.4$$
 v.

Por  $R_c$  pasarán 400 mA o sea:  $R1 = 7.4$  v. / 400 mA. = 18.5  $\Omega$ .

Potencia disipada en esta resistencia: 7.4 v.  $\times$  400 mA. = 3 w.

Utilizamos 3 resistencias en paralelo de 47  $\Omega$ .

Según características, para  $I_c = 200$  mA. y  $V_{ce} = 2.5$  v., tenemos un valor para  $I_b = 3$  mA.;  $V_{be} = 0.9$  v.

$$V_b = V_e + V_{be} = 5.9$$
 v.

Este voltaje se logra por el divisor que forman las resistencias  $R_F$  y  $R_v$

$R_v$  es una resistencia variable, para calibrar bien la salida de 5v.

Bajo el criterio de que  $Z < \beta Z_{\text{circuito}}$ , si  $Z_{\text{circuito}} = 5v./400mA. = 1250 \text{ } \Omega$ ; podemos hacer  $Z = 250 \text{ } \Omega$ .

$$Z = R_z // (R_v + R_F)$$

Considerando que 6.2 v. es un voltaje común a  $R_z$  y  $R_v + R_F$  y que

$$R_z = 500 \text{ } \Omega. \quad \therefore \quad R_v + R_F = 500 \text{ } \Omega.$$

$$I = 6.2 \text{ v.} / 250 \text{ } \Omega. = 25 \text{ mA}$$

$$I_2 = I + I_b = 25 + 3 = 28 \text{ mA.}$$

$$R_2 = (15 \text{ v.} - 6.2) / (28 \text{ mA.}) = 315 \text{ } \Omega.$$

Los condensadores hacen la impedancia de salida, en frecuencias altas, mínima, pues desde el punto de vista alterno constituyen un filtro (cortocircuito).

El condensador que está entre la base de los transistores y tierra, además de ser un filtro estabiliza la salida de voltaje del zener. Si el condensador está en paralelo con la impedancia de entrada del circuito ( $Z_{ci}$ ) tendremos que hacer:  $1/w.C \ll Z_{ci}$ ; sin embargo el valor del condensador no es crítico y se utiliza  $C = 100 \text{ } \mu f$ .

El condensador utilizado en la fuente de 12 v. tendrá valor y funciones similares.

*CAPITULO V*

## C A P I T U L O V

### CONVERTIDOR ANALOGICO DIGITAL.

5.1

#### CARACTERISTICAS.

5.1a

Deberemos considerar varias especificaciones importantes que incluyen las características funcionales y eléctricas del convertidor, además de las características eléctricas de la señal analógica de entrada. Típicamente los factores más importantes que determinan el convertidor a usarse son la exactitud total y la velocidad de conversión requerida. Trataremos de estudiar éstas y otras especificaciones que afectaron la selección y diseño del convertidor.

#### EXACTITUD TOTAL DE CONVERSION.

5.2

Puede ser dividida en dos partes básicas:

- . Error de cuantización y
- . Error debido al equipo electrónico.

#### ERROR DE CUANTIZACION.

5.2a

La resolución, o precisión de conversión, es una función del número de bits en la palabra digital. El número de bits determina el número de valores digitales de 0 a escala completa posibles para representar cualquier valor de entrada analógica. El error de cuantización máximo es de  $\pm 1/2$  Bms (el verdadero nivel analógico codificado)

anexas, harán que estos cambios no afecten excesivamente la operación del equipo (compensación.)

Típicamente para los convertidores A/D los errores por el equipo son combinados en un término único, este error indica que la conversión bajo condiciones ambientales especificadas no excederá su nivel, indiferente a la entrada de voltaje analógico (en su rango normal). El error por el equipo es usualmente especificado como el porcentaje ( $\pm$ ) de la entrada analógica de voltaje a escala completa (EC). La exactitud de este sistema de conversión es una función de la suma algébrica de los errores individuales en los elementos de sistema.

En vista de que el aparato fue construido casi íntegramente a base de CI, el estudio de errores será un análisis basado en las características eléctricas de cada uno de ellos. En este estudio existen dos formas de cálculo: "en el peor caso" y "análisis estadístico de error".

#### 5.2c EN EL PEOR CASO.

La distribución de error es de tal forma que es igual a la suma algébrica de los errores máximos posibles tomados en la misma dirección y es menor o igual al error permitido del sistema.

Entonces, si cada uno de los elementos contribuyen con un error máximo y todos estos errores son tomados en la misma dirección, existe una posibilidad extremadamente remota de que suceda y si es que

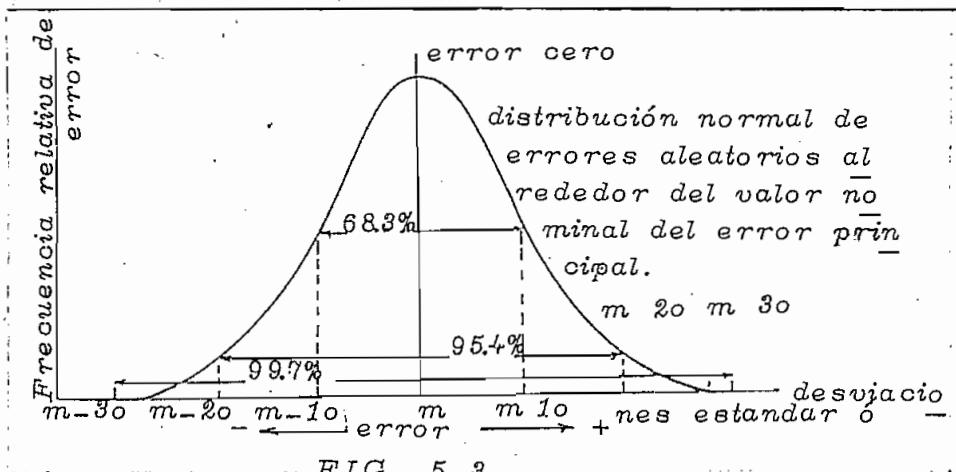
el diseño exige un error máximo, digamos del 1%, puede resultar que los elementos a emplearse tengan muy poca tolerancia, aumentando su complejidad y costo en forma innecesaria.

## 5.2d ERROR ESTADISTICO.

Es más razonable. Un procedimiento generalizado es separar los errores en dos grupos: errores aleatorios (casuales) y sistemáticos.

Los primeros varían según la curva de distribución (fig. 5-3.)

Los segundos se deben a alguna función definida de las condiciones de operación del sistema, así como: valor del voltaje de la fuente, temperatura, vida de operación, etc.



Los errores aleatorios cambiarán como resultado de una variación a las condiciones de operación; pero en vista de que éste podrían tomar cualquier dirección, la posibilidad de que suceda en un valor en particular seguirá la distribución de la curva (fig. 5-3).

Después que los errores sean identificados como aleatorios y sistemáticos, el error total se calcula como sigue:

$$Et = (Ep1 + Ep2 \dots + Epn) + \left[ (E_{c1}^2 + E_{c2}^2 \dots + E_{cm}^2) (Est1^2 + Est2 \dots + Estp^2) \right]^{1/2}.$$

$Ep1$  es el error promedio debido a causa uno.

$Ep_n$  es el error promedio debido a causa  $n$ .

$E_{c1}$  es el error aleatorio 1.

$E_{cm}$  es el error aleatorio  $m$ .

$Est1$  error sistemático total debido a causa 1.

$Estp$  es el error sistemático total debido a causa  $p$ .

Los errores sistemáticos que no tengan relación entre si con solocados en grupos separados de acuerdo con su causa y cada grupo es algébricamente sumado para dar el error sistemático total debido a esa causa. Cualquier error sistemático de origen indeterminado si que la distribución normal de la curva alrededor de su valor promedio.

### 5.3a NOTAS SOBRE LA TABLA DE LA PAG. 5-6.

Convertidor D/A.- La especificación de 0.1%/Yr. de estabilidad se debe a posibles variaciones temporales de resistencias y transistores, afectados principalmente al factor ganancia. No fue tomado en cuenta por su valor bajo.

El error sistemático debido a la fuente de voltaje ( $\pm 15v.$ ) dependerá de la fuente que se utilice y afecta solamente la ganancia. (Continúa en Pág. 5-7.)



### 5.3 CUADRO 5-1 ERRORES DEL CONVERTIDOR A/D. (7 bits)

Elemento	Causa del Error	Errores Promedio	Errores Aleatorios	Errores Sistemáticos
	Manual			Temperatura
Convertidor D/A	Exactitud	0.2 %	0.2 %	
	Linealidad	Bits/2	0.195	
	Coefficiente de temperatura	100ppm/C		0.015
	Voltaje de referencia			
Comparador Analógico	Voltaje "off-set"	2mv	0.02	0.01
	Corriente "offset"	1uA	0.02	0.01
	CMRR	65db	no fue considerado.	
	Coefficiente de temperatura	7.5uV/C		0.000075
	Coefficiente de voltaje			
Sistema de Muestreo	Transferencia de carga	3%	0.023	0.0115
Error de cuantización		$100 \times \text{BmS}/2 \times 127$		0.39

Depende de fuente externa de 15v.

Depende de fuentes externas

El error sistemático total para el convertidor, 0.453, proveniente de la suma algebraica de los errores promedio puede ser ajustado tomando en cuenta las variaciones aleatorias en los elementos del sistema; es decir: Suma de los cuadrados de los errores aleatorios (Sda. columna)  $0.04 + 0.038 + 0.000225 + 0.0001 + 0.0001 + 0.000132 + 0.152 = 0.23$ .

Error aleatorio total =  $\sqrt{0.23} = 0.48$ .

Error estadístico total:  $et = 0.453 + 0.48 = 0.933$

- et = 0.047

NOTA: Todos los errores son referidos a % EC - 10 v. → 127 niveles.

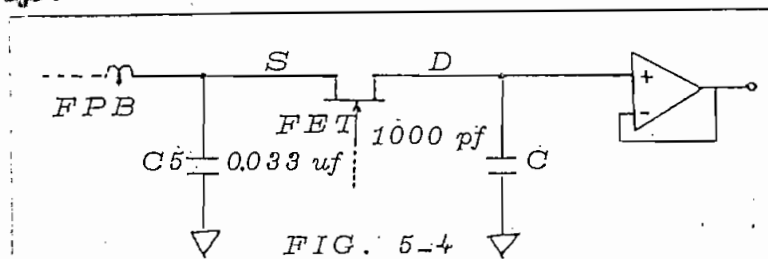
**COMPARADOR ANALOGICO.** - La especificación del CMRR (tipo) = 65db., tiene muy poca influencia debido a que el comparador está trabajando con una entrada a tierra, de manera que el voltaje de modo común es la mitad del voltaje diferencial (entrada del comparador.)

Para evaluar a escala completa el error debido a corriente "offset", se consideró que la impedancia del generador era:

$$R = (8.9 \times 4.7) / 8.6 = 2.2K.$$

Con diferencia de corriente máxima de 1 uA, el voltaje resultante sería:  $2.2K \times 1 \text{ uA} = 2 \text{ mv.} = 0.02\% \text{ EC.}$

**Sistema de muestreo.** - Ante la falta de aparatos necesarios para la medición, no consideramos errores debidos a: variación de rds, respuesta transitoria, acoplamiento sucesivo entre canales debido a corrientes parásitas en el estado de corte y voltaje "offset" en el estado de trabajo.



En el estado de trabajo, el fet transfiere la señal del filtro para bajo al capacitor de salida (común a todos los muestreadores), pero la impedancia de salida del filtro es practicamente (para el intervalo de muestreo)  $1/w C5$  y la impedancia de salida del FET sería  $1/w C$ .

La diferencia de impedancias causará alguna atenuación y transferencia de señal entre canales, de un porcentaje:

$$(1/w C)/(1/w C5) = 33 \quad 1/33 = 3\%$$

Este error puede ser eliminado empleando cuatro operacionales (seguidor de voltaje) entre la salida del filtro y el "source" del FET, pero no había disponibles más amplificadores para este trabajo.

Definiciones:

Voltaje "offset".- En el comparador, es el voltaje máximo necesario a la entrada para llegar a un estado lógico definido. Es una función de la ganancia finita y de la variación en el  $V_{be}$  de los transistores de entrada.

Corriente "offset".- Diferencia de corriente entre dos entradas para llegar a la misma condición.

#### 5.4 ESPECIFICACIONES DEL CONVERTIDOR D/A.

##### 5.4a RESOLUCION.

Se refiere a la capacidad del convertidor para distinguir entre valores adyacentes. Es una función del número de bits en la palabra digital.

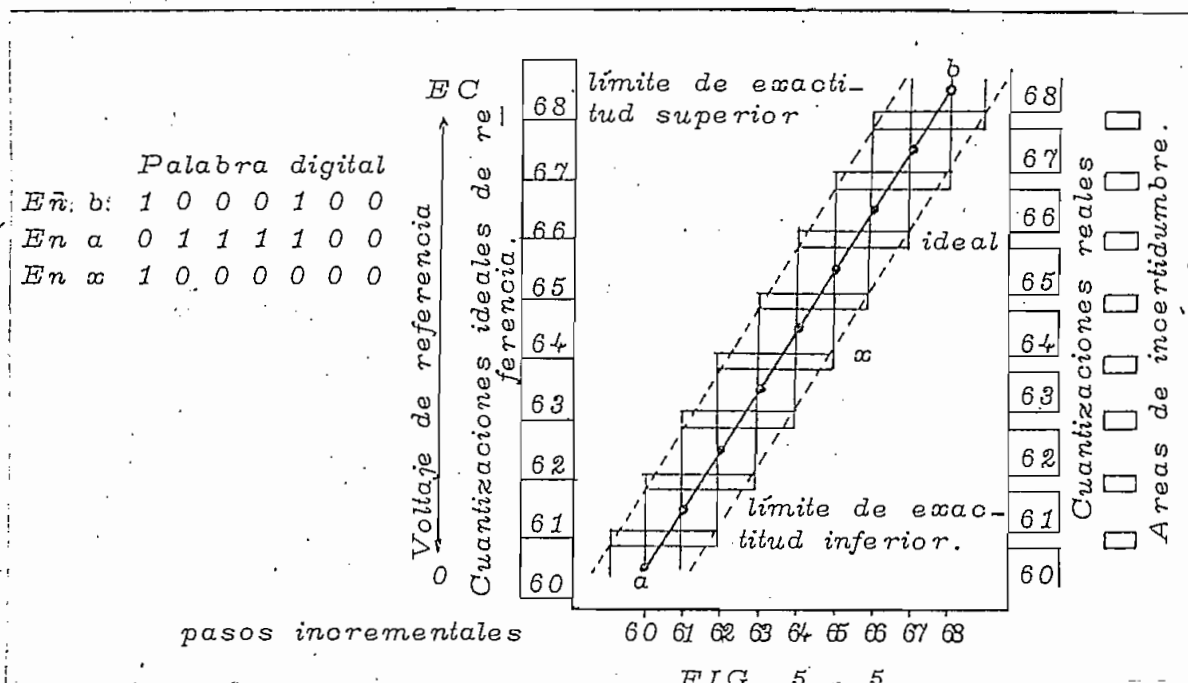
Estos bits introducen un error máximo de conversión de  $BmS/2$ .

En la práctica sin embargo, es limitada por el ruido de varios circuitos analógicos o de conmutación y también por la linealidad y monotonicidad del aparato.

## 5.4b LINEALIDAD.

En este convertidor de alta velocidad es controlada principalmente por el convertidor D/A, el comparador 72710 y la linealidad del operacional, (entrada.)

Linealidad se refiere al ajustamiento de la exactitud de transferencia, que es la relación de la linealidad del voltaje de entrada referido por partes integrales continuas en una línea recta entre 0 y nivel de escala completa.



Por emplear el convertidor en un sistema PCM, deberemos considerar de mucha importancia los errores que afectan la linealidad del convertidor (frecuencias parásitas, intermodulación, etc.), antes que

errores de escala que afecten la ganancia del sistema, pues para solucionar este problema podemos valernos de varios métodos de amplificación.

#### 5.4c EXACTITUD RELATIVA.

Se refiere al nivel nominal de escala completa, sin referencia a la exactitud absoluta de este nivel.

Entonces si por ejemplo 1000000 es producido en el convertidor, ante un voltaje exactamente  $EC/2 = 0v.$ , podría decirse que el aparato tiene una exactitud relativa completa en ese punto; sin embargo, la exactitud relativa deberá relacionar a todos los puntos sobre el rango completo y se la define usualmente como el porcentaje máximo de desviación de la salida de la línea recta trazada desde 0 al valor nominal de  $EC$  y que en éste caso es:  $0.1v. = 1\% EC$ , pues a un valor de  $0.1v.$  se obtiene la palabra digital 1000000 (medido en osciloscopio.)

#### 5.4d VELOCIDAD DE CONVERSION.

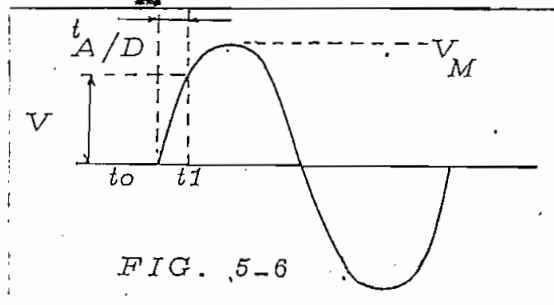
Es especificada en bits por segundo o conversiones completas por segundo; esta determinada por la frecuencia contenida en la señal analógica y la exactitud de conversión requerida o por una combinación de estos factores y el número de señales de entrada analógica que pueden ser convertidas por el  $A/D$  en un intervalo de tiempo. De acuerdo con el teorema de Shannon, para reproducir una señal exac-

tamente, deberá ser muestreada a un intervalo que es por lo me-  
nos dos veces la frecuencia de la más alta frecuencia componente.  
Esto significa que para una señal analógica conteniendo información  
en la banda de 0 a 4000 Hz, la señal deberá ser muestreada y con-  
vertida a digital a una velocidad de 8000 conversiones por segundo.  
El tiempo de apertura de un convertidor A/D, que es el tiempo que  
toma para completar una conversión analógica digital, determina el  
error máximo de conversión de cada paso. Tomando como señal  
analógica una entrada sinusoidal (fig. 5-6), Asu-mi-  
mos conocer su valor analógico en algún tiempo, digamos  $t_0$ ; al  
final de la conversión, en el tiempo  $t_1$ , el equivalente analógico de  
la palabra digital tendrá un error máximo  $\Delta V$ .

El error máximo posible debido al tiempo finito de conversión A/D  
puede ser calculado en el punto donde  $dV/dt$  es máxima:

$$V = V_M \text{ sen } \omega t$$

$$dV/dt = V_M \omega \text{ cos } \omega t = V_M 2\pi f \text{ cos } \omega t.$$



$V_M$  es el voltaje pico de la señal analógica sinusoidal a la frecuencia  $f$ .

En el punto de cruce:  $\frac{\Delta V}{\Delta t} = V_M 2\pi f.$

Entonces, si  $t_{A/D}$  es el tiempo de apertura de la conversión A/D, el voltaje incierto en la conversión alrededor del punto de cruce es:

$$\Delta V = V_M \cdot 2\pi f \cdot t_{A/D} = 5 \times 0.28 \times 4 \times 10^3 \times 32 \times 10^{-6} = 4 \text{ v.}$$

Notamos que el voltaje incierto es una función directa del tiempo de apertura de la conversión A/D. Una reducción en este tiempo causará una reducción directa en el error incierto. Una forma de hacerlo es usando un circuito de muestreo; pues el error es reducido en la relación del tiempo de apertura de la conversión A/D al tiempo de muestreo, esto es:  $4\text{v}/16 = 0.26\text{v} = 2.7\% \text{ EC.}$

#### 5.4e RANGO DE ENTRADA DE VOLTAJE ANALÓGICO A ESCALA COMPLETA.

Rango máximo positivo y negativo de la entrada analógica de voltaje para la operación normal del convertidor A/D:  $\pm 5\text{v.}$

Entrada de voltaje máximo para el degradamiento del convertidor A/D o capacidad del equipo para permitir entradas analógicas sin sufrir daño. Esta característica es limitada especialmente en las fuentes de muestreo por los FET, cumpliéndose una característica deseable en el sistema de comunicación.

#### 5.4f IMPEDANCIA DE ENTRADA AL CONVERTIDOR A/D.

Valor calculado anteriormente: 2K.

#### 5.4g SALIDAS DIGITALES.

	min.	tipo	máx.
El valor de voltaje para lógico uno es	2.4 v	3.5 v	
El valor de voltaje para lógico cero es		0.22 v	0.4 v.
La impedancia de salida medida es	50 o.		

#### 5.4h RANGO DE TEMPERATURA.

El rango de temperatura sobre el cual el equipo deberá operar es 0 a 70°C, determinado por las características de los circuitos integrados.

#### 5.4i FACTORES MECANICOS.

Tamaño: 11,5 cm. x 21.5 cm. x 3 cm.

Salidas:  $\overline{CP}$ ,  $\overline{D8}$   $\overline{CP}$ , s, D8, D4.

Entradas (fuentes de voltaje necesarias): 15 v., 5 v., 12 v., -6v.

#### 5.5 DETALLES DE CONSTRUCCION.

Es necesario realizar ciertas anotaciones sobre experiencias adquiridas en la parte práctica, para lo cual seguiremos el paso de la señal por los diferentes bloques de Fig. 4-1.

Filtros Pasa Bajo.- A la salida de los filtros se podía notar un acoplamiento entre ellos; seguramente debido a la proximidad física. Este se eliminó intercalando pequeñas planchas de aluminio entre los filtros.

Sistema de Muestreo.- Se probó diversos valores de  $R_4$  (Fig. 11a, Capítulo IV) de acuerdo al nivel de voltaje que alcanzaba la señal. Se obtuvo un nivel máximo con una resistencia de 10K. Esto podemos ver en el aparato construido, en el lado de recepción, ya que en el lado de transmisión se empleó el circuito de la Fig. 4-11b por dar una mayor exactitud en la transferencia de la señal.



Convertidor A/D.- En el comparador un problema básico fueron las oscilaciones. Con el osciloscopio se comprobó que provenían de las fuentes de 12 v. y -6 v., por lo que se colocó condensadores de cerámica de 0.01 uf. entre las patas del dispositivo pertenecientes a estos voltajes y tierra. Es muy importante realizar esta conexión directamente desde las patas, porque alambres muy pequeños podrían introducir un valor inductivo que repercuta en el trabajo del comparador. Además, se conectó condensadores de 220 pf. entre las patas de entrada positiva, salida y tierra del comparador.

Bajo este mismo criterio se puso un condensador electrolítico de 10 uf. entre el punto de 5 v. y tierra.

En la parte lógica del circuito el mayor problema constituyó en conseguir condiciones apropiadas para el funcionamiento perfecto de los circuitos SN74107, pues según especificaciones las entradas J y K deben tener un tiempo de duración igual o mayor que el del pulso positivo del reloj y además el "Clear" de los F debe terminar antes que comience este pulso.

Esta última condición se cumplió haciendo el reloj de los F  $CPF$  y  $C1 = CPF \times D8$ . Con esto se cumplía también la primera condición, pues J y K cambian cada 4us., según CP.

Las mismas condiciones tenían que regular el funcionamiento del 74107

utilizado para lograr la salida serial, por lo que se utilizó el circuito 74174 controlado por CP, pues se lograba igual tiempo de duración para las señales J y K, además, este tiempo sería mayor que el pulso positivo del reloj del Flip-Flop 74107 (CPF).

Si no se utilizaba el circuito 74174, los tiempos de duración de las entradas J y K del 74107 no tendrían una duración definida, dando una salida serial del convertidor errónea.

En el lado RX, los bloques de conversión serie-paralelo (registor de desplazamiento y retenedores de datos), convertidor D/A y sistema de muestreo funcionaron perfectamente.

Se debe anotar que la señal sufre una fuerte atenuación al pasar por los filtros de salida, sin embargo como esto se puede remediar fácilmente mediante pasos de amplificación, transformando el par de Darlington en un triple de Darlington o diseñar el par para que a la vez constituya un paso de amplificación, no estimamos necesario hacerlo en este trabajo.

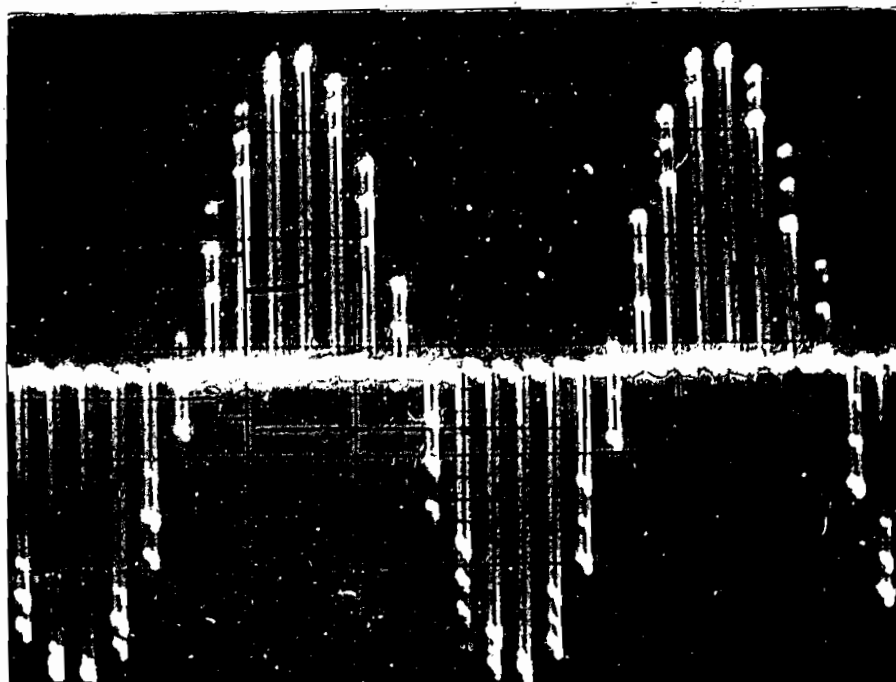
A la salida, la señal se obtenía en uno de los cuatro canales, habiéndola puesto en una entrada determinada en el lado TX. Esto se remedió conectando el pulso  $1' = \overline{Q1} \overline{Q2} D8$  del lado TX al "Clear" de los dos Flip-Flop que forman el contador módulo 4 del control para el sistema de muestreo en el lado RX, con esto se logró la sincronización de las señales de entrada y salida.

En la fotografía del lado de transmisión se puede apreciar dos tarjetas: en la primera están las fuentes reguladoras de voltaje y el sistema de muestreo, en la segunda está el convertidor A/D. El lado de recepción está compuesto por la cuarta tarjeta de izquierda a derecha, compuesta por el convertidor D/A (DAC9) que ocupa los tres zócalos de la parte inferior izquierda de la tarjeta, los registros de desplazamiento, retenedores, sistema de muestreo y los "par de Darlington". Debemos anotar que los ocho filtros para la entrada y la salida del sistema están contruídos en la tercera tarjeta.

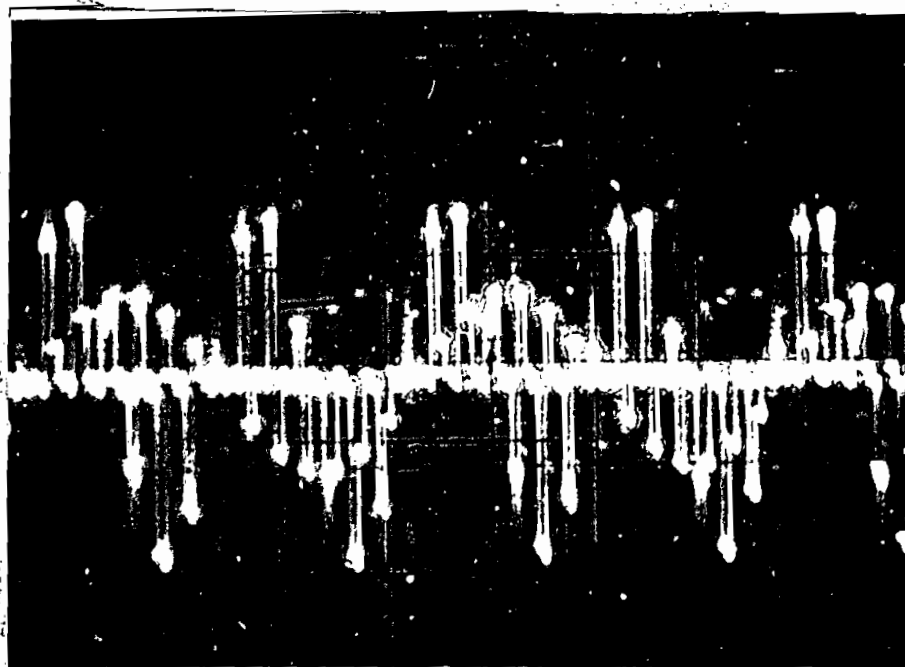
## 5.6 EXPERIMENTACION.

Muestreo de la señal.- La fotografía 2 es tomada a la salida del sistema de muestreo en el lado TX. La señal sinusoidal de entrada es de 1 KHz y podemos mirar la similitud que existe entre la fotografía y el estudio realizado en la fig. 4-2 (Capítulo IV), pues en ambas existen niveles de muestreo idénticos a pesar que en la fotografía se ven mayor número de muestras.

La fotografía 3 es el muestreo de señales de 1 y 2 KHz y relacionando con la fig. 4-2 podemos decir que el número de muestras tomadas de la señal de 1 KHz son iguales en ambos casos; con respecto a la señal de 2 KHz, es muestreada solamente en dos ni



Fotografía 5 - 2



Fotografía 5 - 3



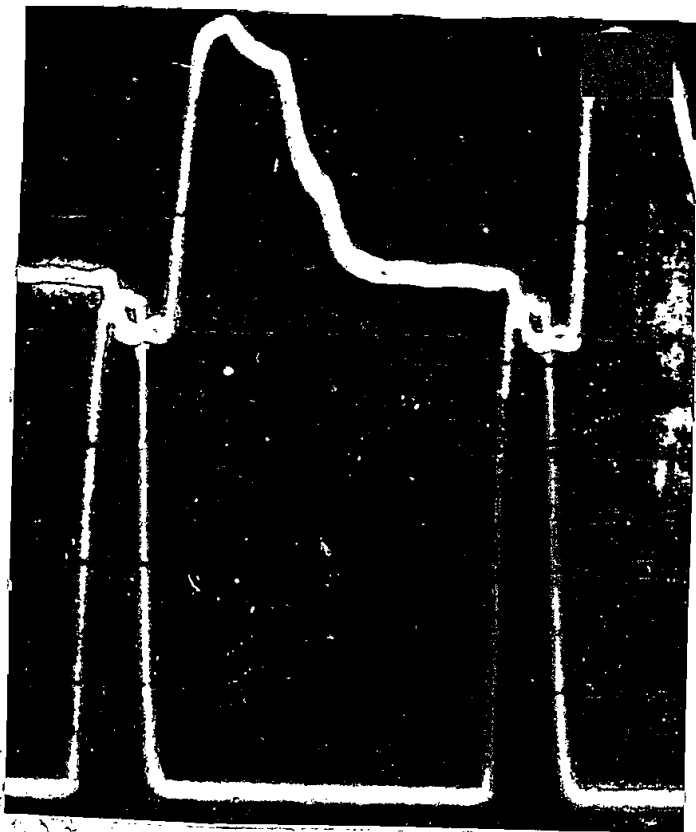
Fotografía 5. - 4

veles (positivo y negativo) que es lo que esperábamos.

Finalmente en fotografía 4 vemos el muestreo de cuatro señales de frecuencia: 0.5 KHz, 1 KHz, 2 KHz y 3 KHz. Podemos admirar como se intercalan las muestras de una y otra señal demostrando lo estudiado en Capítulo I, sección 1.3a (fig. 1-3, pág. 1-8.)

En la fotografía 5 vemos la entrada (parte superior) y la salida (parte inferior) del comparador cuando no existe ninguna entrada al convertidor A/D; notemos la nitidez de la salida (sin oscilaciones).

En la fotografía 6 y en el mismo orden se encuentran las señales de entrada y salida del comparador cuando existe señal a la entrada del convertidor A/D y como ésta es sinusoidal las dos señales de la fo-



Fotografia 5



Fotografia 6

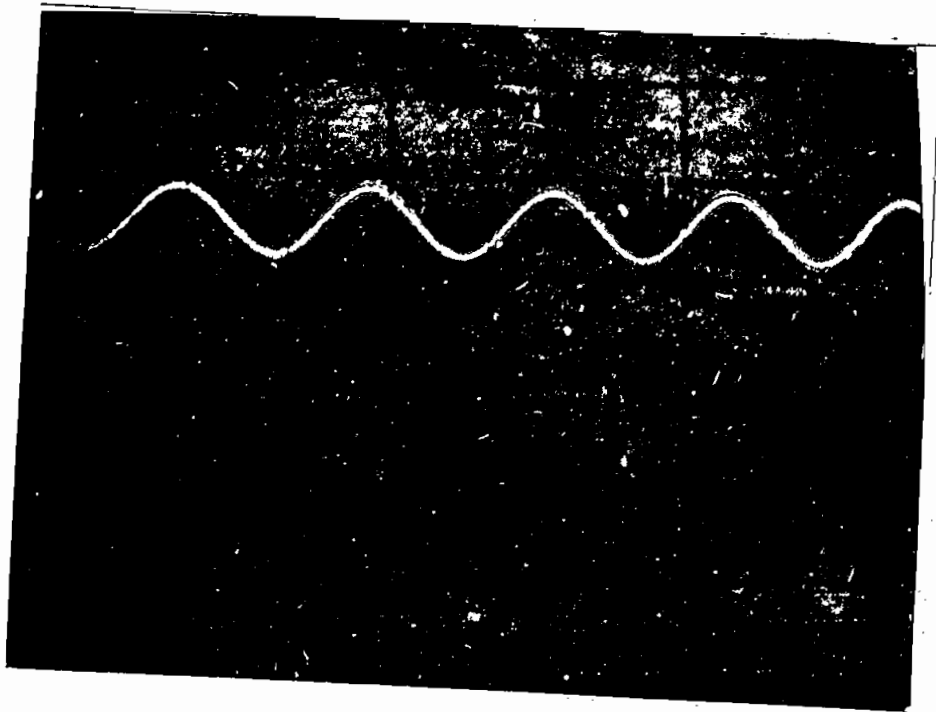
tografía están cambiando y con mayor nitidez y ampliación se habría notado la salida serial invertida en la señal de salida del com  
parador.

La fotografía 7 expone dos señales tomadas de dos canales (terminales  
del lado RX). Las características de estas señales son:

f	a la entrada	a la salida	característica
(KHz)	(voltios)	(voltios)	(color)
1	4	0.7	claro
2	13	2.4	oscuro

TABLA 5 - 1

La señal de 2 KHz medida da el valor de la amplitud máxima, pues con mayor amplitud la onda se distorsiona.



Fotografía 7

b. Ruido de cuantización ( $R$ ). - Para medirlo hacemos la entrada alterna igual a 0v. y ponemos un valor de voltaje continuo igual al equivalente del BmS (10/127 v.) en la entrada del convertidor A/D, pues si la pusiéramos a la entrada del sistema, los condensadores del filtro pasa bajo impedirían su paso; luego medimos el ruido en el terminal de RX, siendo 4 mv.

$$R = 4 \text{ mv.} - \tau = 1 \text{ mv.}$$

Como vemos es un valor bastante bajo ya que sería 0.01% EC.

c. Ruido total ( $R_t$ ). - Fue medido al transmitir una señal nítida que llegaba con el nivel de ruido cuyo valor es:  $R_t = 10 \text{ mv.}$

Este valor se debe a que al tener en la entrada del sistema una señal alterna, obliga a trabajar al sistema de muestreo que produce frecuencias altas causando los 6 mv. de ruido (60%  $R_t$ ).

3) Intermodulación ( $I$ ). - Medición en los canales de salida:

$$C1 = 1.5 \text{ v.}$$

$$C2 = 0.7 \text{ v.}$$

$$I = 20 \log (C2/C1) = -6.7 \text{ db.}$$

Este valor se debe a la transferencia de carga en el sistema de muestreo.

4) Distorsión. - Lamentablemente cuando se debía realizar esta medición ocurrió un cortocircuito que quemó el convertidor D/A DAC9 del cual no se tiene repuesto.



## 5.7 MEDICIONES

1) Amplitud de la señal y linealidad del sistema.- A base de los datos de la Tabla 5-1 podemos calcular:

Relación entrada a salida en el sistema =  $4/0.7 = 5.3$ .

Para calcular o evaluar la linealidad del sistema se realizó mediciones de amplitud de la señal de entrada y salida que indico en la siguiente tabla:

Vpp a la entrada (v.)	Vpp a la salida (v.)
0.3	0.04
0.8	0.12
2	0.4
4	0.8
5	0.9
8	1.8
13	2.4

TABLA 5 - 2

A base de estas mediciones concluímos que el sistema se comporta linealmente ante variaciones de amplitud.

2) Ruido.- Debido a varias causas y con  
a. Ruido electrónico ( $r$ ), medido cuando las entradas alterna y continua son iguales a cero:  $r = 3$

## 5.8 CONCLUSIONES Y APLICACIONES.

El problema presentado al pasar la señal por el filtro pasa bajo de salida se puede remediar mediante la utilización de cualquier método de ampliación.

Si miramos los valores de ruido en el sistema, podemos notar que es bastante bajo comparado con los valores en un sistema analógico. Con respecto a intermodulación, si empleáramos operaciones como seguidores de emisor para acoplamiento de las impedancias de salida del filtro pasa bajo y entrada del FET, en el sistema de muestreo, obtendríamos:  $I \approx 0$  db., característica muy deseable.

Como hemos visto en el Capítulo I y probado con las mediciones realizadas el sistema PCM presenta muchas ventajas, por lo que es muy utilizado. En nuestro medio las aplicaciones son especialmente para telemetría, pues en otras ramas como telecomunicaciones, en nuestro país no es utilizado, a pesar de constituir un sistema económico (ej: aviones Jet),

## BIBLIOGRAFIA

### CAPITULO I.-

"Handbook of pulse digital devices for communication and data processing", Harry E. Thomas, Prentice Hall 1.970.

"IRE", Enero 1.961, pág. 205.

### CAPITULO II.-

"Analog to digital/Digital to analog conversion techniques", David F. Hoeschele, Jr., John Wiley & Sons, Inc., New York, Febrero 1.968.

"Investigation and study of a simplified means of analog-to-digital conversion", Robert V. Cotton, Philco Corporation, Research Report H-2237-I, Abril 1.960.

"Analog-to-digital conversion techniques", Francis D. Daley, Jr., Electro-Technol., Mayo 1.967.

"A/D conversion techniques", S. Wald, Electronic Design, New York, Hayden Publishing Company, Agosto 1.962.

"New digital conversion method provides nanosecond resolution", Electronics, Mayo 1.963.

"An unusual electronic analog-digital conversion method", B. D. Smith, Jr., IRE Transactions on Instrumentation, Junio 1.956.

### CAPITULO III.-

"Wave generation and shaping", Leonard Strauss.

"Theory and design of digital machines", Bartee, Lebow, Reed,  
McGraw - Hill, New York 1. 962.

"IEEE", Spectrum, Octubre 1. 972, Pág. 80 a 86.

"Electronics", Septiembre 1. 972, págs. 117 a 120.

"Electronics", Marzo 1. 972.

"Electronics".

"Data systems Inc.", Total vertical integration, Primera impresión  
1. 972, págs. 23, 456 y 7.

"A successive a proximation register", R. C. Chest, Digital  
Applications, Octubre 1. 972, págs. 1 a 12.

"Advanced micro devices Inc.", Am. 2502/2503/2504, eight bit/twelve  
bit successive approximation registers.

### CAPITULO IV.-

"Electronic analog and hybrid computers kern", McGraw - Hill, New  
York 1. 964.

"Digital transistor circuits", Harris, Gray, Searle, Wiley 1. 966.

"Linear circuits", Part I (Time domain analysis), Ronald E. Scott,  
Wesley, Massachusetts 1. 967.

*"Electronic fundamentals and applications", John D. Ryder, Prentice Hall of India, New Delhi 1.969.*

CAPITULO V.-

*"An introduction to Probability theory and its applications", William Feller, Volumen I, Segunda edición, New York, Wiley 1.957.*

*"Mathematical methods of statistics", Harold Cramer, Princeton, N.J., Princeton University Press, 1.945.*

*"Statistical models in Engineering", G.J. Hahn and S.S. Shapiro, New York, Wiley 1.967.*