

ESCUELA POLITECNICA NACIONAL
FACULTAD DE INGENIERIA ELECTRICA

SISTEMA DE ADQUISICION DE DATOS
PARA COMPUTADORES PERSONALES

JORGE V. ECHEVERRIA P.

TESIS PREVIA A LA OBTENCION DEL TITULO DE
INGENIERO EN ELECTRONICA Y CONTROL

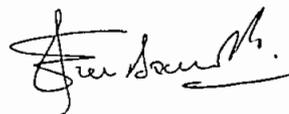
QUITO, ABRIL 1990

A mi madre

A G R A D E C I M I E N T O

Agradezco a todas aquellas personas que directa o indirectamente contribuyeron a la realización de este trabajo, de manera especial al Ing. Patricio Burbano por su acertada dirección y al Ing. Rafael Fierro por su permanente estímulo.

Certifico que el presente trabajo
ha sido realizado en su totalidad
por el Sr. Jorge Echeverría P.



Ing. Patricio Burbano

DIRECTOR DE TESIS

CONTENIDO

CAPITULO 1.- GENERALIDADES

1.1	Introducción.....	2
1.2	Objetivo y justificación.....	4
1.3	Definiciones fundamentales.....	7
1.4	Arquitectura del sistema.....	19
1.5	Diagrama de bloques general.....	22

CAPITULO 2.- DISEÑO DEL SISTEMA

2.1	Especificaciones.....	25
2.2	Fuentes de polarización.....	27
2.3	Circuitos de amplificación y protección.....	37
2.4	Sistema de entrada análoga.....	42
2.4.1	Aspectos fundamentales.....	43
2.4.2	Módulo de conversión A/D	62
2.5	Sistema de salida análoga.....	67
2.5.1	Técnicas de conversión.....	67
2.5.2	Módulo de conversión D/A.....	77
2.6	Módulo de entrada y salida digital.....	81
2.7	Transmisión y recepción serial.....	84
2.7.1	Generalidades.....	84
2.7.2	Módulo de transmisión y recepción serial.....	93
2.8	Plano eléctrico del sistema.....	96

CAPITULO 3.- DISEÑO DE LOS PROGRAMAS

3.1	Estructura general.....	99
3.2	Programa principal para el microcontrolador....	101
3.3	Subrutinas en el microcontrolador.....	116
3.3.1	Muestreo de un canal A/D de entrada.....	117
3.3.2	Control de un canal D/A de salida.....	130
3.3.3	Lectura de la entrada digital.....	138
3.3.4	Escritura en la salida digital.....	140
3.3.5	Lectura sincrónica del canal digital.....	142
3.3.6	Adquisición de 100 muestras.....	145
3.4	Programa principal para el computador personal.	147
3.5	Subrutinas en el computador personal.....	153
3.5.1	Muestreo de un canal A/D de entrada.....	153
3.5.2	Control de un canal D/A de salida.....	161
3.5.3	Lectura de la entrada digital.....	163
3.5.4	Escritura en la salida digital.....	166
3.5.5	Lectura sincrónica del canal digital.....	168
3.5.6	Adquisición de 100 muestras.....	170

CAPITULO 4.- CONSTRUCCION Y RESULTADOS EXPERIMENTALES

4.1	Pruebas de laboratorio.....	173
4.1.1	Muestreo de la carga de un capacitor.....	173
4.1.2	Control de un display de 7 segmentos.....	174
4.1.3	Lectura del teclado.....	175
4.2	Aplicaciones realizadas y resultados obtenidos.	177
4.2.1	Control PID de tanques acoplados.....	177

4.2.2	Control digital de un motor de pasos.....	183
4.3	Esquema mecánico.....	186

CAPITULO 5.- CONCLUSIONES Y RECOMENDACIONES

5.1	Conclusiones.....	194
5.2	Recomendaciones.....	197
5.3	Bibliografía y referencias.....	198

ANEXOS

ANEXO A.	Manual de operación y mantenimiento.....	A.1
ANEXO B.	Hojas de datos de elementos utilizados.....	B.1
ANEXO C.	Análisis económico.....	C.1

CAPITULO 1.- GENERALIDADES

- 1.1 Introducción
- 1.2 Objetivo y justificación
- 1.3 Definiciones fundamentales
- 1.4 Arquitectura del sistema
- 1.5 Diagrama de bloques general

1.1 INTRODUCCION

Debido a la necesidad de un sistema de adquisición de datos y control para la enseñanza y práctica del control digital se intenta llenar este vacío con la construcción de un interface de adquisición de datos para múltiples aplicaciones de propósito general y bajo costo, incorporando interfaces análogo-digitales (A/D), digitales-análogos (D/A) y microcontrolador, con la finalidad de establecer la comunicación con un computador personal vía RS-232 para realizar control digital.

El interface de adquisición de datos está diseñado para aplicaciones en tiempo real, mejorando de esta manera la instrumentación existente y permitiéndonos realizar los diferentes tipos de control y monitoreo de procesos.

Cabe mencionar que el prototipo construido se desarrolló como parte del proyecto de investigación CONUEP - EPN 87-01 "CONTROL DE PROCESOS EN TIEMPO REAL".

El prototipo está construido en base al microcontrolador 8751, consta de 8 canales análogos de entrada, cuatro canales análogos de salida, un canal digital de entrada y un canal digital de salida. El computador que controla el sistema puede ser un IBM PS/2, IBM PC, o compatibles que dispongan de un puerto serial programable con el compilador Quick - Basic en el cual se desarrollan los programas co-

responsdientes, utilizando así los recursos existentes en la Facultad de Ingeniería Eléctrica.

La presente tesis está dividida en cinco capítulos, los cuales se exponen brevemente a continuación.

En el primer capítulo, se tratan las generalidades: se hace una breve introducción, definición de objetivos que se pretenden alcanzar, razones que motivaron la construcción del equipo, definiciones fundamentales tanto de la teoría de control como de los circuitos y algoritmos utilizados, se esboza la arquitectura general del sistema y finalmente se presenta un diagrama de bloques general.

En el segundo capítulo se explica el diseño del sistema: especificaciones y diseños: de la fuente de poder, de la unidad de control central, de los circuitos de amplificación y protección, de los sistemas de entrada analógica y de salida digital, de los circuitos de transmisión y recepción serial y finalmente se presenta un plano eléctrico general.

En el tercer capítulo se detalla el diseño de los programas tanto del microcontrolador como de los desarrollados para el computador personal.

En el cuarto capítulo se presentan los resultados de las pruebas de laboratorio y aplicaciones realizadas junto con un esquema mecánico del equipo.

Finalmente en el quinto capítulo se resumen las conclusiones y recomendaciones recopiladas a lo largo del presente trabajo. Adicionalmente se incluyen manuales de operación y mantenimiento; hojas de datos de principales elementos y un análisis económico del equipo.

1.2 OBJETIVO Y JUSTIFICACION

Históricamente, la adquisición de datos con fines científicos o industriales, fue implementada en grandes mainframes o sistemas de minicomputadoras. Dichas máquinas trabajaban con 16 bits y corrían en tiempo compartido o multitarea. Su complejidad y precio implicaba su centralización y una atención a varios usuarios y aplicaciones. Trabajos pequeños o remotos eran relegados a la forma manual, o en el mejor de los casos a simples técnicas electrónicas pues no se justificaba el capital y el trabajo requeridos para la computarización de tales procesos.

Hacia la década de los años 60, se disponía en el mercado de un amplio rango de dispositivos de tipo neumático y electrónico para supervisión y control de procesos industriales. Desde entonces se ha producido un profundo cambio con la aplicación de los computadores a dichos procesos; en especial, desde la segunda mitad de los años 70 con el impacto del microprocesador en la industria y con el consecuente apareamiento de los computadores personales, los cuales día a día van revolucionando la tecnología moderna a través de

la utilización de la informática con hardware y software cada vez más poderosos.

La primera vez que se utilizó un computador digital para controlar un proceso industrial fué a principios de 1960 en Gran Bretaña, en una planta química de Lancashire. Pese a la complejidad y costo de las aplicaciones de los computadores a procesos industriales, éstas han ido multiplicándose. Ahora, frente al desarrollo de los computadores, de su bajo costo y flexibilidad tanto en hardware como en software la concepción de un proceso industrial ha cambiado: terminales de video son utilizados por los operadores para la supervisión de la planta.

Grandes paneles de instrumentos, perillas, interruptores han sido substituidos por teclados y pantallas. La planificación, desarrollo y supervisión de las más variadas tareas son realizadas con la ayuda de los computadores, los cuales permiten una mayor capacidad para implementar sofisticados algoritmos de ayuda para monitoreo y operación de la planta por complicada que ella sea, o distribuida que se encuentre. Los supervisores e ingenieros, gracias a este monitoreo permanente, tienen información concerniente al estatus de operación de la planta, lo cual da lugar a una supervisión más eficaz y completa del proceso. Así pues, la implementación de los conceptos fundamentales de los sistemas de control realimentados con instrumentación neumática y electrónica han cambiado con las técnicas digitales, siendo ahora éstas

últimas las estándar en el control de los procesos industriales.

El objetivo de la presente tesis de grado es el diseño y la construcción de un sistema de adquisición de datos programable, utilizando un microprocesador. En el prototipo se tendrán programadas las acciones básicas de muestreo: amplificación variable, selección de los canales análogos de entrada y de salida, comunicación serial bidireccional con un computador personal desde el cual se controlará el sistema.

El advenimiento de las modernas computadoras personales (PC), hace posible que virtualmente todos tomen ventaja de la flexibilidad, potencia y eficiencia de la adquisición y control computarizados de datos.

Las PCs ofrecen un alto comportamiento y bajo costo unido a un fácil uso, gracias al alto grado de estandarización en la fabricación de PCs y conversores D/A y A/D, el resultado es que un ingeniero o científico, en forma individual puede desarrollar un sistema de adquisición y control (SAYC) en una fracción de tiempo y costo del anteriormente requerido.

Las comunicaciones seriales requieren que el sistema de adquisición de datos tenga su propio microprocesador, el cual facilita la operación remota, reduciendo el trabajo de la computadora central.

La posibilidad de tener sistemas remotos, nos permite la construcción de sistemas distribuidos, los cuales pueden monitorear y controlar un gran número de parámetros que físicamente se originan lejos de la computadora principal (cientos de metros). Esta capacidad incrementa la productividad y reduce el costo total del sistema.

Entre las razones que motivaron la construcción de este prototipo cabe mencionar :

- La construcción de un prototipo de interface para el desarrollo de la investigación en control digital.
- La enseñanza de la teoría y práctica del control digital.
- Desarrollo de un laboratorio de control de procesos en tiempo real en la Facultad de Ingeniería Eléctrica.
- La diversidad de aplicaciones que podría tener el prototipo para una instrumentación en tiempo real.

1.3 DEFINICIONES FUNDAMENTALES

Simplemente expuesto, "adquisición de datos" es la colección de información que describen una situación, desde el punto de vista del control automático, los datos mencionados describen la dinámica de la planta. Los datos reflejan que estuvo pasando mientras una condición se satisfacía. Usualmen-

te, esta condición es definida por una base uniforme de tiempo, pero puede ser controlada por cualquier evento.

Los sistemas de "tiempo real" se caracterizan por la habilidad de ejecutar la adquisición de datos y/o control en un "apropiado" intervalo de tiempo. La velocidad a la que el sistema debe responder depende de los requerimientos de velocidad y precisión de la aplicación.

Para todos los sistemas de adquisición de datos o control, no importa cuan lentos sean, en una aplicación suficientemente lenta, el sistema será de "tiempo real".

El "control de procesos" implica la generación de señales de salida en respuesta a datos de entrada. El control puede ser de "lazo abierto" o de "lazo cerrado", apagar un horno a las 4:00 PM es un ejemplo de lazo abierto, mientras que apagar el horno porque está demasiado caliente representa un control en lazo cerrado.

Con el vocablo "proceso" en general se hace referencia a una operación progresivamente continua, caracterizada por una serie de cambios graduales debido a una secuencia de acciones que llevan de una u otra manera a un determinado resultado o fin; los procesos pueden ser químicos, de manufactura, de transportación, energía, económicos, biológicos, etc. y pueden estar afectados por perturbaciones, inclusive de tipo aleatorio.

La figura 1.1 nos muestra el esquema del "control de procesos en tiempo real".

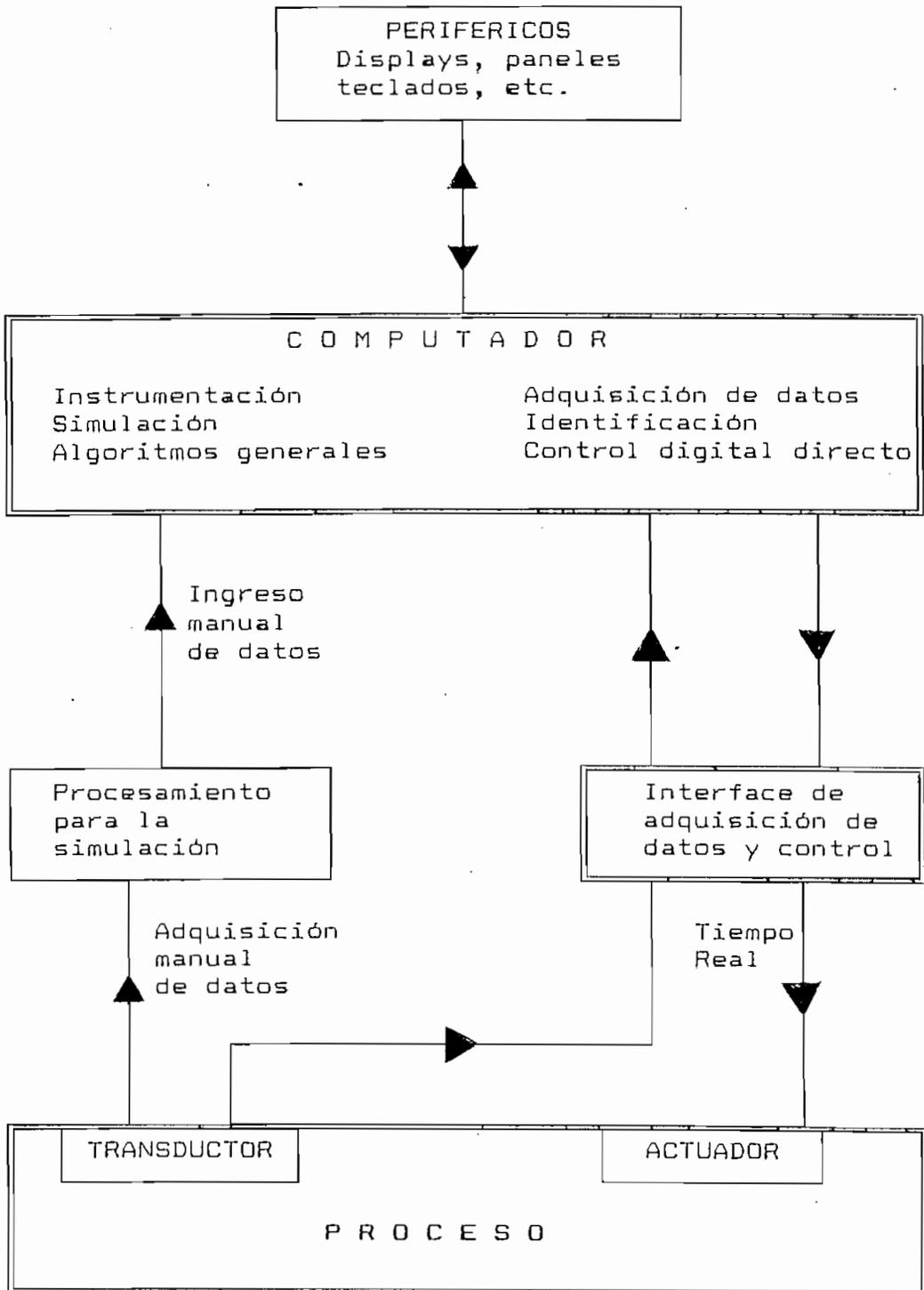
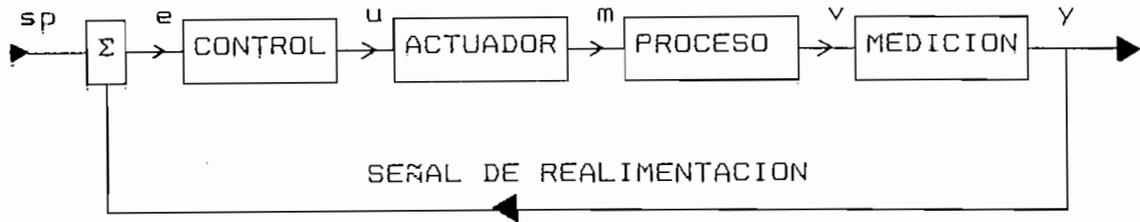


Fig. 1.1 Control en tiempo real y simulación

El objetivo del control o supervisión de un proceso industrial es el de lograr una producción deseada (un producto o un pequeño grupo de productos afines), a un costo aceptable, de una calidad adecuada y con una mínima contaminación al medio ambiente. En este caso, la atención se concentra en ciertas variables de interés del tipo : temperatura, presión, nivel, posición, composiciones de flujo de fluidos o sólidos pulverizados (materia prima), eficiencia, flexibilidad, etc.

Para cumplir con los objetivos de la supervisión y control, han de mantenerse en forma óptima, estas variables de los procesos, tan cercanas como sea posible a ciertos valores deseados, denominados referencias; esto es, ha de regularse dichas variables. En la refinación del petróleo por ejemplo, se pueden obtener derivados de las bandejas de una columna de destilación bajo ciertas condiciones de presión y temperatura dadas por la dinámica de la planta. Para ello desde un punto de vista clásico, se deben manipular válvulas de control de flujo, posicionadores, bandas, etc., mediante instrumentación análoga ensamblada en grandes paneles (en una estación central de control). Estos instrumentos indican los valores actuales de la referencia (set point) de la variable de salida del proceso (señal de realimentación) y de las señales del actuador (salida del controlador, debido a una señal de entrada del proceso), según se aprecia en la figura 1.2



sp = set point
 e = señal de error
 u = señal de control

m = variable manipulada
 v = variable de salida
 y = señal medida

Fig. 1.2 Sistema de control realimentado

Toda esta instrumentación era muy compleja (por razones de seguridad, confiabilidad y operación) antes del advenimiento de la técnica del computador en línea (ON - LINE); esto es, técnica en la que el computador forma parte activa en el lazo de control del proceso y no es un mero auxiliar remoto que actúa independientemente (OFF - LINE).

Esto no quiere significar que la utilización del computador on-line elimina totalmente el uso de por ejemplo instrumentos de medida en ciertos lugares claves de la planta. Es así que se puede decir que el cambio a un control computarizado de procesos constituye un evolución más bien que una revolución puesto que los métodos modernos han sido progresivamente adaptados a la tecnología digital (en contraste con el control numérico de máquinas herramientas cuyo fundamento es enteramente digital). De cualquier forma se requiere de un modelo dinámico del proceso a regularse, modelo sobre el

cual ha de basarse la supervisión o el control. Los modelos son dinámicos pues el proceso involucra cambios en las variables en el tiempo.

Por tener mayor aplicación en nuestro medio, se pone énfasis en el control computarizado de procesos industriales del tipo digital directo que se ilustra en la figura 1.3 en la cual la acción de control se realiza a través de un computador en el caso de algoritmos complejos (identificación, control adaptivo), o un microprocesador si el algoritmo es sencillo (P.I.D.) discreto.

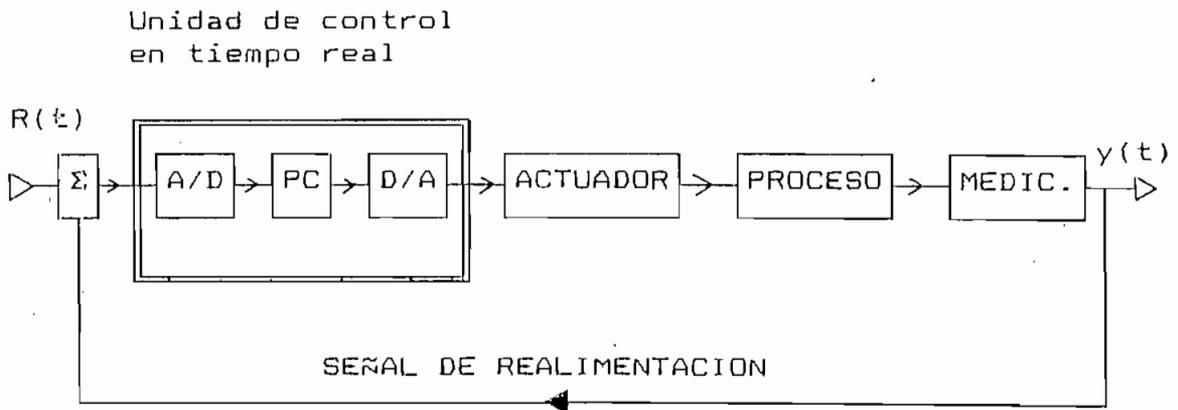


Fig. 1.3 Control digital directo

Para poder realizar el control digital es indispensable la utilización de un interface de adquisición de datos A/D para convertir las señales analógicas a digitales para la entrada al computador y conversión D/A para transformar a la señal

discreta de control a una señal analógica compatible con la planta. Adicionalmente el interface permite seleccionar el período de muestreo T , utilizado en la secuencia KT , $K = 0, 1, 2, 3, \dots$.

Este sistema se conoce también como sistema de datos muestreados ya que maneja señales tanto continuas como discretas.

El esquema planteado en la Fig. 1.3 permite salir del ámbito de la simulación, ilustrada en la Fig. 1.1, en la cual se trabaja con datos, información, o modelos procesados manualmente (ingreso manual de datos) para su posterior utilización con un computador digital en un esquema fuera de línea (OFF-LINE). El SAYC permite trabajar en un esquema en línea (ON-LINE) en el cual como se puede apreciar en la Fig. 1.3, el computador forma parte del lazo de control, lo cual permite aplicaciones en tiempo real, a través de una instrumentación de tipo digital para captar las mediciones directamente de la planta o el equipo y almacenarlos en un computador personal para su inmediato procesamiento en "tiempo real" o posterior procesamiento en simulación.

El esquema de control en tiempo real propuesto es posible hoy en día con la disponibilidad de poderosos microcomputadores, gran rapidez de comunicación, capacidad multiusuario (interconexión de subsistemas), gran memoria y bajo costo.

Todo está unido a una flexibilidad enorme dada por la utilización de paquetes de software disponibles junto con el equipo de control digital, que se adquiere en el mercado para las actividades de control supervisor, secuencial, interface, comunicación, tiempo real, etc.; y la disponibilidad de lenguajes que permiten la elaboración de programas específicos.

Esta flexibilidad no se consigue con la instrumentación convencional puesto que ahora el control se hace por software y no por hardware difícil de modificar.

Microcontroladores

Los microcontroladores fueron introducidos en los años 70 debido a la necesidad de realizar control digital en procesos industriales, que gracias a las técnicas de integración, se puede tener prácticamente un microcomputador en una sola pastilla donde se integra la unidad de procesamiento (CPU), la memoria y los dispositivos de entrada y salida, dando como resultado un elemento muy versátil y preciso que con el adecuado software puede reemplazar fácilmente a circuitos digitales de gran tamaño, obteniéndose un equipo de mayor confiabilidad y bajo costo; aspectos de mucha importancia en aplicaciones industriales actuales.

La aplicación de los microcontroladores dependerá del proceso a ser controlado, por tanto si el proceso no es compli-

cado es posible que el algoritmo de control sea directamente implementado en el microcontrolador y además él realice las operaciones de monitoreo de las señales, activado de alarmas y control de interrupciones.

Si el proceso a controlar involucra un alto número de variables y subprocesos, será necesario implementar un control jerárquico donde la unidad de control principal (master) estará constituida por un computador en el cual estarán implementados los diferentes algoritmos del control y además dirigirá el trabajo del o de los microcontroladores.

En este caso, el microcontrolador tendrá como funciones básicas : el acondicionamiento digital de las señales, es decir, debe manejar la interface analógica digital y deberá comunicarse adecuadamente con el computador por algún formato estándar de comunicaciones, como por ejemplo el EIA RS-232 SERIE mediante un canal full duplex y alta confiabilidad, dando la posibilidad de enviar y recibir la información, y por último, deberá manejar la interface digital-analógica la cual actuará sobre el proceso para que la variable controlada permanezca dentro de los rangos normales de operación y eventualmente almacene la información en un cierto periodo.

En la Fig.1.4 se presenta un diagrama de bloques de un sistema de control digital básico, utilizando un microcontrolador :

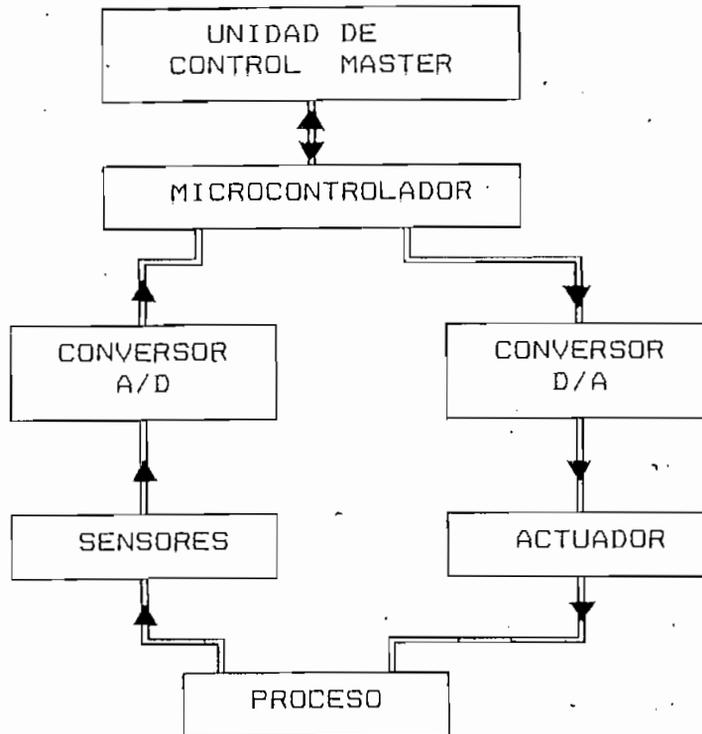


Fig. 1.4 Sistema de control digital con microcontrolador

Como se puede observar en la figura anterior a más del microcontrolador son necesarios otros elementos, por ejemplo los conversores y sensores, pero gracias al desarrollo de la tecnología digital es posible conseguirlos en el mercado en gran variedad y a relativo bajo costo, de esta forma es posible implementar el diseño completo de un sistema de control digital.

Cabe mencionar que debido a la gran difusión de los computadores personales, se ha desarrollado una gran variedad de hardware y software que sirve de soporte para el diseñador del sistema, permitiéndole por ejemplo el simular por soft-

ware el funcionamiento del microcontrolador, programarlo mediante el PC, etc., por tanto el computador personal se convierte en una poderosa herramienta de diseño.

En las líneas anteriores se han mencionado las ventajas que tiene el uso de los microcontroladores, pero no hay que perder de vista algunas de sus limitaciones; así por ejemplo: la longitud de la palabra digital, que actualmente es de 8 bits y los tiempos de retardo que se producen al procesar la información.

Estos aspectos, poco a poco están siendo superados, ya que los fabricantes de los microcontroladores ya están introduciendo en el mercado procesadores más rápidos, de menor consumo de potencia, de palabras digitales de mayor longitud y dándoles características nuevas, como un intérprete BASIC y conversores A/D y D/A incorporados en la pastilla de silicio; por tanto el microcontrolador resultante será más versátil, para cumplir con el control de procesos industriales. El microcontrolador, en el prototipo, tiene la función de administrar los recursos del sistema, es decir controla los conversores A/D y D/A, los registros de entrada y salida digital y las comunicaciones seriales con la computadora personal, razones por las cuales se utilizó el microcontrolador 8751 el mismo que gracias a sus 4 pórticos de entrada y salida permite definir buses de datos, de control, de direcciones y utilizar líneas dedicadas para la comunicación serial, la misma que es controlada por programa.

Para el caso de la presente tesis, el objetivo de utilizar un microcontrolador no es el de implementar la ley de control en dicho dispositivo, sino más bien el de utilizarlo como elemento de control del sistema.

Unidad de conversión de datos

La eficiencia de una computadora digital, radica en que trabaja en un lenguaje "propio" y "limitado". La mayoría de cosas en el mundo real no tienen este formato (por ejemplo: amplitud, nivel, tiempo, etc). y no pueden ser aceptados directamente por la computadora.

Es el sistema de adquisición de datos el que efectúa esta función de traducción. Interno a la unidad de adquisición, hay una variedad de componentes que facilitan la operación de conversión. Estos incluyen : conversores análogo-digital- (A/D), digital-análogo (D/A), multiplexers, sample/holds, amplificadores, contadores/timers y algunos más de funciones especializadas.

La más importante característica del sistema de adquisición de datos es que brinda juntas todas estas sofisticadas funciones en un solo sistema integrado y compatible. Con el software adecuado, el usuario puede utilizar toda esta tecnología sin estar familiarizado con los detalles de construcción internos del sistema.

1.4 ARQUITECTURA DEL SISTEMA

Existen dos posibles formas de construir los sistemas de adquisición de datos : mediante una conexión directa al bus de la PC (productos de bus interno) o mediante una conexión a través de un canal de comunicaciones estándar como el RS-232, RS-422 o IEE-488 (Productos de bus externo). Cada método tiene sus ventajas y desventajas.

Productos de bus externo:

Las ventajas asociadas a la transmisión serial incluyen :

Virtualmente cualquier tamaño de sistema puede ser configurado.

El sistema de adquisición de datos puede estar localizado lejos de la computadora principal, lo que implica que puede estar cerca del proceso y de las señales.

El sistema puede fácilmente ser adaptado a cualquier computadora.

La figura 1.5 nos muestra un diagrama de bloques simplificado de un sistema de bus externo.

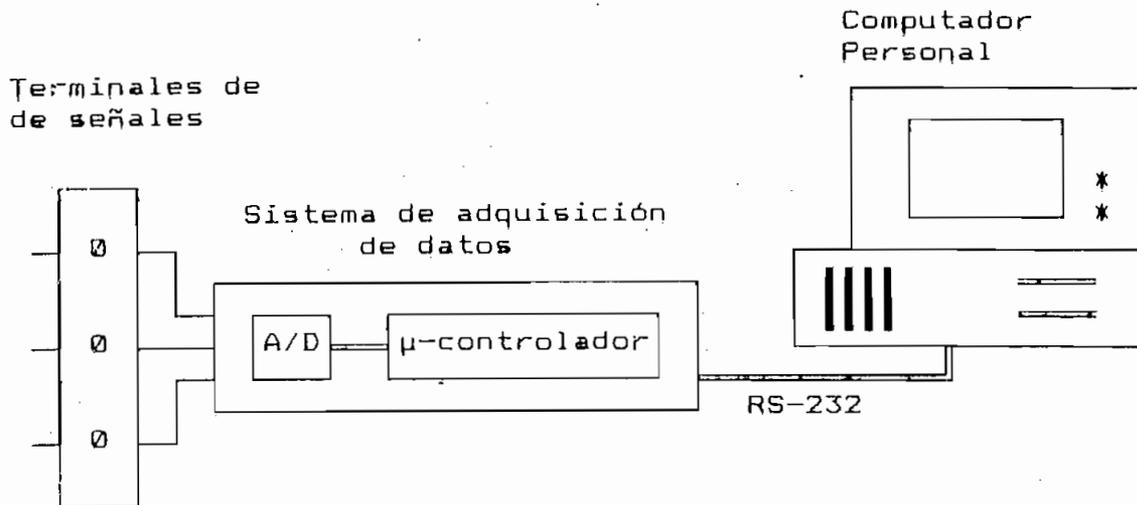


Fig. 1.5 Diagrama de bloques de un sistema de bus externo

Para la salida de datos se utiliza una estructura similar con las modificaciones correspondientes a la conversión D/A. Las comunicaciones seriales requieren que el sistema de adquisición de datos tenga su propio microprocesador, el cual facilita la operación remota, reduciendo el trabajo de la computadora central. Utilizando RS-232 a 9600 baudios, el sistema de bus externo está limitado a 20 canales por segundo mientras que los de bus interno pueden tomar datos de 100.000 canales por segundo¹.

La posibilidad de tener sistemas remotos, nos permite la construcción de sistemas distribuidos, los cuales pueden monitorear y controlar un gran número de parámetros que físicamente se originan lejos de la computadora principal

¹ Burr - Brown, The Handbook of Personal Computer Instrumentation, USA, Mayo 1986, pág. 3-1.

(cientos de metros). Esta capacidad incrementa la productividad y reduce el costo total del sistema.

Productos de bus interno:

Las principales ventajas de hacer la conexión directa con el bus interno de la PC incluyen :

Alta velocidad

Bajo costo

Pequeño tamaño

El costo es reducido, debido a que no se requiere construir las fuentes de voltaje necesarias en el caso externo, pues la potencia se obtiene de la misma PC. Puesto que el hardware reside dentro de la computadora, se obtienen ventajas en cuanto a la utilización del espacio.

La velocidad es muy superior a la usada por el protocolo de comunicaciones seriales debido al acceso directo a la memoria principal del computador (Figura 1.6).

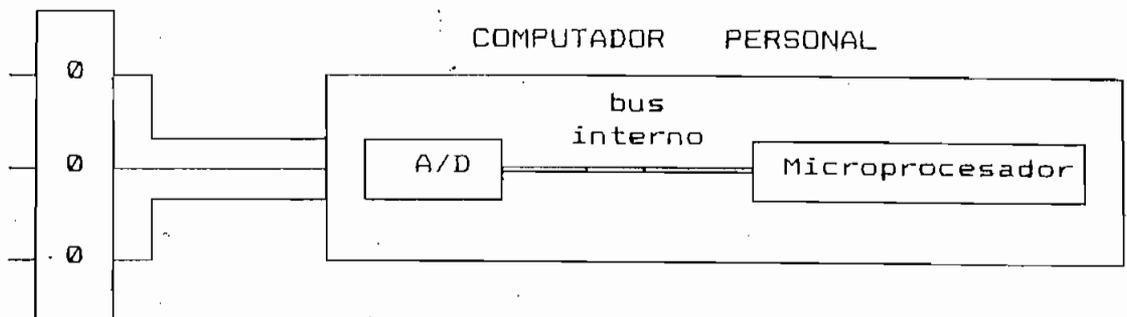


Fig. 1.6 Diagrama de bloques de un sistema de bus interno.

Considerando los requerimientos para instrumentación y control de procesos se concluyó que la arquitectura que más se adapta es la de bus externo, la misma que se implementó con óptimos resultados.

1.5 DIAGRAMA DE BLOQUES GENERAL

La figura 1.7 muestra el diagrama de bloques general del prototipo construido, donde constan los módulos de : polarización, conversión analógica-digital, conversión digital-analógica, entrada y salida digital, transmisión y recepción serial y configuración del microprocesador central (buses de datos, de direcciones y control).

El sistema completo interactúa con el proceso a través de los sensores en el caso de la medición de las variables que van a ser reguladas tales como velocidad de fluidos, temperatura, presión, etc. El sensor realiza la conversión de dicha magnitud física a un voltaje en los rangos adecuados para que pueda ser reconocido por el sistema de adquisición de datos. Dicho voltaje es convertido a un número binario el cual es transformado al formato serial y enviado hacia la computadora personal donde se procesa y/o almacena dando como resultado otro dato el cual es transformado nuevamente para que por medio del actuador modifique otras magnitudes físicas a ser manipuladas (variables manipuladas) que permitan obtener los resultados deseados a la salida (variables de salida).

De igual forma podemos actuar sobre los canales de entrada y salida digital, con los cuales podemos realizar un control de tipo ON-OFF, sensando y activando relés o indicadores como en el caso de alarmas, relés de fin de carrera, etc., y también control secuencial por ejemplo para controlar el movimiento de un motor de pasos con diferentes bytes que posicionen el rotór del motor.

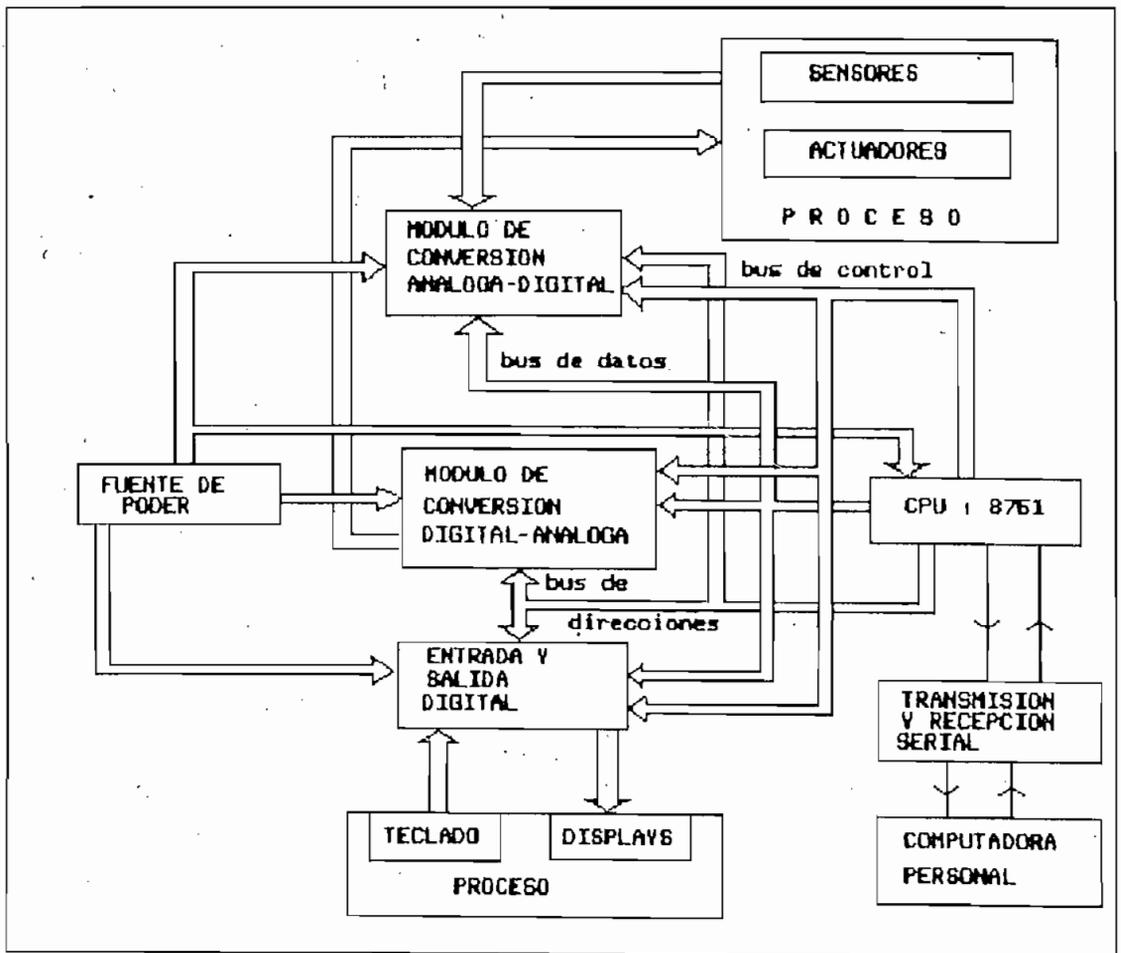


Fig. 1.8 Diagrama de bloques general.

CAPITULO 2. DISEÑO DEL SISTEMA

- 2.1 Especificaciones
- 2.2 Fuentes de polarización
- 2.3 Circuitos de amplificación y protección
- 2.4 Sistema de entrada análoga
 - 2.4.1 Aspectos fundamentales
 - 2.4.2 Módulo de conversión A/D
- 2.5 Sistema de salida análoga
 - 2.5.1 Técnicas de conversión
 - 2.5.2 Módulo de conversión D/A
- 2.6 Módulo de entrada y salida digital
- 2.7 Transmisión y recepción serial
 - 2.7.1 Generalidades
 - 2.7.2 Módulo de transmisión y recepción serial
- 2.8 Plano eléctrico del sistema

2.1 ESPECIFICACIONES

En términos generales podemos mencionar que el sistema de adquisición de datos funciona con una tensión de alimentación de 110 voltios y 60 Hz.

Internamente se generan voltajes de ± 12 voltios y ± 5 voltios para alimentar a toda la circuitería interna y 2,5 voltios que sirven de referencia para determinados amplificadores.

La conversión analógica-digital se realiza a través de un conversor A/D de 8 canales multiplexados, que aceptan un voltaje de entrada de 5 V con una precisión de 8 bits o lo que es equivalente a una resolución de 19,53 mV ($5 \text{ V} / 256$).

Los rangos de voltaje que se pueden ingresar por las entradas analógicas varían desde $\pm 1 \text{ V}$ hasta $\pm 10 \text{ V}$ dependiendo del nivel de amplificación seleccionado ($5 - 1 - 0,5$) ya sea inicialmente a través del dip switch, o mediante comandos que permiten cambiarlo desde la computadora personal.

Existen protecciones de sobrevoltaje a las entradas analógicas, las cuales consisten en una red de diodos zener que limitan a 12 V el voltaje aplicado a las entradas de los amplificadores operacionales, de esta forma voltajes mayores a + 12 V (o menores a -12 V) en las entradas analógicas, no alcanzan a afectar el sistema pues los diodos actúan y limi-

tan el voltaje pero cargan a la fuente que genera dicho voltaje, si la misma no suministra mucha corriente, como en el caso de salidas de amplificadores operacionales, no existe ningún problema pues tanto la fuente como los diodos zeners resisten la corriente producida, en caso contrario se debe limitar la corriente de salida de la fuente de voltaje utilizada.

También existen protecciones a nivel del conversor mismo, mediante redes de diodos zener que limitan voltajes superiores a los 5 V e inferiores a 0 V, que podrían producirse a las salidas de operacionales o sample/hold y eventualmente dañar al conversor.

Las salidas análogas se las obtienen de 4 canales de conversión D/A los mismos que emiten voltajes entre 0 V y 10 V dependiendo del código digital aplicado.

Las entradas digitales admiten 8 bits con niveles de 5V para que sea reconocido como uno lógico y 0 V para que sea reconocido como cero lógico, de igual forma la salida digital se la obtiene de 8 líneas con niveles de voltaje TTL.

La transmisión serial se realiza a 9.600 baudios, utilizando la capacidad de transmisión en este formato del microcontrolador 8751, la misma que se la realiza con 8 bits de datos, un bit de inicio, uno de parada y sin paridad. Los niveles de voltaje que se transmiten son de ± 12 V, para que sean

reconocidos según las especificaciones funcionales de la transmisión serial EIA RS-232.

Debido a que el microcontrolador transmite y recibe voltajes entre 0 V y 5 V, se efectúa el cambio de niveles mediante amplificadores operacionales actuando como comparadores de nivel (2.5 V) en el caso de la transmisión hacia la computadora personal, de tal forma que para una salida de 0 V se obtenga una saturación negativa es decir -12 V y para una salida de 5 V se sature positivamente a +12 V. En el caso de la recepción existen amplificadores operacionales actuando como atenuadores para reducir los voltajes de ± 12 V al rango de 0 V a 5 V.

Adicionalmente cabe mencionar que el mínimo período de muestreo es de 10 ms, tiempo que incluye las aproximaciones sucesivas que realiza el conversor A/D, la lectura que realiza el microprocesador, la transmisión desde el microcontrolador y la recepción en la computadora personal.

2.2 FUENTES DE POLARIZACION

Desde el momento del encendido, el sistema depende completamente del funcionamiento adecuado de su fuente de alimentación. Mucho se ha escrito sobre el tema de las fuentes de alimentación de voltaje continuo. Hay convertidores de continua/continua y de alterna/continua, reguladores de conmutación, transformadores de tensiones constantes, etc. No es

la intención construir una fuente de alimentación fuera de lo normal, sino simplemente diseñar la fuente de alimentación de voltajes continuos que se utilizan para hacer funcionar el sistema de adquisición de datos, cuyas exigencias son cubiertas utilizando los métodos de diseño tradicionales e incorporando la tecnología de los reguladores. Un diagrama de bloques de la fuente de alimentación se representa en la Fig. 2.1.

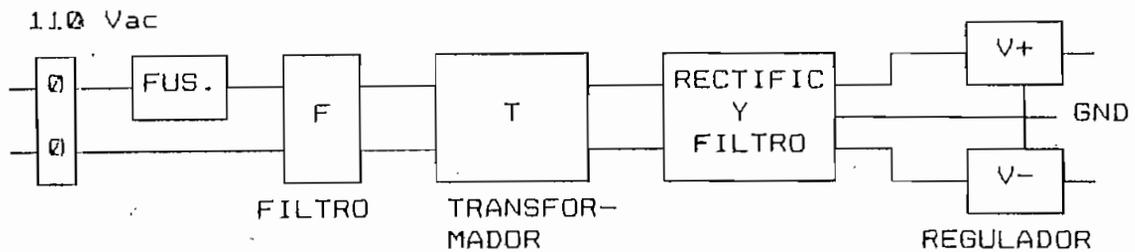


Fig. 2.1 Diagrama de bloques de la fuente de alimentación

La fuente de alimentación del circuito toma la energía de la red normal de 110 V y 60 Hz a través de un transformador para reducir y aislar la tensi3n de la red a un valor de 30 voltios en el secundario (con toma central) a cuya salida se obtiene una forma de onda sinusoidal reducida en tensi3n. A continuaci3n se aplica un puente de onda completa que convierte el voltaje alterno en continuo y satisface las demandas de corriente de carga del condensador del filtro, el cual a su vez, mantiene un nivel suficiente de tensi3n entre los ciclos de carga para satisfacer las limitaciones de las tensiones de entrada de los reguladores para su 3ptimo funcionamiento.

Para evitar tanto la interferencia del ruido de la línea como un posible corto circuito, en el lado del primario tenemos un filtro LC y fusibles tanto en el primario como en el secundario que interrumpen corrientes excesivas, según se muestra en la Fig. 2.2. Este filtro viene incluido en el chasis estándar adquirido, razón por la cual no nos ocuparemos del cálculo de estos parámetros.

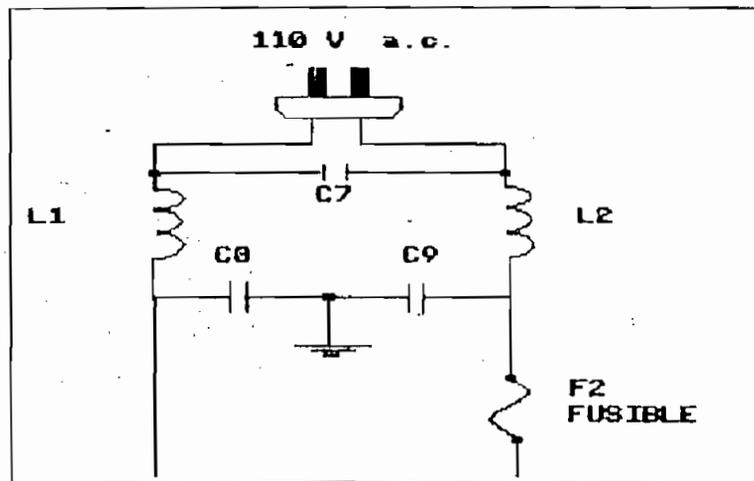


Fig. 2.2 Filtro de línea

Los reguladores de tensión requieren un cierto nivel de voltaje continuo mínimo para mantener una tensión de salida constante. Si la tensión aplicada cayera por debajo de este punto, la estabilidad de salida quedará gravemente deteriorada. Por consiguiente condensadores de altos valores se utilizan para suavizar la forma de onda sinusoidal a la salida del puente rectificador.

El diseño detallado de la fuente de polarización se aprecia en la Fig. 2.3.

Los condensadores C1 y C5 deben soportar una tensión pico de:

$$V_{\text{pico}} = (30 \text{ V}/2) * 1.414221 = 21 \text{ V}$$

El límite máximo de la fluctuación de tensión entre dos picos del ciclo, se conoce como voltaje de rizado, cuyo valor es mejor mantenerlo lo más pequeño posible :

$$V_{\text{riz}} = 0.5 V_{\text{p-p}}$$

La siguiente consideración es elegir un condensador que logre este objetivo. Un cálculo rápido que ahorra trabajo es :

$$C = i \cdot dt/dv$$

en donde :

C = valor del condensador en faradios

I = corriente máxima del regulador = 1 A

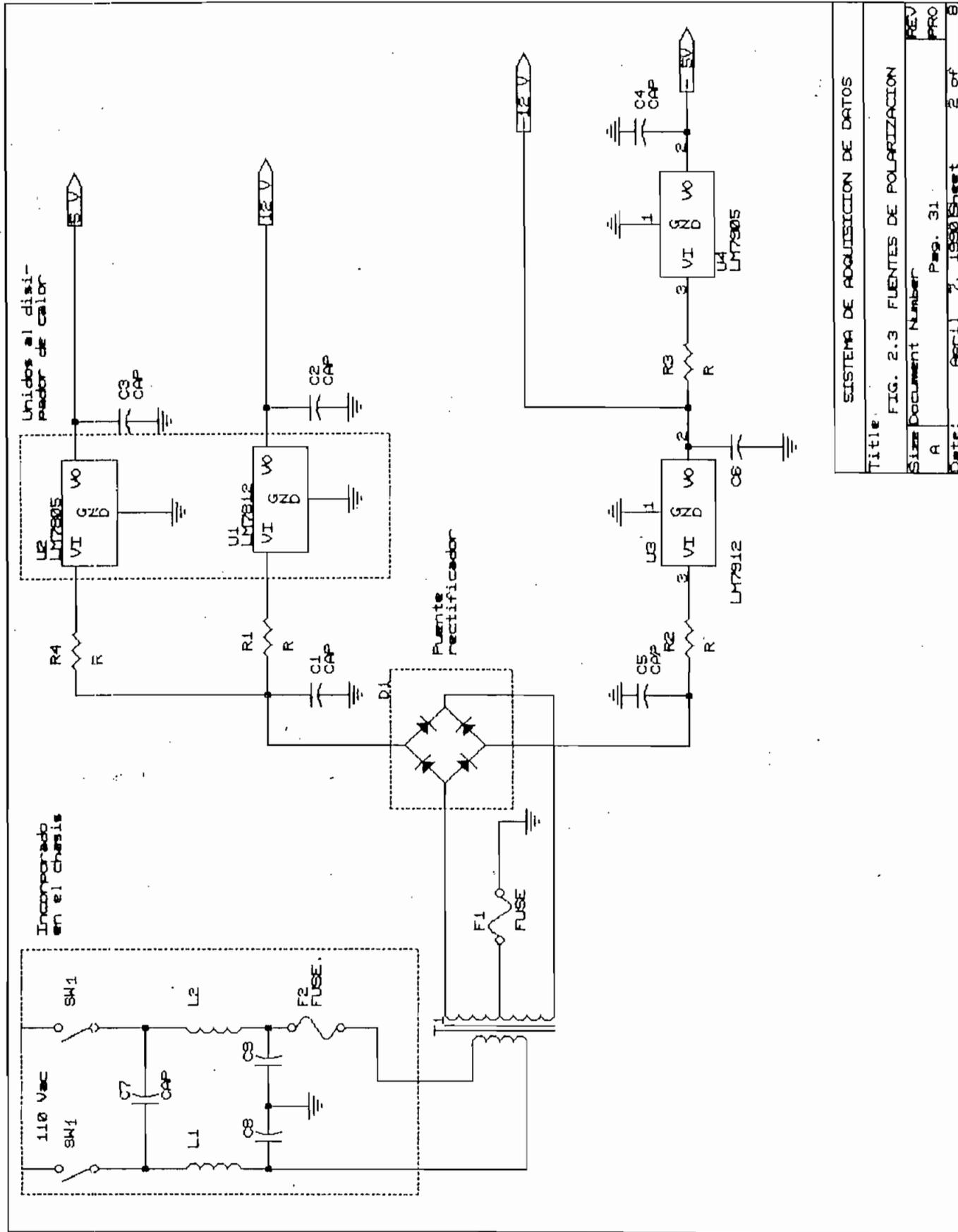
dt = tiempo de carga del condensador

$$= 8,3 \text{ ms (120 Hz)}$$

dv = tensión de rizado admisible = 0.5 V

Sustituyendo los valores :

$$C = 1 \text{ A (8,3 ms}/0.5\text{V)} = 16.600 \mu\text{F}$$



SISTEMA DE ADQUISICION DE DATOS

Title: **FIG. 2.3 FUENTES DE POLARIZACION**

Size Document Number: **A**

REV: **PRO**

Date: **April 7, 1990** Sheet **2 of 8**

Tomamos el valor de $C = 22.000 \mu\text{F}$, pues es un valor comercial. El otro elemento a considerar en el condensador es la tensión de trabajo. El diseño indica que debe ser 21 V, sin embargo la experiencia demuestra que los transformadores acaban por funcionar a tensiones de salida más altas que la etiquetada, entonces es recomendable emplear el siguiente valor normalizado inmediatamente superior. Los condensadores son pues de $22.000 \mu\text{F}$ a 25 V.

El rectificador puede ser un puente monolítico o cuatro diodos discretos. En nuestro caso es un encapsulado con cuatro terminales rotulados indicando las entradas alternas y las salidas + y -.

La siguiente consideración es la sección de los reguladores de tensión los cuales realizan la misma tarea : convierten una tensión de entrada de corriente continua dada en una tensión de salida de corriente continua estable y específica y mantienen este punto de ajuste a través de amplias variaciones de tensión de entrada y carga de salida. El regulador de tensión típico esta constituido por lo siguiente :

- Un elemento de referencia que proporciona una tensión de referencia estable conocida.
- Un elemento de conversión de tensiones que muestra el nivel de tensión de salida.
- Un elemento comparador que sirve para comparar el nivel de salida y el de referencia para obtener una señal de error.

- Un elemento de control que pueda utilizar esta señal de error para proporcionar la conversión de la tensión de entrada para obtener la salida deseada.

Básicamente, los reguladores de tres terminales llevan incorporados todos los circuitos antes mencionados, además incluyen circuitos protectores, salvaguardando al regulador de ciertas sobrecargas : contra cortocircuitos (límite de corriente), contra la condición diferencial excesiva de entrada/salida (zona de trabajo de seguridad) y contra temperaturas excesivas de la unión (límite térmico).

Los reguladores de tensión LM7812 de 1 A tiene todas esas características para la fuente de 12 V. El LM7805 para la de 5 V y los reguladores LM7912 y LM7905 para las fuentes de 12 y 5 V negativos respectivamente.

Los voltajes de ± 12 V son utilizados en circuitos tales como amplificadores operacionales, sample/hold, y todos los que tienen que ver con la transmisión serial pues se deben alcanzar dichos niveles de voltaje para que sean reconocidos como niveles lógicos.

El regulador LM7812 (12 V, U1) y el LM7805 (5 V, U2) se alimentan de la salida del filtro (capacitor C1) donde se tienen 20 voltios, lo cual hace necesaria la presencia de resistencias de potencia para obtener una caída de voltaje

en ellas y disminuir el calentamiento de los reguladores. El valor correspondiente para la resistencia entre el filtro y la fuente de 12 V es :

$$R1 = V/I = (20 \text{ V} - 15\text{V})/1 \text{ A} = 5 \Omega$$

$$P = I \times R = 1 \text{ A} \times 5\text{V} = 5 \text{ W}$$

Para el regulador de 5 V (U2) y dado que se dispone de 20V a la salida del puente rectificador se puede suponer que se necesita una resistencia que absorba 10 V con una corriente máxima de 1 amperio:

$$R4 = (20\text{V} - 10 \text{ V}) / 1 \text{ A} = 10 \Omega$$

$$P = I \times R = 1 \text{ A} \times 10 \text{ V} = 10 \text{ W}$$

De igual forma en la salida negativa del puente rectificador se obtienen -20 V, y para que la fuente 7912 (-12 V, U3) regule con una entrada mínima de -15 V se tiene :

$$R2 = V/I = (20 \text{ V} - 15\text{V})/1 \text{ A} = 5 \Omega$$

$$P = I \times R = 1 \text{ A} \times 5 \Omega = 5 \text{ W}$$

La salida del regulador LM7912 (-12 V) también alimenta a la fuente LM7905 (-5 V) la cual alimenta a varios circuitos. Debido a la diferencia de voltaje entre los -12 V y los -5V, también utilizamos resistencias de potencia para subir el voltaje de -12 V a -5 V permitiendo un margen para la regulación de 2 V:

$$R_3 = V/I = (12 \text{ V} - 7\text{V})/1 \text{ A} = 5 \Omega$$

$$P = I * R = 1 \text{ A} * 5 \Omega = 5 \text{ W}$$

Los reguladores cuando no están adecuadamente enfriados se protegen a si mismos contra su propia destrucción reduciendo su salida o desconectándose por completo. En este caso el sistema dejará de funcionar. Un problema más catastrófico se plantea con los circuitos integrados que emplean tres tensiones para el funcionamiento normal. La pérdida de una o más de estas tensiones podría deteriorar permanentemente el dispositivo. Ello nunca sucederá si está limitada la disipación de potencia y se emplean adecuados métodos de enfriamiento.

El primer paso es comprobar la disipación de potencia de nuestro diseño con los valores nominales de los dispositivos particulares. En términos prácticos, la potencia expresada en vatios, es el producto de la tensión (en voltios) por la intensidad de corriente (en amperios), y debido a que es la fuente de 5 V la que más carga soporta pues alimenta a la mayoría de integrados tales como:

1	8751	170 mA
1	ADC0808	3 mA
4	DAC0830	8 mA
3	8212	390 mA
1	7400	40 mA
6	4016	6 mA
2	LM555	30 mA

TOTAL 647 mA

Lo cual nos permite asumir una corriente de 1 A en el peor de los casos:

$$\begin{aligned} P_d &= (V_{in} - V_{out}) * I \\ &= (10 \text{ V} - 5 \text{ V}) * 1 \text{ A} \\ &= 5 \text{ W} \end{aligned}$$

Debido a que la disipación de potencia interna está limitada, la temperatura de la unión debe mantenerse por debajo de la máxima especificada (125 °C) para que el dispositivo funcione adecuadamente y no actúe la protección térmica.

Para calcular el radiador de calor requerido hay ecuaciones específicas que resolver¹:

La resistencia térmica total, necesaria para mantener la temperatura de la junta T_j por debajo de la máxima especificada (125 °C) es:

$$\begin{aligned} \theta_{j-a(TOT)} &= (T_j - T_a) / P_d = (125 \text{ °C} - 60 \text{ °C}) / (5 \text{ W}) \\ &= 13 \text{ °C/W} \end{aligned}$$

en donde:

T_j = temperatura de la junta máxima

T_a = temperatura ambiente

P_d = disipación de potencia

$\theta_{j-a(TOT)}$ = resistencia térmica junta - ambiente

¹ National semiconductor, Voltage regulator hand-book, USA, 1980, p. 5-1.

Para determinar si el radiador de calor es necesario, se consulta las hojas de características, las cuales señalan los valores de las resistencias térmicas: junta-encapsulado (θ_{je}) y junta ambiente (θ_{ja}), con dichos valores y los calculados se tiene uno de los siguientes casos:

$\theta_{ja(TOT)} < \theta_{je}$ - Se debe utilizar otro regulador de mayor potencia

$\theta_{ja(TOT)} > \theta_{ja}$ - No se requiere disipador de calor

$\theta_{je} < \theta_{ja(TOT)} < \theta_{ja}$ - Si se requiere disipador

En el caso presente se tienen los valores:

$$4 \text{ } ^\circ\text{C/W} < 13 \text{ } ^\circ\text{C/W} < 35 \text{ } ^\circ\text{C/W}$$

Por lo tanto se requiere un radiador de calor de $9 \text{ } ^\circ\text{C/W}$ ($13 \text{ } ^\circ\text{C/W} - 4 \text{ } ^\circ\text{C/W}$). Es necesario considerar también que hay en total cuatro reguladores, resistencias de potencia, un puente y varios circuitos integrados que emitirán calor, por lo cual se añade enfriamiento por aire, mediante el uso de un ventilador.

2.3 CIRCUITOS DE AMPLIFICACION Y PROTECCION

Las señales de entrada análogas pueden variar en amplitud en un amplio rango. El conversor A/D, sin embargo, requiere un adecuado nivel de señal para que su comportamiento sea el mejor, al mismo tiempo que se limita el nivel de voltaje por

medio de una red de diodos zener que se conectan a las entradas del conversor A/D para evitar cualquier daño debido a un sobre voltaje, según se muestra en la Fig. 2.4.

En todas las entradas se debe tener la precaución de no aplicar voltajes mayores a 24 V pues se produciría un daño permanente.

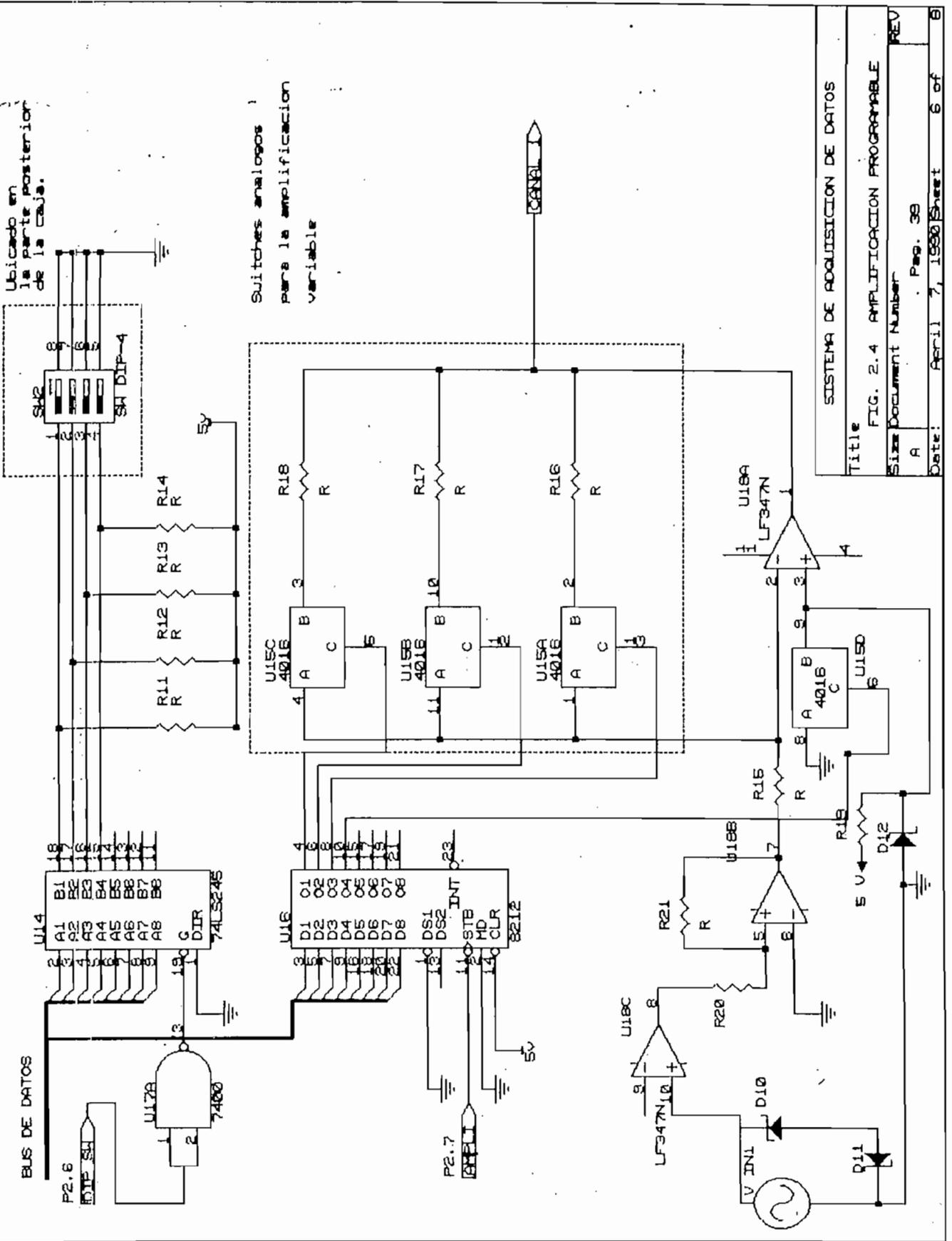
Para realizar un acoplamiento de impedancias entre cualquier transductor y las entradas análogas se tienen los amplificadores operacionales (U18C) configurados como seguidores de voltaje, a continuación la señal es invertida mediante los amplificadores (U18B) que trabajan como inversores de ganancia unitaria, luego se vuelve a invertir al pasar por los amplificadores de ganancia variable (U18A) y llega al conversor con la polaridad correcta.

Idealmente, el amplificador de entrada debe tener varias ganancias disponibles para escogerse bajo el control del software. Este circuito, es el conocido como amplificador de ganancia programable.

Sin embargo, algunas veces es necesario que la ganancia del amplificador pueda ser "manualmente" ajustada a través de una selección de resistencias o puentes, en una especie de configuración inicial del sistema que se realiza al momento del arranque inicial y se mantiene a menos que se reciba una orden específica de cambio.

Ubicado en la parte posterior de la caja.

Switches analogos para la amplificacion variable



SISTEMA DE ADQUISICION DE DATOS	
Title	FIG. 2.4 AMPLIFICACION PROGRAMABLE
Size	Document Number
A	Rev
Date:	April 7, 1990 Sheet 6 of 8

Para satisfacer los dos criterios : amplificación variable por medio de comandos externos y selección manual; se utilizó el pòrtico de entrada/salida (E/S) 8212 (U16) para almacenar la información correspondiente, con la cual se mantienen abiertos o cerrados los switches análogos CD4016 (U15A, U15B, U15C) que varían las resistencias de realimentación de los amplificadores operacionales respectivos para obtener los niveles de amplificación predefinidos para 5, 1 y 0,5. y permiten también el cambio de referencia entre 0 y 2,5 V para el amplificador de ganancia programable.

Para calcular las resistencias de realimentación para el amplificador U18A (LF347N) se utiliza la fórmula :

$$A = - R_f/R_1$$

Haciendo $R_1 = R_{15} = 10 \text{ K}\Omega$ para que la impedancia de entrada sea alta y despreciable en comparación a la resistencia que presentan los switches análogos cuando conducen.

Para $A = 1$ --- $\>$ $R_{16} = 10 \text{ K}\Omega$

Para $A = 5$ --- $\>$ $R_{17} = 50 \text{ K}\Omega$

Para $A = 0.5$ --- $\>$ $R_{18} = 5 \text{ K}\Omega$

La amplificación inicial del sistema es definida manualmente a través de un dip switch (SW2) el cual es leído por el microcontrolador en el momento del arranque, para según dicha lectura controlar los switches análogos a través del

pórtico de E/S 8212 (U16) que mantiene los datos, hasta recibir un nuevo comando que modifique la amplificación del sistema. Las resistencias R11-R12-R13-R14 se utilizan como limitadoras de corriente para el caso de que el dip switch se conecte a 0 V. La corriente necesaria para que se distinguan tanto el 1L como el 0L es 1 mA, el voltaje aplicado es de 5 V con lo cual se utiliza resistencias de 4.7 kilo ohmios. Mediante el dip switch es posible seleccionar la amplificación necesaria y la polaridad del voltaje de entrada : solamente voltajes positivos (0-10V) o positivos y negativos (+/- 10 V), lo cual se consigue variando la referencia del amplificador de ganancia programable de 0 V a 2.5 V respectivamente, mediante el switch análogo 4016 (U15D).

Tanto el dip switch como el el pórtico de E/S 8212 tienen asignada una dirección específica que se utiliza en el programa principal del microcontrolador que se discute en el numeral 3.2, para decodificar la dirección del dip switch, usamos una compuerta 7400 (U17A) la misma que controla al integrado 74LS245 (U14) que lee los switches y pone el nibble leído directamente en el bus de datos, una vez terminada la lectura mantiene una alta impedancia para que el bus de datos sea ocupado en otras funciones.

La protección que se realiza a la entrada de los amplificadores operacionales consta de 2 diodos zener D10 y D11 conectados en serie pero con la polarización invertida para que limiten voltajes en uno u otro sentido.

Existe también una línea adicional utilizada para interrupciones externas, para cuando se requiera sincronizar cualquier función de conversión con algún evento externo, se utiliza la entrada de la compuerta 7400, la cual actúa simplemente como un buffer, cuya salida se conecta a la entrada INT0 (pin 12) del microcontrolador que detecta dicha interrupción externa, la atiende y realiza cualquier proceso de muestreo o control predefinido.

La protección al convertor mismo se la analiza más adelante en el numeral 2.4.2.

2.4 SISTEMA DE ENTRADA ANALOGA

La función fundamental del sistema de entrada analoga es la conversión de señales análogas a su correspondiente formato digital. Es el convertor análogo-digital (A/D) el que transforma la información original analoga a datos entendibles por la computadora (código binario).

En adición al convertor A/D otros componentes pueden ser requeridos para obtener un óptimo comportamiento, estos pueden incluir : elementos acondicionadores de señal para el caso de voltajes pequeños como en el caso de termocuplas, amplificadores programables que se adapten a diferentes niveles o rangos de voltaje, sample/hold para evitar retardos de fase, multiplexer análogos que simplifiquen la circuitería, etc.,

2.4.1 ASPECTOS FUNDAMENTALES

Acondicionamiento de señal

A pesar de la alta calidad de los componentes anteriormente mencionados, puede ser necesario, preprocesar la señal de entrada, es lo que se conoce como "acondicionamiento de señal" que puede ser de dos categorías : *activo* cuando incluye amplificación y aislamiento, como en el presente caso descrito en el numeral 2.3, mientras que *pasivo* cuando incluye división de voltaje, supresión de ruidos, conversión de corriente a voltaje y filtrado.

La máxima amplitud de señal que puede ser aplicada a un amplificador o conversor A/D es usualmente ± 5 V. Divisores resistivos pueden ser usados para escalar virtualmente cualquier voltaje para que llegue al rango aceptable. Es importante considerar que multiplexers y otros componentes electrónicos pueden resultar permanentemente dañados si señales sobre los 5 V se conectan directamente a estos elementos, por esta razón se usan redes de zeners para asegurar la protección contra posibles sobrevoltajes o picos.

Algunas veces, en cambio, es necesario preamplificar señales de bajo nivel (1mV o 1V) para mantener la relación señal/ruido aceptable. Una forma de hacer esto es el acondicionador de señal en el cual no solamente amplifica la señal, sino que provee de aislamiento, linealización, compensación

de junta y corriente de alto nivel (de 4 a 20 miliamperios).

La transmisión por corriente permite que las señales sean enviadas a varios miles de metros sin una significativa pérdida de precisión¹, mientras que señales de voltaje son rápidamente atenuadas por resistencias, las señales de corriente no, pues el voltaje en la fuente de corriente, se ajusta para mantener el nivel de corriente deseado, compensando de esta manera la posible atenuación.

Cuando las señales se envían por corriente, una simple manera de convertirlas es una resistencia. Valores de 250 a 500 ohmios son los más comunes y producen una caída de voltaje de 5 a 10 voltios, para corrientes de 4 a 20 mA.

La más conocida forma de acondicionamiento de señal es el filtrado de señales indeseables las cuales incluyen : ruido, interferencia de las líneas de potencia AC, de radio, TV y frecuencias por encima de 1/2 de la frecuencia de muestreo, que pueden producir serios errores en la interpretación de los datos. Para solventar estos problemas se utilizan filtros: pasa bajos o pasabandas los cuales excluyen la porción del espectro de frecuencias que no debe existir. Esta exposición intenta solamente sugerir la necesidad de este tipo de consideración.

¹ Burr - Brown, The Handbook of Personal Computer Instrumentation, USA, Mayo, 1986, pág. 4-3.

Sample/hold

En general, la señal de entrada analógica puede cambiar con el tiempo, como en el caso de entradas AC cuya amplitud varía continuamente. Los conversores A/D de aproximaciones sucesivas requieren que la amplitud de entrada no cambie durante el ciclo de conversión. La función del sample/hold (S/H) es "mantener" el valor presente a la entrada, justo antes de que comience la conversión A/D y durante todo el tiempo de conversión, hasta que esta se complete. Esta característica permite una mayor exactitud en el caso de conversión de señales de altas frecuencias.

Conversores A/D Y D/A

La utilización de microcomputadores como dispositivos de control de sistemas reales hace necesario un intercambio de información entre dichos sistemas y el microcomputador. Estas informaciones pueden ser señales digitales (contacto abierto o cerrado, existencia o no de luz,...) o pueden ser señales analógicas (de posición, de temperatura, de flujo..) las cuales deben ser convertidas en señales eléctricas mediante transductores y posteriormente en señales digitales mediante dispositivos que realicen la conversión analógica - digital para que el microprocesador pueda realizar el algoritmo de control residente en su memoria, según se muestra en la Fig. 2.5

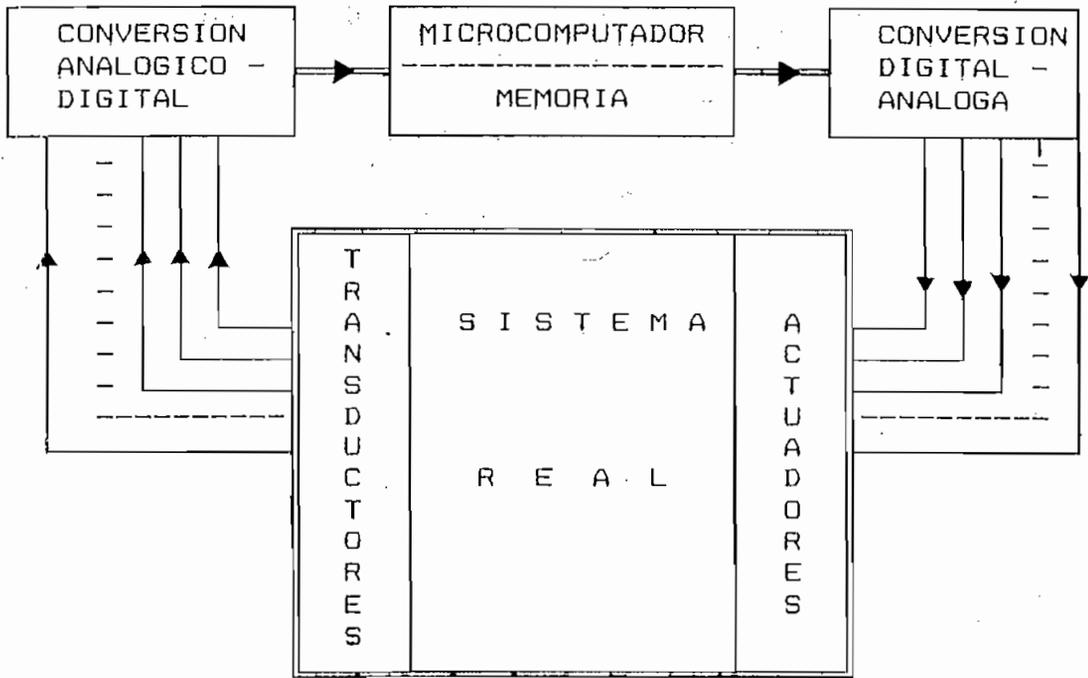


Fig. 2.5 Control de un sistema mediante microcomputador

El resultado del algoritmo puede ser un conjunto de órdenes digitales (abrir o cerrar relés, conmutar circuitos,..) o de palabras digitales que deberán acondicionarse para poder aplicarlas a elementos actuadores analógicos (posicionadores, amplificadores lineales, reguladores de velocidad,..) por lo que deberán ser convertidas a señales analógicas mediante dispositivos que realicen la conversión de digital a analógico. Cuando son varios los transductores que se deben leer secuencialmente, se puede utilizar un multiplexer analógico entre los acondicionadores de señal y los circuitos de S/H, como lo observamos en la figura 2.6.

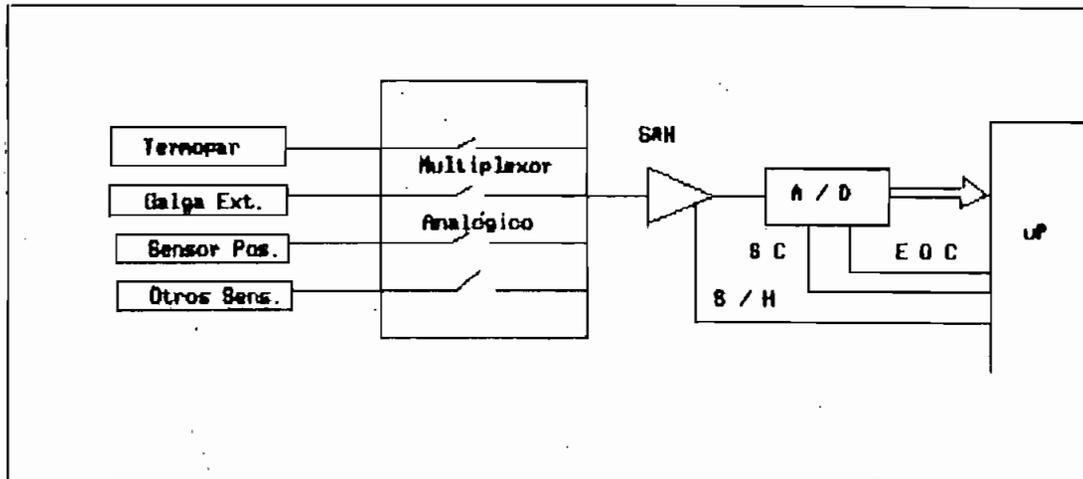


Fig.2.6 Adquisición de datos mediante multiplexer analógico

El multiplexer es direccionado de tal manera que cada entrada analógica se conecta al conversor secuencialmente. Este método permite una economía de espacio y del costo de la circuitería, ya que con un único circuito de captura y mantenimiento y un conversor A/D se pueden tratar gran cantidad de entradas analógicas, a costa de reducir la velocidad de adquisición de datos en relación a la que se obtendría utilizando sistemas sencillos y conversores individuales como entradas hubiera.

Para controlar el circuito de captura y mantenimiento (S/H = sample and hold) se envía desde el microcontrolador la señal correspondiente, para que luego actúe el conversor analógico-digital en primera instancia debido a la línea de control que recibe del microprocesador denominada inicio de conversión (S.C. = start conversion), una vez que el conversor a

finalizado su tarea, es decir tiene en el registro de salida el código correspondiente al votaje análogo, indica al microprocesador que la conversión a finalizado a través de la línea de fin de conversión (EOC = end of conversion), la cual es sensada por el microcontrolador para proceder a la lectura del dato.

Cuando es necesario que una cierta cantidad de señales sean leídas *simultáneamente*, cada canal debe tener su propio circuito de captura y mantenimiento, los cuales son a continuación seleccionados secuencialmente por medio de un multiplexer para su conversión digital por medio de un conversor A/D, como se muestra en la figura 2.7, arquitectura que también se la escogió para el desarrollo del prototipo.

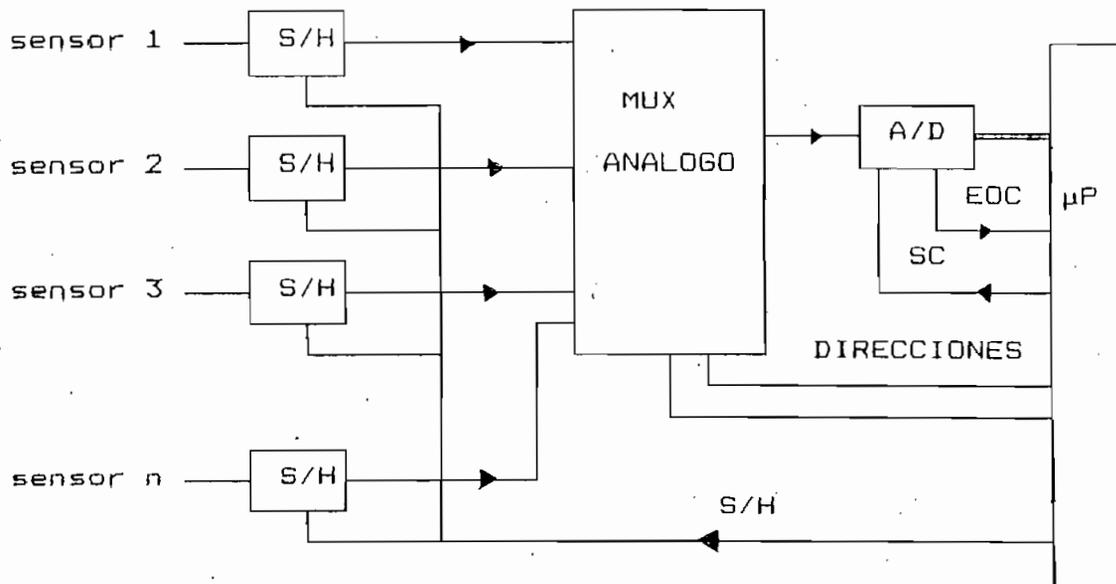


Fig. 2.7 Captura simultánea de señales analógicas

Esta arquitectura de S/H simultáneo es ideal para aplicaciones en las que las relaciones de fase y tiempo de los canales de entrada son críticas. Por ejemplo, en un sistema de 4 entradas, secuencialmente muestreadas a razón de 89K muestras/segundo, el tiempo entre conversiones será de 11.25 microsegundos y el tiempo total requerido para digitalizar los 4 canales será de 45 microsegundos. Esto representa un retardo de fase de 162 grados entre el primero y el cuarto canal tratándose de una frecuencia de entrada de 10K Hz ($45\mu s / 100\mu s \cdot 360$ grados). En contraste, con un sistema S/H simultáneo se pueden capturar los cuatro canales con apenas 10 nanosegundos entre uno y otro lo que representa un retardo de fase menor a 0.04 grados a 10 KHz ($10\text{ ns} \cdot 360 / 100\mu s$)¹.

En adición a las características de fase y tiempo, esta técnica es utilizada en aplicaciones donde funciones de correlación entre las entradas, deben ser calculadas. Por ejemplo: análisis de voz, pruebas dinámicas de materiales y estructuras, mediciones eléctricas de potencia trifásicas, análisis de señales geofísicas, tests automáticos de equipos en líneas de producción, etc.

Convertor análogo - digital

Un convertor analógico digital, abreviadamente A/D, es un dispositivo que recibe una señal de entrada V_{in} y la trans-

¹ Burr - Brown, The Handbook of Personal Computer Instrumentation, USA, Mayo 1986, pág. 4-2.

forma en una palabra digital P_d , con una precisión y resolución dadas, mediante una comparación con una tensión de referencia, V_{ref} .

En un conversor A/D ideal, la palabra digital está relacionada con la señal de entrada por la ecuación que se indica a continuación¹:

$$P_D = \frac{V_{ent}}{V_{ref}} = \sum_{i=1}^{\infty} \frac{\delta_i}{2^i} ; \delta = \{0,1\}$$

Este cociente se realiza en binario. El resultado exacto sería un número infinito de bits, pero se comete un error de cuantificación al tener en cuenta únicamente un número limitado de bits, el cual viene determinado por la capacidad del conversor A/D. Si éste es de n bits, se realiza una cuantificación de la señal en 2^n niveles, y el error máximo cometido es la mitad de la distancia entre dos niveles, o sea,

$$E_{m\acute{a}x} = \frac{1}{2} \frac{V_{ref}}{2^n}$$

Las características generales de los distintos tipos de conversores dependen en gran parte de la forma en la que se realiza la conversión. Una primera clasificación se puede basar en si la conversión se realiza directamente o se realiza una transformación de la señal de entrada en una variable intermedia que luego se transforma en digital.

¹ José Mompín Poblet, Interconexión de periféricos a microprocesadores, España, 1983, pág. 135.

Convertor A/D paralelo (flash)

Comparan simultáneamente la señal analógica de entrada con una serie de niveles de referencia correspondientes a los valores del escalado cuantificados, utilizando por lo tanto, tantos comparadores (A.O. = amplificadores operacionales) como niveles se desee obtener.

El tiempo de conversión es muy pequeño, del orden de algunos nanosegundos, pero el número elevado de componentes hacen que el sistema sea costoso y en general, de pocos bits. Su respuesta está limitada únicamente por el tiempo de conmutación de los comparadores y el de propagación de los elementos lógicos que integran el comparador, llegando a alcanzar unos 40 ns en un convertor de 4 bits.

Cuando se trata de convertidores analógicos-digitales (ADC) de más de 4 bits, la conversión se obtiene formando series de varios ADC's de 4 bits. El primer ADC sería el convertor de los 4 bits más significativos (MSB). Estos 4 bits son convertidos nuevamente a una tensión analógica que es restada del valor de la tensión de entrada. La diferencia es aplicada a otro convertor, repitiéndose el proceso nuevamente tantas veces como sea necesario, lo cual está en función del número de bits deseado.

Un esquema de la configuración de estos convertidores se aprecia a continuación en la Fig. 2.8:

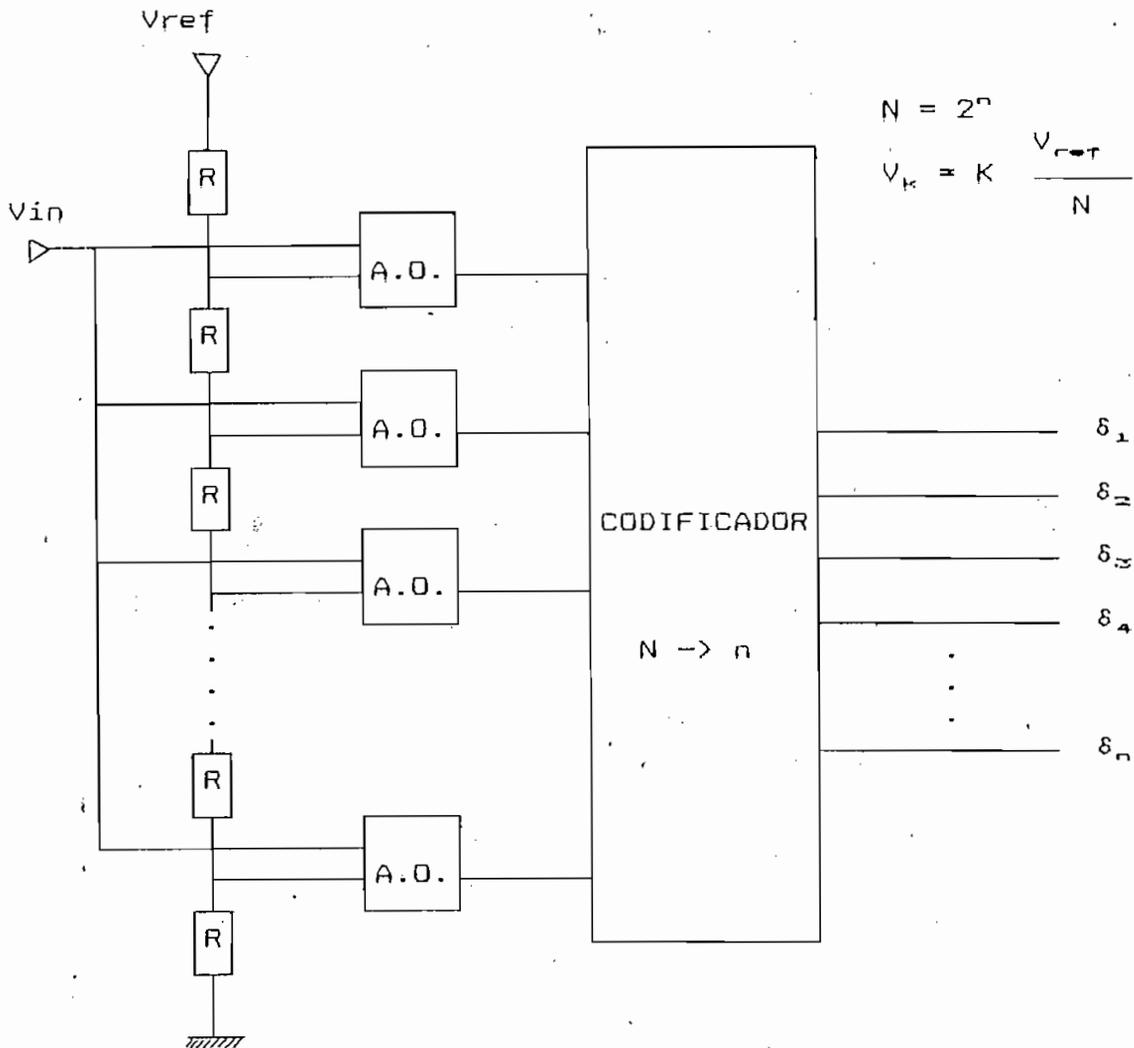


Fig. 2.8 Conversor analógico-digital paralelo

Los conversores flash son los más rápidos pero también los más caros. La complejidad generalmente limita a estos elementos a una baja resolución (8 bits o menos). La mayoría de sistemas requieren un mínimo de 12 bits de resolución.

Es predecible también que conversores de alta resolución no solamente son más caros, sino que también son más lentos.

Por lo tanto para hacer una decisión hay que considerar cuidadosamente todos estos requerimientos.

Un buen punto de partida es el sensor o transductor que se vaya a utilizar. Algunos sensores tienen un rango dinámico muy grande, el rango dinámico no es más que la diferencia entre el nivel de señal a la máxima escala y el nivel a la más baja señal detectable.

Por ejemplo, un transductor del 0.5 % de precisión puede tener un rango dinámico de más de 80 dB, esto requiere 12 bits de resolución. Para mantener el rango dinámico, algunas aplicaciones pueden requerir una resolución de 14 o 16 bits.

Es interesante también conocer que con un rango de 16 bits, no necesariamente se requiere un conversor A/D de 16 bits. Un amplificador de ganancia programable puede incrementar la resolución. Amplificando la señal de bajo nivel por 10 o 100 se puede incrementar la resolución efectiva en más de 3 y 6 bits respectivamente.

Conversor A/D de simple rampa

Un método más simple de conversión A/D son los sistemas indirectos. Estos transforman la variable de entrada en una variable intermedia, como por ejemplo el tiempo, efectuando la integración de una tensión de referencia hasta que la rampa generada alcanza un nivel igual a la tensión de entra-

da. Durante este tiempo un contador cuenta los impulsos generados por un oscilador patrón, el resultado del contador es proporcional a la tensión analógica de entrada, por lo que escogiendo adecuadamente la frecuencia del oscilador y la tensión de referencia, se obtiene directamente la salida digitalizada, según se aprecia en la Fig. 2.9.

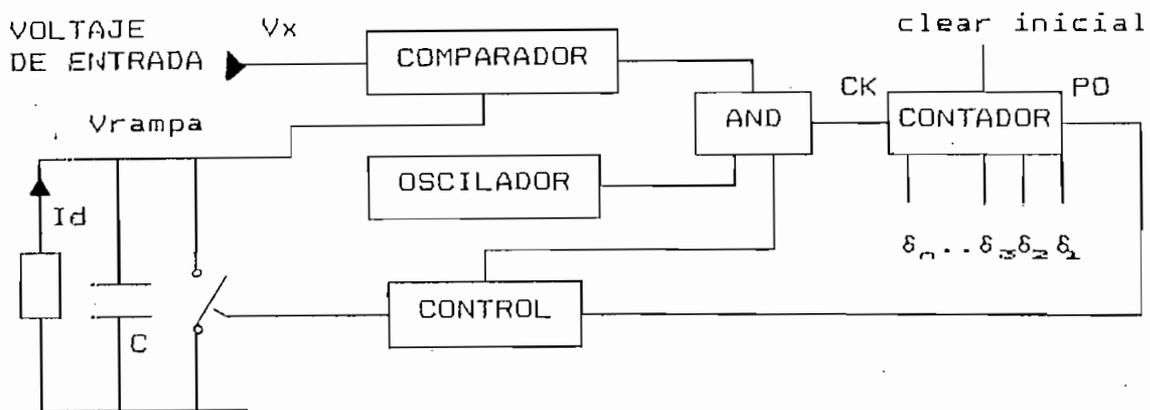


Fig. 2.9 Conversor A/D de simple rampa

El tiempo de conversión es largo y la precisión que se puede obtener no es muy buena, debido a las variaciones de la capacidad C , de la corriente I_d y de la frecuencia del oscilador a lo largo del tiempo.

Conversor A/D de doble rampa

Soluciona en gran medida los condicionamientos de precisión anteriores debido que al realizar dos rampas consecutivas se compensan los errores producidos por la variaciones de la capacidad y la frecuencia. Ver Fig 2.10.

La primera rampa se realiza integrando la entrada, durante un tiempo fijo; la segunda rampa se obtiene integrando la tensión de referencia. El tiempo de integración de la segunda rampa depende del nivel que se ha conseguido durante la primera integración; durante este tiempo, un contador cuenta los impulsos de un oscilador patrón.

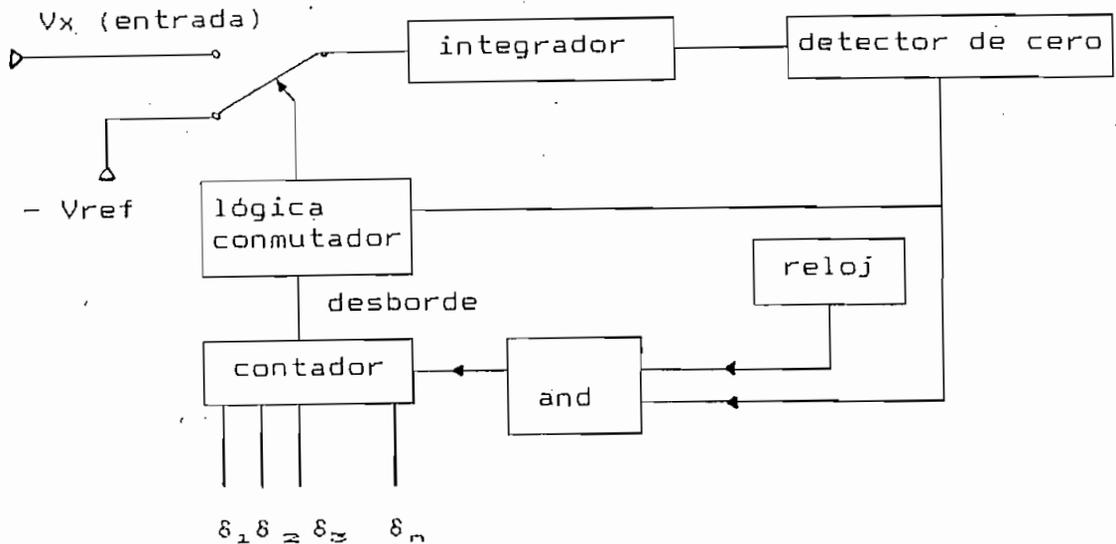


Fig 2.10 Conversor analógico-digital de doble rampa

El proceso de conversión se inicia conectando la tensión de entrada V_x , al integrador durante un tiempo fijo t_0 (este tiempo es el que emplea el contador en pasar desde 000...00 hasta que se produce el desbordamiento de la cuenta, es decir, mientras cuenta 2^N impulsos de reloj). La primera integración de la tensión V_x se efectúa durante un tiempo constante, para pasar después a una segunda integración de una tensión de referencia negativa, hasta alcanzar nuevamente el nivel inicial. Alternativamente se conmuta la entrada del

integrador con la tensión de entrada o con la tensión de referencia. Durante el primer período de integración t_0 el valor de V_H alcanzado será ¹:

$$V_H = (t_0 * V_x) / RC$$

Este valor durante el segundo período decrecerá hasta alcanzar el nivel de 0 V al cabo de un tiempo t_n , siendo N el número de impulsos de oscilador y T su período de oscilación, se verifica que :

$$\begin{aligned} V_H &= (t_n / RC) V_{ref} \\ &= (NT / RC) V_{ref} \end{aligned}$$

El valor N leído por el contador al final de la conversión será:

$$\begin{aligned} V_H &= V_H \\ (t_0 * V_x) / RC &= (NT / RC) V_{ref} \\ N &= (t_0 / T) * (V_x / V_{ref}) \end{aligned}$$

Si el tiempo t_0 se obtiene mediante la cuenta de n impulsos del oscilador, el valor leído entonces será :

$$\begin{aligned} t_0 &= nT \\ N &= n (V_x / V_{ref}) \end{aligned}$$

La lectura N es independiente del valor de los componentes del integrador y la frecuencia del oscilador, si se conside-

¹ Varios autores, Convertidores A/d y D/A, Biblioteca de Diseño Electrónico, Tomo 29, Julio 1987, pág. 37.

ra que la fluctuación de dichas magnitudes no es significativa durante el tiempo de conversión.

El tiempo máximo de conversión es el necesario para contar $2 * 2^n$ impulsos de reloj, siendo n el número de bits de salida digital. Suponiendo que la frecuencia del reloj sea de 10 MHz, $n = 8$ bits entonces $T_c = 2 * 2^8 * 10^{-7} = 50 \mu s$.

Este tipo de conversor es uno de los más empleados en la práctica, especialmente en aplicaciones donde se requiere precisión, como es el caso de los voltímetros digitales.

Conversor A/D de triple rampa

Tiene una estructura y unas características en cuanto a fiabilidad estabilidad y linealidad, similares al de doble rampa, pero consigue aumentar la velocidad de conversión al realizar la integración de referencia en dos etapas: en la primera, aproxima los bits de mayor peso (MSB) y a continuación realiza la aproximación de los bits de menor peso (LSB).

Conversor A/D de aproximaciones sucesivas

Hace una optimización del tiempo de conversión mediante la realización de un algoritmo de aproximación. Utiliza un comparador, un conversor digital analógico y un registro de aproximaciones sucesivas. (Ver figura 2.11).

El algoritmo consiste en la aproximación bit por bit de la salida, empezando por el bit de mayor peso, que corresponde a la mitad de la máxima tensión de entrada :

$$V_{ref} * 1/2 + V_{ent.}$$



Fig. 2.11 Conversor A/D de aproximaciones sucesivas

Este bit valdrá 1 ó 0 si el nivel de la señal de entrada está por encima o por debajo de este valor. A continuación se realiza la comparación de la tensión de entrada con una tensión que vale $\delta_1 V_{ref} * 1/2 + V_{ref} * 1/4$, siendo δ_1 el valor obtenido en el primer bit. Se asignará a δ_2 el valor 1 ó 0 con el mismo criterio anterior. Se sigue realizando el algoritmo de aproximación hasta llegar al bit de menor peso. El número de iteraciones es igual al número de bits del convertidor.

Este método es conceptualmente muy sencillo, permite realizar la conversión con rapidez, no exige una realización muy costosa y su tiempo de conversión es del mismo orden que el tiempo de ciclo de los microprocesadores estándar.

Para velocidades sobre 100 muestras/segundo el conversor por aproximaciones sucesivas es el más popular, es esencial en este caso que la señal de entrada permanezca constante durante el curso de las comparaciones sucesivas o errores significantes pueden resultar. Esto requiere el uso de la circuitería de sample/hold.

Conversor A/D de seguimiento (tracking)

Se lo conoce también como modulador delta, va siguiendo constantemente la señal de entrada, mediante incrementos o decrementos consecutivos del valor digital. El control de signo de los incrementos se realiza en función de la respuesta de un comparador que tiene en sus entradas la señal a digitalizar y la señal analógica correspondiente a la señal digitalizada, procedente de un conversor digital-analógico que tiene incorporado. No efectúan una codificación del voltaje en términos de amplitud, sino más bien en términos de diferencias de amplitudes adyacentes, por lo que la señal de entrada es constantemente comparada con la señal estimada. A cada impulso de reloj se muestrea la salida del comparador, reteniendo esta información. La respuesta de este conversor es rápida siempre y cuando las variaciones de la señal de entrada sean pequeñas.

Conversor A/D tensión frecuencia

Consiste en la conversión de señal de tensión de entrada, en

una frecuencia proporcional a dicha tensión, que posteriormente se convierte en digital mediante la acumulación de los impulsos en un contador que tiene una ventana abierta durante un tiempo fijo. Es especialmente utilizado para la adquisición remota de datos y para sistemas en los que se desea aislar la sección analógica de entrada y la sección digital, pues solo es necesario una señal de comunicación entre las partes analógicas (remota) y la digital. Presenta una mayor inmunidad a la distorsión producida por los medios de transmisión. El convertidor tensión frecuencia, también es conocido como oscilador controlado por voltaje (VCO).

Convertor A/D con coma flotante

Este tipo de convertor se basa en efectuar un preescalado antes de realizar la conversión digital, de forma que permita adaptar el nivel de tensión de entrada al margen de funcionamiento del convertor. Al igual que los ADC's de comparadores, estos circuitos también los poseen, según el estado de la señal de entrada, estos conmutan un sistema de atenuadores, pero cuando el margen de medición debe extenderse a un elevado número de décadas, o bien, es necesaria una mayor precisión, los comparadores son sustituidos por un sistema secuencial de disminución de la característica paso a paso hasta que al final de la conversión entregue un <1> como bit de mayor peso, eliminando de esta forma los errores de comparación, pero, a costa de un mayor tiempo de conversión.

Con todas estas características podemos obtener una relación entre la complejidad (costo) y el tiempo de conversión de los más importantes conversores mencionados, la cual se aprecia resumida en la figura 2.12 :

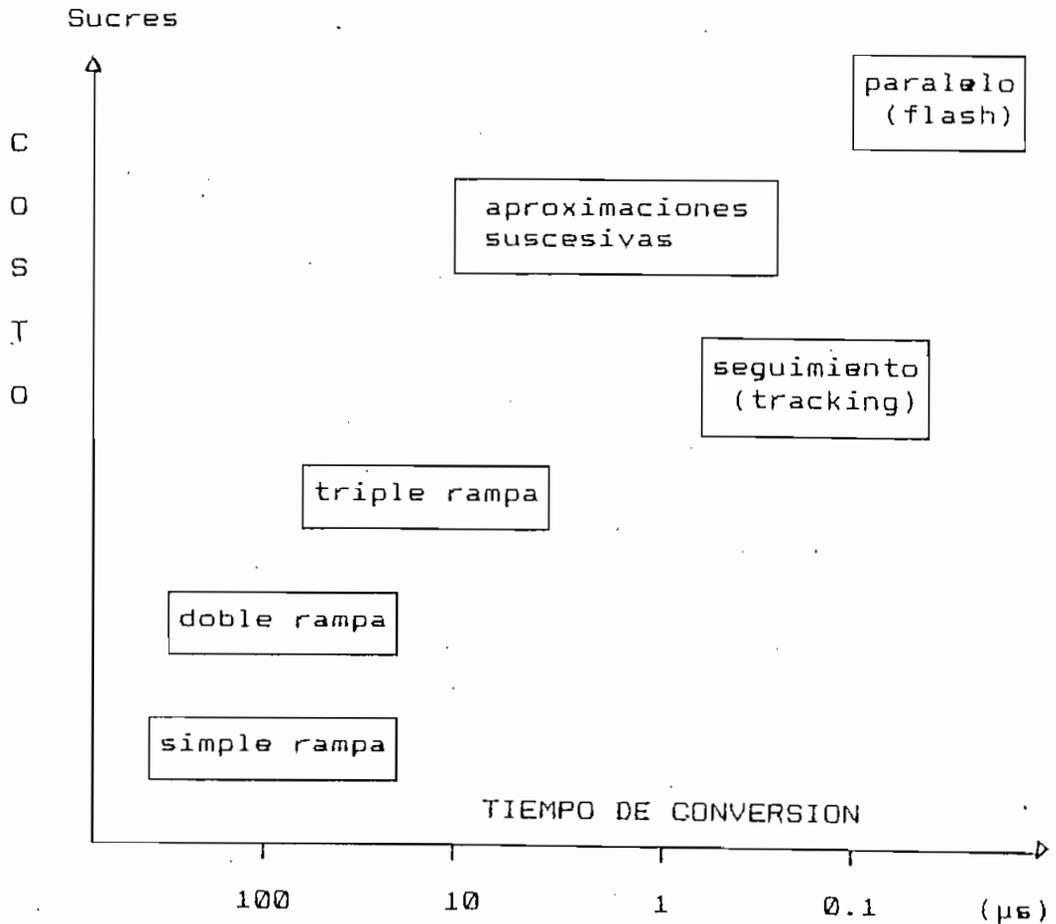


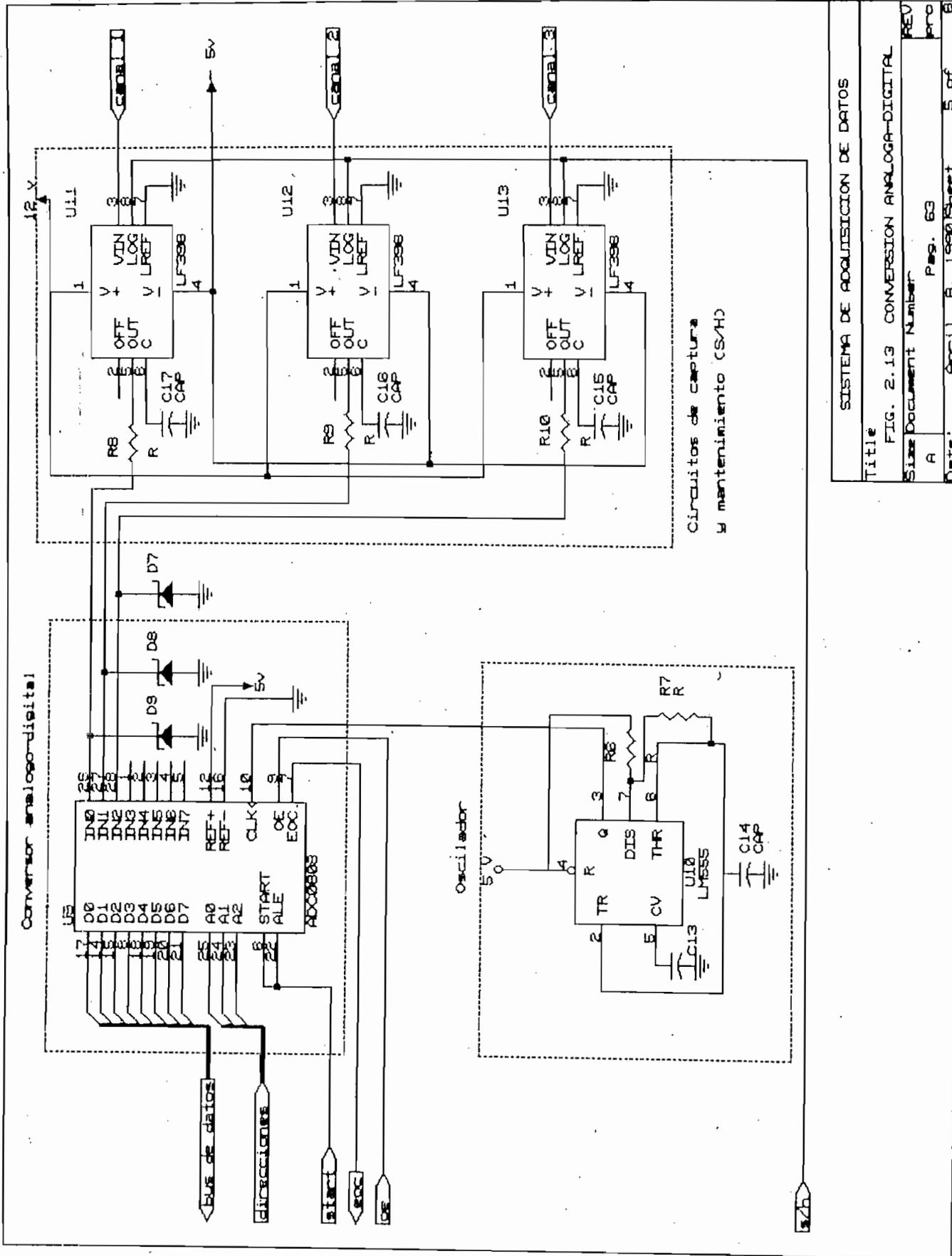
Fig. 2.14 Relación entre la complejidad y el tiempo de conversión en convertidores analógico-digitaes

2.4.2 MODULO DE CONVERSION A/D DEL SISTEMA

Para el sistema de adquisición de datos y control construido se escogió el conversor A/D ADC0808 el cual incluye ocho canales de entrada seleccionables por medio de tres líneas que se controlan con el bus de direcciones, es decir se comanda un multiplexer analógico interno al conversor.

El conversor presenta una alta impedancia de entrada, internamente contiene un divisor de voltaje de 256 resistencias y mediante switches análogos se realizan las aproximaciones sucesivas. Elimina la necesidad de los ajustes de cero y escala completa. La conexión al microprocesador es fácil pues a través de los pines 23-24-25 del conversor direccionamos al canal de entrada análoga, dichas entradas son manejadas directamente por los pines 21-22-23 del microprocesador, que pertenecen al pòrtico P2 el cual es usado como bus de direcciones del sistema.

Para evitar los retardos de fase se utiliza la arquitectura de S/H simultáneo, cada canal tiene su propio circuito de sample/hold LF398 (U11). La línea de control de todos los circuitos S/H es común y proviene del microcontrolador el cual envía las señales respectivas de captura, mantenimiento, inicio de la conversión, etc. a través de líneas de control específicas, como se puede comprobar en el diseño planteado en la Fig. 2.13.



SISTEMA DE ADQUISICION DE DATOS

Title FIG. 2.13 CONVERSION ANALOGA-DIGITAL

Size Document Number A

Date: April 8, 1990 Sheet 5 of 8

REV
PRO

Page 63

El circuito de S/H LF398 (U11) utiliza la tecnología BI-FET para obtener una alta precisión DC y una rápida adquisición de la señal. La precisión DC es 0.002 % y el tiempo de adquisición de 4 μ S para el 0.1 %. La entrada analógica se realiza por el pin 3, la entrada de control a través del pin 8, el capacitor en el que mantiene el voltaje se conecta en el pin 6 y tiene un valor de 0.1 μ F, la salida muestreada la tenemos en el pin 5 la cual pasa por la red de zeners de protección hacia los distintos canales de entrada del conversor respectivamente.

La logica de control del sistema de entrada analógica es la siguiente :

- Se envía desde el microcontrolador un pulso de captura y mantenimiento a través del pin 1 del micro (P1.0) hacia la entrada 8 del circuito S/H el cual actúa y mantiene el voltaje de entrada mientras trabaja el conversor A/D.
- Luego se genera un pulso en el pin 2 del micro (P1.1), el mismo que está conectado al pin 6 del conversor ADC0808 (U9), pulso que hace iniciar la conversión, la misma que dura 100 μ S.
- El microcontrolador entra a un lazo de espera hasta que la señal EOC (end of conversion) se ponga en 1 lógico, indicando así que se ha terminado con

la conversión y los datos están listos. El micro sensa este voltaje a través del pin 3 (P1.2) y el conversor genera dicho voltaje en el pin 7.

- Se efectua la lectura del dato digital correspondiente al canal y al voltaje de entrada poniendo un 1 lógico en el pin 9 del conversor (output enable) el cual tiene como efecto poner los datos en las salidas, retirándolas de su estado de alta impedancia. El voltaje de control se genera desde el microcontrolador en el pin 4 (P1.3).
- Los datos son válidos en los pines : 21-20-19-18-8-15-14-17 en el mismo orden del más significativo al menos significativo. Los mismos que tienen conexión directa al bus de datos del microcontrolador el cual está formado por el pòrtico P0 (pines 32 al 39).

Como se puede apreciar el control del conversor y el S/H lo realiza enteramente el microcontrolador por medio de buses de control (P1), de direcciones (P2) y de datos (P0).

El conversor A/D ADC0808 (U9) usa la técnica de aproximaciones sucesivas, por lo cual necesita una frecuencia de reloj que se genera con el timer LM555 (U10) trabajando en modo a estable con una frecuencia de 640 Khz, según lo indicado en la Fig. 2.14 .

$$V_{cc} = 5 \text{ V}$$

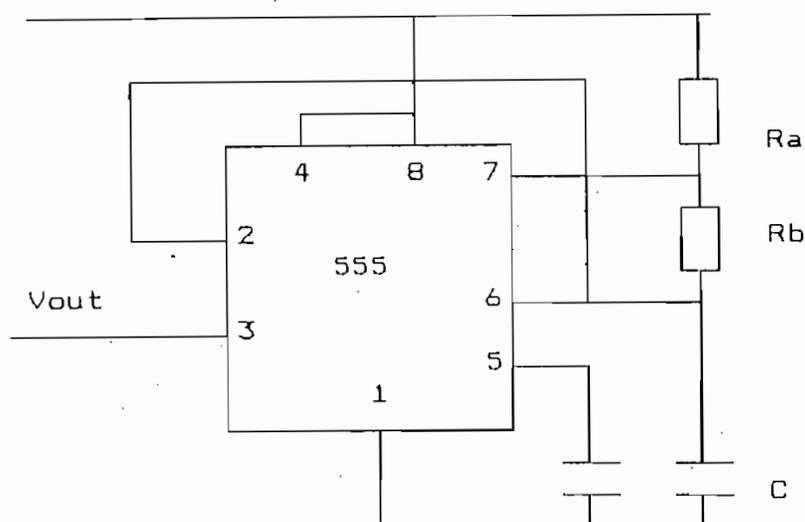


Fig. 2.14 Timer 555 en modo aestado

Para una frecuencia de 640 KHz se tiene un periodo de $1/640$ ms es decir $1,56 \mu\text{s}$ ($0,78 \mu\text{s}$ de carga o descarga), dado que, de acuerdo a las especificaciones :

$$\text{Tiempo de carga} = 0,693(R_a + R_b) * C$$

$$\text{Tiempo de descarga} = 0,693(R_b) * C$$

Haciendo R_a despreciable en relación a R_b observamos que los tiempos se igualan. En consecuencia tenemos :

$$0,78 \mu\text{s} = R_b * C \quad C = 300 \text{ pF}$$

$$\text{entonces :} \quad R_b = 2200 \Omega \quad \text{y} \quad R_a = 330 \Omega$$

Esta frecuencia se la obtiene en el pin 3 del timer y se la inyecta como frecuencia de reloj al pin 10 del conversor ADC0808.

2.5 SISTEMA DE SALIDA ANALOGA

Los datos digitales deben ser transformados en señales analógicas para que puedan ser utilizadas en el mundo analógico. Estos conversores son circuitos que tienen que entregar una señal analógica proporcional al valor digital aplicado a su entrada.

Existen también varias técnicas para realizar esta conversión, razón por la cual es necesario aclarar ciertos conceptos y definiciones.

2.5.1 TECNICAS DE CONVERSION

Un conversor digital-analógico es un dispositivo que recibe una información digital en forma de una palabra de n bits y la transforma en una señal analógica. La transformación se realiza mediante una correspondencia entre 2^n combinaciones binarias posibles en la entrada y 2^n tensiones o (corrientes) discretas, obtenidas a partir de la tensión de referencia V_{ref} . La señal analógica, así obtenida no es una señal continua, sino que contiene un número discreto de escalones a consecuencia de la discretización de la entrada.

El proceso consiste en hacer una ponderación de cada bit y sumar el resultado de todas las ponderaciones multiplicadas por su valor 0 o 1. De esta manera se tiene la siguiente ecuación:

$$V_{sal} = \sum_{i=1}^n V_{pondi} \cdot \delta_i \quad \delta = \{0,1\}$$

La ecuación anterior sugiere una realización inmediata: el conversor D/A de resistencias ponderadas.

Conversor D/A de resistencias ponderadas

Este conversor utiliza un sumador de n canales, siendo n el número de bits, seleccionándose cada canal o no, según el valor del bit correspondiente (0 ó 1). En el caso de un convertidor lineal, el valor de la resistencia de cada canal es $R_i = 2^i R$. (Ver Fig. 2.15)

Este circuito tiene el inconveniente de que necesita resistencias de gran precisión de valores distintos. Al mismo tiempo, los conmutadores de canal deben tener unos valores de resistencia de conducción y de bloqueo en unos márgenes suficientemente alejados de los valores de las resistencias del circuito para que no interfieran en la conversión. Como la salida de tensión se logra mediante un amplificador operacional a causa de la masa virtual que este impone, podría pensarse en dejar flotantes aquellas resistencias que correspondan a bits que sean cero pero esta elección no es muy acertada porque las entradas serían fuente de captación de perturbaciones como consecuencia de acoplamientos indeseados.

También resulta importante la necesidad de una serie de resistencias que cumplan la relación $R, 2R, 4R, \dots$, esto cobra especial importancia cuando se trata de un DAC de varios bits. Así para uno de 12 bits en el que $R = 1 \text{ K}\Omega$, la gama final llegaría a los $2 \text{ M}\Omega$. Este conjunto de resistencias con la precisión requerida y las mismas características de temperatura, son difíciles de conseguir, especialmente de forma integrada.

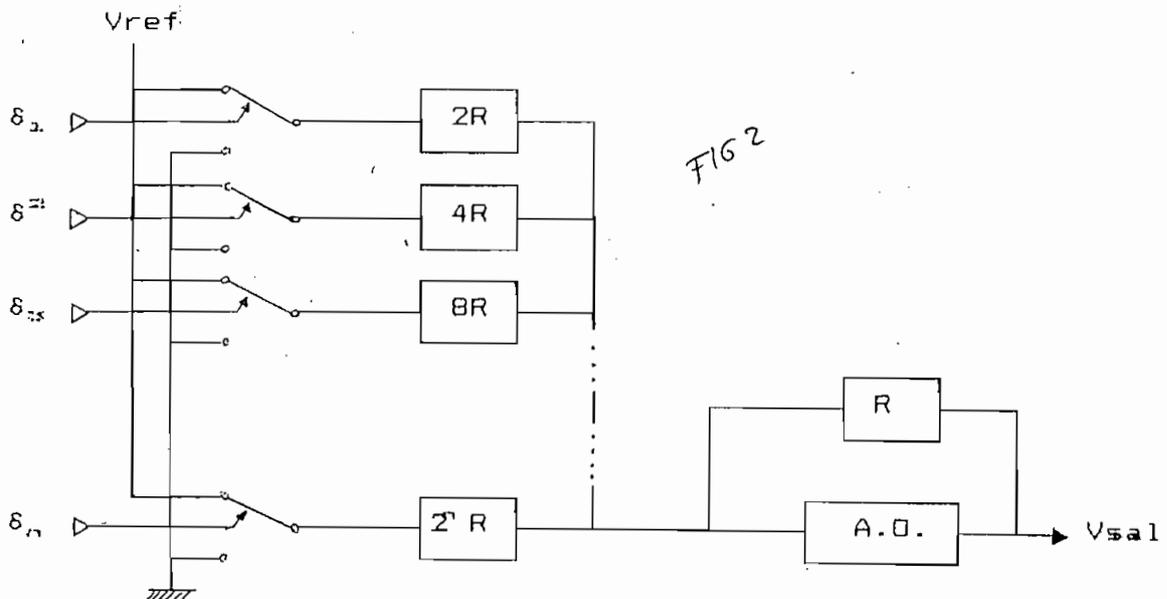


Fig 2.15 Conversor D/A de resistencias ponderadas

Conversor D/A por red de resistencias R-2R

Soluciona los problemas expuestos anteriormente, el utilizar resistencias con sólo dos valores. (Ver Fig. 2.16)

La corriente que circula por las resistencias $2R$, está en progresión geométrica de razón $1/2$ debido a que en cada pun-

to de unión de resistencias R - R , la impedancia del circuito es igualmente R . Seleccionando cada canal en función del bit correspondiente, se obtiene una corriente a la entrada del amplificador operacional suma de las corrientes de cada rama la cual produce una tensión analógica de salida .

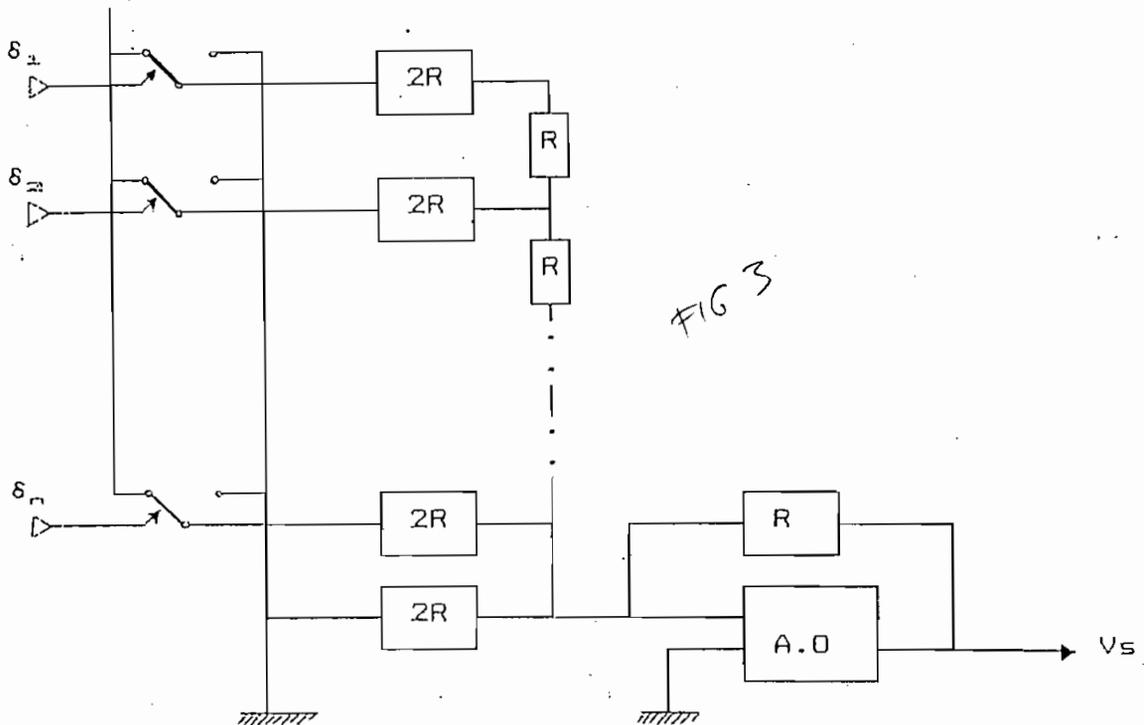


Fig. 2:16 Conversor D/A de red resistiva R - $2R$

Conversor D/A por modulación de ancho de pulso

Es un conversor que en una primera etapa convierte el código digital en una señal pulsante de anchura controlada V_{em} , y en una segunda etapa mediante un filtro de paso bajo, convierte esta señal pulsante en una señal analógica V_a . En la figura 2.17 observamos la estructura de este conversor:

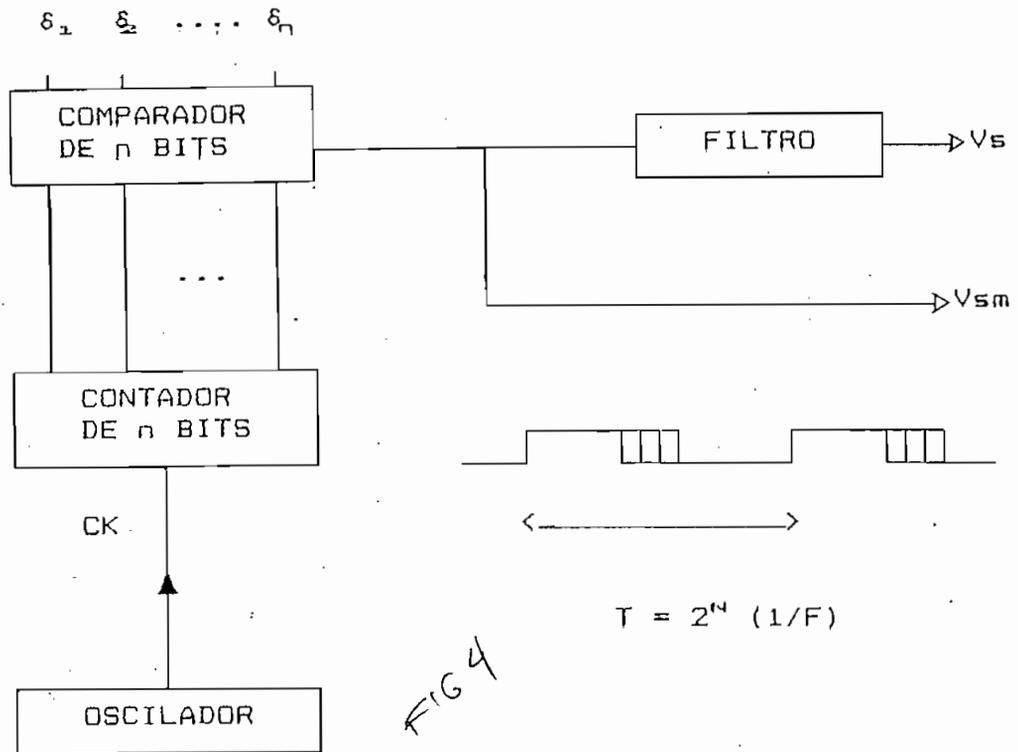


Fig. 2.17 Conversor D/A de modulación de ancho de pulso

Un comparador de n bits compara el código digital con el valor de un contador de n bits que se va incrementando con los impulsos de un oscilador patrón. Al alcanzar éste el valor del código digital, su salida varía. El periodo de la señal modulada es por lo tanto, el tiempo necesario para contar 2^n impulsos, mientras que la anchura de la señal modulada es igual al tiempo necesario para contar tantos impulsos como indica la palabra digital de entrada. El filtrado de salida implica una velocidad de conversión lenta, pero en cambio este conversor es estructuralmente más confiable.

Las órdenes de control para mandar actuadores analógicos se obtienen a la salida del microcomputador en forma de una palabra digital. Esta se puede almacenar en un registro para mantenerla mientras se realiza la conversión D/A, como lo muestra la Fig. 2.18 :

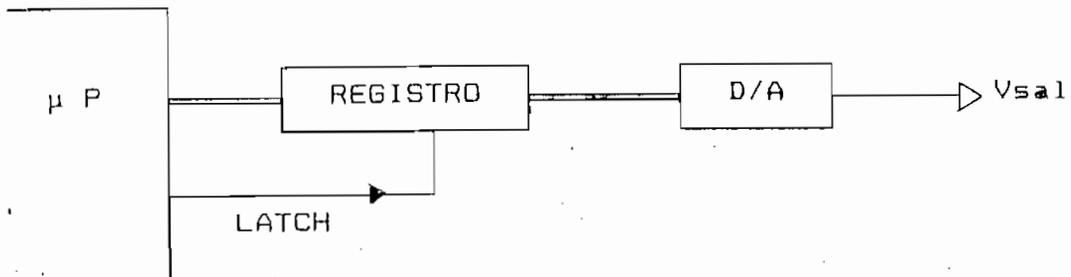


Fig. 2.18. Orden de control a un canal de salida

De esta manera el microcontrolador actualiza el valor de salida en el registro el cual mantiene dicho valor al recibir la orden (LATCH) correspondiente.

Cuando se desea actuar sobre varios canales utilizando un solo conversor D/A, puede utilizarse un demultiplexor analógico a la salida del conversor, seguido de tantos circuitos de captura y mantenimiento como canales de salida, según ilustra la Fig. 2.19 .

El control de los canales de salida lo realiza el microprocesador mediante las líneas de control de actualización (LATCH), la línea de inicio de conversión (S.C. = start conversion), fin de conversión (EOF = end of conversion),

direcciones, y ordenes de captura y mantenimiento (S/H = sample and hold). Estas líneas de control se conectan a los diferentes circuitos : microcontrolador, registro de mantenimiento, conversor D/A, multiplexer análogo y S/H.

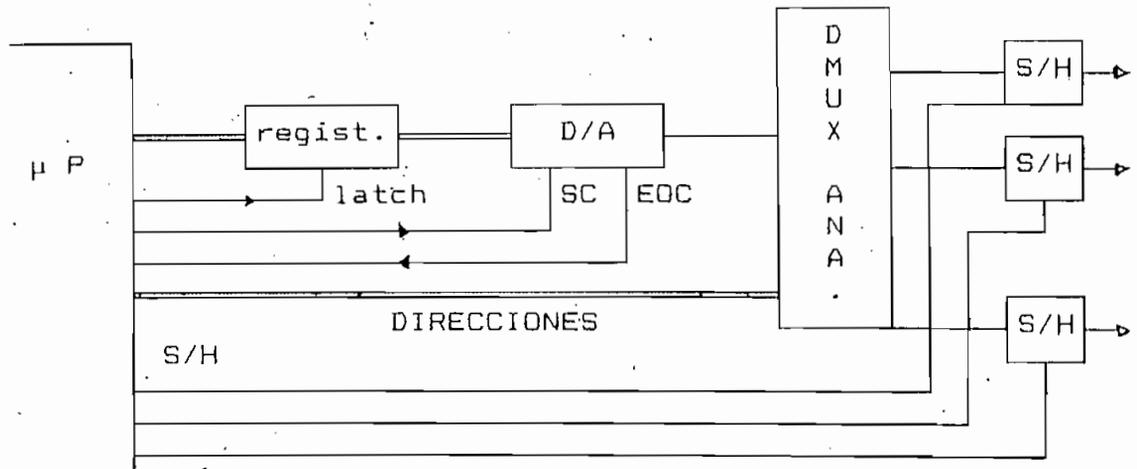


Fig. 2.19. Ordenes de control a varios canales de salida

Especificaciones de los conversores¹

Se incluyen términos cuyo significado debe conocerse para comprender sus posibilidades :

Resolución .- Describe al incremento más pequeño de la señal de entrada de un conversor A/D, o el menor cambio de la señal de salida de un conversor D/A en el cambio entre un código binario y su adyacente.

¹ José Mompín Poblet, Interconexión de periféricos a microcomputadores, España 1983, pág. 145-146.

Precisión .- En un conversor D/A describe la mayor diferencia entre sus valores de salida y una línea recta dibujada entre sus valores mínimo y máximo. En un conversor A/D describe la diferencia entre la señal de entrada y la equivalente ponderada de la palabra digital de salida.

Error de cuantificación .- Es la desviación máxima entre la salida de un conversor A/D de n bits y la línea recta correspondiente a un conversor A/D ideal de un número infinito de bits.

Línealidad.- Describe la variación de una curva de transferencia lineal para los conversores A/D y D/A.

Monotonicidad.- Describe la falta de continuidad entre la característica de transferencia de un conversor D/A y los incrementos de salida, que deberían ser constantes, al incrementarse la entrada.

Tiempo de conversión .- Es el tiempo que necesita un conversor para la realización de una conversión cuando realiza conversiones consecutivas. Incluye el tiempo de preparación y el tiempo en que se realiza la conversión propiamente dicha.

Frecuencia de reloj.- Es el valor máximo o mínimo de reloj que admite el conversor para realizar la conversión.

Los conversores deben aceptar y/o suministrar señales digitales, compatibles con los sistemas externos con los que interacciona. A continuación se citan las señales de control más usuales:

Inicio de conversión. - Es una señal digital para un conversor A/D que inicia un ciclo de conversión. Normalmente esta señal debe estar presente simultáneamente con la ocurrencia del flanco de subida o de bajada del reloj de sincronismo. En un conversor D/A no se necesita esta señal, pero puede suministrarse para capturar la palabra digital en su registro de entrada en el caso de los conversores con doble registro utilizados para conexiones de varios conversores a microprocesadores, permitiendo actualizar sus valores en forma individual.

Fin de conversión. - Es una señal digital que informa al microprocesador que la salida del conversor A/D es válida. Los conversores D/A no utilizan esta señal.

Ocupado. - Esta señal indica que el conversor está en período de realización de la conversión.

Reloj de sincronismo. - Esta señal se utiliza para el control de la velocidad de conversión de los conversores A/D, dentro de sus límites máximo y mínimo. Los conversores D/A no utilizan esta señal.

Los códigos usuales de los conversores son principalmente los que se citan a continuación:

Binario natural o unipolar binario.— Es el código usual de la progresión 2^n .

Binario complementario.— Es la misma progresión anterior con la diferencia de que el máximo nivel se representa por n ceros y el mínimo nivel por n unos.

Decimal codificado en binario.— Es la representación de números decimales en forma binaria. Se pierde resolución al utilizarse cuatro bits para representar un número decimal.

Binario con offset o bipolar binario.— Es el código natural binario con la particularidad de que puede representar valores positivos o negativos. El nivel cero se sitúa en el centro de la escala.

Binario en complemento a dos.— Como el anterior, representa a números negativos. Los valores positivos y el cero se representan en forma binaria natural y los negativos en complemento a dos.

Signo y magnitud.— Contiene la información de la polaridad en el bit de mayor peso; las escalas positiva y negativa son simétricas y el cero tiene doble representación.

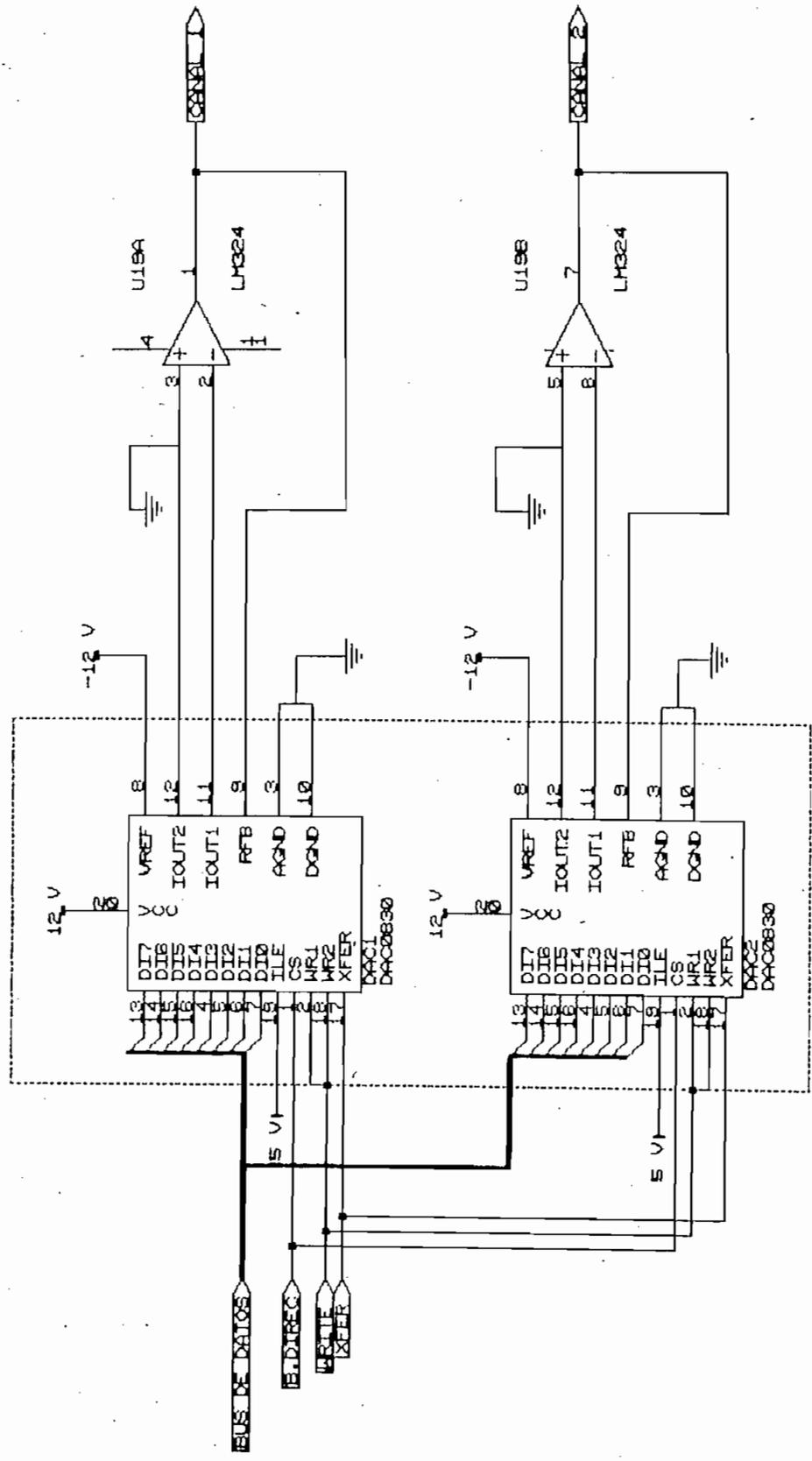
2.5.2 MODULO DE CONVERSION D/A DEL SISTEMA

Para nuestro sistema de salida analógica se tiene un conversor diseñado específicamente para uso con microcontroladores debido a su doble registro de salida interno: DAC0830 el cual está numerado como (DAC1) en la Fig. 2.20. Esta característica permite que el voltaje de salida correspondiente a una palabra digital se mantenga mientras se está actualizando otra palabra digital.

Su forma de conexión es directa y simple : los pines 13-14-15-16-4-5-6-7 son los datos digitales, por lo cual se los conecta directamente al bus de datos (P0) del microcontrolador. Seleccionamos al conversor D/A con el que vamos a trabajar mediante su entrada de CS (el pin 1), la misma que se conecta al bus de direcciones del micro (P2), las señales de control de escritura WR1 y WR2 en los pines 2 y 18 respectivamente son controladas por la misma señal proveniente del bus de control P1.4 (pin 5 del micro), la señal de control de transferencia XFER localizada en el pin 17 del conversor, es generada en el microprocesador en P1.5 (pin 6). La secuencia con la que se aplican estas señales es la siguiente:

- Se habilita el canal D/A de salida que deseamos mediante el bus de direcciones que actúa sobre el pin 1 del conversor (CS), habilitándolo para que pueda variar sus registros de entrada y salida.

CONVERSORES DIGITALES - ANALOGOS



Title	FIG. 2.20 CONVERSION DIGITAL-ANALOGA
Size	Document Number
A	REV
Date:	Apr-11 8, 1990
	Sheet 7 of 8

- Se pone en el bus de datos el valor digital del voltaje de salida deseado.
- Se da un pulso negativo en las entradas de escritura del convertidor (2 y 18) el cual se obtiene en el pin 5 (P1.4).
- Se genera otro pulso en el pin 5 junto con la entrada XFER del convertidor (pin 17) con lo cual conseguimos que el convertidor actualice el registro de salida con el valor puesto en el registro de entrada y lo mantenga, hasta un nuevo cambio.

Estos convertidores hacen necesaria la presencia de amplificadores operacionales a la salida de los mismos, pues solamente tienen salida de corriente del orden de los nano amperios. Los amplificadores se conectan directamente pues el convertidor incluye las resistencias de realimentación necesarias. El pin 12 del convertidor (Iout 2) se conecta a tierra, el pin 11 (Iout1) se conecta a la entrada negativa del amplificador operacional LM324 (U19A) y el pin 9 (Rfb) a la salida del amplificador.

Todas las entradas de control ILE (input latch enable) de todos los convertidores se conectan a 1 lógico (5 V), para que en junto con la entrada de selección de chip, habiliten la escritura en el registro de entrada. Finalmente debemos indicar que tanto la tierra digital (DGND pin 10) como la

tierra análoga (AGND pin 3) deben estar conectadas a la tierra común de todo el circuito.

Este modo de operación de doble buffer es el que nos permite conectar varios DACs y direccionarlos independientemente utilizando tanto el bus de direcciones como el control y datos solamente el tiempo necesario. De esta forma se controla el registro de entrada de cada DAC a través de su respectiva entrada individual CS y una vez que todos los DACs tienen dicho registro actualizado se transfiere su contenido al registro de salida análoga mediante la señal común a todos los convertidores XFER, actualizando simultáneamente cualquier número de DACs, al actualizar el segundo registro de salida se produce la conversión del código digital a un voltaje análogo mediante una red de resistencias R-2R.

El tiempo requerido y el uso de niveles lógicos convencionales en el diseño de este convertidor han hecho que se elimine la lógica para el interface con los microprocesadores y es fácil pensar que el convertidor es una localidad de memoria del tipo "solo escritura" la cual provee una cantidad análoga de salida. Todas las entradas del convertidor reconocen niveles TTL pero también pueden ser manejadas directamente con niveles CMOS mayores en sistemas sin microprocesador. Para prevenir daños por descargas estáticas todas las entradas no usadas deben ponerse a Vcc o tierra. Si alguna queda flotando el DAC la interpretará como 1 lógico.

2.6 SISTEMA DE ENTRADA Y SALIDA DIGITAL

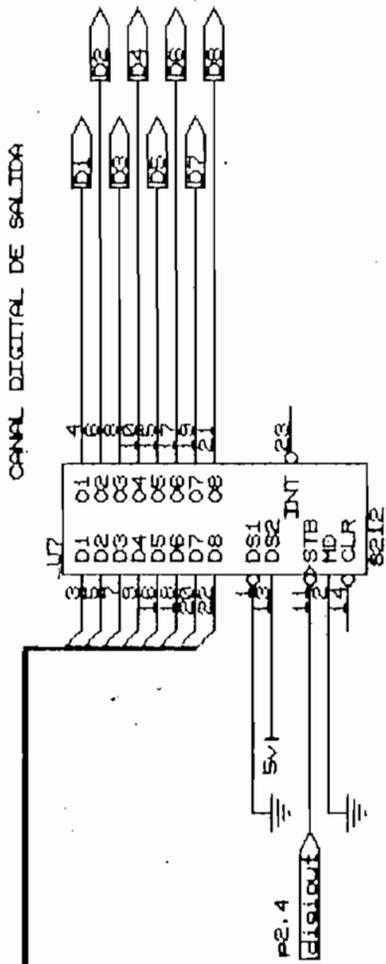
Una forma de construir la entrada y salida digital, es utilizando dos 8212 (U7,U8) el cual se concibió y produjo originalmente por Intel como un pòrtico de entrada o salida, con enclavamiento, de 8 bits. El 8212 puede enclavarse continuamente de modo que los datos fluyan a trav s del mismo, o puede desconectarse para bloquear el flujo. Es id neo para esta aplicaci n porque tiene salidas "triestado". Ver Fig. 2.21.

No es absolutamente necesario utilizar circuitos 8212 para realizar esta funci n. Los circuitos 8T97   74367 tambi n sirven para esta aplicaci n, pero precisan cuatro c psulas de circuitos integrados.

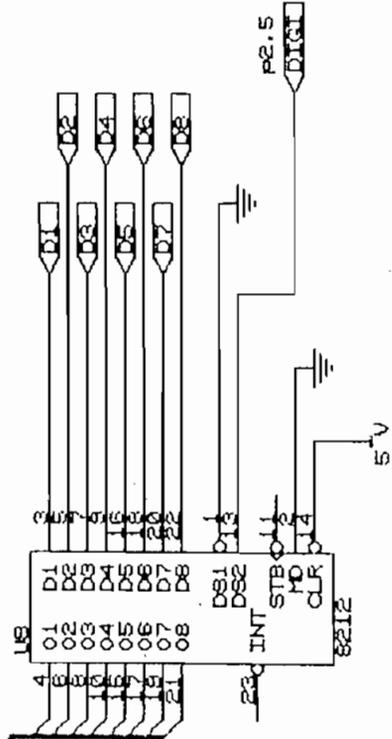
Los dos circuitos 8212 est n cableados en sentidos opuestos U7 dirige los datos desde el microcontrolador hacia la bornera de salida, y U8 canaliza los datos hacia el microcontrolador.

Para el canal digital de salida, los pines 3-5-7-9-16-18-20-22 del chip 8212 denominado U7 se conectan directamente al bus de datos de donde reciben la informaci n correspondiente al dato digital que se quiere tener a la salida, es decir en los pines 4-6-8-10-15-17-19-21. El control del integrado se lo efectua a trav s de los pines: 1 (DS1) a tierra, 13 (DS2) a 5 V, 2 (MD) a tierra, 14 (CLR) a 5 V y el paso escritura a

BUS DE DATOS



CANAL DIGITAL DE ENTRADA



SISTEMA DE ADQUISICION DE DATOS

Title

FIG. 2.21 ENTRADA Y SALIDA DIGITAL

Size Document Number

A

Date: April 8, 1980

Page 82

Sheet 4 of 6

mantenimiento de los datos o viceversa lo realiza el microcontrolador (P2.4), actuando sobre el pin 11 (STB) del 8212 (U7). Las salidas se conectan en la bornera a sus respectivos transistores, lo que permite manejar mayores potencias con una fuente de potencia independiente.

Para el caso de la entrada digital, el funcionamiento de U8 es similar pero invirtiendo los pines de entrada y salida, para lo cual los pines 4-6-8-10-15-17-19-21 son los que se conectan al bus de datos, mientras que por los pines 3-5-7-9-16-18-20-22 ingresan los datos desde el exterior con niveles TTL. El control de alta impedancia o escritura en el bus de datos lo realiza el microcontrolador (P2.5) actuando directamente en el pin 13 (DS2), mientras los pines : 1 (DS1) y 2 (MD) permanecen conectados a tierra.

Los datos que se ingresan y/o extraen tienen niveles TTL que son quizá los más universalmente utilizados. Están definidos por los niveles equivalentes utilizados en los circuitos integrados del mismo nombre. Se considera un nivel <0> a cualquier valor comprendido entre 0 y 0.8 V, mientras que el nivel <1> es el comprendido entre +2 y +5 V. La carga normal TTL es la equivalente a un consumo de 1.6 miliamperios. En el caso de mayores voltajes o potencias como las requeridas para controlar contactores, motores de pasos, circuitos CMOS, etc., es necesario que se añadan circuitos amplificadores que efectuen dicha conversión de voltajes o corrientes con la potencia adecuada.

2.7 TRANSMISION Y RECEPCION SERIAL

2.7.1 Generalidades

La transferencia de información entre dos sistemas digitales, por ejemplo, un microcomputador y un terminal, periférico u otro microcomputador, se realiza generalmente, carácter a carácter utilizando códigos binarios (ASCII, EBCDIC, BAUDOT, ...). Otras veces la información que se transfiere no corresponde a ninguna codificación de caracteres numéricos o alfanuméricos sino que es puramente binaria, por ejemplo, cuando se efectúan cargas de programas objeto sobre la memoria del ordenador.

De una forma o de otra la información se transmite en unidades de información denominadas palabras, que suelen ser de 5 a 8 bits. Existen dos formas de realizar la transmisión de estas palabras :

Método paralelo

Transmitiendo simultáneamente, por líneas separadas, todos los bits de palabra, junto con una señal de reloj que indica el momento en el que está presente una palabra de información en las líneas de datos y las señales de control para informar sobre el estado del transmisor y receptor. (Ver. Fig. 2.22).

Interfaz paralelo

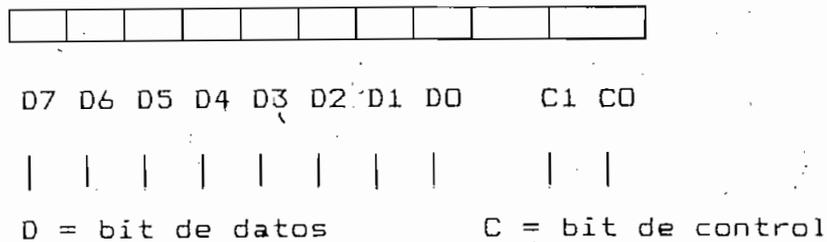


Fig. 2.22 Transmisión paralela de datos

El tiempo de transmisión de dicha palabra es mínimo con lo que la velocidad de transmisión será únicamente penalizada por las limitaciones implícitas a la tecnología utilizada.

En el estudio de un sistema de entradas/salidas en paralelo deben observarse una serie de aspectos que condicionan el tipo de líneas o circuitos terminales que deban utilizarse, tales como: velocidad de transmisión, distancia entre equipos, sentido de la comunicación, interferencia por ruidos externos, o diafonía entre bits, número de líneas correspondientes a los bits de información más las correspondientes a las señales de control, más las necesarias para protección de la información que dependerá del grado de seguridad y las características del periférico.

Método serie

Transmitiendo en forma secuencial en el tiempo, todos los bits de palabra, uno tras otro, por una sola línea de datos.

Eventualmente puede existir una línea adicional de reloj que marque los tiempos de bit.

El método paralelo es utilizado para transmisiones a alta velocidad entre los dos sistemas; no obstante cuando la distancia entre ambos aumenta, el coste de la línea y el de los amplificadores de transmisión y recepción puede llegar a crecer de forma tal que desde el punto de vista económico, sea preferible utilizar un sistema serie de comunicaciones. Por otra parte, como se verá más adelante, los sistemas de comunicaciones serie han alcanzado un alto grado de estandarización. Existen normas universalmente aceptadas que fijan completamente todos los detalles de la comunicación, incluyendo aspectos mecánicos (tipos de conectores y distribución de señales en los pines), aspectos eléctricos (niveles y formas de las señales), y aspectos lógicos (sistemas de codificación y sincronización, y descripción de todos los circuitos de datos, control y temporizado).

Estos estándares han conducido a que la mayoría de fabricantes de procesadores y periféricos incorporen en sus equipos interfaces serie que cumplen las normas especificadas, de forma que se pueda realizar con toda facilidad la conexión indistinta de cualquier terminal o periférico con cualquier procesador.

Así, se utilizan interfaces serie para conectar periféricos, como terminales de pantalla o impresoras, a computadoras

aunque su distancia sea reducida y puedan, por lo tanto, usarse interface de tipo paralelo.

En lo que sigue se utiliza el nombre genérico de terminales para designar a los sistemas que se comunican utilizando un procedimiento serie de entrada/salida. Un terminal puede ser un ordenador, un microcomputador, un periférico, el sistema de adquisición de datos, etc..

La comunicación entre terminales se hace utilizando líneas o canales de transmisión, que pueden ser:

- *Simplex*, cuando son capaces de transmitir información en un solo sentido.
- *Semiduplex* (half-duplex), cuando son capaces de transmitir información en ambos sentidos pero no de forma simultánea.
- *Dúplex* (full-duplex), cuando son capaces de transmitir simultáneamente información en ambos sentidos.

La codificación de las señales en estos sistemas se hace mediante uno de los siguientes métodos: asíncrono o síncrono.

Problemas en las transmisiones serie

Cuando se transmiten informaciones a través de una línea serie es necesario utilizar un sistema de codificación que

permitan resolver los siguientes problemas :

Sincronización de bit.- El receptor necesita saber exactamente donde empieza y donde termina cada bit en la señal recibida para efectuar el muestreo de la misma en el centro de celda de cada bit.

Sincronización de carácter.- La información en serie se transmite, por definición bit a bit, pero la misma tiene sentido en palabras, por ejemplo de 8 bits.

El sistema de codificación usado debe permitir distinguir sin ambigüedades, dentro de una corriente de bits, cuales son los 8 que forman una palabra.

Sincronización de mensaje.- En un sistema de comunicaciones, generalmente las informaciones se transmiten en bloques de caracteres.

Por sincronización de mensaje entendemos el mecanismo por el cual un conjunto de palabras es interpretado correctamente. Este problema normalmente no incumbe a los circuitos de codificación, sino al procesador que lo utiliza.

Método asíncrono

En el método asíncrono la transmisión se controla por bits de inicio y de final que enmarcan cada carácter transmitido,

Los datos codificados según estas reglas pueden ser detectados fácilmente por el receptor. Para ello deben seguirse los siguientes pasos :

- 1) Esperar una transición de 1 a 0 en la señal recibida.
- 2) Activar un reloj de frecuencia igual a la del transmisor.
- 3) Muestrear la señal recibida al ritmo de este reloj para formar el caracter.
- 4) Leer un bit más de la línea y comprobar si es 1 para confirmar que no ha habido error de sincronización.

El bit de final tiene la misión de llevar a la línea a estado 1 para que el bit de inicio del próximo caracter provoque la transición de 1 a cero que permita al receptor sincronizar el siguiente caracter.

El bit de final sirve también para dar tiempo a que el sistema receptor acepte el dato recibido. De todas formas, actualmente se utilizan registros adicionales que almacenan el dato recibido, mientras el receptor está recibiendo el siguiente, de forma que el procesador dispone del tiempo de todo un caracter para recogerlo, caso contrario se lo pierde.

El método asíncrono de transmisión presenta las siguientes ventajas :

- 1) Permite enviar caracteres a ritmos variables ya que cada uno de ellos lleva incorporada la información de sincronismo.
- 2) Existen circuitos integrados de bajo costo, las UART (Universal Asynchronous Receiver/Transmitter), que simplifican enormemente la realización de sistemas de entrada/salida en este formato.
- 3) Es un método de comunicaciones estándar entre ordenadores y terminales de pantalla, impresoras, tarjetas de adquisición de datos, etc.

Entre sus inconvenientes se pueden citar, como más importante, su ineficiencia, ya que cada caracter va lastrado con dos bits de sincronización que no contienen información útil. Asumiendo caracteres de 8 bits, es necesario enviar por la línea 10 bits para enviar un caracter, es decir sólo un 80 % de la información transmitida es válida.

Método síncrono.- En el método síncrono, en vez de añadirse bits de sincronismo a cada palabra, lo que se hace es añadir caracteres de sincronismo a cada bloque de datos.

Los caracteres se transmiten en serie, bit a bit, y sin ninguna separación entre uno y otro, no obstante, delante de

cada bloque de datos se colocan unos caracteres de sincronismo que sirven al receptor para realizar la sincronización de carácter, es decir, conocer las fronteras de carácter en una corriente de bits.

La sincronización de bit se consigue normalmente utilizando una señal externa de reloj. En una comunicación local entre dos dispositivos, el transmisor envía por una línea independiente de la de datos su señal de reloj, que es utilizada por el receptor como reloj de recepción.

La sincronización de bit queda de esta forma resuelta, ya que el mismo reloj que el transmisor utiliza para serializar los bits de información sobre la línea de datos, es utilizada por el receptor para leer los datos recibidos. Será necesario únicamente tener en cuenta que el receptor debe muestrear la línea de datos con el flanco de reloj contrario al que el transmisor utilizó para enviarlos, para que así el muestreo se efectúe en el centro de la celda de bit.

El método de comunicaciones síncrono se utiliza cuando el volumen de informaciones a enviar es importante, debido a su mayor eficiencia respecto al método asíncrono.

En modo asíncrono cada palabra se envía precedida por un bit de inicio y seguida por 1 ó 2 bits de final. Suponiendo palabras de 8 oct. y utilización de 1 bit de final, se necesitan 10 bits para enviar una palabra de 8 bits.

En modo síncrono, cada mensaje se envía precedido por unos caracteres de sincronismo, normalmente dos caracteres. Para enviar un mensaje de N palabras serán necesarios:

- $(N+2) \times 8$ bits en síncrono y
- $10 \times N$ bits en asíncrono.

Comparando ambas cifras se observa que para mensajes superiores a 8 palabras el sistema síncrono es más eficiente, y para mensajes de 512 palabras la eficiencia del método síncrono es un 25% superior a la del método asíncrono.

$$\text{síncrono : } (512+2) \times 8 = 4.112 \text{ bits}$$

$$\text{asíncrono: } 512 \times 10 = 5.120 \text{ bits}$$

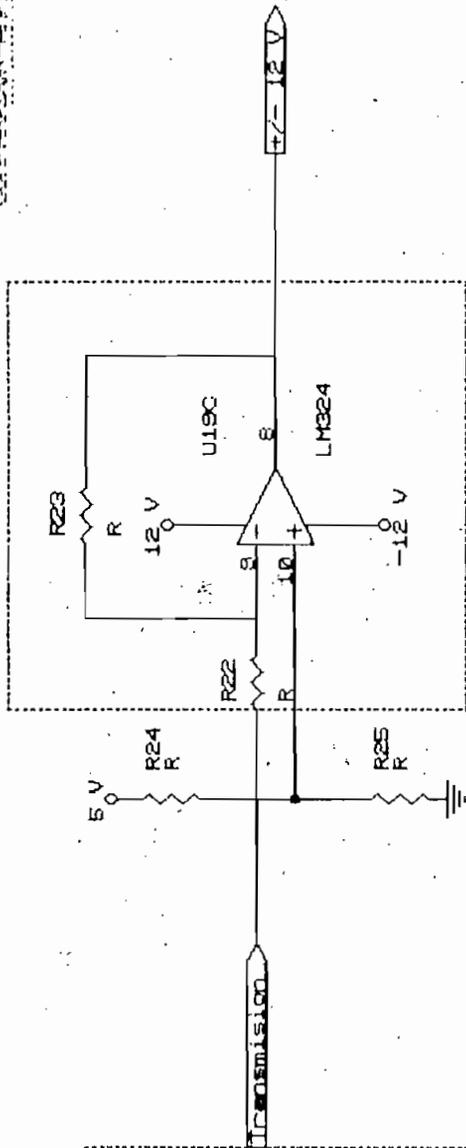
$$\text{----> } 5.120 / 4.112 \% = 24.5 \%$$

2.7.2 MODULO DE TRANSMISION Y RECEPCION SERIAL

El método utilizado en el prototipo es el de transmisión serial asincrónica con 1 bit de inicio, 8 bits de datos, sin paridad y un bit de parada, a 9600 baudios.

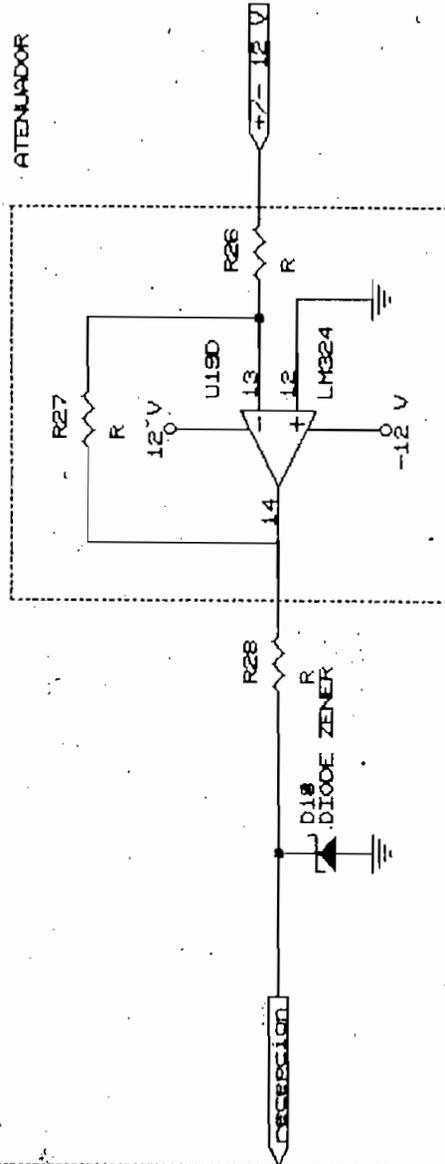
Los circuitos de transmisión serial se limitan a ser simples comparadores de tensión, como los de la Fig. 2.24., es decir en su entrada se tienen los niveles de voltaje de 5 V y 0 V los mismos que son emitidos por el microcontrolador 8751 a través del pin 11 (TXD) y recibidos en el pin 10 (RXD). Para la transmisión la salida del microcontrolador es amplificada

CONVERTIDOR AMPLIFICADOR



INSTRUMENTOS DE LABORATORIO

ATENUADOR



SISTEMA DE ADQUISICION DE DATOS

Title

FIG. 2.24 TRANSMISION Y RECEPCION SERIAL

Sheet Document Number

REV

A

9.1

para obtener voltajes de ± 12 V o lo que es lo mismo para 0 V en la entrada -12 V a la salida y para 5 V a la entrada, ± 12 V a la salida, para que la comparación en el operacional (U19C), sea posible es necesario realizarla con un voltaje de referencia de $\pm 2,5$ V y haciendo que el amplificador se sature con cualquier desviación en uno u otro sentido y de esta manera se obtienen los voltajes aceptados por la transmisión serial RS-232. Los 2.5 V de referencia se obtienen mediante un divisor de tensión resistivo (R24, R25) y se conectan a la entrada positiva (PIN 10) del integrado U19C.

En el caso de la recepción se realiza la atenuación correspondiente mediante el amplificador operacional U19D a la salida del cual se tiene un diodo zener (D18) para evitar que el voltaje que llega al pin 10 (RXD) del microcontrolador sea mayor a 5 V.

El microcontrolador 8751 permite a través de la programación de uno de sus timers, generar la velocidad adecuada para la transmisión serial. Para este caso en particular se tiene al timer 1 trabajando en el MODO 2 de autorecarga y se configura al pòrtico serial para que genere 1 bit de inicio, 8 bits de datos y 1 bit de parada. Para el cálculo de los valores iniciales del timer se utilizó la siguiente fórmula :

$$\text{Baud Rate} = \frac{2^{\text{SMOD}}}{32} * \frac{\text{Frec. Cristal}}{12 \times [256 - (\text{TH1})]}$$

donde :

SMOD = 0 en el reset inicial

Frec. Cristal = 7.3728 MHz

Baud Rate = 9.600 baudios

dando como resultado :

TH1 = FEH

Valor hexadecimal que se carga en los registros del timer para que se genere la velocidad de transmisión necesaria.

2.8 Plano eléctrico del sistema

El plano eléctrico general constuye la unión de todos los módulos anteriormente detallados, donde se pueden apreciar todos los integrados utilizados y su interacción mutua para satisfacer los requerimientos inicialmente establecidos.

La figura 2.25 que a continuación se expone, constituye el plano eléctrico del sistema.

CAPITULO 3.- DISEÑO DE LOS PROGRAMAS

- 3.1 Estructura general
- 3.2 Programa principal en el microcontrolador.
- 3.3 Subrutinas para el microcontrolador
 - 3.3.1 Muestreo de un canal A/D de entrada.
 - 3.3.2 Control de un canal D/A de salida.
 - 3.3.3 Lectura de la entrada digital.
 - 3.3.4 Escritura en la salida digital.
 - 3.3.5 Lectura sincrónica del canal digital.
 - 3.3.6 Adquisición de 100 muestras
- 3.4 Programa principal para el computador personal.
- 3.5 Subrutinas en el computador personal
 - 3.5.1 Muestreo de un canal A/D de entrada.
 - 3.5.2 Control de un canal D/A de salida.
 - 3.5.3 Lectura de la entrada digital.
 - 3.5.4 Escritura en la salida digital.
 - 3.5.5 Lectura sincrónica del canal digital.
 - 3.5.6 Adquisición de 100 muestras

3.1. ESTRUCTURA GENERAL

El sistema de adquisición de datos interactúa con la computadora personal a través de programas instalados tanto en el microcontrolador como en la PC los cuales se encargan de operar correctamente los conversores A/D y D/A, puertos paralelos para entrada y salida digital, puerto serial para la transmisión bidireccional de los datos que se obtienen de las diferentes conversiones y algoritmos implementados.

Los programas desarrollados para el microcontrolador permiten administrar los recursos del sistema, es decir controlan tanto los conversores como las comunicaciones con la computadora personal, de la siguiente manera :

- Inicialmente se leen los dip switches con los cuales escogemos la amplificación inicial de los amplificadores operacionales de entrada, la cual varía entre 0,5 - 1 - 5.
- Para los conversores A/D genera las señales necesarias como : inicio de conversión (S.C.), fin de conversión (E.O.C) y lectura, mediante buses de control y de datos.
- Para los conversores D/A se envían los datos por el bus, se activa la señal de escritura en el registro o latch de entrada (WR1) de cada conversor y una vez

que se actualizan dichos registros de todos los conversores D/A, se activa la señal que traslada (XFER) hacia el registro de salida, los datos del registro de entrada, de todos los conversores al mismo tiempo con lo que se consigue que las salidas necesarias se presenten en forma análoga en todos los conversores y en el mismo instante.

- Para las entradas y salidas digitales genera las señales de habilitación, mantenimiento y lectura.

A través de la comunicación serial el operador puede seleccionar uno de los módulos implementados en el microcontrolador y junto con los programas respectivos en la computadora personal, realizar acciones de control que se ha tratado sean lo más generales posibles y para sistemas relativamente lentos debido al retardo que se produce en la comunicación serial a 9600 baudios.

Los programas fueron desarrollados con el ensamblador de Cybernetic Micro Systems ver. 3.02 y simulados en el AVSIM51 antes de su implementación final.

Es oportuno mencionar que los programas están concebidos en forma modular y el usuario puede escoger indistintamente el módulo que más se adapte a sus requerimientos o generar uno propio en el caso de ser necesario pues dada la variedad de aplicaciones es imposible que se puedan programar de antema-

no todos los posibles usos del sistema, como por ejemplo controles PID programados a nivel del microcontrolador para sistemas más rápidos que los que se pueden controlar con la computadora personal a través de la comunicación serial.

En la computadora personal se tienen igualmente módulos que realizan funciones específicas: adquisición de datos de canales predeterminados, monitoreo de señales, algoritmos de control, etc. todos ellos de carácter general y aplicables a la mayoría de los casos.

Los programas para la computadora personal se desarrollaron en lenguaje Quick Basic ver. 4.0 a través de los cuales se maneja el interface serial y los datos enviados por el sistema de adquisición, los cuales son procesados y nuevamente transmitidos o almacenados según el caso.

3.2 PROGRAMA PRINCIPAL PARA EL MICROCONTROLADOR

El programa principal implementado en el microcontrolador se encarga de la configuración inicial del sistema: situa al timer 1 para que funcione en el modo de autorrecarga, selecciona el formato y la velocidad de transmisión de la entrada y salida serial, pone a cero todas las salidas, en alta impedancia a todos los dispositivos que se conectan al bus de datos y finalmente ingresa a un lazo donde espera por un dato enviado desde la computadora personal, mediante el cual se escoge una de las subrutinas.

Inicialmente el microcontrolador se sitúa en la dirección 0000H la cual corresponde al reset inicial, donde se encuentra la orden de saltar y salir de la zona de interrupciones para continuar ejecutando el programa principal a partir de la dirección 30H.

Para que el timer 1 funcione en el modo de recarga automática es necesario primero que se seleccione una de las dos funciones : la de timer o la de contador, la primera se consigue con el bit de control C/T del registro de funciones especiales TMOD, luego se selecciona el modo de operación mediante el par de bits (M1,M0) en TMOD. De esta manera el byte de control que se escribe en el registro TMOD se puede ver en la figura 3.1

GATE	C/T	M1	M0	GATE	C/T	M1	M0
TIMER 1				TIMER 0			
0	0	1	0	0	0	0	0

Fig. 3.1 TMOD : Registro de control de los timers

El modo 2 permite que el registro del timer (TL1) de 8 bits se comporte como contador de las oscilaciones internas hasta que se produce el desbordamiento y una recarga con el valor previamente puesto en (TH1), de esta manera se consigue que la bandera de sobreflujo se presente a una velocidad que puede calcularse y ajustarse para obtener la velocidad de transmisión de 9.600 baudios, a través de la fórmula:

$$\text{Baud Rate} = \frac{2^{\text{SMOD}}}{32} * \frac{\text{Frec. Cristal}}{12 \times [256 - (\text{TH1})]}$$

donde :

SMOD = 0 en el reset inicial

Frec. Cristal = 7.3728 MHz

Baud Rate = 9.600 baudios

Despejando Th1 y reemplazando los valores anteriores tenemos:

$$\begin{aligned} \text{TH1} &= 256 - 1 / (9600 * 32 * 12 / 7.37 * 10^6) \\ &= 254 = \text{FEH} \end{aligned}$$

El p3rtico serial, es full-duplex, lo cual significa que se puede transmitir y recibir simult3neamente. Tambi3n la recepci3n es bufferada, lo que permite que se pueda comenzar la recepci3n de un segundo byte antes de que el byte previamente recibido haya sido leído del registro recepci3n. El p3rtico serial recibe y transmite accedendo un registro especial llamado SBUF. Escribiendo en el registro SBUF se carga el registro de transmisi3n y leyendo SBUF se extrae el contenido del registro de recepci3n, el cual est3 f3sicamente separado del de transmisi3n.

El p3rtico serial puede operar en cuatro modos : en el modo 0 actua como registro de desplazamiento con una velocidad igual 1/12 de la frecuencia del oscilador, en el modo 1 actua como transmisor y receptor as3ncronico de 8 bits con una

frecuencia variable por lo cual es el modo que más se adapta a nuestro caso, en los modos 2 y 3 actúa como transmisor y receptor asincrónico de 9 bits.

Para seleccionar el modo 1 se utiliza el registro de control del pòrtico serial SCON el cual contiene los bits SM0 y SM1 que selecciona el modo de operación, SM2 que habilita las comunicaciones multiprocesador, REN que habilita la recepción serial, TB8 es el noveno bit de datos transmitido en los modos 2 y 3, RB8 es el noveno bit de datos recibido en los modos 2 y 3, TI es la bandera de transmisión y RI la de recepción. El byte de control de este registro se resume en la Fig. 3.2.

SM0	SM1	SM2	REN	TB8	RB8	TI	RI
0	1	0	1	0	0	1	0

Fig. 3.2 SCON : Registro de control del pòrtico serial

Para habilitar la interrupción externa INT0 se utiliza el registro especial de habilitación de interrupciones IE el cual permite modificar individualmente cada uno de sus bits para activar o desactivar las interrupciones.

El bit EA puesto a 1 permite que puedan ser habilitadas o no individualmente todas las interrupciones, ET2 controla la interrupción generada en el sobreflujo del timer 2, ES con-

trola las interrupciones producidas en el p rtico serial, ET1 controla la interrupci n generada en el sobreflujo del timer 1, EX1 habilita la interrupci n externa 1, ET0 habilita la interrupci n generada en el sobreflujo del timer 0 y EX0 habilita la interrupci n externa 0 que es la que se utiliza para sincronizar las lecturas en el p rtico de entrada digital. De esta manera se obtiene el byte que debe ser programado en el registro IE (Ver Fig. 3.3). para que se detecte la interrupci n extena, lo cual se utiliza en la aplicaci n realizada como prueba de laboratorio y descrita con m s detalle en el numeral 4.1.3. En primera instancia las interrupciones no est n habilitadas o lo que es lo mismo est  programado el byte "00H".

EA	-	ET2	ES	ET1	EX1	ET0	EX0
0	0	0	0	0	0	0	0

Fig. 3.3 IE : Registro de habilitaci n de interrupciones

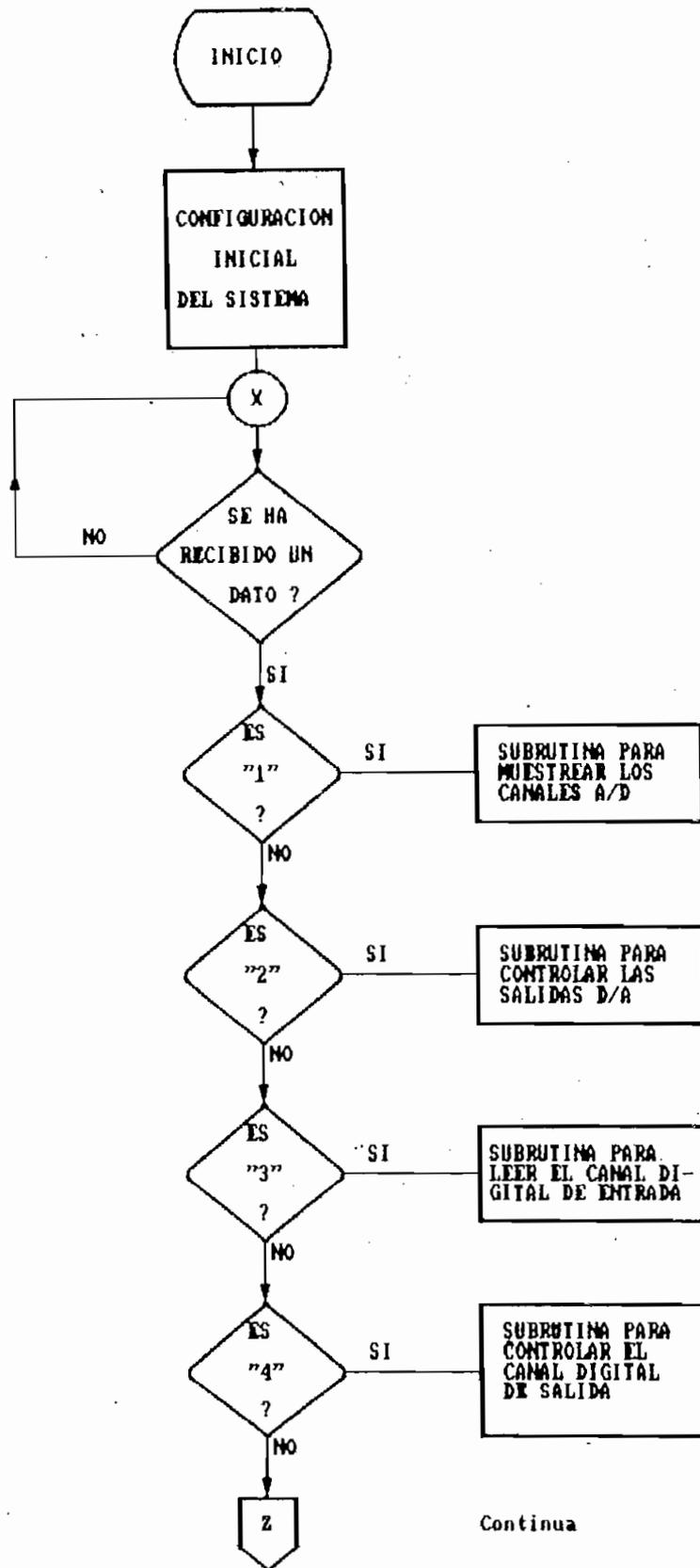
La puesta a cero de las salidas se la realiza poniendo el valor 00 en el bus de datos y generando las respectivas se ales de direccionamiento y control de los cuatro canales digitales anal gicos de salida as  como del canal digital de salida. De esta manera se eliminan valores aleatorios que se pueden producir en los conversores en el momento del

encendido, produciendo voltajes de salida indeseables.

Posteriormente el microcontrolador espera a que se reciba un dato a través del pòrtico serial mediante el lazo de espera formado con la instrucción (JNB RI,\$) y en base al dato recibido escoge una de las subrutinas implementadas. Si el dato enviado no corresponde a ninguna de las opciones, lo ignora y regresa al lazo de espera.

Independientemente de la subrutina que se haya escogido, para regresar al lazo de espera del menú principal es necesario enviar desde la computadora personal el código hexadecimal : FFH el cual detiene la ejecución de cualquiera de las subrutinas y ubica al microcontrolador en el lazo de espera del menú principal. De esta manera se puede entrar y salir fácilmente de las diferentes aplicaciones sin tener que resetear el sistema.

El diagrama de flujo general y detallado correspondiente, se puede observar en las Fig. 3.4. A continuación se presenta el listado del programa principal.



Continua

Fig. 3.4 Diagrama de flujo del programa principal (uC)
ESQUEMA GENERAL (primera parte)

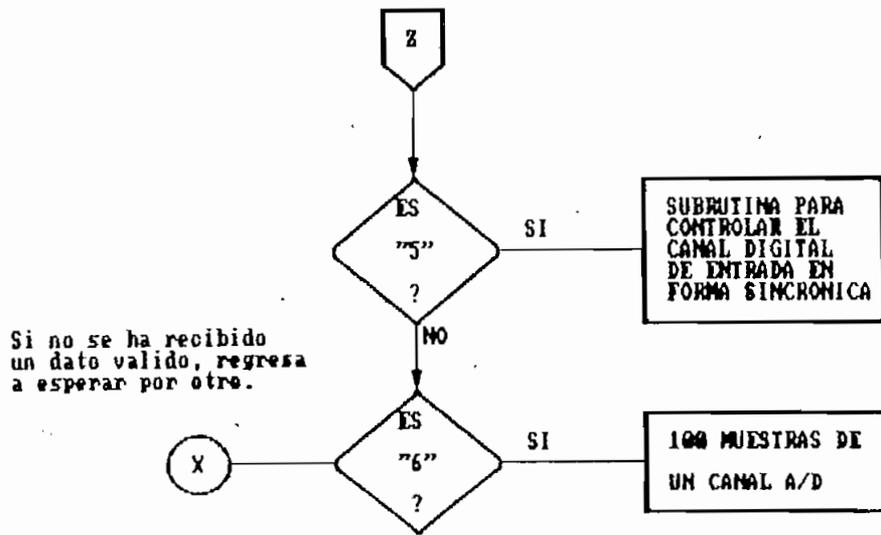


FIG. 3.4. Diagrama de flujo del programa principal (uC) ESQUEMA GENERAL (Segunda parte)

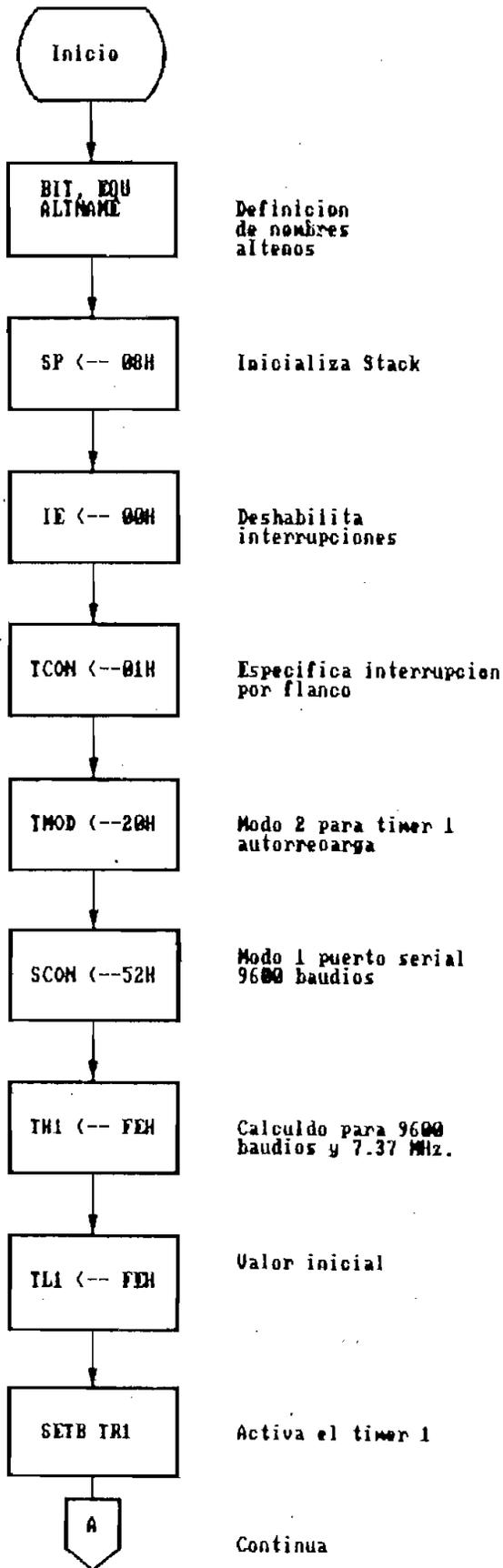


FIG. 3.4. Diagrama de flujo del programa principal (uC) (primera parte)

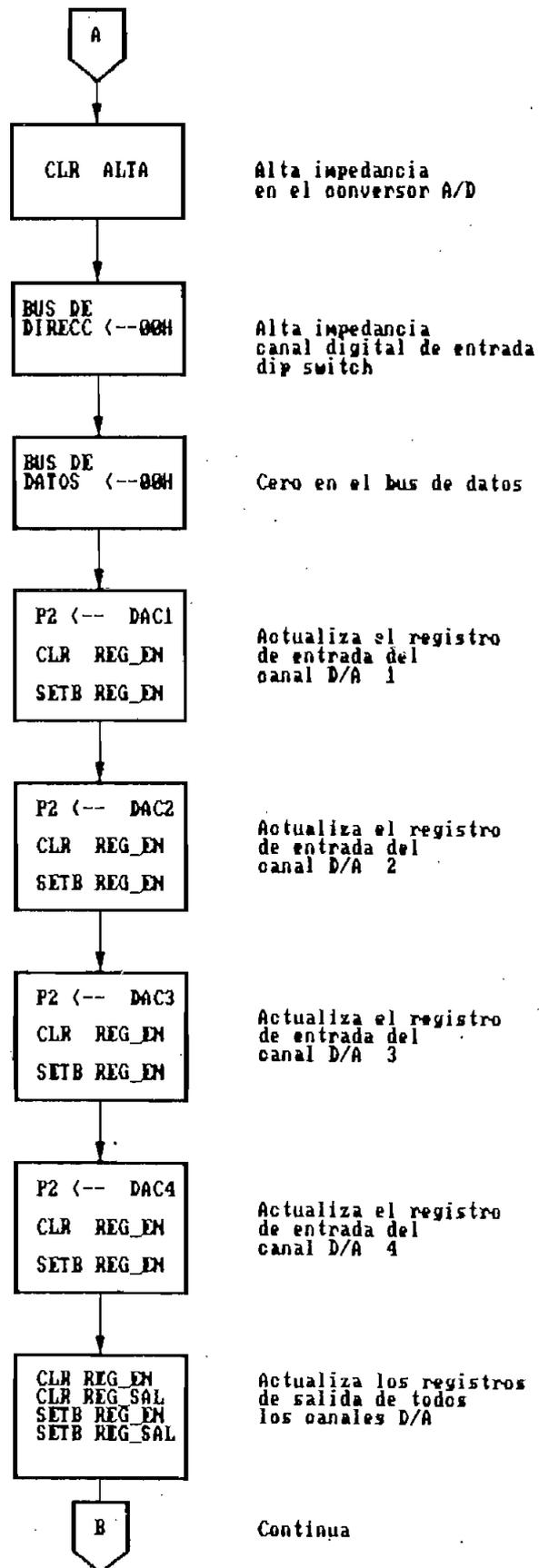


FIG. 3.4. Diagrama de flujo del programa principal (uC) (segunda parte)

111

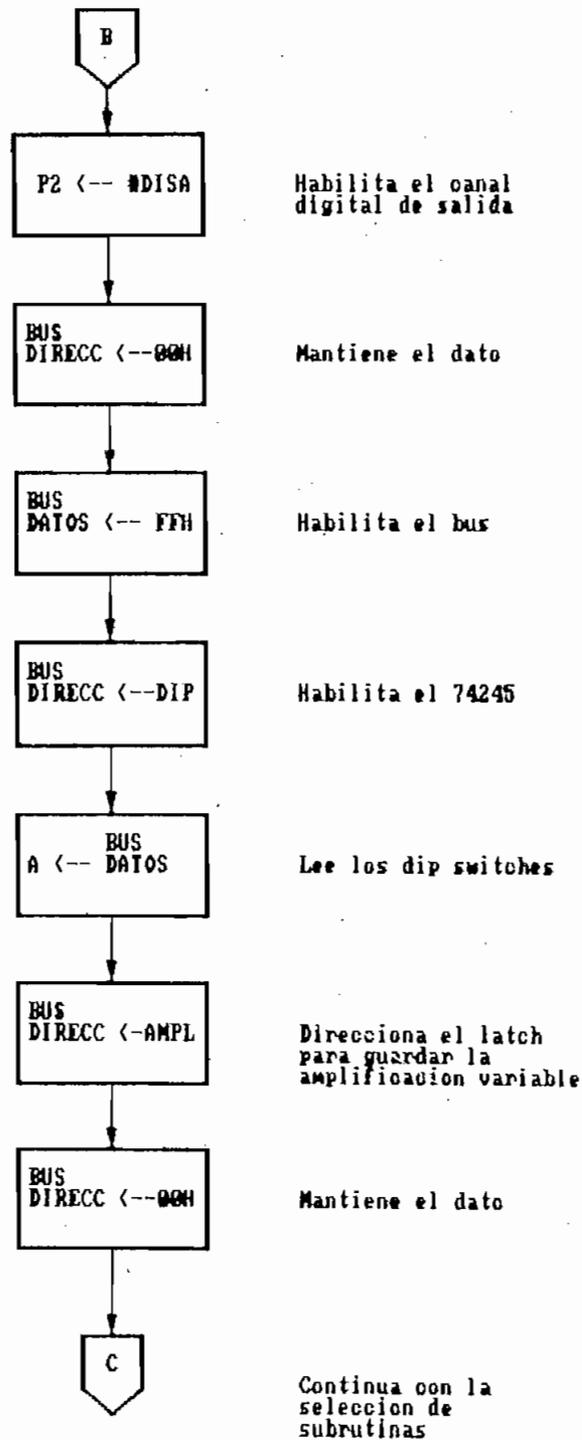


FIG. 3.4. Diagrama de flujo del programa principal (uC) (tercera parte)

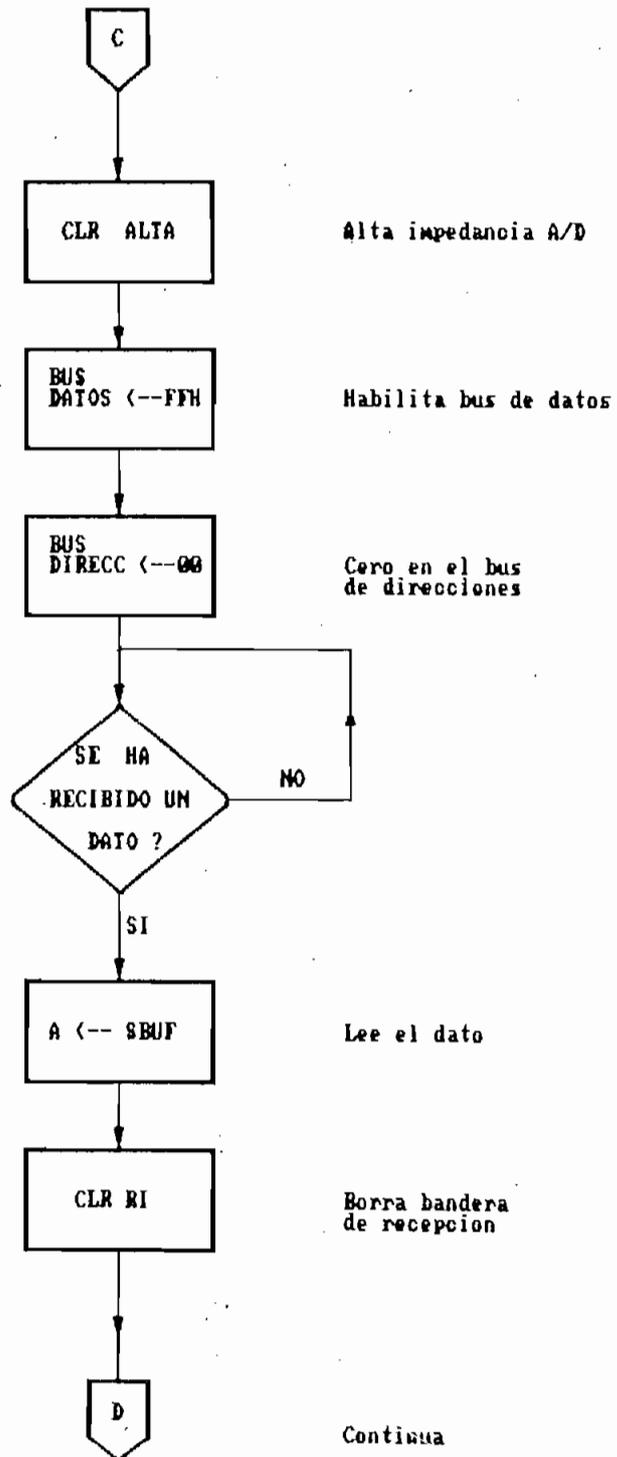


FIG. 3.4. Diagrama de flujo del programa principal (uC) (cuarta parte)

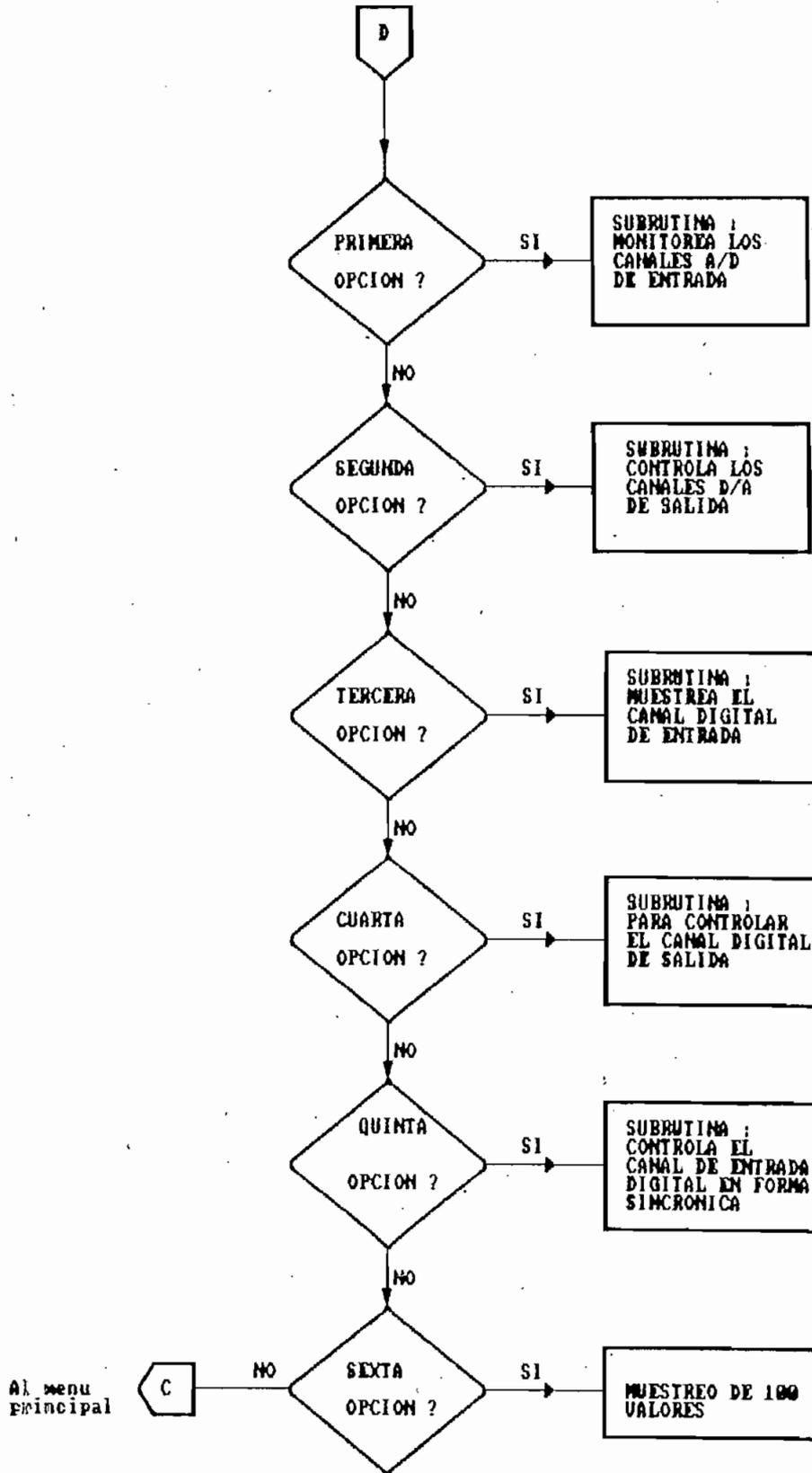


FIG 3.4. Diagrama de flujo del programa principal (uC) (quinta parte)

OPCION:

```

CLR      ALTA      ;Alta impedancia
MOV      P0,#0FFH ;Habilita bus de datos
MOV      P2,#00H
JNB      RI,$      ;Espera que se reciba un
                    ;dato
MOV      A,SBUF    ;Lee dato
CLR      RI
CJNE     A,#01H,ODOS ;si recibe 1
LJMP     UNO        ;UNO
                    ;muestreo y envio del
                    ;voltaje de un canal
                    ;DOS
                    ;Salida analoga
                    ;TRES
                    ;entrada digital PS <--
                    ;CUATRO
                    ;salida digital PS-->
                    ;CINCO
                    ;Lectura sincronica
                    ;SEIS
                    ;Muestreo de 100 datos

```

ODOS:

```

CJNE     A,#02,OTRES
LJMP     DOS

```

OTRES:

```

CJNE     A,#03,OCUATRO
LJMP     TRES

```

OCUATRO:

```

CJNE     A,#04,OCINCO
LJMP     CUATRO

```

OCINCO:

```

CJNE     A,#05,OSEIS
LJMP     CINCO

```

OSEIS:

```

CJNE     A,#06,OPCION
LJMP     SEIS

```

```

LJMP     OPCION      ;Regresa al lazo de esp-
                    ;era

```

3.3 Subrutinas en el microcontrolador

Para administrar los canales analógicos y digitales de entrada y salida, existen subrutinas especializadas en cada caso las cuales se exponen en los numerales siguientes.

3.3.1 Muestreo de un canal analogo - digital de entrada

El integrado que se controla con esta subrutina es el conversor A/D ADC0808 y se lo hace mediante los pórtricos : P0 que sirve como bus de datos, P1 que actua como bus de control y P2 como bus de direcciones.

Luego de que en el lazo de espera del programa principal se recibió un dato que seleccionó esta subrutina ("1"), lo primero que la subrutina hace es esperar por un nuevo dato, si este es el valor "FFH", sale de la subrutina y regresa al programa principal, esto nos permite entrar y salir de la subrutina, según los requerimientos.

Si el dato recibido es diferente de "FFH" asume que este representa el número del canal que se quiere muestrear, envía dicho valor al bus de direcciones y genera las respectivas señales de control para efectuar la conversión : se captura los voltajes en los circuitos de S/H, se inicia el trabajo de conversión del ADC0808, se espera que termine y se lee el dato dejando finalmente sus salidas en alta impedancia.

Debido a que en la experiencia práctica se tiene el problema del ruido y los voltajes de entrada, en determinadas lecturas, varían muy bruscamente; se realizan varias lecturas y se obtiene su promedio el cual presenta menos variaciones. Para tal propósito se tienen implementadas las

funciones de suma y división las cuales realizan el promedio de 5 muestras consecutivas del canal A/D escogido, dado que el tiempo que se requiere para obtener este promedio es despreciable en comparación a los otros de transmisión y recepción serial, se puede seguir considerando a este promedio como un valor instantáneo.

Un punto importante que se debe considerar es el tiempo de adquisición de voltajes, en los integrados de S/H LF398, el cual es una función directa del valor de los capacitores utilizados. Si por algún motivo estos capacitores son cambiados, es necesario también modificar el programa del microcontrolador para incluir un mayor ancho de pulso para la función de captura y mantenimiento. En caso contrario si la capacitancia es muy grande, se tendrán valores convertidos inferiores a los valores reales, el efecto de esto se visualiza en las lecturas variables las cuales se aproximan lentamente al valor real.

El diagrama de flujo de esta subrutina se puede analizar en las Fig. 3.5 siguientes. A continuación se presenta el listado correspondiente.

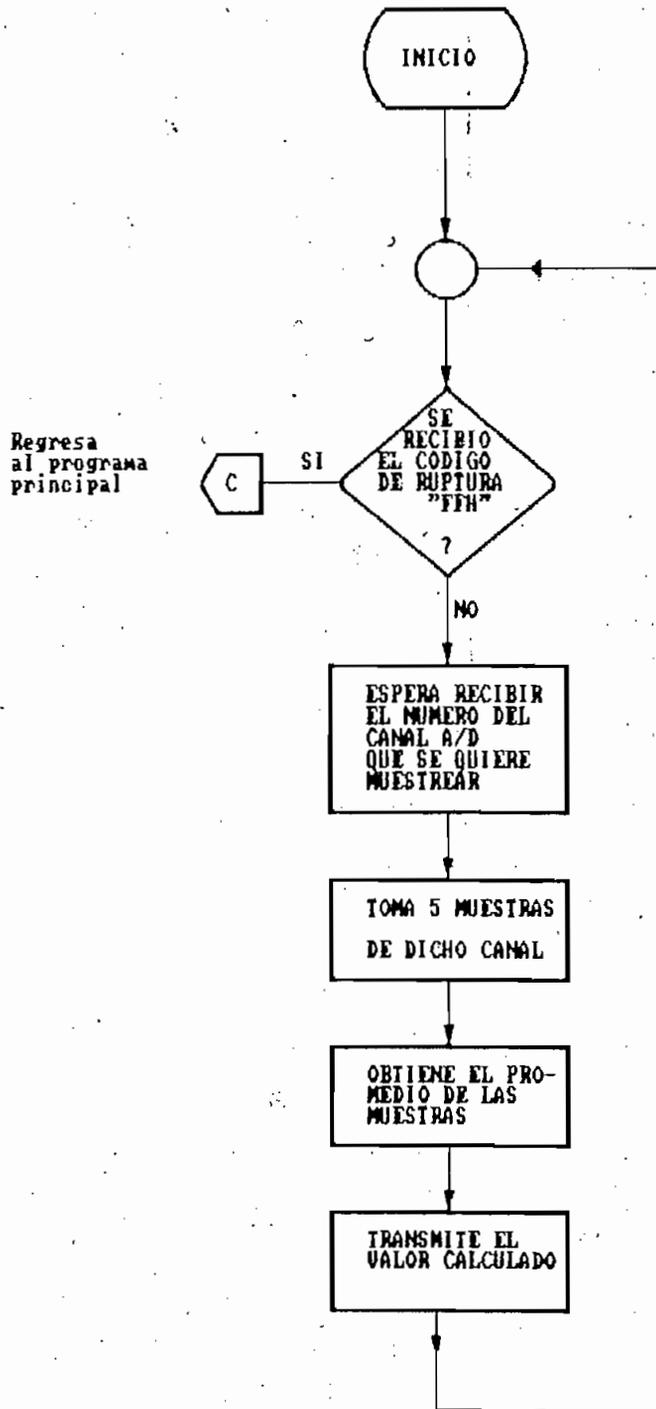


FIG. 3.5 Esquema general de la subrutina que muestrea un canal A/D

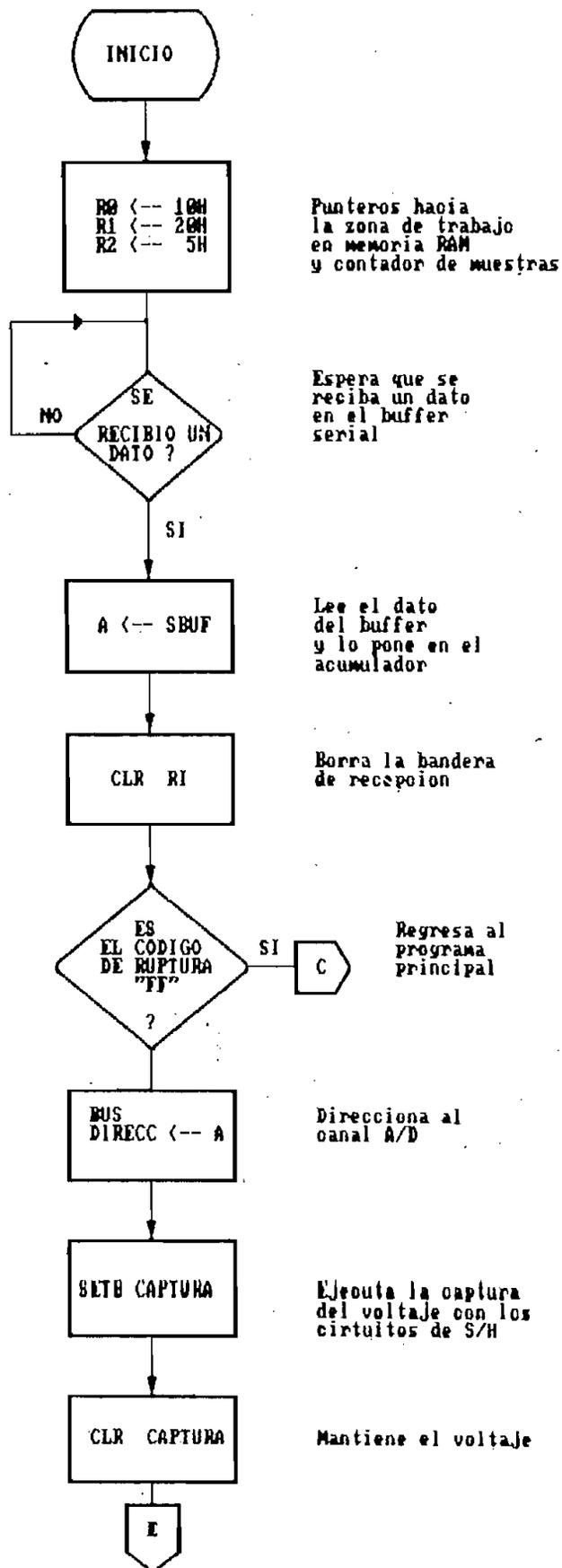


FIG. 3.5 Diagrama de flujo de la subrutina que muestrea un canal A/D (primera parte)

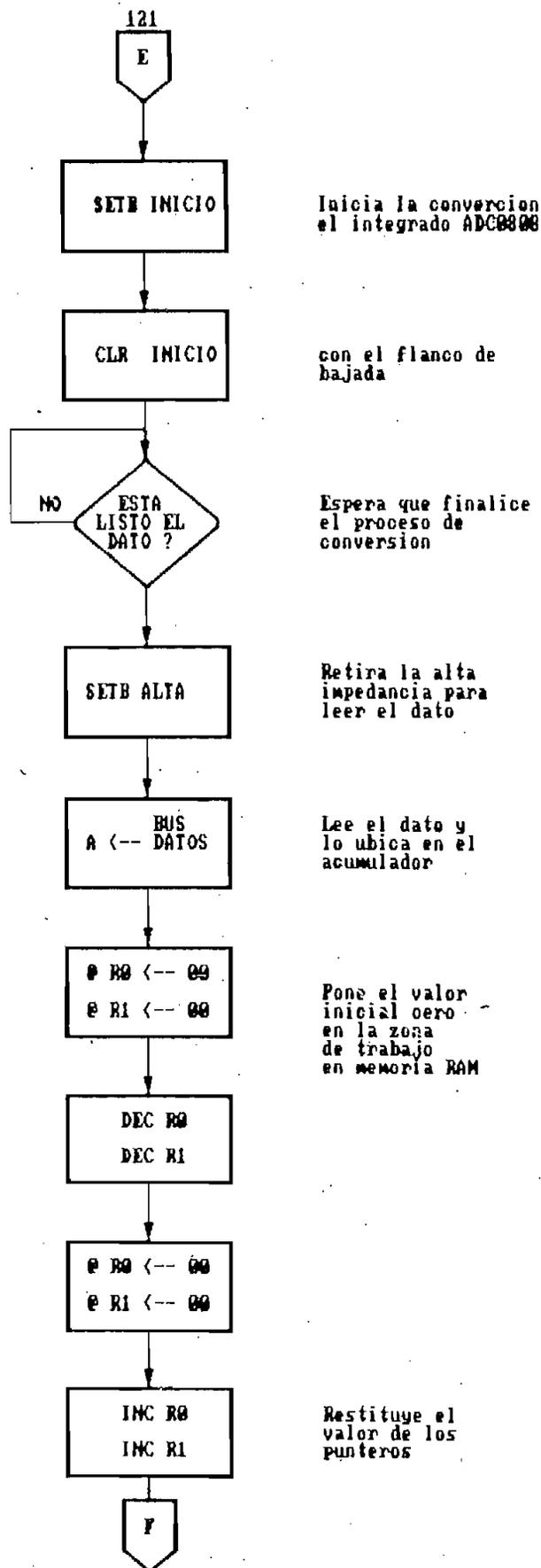


FIG. 3.5 Diagrama de flujo de la subrutina que muestra un canal A/D (segunda parte)

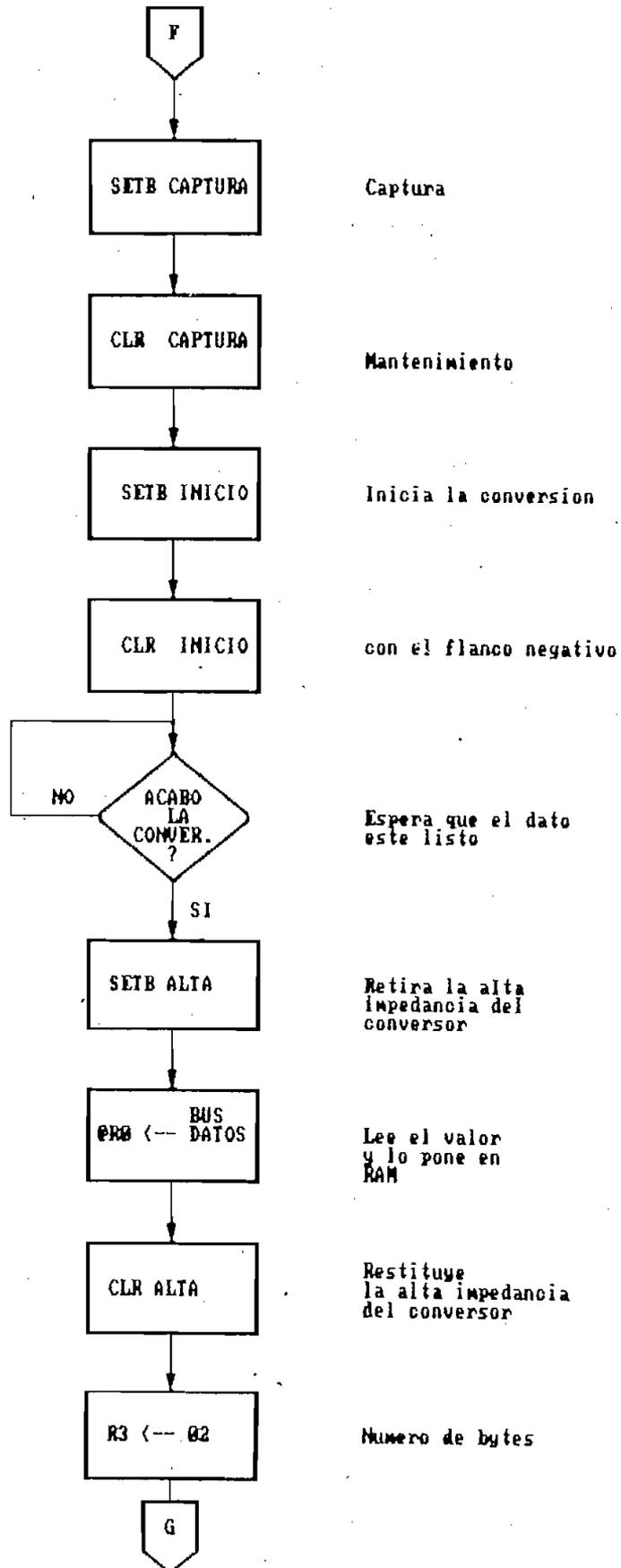


FIG. 3.5 Diagrama de flujo de la subrutina que muestra un canal A/D (tercera parte)

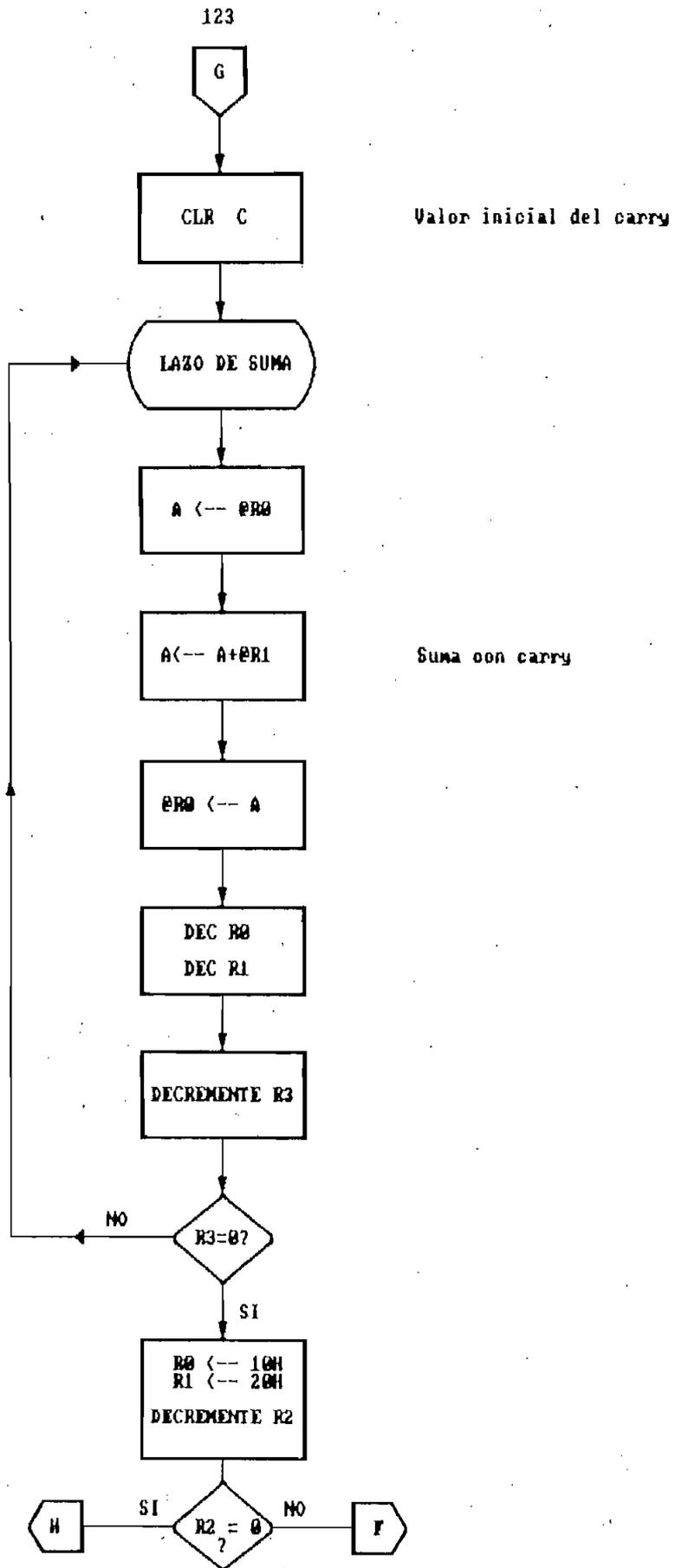


FIG. 3.5 Diagrama de flujo de la subrutina que muestrea un canal A/D (cuarta parte)

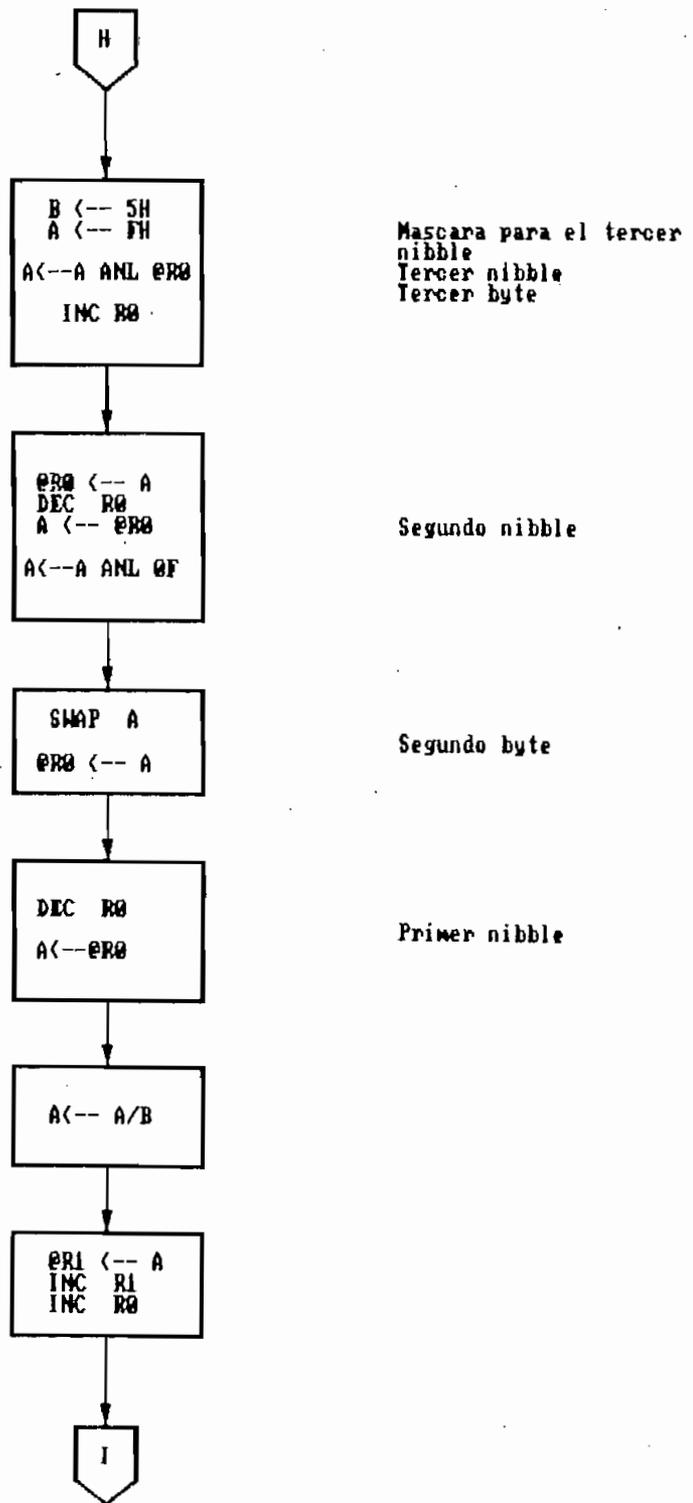


FIG. 3.5 Diagrama de flujo de la subrutina que muestrea un canal A/D (quinta parte)

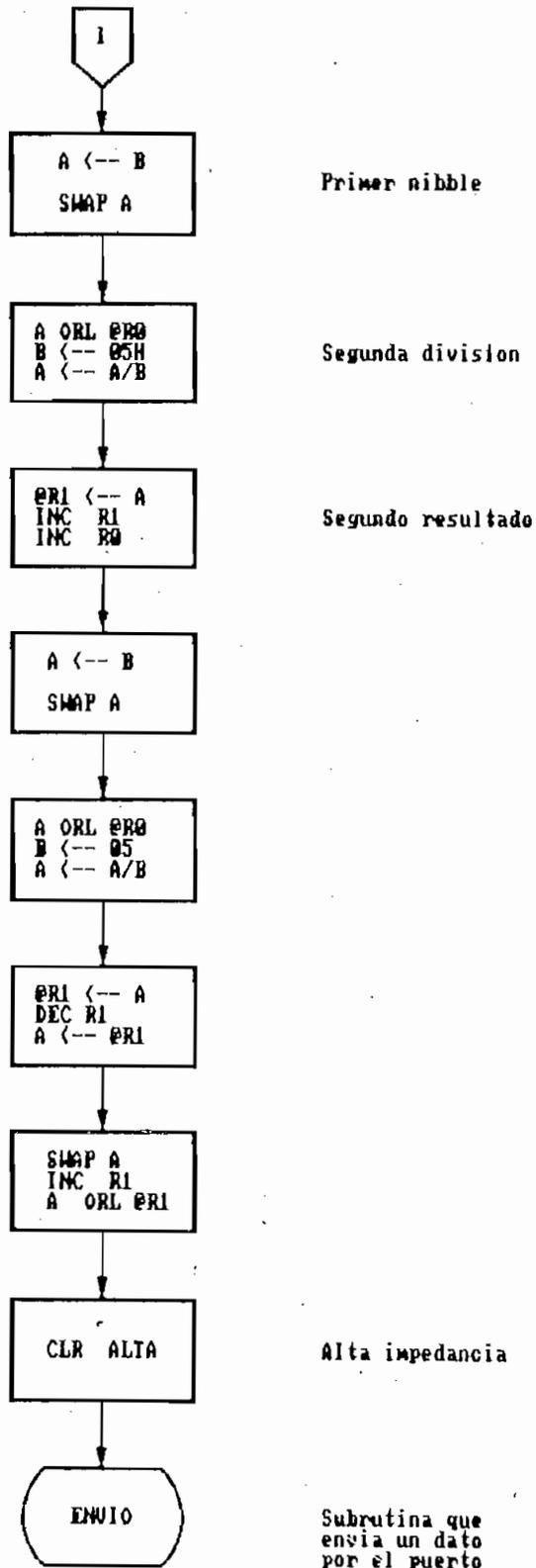


FIG. 3.5 Diagrama de flujo de la subrutina que muestrea un canal A/D (sexta parte)

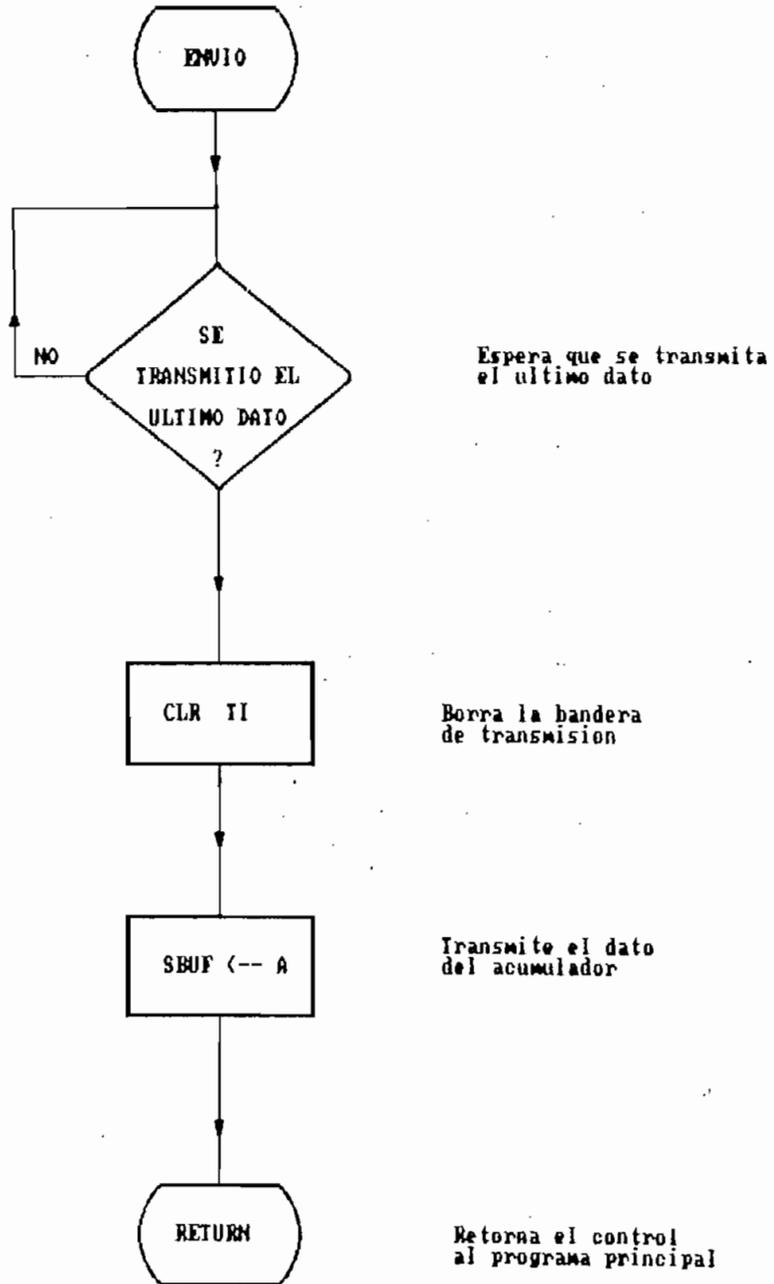


FIG. 3.5 Diagrama de flujo de la subrutina que muestrea un canal A/D (septima parte)

Listado de la subrutina para muestreo de un canal A/D

;Subrutina para muestrear un canal A/D

UNO:

```

MOV     R0,#10H           ;Punteros iniciales
MOV     R1,#20H
MOV     R2,#5H           ;Contador inicial

JNB     RI,$              ;Espera que se reciba un
                          ;dato
MOV     A,SBUF            ;Lee dato
CLR     RI                ;Borra la bandera de re-
                          ;cepción
CJNE   A,#0FFH,ADC       ;Chequea reset
LJMP    OPCION

```

ADC:

```

;ADC-0808
;conectado en el pòrtico P0
;controlado por el pòrtico P1
;direccionado por P2

;P2.0 -- > A
;P2.1 -- > B
;P2.2 -- > C

;P1.0 -- > S=1/H=0
;P1.1 -- > START = 1
;P1.2 -- > DATO LISTO (interrupción) E.O.C. = 1
;P1.3 -- > O.E. (alta impedancia = 0)

ANL     A,#0FH           ;Màscara
MOV     P2,A             ;Direcciona al canal
SETB    CAPTURA         ;Sample
CLR     CAPTURA         ;Hold
SETB    INICIO           ;Inicia conversi3n
CLR     INICIO           ;Inicia conversi3n

JNB     FIN,$            ;Espera que el dato est3
                          ;listo

SETB    ALTA             ;Lee el dato
MOV     A,P0

MOV     @R0,#00H
MOV     @R1,#00H
DEC     R0

```

```

DEC    R1
MOV    @R0,#00H
MOV    @R1,#00H
INC    R0
INC    R1

```

LOR:

```

SETB   CAPTURA           ;Lectura
CLR    CAPTURA
SETB   INICIO
CLR    INICIO

JNB    FIN,$              ;Espera que el dato esté
                           ;listo

SETB   ALTA                ;Lee el dato
MOV    @R1,P0

CLR    ALTA                ;Alta impedancia

MOV    R3,#02H            ;número de bytes
CLR    C

```

SUMA1:

```

MOV    A,@R0
ADDC   A,@R1
MOV    @R0,A
DEC    R0
DEC    R1
DJNZ   R3,SUMA1

MOV    R0,#10H
MOV    R1,#20H
DJNZ   R2,LOR

```

```

;Subprograma que divide un numero de 2 bytes para 5
;el numero es apuntado por r0 inicialmente hacia el
;byte más significativo el cual ocupa la más baja posición
;de memoria

```

```

MOV    B,#5H
MOV    A,#0FH              ;Máscara para el tercer
                           ;nibble
ANL    A,@R0                ;Tercer nibble
INC    R0                    ;Tercer byte
MOV    @R0,A
DEC    R0                    ;Segundo byte
MOV    A,@R0
ANL    A,#0F0H              ;Segundo nibble
SWAP   A
MOV    @R0,A                ;Segundo byte

```

```

DEC      R0

MOV      A,@R0      ;Primer nibble
DIV      AB

MOV      @R1,A      ;Primer resultado
INC      R1
INC      R0

MOV      A,B        ;Primer residuo
SWAP     A

ORL      A,@R0
MOV      B,#5
DIV      AB          ;Segunda division
MOV      @R1,A      ;Segundo resultado
INC      R1
INC      R0

MOV      A,B
SWAP     A

ORL      A,@R0
MOV      B,#5
DIV      AB
MOV      @R1,A
DEC      R1
MOV      A,@R1
SWAP     A
INC      R1
ORL      A,@R1

CLR      ALTA        ;Alta impedancia
LCALL    ENVIO
LJMP     UNO

```

```

;Subrutina que envia un
;dato del acumulador a
;través
;del pòrtico serial

```

ENVIO:

```

JNB      TI,$        ;Espera hasta que la ban-
                    ;dera de
                    ;transmisión sea seteada
                    ;por hardware
                    ;luego de transmitir los
                    ;10 bits
CLR      TI          ;Borra bandera de inte-
                    ;rrupción para
                    ;transmisión
MOV      SBUF,A      ;Trasnmite dato
RET

```

3.3.2 Control de un canal digital - análogo de salida

Se accesa a esta subrutina enviando el número "2" desde la computadora personal. Una vez seleccionada espera por otro dato si es el código de ruptura "FFH" sale de la subrutina al programa principal, si no lo es, asume que se trata del número del canal D/A de salida.

Posteriormente se espera por otro dato el cual representa el valor digital del voltaje que se quiere a la salida del convertor previamente seleccionado, lo mueve del buffer serial al acumulador, borra la bandera de recepción, pone el dato en el bus y direcciona al canal para que capture dicho valor en su registro de entrada, para que este valor sea cargado en el registro de salida es necesaria la presencia de otra señal (XFER) común a los cuatro convertidores, esta señal pasa el contenido de los registros de entrada, hacia los registros de salida.

Dado que el registro de entrada de uno de los convertidores fue actualizado, a su salida también se genera el voltaje actualizado, mientras que los demás convertidores permanecen sin variación debido a que continúan con los mismos valores en los registros de entrada y salida.

El diagrama de flujo correspondiente se detalla en la Fig. 3.6 y el listado de dicha subrutina se muestra a continuación.

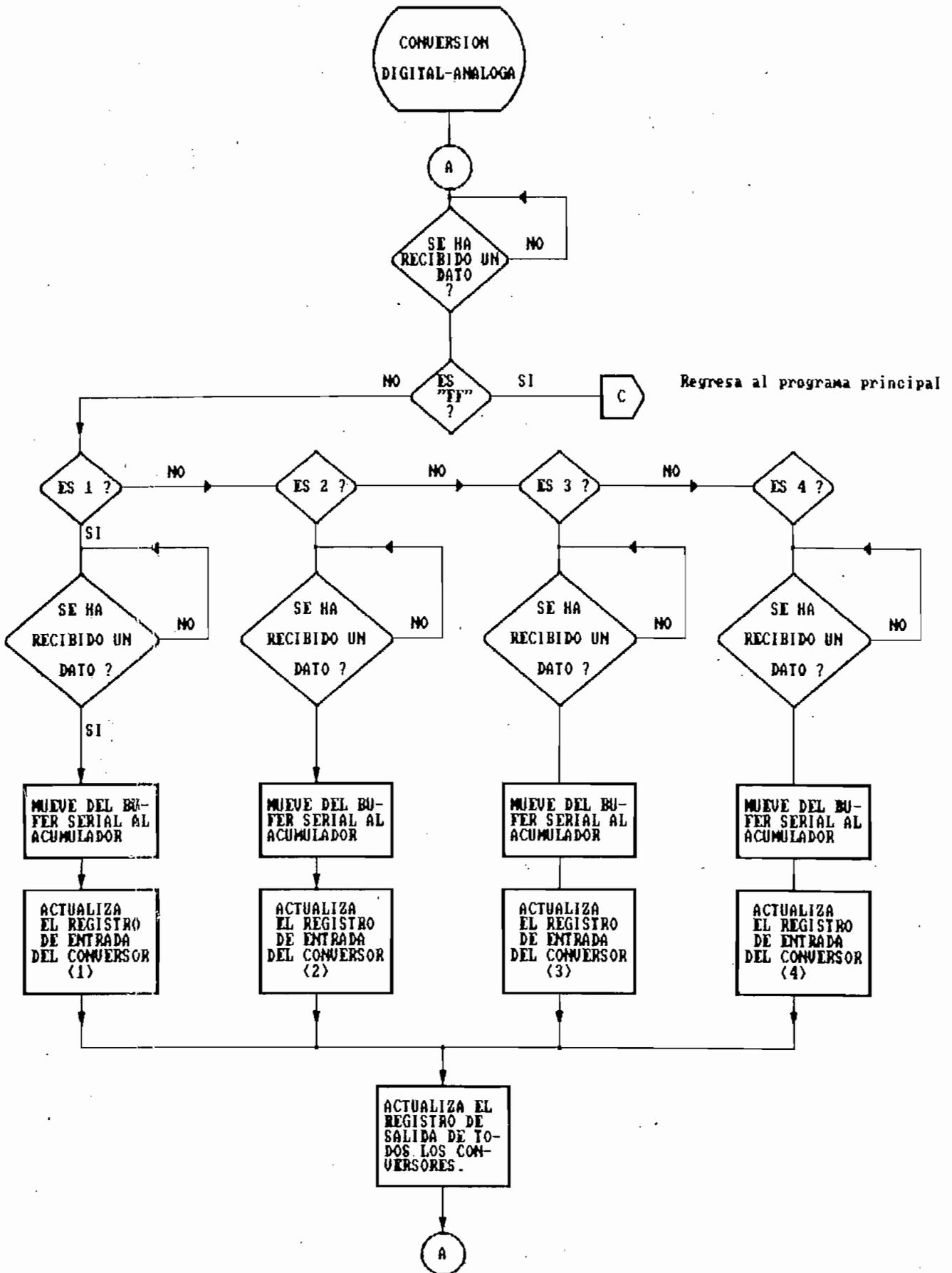


FIG. 3.6 Diagrama de flujo de la subrutina para la conversión digital-analógica. ESQUEMA GENERAL.

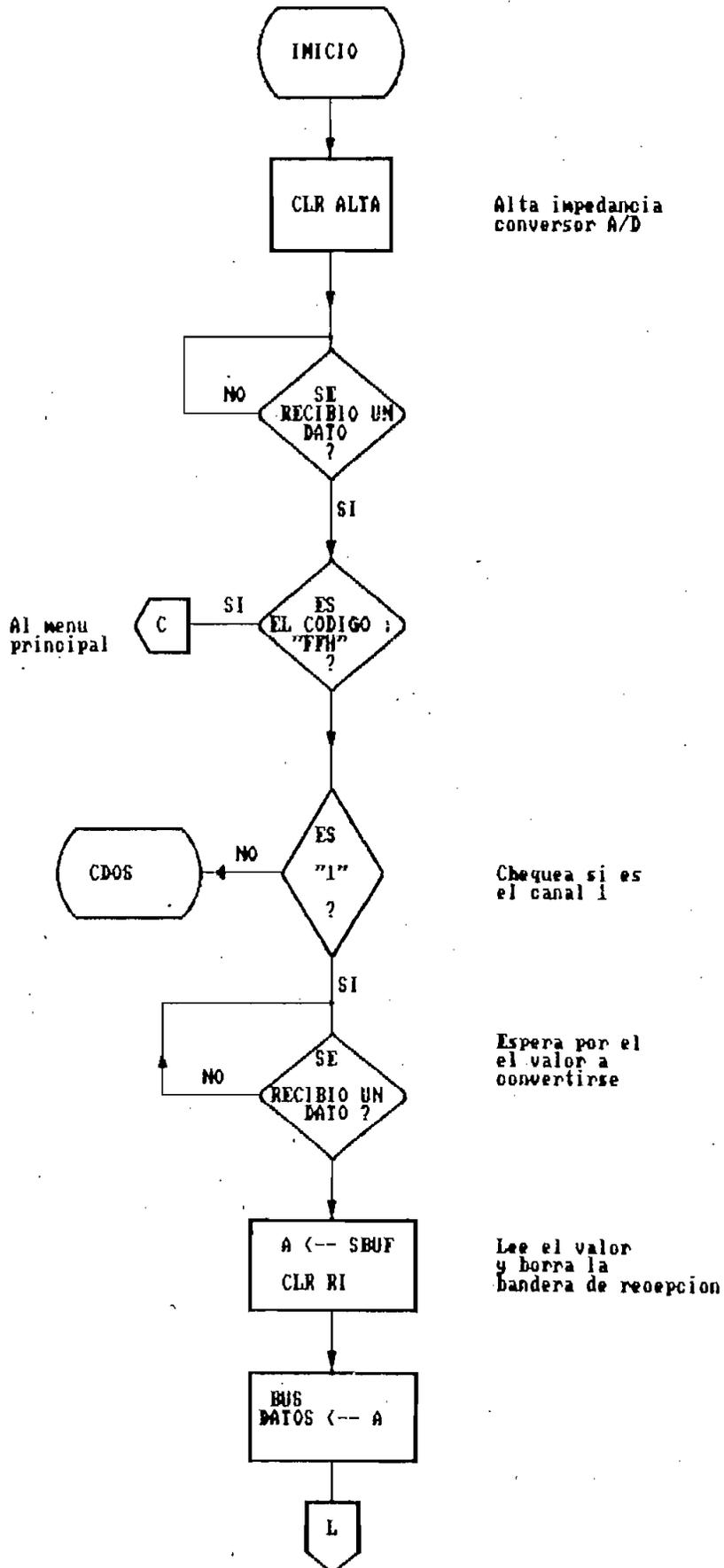


FIG. 3.6. Subrutina para controlar los canales D/A (primera parte)

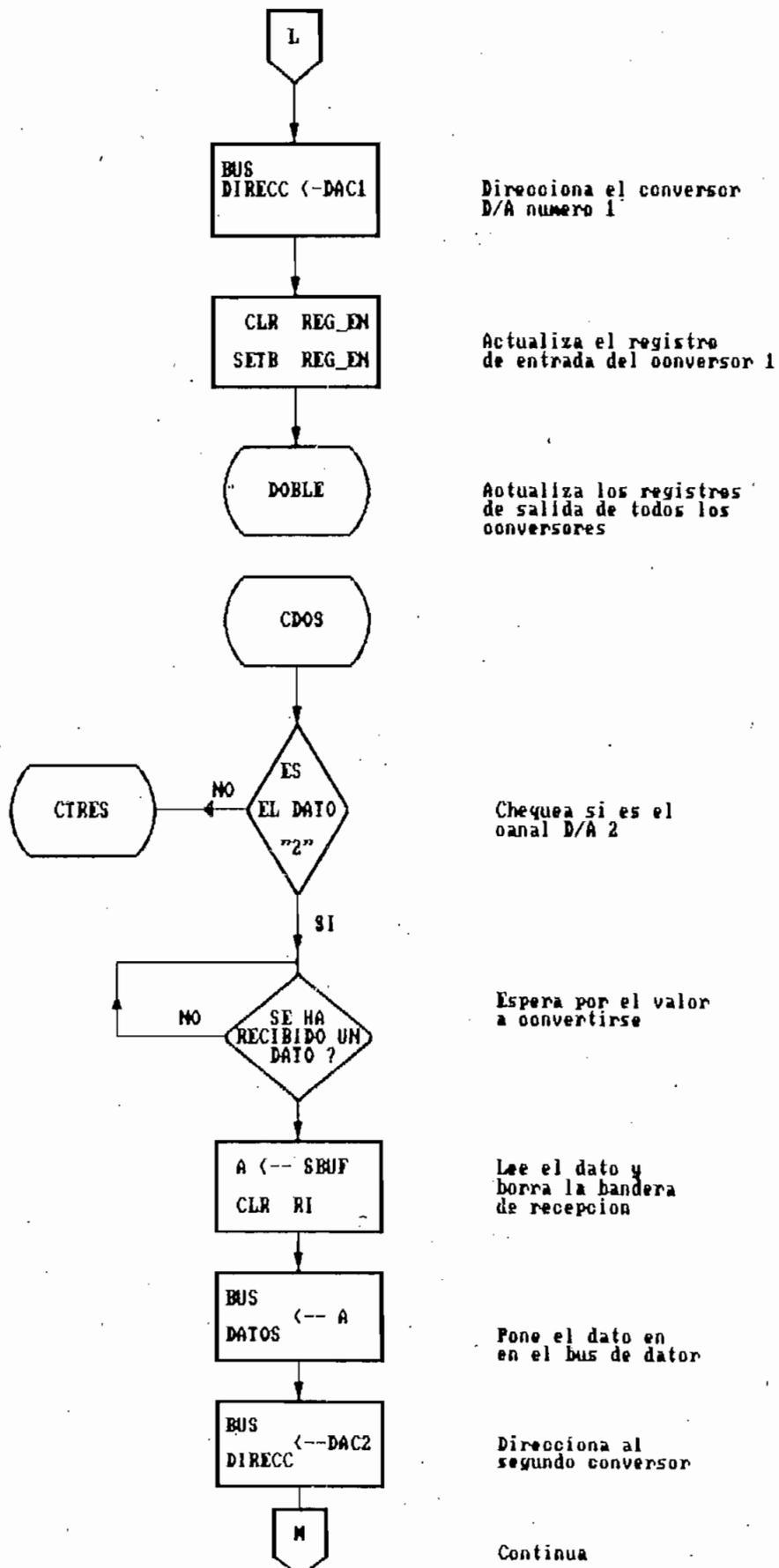


FIG. 3.6. Subrutina para controlar los canales D/A (segunda parte)

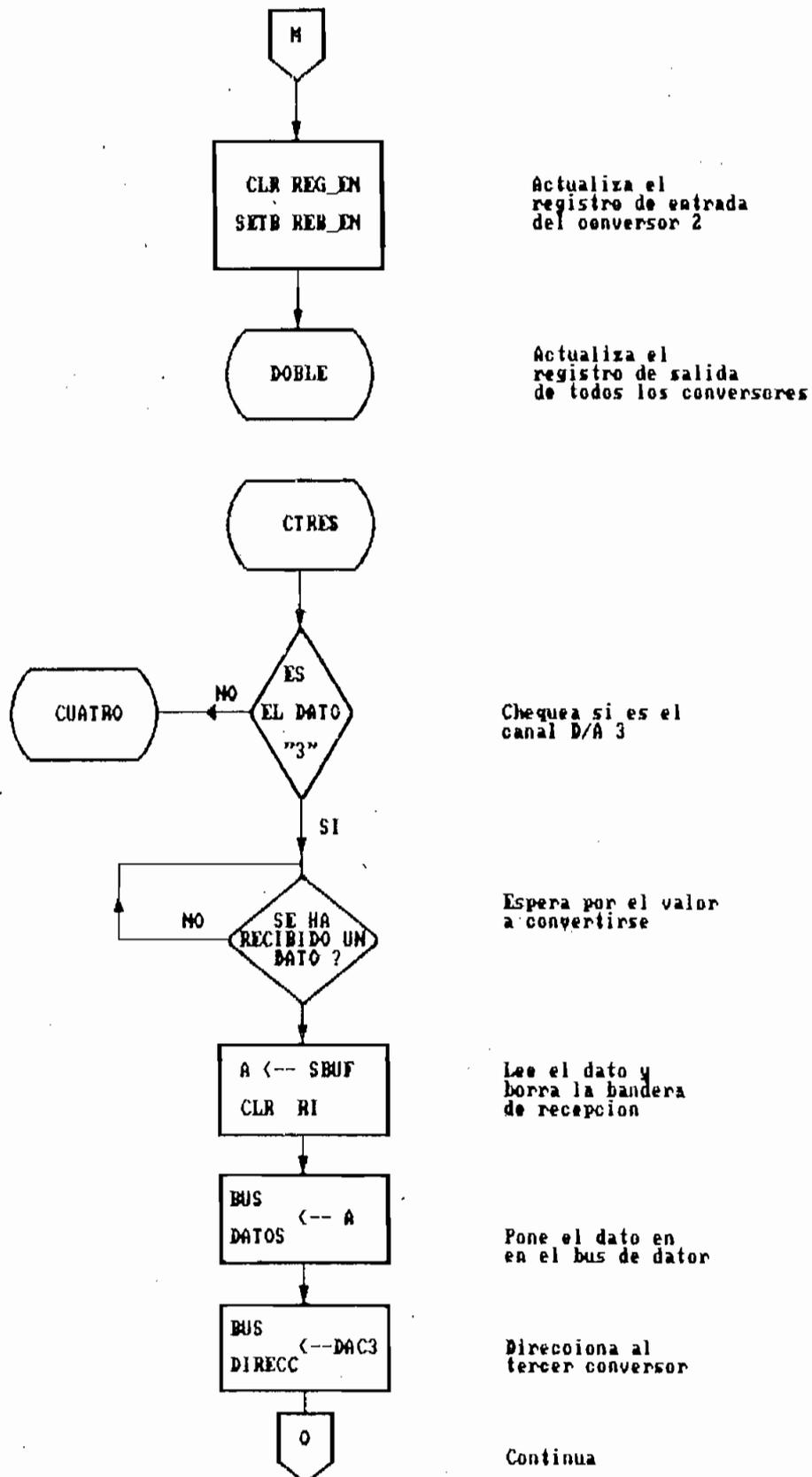


FIG. 3.6. Subrutina para controlar los canales D/A (tercera parte)

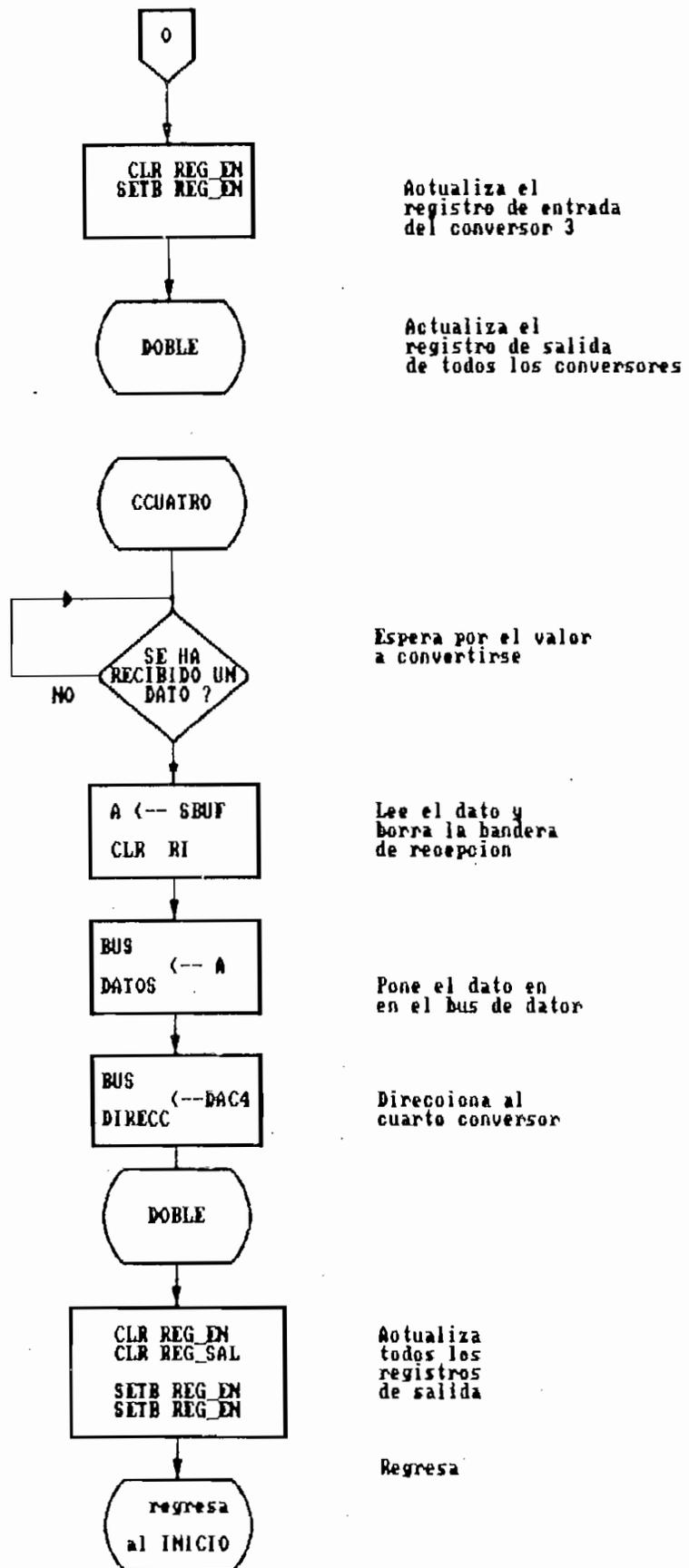


FIG. 3.6. Subrutina para controlar los canales D/A (cuarta parte)

Listado de la subrutina para controlar un canal D/A

;Subrutina para generar un voltaje análogo

```

DOS:                                     ;Permite la generación
                                           ;de voltajes

      CLR      ALTA                       ;Alta impedancia A/D
      JNB      RI,$                       ;Espera que se reciba
                                           ;otro dato
      MOV      A,SBUF                     ;Lee dato
      CLR      RI                         ;Borra la bandera de re-
                                           ;cepción
      CJNE     A,#0FFH,CANALES           ;Chequea reset

      LJMP     OPCION

```

CANALES:

```

      CJNE     A,#01,CDOS
      JNB      RI,$                       ;Lazo de espera
      MOV      A,SBUF                     ;Lee el dato
      CLR      RI                         ;Borra la bandera de
                                           ;recepción
      MOV      P0,A                       ;Pone el dato en el bus
                                           ;de datos
      MOV      P2,#DAC1                   ;Canal D/A 1
      CLR      REG_EN                     ;WR
      SETB     REG_EN
      LJMP     DOBLE                       ;Señal XFER

```

CDOS:

```

      CJNE     A,#02,CTRES
      JNB      RI,$                       ;Lazo de espera
      MOV      A,SBUF                     ;Lee el dato
      CLR      RI                         ;Borra la bandera de
                                           ;recepción
      MOV      P0,A                       ;Pone el valoren el bus
                                           ;de datos
      MOV      P2,#DAC2                   ;Canal D/A 2
      CLR      REG_EN                     ;WR
      SETB     REG_EN
      LJMP     DOBLE

```

CTRES:

```

CJNE    A,#03,CCUATRO
JNB     RI,$           ;Lazo de espera
MOV     A,SBUF        ;Lee el dato
CLR     RI             ;Borra la bandera de
                    ;recepción
MOV     P0,A          ;Pone el valor en el
                    ;el bus de datos
MOV     P2,#DAC3     ;Canal D/A 3
CLR     REG_EN        ;WR
SETB    REG_EN
LJMP    DOBLE

```

CCUATRO:

```

JNB     RI,$           ;Lazo de espera
MOV     A,SBUF        ;Lee el dato
CLR     RI             ;Borra la bandera
                    ;de recepción
MOV     P0,A          ;Pone el dato en el bus
MOV     P2,#DAC4     ;Canal D/A 4
CLR     REG_EN        ;WR
SETB    REG_EN
LJMP    DOBLE

```

DOBLE:

```

CLR     REG_EN        ;Actualización
CLR     REG_SAL       ;de todos los
SETB    REG_EN       ;registros de salida
SETB    REG_SAL      ;de todos los conversores

LJMP    DOS

```

3.3.3 Lectura de la entrada digital

De igual forma que en los casos anteriores, espera recibir un dato y si es el código de ruptura "FFH" retorna el control al programa principal, en caso contrario pone a todos los integrados que hacen uso del bus de datos en alta impedancia y selecciona al canal digital de entrada para que sea éste el que escriba el valor de sus entradas en el bus de datos, y luego lo transmite hacia el computador personal. El diagrama de flujo se lo puede analizar en la Fig. 3.7 y su listado correspondiente a continuación :

TRES:

; Muestrea la entrada digital y transmite el
; dato hacia la PS

```

JNB     RI,$           ;Espera que se reciba
MOV     A,SBUF
CLR     RI
CJNE   A,#0FFH,DIGA   ;Reset
MOV     P2,#00H       ;Alta impedancia D/I
LJMP   OPCION

```

DIGA:

```

CLR     ALTA           ;Alta impedancia A/D
MOV     P2,#DIEN      ;Direcciona al canal D/I
MOV     A,P0          ;Lee el dato del bus
LCALL  ENVID          ;Transmite
LJMP   TRES

```

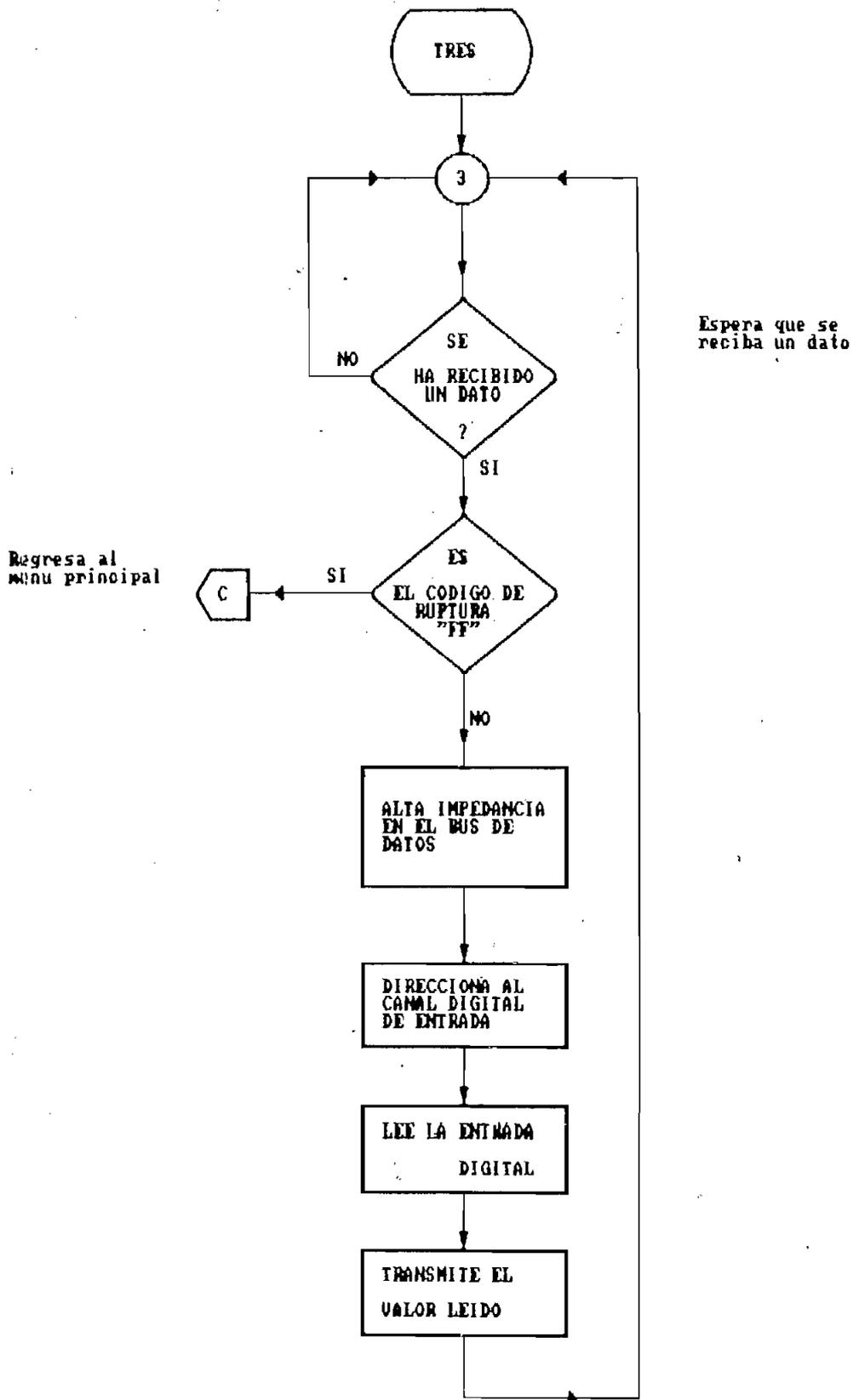


FIG. 3.7 Diagrama de flujo de la subrutina de lectura de la entrada digital

3.3.4 Escritura en la salida digital

Recibe a través del p rtico serial un valor digital que primeramente lo compara con el c digo de ruptura "FFH", caso contrario pone el byte recibido en las salidas digitales y genera las se ales para que dicho dato quede almacenado en el buffer de salida del integrado 8212 que es usado como salida digital. Es un programa relativamente simple y su diagrama de flujo se lo tiene en la Fig. 3.8 y su listado es el siguiente :

CUATRO:

```

; Recibe del PS un dato digital que lo envia
; a la salida digital, donde queda almacenado

    CLR    ALTA                ;Alta impedancia A/D
    MOV    P2,#00H            ;Alta impedancia D/I
    JNB    RI,$                ;Espera que se reciba
                                ;otro dato
    MOV    A,SBUF              ;Lee dato
    CLR    RI                  ;Borra la bandera de re-
                                ;cepci n
    CJNE   A,#0FFH,SIGA       ;Chequea c digo de Reset
    LJMP   OPCION              ;Si es va al inicio

SIGA:
    MOV    P0,A                ;Pone el dato en el bus
    MOV    P2,#DISA           ;Actualiza el dato
    MOV    P2,#00H            ;Mantiene el dato
    SJMP   CUATRO

```

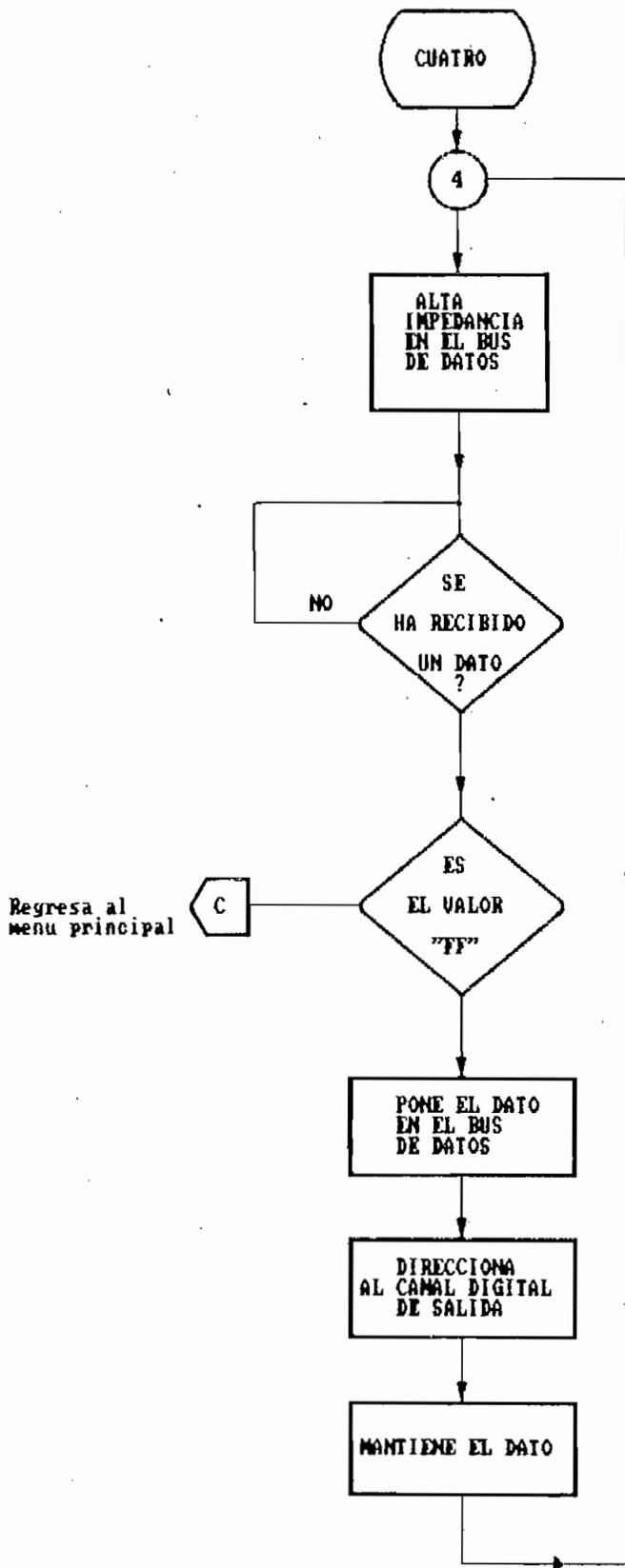


FIG. 3.8 Diagrama de flujo de la subrutina de escritura en la salida digital

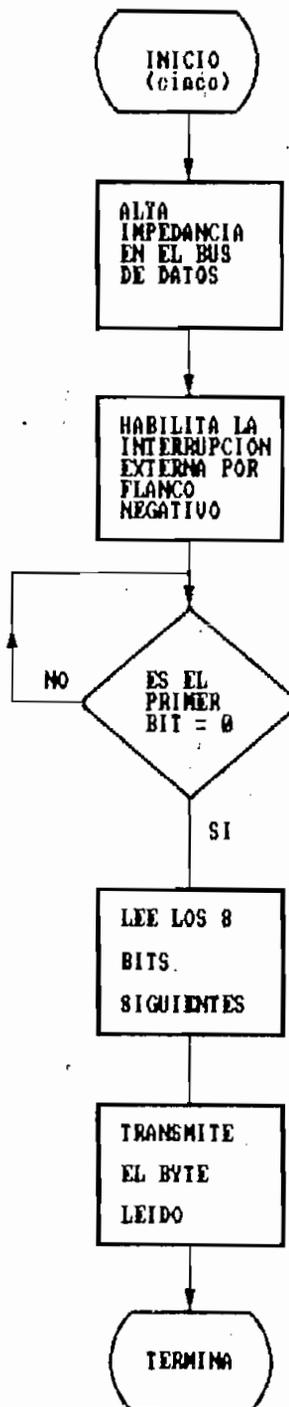
3.3.5 Lectura síncrona del canal digital

Efectua la lectura del canal digital de entrada, pero no en cualquier momento, sino solamente cuando se produce el flanco de bajada en la entrada correspondiente a la interrupción externa.

Una vez leído el dato, es transmitido hacia la computadora personal para su interpretación.

Esta subrutina se desarrolla para lecturas de periféricos como por ejemplo teclados, y una aplicación se detalla en el numeral 4.1.3.

Su diagrama de flujo se encuentra en la Fig. 3.9 y su listado a continuación.



Espera por el
bit de inicio = 0

FIG. 3.9 Diagrama de flujo de la subrutina de lectura sincronica de la entrada digital

Listado de la subrutina de muestreo sincrónico
del canal digital de entrada

CINCO:

```

CLR      ALTA                ;Alta impedancia A/D
MOV      P2,#DIEN           ;Direcciona al canal D/I
mov      ie,#81h            ;Habilita la interrupción
                                ;externa
                                ;actua por flanco.
mov      tcon,#01h
mov      r0,#00h
mov      a,#00h
sjmp     $

```

atencion:

```

cjne     r0,#00h,datos      ;chequea si existe bit
                                ;de inicio = 0
jb       p1.0,salida
inc      r0
reti

```

datos:

```

cjne     r0,#09h,shift      ;chequea el bit de
                                ;parada = 1
                                ;si es 1 termina
                                ;normalmente
mov      p2,a
mov      r0,#00h
ljmp     salida

```

fintec:

```

clr      p1.1
mov      r0,#00
lcall    ENVIO              ;transmite el valor
ljmp     salida            ;leido

```

shift:

```

mov      c,p1.0
inc      r0
rrc      a                  ;rota con Carry
salida:  reti              ;retorno de la
                                ;interrupción

```

3.3.6 Adquisición de 100 muestras.

Con esta subrutina se eliminan los retardos producidos en la transmisión de los datos muestreados, debido a que es el propio microcontrolador el que los almacena en la memoria RAM que posee, para luego transmitirlos hacia la computadora personal, esto permite la visualización de eventos más rápidos. Su diagrama de flujo lo tenemos en la Fig. 3.10 y su listado es el siguiente:

```

SEIS:
    CLR    ALTA
    MOV    P2,#00H
    JNB    RI,$                ;Espera que se reciba
    MOV    A,SBUF             ;el canal a muestrearse
    CLR    RI
    CJNE   A,#0FFH,FLASH
    LJMP   OPCION

FLASH:
    ANL    A,#0FH             ;Máscara
    MOV    RCANAL,A
    MOV    RMEM,#7FH
    MOV    RCONT,#64H

MUESTRA:
    MOV    P2,RCANAL          ;Direcciona al canal
    SETB   CAPTURA           ;Sample
    MOV    R3,#0FFH

ADQ:
    DJNZ   R3,ADQ
    CLR    CAPTURA           ;Hold
    SETB   INICIO             ;Inicia conversión
    CLR    INICIO             ;Inicia conversión
    JNB    FIN,$              ;Espera que el dato esté
                                ;listo
    SETB   ALTA                ;Lee el dato
    MOV    @R1,P0             ;Guarda en memoria
    DEC    RMEM
    CLR    ALTA                ;Alta impedancia
    DJNZ   RCONT,MUESTRA
    MOV    RCONT,#64H
    MOV    RMEM,#7FH

TRANS:
    MOV    A,@R1
    LCALL  ENVIO               ;transmite los
    DEC    RMEM                ;datos almacenados
    DJNZ   RCONT,TRANS
    LJMP   SEIS

```

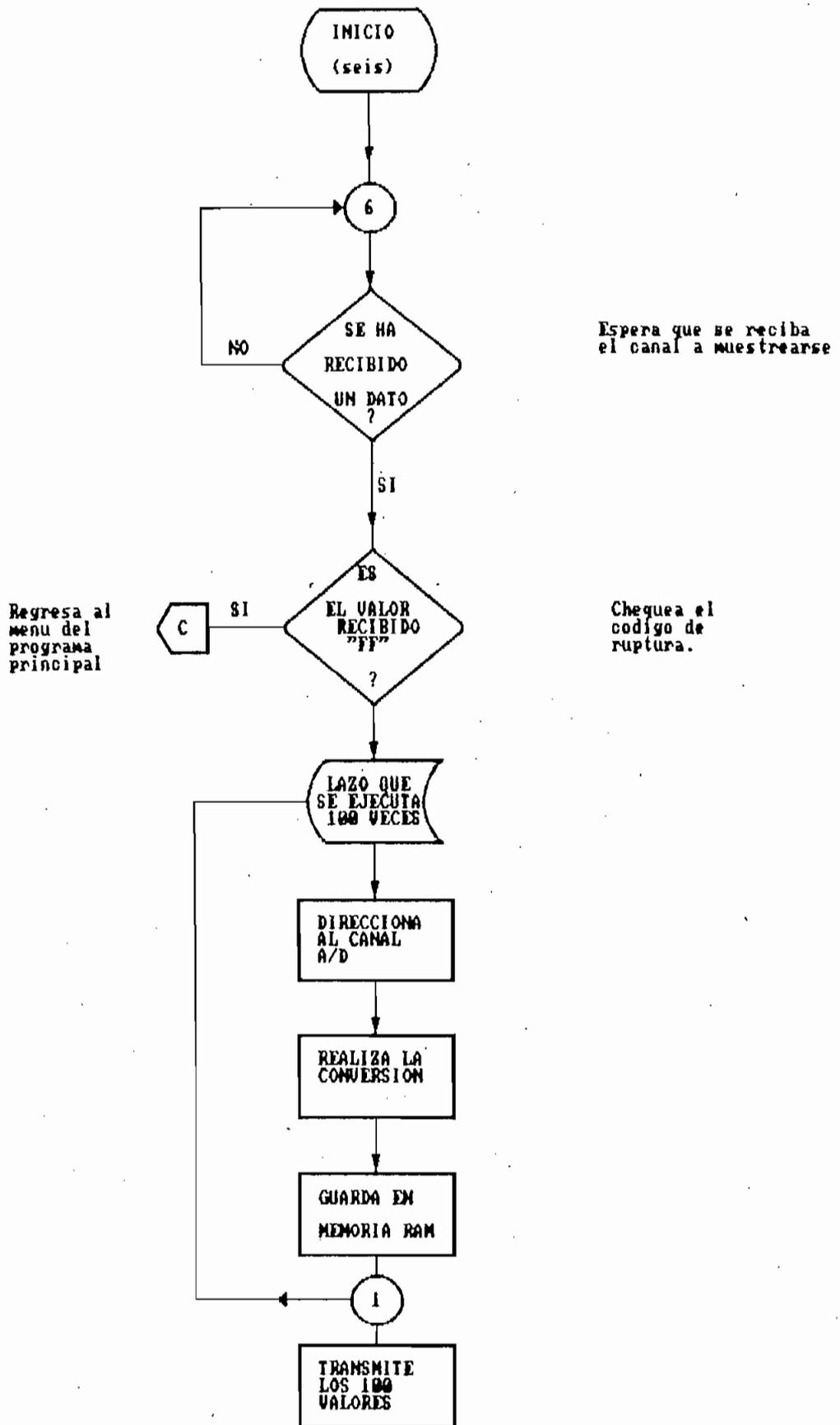


FIG. 3.10 Diagrama de flujo de la subrutina de adquisicion de 100 muestras.

3.4 Programa principal para el computador personal.

El programa principal que se debe correr en la computadora personal, permite establecer la comunicación entre el usuario y el sistema de adquisición de datos de la manera más simple posible. A través de un menú de barras se pueden seleccionar las diferentes subrutinas implementadas o las aplicaciones posteriormente desarrolladas e introducidas al programa dada su característica de modularidad. A cada una de las subrutinas del computador personal, le corresponde una subrutina en el microprocesador del sistema de adquisición de datos, con la cual interactúa para realizar las operaciones de monitoreo o control del caso.

El menú de opciones se almacena en una matriz de caracteres que puede ser modificada fácilmente si se necesita cambiar la presentación del menú. Esta matriz es utilizada por la función "menu(p1,p2,p3,m())" la cual necesita cuatro parámetros: los primeros p1 y p2 le indican las coordenadas de la pantalla donde se debe ubicar la esquina superior izquierda de la ventana que contiene las opciones, p3 representa la cantidad de opciones o lo que es lo mismo la dimensión de la matriz y finalmente m() representa el nombre de la matriz.

La función menu dibuja la ventana de opciones y resalta la primera opción, si el usuario teclea las flechas que controlan el movimiento vertical del cursor, la barra resaltadora se ubicará en las diferentes opciones y si se escoge una

mediante la tecla ENTER, retornará un valor específico para cada opción lo que le permite al programa principal seleccionar la subrutina correspondiente a la elección.

En el programa principal también se activa la detección de la tecla de función F1 la cual se la utiliza desde cualquier subrutina para acceder a una subrutina de atención especial en la cual se envía el carácter de ruptura "FFH" o CHR\$(255) y se ubica el control del programa nuevamente al inicio al mismo tiempo que el carácter enviado es interpretado por el microcontrolador para que este también se ubique en el programa principal.

Debido a que las funciones de detección de eventos como la tecla F1 y la interrupción del timer cada segundo, solamente bifurcan la acción del programa hacia subrutinas ubicadas en el programa principal, es necesario que este contenga las subrutinas (fin) que detecta la tecla F1 y envía el código de ruptura (FF) al microcontrolador del sistema y la subrutina (control) que realiza el control PID cada segundo o múltiplo de 1 segundo.

El diagrama de flujo del programa principal lo tenemos en la Fig. 3.11 y su listado a continuación :

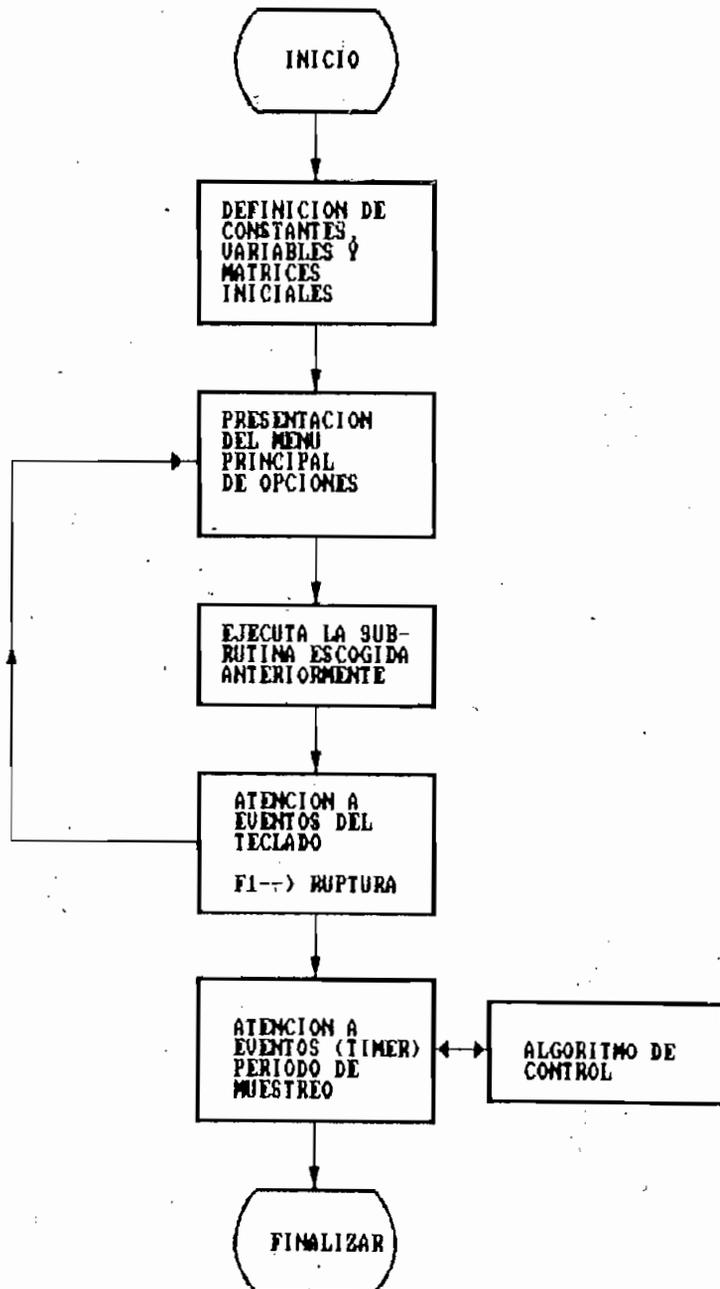


FIG. 3.11 Esquema general del programa principal en el computador personal

```

DECLARE SUB teclado ()           'Entrada digital sincrónica
DECLARE SUB muestras ()         'Muestreo de un canal
DECLARE SUB pasos ()           'Control del motor de pasos
DECLARE SUB entanal8: ()        'Entrada de 8 canales A/D
DECLARE SUB entanal2 ()        'Entrada de 2 canales A/D
DECLARE SUB salanal: ()         'Salida analoga
DECLARE SUB entdigi ()          'Entrada digital
DECLARE SUB saldigi ()          'Salida digital
DECLARE FUNCTION menu! (supx!, supy!, n%, mat()) AS STRING
CONST negro = 0
CONST azul = 1
CONST verde = 2
CONST cian = 3
CONST ROJO = 4
CONST violeta = 5
CONST marron = 6
CONST BLANCO = 7
CONST gris = 8
CONST celeste = 9
CONST tomate = 12
CONST magneta = 13
CONST amarillo = 14
CONST blancoi = 15

```

```
ON KEY(1) GOSUB fin
```

```

DIM mprin(10) AS STRING
mprin(1) = "  M E N U    P R I N C I P A L  "
mprin(2) = "1.- Entradas análogas"
mprin(3) = "2.- Salidas análogas"
mprin(4) = "3.- Entrada digital"
mprin(5) = "4.- Salida digital"
mprin(6) = "5.- Aplicaciones"
mprin(7) = "7.- Terminar"

```

```

COLOR BLANCO, azul, negro
DIM grafi(4) AS STRING
grafi(1) = "  G R A F I C O S    "
grafi(2) = "  Barras    "
grafi(3) = "  2 canales    "
grafi(4) = "  Regresar  "

```

```

DIM apli(6) AS STRING
apli(1) = "  APLICACIONES DE CONTROL  "
apli(2) = " Control PID "
apli(3) = " Control del motor de pasos"
apli(4) = " Lectura del teclado"
apli(5) = " 100 muestras"
apli(6) = " Regresar"

```

```

portada:
KEY(1) ON
CLS
SCREEN 0
i = menu(8, 17, 7, mprin())
SELECT CASE i

```

CASE 1

```

CLS
i = menu(9, 18, 4, grafi())
SELECT CASE i
  CASE 1
    CALL entanal8
  CASE 2
    CALL entanal2
  CASE ELSE

END SELECT

```

CASE 2

```
CALL salanal
```

CASE 3

```
CALL entdigi
```

CASE 4

```
CALL saldigi
```

CASE 5

```
CLS
```

```
i = menu(9, 18, 6, apli())
```

```
SELECT CASE i
```

```
  CASE 1
```

```
    REDIM x(4), t(4) AS SINGLE
```

```
    SCREEN 2
```

```
    CLS
```

```
    KEY(1) OFF
```

```
    'Ingreso de datos:
```

```
    PRINT "INGRESO PARAMETROS"
```

```
    INPUT "Kp = "; Kp!
```

```
    INPUT "Ki = "; Ki!
```

```
    INPUT "Kd = "; Kd!
```

```
    INPUT "Referencia: R = "; R!
```

```
    INPUT "Tiempo de muestreo (s) = "; t!
```

```
    'Inicializar con cero
```

```
    FOR i = 1 TO 4
```

```
      x(i) = 0
```

```
    NEXT i
```

```
    t(1) = 1
```

```
    t(2) = Kp! + Ki! * t! / 2 + Kd! / t!
```

```
    t(3) = Ki! * t! / 2 - Kp! - 2 * Kd! / t!
```

```
    t(4) = Kd! / t!
```

```
OPEN "com1:9600,n,8,1,cs,ds,cd" FOR RANDOM AS 1
```

```
KEY(1) ON
```

```
CLS
```

```
LOCATE 24, 30
```

```

PRINT "PRESIONE ENTER PARA INICIAR CONTROL"
DO
    q$ = INKEY$
LOOP WHILE q$ = ""

CLS

xini% = 10
xfin% = 639

LINE (10, 0)-(639, 199), , B
LINE (10, 100)-(638, 100)

FOR i = 10 TO 190 STEP 10
    LINE (0, i)-(10, i)
NEXT i

x% = xini%

TIMER ON
ON TIMER(t) GOSUB control

pidl:
    'Lazo de espera
    GOTO pidl

CASE 2
    CALL pasos
CASE 3
    CALL teclado
CASE 4
    CALL muestras
CASE ELSE

END SELECT

CASE 6
    CLS
    END
CASE ELSE

END SELECT
GOTO portada

fin:
PRINT #1, CHR$(255)
CLOSE
BEEP
GOTO portada

control:
    ' Subrutina para realizar el
    ' control PID

Esta subrutina se detalla en el numeral 4.2.1

```

3.5 Subrutinas en el computador personal

A cada una de las subrutinas anteriormente mencionadas para el microcontrolador del sistema de adquisición de datos, le corresponde una en el computador personal, con la que interactúa para llegar a los resultados esperados.

3.5.1 Muestreo de un canal A/D de entrada

Para establecer la comunicación a través de un canal de entrada y salida serial es necesario usar la función del Quick Basic OPEN COM con la siguiente sintaxis :

```
OPEN"COMn:optlist1 optlist2"[FORmode]AS[#]filenum[LEN=rln]
```

- n puede ser 1 o 2 e identifica el pòrtico que va a ser abierto.
- optlist1 tiene la siguiente sintaxis :
[velocidad][,[paridad][,[datos][,[parada]]]]

La velocidad está dada en baudios (baudio significa bits por segundo). Los valores válidos son 75, 110, 150, 300, 600, 1200, 1800, 2400 y 9600. En el sistema diseñado se utiliza la máxima posible, es decir 9600 baudios.

La paridad para el chequeo de errores tiene las siguientes entradas válidas : N (ninguna), E (par), O (impar), S (espacio) y M (marca). La entrada utilizada es N, pues no se incluye paridad en la transmisión.

Las cantidades de bits que se pueden transmitir son : 5, 6,7 y 8. La cantidad de bits que se transmiten en el sistema implementado es 8.

Finalmente el bit de parada puede ser 1, 1.5 o 2, en el caso presente es 1.

- Optlist2 tiene la siguiente sintaxis :
- ASC que abre el canal en el modo ASCII.
- BIN que abre el canal en el modo BINARIO.
- CD[m] controla el tiempo de espera por la presencia de la señal DCD (data carrier detect).
- CS[m] controla el tiempo de espera por la presencia de la señal CTS (clear to send).
- DS[m] controla el tiempo de espera por la presencia de la señal DSR (data set ready).

Estas opciones nos permiten trabajar con modems, pero este no es el caso, razón por la cual el parámetro [m] lo hacemos cero para inhibir estas señales y usar el canal serial de la manera más simple.

```
OPEN "com1:9600,n,8,1,cs,ds,cd" FOR RANDOM AS 1
```

Una vez abierto el canal de comunicaciones enviamos el caracter cuyo ASCII es "1" para escoger la primera subrutina del microcontrolador del sistema, para ello usamos la instrucción PRINT cuya sintaxis es:

```
PRINT #filenumber,[USING formatstring;]explist[,{,;}]
```

- filenumber : es el número del archivo de comunicaciones abierto.
- explist : contiene los items a ser escritos en el archivo, en nuestro caso caracteres de 8 bits en el rango de 0 a 255.
- {;} : el punto y coma al final de la instrucción elimina la transmisión automática del carácter 13 (CR = retorno de carro).

La instrucción correspondiente para seleccionar al canal 1 es por consiguiente :

```
PRINT #1, chr$(1);
```

El siguiente dato que se debe enviar desde el computador personal consiste en el número del canal que se quiere muestrear, lo cual se efectúa con la misma instrucción anterior.

El sistema procede a realizar el muestreo del voltaje análogo y transmite el valor binario correspondiente hacia la computadora personal, en la cual se lo recibe mediante la instrucción cuya sintaxis es la siguiente :

```
INPUT$ (n,[,[#]filenumber])
```

La cual retorna una variable de tipo alfanumérica de "n"

caracteres leídos del archivo abierto.

- n : expresión numérica que indica el número de caracteres que deben leerse.
- filename : el número del archivo abierto.

Se tiene entonces :

```
S$ = input$(1,1)
```

La cual lee un carácter ASCII del puerto serial 1 y lo almacena en la variable de tipo carácter S\$, para poder obtener el valor numérico se realiza la transformación correspondiente mediante la función ASC (S\$) la cual devuelve un número entero entre 0 y 255 que se puede manipular matemáticamente para convertirlo al valor de voltaje de entrada correspondiente.

En el programa que se detalla a continuación se hace un muestreo de los ocho canales de entrada, se presentan los resultados en forma gráfica en la pantalla, es decir se monitorean los canales análogos - digitales de entrada, hasta que se detecta en el teclado, la digitación de la tecla de función F1, la cual suspende las acciones de muestreo y envía el carácter (255) que informa al sistema de adquisición de datos, de la interrupción para que también se ubique en el menú del programa principal .

Su diagrama de flujo se observa en la Fig. 3.12 y su listado se detalla a continuación.

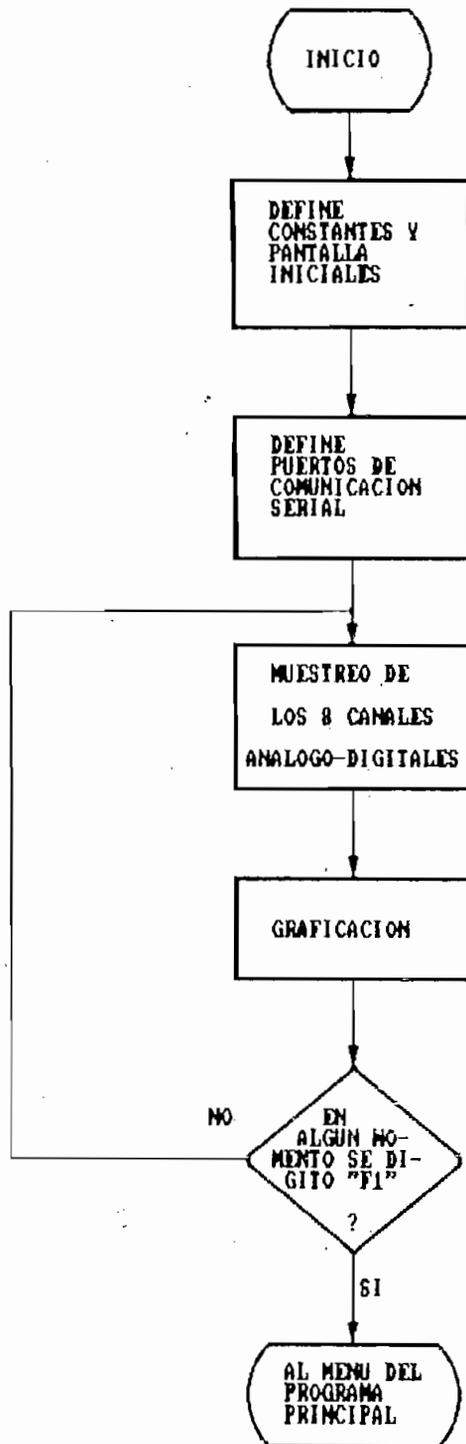


FIG 3.12 Esquema general de la subrutina que muestrea los canales A/D

```

SUB entanal8
SCREEN 1
CONST marg = 36 ' 75
CONST dere = 280

```

```

DIM A(15) AS INTEGER
DIM B(15) AS INTEGER
CLS

```

```

LOCATE 24, 1
COLOR 2
PRINT " 1   2   3   4   5   6   7   8";
COLOR 0
LINE (0, 180)-(dere, 180)
LINE (0, 144)-(dere, 144)
LINE (0, 108)-(dere, 108)
LINE (0, 72)-(dere, 72)
LINE (0, 36)-(dere, 36)
LINE (0, 0)-(dere, 0)

```

```

LOCATE 24, marg
PRINT "0 v";
LOCATE 20, marg
PRINT "1 v"
LOCATE 15, marg
PRINT "2 v"
LOCATE 10, marg
PRINT "3 v"
LOCATE 6, marg
PRINT "4 v"
LOCATE 2, marg
PRINT "5 v"
LOCATE 25, 1
PRINT "F1 = Menu";

```

```

OPEN "com1:9600,n,8,1,cs,ds,cd" FOR RANDOM AS 1
KEY(1) ON

```

```

PRINT #1, CHR$(1);

```

```

lazo:

```

```

PRINT #1, CHR$(0);
j$ = INPUT$(1, 1)
y% = ASC(j$)
y% = INT(y% * .7058824#)
pivot% = y%
LINE (9, 180)-(14, 180 - y%), 1, BF
PRINT #1, CHR$(0);

j$ = INPUT$(1, 1)
y% = ASC(j$)
y% = INT(y% * .7058824#)
IF y% < pivot% THEN
    LINE (9, 0)-(14, 180 - y%), 0, BF
END IF

```

```

PRINT #1, CHR$(1);
j$ = INPUT$(1, 1)
y% = ASC(j$)
y% = INT(y% * .7058824#)
pivot% = y%
LINE (41, 180)-(46, 180 - y%), 2, BF
PRINT #1, CHR$(1);

```

```

j$ = INPUT$(1, 1)
y% = ASC(j$)
y% = INT(y% * .7058824#)
IF y% < pivot% THEN
    LINE (41, 0)-(46, 180 - y%), 0, BF
END IF

```

```

PRINT #1, CHR$(2);
j$ = INPUT$(1, 1)
y% = ASC(j$)
y% = INT(y% * .7058824#)
pivot% = y%
LINE (73, 180)-(78, 180 - y%), 4, BF

```

```

PRINT #1, CHR$(2);

```

```

j$ = INPUT$(1, 1)
y% = ASC(j$)
y% = INT(y% * .7058824#)
IF y% < pivot% THEN
    LINE (73, 0)-(78, 180 - y%), 0, BF
END IF

```

```

PRINT #1, CHR$(3);
j$ = INPUT$(1, 1)
y% = ASC(j$)
y% = INT(y% * .7058824#)
pivot% = y%
LINE (105, 180)-(110, 180 - y%), 1, BF

```

```

PRINT #1, CHR$(3);

```

```

j$ = INPUT$(1, 1)
y% = ASC(j$)
y% = INT(y% * .7058824#)
IF y% < pivot% THEN
    LINE (105, 0)-(110, 180 - y%), 0, BF
END IF

```

```

PRINT #1, CHR$(4);
j$ = INPUT$(1, 1)
y% = ASC(j$)
y% = INT(y% * .7058824#)
pivot% = y%
LINE (137, 180)-(142, 180 - y%), 2, BF

```

```

PRINT #1, CHR$(4);

```

```

j$ = INPUT$(1, 1)
y% = ASC(j$)
y% = INT(y% * .7058824#)
IF y% < pivot% THEN
    LINE (137, 0)-(142, 180 - y%), 0, BF
END IF

```

```

PRINT #1, CHR$(5);
j$ = INPUT$(1, 1)
y% = ASC(j$)
y% = INT(y% * .7058824#)
pivot% = y%
LINE (169, 180)-(174, 180 - y%), 3, BF

```

```
PRINT #1, CHR$(5);
```

```

j$ = INPUT$(1, 1)
y% = ASC(j$)
y% = INT(y% * .7058824#)
IF y% < pivot% THEN
    LINE (169, 0)-(174, 180 - y%), 0, BF
END IF

```

```

PRINT #1, CHR$(6);
j$ = INPUT$(1, 1)
y% = ASC(j$)
y% = INT(y% * .7058824#)
pivot% = y%
LINE (201, 180)-(206, 180 - y%), 4, BF

```

```
PRINT #1, CHR$(6);
```

```

j$ = INPUT$(1, 1)
y% = ASC(j$)
y% = INT(y% * .7058824#)
IF y% < pivot% THEN
    LINE (201, 0)-(206, 180 - y%), 0, BF
END IF

```

```

PRINT #1, CHR$(7);
j$ = INPUT$(1, 1)
y% = ASC(j$)
y% = INT(y% * .7058824#)
pivot% = y%
LINE (233, 180)-(238, 180 - y%), 5, BF

```

```

PRINT #1, CHR$(7);
j$ = INPUT$(1, 1)
y% = ASC(j$)
y% = INT(y% * .7058824#)
IF y% < pivot% THEN
    LINE (233, 0)-(238, 180 - y%), 0, BF
END IF

```

```
GOTO lazo
```

```
END SUB
```

3.5.2 Control de un canal D/A de salida

Igual que en el caso anterior lo primero consiste en establecer el canal de comunicación serial a 9.600 baudios, sin paridad, 8 bits de datos y 1 bit de parada. A través de este canal se escoge la subrutina "2" del microcontrolador del sistema, a continuación se ingresa en la computadora el canal de salida escogido y el voltaje deseado (0 V - 10 V) el cual es convertido a un entero entre 0 y 255 que es transmitido al sistema de conversión D/A el cual se encarga de convertirlo al valor análogo correspondiente.

Esta subrutina se sigue ejecutando, hasta cuando se presiona la tecla F1, la cual interrumpe la ejecución de la misma y envía el caracter cuyo código ASCII es 255, para informar al microcontrolador del sistema de la interrupción producida, para que también se ubique en el menú del programa principal en espera de la selección de otra de las opciones.

El diagrama de flujo correspondiente se observa en la Fig. 3.13 y a continuación de la misma su respectivo listado.

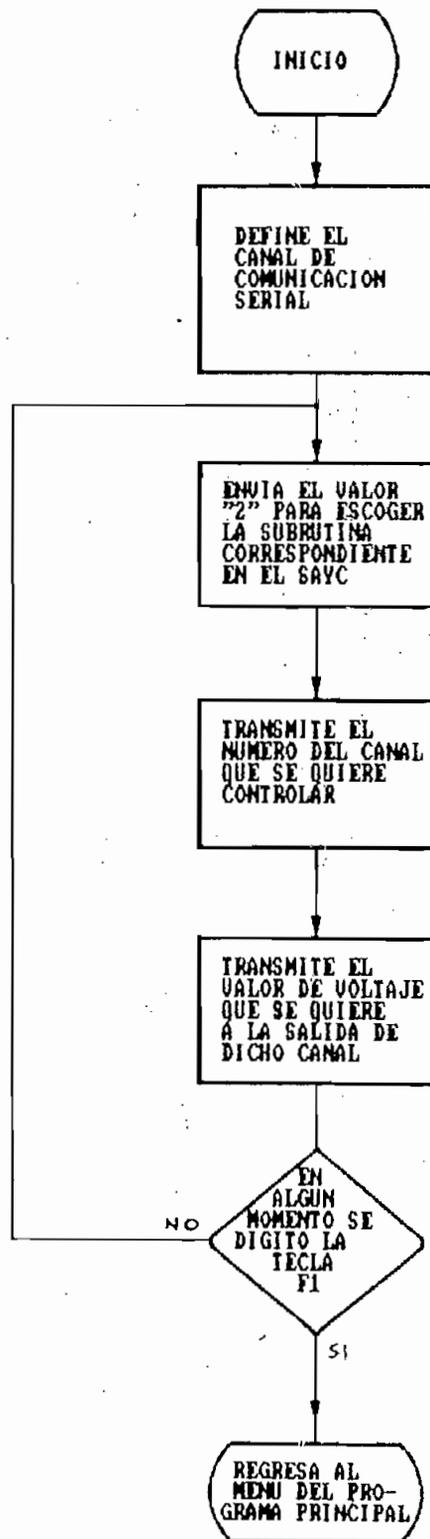


FIG. 3.13 Esquema general de la subrutina que controla los canales D/A.

```
OPEN "com1:9600,n,8,1,cs,ds,cd" FOR RANDOM AS 1
CLS
```

```
gene1:
```

```
PRINT #1, CHR$(2);
LOCATE 9, 35: PRINT "CANAL = "; INPUT "", CANAL%
LOCATE 11, 35: PRINT "VOLTAJE = ";
LOCATE 11, 45: INPUT "", VOL
```

```
VOL% = INT(21.46363636# * VOL + 1.5) 'ajuste de escalas
```

```
PRINT #1, CHR$(CANAL%);
PRINT #1, CHR$(VOL%);
```

```
GOTO gene1
```

3.5.3 Lectura de la entrada digital

Establece la comunicación serial y envía el valor "3" para escoger el programa correspondiente en el microcontrolador del sistema. Muestra el canal digital de entrada constantemente hasta que sea enviado el código de ruptura (255), mediante la digitación de la tecla F1.

La entrada digital es presentada en la pantalla en los formatos hexadecimal, decimal y binario, para la verificación o utilización correspondiente.

Su diagrama de flujo se tiene en la Fig. 3.14 y su listado se presenta a continuación de la misma.

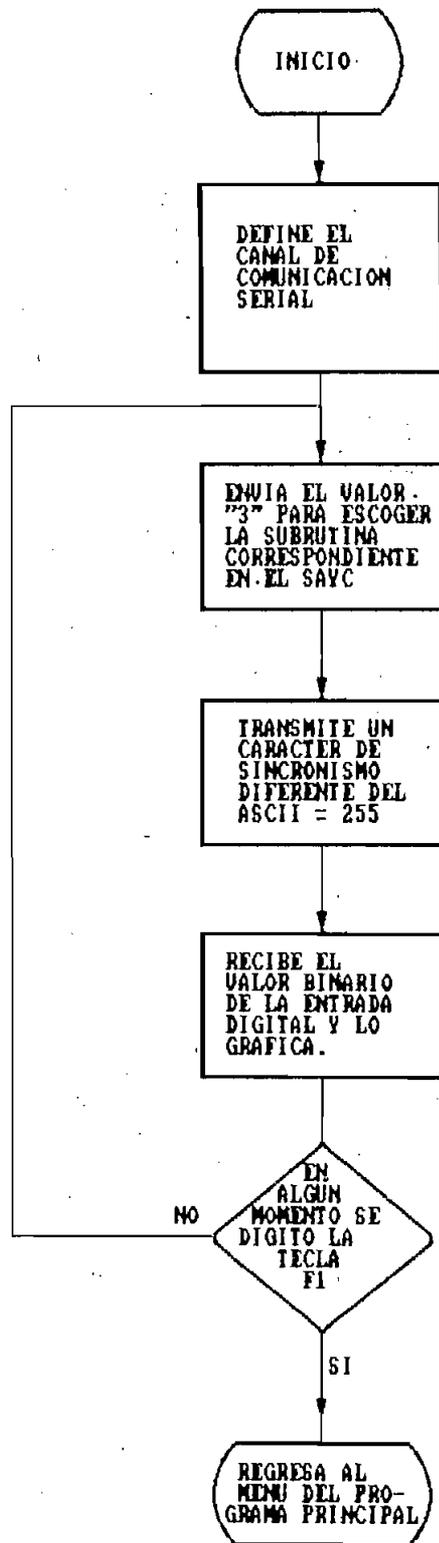


FIG. 3.14 Esquema general de la subrutina que lee el canal digital de entrada.

Listado de la subrutina que lee la entrada digital

'Subrutina que imprime el canal de entrada digital

```
SUB entdigi
OPEN "com1:9600,n,8,1,cs,ds,cd" FOR RANDOM AS 1
PRINT #1, CHR$(5);
KEY(1) ON
endi:
CLS
```

```
LOCATE 1, 2: FOR i = 2 TO 79: PRINT "="; : NEXT
LOCATE 25, 2: FOR i = 2 TO 79: PRINT "="; : NEXT
LOCATE 3, 2: FOR i = 2 TO 79: PRINT "-"; : NEXT
LOCATE 1, 1: PRINT "┌";
LOCATE 25, 1: PRINT "└";
LOCATE 1, 80: PRINT "┐";
LOCATE 25, 80: PRINT "┘";
FOR i = 2 TO 24: LOCATE i, 1: PRINT "||"; : NEXT
FOR i = 2 TO 24: LOCATE i, 80: PRINT "||"; : NEXT
LOCATE 3, 1: PRINT "||";
LOCATE 3, 80: PRINT "||";
```

```
LOCATE 2, 20
```

```
COLOR 3
```

```
PRINT "E N T R A D A           D I G I T A L"
```

```
COLOR 7
```

```
LOCATE 10, 3: PRINT "BIT 8": COLOR 5: LOCATE 11, 3: PRINT
"██████": COLOR 7
LOCATE 10, 13: PRINT "BIT 7": COLOR 5: LOCATE 11, 13: PRINT
"██████": COLOR 7
LOCATE 10, 23: PRINT "BIT 6": COLOR 5: LOCATE 11, 23: PRINT
"██████": COLOR 7
LOCATE 10, 33: PRINT "BIT 5": COLOR 5: LOCATE 11, 33: PRINT
"██████": COLOR 7
LOCATE 10, 43: PRINT "BIT 4": COLOR 5: LOCATE 11, 43: PRINT
"██████": COLOR 7
LOCATE 10, 53: PRINT "BIT 3": COLOR 5: LOCATE 11, 53: PRINT
"██████": COLOR 7
LOCATE 10, 63: PRINT "BIT 2": COLOR 5: LOCATE 11, 63: PRINT
"██████": COLOR 7
LOCATE 10, 73: PRINT "BIT 1": COLOR 5: LOCATE 11, 73: PRINT
"██████": COLOR 7
```

```
LOCATE 18, 10: PRINT "DECIMAL = ":
```

```
LOCATE 18, 45: PRINT "HEXADECIMAL = "
```

```
LL:
```

```
PRINT #1, CHR$(3);
```

```
S$ = INPUT$(1,1)
```

```
A = ASC(S$)
```

```
B = A
```

```
BIT1 = A MOD 2: A = INT(A / 2)
```

```
BIT2 = A MOD 2: A = INT(A / 2)
```

```
BIT3 = A MOD 2: A = INT(A / 2)
```

```
BIT4 = A MOD 2: A = INT(A / 2)
```

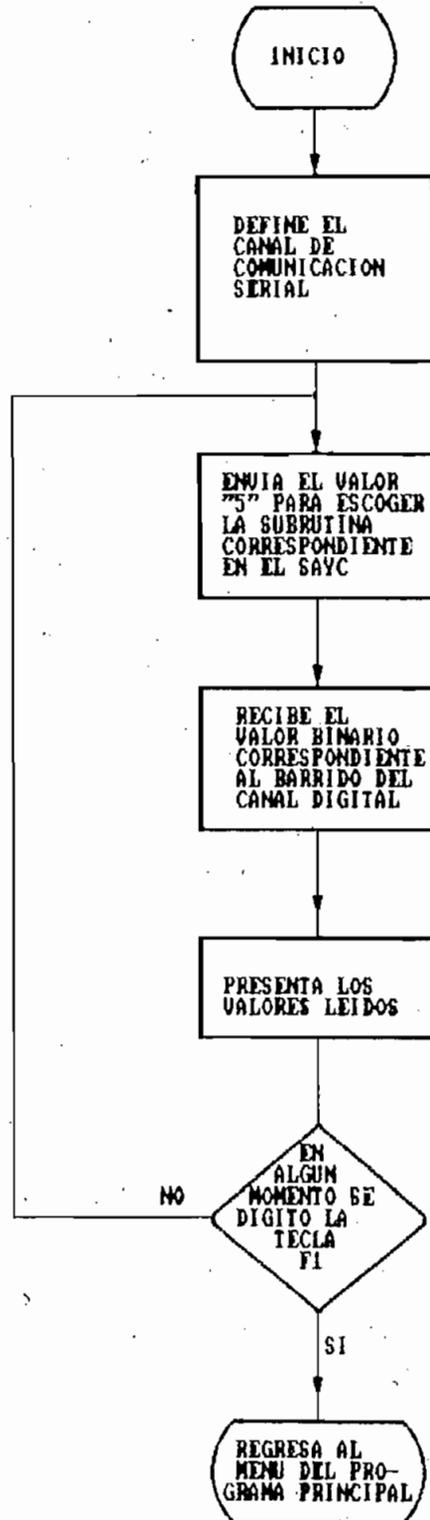


FIG. 3.16 Esquema general de la subrutina que lee sincronicamente el canal digital de entrada.

3.5.6 Adquisición de 100 muestras

Como en los casos anteriores, se define el canal de comunicaciones seriales, mediante el cual se envía el carácter cuyo código ASCII es 6 para que el microcontrolador del sistema identifique la subrutina correspondiente a este caso.

Luego se ingresa a un lazo de lectura y escritura, lectura de los datos enviados desde el sistema de adquisición y escritura en un archivo abierto para almacenarlos para su posterior análisis.

El diagrama de flujo correspondiente consta en la Fig. 3.17 y su listado es el siguiente :

```

SUB saldig1
OPEN "com1:9600,n,8,1,cs,ds,cd" FOR RANDOM AS 1
OPEN "MUESTRA.DAT" FOR OUTPUT AS 2

PRINT #1,CHR$(6);                ;Subrutina 6 en el
                                ;microcontrolador
FOR I = 1 TO 100
    S$ = INPUT$(1,1)
    DAT% = ASC(S$)
    PRINT #2,DAT%
NEXT I
CLOSE #1
CLOSE #1

END SUB

```

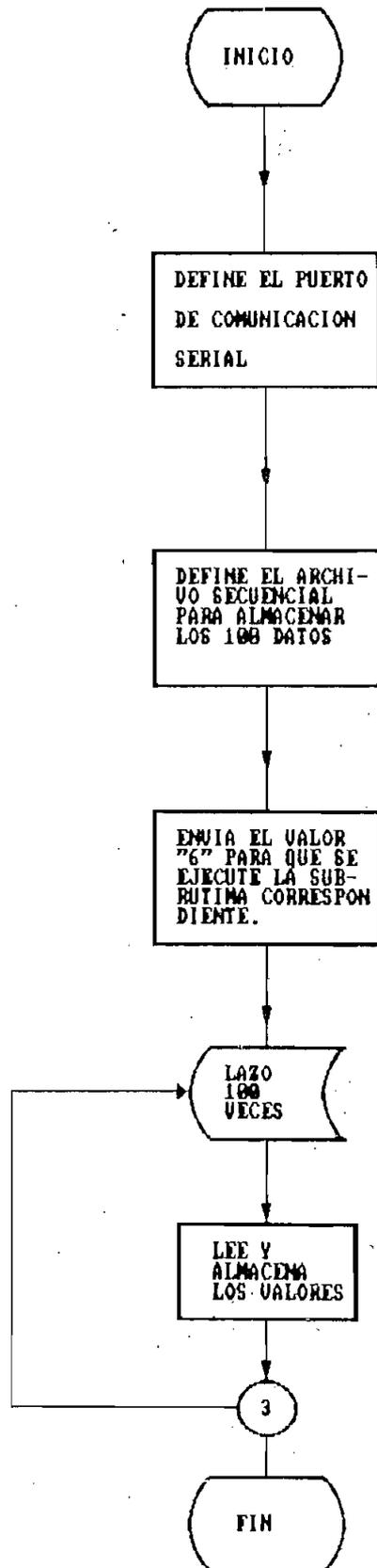


FIG. 3.17 Esquema general de la subrutina que almacena 100 valores muestreados

CAPITULO 4.- CONSTRUCCION Y RESULTADOS EXPERIMENTALES

4.1 Pruebas de laboratorio

4.1.1 Muestreo de la carga de un capacitor

4.1.2 Control de un display de 7 segmentos

4.1.3 Lectura del teclado

4.2 Aplicaciones realizadas y resultados obtenidos

4.2.1 Control PID de tanques acoplados

4.2.2 Control digital de un motor de pasos

4.3 Esquema mecánico

4.1 Pruebas de laboratorio

Las pruebas de laboratorio incluyen la verificación del buen funcionamiento de todos los canales tanto digitales como analógicos de entrada y de salida. Se realizaron implementando circuitos tanto para generar los voltajes de entrada como para visualizar los de salida.

4.1.1 Muestreo de la carga de un capacitor

Para este efecto se implementó el siguiente un circuito RC :

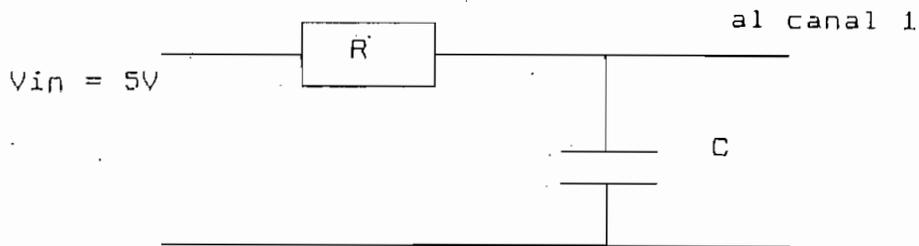


Fig. 4.1 Circuito RC

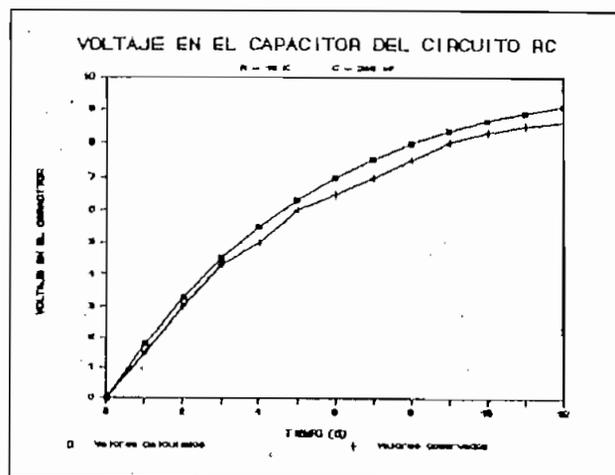


Fig. 4.2 Resultados calculados y observados

Los resultados se almacenaron en un archivo para su posterior graficación con cualquier otro programa como por ejemplo lotus 123, obteniendose la Fig. 4.2 en la que se aprecian tanto los valores calculados como los medidos.

4.1.2 Control de un display de 7 segmentos

Para esta prueba se utiliza la subrutina para enviar escribir en el canal de salida digital, con las modificaciones correspondientes para manejar el display conectado según lo muestra el circuito de la Fig. 4.3

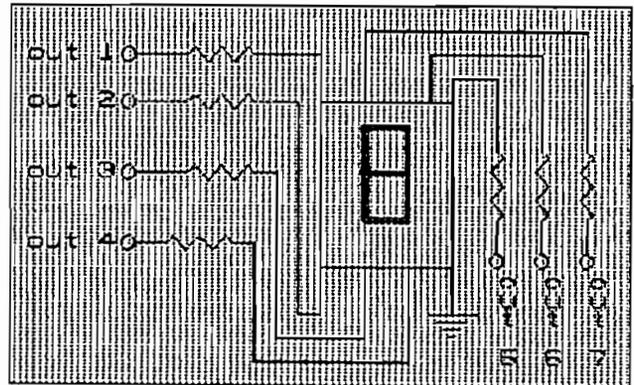


FIG. 4.3 Circuito
conectado a la
salida digital

El listado correspondiente es :

```
OPEN "com1:9600,n,8,1,cs,ds,cd" FOR RANDOM AS 1
KEY(1) ON
CLS
DISP:
LOCATE 3, 20
COLOR ROJO, BLANCO
PRINT "    DISPLAY DE 7 SEGMENTOS    "
```

vuelatas:

```
    s$ = INKEY$
    COLOR amarillo, azul
    LOCATE 10, 40
    PRINT s$
```

```

IF s$ = "" GOTO vueltas
IF s$ = "1" THEN PRINT #1, CHR$(68);
IF s$ = "2" THEN PRINT #1, CHR$(107);
IF s$ = "3" THEN PRINT #1, CHR$(110);
IF s$ = "4" THEN PRINT #1, CHR$(92);
IF s$ = "5" THEN PRINT #1, CHR$(62);
IF s$ = "6" THEN PRINT #1, CHR$(63);
IF s$ = "7" THEN PRINT #1, CHR$(100);
IF s$ = "8" THEN PRINT #1, CHR$(127);
IF s$ = "9" THEN PRINT #1, CHR$(126);
IF s$ = "A" THEN PRINT #1, CHR$(125);
IF s$ = "B" THEN PRINT #1, CHR$(31);
IF s$ = "C" THEN PRINT #1, CHR$(51);
IF s$ = "D" THEN PRINT #1, CHR$(79);
IF s$ = "E" THEN PRINT #1, CHR$(59);
IF s$ = "F" THEN PRINT #1, CHR$(57);
IF s$ = "0" THEN PRINT #1, CHR$(119);
IF s$ = " " THEN PRINT #1, CHR$(0);

```

GOTO DISP

4.1.3 Lectura del teclado

Los teclados estándar, tienen 4 líneas importantes : Vcc, tierra, reloj y datos.

La señal de reloj está normalmente en alto y el momento de digitar una tecla produce las oscilaciones correspondientes

con un período de 80 us, y al mismo tiempo en la línea de los datos tenemos el código de barrido según la tecla digitada, es decir se transmiten los datos en forma serial sincrónica, con el formato siguiente : 1 bit de inicio, 8 de datos y 1 bit de parada.

En esta prueba se consigue leer esta transmisión mediante una entrada (de las 8) del canal digital, actuando en forma sincrónica con la señal de reloj, la cual se conecta a la interrupción externa del sistema de adquisición de datos. Para su implementación se hace uso de la subrutina 5 del microcontrolador desarrollada para este propósito.

CINCO:

```

CLR      ALTA           ;Alta impedancia A/D
MOV      P2,#DIEN      ;Direccional al canal D/I
mov      ie,#81h       ;Habilita la interrupción
                        ;externa
mov      tcon,#01h     ;actua por flanco.
mov      r0,#00h
mov      a,#00h
sjmp     $

```

atencion:

```

cjne r0,#00h,datos    ;chequea si existe bit
                        ;de inicio = 0
jb     p0.0,salida
inc    r0
reti

```

datos:

```

cjne r0,#09h,shift    ;chequea el bit de
                        ;parada = 1
jb     p0.0,fintec     ;si es 1 termina
                        ;normalmente

mov     p2,a
mov     r0,#00h
ljmp   salida

```

fintec:

```

mov r0,#00
lcall ENVIO ;transmite el valor
ljmp salida ;leido

shift:

mov c,p0.0 ;Convierte el dato serie
inc r0 ;a paralelo
rrc a ;rota con Carry
salida:
reti ;retorno de la
;interrupción

```

La prueba resulto exitosa, observándose que las teclas normales emiten 2 bytes con códigos fijos, pero algunas teclas especiales emiten una mayor cantidad de bytes.

4.2 Aplicaciones realizadas y resultados obtenidos

Las aplicaciones se efectuaron sobre prototipos existentes en la Facultad de Ingeniería Eléctrica, para control de procesos.

4.2.1 Control PID de tanques acoplados

En esta aplicación se describe algunos aspectos del control de procesos mediante un microcomputador. La planta controlada es el sistema de tanques acoplados² todo el sistema es considerado como un sistema de control digital con un periodo de muestreo de T s.

² Juan F. Garzón G.(Tesis), Diseño y construcción de un control analógico y digital de nivel de líquidos en tanques acoplados, Quito, Marzo, 1990.

Se requiere controlar el nivel del líquido en el tanque 1 a una altura $H = 20$ cm, el error entre el nivel observado y el deseado es:

$$e(t) = r - y(t)$$

El microcomputador debe ejecutar los siguientes cálculos para implementar un control PID :

$$u(t) = K_p e(t) + K_i \int e(t) dt + K_d \frac{\delta e(t)}{\delta t}$$

Tomando la transformada de Laplace¹:

$$\frac{u(s)}{e(s)} = K_p + K_i/s + K_d s$$

Tomando la transformada z :

$$\frac{u(z)}{e(z)} = K_p + \frac{K_i T(z+1)}{2(z-1)} + \frac{K_d}{T} (1 - z^{-1})$$

$$\frac{u(z)}{e(z)} = K_p + \frac{K_i T}{2} + \frac{1 + z^{-1}}{1 - z^{-1}} + \frac{K_d}{T} (1 - z^{-1})$$

si hacemos : $a_1 = K_p$

$$a_2 = (K_i T) / 2$$

$$a_3 = K_d / T$$

$$\frac{u(z)}{e(z)} = \frac{a_1(1 - z^{-1}) + a_2(1 + z^{-1}) + a_3(1 - z^{-1})}{1 - z^{-1}}$$

$$\begin{aligned} u(k) - u(k-1) &= [a_1 - z^{-1}a_1 + a_2 + z^{-1}a_2 + a_3 - 2a_3z^{-1} + a_3z^{-2}] e(z) \\ &= [(a_1 + a_2 + a_3) + (a_2 - a_1 - 2a_3)z^{-1} + a_3z^{-2}] e(z) \end{aligned}$$

¹ Benjamin C. Kuo, Digital Control Systems, Japón, 1981, pág. 509-512, 690-693.

si hacemos :

$$b_1 = a_1 + a_2 + a_3 = k_p + (K_i T)/2 + K_d/T$$

$$b_2 = a_2 - a_1 - 2a_3 = (K_i T)/2 - K_p - 2 K_d/T$$

$$b_3 = a_3 = K_d/T$$

Podemos obtener la ley de control :

$$u(k) = u(k-1) + b_1 e(k) + b_2 e(k-1) + b_3 e(k-2)$$

La misma que sugiere el diagrama de flujo de la Fig. 4.4.

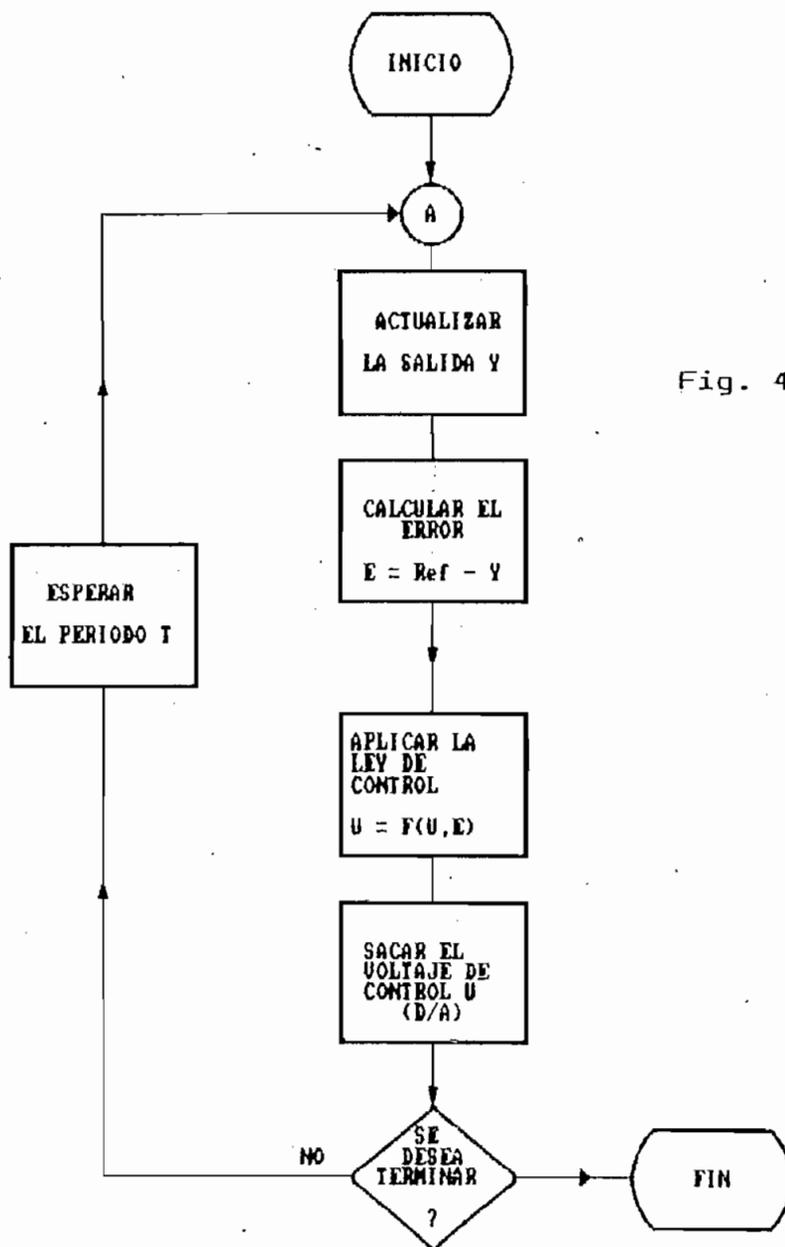


Fig. 4.4 Algoritmo de control

Lo anterior permite desarrollar el siguiente programa :

control:

'Subrutina para realizar el control PID

BEEP

PRINT #1, CHR\$(1);

' Opción 1 para traida de
' datos

PRINT #1, CHR\$(0);

' Canal A/D 0

s\$ = INPUT\$(1, 1)

' Lectura

PRINT #1, CHR\$(255);

' Código de ruptura

y% = ASC(s\$)

y1% = y%

ya! = y% * 10 / 255

' Ajuste de escalas

LOCATE 2, 73

PRINT USING "###.## v"; ya!

E! = R! - ya!

' Cálculo del nuevo error
' Actualización

x(4) = x(3)

x(3) = x(2)

x(2) = E!

x(1) = U!

U! = 0

FOR i = 1 TO 4

U! = U! + t(i) * x(i)

' Ley de control

NEXT i

IF U! > 10 THEN

U! = 10

' Chequeo saturación

ELSEIF U! < 0 THEN

U! = 0

END IF

y2% = INT(25.5 * U!)

' Transformación de escalas

PRINT #1, CHR\$(2);

' Opción para salida de datos

PRINT #1, CHR\$(1);

' Canal D/A 1

PRINT #1, CHR\$(y2%);

PRINT #1, CHR\$(255);

' Código de ruptura

LOCATE 14, 72

PRINT USING "###.## v"; U!

'Graficación:

```

y1% = INT(-y1% * 100 / 255 + 100): PSET (x%, y1%)
y2% = INT(-y2% * 100 / 255 + 200): PSET (x%, y2%)
x% = x% + 1

```

```

IF x% > xfin% THEN

```

```

    LINE (11, 1)-(638, 99), 0, BF
    LINE (11, 101)-(638, 198), 0, BF
    x% = xini

```

```

END IF
RETURN

```

El resultado que se obtuvo en el ensayo, se lo aprecia en la Fig. 4.5 para los siguientes valores :

$$K_p = 7,50$$

$$K_i = 0,44$$

$$K_d = 0.00$$

$$T = 3 \text{ s}$$

De los ensayos realizados podemos deducir las siguientes técnicas de ajuste de los distintos tipos de controles : para el control P (proporcional) se empieza con una ganancia proporcional relativamente alta, reduciendola hasta obtener la estabilidad deseada. Al subir la ganancia, aumenta la inestabilidad y al reducirla, aumenta el error.

El control I (integral) se añade al proporcional en forma progresiva hasta llegar al valor de referencia rápidamente y con pocos ciclos.

Para ajustar un control PID se trabaja primero con una ganancia proporcional que de lugar a una ligera oscilación ante una perturbación, con la acción integral reducida al

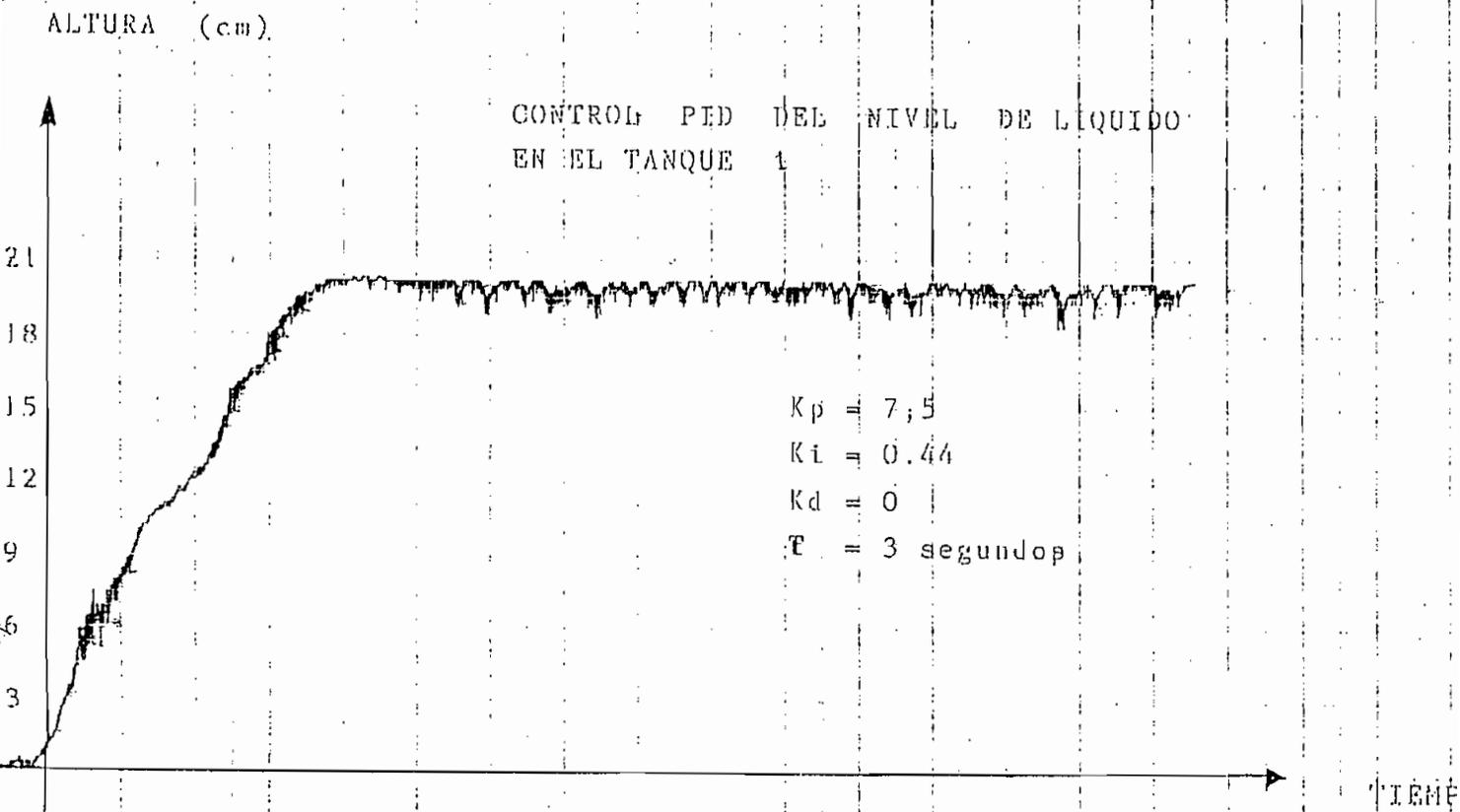


FIG. 4.5 CONTROL P.I.D. DIGITAL.

mínimo. Se aumenta de nuevo el K_p hasta que los ciclos se inician y se aumenta más el valor de K_d hasta eliminarlos, continuamos con estos pasos hasta que la acción derivativa no mejore las oscilaciones. Finalmente se ajusta la acción integral para eliminar el offset.

4.2.2 Control digital de un motor de pasos

Un motor de pasos convierte la información digital en un movimiento mecánico proporcional, es un motor cuyo rotor gira en pasos discretos siguiendo los pulsos de comando en número y velocidad.

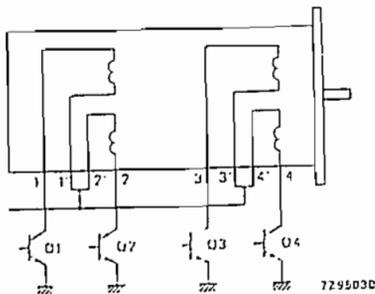
Los motores de pasos son aplicados en control digital debido a su rápido y preciso posicionamiento y se los usa en gran variedad de aplicaciones como :

- Tractores de papel y cinta
- Teletipos ,impresoras y ploters.
- Controles de cámaras, videograbadoras, etc.
- Equipos médicos, bombas, etc.
- Conversores digitales-análogos.

El beneficio completo de utilizar motores de pasos puede ser obtenido solamente si es correctamente operado. Esto requiere una fuente DC, un switch electrónico y una fuente de pulsos (información digital). En efecto, el motor se mueve un paso para cada pulso de control aplicado al switch electró-

nico. El ángulo depende del tipo de motor y puede ser tan pequeño como 1.8° y tan grande como 15° . Consecuentemente, si 24 pulsos son ingresados al switch en un motor que gira 15° por pulso, este completará una revolución. El tiempo tomado para esta acción es enteramente función de la velocidad a la que los pulsos son aplicados.

Existen tres tipos de motores : 4-fases unipolar, 2-fases y 4-fases bipolares. Para este caso el motor es de 4-fases unipolar, requiere un simple circuito driver, solamente 4 transistores de potencia. Energizando una bobina a la vez como lo muestra la figura 12, se consigue la llamada excitación de onda. El torque estático y de trabajo se reduce en un 30 %, esto puede ser compensado incrementando la fuente de potencia. La ventaja de esta secuencia es su alta eficiencia, pero a costa de una reducida exactitud.



1	ON	OFF	OFF	OFF
2	OFF	OFF	ON	OFF
3	OFF	ON	OFF	OFF
4	ON	OFF	OFF	OFF

FIG. 4.5 Motor de pasos y secuencia de control

El programa desarrollado para esta aplicación es el que corresponde al siguiente diagrama de flujo (Fig. 4.6) :

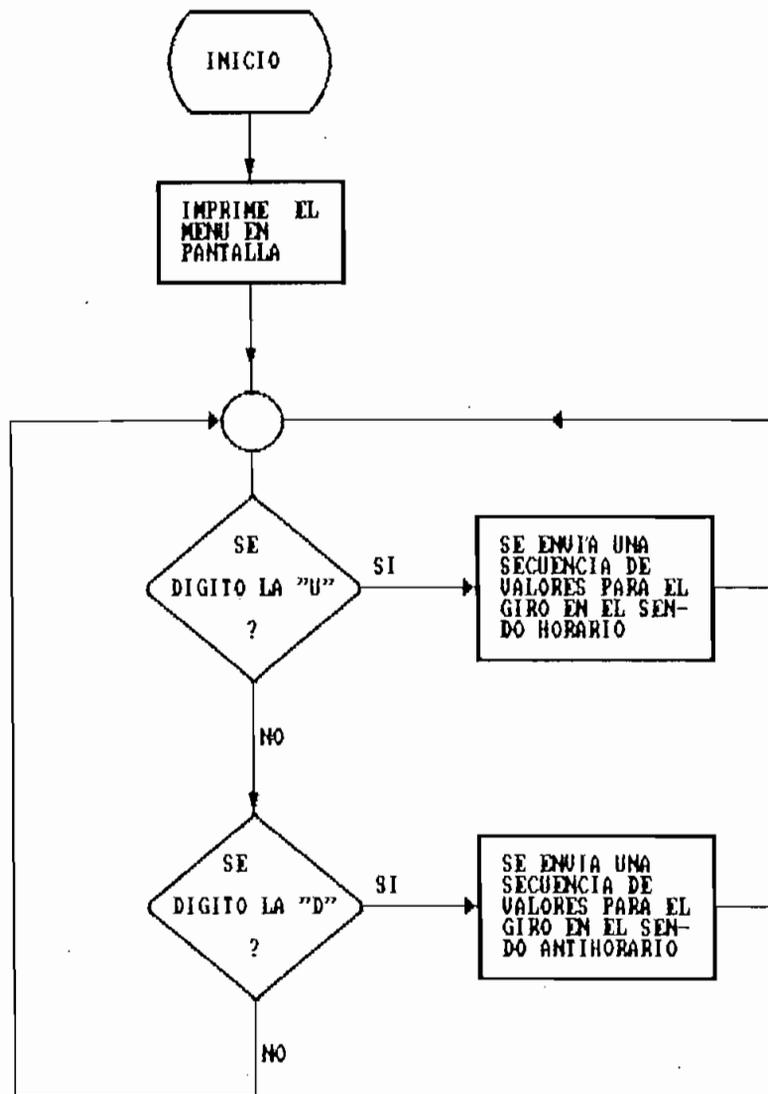


FIG. 4.6 Subrutina para controlar el motor de pasos.

Listado del programa para controlar el motor de pasos

```

SUB pasos
OPEN "com1:9600,n,8,1,cs,ds,cd" FOR RANDOM AS 1
KEY(1) ON
    PRINT #1, CHR$(4);
CLS
COLOR ROJO, BLANCO
LOCATE 10, 25
PRINT "    Control del motor de pasos    "
LOCATE 14, 25
COLOR amarillo, azul
PRINT " [U] --- > sentido horario"
LOCATE 15, 25
PRINT " [D] --- > sentido antihorario"

```

pasos:

```

    w$ = INPUT$(1)
    IF w$ = "u" OR w$ = "U" THEN
        PRINT #1, CHR$(16);
        PRINT #1, CHR$(32);
        PRINT #1, CHR$(64);
        PRINT #1, CHR$(128);
    ELSE
        IF w$ = "d" OR w$ = "D" THEN
            PRINT #1, CHR$(128);
            PRINT #1, CHR$(64);
            PRINT #1, CHR$(32);
            PRINT #1, CHR$(16);
        ELSE
            BEEP
        END IF
    END IF

```

GOTO pasos

4.3 Esquema mecánico

El sistema de adquisición de datos y control, está formado por dos cajas, la principal contiene la circuitería anteriormente diseñada. La segunda caja, simplemente contiene una fuente adicional y las borneras, con todos los terminales fácilmente identificables.

Como parte del esquema mecánico, se consideran, los diseños realizados para el circuito impreso, por lo cual se detallan en los impresos de todas tarjetas construidas y fotografías del equipo.

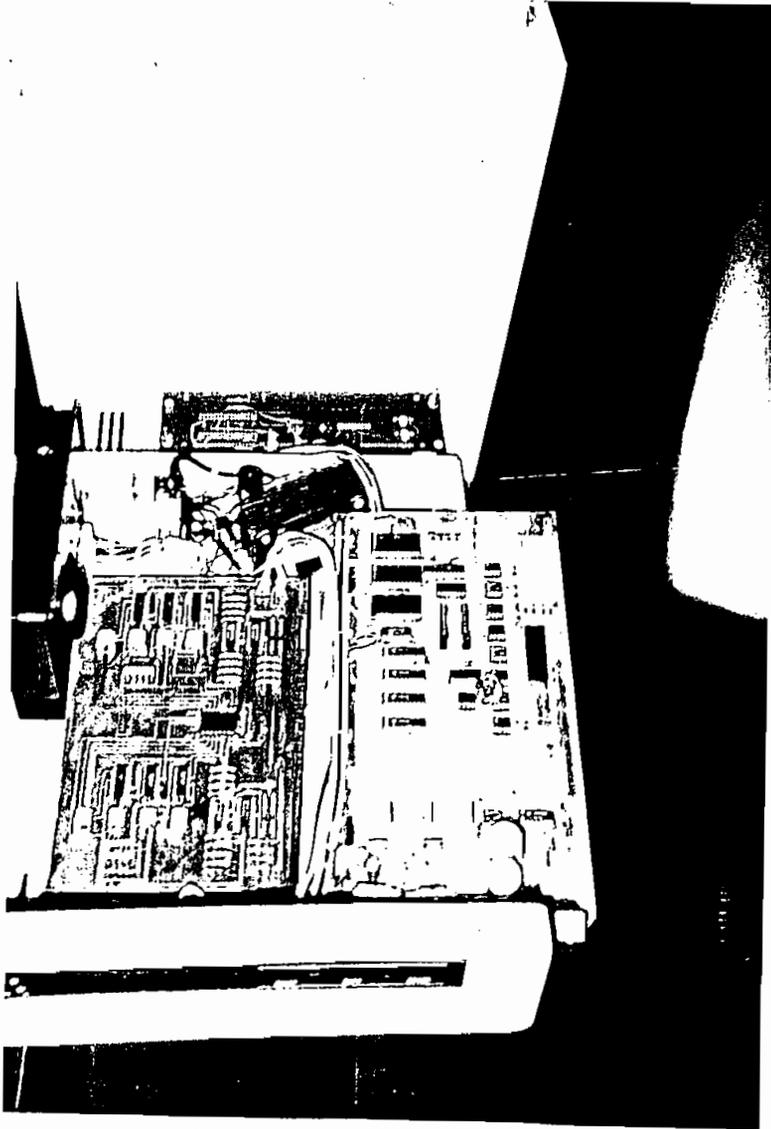


Foto 1. Vista interior del sistema de adquisición de datos

Como se puede apreciar el sistema está construido sobre tres placas de circuito impreso, unidas entre sí, la placa principal (de color blanco), contiene la fuente de polarización, el microcontrolador, los buses de datos, direcciones y control, los circuitos de captura y mantenimiento, el conversor análogo-digital, los conversores digitales análogos y los puertos de entrada y salida paralela. La segunda placa (cafe) contiene toda la circuitería de amplificación de los 8 canales y finalmente la tercera placa (verde) sirve de soporte mecánico para los cables de conexión.

Las tarjetas, ensambladas y el circuito asegurado dentro del chasis tiene la apariencia siguiente :

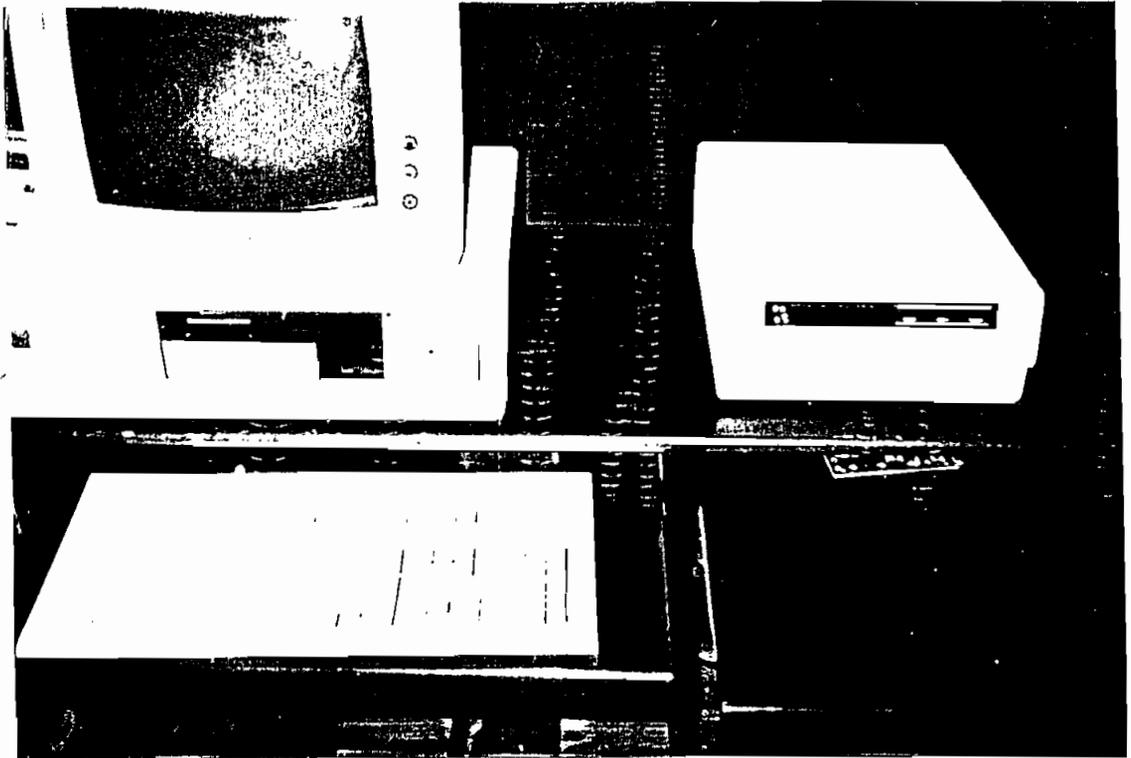
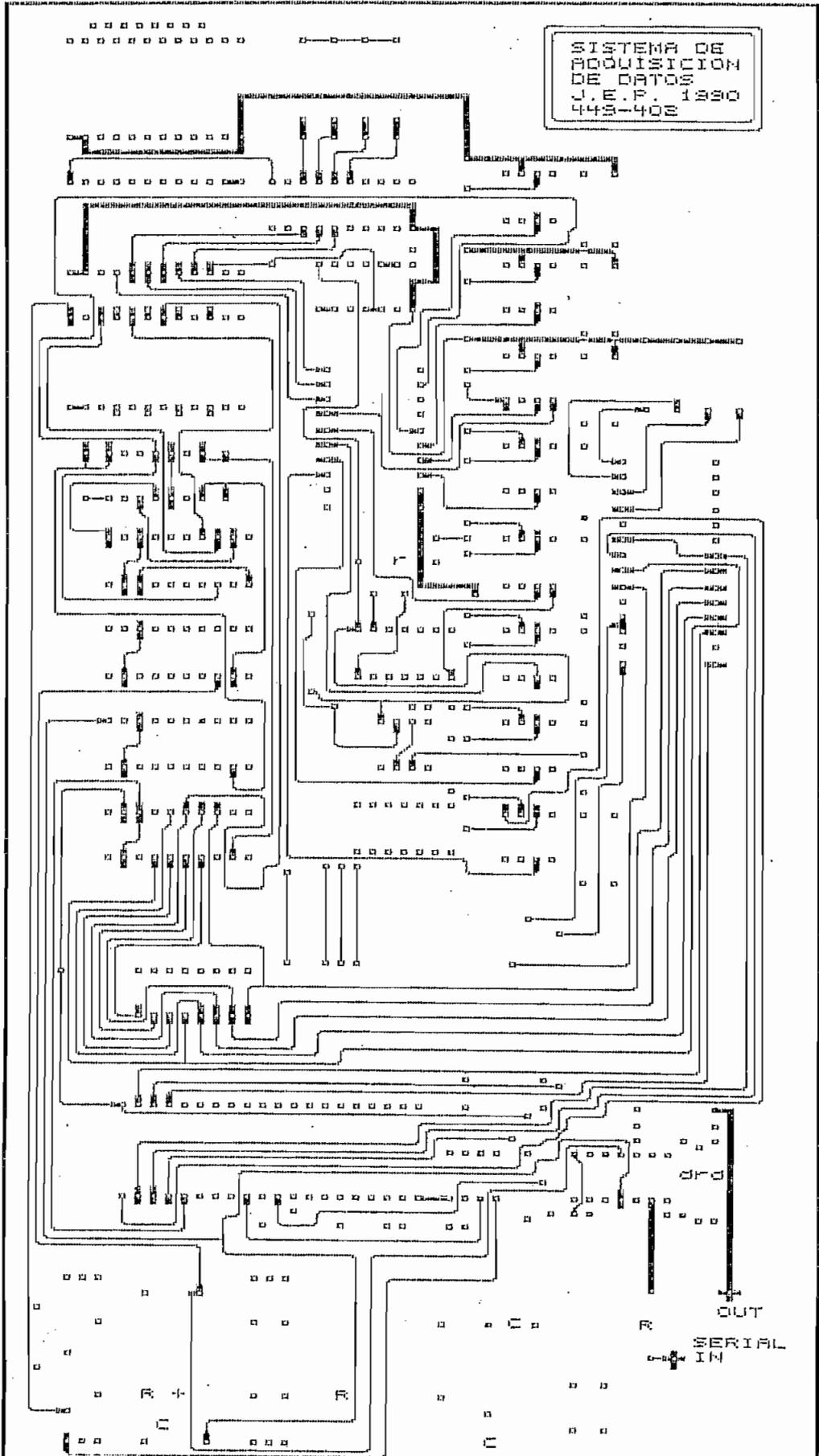


Foto 2 Vista exterior del sistema de adquisición de datos

ix checkplot 10 Apr 1990 05:30:44
compac.pcb
v1.2 r3 holes: 609 component side
approximate size: 5.05 by 9.70 inches



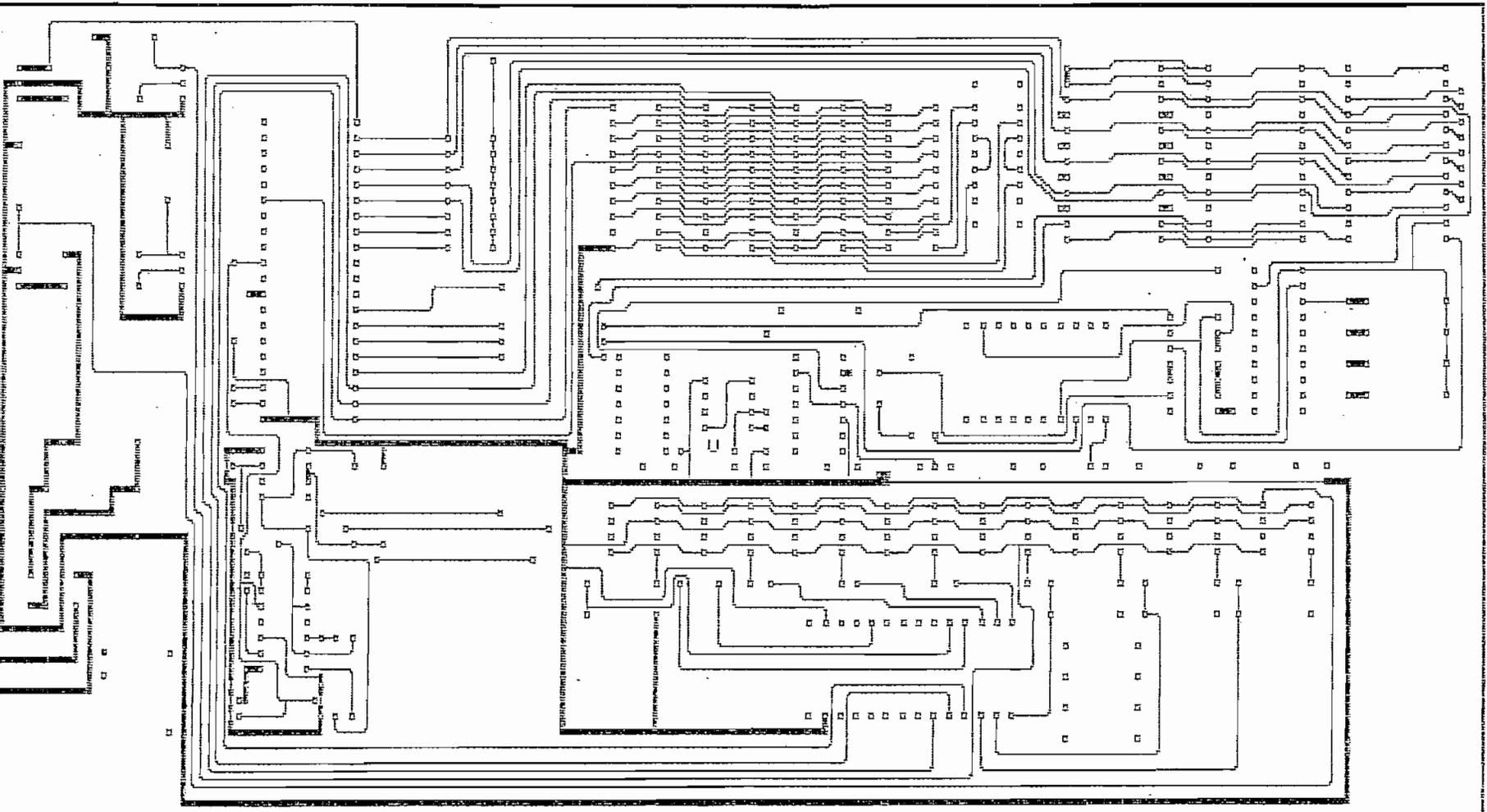
IX checkpoint 10 Apr 1990 05:25:22

compac.pcb

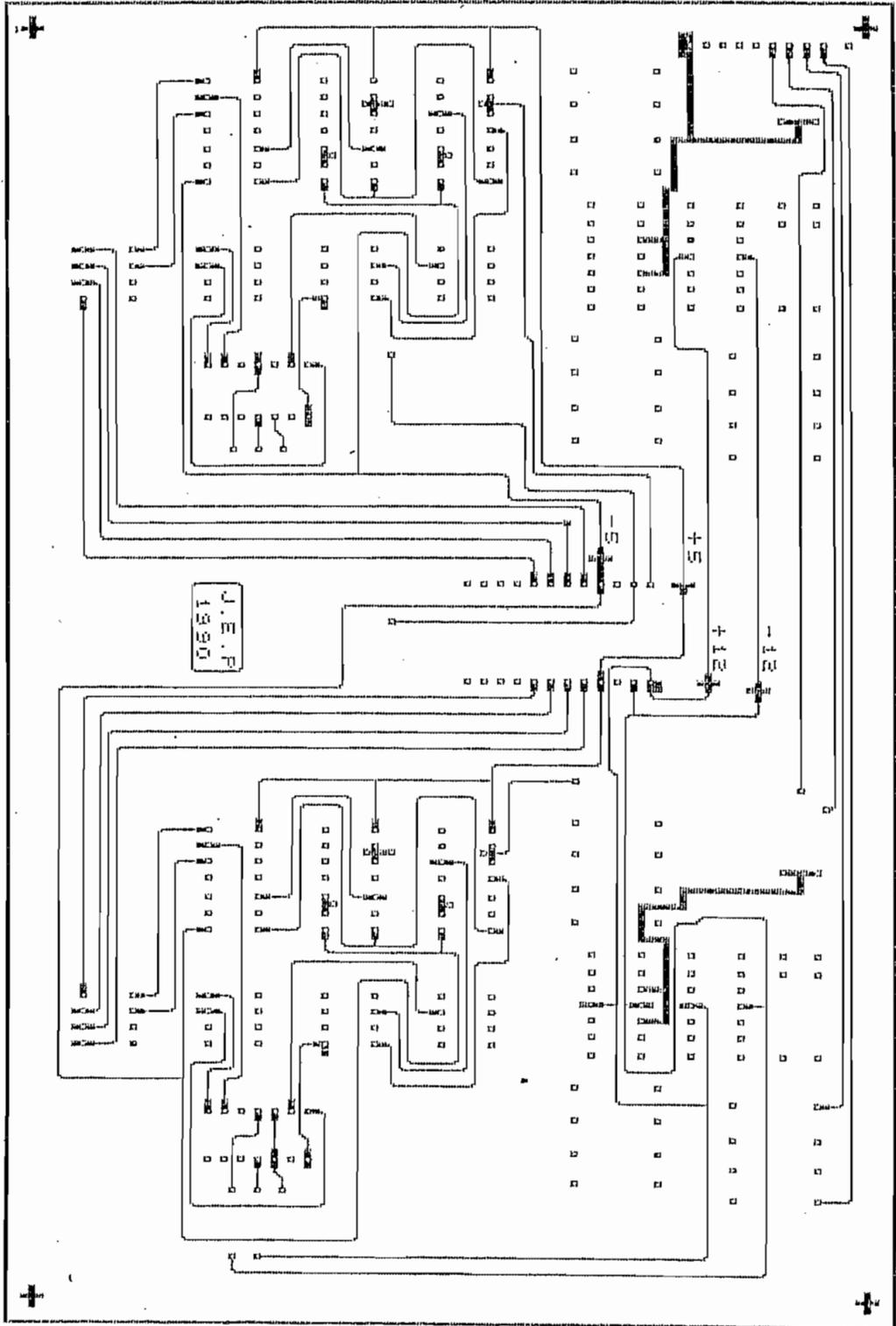
v1.2 P3 holes: 609

solder side

approximate size: 5.05 by 9.70 inches

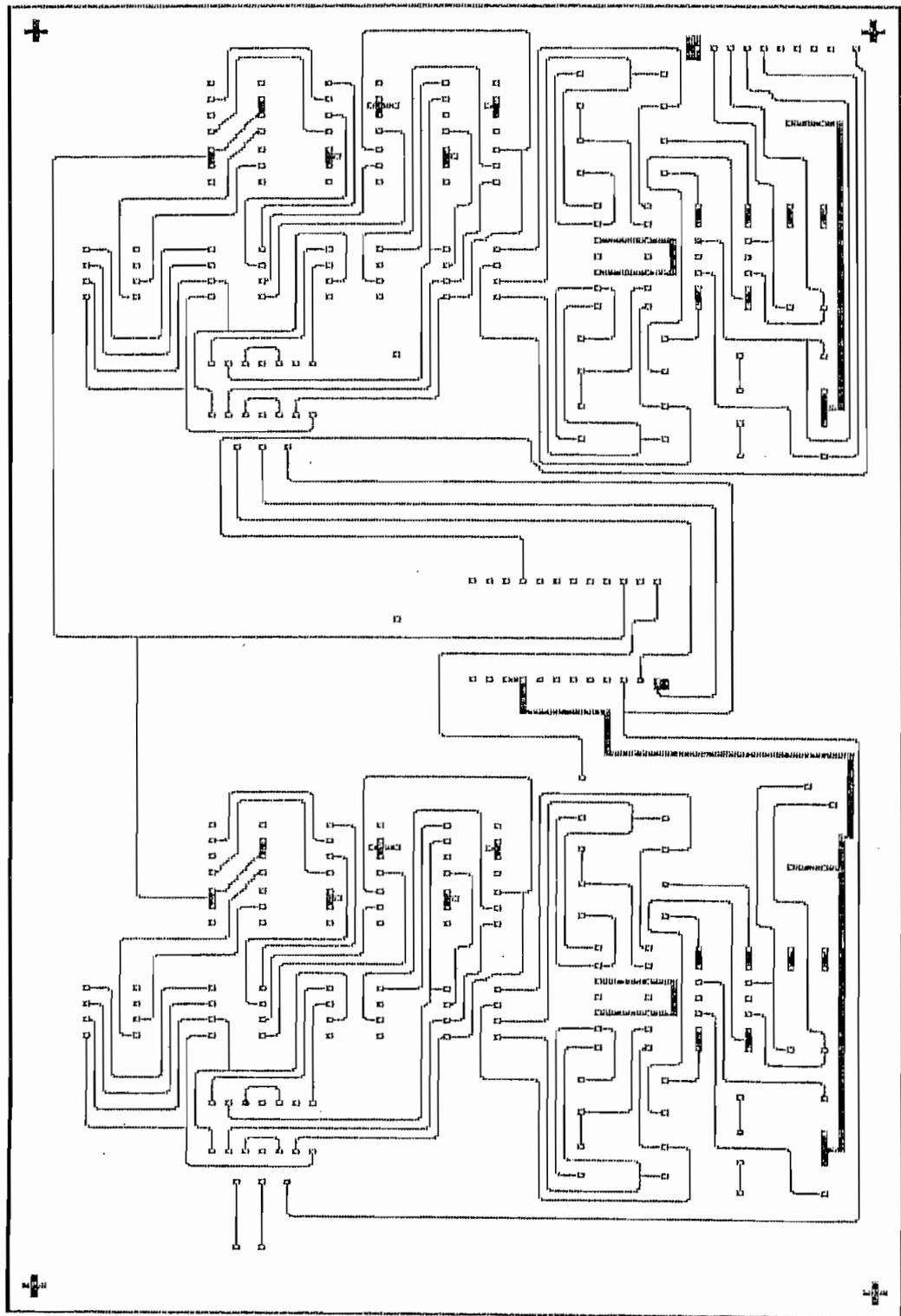


1X checkplot 10 Apr 1990 05:40:21
central.pcb
v1.2 r3 holes: 353 component side
approximate size: 7.80 by 5.15 inches



192-

1X checkplot 10 Apr 1990 05:35:05
central.pcb
v1.2 r3 holes: 353 solder side
approximate size: 7.80 by 5.15 inches



CAPITULO.- 5 CONCLUSIONES Y RECOMENDACIONES

5.1 Conclusiones

5.2 Recomendaciones

5.3 Bibliografia

5.1 Conclusiones

En este numeral se realiza una evaluación de los resultados obtenidos, comparándolos con las características planteadas al inicio del diseño del sistema.

La adquisición de datos realizada para obtener la forma de onda del voltaje detallada en el numeral 4.1.1 permite verificar el funcionamiento de los canales análogos de entrada, el control del display de 7 segmentos descrita en el numeral 4.1.2 así como la lectura del teclado realizada para el numeral 4.1.3 aseguran el funcionamiento de los canales de entrada y salida digital.

El control PID de los tanques acoplados descrito en la sección 4.2.1 permite comprobar el funcionamiento simultáneo de la entrada y la salida análoga. El control del motor de pasos descrito en el numeral 4.2.2 nos permite visualizar el control secuencial que se realiza gracias a la salida digital con su respectivo interfaz para potencia.

De acuerdo a la serie de pruebas realizadas con las diferentes entradas y salidas tanto análogas como digitales, se puede afirmar que el sistema opera satisfactoriamente y que se cumplió con los objetivos propuestos.

Se asegura que la instrumentación implementada en el equipo, es de gran calidad, esperando un largo tiempo de vida siem-

pre que se sigan las normas de operación y mantenimiento.

Es necesario también destacar la confiabilidad del sistema dado que las principales funciones de control y transmisión recaen sobre el microcontrolador 8751. Las conexiones de los diferentes componentes del sistema se realizaron en circuitos impresos de doble lado, para realizar mejores soldaduras de lado y lado sin sobrecalentar a los integrados, se utilizaron sócalos de características adecuadas lo cual permite al mismo tiempo el remplazo cómodo de cualquier integrado defectuoso.

En el caso de ser necesaria la construcción de otro equipo de similares características, esta llevaría poco tiempo debido a la facilidad de construir los circuitos impresos correspondientes puesto que la técnica fotomecánica permite que con los negativos obtenidos para la primera vez, se puedan construir los circuitos impresos que se requieran.

Tomando en cuenta que el sistema de adquisición de datos es un prototipo de desarrollo, es necesario proveer al usuario de la posibilidad de expandir las capacidades del mismo tanto en sus características internas como aquellas que pueden ser modificadas desde el computador personal. La facilidad de cambiar la arquitectura interna está dada por la sencillez del set de instrucciones del microcontrolador 8751, por todas las razones anteriormente expuestas, la utilización de dicho microcontrolador se ve plenamente justificada.

Al trabajar con controles digitales se observan las siguientes ventajas : pueden realizar complejos cálculos con exactitud constante a alta velocidad, con un incremento de costo relativamente pequeño. En cambio el costo de las computadoras analógicas aumenta rápidamente al hacerlo la complejidad de los cálculos.

Los controles digitales son extremadamente versátiles. Simplemente colocando un nuevo programa se pueden cambiar totalmente las operaciones a efectuar. Esta característica es particularmente importante si el sistema de control a de recibir información operativa o instrucciones desde algún centro de supervisión en los que se realizan estudios de supervisión y control.

La potencialidad de sus aplicaciones en instrumentación inteligente para procesos industriales, laboratorios especializados de : Química, Ing. Civil, laboratorios de enseñanza, debida a la facilidad para la adquisición de datos y eventualmente de salida de datos análogos y digitales.

Como ejemplo de sus aplicaciones podemos mencionar la que se viene ejecutando en el proyecto auspiciado por el CONUEP (Cuencos amortiguadores de energía.- Proyecto Chongón) en la Facultad de Ingeniería Civil a cargo del Ing. Patricio Vargas, en el cual se usa una versión inicial del sistema de adquisición de datos para sensar el nivel del agua alcanzada en diferentes puntos de la maqueta construida, dando óptimos

resultados reflejados en la Tesis de grado realizada por el Sr. Jorge Miño en base a este estudio.

5.2 Recomendaciones

Es necesario continuar desarrollando programas para obtener el máximo provecho del sistema construido, implementando los diferentes tipos de control.

Se debe tratar de utilizar conversores de mayor precisión es decir de 12 o más bits para incrementar la exactitud de los controles, y en el caso de que se requiera una mayor velocidad se pueden tomar 2 alternativas : o se realizan los algoritmos de control directamente en el microcontrolador del sistema o se contruye otro sistema con arquitectura diferente como el de bus interno con un acceso directo a la memoria del computador personal. Se puede también, implementar los mismos programas, pero en lenguajes de más bajo nivel, como el ensamblador del 80386, para que estos puedan ser más rápidos, o puedan ser instalados como rutinas residentes todo el tiempo en la memoria de la computadora personal, sin interferir con el reso de las operaciones que ésta normalmente realiza.

Se pueden realizar estudios a nivel de instrumentación inteligente en los campos antes mencionados, para concluir en prototipos de aplicaciones que se puedan industrializar.

5.3 BIBLIOGRAFIA Y REFERENCIAS

- 1.- KUO BENJAMIN, "Digital Control Systems", Holt-Saunders International Editions, Tokio-Japón, 1981.
- 2.- D'AZZO JOHN Y HOUPIS CONSTANTINE, "Sistemas lineales de control", Paraninfo, España, 1977.
- 3.- LIU C.L. Y LIU JANE, "Linear Systems Analysis", McGraw-Hill, USA, 1981.
- 4.- OGATA KATSUHIKO, "Ingeniería de Control Moderna", Prentice-Hall Internacional, 1974.
- 5.- FLORES FERNANDO, "Control con microprocesadores", Escuela Politécnica Nacional, Quito, 1986.
- 6.- GARZON JUAN, "Diseño y construcción de un control análogo y digital de nivel de líquidos en tanques acoplados", Escuela Politécnica Nacional, Quito, 1990.
- 7.- VARIOS AUTORES, "Convertidores A/D y D/A", Colección Diseño Electrónico, Tomo 29, Ediciones Ingelek, Canarias, 1987.
- 8.- JOSE MOMPIN POBLET, "Microprocesadores y Microcomputadores", Marcombo, Barcelona-México, 1983.

- 9.- JOSE MOMPIN POBLET, "Interconexión de periféricos a Microprocesadores", Marcombo, Barcelona-México, 1983.
- 10.- CIARCIA STEVE, "Construya una microcomputadora basado en el Z80", McGraw-Hill, España, 1981.
- 11.- BURR-BROWN CORPORATION, "The Handbook of Personal Computer Instrumentation", Burr-Brown, USA, 1986.
- 12.- National Semiconductors, Linear Databook, 1982
- 13.- National Semiconductors, CMOS Databook, 1982
- 14.- Microcontroler Handbook, INTEL, 1984.
- 15.- TTL Data Book, Texas Instruments, 1985.

ANEXOS

ANEXO A. MANUAL DE OPERACION Y MANTENIMIENTO

ANEXO B. HOJAS DE DATOS DE ELEMENTOS

UTILIZADOS

ANEXO C. ANALISIS ECONOMICO

ANEXO A
MANUAL DE OPERACION Y MANTENIMIENTO

OPERACION

El equipo esta diseñado para funcionar con una tensión de alimentación de 120 V a 60 Hz, el encendido se lo realiza mediante el switch SW1 ubicado en la parte posterior izquierda.

Las conexiones a los diferentes canales de entrada y salida se las deben realizar en la bornera exterior al equipo, identificando correctamente a los terminales tanto de entrada como de salida.

Los niveles de voltaje que se pueden ingresar son entre 0 V y 5 V para las entradas digitales, para las entradas análogas los límites de voltaje son : entre -1 V y 1 V cuando se escoge una amplificación de entrada de 5, entre -5 V y 5 V cuando la amplificación de entrada es 1 y entre -10 V y 10 V para una amplificación de 0,5. En las salidas análogas se pueden obtener voltajes variables entre 0 V y 10 V, con una capacidad de corriente máxima de 40 mA.

La conexión serial se la efectua mediante el cable de transmisión, el cual esta construido con terminales DB25 y DB9 con la disposición de señales correspondientes a las normas de transmisión serial, es decir : PIN 7 a tierra, PIN 2 linea de transmisión y PIN 3 linea de recepción.

MANTENIMIENTO

Para un funcionamiento adecuado de todo el sistema es necesario chequear los puntos neurálgicos de cada módulo, los cuales se describen a continuación.

En la fuente de poder tenemos 2 fusibles que en el caso de una sobrecorriente pueden fundirse, según el plano general son F1 y F2, ubicados tanto en la parte interior como exterior del equipo respectivamente. Otro factor importante en el caso de la fuente, consiste la disipación de calor, para lo cual es necesario verificar el correcto funcionamiento del ventilador y el acoplamiento entre los reguladores y los disipadores de calor y en casos necesarios fijar los mismos intercalando entre el regulador y el disipador, grasa de silicona.

Comprobar los valores de voltaje a la salida del puente rectificador, es decir en los capacitores C1 y C5, donde se debe tener un voltaje DC mínimo de 20 V, caso contrario se debe reemplazar a los capacitores o al puente según el caso.

En las entradas análogas - digitales, se deben verificar los diodos zener de protección de todos los canales (D7, D8, D9...), el oscilador formado por el circuito LM555 a cuya salida (PIN 3 de U10) debemos observar una señal cuadrada de 640 KHz aproximadamente, las señales de S/H en los pines 8 de todos los circuitos de captura y mantenimiento LF398, el

valor correcto en los capacitores de los mismos (C15, C16, C17..) los cuales deben ser menores o a lo mucho iguales a 0.1 uF., y finalmente. la salida de fin de conversión que produce el ADC0808 en su pin 7.

En las salidas digitales - análogas, se deben comprobar las señales de escritura en los PINES 18 y 17 de los conversores DAC0830 (DAC1,...DAC4) y los voltajes de salida en la borne- ra, en el caso de una avería, esta puede ser debido al con- versor o a los amplificadores operacionales de salida (U19A- ,. U19B..).

En los pórlicos de entrada y salida digital se deben tener las señales de control adecuadas : en el PIN 11 del 8212 (U7), la cual debe existir cada vez que se escriba un dato, en el PIN 13 del 8212 (U8) cada vez que se lea un dato.

Para el funcionamiento correcto de la comunicación serial es necesario que los amplificadores LM324 (U19C y U19D) traba- jen como comparadores y atenuadores respectivamente.

ANEXO B

HOJAS DE DATOS DE ELEMENTOS UTILIZADOS

2.0 DATA SHEET SUMMARY

Table 2.1 lists the various regulators and the most useful specifications for each. Note that accuracy specifications are over the full temperature range, including drift. Room temperature accuracy specifications are about 1% better than the figures given.

TABLE 2.1 Data Sheet Summary

Output Current	Device(s)	V _{OUT} (V)	T _A = 25°C (±%)	Max Regulation		Max V _{IN} (V)	Ripple (dB)	Typ Dropout Voltage (V)	Device	Pkg Style	Typ θ_{JC} (°C/W)	Typ θ_{JA} (°C/W)	Max PD (W)	
				Line	Load									
5.0	LM138, LM238 LM338	1.2-32 (adj)	N/A	0.005	0.1	35	86	2	LM138K STEEL series	TO-3	2	35	30	
		1.2-32 (adj)	N/A	0.005	0.1	35	86	2						
3.0	LM150, LM250 LM350 LM123K, LM223K LM323K	1.2-32 (adj)	N/A	0.005	0.1	35	86	2	LM150K STEEL (series)	TO-3	2	35	30	
		1.2-32 (adj)	N/A	0.005	0.1	35	86	2						
		5	6	0.01	0.5	20	75	1.7-2	LM123K series	TO-3	2	35	30	
		5	4	0.01	0.5	20	75	1.7-2						
1.5	LM117, LM217	1.2-37 (adj)	N/A	0.01	0.1	40	80	2	LM117	TO-3	2.3	35	20	
		LM317	1.2-37 (adj)	N/A	0.01	0.1	40	80	2	LM317K STEEL	TO-3	2.3	35	20
	LM117HV, LM217HV	1.2-57 (adj)	N/A	0.01	0.1	60	80	2	LM117HV	TO-3	2.3	35	20	
		LM317HV	1.2-57 (adj)	N/A	0.01	0.1	60	80	2	LM317HVK STEEL	TO-3	2.3	35	20
	LM109K, LM209K	5	6	0.004	1.0	35	80	1-2	LM317VK STEEL	TO-3	2.3	35	20	
		5	4	0.004	1.0	35	80	1-2	LM317T	TO-220	4	50	20	
	LM309K	5, 12, 15	4	0.004	1.0	35	80	1-2	LM109K series	TO-3	3	35	20	
	LM140K	5, 12, 15	4	0.02	0.5	35, 40 (24V)	66-80	1.6-2	LM140K	TO-3	4	35	20	
	LM140AK	5, 12, 15	2	0.002	0.1	35, 40 (24V)	66-80	1.6-2	LM140AK	TO-3	4	35	20	
	LM340	5, 12, 15	4	0.02	0.5	35, 40 (24V)	66-80	1.6-2	LM340K, LM340AK	TO-3	4	35	20	
	LM340A	5, 12, 15	2	0.002	0.1	35, 40 (24V)	66-80	1.6-2	LM340AK LM340AT	TO-3 TO-220	4 4	35 50	20 20	
	LM78XXC	5, 12, 15	4	0.03	0.5	35, 40 (24V)	66-80	1.6-2	LM340K, LM78XXKC LM340CT, LM340T LM78XXCT	TO-3 TO-220	4 4	35 50	20 18	
	0.5	LM117H, LM217H	1.2-37 (adj)	N/A	0.01	0.1	40	80	1.5	LM117H, LM217H	TO-39	15	150	2
			LM317H	1.2-37 (adj)	N/A	0.01	0.1	40	80					
		LM117HVH, LM217HVH	1.2-37 (adj)	N/A	0.01	0.1	40	80	1.5	LM317H	TO-39	15	150	2
LM317HVH			1.2-37 (adj)	N/A	0.01	0.1	40	80	1.5	LM117HVH, LM217HVH	TO-39	15	150	2
LM317M		1.2-37 (adj)	N/A	0.01	0.1	40	80	2.0	LM317HVH	TO-39	15	150	2	
		5, 12, 15	4	0.02	0.5	35, 40 (24V)		1.2-1.7	LM317MP	TO-202	12	85	12	
LM78MXX	5, 12, 15	4	0.03	0.5	35, 40 (24V)		1.2-1.7	LM341P	TO-202	12	80	12		
0.25	LM342	5, 12, 15	4	0.03	0.5	35, 40 (24V)	53-64	1.5-2	LM342P	TO-202	12	80	10	
0.20	LM109H, LM209H LM309H	5	6	0.004	0.4	35	80	1-2	LM109H, LM209H LM309H	TO-39	15	150	2	
		5	4	0.004	0.4	35	80	1-2						
0.10	LM140L	5, 12, 15	2	0.02	0.25	35, 40 (24V)	48-62	1.5-2	LM140L AH	TO-39	40	140	3	
		5, 12, 15	2	0.02	0.25	35, 40 (24V)	48-62	1.5-2	LM340LAH	TO-39	40	140	3	
		5, 12, 15	4	0.03	0.25	35, 40 (24V)	45-60	1.5-2	LM78LXXA LM78LXXACZ	TO-39 TO-92	40 40	140 180	3 1	

- Operating temp range:
LM100 series -55°C to +125°C
LM200 series -25°C to +85°C
LM300 series 0°C to +70°C
- Max T_J = 150°C except 125°C for LM309, 320, 323, 345
- Typ at 50-100% of rated I_{OUT}, 25°C, max V_{IN} change
- Near zero to max rated I_{OUT}, 25°C pulse test
- Max mV per volt of out voltage rating

- Subtract (20 log V_{OUT}) for ripple rejection factor
- ±4% available for LM140A and LM340A
- ±10% available as LM78L C11 and LM78L C2
- DIP = 14-pin dual-in-line plastic pkg
SGS = special DIP with heat sink
- V_{IN} = 40V for LM120H15 & LM120K15 series



LM78XX Series Voltage Regulators

General Description

The LM78XX series of three terminal regulators is available with several fixed output voltages making them useful in a wide range of applications. One of these is local on card regulation, eliminating the distribution problems associated with single point regulation. The voltages available allow these regulators to be used in logic systems, instrumentation, HiFi, and other solid state electronic equipment. Although designed primarily as fixed voltage regulators these devices can be used with external components to obtain adjustable voltages and currents.

The LM78XX series is available in an aluminum TO-3 package which will allow over 1.0A load current if adequate heat sinking is provided. Current limiting is included to limit the peak output current to a safe value. Safe area protection for the output transistor is provided to limit internal power dissipation. If internal power dissipation becomes too high for the heat sinking provided, the thermal shutdown circuit takes over preventing the IC from overheating.

Considerable effort was expended to make the LM78XX series of regulators easy to use and minimize the number

of external components. It is not necessary to bypass the output, although this does improve transient response. Input bypassing is needed only if the regulator is located far from the filter capacitor of the power supply.

For output voltage other than 5V, 12V and 15V the LM117 series provides an output voltage range from 1.2V to 57V.

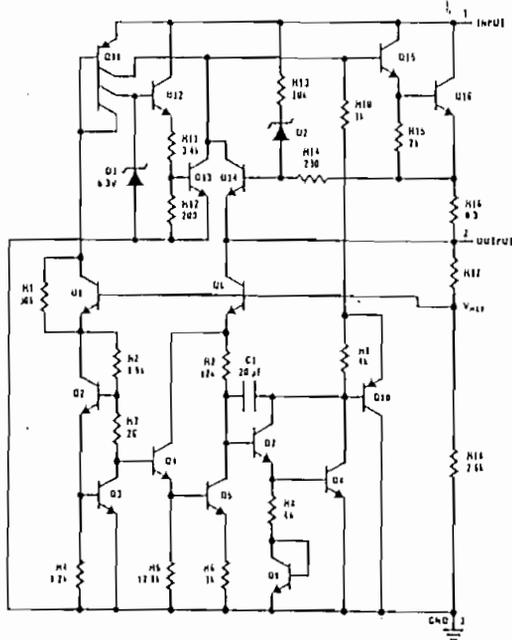
Features

- Output current in excess of 1A
- Internal thermal overload protection
- No external components required
- Output transistor safe area protection
- Internal short circuit current limit
- Available in the aluminum TO-3 package

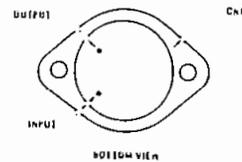
Voltage Range

LM7805C	5V
LM7812C	12V
LM7815C	15V

Schematic and Connection Diagrams

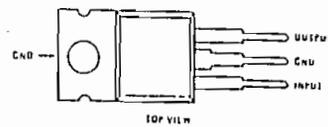


Metal Can Package
TO-3 (K)
Aluminum



Order Numbers
LM7805CK
LM7812CK
LM7815CK
See Package KC02A

Plastic Package
TO-220 (T)



Order Numbers:
LM7805CT
LM7812CT
LM7815CT
See Package T03B



A to D, D to A

DAC0830/DAC0831/DAC0832

MICRO-DAC™ DAC0830/0831/0832

8-Bit μ P Compatible, Double-Buffered D to A Converters

General Description

The DAC0830 is an advanced CMOS/Si-Cr 8-bit multiplying DAC designed to interface directly with the 8080, 8085, 8088, 8085, Z-80, and other popular microprocessors. A deposited silicon-chromium R-2R resistor ladder network provides the reference current and provides the circuit with excellent temperature tracking characteristics (0.05% of Full Scale Range maximum linearity error over temperature). The circuit uses CMOS current switches and control logic to achieve low power consumption and low output leakage current errors. Special circuitry provides TTL logic input voltage level compatibility.

Double buffering allows these DACs to output a voltage corresponding to one digital word while holding the next digital word. This permits the simultaneous updating of any number of DACs.

The DAC0830 series are the 8-bit members of a family of microprocessor-compatible DAC's (MICRO-DAC's™). For applications demanding higher resolution, the DAC1000 series (10-bits) and the DAC1208 and DAC1230 (12 bits) are available alternatives.

Micro-Dac is a trademark of National Semiconductor Corp.

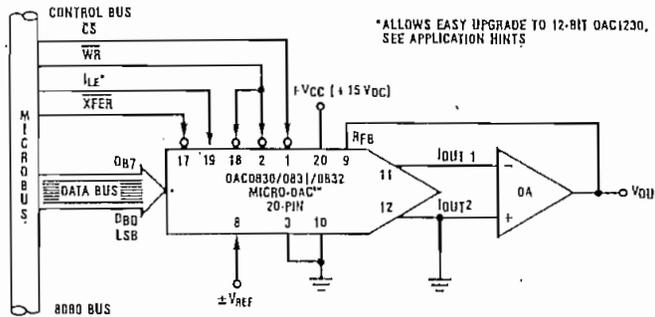
Features

- Double-buffered, single-buffered or flow-through digital data inputs
- Easy interchange and pin-compatible with 12-bit DAC1230 series
- Direct interface to all popular microprocessors
- Linearity specified with zero and full scale adjust only—NOT BEST STRAIGHT LINE FIT.
- Works with $\pm 10V$ reference-full 4-quadrant multiplication
- Can be used in the voltage switching mode
- Logic inputs which meet TTL voltage level specs (1.4V logic threshold)
- Operates "STAND ALONE" (without μ P) if desired

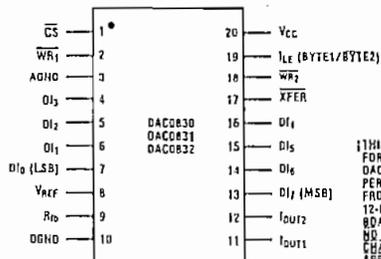
Key Specifications

- | | |
|-------------------------------------|--------------------------|
| ■ Current settling time | 1 μ s |
| ■ Resolution | 8-bits |
| ■ Linearity (guaranteed over temp.) | 8, 9, or 10 bits |
| ■ Gain Tempco | 0.0002% FS/ $^{\circ}$ C |
| ■ Low power dissipation | 20 mW |
| ■ Single power supply | 5 to 15 V_{DC} |

Typical Application



Pin Configuration Top View



THIS IS NECESSARY FOR THE 12-BIT DAC1230 SERIES TO PERMIT INTERCHANGING FROM AN 8-BIT TO A 12-BIT DAC WITH NO PCB BOARD CHANGES AND NO SOFTWARE CHANGES. SEE APPLICATIONS SECTION.

Absolute Maximum Ratings (Notes 1 and 2)

Supply Voltage (V _{CC})	17 V _{DC}
Voltage at any digital Input	V _{CC} to GND
Voltage at V _{REF} Input	±25V
Storage temperature range	-65 °C to +150 °C
Package dissipation at T _A = 25 °C (Note 3)	500 mW
DC voltage applied to I _{OUT1} or I _{OUT2} (Note 4)	-100 mV to V _{CC}
Lead temperature (soldering, 10 seconds)	300 °C

Operating Ratings

Temperature Range	Part numbers with 'LCN' suffix
	Part numbers with 'LCD' suffix
	Part numbers with 'LD' Suffix
Voltage at any digital Input	

General Electrical Characteristics T_A = 25 °C, V_{REF} = 10.000 V_{DC} unless otherwise noted

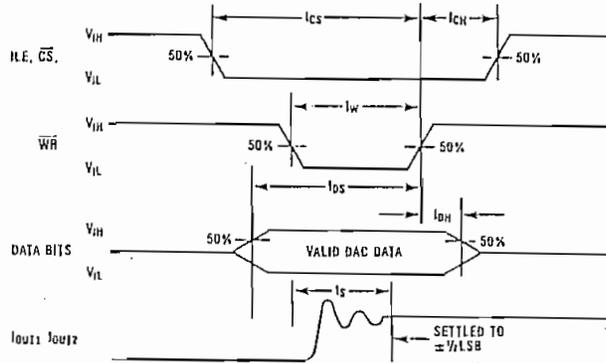
Parameter	Conditions	See Note	V _{CC} = 12V _{DC} ± 5% to 15V _{DC} ± 5%			V _{CC} = 5V _{DC} ± 5%		
			Min.	Typ.	Max.	Min.	Typ.	Max.
Resolution			8	8	8	8	8	8
Linearity Error	Zero and full scale adjusted	4,7						
	T _{MIN} < T _A < T _{MAX}	6						
	-10V ≤ V _{REF} ≤ +10V	5						
	DAC0830				0.05			0.05
	DAC0831				0.1			0.1
	DAC0832				0.2			0.2
Differential Nonlinearity	Zero and full scale adjusted	4,7						
	T _{MIN} < T _A < T _{MAX}	6						
	-10V ≤ V _{REF} ≤ +10V	5						
	DAC0830				0.1			0.1
	DAC0831				0.2			0.2
	DAC0832				0.4			0.4
Monotonicity	T _{MIN} < T _A < T _{MAX}	4,6						
	-10V ≤ V _{REF} ≤ +10V	5	8	8	8	8	8	8
Gain Error	Using Internal R _{FB}							
	-10V ≤ V _{REF} ≤ +10V	5	-1.0	±0.2	1.0	-1.0	±0.2	1.0
Gain Error Tempco	T _{MIN} < T _A < T _{MAX}	6						
	Using Internal R _{FB}	10		0.0002	0.0006		0.0002	0.0006
Power Supply Rejection	All digital Inputs latched high							
	V _{CC} = 14.5V to 15.5V			0.0002				
	11.5V to 12.5V			0.0006				
	4.5V to 5.5V					0.0130		
Reference Input Resistance			10	15	20	10	15	20
Output Feedthrough Error	V _{REF} = 20V _{P-P} , I = 100 kHz							
	All data inputs latched low							
	D Package	9		3			3	
	N Package			3			3	
Output Capacitance	I _{OUT1}			70			70	
	I _{OUT2}			200			200	
	I _{OUT1}			200			200	
	I _{OUT2}			70			70	
Supply Current Drain	T _{MIN} ≤ T _A ≤ T _{MAX}	6		1.2	2.0		1.2	2.0

General Electrical Characteristics $T_A = 25^\circ\text{C}$, $V_{REF} = 10.000 V_{DC}$ unless otherwise noted

Parameter	Conditions	See Note	$V_{CC} = 12V_{DC} \pm 5\%$ to $15V_{DC} \pm 5\%$			$V_{CC} = 5V_{DC} \pm 5\%$			Units
			Min.	Typ.	Max.	Min.	Typ.	Max.	
I_{OUT1}	$T_{MIN} \leq T_A \leq T_{MAX}$ All data inputs latched low	6							nA
	All data inputs latched high	11			100			100	
I_{OUT2}	$T_{MIN} \leq T_A \leq T_{MAX}$ All data inputs latched low								nA
	All data inputs latched high				100			100	
Low Level LD suffix Parts with LCD or LCN suffix	$T_{MIN} \leq T_A \leq T_{MAX}$ Low Level LD suffix Parts with LCD or LCN suffix	6			0.8			0.6	V_{DC}
					0.8			0.8	V_{DC}
			2.0			2.0			V_{DC}
Digital Inputs	$T_{MIN} \leq T_A \leq T_{MAX}$ Digital inputs < 0.8V Digital inputs > 2.0V	6		-50 0.1	-200 +10			-50 0.1	μADC μADC
				1.0			1.0		μs
t_S	$V_{IL} = 0V$, $V_{IH} = 5V$			1.0			1.0		μs
t_{WH}	$V_{IL} = 0V$, $V_{IH} = 5V$, $T_A = 25^\circ\text{C}$	8	320	60		320	250		ns
		10	320	100		500	350		ns
t_{DLS}	$V_{IL} = 0V$, $V_{IH} = 5V$, $T_A = 25^\circ\text{C}$	10	320	60		320	250		ns
			320	100		500	350		ns
t_{DH}	$V_{IL} = 0V$, $V_{IH} = 5V$, $T_A = 25^\circ\text{C}$	10	90	50		300	200		ns
			90	60		350	260		ns
I_{CH}	$V_{IH} = 0V$, $V_{IL} = 5V$, $T_A = 25^\circ\text{C}$	10	320	60		320	250		ns
			320	100		500	350		ns
Time I_{CH}	$V_{IL} = 0V$, $V_{IH} = 5V$, $T_A = 25^\circ\text{C}$	10	10			10			ns
			10			10			ns

- 1. The "Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. These specifications do not imply that the devices should be operated at these "Absolute Maximum" limits.
- 2. All voltages are measured with respect to GND, unless otherwise specified.
- 3. The 50 mW specification applies for all packages. The low intrinsic power dissipation of this part (and the fact that there is no heat sink) modify the power dissipation) removes concern for heat sinking.
- 4. In current switching applications, both I_{OUT1} and I_{OUT2} must go to ground or the "Virtual Ground" of an operational amplifier. Conversion error is degraded by approximately $V_{OS} + V_{REF}$. For example, if $V_{REF} = 10V$ then a 1 mV offset, V_{OS} , on I_{OUT1} or I_{OUT2} will result in an additional 0.01% linearity error.
- 5. Conversion error is limited at $V_{REF} = \pm 10 V_{DC}$ and $V_{REF} = \pm 1 V_{DC}$.
- 6. T_{MIN} is -40°C and T_{MAX} is 70°C for "LCN" suffix parts.
- 7. T_{MIN} is -40°C and T_{MAX} is 85°C for "LCD" suffix parts.
- 8. T_{MIN} is -55°C and T_{MAX} is 125°C for "LD" suffix parts.
- 9. The "FSR" stands for "Full Scale Range." "Linearity Error" and "Power Supply Rejection" specs are based on this unit to reference on a particular V_{REF} value and to indicate the true performance of the part. The "Linearity Error" specification of $\pm 0.05\%$ of FSR (MAX). This guarantees that after performing a zero and full scale adjustment (See Sections 2.5 and 2.6) the 256 analog voltage outputs will each be within $0.05\% \times V_{REF}$ of a straight line which passes through zero and full scale.
- 10. This specification implies that all parts are guaranteed to operate with a write pulse or transfer pulse width (t_W) of 320 ns. A part may operate with t_W of only 100 ns. The entire write pulse must occur within the valid data interval for the specified t_W , t_{DS} , and t_{DLS} apply.
- 11. To achieve this low feedthrough in the D package, the user must ground the metal lid. If the lid is left floating, the feedthrough will be significantly higher.
- 12. Conversion error is limited by design but not tested.
- 13. The I_{CH} leakage current with $R_{IB} = 20k$ and $V_{REF} = 10V$ corresponds to a zero error of $(100 \times 10^{-9} \times 20 \times 10^3) \times 100/10$ which is 0.2%.

Switching Waveforms:



Definition of Package Pinouts

Control Signals (All control signals level actuated)

CS: Chip Select (active low). The CS in combination with ILE will enable WR₁.

ILE: Input Latch Enable (active high). The ILE in combination with CS enables WR₁.

WR₁: Write 1. The active low WR₁ is used to load the digital input data bits (DI) into the input latch. The data in the input latch is latched when WR₁ is high. To update the input latch — CS and WR₁ must be low while ILE is high.

WR₂: Write 2 (active low). This signal, in combination with XFER, causes the 8-bit data which is available in the input latch to transfer to the DAC register.

XFER: Transfer control signal (active low). The XFER will enable WR₂.

Other Pin Functions

DI₀-DI₇: Digital Inputs. DI₀ is the least significant bit (LSB) and DI₇ is the most significant bit (MSB).

I_{OUT1}: DAC Current Output 1. I_{OUT1} is a maximum for a digital code of all 1's in the DAC register, and is zero for all 0's in DAC register.

I_{OUT2}: DAC Current Output 2. I_{OUT2} is a constant current minus I_{OUT1}, or I_{OUT1} + I_{OUT2} = constant scale for a fixed reference voltage)

R_{fb}: Feedback Resistor. The feedback resistor provided on the IC chip for use as the shunt feedback resistor for the external op amp. It is used to provide an output voltage for the op amp. This on-chip resistor should always be used with an external resistor since it matches the other resistors which are used in the on-chip R-2R ladder and tracks these resistors over temperature.

V_{REF}: Reference Voltage Input. This input is connected to an external precision voltage source through an external R-2R ladder. V_{REF} can be selected in the range of +10 to -10V. This is also the reference voltage input for a 4-quadrant multiplier DAC application.

V_{CC}: Digital Supply Voltage. This is the power supply pin for the part. V_{CC} can be from +5 to +15V. Operation is optimum for +15V_{DC}.

AGND: Analog Ground. This is the ground for the analog circuitry. This pin must always be connected to the digital ground potential.

DGND: Digital Ground. This is the ground for the digital logic.

Apéndice C5

intel

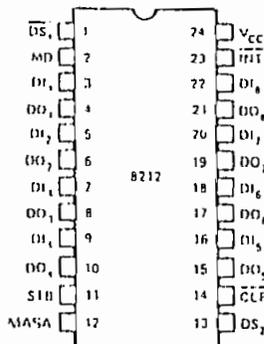
8212 PORT (PUERTO) DE ENTRADA/SALIDA DE 8 BITS

- Registro de datos para 8 bits totalmente en paralelo y memoria intermedia.
- Flip flop para petición de servicio en la generación de interrupciones.
- Corriente de carga de entrada reducida - 0,25 mA máx.
- Salidas triestados.
- Corriente de retorno a la salida de 15 mA.
- Tensión de salida de 3,65 V para nivel alto, para interfaz directo con las CPUs 8008, 8080 A o 8085A.
- Puesta a cero asincrónica del registro.
- Sustituciones de memoria intermedias, circuitos de enclavamiento («latch») y multiplexores en los sistemas de microcomputadoras.
- Reduce la cuenta de encapsulados en cada sistema.

El port 8212 de entrada/salida consiste en un «latch» para 8 bits con buffers de salida triestado junto con la lógica correspondiente de control y selección de dispositivo. También se incluye un flip-flop para la solicitud de servicio cuando hay que generar y controlar interrupciones al microprocesador.

El dispositivo es de naturaleza multimodal. Se puede emplear para formar «latches», «buffers» controlados por puertas o multiplexores. Por consiguiente, con este dispositivo se pueden llevar a cabo todas las funciones principales periféricas y de entrada/salida de una red de microcomputadora.

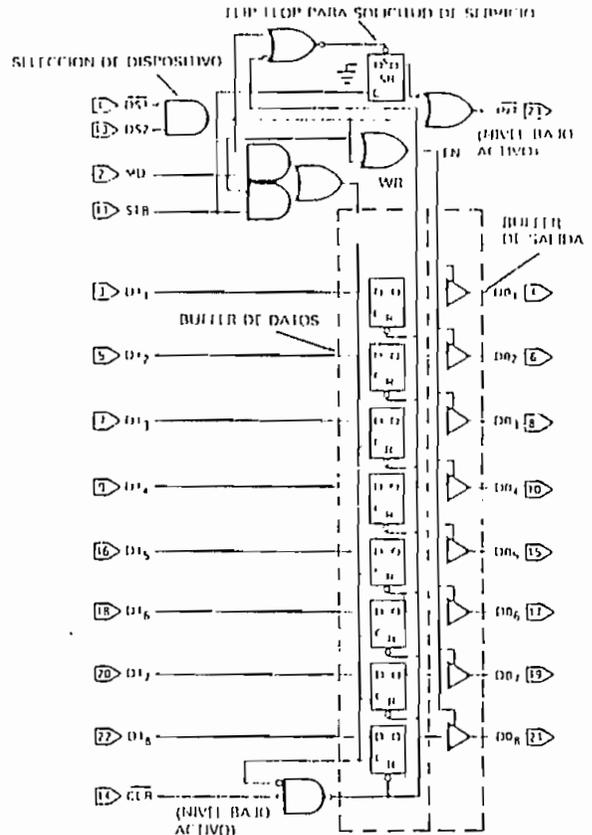
CONFIGURACION DE PATILLAS



NOMBRE DE LAS PATILLAS

DI ₀ - DI ₇	ENTRADA DE DATOS
DO ₀ - DO ₇	SALIDA DE DATOS
DS ₀ - DS ₇	SELECCION DE DISPOSITIVOS
MD	MEMORIA
SI ₈	SEÑAL DE SELECCION A CORTE
INT	INTERRUPCION NIVEL BAJO ACTIVO
CLR	PUESTA A CERO NIVEL BAJO ACTIVO

DIAGRAMA LOGICO



DESCRIPCIÓN FUNCIONAL

Latch de datos

Los 8 flip-flop que componen el latch de datos son del tipo «D» de retardo. La salida (Q) del biestable (flip-flop) sigue a la entrada de datos mientras que la entrada de reloj (C) está a nivel alto. El enclavamiento («latching») ocurre cuando el reloj retorna al nivel bajo.

Los datos así enclavados en los biestables se borran mediante la entrada asíncrona para puesta a cero (CLR). [Nota: El reloj (C) anula la puesta a cero (CLR).]

Buffer de salida

Las salidas del «latch» de datos (Q) están conectadas a buffers de salida, de 3 estados, no inversores. Estos buffers poseen una línea común de control (EN); esta línea de control permite que el buffer tramite los datos de la salida del latch (Q), o bien inhabilita al buffer, forzando su salida al estado de alta impedancia (triestado).

El estado de alta impedancia permite al diseñador conectar directamente la 8212 al bus de datos bidireccional del microprocesador.

Lógica de control

La 8212 posee las entradas de control DS1, DS2, MD y STB. Estas entradas se usan para controlar la selección del dispositivo, el latch de datos, el estado de los buffers de salida y el biestable (flip-flop) para solicitud de servicio.

DS1, DS2 (selección de dispositivo)

Estas dos entradas sirven para la selección del dispositivo. Cuando DS1 está a nivel bajo y DS2 a nivel alto (DS1 · DS2), el dispositivo está seleccionado. En este estado el buffer de salida está habilitado y el biestable para solicitud de servicio (SR) se pone a uno asíncronamente.

MD (Modo)

Esta entrada sirve para controlar el estado del buffer de salida y para determinar el origen de los impulsos de reloj (C) que llega al latch de datos. Cuando MD está a nivel alto (modo de salida) se habilitan los buffers de salida y el origen de los impulsos del reloj (C) que llegan al latch de datos es la lógica de selección del dispositivo (DS1 · DS2).

Cuando MD está a nivel bajo (modo de entrada) el estado del buffer de salida está determinado por la lógica de selección del dispositivo (DS1 · DS2) y el origen de los impulsos de reloj que llegan al latch de datos es la entrada STB (de impulso de referencia).

STB (Impulso de referencia - «Strobe»)

Esta entrada se toma como reloj (C) para el latch de datos en el modo de entrada (MD = 0) y para la puesta a cero asíncrona del biestable (flip flop) de solicitud de servicio (SR).

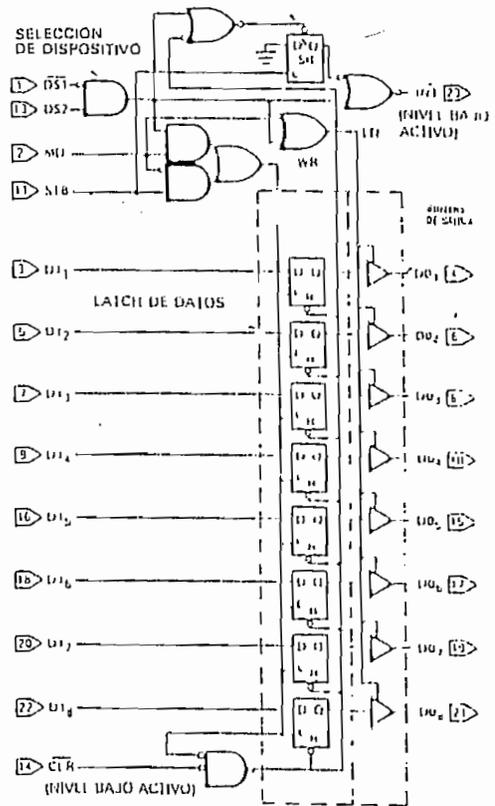
Notéese que el biestable SR es de disparo con flanco negativo.

Flip-flop para solicitud de servicio

Este biestable (SR) se usa para generar y controlar interrupciones en los sistemas de microcomputadoras. Se pone a uno asíncronamente mediante la entrada CLR (nivel bajo activo). Cuando el biestable (SR) está puesto a uno indica estado de no interrupción.

La salida (Q) del biestable (SR) está conectada a la entrada inversora de una puerta «NOR». La otra entrada de la «NOR» no es inversora y queda conectada a la lógica de selección del dispositivo (DS1 · DS2). La salida de la puerta NOR (INT) es activa en nivel bajo (estado de interrupción) para ser conectada a la entrada de nivel bajo activo de los circuitos de generación de prioridad.

FLIP-FLOP DE SOLICITUD DE SERVICIO



MD	DS1	DS2	ESTADO QUE LOS DATOS DE SALIDA	CLR	INT	Q	EN	Q	Q
0	0	0	TRISTADO	0	1	0	0	0	0
0	0	1	TRISTADO	0	1	0	0	0	0
0	1	0	LATCH DE DATOS	0	1	0	0	0	0
0	1	1	LATCH DE DATOS	0	1	0	0	0	0
1	0	0	LATCH DE DATOS	0	1	0	0	0	0
1	0	1	ENTRADA DE DATOS	0	1	0	0	0	0
1	1	0	ENTRADA DE DATOS	0	1	0	0	0	0
1	1	1	ENTRADA DE DATOS	1	0	1	0	0	0

NOTA: A FIN DE EL LATCH DE DATOS, INT = 1 Y Q = 0. EN EL ESTADO DE TRISTADO, INT = 1 Y Q = 0.

Aplicaciones de la 8212 en los sistemas de microcomputadoras

- I. Símbolos esquemáticos básicos.
- II. Flip-flop controlado por puerta.
- III. Controlador para bus bidireccional.
- IV. Port de entrada para interrupciones.

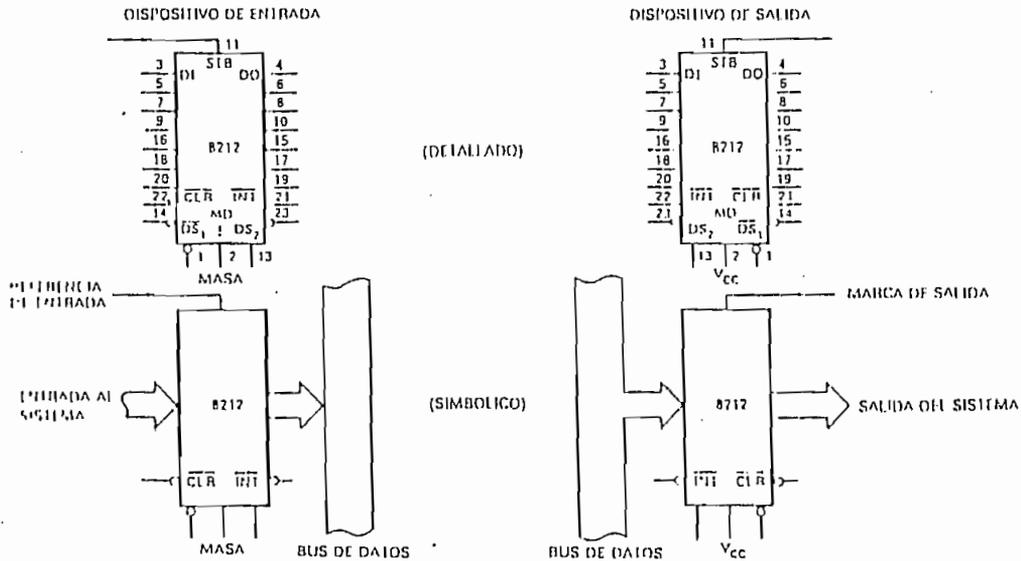
- V. Port de instrucciones de interrupción.
- VI. Port de salida.
- VII. Latch de estado para 8080A.
- VIII. Latch de direcciones para 8085A.

I. Símbolos esquemáticos básicos

Se muestran dos ejemplos de las maneras de dibujar la 8212 en los esquemas de una instalación: (1) la superior es una vista detallada que muestra los números de las pines y la (2) debajo es la vista simbólica que muestra

la entrada o salida del sistema como si se tratara de un bus (un bus que contiene 8 líneas en paralelo). La salida del bus de datos referencia simbólicamente las 8 líneas en paralelo.

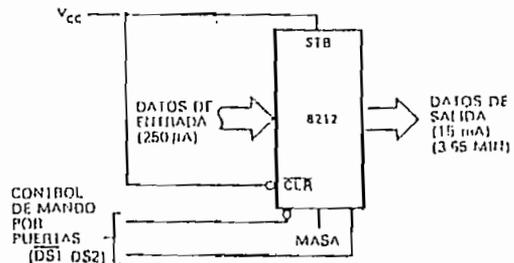
SÍMBOLOS ESQUEMÁTICOS BÁSICOS



II. Buffer controlado por puertas (triestado)

El uso más sencillo de la 8212 es el de buffer controlado por puertas. Uniendo la señal de modo a nivel bajo con la entrada de referencia a nivel alto, el latch de datos se comporta como una puerta de paso directo. Los buffers de salida se habilitan entonces mediante la lógica de selección del dispositivo DS1 y DS2. Cuando la lógica de selección del dispositivo es falsa, las salidas son triestado. Cuando la lógica de selección del dispositivo es verdadera, los datos de entrada al sistema se transfieren directamente a la salida. La carga de datos de entrada es de 250 microamperios. Los datos de salida pueden consumir 15 miliamperios. La salida mínima de nivel alto es 3,65 V.

BUFFER CONTROLADO POR PUERTAS

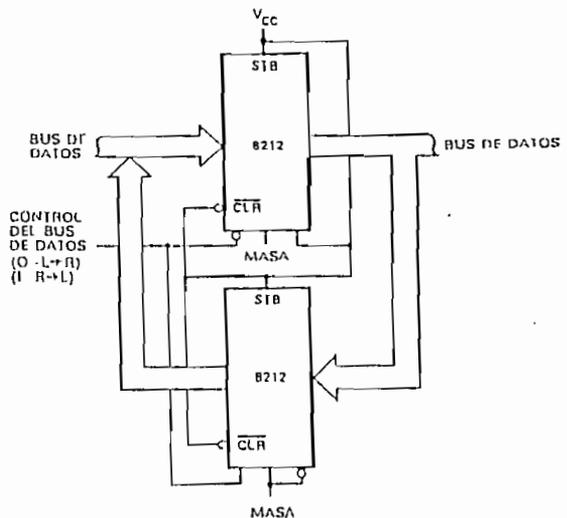


8212

III. Controlador para bus bidireccional

Se puede usar un par de 8212 conectadas en oposición como controlador para bus bidireccional de excitación simétrica. Los dispositivos están gobernados por el control de entrada del bus de datos que se conecta a DS1 en la primera 8212 y a DS2 en la segunda. Un dispositivo es activo y funciona como un buffer de paso directo y el otro queda en el modo triestado. Es un circuito muy útil en el diseño de los sistemas pequeños.

CONTROLADOR PARA BUS BIDIRECCIONAL



**LF198/LF298/LF398, LF198A/LF398A
Monolithic Sample and Hold Circuits**

General Description

The LF198/LF298/LF398 are monolithic sample and hold circuits which utilize BI-FET technology to obtain high dc accuracy with fast acquisition of signal and low droop rate. Operating as a unity gain follower, dc gain accuracy is 0.002% typical and acquisition time is as low as 6 μ s to 0.01%. A bipolar input stage is used to achieve low offset voltage and wide bandwidth. Input offset adjust is accomplished with a single pin and does not degrade input offset drift. The wide bandwidth allows the LF198 to be included inside the feedback loop of 1 MHz op amps without having stability problems. Input impedance of 10¹⁰ Ω allows high source impedances to be used without degrading accuracy.

Channel junction FET's are combined with bipolar devices in the output amplifier to give droop rates as low as 5 mV/min with a 1 μ F hold capacitor. The JFET's have much lower noise than MOS devices used in previous designs and do not exhibit high temperature driftabilities. The overall design guarantees no feedback from input to output in the hold mode even for output signals equal to the supply voltages.

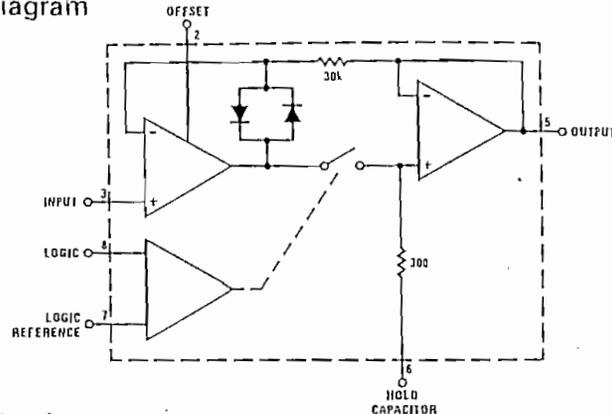
Features

- Operates from $\pm 5V$ to $\pm 18V$ supplies
- Less than 10 μ s acquisition time
- TTL, PMOS, CMOS compatible logic input
- 0.5 mV typical hold step at $C_h = 0.01\mu F$
- Low input offset
- 0.002% gain accuracy
- Low output noise in hold mode
- Input characteristics do not change during hold mode
- High supply rejection ratio in sample or hold
- Wide bandwidth

Logic inputs on the LF198 are fully differential with low input current, allowing direct connection to TTL, PMOS, and CMOS. Differential threshold is 1.4V. The LF198 will operate from $\pm 5V$ to $\pm 18V$ supplies. It is available in an 8-lead TO-5 package.

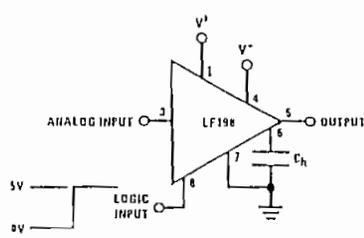
An "A" version is available with tightened electrical specifications.

Functional Diagram

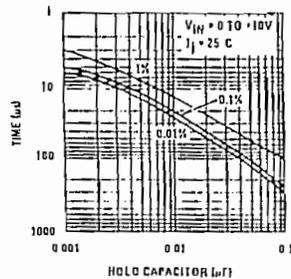


Typical Applications

Typical Connection



Acquisition Time



LF198/LF298/LF398, LF198A/LF398A

Absolute Maximum Ratings

Supply Voltage	±18V
Power Dissipation (Package Limitation) (Note 1)	600 mW
Operating Ambient Temperature Range	
LF198/LF198A	-55°C to +125°C
LF298	-25°C to +85°C
LF398/LF398A	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Input Voltage	Equivalent to
Logic To Logic Reference Differential Voltage (Note 2)	
Output Short Circuit Duration	
Hold Capacitor Short Circuit Duration	
Lead Temperature (Soldering, 10 seconds)	

Electrical Characteristics (Note 3)

PARAMETER	CONDITIONS	LF198/LF298			LF398		
		MIN	TYP	MAX	MIN	TYP	MAX
Input Offset Voltage, (Note 5)	$T_j = 25^\circ\text{C}$		1	3		2	1
	Full Temperature Range			5			1
Input Bias Current, (Note 5)	$T_j = 25^\circ\text{C}$		5	25		10	50
	Full Temperature Range			75			1.1
Input Impedance	$T_j = 25^\circ\text{C}$		10 ¹⁰			10 ¹⁰	
Gain Error	$T_j = 25^\circ\text{C}, R_L = 10\text{k}$		0.002	0.005		0.004	0.1
	Full Temperature Range			0.02			0.1
Feedthrough Attenuation Ratio at 1 kHz	$T_j = 25^\circ\text{C}, C_H = 0.01\mu\text{F}$	86	96		80	90	
Output Impedance	$T_j = 25^\circ\text{C}$, "HOLD" mode		0.5	2		0.5	1
	Full Temperature Range			4			6
"HOLD" Step, (Note 4)	$T_j = 25^\circ\text{C}, C_H = 0.01\mu\text{F}, V_{OUT} = 0$		0.5	2.0		1.0	1.5
Supply Current, (Note 6)	$T_j \geq 25^\circ\text{C}$		4.5	5.5		4.5	6.5
Logic and Logic Reference Input Current	$T_j = 25^\circ\text{C}$		2	10		2	10
Leakage Current into Hold Capacitor (Note 6)	$T_j = 25^\circ\text{C}$, (Note 5) Hold Mode		30	100		30	100
Acquisition Time to 0.1%	$\Delta V_{OUT} = 10\text{V}, C_H = 1000\text{pF}$		4			4	
	$C_H = 0.01\mu\text{F}$		20			20	
Hold Capacitor Charging Current	$V_{IN} - V_{OUT} = 2\text{V}$		5			5	
Supply Voltage Rejection Ratio	$V_{OUT} = 0$	60	110		80	110	
Differential Logic Threshold	$T_j = 25^\circ\text{C}$	0.8	1.4	2.4	0.8	1.4	2.4

LM555/LM555C Timer

General Description

The LM555 is a highly stable device for generating precise delays or oscillation. Additional terminals are provided for triggering or resetting if desired. In the monostable mode of operation, the time is precisely controlled by one external resistor and capacitor. For astable operation as an oscillator, the free running frequency and duty cycle are accurately controlled with two external resistors and one capacitor. The circuit may be triggered by a falling waveform, and the output circuit can source or sink up to 200 mA or drive TTL circuits.

- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply TTL compatible
- Temperature stability better than 0.005% per °C
- Normally on and normally off output

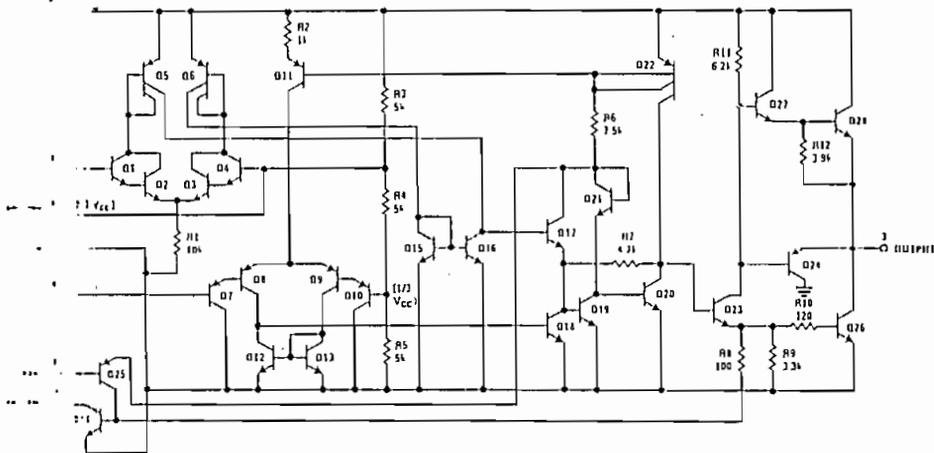
Applications

- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

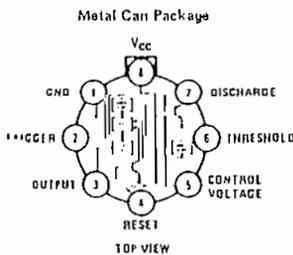
Features

- Replacement for SE555/NE555
- Timing from microseconds through hours
- Operates in both astable and monostable modes

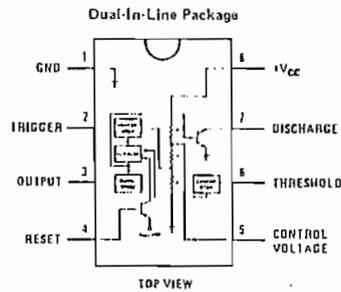
Schematic Diagram



Pin Connection Diagrams



Order Number LM555H, LM555CH
 See NS Package HOBC



Order Number LM555CN
 See NS Package NOBB
 Order Number LM555J or LM555CJ
 See NS Package JOBA

Absolute Maximum Ratings

Supply Voltage	+18V
Power Dissipation (Note 1)	600 mW
Operating Temperature Ranges	
LM555C	0°C to +70°C
LM555	-55°C to +125°C
Storage Temperature Range	65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

Electrical Characteristics (T_A = 25°C, V_{CC} = ±15V to ±15V, unless otherwise specified)

PARAMETER	CONDITIONS	LIMITS					UNIT
		LM555			LM555C		
		MIN	TYP	MAX	MIN	TYP	
Supply Voltage		4.5		18	4.5		V
Supply Current	V _{CC} = 5V, R ₁ = ∞ V _{CC} = 15V, R ₁ = ∞ (Low State) (Note 2)		3 10	5 12		3 10	mA
Timing Error, Monostable							%
Initial Accuracy			0.5			1	
Drift with Temperature	R _A , R _B = 1k to 100k, C = 0.1μF (Note 3)		30			50	
Accuracy over Temperature			1.5			1.5	
Drift with Supply			0.05			0.1	
Timing Error, Astable							%
Initial Accuracy			1.5			2.25	
Drift with Temperature			90			150	
Accuracy over Temperature			2.5			3.0	
Drift with Supply			0.15			0.30	
Threshold Voltage			0.667			0.667	V
Trigger Voltage	V _{CC} = 15V V _{CC} = 5V	4.8 1.45	5 1.67	5.2 1.9		5 1.67	V
Trigger Current			0.01	0.5		0.5	mA
Reset Voltage		0.4	0.5	1	0.4	0.5	V
Reset Current			0.1	0.4		0.1	mA
Threshold Current	(Note 4)		0.1	0.25		0.1	mA
Control Voltage Level	V _{CC} = 15V V _{CC} = 5V	9.6 2.9	10 3.33	10.4 3.8	9 2.6	10 3.33	V
Pin 7 Leakage Output (High)			1	100		1	μA
Pin 7 Sat (Note 5)							mA
Output Low	V _{CC} = 15V, I _L = 10 mA		150			100	
Output Low	V _{CC} = 4.5V, I _L = 4.5 mA		70	100		80	
Output Voltage Drop (Low)	V _{CC} = 15V I _{BIAS} = 10 mA I _{BIAS} = 50 mA I _{BIAS} = 100 mA I _{BIAS} = 200 mA V _{CC} = 5V I _{BIAS} = 8 mA I _{BIAS} = 5 mA		0.1 0.4 2 2.5	0.15 0.5 2.2		0.1 0.4 2 2.5	V
Output Voltage Drop (High)	I _{BIAS} = 200 mA, V _{CC} = 15V		12.5			12.5	V
Rise Time			100		12.75 2.75	13.3 3.3	ns
Fall Time of Output			100			100	ns

Note 1: For operating at elevated temperatures the device must be derated based on a +150°C maximum junction temperature, a resistance of 145°C/W junction to case for TO-5 and +150°C/W junction to ambient for both packages.

Note 2: Supply current when output high typically 1 mA less at V_{CC} = 5V.

Note 3: Tested at V_{CC} = 5V and V_{CC} = 15V.

Note 4: This will determine the maximum value of R_A + R_B for 15V operation. The maximum total (R_A + R_B) is 20 MΩ.

Note 5: No protection against excessive pin 7 current is necessary providing the package dissipation rating will not be exceeded.

LM124/LM224/LM324, LM124A/
LM224A/LM324A, LM2902



National
Semiconductor

Operational Amplifiers/Bulletin

LM124/LM224/LM324, LM124A/LM224A/LM324A, LM2902 Low Power Quad Operational Amplifiers

General Description

The LM124 series consists of four independent, high gain, internally frequency compensated operational amplifiers which were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage.

Application areas include transducer amplifiers, dc gain blocks and all the conventional op amp circuits which now can be more easily implemented in single power supply systems. For example, the LM124 series can be directly operated off of the standard ± 5 V_{DC} power supply voltage which is used in digital systems and will easily provide the required interface electronics without requiring the additional ± 15 V_{DC} power supplies.

Unique Characteristics

- In the linear mode the input common-mode voltage range includes ground and the output voltage can also swing to ground, even though operated from only a single power supply voltage.
- The unity gain cross frequency is temperature compensated.
- The input bias current is also temperature compensated.

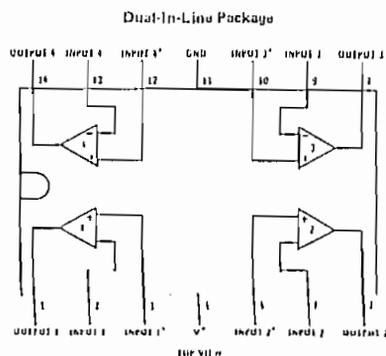
Advantages

- Eliminates need for dual supplies
- Four internally compensated op amps in one package
- Allows directly sensing near GND and V_{CC} goes to GND
- Compatible with all forms of logic
- Power drain suitable for battery operation.

Features

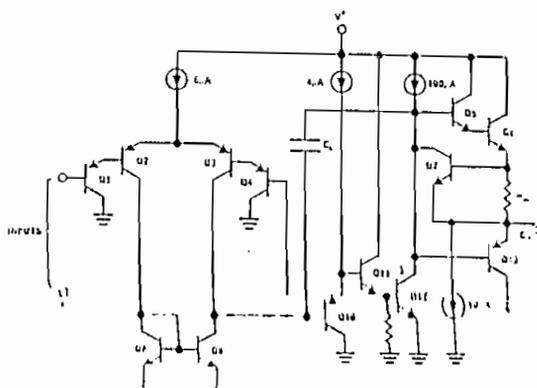
- Internally frequency compensated for unity gain
- Large dc voltage gain
- Wide bandwidth (unity gain) (temperature compensated)
- Wide power supply range:
Single supply 3 V_{DC} to 15 V_{DC}
or dual supplies ± 1.5 V_{DC} to ± 7.5 V_{DC}
- Very low supply current drain (800 μ A) independent of supply voltage (1 mW typ. @ ± 15 V_{DC})
- Low input biasing current (temperature compensated)
- Low input offset voltage and offset current
- Input common-mode voltage range includes ground
- Differential input voltage range equal to the supply voltage
- Large output voltage swing 0 V_{DC} to V_{CC} - 1 V

Connection Diagram



Order Designation LM124, LM124A, LM224, LM224A, LM324, LM324A, LM2902, LM2902A

Schematic Diagram (Each Amplifier)



LM124/LM224/LM324, LM124A/
LM224A/LM324A, LM2902



Electrical Characteristics (V⁺ = +5.0 VDC, Note 4)

PARAMETER	CONDITIONS	LM124A		LM224A		LM324A		LM124/LM224		LM324		LM2902		UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	T _A = 25°C, (Note 5)	1	2	1	3	2	3	±2	±5	±2	±7	±2	±7	mVDC
Input Bias Current (Note 6)	I _{IN(+)} or I _{IN(-)} , T _A = 25°C	20	50	40	80	45	100	45	150	45	250	45	250	nADC
Input Offset Current	I _{IN(+)} - I _{IN(-)} , T _A = 25°C	2	10	2	15	5	30	±3	±30	±5	±50	±5	±50	nADC
Input Common-Mode Voltage Range (Note 7)	V ⁺ = 30 VDC, T _A = 25°C	0	V ⁺ - 1.5	0	V ⁺ - 1.5	0	V ⁺ - 1.5	0	V ⁺ - 1.5	0	V ⁺ - 1.5	0	V ⁺ - 1.5	VDC
Supply Current	R _L = ∞, V _{CC} = 30V, (LM2902 V _{CC} = 26V) R _L = ∞ On All Op Amps Over Full Temperature Range	1.5	3	1.5	3	1.5	3	1.5	3	1.5	3	1.5	3	mADC
Large Signal Voltage Gain	V ⁺ = 15 VDC (For Large V _O Swing) R _L ≥ 2 kΩ, T _A = 25°C	0	100	50	100	25	100	50	100	25	100	100	100	V/mV
Output Voltage Swing	R _L = 2 kΩ, T _A = 25°C (LM2902 R _L ≥ 10 kΩ)	0	V ⁺ - 1.5	0	V ⁺ - 1.5	0	V ⁺ - 1.5	0	V ⁺ - 1.5	0	V ⁺ - 1.5	0	V ⁺ - 1.5	VDC
Common-Mode Rejection Ratio	DC, T _A = 25°C	70	85	70	85	65	85	70	85	65	85	50	70	dB
Power Supply Rejection Ratio	DC, T _A = 25°C	65	100	65	100	65	100	65	100	65	100	50	100	dB
Amplifier-to-Amplifier Coupling (Note 8)	f = 1 kHz to 20 kHz, T _A = 25°C (Input Referred)	-120	-120	-120	-120	-120	-120	-120	-120	-120	-120	-120	-120	dB
Output Current Source	V _{IN⁺} = 1 VDC, V _{IN⁻} = 0 VDC, V ⁺ = 15 VDC, T _A = 25°C	20	40	20	40	20	40	20	40	20	40	20	40	mADC
Sink	V _{IN⁺} = 1 VDC, V _{IN⁻} = 0 VDC, V ⁺ = 15 VDC, T _A = 25°C	10	20	10	20	10	20	10	20	10	20	10	20	mADC
Short Circuit to Ground	V _{IN⁺} = 1 VDC, V _{IN⁻} = 0 VDC, T _A = 25°C, V _O = 200 mVDC	12	50	12	50	12	50	12	50	12	50	12	50	μADC
Short Circuit to Ground	T _A = 25°C, (Note 2)	40	60	40	60	40	60	40	60	40	60	40	60	mADC

Differential Input Voltage
 Input Voltage
 Power Dissipation (Note 1)
 Molded DIP
 Cavity DIP
 Flat Pack
 Output Short-Circuit to GND (One Amplifier) (Note 2)
 V⁺ ≤ 15 VDC and T_A = 25°C

-0.3 VDC to +25 VDC
 570 mW
 900 mW
 800 mW
 Continuous
 Continuous
 LM124, LM124A
 LM224/LM224A
 LM124/LM124A
 Storage Temperature Range
 Lead Temperature (Soldering, 10 seconds)
 -65°C to +150°C
 -55°C to +125°C
 -65°C to +150°C
 300°C



CD4016BM/CD4016BC Quad Bilateral Switch

General Description

The CD4016BM/CD4016BC is a quad bilateral switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with IC 4066BM/CD4066BC.

Features

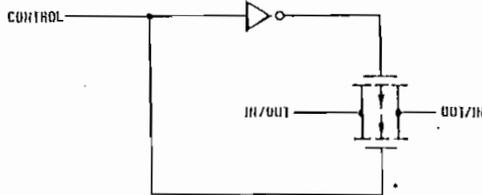
- Wide supply voltage range 3V to 15V
- Wide range of digital and analog switching $\pm 7.5V_{PEAK}$
- "ON" resistance for 15V operation 400 Ω (typ.)
- Matched "ON" resistance over 15V signal input $\Delta R_{ON} = 10\Omega$ (typ.)
- High degree of linearity 0.4% distortion (typ.)
@ $f_{IS} = 1\text{ kHz}$, $V_{IS} = 5\text{ Vp-p}$,
 $V_{DD} - V_{SS} = 10\text{ V}$, $R_L = 10\text{ k}\Omega$
- Extremely low "OFF" switch leakage 0.1 nA (typ.)
@ $V_{DD} - V_{SS} = 10\text{ V}$,
 $T_A = 25^\circ\text{C}$

- Extremely high control input impedance 10¹² Ω (typ.)
- Low crosstalk between switches -50 dB (typ.)
@ $f_{IS} = 0.9\text{ MHz}$, $R_L = 1\text{ k}\Omega$
- Frequency response, switch "ON" 40 MHz (typ.)

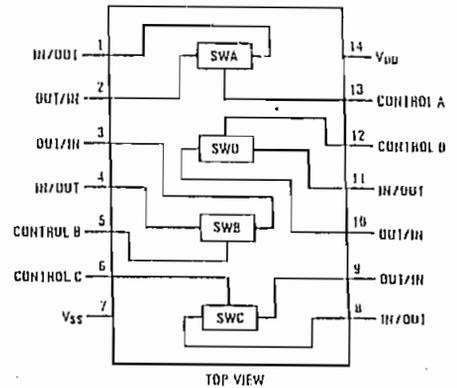
Applications

- Analog signal switching/multiplexing
 - Signal gating
 - Squelch control
 - Chopper
 - Modulator/Demodulator
 - Commutating switch
- Digital signal switching/multiplexing
- CMOS logic implementation
- Analog-to-digital/digital-to-analog conversion
- Digital control of frequency, impedance, phase, and analog-signal gain

Schematic and Connection Diagrams



Dual-In-Line Package



Absolute Maximum Ratings (Notes 1 and 2)

Supply Voltage	-0.5V to +18V
Input Voltage	-0.5V to $V_{DD} + 0.5V$
Storage Temperature Range	-65°C to +150°C
Power Dissipation	500mW
Temperature (Soldering, 10 seconds)	300°C

Recommended Operating Conditions (Note 2)

V_{DD} Supply Voltage	3V to 15V
V_{IH} Input Voltage	0V to V_{DD}
T_A Operating Temperature Range	-55°C to +125°C
	CD4016BM
	CD4016BC
	-40°C to +85°C

Electrical Characteristics CD4016BM (Note 2)

Parameter	Conditions	-55°C		25°C		125°C		Units	
		Min.	Max.	Min.	Typ.	Max.	Min.		Max.
Quiescent Device Current	$V_{DD} = 5V$		0.25		0.01	0.25		7.5	μA
	$V_{DD} = 10V$		0.5		0.01	0.5		15	μA
	$V_{DD} = 15V$		1.0		0.01	1.0		30	μA
Inputs and Outputs									
ON ¹ Resistance	$R_L = 10k\Omega$ to $\frac{V_{DD} - V_{SS}}{2}$ $V_C = V_{DD}$, $V_{IS} = V_{SS}$ or V_{DD} $V_{DD} = 10V$		600		250	660		960	Ω
	$V_{DD} = 15V$		360		200	400		600	Ω
ON ² Resistance	$R_L = 10k\Omega$ to $\frac{V_{DD} - V_{SS}}{2}$ $V_C = V_{DD}$ $V_{DD} = 10V$, $V_{IS} = 4.75$ to $5.25V$		1870		850	2000		2600	Ω
	$V_{DD} = 15V$, $V_{IS} = 7.25$ to $7.75V$		775		400	850		1230	Ω
ON ³ Resistance Between any 2 of Switches in Same Package)	$R_L = 10k\Omega$ to $\frac{V_{DD} - V_{SS}}{2}$ $V_C = V_{DD}$, $V_{IS} = V_{SS}$ to V_{DD} $V_{DD} = 10V$				15				Ω
	$V_{DD} = 15V$				10				Ω
Input or Output Leakage Switch "OFF"	$V_C = 0$, $V_{DD} = 15V$ $V_{IS} = 15V$ and $0V$, $V_{OS} = 0V$ and $15V$		± 50		± 0.1	± 50		± 500	nA
Inputs									
Low Level Input Voltage	$V_{IS} = V_{SS}$ and V_{DD} $V_{OS} = V_{DD}$ and V_{SS} $I_{IS} = \pm 10\mu A$								
	$V_{DD} = 5V$		0.9			0.7		0.5	V
	$V_{DD} = 10V$		0.9			0.7		0.5	V
	$V_{DD} = 15V$		0.9			0.7		0.5	V
High Level Input Voltage	$V_{DD} = 5V$	3.5		3.5			3.5		V
	$V_{DD} = 10V$ (see Note 6 and Figure 8)	7.0		7.0			7.0		V
	$V_{DD} = 15V$	11.0		11.0			11.0		V
Input Current	$V_{DD} - V_{SS} = 15V$ $V_{DD} \geq V_{IS} \geq V_{SS}$ $V_{DD} \geq V_C \geq V_{SS}$		± 0.1		± 10	± 0.1		± 1.0	μA



(MSB)	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2	(LSB)
-------	-----	------	------	------	-------	-----	------	--------	-------

Symbol	Position	Name and Significance
TF2	T2CON.7	Timer 2 overflow flag set by a Timer 2 overflow and must be cleared by software. TF2 will not be set when either RCLK = 1 or TCLK = 1.
EXF2	T2CON.6	Timer 2 external flag set when either a capture or reload is caused by a negative transition on T2EX and EXEN2 = 1. When Timer 2 interrupt is enabled, EXF2 = 1 will cause the CPU to vector to the Timer 2 interrupt routine. EXF2 must be cleared by software.
RCLK	T2CON.5	Receive clock flag. When set, causes the serial port to use Timer 2 overflow pulses for its receive clock in Modes 1 and 3. RCLK = 0 causes Timer 1 overflow to be used for the receive clock.
TCLK	T2CON.4	Transmit clock flag. When set, causes the serial port to use Timer 2 overflow pulses for its transmit clock in modes 1 and 3. TCLK = 0 causes Timer 1 overflows to be used for the transmit clock.
EXEN2	T2CON.3	Timer 2 external enable flag. When set, allows a capture or reload to occur as a result of a negative transition on T2EX if Timer 2 is not being used to clock the serial port. EXEN2 = 0 causes Timer 2 to ignore events at T2EX.
TR2	T2CON.2	Start/stop control for Timer 2. A logic 1 starts the timer.
C/T2	T2CON.1	Timer or counter select. (Timer 2) 0 = Internal timer (OSC/12) 1 = External event counter (falling edge triggered).
CP/RL2	T2CON.0	Capture/Reload flag. When set, captures will occur on negative transitions at T2EX if EXEN2 = 1. When cleared, auto-reloads will occur either with Timer 2 overflows or negative transitions at T2EX when EXEN2 = 1. When either RCLK = 1 or TCLK = 1, this bit is ignored and the timer is forced to auto-reload on Timer 2 overflow.

Figure 11. T2CON: Timer/Counter 2 Control Register

Capture Mode there are two options which are selected by bit EXEN2 in T2CON. If EXEN2 = 0, Timer 2 is a 16-bit timer or counter which upon following sets bit TF2, the Timer 2 overflow bit can be used to generate an interrupt. If EXEN2 = 1 then Timer 2 still does the above, but with the addition of a feature that a 1-to-0 transition at external input T2EX causes the current value in the Timer 2 registers, and TH2, to be captured into registers RCAP2L and RCAP2H, respectively. (RCAP2L and RCAP2H are Special Function Registers in the 8052.) In addition, the transition at T2EX causes bit EXF2 in T2CON to be set, and EXF2, like TF2, can generate an interrupt.

SERIAL INTERFACE

The serial port is full duplex, meaning it can transmit and receive simultaneously. It is also receive-buffered, meaning it can commence reception of a second byte before a previously received byte has been read from the receive register. (However, if the first byte still hasn't been read by the time reception of the second byte is complete, one of the bytes will be lost). The serial port receive and transmit registers are both accessed at Special Function Register SBUF. Writing to SBUF loads the transmit register, and reading SBUF accesses a physically separate receive register.

Capture Mode there are again two options, selected by bit EXEN2 in T2CON. If EXEN2 = 0, then when Timer 2 rolls over it not only causes the Timer 2 registers to be cleared with the 16-bit value in registers RCAP2L and RCAP2H, which are pre-set by software, IFEXEN2 = 1 then Timer 2 still does the above, but with the

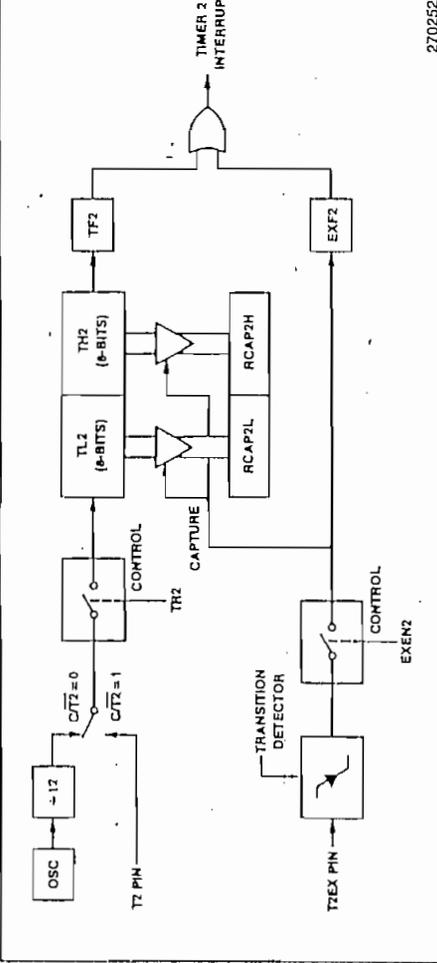


Figure 12. Timer 2 in Capture Mode

The serial port can operate in 4 modes:

Multiprocessor Communications

Mode 0: Serial data enters and exits through RXD. TXD outputs the shift clock. 8 bits are transmitted/received; 8 data bits (LSB first). The baud rate is fixed at 1/12 the oscillator frequency.

Mode 1: 10 bits are transmitted (through TXD) or received (through RXD): a start bit (0), 8 data bits (LSB first), and a stop bit (1). On receive, the stop bit goes into RB8 in Special Function Register SCON. The baud rate is variable.

Mode 2: 11 bits are transmitted (through TXD) or received (through RXD): a start bit (0), 8 data bits (LSB first), a programmable 9th data bit, and a stop bit (1). On Transmit, the 9th data bit (TB8 in SCON) can be assigned the value of 0 or 1. Or, for example, the parity bit (P, in the PSW) could be moved into TB8. On receive, the 9th data bit goes into RB8 in Special Function Register SCON, while the stop bit is ignored. The baud rate is programmable to either 1/2 or 1/4 the oscillator frequency.

Mode 3: 11 bits are transmitted (through TXD) or received (through RXD): a start bit (0), 8 data bits (LSB first), a programmable 9th data bit and a stop bit (1). In fact, Mode 3 is the same as Mode 2 in all respects except the baud rate. The baud rate in Mode 3 is variable.

In all four modes, transmission is initiated by any instruction that uses SBUF as a destination register. Reception is initiated in Mode 0 by the condition RI = 0 and REN = 1. Reception is initiated in the other modes by the incoming start bit if REN = 1.

When the master processor wants to transmit a byte to one of several slaves, it first sends out an address byte which identifies the target slave. An address byte differs from a data byte in that the 9th bit is address byte and 0 in a data byte. With SM2 = 1, a slave will be interrupted by a data byte. A slave will, however, will interrupt all slaves, so that a slave can examine the received byte and see if it is addressed. The addressed slave will clear its SBUF and prepare to receive the data bytes that will be coming. The slaves that weren't being addressed leave SM2s set and go on about their business, ignoring coming data bytes.

SM2 has no effect in Mode 0, and in Mode 1 used to check the validity of the stop bit. In a Mode 1 reception, if SM2 = 1, the receive interrupt will be activated unless a valid stop bit is received.

Serial Port Control Register

The serial port control and status register is the Function Register SCON, shown in Figure 14. The register contains not only the mode selection bits, also the 9th data bit for transmit and receive (TI and RB8), and the serial port interrupt bits (TI and

Using Timer 1 to Generate Baud Rates

When Timer 1 is used as the baud rate generator, the baud rates in Modes 1 and 3 are determined by the Timer 1 overflow rate and the value of SMOD as follows:

$$\text{Baud Rate} = \frac{2\text{SMOD}}{32} \times (\text{Timer 1 Overflow Rate})$$

The Timer 1 interrupt should be disabled in this application. The Timer itself can be configured for either "timer" or "counter" operation, and in any of its 3 running modes. In the most typical applications, it is configured for "timer" operation, in the auto-reload

mode (high nibble of TMOD = 0010B). In this mode the baud rate is given by the formula:

$$\text{Baud Rate} = \frac{2\text{SMOD}}{32} \times \frac{\text{Oscillator Frequency}}{12 \times (256 - \text{TH1})}$$

One can achieve very low baud rates with Timer 1 leaving the Timer 1 interrupt enabled, and configuring the Timer to run as a 16-bit timer (high nibble TMOD = 0001B), and using the Timer 1 interrupt to do a 16-bit software reload.

Figure 15 lists various commonly used baud rates; how they can be obtained from Timer 1.

Baud Rate	f _{osc}	SMOD	Timer 1	
			C/T	Mode
Mode 0 Max: 1 MHz	12 MHz	X	X	X
Mode 2 Max: 375K	12 MHz	1	X	X
Modes 1, 3: 62.5K	12 MHz	1	0	2
19.2K	11,059 MHz	0	0	2
9.6K	11,059 MHz	0	0	2
4.8K	11,059 MHz	0	0	2
2.4K	11,059 MHz	0	0	2
1.2K	11,059 MHz	0	0	2
137.5K	11,986 MHz	0	0	2
110K	6 MHz	0	0	2
110K	12 MHz	0	0	1

Figure 15. Timer 1 Generated Commonly Used Baud Rates

Using Timer 2 to Generate Baud Rates

In the 8051, Timer 2 is selected as the baud rate generator by setting TCLK and/or RCLK in TCON (Figure 16).

Note then the baud rates for transmit and receive can be simultaneously different. Setting RCLK and TCLK puts Timer 2 into its baud rate generator mode as shown in Figure 16.

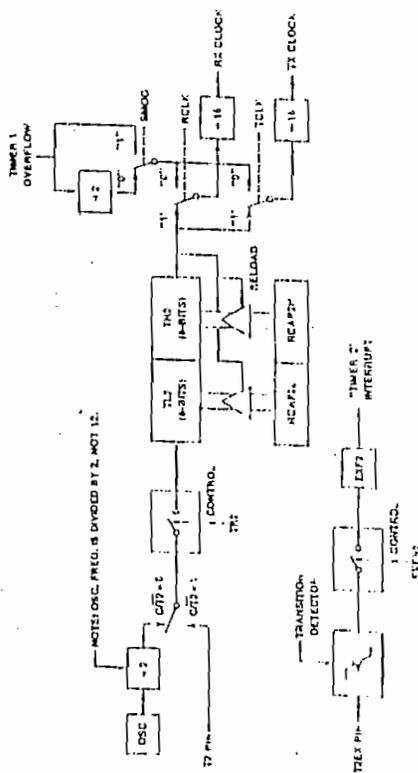


Figure 16. Timer 2 Baud Rate Generator Mode

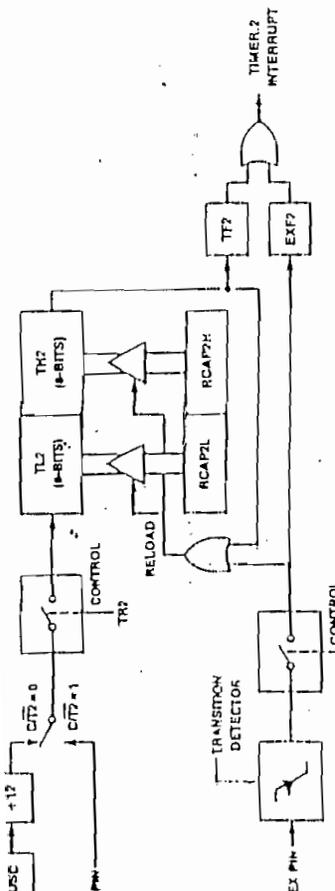


Figure 13. Timer 2 in Auto-Reload Mode

SM0	SM1	SM2	REN	TB6	RBE	T1	R
(MSB)							(LSB)

- TB6 is the 8th bit that will be transmitted in Modes 2 and 3. Set or clear by software as desired.
- RBE is the 9th data bit that was received. In Mode 1, if SM2 = 0, RBE is the stop bit that was received. In Mode 0, RBE is not used.
- T is transmit interrupt flag. Set by software at the end of the 8th bit time in Mode 0, or at the beginning of the stop bit in the other modes, in any serial transmission. Must be cleared by software.
- R is receive interrupt flag. Set by software at the end of the 8th bit time in Mode 0, or halfway through the stop bit time in the other modes, in any serial reception (except see SM2). Must be cleared by software.

Figure 14. SCON: Serial Port Control Register

where SM0, SM1 specify the serial port mode, as follows:

SM2 enables the microprocessor communication feature in Modes 2 and 3. In Mode 2 or 3, if SM2 is set to 1 then R1 will not be activated if the received 8th data bit (RB8) is 0. In Mode 1, if SM2 = 1 then R1 will not be activated if a valid stop bit was not received. In Mode 0, SM2 should be 0.

REN enables serial reception. Set by software to enable reception. Clear by software to disable reception.

SM0 SM1 Mode Description Baud Rate

0 0 C shift register f_{osc} / 12

0 1 8-bit UART Variable

1 0 C 9-bit UART f_{osc} / 64

1 1 C 9-bit UART f_{osc} / 32

SM2 enables the microprocessor communication feature in Modes 2 and 3. In Mode 2 or 3, if SM2 is set to 1 then R1 will not be activated if the received 8th data bit (RB8) is 0. In Mode 1, if SM2 = 1 then R1 will not be activated if a valid stop bit was not received. In Mode 0, SM2 should be 0.

REN enables serial reception. Set by software to enable reception. Clear by software to disable reception.

Mode 0 Baud Rate = $\frac{2\text{SMOD}}{32} \times \text{Oscillator Frequency}$

Mode 1 Baud Rate = $\frac{2\text{SMOD}}{32} \times \text{Oscillator Frequency}$

In the 8051, the baud rates in Modes 1 and 3 are determined by the Timer 1 overflow rate. In the 8051, the baud rates can be determined by Timer 1 or by Timer 2. In either case, the baud rate is the overflow rate of the timer.

Rate in Mode 2 depends on the value of bit Special Function Register PCON. If SMOD is the value on reset, the baud rate is the frequency. If SMOD = 1, the baud rate is the oscillator frequency.

ANEXO C
ANALISIS ECONOMICO

Lista de precios y materiales utilizados

Item	Cantidad	Descripción	Precio
1	1	8751, Microcontrolador	36.000
2	2	LM555, Timer	800
3	13	Condensadores	2.400
4	22	Resistencias	3.300
5	1	Ventilador	12.000
6	2	Fusibles	1.300
7	3	LM8212, pòrtico paralelo	8.000
8	1	LM7805, regulador 5V	1.200
9	1	LM7912, regulador 12V	1.200
10	1	LM7905, regulador -5V	1.200
11	4	LM7912, regulador -12V	1.200
12	1	74LS245	1.600
13	1	SW DIP-4	800
14	3	Placas de circuito impreso	18.000
15	2	7400	7.000
16	8	LM324	1.100
17	2	Cajas plàsticas	25.000
18	8	LF398, S/H	6.400
19	1	ADC0808	5.200
20	26	DIODE ZENER	10.400
21	4	DAC0830	18.000
TOTAL.....			162.100