

373
T-K5

ESCUELA POLITÉCNICA NACIONAL
FACULTAD DE INGENIERÍA ELÉCTRICA

CONTROL DE CONVERTIDORES ESTÁTICOS
DC SEMICONTROLADOS CON COMPUTADOR

PERSONAL

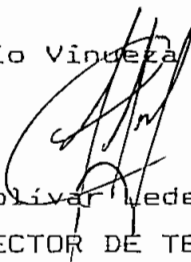
SIS PREVIA LA OBTENCIÓN DEL TÍTULO
E INGENIERO EN LA ESPECIALIZACIÓN
DE ELECTRÓNICA Y CONTROL

XAVIER IGNACIO VINJEZA HIDALGO

QUITO, MARZO DE 1

Certifico que el presente trabajo
de tesis ha sido realizado en su
totalidad por el señor:

Xavier Ignacio Vinuesa Hidalgo



Ing. Bolívar Ledesma G.
DIRECTOR DE TESIS

AGRADECIMIENTO

A todos mis profesores, compañeros y amigos que de alguna manera incentivaron y colaboraron en la realización y culminación de este trabajo.

Muy en especial al Sr. Ing. Bolivar Ledesma G. Director de Tesis por su valioso aporte humano y científico tanto en las aulas como durante el desarrollo del presente Tema de Tesis.

A MIS PADRES

Porque su esfuerzo diario halle recompensa en
este trabajo.

INTRODUCCION

CAPITULO I

GENERALIDADES

1.1	OPERACION DE LOS CONVERTORES AC-DC.....	1
1.1.1	Introducción a la operación de los convertidores AC-DC.....	1
1.1.2	Modos de operación de los convertidores AC-DC.....	2
1.1.3	Clasificación de los convertidores conmutados por línea.....	6
1.1.4	Operación de los convertidores utilizados.....	7
1.2	CONTROL DIGITAL DE CONVERTORES ESTATICOS CON MICROPROCESADOR	
1.2.1	Introducción.....	15
1.2.2	Ventajas y desventajas de los microcontroladores...	19
1.2.3	Técnicas de control de convertidores estáticos AC-DC con microprocesador.....	21
1.3	COMUNICACION SERIAL	
1.3.1	Protocolo de comunicación.....	26
1.3.2	Modalidad de transmisión.....	27

CAPITULO II

ESPECIFICACIONES Y DISEÑO

2.1	REQUERIMIENTOS DEL SISTEMA	
2.1.1	Sistema de potencia.....	29
2.1.2	Sistema de control.....	31
2.1.3	Protecciones.....	34

2.2 DESCRIPCION GENERAL DEL SISTEMA	
2.2.1 Diagrama de bloques general del sistema.....	35
2.3 DISEÑO DEL CIRCUITO DE POTENCIA	
2.3.1 Diseño del convertor estático AC-DC.....	42
2.3.2 Diseño de los circuitos de protección y filtrado.....	45
2.3.3 Diseño del circuito de sincronización.....	48
2.4 DISEÑO DEL CIRCUITO DE CONTROL MAESTRO	
2.4.1 Circuito del microcontrolador.....	53
2.4.2 Manejo de display y teclado.....	55
2.4.3 Esquema de comunicación serial.....	56
2.5 DISEÑO DEL SISTEMA DE ADQUISICION DE DATOS	
2.6 DISEÑO DE CIRCUITOS AUXILIARES	
2.6.1 Circuito de alimentación de control.....	61
2.6.2 Circuito de filtrado y disparo.....	62

CAPITULO III

DESARROLLO DEL SOFTWARE PARA LA OPERACION DEL SISTEMA

3.1 REQUISITOS Y DESCRIPCION GENERAL DEL SISTEMA	
3.1.1 Requisitos de software en el microcontrolador.....	64
3.1.2 Requerimientos de software del Computador Personal.	70
3.2 DESARROLLO DEL SOFTWARE DEL MICROCONTROLADOR.	
3.2.1 Programa principal.....	78
3.2.2 Rutina de autoverificación y detección del tipo de fuente.....	79
3.2.3 Subrutina de display (DISPLAY).....	83
3.2.4 Subrutina de comunicación serial (SERIAL).....	83
3.2.4.1 Rutinas de Búsqueda de datos o comandos (BUSQUE,BUSQTA,BUSQTC).....	87

3.2.5	Subrutina de disparo trifásico y monofásico(ALFA)..	89
3.2.6	Subrutina de interrupción de sincronización(SINCRO).	92
3.2.7	Rutina de teclado (TECLADO.....)	97
3.2.8	Rutina de adquisición de datos (ADC).....	100
3.2.9	Rutina de gráfico de datos.(GRAF).....	105
3.3	DESARROLLO DEL SOFTWARE EN EL COMPUTADOR PERSONAL	
3.3.1	Inicialización.....	106
3.3.1.1	Inicialización del equipo.....	108
3.3.1.2	Inicialización del conversor análogo-digital.....	108
3.3.1.3	Redefinición de datos de inicialización...	108
3.3.2	Estado de funcionamiento.....	109
3.3.3	Operación del equipo.....	109
3.3.3.1	Operación del equipo.....	109
3.3.3.2	Adquisición de datos.....	110
3.3.3.3	Graficación de datos.....	110

CAPITULO IV.

RESULTADOS EXPERIMENTALES..

4.1.-	CONFIGURACIONES, ALCANCES Y LIMITACIONES DEL SISTEMA.....	111
4.2.-	OPERACION CON RED TRIFASICA.	
4.2.1	Conversor AC-DC Trifásico semicontrolado.....	116
4.2.2	Conversor AC-DC trifásico controlado de media onda.....	118
4.3.-	OPERACION CON RED MONOFASICA	
4.3.1	Conversor AC-DC monofásico semicontrolado.....	120
4.4.-	OPERACION DEL SISTEMA DE ADQUISICION DE DATOS.....	122
4.5.-	RESPUESTA DINAMICA DEL SISTEMA.....	123
4.6.-	PROTECCIONES Y DETECCION DE FALLAS.....	124
4.7.-	EJEMPLOS DE APLICACION DEL SISTEMA.....	125

CAPITULO V

CONCLUSIONES Y RECOMENDACIONES

5.1 ANALISIS DE RESULTADOS EXPERIMENTALES.....	129
5.2 ANALISIS TECNICO-ECONOMICO.....	129
5.3 CONCLUSIONES Y RECOMENDACIONES.....	132
BIBLIOGRAFIA.....	136
REFERENCIAS.....	137
ANEXO A	COMUNICACION SERIAL
ANEXO B	MANUAL DEL MICROCONTROLADOR Y DEL MODULO CONVERSOR AC-DC SEMICONTROLADO.
ANEXO C	PROTECCION PARA TIRISTORES (SIEMENS).
ANEXO D	PROGRAMAS DEL MICROCONTROLADOR Y DEL COMPUTADOR PERSONAL.
ANEXO E	MANUAL DE OPERACION Y MANTENIMIENTO DEL EQUIPO.

INTRODUCCION

El advenimiento de los computadores personales en el campo de la informática, ha hecho que se desarrollen paquetes de programación tendientes a la aplicación específica de control electrónico de potencia, por ejemplo la firma AVOCET SIMULATOR desarrolla programas que ayudan al diseño de sistemas microprocesados. Además, el desarrollo de lenguajes de programación de alto nivel y estructurados (QuickBasic) que permiten utilizar subrutinas en lenguaje ensamblador (assembler), lo cual da al sistema rapidez de ejecución de tal manera que se puedan implementar lazos (algoritmos) de control.

Paralelamente, se han desarrollado elementos semiconductores llamados microprocesadores para aplicaciones de control electrónico, por ejemplo el microcontrolador de la INTEL 8751. Estos dispositivos han ofrecido desde su creación (1970) gran confiabilidad y una capacidad de integración funcional que cada vez va aumentando (tecnología VLSI). Así mismo, ofrece la posibilidad de diagnósticos confiables en sistemas donde antes se necesitaban circuitos especiales para este propósito.

El presente Tema de Tesis, tiene la intención de motivar el estudio y la investigación de la nueva tecnología en sistemas de control. El desarrollo de la tecnología de los microprocesadores y los microcontroladores en el campo industrial, ha hecho que veamos la necesidad de aplicar estos conocimientos en asuntos prácticos y realizables en nuestro medio. Se pretende, por lo tanto, establecer puntos de comparación entre esta tecnología y la tradicional, puntos tales como diseño, construcción, mantenimiento,

costos, etc.

El objetivo básico de este trabajo de tesis es diseñar y construir un equipo basado en el microcontrolador Intel 8751 para realizar el control de convertidores estáticos AC-DC semicontrolados con conmutación natural; trifásico, monofásico y opcionalmente el trifásico totalmente controlado de 3 pulsos; a partir, de un computador personal como elemento central de control y procesamiento de datos.

De igual manera, se pretende desarrollar el software necesario, tanto en el lenguaje assembler del microcontrolador así como en un lenguaje de alto nivel (Quick Basic) para el computador personal, que permita la operación del sistema, la utilización del pòrtico de comunicación serial RS232 para el enlace entre el Computador y el equipo, el ingreso de datos y condiciones de trabajo a través de teclado y la presentación de resultados en displays y en el monitor del Computador.

Adicionalmente el equipo a construirse incluirá un sistema de adquisición de datos análogos que permita realizar la medición simultánea de hasta ocho señales externas distribuidas del siguiente modo: voltaje de salida, corriente en la carga; las restantes seis entradas quedan disponibles para que el usuario las utilice en aplicaciones específicas del equipo como: medición de variables eléctricas para procesamiento de información etc. El sistema quedará listo para que el usuario implemente en el Computador Personal los algoritmos de control en lenguaje de alto nivel.

Para lograr los objetivos antes planteados, ha sido necesario dividir el desarrollo de este trabajo en cinco capítulos.

En el primero se presenta una breve información general sobre los convertidores AC-DC y su funcionamiento, poniendo énfasis en aquellas configuraciones que van a ser

implementadas. También se trata del microcontrolador a utilizarse y finalmente del computador personal y su comunicación con el equipo.

En el segundo capítulo, se detallan las especificaciones tanto en control como en potencia y se desarrolla el diseño circuital del equipo.

En el tercer capítulo, se diseña el software necesario para el funcionamiento del equipo. Se explican en detalle todas las rutinas implementadas en el microcontrolador y en el computador personal.

El cuarto capítulo, resume los resultados experimentales de las pruebas a las que fué sometido el equipo para comprobar sus diferentes funciones y aplicaciones.

Finalmente, el capítulo quinto muestra una serie de conclusiones y recomendaciones que pueden ayudar al desarrollo de futuros trabajos relacionados con el presente tema.

CAPITULO I

GENERALIDADES

1.1 OPERACION DE LOS CONVERSORES AC-DC [1]

1.1.1 Introducción a la operación de los conversores AC-DC

Los conversores AC-DC con conmutación natural permiten acoplar una fuente de alterna (AC) con una carga de continua (DC); es decir, convierten la energía de corriente alterna en energía de corriente continua. Evidentemente, el voltaje obtenido no se puede comparar con el de un banco de baterías debido a la presencia de componentes de alterna (rizado) que se superponen al valor medio del voltaje de salida.

Los conversores AC-DC conmutados por línea, son los actuadores ideales para el manejo de cargas de corriente continua. Su simplicidad y versatilidad, su capacidad de corriente casi ilimitada, y su excelente comportamiento dinámico son las más importantes cualidades que los caracterizan.[1]

La operación de un conversor AC-DC se basa en el encendido y apagado alternativo de un número de elementos rectificadores, normalmente diodos y/o tiristores. El retardo en el encendido de los semiconductores controlados (tiristores), permite obtener un voltaje variable de continua a la salida del conversor.

La conmutación natural o por línea significa que los

semiconductores de potencia se apagan en forma espontánea en el instante en que su corriente se hace cero, gracias a las alternancias y cruces por cero del voltaje de la red. [2]

1.1.2 Clasificación de los convertidores conmutados por línea

La selección de un convertidor para la alimentación de cualquier carga de corriente continua depende de un cierto número de criterios tales como:

- Naturaleza de la fuente de alimentación,
- Armónicos inyectados a la línea,
- Rizado de la corriente de carga, etc.

Es difícil establecer a priori reglas absolutas; los convertidores AC-DC conmutados por línea se pueden clasificar de acuerdo a los siguientes parámetros o características:

- Número de fases de la red de alimentación.
- Conexión de los elementos del convertidor (tiristores y diodos).
- Número de pulsos del convertidor. Este es el número de pulsos presentes en la salida de voltaje DC durante un ciclo de voltaje AC.
- Utilización de elementos controlados solamente ó una combinación de no controlados y controlados. Así, se los conoce como convertidores controlados, nocontrolados o semicontrolados.
- Utilización de un diodo de conmutación (Free-Wheeling Diode).

La Figura N.1.1 muestra los diferentes esquemas de conexión de los convertidores AC-DC de acuerdo a los parámetros antes citados.

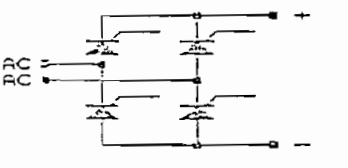
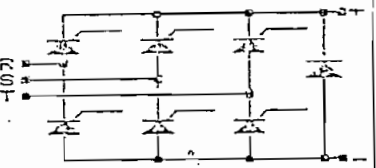
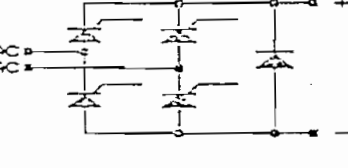
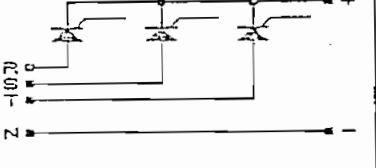
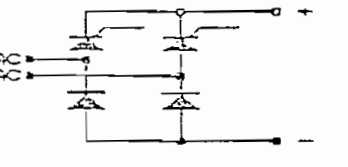
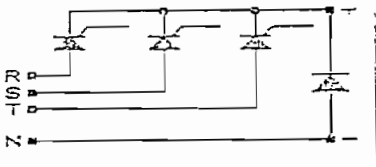
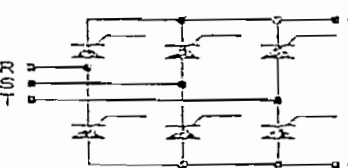
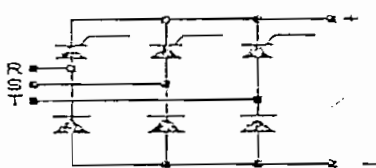
CONVERSOR	α_{max}	CONVERSOR	α_{max}
MONOFASICO CONTROLADO 	180°	TRIFASICO CONTROLADO (P=6) CON DIODO DE CONMUTACION 	120°
MONOFASICO CONTROLADO CON DIODO DE CONMUTACION 	180°	TRIFASICO CONTROLADO EN MEDIA ONDA (P=3) 	150°
MONOFASICO SEMICONROLADO 	180°	TRIFASICO CONTROLADO (P=3) CON DIODO DE CONMUTACION 	150°
TRIFASICO CONTROLADO TIPO PUNTE (P=6) 	120°	TRIFASICO SEMICONROLADO 	180°

Figura N.1.1 Esquemas de conexión de los convertidores AC-DC

- CONVERSORES NO CONTROLADOS

Están formados exclusivamente por diodos (elementos no controlables). Su voltaje de salida es constante; actúan exclusivamente como rectificadores, para medianas y grandes potencias. La configuración más utilizada es la tipo puente. Ver la Figura N.1.2

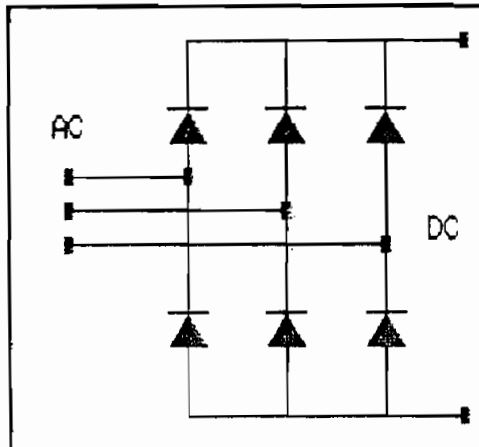


Figura N.1.2. Conversor no controlado.

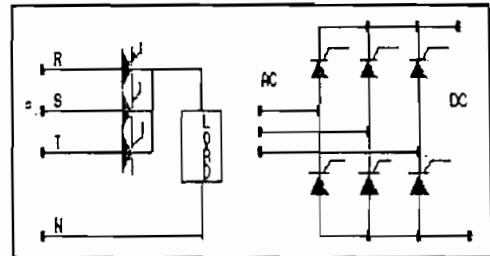


Figura N.1.3. Conversor controlado

- CONVERSORES CONTROLADOS

Están formados por tiristores (dispositivos controlables). Su voltaje de salida es variable en un rango de 0, a 100% y puede ser positivo o negativo, dependiendo de las características de la carga. Puede operar como rectificador cuando permite el flujo de potencia desde la red hacia la carga, o como inversor sincrónico cuando la energía fluye desde la carga hacia la red. Ver la Figura N.1.3.

- CONVERSORES SEMICONTROLADOS

Están formados por una combinación de diodos y tiristores. Su voltaje de salida puede variar de 0 a 100% y es solamente positivo, razón por la cual este tipo de conversor no puede funcionar como inversor sincrónico, solamente como rectificador.

La configuración tipo puente es la más popular. Ver Figura N.1.4

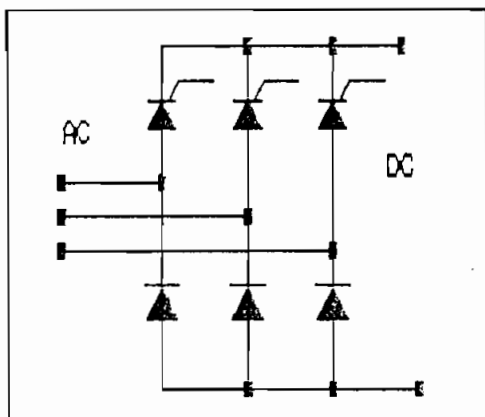


Figura N.1.4 Conversor Semicontrolado.

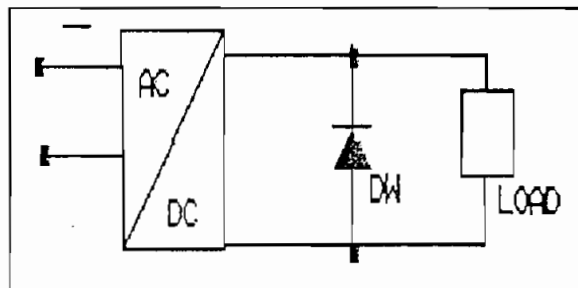


Figura N.1.5 Diodo de Conmutación.

- DIODO DE CONMUTACION

El diodo de conmutación, se conecta en paralelo inverso a la salida del conversor (carga), para dar un camino alternativo a la corriente reactiva de la carga, evitando que el voltaje de salida del conversor invierta su polaridad (excepto por la pequeña caída de voltaje de juntura del diodo). En el momento de la conmutación, capta la corriente de carga para ayudar a que el elemento de potencia entre en bloqueo. Ver Figura N. 1.5.[2]

Los esquemas con alimentación monofásica se utilizan generalmente para aplicaciones de baja potencia. Más allá de unos pocos kilovatios existen razones poderosas para preferir un esquema trifásico que, aunque utiliza más elementos, tiene importantes ventajas como:

- 1.- La línea trifásica es cargada en forma simétrica.
- 2.- Poco contenido armónico en las corrientes de línea; por tanto hay menor distorsión de voltaje de línea que en el caso monofásico.
- 3.- El rizado del voltaje DC en la salida del conversor

tiene componentes de mayor frecuencia pero de menor amplitud reduciendo los componentes de filtrado (si se requiere) y causando menos pérdidas en la carga.

4.- El comportamiento dinámico de los convertidores trifásicos es superior debido al hecho de que los tiristores son disparados en intervalos más cortos. Esto reduce el retardo ante las señales de control y permite una respuesta más rápida.

1.1.3 Modos de operación de los convertidores AC-DC.

Existen dos modos de operación posibles de los convertidores AC-DC que dependen de su configuración.

- RECTIFICADOR

Este modo de operación se caracteriza por el hecho de que la fuente entrega potencia a la carga (potencia positiva). Si bien la corriente es unidireccional (positivo), el valor medio del voltaje debe ser positivo.

- INVERSOR SINCRONICO

En este modo la transferencia de potencia se invierte, es decir, fluye desde la carga hacia la fuente. El voltaje medio que entrega el convertidor puede ser negativo, momento en el cual está funcionando como inversor síncronico.

Un mismo convertidor AC-DC puede operar en estos dos modos en forma excluyente. Por ejemplo, tenemos el caso típico (el de mayor difusión) de un motor de corriente continua. Se utiliza un convertidor en modo rectificador para el arranque y la operación de la máquina; pero, para el freno regenerativo se utiliza en modo de inversor síncronico.

La dificultad de plantear un modelo matemático para representar a un convertidor radica en el hecho de que éste es un proceso discreto en vista de que la corrección del voltaje medio en la salida no se efectúa, necesariamente, en el mismo instante en que se corrige el ángulo de activado de los tiristores. En el peor de los casos, el retardo resulta igual al intervalo que existe entre dos activados consecutivos de los tiristores del convertidor.

El presente trabajo, va a utilizar convertidores AC-DC con conmutación natural funcionando en modo de rectificador solamente; es decir, se va a controlar que la corriente fluya a la carga en un instante determinado por el operador, pero no permite que ésta cese arbitrariamente sino cada vez que la fuente de alterna invierte su polaridad. Se van a utilizar las siguientes configuraciones:

- TRIFASICO SEMICONTROLADO
- MONOFASICO SEMICONTROLADO
- TRIFASICO CONTROLADO DE MEDIA ONDA

Cabe recalcar que la última opción (TRIFASICO CONTROLADO DE MEDIA ONDA) no tiene la misma importancia que las dos restantes. Su implementación obedece tan solo para fines didácticos, es decir observar el funcionamiento de un convertidor en modo de operación inversor sincrónico.

1.1.4 Operación de los convertidores utilizados.

Para un estudio preliminar de los convertidores, se deben asumir ciertas condiciones que facultan su comprensión; estas son: El voltaje que cae en los elementos semiconductores de potencia, en los transformadores y en otros componentes es despreciable frente a la magnitud de la fuente de poder; la conmutación (encendido y apagado de los tiristores) se supone

instantánea; el voltaje de alimentación es fijo, simétrico, senoidal y finalmente, la corriente de salida del convertor es constante.

Los tiempos de encendido y apagado del elemento semiconductor están en el orden de pocos microsegundos, razón por la cual puede considerarse una coñmutación instantánea en relación al tiempo de medio ciclo (8.33 ms) de una fuente de 60 Hz.

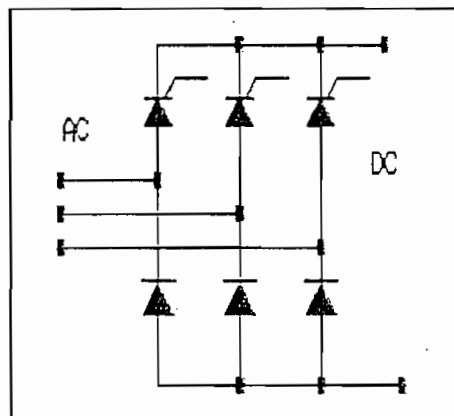


Figura N.1.6 Convertor Semicontrolado.

La mayoría de cargas de corriente continua (como motores de DC) responden al valor medio del voltaje; así, el valor rms del voltaje de salida es generalmente de poco interés. Sin embargo, el rizado de alterna, el mismo que representa una variación del voltaje de carga relativo al valor medio, es frecuentemente fuente de pérdidas indeseadas.

- Operación de los convertidores semicontrolados

La figura N.1.6 muestra la configuración de mayor utilización en aplicaciones industriales.

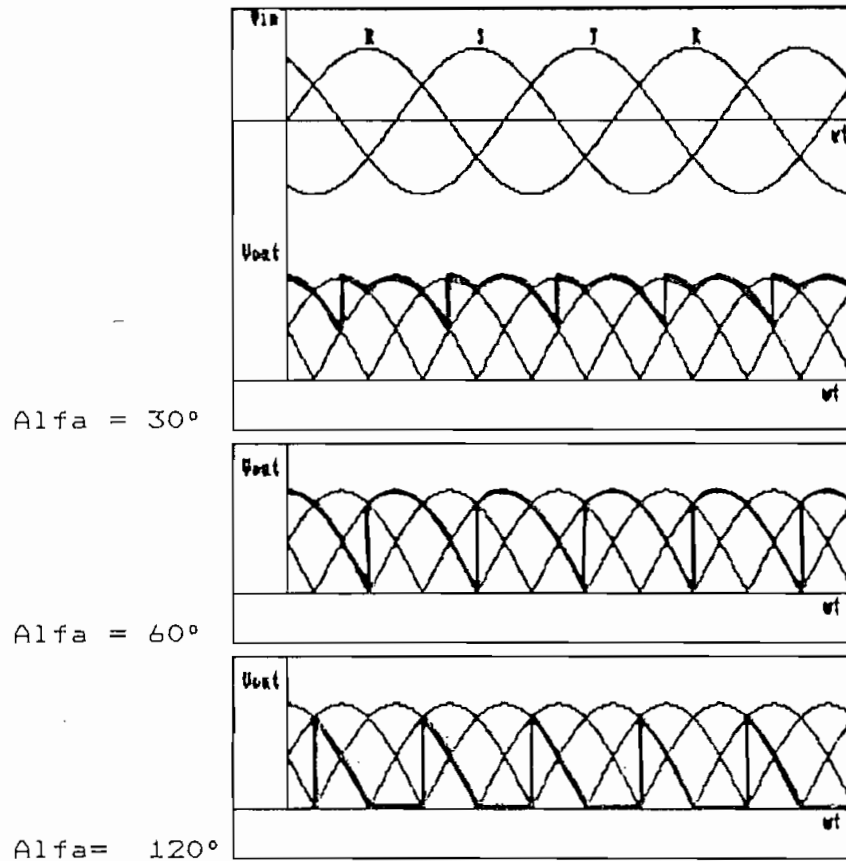


Figura N.1.6.a Voltaje de salida para distintos ángulos de activado.

El tiristor que esté polarizado adecuadamente (voltaje de línea) y que además en su compuerta (gate) exista un pulso de disparo, conducirá y llevará la corriente de carga. La posibilidad de variar el voltaje medio de salida se logra en virtud de retardar el activado de los tiristores del convertidor de modo que la red entregue energía a la carga durante reducidos intervalos de conducción. En la figura N.1.6.a se

pueden apreciar las formas de onda del voltaje de salida $V_{d\alpha}$ para diferentes valores de retardo α en el activado de los SCR's. En la Figura N.1.6.b se muestran los puntos de sincronización ($\alpha=0^\circ$). El rango de control posible del ángulo de retardo α , y el voltaje de línea de la fuente.

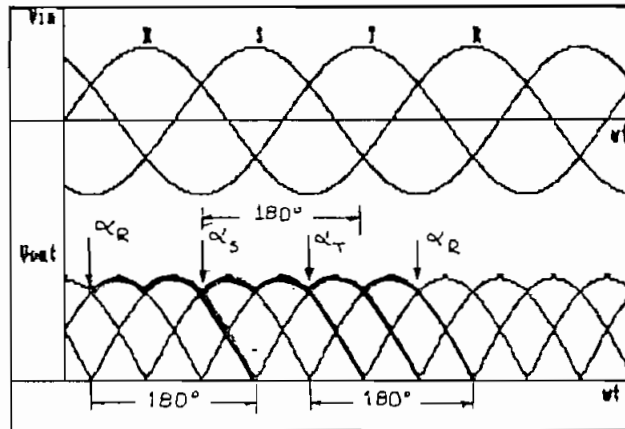


Figura N.1.6.b Puntos de sincronización y rango de control del convertor Semicontrolado.

Para esta configuración, la característica que determina el funcionamiento del convertor esta dada por la ecuación:

$$V_{d\alpha} = V_{d0} (1 + \cos \alpha) / 2 \quad (1)$$

donde:

$$V_{d0} = \sqrt{2} V_s p \text{ Sen } (\pi/p) / \pi$$

V_{d0} = Voltaje medio de salida para $\alpha = 0^\circ$

α = Angulo de retardo.

$V_{d\alpha}$ = Voltaje medio de salida para un α dado

p = número de pulsos.

V_s = Voltaje RMS de alimentación.

El rango de control del ángulo activado α es de 180 grados eléctricos; en la gráfica de la figura N.1.7 se muestra al voltaje medio de salida normalizado versus el ángulo de retardo también normalizado.

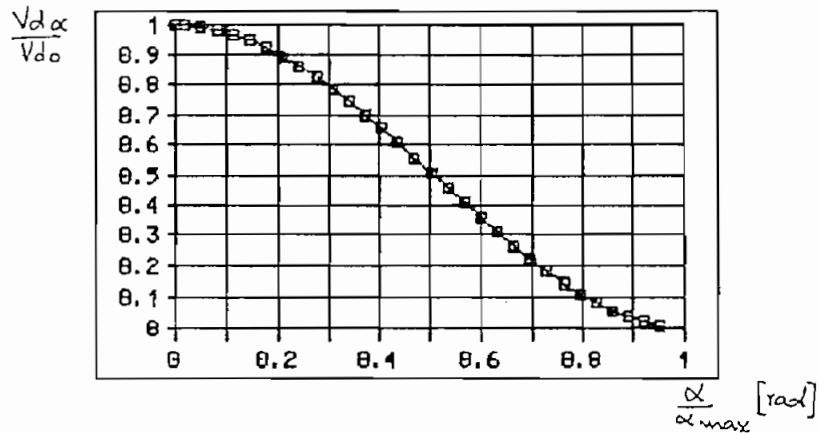


Figura N.1.7 Característica de los convertidores semicontrolados

Estas características son válidas para cualquier tipo de convertidores semicontrolados (trifásico o monofásico).

- Operación del convertidor controlado de tres pulsos.

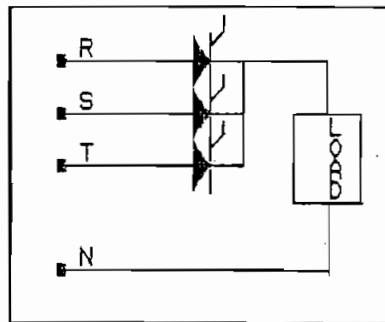


Figura N.1.8 Convertidor controlado de tres pulsos

Está formado exclusivamente por tiristores con los cátodos unidos (terminal positivo) y el neutro de la fuente como terminal negativo. Su configuración se presenta en la Figura N.1.8. El tiristor cuyo ánodo esté a un potencial mayor que el resto, conducirá siempre y cuando se haya dado un pulso de disparo en su compuerta.

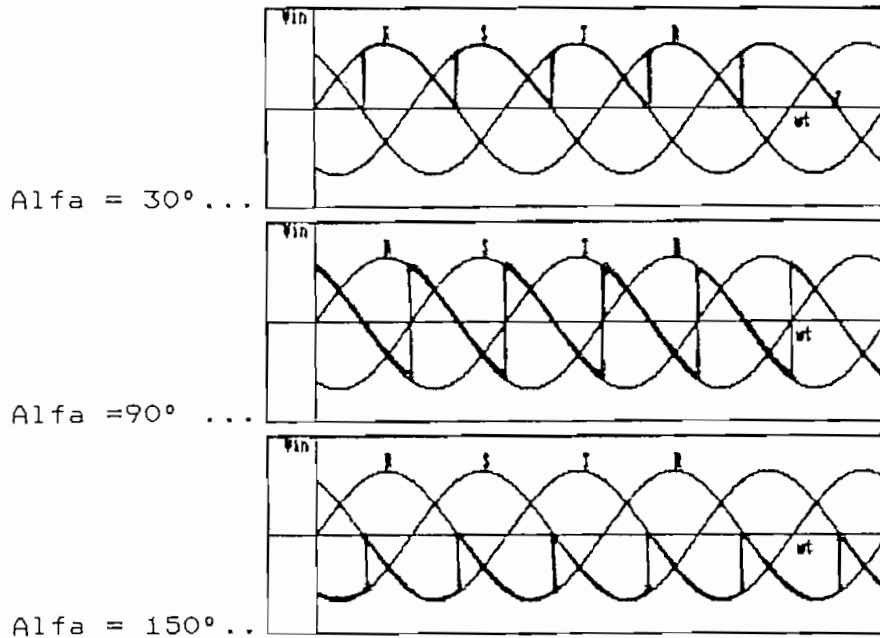


Figura N.1.8.a Voltaje de salida del conversor controlado para diferentes ángulos de activado.

En la figura 1.8.a se muestran las formas de onda del voltaje de salida (V_{da}) para diferentes ángulos de retardo (α) y suponiendo que la carga es de tal naturaleza que en ella se tiene siempre conducción continua. Se habla de conducción continua cuando la corriente pulsante en la carga no llega a ser cero. En la figura N.1.8.b se muestra el rango de control del ángulo de disparo y el voltaje de fase de la fuente de alimentación.

Para esta configuración el rango de control del ángulo de disparo es de 240 grados. Para 0 grados tenemos un voltaje de salida máximo (como los nocontrolados); para 90 grados, se tiene un voltaje de 0 voltios; y para 180 grados se tiene el voltaje de salida máximo pero negativo. En el caso de tener conducción discontinua en la salida del conversor, el rango puede extenderse hasta 240 grados.

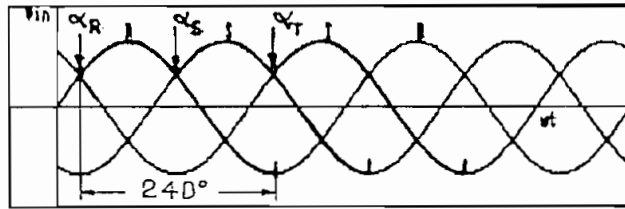


Figura N 1.8.b Rango de control del ángulo de disparo.

Entonces, la ecuación que determina esta característica es la siguiente:

$$V_{da} = V_{do} (\cos \alpha) \quad (2)$$

donde:

α = Angulo de retardo.

V_{da} = Voltaje medio de salida para un α dado.

V_{do} = Voltaje medio de salida para $\alpha = 0^\circ$.

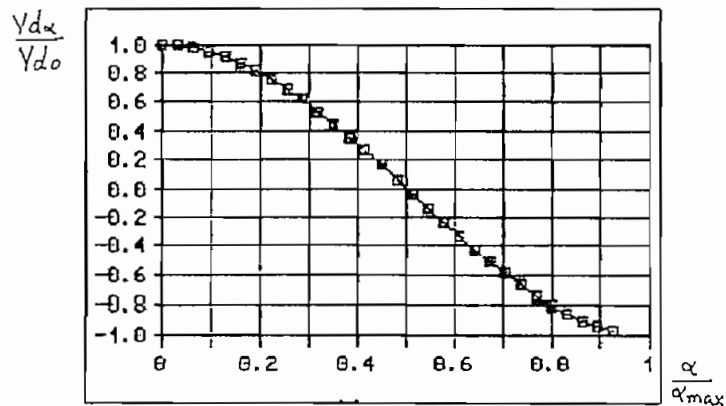


Figura N.1.9 Característica de los convertidores controlados

La característica de este convertidor puede apreciarse en el gráfico de la Figura N.1.9 ; en éste se muestra el voltaje medio normalizado de salida, V_{da}/V_{do} versus el ángulo

normalizado de activado de los tiristores α/α_{max} . Esta característica es válida para cualquier tipo de convertidores controlados. Si el voltaje máximo de la fuente de alterna es V_{max} .

V_{do} = Voltaje medio máximo de salida del convertidor
($\alpha = 0$)

α_{max} = Máximo ángulo de activado de los tiristores
para la configuración dada.

1.2 CONTROL DIGITAL DE CONVERSORES ESTATICOS CON MICROPROCESADOR

1.2.1 Introducción.

El advenimiento de los microprocesadores desde el año de 1970, ha traído una nueva dimensión en tecnología de electrónica de potencia; es tan significativa como el descubrimiento de los semiconductores de potencia en 1950. La primera generación de microprocesadores fue de 4 bits, luego los de 8 bits, más tarde los de 16 bits, y ahora los de 32 bits. Mientras la tecnología de diseño de circuitos integrados va mejorando, se hace posible entonces más escala de integración .

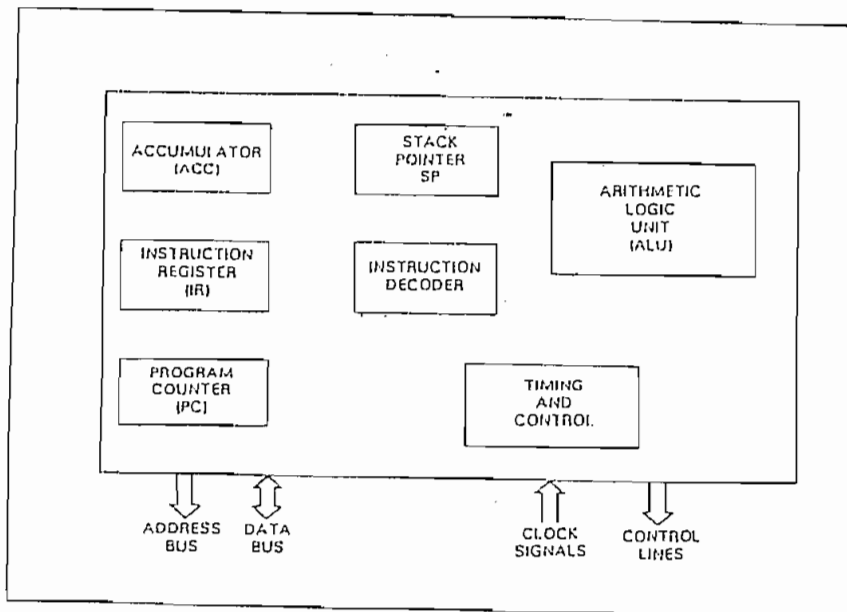


Figura N.1.10 Estructura de un microcontrolador

Un microprocesador es responsable de cálculos y decisiones en la operación de un sistema. La parte central de un microprocesador es la Unidad central de procesamiento (CENTRAL PROCESSING UNIT) y los siguientes elementos:

- Generador de señales de control
- Bus de dirección y datos.(opcional)
- ROM
- RAM
- Controlador de interrupciones
- Señales de Entrada/Salida digitales.
- Señales de Entrada/Salida analógicas
- Interfase de comunicación serial

En el diagrama de bloques de la figura N.1.10 se muestra la estructura típica de un microcomputador.

- Arquitectura CPU

La Figura N.1.11 muestra los componentes básicos de la cpu. El acumulador ACC almacena datos procesados por la unidad aritmética lógica (ARITHMETIC LOGIC UNIT ALU). La ALU puede poseer operaciones básicas como suma, resta, desplazamiento operaciones booleanas, también genera banderas tales como: carry, cero, signo, paridad, overflow como resultado de operaciones aritméticas y lógicas.

El contador de programa (PC) almacena la dirección de la instrucción que va a ser ejecutada. La CPU incrementa el PC cada vez que esta busca una instrucción, así, las instrucciones se ejecutan en orden numérico. Esta regla no se cumple solo en los casos de saltos (SJMP) o llamadas a subrutinas. En llamadas a subrutinas, el PC es incrementado y su contenido es almacenado en una área de memoria llamada "STACK". El stack puede almacenar también registros. Luego de un "return" al final de una rutina, el PC empieza con la dirección traída desde el SP (STACK POINTER). [4]

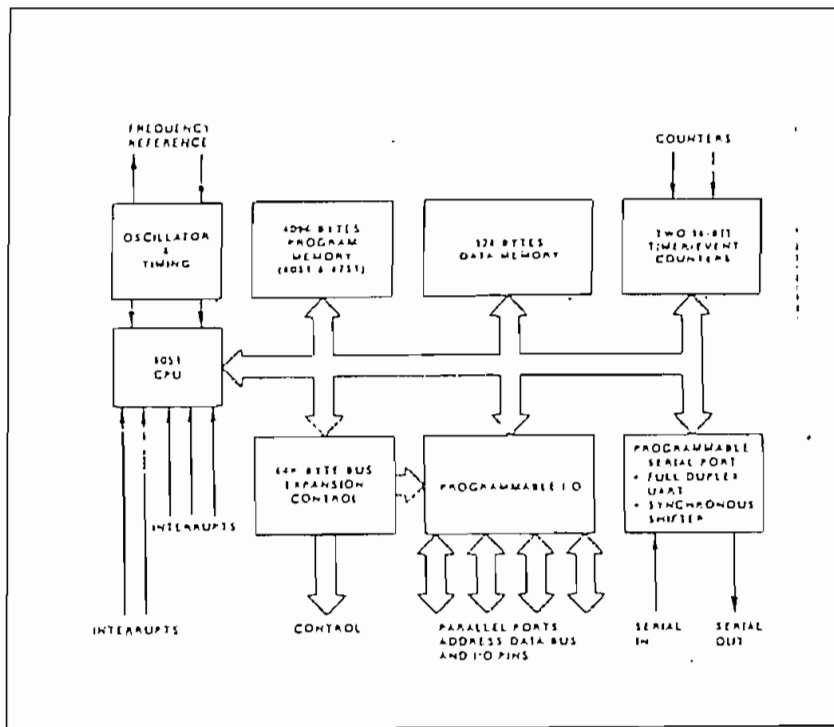


Figura N.1.11 Componentes básicos de la ALU

- ROM

ROM (read-only memory) almacena el programa del microprocesador. El programa puede tener datos en forma de tablas de traducción que no pueden ser alterados. La memoria es no volátil; así, una falla de alimentación al micro no destruirá el contenido de la ROM. Un programa que no necesite alteración alguna es almacenado en una ROM mascarable. En los primeros pasos de desarrollo del programa, es necesario alguna modificación, entonces se almacena en memorias programables eléctricamente pero borrables con luz ultravioleta (EPROM). Se utiliza también memorias programables y borrables eléctricamente (EEPROM), que pueden ser leídas y escritas como si fueran RAM's, pero la información permanece no volátil. Este tipo de memorias es muy útil para diagnósticos de pérdida de datos en caso de falla de alimentación.

- RAM

La memoria RAM (random-access memory) normalmente almacena datos generados por la ejecución del programa. En los primeros pasos de desarrollo, el programa puede ser residente en RAM. Ambos, ROM y RAM tienen posibilidad de acceso aleatorio, pero la RAM es generalmente por medio de READ/WRITE. La RAM es volátil y puede ser estática o dinámica. Una RAM estática utiliza flip-flops para almacenamiento, pero consumen bastante potencia, por tanto su densidad de almacenamiento es baja. Una RAM dinámica utiliza un pequeño capacitor como elemento de almacenamiento, el mismo que provee alta densidad de almacenamiento pero requiere señales periódicas de refresco para retener el bit de información.

- ENTRADA/SALIDA DIGITAL

Un microprocesador se comunica con el exterior por medio de sus dispositivos periféricos de entrada/salida. Estas señales pueden ser en forma de lógica individual o bytes paralelos. Las señales de entrada/salida se pueden controlar como si ellas estuvieran en espacios de memoria o por instrucciones IN/OUT. La comunicación serial transmite o recibe datos en forma serial pero internamente el microprocesador manipula estos datos en forma paralela. Los dispositivos tales como CRT, Sistemas de disk drive, impresora, displays, etc., son enlazados digitalmente en el microcomputador.

- ENTRADA/SALIDA ANALOGA.

Las señales análogas en un sistema son enlazadas al microcomputador por medio de conversores A/D o D/A. Este dispositivo puede ser conectado directamente al bus de datos del microcontrolador y así ocupar una localidad de memoria. El número de bits del conversor determina la exactitud o

precisión de la señal analógica. El tiempo de conversión del conversor A/D debe ser pequeño comparado con el de muestreo dentro del microcontrolador. En un sistema de adquisición de múltiples señales analógicas, se utiliza un conversor A/D de canales multiplexados.

1.2.2 Ventajas y desventajas de los microcontroladores. [4]

Los microprocesadores o en general el diseño digital de un sistema de control tiene algunos méritos y limitaciones que pueden resumirse en:

- Hardware de bajo costo.

La simplificación del hardware de control, y su consiguiente bajo costo en comparación con el control analógico, es la ventaja principal del control microprocesado. Esta tendencia es evidente al aumentar la velocidad del microprocesador y así se integran más funciones. Algunos chips con la integración de un hardware total para control de una aplicación específica resultan ser muy económicos. Menor tamaño y peso, con menor consumo de potencia son ventajas adicionales.

- Confiabilidad.

La confiabilidad de los circuitos LSI o VLSI es considerablemente mayor que cualquier circuito electrónico con gran cantidad de componentes. Experiencias pasadas han demostrado que los controladores con microprocesador poseen mas confiabilidad.

- Menos problemas de EMI (Electromagnetic Interference)

El gran nivel de integración de un microcontrolador evita el acoplamiento de transitorios de voltaje o corriente en sistemas de electrónica de potencia. El acoplamiento de ruido a través de la fuente de alimentación y señales de entrada se minimiza con filtros análogos o digitales.

- Variación nula de parámetros .

El procesamiento de señales elimina variación de parámetros, los mismos que son prevalentes en controladores análogos. El cálculo digital es exacto y los problemas de truncamiento y overflow se evitan con un escalamiento adecuado.

- Hardware y Software universal.

El hardware universal puede ser diseñado para una cierta clase de sistemas donde el software puede ser modificado para satisfacer especificaciones laterales. Por ejemplo; todos los drivers de inversores de voltaje pueden tener el mismo hardware de control pero distintas especificaciones pueden lograrse con modificaciones de software. La ventaja adicional del software es que es flexible y puede ser fácilmente implementado, alterado o, actualizado en la medida que el sistema lo requiera.

- Diagnósticos.

Una ventaja más de control con microprocesador es su software poderoso de diagnósticos, el mismo que puede ser diseñado por un técnico semi-experto. Además, la adquisición de datos, monitoreo de señales, precauciones y displays pueden ser fácilmente implementados.

- Cálculos lentos.

La implementación de una función en un microcontrolador, es más lenta que un conversor A/D equivalente debido al hecho que el micro calcula la función en forma serial, mientras que el hardware lo hace en forma paralela. Si un micro manipula multiples tareas, se tiene que dar un tiempo para cada una y multiplexarlas en el tiempo, esto aumenta aún más el tiempo de ejecución. Largos retardos de muestreo pueden causar problemas de estabilidad en lazos de realimentación. Cada vez se están construyendo microprocesadores con más velocidad de cálculo. Esta tendencia continua en el futuro.

- Error de cuantización

Un sistema físico posee generalmente señales analógicas y, cuando éstas son convertidas a digitales para el microprocesador por medio de conversores A/D y D/A, hay un error finito. Este error puede disminuirse mientras más alto sea número de bits del micro y del conversor.

Finalmente, existen otros inconvenientes en el uso de los microprocesadores para control electrónico; el hecho de que las señales de software no tengan acceso dificulta un poco el seguir en secuencia los pasos del programa. Además, el desarrollo del software requiere de un trabajo delicado haciendo que su costo sea elevado para programas de propósito específico.

1.2.3 Técnicas de control de conversores estáticos AC-DC con microprocesador.

Existen algunas técnicas que se han desarrollado para controlar el disparo de conversores con conmutación natural;

algunas analógicas, otras digitales y otras una combinación de las dos anteriores. Así, podemos nombrar las siguientes : comparadores análogos, contadores digitales, PLL's (Phase Locked Loop), etc. En casi todos estos esquemas, la señal de activado se genera cuando una señal variable en el tiempo (señal triangular o diente de sierra), se iguala a una de referencia (voltaje continuo normalizado de 0 a 10 V).

La implementación puede ser análoga como el método del coseno inverso; o digital, como una tabla de look-up o tabla de traducción grabada en una memoria y contadores, pero el ángulo de activado es siempre calculado con respecto al cruce por cero de la forma de onda del voltaje de entrada (caso monofásico) o cambio de fase para el caso trifásico.

Consecuentemente, todos estos métodos pueden agruparse en uno solo llamado "métodos de disparo absoluto" debido al hecho de que el disparo se realiza sin tomar en cuenta disparos anteriores; sin embargo éstos no son fáciles de implementar en los microprocesadores, a causa de los tiempos de operación (cálculos) de éstos; habiéndose tan solo implementado simples adaptaciones del software. Por esta razón, se han desarrollado métodos relativos de ángulo de disparo. En el presente trabajo se va a implementar un método de disparo absoluto, ya que el intervalo entre dos pulsos de disparo es constante e igual a 120 grados (en convertidores semicontrolados trifásicos).

1.2.3.1 Método relativo de control del ángulo de activado.

Con este método; el ángulo de disparo es controlado alargando o acortando el intervalo entre dos disparos de tiristores consecutivos(ver Figura N.1.12). Por supuesto en estado estable, este intervalo (δ) es de 120° (en convertidores semicontrolados) .

Este esquema de control tiene ciertas ventajas a nivel industrial:

1) El costo de instrumentación es extremadamente reducido por eliminación de detectores de los cruces por cero del voltaje.

2) El intervalo entre los disparos es directamente controlado.

3) La detección de los instantes de cruce por cero (o puntos de sincronización) en voltaje de alterna se hace una sola vez cada 360° .

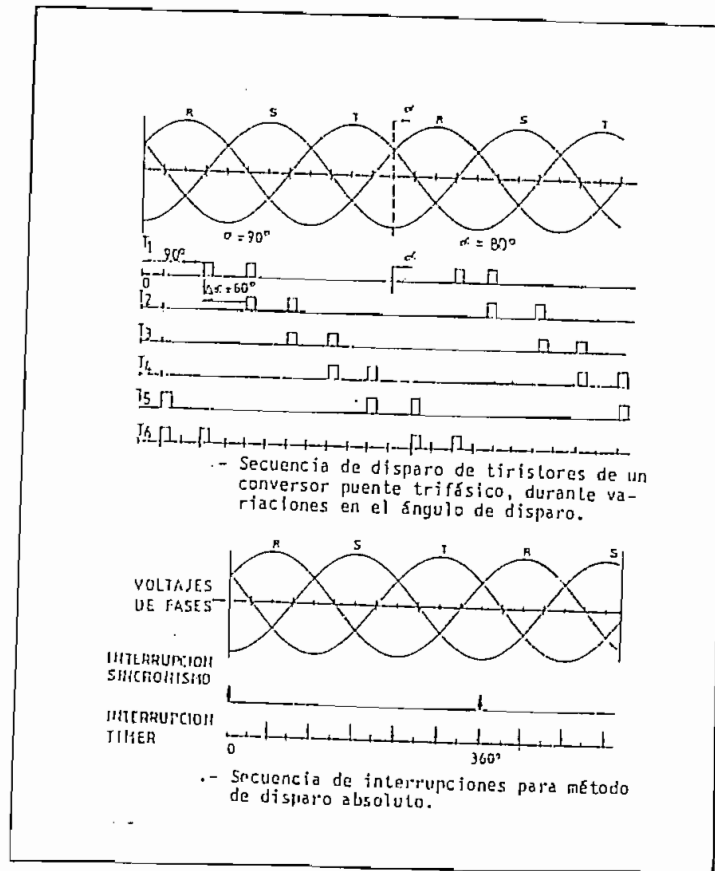


Figura N.1.12 Disparo relativo

A pesar de que la mayoría de esquemas de disparo utilizan la detección del cruce por cero de cada fase para obtener un punto de referencia entre el ángulo de disparo y el tiristor correspondiente, las señales de cruce por cero no son exactamente espaciadas 120° debido a la distorsión armónica en las formas de onda de entrada y las desigualdades en los componentes de los tres detectores. Por tanto, aún cuando los circuitos de disparo sean idénticos para todos los tiristores, los ángulos de disparo diferirán en algo causando incertidumbre y generando armónicos de orden impar.

Con el esquema de ángulo de disparo relativo, los activados equidistantes se mantienen aún cuando exista algún error en la detección del cruce por cero. El error modificará el ángulo de disparo pero todos los tiristores se dispararán con un ángulo idéntico.[7]

El principal inconveniente de este método es que no se dispone de un tiempo establecido (fijo) para el procesamiento de funciones de control y protección llevadas a cabo por el microcontrolador debido al hecho de que:

$$\delta\alpha = \alpha_n - \alpha_{n-1} + 60^\circ$$

con:

- α_n : próximo ángulo de disparo
- α_{n-1} : anterior ángulo de disparo
- $\delta\alpha$: intervalo entre dos pulsos consecutivos

Si por ejemplo se desea cambiar el ángulo de disparo de 90° a 80° se dispone de un tiempo entre disparos equivalente a 50° para ejecución de las funciones de control, protección y reporte encargadas al μC . En cambio, en el caso de disminuir el ángulo de 38° a 2° , el tiempo disponible se reduce a 24° . Una situación como la reseñada, podría comprometer el funcionamiento del sistema en general.

Para resolver esta situación, se propone la utilización de un esquema de disparo absoluto, en que los pulsos de disparo a los tiristores del puente se efectúan mediante una secuencia de interrupciones. Con ello, se consigue disponer de un tiempo fijo equivalente a 120° para procesamiento de las restantes tareas del μC .

Es frecuentemente deseable producir una relación entre voltaje de control (entrada) y el voltaje medio de salida del puente. Si la corriente en la carga es considerada continua, este efecto puede ser alcanzado incluyendo una función coseno inverso en el controlador; hay muchas maneras de hacer ésto con controladores analógicos. En sistema digitales, la manera más simple y rápida es utilizando tablas de traducción (look-up tables).

1.3 COMUNICACION SERIAL

Dentro del campo de la computación, uno de los temas más importantes de estudio es el de las comunicaciones de datos en general, y el de las disciplinas de línea o protocolo de comunicación en particular, por tratarse de un elemento básico sobre el cual se apoyan muchos otros temas.

Si bien no se va a realizar en este trabajo una comunicación entre computadoras (redes), se hace necesario conocer el protocolo de comunicación del computador personal con sus periféricos debido a que el equipo contruido viene a significar un periférico más dentro de tantos que el Computador Personal puede accesar.

1.3.1 Protocolo de comunicación.

Un protocolo se define como un juego de reglas y procedimientos que proporcionan una técnica uniforme para gobernar una línea de comunicaciones. Estas reglas y procedimientos proveen la administración, asignación y control de los recursos involucrados, así como establecen métodos para evitar y/o solucionar problemas acontecidos por fallas de excepción ocurridos en cualquiera de los elementos intervinientes.

Existen dos convenciones de codificación de datos más comunmente utilizadas: la EBCDIC (Extended Binary Coded Decimal Information Code) y la ASCII (American Standard Code for information Interchange); la primera, fué desarrollada para la IBM y utiliza 8 bits; la segunda, es una norma adoptada por ANSI y utiliza 7 bits de información, es decir son posibles $2^7 = 128$ representaciones. Un octavo bit se designa al control de paridad. Los caracteres que se pueden representar cumplen con las siguientes características:

- Caracteres de control,
- Caracteres especiales,
- Letras Mayúsculas,
- Letras Minúsculas, y
- Números.

Según el protocolo de comunicación escogido y el tipo de información a transmitirse, la disposición de los caracteres

de control y de datos (formato del mensaje), se encuadra en secuencias de distintos aspectos así como también varían los procedimientos de detección y corrección de errores de transmisión; también varían los procedimientos de establecimiento de llamada, terminación y desconexión de enlace.

Hay distintos modos de operación en un canal de comunicación, estos son: SPX (Simplex), HDX (Half Duplex), FDX (Full Duplex), según el protocolo escogido.[8]

1.3.2 Modalidad de transmisión.

La modalidad de transmisión denota la existencia o no de una irregularidad o intervalo no constante entre dos eventos consecutivos que ocurren en una línea. Existen dos modos de transmisión: Asíncrona y Síncrona.

- Transmisión asíncrona.

La Transmisión Asíncrona es llamada de esta manera a aquel caso donde no existe sincronismo a nivel de mensaje pero sí a nivel de carácter. El tiempo transcurrido entre caracteres consecutivos no es constante ni determinable. Depende de sucesos incontrolables tales como pulsar dos teclas simultáneamente ver la Figura N.1.13. Pero el tiempo asignado para un bit es constante. Para sincronizar el byte, se utilizan dos bits de control, el START (ST) y el STOP (SP); por esta razón, a esta modalidad de transmisión se le llama también START / STOP.##. Cabe añadir que no se envían señales de reloj o sincronización con los datos. Tanto el transmisor, como el receptor tienen relojes internos los mismos que son sincronizados con el bit START.



Figura N.1.13 Transmisión Asincrónica con código ASCII

- Transmisión Sincrónica

La transmisión sincrónica, es orientada en forma de bloques. Mientras la información de sincronización es incluida en cada carácter con transmisión asincrónica con bits start/stop, mensajes de múltiples caracteres son sincronizados en la transmisión sincrónica añadiendo caracteres en el inicio del mensaje. Estos caracteres de sincronización actúan de manera similar sobre el mensaje, en transmisión sincrónica, que los bit start/stop en transmisión asincrónica. Al contrario de la transmisión asincrónica, los transmisores y receptores sincrónicos comparten un reloj común; uno de los dos, el transmisor o el receptor debe enviar un bit de reloj al otro dispositivo, es por esto que no se necesita un bit de start porque tanto transmisor como receptor están siempre en sincronización. [9]

El RS-232C standard es la especificación eléctrica más común usada para comunicación asincrónica de datos seriales. Este fue desarrollado mucho antes de que los circuitos TTL existan por esta razón los pines del RS-232C no usan niveles lógicos de 5 voltios y tierra sino: el nivel alto está entre +5 y +15 voltios mientras que el nivel bajo está entre -5 y -15 voltios. Además los receptores del RS-232C deben comprender señales entre +/- 25 voltios. Más información sobre este dispositivo se encuentra en el ANEXO A de este trabajo.

CAPITULO II

ESPECIFICACIONES Y DISEÑO

2.1 REQUERIMIENTOS DEL SISTEMA

El presente trabajo de tesis va dirigido al desarrollo de un sistema electrónico de potencia controlado con microprocesador, razón por la que se hace necesario delinear desde un principio todos los requisitos que el sistema en general debe cumplir, tanto en potencia como en control. Al mismo tiempo, enunciar en forma general los pasos que se necesitan para cumplir con mayor acierto los requerimientos planteados.

2.1.1 Sistema de potencia.

El equipo va ha ser diseñado para controlar no solo un convertor estático AC-DC en particular sino por el contrario, se busca implementar un sistema de control para un convertor semicontrolado trifásico o semicontrolado monofásico, (por el hecho mismo de ser el más utilizado en el campo industrial), dentro de los límites del rango de funcionamiento determinado por los siguientes parámetros:

Convertor AC-DC trifásico semicontrolado.

- Especificaciones de Salida:

Voltaje nominal de salida: 0 a 282 V

Corriente nominal de salida: 20 A

Corriente máxima de salida: 25 A

- Especificaciones de entrada:

Voltaje nominal de entrada: 220 V

Variación de voltaje: entre 95% y 110%

Número de fases: 3

Frecuencia: 60Hz

Variación de frecuencia: 2%

Corriente RMS de entrada: $20 \text{ A} \times \sqrt{3/3}$

- Condiciones de temperatura y enfriamiento:

Temperatura ambiente: 0°C a 40°C

Enfriamiento forzado: ventilador independiente en la parte posterior del equipo.

- Altura

El equipo operará hasta 2800 mts sobre el nivel del mar.

Convertor AC-DC monofásico semicontrolado.

- Especificaciones de Salida:

Voltaje nominal de salida: 0 a 188 V

Corriente nominal de salida: 20 A

Corriente máxima de salida: 25 A

- Especificaciones de entrada:

Voltaje nominal de entrada: 220 V

Variación de voltaje: entre 95% y 110%

Número de fases: 2

Frecuencia: 60Hz

Variación de frecuencia: 2%

Corriente RMS de entrada: 20 A

- Condiciones de temperatura y enfriamiento:

Temperatura ambiente: 0°C a 40°C

Enfriamiento forzado: ventilador independiente en la parte posterior del equipo.

- Altura

El equipo operará hasta 2800 mts sobre el nivel del mar.

La selección entre convertor semicontrolado trifásico o monofásico se ha de realizar mediante un selector manual.

De manera opcional, se desea implementar la configuración de convertor AC-DC trifásico totalmente controlado de tres pulsos para tener la alternativa de hacer operar al convertor como inversor sincrónico.

2.1.2 Sistema de control.

El sistema de control se basa en un esquema jerárquico de funciones realizadas por distintos elementos: Un Computador Personal; que por su facilidad de programación y procesamiento de información, constituye el elemento de mayor jerarquía en el sistema de control, se comunica bilateralmente con el equipo a través de su pòrtico de comunicación serial RS-232.

El equipo deberá tener un método de identificación para así, dejar abierta la posibilidad de que un computador pueda controlar a varios equipos idénticos pero con distinta identificación. Todo sistema orientado a control digital debe cumplir ciertas especificaciones relacionadas con velocidad de operación y error de cuantización de señales analógicas, tareas que son realizadas, entre otras, por un microcontrolador.

Cabe en este punto, señalar un aspecto muy importante relacionado con las perspectivas de este trabajo. Si bién es cierto que se pretende construir un equipo para controlar la operación de un convertor estático AC-DC, también se plantea la posibilidad de extender su operación hacia el campo de control y regulación digital de una variable, tal como la velocidad de un motor de corriente continua, la temperatura de un horno, la corriente de carga de un motor DC, etc. El equipo tendrá un convertor A/D para este propósito y por lo tanto, se dejará la opción de poder realizar adquisición de datos analógicos para permitir la realización de realimentación,

control de lazo cerrado, monitoreo y supervisión de señales analógicas, limitación de variables críticas del convertidor estático AC-DC, etc. El equipo debe ser capaz de recibir información externa de cualquier tipo (siempre y cuando estén dentro de los límites especificados), con la finalidad de procesarla ya sea en el propio microcontrolador o transferir esa información al computador personal para un procesamiento más sofisticado.

La versatilidad que se quiere dar al sistema de control, debe ser respaldada por un sistema de supervisión de fallas permanente, suficientemente confiable y rápido (tanto en software como en hardware). Además, el sistema debe establecer un modo riguroso de operación y maniobra que obligue al usuario a respetar las secuencias de encendido, apagado, selección, sincronización, calibración, etc.

En síntesis, se requiere un microcontrolador que, junto con otros dispositivos electrónicos (circuito de control maestro) reúna condiciones óptimas para realizar las siguientes tareas:

a) Control del convertidor estático AC-DC.

Esta tarea constituye la generación de las señales de control de compuerta de los tiristores del convertidor estático AC-DC. Para tal efecto necesita de una adecuada selección del tipo de convertidor, una correcta sincronización con la red (según la selección manual) y un adecuado ingreso de datos de ángulo de disparo (alfa) ya sea por teclado propio del equipo o desde el Computador Personal.

b) Supervisión y monitoreo de fallas

El microcontrolador supervisará y monitoreará permanentemente fallas tales como:

- Ausencia de fase de alimentación
- Sobrevoltaje en la salida del convertidor estático AC-DC.

- Sobrecorriente en la salida del convertor estático AC-DC.

Frente a cualquiera de las fallas anteriormente citadas, el microcontrolador tomará acción inmediata abriendo el contactor principal y mostrando en displays un estado de error y también enviará al Computador Personal un código correspondiente a la falla detectada. Además, el microcontrolador tendrá a su cargo mostrar, con la ayuda de leds ubicados en la parte frontal del equipo, el estado de operación del sistema reflejado en los siguientes parámetros:

- Estado del contactor principal.
- Secuencia de fases de la red de alimentación.
- Tipo de fuente (convertor AC-DC) monofásica o trifásica.
- Comunicación Serial Entrada/Salida con el computador personal.

c) Adquisición de datos analógicos.

Esta tarea la realiza el microcontrolador con la ayuda de un convertor A/D, el mismo que permite la manipulación de señales analógicas externas. Los datos convertidos deberán ser procesados en el microcontrolador (caso de corriente y voltaje de salida del convertor AC-DC) o bien enviados hacia el computador personal para su procesamiento (graficación, almacenamiento en archivo, etc.).

Este sistema puede tener la opción de escoger uno de 8 canales de conversión; de éste, se puede escoger el número de datos a leerse y, finalmente se podrá seleccionar el número de datos (mayores y menores) a eliminarse como un método primario de filtrado digital de la señal. Para fines de acondicionamiento de señales exteriores se hace necesario un circuito a manera de interfase de niveles de voltaje. De esta manera protegemos de posibles daños a elementos electrónicos delicados que forman el equipo, debido a señales externas fuera de rango.

d) Comunicación con un Computador Personal.

Esta tarea es importante debido a la jerarquía que al computador personal ha sido dada. Es importante el desarrollo de un programa versátil que muestre un menú de opciones fáciles de acceder. Para este fin, se necesita de un pórtico de comunicación serial con su adecuado protocolo de comunicación (RS-232). Dependiendo de la identificación del sistema, el computador podrá intercambiar información o no a uno u otro equipo. El computador personal deberá estar constantemente informado de lo que en el sistema sucede. Deberá ser capaz de tomar acciones de maniobra frente a estados de operación normal, fallas, protección, señalización, adquisición de datos, etc.

2.1.3 Protecciones

En lo que se refiere a protecciones, el equipo estará protegido contra fallas en potencia y control, para lo cual se incluirán los siguientes elementos y funciones:

- Breakers y contactor de entrada.
- Fusibles en las líneas de alimentación.
- Detección electrónica de sobrecorrientes y sobrevoltajes instantáneos en la salida del convertidor estático.
- Limitación de picos de voltaje transitorio.
- Limitación del (dv/dt)
- Protección de ausencia de fase en la alimentación.
- Protección de cualquier falla del software implementado en Computador Personal.

La acción inmediata a una falla será el cese de las operaciones y regreso a un estado de Stand By. En control, los programas tanto en el microcontrolador como en el computador personal serán capaces de detectar dichas fallas y poner al sistema en estado de alerta. En lo que se refiere a

protecciones de fallas aleatorias y transitorias(dv/dt) en el convertor AC-DC, se implementarán redes SNUBER (limitadoras de transientes) de forma individual en cada elemento del convertor para atenuar estas perturbaciones, así como también redes equalizadoras para equilibrar el voltaje inverso en todos los elementos de potencia.

La detección de ausencia de fase se realiza monitoreando con el microcontrolador alguna variación en el normal ingreso de las señales de sincronización, las mismas que están estrechamente ligadas con el estado de la fuente.

La detección de sobrecorriente y sobrevoltaje se realiza tomando muestras de corriente y voltaje a la salida del convertor. Estas muestras son acondicionadas e ingresadas al microcontrolador en donde éste efectuará una comparación con sus valores máximos.

2.2 DESCRIPCION GENERAL DEL SISTEMA

2.2.1 Diagrama de bloques del sistema.

El sistema de control construido está formado básicamente por dos unidades bien definidas: *Unidad de control* y *Unidad de Potencia*. En la unidad de control se toman en cuenta todos los circuitos electrónicos tales como: circuito de control maestro, circuito de sincronización, circuito de amplificación de pulsos de disparo y filtrado, circuito de acondicionamiento de señales analógicas externas, circuitos auxiliares y de protección. Por otra parte, la unidad de potencia está

constituida por un ^{inversor} convertidor estático AC - DC de estado sólido. Además de estas dos unidades, se puede hablar de una tercera, el Computador Personal, el mismo que actúa como supervisor y monitoreador de la información de las variables eléctricas relacionadas con el equipo construido.

Es importante tomar en cuenta que, si bien el equipo opera con un Computador Personal, éste no es absolutamente imprescindible, pues el sistema construido proporciona un método de ingreso de datos accesible y comprensible para un operador a través de un teclado independiente. En la Figura N.2.1, se muestra en diagrama de bloques el sistema de control en general en el cual se pueden apreciar las diferentes etapas que lo constituyen (así como los parámetros que pueden ser externamente ajustados).

El sistema básico de control está implementado en el bloque denominado CONTROL MAESTRO, compuesto por el MICROCONTROLADOR UC 8751, el cual realiza funciones esenciales como:

- Generación de pulsos de disparo (según una correcta inicialización).
- Selección de sincronismo, tipo de convertidor estático.
- Comunicación serial (transmisión/recepción con el computador personal).
- Manejo de teclado y displays.
- Supervisión y monitoreo de fallas ya sea de identificación del equipo, ausencia de fase o simplemente de operación del ^{inverso} convertidor estático (sobre corriente o sobrevoltaje).

Por otro lado, en el circuito de control maestro, se ha implementado la conversión análogo/digital de 8 canales multiplexados, los mismos que forman un completo sistema de adquisición de datos analógicos externos del equipo. En síntesis, este bloque comprende a los siguientes componentes:

- Microcontrolador i8751H

UNIFICACION
SIAL

Cp. contactor Principal

→ POS

→ NEG

→ N

ESCUELA POLITECNICA NACIONAL
FACULTAD DE INGENIERIA ELECTRICA

Realizado por: Xavier Vinjeza H.
Revisado por: Ing. Bolivar Ledesma G.

CONTROL DE CONVERTIDORES AC-DC CON COMPUTADOR

Size	Document Number	Figura N.2.1	REV
B	ESQUEMA GENERAL		

Date: January 1, 1980 Sheet of

- Drivers para los pórticos P0 y P2.
- (Interfase de voltaje del RS-232 al microcontrolador).^{no}
- (Decodificador BCD a 7 segmentos).
- (Micro switch de ingreso de identificación).^{no}
- Relé de estado sólido para manejar contactor principal.
- (Displays).^{no}
- (Resistencias de limitación de corriente).^{no}
- (Leds de señalización).^{no}

La tarjeta de sincronismo está comprendida, entre otros dispositivos, de un arreglo de diodos que permiten obtener pulsos de interrupción para el microcontrolador. Estos pulsos en mención constituyen la interrupción de más alta prioridad en el microcontrolador.^{no}

En la parte de adquisición de datos, tenemos las etapas de acondicionamiento de las señales que van a ingresar por los canales analógicos. Dos canales (el 0 y el 1) son destinados exclusivamente para sensar corriente y voltaje instantáneos ^{al voltaje de la batería, al voltaje de la red pública} ^{es} ^{en la cable del motor} respectivamente en la salida del conversor estático de potencia; (las seis restantes se dividirán en 2 negativas y 4 positivas, con niveles de voltaje de 0 y ± 10 Voltios como máximo respectivamente y con la misma referencia del microcontrolador).^{no}

En la Unidad de Potencia, el bloque que contiene el símbolo de un tiristor, representa el módulo conversor estático AC-DC utilizado. Este ^{El} ^{inversor} ^{batería} conversor se alimenta de la red trifásica pública, a través de un breaker, contactor principal, y fusibles. (El selector de sincronismo permite la elección entre los esquemas de conversor AC-DC trifásicos y monofásico mencionados anteriormente para así tener la apropiada señal de sincronización para el microcontrolador).^{no}

La Unidad de Control se alimenta de energía de la red monofásica a través de un pequeño transformador, el mismo que

(permite tener niveles de voltajes de polarización. En esta unidad existe un circuito maestro que determina la secuencia de operación del sistema con los siguientes pasos y estado de funcionamiento:

Apagado (1).- El equipo se encuentra totalmente desenergizado, incluidas las unidades de control y potencia. En este estado podemos encender el computador personal el mismo que se alimenta de una red monofásica totalmente independiente. En el computador personal se procede a inicializar estados de operación tales como: identificación del equipo, inicialización del convertor A/D, tipo de convertor estático, inicialización de voltaje y corriente máximas de salida, etc.

Stand by (2).- En este punto, el breaker ha sido cerrado y el circuito de sincronización empieza su funcionamiento enviando pulsos al control maestro que aún está desenergizado, lo mismo que la unidad de potencia cuyo contactor principal está abierto. Es necesario, por la característica misma del esquema implementado en el microcontrolador que antes de energizar al control maestro, los pulsos de sincronización ya estén presentes pues se tratan de interrupciones de alta prioridad, caso contrario, el microcontrolador estará continuamente en un lazo de rutina de interrupción. En este instante, podemos encender el circuito de control mediante un switch localizado en la parte lateral izquierda del equipo.

Unidad de Control Energizada (3).- En este punto, se activan inmediatamente los siguiente circuitos: de alimentación, de protección y filtrado, de control maestro y también el ventilador encargado de mantener una temperatura apropiada en el interior del equipo evitando así posibles sobrecalentamientos.)¹⁰

Por otro lado el mismo programa del microcontrolador asegura que: el contactor principal permanezca abierto desde el

instante en que se enciende el equipo. ^{no} que el ángulo de activado sea de 180 grados así, si el contactor principal estuviera cerrado el voltaje del conversor estático será de 0 voltios. ¹ Esto permite que se puedan examinar los pulsos de las compuertas sin el riesgo que supone tener energizada la Unidad de Potencia.

^{no} Operación 'Total del Sistema (4).- En este estado el sistema completo entra en funcionamiento por accionamiento del contactor principal, ya sea por medio del Computador Personal o por el Teclado independiente. El set de instrucciones o comandos programados tanto en el microcontrolador (assembler), como en el Computador Personal a través de un teclado y un menú especialmente diseñado en QBASIC respectivamente entran en funcionamiento.

Una vez encendido el circuito de control se determina entonces el tipo de alimentación (monofásica o trifásica), la secuencia de fases, falla de ausencia de fase, identificación del equipo, inicialización de registros de control propios del microcontrolador, asignación de prioridades, generación del baud rate de 9600, y finalmente, habilitación de las interrupciones tales como: de Sincronismo, del Angulo de disparo, serial, y de Teclado.

Con alimentación trifásica, la interrupción de sincronismo es un tren de pulsos con período de 120 grados mientras que con monofásica la señal de sincronización presenta a los flancos de bajada cada 360 grados como fuente de interrupción; en ambos casos, esta interrupción se detecta por flanco. ^{no}

La interrupción del ^{encendido de transistores} ángulo de disparo ^{la unica y} es conjuntamente con ^{encendido} la anterior la de máxima prioridad por el hecho mismo de corresponder al instante en que se procede a ^{no} disparar los ^{transistores} tiristores que en ese momento deben activarse. (La interrupción serial permite la comunicación del equipo con el Computador Personal tanto para transmisión como para recepción! ^{no})

La interrupción de Teclado es la de más baja prioridad; permite solamente ingresar datos del exterior y se ha hecho de tal manera que la mayoría de instrucciones o comandos que han sido implementados en el microcontrolador, puedan ser ejecutadas desde éste; además, su implementación ha evitado que el computador personal sea imprescindible para poner en funcionamiento al equipo. En los instantes en los que no hubiera interrupción alguna, el programa entra en un lazo en el cual se procede a realizar las siguientes tareas: actualiza el último dato de alfa (ángulo de disparo) recibido y genera los pulsos para las compuertas; se muestra en el display el valor BCD del último dato ingresado; si un comando ha sido requerido, se atiende a su ejecución, ^{no} se leen los valores de voltaje y corriente en la salida del ^{convertidor} conversor y se los comparan con los valores máximos ingresados al inicio de la operación del sistema de modo que si se exceden los valores máximos, entonces se atiende a una falla de sobrecorriente o sobrevoltaje.

El Control Maestro al recibir información de falla de cualquiera de los detectores mencionados, ^{envía} envía una señal al computador personal y al display e) ^{inmediatamente} (inmediatamente ubica el ángulo de disparo en 180 grados) ^{no} luego abre el contactor principal ^{no} regresando al estado de Stand By (2); si la falla persiste entonces el microcontrolador estará continuamente enviando señales de falla al computador personal y al display, ^{no} caso contrario el mismo programa se direccionará a su inicio y empezará una vez más su tarea. ^{no} Por el lado del computador personal, el programa que se ha diseñado permite que cada vez que una falla se presenta, identifica la misma, la muestra en pantalla y luego el menú se muestra en el estado justo antes de cerrar el contactor principal con todas las condiciones que se requieren para iniciar otra vez la operación) ^{no}

^{no} (Por el lado del Computador Personal, se ha implementado un programa que permite escoger opciones en una jerarquía determinada por la secuencia de operación del sistema. Para

este efecto, el menú habilita y deshabilita opciones dependiendo de la ocurrencia de otros. Así por ejemplo: no se puede operar el equipo desde el computador personal sin antes haberlo identificado correctamente. Al ejecutar el programa, se debe ingresar datos de inicialización del sistema como: identificación, tipo de alimentación, tipo de convertor, canal analógico que va a ser leído, número de datos a leerse, etc.)^{u2}

Finalmente, otra opción le permite al usuario conocer si la red de alimentación es trifásica o monofásica, también puede enterarse de la secuencia en el caso de ser trifásica la fuente. Finalmente, la etapa de operación del sistema permite al usuario ejecutar una acción en el equipo ya sea referente a la operación misma del convertor AC-DC o del sistema de adquisición de datos; en esta última, existe la opción de variar los parámetros de inicialización de este sistema de tal forma que pueda apreciarse permanentemente la evolución de un variable durante la operación del equipo.)^{u2}

2.3 DISEÑO DEL CIRCUITO DE POTENCIA.

2.3.1 Diseño del convertor estático AC-DC. ^{u2}

Las especificaciones mostradas en el numeral anterior, es decir, una corriente media de 20 A y una máxima de 25 A, y un voltaje de 220 V_{RMS} (voltaje entre líneas de alimentación

al convertor), exigen que el convertor estático AC-DC de estado sólido escogido sobrepase estos requerimientos.

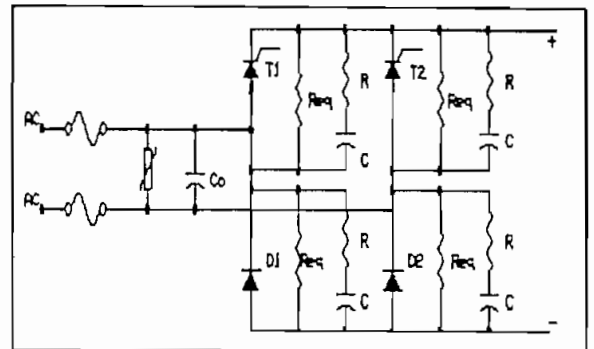
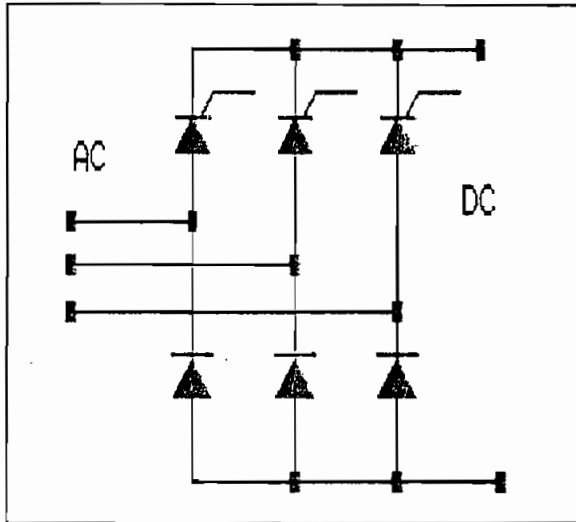


Figura N.2.2 Módulo de potencia Figura N.2.3 Convertor semicontrolado monofásico.

El convertor (MÓDULO DE ESTADO SÓLIDO), está montado sobre un disipador de calor, y muy cerca de él se halla un ventilador encargado de expulsar aire caliente del interior del equipo, hacia el exterior. La Figura N. 2.2, muestra el esquema de conexiones interno del módulo de potencia. El diseño del convertor se basará en el convertor semi-controlado tipo puente monofásico como se muestra en la Figura N. 2.3; se toma esta configuración por ser aquella en la que los elementos deben soportar un valor de corriente mayor que en cualquiera del resto de configuraciones.

En los esquemas de convertidores semicontrolados, el diodo de conmutación estará siempre presente. El dimensionamiento de los tiristores de potencia se realizará sin tomar en cuenta el diodo de conmutación.

Si la corriente que entrega el convertor bajo régimen permanente de conducción continua es de un valor I_d , cada elemento del puente conducirá esa corriente durante medio

periodo de línea y el otro período permanecerá bloqueado. Por lo tanto, la corriente media en cada elemento es:

$$I_{media} = \frac{I_d}{2}$$

y la corriente RMS a través del elemento será:

$$I_{rms} = \frac{I_d}{\sqrt{2}}$$

Si la corriente máxima del convertor es de 25 A, entonces:

$$I_{media} = 12.5 \text{ A}$$

$$I_{rms} = 17.6 \text{ A}$$

El valor máximo de voltaje que debería soportar cada elemento en estado de bloqueo es igual al valor pico del máximo voltaje entre líneas de alimentación especificado para el equipo. Esto es:

$$V_{AKmax} = 220 * \sqrt{2} * 1.1 = 342.2 \text{ V}$$

Para que la operación del convertor resulte confiable es necesario sobredimensionar la capacidad de los elementos que lo constituyen ya que estos son susceptibles a daños. El grado de sobredimensionamiento debe ser el mayor posible dentro de los límites impuestos por el incremento en los costos de los componentes en el mercado a medida que las características mejoran. Para el caso de convertor trifásico, los elementos ya calculados resultan sobre dimensionados. En este trabajo, se utiliza un módulo convertor AC-DC con características de voltaje y corriente que sobrepasan los requerimientos máximos calculados (Para mayor detalle, ver el anexo B(manual POWEREX)). Así se tiene que:

Modulo convertor AC-DC de estado sólido:

PRX Tipo: CE420460

N.- : 6D2101

I máxima del módulo = 50 A

V_{drn} del módulo = 600 V

A continuación se detalla brevemente el diseño de las distintas configuraciones de los convertidores estáticos de potencia utilizados, para luego proceder a diseñar los circuitos de sincronización tanto trifásico como monofásicos utilizados en el presente trabajo. El circuito de control, por su característica digital será explicado en el siguiente capítulo.

- Convertidores AC-DC, Semicontrolado trifásico, ^{no} semicontrolado monofásico, controlado trifásico de media onda.

La Figura N.2.2 ^o ~~mo~~stró el esquema del módulo de estado sólido, el mismo que puede conectarse en las configuraciones antes mencionadas. Para la configuración del semicontrolado trifásico, se conectan las tres fases (RST) y los pulsos de compuerta reciben todos los tiristores. El voltaje de salida se lo toma normalmente de los terminales + y - del módulo.

Para el caso semicontrolado monofásico, se conectan las fases R y S con T desconectada, los pulsos llegan solamente a las compuertas de los tiristores de las fases R y S quedando la de T deshabilitada. El voltaje de salida se lo toma normalmente de los terminales + y - del módulo.

Para el caso controlado trifásico de media onda, la alimentación llega con tres fases (RST), los pulsos llegan para las tres compuertas, pero, la salida se la toma entre el terminal positivo del módulo y el terminal de neutro de la alimentación.

2.3.3 Diseño de los Circuitos de Protección y Filtrado.

^{no} (En paralelo a cada uno de los elementos del convertidor

estático de potencia (diodos o tiristores) se ha colocado una resistencia (red ecualizadora) y una red compuesta por un condensador en serie con una resistencia para limitar el dv/dt . El cálculo de esta resistencia se realiza en base a la corriente inversa del elemento y el máximo voltaje aplicado cuando se encuentra en bloqueo. De esta manera, en paralelo a cada tiristor o diodo del equipo construido se ha colocado una resistencia de 36K (1/2 W) considerando un voltaje inverso máximo de $\sqrt{2} * 220$ V y una corriente inversa de máximo 1 miliamperio.

El método más generalizado para limitar la velocidad de subida de voltaje consiste en la colocación de una red R - C tal como se muestra en la Figura N. 2.3. Un método sencillo y bastante aproximado para estimar los valores de R y C, en función de las características y la corriente que circula por cada tiristor, se basa en los siguientes ecuaciones que presenta propone la casa Siemens: (ver anexo C)

$$C = 2.5 \frac{nF}{A} I_T * 2 \quad (3)$$

$$R \gg \frac{2/3 V_{DRM}}{I_{TM}} * 1/2 \quad (4)$$

donde:

I_T = corriente media por el tiristor. = 20 A

V_{DRM} = voltaje máximo repetitivo del tiristor. = 600 V

I_{TM} = corriente máxima del tiristor. = 50 A

Los valores de resistencia y condensador que más se acercan a los calculados son : C = 0.1uF y R = 56Ω 2W.

Para atenuar los transitorios provocados por la conmutación de los tiristores se ha colocado entre las líneas de entrada, condensadores de 0.1 μF / 600V y varistores tipo ZNR 20K361 cuyas especificaciones se pueden ver en el anexo C. Respecto a la temperatura de operación, ésta debe permanecer dentro de valores seguros para evitar que los esfuerzos térmicos en el cristal de silicio puedan dañar a los elementos, este cuidado se lo tiene cuando se trabaja con elementos semiconductores individuales; pero, en este trabajo se va a utilizar un solo elemento semiconductor de potencia (convertor estático de estado sólido), que a su vez lleva en su interior elementos semiconductores (diodos y tiristores) que corren el peligro de dañarse, y si tan sólo uno de ellos falla, el módulo en su totalidad tendrá que ser reemplazado, incurriendo así en gastos elevados.[3]

No existe una fórmula definida para el diseño y la selección de los disipadores, en la mayoría de los casos se ha recurrido a resultados experimentales de transferencia de calor para diferentes tipos y formas de materiales. Podemos citar ciertas reglas que nos permiten seleccionar un disipador de calor en menor tiempo.

El disipador escogido es de aluminio anodizado (pintado color negro mate) de aletas verticales, planas y a un solo lado sus dimensiones son de 130 x 100 x 34. En su acción de transferir el calor al exterior, este disipador es ayudado por un ventilador colocado justo en la dirección de las aletas para que la velocidad de circulación de aire permita al disipador estar en un estado normal de temperatura.)^{uv}

Los fusibles de protección del convertor estático deben ser de acción rápida frente a una corriente de falla; además, deben cumplir con una efectiva limitación de corriente y alta capacidad de ruptura frente a un cortocircuito.[10]

Las especificaciones de I^2t del fusible y del tiristor deben cumplir:

$$I^2t_{\text{fusible}} < I^2t_{\text{tiristor}}$$

Entre las especificaciones de los fusibles podemos citar:

- Corriente de operación.
- Voltaje de Ruptura.
- I^2t
- Tiempo de arco t_a
- Tiempo de fundición t_m
- o relación entre t_a y t_m

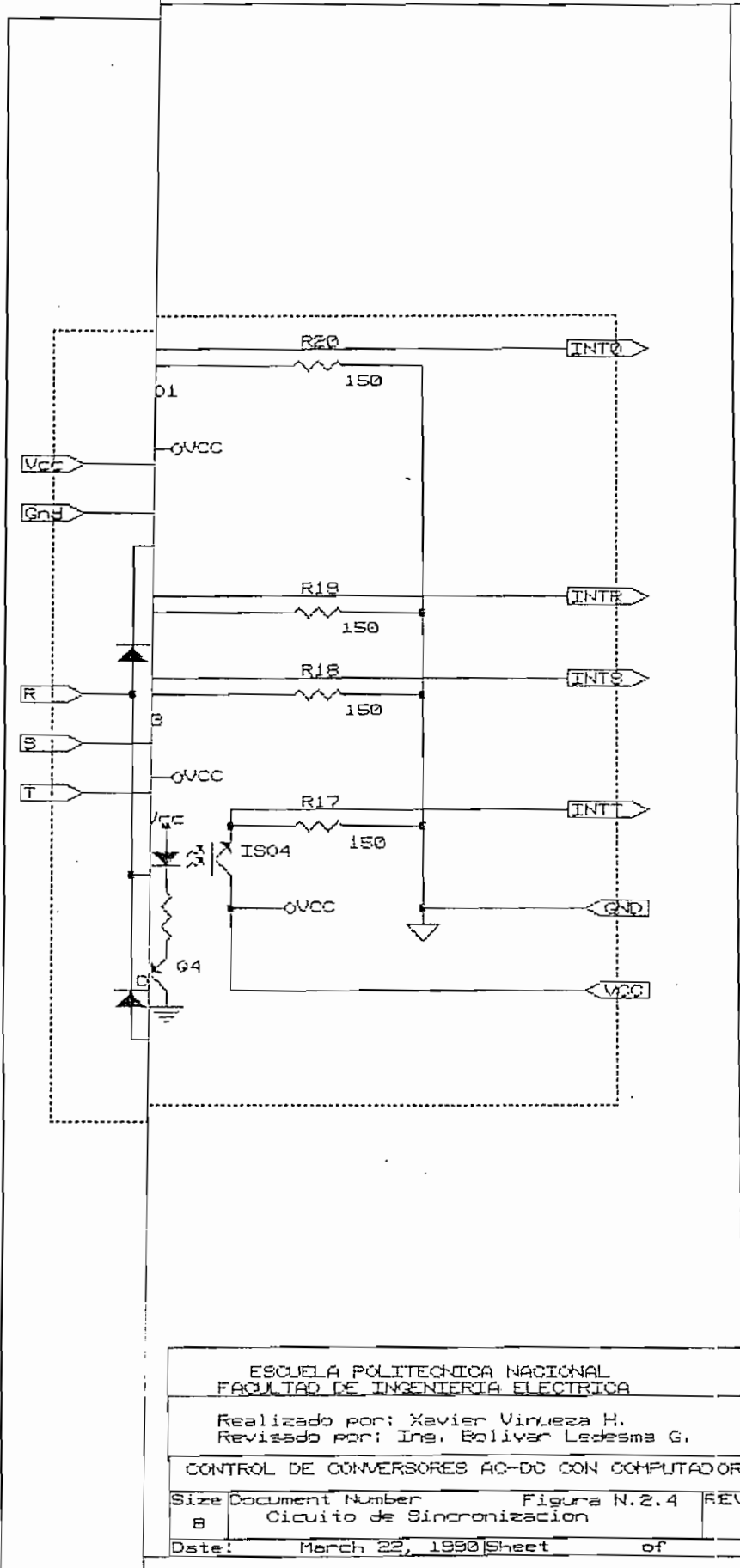
Lamentablemente, el mercado local no ofrece fusible de acción rápida para protección de semiconductores y tampoco se puede conseguir información técnica de los convencionales. En todo caso, la carencia de información requerida puede ser superada considerando el hecho de que los elementos de potencia han sido sobredimensionados en su capacidad de corriente. Entonces, los fusibles han sido seleccionados en base a la máxima corriente RMS (17.6 A) que circula por cada línea que alimenta al convertidor. En el mercado se consiguió fusibles de 20 A. Los breakers que se han utilizado para protección de sobrecargas (acción térmica) también son dimensionados bajo las anteriores referencias. [11]

El contactor Principal utilizado para interrumpir la energía del convertidor tiene una bobina de 125 VDC por lo tanto se hizo necesario un rectificador AC-DC. Las especificaciones del contactor utilizado son:

Bobina ... 125 VDC/ 2 A
 Contactos.. 220 VAC 20 A

2.3.2. Diseño del circuito de sincronización.

El método de sincronización es parte vital en esta clase de sistemas microprocesados ya que constituyen una de las interrupciones de más alta prioridad; por lo tanto, su circuito debe ser exacto y confiable. Dado que la



ESCUELA POLITECNICA NACIONAL
 FACULTAD DE INGENIERIA ELECTRICA
 Realizado por: Xavier Vinjeza H.
 Revisado por: Ing. Bolivar Ledesma G.
 CONTROL DE CONVERTORES AC-DC CON COMPUTADOR

Size	Document Number	Figura N.2.4	REV
B	Circuito de Sincronizacion		
Date:	March 22, 1990	Sheet	of

sincronización es externa, ésta depende del tipo de fuente alterna (voltaje fijo, frecuencia constante); las variaciones de la frecuencia de la red influirán en el funcionamiento del circuito de sincronización y de todo el sistema en general.

- Sincronización Trifásica.

El circuito de sincronización (un arreglo de diodos que forman un puente no-controlado incompleto) mostrado en la Figura N.2.4 tiene la finalidad de obtener las señales mostradas en la Figura N.2.5. de esta manera se obtienen los puntos de referencia en los cuales empieza el retardo de tiempo en el activado de un tiristor dependiendo del estado de las fases.

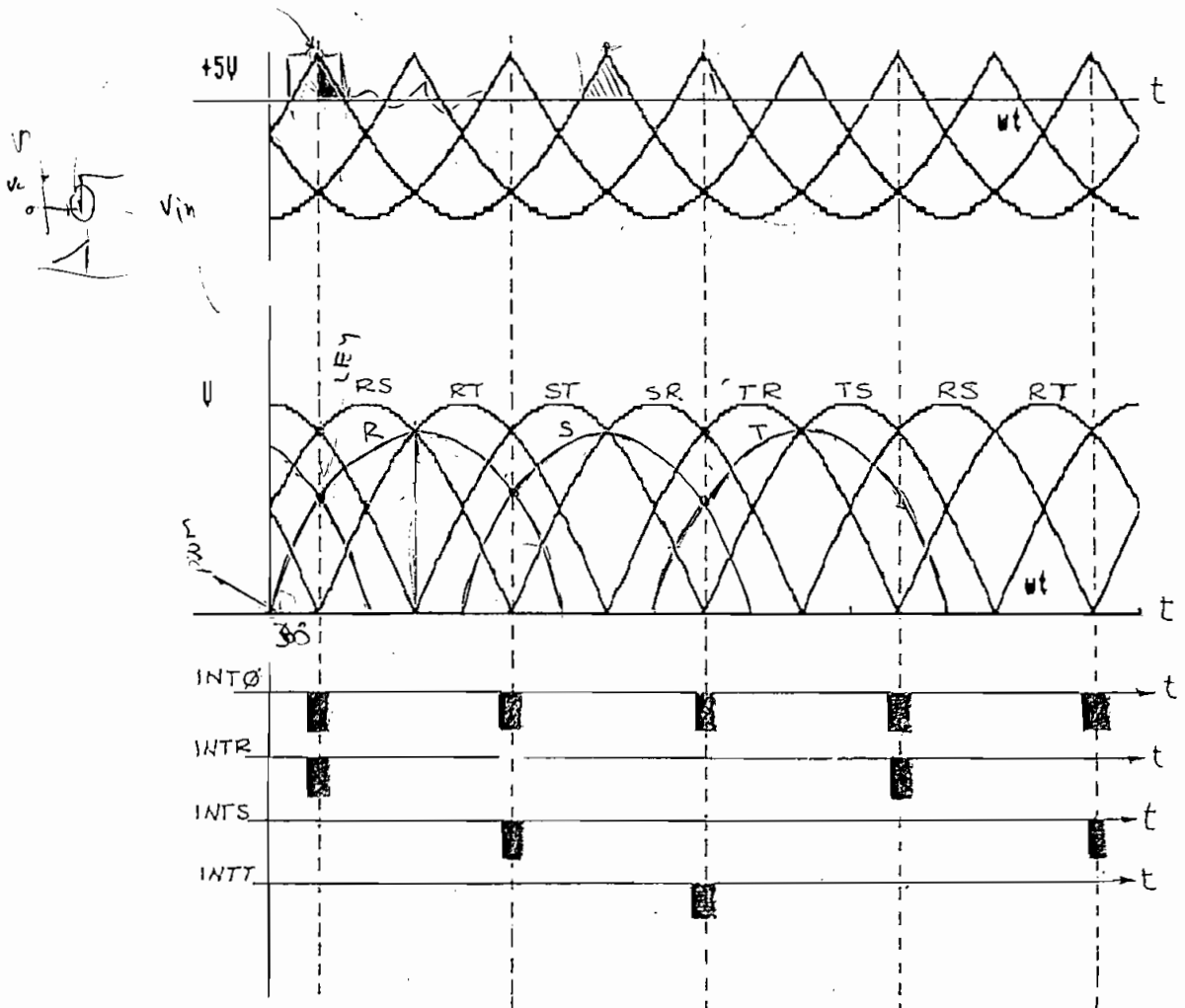


Figura N.2.5 Señales de sincronización trifásica.

Se pretende entonces obtener los pulsos de sincronización correspondientes a cada una de las fases y además una que represente la interrupción de más alta prioridad. Estos pulsos son cuadrados, aislados y enviados al circuito de control maestro.

A cada una de las salidas de estos puentes incompletos se ha colocado redes resistivas para tomar muestras de voltaje. Estas muestras son sumadas a una fuente de +5V totalmente independiente del resto del sistema por lo tanto la referencia de este muestreo es la de la fuente y no el negativo de la salida del puente. Con la suma de las dos señales se logra que los picos de cero voltios suban a +5V. El resto de voltaje que permanece negativo es eliminado gracias a los diodos D10, D11, D12, protegiendo así a la compuerta Smith Trigger que se utiliza para cuadrar bien los picos.

Los pulsos de cada fase tendrán un periodo de 360° y a su vez estarán defasadas 120° una de la otra. Se toman las tres señales y formamos una compuerta AND con ellas con la ayuda de los diodos D13, D14, D15; así lograremos obtener un tren de pulsos de periodo de 120° , este tren a su vez se cuadra bien a través de dos Smith Trigger y se lo envía al circuito de control maestro a través de optoacopladores para aislar referencias.

- Sincronización Monofásica.

Para la sincronización monofásica se utiliza la misma configuración de la Figura N.2.4. La diferencia radica sólo en la conexión de entrada al circuito por medio del selector de sincronismo, como se muestra en la Figura N.2.6.

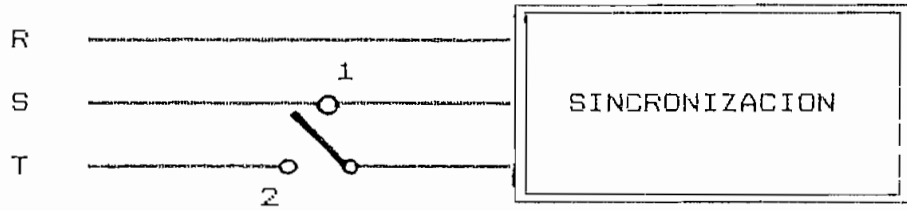


Figura N. 2.6 Selección de Sincronismo

Para el caso monofásico, se interrumpe la fase T y entra al circuito de sincronización las fases R y S. Cabe señalar que esto se realiza en pequeña señal mas no en potencia; al convertor estático seguirán llegando las tres fases. Las señales que se obtiene con esta modificación son las que se muestran en la Figura N.2.7, y como en el caso trifásico, el flanco negativo de la señal INTO seguirá siendo el tipo de detección de interrupción.

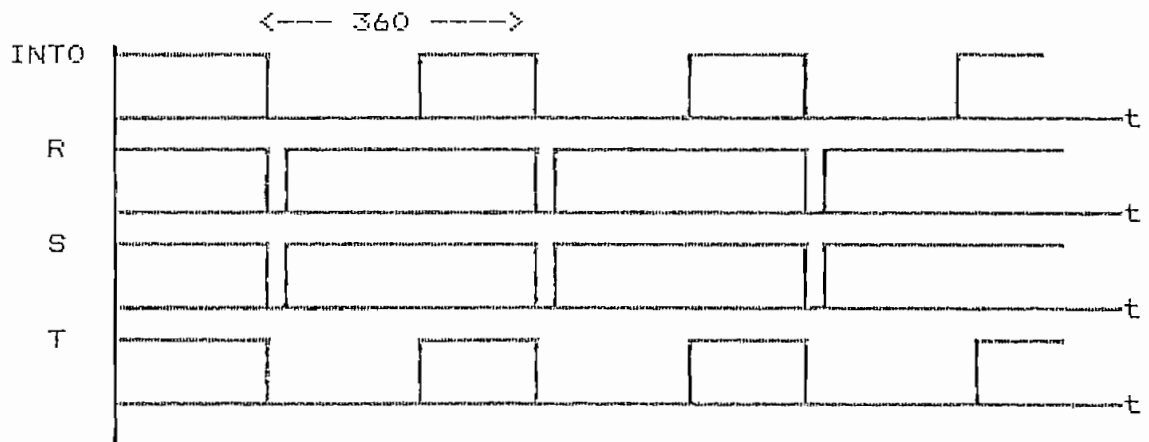


Figura N. 2.7 Sincronización Monofásica

2.4 DISEÑO DEL CIRCUITO DE CONTROL MAESTRO.

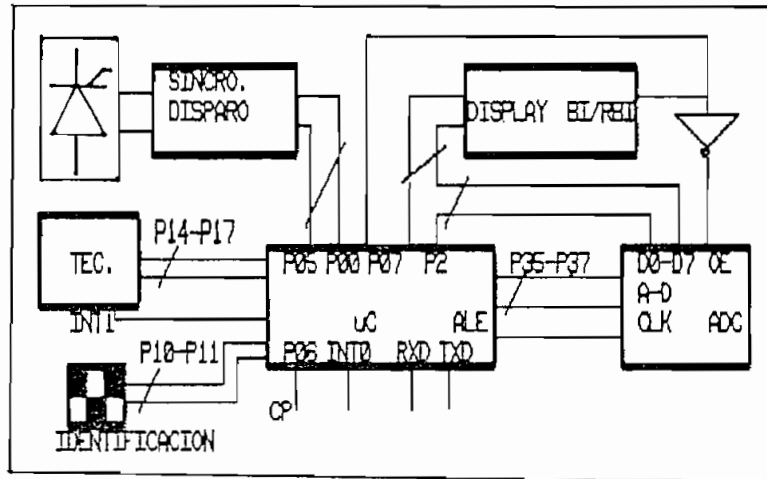


Figura N.2.8 Control maestro.

Este circuito, como se lo ha llamado, constituye la parte central del presente trabajo pues por éste pasan todas las señales de protección, monitoreo, y control de todo el sistema. Este circuito de control maestro está constituido por el microcontrolador i8751, el mismo que es su principal elemento. La Figura N.2.8 muestra en bloques los elementos que rodean al microcontrolador en sus distintas funciones.

2.4.1 Circuito del microcontrolador.

Este dispositivo ha sido instalado con todos los elementos necesarios para su correcto funcionamiento dependiendo de los requerimientos del sistema global (reloj de 7.3728 MHz, fuente de +5 V / 1 A). El pòrtico 0 está destinado a sincronización y disparo del convertor estático (P0-P05), P06 activa el contactor principal y P07 selecciona DISPLAY o CONVERTOR A/D. El pòrtico 2 es compartido por display y convertor A/D. El pòrtico 3 comparte funciones de teclado, transmisión serial, señalización y selección de un canal del convertor A/D.

En la Tabla III se presenta un resumen de la función que realiza en esta aplicación, el número de pin y su descripción,

de cada uno de los pines del microcontrolador.

Considerando el hecho de que la capacidad de corriente que el microcontrolador puede dar es muy pequeña, se hizo necesario utilizar algunos circuitos integrados capaces de suplir la corriente suficiente como para manejar displays, leds, o simplemente para acoplar impedancias. Se han utilizado dos tipos de Drivers; el UDN 2981A, que es no inversor y puede dar hasta 600 mA, y es compatible con niveles TTL; y el ULN 2003A, que es inversor y puede absorber hasta 300mA.

Para señalización, estos drivers entregan corriente a led por medio de resistencias de limitación. Solo en el caso de señalización de transmisión / recepción serial esta resistencia se ha puesto de 18 ohmios debido a que la relación de trabajo es muy pequeña a causa de la alta velocidad de transmisión de datos entre el uC y el PC.

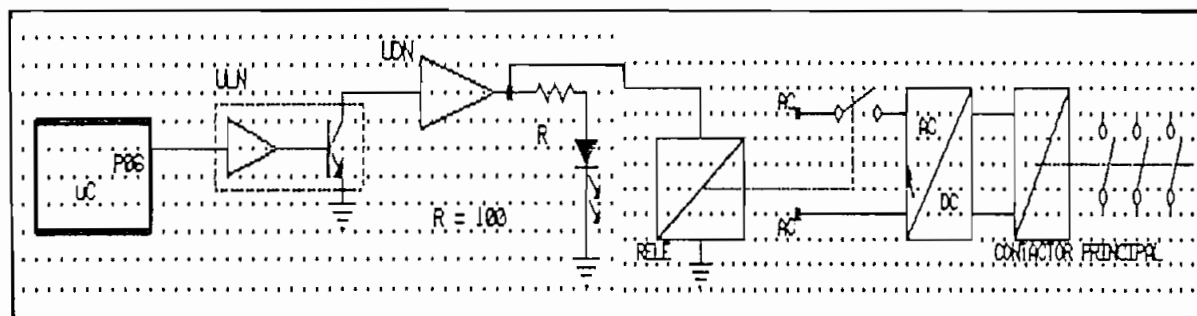


Figura N.2.9 Contactor Principal

En el caso del manejo del contactor principal, cabe señalar que en el instante en que el uC recibe una señal de reset, todos sus pórtilos se ponen en "alto"; por lo tanto, si el contactor principal se activara con "alto" ¿usaría problemas de cierto riesgo en potencia. Para evitar estos problemas se implementó el esquema que se muestra en la Figura N.2.9.

Pin #	Desc.	Funcion
32	P00	Compuerta de fase R
33	P01	Compuerta de fase S
34	P02	Compuerta de fase T
35	P03	Sincronizacion de R
36	P04	S
37	P05	T
38	P06	Contactador Principal act./dest.(0/1)
39	P07	Display/conversor A/D (1/0)
1	P10	LSB de identificacion
2	P11	MSB de identificacion
3	P12	Senalizacion MONOFASICO
4	P13	Senalizacion Secuencia
5	P14	LSB de teclado
6	P15	----- teclado
7	P16	----- teclado
8	P17	MSB de teclado
1-28	P2	Display y conversor A/D
10	P30	RXD Portico de comunicacion Serial
11	P31	TXD Portico de comunicacion Serial
12	P32	INT0 Interrupcion de sincronizacion
13	P33	INT1 Interrupcion de teclado
14	P34	T0 Senalizacion TRIFASICO
15	P35	T1 LSB de direccion conversor A/D
16	P36	WRconversor A/D
17	P37	RD MSB.....conversor A/D
9	RST	Reset
18-19	X1-X2	Cristal
20	GND	Tierra
30	ALE	Frecuencia para el conversor A/D
31	EA/VP	Pin de programacion (a 1 _L)

TABLA III Descripcion de los pines del uC 8751

2.4.2. Manejo de Display y Teclado.

Para manejar el display, se ha hecho uso de todo el portico 2 (compartido con el conversor A/D). El dato a mostrarse, se coloca en este portico en codigo BCD en los pines P20, P21,

P22, P23, en el orden 1, 2, 4, 8 respectivamente. Este dato, pasa a un decodificador BCD a 7 Segmentos (CD4511BE); estos 7 segmentos a su vez van a un driver UDN 2981A, finalmente y por medio de resistencias limitadoras de 68 ohmios, se conectan los 7 segmentos de los displays que son de cátodo común (ver Figura N.10). Los pines P24, P25, P26, y P27 sirven para realizar un barrido del display (cátodos) según el dato que esta presente en los cuatro pines primeros. El barrido se realiza por medio de cuatro drivers ULN 2003A conectados con los cátodos comunes de los displays.

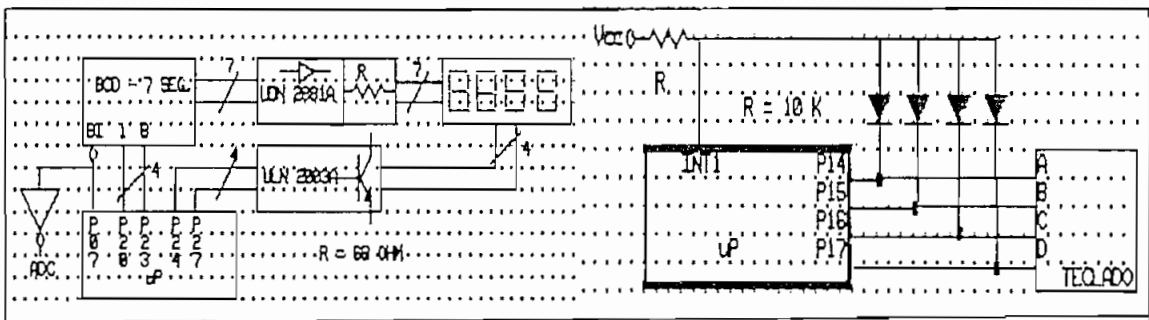


Figura N.2.10 Display y Teclado

Por parte de teclado, fué necesario disponer de los pines P14, P15, P16 y P17; éstos reciben el dato del decodificador de teclado (ver Figura N. 2.10) en código BCD. El circuito decodificador de teclado está montado justo detrás de éste en la parte frontal del equipo. Antes de ingresar al uC, el dato de teclado es tratado con una configuración de diodos, los mismos que permiten obtener la señal de interrupción de teclado (INT1); es decir, se producirá un flanco negativo en esta señal siempre que una tecla sea presionada, sea cual fuere ésta.

2.4.3 Esquema de comunicación serial

Para una correcta comunicación serial entre microcontrolador y computador personal, fué necesario un interfase de voltaje; éste, debe cambiar de 0V - +5V (uC) a -12 - +12 (PC) y

viceversa. El elemento encargado de esta función es el circuito integrado MAX232 con la ayuda de condensadores externos. (ver Figura N.2.11).

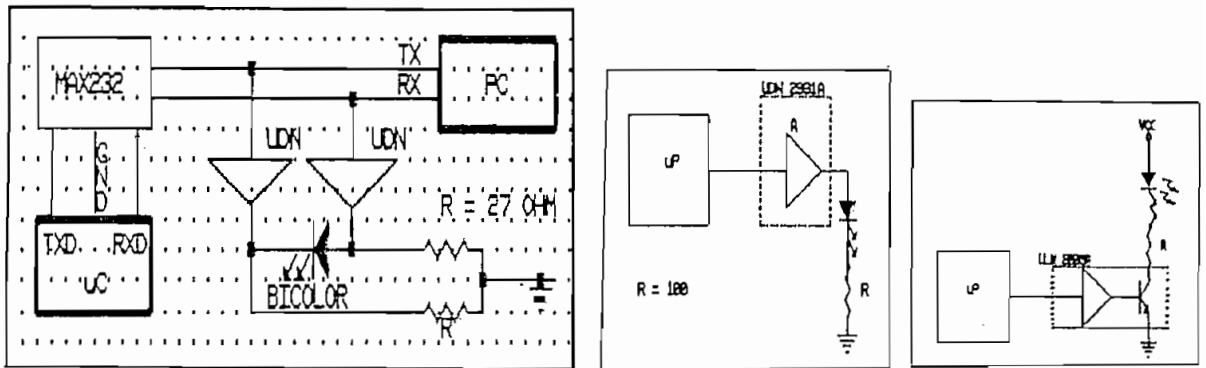
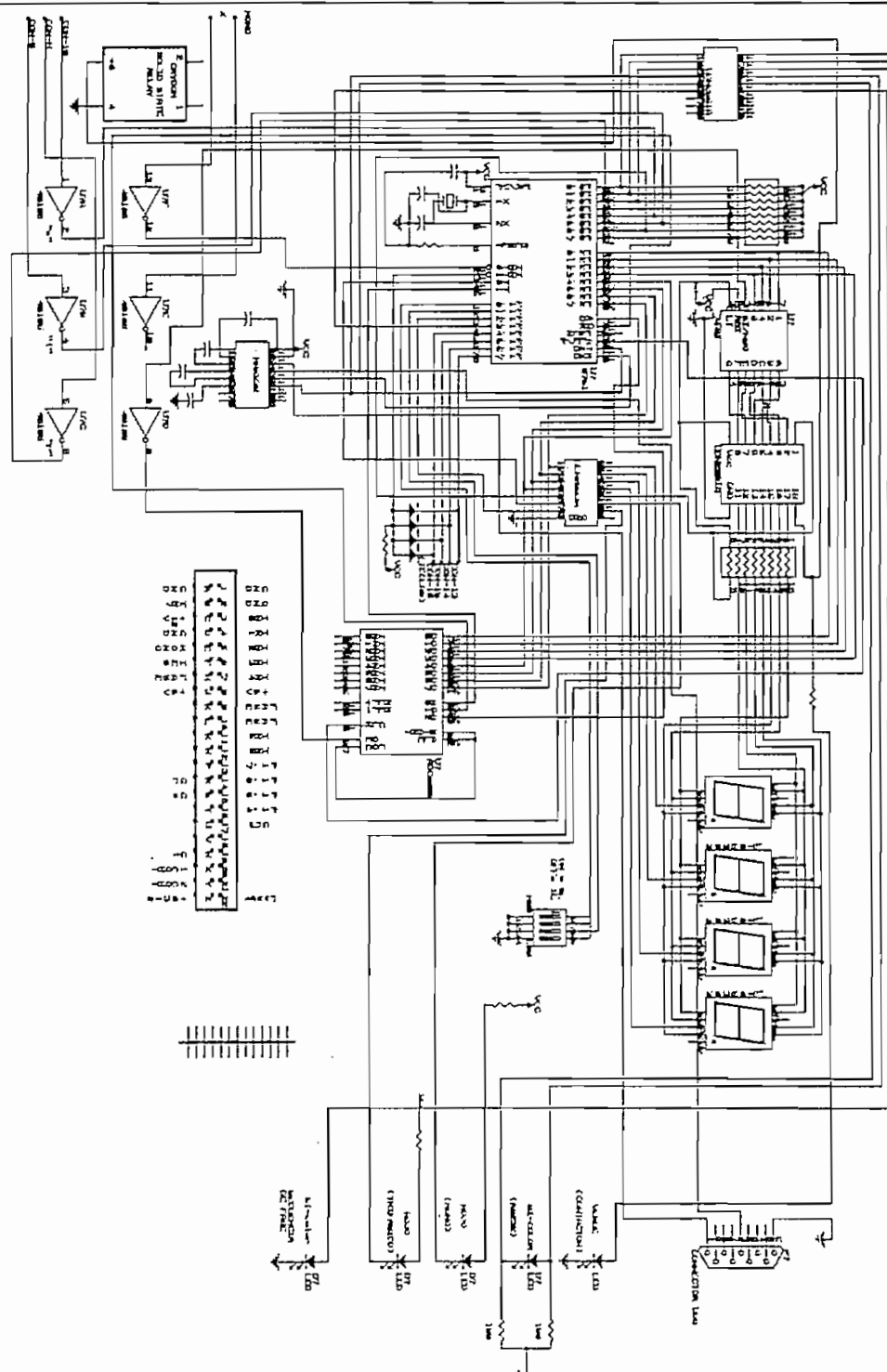


Figura N.2.11 Comunicación Serial y Señalización.

Finalmente, existe también en el circuito de control maestro elementos adicionales que sirven para acondicionar señales; así por ejemplo, el integrado 74C14 (Hex Inverter Smith Trigger) cuadra las señales de sincronización que vienen del circuito de sincronización. Hay un relé de estado sólido de niveles TTL que maneja a la bobina del contactor principal. Por último se tiene un dip switch que permite seleccionar la identificación del equipo.

2.5 DISEÑO DEL SISTEMA DE ADQUISICION DE DATOS

El sistema de adquisición de datos analógicos del exterior está conformado por el conversor A/D (ADC 0809) y todo el hardware relacionado con el acomodamiento de las señales a recibirse del exterior. (ver Figura N.2.12). El circuito que acondiciona las muestras de voltaje se presenta en la Figura N.2.13.



0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

En la Figura N.2.13a se muestra el circuito del microcontrolador implementado con la técnica de WIRE WRAP en una tarjeta VECTOR.

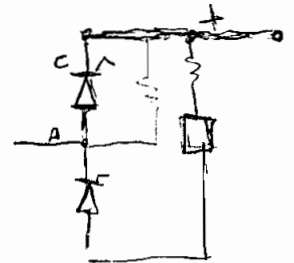
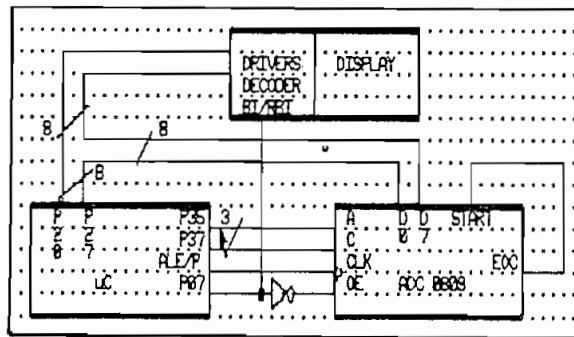


Figura N.2.12 Conversor A/D

Los canales 0 y 1 son reservados exclusivamente ^{inversor} para sen corriente y voltaje en la salida del conversor estático de potencia respectivamente; la señal de corriente se toma con una resistencia de prueba (shunt) de 0.01 Ω / 4 W (ó 20A 0.2V) en la salida del ^{inversor} conversor AC-DC con referencia en los cátodos (terminal positivo del conversor), por tanto esta señal es negativa, con rizado y frecuencia de 180 Hz (60Hz x 3 pulsos para el caso trifásico y 120 Hz para el monofásico). Es necesario entonces, filtrar la señal, amplificarla e invertirla; luego, se procede a aislar las referencias, tanto la de la muestra (potencia) como la del microcontrolador (control), para esto se utiliza la técnica de PWM (con la ayuda del integrado LM3524) a una frecuencia de 1KHz y se transmite la señal con o ptoacopladores (4N28); como etapa final, se han implementado amplificadores operacionales (LM324) a modo de buffers y limitadores de voltaje a un máximo de +5V, para así conectar las señales al conversor A/D (ADC0809). Idéntico tratamiento recibe la señal de voltaje de salida del conversor estático de potencia.

Las seis restantes señales que pueden ser ingresadas se clasifican en: dos negativas y cuatro positivas de amplitud 10V. Todas las seis serán acondicionadas a niveles de +5V con

referencia idéntica a la del microcontrolador por lo que se recomienda el debido cuidado con estas señales; las negativas serán invertidas por medio de operacionales; las positivas, serán solo cambiadas de nivel.

Una vez obtenidas las señales apropiadas, con sus niveles de voltaje apropiados y sus referencias aisladas (en las dos primeras solamente), éstas ingresan al conversor A/D el mismo que estará en conversión continua. Según el direccionamiento dado por el microcontrolador, uno de los 8 canales será convertido a digital; esta señal digital será leída por el pórstico 2 del micro. No está por demás insistir que en el programa principal del microcontrolador se estará constantemente monitoreando los canales 0 y 1 del conversor A/D y comparando con valores nominales de trabajo; en caso de existir sobrecorriente o sobrevoltaje, entonces se procederá a tomar cuenta de acciones de protección frente a este tipo de falla.

2.6 DISEÑO DE CIRCUITOS AUXILIARES.

Los circuitos auxiliares que han ayudado para el correcto funcionamiento del equipo, constituyen: Circuito de alimentación y Circuito de filtrado y disparo.

2.6.1. Circuito de alimentación de control.

La alimentación que se requiere para fines de control es de voltajes DC regulados. Para el microcontrolador y su

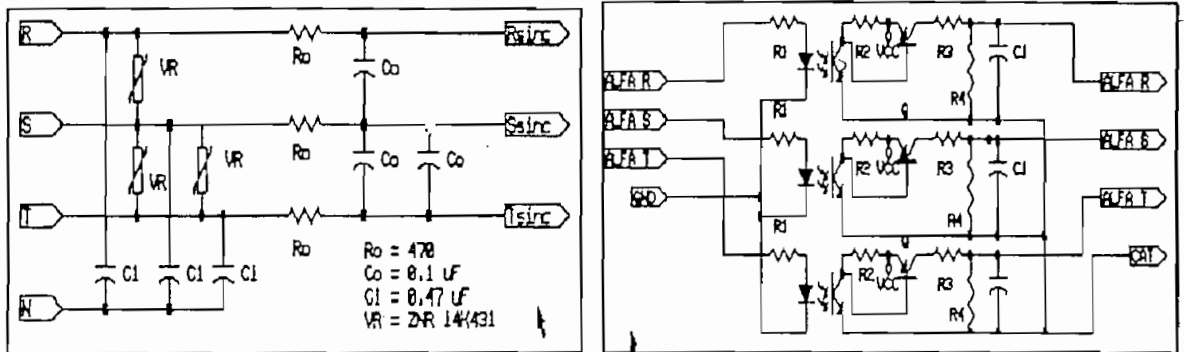


Figura N.2.15 Filtrado de señales de sincronización, amplificación y aislamiento de pulsos de disparo.

El circuito de disparo y amplificación de los pulsos de disparo se ha diseñado para proveer un aislamiento entre el circuito de control y el de potencia por medio de optoacopladores; de paso, se amplifica la corriente de estos pulsos acorde con los requerimientos de compuertas del convertidor de potencia. Para este efecto se necesitó implementar una fuente (transformador, rectificador y filtro) independiente del resto del sistema. La señal de referencia de esta fuente se une con el positivo del convertidor estático de potencia.

CAPITULO III

SOFTWARE DESARROLLADO PARA LA OPERACION DEL SISTEMA

3.1 REQUISITOS Y DESCRIPCION GENERAL DEL SOFTWARE.

El sistema, en lo que refiere al desarrollo del software, podemos dividirlo en dos grupos según la función que realiza: del microcontrolador y del Computador personal.

3.1.1 Requisitos de software en el microcontrolador.

El microcontrolador que va a ser utilizado debe realizar la mayoría de tareas que en el capítulo anterior se han descrito. Estas tareas se han dividido en rutinas específicas, con sus banderas y registros. Cabe señalar que estas tareas se ejecutan en base a un esquema de prioridades y tiempo libre que el microcontrolador tenga para ejecutarlas o lo que se llama tareas compartidas.

-Rutina de Display.- es necesario que la información de entrada y salida sea mostrada en displays. La rutina debe realizar el barrido de 4 displays de cátodo común. El dato a mostrarse debe ser previamente cambiado de hexadecimal a BDC por medio de tablas de traducción implementadas en una página de memoria y almacenado en registros exclusivos para esta

rutina. Cada dígito debe ser mostrado durante un tiempo en su display respectivo según su ponderación; este tiempo depende del valor a cargar en un registro auxiliar. La rutina no mostrará los ceros de la izquierda. Dentro del contexto general del programa, esta rutina se utilizará para generar retardos.

- Rutina de Autoverificación.- es norma aconsejable en todo sistema microprocesado, que exista una rutina que verifique el correcto funcionamiento del microcontrolador antes de que realice las tareas a él encomendadas. En este caso, frente a un reset o encendido del sistema de control, el microcontrolador mostrará en displays una secuencia de dígitos del 1111 al 9999 probando así el correcto funcionamiento de la rutina de display, y del circuito del microcontrolador.

A continuación, el circuito de control deberá establecer el tipo de red de alimentación al conversor estático de potencia, la identificación del equipo y los máximos valores de corriente y voltaje en la salida del conversor estático de potencia (almacenados en dos registros de uso exclusivo). En el caso de existir varios equipos idénticos, la identificación es un dato que se asigna por hardware a cada uno de ellos permitiendo así el acceso o rechazo de información proveniente del computador personal; es posible que dos o más equipos tengan igual identificación, en este caso el computador personal los controlará por igual. El microcontrolador procederá a señalar el tipo de fuente mediante leds.

- Rutina de comunicación serial.- recibirá datos del computador personal, eliminará la posibilidad de recibir caracteres de control del Computador Personal y además verificará que la identificación de cada dato corresponda a la leída en la rutina de verificación, si no coincide, el dato no ingresa; el dato recibido (con correcta identificación) será almacenado en un registro de uso exclusivo de ésta rutina.

Habrán datos de comandos específicos enviados desde el computador personal los mismos que tendrán por objeto desencadenar acciones también específicas dentro del funcionamiento del sistema. como por ejemplo empezar rutina de graficación. La transmisión de datos se realizará sin restricción alguna. Esta rutina constituye una rutina de interrupción propia del microcontrolador con baja prioridad y posee una bandera específica la misma que será seteada cuando se ejecute la rutina y monitoreada en el programa principal. Tanto para transmisión como para recepción el micro señalará con un led bicolor el caso respectivo.

- Rutina de teclado.- permite la detección de una tecla presionada en teclado. Eliminará el rebote que puede existir al presionar una tecla realizando un número suficiente de lecturas del pòrtico que trae el dato para generar un retardo. Una vez leído un dato verdadero, este es almacenado en un registro. Finalmente, se generará un retardo para asegurar que la tecla se ha dejado de presionar. Si por alguna razón la tecla no se suelta, el programa entrará en un lazo que espere que la tecla sea soltada. Los datos ingresados por teclado serán exclusivamente comandos de funcionamiento del equipo, por tal razón al detectar el programa principal que ha habido una ingreso de datos por teclado, inmediatamente va a la rutina de búsqueda de comandos. Esta rutina se ejecutará por la presencia de una interrupción, la cual tendrá la más baja prioridad y tendrá una bandera de uso exclusivo. Esta bandera será seteada cada vez que se ejecute esta rutina, y será monitoreada en el programa principal.

- Rutina de búsqueda de datos o comandos.- esta rutina discriminará un dato recibido por computador personal y establecerá si se trata de comando o ángulo de disparo (alfa) seteando banderas según el caso.

-Rutina de búsqueda de comandos.- En el caso de ser comando

el dato recibido por computador, enrutará la ejecución del programa tendiente a determinar de qué comando se trata y lo ejecutará; cada comando se encuentra en espacios de memoria específicos.

- Rutina de búsqueda de datos.- en el caso de ser dato de ángulo de disparo, se procede a determinar el rango al que pertenece (mayor o menor que 120° grados en el caso trifásico) con la ayuda de banderas; para el caso monofásico, se calcula ángulo suplementario. Finalmente, y con la ayuda de tablas de conversión para cada caso (trifásico o monofásico) implementadas en una página de memoria, se obtiene el valor que se debe cargar en timer para que éste genere el retardo correspondiente a dicho valor de ángulo.

- Rutina de Sincronización.- esta rutina es la de mayor prioridad: se encargará de leer los pulsos de interrupción dados por el circuito de sincronización. Determinará que el estado de los tres pulsos sean los que deben llegar según el tipo de fuente determinada al final de la rutina de autoverificación. En el caso de ser correcta y según el rango del ángulo de disparo, determinará el valor que debe sacar a los pines encargados de manejar las compuertas de los tiristores luego de cumplido el retardo, este valor se encuentra también en tablas; en el caso de ser incorrecta, se seteará una bandera de falla. Luego, activa el funcionamiento del timer y su bandera de interrupción. Antes de salir de esta rutina, se verificará el estado del contactor principal: en el caso de estar cerrado sale de la rutina, caso contrario se desactivan las compuertas.

- Rutina de disparo.- ésta comparte la máxima prioridad con la rutina de sincronización, pero si en un caso ambas se presentasen al mismo tiempo (caso de $\alpha=120^\circ$ grados), ésta es la que debe tener la máxima prioridad. Esta rutina enviará el

dato que va a manejar las compuertas de los tiristores a los pines correspondientes según el tipo de fuente.

- Rutina de disparo monofásico.- esta rutina utiliza algunas banderas para conseguir generar el disparo monofásico, el mismo que por las características de sincronización mostradas en el capítulo anterior, necesita crear interrupciones del timer cuatro veces por ciclo de red, dos para el ángulo normal y dos para el suplementario (cada uno en su semi-ciclo de red).

- Rutina de adquisición de datos.- esta rutina se encargará de realizar un número de lecturas de uno de los 8 canales del conversor A/D; éstas lecturas serán ordenadas en forma ascendente, luego se eliminarán datos mayores y menores en un número determinado; de los datos restantes se obtiene el promedio, el mismo que será mostrado en displays y enviado al computador. El número de lecturas, el canal a leerse y el número de datos a eliminarse deben ser seteados con anterioridad desde el computador personal. Es necesario mostrar el promedio en displays para así lograr un retardo en la transmisión serial y no llenar el buffer del computador. Esta rutina se ejecuta una sola vez, el comando de inicio lo da el computador.

- Rutina de graficación.- Esta rutina leerá el dato del canal previamente seleccionado y lo enviará al computador, aquí se hace necesario mostrar en displays el dato del conversor por la razón antes mencionada. Existe un comando de inicio y uno de parada para controlar la ejecución de esta rutina.

Finalmente, el programa principal realizará sus tareas siempre que una rutina de interrupción no se presente. El resto de rutinas se ejecutarán siguiendo un orden. El programa principal se inicia monitoreando una serie de banderas de fallas, luego lee los canales de sobrevoltaje y sobrecorriente

en la salida del conversor estático, compara estas lecturas con los valores seteados, si exceden cualquiera de estos valores, se abre el contactor principal y se muestra en display el tipo de falla. Si no hay problema de sobrevoltaje y sobrecorriente, se muestra en display el dato actualizado de ángulo de disparo. Luego se actualiza nuevamente el dato de alfa, el valor a cargar en el timer, etc. Por último se monitorea el estado de las banderas de las rutinas de interrupción, si alguna ha sido seteada, empieza a procesar la información almacenada en los registros afectados y enruta la ejecución del programa según el caso. Luego regresa a su inicio. Si durante este proceso llegara una interrupción, el microcontrolador atenderá inmediatamente a su rutina, acto seguido regresará al punto donde interrumpió al programa principal.

El microcontrolador utilizado tiene características que lo hacen apropiado para aplicaciones en control electrónico; por esta razón, éste satisface en gran cantidad los siguientes requerimientos:

- Posibilidad de transmisión serial con alta velocidad de transmisión hasta 9600 baudios.
- Disponibilidad de dos timers, uno para generar el BAUD RATE y otro para el retardo del ángulo de disparo.
- Registros(32) de uso general para el usuario.
- Banderas(64) de uso general disponibles al usuario.
- Registros auxiliares para propósito específico.
- Operación por bits.
- Pórticos (4) de entrada/salida de datos.
- Capacidad de operaciones aritméticas.
- Varias fuentes de interrupciones (5) y prioridades(2).
- Alta velocidad de operación hasta 12MHz
- Set de instrucciones versátil.

A continuación se presenta un esquema general (diagrama de flujo) de todo el programa principal implementado en assembler, Ver Figura N.3.1.

3.1.2 Requerimientos de software del Computador Personal.

El programa en el Computador Personal debe ser capaz de recibir y transmitir información del equipo. Se implementará un menú de fácil acceso y seguro de manipular, sin poner en peligro el normal funcionamiento del equipo.

- Opción de inicialización.- esta opción pretende inicializar valores como identificación, tipo de fuente de alimentación, valores máximos de corriente y voltaje en la salida del conversor AC-DC. Es muy importante que la identificación coincida con la del equipo, caso contrario, los datos que se envíen no ingresarán al microcontrolador. De esta manera, todo comando o dato que se envíe irá acompañado de la identificación. El dato de tipo de fuente de alimentación será ingresado por medio del número de pulsos de la configuración del conversor AC-DC (6 y 3 pulsos se refiere a trifásico mientras que 2 se refiere a monofásico).

- Opción de inicialización del conversor A/D.- se ingresarán los parámetros del sistema de adquisición de datos que son: canal de conversión, número de lecturas, número de datos a eliminarse.

- Opción de redefinición de información.- se pretenderá poder corregir la información antes ingresada.

- Opción de estado de fuente.- recibe información del tipo de fuente de alimentación del equipo.

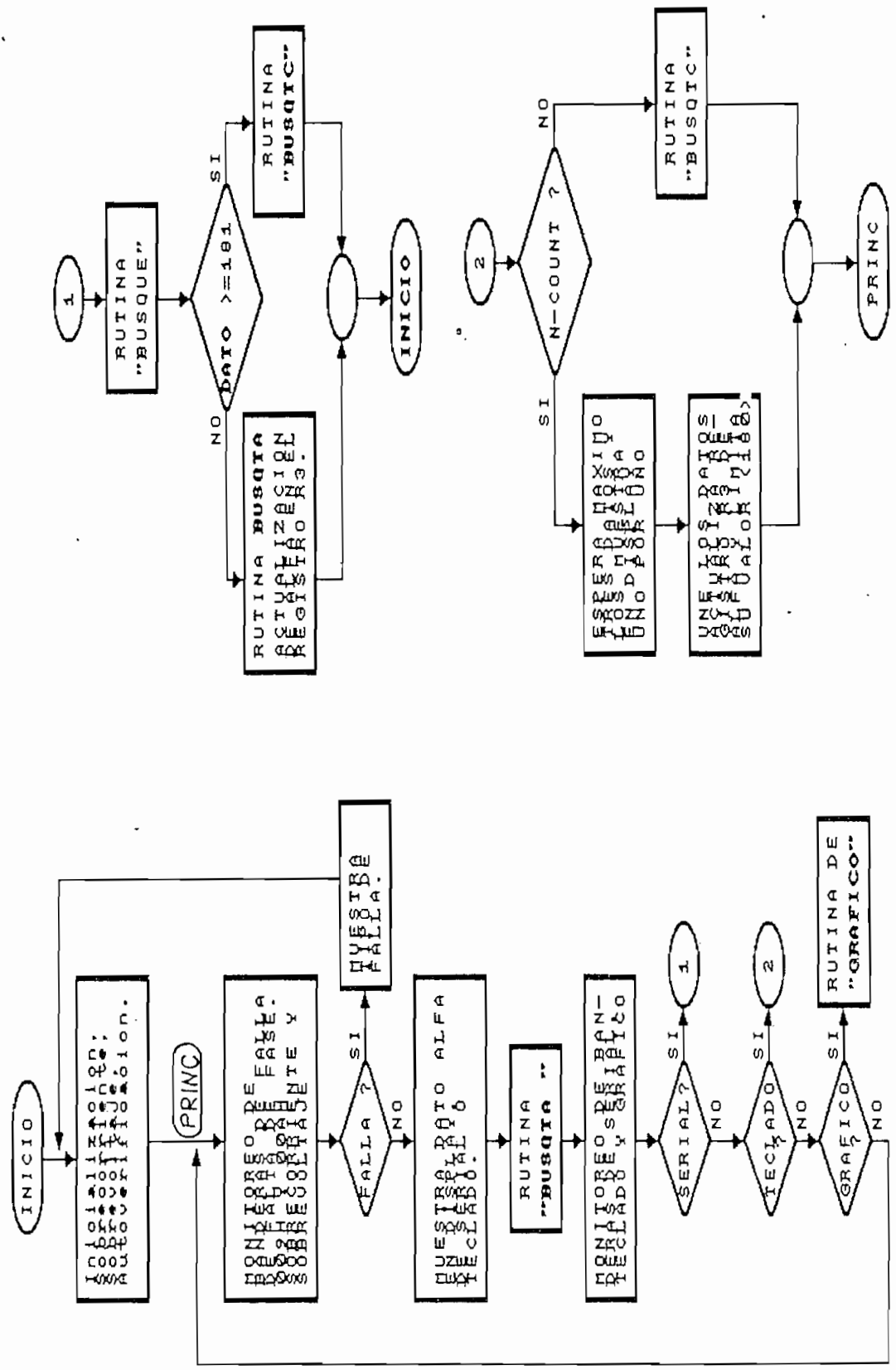
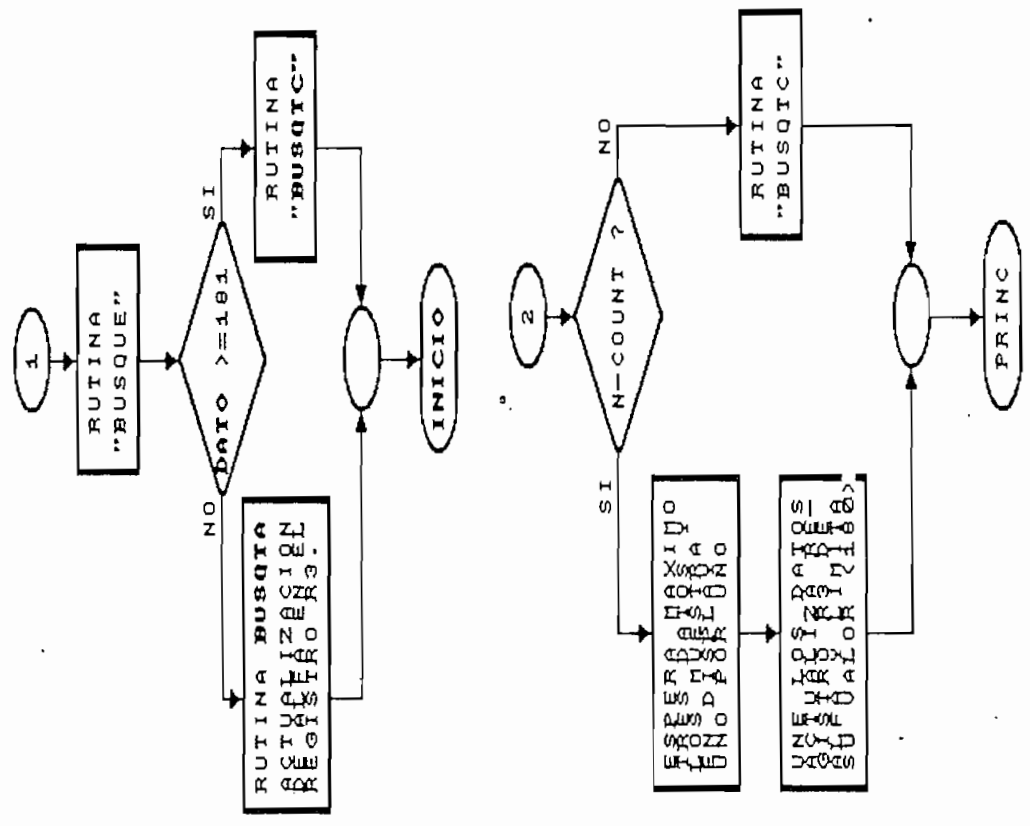


Figura N.3.1 Diagrama de bloques del programa principal



- Opción de estado de secuencia.- recibe información de: la secuencia de la fuente de alimentación dado el caso de que se trate de red trifásica.

- Opción de operación del equipo.- contiene básicamente los mismos comandos que se pueden ingresar por teclado, así:

- Cerrar contactor principal.- cierra contactor principal.

- Abrir contactor principal.- abre contactor principal.

- Incrementar uno o diez grados en el ángulo de disparo

- Decrementar uno o diez grados en el ángulo de disparo

- Leer dato del sistema de adquisición de datos.- se lee el dato con todos los parámetros del sistema de adquisición de datos.

- Terminar opción de operación.

- Ingreso de un ángulo de disparo deseado. se ingresa un dato de ángulo de disparo.

- Opción de adquisición de datos.- el programa entra en un lazo en el cual se lee permanentemente el conversor A/D. Es posible variar los parámetros del sistema de adquisición.

-Opción de gráficos.-el programa recibirá datos de la rutina de de graficación del microcontrolador, estos serán almacenados en un vector, luego de recibir un número determinado de datos se procederá a graficarlos.

Quedarán como opciones para futuro, el ingreso de las constantes de los controladores que se puedan implementar a nivel de programa de computador. Todos los datos deberán ser

transmitidos de tal manera que no se incurra en el rango de los 32 primeros caracteres de control para el computador personal.

Finalmente, el programa deberá ofrecer protecciones en la transmisión de ángulos de disparo fuera de rango, aunque en el mismo microcontrolador estas opciones son evitadas.

El computador personal que se requiere debe ser ante todo compatible con IBM, esta condición es necesaria pues el lenguaje que se va a utilizar es el Quick Basic por las siguientes características:

- Tiene editor de texto muy versátil.
- Posee ensamblador y debugger.
- Su set de instrucciones permite rápida manipulación de información (caracteres o numéricos).
- Permite comunicación serial por medio de manipulación del archivo de comunicación como un archivo cualquiera.
- Instrucciones para graficar, etc.

El presente trabajo utiliza un computador DTK PC/XT compatible con IBM, de 8MHz de velocidad, tiene puerto serial; la versión del QuickBasic utilizado es la 3.0 y el esquema general del programa implementado se muestra en la Figura N.3.2

Primero, el microcontrolador i8751 que será utilizado en la presente aplicación, ofrece y satisface características importantes para la correcta operación del sistema en general y del circuito de control maestro en particular. De igual manera, el computador personal ofrece una gran variedad de lenguajes de programación, en este caso, se ha hecho uso del QUICKBASIC.

En el capítulo anterior, se presentó con algún detalle lo referente al hardware necesario para la operación del microcontrolador y su circuitería externa. Ahora, se dará una breve descripción de los requerimientos y funcionamiento del software implementado, tanto en el microcontrolador (lenguaje assembler) como en el computador personal (lenguaje QuickBasic).

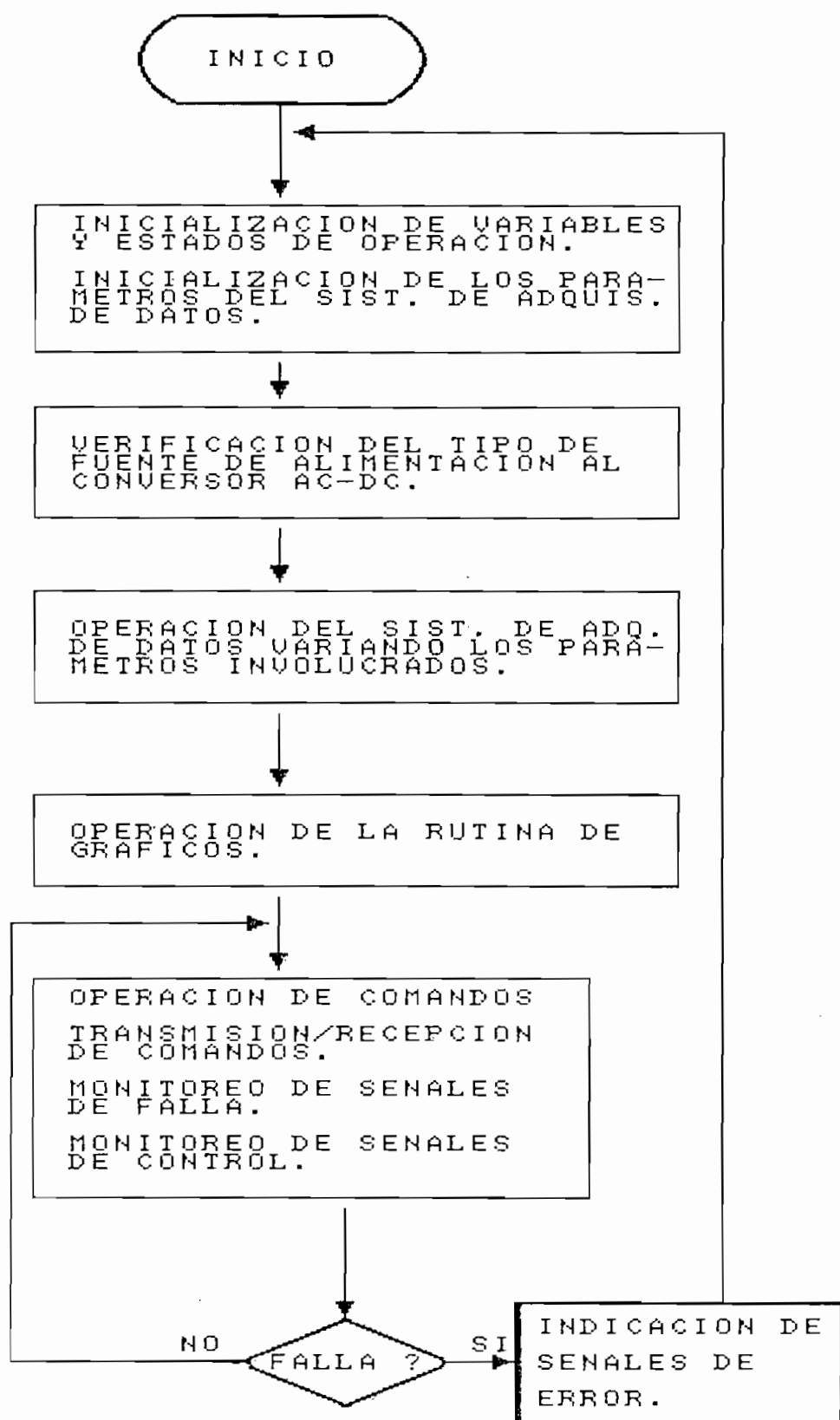


Figura N.3.2 Diagrama de flujo del programa en el P.C.

3.2 DESARROLLO DEL SOFTWARE DEL MICROCONTROLADOR.

La explicación del software implementado se la hará en forma modular; es decir, cada rutina será detallada en su operación, función y aplicación dentro del programa general (VER ANEXO D)

Antes de proceder a explicar el funcionamiento del programa implementado en lenguaje assembler del microcontrolador, debe detallarse la designación y función de los registros utilizados en el mismo, así como de las banderas del usuario. Esto es importante por la característica de microcontrolador de tener 4 bancos de 8 registros cada uno; portanto, es necesario definir bien el banco de trabajo antes de hacer una transferencia de datos. En las tablas I y II se detalla las designaciones de registros y banderas.

RB1	RBO	R0	R1	R2	R3	R4	R5	R6	R7
0	0	AUX	TLO ₃	GATES	ALFA	IDEN.	COMU.	R.SER	THO ₃
0	1	DISP.	DISP.	DISP.	DISP.	SINC.	CORR.	DISP.	DISP
1	0	AUX	TLO ₁	THO ₁	n	SUPL.	m	TEC.	TEC.
1	1	AUX	ADC	ADC	ADC	ADC	VOLT.	Chnel	TEC.

TABLA I. DISTRIBUCION DE REGISTROS

Donde:

- RB1,RBO Selectores de los bancos de registros.
- TLO₃,THO₃ Registros del timer 0 para caso trifásico
- TLO₁,THO₁ Registros del timer 0 para caso monofásico.
- DISP. Registros utilizados en rutina de display.
- SINC. Registros utilizados en sincronización.
- AUX. Registro de uso temporal, auxiliares.
- ADC.,n Registros utilizados en el sistema de adquisición.
- m,Chnel.

VOLT., CORR. Registros de sobrevoltaje y sobrecorriente.
 ALFA Registro del ángulo de disparo.
 TEC. Registros de la rutina de teclado.
 GATES Registro del valor de activado de compuertas
 SERIAL Registro del dato de comunicación serial.
 COMU. Registro de comunicación serial y de teclado.
 IDEN. Registro del dato de identificación del equipo.
 SUPL. Registro del ángulo suplementario (caso monofásico)

BANDERA	FUNCION
0	Transmisión serial
1	Teclado
2	Monofásico/Trifásico
3	ALFA > 120 GRADOS
4	Secuencia Positiva/Negativa
5	Recepción de identificación
6	Identificación no válida
7	Auxiliar de sincronización monof.
8	Auxiliar de sincronización monof.
9	Falla trifásica
A	Falla monofásica
B	Nuevo dato de canal del A/D
C	Nuevo número de datos del A/D
D	Nuevo número de datos a eliminar
E	Fin de rutina de grafico
F	Mostrar dato de teclado a display
10	Sensar sobrecorriente
11	Sensar sobrevoltaje
14	Ingreso por Computador de Máximos

TABLA II ASIGNACION DE BANDERAS

La bandera de propósito específico FO del microcontrolador es utilizada exclusivamente en la rutina de display.

A continuación se explicará el funcionamiento de las rutinas implementadas tanto como rutinas de interrupción o como rutinas normales.

3.2.1 Programa principal.

El programa principal empieza llamando a la rutina de inicialización, en este instante se setean los valores máximos de voltaje y corriente en la salida del convertidor de potencia. Luego se llama a la rutina de display para mostrar la ejecución de esta rutina. Por último, se detecta el tipo de fuente de alimentación y la secuencia en el caso de haberla.

A continuación se setean los registros propios del microcontrolador según la función específica que se desea implementar.

Luego, empieza propiamente el programa principal con el monitoreo de fallas de: ausencia de fase, falla trifásica, falla monofásica, sobrevoltaje, sobrecorriente. Si alguna de estas fallas es detectada, el programa mostrará en displays un número que identifique al error..

Si no ha existido ningún error, se llama a la rutina de búsqueda de datos la misma que actualiza los valores a cargar en el timer0 con el fin de generar el retardo respectivo. Se llama luego a la rutina de display para mostrar el ángulo de disparo (alfa); a continuación, detecta si hay requerimiento de la rutina de graficación por medio de la bandera OOEH. En tal caso comienza a ejecutar esta rutina hasta que por el computador personal se de la orden de terminar. Luego, detecta si ha habido comunicación serial o de teclado por medio de las

banderas 000H y 001H respectivamente.

Comunicación serial.— LLama a rutina BUSQUE para determinar si el dato ingresado es comando o ángulo de disparo. Si se trata de un comando se llama a la rutina BUSQTC. En esta rutina se direcciona el espacio de memoria donde están las instrucciones que ejecutan el comando ingresado. Finalmente regresa a programa principal y envía al computador personal el dato de alfa.

Comunicación por teclado.— Averigua si se trata de ingreso de un ángulo de disparo por medio de la tecla N-COUNT; en tal caso, se esperará el ingreso de tres dígitos, los mismos que deben formar un dato cuyo valor se encuentre dentro del rango máximo de disparo(180 o 240 grados). En el caso de tratarse de comando, se llama a la rutina BUSQTC. Terminado de ejecutar el comando ingresado, regresa a programa principal y envía al computador personal el dato de alfa.

Si en algún instante de la ejecución de este programa, se presentan las interrupciones externas(sincronización y disparo), éstas serán ejecutadas inmediatamente. Terminada su ejecución, regresan al punto donde dejaron al programa principal y continúan con su normal ejecución.

3.2.2 Rutina de autoverificación y detección del tipo de fuente.

A continuación de la autoverificación, empieza a detectarse el tipo de fuente(monofásica o trifásica) y la secuencia de fase si es el caso. Para un correcto entendimiento de esta parte y de futuras explicaciones, es menester analizar la asignación de lo que se ha denominado el byte de control (pórtico 0).

7 6 5 4 3 2 1 0

PORTICO 0	ADC/ DIS	CONT.	SINCT	SINCS	SINCR	aT	aS	aR
-----------	----------	-------	-------	-------	-------	----	----	----

BYTE DE CONTROL

Los tres primeros bits corresponden a las compuertas de los tres tiristores, por lo tanto estos llevan los pulsos de disparo. Los tres siguientes reciben las señales de sincronización de cada fase como se vió en el capítulo anterior. El pin 6 es el que activa/desactiva el contactor principal; y el séptimo es el que habilita/deshabilita display/conversor A/D.

Los registros utilizados en la rutina de autoverificación son de uso temporal; se utilizan los registros de llamada a display R6 y R7 del banco 1 y el registro de indentificación es el R4 del banco cero.

La detección del tipo de fuente (Ver Figura N.3.3) empieza al esperar por el pulso de R; al recibirlo, lee RST (registro R4 banco 1), si es igual a 000 entonces la fuente es monofásica, setea la bandera 002H y se señaliza apropiadamente; pero, si es distinto de 000 entonces se presume que puede ser trifásica. En tal caso, se borra la bandera 002H y se sigue el siguiente procedimiento para detectar el tipo de secuencia:

- 1 - Espera RST = 011, (fase R) luego espera RST = 111
- 2 - Espera interrupción INT0
- 3 - Lee RST del pórtico 0

3.a - Si RST = 101 (fase S) posible secuencia positiva activa bandera 004H y señaliza.

3.b - Si RST = 110 (fase T) posible secuencia negativa desactiva bandera 004H y señaliza.

- 4 - Cualquiera que sea el resultado de 3, se realiza la operación lógica "AND" con el dato de la fase R(011)

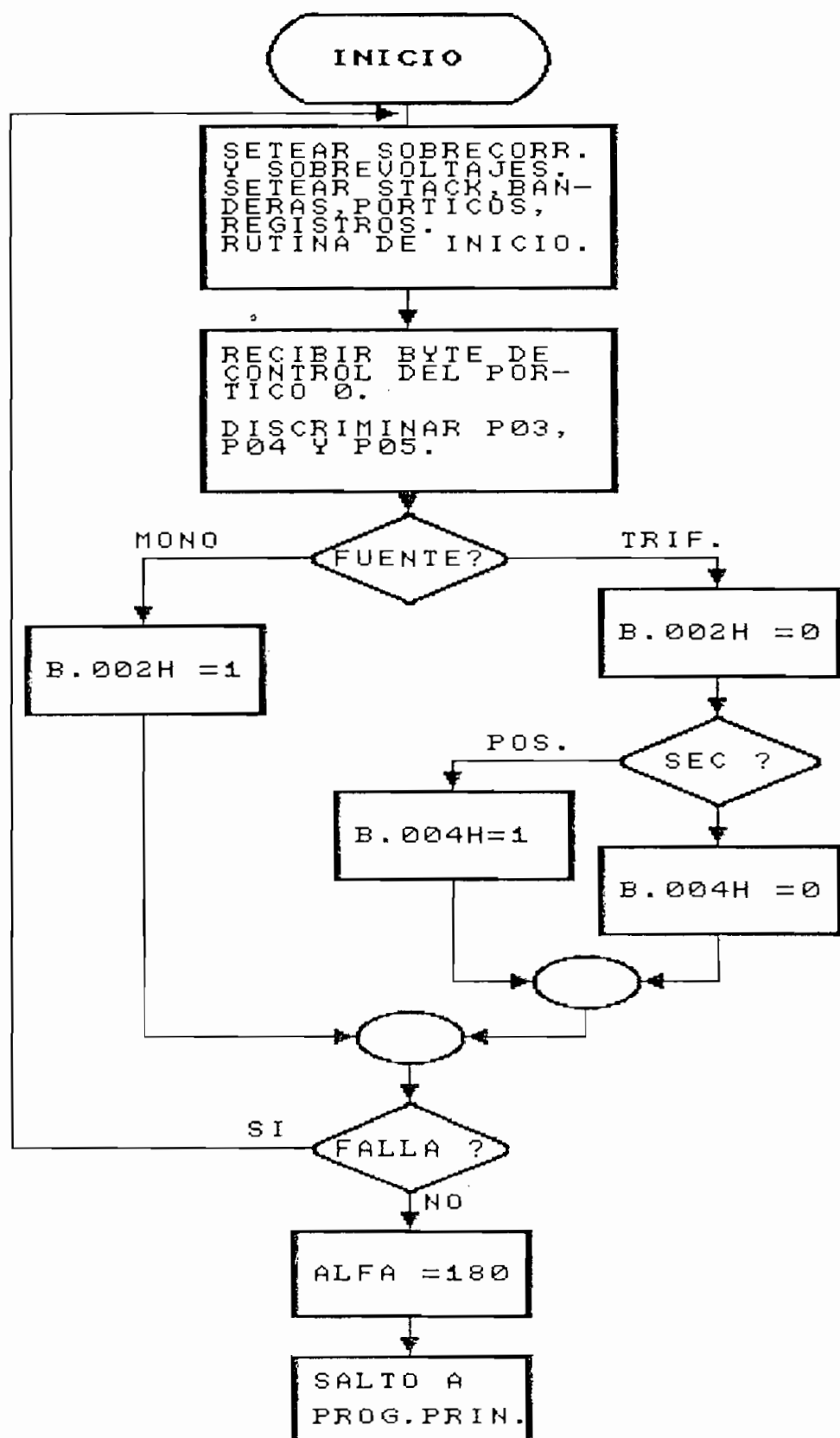


Figura N.3.3 Sincronismo tipo de fuente y secuencia

dando 001 o 010 respectivamente.

5 - Espera por RST = 111

6 - Espera interrupción INTO, lee RST

7 - Hace la operación lógica "AND" entre el resultado de 6 con el resultado de 4 y si el resultado es 000 existe una falla, por tanto regresa al inicio.

Una vez que se ha determinado el tipo de fuente y la secuencia de fases, se impone un ángulo de disparo inicial de 180 grados y su dato correspondiente para el tiempo de retardo en los registros del timer 0 (TH0 y TLO); finalmente, se procede a inicializar los registros especiales del microcontrolador según la función que se desea implementar, ver Tabla III

```

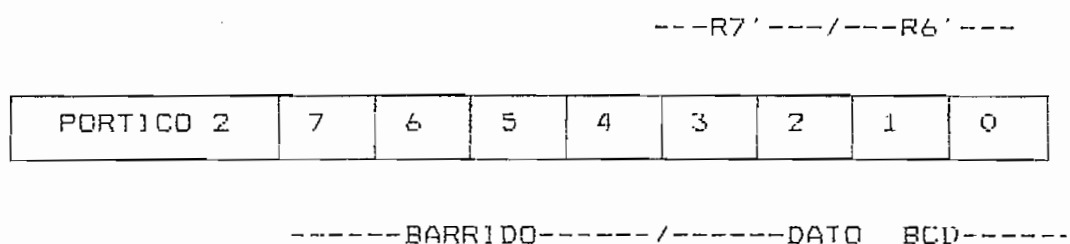
*****
*ETAPA DE INICIALIZACION DE REGISTROS Y BITS DE CONTROL DE *
*CONTROL DEL MICROCONTROLADOR.                               *
*****
* SETB ES ; HABILITA INTERRUPTON SERIAL                      *
* SETB PS ; ASIGNA PRIORIDAD A LA INTERRUPTON SERIAL        *
* SETB PTO; ASIGNA PRIORIDAD A LA INTERRUPTON DEL TIMER 0 *
* CLR TB8 ; BIT DE PARADA "0"                                *
* SETB SM1; MODO DE TRANSMISION 1 "8 UART"                  *
* SETB SM2; ASEGURA TRANSMISION SERIAL CON UN ADECUADO BIT *
* ; DE PARADA.                                              *
*****
* MOV TMOD,#21H ;INICIALIZACION DEL TIMER 1 EN EL MODO 2 *
*                Y DEL TIMER 0 EN MODO 1 (16bits)          *
* MOV TH1,#0FEH ;PARA GENERACION DEL BAUD RATE (9600      *
*                Baudios)                                  *
* MOV TL1,#0FEH ;FUNCIONANDO EL MODO DE AUTO-CARGA        *
* SETB TR1      ;PONE A CORRER EL TIMER 1                  *
*****
* SETB PX0     ;ASIGNA ALTA PRIORIDAD A LA INT.EXT.0       *
* SETB ITO     ;ESPECIFICA DETECCION POR NIVEL DE INTO     *
* SETB IT1     ;ESPECIFICA DETECCION POR FLANCO DE INT1    *
* CLR IEO      ;BORRA LA BANDERA DE LA INT.EXT.0          *
* CLR IE1      ;BORRA BANDERA DE LA INTERRUPTON EXTERNA 1 *
* CLR TFO      ;BORRA LA BANDERA DEL TIMER 0               *
* CLR TRO      ;DETIENE LA OPERACION DEL TIMER 0          *
* SETB EX0     ;HABILITA INTERRUPTON EXTERNA 0            *
* SETB EX1     ;HABILITA INTERRUPTON EXTERNA 1            *
* SETB EA      ;HABILITA TODAS LAS INTERRUPTIONES        *
*****

```

TABLA III ASIGNACION DE REGISTROS ESPECIALES

3.2.3 Subrutina de display (DISPLAY)

Esta rutina se encarga de mostrar en displays, por medio del p rtico 2, todo dato en BCD que est  almacenado en los registros del banco 1 R7 (dos d gitos m s significativos) y R6 (dos d gitos menos significativos), Ver Figura N.3.4. el p rtico 2 est  distribuido de la siguiente forma:



Para convertir datos hexadecimal a BCD se utiliza dos tablas de conversi n de 256 bytes cuyos  rdenes son: 0A00H (MSB) y 0B00H (LSB). Por otra parte, en hardware se utilizan 4 displays por tanto se utiliza un barrido. La rutina est  implementada de tal manera que los ceros a la izquierda no aparezcan, con la ayuda de la bandera FO de uso espec fico; cada d gito, es mostrado durante un tiempo dado por el retardo de un registro auxiliar, en el display que corresponde de acuerdo a la significaci n de los d gitos.

Registros utilizados:

Banderas:

R1,R2,R3,R6,R7 del banco 1

FO

3.2.4 Subrutina de interrupci n Serial.(SERIAL)

Esta rutina de interrupci n se ejecuta siempre y cuando exista transmisi n o recepci n serial con el computador personal. Para el caso de transmisi n desde el microcontrolador hacia el PC, el programa solo env a el dato por el pin de transmisi n y sale de la rutina. Para recepci n, primero se espera una identificaci n y luego un dato serial...

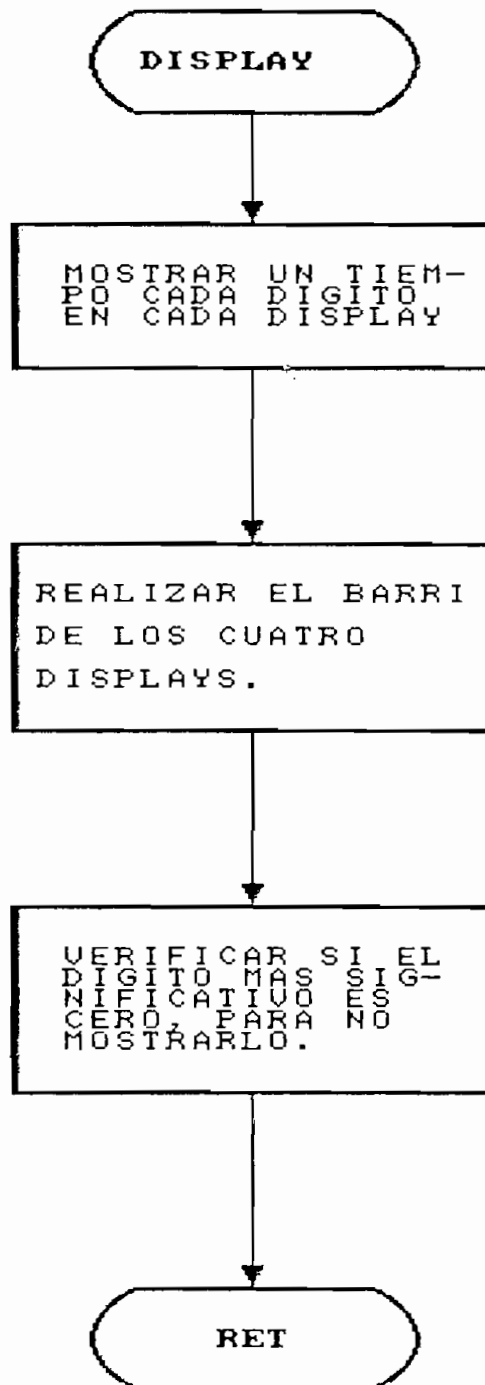


Figura N.3.4 Rutina de display

(comando o alfa); el dato válido es almacenado en registro R6 del banco 0. Esta rutina puede resumirse en los siguientes pasos (ver Figura N.3.5):

- Conocer si es transmisión o recepción (TI o RI).
- Recepción:
 - Verificar si dato de identificación es válido.
 - Si no es válido, activar bandera 006H y salir de rutina.
 - Si es válida, activar bandera 005H y salir de rutina.
 - Esperar dato válido de alfa o comando y activar bandera de comunicación serial 000H.
- Transmisión:
 - Borrar bandera TI, enviar dato al exterior y salir de rutina.

Los datos que se reciben desde el computador se clasifican en dos grandes grupos: el de datos (ángulos de disparo) y el de comandos. Como el rango de control es de 0 a 180 grados, existe igual número de alfas disponibles (pasos de un grado), y para cada uno de éstos, un dato a cargar en el timer para generar el retardo respectivo. En el computador personal con su pòrtico serial, se pueden enviar hasta 256 datos (8 bits); pero, los 32 primeros son de control por tanto quedan disponibles 224 caracteres; restando de los 180 que necesitamos, tenemos 44 caracteres para que sean identificados como comandos en el microcontrolador. Por conveniencia se estableció el siguiente formato de transmisión desde el computador personal:

```

0 ----- 180      ANGULOS DE DISPARO
181 --- 224      COMANDOS

```

Por lo anterior, fue necesario sumar en el computador personal 32 a cada dato en general que se envía, para evitar los caracteres de control, y en el microcontrolador restar 20H

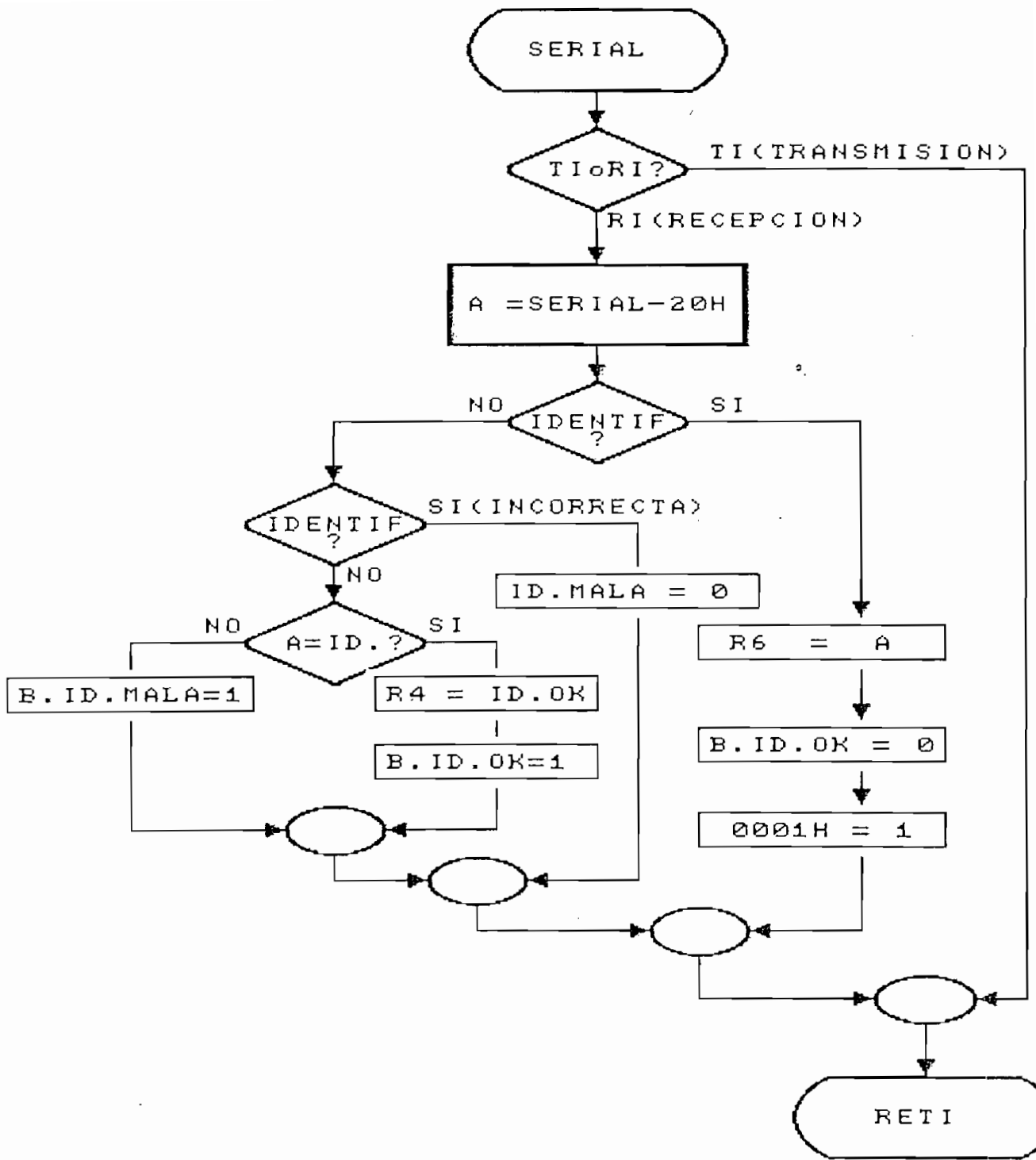


Figura N.3.6 Diagrama de flujo de Comunicacion serial

(32) al dato recibido para tenerlo dentro del rango anteriormente mencionado.

Una vez recibido el dato válido por el pòrtico serial, se procede a discriminar este dato (alfa o comando) por medio de rutinas especiales.

Registros Utilizados:	Banderas Utilizadas:
R6 del banco 0	0H, 5H, 6H, 0EH, 13H, 14H
R5 del banco 1	TI, RI, CY
R5 del banco 3	

3.2.4.1 Rutinas de Búsqueda de datos o comandos.

(BUSQUE, BUSQTA, BUSQTC)

La finalidad de la rutina "BUSQUE" es la de averiguar en cual de los rangos descritos anteriormente está el dato; para esto, se resta de 181 al dato recibido y según el resultado el programa irá hacia búsqueda de ángulos de disparo (alfas) "BUSQTA" o búsqueda de comandos "BUSQTC". Si el dato es un ángulo de disparo, se procede enseguida a actualizar el registro que lo almacena (R3); finalmente, se muestra en display (alfa en BCD). A continuación se ejecuta la rutina BUSQTA la misma que realiza los siguientes pasos: ver figura N.3.6a.

1.- Averigua tipo de fuente (bandera 002H).

- Si es monofásica, salta a la rutina de disparo monofásico.
- Si es trifásica, averigüe si es mayor o menor que 120 grados (bandera 003H).

2.- Si $\alpha > 120$ se calcula $\alpha - 120$ y se almacena como nuevo alfa referido a 120 grados y además se activa la bandera 003H. Por el contrario, si es menor que 120 no pasa nada y la bandera 003H se desactiva.

3.- Si $\alpha = 120$, el caso es crítico pues coincide con el pulso

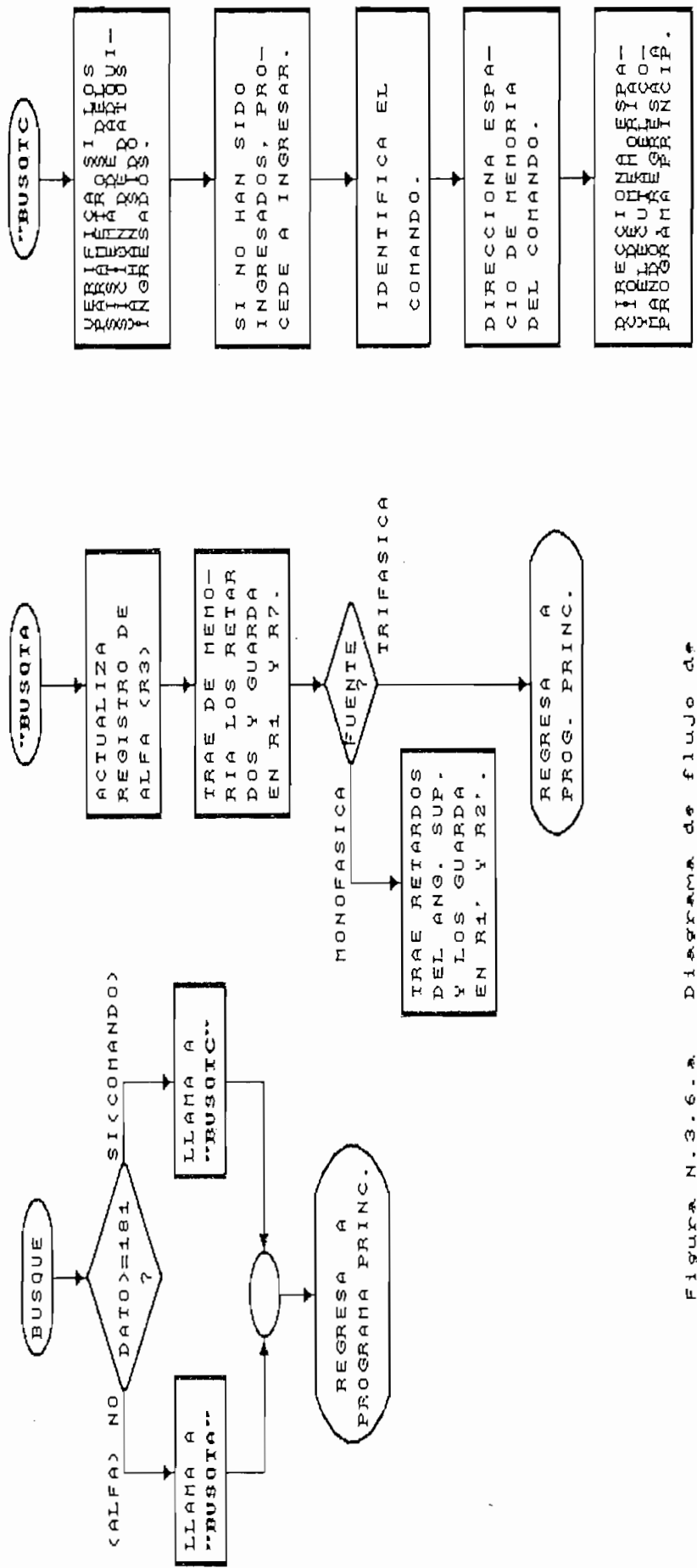


Figura N.3.6. a Diagrama de flujo de búsqueda de datos y comandos

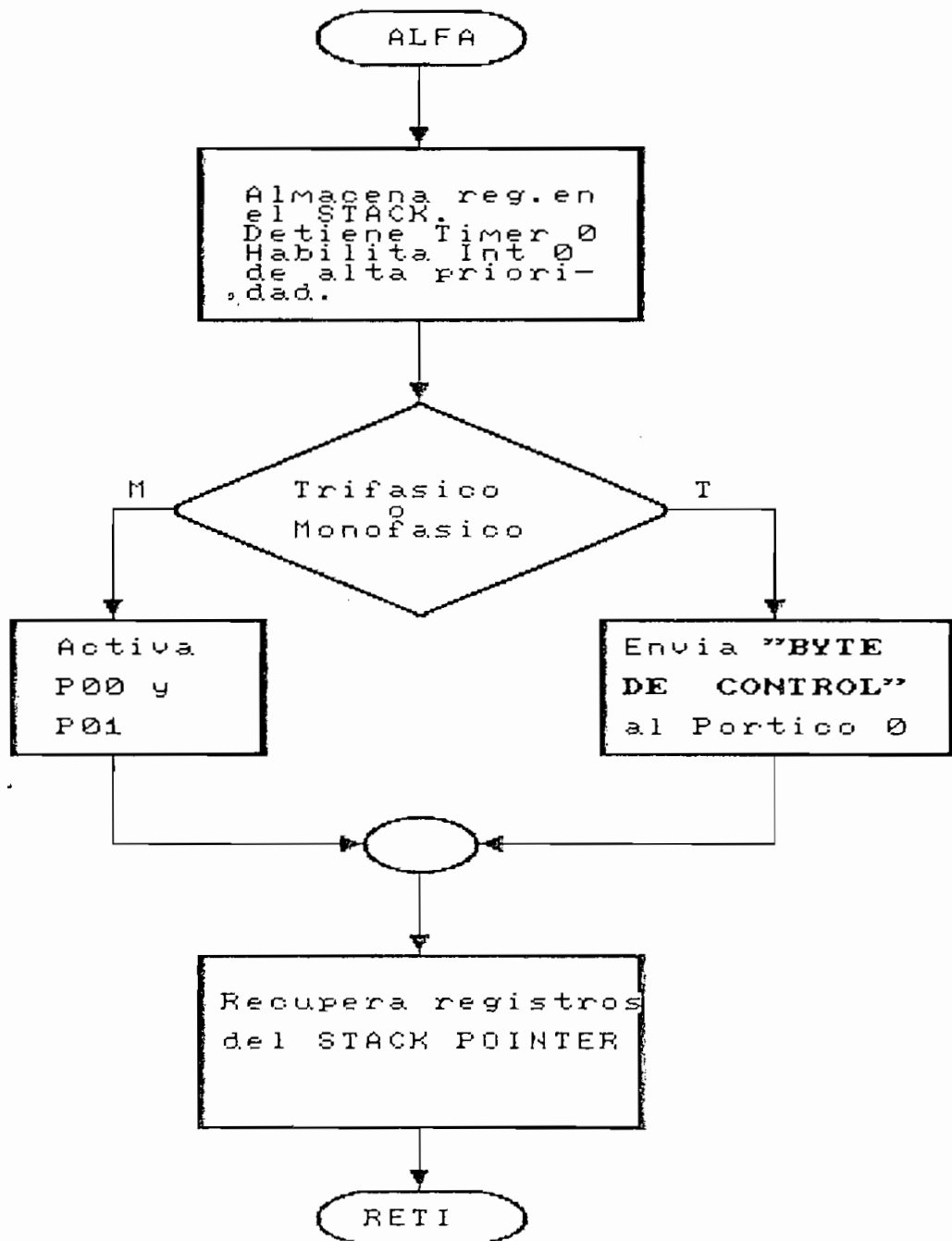


Figura N.3.6.b Diagrama de flujo del disparo de los tiristores

de sincronización; entonces, se coloca un ángulo de 0 grados referido a 120 y se activa la bandera de mayor que 120 (003H).

4.- Una vez determinado el ángulo de disparo, se procede a direccionar las tablas que contienen los retardos respectivos para cada ángulo y se guardan en los registros R1 y R7 del banco 0 para que en cada flanco de sincronización sean transferidos a los registros del timer TH0 y TL0.

5.- Finalmente regresa al programa principal.

Si el dato ingresado por el p \acute{o} rtico serial resulta ser mayor que 181 grados, se procede a ejecutar la rutina BUSQTC que permite seleccionar uno de los comandos numerados de 0 a FH. Como primer paso, se inicializa el estado del conversor en lo que se refiere al n \acute{u} mero de datos a leerse, el canal (0-7) seleccionado y el n \acute{u} mero de datos a eliminarse; m \acute{a} s adelante se explicar \acute{a} con m \acute{a} s detalle el funcionamiento del sistema de adquisici \acute{o} n de datos. En la rutina de BUSQUE, al discriminar el rango de los datos, se tiene un n \acute{u} mero de 0 a 44H si el dato es mayor que 181, este n \acute{u} mero se almacena en el registro R5, y \acute{e} ste a su vez direcciona una tabla de memoria (09C0H) en la que se almacenan las direcciones relativas a la p \acute{a} gina 800H donde estan presentes las rutinas correspondientes a cada comando.

Registros Utilizados:
 R3,R5 del banco 0
 R6 del banco 1
 R1,R2,R3,R5 del banco 2
 R6 del banco 3

Banderas utilizados:
 CY,3H,DH,CH,AH,BH

3.2.5 Rutina de disparo Monof \acute{a} sico y Trif \acute{a} sico (ALFA).

Esta rutina se ejecuta siempre que exista un sobreflujo en el funcionamiento del timer 0 (llega a OFFFFH); por lo tanto es una rutina de interrupci \acute{o} n que realiza los siguientes pasos:

- 1.- Detiene el funcionamiento del timer0, y borra su bandera(TFO)
- 2.- Determina si es monofásico o trifásico (bandera 002H).
- 3.- monofásico:
 - Determina en cual tramo de del pulso de sincronización esta ver Figura N.3.8.
 - Si la bandera 007H =1, se termina medio ciclo de red y se desactivan las compuertas de los tiristores de las fases R y S del puente.
 - Si la bandera 008H =1, se carga el suplemento en el timer0 y activan la compuertas de los tiristores.
 - Si 008H = 0, carga el timer0 con el valor correspondiente a alfa y se activan los tiristores.
 - Termina rutina de disparo.
- 4.- Trifásico:
 - Se trae el dato almacenado en R2 (byte de disparo).
 - Se averigua si el contactor principal está abierto, si es así, no dispara, caso contrario saca el byte de disparo por el pörtico 0.

Las páginas que contienen los retardos son las 0D00H y 0C00H con los datos más y menos significativos a cargarse en TH0 y TL0 respectivamente. Estos datos se escogieron considerando los siguientes aspectos referentes al funcionamiento del timer0:

- 1.- El registro (16 bits= TH0 y TL1) del timer en modo 1, se incrementa cada 12 periodos de reloj .
- 2.- El timer produce una señal de interrupción cuando pasa de FFFFH a 000H.

Si el microcontrolador funciona a una frecuencia de 7.3728 MHz, es decir un periodo T de 0.1356 useg., el tiempo de

conteo será de $T_c = 121 = 1.6276 \text{ useg}$. Se pretende entonces, encontrar el tiempo en segundos que significa el ángulo de retardo alfa; luego, con este tiempo, averiguar qué número de veces debe contar el micro, este número se pasa a hexadecimal y se lo resta de FFFFH para obtener el valor que hay que cargar en el registro del timer. El procedimiento a seguir es el siguiente:

$$\begin{aligned} \alpha \text{ seg} & \text{-----} \alpha^\circ / 60 / 360 \\ \# \text{ veces (D)} & \text{----} \alpha^\circ / 60 / 360 / 1.6276 \times 10^{-6} \text{seg} \\ \# \text{ veces (D)} & \text{----} \# \text{ veces (H)} \\ \text{VALOR TIMER} & \text{----} \text{FFFFH} - \# \text{ veces (H)} \end{aligned}$$

El esquema de disparo se muestra en la Figura N.3.6b , aquí se aprecian los pulsos de sincronización y los pulsos de disparo para alfas mayores, menores e iguales a 120 grados.

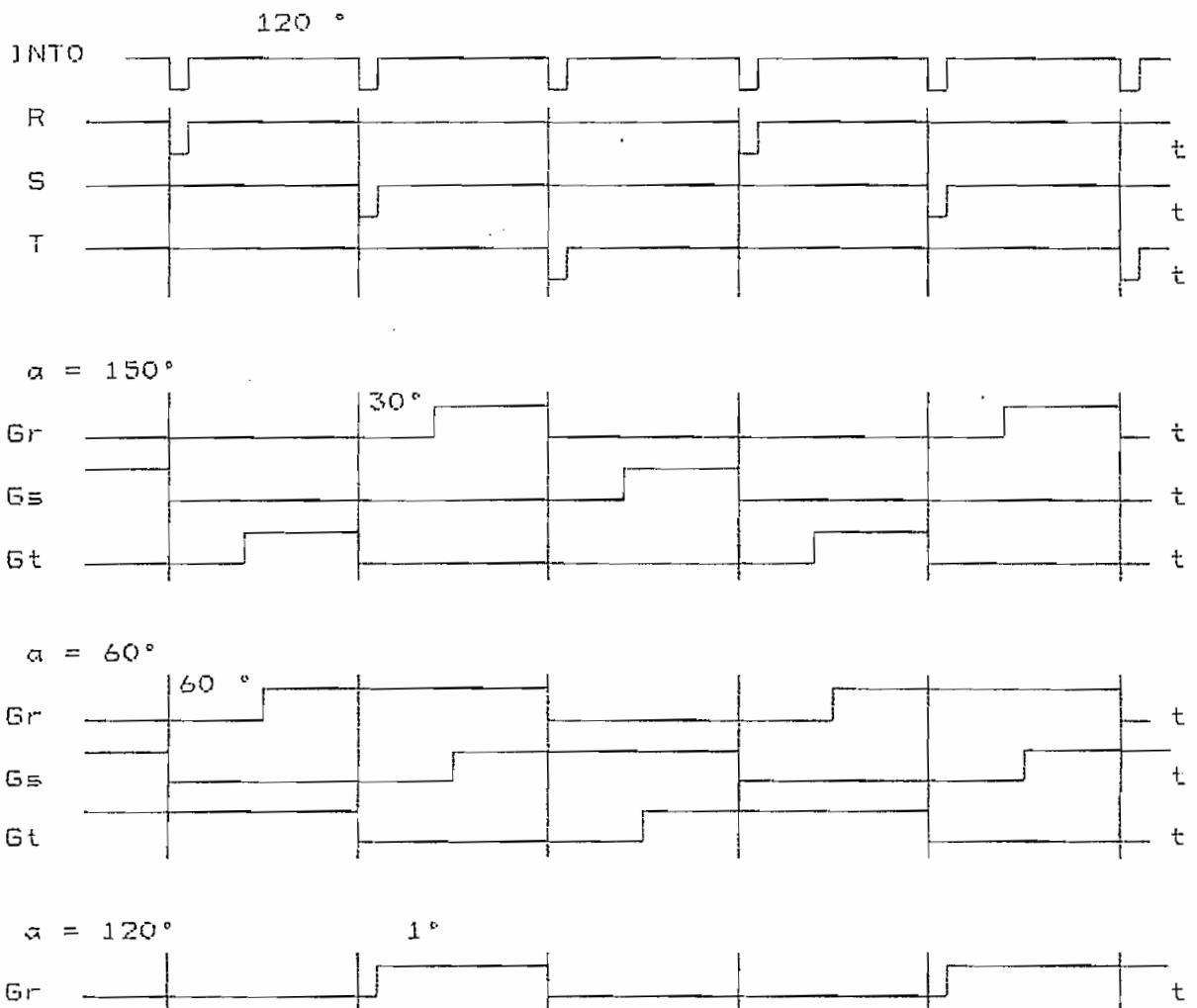


Figura N.3.6c Esquema de disparo

La rutina ALF_MONO (caso monofásico), calcula el suplemento de alfa y trae su correspondiente valor a cargar al timer de otro par de tablas(900H y E00H). Entonces, tenemos que para el ángulo normal, el dato del timer se carga en R1 y R7 del banco y para su suplemento se carga en R1 y R2 del banco 1; más adelante se explicará en detalle el esquema de disparo monofásico.

Registros Utilizados:
R1,R2,R3,R7 del banco 0
R1,R2 del banco 2

Banderas Utilizadas:
CY, 7H,8H,

3.2.6 Subrutina de interrupción de sincronización (SINCRO)

Esta rutina es la de mayor prioridad, se detecta por flanco negativo y no por estado y en resumen, realiza los siguientes pasos: ver Figura N.3.7.

- 1.- Deshabilita resto de interrupciones.
- 2.- Averigua tipo de fuente (bandera 002H).
- 3.- Caso monofásico:
 - Carga timer 0 con R1 y R7,
 - Blanquea banderas 007H y 008H del disparo monofásico.
 - Pone a correr timer0 (retardo)
- 4.- Caso trifásico:
 - Verifica bandera de alfa mayor o menor que 120 grados(003H).
 - Verifica registro auxiliar de sincronización(R4).
 - Verifica bandera de secuencia de fase (004H).
 - Carga timer 0 con R1 y R7 y lo pone a correr.

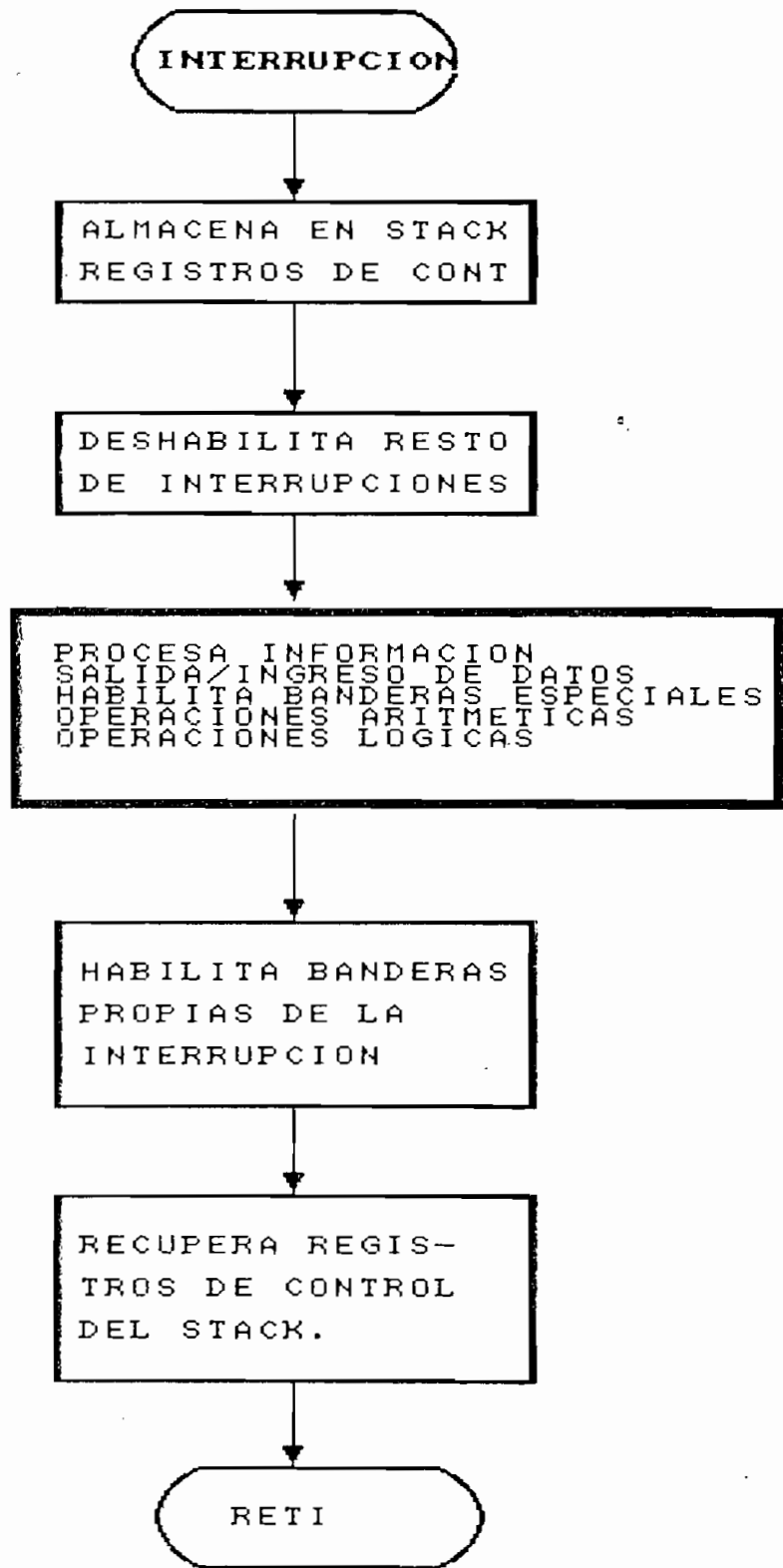


Figura N.3.7 Esquema general de una interrupcion

Para ambos casos, al final de la rutina, se verifica que el contactor principal este cerrado caso contrario se saca por el p rtico 0 (pines de las compuertas) el dato 111 que deshabilita las compuertas de los tiristores. Como se puede apreciar, el disparo de los tiristores se realiza con 0 l gico para evitar problemas de disparos espureos en el momento de un reset, instante en el cual todos los p rticos se ponen en 1 l gico.

Para el caso monof sico, en esta interrupci n, se carga el timer 0 con el valor correspondiente a alfa; luego, y con la ayuda de banderas, al terminarse su tiempo (α), se carga el timer 0 con el valor correspondiente al  ngulo suplementario ($180-\alpha$) y se lo manda a correr nuevamente hasta que venga otro flanco negativo de IN10 (cada 2π) e inicialice las banderas relacionadas para comenzar otra vez el proceso. La bandera 007H indica el ciclo, y la 008h indica el suplemento, ver Figura N.3.8

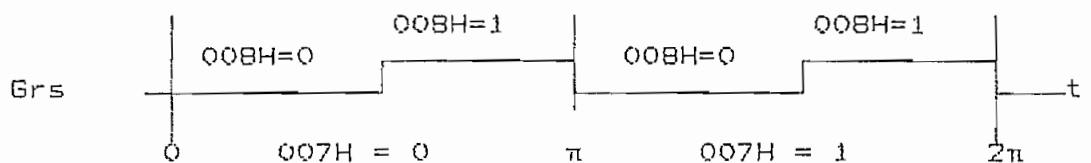


Figura N.3.8 Pulso de disparo monof sico

Para el caso de la configuraci n controlado trif sico, se toman precauciones para el disparo ya que el pulso puede durar hasta 240° (dos pulsos de interrupci n consecutivos) lo que indica que a n durante el instante de sincronizaci n, deben haber algunos pulsos activados en las gates de los tiristores los mismos que dependen de: la secuencia, si alfa es mayor o menor de 120° y el tipo de fuente para el conversor de potencia. Con la ayuda de la Figura N.3.6b y la TABLA IV podemos darnos cuenta del m todo de disparo utilizado en el caso trif sico.

ANGULO DE DISPARO----- > 120° < 120°

DESCRIP.	DIS	CP	St	Ss	Sr	Gt	Gs	Gr	Gt	Gs	Gr
PORTICO 0	7	6	5	4	3	2	1	0	2	1	0
Sec +	*	0	1	1	0	0	0	0	1	0	0
	*	0	1	1	1	0	1	0	1	0	1
	*	0	1	0	1	0	0	0	0	0	1
	*	0	1	1	1	1	0	0	0	1	1
	*	0	0	1	1	0	0	0	0	1	0
	*	0	1	1	1	0	0	1	0	1	0
Sec -	*	0	1	1	0	0	0	0	0	1	0
	*	0	1	1	1	1	0	0	0	1	1
	*	0	0	1	1	0	0	0	0	0	1
	*	0	1	1	1	0	1	0	1	0	1
	*	0	1	1	0	0	0	0	1	0	0
	*	0	1	1	1	0	0	1	1	1	0

TABLA IV. TABLA DE CONVERSION.

Frente a cada pulso de sincronización, y para el caso trifásico, la rutina debe determinar qué pulso de sincronización de cada fase (R, S, T) debe llegar, según la información de inicialización. Así, justo después de determinar la secuencia, y saber a ciencia cierta que la siguiente interrupción que se va a recibir sea la de R, se carga el registro R4 del banco 1 con 3H.

Esta rutina monitoreará el valor del registro R4 y el valor de sincronización y al mismo tiempo los comparará; cualquier diferencia será por causa de una falla en la alimentación y se activará una bandera de falla. La TABLA V muestra un resumen de la función de monitoreo de sincronización.

SECUENCIA	R4'	* * T S R * * *
POSITIVA	3	1 1 0
	2	1 0 1
	1	0 1 1
	3	1 1 0

NEGATIVA	3	1 1 0
	1	0 1 1
	2	1 0 1
	3	1 1 0

TABLA V Sincronización

Una vez determinado el nuevo valor de R4' para el próximo pulso, y con el dato de secuencia, direccionamos una tabla (página de memoria 00COH) que contiene el dato, el mismo que debe cargarse en el byte de control (pórtico 0) en el momento del pulso de sincronización. Para el caso de $\alpha > 120^\circ$, el dato a cargarse es 000H en Gr, Gs, Gt respectivamente, ver la Tabla IV. Para el caso de que $\alpha < 120^\circ$ debe tomarse en cuenta que el pulso de disparo durará 240° portanto, el estado de las compuertas será el de la TABLA VI.

SECUENCIA	PULSO DE SINCRONIZACION	COMPUERTA EN ALTO	DATO EN MEMORIA
POSITIVA	R	T	1
	S	R	2
	T	S	4
NEGATIVA	R	S	1
	T	R	4
	S	T	2

TABLA VI. ESTADO DE COMPUERTAS PARA $\alpha < 120^\circ$.

Esto se logra con los siguientes pasos :

- Se guarda el estado del pörtico 0 (*****000) al inicio de la rutina.
- Se suma al dato de memoria (TABLA VI).
- Se saca el nuevo valor al pörtico.

Fĩnalmente, se trae de memoria el dato de disparo el mismo que va a salir por el pörtico 0 (ver TABLA IV) correspondiente a la señaal de sincronización que en ese momento esté presente.

Frente a una falla en sínchronismo, se setea la bandera correspondiente al tipo de fuente, 009H para trifásica y 00AH para monofásica; acto seguido, se pone un ángulo de 180°, se abre el contactor principal y se pone 000H en las compuertas, (111H en el micro) y se sale de la rutina normalmente.

Registros Utilizados:
 R1,R2,R7 del banco 0
 R4 del banco 1

Banderas utilizadas:
 2H,3H,4H,9H, 0AH,

3.2.7 Rutina de teclado (TECLADO).

La rutina de teclado realiza entre otras cosas la eliminación del rebote que existe cuando una tecla es presionada. El dato de las teclas es codificada a BCD como se vió en el capítulo anterior, luego entra a los cuatro pines mas significativos del pörtico 1 de la siguiente manera: ver Figura N.3.9.

PORTICO 1	7	6	5	4	3	2	1	0
	D	C	B	A	Señ.	Señ.	ID	ID

Figura N.3.9 Entrada de teclado.

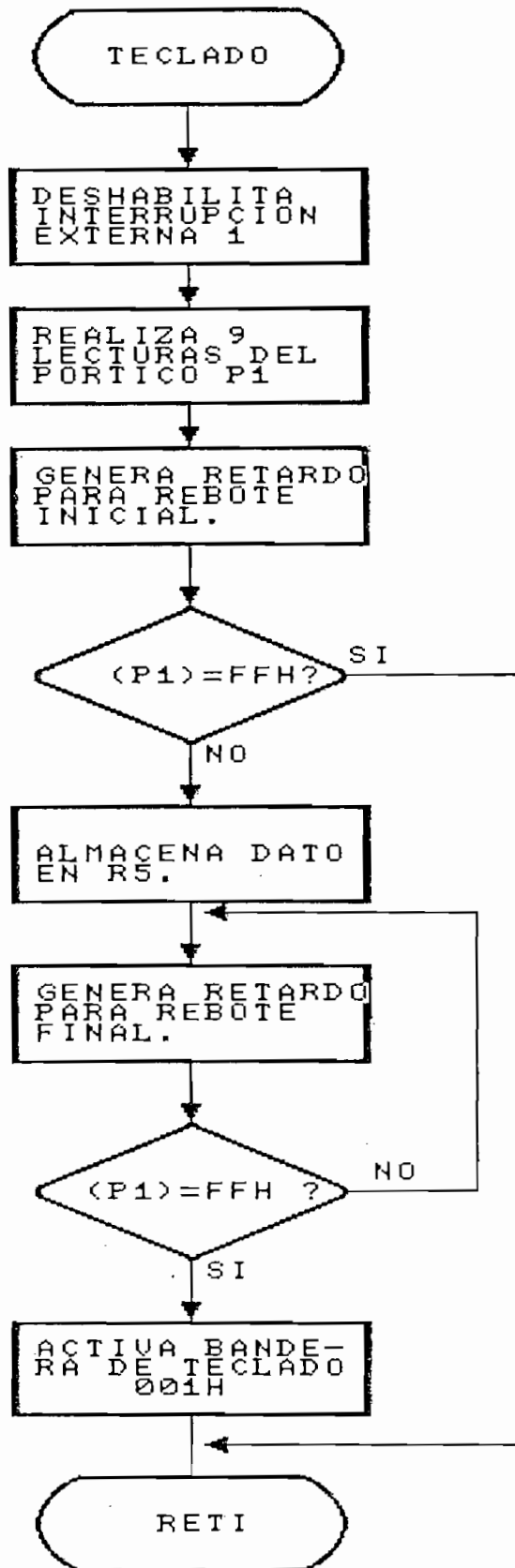
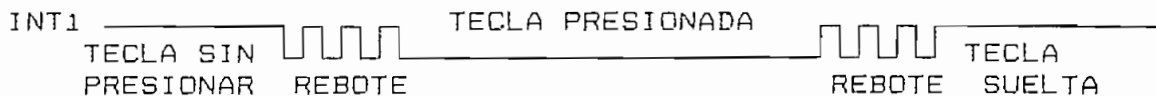


Figura N.3.9 Diagrama de flujo de comunicacion con teclado

Al presionarse cualquier tecla se genera una interrupción (INT1) de baja prioridad. El rebote que se va a eliminar es de la siguiente forma:



La interrupción INT1 se detecta por flanco negativo; por lo tanto, luego de la primera caída del rebote se deshabilita inmediatamente la detección de esta interrupción y se ejecutan los siguientes pasos:

- 1.- Lee el dato del pòrtico algunas veces para generar un retardo y evitar el rebote. A cada una de estas lecturas se las hace la operación lógica "AND" con la anterior para asegurar que el dato ingresado sea válido.
- 2.- El último resultado se llena de 1's en los 4 bits menos significativos del dato leído y se compara con FFH para así determinar si se ha dejado de presionar una tecla antes de que se pueda tener un dato válido.
- 3.- Si el resultado de 2 es cero entonces se ha coincidido con un rebote alto y se sale de la rutina sin activar bandera de teclado.
- 4.- Si al comparar, se encontrase que son iguales los datos, se genera un retardo para superar el rebote.
- 5.- Se lee nuevamente P1, se llena con 1's, y se compara con el resultado de 2, si ambos valores son iguales, el dato es válido, y entra a esperar que la tecla se suelte. Caso contrario, se sale de rutina sin activar la bandera de teclado 001H.
- 6.- Para superar el último rebote, se lee P1 y se compara con FFH; si el resultado es cero, la tecla se ha dejado de presionar y se sale de rutina activando la bandera 001H y con el dato del teclado almacenado en R5 y limitado al rango (0 a AH).

7.- Si el resultado de 6 es distinto de cero, se genera un retardo y regresa a 6.

Una vez que el dato de teclado está almacenado en R5, y que la bandera de teclado ha sido monitoreada en programa principal, empieza una rutina para mostrar en display el dato ingresado si es el caso de que se ingresa un ángulo de disparo por teclado. Para el caso de que sea un comando, el programa principal enrutará este dato como si ingresara del serial.

Para el caso de comandos, tenemos las siguientes funciones:

TECLA	COMANDO #	FUNCION
0	0	No operación.
1	1	Cerrar Contactor Principal.
2	2	Incrementar 1°
3	3	Incrementar 10°
4	4	Decrementar 1°
5	5	Decrementar 10°
6	6	Estado de fuente
7	7	Abrir contactor Principal
8	8	Estado de secuencia.
9	9	Convertor A/D
N COUNT	A	-----

TABLA DE COMANDOS

Para ingresar un dato de alfa¹⁰¹ se sigue el siguiente procedimiento:

TECLA	DISPLAY	COMENTARIO
N COUNT	-----	SE MUESTRA 000 ÉN DISPLAY.
DAT1	<input type="text"/> <input type="text"/> <input type="text"/> DAT1	PRIMER DATO
DAT2	<input type="text"/> <input type="text"/> DAT1 DAT2	SEGUNDO DATO
DAT3	<input type="text"/> DAT1 DAT2 DAT3	TERCER DATO
N COUNT	<input type="text"/> A L F A	TECLA DE FIN DE INGRESO.

SECUENCIA DE INGRESO DE DATOS POR TECLADO

Puesto que el dato de alfa no será de más de cuatro dígitos, el programa protege esta condición de la siguiente manera: si hay menos de tres dígitos, es necesario presionar la tecla N-COUNT para terminar el proceso, pero si ya se ha presionado una tercera tecla, automáticamente finaliza el proceso; pero, si la primera tecla resulta ser mayor o igual a 2, todo el dato de alfa ingresado se anula y en su lugar se presenta al alfa anterior al proceso. Finalmente si el dato de teclado es mayor que 180°, éste se redondeará a 180°.

Registros Utilizados:

R0,R5 del banco 0

R6,R7 del banco 2

R7 del banco 3

Banderas Utilizadas:

1H,CY

3.2.8 Rutina de adquisición de datos (ADC)

Esta rutina permite el procesamiento de información proveniente del conversor A/D ; una vez elegido el canal (0 -

7), el número de datos a leerse (n) y el número de datos a eliminarse (m) del grupo de los n (por intermedio del computador personal en la etapa de inicio), se sigue el siguiente procedimiento ver Figura N.3.10.

- Se llena la ram con los n datos leídos del canal especificado ($n < 30$)
- Ordena ascendentemente los datos. (metodo de la burbuja).
- Elimina los m datos más grandes y los m más pequeños.
- Del resto ($n - 2*m$), se calcula el promedio.
- Muestra el promedio en displays y saca al pórtico serial.

El llenado de los datos en la memoria RAM del microcontrolador, esta limitado por la capacidad de ésta, puesto que aquí es donde se almacenan los datos del STACK según si las rutinas se van ejecutando con las instrucciones PUSH y POP. Además, aquí se guardan las direcciones de los registros de funciones especiales. El espacio de memoria está disponible aproximadamente desde 40H hasta 80H lo que hace un total de 64 datos disponibles.

El método de ordenamiento es el de la burbuja:

- Toma el primer dato
- Compara con el resto hasta encontrar uno que sea menor a éste.
- Si encuentra un valor menor, intercambian posiciones inmediatamente, el nuevo primer valor se sigue comparando con el resto de valores.
- Si no encuentra un menor, se toma el segundo dato y se repite la secuencia con el resto de datos de memoria.
- Si encuentra un valor igual la rutina no hace nada y continúa con el resto de datos.

En la primera corrida (con el primer dato) a través de toda la



Figura N.3.10 Diagrama de flujo de la adquisicion de datos

tabla de datos(localidades de memoria), se obtiene el dato menor de toda la tabla; en la segunda corrida (segundo dato), la rutina realiza comparaciones con el resto de datos sin considerar al anterior. De esta forma, el tiempo ejecución de cada corrida va disminuyendo. La eliminación de los datos en los extremos de la tabla ordenada permite una aproximación mas precisa del grupo de datos tomados.

El promedio se obtiene sumando los datos de dos en dos, a cada subsumando se divide por el número de datos($n-2*m$), el resultado parcial se almacena en un registro (R2 del banco 3) el residuo de la división también se lo almacena en otro registro(R4 del banco 3); el residuo se suma al resultado parcial y continua el proceso hasta terminar con todos los datos.

Al enviar un dato por el pörtico serial, es necesario un retardo porque el computador no responde tan rápido como el microcontrolador y puede darse dos casos:

- 1.- Puede llenar rápidamente el buffer del pörtico serial del computador personal, aunque se lea del archivo del pörtico serial.
- 2.- Puede enviar un dato tan rápido que el computador lo ignore .

Otra rutina que permite manipular datos del conversor A/D es el de gráfico; en esta rutina, solo se activa el conversor A/D, se lee el pörtico 2 y se lo envía al serial, se desactiya el conversor A/D y se muestra el dato en display. Justamente se utiliza el retardo que ofrece la rutina de DISPLAY para no llegar a llenar el buffer serial. La forma de graficar se explicará en el siguiente punto (software en el computador personal).

Registros Utilizados:

Banderas Utilizadas:

R0,R1,R2,R3,R4,R6 del banco 3

R3,R5 del banco 2

3.2.9 Rutina de gráfico de datos. (GRAF)

Esta rutina permite al microcontrolador operar continuamente recibiendo datos del conversor análogo-digital. Estos datos (hexadecimal) son convertidos a BCD por medio de tablas de conversión; luego, son mostrados en display y enviados al pòrtico serial.

Esta operación continua del microcontrolador se inicia e interrumpe por acción del seteo de una bandera (OEH). Esta acción es tomada por el computador personal mediante un dato o comando específico.

Registros Utilizados:

Banderas Utilizadas:

R0,R1,R7 del banco 1

OEH

3.3 DESARROLLO DEL SOFTWARE EN EL COMPUTADOR PERSONAL

En el computador personal se ha implementado un programa en QUICKBASIC, el mismo que sirve para mostrar al usuario un MENU en el cual el usuario puede operar el sistema de acuerdo a una secuencia de pasos ya establecidos.

Primero, se abre un archivo para comunicación serial de entrada salida mediante la instrucción OPEN COM" y sus respectivos argumentos. Luego, se presenta un menú que se basa en un arreglo en tres dimensiones y con el movimiento del cursor como selección de opción principal y de sub-opciones.

Cada opción tiene su código, el mismo que permite que se habilite o deshabilite dicha opción. Esta característica asegura que un proceso dependa de la ejecución de otro; como sucede con el proceso de operación del sistema y el proceso de inicialización. Al haber seleccionado una opción, mediante el (CARRIAGE RETURN) se desencadena el proceso correspondiente.

Cada proceso actualiza, transmite o recibe datos del sistema identificado previamente. El valor de identificación varía de 0 a 3; este dato es convertido a caracter mediante la instrucción CHR\$. Cada dato que se quiera enviar al microcontrolador debe ser sumado 32 (20H) debido al hecho de que los 32 primeros caracteres son de control para el computador personal y precedido de la identificación correcta. Por ejemplo:

```
Id$= CHR$(32 +Id)
```

```
PRINT#1,Id$;CHR$(32+ DATO O COMANDO);
```

donde Id es la identificación del sistema, Id\$, es su caracter correspondiente, #1 es el número del archivo creado y DATO O COMANDO es lo que se desea enviar por el pórtico serial.

Los datos o comandos se pueden resumir en el siguiente cuadro:

DATO O COMANDO	DESCRIPCION
181	No operación
182	Cerrar contactor principal
183	Incrementar un grado de alfa
184	Incrmentar 10 grados
185	Decrementar un grado
186	Decremetar 10 grados
187	Obtener estado de fuente
188	Abrir contactor principal
189	Obtener estado de secuencia
190	Borra bandera para nuevo canal
191	Ingrasa nuevo número de datos a leerse del conversor ADC
192	Ingrasa nuevo número de datos a eliminarse.
193	Habilita conversión A/D
194	Habilita rutina de Gráficos
195	Deshabilita rutina de gráficos
196	Entrada de sobre-voltaje.
197	Entrada de sobre-corriente.

LISTA DE COMANDOS

A continuación se presenta con algún detalle la opearción de cada opción del menú principal del programa en QuickBasic.

3.3.1 Inicio

Esta opción representa el primer paso en la operación del sistema; por lo tanto, ésta será la única habilitada. Dentro

de esta opción tenemos la de inicialización del equipo, inicialización del conversor ADC y finalmente la de redefinición de cualquiera de las dos anteriores.

3.3.1.1 Inicialización del equipo.

Esta sub-opción permite establecer los siguientes parámetros:

- Identificación del sistema.(0 - 3)
- Número de pulsos del conversor.(tipo de conversor)
- Voltaje máximo de salida.
- Corriente máxima de salida.

Una vez terminada la selección, se ingresan los datos y la opción de inicializar el conversor se habilita.

3.3.1.2 Inicialización del conversor A/D

Esta sub-opción permite establecer los siguientes parámetros:

- Canal de conversión (0 -- 7)
- Número de datos a leerse (0 -- 40)
- Numero de datos a eliminarse

Una vez seleccionada la opción se habilitan el resto de las opciones y sub-opciones del menú y se deshabilitan estas dos de inicialización para evitar cualquier ingreso involuntario al sistema.

3.3.1.3 Redefinición de inicialización.

Esta opción permite corregir algún dato errado que ha sido ingresado en cualquiera de las dos inicializaciones anteriores; por esta razón, esta opción pregunta tan solo cual las dos se desea redefinir e inmediatamente se habilita dicha

opción elegida.

3.3.2 Estado

Este submenú presenta opciones como las de: estado de fuente y estado de secuencia.

3.3.3 Operación

Este submenú presenta las siguientes opciones: operación del sistema, adquisición de datos y gráfico de datos.

3.3.3.1 Operación

Esta opción permite controlar al sistema en general y al convertidor estático de potencia en particular mediante el siguiente cuadro de comandos.

COMANDO	TECLA
Cerrar contactor principal	F1
Abrir contactor principal	F2
Incrementar/Decrementar un grado	↑ ↓
Incrementar/Decrementar 10 grados	← →
Parada	(Home)
Aceleración	(PgDn)
Desaceleración	(PgUp)
Angulo alfa deseado	(Ins)
Adquisición de datos del canal mostrado	F3
Salir a menú principal	(End)

COMANDOS DE OPERACION

En esta opción se espera por una falla en fuente y una falla en corriente y voltaje a la salida del convertidor. Frente a cualquiera de las anteriores fallas el computador se setea a 180 grados de alfa y abre el contactor principal, aunque en el mismo microcontrolador ya se ha establecido lo mismo.

Con el comando F3 se muestra el valor que en ese instante está en el en el canal del convertidor que en ese instante está direccionado. La aceleración y desaceleración tienen que ver con los límites imputos en la inicialización del equipo para el ángulo alfa.

3.3.3.2 Adquisición de datos.

Esta opción permite variar todos los parámetros del convertidor análogo-digital y mostrar el valor del dato convertido.

3.3.3.3 Gráfico de los datos.

Esta opción llama la rutina de gráficos del microcontrolador, recibe los datos del canal que en ese instante está direccionado y los almacena en un arreglo para luego ser graficado. Es una técnica de gran utilidad la de primero recibir y luego procesar la información, debido al hecho de que si se quiere procesar en el instante en que llega, el buffer de comunicación se llenaría violentamente dado que la respuesta del monitor para graficar es demasiado lenta.

Finalmente, para menorar el problema de llenado del buffer de comunicación se ha dispuesto que el tamaño de éste sea lo mas grande posible (en QUICKBASIC 32444 bytes). Por el lado del microcontrolador, se ha procurado enviar los datos y luego un retardo (generalmente llamado a DISPLAY) para así dar tiempo de descargar al buffer.

CAPITULO IV

RESULTADOS

EXPERIMENTALES

4.1.- CONFIGURACIONES ALCANCES Y LIMITACIONES DEL SISTEMA

El sistema ha sido construido con la intención de promover el diseño de equipos de control electrónico de potencia que incorpore tecnología de los microprocesadores. Este tipo de equipo puede ser utilizado en la industria o como el presente trabajo, en el Laboratorio de Electrónica de Potencia de la Escuela Politécnica Nacional. El equipo está montado en una caja metálica modular de fácil armado, cuyas dimensiones son:

Ancho	40 cm.
Altura	12 cm.
Profundidad	40 cm.

El peso aproximado de todo el conjunto es de 10Kg., y su distribución es la siguiente:

En su interior se encuentra la parte de potencia y control. Si bien la parte de potencia está constituida por el módulo conversor AC/DC de estado sólido, sus redes de

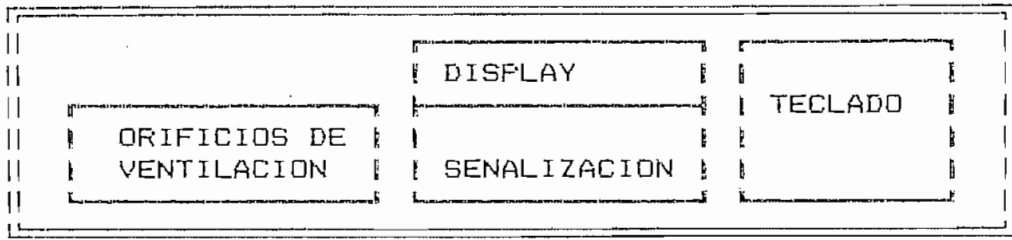
protección, contactor principal, breaker y elementos de protección, ésto es justamente lo que hace pequeño al equipo en comparación con otros de similar potencia.

La caja incluye una base de madera (aglomerado) triplex de 2 cm de grueso con el propósito de aislar la caja metálica y sujetar las tarjetas, circuitos y dispositivos del equipo. La distribución de los elementos circuitales del equipo se muestran a continuación:

Modulo de Potencia	Sincronizacion y Fuente de DC
Filtro de Red, Disparo Protecciones	Circuito de Control Maestro
Contactor Principal	Microcontrolador

BASE DEL EQUIPO

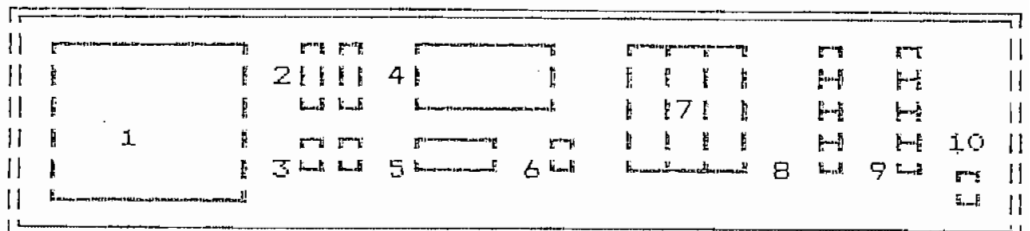
En la parte frontal se encuentran: el display, leds de senalización y teclado; todos, montados en sus circuitos impresos colocados verticalmente. El circuito impreso de display y leds de senalización; es tan solo un paso de información desde el circuito de control maestro a través de correas tipo BUS, una de 40 hilos (display) y otra de 14 hilos (senalización); el circuito del teclado es un decodificador de teclas a BCD, estos datos en BCD son llevados al circuito de control maestro por medio de una correa de 6 hilos: 4 de datos y dos de polarización.



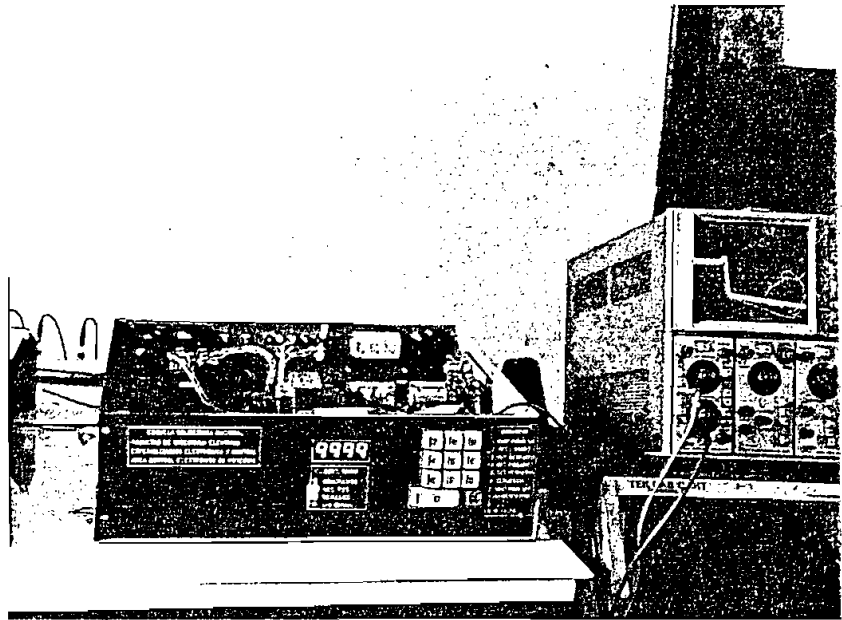
PARTE FRONTAL

En la parte posterior, se han colocado los terminales de entrada y salida, así como también el ventilador, el breaker y los fusibles. Los terminales de entrada son para red trifásica (220 V) con neutro. La alimentación monofásica (110 V) del equipo es un conector polarizado. Se tienen tres fusibles y tres breakers. Existen dos conectores DB 25L (macho y hembra) para transmisión serial, puenteados en sus tres hilos (transmisión, recepción y tierra) para tener la posibilidad de utilizar el pórtico para otro equipo de similares características. Además, el ventilador está situado justo al frente del conversor de potencia y se alimenta de la red monofásica a través del switch principal que está en la parte lateral izquierda del equipo.

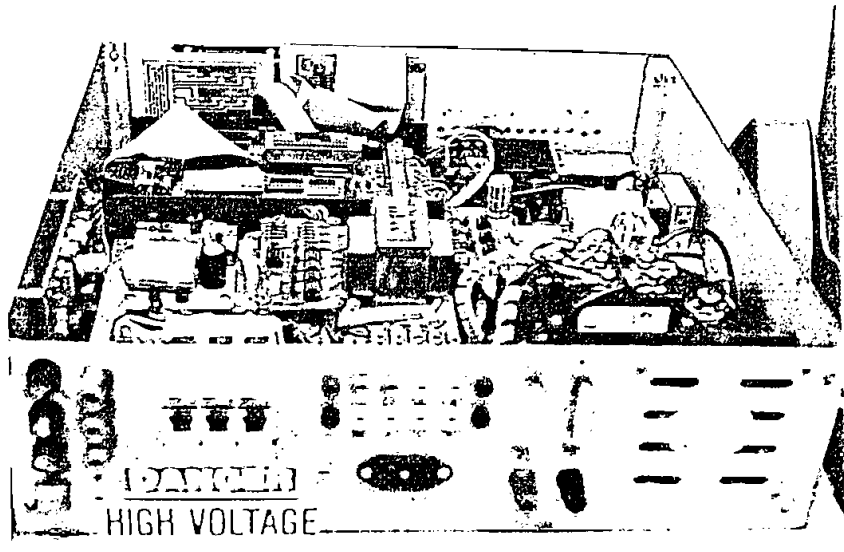
Por otro lado, se han implementado 12 terminales, 8 para señales analógicas de entrada y 4 para sus respectivas referencias. Finalmente, se colocó un botón de reset general del sistema y un switch de selección de sincronización trifásica o monofásica.



PARTE POSTERIOR



PARTE FONTAL DEL EQUIPO



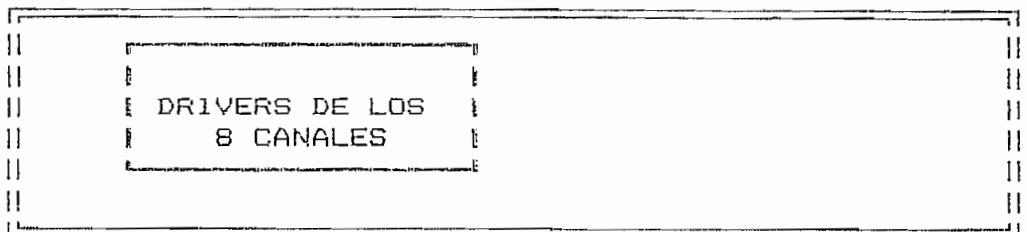
PARTE POSTERIOR DEL EQUIPO

1. Ventilador (110 V)
2. Pórticos Seriales
3. Terminales de salida DC (0 - 300VDC)
4. Terminales para 8 canales analógicos.
5. Terminal de monofásica (110 V)
6. Switch de seleccion de sincronizacion (monof. trif.)
7. Breaker 10 A
8. Terminales de red trifásica con neutro (220 VAC)
9. Fusibles
10. Botón de reset del sistema.

En la parte lateral izquierda se encuentra el switch de encendido / apagado del equipo (sistema de control). En cambio, en el interior de la parte lateral derecha esta montada la tarjeta que tiene que ver con la adecuación de niveles de voltaje y el aislamiento de las señales externas que van ha ser ingresadas por los ocho canales que se encuentran en la parte posterior.



PARTE LATERAL IZQUIERDA



PARTE LATERAL DERECHA

En lo que concierne a configuraciones, límites y alcances, se puede decir que por parte de potencia, las configuraciones de conversor AC-DC que se pueden implementar son las que posibilitan el módulo conversor AC-DC trifásico semicontrolado de estado sólido.

Por el lado de control, se utiliza el sistema de lazo abierto; es decir, el activado del conversor AC-DC seleccionado, es controlado en forma directa por el dato que ingresa del computador personal o por el teclado independiente del equipo; de este modo, se tiene un rango total de control sobre el voltaje en la salida del conversor.

Independientemente de las condiciones de carga del conversor, éste seguirá operando mientras no se sobrepasen las condiciones de voltaje y corriente máximas especificadas. Si la corriente pasa del límite fijado, se detiene inmediatamente la operación y se regresa al estado de stand by.

Esta configuración (lazo abierto), resulta inadecuada para regular alguna variable de interés (voltaje, corriente etc.) ; pero, es de gran utilidad para fines de estudio del comportamiento de los conversores AC-DC y los efectos que produce su operación en la corriente de línea, de carga, contenido armónico, factor de potencia, etc.

Para finalizar, el equipo quedará listo para implementar en software algoritmos de control en lazo cerrado. Para este fin, se ha dejado el espacio de memoria (del microcontrolador) suficiente, así como también se ha estructurado el programa en forma modular y bien documentado. Por el lado de hardware, se tienen disponibles 2 canales para señales negativas y 4 para positivas para

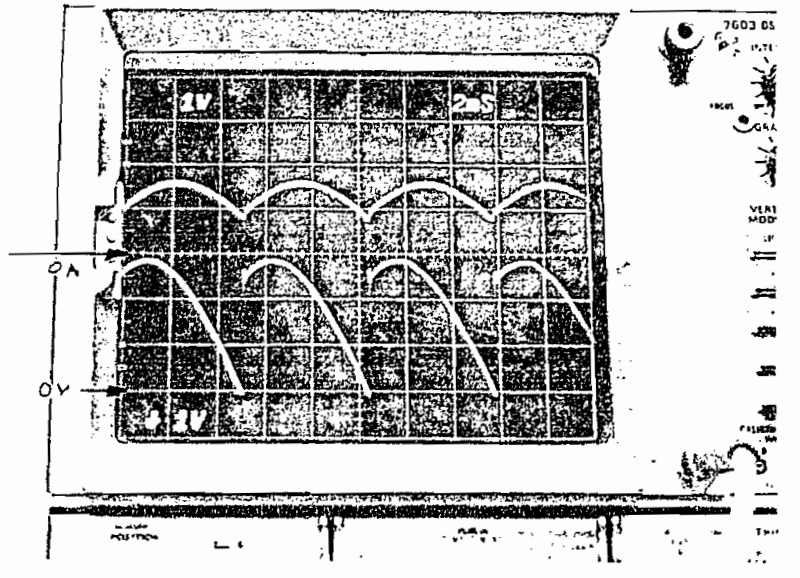
futuras realimentaciones de variables de interés.

4.2. OPERACION CON RED TRIFASICA.

A continuación se presentan fotografías con las formas de onda de voltaje, corriente y pulsos de disparo de los convertidores AC-DC en sus distintas configuraciones con red trifásica implementadas. Las condiciones de carga en las que estas pruebas fueron realizadas son cercanas a las nominales.

4.2.1 Conversor AC-DC Trifásico semicontrolado.

En las fotografías N.4.1, N.4.2. y N.4.3, puede apreciarse el voltaje terminal y la corriente de carga del convertidor trifásico semicontrolado, para un ángulo α . El tipo de carga será R-L.



Fotografía N.4.1 Conversor trifásico semicontrolado $\alpha = 60^\circ$

Angulo de disparo $\alpha = 60^\circ$

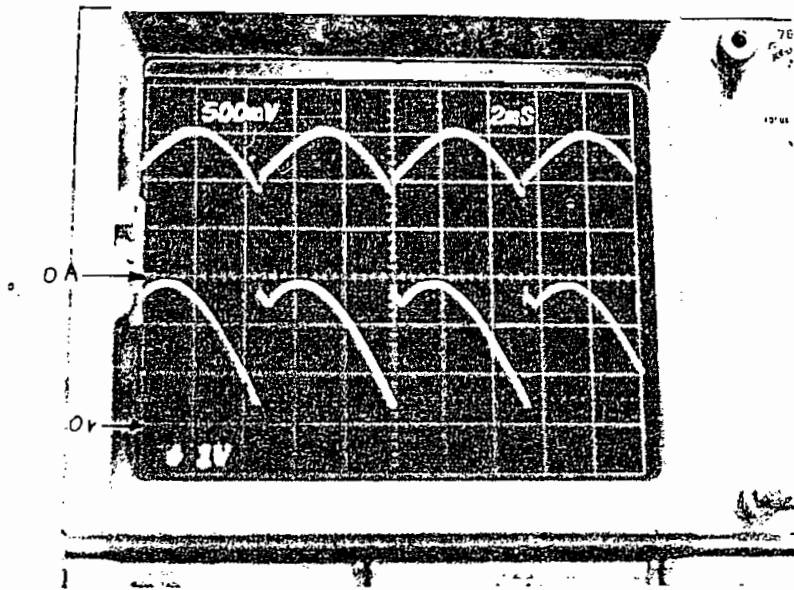
Voltaje en la carga $V_{da} = 200\text{ v}$

Corriente en la carga $I_d = 11\text{ A}$

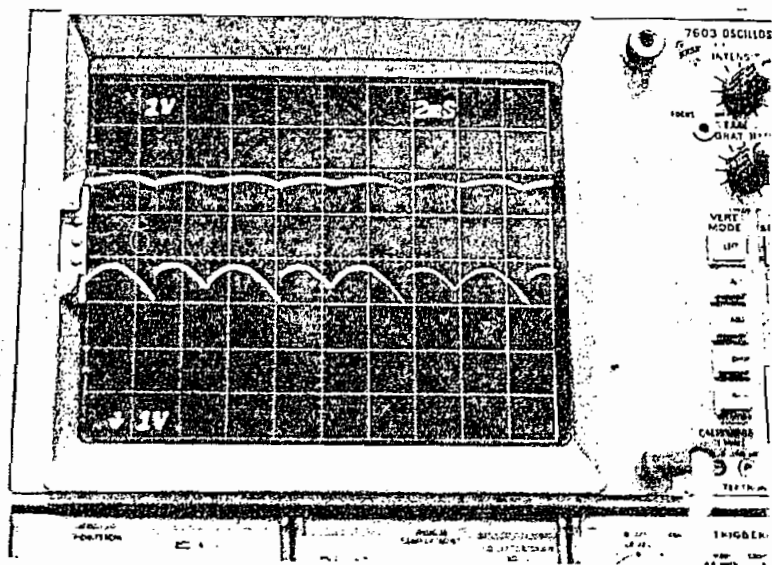
Escala de tiempo $2\text{ }\mu\text{s/div}$

Escala 100 v/div

Escala 20 A/div



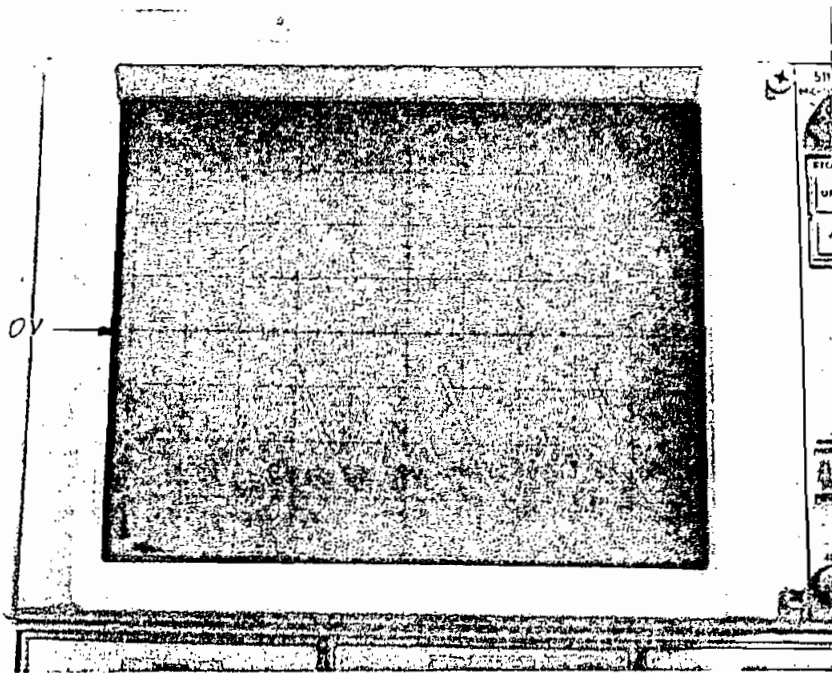
Fotografía N.4.2 Conversor trifásico semicontrolado $\alpha = 50^\circ$
 Voltaje en la carga $V_{da} = 245 \text{ V}$ Escala 100 v/div
 Corriente en la carga $I_d = 2.5 \text{ A}$ Escala 2 A/div
 Escala de tiempo 2 ms/div



Fotografía N.4.3 Conversor trifásico semicontrolado $\alpha = 10^\circ$
 Voltaje en la carga $V_{da} = 294 \text{ V}$ Escala 100 v/div
 Corriente en la carga $I_d = 0.8 \text{ A}$ Escala 1 A/div
 Escala de tiempo 2 ms/div

4.2.2 Conversor AC-DC trifásico controlado de media onda

Las fotografías N.4.7, N.4.8 y N.4.9 muestran el voltaje y la corriente en la salida del conversor AC-DC trifásico controlado de media onda ($p = 3$).



Fotografía N.4.4 Conversor trifásico controlado de media onda $\alpha = 166^\circ$

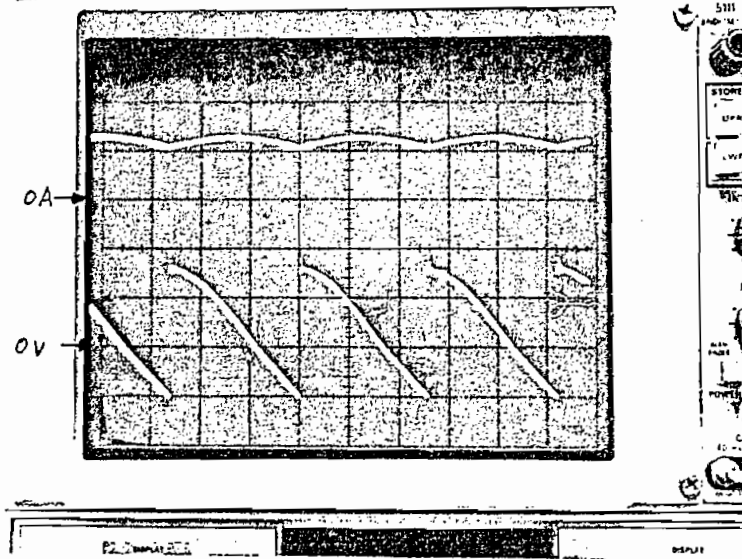
Voltaje en la carga $V_{d\alpha} = -180\text{V}$

Corriente en la carga $I_d = \text{---}$

Escala de tiempo 2ms/div

Escala 100V/div

Escala ---



Fotografía N.4.5 Conversor trifásico controlado $p=3$, $\alpha=90^\circ$

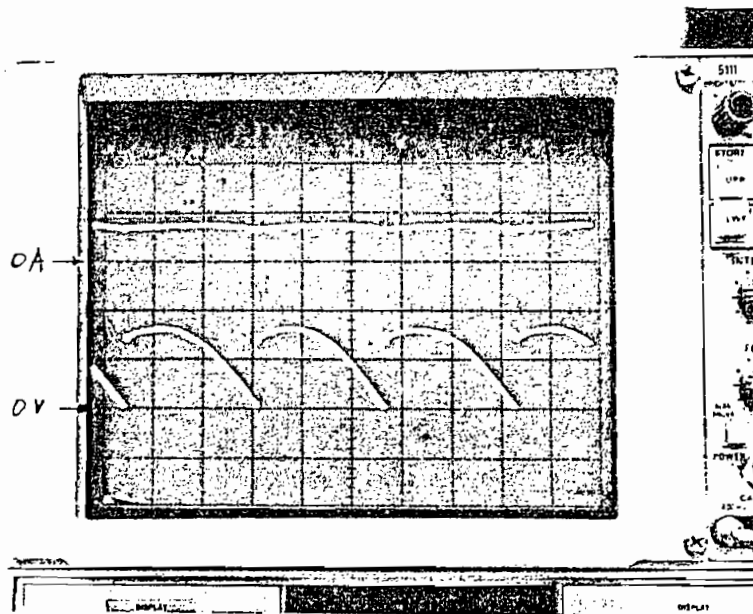
Voltaje en la carga $V_{d\alpha} = 10\text{ V}$

Escala 100 v/div

Corriente en la carga $I_d = 1\text{ A}$

Escala 1 A/div

Escala de tiempo 2 ms/div



Fotografía N.4.6 Conversor trifásico controlado $p=3$, $\alpha=30^\circ$

Voltaje en la carga $V_{d\alpha} = 15\text{ V}$

Escala 100 v/div

Corriente en la carga $I_d = 1.5\text{ A}$

Escala 2 A/div

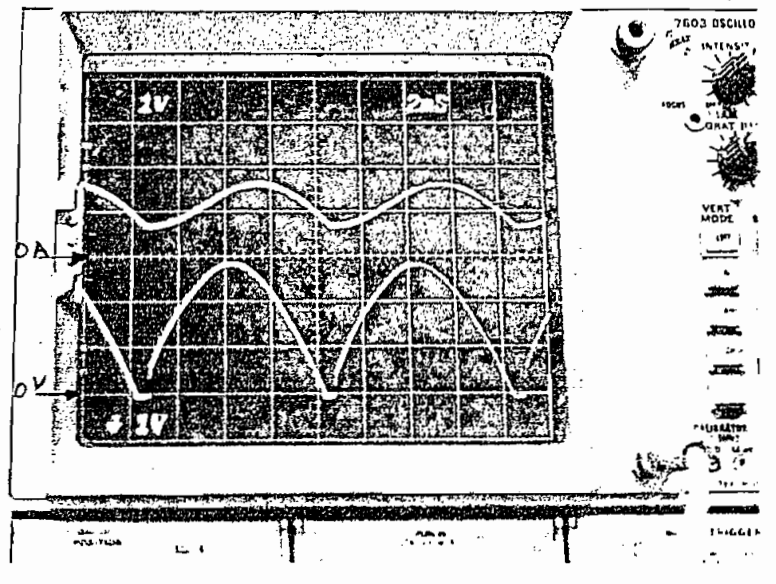
Escala de tiempo 2 ms/div

4.3 OPERACION CON RED MONOFASICA

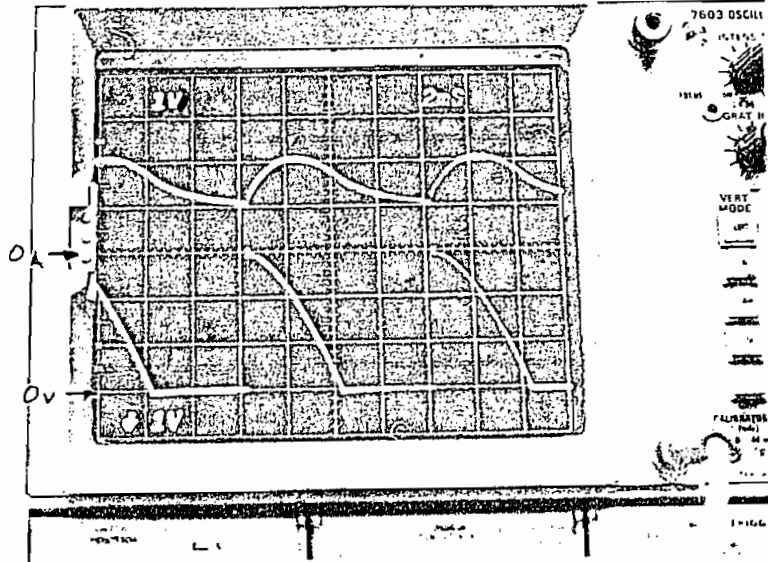
A continuación se presentan fotografías de la operación del convertor AC-DC con red monofásica para distintos valores de ángulo de activado. La carga es R-L.

4.3.1 Convertor AC-DC monofásico semicontrolado

Las fotografías N.4.4, N.4.5 y N.4.6 muestran las formas de onda del voltaje y corriente en la salida del convertor AC-DC monofásico semicontrolado.



Fotografía N.4.7 Convertor monofásico semicontrolado $\alpha = 10^\circ$
 Voltaje en la carga $V_{da} = 195V$ Escala $100v/div$
 Corriente en la carga $I_d = 3A$ Escala $3A/div$
 Escala de tiempo $2\mu s/div$



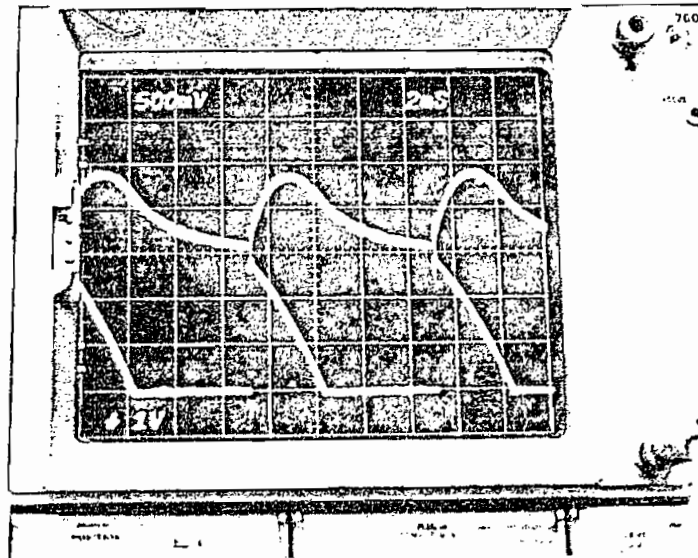
Fotografía N.4.8 Conversor monofásico semicontrolado $\alpha = 90^\circ$

Voltaje en la carga $V_{da} = 100\text{ V}$

Corriente en la carga $I_d = 3.7\text{ A}$

Escala de tiempo $2\mu\text{s}/\text{div}$

Escala $100\text{v}/\text{div}$
Escala $3\text{ A}/\text{div}$



Fotografía N.4.9 Conversor monofásico semicontrolado $\alpha = 100^\circ$

Voltaje en la carga $V_{da} = 81.00\text{ V}$

Corriente en la carga $I_d = 0.8\text{ A}$

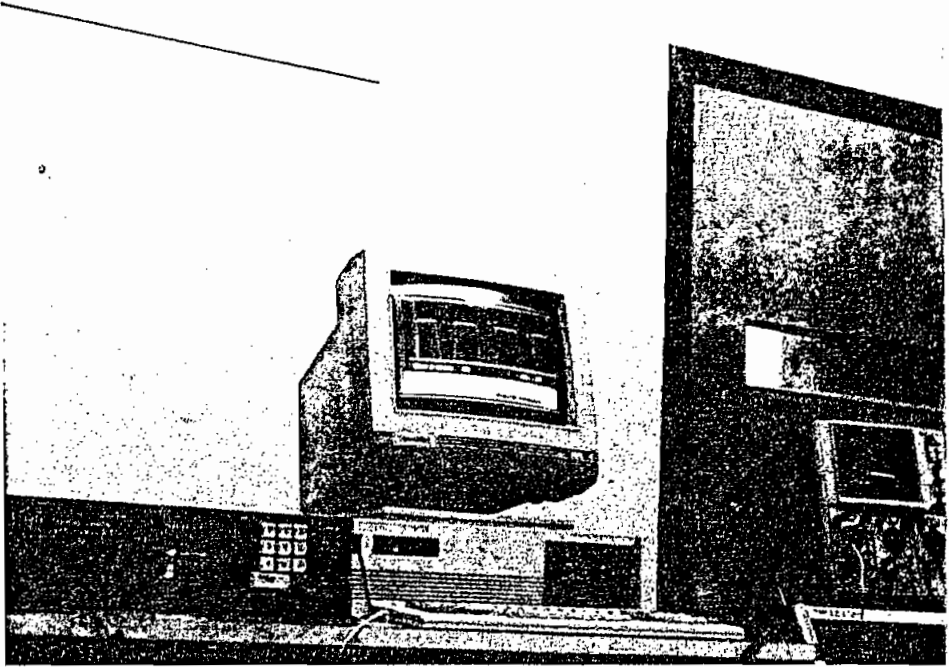
Escala de tiempo $2\mu\text{s}/\text{div}$

Escala $100\text{v}/\text{div}$

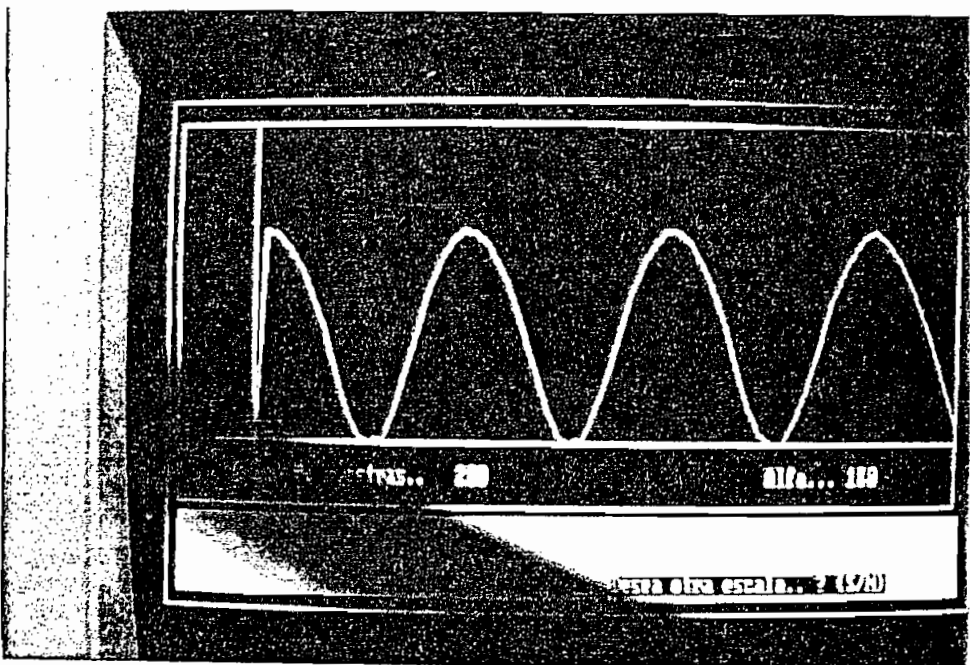
Escala $3\text{ A}/\text{div}$

4.4 OPERACION DEL SISTEMA DE ADQUISICION DE DATOS

Las fotografías N.4.10, N.4.11 muestran las gráficas de los datos que han sido tomados de los canales 1 y 5 a través del microcontrolador hacia el computador personal.



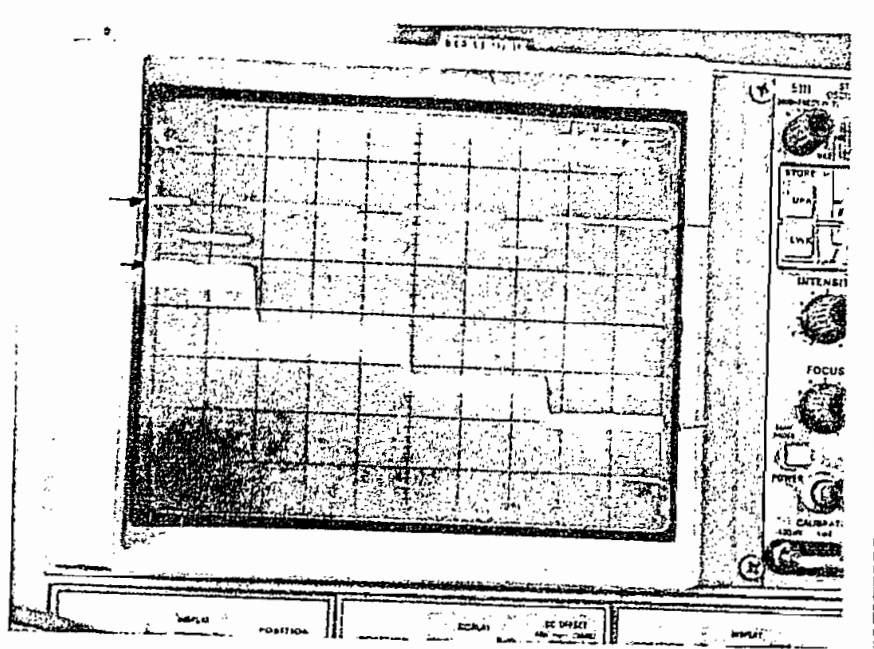
Fotografía N.10 Sistema de adquisición de datos



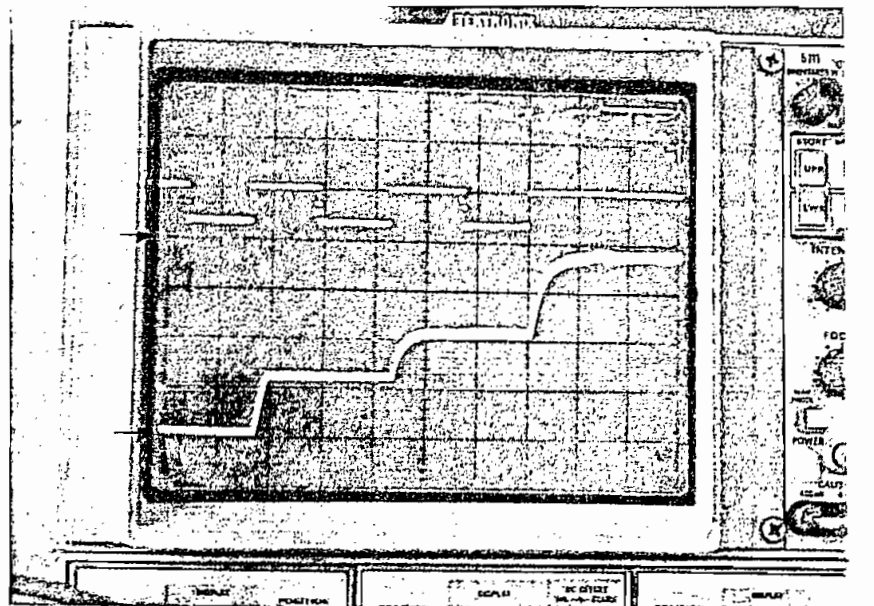
Fotografía N.4.11 Sistema de adquisición de datos

4.5 RESPUESTA DINAMICA DEL SISTEMA

Las fotografías N.4.12 y N.4.13 muestran las respuestas del sistema frente a pasos (10 y 1 grado) ascendentes y descendentes del ángulo alfa de disparo. Estas respuestas son tomadas luego de acondicionadas las señales en la tarjeta de adquisición de datos y no directamente de la salida del conversor estático AC-DC por razones de referencia.



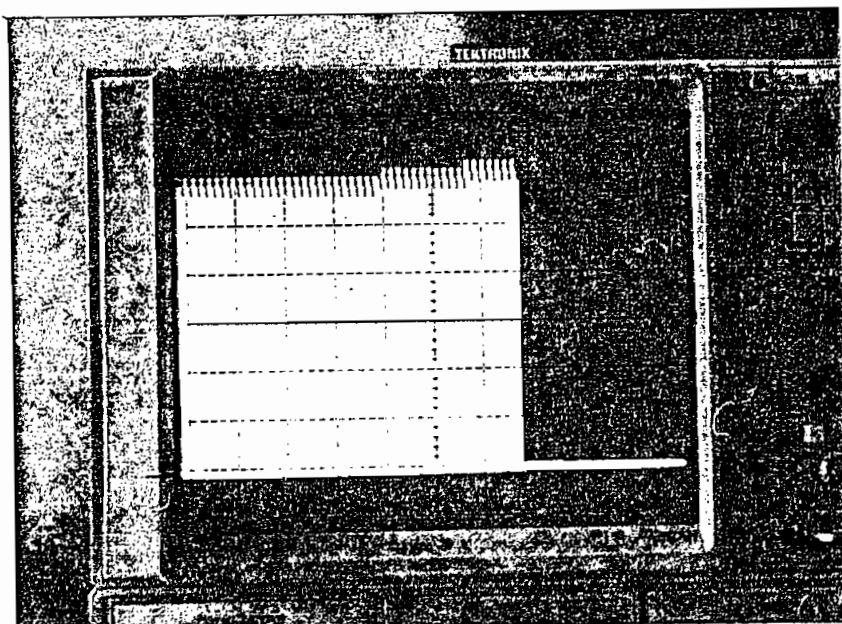
Fotografía N.4.12 Respuesta dinámica del sistema.



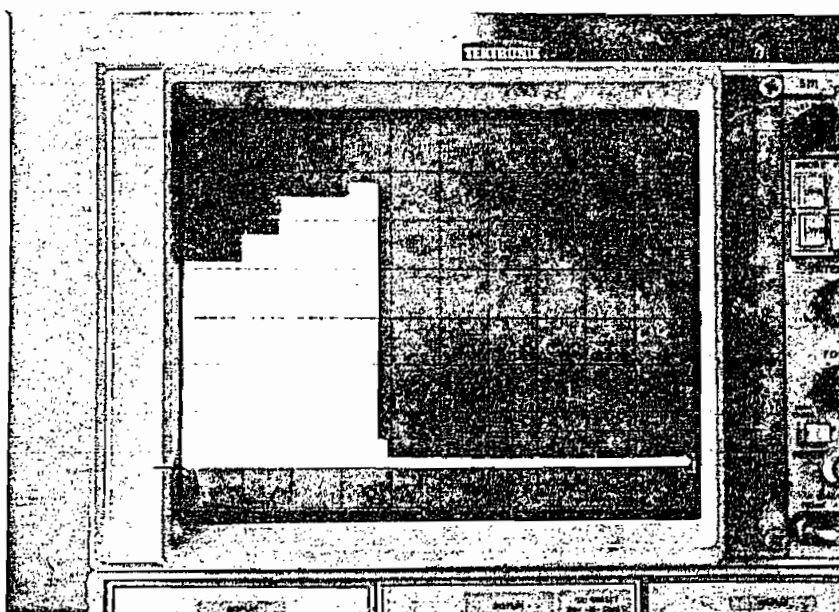
Fotografía N.4.13 Respuesta dinámica del sistema.

4.6 PROTECCIONES Y DETECCION DE FALLAS.

Las fotografías N.4.14 y N.4.15 muestran el voltaje de salida muestran el voltaje de salida frente una falla de sobrevoltaje y sobrecorriente.



Fotografía N.4.14 Voltaje de salida frente a falla



Fotografía N.4.15 Voltaje de salida frente a falla.

4.7 EJEMPLOS DE APLICACION DEL SISTEMA

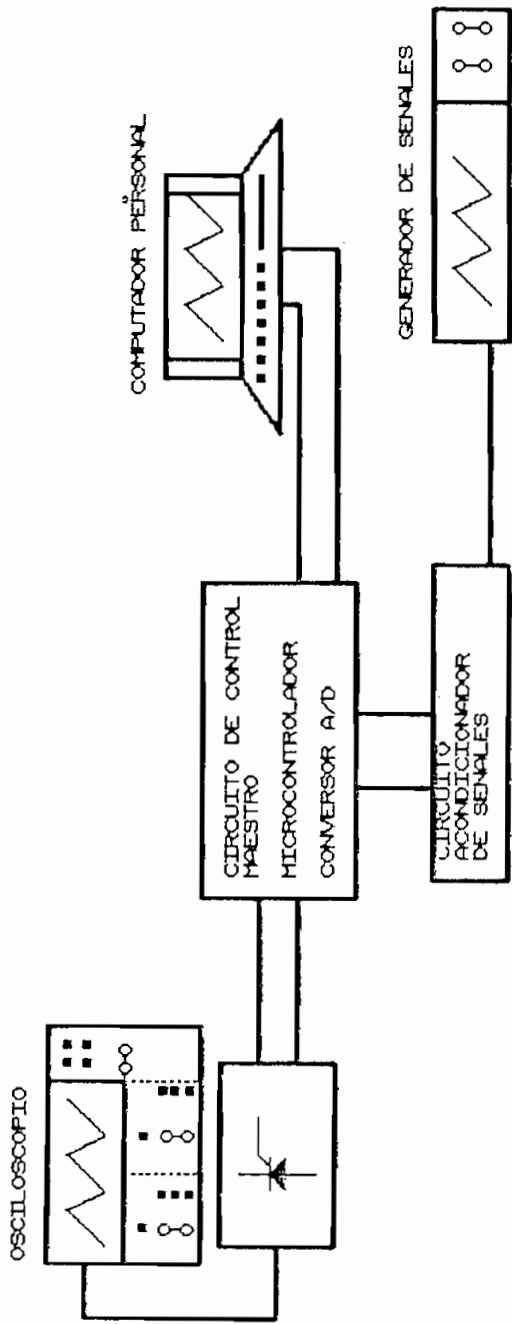
Este sistema puede aplicarse en la industria donde se requiera gran exactitud en el control de variables eléctricas tales como voltaje y corriente.

Existen aplicaciones específicas que requieren de control de cargas de corriente continua a distancia (computador personal), por ejemplo el control de la temperatura de invernaderos. Existen otras aplicaciones que requieren de secuencias de funcionamiento como por ejemplo el control de posición de motores de corriente continua; estas secuencias pueden ser implementadas en el computador personal.

El caso más generalizado en el que se puede aplicar el sistema es cuando se realiza control y regulación de la velocidad y torque de un motor de corriente continua.

Los campos de control de nivel y temperatura, cuyas plantas no son rápidas, pueden ser controlados con este tipo de sistemas.

Como una aplicación específica de este sistema de lazo abierto es la que se presenta en la Figura N.4.1. En ésta se muestra una señal (generador de señales), que ingresa al sistema de adquisición de datos por un canal del conversor A/D. El microcontrolador lee esta señal y la envía al computador personal luego de mostrar en display el valor BCD de cada punto de esta señal. En el computador personal, se grafica el punto y se envía el dato como ángulo de disparo al conversor AC-DC. Se pudo apreciar entonces que el voltaje del conversor AC-DC sigue a la señal del generador de funciones, dando cuenta así del carácter de lazo abierto del sistema. Si bien la frecuencia de la señal no es grande, ésta es suficiente como para realizar en un futuro pruebas en lazo cerrado de sistemas que no son de respuesta rápida, como por ejemplo: NIVELES DE LIQUIDOS, TEMPERATURA, etc.



ESUELA POLITECNICA NACIONAL
 FACULTAD DE INGENIERIA ELECTRICA
 Realizado por: Xavier Vinuesa H.
 Revisado por: Ing. Bolívar Ledesma G.

CONTROL DE CONVERTORES AC-DC CON COMPUTADOR

Size Document Number Figura N.4.1
 A PRUEBA DEL SISTEMA DE ADQUISICION REV

Date: January 1, 1980 Sheet of

CAPITULO V

CONCLUSIONES Y RECOMENDACIONES

5.1 ANALISIS DE LOS RESULTADOS EXPERIMENTALES.

En esta sección se presenta el análisis de los resultados experimentales obtenidos en base a los objetivos planteados al iniciar este trabajo de tesis.

Al evaluar el funcionamiento del equipo en lo que se refiere a voltaje y corriente de salida del conversor estático AC-DC en sus distintas configuraciones, el criterio de diseño (selección) del módulo conversor estático AC-DC asegura que la capacidad de corriente que pueda entregar éste sea mayor a los 20 amperios durante un intervalo de tiempo considerable. En lo que se refiere al voltaje de salida, se puede alcanzar fácilmente el máximo valor en cada una de las configuraciones posibles. Si existe alguna perturbación de gran magnitud en la línea de alimentación, el equipo dejará de operar; para este efecto pudo haberse implementado filtros de entrada en la red, pero aquello perjudicaba la exactitud del sistema en lo que se refiere al ángulo de disparo debido al retardo inherente del filtro.

Respecto a la capacidad de sobrecarga, el equipo puede entregar hasta un 150% de su corriente nominal por un intervalo de alrededor de un minuto, satisfaciendo así las normas de la IEEE para el funcionamiento de convertidores estáticos de potencia.

La temperatura del módulo y de todo el equipo en general, se encuentra dentro de los límites de seguridad, aún cuando se está entregando la corriente nominal en forma permanente. Esto se debe a la presencia del ventilador situado en la parte posterior del equipo justo a un lado del módulo convertidor para evitar cualquier sobrecalentamiento.

La distorsión en la red debido a la conmutación de los tiristores afecta a la sincronización del sistema. El programa que genera los pulsos de disparo elimina los efectos de esta distorsión la misma que se acentúa en los instantes de cada pulso de sincronización.

Las pruebas realizadas para verificar la operación de las protecciones de sobrevoltaje y sobrecorriente fueron halagadoras ya que a pesar del aislamiento, amplificación, filtrado, modulación, etc. de las dos señales (voltaje y corriente) que se sensan, la respuesta fué cercana a 10 ciclos de red. Por seguridad la detección de estas fallas se lo hace con muestras de corriente y voltaje instantáneos, es decir que no ingresan al sistema de adquisición de datos sino se lee el dato y se compara con el máximo; esta situación puede resultar perjudicial en casos de haber sobrecargas o sobrevoltajes transitorios; de todas maneras, y dado que esta detección es controlada por programa, es sencillo hacer que ingrese al sistema de adquisición de datos y se obtenga un promedio de los valores de corriente y voltaje a la salida del convertidor AC-DC.

El comportamiento del sistema de adquisición de datos fue satisfactorio y así lo demuestra la detección de fallas de

sobrecorriente y sobrevoltaje. Para el resto de canales de datos externos, el sistema resulta mucho más lento ya que si bien la medición y el acondicionamiento de las señales es un proceso más rápido, el procesamiento digital de estos datos, la transmisión serial, etc. implican retardos mucho mayores. Esto lo demuestra la prueba de seguimiento del convertor AC-DC a un señal cualquiera (Figura N.4.1). La máxima frecuencia de la señal que debe seguir el convertor resultó ser de 3 Hz. Esto limita el campo de las aplicaciones del equipo al de aquellas plantas cuya dinámica es lenta como por ejemplo control de temperatura, control de nivel de líquidos, etc.

En cuanto al comportamiento dinámico, frente a cualquier perturbación en el ángulo de disparo, el convertor se activa y responde casi sin retardo ni sobretiros. Esto se logra con un programa de control del ángulo de disparo depurado y optimizado, de tal forma que no se incurran en retardos inherentes al tiempo de ejecución de las instrucciones involucradas, sobre todo en las rutinas de interrupción de sincronización (SINCRO, cada 120 grados) y la de disparo de los tiristores (ALFA).

5.2 ANALISIS TECNICO-ECONOMICO DEL EQUIPO.

El equipo construido ha sido diseñado con elementos digitales y analógicos. El circuito de control, al estar formado por el microcontrolador, es en su mayoría digital con niveles de voltaje TTL (+ 5V); en esta tarjeta se encuentra el microcontrolador y es probablemente el elemento más caro de este circuito. Además es difícil de hallar en el mercado local a un precio razonable. Aún así, se piensa que para un corto plazo se podrá adquirir este elemento sin tener que recurrir a su importación.

La tarjeta de sincronización utiliza elementos conocidos que pueden encontrarse fácilmente en el mercado local. La tarjeta

de acomodamiento de señales externas está formado en su mayoría por optoacopladores.

La tarjeta de acondicionamiento de señales externas para el sistema de adquisición de datos está constituida en su mayoría por elementos analógicos (amplificadores operacionales). El elemento más caro de esta parte es el integrado LM 3524 que permite realizar modulación con la técnica de PWM, la misma que podía haberse implementado con amplificadores operacionales y elementos varios a costa de un incremento en el espacio utilizado.

El módulo conversor AC-DC semicontrolado de estado sólido y las redes Snubber forman la parte de potencia controlada por el microcontrolador. Este elemento (conversor estático) es probablemente el elemento más caro de todo el equipo. Además están los elementos de protección y control como son los breakers, fusibles y contactor principal.

El siguiente cuadro resume los elementos, la cantidad de ellos que se utilizó en todo el sistema, su costo unitario y el valor total de esos componentes, y finalmente el costo global de todo el equipo construido.

Cabe señalar que los precios de los distintos elementos que forman este trabajo están referidos a MARZO 1990. El monto total del equipo está por debajo de aquellos que se pueden encontrar en el exterior. Equipos extranjeros de similares características superan en gran cantidad este valor, por lo tanto resulta rentable la manufactura de este equipo considerando que es el primero en su rama, es decir, es el principio de un campo que hasta hace poco era desconocido en el país CONTROL DE POTENCIA CON COMPUTADOR PERSONAL.

TABLA DE COSTOS DE LOS ELEMENTOS

CANT	ELEMENTO	DESCRIPCION	V/UNIT	V/TOTAL
1	i 8751	Microcontrolador	50000	50000
1	CE 420460	Conversor AC-DC	40000	40000
1	ADC0809	Conversor A/D	10000	10000
2	UDN 2981A	Driver	2000	4000
1	ULN 2003A	Driver	1500	1500
1	CD 4511B	Decodif.BCD-7 Seg.	1000	1000
3	MM 74C14N	Smith Trigger	1500	4500
1	MAX232CPE	Recep./Trans. dual	6000	6000
4	TIL 121	Display cat. común	2000	8000
16	ZOCALOS	Zocalos de wire wrap	1400	22400
1	ZOCALO 40p	Zocalos 40P Wire Wra	21000	21000
32	1N 4048	Diodos de señal	100	3200
16	1N 4005	Diodos 2A	120	1920
108	RESISTENCIAS	Resistencias 1/4	40	4320
1	S312	Relé solid state	15000	15000
1	RELE	Relé 120VDC @2A	25000	25000
1	7.3728 Mz	Cristal	1500	1500
1	VECTOR 36	Tarjeta de wire wrap	4000	4000
10	4N28	Opto. led transistor	1000	10000
8	1N 2907	Transt. de señal	300	2400
12	LEDS	Leds	150	1800
4	LM324	operacional	800	3200
2	LM 3524	PWM	6000	12000
8	1N 1765	Zener 5.1V 1/4W	150	1200
30	CONDENSADORES	Condens. cerámica	270	8100
1	SS 20	Transf. 120V/12V @2A	9000	9000
1	CNT 46	Trans.120V/6V, 1A	6000	6000
3	W027610	Puente rectificador	800	2400
3	14K431	Varistor 250V @20A	4000	12000
3	RES.56-5W	Resistencia	300	900
6	0.1uF,600V	Condensador	700	4200
3	.47uF, 600V	Condensador	600	1800
3	RES.0.5 OHM,10W	Resist. de potencia	700	2100
3	RES. 33K, 2W	Resist. de potencia	200	600
1	1N 3912	Diodo de potencia	2500	2500
1	MC7912	Reg. de volt.-12V@1A	900	900
2	UA7805C	Reg. de volt.5V@1A	900	1800
1	UA7812	Reg.de volt.12V@5A	1200	1200
4	CONECTOR	Conec. Flat cable	2000	8000
2	PULSANTES	Pulsantes	800	1600
3	BREAKER	Breakers 220VAC@10A	6000	18000
18	BORNES	Bornes de conexión	800	14400
4	CONECTOR	ConectorRS232,25 y 9	1000	4000
1	VENTILADOR	Ventilador 110V	15000	15000
1	CABLE Y CONECT	Cable polarizado 110	15000	15000
3	FUSIB.Y PORTAF.	Fusibles 25A	1500	4500
1	CAJA	Caja metálica	25000	25000
2	POTENCIOMETROS	Potenc. 1/4 W	1000	2000
1	DISIPADOR	Disipador negro	5000	5000

CANT	ELEMENTO	DESCRIPCION	V/UNIT	V/TOTAL
2-3	DISIPADOR	Disip.de reg. de vol	1500	4500
2-1	MICROSWITCH	Microswitch 4 polos	3000	3000
1	SWITCH	Switch de 1 polo	1000	1000
1	TECLADO	Teclado(11teclas)	5000	5000
	BAQUELITA	Baquelita y arte	15000	15000
1	ACRILICO	Acrílico y arte	10000	10000
	OTROS	Alambre,tornillos Terminales,etc.	20000	25000
			TOTAL	\$ 480.440

5.3 CONCLUSIONES Y RECOMENDACIONES

Luego de haber concluido este trabajo, pionero en su campo, es necesario anotar ciertas conclusiones que podrían ser de gran utilidad para trabajos futuros.

- En base al análisis de los diseños realizados y los resultados de las pruebas obtenidas, se puede afirmar que se ha conseguido construir un equipo que muestre las bondades de los microcontroladores y los computadores personales en el control de lazo abierto de convertidores AC-DC en las configuraciones ya mencionadas.

- El equipo, al utilizar módulos de estado sólido, hace visible la reducción (en espacio) que se puede conseguir tanto en la parte de control como en la de potencia. En potencia, el módulo convertidor AC-DC simplifica en gran cantidad el volumen del equipo; así, en un espacio de 9 cm. de largo por 6

cm. de ancho y 3 cm.de altura (dimensiones del módulo conversor) es difícil que se monten 3 diodos y 3 tiristores para formar un conversor de similar característica; además, el módulo ofrece gran facilidad de conexión al tener tan sólo 3 terminales para la red trifásica de entrada y 2 para el voltaje de salida.

- Así mismo, el microcontrolador y su circuito representan una pequeña parte de circuitos implementados con elementos analógicos que realizan similares tareas, tanto por las funciones que realizan como por el espacio ocupado. El sistema de operación del microcontrolador de tarea compartida, demuestra la versatilidad que poseen estos elementos para realizar algunas funciones, por ejemplo: el microcontrolador controla el ángulo de disparo del módulo conversor y a la vez monitorea falla de falta de fase de alimentación. En cambio en sistemas analógicos es necesario implementar circuitos para cada función que se desee implementar.

- Las características de operación conseguidas y los sistema de protección implementadas en software, demuestran la versatilidad del equipo y lo catalogan como un equipo de alto nivel tecnológico para control de potencia.

- El monitoreo y control del equipo por medio del computador personal hace al sistema confiable y rápido. Esto no significa que el equipo condicione su operación a la disponibilidad de un Computador Personal, Si bien éste ayuda, no es factor decisivo.

- Se ha querido implementar un sistema de adquisición de datos para establecer comparativamente ciertas ventajas y desventajas frente a tarjetas de adquisición de datos existentes. Ciertamente la diferencia de precios marca un aspecto importante a considerar así como también la velocidad y exactitud en la adquisición.

- Finalmente, es importante aclarar que este trabajo representa el inicio de una era en el CONTROL ELECTRONICO DE POTENCIA EN EL PAIS. Hasta no hace mucho tiempo, estos sistemas se conocían tan solo por revistas del exterior; ciertamente se han realizado ya trabajos de tesis con microprocesadores, pero ninguno de ellos está al momento ha reunido elementos de alta tecnología como son: el computador personal, microcontrolador i8751 y módulo AC-DC, consiguiendo así un requisito indispensable que todo trabajo de Tesis debe poseer: innovación tecnológica, tan necesaria para el desarrollo de la Ingeniería Ecuatoriana. Es indudable que el presente trabajo deja un cúmulo de experiencias en este campo.

Dentro de recomendaciones, vale la pena sugerir que se realicen sistemas microprocesados con tareas específicas; en este equipo, el trabajo que realiza el microcontrolador es de tal magnitud que pese a su velocidad de operación, se empezó a detectar la presencia de retardos en la ejecución de algunas de las rutinas implementadas. El sistema de tareas compartidas del microcontrolador, da cuenta de su versatilidad y velocidad; pero aún así, sería preferible implementar un microcontrolador exclusivamente para el control de disparo del convertidor (dada su ponderación) y otro para cuestiones de señalización y monitoreo de fallas. Es evidente que los microprocesadores a elegirse tendrán características que los hagan aptos para su tarea, por consiguiente, el costo total será menor que cuando se utiliza uno solo.

- Es aconsejable en este tipo de sistemas (control de disparo de tiristores), que exista un señal de sincronización que no varíe con la distorsión de la red. El método para obtener las señales de sincronización es fundamental. Así, se sugiere utilizar comparadores para detectar cruces por cero de la línea y obtener un flanco que coincida con dicho cruce.

- En lo que se refiere a la programación del microcontrolador, es preferible implementar módulos o rutinas para una tarea que se puede repetir más de una vez.

- En lo que al sistema de adquisición de datos se refiere, es preferible que las señales externas que van a ingresar al conversor A/D y luego al microcontrolador sean lo más exactas y sin ruido posible, pues por la velocidad de conversión, puede que este ruido sea convertido. Esta condición se acentúa más si las señales son de variables importantes dentro del contexto general del funcionamiento del sistema.

BIBLIOGRAFIA

- [1] DATTA K. Samir, Power Electronics and Controls,
Prentice -Hall, USA, 1895.
- [2] LEDESMA, Bolívar, Módulo Didáctico para Control de Máquinas de Corriente Continua,
Tesis, E.P.N Quito, 1987
- [3] KING K.G · BIRD D.M, An Introduction to Power Electronics,
John Wiley and Sons, New York
- [4] BOSE K. , Microcomputer Control of Power Electronics and Drivers,
IEEE press USA 1988.
- [5] GONZALEZ Néstor, Comunicaciones y Redes de Procesamiento de datos, McGraw-Hill Colombia 1987
- [6] INTEL, Embebed Microcontroller Handbook
Intel Corp. New York. 1988.
- [7] POWEREX, Powerex Catalog,
Powerex Corp. New York. 1989.
- [8] MANUAL DE QUICK BASIC
- [9] MANUAL DE DOS PARA COMPUTADORES PC

ANEXO A

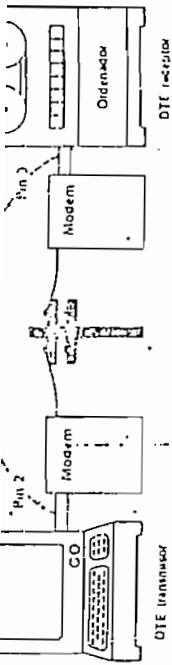


Figura 3.9.—Transmisión y recepción de datos

Por ejemplo, al conectar el PC a una base de datos como The Source, los caracteres que telee el operador pasan al *modem* por el *pin 2*. Estos datos de salida serán transmitidos por la línea de comunicación hasta llegar al *modem* en el otro extremo de The Source. En este lado, los datos recibidos serán presentados al ordenador por el *pin 3*.

Nuestro puente es un enlace similar a los medios de comunicación telefónicos. Es necesario mantener el control de las vías. La estación (DTE) debe saber cuándo está el puente en su sitio. El jefe de estación debe informar al guardagujas de la estación de cuándo pueden moverse (transmitirse) los trenes (datos) al puente (medio de comunicación). Para preservar a los trenes de una eventual caída al agua, habrá que bajar el puente levadizo situado entre ambas estaciones cuando cada tren llegue a él. Esto equivale a establecer un enlace telefónico entre el PC y la base de datos. A medida que un tren se acerca al agua, debe informar a la otra estación de que debe bajar el puente. Cada estación posee una campana que produce un fuerte sonido. Propongámonos un procedimiento para indicar cuándo hay que bajar el puente. Siempre que un guardagujas (*modem*) baja el puente, tendremos a esto el timbre indicador. La situación será similar a la de la figura 3.10.

En el interfaz RS-232 actual, el *pin 22* se conoce como timbre indicador. Cuando se marca el número de teléfono asociado al *modem*, esta línea indicará que el timbre está tocado. Se encenderá y apagará con los sonidos del timbre. Es una indicación de que se está intentando establecer una conexión telefónica.

El guardagujas del otro extremo oye el timbre. No obstante, no bajará el puente; a no ser que sepa con certeza que hay alguien en la estación preparada para recibir al tren que llega. Si el tren llega cuando la estación

... que la información de los pines RS-232 al conectar el HXI a un *modem* asincrónico. Recordemos que las estaciones de tren corresponden, en el HXI, PC, a una impresora remota, u ordenador principal. Todos ellos dispositivos terminales de datos (DTE). Las casetas son los *modems* asincrónicos. La vía del tren entre estos dos y las señales utilizadas para controlar los sistemas ferroviarios representan las señales RS-232. Estas líneas se dividen, por categorías, en datos, control, tierra y sincronismo, para una comprensión más fácil. Nuestra exposición comienza con las líneas de datos necesarias para transmitir la información.

El guardagujas sabe que hay dos tipos de trenes en la estación, los que salen y los que entran. Los que salen tienen asignada una vía, pongamos la dos. Todos los que salgan irán por ella.

Una vez atravesada el agua y alcanzada la estación de destino, los trenes son dirigidos a otra vía distinta, llamémosla tres, reservada para los trenes que llegan. El guardagujas, al asignar distintas vías, puede comprobar si hay algún tren que sale o que llega de la otra estación y el puente.

En entornos RS-232, los trenes que salen son los datos transmitidos, y los que llegan son los datos recibidos. Todos los datos (trenes) que salgan del PC atravesarán una vía llamada *línea de datos transmitidos*. Hay otra vía (línea) conocida como *línea de datos recibidos*, reservada para todos los trenes (datos) que llegan. En un interfaz RS-232 hay 25 pines — o líneas — a disposición de los DCE y DTE (véase figura B-1 en el apéndice B). Sin embargo, sólo se usan algunas de estas líneas como "vías" para la transferencia de datos. Cada línea tiene asignada una función. Por ejemplo, los datos transmitidos van por la línea dos, y los recibidos por la tres. Monitorizando el *pin 2*, pueden detectarse los datos transmitidos. Para comprobar si se están recibiendo datos, habrá que comprobar el *pin 3*. En el capítulo 6 se explican las herramientas necesarias para comprobar estas y otras líneas.

Hay que tener en cuenta que, a un lado de la vía, se considera que el tren sale, mientras que, una vez cruzado el puente, la estación de destino considerará que llega.

Los datos transmitidos por el PC de origen van por el *pin 2* de la RS-232, mientras que estos datos llegarán al otro DTE, por línea tres, como indica la figura 3.9. Los datos transmitidos son "de salida" en un extremo, y "de entrada" en el otro.

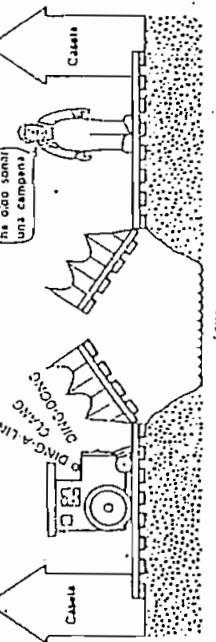


Figura 3.10.—Concepto de timbre indicador

no está en funcionamiento, nadie podrá recibirlo e inspeccionarlo, y podría perderse. Por eso, como norma general, el guardagujas no bajará el puente a no ser que haya alguien en la estación.

La señal de la estación (DTE) se llama *terminal de datos preparado* (DTR). El *pin 20* es una línea de control empleada por el ordenador principal o el microordenador para indicar que el *modem* puede responder a la llamada. Algunos *modems* son capaces de contestar automáticamente si el *pin 20* está a nivel alto. Esta característica, llamada respuesta automática, permite establecer una conexión telefónica con un lugar en que haya un ordenador sin operador humano, como una base del tipo de The Source o Dow Jones/News Retrieval. Aunque no forma parte del RS-232, la respuesta automática emplea pines de la misma. Por lo general, si la máquina está encendida, el DTR estará activado, permitiendo que las llamadas sean contestadas para establecer la comunicación.

Supongamos que en la estación de tren alguien entiende una luz cuando recibe una señal para señalar que el guardagujas debe bajar el puente. Cuando el guardagujas oye la campana, baja su mitad del puente. En la estación de origen, el guardagujas puede decir que su colega ha bajado su parte del puente. Comprueba si debe bajar la suya de la misma forma. Si la estación no le da la señal, se negará a bajar el puente. El guardagujas de la estación de término espera para comprobar si el puente ha sido bajado ya. De no ser así, tras un cierto periodo de tiempo, el operador subirá su mitad para que otros trenes puedan acceder al puente.

Esto se conoce como *juera de tiempo*, y sucede cuando en alguno de los extremos no está presente la señal adecuada (DTR). El enlace de comunicación no se establecerá. Sin embargo, si la señal de terminal de datos

ura, para activar el enlace telefónico basta con que uno de los extremos desconecte el DTR (*pin 20*).

Por lo general, la mayoría de las bases de datos comerciales, sistemas en tiempo compartido y otros servicios se configuran con respuesta automática, lo que permite que el servicio funcione solo. Por ejemplo, para acceder al banco de datos de la Bolsa, basta marcar el número de teléfono de uno de los puertos del ordenador, el cual, al estar configurado con respuesta automática, tendrá su línea DTR activada, permitiendo al *modem* responder a la llamada. Al hacerlo, éste devolverá un tono agudo de respuesta al dispositivo origen de la llamada. Este, al detectar este tono, entrará en el modo de datos manualmente, o automáticamente si está preparado para ello, completando la comunicación. El estado del DTR determina si se mantiene la conexión. Un buen ejemplo de este proceso puede comprobarse con el Smartmodem 1200 de Hayes. Cuando el *modem* del extremo, compatible 212, responde a la llamada, el tono agudo puede oírse por el altavoz interno del Hayes. Si el puerto del PC está activado en ese momento, la llamada será atendida, ya que el *pin 20* está activado en el puerto COM1 o COM2. El Hayes pasará automáticamente al modo de datos.

El modelo citado es un *modem* inteligente, puesto que tiene un microprocesador incorporado. Esta inteligencia le confiere prestaciones tales como el marcado automático, almacenamiento de números y conteo del número de timbres. Pero esta inteligencia debe acceder también a las señales RS-232 citadas anteriormente. Por ejemplo, el número al que llama, introducido por el teclado del PC, debe transmitirse al *modem* local. Este número, que sale por el *pin 2* (datos transmitidos), debe ser reconocido por el *modem* como dígitos a marcar. El *modem* debe saber cuándo han llegado todos los dígitos para efectuar la llamada. Normalmente, el operador del PC concluye el número con un retorno de carro, que sirve como delimitador. Estos dígitos del PC son representaciones estándar ASCII de los números. El *modem* deberá traducirlos a pulsos o tonos de marcado que el sistema telefónico pueda entender, ya que la red telefónica no tiene forma de saber si quien hace la llamada es un ser humano o una máquina. Sólo entiende pulsos o tonos de marcado.

¿Cómo puede indicar un *modem* inteligente que el número comunica, no responde o cualquier otro problema, o que la llamada ha tenido éxito? Recordemos que el PC recibe sus caracteres por el *pin 3*, datos recibidos, del interfaz RS-232. El *modem* ha de interpretar la condición y pasar al PC el mensaje apropiado por el *pin 3* del puerto COM1/2.

Una vez que la llamada ha tenido lugar, la inteligencia del *modem* se vuelve casi transparente, y permite al *modem* comportarse como un *modem* asincrónico estándar. En este modo la modulación y demodulación de los caracteres se lleva a cabo como indicamos en el capítulo 2. Los señales RS-232 se emplean ahora según el estándar.

Supongamos que el puente se ha bajado con éxito para permitir a los

El programa de ejecución del sistema remoto, sea un ordenador principal u otro sistema informático, normalmente podrá controlar la señal DTR, apagándola si procede.

Con frecuencia, la unidad que maneja las comunicaciones, llamada *procesador de destino (Front End Processor)*, puede reconocer un carácter de desconexión del PC al otro extremo. Por lo general, en entornos asincrónicos, la señal "control-D" será recibida e interpretada por el ordenador o el FEP como una secuencia de desconexión, recibida la cual el FEP bajará el DTR, provocando la desconexión del *modem*.

El DTR juega un papel primordial en el establecimiento, mantenimiento y desconexión de un enlace telefónico. En el capítulo 5 el lector podrá comprobar su importancia al conectar una impresora al IBM PC a través de un interfaz serie.

Por ahora, dejemos el DTR a nivel alto para mantener la línea. Hasta el momento, nuestro tren está cumpliendo el horario. Hemos hablado de diversos tipos de sistemas viarios: los sistemas con una vía y una dirección (simplex), una vía y dos direcciones no simultáneas (semidúplex) y una o dos vías en dos direcciones simultáneas (dúplex) fueron explicados en el capítulo 2. De momento, nos olvidaremos del método simplex y dúplex para transmitir datos, centrándonos en el sistema semidúplex (HDX).

En esta modalidad, el puente que atraviesa el río dispone únicamente de un solo juego de raíles. Las cosas podrían complicarse si no controlásemos la dirección y el momento en que cada tren puede cruzar el puente. Los guardagujas han de mantener el control de la situación para evitar que los trenes colisionen y aciben en el agua.

Las estaciones cuyos trenes quieran pasar el puente estarán sujetas al derecho de tránsito de las vías. Cuando deseen enviar los trenes (datos), habrán de encender las luces delanteras de las locomotoras, indicando su solicitud de enviar el envío a lo largo de la vía. La señal es visible en todo momento al otro lado. Por tanto, cuando el guardagujas local vea una de esas luces, sabrá que se le está pidiendo el derecho de tránsito. Sin embargo, antes de otorgar el derecho de tránsito a su estación local, el guardagujas comprobará si el otro extremo lo posee ya. Dada la potencia de las luces de las locomotoras, podrá darse cuenta fácilmente. Si detectase una luz, no mandará su solicitud de envío (*request to send*) (figura 3.11). No obstante, si no detecta ninguna luz al otro extremo, el guardagujas podrá dar a su estación una señal de "libre para enviar" (*clear to send*). La estación podrá enviar cuantos trenes quiera por el puente, ya que posee el control del mismo.

Una vez que todos sus trenes hayan atravesado el puente, el operador de la estación transmisora apagará sus luces delanteras para indicar que renuncia al control del mismo; después de esto, cualquier otro extremo podrá solicitar enviar trenes por el puente, y recibir por parte de los guardagujas una señal de "libre para enviar". Obviamente, los guardagujas

El nombre de esta línea es *enlace de datos preparado (DSR)*. Se encuentra en el pin 6. En un entorno de llamadas telefónicas, DSR toma el voltaje adecuado, es decir, nivel alto, si se ha establecido el enlace de comunicación. En nuestro ejemplo, el Hayes puede activar el pin 6 para señalar al puerto COM117 del PC que el enlace está disponible para la transmisión de datos.

He aquí un rápido repaso de la secuencia de acontecimientos:

1. Se marca el número de teléfono.
2. El indicador de timbre está activado al otro extremo (pin 22).
3. Si el ordenador remoto está activado, DTR lo está, permitiendo que la llamada sea atendida. Esto se llama respuesta automática. Si DTR está activado y se detecta un timbre indicador, la llamada será atendida automáticamente.
4. Una vez contestada, cada *modem* activará su línea de datos para indicar que hay una línea para la transmisión de los mismos.
5. El PC está activado; su DTR también (nivel alto), por lo que la conexión puede mantenerse.
6. Ya pueden intercambiarse los datos entre los dispositivos.

Cuando concluya la transferencia de información, la conexión se rompe cuando algún extremo desactiva su DTR. El operador puede desactivar el DTR de una de estas cuatro maneras:

1. Desconectando manualmente (quitando el teléfono del *modem*).
2. Poniendo el PC en "modo local". Este se diferencia del modo "en línea", en el cual DTR está activado, en que al poner el PC "fuera de línea" o en "modo local", DTR se desactiva, provocando automáticamente la desaparición del enlace.
3. Desenergizando o apagando el PC. La pérdida de energía desactivará el DTR, provocando la desconexión por parte del *modem*.
4. Desactivando el puerto COM. De este modo, DTR también se desactivará.

El ordenador del otro extremo cortará la conexión, por lo general, de una de estas maneras:

1. Si alguien desenchufa el ordenador (¡que Dios le perdone!). DTR se desactivará, y el *modem* quedará colgado.

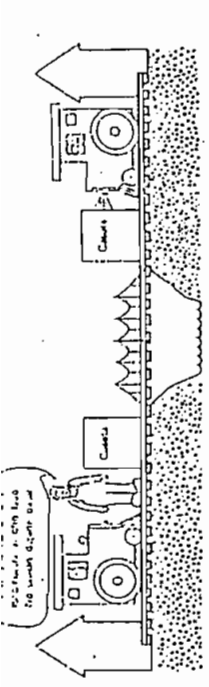


Figura 3.11.—Interacción entre la solicitud de envío y la detección de portadora de datos

desempeñan un importante papel en el control de la fluidez de las operaciones del sistema viario.

En entornos *simulplex* existen ciertas limitaciones para los medios de comunicación. Un *modem* típico de esta clase es el 202 de A.L.E.T. que funciona en modo *simplex* a 1.200 bps. Los *modems* que funcionan en el mismo entorno se conocen como compatibles-202. El control de este camino bidireccional no simultáneo se lleva a cabo mediante una interacción entre DTE y DCE. Al conectar el PC a un 202, cuando el ordenador tenga datos para transmitir activará la solicitud de envío (RTS), en el *pin* 2. Ello provocará una señal que atravesará la línea telefónica, siendo detectada en el *pin* 8 del otro extremo. La señal del otro extremo se llama *detección de portadora de datos (DCD)* o *detección de señal de línea recibida*. Es importante destacar que, aunque se utilicen distintos *pins* para las diferentes funciones del interfaz, ello no implica que sea necesaria una vía de comunicación para cada uno de ellos. En realidad, todas las señales atraviesan el mismo camino. Localmente, no obstante, el 202 o equivalente comprobará antes su propia línea DCD, *pin* 8. Si no está activada, pasará una señal "libre para enviar" (CTS) al puerto PC COM. El PC pasará ahora el control de los medios de transmisión, y podrá transmitir datos por la línea sujeta (pin 2). Sin embargo, si el *modem* local detecta que la línea está ocupada, el PC no recibirá la señal CTS. El hecho de que DCD esté activado significa que el DTE posee el control de la línea. En la figura 3.12 se representa la interacción de las líneas.

He aquí un sumario de la interacción DTE-DCE:

1. El RTS (*pin* 4) es activado por el PC.
2. El *modem* comprueba el DCD (*pin* 8), para verificar si el DTE del otro extremo tiene activado su RTS.
3. Si el RTS del otro equipo está conectado (DCD-activado) el *modem*

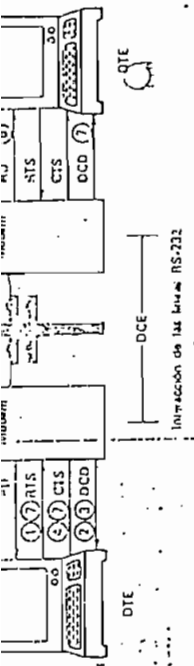


Figura 3.12.—RS-232 en un entorno *simulplex*

- no enviará CTS, y el PC desactivará RTS, volviendo al paso 1. Si DCD está desactivado, pasa al punto 4.
4. Si DCD está desactivado, el *modem* 202 del PC, tras un breve retardo, manda al PC una señal CTS (*pin* 5).
5. El PC presentará entonces los datos en la línea de transmisión (*pin* 2), y el *modem* los pasará al otro extremo.
6. El *modem* receptor pondrá los datos recibidos en el *pin* 3 para presentarlos al DTE destinatario.
7. El PC mantendrá activado su RTS hasta transmitir todos los datos, tras lo cual bajará su RTS, con lo que DCD del otro extremo quedará también desactivado, y el CTS local se activará, quedando libre de nuevo la línea.
8. Cualquiera de los DTE podrá activar ahora RTS para obtener el control de la línea.

Esta interacción entre RTS, CTS y DCD es la misma en entornos *simplex* o *asíncronos*. Pero ¿qué sucede si nuestro puente admite el tráfico simultáneo en ambas direcciones? No será necesario preocuparse de quien posea el control de la vía, ya que cada estación posee su propio camino. Para ahorrar tiempo y para aprovechar al máximo las posibilidades de tráfico bidireccional (en-*currente*), los controladores deberán encender sus luces delanteras y mantenerse así mientras haya alguna persona controlando cada estación. En consecuencia, cada guardagujas enviará siempre a su estación una señal de "libre para enviar", aunque de éste luego al otro lado del puente. Así, las estaciones podrán enviar tráfico a través del puente sin preocuparse de obtener permiso para ello.

Esto se denomina *dúplex completo*. Algunos *modems* ofrecen la posibilidad de trabajar en *dúplex*. Por ejemplo, un *modem* compatible-103J operará en *dúplex completo* a 300 bps. Los *modems* compatibles-212A, suelen ofrecer dos velocidades, 300 bps y 1.200 bps, ambas disponibles en esta

... para enviar" consistentemente. Además, los DCD de los dos extremos estarán también a nivel alto, ya que la línea RTS del otro extremo estará activada consistentemente (Fig. 3.13).

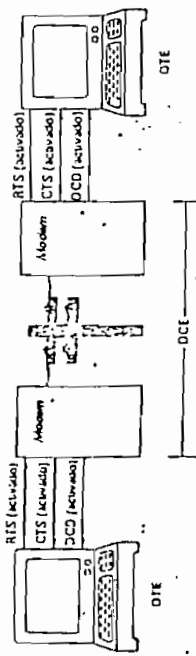


Figura 3.13. RS-232 en un sistema multiplex completo

Ya están los trenes luceando por las vías. Pero ¿qué sucedería si el puente funciona mal, o los operadores abandonan la estación? Obviamente, debería cesar todo el tráfico. El guardagujas desactivará su señal CTS y elevará el puente. Para reanudar el tráfico, habrá que repetir de nuevo todo el procedimiento.

Si DTR se apaga (por ejemplo, por una pérdida de energía), el *modem* no seguirá manteniendo DSR para indicar al PC u otro DTE que se ha establecido una comunicación. Ya se trate de semidúplex o de dúplex, habrá que repetir el procedimiento de enlace telefónico para cualquier transmisión posterior.

Acabamos de describir la función de las diversas líneas RS-232 en un entorno de enlaces telefónicos por llamada. A continuación repasaremos las líneas del interfaz y sus correspondientes funciones. Separando las líneas según sus distintas funciones e indicando sus direcciones, podremos entender mejor el funcionamiento del interfaz, como se hará evidente al analizar el tema de las conexiones cruzadas.

Observe dos líneas del interfaz, la 1 y la 7, en la tabla de la figura 3.15. Se trata de dos líneas de tierra, muy importantes eléctricamente. La 1 suele ser una derivación a tierra de la carcasa, para proteger de descargas eléctricas en caso de cortocircuitos u otros problemas. Es el mismo principio aplicado en los enchufes de la pared con toma de tierra de las casas. El *pin 7* se llama *masa de la señal*, y sirve de referencia a las otras señales del interfaz. El *pin 7* establece la referencia de tierra común a todos los circuitos, salvo al *pin 1*. Los principios de la puesta a tierra comprenden una ciencia entera dentro de la electrónica, por lo que, para una comprensión más fácil, basta que el lector acepte las funciones de estas dos líneas.

A lo largo del texto se emplean diversas abreviaturas para las diferentes líneas RS-232. Estas siglas, como DTR, DSR y RTS, sirven para reconocer más fácilmente las líneas. En la práctica, EIA, RS-232-C y CCITT V.24, la contrapartida internacional del RS-232, emplean nomenclaturas totalmente distintas. Por ejemplo, en el RS-232, las cuatro categorías de líneas (masa, datos, control y sincronismo) se conocen como A, B, C y D. El estándar internacional denota los diversos *pines* con números como 101, 102, 105, etc. Aunque estos estándares describen con precisión las asignaciones de cada *pin*, en la industria se las suele referir por los *pines* correspondientes, como "*pin 20*", o mediante siglas iguales a las de este texto, como DTR. En el apéndice B encontrará la nomenclatura circun-

Señales secundarias

Es preciso abordar otra categoría de líneas RS-232, dada su importancia en la comunicación. Se trata de las señales secundarias del interfaz. Funcionan de manera análoga a sus contrapartidas primarias, pero gobiernan los canales secundarios del medio de comunicación. Por ejemplo, RTS se convierte en la solicitud para enviar datos secundarios. Se aplica la misma nomenclatura secundaria a la detección de portadora y a la señal "libre para enviar". Además, hay canales para datos secundarios transmitidos y recibidos. Los *modems* inteligentes capaces de transmitir información de diagnóstico, generalmente de tipo sincrónico, emplean estos canales de datos secundarios para verificar e informar de posibles problemas. No obstante, salvo que se usen *modems* inteligentes, estos canales secundarios se emplearán rara vez, a pesar de ello, el detector de portadora secundaria, también conocido como detector de señal de línea secundaria recibida, tiene una gran importancia en el control de la transmisión. Una vez entendido este concepto, el lector podrá entender totalmente la idea del control de flujo, utilizado no sólo en transmisiones, sino también en la conexión de una impresora local al PC. En la figura 3.14 se puede ver una lista de las líneas secundarias del interfaz RS-232.

En entornos semidúplex, estas señales secundarias tienen una importancia clave. Como se recordará, en este tipo de vías de transmisión las señales primarias de datos y de control se utilizaban en una sola dirección

Función	Pin	Nombre	Dirección
Datos	14	Datos secundarios transmitidos	Del DTE
Datos	16	Datos secundarios recibidos	Del DCE
Control	19	Solicitud de envío secundaria	Del DTE
Control	13	Libre para enviar (secundaria)	Del DCE
Control	12	Detección de portadora secundaria	Del DCE

Figura 3.14. Señales secundarias

presentarse? En los párrafos siguientes detallaremos los tipos de problemas potenciales, así como sus soluciones mediante señales secundarias. Hasta el final de este capítulo, olvidaremos nuestra analogía y emplearemos la pura terminología RS-232.

Centrémonos en una configuración específica de transmisión de la información sobre nóminas a lo largo de la vía de comunicación, hacia una impresora solo receptora, en un entorno semidúplex. No es preciso considerar la forma de establecer la conexión entre ambos dispositivos; como hemos venido haciendo en anteriores capítulos. Supongamos que la conexión ya está hecha, sea por línea privada o por llamada telefónica, y que se ha producido el intercambio de las señales adecuadas para permitir al ordenador transmitir datos hacia la impresora, como se ve en la figura 3.15.

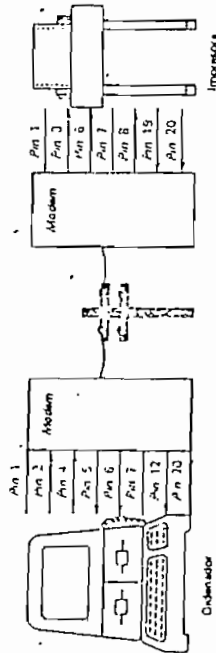


Figura 3.15. - Descripción del control de flujo por hardware

Todo va a las mil maravillas hasta que, después de varios minutos u horas de tráfico de datos, la reserva de papel con que se alimenta la impresora empieza a disminuir por debajo de un mínimo. Como la impresora sigue absorbiendo papel, la última hoja atravesará el rodillo. Para cualquier observador eventual, el problema será obvio. El ordenador seguirá volcando datos en la impresora, ésta continuará recibiendo, pero no podrá transmitirlos al papel, pues éste se ha terminado. Así, los datos serán impresos en el rodillo de la impresora, o arrojados a la basura (figura 3.16). Esto puede ser catastrófico, sobre todo si el siguiente elemento a imprimir es su propia máquina! Solucionemos este problema para evitar tener que apretarnos el cinturón en el futuro.

En entornos semidúplex, el camino principal de datos sólo está disponible en un solo sentido cada vez. Sin embargo, las señales secundarias de datos y control pueden ser utilizadas desde el otro extremo del ordenador o de la impresora. Emplearemos estas señales para controlar la pérdida de datos y garantizar la recepción del "correo" (y de los cheques).

La mejor forma de prevenir la pérdida de los datos recibidos es

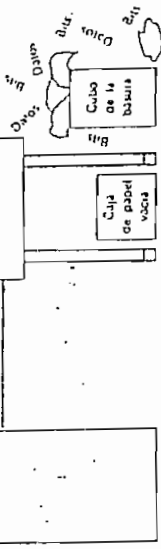


Figura 3.16. - Condición de "sin papel"

disponer de algún método para notificar el problema al ordenador o al extremo transmisor. En este caso se trata de la condición de "sin papel". Si el ordenador se entera del problema que existe al otro extremo, puede interrumpir temporalmente la transmisión hasta que éste se solucione. Una vez colocada la nueva carga de papel, la impresora estará preparada para arrancar de nuevo e imprimir el ansiado cheque. La impresión puede reanudarse en cuanto la impresora informe al ordenador de que todo va bien.

Control de flujo

Los fabricantes de periféricos pusieron especial interés en la implementación de señales secundarias de control en el interfaz RS-232 para evitar el catástrofe. La solución fue hacer que la impresora, o dispositivo receptor, diese siempre una indicación positiva cuando los datos pudiesen ser recibidos. Ello fue posible manteniendo a nivel alto la línea SRTS de la impresora (solicitud de envío secundaria). Por ser idéntico el comportamiento de estas señales secundarias al de las primarias, se produce la transmisión de una portadora secundaria de datos hacia el ordenador. El ordenador comprueba en todo momento su línea de detección de portadora de datos secundaria (SDCD), pin 12. Siempre que este pin se encuentre a nivel alto, podrán transmitirse los datos.

Si se presenta una condición de "sin papel", o cualquier otro problema, la impresora bajará su línea SRTS, con lo cual el ordenador no detectará portadora secundaria en su extremo. Si SDCD está a nivel bajo, el ordenador cesará de transmitir, ya que ello indica que ha ocurrido algún problema al otro lado; una vez solucionado éste, sus líneas SDCD/SRLSD volverán a nivel alto, ya que la impresora del otro extremo puede desactivar de nuevo su línea SRTS. Ya puede el ordenador imprimir su nómina.

Canal de retorno

Incluso en un entorno semidúplex, podemos conducir estas señales secundarias en dirección opuesta a la de las primarias. Ello es posible por medio de un canal secundario, separado del canal primario en la vía de

Este canal puede usarse también con frecuencia para prevenir la sobrecarga del *buffer*. Cuando un dispositivo recibe datos, los bits pueden situarse en el *buffer* del mismo, para imprimirlos a la velocidad a la que la impresora pueda hacerlo. Dependiendo de su tamaño, el *buffer* del dispositivo puede llenarse hasta su límite de capacidad, o perder los datos. El canal de retorno puede servir, del mismo modo que la condición "sin papel", para evitar la sobrecarga del *buffer* y la consecuente pérdida de datos.

XON/XOFF

El control de flujo semidúplex que emplea los canales secundarios, además del llamado canal de retorno, lleva a cabo lo que se conoce como función de *conexión/desconexión por hardware (XON/XOFF)*. Para comprender el significado de esta función, volvamos por un momento a un entorno dúplex completo. En medios de este tipo, algunos dispositivos, como las impresoras, pueden monitorizar el estado de su *buffer*, o del suministro de papel, electrónicamente. Si el papel se empieza a terminar o el *buffer* está a punto de llenarse, la impresora puede transmitir un carácter de control al ordenador, indicando que debe suspender temporalmente la transmisión. La impresora informará cuando puede reanudarse la transmisión enviando un carácter de control diferente. El modo dúplex completo permite esta comunicación bidireccional, a la que se suele llamar *control de flujo por software*. Existen varias combinaciones para ello, siendo una de las más comunes la conexión/desconexión (XON/XOFF). Para interrumpir la transmisión, la impresora transmite un carácter de desconexión (XOFF). Una vez solucionado el problema, transmite un carácter de conexión (XON) al ordenador, que lo interpretará como una indicación de que debe reanudar la transmisión. Otra técnica bastante popular es la ETX/ACK. Al final de un grupo de datos llamado *bloque*, el ordenador añade un carácter ETX (fin de transmisión), y no transmite más datos hasta que la impresora lo apruebe enviando un "carácter de recibo" (ACK). Existen otras técnicas, pero se han todas en el mismo concepto de intercambiar caracteres entre el receptor y el transmisor de los datos. Otro ejemplo de ello se encuentra en los programas de transmisiones que han de transmitir grandes ficheros de un PC a otro. Periódicamente, el PC receptor ha de interrumpir las operaciones para poder escribir los datos en un fichero. El control de flujo por *software* sirve para detener el PC transmisor hasta nuevo aviso. Una vez concluida la operación en disco, se envía un carácter para reanudar la transferencia de datos.

En un entorno semidúplex, los datos sólo pueden transmitirse en una dirección cada vez, limitando la capacidad de la impresora para transmitir

XOFF. Esto se conoce con el nombre de *control de flujo por software*, ya que es el interfaz el que lo maneja, y no un programa. El canal de retorno puede emplearse también con otros fines en entornos de comunicaciones, pero los ejemplos anteriores constituyen las dos aplicaciones más importantes de estas señales secundarias de control. En las secciones anteriores de este capítulo, relativas al *software* de comunicaciones y a la emulación de terminales, aparecían algunos ejemplos de control de flujo por *software*. Puede comprobarse que estos mismos principios son los que se aplican a la conexión de una impresora al PC, explicada en el capítulo 6. Aunque se utilicen *plugs* diferentes, el lector podrá comprender los métodos de control de flujo por *hardware* y por *software* que emplearemos.

es baja, típicamente de unos 1.200 bps. A la velocidad de carga de un disco de una sola cara el IBM PC desde 1.1 sistema informático remoto puede tardar unos veinticinco minutos. Para calcularlo rápidamente, dividamos 1.200 bps por los 10 bits de que consta cada carácter, incluyendo los bits de arranque y parada, con lo cual tendremos 120 caracteres por segundo (cps). Un disco de simple cara lleno, contiene unos 180.000 caracteres, que divididos por 120 cps resultan 1.500 segundos de transmisión, 1.500 dividido por 60 segundos por minuto nos dan unos 25 minutos de transmisión para todo el contenido del disco, algo inaceptable para la mayoría de comunicaciones. Además, la transmisión de tantos caracteres durante tanto tiempo amplía enormemente la posibilidad de que aparezcan errores en forma de transitorios de la línea. A no ser que se utilicen las técnicas de comprobación de errores de que disponen los paquetes de comunicaciones, surgirán errores. La simple paridad los detecta, pero no los corrige. Dependiendo del dato de que se trate, las consecuencias pueden ser catastróficas. Recordemos, de exposiciones anteriores, que los paquetes de comunicación que ofrecen verificación de bloques y corrección de éstos por retransmisión del dato exigen el mismo programa a ambos lados del enlace punto a punto. En este tipo de entornos no suele haber corrección de errores, ya que los ordenadores principales pueden no ejecutar el mismo software de comunicación que el PC.

Aunque, en principio, el precio puede resultar un aspecto atractivo para decidirse por la transmisión asincrónica, las desventajas suelen hacer perder validez a este factor. Para superar tales objeciones es necesaria una técnica efectiva. La transmisión sincrónica ofrece una flexibilidad no disponible en la transmisión asincrónica. Gracias a las señales de sincronismo empleadas en los entornos sincrónicos, es posible transmitir a velocidades mayores. Dado que ambos extremos de la comunicación se basan en elementos de sincronismo comunes, estas velocidades más elevadas son también comunes. Gracias a ello, la transmisión sincrónica no requiere bits de arranque y parada para el sincronismo. Las velocidades pueden ir desde los 1.200 bps a los 56.000 bps (o 56 kbps, k significa mil), o incluso más. Algunos modelos típicos son el 2016 o el 2024 de AT&T, que funcionan a 2.400 bps; los modelos de línea privada 208A o 2048 funcionan a 4.800 bps; el 208B es el equivalente para llamadas telefónicas en una operación a 4.800 bps; el 2090 lo son para la operación a 9.600 bps. También pueden usarse otros códigos de caracteres diferentes del ASCII. El EBCDIC es un código de caracteres de 8 bits, mientras que el ASCII es de 7 bits. Mediante 8 bits son posibles más combinaciones de caracteres. Se emplean buffers para el almacenamiento temporal de los datos a transmitir.

Para solucionar algunos problemas asociados con la transmisión asincrónica, se añadieron los protocolos. Un protocolo es un conjunto de reglas que definen ambos extremos de la comunicación, para permitir el intercambio ordenado de la información. El concepto de protocolo se utiliza también cuando dos personas hablan por teléfono. Una habla mientras la otra escucha. La transmisión se completa mediante algún tipo de pregunta o declaración, esperando algún tipo de respuesta. Si hay ruido en la línea, la parte que escucha puede pedir que se repita la última declaración. Aunque ambas partes no hacen inconscientemente, se someten a un protocolo preestablecido que permite una comunicación eficaz. Los protocolos empleados en transmisión sincrónica están sujetos a la misma idea general de transmisión ordenada entre las dos partes, generalmente un ordenador principal y un dispositivo alejado. Los protocolos permiten una detección y corrección de errores similares a las del concepto CP/M XMODEM, en el que se aplica un algoritmo a los datos para calcular un bloque de comprobación de caracteres (BCC), que se añade a continuación del dato y se transmite con él. El receptor aplica el mismo algoritmo a la corriente de datos recibidos para calcular su BCC, que será comparado con el BCC del dato. Si son diferentes, se habrá producido un error y se pedirá la retransmisión del dato. En caso contrario, el dato recibido será el correcto. Esta técnica de detección de errores permite la corrección de los mismos, lo que constituye una ventaja significativa frente a los terminales asincrónicos básicos. Los protocolos deben permitir un intercambio ordenado de información de acuerdo con la definición. Son un medio de controlar cuándo debe transmitirse cada parte, y durante cuánto tiempo. Hay dos categorías de protocolos sincrónicos: orientados por carácter y por bit. La forma de llevar a cabo estas funciones depende del protocolo utilizado. En este texto no se contemplan detalles de los diversos protocolos, ya que el usuario medio del PC no tiene por qué conocer sus especificaciones. No obstante, describiremos brevemente algunos de los más populares, así como la forma en que se configuran para permitir al PC operar en entornos sincrónicos. Dos de los protocolos más comunes resultan ser del mismo fabricante, IBM. El BSC (*Binary Synchronous Communication*, comunicación sincrónica binaria) de IBM es un protocolo orientado por caracteres que explicaremos a continuación; veremos después el protocolo orientado por bits SDLC (*Synchronous Data Link Control*, control sincrónico de enlace de datos), y cómo convertir al PC XT/AT en un terminal capaz de trabajar en estos medios.

Al igual que para entornos asincrónicos se ha escrito software de aplicaciones que requiere terminales de características específicas, se han creado numerosos aplicaciones para cada tipo de terminal sincrónico. Los protocolos responsables del intercambio ordenado de datos entre esas aplicaciones y los terminales ofrecen todas las funciones necesarias. Las funciones concretas de comprobación de bloques, acuse de recibo de bloque correcto

y retransmisión de bloques, erróneos están disponibles en el BSC. Para mantener el enlace se usan determinados caracteres de control, lo que implica que el código de caracteres empleado, sea el ASCII o el EBCDIC, debe ser conocido por ambas partes. Para describir los diversos entornos -BSC, la terminología inglesa emplea términos como *polling*, *selecting* y *convention*, cuyo sentido es algo así como "sondeo", "selección" y "confrontación", respectivamente. Por lo general, el control de la línea de comunicación se realiza asignando a una de las partes el papel principal y a la otra (u otras) el secundario. En el modo "confrontación", tanto las estaciones primarias como las secundarias han de pugnar por el empleo de la línea. Por el contrario, el *polling* o "sondeo" es la solicitud por parte de la estación principal hacia la secundaria de que envíe todos los datos que hay en su *buffer*. La "selección" es el modo en que la estación principal envía datos a la secundaria. El controlador de comunicaciones es el que se encarga de todas estas funciones. En el ordenador central o principal, el controlador se llama *procesador de destinatario* (PEP, *Front End Processor*) o *procesador de comunicación*. Algunos sistemas típicos son el IBM 370, 30XX, 43XX, Sistema 34 y Sistemas 38. Otros sistemas informáticos y miniordenadores no IBM son los Univac, Burroughs, Prime, Digital Equipment y Amdahl. Todos estos sistemas ofrecen algún género de comunicación BSC, en uno de estos tipos: 2780/3780 BSC o 3270 BSC. Cada uno de estos protocolos refleja los diversos dispositivos para los que fue escrito.

2780/3780 BSC

Cuando se habla de 2780 BSC, se suele hacer referencia a un protocolo sincrónico escrito para un terminal IBM, modelo 2780 o equivalente, que trabaja en modo "confrontación" en el que tiene que enfrentarse a otros terminales para usar la línea. Algunos paquetes de *software* típicos que soportan el 2780 o 3780 son el JES2 y JES3, donde JES se refiere al *Job Entry Subsystem*, subsistema de entrada de tareas, y RSCS o "Subsistema de comunicaciones de encadenamiento remoto". El *software* que opera con este protocolo se encarga de modo que permita la comunicación, pero teniendo en cuenta las características del dispositivo. Tanto el 2780 como el 3780 son dispositivos empleados para la entrada o salida de datos por lotes. Originalmente se usaban estos dispositivos como estaciones remotas de entrada de programas, también llamados *terminals*, en un sistema principal, en forma de tarjetas. Las fichas se entregaban en una lectora de tarjetas, y se transferían como un lote al ordenador remoto. En consecuencia, se han llamado *estaciones remotas de entrada de tareas* (RJE). Las tarjetas serían sustituidas más adelante por discos, pero la idea permaneció. Los paquetes de *software* del ordenador central debían recibir la información y almacenarla para su procesamiento posterior. Esto se llamó *encadenamiento (spooling)*. El *spooling*, similar a la idea del almacenamien-

to en *buffer*, pero tal vez, en disco, procede de *simultaneous peripheral operations on-line* (operaciones periféricas simultáneas en línea). Se creaba un inventario de tareas a procesar. Las estaciones 2780/3780 no sólo eran capaces de introducir datos, sino también de recibir salidas impresas o breves mensajes por el enlace de comunicación. Más tarde fueron añadidos los teclados y pantallas. Estas estaciones funcionaban por llamada o por línea privada. En el primer caso se llamaba *estación punto a punto conmutado* (BSC 1), y en el segundo caso *estación punto a punto no conmutado* (BSC 2). Las velocidades para las llamadas se redujeron a 2.400 ó 4.800 bps, mientras que para las líneas privadas llegaban a los 9.600 bps. Además de la velocidad, era necesario especificar el tamaño de los bloques y de los registros. Por lo general, y dado el uso de tarjetas de 80 columnas, el tamaño de un registro era de 80 caracteres. El tamaño de un bloque solía ser de varios registros, y algunas longitudes típicas eran 400 ó 512 caracteres. Esta es la cantidad de datos que se transmiten en un solo bloque al ordenador central, así como una indicación de cuantos datos pueden recibirse en un bloque. La estación debiera manipular el bloque recibido antes de poder recibir otro nuevo. Pidiendo al sistema remoto que espere un cierto tiempo, la RJE puede tener tiempo de borrar sus *buffers*. Algunos dispositivos individuales de la estación de entrada de tareas son la lectora de tarjetas, perforadora de fichas, impresora, teclado y pantalla. Para mayor aclaración sobre las RJE 2780 y el protocolo BSC, consulte las lecturas recomendadas.

Por las características de la transferencia de bloques del BSC 2780/3780, este protocolo se convirtió en sinónimo de transmisión de grandes cantidades de datos a altas velocidades. No estaba limitado exclusivamente a las RJE, sino que se empleó también para la transferencia de ficheros por lotes entre dos sistemas informáticos. Este protocolo se utilizaba especialmente cuando eran necesarios una alta velocidad y una corrección de errores. La velocidad de 9.600 bps redujo el tiempo necesario para la transmisión de datos. Si pensamos, como antes, en el tiempo necesario para transferir un disco IBM de una sola cara, tendríamos unos tres minutos, frente a los veinticinco minutos a 1.200 bps. Esto es sólo una aproximación, ya que el BSC añade un cierto tiempo adicional de transmisión. También son evidentes determinados métodos de reducción de tiempo de transmisión, especialmente en el 3780. Las RJE 3780 permiten la compresión de espacios, método de ahorro de tiempo que permite representar muchos espacios con sólo dos o tres caracteres. Se efectúa una cuenta del número de espacios, cuyo resultado se envía junto con el carácter de control, y el 3780 interpretará ambos como el número correspondiente de espacios. Hay otros recortes posibles, pero lo más importante es destacar que los terminales y ordenadores ofrecen una transferencia binárica por lotes de grandes cantidades de datos, a altas velocidades. Si va a usarse el PC/XTAT como punto de recolección de datos para enviarlos por lotes a un ordenador central, en la forma de transferencia de ficheros, habrá que considerar la comunicación BSC. Algunos fabricantes

ANEXO B



8-BITS*	
FF	F7
FE	F6
FD	F5
FC	F4
FB	F3
FA	F2
F9	F1
F8	F0
E7	E6
E6	E5
E5	E4
E4	E3
E3	E2
E2	E1
E1	E0
D7	D6
D6	D5
D5	D4
D4	D3
D3	D2
D2	D1
D1	D0
C7	C6
C6	C5
C5	C4
C4	C3
C3	C2
C2	C1
C1	C0
B7	B6
B6	B5
B5	B4
B4	B3
B3	B2
B2	B1
B1	B0
A7	A6
A6	A5
A5	A4
A4	A3
A3	A2
A2	A1
A1	A0
P0	P1
P1	P2
P2	P3
P3	P4
P4	P5
P5	P6
P6	P7
P7	P0

Figure 2. SFR Dep. (...) indicates resident in 8052s, not in 8051s

Note that not all of the addresses are occupied. Unused addresses are not implemented on the chip. Read accesses to these addresses will in general return random data, and write accesses will have no effect.

User software should not write 1s in these unimplemented locations, since they may be used in future MCS-51 products to invoke new features. In that case the reset or inactive values of the new bits will always be 0, and their active values will be 1.

The functions of the SFRs are outlined below.

- ACCUMULATOR**
ACC is the Accumulator register. The mnemonics for Accumulator-Specific instructions, however, refer to the Accumulator simply as A.
- B REGISTER**
The B register is used during multiply and divide operations. For other instructions it can be treated as another scratch pad register.
- PROGRAM STATUS WORD**
The PSW register contains program status information as detailed in Figure 3.
- STACK POINTER**
The Stack Pointer Register is 8 bits wide. It is incremented before data is stored during PUSH and CALL operations. While the stack may reside anywhere in on-chip RAM, the Stack Pointer is initialized to 07H after a reset. This causes the stack to begin at location 08H.
- DATA POINTER**
The Data Pointer (DPTR) consists of a high byte (DPH) and a low byte (DPL). Its intended function is



Symbol	Position	Name and Significance	Symbol	Position	Name and Significance
OV	PSW.7	Carry Flag (For BCD operations)	OV	PSW.7	Carry Flag (For BCD operations)
AC	PSW.6	PSW.6	P	PSW.0	Parity Flag
FO	PSW.5	PSW.5	PSW.0	PSW.0	Parity Flag
RS1	PSW.4	Register bank select control bit 1 & 2. Register bank 0 (PSW.4-PSW.7) Register bank 1 (PSW.0-PSW.3) Register bank 2 (PSW.4-PSW.7) Register bank 3 (PSW.0-PSW.3)			
RS0	PSW.3	Register bank select control bit 1 & 2. Register bank 0 (PSW.4-PSW.7) Register bank 1 (PSW.0-PSW.3) Register bank 2 (PSW.4-PSW.7) Register bank 3 (PSW.0-PSW.3)			

Figure 3. PSW: Program Status Word Register

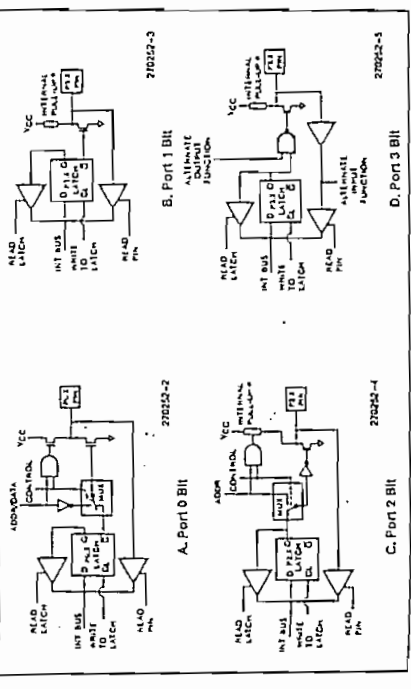


Figure 4. 8051 Port Bit Latches and I/O Buffers

PORT STRUCTURES AND OPERATION

All four ports in the 8051 are bidirectional. Each consists of a latch (Special Function Register P0 through P3), an output driver, and an input buffer.

The output drivers of Ports 0 and 2, and the input buffer of Port 0, are used in access to external memory. In this application, Port 0 outputs the low byte of the

external memory address, time-multiplexed with the data being written or read. Port 2 outputs the high byte of the memory address when the address is 16 bits wide. Otherwise the Port 2 pins continue to emit the P2 SFR content.

All the Port 3 pins, and (in the 8052) two Port 1 pins are multifunctional. They are not only port pins, but also serve the functions of various special features as listed on the following page.

Port Pin	Alternate Function
*P1.0	T2 (Timer/Counter 2 external input)
*P1.1	T2EX (Timer/Counter 2 Capture/Reload output)
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	INT0 (external interrupt)
P3.3	INT1 (external interrupt)
P2.4	T0 (Timer/Counter 0 external input)
P2.5	T1 (Timer/Counter 1 external input)
P2.6	WR (external Data Memory write strobe)
P2.7	RD (external Data Memory read strobe)

*P1.0 and P1.1 serve these alternate functions only on the 8052.

The alternate functions can only be activated if the corresponding bit latch in the port SFR contains a 1. Otherwise the port pin is stuck at 0.

I/O Configurations

Figure 4 shows a functional diagram of a typical bit latch and I/O buffer in each of the four ports. The bit latch (see bit in the port SFR) is represented as a Type D flip-flop, which will "write to latch" signal internal bus in response to the flip-flop is placed from the CPU. The Q output of the flip-flop is placed on the internal bus in response to a "read latch" signal from the CPU. The internal bus is a "real pin" signal on the internal bus in response to a "real pin" signal from the CPU. Such a signal, and others activate the "read pin" signal. More about that later.

As shown in Figure 4, the output drivers of Ports 0 and 2 are available to an internal ADDR and ADDR/ DATA bus by an internal CONTROL signal for use in external memory accesses. During external memory accesses, the port SFR remains unchanged, but the P0 SFR gets a write to 0.

Also shown in Figure 4, is that if a P3 bit latch contains a 1, then the output level is controlled by the signal labeled "alternate output function." The actual P3X pin level is always available in the pin's alternate input function, if any.

Ports 1, 2, and 3 have internal pullups. Port 0 has open-drain outputs. Each I/O line can be independently used as an input or an output. (Port 0 and 2 may not be used as general purpose I/O when being used as the

ADDR/DATA BUS). To be used as an input, the port bit latch must contain a 1, which will turn off the output driver FET. Then, for ports 1, 2, and 3, the pin is pulled high by the internal pullup, but can be pulled low by an external source.

Port 0 differs in not having internal pullups. The pullup FET in the P0 output driver (see Figure 4) is used only when the port is emitting a signal during external memory accesses. Otherwise, the pullup FET is off. Consequently, I/O lines that are being used as output port lines are open-drain, writing a 1 to the bit latch leaves both output FETs off, so the pin floats. In that condition it can be used as high-impedance input.

Because ports 1, 2, and 3 have fixed internal pullups, they are sometimes called "quasi-bidirectional" ports. When configured as inputs they pull high and will source current (I_{IL}), in the data sheets) when externally pulled low. Port 0, on the other hand, is considered "true" bidirectional, because when configured as an input it floats.

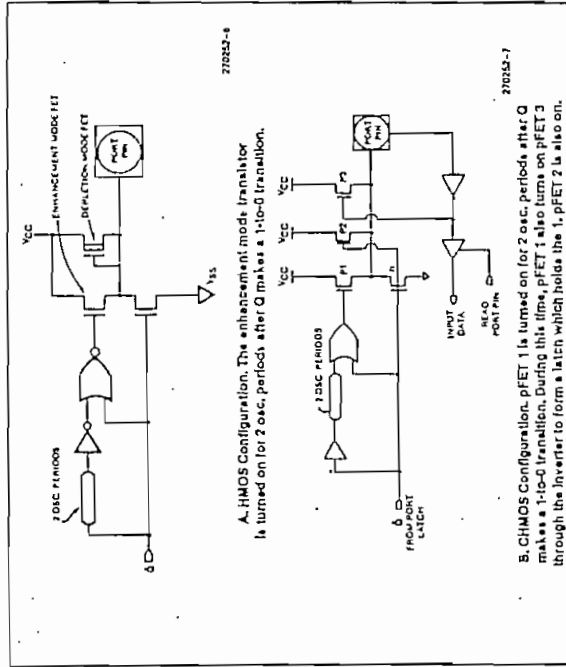
All the port latches in the 8051 have 1s written to them by the reset function. If a 0 is subsequently written to a port latch, it can be reconfigured as an input by writing a 1 to it.

Writing to a Port

In the execution of an instruction that changes the value in a port latch, the new value arrives at the latch during SBR of the final cycle of the instruction. However, port latches are in a high-impedance state. Output buffers only during Phase 2 of any clock period. During Phase 2 the output buffer holds the value it saw during the previous phase. Consequently, the new value in the port latch "actually" appears at the output pin until the next Phase 1, which will be at S1P1 of the next machine cycle.

If the change requires a 0-to-1 transition in Port 1, 2, or 3, an additional pullup is turned on during S1P1, or S1P2 of the cycle in which the transition occurs. This is done to increase the transition speed. The extra pullup can source about 100 times the current that the normal pullup can. It should be noted that the internal pullup is bidirectional transition, not linear transition. The pullup arrangements are shown in Figure 5.

In HMOS versions of the 8051, the fixed part of the pullup is a depletion-mode transistor with the gate tied to the source. This transistor will allow the pin to source about 0.25 mA, when allowed to ground. In NMOS versions, which is self-biased during S1 whenever the port bit does a 0-to-1 transition. During this interval, if the port pin is allowed to ground, this extra transistor will allow the pin to source an additional 30 mA.



A. HMOS Configuration. The enhancement-mode transistor is turned on for 2 osc. periods after Q makes a 1-to-0 transition.

B. CHMOS Configuration. pFET1 is turned on for 2 osc. periods, pFET3 makes a 1-to-0 transition. During this time, pFET1 also turns on pFET2 through the inverter to form a latch which holds the 1. pFET2 is also on.

Figure 5. Ports 1 And 3 HMOS And CHMOS Internal Pullup On While Emitting. Port 2 Is Similar Except That It Holds The Strong Pullup On While Emitting 1s That Are Address Bits. (See Test, "Accessing External Memory.")

In the CHMOS versions, the pullup consists of three pFETs. It should be noted that a depletion-mode FET (pFET1) is turned on during a 0-to-1 transition. This is done to increase the transition speed. A depletion-mode FET (pFET2) is also turned on when the gate sees a 0, and off when the gate sees a 1.

pFET1 in Figure 5 is the transistor that is turned on for 2 oscillator periods after a 0-to-1 transition in the port latch. While it's on, it turns on pFET2, a weak pullup, through the inverter. This inverter and pFET form a latch which holds the 1.

Note that if the pin is emitting a 1, a negative glitch on the pin from some external source can turn off pFET2, causing the pin to go into a float state. pFET2 is a very weak pullup, which is on whenever the pFET1 is off. In addition, CHMOS type. It's only about 1/26 the strength of pFET2. Its function is to restore a 1 to the pin in the event the pin does a 1 and float it to a glitch.

Port Loading and Interfacing
The output buffers of ports 1, 2, and 3 can each drive 4 LS TTL inputs. These ports on HMOS versions can be driven in a normal manner by any TTL or NMOS circuit. Both HMOS and CHMOS pins can be driven by open-collector and open-drain outputs, but note that 0-to-1 transitions will not be fast. In the HMOS device, if the pin is driven by an open-collector output, a 0-to-1 transition will have to be driven by the relatively weak depletion mode FET in Figure 5(A). In the CHMOS device, an input 0 turns off pullup pFET2, leaving only the very weak pullup pFET1 to drive the transition.

Port 0 output buffers can each drive 8 LS TTL inputs. They do, however, require external pullups to drive NMOS inputs, except when being used as the ADDRESS/DATA bus.

Read-Modify-Write Feature

Some instructions that read a port read the latched and others read the pin. Which one do you want? The instructions that read the latched value after the pin are the ones that read the pin, possibly the \overline{RD} , and can use it in the latch. These instructions read the latch and modify the latch. The instructions that read the latch and modify the latch are the ones that read the pin rather than the latch:

ANL (logical AND, \overline{RD} , ANL P1, A)
ORL (logical OR, \overline{RD} , ORL P2, A)
XRL (logical EX-OR, \overline{RD} , XRL P1, A)
JNC (jump if bit 0 is not clear, bit 0, \overline{RD})
JBC (jump if bit 0 is clear, bit 0, \overline{RD})
CPL (complement bit, \overline{RD} , CPL P1.0)
INC (increment, \overline{RD} , INC P2)
DEC (decrement, \overline{RD} , DEC P2)
DINCZ (decrement and jump if not zero, \overline{RD})
MOV, PAX, Y, C (move carry bit to bit Y of Port X)
CLR, PAX, Y (clear bit Y of Port X)
SET, PAX, Y (set bit Y of Port X)

It is not obvious that the last three instructions in this list are read-modify-write instructions, but they are. They read the port latches, all bits modify the addressed bit, then write the \overline{RD} byte back to the latch.

The reason that read-modify-write instructions are difficult to implement is that the pin is to avoid a possible misinterpretation of the voltage level at the pin. For example, a port bit might be used to drive the base of a transistor. When a 1 is written to the bit, the transistor is turned on. If the CPU then reads the same port bit at the pin rather than the latch, it will read the base voltage of the transistor and interpret it as a 0. Reading the latch rather than the pin will return the correct value of 1.

ACCESSING EXTERNAL MEMORY

Accesses to external memory are of two types: accesses to external Program Memory and accesses to external Data Memory. Accesses to external Program Memory use signal \overline{PSEN} (program store enable) as the read strobe. Accesses to external Data Memory use \overline{RD} or \overline{WR} (alternate functions of P3.7 and P3.6) to strobe the memory.

Fetches from external Program Memory always use a 16-bit address. Accesses to external Data Memory can use either a 16-bit address ($\overline{MOVX} \# D16TR$) or an 8-bit address ($\overline{MOVX} \# 8R$).

Whenever a 16-bit address is used, the high byte of the address comes out on Port 2, and the low byte of the address comes out on Port 0. The \overline{RD} signal is held for the duration of the read or write cycle. The Port 2 pins are tri-state enabled with \overline{RD} and \overline{WR} . This is done by the external address bus that is used. This is done during the execution of a $\overline{MOVX} \# D16TR$ instruction. During this time the Port 2 latch, the Special Function Register does not have to contain 1s, and the contents of the Port 2 SFRs are not modified. If the external memory cycle is not immediately followed by another external memory cycle, the undriven contents of the Port 2 SFRs will reappear in the next cycle.

If an 8-bit address is being used ($\overline{MOVX} \# 8R$), the contents of the Port 2 SFRs remain at the Port 2 pins throughout the external memory cycle. This will facilitate paging.

In any case, the low byte of the address is time-multiplexed with the data byte on Port 0. The ADDRESS/DATA signal drives both FETs in the Port 0 output buffers. Thus, in this application the Port 0 pins are not open-drain outputs, and do not require external pull-ups. Signal ALE (Address Latch Enable) should be used to capture the address byte into an external latch. The address byte is valid at the negative transition of ALE. Thus, in a write cycle, the data byte to be written appears on Port 0 just before \overline{WR} is activated, and remains there until after \overline{WR} is deactivated. In a read cycle, the incoming byte is accepted at Port 0 just before the read strobe is deactivated.

During any access to external memory, the CPU writes \overline{DPH} to the Port 0 latch (the Special Function Register), thus obliterating whatever information the Port 0 SFR may have been holding.

External Program Memory is accessed under two conditions:

- 1) Whenever signal \overline{EA} is active, or
- 2) Whenever the program counter (PC) contains a number that is larger than \overline{DPH} (FFFFH) for the 8052).

This requires that the ROMless versions have \overline{EA} wired low to enable the lower 4K (4K for the 8052) program bytes to be fetched from external memory.

When the CPU is executing out of external Program Memory, all 8 bits of Port 2 are dedicated to an output function and may not be used for general purpose I/O. During external program fetches they output the high byte of the PC. During this time the Port 2 drivers use the strong pullups to ensure PC bits that are 1s.

TIMER/COUNTERS

The 8051 has two 16-bit Timer/Counter registers: Timer 0 and Timer 1. The 8052 has three, two plus one more, Timer 2. All three can be configured to operate either as timers or event counters.

MODE 0

Putting either Timer into Mode 0 makes it look like an 8048 Timer, which is an 8-bit Counter with a divide-by-32 prescaler. Figure 7 shows the Mode 0 operation as it applies to Timer 1.

In this mode, the Timer register is configured as a 13-bit register. As the count rolls over from all 1s to all 0s, it sets the Timer interrupt flag TFI. The counted input is enabled to the Timer when $\overline{TK1} = 1$ and either $\overline{GATE} = 0$ or $\overline{INT1} = 1$. Setting $\overline{GATE} = 1$ allows the Timer to be controlled by external input $\overline{INT1}$ to facilitate pulse width measurements. $\overline{TK1}$ is a control bit in the Special Function Register TCON (Figure 8). \overline{GATE} is in TMOD.

The 13-bit register consists of all 8 bits of TH1 and the lower 5 bits of TL1. The upper 3 bits of TL1 are indeterminate and should be ignored. Setting the run flag (TR1) does not clear the registers.

Mode 0 operation is the same for Timer 0 as for Timer 1. Substituting TH0, TR0 and INT0 for the corresponding Timer 1 signals in Figure 7. There are two different \overline{GATE} bits, one for Timer 1 (TMOD.7) and one for Timer 0 (TMOD.3).

MODE 1

Mode 1 is the same as Mode 0, except that the Timer register is being run with all 16 bits.

MODE 2

Mode 2 configures the Timer register as an 8-bit Counter (TL1) with automatic reload as shown in Figure 9. Overflow from TL1 not only sets TFI, but also reloads

In the "Timer" function, the register is incremented every machine cycle. Thus, one can think of it as counting machine cycles. Since a machine cycle consists of 12 oscillator periods, the count rate is $1/12$ of the oscillator frequency.

In the "Counter" function, the register is incremented in response to a 1-rd transition at its corresponding input pin, TH, TL or (in the 8052) T2. In this function, the external input is sampled during 5/12 of every machine cycle. When the sample shows a high in one cycle and a low in the next cycle, the count is incremented. The case count value appears in the register during 5/12 of the cycle following the one in which the transition was detected. Since it takes 2 machine cycles (24 oscillator periods) to re-sample a 1-rd transition, the maximum count is $1/2$ of the oscillator frequency. There are no restrictions on the duty cycle of the external input signal, but to ensure that a given level is sampled at least once before it changes, it should be held for at least one full machine cycle.

In addition to the "Timer" or "Counter" selection, Timer 0 and Timer 1 have four operating modes from which to select. Timer 2, in the 8052, has three modes of operation: "Capture," "Auto-Reload" and " baud rate generator."

Timer 0 and Timer 1

These Timers/Counters are present in both the 8051 and the 8052. The "Timer" or "Counter" function is selected by control bit \overline{CF} in the Special Function Register TMOD (Figure 6). These two Timers/Counters have four operating modes, which are selected by bits $\overline{M1}$, $\overline{M0}$ in TMOD. Modes 0, 1, and 2 are the same for both Timers/Counters. Mode 3 is different. The four operating modes are described in the following list.

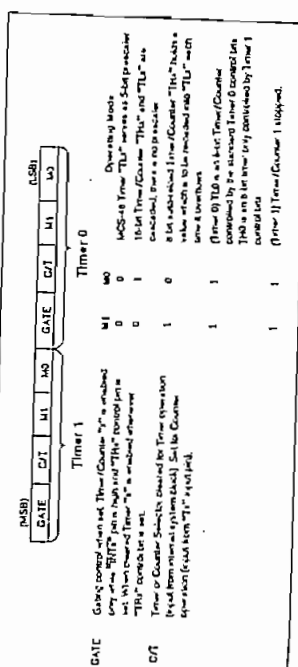


Figure 6. TMOD: Timer/Counter Mode Control Register

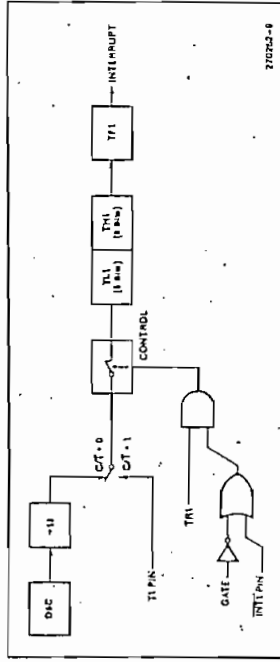


Figure 7. Timer/Counter 1 Mode 0: 13-Bit Counter

Symbol	Position	Name and Significance	Symbol	Position	Name and Significance
TF1	TC0N7	Timer 1 Overflow Flag. Set by hardware when Timer/Counter overflow. Cleared by hardware when processor vector to interrupt mode.	IE1	TC0N3	Interrupt 1 Enable bit. Set by hardware when external interrupt edge is detected. Cleared when interrupt is processed.
TR1	TC0N8	Timer 1 Run control bit. Set/cleared by software to turn Timer/Counter on/off.	TF1	TC0N2	Interrupt 1 Type control bit. Set/cleared by software to specify latching or non-latching external interrupt.
TR0	TC0N1	Timer 0 overflow Flag. Set by hardware when Timer/Counter overflow. Cleared by hardware when processor vector to interrupt mode.	IE0	TC0N1	Interrupt 0 Enable bit. Set by hardware when external interrupt edge is detected. Cleared when interrupt is processed.
TR0	TC0N4	Timer 0 Run control bit. Set/cleared by software to turn Timer/Counter on/off.	TF0	TC0N0	Interrupt 0 Type control bit. Set/cleared by software to specify latching or non-latching external interrupt.

Figure 8: TCON: Timer/Counter Control Register

TL1 with the contents of TH1, which is preset by software. The reload leaves TH1 unchanged. Mode 2 operation is the same for Timer/Counter 0.

MODE 3
Timer 1 in Mode 3 simply holds its count. The effect is the same as setting TR1 = 0.

Timer 0 in Mode 3 establishes TL0 and TH0 as two separate counters. The logic for Mode 3 on Timer 0 is shown in Figure 10. TL0 uses the Timer 0 control bits:

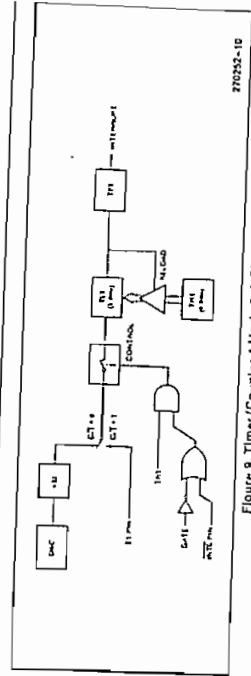


Figure 9. Timer/Counter 1 Mode 2: 8-Bit Auto-Reload

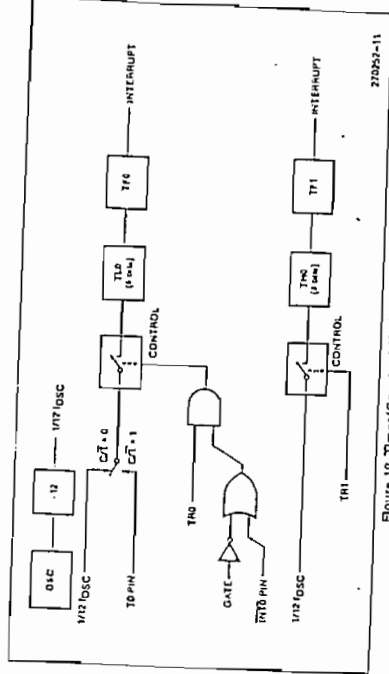


Figure 10. Timer/Counter 0 Mode 3: Two 8-Bit Counters

Timer 2

Timer 2 is a 16-bit Timer/Counter which is present only in the 8052. Like Timers 0 and 1, it can operate either as a timer or as an event counter. This is selected by bit C/T2 in the Special Function Register TCON (Figure 11). It has three operating modes: "capture," "auto-load," and "latch the generator," which are selected by bits in TCON 6 shown in Table 2.

RCLK + TCLK	CP/RLZ	TR2	Mode
0	0	1	16-bit Auto-Reload
0	1	1	16-bit Capture
1	X	X	Baud Rate Generator
X	X	0	(off)

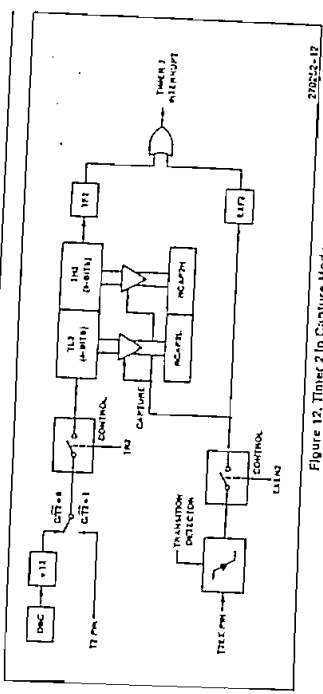


Figure 12. Timer 2 In Capture Mode

The serial port can operate in 4 modes:

Mode 0: Serial data enters and exits through RXD. TXD outputs the high effect. 8 bits are transmitted/received, 8 data bits (LSB first). The baud rate is fixed at 1/12 the oscillator frequency.

Mode 1: 10 bits are transmitted (through TXD) or received (through RXD); a start bit (0), 8 data bits (LSB first), and a stop bit (1). On receive, the stop bit goes into R8B in Special Function Register SC0N. The baud rate is variable.

Mode 2: 11 bits are transmitted (through TXD) or received (through RXD); a start bit (0), 8 data bits (LSB first), a programmable 9th data bit, and a stop bit (1). On transmit, the 9th data bit (CH8 in SC0N) can be assigned the value of 0 or 1. On receive, the parity bit (P) in the PSW could be programmed into TH8. On receive, the 9th data bit goes into R8B in Special Function Register SC0N, while the stop bit is ignored. The baud rate is programmable to either 1/8 or 1/16 the oscillator frequency.

Mode 3: 11 bits are transmitted (through TXD) or received (through RXD); a start bit (0), 8 data bits (LSB first), a programmable 9th data bit, and a stop bit (1). In Mode 3, the baud rate is the same as Mode 2 in all respects except the baud rate. The baud rate in Mode 3 is variable.

Multiprocessor Communications

Modes 2 and 3 have a special provision for multiprocessor communications. In these modes, 9 data bits are received. The 9th one goes into R8B. Then comes a stop bit. The port can be programmed such that when the stop bit is received, the serial port interrupt will be activated only if R8B = 1. This feature is enabled by setting bit SM2 in SC0N. A way to use this feature in multiprocessor systems is as follows.

When the master processor wants to transmit a block of data to one of several slaves, it first sends out an address byte which identifies the target slave. The address byte differs from a data byte in that the 9th bit is 1 in the address byte and 0 in a data byte. With SM2 = 1, no slave will be interrupted by a data byte. As an address byte, however, will interrupt all slaves, so that each slave can examine the received byte and see if it is addressed. The addressed slave will clear its SM2 bit and prepare to receive the data bytes that will be coming. The slaves that weren't being addressed leave their SM2s set and go on about their business, ignoring the coming data bytes.

SM2 has no effect in Mode 0, and in Mode 1 can be used to check the validity of the stop bit. In Mode 1 receptions, if SM2 = 1, the receive interrupt will not be activated unless a valid stop bit is received.

Serial Port Control Register

The serial port control and status register is the Special Function Register SC0N, shown in Figure 14. This register contains not only the mode selection bits, but also the 9th data bit for transmit and receive (TH8 and R8B), and the serial port interrupt bits (TI and RI).

In all four modes, transmission is initiated by any instruction that uses SHUF as a destination register. Reception is initiated in Mode 0 by the condition RI = 0 and REN = 1. Reception is initiated in the other modes by the interrupt start bit if REN = 1.

(MSB)	TR2	EXF2	RCK	TCLK	EXF2	TR2	CF2	CPH2	(LSB)
Symbol	TR2	EXF2	RCK	TCLK	EXF2	TR2	CF2	CPH2	
Position	7:6	5:4	3:2	1:0	7:6	5:4	3:2	1:0	
Meaning and Significance	<p>TR2: Timer 2 overflow flag. When set, Timer 2 overflow and must be cleared by software.</p> <p>EXF2: Timer 2 external flag. When set, Timer 2 overflow and must be cleared by software.</p> <p>RCK: Receiver clock. When set, enables the serial port to use Timer 2 overflow pulses for its receive clock in Modes 1 and 3. RCK = 0 causes Timer 1 overflow pulses to be used for the receive clock.</p> <p>TCLK: Transmitter clock. When set, causes the serial port to use Timer 2 overflow pulses for its transmit clock in Modes 1 and 3. TCLK = 0 causes Timer 1 overflow pulses to be used for the transmit clock.</p> <p>EXF2: Timer 2 external flag. When set, Timer 2 overflow and must be cleared by software.</p> <p>TR2: Timer 2 overflow flag. When set, Timer 2 overflow and must be cleared by software.</p> <p>CF2: Counter/flip-flop clear. When set, causes the counter to clear on the next T2EX.</p> <p>CPH2: Counter/flip-flop phase. When set, causes the counter to clear on the next T2EX.</p>								

Figure 11. T2CON: Timer/Counter 2 Control Register

In the Capture Mode, there are two options, which are selected by bit EXEN2 in T2CON. If EXEN2 = 0, then Timer 2 is a 16-bit timer or counter which upon overflowing sets bit TR2, the Timer 2 overflow bit, which can be used to generate an interrupt. If EXEN2 = 1, then Timer 2 will do the above, but with the added feature that a 1-to-0 transition at external input T2EX causes the current value in the Timer 2 registers, T2L and T2H, to be captured into registers R2AP2L and R2AP2H, respectively. (R2AP2L and R2AP2H are new Special Function Registers in the 8052.) In addition, the transition at T2EX causes bit EXF2 in T2CON to be set, and EXF2, like TR2, can generate an interrupt.

The Capture Mode is illustrated in Figure 12.

In the auto-reload mode, there are again two options, which are selected by bit EXEN2 in T2CON. If EXEN2 = 0, then when Timer 2 rolls over it not only sets TR2 but also causes the Timer 2 registers to be reloaded with the 16-bit value in registers R2AP2L and R2AP2H, which are preset by software. If EXEN2 = 1, then Timer 2 will do the above, but with the added feature that a 1-to-0 transition at external input T2EX will also trigger the 16-bit reload and set EXF2. The auto-reload mode is illustrated in Figure 13.

The baud rate generator mode is selected by RCLK = 1 and/or TCLK = 1. It will be described in conjunction with the serial port.

SERIAL INTERFACE

The serial port is full duplex, meaning it can transmit and receive simultaneously. It is also receive-buffered, meaning it can commence reception of a second byte before a previously received byte has been read from the receive register. (However, if the first byte still hasn't been read by the time reception of the second byte is complete, one of the bytes will be lost.) The serial port receive and transmit registers are both accessed at Special Function Register SHUF. Writing to SHUF loads the transmit register, and reading SHUF accesses a physically separate receive register.

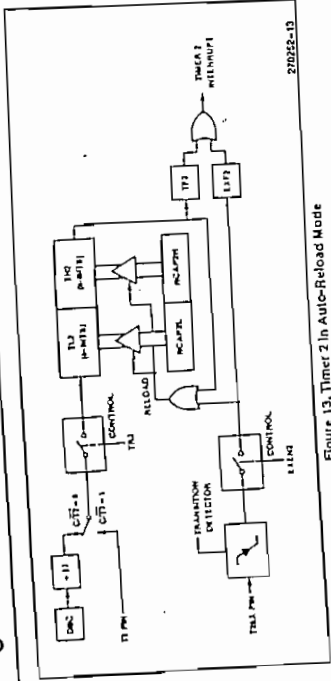


Figure 13. Timer 2 in Auto-Reload Mode

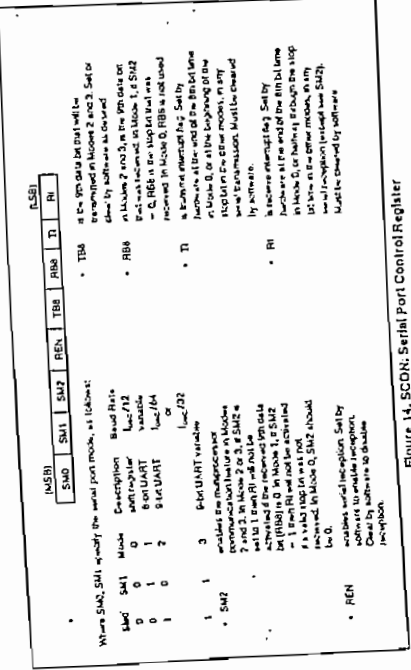


Figure 14. SCON: Serial Port Control Register

Baud Rates

The baud rate in Mode 0 is fixed:

$$\text{Mode 0 Baud Rate} = \frac{\text{Oscillator Frequency}}{12}$$

The baud rate in Mode 2 depends on the value of bit SMOD in Special Function Register PCON. If SMOD = 0 (which is the value on reset), the baud rate is $\frac{1}{16}$ the oscillator frequency. If SMOD = 1, the baud rate is $\frac{1}{8}$ the oscillator frequency.

Using Timer 1 to Generate Baud Rates

When Timer 1 is used as the baud rate generator, the baud rates in Modes 1 and 3 are determined by the Timer 1 overflow rate and the value of SMOD as follows:

$$\text{Baud Rate} = \frac{f_{osc}}{32} \times \text{SMOD} \times (\text{Timer 1 Overflow Rate})$$

The Timer 1 interrupt should be disabled in this application. The Timer 1 itself can be configured for either "timer" or "counter" operation, and in any of its 3 modes. In the most typical applications, it is configured for "timer" operation, in the auto-reload

mode (high nibble of TMOD = 0100). In that case, the baud rate is given by the formula:

$$\text{Baud Rate} = \frac{f_{osc}}{32} \times \text{SMOD} \times 128 \times (256 - (TH1))$$

One can achieve very low baud rates with Timer 1 by leaving the Timer 1 interrupt enabled, and configuring the Timer to run as a 16-bit timer (high nibble of TMOD = 0010), and using the Timer 1 interrupt to do a 16-bit software reload.

Figure 15 lists various commonly used baud rates and how they can be obtained from Timer 1.

Baud Rate	fosc	Timer 1	
		SMOD	Reload Value
Mode 0 Max: 1 MHz	12 MHz	X	X
Mode 2 Max: 375K	12 MHz	1	0
Mode 1, 3: 62.5K	11,059 MHz	0	2
16.2K	11,059 MHz	0	2
9.8K	11,059 MHz	0	2
4.9K	11,059 MHz	0	2
2.4K	11,059 MHz	0	2
1.2K	11,059 MHz	0	2
630	11,059 MHz	0	2
137.5K	6 MHz	0	2
110K	12 MHz	0	2
110K	12 MHz	0	2
FEEDBH	12 MHz	0	2

Figure 15. Timer 1 Generated Commonly Used Baud Rates

Using Timer 2 to Generate Baud Rates

In the 8052, Timer 2 is selected as the baud rate generator by setting TCLK and/or RCLK in TCON (figure as shown in Figure 16).

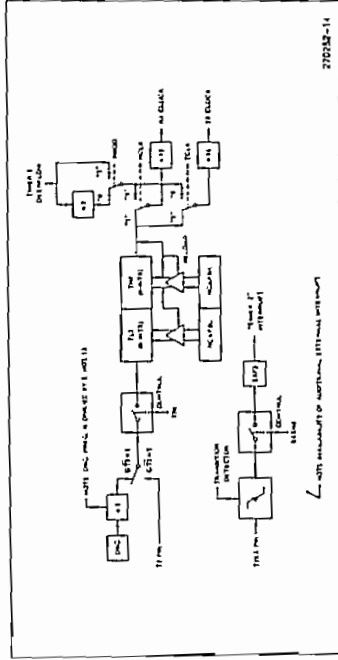


Figure 16. Timer 2 in Baud Rate Generator Mode

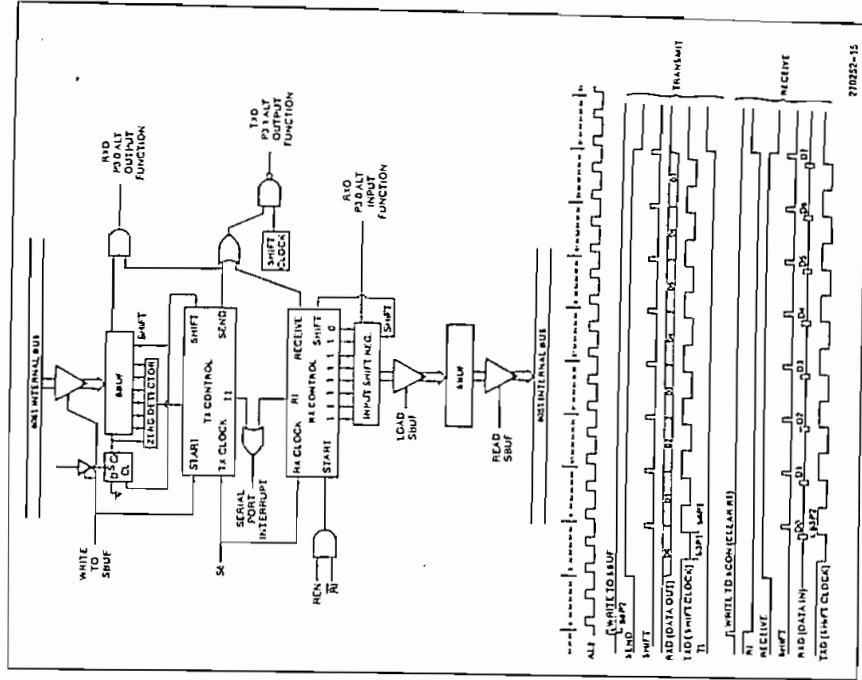


Figure 17. Serial Port Mode 0

Transmission is initiated by any instruction that uses SBUF as a destination register. The "write to SBUF" signal at SBUF2 also latches 1 into the 9th position of the transmit shift register and tells the TX Control block to commence a transmission. The internal timing is such that one full machine cycle is elapsed between "write to SBUF," and activation of SEND.

SEND enables the output of the shift register to the alternate output function line of P3.0, and also enables SHIFT CLOCK in the alternate output function line of P3.1. SHIFT CLOCK is low during S3, S4, and S5 of every machine cycle, and high during S6, S7 and S2. At S6/2 of every machine cycle in which SEND is active, the contents of the transmit shift register are shifted to the right one position.

As data bits shift out to the right, zeros come in from the left. When the MSB of the data byte is at the output position of the shift register, then the 1 that was initially loaded into the 9th position, is just to the left of the MSB, and will position to the left of that contain zeros. This condition flags the TX Control block, to do one last shift and then deactivate SEND and set TI. Both of these actions occur at S1/1 of the 10th machine cycle after "write to SBUF."

Reception is initiated by the condition REN = 1 and RI = 0. At S6/2 of the next machine cycle, the RX shift register, and in the next clock phase activates RECEIVE.

RECEIVE enables SHIFT CLOCK to the alternate output function line of P3.1. SHIFT CLOCK makes transitions at S3/1 and S6/1 of every machine cycle. At S6/2 of every machine cycle in which RECEIVE is active, the contents of the receive shift register are shifted to the left one position. The value that comes in from the right is the value that was sampled at the P3.0 pin at S3/2 of the same machine cycle.

As data bits come in from the right, 1s shift out to the left. When the 0 that was initially loaded into the shift register, arrives at the leftmost position in the shift register, it flags the RX Control block, to do one last shift and deactivate RECEIVE. The internal timing is such that one full machine cycle is elapsed between "write to SBUF," and activation of RECEIVE. The value that comes in from the right is the value that was sampled at the P3.0 pin at S3/2 of the same machine cycle.

More About Mode 1

Ten bits are transmitted (through TXD), or received (through RXD), a start bit (0), 8 data bits (LSB first), and a stop bit (1). On receive, the stop bit goes in RB8 in SCON. In the 8051 the stop bit is determined by the Timer 1 overflow rate. In the 8052 it is determined either by the Timer 1 overflow rate, or the Timer 2 overflow rate, or both (one for transmit, and the other for receive).

Figure 18 shows a simplified functional diagram of the serial port in Mode 1, and associated timings for transmit receive.

baud rate generator mode is similar to the autoreload timer that follows in TH2 causes the Timer 2 to be reloaded with the 16-bit value in registers AP2H and RCAP2L, which are preset by software.

the baud rates in Modes 1 and 3 are determined by the Timer 2 overflow rate as follows:

$$\text{Baud Rate} = \frac{\text{Timer 2 Overflow Rate}}{16}$$

Timer can be configured for either "timer" or "counter" operation. In the most typical applications, it is configured for "timer" operation. (CA2H = 0). This operation is a little different. Timer 2, when it's configured as a baud rate generator, normally, as a counter, it would increment every state time (thus, at 1/16 the oscillator frequency). As a baud rate generator, it would decrement every state time (thus, at 1/16 the oscillator frequency). In that case the baud rate is given by the formula:

$$\text{Baud Rate} = \frac{\text{Oscillator Frequency}}{32 \cdot \{ \text{RCAP2L} - \text{RCAP2H} \}}$$

RCAP2H and RCAP2L are the contents of registers (RCAP2H, RCAP2L) taken as a 16-bit unsigned integer.

Timer 2 as a baud rate generator is shown in Figure 16. Figure is valid only if RCLK = 1, TCLK = 1 in CON. Note that a rollover in TH2 does not set TF2, and will not generate an interrupt. Therefore, the Timer 2 interrupt does not have to be disabled when Timer 2 is in the baud rate generator mode. Note also, that if GEN2 is set, a 1-to-0 transition in T2EX will set V2 but will not cause a reload from (RCAP2H, RCAP2L) to (TH2, TL2). Thus when Timer 2 is in use as a baud rate generator, T2EX can be used as an external interrupt, if desired.

It should be noted that when Timer 2 is running (TR2 = 1) in "timer" function in the baud rate generator mode, one should not try to read or write TH2 or TL2, under these conditions the Timer is being incremented every state time and the results of a read or write may not be what you expect. The RCAP registers may be read, but should not be written to, because a write might envelop a load and cause write and/or reload errors. Turn the timer off (clear TR2) before accessing the Timer 2 or CAP registers, in this case.

More About Mode 0

Mode 0 data enters and exits through RXD. TXD output is the shift clock. 8 bits are transmitted/received at the shift clock. 8 bits are transmitted/received at the bus (LSB first). The baud rate is fixed at 1/16 the oscillator frequency.

Figure 17 shows a simplified functional diagram of the serial port in Mode 0, and associated timings.

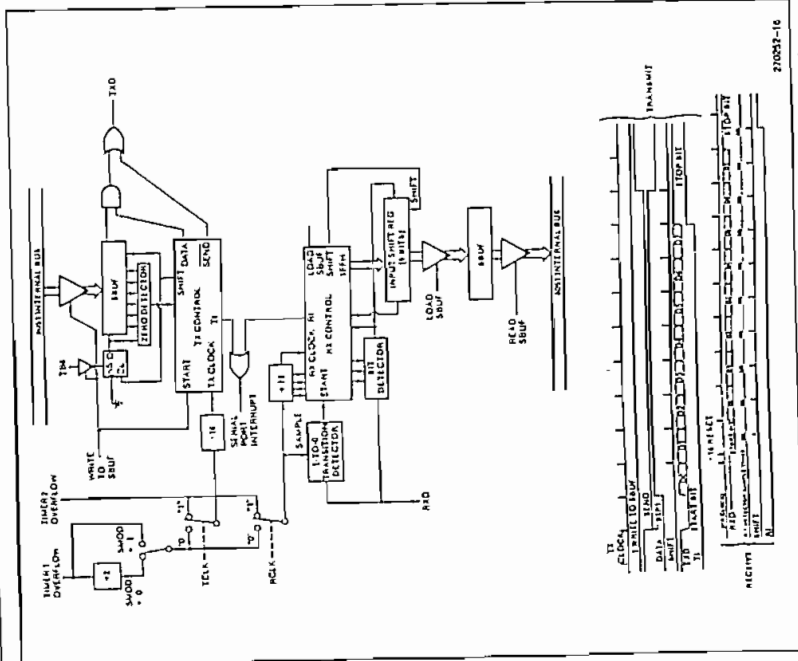


Figure 16. Serial Port Mode 1, TCLK, RCLK and Timer 2 are Present in the 8057/8032 Only.

Transmission is initiated by any instruction that uses SBUF as a destination register. The "write to SBUF" signal also loads 1 into the 9th bit position of the transmit shift register and flags the TX Control unit that a transmission is requested. Transmission commences at SBUF of the machine cycle following the next rollover in the divide-by-16 counter. (Thus, the bit times are synchronized to the divide-by-16 counter, not to the "write to SBUF" signal).

The transmission begins with activation of SEND, which puts the start bit at TXD. One bit time later, DATA is set, which enables the output bit of the transmit shift register to TXD. The first shift pulse occurs one bit time after this. The first shift clock is 1 (the stop bit) into the 9th bit position of the shift register. Thereafter, only zero's are checked in. Thus, as data bits shift out to the right, they are checked in from the left. When T16B is at the output side of the shift register, then the stop bit is just to the left of T16B, and all positions to the left of that contain zeros. This condition flags the TX Control unit to do one last shift and then deactivate SEND and set TI. This occurs at the 11th divide-by-16 rollover after "write to SBUF."

Reception is initiated by a detected 1-to-0 transition at RXD. For this purpose RXD is sampled at a rate of 16 times whatever baud rate has been established. When a transition is detected, the divide-by-16 counter is immediately reset, and IFFH is written to the input shift register. Resolving the divide-by-16 counter aligns its rollovers with the boundaries of the incoming bit times.

The 16 states of the counter divide each bit time into 16ths. In the 8th, 9th, and 10th counter states each bit time the bit divider is set to 1. The value of the counter at the time the value accepted is the value that was sampled. If the value sampled during the first bit time is not 0, the receive criteria are met and the unit goes back to looking for another 1-to-0 transition. This is to provide rejection of false start bits. If the start bit proves valid, it is shifted into the input shift register, and reception of the rest of the frame will proceed.

As data bits come in from the right, it shifts out to the left. When the start bit arrives at the leftmost position in the shift register, (which in mode 1 is a 9-bit register), it flags the RX Control block to do one last shift, load SBUF and RRB, and set RI. The signal to load SBUF and RRB and to set RI, will be generated if, and only if, the following conditions are met at the time the final shift pulse is generated.

- 1) RI = 0, and
- 2) Either SM2 = 0, or the received stop bit = 1

If either of these two conditions is not met, the received frame is irretrievably lost. If both conditions are met, SBUF and RI is activated. At this time, whether the above conditions are met or not, the unit goes back to looking for a 1-to-0 transition to RXD.

More About Modes 2 and 3

Even bits are transmitted (through TXD) or received (through RXD), a start bit (0), 8 data bits (LSB first), a programmable 9th data bit, and a stop bit (1). On trans-

mits, the 9th data bit (T16B) can be assigned the value of 0 or 1. On receive, the 9th data bit goes into RRB in SCON. The baud rate is programmable to either 1/64 or 1/32 the oscillator frequency. In Mode 2, Mode 3 may have a variable baud rate generated from either Timer 1 or 2 depending on the state of TCLK and RCLK.

Figures 19 and 20 show a functional diagram of the serial port in Modes 2 and 3. The receive position is exactly the same as in Mode 1. The transmit position differs from Mode 1 only in the 9th bit of the transmit shift register.

Transmission is initiated by any instruction that uses SBUF as a destination register. The "write to SBUF" signal also loads T16B into the 9th bit position of the transmit shift register and flags the TX Control unit that a transmission is requested. Transmission commences at SBUF of the machine cycle following the next rollover in the divide-by-16 counter. (Thus, the bit times are synchronized to the divide-by-16 counter, not to the "write to SBUF" signal).

The transmission begins with activation of SEND, which puts the start bit at TXD. One bit time later, DATA is set, which enables the output bit of the transmit shift register to TXD. The first shift pulse occurs one bit time after this. The first shift clock is 1 (the stop bit) into the 9th bit position of the shift register. Thereafter, only zero's are checked in. Thus, as data bits shift out to the right, they are checked in from the left. When T16B is at the output side of the shift register, then the stop bit is just to the left of T16B, and all positions to the left of that contain zeros. This condition flags the TX Control unit to do one last shift and then deactivate SEND and set TI. This occurs at the 11th divide-by-16 rollover after "write to SBUF."

Reception is initiated by a detected 1-to-0 transition at RXD. For this purpose RXD is sampled at a rate of 16 times whatever baud rate has been established. When a transition is detected, the divide-by-16 counter is immediately reset, and IFFH is written to the input shift register. Resolving the divide-by-16 counter aligns its rollovers with the boundaries of the incoming bit times.

The 16 states of the counter divide each bit time into 16ths. In the 8th, 9th, and 10th counter states each bit time the bit divider is set to 1. The value of the counter at the time the value accepted is the value that was sampled. If the value sampled during the first bit time is not 0, the receive criteria are met and the unit goes back to looking for another 1-to-0 transition. This is to provide rejection of false start bits. If the start bit proves valid, it is shifted into the input shift register, and reception of the rest of the frame will proceed.

As data bits come in from the right, it shifts out to the left. When the start bit arrives at the leftmost position in the shift register, (which in mode 1 is a 9-bit register), it flags the RX Control block to do one last shift, load SBUF and RRB, and set RI. The signal to load SBUF and RRB and to set RI, will be generated if, and only if, the following conditions are met at the time the final shift pulse is generated.

- 1) RI = 0, and
- 2) Either SM2 = 0, or the received stop bit = 1

If either of these two conditions is not met, the received frame is irretrievably lost. If both conditions are met, SBUF and RI is activated. At this time, whether the above conditions are met or not, the unit goes back to looking for a 1-to-0 transition to RXD.

More About Modes 2 and 3

Even bits are transmitted (through TXD) or received (through RXD), a start bit (0), 8 data bits (LSB first), a programmable 9th data bit, and a stop bit (1). On trans-

HARDWARE DESCRIPTION OF THE 8051 AND 8052

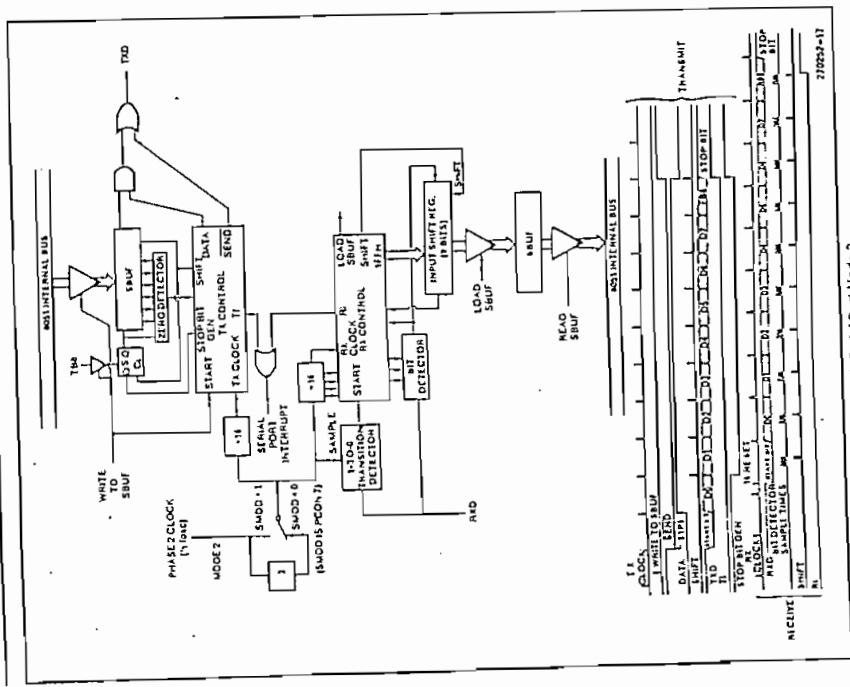


Figure 18. Serial Port Mode 2

HARDWARE DESCRIPTION OF THE 8051 AND 8052

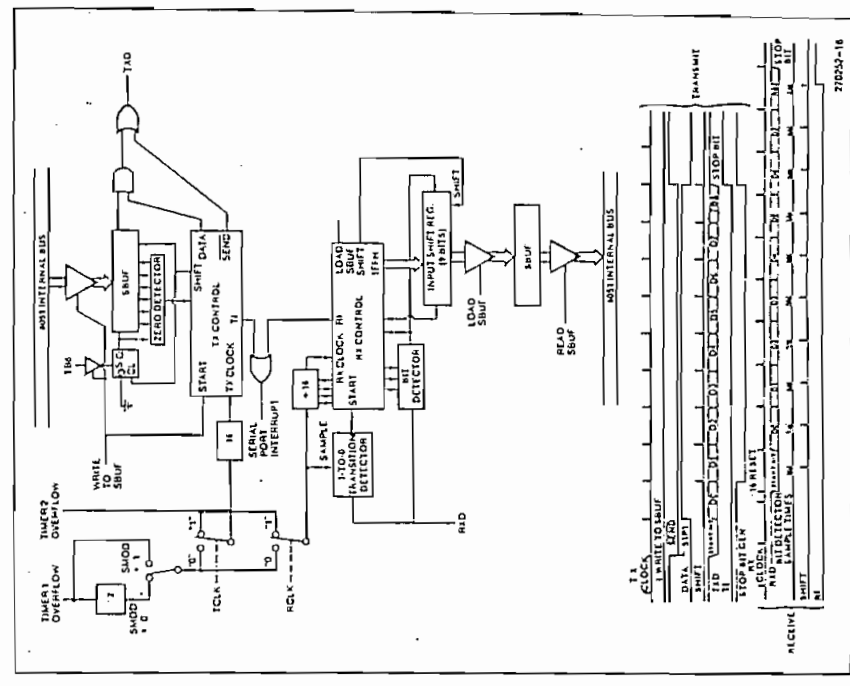


Figure 20. Serial Port Mode 3. TCLK, RCLK, and Timer 2 are Present in the 8052/8032 Only.



Each of these interrupt sources can be individually enabled or disabled by setting or clearing a bit in Special Function Register IE (Figure 23). IE contains also a global enable bit, EA, which enables all interrupts at once.

Note in Figure 23 that bit position IE6 is unimplemented. User software should not write 1s to these bit positions, since they may be used in future MCS-51 products.

Priority Level Structure

Each interrupt source can also be individually programmed to one of two priority levels by setting or clearing a bit in Special Function Register IP (Figure 23). A low-priority interrupt can itself be interrupted by a high-priority interrupt, but not by another low-priority interrupt. A high-priority interrupt can't be interrupted by any other interrupt source.

Symbol	Position	Function
IP7	reserved	
IP6	reserved	
IP5	defines the Timer 2 external priority level, P12 = 1 program 4 to the higher priority level	
IP4	defines the Serial Port interrupt priority level, P5 = 1 program 4 to the higher priority level	
IP3	defines the Timer 1 external priority level, P11 = 1 program 4 to the higher priority level	
IP1	defines the Timer 0 external priority level, P10 = 1 program 4 to the higher priority level	
IP0	defines the External Interrupt 0 priority level, P0 = 1 program 4 to the higher priority level	

The IP register contains a number of unimplemented bits (IP7 and IP6) that are vacant in the 8051, and in the 8052 these and IP5 are vacant. User software should not write 1s to these bit positions, since they may be used in future MCS-51 products.

How Interrupts Are Handled

The interrupt flags are sampled at SSP2 of every machine cycle. The samples are polled during the following machine cycle. If one of the flags was in a set condition at SSP2 of the preceding cycle, the polling cycle will find it and the interrupt system will generate an LCALL to the appropriate service routine. Provided this hardware-generated LCALL is not blocked by any of the following conditions:

1. An interrupt of equal or higher priority level is already in progress.
2. The current (polling) cycle is not the final cycle in the execution of the instruction in progress.
3. The instruction in progress is RETI or any write to the IE or IP registers.

Any of these three conditions will block the generation of the LCALL to the interrupt service routine. Condition 2 ensures that the instruction in progress will be finished.

Any of these three conditions will block the generation of the LCALL to the interrupt service routine. Condition 2 ensures that the instruction in progress will be finished.

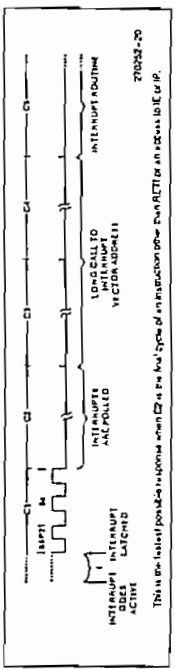


Figure 24. Interrupt Response Timing Diagram



flag that generated it is cleared by the hardware when the service routine is vectored to it. If the interrupt was transition-activated or the interrupt was level-activated, then the external requesting source is what controls the request flag rather than the on-chip hardware.

The Timer 0 and Timer 1 interrupts are generated by TPO and TPI, which are set by a rollover in their respective Timer/Counter registers (except see Timer 0 in Mode 3). When a timer interrupt is generated, the flag that generated it is cleared by the on-chip hardware when the service routine is vectored to it.

The Serial Port Interrupt is generated by the logical OR of RI and TI. Neither of these flags is cleared by hardware when the service routine is vectored to it. In fact, the service routine will normally have to determine whether it was RI or TI that generated the interrupt, and the bit will have to be cleared in software.

In the 8052, the Timer 2 interrupt is generated by the logical OR of TF2 and EXF2. Neither of these flags is cleared by hardware when the service routine is vectored to it. In fact, the service routine may have to determine whether it was TF2 or EXF2 that generated the interrupt, and the bit will have to be cleared in software.

All of the bits that generate interrupts can be set or cleared by software, with the same result as though it had been set or cleared by hardware. That is, interrupts can be generated or pending interrupts can be cancelled in software.

Figure 22. IC: Interrupt Enable Register

Symbol	Position	Function
EA	enables all interrupts if EA = 0, disables all interrupts if EA = 1. EA can be cleared only by writing a 0 to EA.	
IE7	reserved	
IE6	enables or disables the Timer 2 Overflow Interrupt if IE6 = 1. The Timer 2 Overflow Interrupt is disabled if IE6 = 0.	
IE5	enables or disables the Serial Port Interrupt if IE5 = 1. The Serial Port Interrupt is disabled if IE5 = 0.	
IE3	enables or disables the Timer 1 Overflow Interrupt if IE3 = 1. The Timer 1 Overflow Interrupt is disabled if IE3 = 0.	
IE2	enables or disables External Interrupt 1. If IE2 = 1, External Interrupt 1 is enabled. If IE2 = 0, External Interrupt 1 is disabled.	
IE1	enables or disables the Timer 0 Overflow Interrupt if IE1 = 1. The Timer 0 Overflow Interrupt is disabled if IE1 = 0.	
IE0	enables or disables External Interrupt 0. If IE0 = 1, External Interrupt 0 is enabled. If IE0 = 0, External Interrupt 0 is disabled.	

Figure 22. IC: Interrupt Enable Register

As data bits come in from the right, 1s shift out to the left. When the start bit arrives at the leftmost position in the shift register (which in Modes 2 and 3 is a 9-bit register), it flips the RX Control block, to do one last request, it flips the RX Control block. The signal to shift, load SHUF and R18, and set RI. The signal to load SHUF and R18, and to set RI, will be generated if, and only if, the following conditions are met at the time the final shift pulse is generated:

- 1) RI = 0, and
- 2) Either SAZ = 0 or the received 9th data bit = 1

If either of these conditions is not met, the received frame is incorrectly lost, and RI is not set. If both conditions are met, the received 9th data bit goes into R18, and the first 8 bits go into SHUF. One bit time later, whether the above conditions were met or not, the RX goes back to looking for a 1-to-0 transition at the RXD input.

Note that the value of the received stop bit is irrelevant to SHUF, R18, or RI.

INTERRUPTS

The 8051 provides 5 interrupt sources (Figure 21).

The External Interrupt INT0 and INT1 can each be cleared by software, with the same result as though it had been set or cleared by hardware. That is, interrupts can be generated or pending interrupts can be cancelled in software.

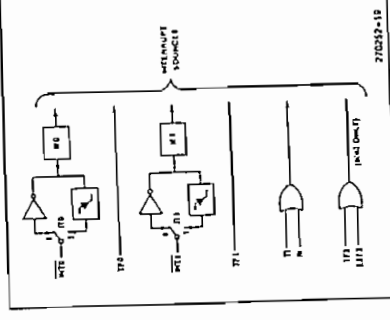


Figure 21. MCS-51 Interrupt Sources

SINGLE-STEP OPERATION

The 8051 interrupt structure allows single-step execution with very little software overhead. As previously noted, an interrupt request will not be responded to while an interrupt of equal priority level is still in progress, nor will it be responded to after RETI until at least one other instruction has been executed. Thus, once an interrupt routine has been entered, it cannot be re-entered until at least one instruction of the interrupted program is executed. One way to use this feature for single-step operation is to program one of the external interrupts (say, INT0) to be level-activated. The service routine for the interrupt will terminate with the following code:

```
JNB P3.2, ;Wait Here Till INT0 Goes High
JB P3.2, ;Now Wait Here Till it Goes Low
;GO Back and Execute One Instruction
RETI
```

Now if the INT0 pin, which is also the P3.2 pin, is held normally low, the CPU will go right into the External Interrupt 0 routine and stay there until INT0 is pulled (from low to high to low). Then it will execute RETI, go back to the task program, execute one instruction, and immediately re-enter the External Interrupt 0 routine to await the next pulling of P3.2. One step of the task program is executed each time P3.2 is pulled.

External Interrupts

The external sources can be programmed to be level-activated or transition-activated by setting the external INT0 or INT1 in Register TCON. If low at the external interrupt 0 is triggered by a detected high level, the INT0 pin, if IT0 = 1, external interrupt 0 is edge-triggered. In this mode if successive samplings of the INT0 pin show a high in one cycle and low in the next cycle, an interrupt request flag IE0 in TCON is set. Flag bit IE0 then requests the interrupt.

Since the external interrupt pins are sampled once each machine cycle, an input high on low should hold for at least 12 oscillator periods to ensure sampling. If the external interrupt is transition-activated, the external source has to hold the request pin high for at least one cycle, and then hold it low for at least one cycle to ensure that the transition is seen so that interrupt request flag IE0 will be set. IE0 will be automatically cleared by the CPU when the service routine is called. If the external interrupt is level-activated, the external source has to hold the request active until the requested interrupt is actually generated. Then it has to deactivate the request before the interrupt service routine is completed, or else another interrupt will be generated.

Response Time

The INT0 and INT1 levels are inverted and latched into IED and IE1 at S512 of every machine cycle. The values are not actually polled by the CPU until the next machine cycle. If a request is active at the end of the machine cycle, it will be acknowledged at the next instruction to be executed. The minimum of three complete machine cycles elapse between activation of an external interrupt request and the beginning of execution of the first instruction of the service routine. Figure 24 shows interrupt response timing.

A longer response time would result if the request is blocked by one of the 3 previously listed conditions. If an interrupt of equal or higher priority level is already in progress, the additional wait time obviously depends on the priority of the other interrupt service routine. If one instruction in progress is not in its final cycle, the additional wait time cannot be more than 3 cycles, since the longest instructions (MUL and DIV) are only 4 cycles long, and if the instruction in progress is RETI, it may be more than 3 cycles. A maximum of one more cycle to complete the instruction in progress, plus 4 cycles to complete the next instruction if the instruction is MUL or DIV.

Thus, in a single-interrupt system, the response time is always more than 3 cycles and less than 9 cycles.

External Interrupts

completed before venturing to any service routine. Condition 3 ensures that if the instruction in progress is RETI or any access to IE or IP, then at least one more instruction will be executed before any interrupt is vectored to.

The polling cycle is repeated with each machine cycle, and the value polled are the values that were present at S512 of the previous machine cycle. Note that if an interrupt flag is active but not being responded to for one of the above conditions, if the flag is not still active when the blocking condition is removed, the disabled interrupt will not be serviced. In other words, the fact that the interrupt flag was once active but not serviced is not remembered. Every polling cycle is new.

The polling cycle/LCALL sequence is illustrated in Figure 24.

Note that if an interrupt of higher priority level goes active prior to S512 of the machine cycle labeled C3 in Figure 24, then in accordance with the above rules it will be vectored to during C3 and C6, without any intervention of the lower priority routine having been executed.

Thus the processor acknowledges an interrupt request by executing a hardware-generated LCALL. The appropriate servicing routine. In some cases it also clears the flag that generated the interrupt, and in Timer 2 it doesn't. It never clears the Serial Port software. If flags. This has to be done in the user software. It clears an external interrupt flag (IE0/IE1) only if it was transition-activated. The hardware-generated LCALL pushes the contents of the Program Counter onto the stack but it does not set the IOW and reloads the PC with an address that depends on the source of the interrupt being vectored to, as shown below.

Source	Vector Address
IE0	0003H
TF0	000BH
IE1	0013H
TF1	001BH
RI + TI	0022H
TF2 + EXF2	002BH

Execution proceeds from that location until the RETI instruction is encountered. The RETI instruction informs the processor that this interrupt routine is no longer in progress, then pops the top two bytes from the stack and reloads the Program Counter. Execution of the interrupted program continues from where it left off.

Note that a simple RETI instruction would also have returned execution to the interrupted program, but it would have left the interrupt control system thinking an interrupt was still in progress.

RESET

The reset input is the RST pin, which is the input to a Schmitt Trigger.

A reset is accomplished by holding the RST pin high for at least two machine cycles (24 oscillator periods), while the oscillator is running. The CPU responds by generating an internal reset, with the timing shown in Figure 25.

The external reset signal is asynchronous to the internal clock. The RST pin is sampled during State 3 Phase 2 of every machine cycle. The port pins will maintain their current activities for 19 oscillator periods after a logic 1 has been sampled at the RST pin; that is, for 19 or 31 oscillator periods after the external reset signal has been applied to the RST pin.

The internal reset algorithm writes 0s in all the SFRs except the port latches, the Stack Pointer, and SBUF. The port latches are initialized to FFH, the Stack Pointer to 07H, and SBUF is indeterminate. Table 3 lists the SFRs and their reset values.

The internal RAM is not affected by reset. On power up the RAM content is indeterminate.

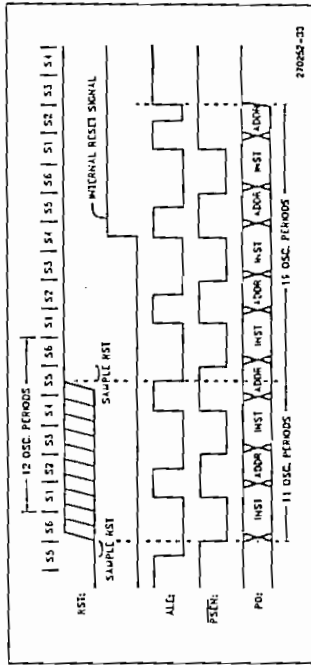


Figure 25. Reset Timing

Table 3. Reset Values of the SFRs

SFR Name	Reset Value
PC	0000H
ACC	00H
B	00H
PSW	00H
SP	07H
DPTR	0000H
P0-P3	FFH
IP (8051)	XXXX0000B
IP (8052)	XXXX0000B
IE (8051)	0XX00000B
IE (8052)	0X000000B
TMOD	00H
TCNTR	00H
TH0	00H
TL0	00H
TH1	00H
TL1	00H
TH2 (8052)	00H
TL2 (8052)	00H
RCAP2H (8052)	00H
RCAP2L (8052)	00H
SCON	00H
SBUF	Indeterminate
PCON (HMOS)	0XXXXXXB
PCON (CHMOS)	0XXXX000B

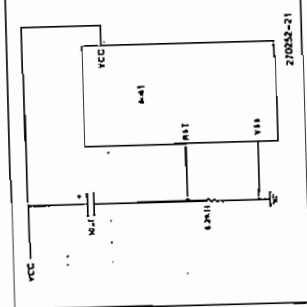


Figure 26. Power on Reset Circuit

POWER-ON RESET

An automatic reset can be obtained when VCC is turned on by connecting the RST pin to VCC through a 10 µF capacitor and to VSS through an 8.2 kΩ resistor, providing the VCC machine does not exceed a reset 10 and the oscillator start-up time does not exceed 10 milliseconds. This power-on reset circuit is shown in Figure 26. The CHMOS devices do not require the 8.2k pull-down resistor, although its presence does no harm.

When power is turned on, the circuit holds the RST pin high for an amount of time that depends on the value of the capacitor and the rate at which it charges. To ensure a good reset, the RST pin must be high long enough to allow the oscillator time to start up (initially a few msec) plus two machine cycles.

Note that the port pins will be in a random state until the oscillator has started and the internal reset algorithm has written 1s to them.

With this circuit, reducing VCC quickly to 0 causes the RST pin voltage to momentarily fall below 0V. However, this voltage is internally limited, and will not harm the device.

POWER-SAVING MODES OF OPERATION

For applications where power consumption is critical the CHMOS version provides power reduced modes of operation as a standard feature. The power down mode in HMOS devices is no longer a standard feature and is being phased out.

CHMOS Power Reduction Modes

CHMOS version has two power-reduced modes, Idle and Power Down. The input through which back-up power is supplied during these operations is VCC. Figure 27 shows the internal circuitry which implements these features. In the Idle mode (IDL = 1), the oscillator continues to run and the Interrupt, Serial Port, and Timer blocks continue to be clocked, but the clock signal is gated off to the CPU. In Power Down (PD = 1), the oscillator is frozen. The Idle and Power Down modes are activated by setting bits in Special Function Register PCON. The details of this register is 87H. Figure 28 details its contents.

In the HMOS devices the PCON register only contains SMOOD. The other four bits are implemented only in the CHMOS devices. User software should never write 1s to unimplemented bits, since they may be used in future 80C51 products.

IDLE MODE

An instruction that sets PCON.0 causes that to be the last instruction executed before going into the Idle

mode. In the Idle mode, the internal clock signal is gated off to the CPU, but not to the Interrupt, Timer, and Serial Port functions. The CPU status is preserved in its entirety, the Stack Pointer, Program Counter, Program Status Word, Accumulator, and all other registers maintain their data during Idle. The port pins hold the logical states they had at the time Idle was activated. ALE and PSEN hold a logic high level.

There are two ways to terminate the Idle. Activation of any enabled interrupt will cause PCON.0 to be cleared by hardware, terminating the Idle mode. The interrupt will be serviced, and will be followed by the next instruction that puts the device into Idle.

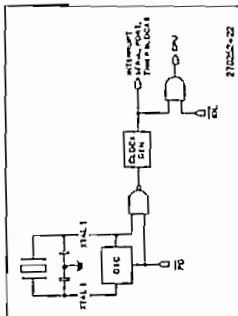


Figure 27. Idle and Power Down Hardware

Symbol	Position	Name and Function
SMOOD	PCON.7	Double-Bit rate bit. When set to 1 and Time 1 is used to generate the clock rate, the Serial Port is used in modes 1, 2, or 3.
—	PCON.6	(Reserved)
—	PCON.5	(Reserved)
—	PCON.4	Reserved purpose bit bit
GF	PCON.3	General-purpose bit bit
GF	PCON.2	General-purpose bit bit
PD	PCON.1	Power-Down bit. Setting this bit activates power down operation.
IDL	PCON.0	Idle mode bit. Setting this bit activates the Idle mode operation.

It is an error to PD and IDL at the same time. PD bit is implemented only in the CHMOS devices. The other four bits are implemented only in the CHMOS devices. User software should never write 1s to unimplemented bits, since they may be used in future 80C51 products.

Figure 28. PCON: Power Control Register

The flag bits GFD and GFI can be used to give an indication of an interrupt occurred during normal operation or during an Idle. For example, an instruction that activates Idle can also set one or both flag bits. When Idle is terminated by an interrupt, the interrupt service routine can examine the flag bits.

The other way of terminating the Idle mode is with a hardware reset. Since the clock oscillator is still running, the hardware reset needs to be held active for only two machine cycles (24 oscillator periods) to complete the reset.

The signal at the RST pin clears the Idle bit directly and asynchronously. At this time the CPU resumes program execution from where it left off; that is, at the instruction following the one that invoked the Idle mode. As shown in Figure 29, two or three machine cycles of program execution may take place before the internal reset algorithm is completed. Once this time, the internal reset algorithm is completed. The internal reset algorithm is not inhibited. To ensure the stability of unexpected outputs at the completion of the instruction following the one that invokes Idle should not be one that writes to a port pin or to external Data RAM.

POWER DOWN MODE

An instruction that sets PCON.1 causes that to be the last instruction executed before going into the Power Down mode. In the Power Down mode, the on-chip oscillator is stopped. With the clock frozen, all functions are stopped, but the on-chip RAM and Special Function Registers are held. The port pins output the values held by their respective SFRs. ALE and PSEN output 1s.

The only exit from Power Down is a hardware reset. Reset reinitializes all the SFRs, but does not change the on-chip RAM.

In the Power Down mode of operation, VCC can be reduced to as low as 2V. Care must be taken, however, to ensure that VCC is not reduced before the Power Down mode is invoked, and that VCC is restored to its normal operating level before the Power Down mode is terminated. The reset that terminates Power Down also freezes the oscillator. The reset should not be activated before VCC is restored to its normal operating level, and must be held active long enough to allow the oscillator to restart and stabilize (normally less than 10 msec).

EPROM VERSIONS

The EPROM versions of these devices are listed in Table 4. The 87M1 programs at VPP = 21V using one 5S msec PREGS pulse per byte programmed. This results in a total programming time (4K bytes) of approximately 4 minutes.

Table 4. EPROM Versions of the 8051 and 8052

Device Name	EPROM Verion	EPROM Bytes	Ckt Type	Vpp	Time Required to Program Entire Array
8051	8751H	4K	HMOS	21.0V	4 minutes
8051AH	8751H	4K	HMOS	21.0V	4 minutes
80C51BH	87C51	4K	CHMOS	12.75V	13 seconds
8052AH	8752BH	8K	HMOS	12.75V	26 seconds

The 8752BH and 87C51 use the faster "Quick-Pulse" programming algorithm. These devices program at $V_{pp} = 12.75V$ using a series of twenty-five 100 μs PULSE pulses per byte programmed. This results in a total programming time of approximately 26 seconds for the 8752BH (8K bytes) and 13 seconds for the 87C51 (4K bytes).

Detailed procedures for programming and verifying each device are given in the data sheets.

EXPOSURE TO LIGHT

It is good practice to cover the EPROM window with an opaque label when the device is in operation. This is not so much to protect the EPROM array from inadvertent erasure, but to protect the RAM and other on-chip logic. Allowing light to impinge on the silicon die while the device is operating can cause logical malfunction.

Program Memory Locks

In some microcontroller applications it is desirable that the Program Memory be secure from software piracy. Intel has responded to this need by implementing a Program Memory locking scheme in some of the MCS-51 devices. While it is impossible for anyone to guarantee absolute security against all levels of technological sophistication, the Program Memory locks in the MCS-51 devices will present a formidable barrier against illegal readout or protected software.

8751H

The 8751H contains a lock bit which, once programmed, denies electrical access to any external means to the on-chip Program Memory. The effect of this lock bit is that while it is programmed the internal Program Memory can not be read out, the device can not be further programmed, and it can not erase external Program Memory. Erasing the EPROM array deactivates the lock bit and restores the device's full functionality. It can then be re-programmed.

The procedure for programming the lock bit is detailed in the 8751H data sheet.

ONCE Mode In the 87C51

The DNCE ("on-circuit emulation") mode facilitates testing and debugging of systems using the 87C51 without the 87C51 having to be removed from the circuit. The ONCE mode is invoked by:

1. Pull ALE low while the device is in reset and PSEN is high;
2. Hold ALE low as PSEN is deasserted.

While the device is in ONCE mode, the Port 0 pins go into a float state, and the other port pins and ALE and PSEN are weakly pulled high. The oscillator circuit remains active. While the 87C51 is in this mode, an emulator or test CPU can be used to drive the circuit.

Normal operation is restored after a normal reset is applied.

THE ON-CHIP OSCILLATORS

HMOS Versions

The on-chip oscillator circuitry for the HMOS (HMOS-I and HMOS-II) members of the MCS-51 family is a single stage linear inverter (Figure 29), intended for use as a crystal-controlled, positive resistance oscillator (Figure 30). In this application the crystal is operated in its fundamental response mode as an inductive reactance in parallel resonance with capacitance external to the crystal.

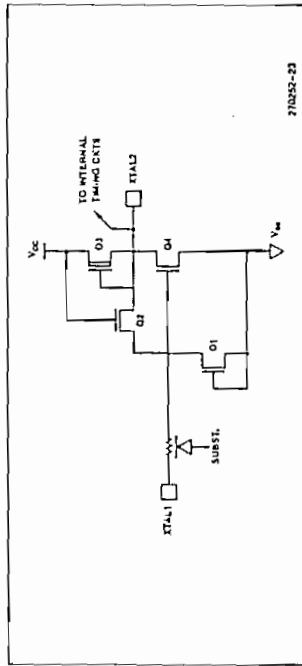


Figure 29. On-Chip Oscillator Circuitry in the HMOS Versions of the MCS-51 Family

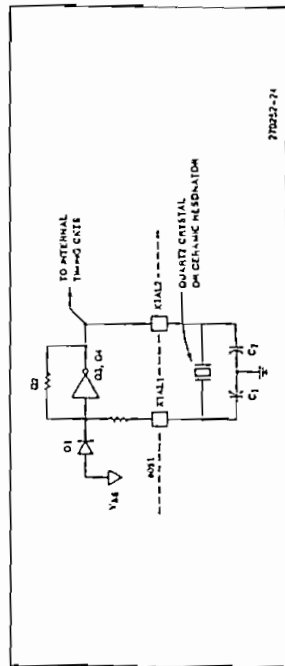


Figure 30. Using the HMOS On-Chip Oscillator

87C51 AND 8752BH

The 87C51 and 8752BH contain two Program Memory locking schemes: Encrypted Verify and Lock Bits.

Encrypted Verify: These devices implement a 32-byte EPROM array that can be programmed by the customer, and which can then be used to encrypt the program code bytes during EPROM verification. The EPROM verification procedure is performed as usual, except that each code byte comes out XOR'ed with one of the 32 key bytes. The key bytes are gone through in sequence. Therefore, to read the ROM code, one has to know the 32 key bytes in their proper sequence.

Unprogrammed bytes have the value FFH. Therefore, if the Encryption Array is left unprogrammed, all the key bytes have the value FFH. Since 409 addresses are XOR'ed with FFH, leaves the code byte unaltered, leaving the Encryption Array unprogrammed in effect bypasses the encryption feature.

Lock Bits: Also on the chip are two Lock Bits which can be left unprogrammed (U) or programmed (P) to obtain the following features:

Bit 2	Bit 1	Additional Features
U	U	None
U	P	• Externally fetched code can not access internal Program Memory. • Further programming disabled.
P	U	(Reserved for future definition)
P	P	• Externally fetched code can not access internal Program Memory. • Further programming disabled. • Program verification is disabled.

When Lock Bit 1 is programmed, the logic level at the EA pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random value, and holds that value until reset is activated. It is necessary that the latched value of EA be in agreement with the current logic level at that pin in order for the device to function properly.

The crystal specifications and capacitance values (C1 and C2 in Figure 30) are an optional 30 pF and can be used in the design at any frequency with good quality crystals. A ceramic resonator can be used in place of the crystal in extensible applications. When a ceramic resonator is used, C1 and C2 are normally selected to be of somewhat higher values, typically, 47 pF. The manufacturer of the ceramic resonator should be consulted for recommendations on the values of these capacitors.

A more in-depth discussion of crystal specifications, ceramic resonators, and the selection of values for C1 and C2 can be found in Application Note A11-135, "Oscillation for Microcontrollers," which is included in this manual.

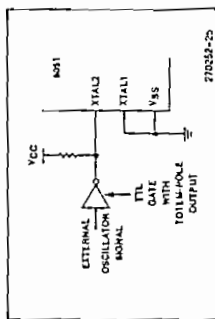


Figure 31. Driving the HMOS MCS+51 Parts with an External Clock Source

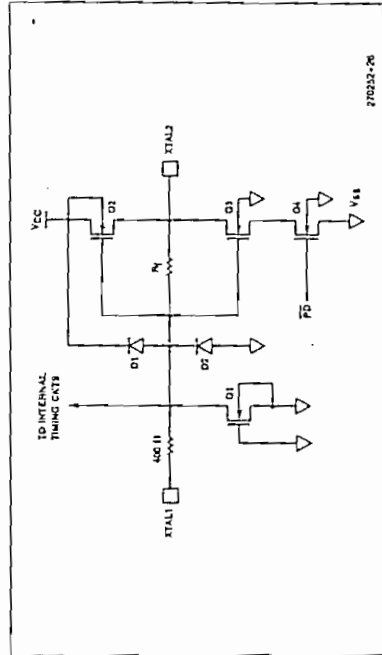


Figure 32. On-Chip Oscillator Circuitry in the HMOS Versions of the MCS+51 Family

To drive the HMOS parts with an external clock source, apply the external clock signal to XTAL2 and ground XTAL1, as shown in Figure 31. A pullup resistor may be used (to increase noise margin), but is optional if VOH of the driving gate exceeds the VIH MIN specification of XTAL2.

CHMOS VERSIONS

The on-chip oscillator circuitry for the 80CS1BH, shown in Figure 22, consists of a single stage linear inverter intended for use as a crystal-controlled, positive resonance oscillator in the same manner as the HMOS parts. However, there are some important differences.

One difference is that the 80CS1BH is able to turn off its oscillator under software control (by writing a 1 to the PD bit in PCON). Another difference is that in the 80CS1BH the internal clocking circuitry is driven by the signal at XTAL1, whereas in the HMOS versions it is by the signal at XTAL2.

The feedback resistor Rf in Figure 32 consists of parallel p- and n-channel FETs controlled by the PD bit, such that Rf is opened when PD = 1. The diodes D1 and D2, which act as clamps to VCC and VSS, are parasitic to the Rf FETs.

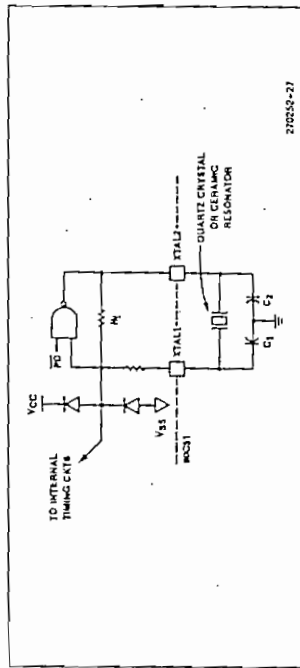


Figure 33. Using the CHMOS On-Chip Oscillator

The oscillator can be used with the same external components as the HMOS versions, as shown in Figure 31. Typically, C1 = C2 = 30 pF when the feedback element is a quartz crystal, and C1 = C2 = 47 pF when a ceramic resonator is used.

To drive the CHMOS parts with an external clock source, apply the external clock signal to XTAL1, and leave XTAL2 float, as shown in Figure 34.

The reason for this change from the way the HMOS part is driven can be seen by comparing Figures 29 and 32. In the HMOS device, the internal timing circuits are driven by the signal at XTAL2. In the CHMOS device, the internal timing circuits are driven by the signal at XTAL1.

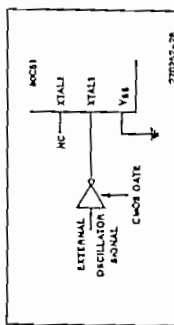


Figure 34. Driving the CHMOS MCS+51 Parts with an External Clock Source

INTERNAL TIMING

Figures 35 through 38 show when the various strobe and port signals are clocked internally. The figures do not show rise and fall times of the signals, and do they show propagation delays between the XTAL2 signal and events at other pins.

Rise and fall times are dependent on the external loading that each pin must drive. They are often taken to be something in the neighborhood of 10 nsec, measured between 0.8V and 2.0V.

Propagation delays are different for different pins. For a given pin they vary with pin loading, temperature, VCC, and manufacturing lot. If the XTAL2 waveform is taken as the timing reference, propagation delays may vary from 25 to 125 nsec.

The AC Timings section of the data sheets do not refer to any timing to the XTAL2 waveform. Rather, they relate the critical edges of output and input signals to each other. The timings published in the data sheets include the effects of propagation delays under the specified test conditions.

MCS+51 PIN DESCRIPTIONS

VCC: Supply voltage.

VSS: Circuit ground potential.

Port 0: Port 0 is an 8-bit open-drain bidirectional I/O port. As an open-drain output port it can sink 8 LS TTL loads. Port 0 pins that have 1s written to them float, and in that state will function as high-impedance inputs. Port 0 is also the multiplexed low-order address and data bus during accesses to external memory. In this application it uses strong internal pullups when emitting 1s. Port 0 also emits 8-bit bytes during program verification. In that application, external pullups are required.

Port 1: Port 1 is an 8-bit bidirectional I/O port with internal pullups. The Port 1 output buffers can sink/source 1.5 LS TTL loads. Port 1 pins that have 1s written

to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 1 pins that are weakly being pulled low by source current (IIL on the data sheet) because of the internal pullups.

In the 8052, pins P1.0 and P1.1 also serve the alternate functions of T2 and T2EX. T1 is the Timer 2 external input. T2EX is the input through which a Timer 2 "capture" is triggered.

Port 2: Port 2 is an 8-bit bidirectional I/O port with internal pullups. The Port 2 output buffers can sink/source 4 LS TTL loads. Port 2 emits the high-order address byte during accesses to external memory that use 16-bit addresses. In this application it uses the strong internal pullups when emitting 1s. Port 2 also receives the high-order address and control bits during EPROM programming and verification, and during program verification in the 8031AH.

Port 3: Port 3 is an 8-bit bidirectional I/O port with internal pullups. It also serves the functions of various special features of the MCS-51 Family, as listed below:

- Port Pin Alternate Function
- P3.0 RXD (serial input port)
 - P3.1 TXD (serial output port)
 - P3.2 INT0 (external interrupt 0)
 - P3.3 INT1 (external interrupt 1)
 - P3.4 T0 (Timer 0 external input)
 - P3.5 T1 (Timer 1 external input)
 - P3.6 WR (external data memory write strobe)
 - P3.7 RS (external data memory read strobe)

The Port 3 output buffers can source/sink 4 LS TTL loads.

RST: Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

EA/VP: Address Latch Enable output pulse for latching the low byte of the address during accesses to external memory. ALE is emitted at a consistent rate of 1/6 of the oscillator frequency, for external limiting or external memory. (However, one ALE pulse is skipped during each access to external Data Memory.) That pin is also the program pulse input (PROG) during EPROM programming.

PSEN: Program Store Enable is the read strobe to external Program Memory. When the device is executing out of external Program Memory, PSEN is activated twice each machine cycle (except that two PSEN activations are skipped during accesses to external Data Memory). PSEN is not activated when the device is executing out of internal Program Memory.

EA/VP: When EA is held high the CPU executes out of internal Program Memory (unless the Program Counter exceeds 0FFFH in the 8031AH, or 1FFFH in the 8052). Holding EA low forces the CPU to execute out of external memory regardless of the Program Counter value. In the 8031AH and 8052, EA must be extremely wired low. In the EPROM devices, this pin also receives the programming supply voltage (VPP) during EPROM programming.

XTAL1: Input to the inverting oscillator amplifier.

XTAL2: Output from the inverting oscillator amplifier.

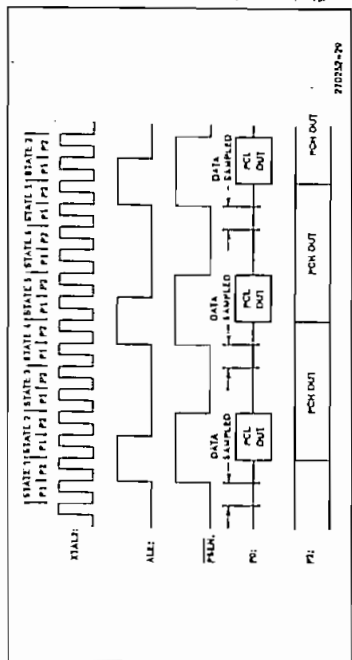


Figure 35. External Program Memory Fetches

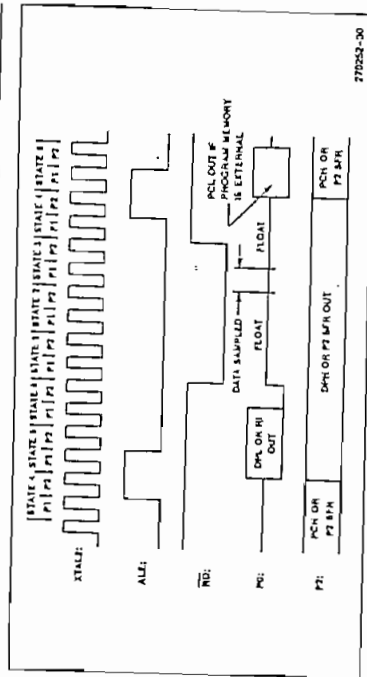


Figure 36. External Data Memory Read Cycle

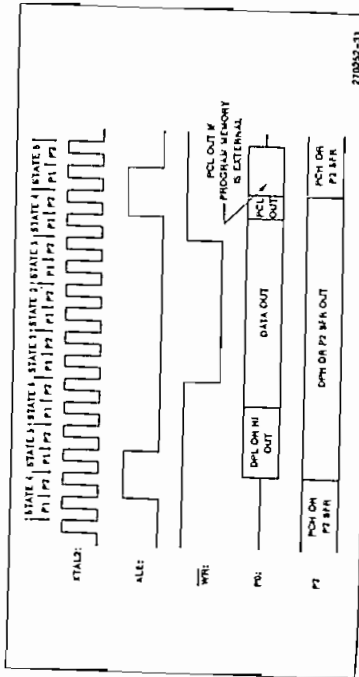


Figure 37. External Data Memory Write Cycle



MCS[®]-51 Programmers Guide 7 and Instruction Set

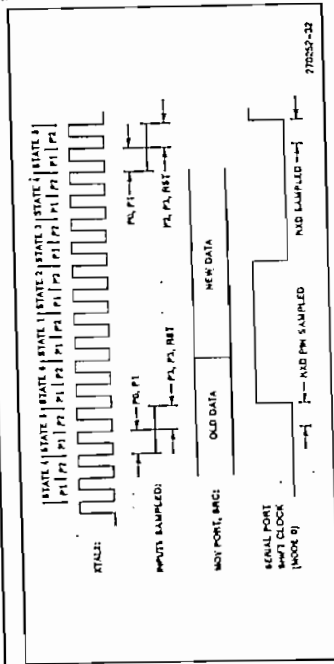


Figure 38. Port Operation

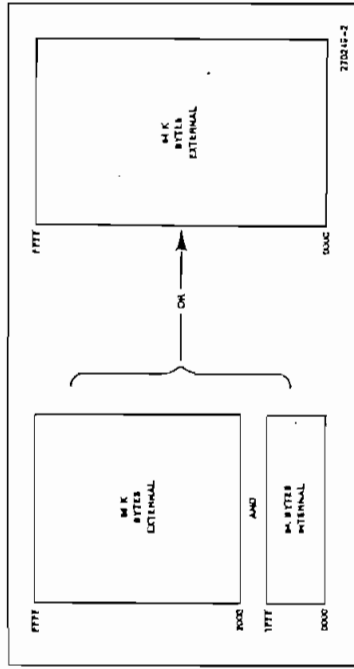


Figure 2. The 8052 Program Memory

Data Memory:

The 8051 can address up to 64K bytes of Data Memory to the chip. The "MOVX" instruction is used to access the external data memory. (Refer to the MCS-51 Instruction Set, in this chapter, for detailed description of instructions). The 8051 has 128 bytes of on-chip RAM (256 bytes in the 8052) plus a number of Special Function Registers (SFRs). The lower 128 bytes of RAM can be accessed either by direct addressing (MOV data addr) or by indirect addressing (MOV @Ri). Figure 3 shows the 8051 and the 8052 Data Memory organization.

MEMORY ORGANIZATION

PROGRAM MEMORY

The 8051 has separate address spaces for Program Memory and Data Memory. The Program Memory can be up to 64K bytes long. The lower 4K (8K for the 8052) may reside on-chip.

Figure 1 shows a map of the 8051 program memory, and Figure 2 shows a map of the 8052 program memory.

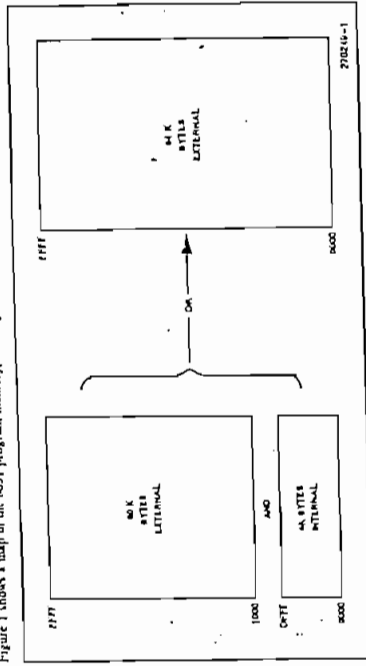


Figure 1. The 8051 Program Memory

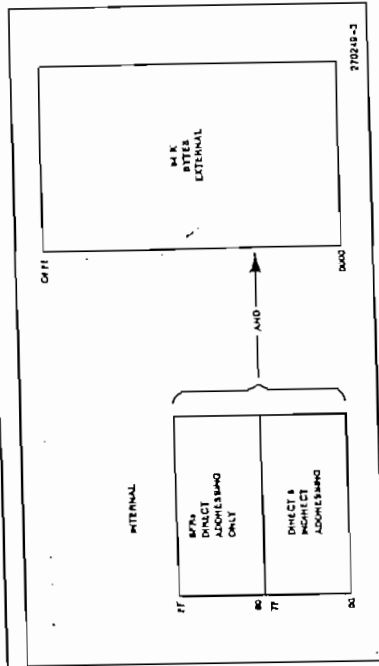


Figure 3a. The 8051 Data Memory

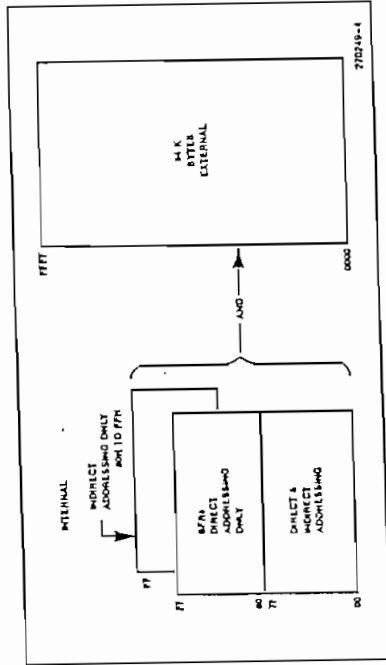


Figure 3b. The 8052 Data Memory

INDIRECT ADDRESS AREA:

Note that in Figure 3b the SFRs and the indirect address RAM have the same addresses (80H-0FFFH). Nevertheless, they are two separate areas and are accessed in two different ways.

For example the instruction

```
MOV 80H, #0AAH
```

writes 0AAH to Port 0 which is one of the SFRs and the instruction

```
MOV R0, #80H
```

```
MOV @R0, #0B0H
```

writes 0B0H in location 80H of the data RAM. Thus, after execution of both of the above instructions Port 0 will contain 0AAH and location 80 of the RAM will contain 0B0H.

DIRECT AND INDIRECT ADDRESS AREA:

The 128 bytes of RAM which can be accessed by both direct and indirect addressing can be divided into 3 segments as listed below and shown in Figure 4.

1. Register Banks (0-3): Locations 0 through 1FH (32 bytes), ASM-51 and the device after reset default to register bank 0. To use the other register banks the user must select them in the software (refer to the MCS-51 Micro Assembler User's Guide). Each register bank contains 8 one-byte registers, 0 through 7.

Reset initializes the Stack Pointer to location 07H and it is incremented once to start from location 08H which is the first register (R0) of the second register bank. Thus, in order to use more than one register bank, the SP should be initialized to a different location of the RAM, where it is not used for data storage (i.e. higher part of the RAM).

2. Bit Addressable Area: 16 bytes have been assigned for this segment, 20H-2FH. Each one of the 128 bits of this segment can be directly addressed (0-7FH).

The bits can be referred to in two ways both of which are acceptable by the ASM-51. One way is to refer to their addresses, i.e. 0 to 7FH. The other way is with reference to bytes 20H to 2FH. Thus, bits 0-7 can also be referred to as bits 20.0-20.7, and bit 8-FH are the same as 21.0-21.7 and so on.

Each of the 16 bytes in this segment can also be addressed as a byte.

3. Scratch Pad Area: Bytes 30H through 7FH are available to the user as data RAM. However, if the stack pointer has been initialized to this area, enough number of bytes should be left aside to prevent SP data destruction.

Figure 4 shows the different segments of the on-chip RAM.

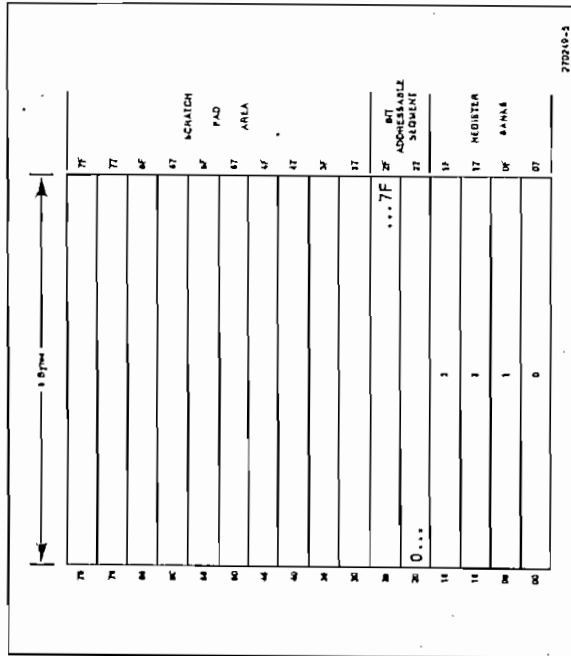


Figure 4. 128 Bytes of RAM Direct and Indirect Addressable

SPECIAL FUNCTION REGISTERS:

Table 1 contains a list of all the SFRs and their addresses.

Comparing Table 1 and Figure 3 shows that all of the SFRs that are byte and bit addressable are located on the first column of the diagram in Figure 3.

Symbol	Name	Address
*ACC	Accumulator	0E0H
*B	B Register	0F0H
*PSW	Program Status Word	0D0H
SP	Stack Pointer	81H
DPTR	Data Pointer 2 Bytes	
	Low Byte	82H
	High Byte	83H
*PC	Port 0	80H
*P1	Port 1	90H
*P2	Port 2	98H
*P3	Port 3	99H
*IP	Interrupt Priority Control	0B8H
*IE	Interrupt Enable Control	0A8H
*TCON	Timer/Counter Mode Control	8BH
*T2CON	Timer/Counter 2 Control	8BH
TH0	Timer/Counter 0 High Byte	8CH
TL0	Timer/Counter 0 Low Byte	8AH
TH1	Timer/Counter 1 High Byte	8DH
TL1	Timer/Counter 1 Low Byte	8BH
*TH2	Timer/Counter 2 High Byte	0CDH
*TL2	Timer/Counter 2 Low Byte	0CCH
*RCAP2H	T/C 2 Capture Reg. High Byte	0CBH
*RCAP2L	T/C 2 Capture Reg. Low Byte	0CAH
*SCON	Serial Control	98H
SDUFB	Serial Data Buffer	99H
PCON	Power Control	87H

* Bit addressable
+ 8052 only

WHAT DO THE SFRs CONTAIN JUST AFTER POWER-ON OR A RESET?

Table 2 lists the contents of each SFR after power-on or a hardware reset.

Register	Value in Binary
*ACC	00000000
*B	00000000
*PSW	00000000
SP	00000111
DPTR	
DPH	00000000
DPL	00000000
*P0	11111111
*P1	11111111
*P2	11111111
*P3	11111111
*IP	11111111
*IE	0051 XX000000, 8052 XX000000, 8051 0X000000, 8052 0X000000
TMOD	00000000
*TCON	00000000
*T2CON	00000000
TH0	00000000
TL0	00000000
TH1	00000000
TL1	00000000
*TH2	00000000
*TL2	00000000
*RCAP2H	00000000
*RCAP2L	00000000
*SCON	00000000
SBUF	Indeterminate
PCON	HMDS 0X00000X CHMDS 0X000000

X = Uninitialized
 * = Bit Addressable
 + = 8052 only

SFR MEMORY MAP

	8 Bytes			
F8				
F7				
F6				
F5				
F4				
F3				
F2				
F1				
F0				
E8				
E7				
E6				
E5				
E4				
E3				
E2				
E1				
E0				
D8				
D7				
D6				
D5				
D4				
D3				
D2				
D1				
D0				
C8				
C7				
C6				
C5				
C4				
C3				
C2				
C1				
C0				
B8				
B7				
B6				
B5				
B4				
B3				
B2				
B1				
B0				
A8				
A7				
A6				
A5				
A4				
A3				
A2				
A1				
A0				
98				
97				
96				
95				
94				
93				
92				
91				
90				
88				
87				
86				
85				
84				
83				
82				
81				
80				
7F				
7E				
7D				
7C				
7B				
7A				
79				
78				
77				
76				
75				
74				
73				
72				
71				
70				
6F				
6E				
6D				
6C				
6B				
6A				
69				
68				
67				
66				
65				
64				
63				
62				
61				
60				
5F				
5E				
5D				
5C				
5B				
5A				
59				
58				
57				
56				
55				
54				
53				
52				
51				
50				
4F				
4E				
4D				
4C				
4B				
4A				
49				
48				
47				
46				
45				
44				
43				
42				
41				
40				
3F				
3E				
3D				
3C				
3B				
3A				
39				
38				
37				
36				
35				
34				
33				
32				
31				
30				
2F				
2E				
2D				
2C				
2B				
2A				
29				
28				
27				
26				
25				
24				
23				
22				
21				
20				
1F				
1E				
1D				
1C				
1B				
1A				
19				
18				
17				
16				
15				
14				
13				
12				
11				
10				
0F				
0E				
0D				
0C				
0B				
0A				
09				
08				
07				
06				
05				
04				
03				
02				
01				
00				

Figure 5

↑ Bit Addressable

These SFRs that have their bits assigned for various functions are listed in this section. A brief description of each bit is provided for quick reference. For more detailed information refer to the Architecture Chapter of this book.

PSW: PROGRAM STATUS WORD, BIT ADDRESSABLE.

CY	AC	P0	RS1	RS0	OV	—	P
PSW.7	PSW.6	PSW.5	PSW.4	PSW.3	PSW.2	PSW.1	PSW.0
Carry Flag	Auxiliary Carry Flag	Flag 0 available to the user for general purpose.	Register Bank selector bit 1 (SEE NOTE 1).	Register Bank selector bit 0 (SEE NOTE 1).	Overflow Flag	Not implemented, reserved for future use.*	Parity Flag. Set/cleared by hardware each instruction cycle to indicate an odd/even number of '1' bits in the accumulator.

NOTE:
1. The value presumed by RS0 and RS1 selects the corresponding register bank.

RS1	RS0	Register Bank	Address
0	0	0	00H-07H
0	1	1	08H-0FH
1	0	2	10H-17H
1	1	3	18H-1FH

*User software should not write to reserved bits. These bits may be used in future MCS-51 products to invoke new features. In that case, the reset or inactive value of the new bit will be 0, and its active value will be 1.

PCON: POWER CONTROL REGISTER, NOT BIT ADDRESSABLE.

SMOD	—	—	—	GF1	GF0	PD	IDL
SMOD	Double baud rate bit. If Timer 1 is used to generate baud rate and SMOD = 1, the baud rate is doubled when the Serial Port is used in modes 1, 2, or 3.	—	—	GF1	General purpose flag bit.	PD	Power Down bit. Setting this bit activates Power Down operation in the MCS51BH. (Available only in CHMOS).

IDL Idle Mode bit. Setting this bit activates Idle Mode operation in the MCS51BH. (Available only in CHMOS).

GF0 General purpose flag bit.

GF1 General purpose flag bit.

PD Power Down bit. Setting this bit activates Power Down operation in the MCS51BH. (Available only in CHMOS).

SMOD Double baud rate bit. If Timer 1 is used to generate baud rate and SMOD = 1, the baud rate is doubled when the Serial Port is used in modes 1, 2, or 3.

— Not implemented, reserved for future use.*

— Not implemented, reserved for future use.*

— Not implemented, reserved for future use.*

GF1 General purpose flag bit.

GF0 General purpose flag bit.

PD Power Down bit. Setting this bit activates Power Down operation in the MCS51BH. (Available only in CHMOS).

IDL Idle Mode bit. Setting this bit activates Idle Mode operation in the MCS51BH. (Available only in CHMOS).

If a bit written to ID and IDL at the same time, PD takes precedence.

*User software should not write to reserved bits. These bits may be used in future MCS-51 products to invoke new features. In that case, the reset or inactive value of the new bit will be 0, and its active value will be 1.

INTERRUPTS:

In order to use any of the interrupts in the MCS-51, the following three steps must be taken.

1. Set the EA (enable all) bit in the IE register to 1.
2. Set the corresponding individual interrupt enable bit in the IE register to 1.
3. Begin the interrupt service routine at the corresponding Vector Address of that interrupt. See Table below.

Interrupt Source	Vector Address
IE0	0000H
TF0	000BH
IE1	0013H
TF1	001BH
RI & TI	0023H
TF2 & EXF2	002BH

In addition, for external interrupts, pins **INT0** and **INT1** (P3.2 and P3.3) must be set to 1, and depending on whether the interrupt is to be level or transition activated, bits **IT0** or **IT1** in the TCON register may need to be set to 1.

ITn = 0 level activated

ITn = 1 transition activated

IE: INTERRUPT ENABLE REGISTER, BIT ADDRESSABLE.

If the bit is 0, the corresponding interrupt is disabled. If the bit is 1, the corresponding interrupt is enabled.

EA	—	—	ET2	ES	ET1	EX1	ET0	EX0
----	---	---	-----	----	-----	-----	-----	-----

EA Disables all interrupts. If EA = 0, no interrupt will be acknowledged. If EA = 1, each interrupt source is individually enabled or disabled by setting or clearing its enable bit.

— Not implemented, reserved for future use.*

ET2 Disables all interrupts. If EA = 0, no interrupt will be acknowledged. If EA = 1, each interrupt source is individually enabled or disabled by setting or clearing its enable bit.

ES Enable or disable the Timer 2 overflow or capture interrupt (8053 only).

ET1 Enable or disable the serial port interrupt.

EX1 Enable or disable the Timer 1 overflow interrupt.

ET0 Enable or disable External Interrupt 1.

EX0 Enable or disable the Timer 0 overflow interrupt.

ET0 Enable or disable External Interrupt 0.

EX0 Enable or disable External Interrupt 0.

*User software should not write to reserved bits. These bits may be used in future MCS-51 products to invoke new features. In that case, the reset or inactive value of the new bit will be 0, and its active value will be 1.

ASSIGNING HIGHER PRIORITY TO ONE OR MORE INTERRUPTS:

In order to assign higher priority to an interrupt, the corresponding bit in the IP register must be set to 1. Remember that while an interrupt service is in progress, it cannot be interrupted by a lower or same level interrupt.

PRIORITY WITHIN LEVEL:

Priority within level is only to resolve simultaneous requests of the same priority level. From high to low, interrupt sources are listed below:

- IE0
- TF0
- IE1
- TF1
- XI or TI
- TF2 or ENF2

IP: INTERRUPT PRIORITY REGISTER, BIT ADDRESSABLE.

If the bit is 0, the corresponding interrupt has a lower priority and if the bit is 1, the corresponding interrupt has a higher priority.

—	—	PT2	PS	PT1	PX1	PT0	PX0
---	---	-----	----	-----	-----	-----	-----

- IP.7 Not implemented, reserved for future use.*
- IP.6 Not implemented, reserved for future use.*
- IP.5 Defines the Timer 2 interrupt priority level (\$052 only).
- IP.4 Defines the Serial Port interrupt priority level.
- IP.3 Defines the Timer 1 interrupt priority level.
- IP.2 Defines External Interrupt 1 priority level.
- IP.1 Defines the Timer 0 interrupt priority level.
- IP.0 Defines the External Interrupt 0 priority level.

*User software should not write 1s to reserved bits. These bits may be used in future MCS-51 products to invoke new features. In that case, the read or inactive value of the new bit will be 0, and its active value will be 1.

TC0N: TIMER/COUNTER CONTROL REGISTER, BIT ADDRESSABLE.

TF2	TF1	TF0	TR0	TR1	TR2	IT0	IT1	IE0	IE1	IT0	IT1
-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----

- TF1 TCON.7 Timer 1 overflow flag. Set by hardware when the Timer/Counter 1 overflows. Cleared by hardware as processor returns in the interrupt service routine.
- TK1 TCON.6 Timer 1 run control bit. Set/cleared by software to turn Timer/Counter 1 ON/OFF.
- TF0 TCON.5 Timer 0 overflow flag. Set by hardware when the Timer/Counter 0 overflows. Cleared by hardware as processor returns to the service routine.
- TR0 TCON.4 Timer 0 run control bit. Set/cleared by software to turn Timer/Counter 0 ON/OFF.
- IE1 TCON.3 External Interrupt 1 edge flag. Set by hardware when External Interrupt edge is detected. Cleared by hardware when interrupt is processed.
- IT1 TCON.2 Interrupt 1 type control bit. Set/cleared by software to specify falling edge/low level triggered External Interrupt.
- IE0 TCON.1 External Interrupt 0 edge flag. Set by hardware when External Interrupt edge detected. Cleared by hardware when interrupt is processed.
- IT0 TCON.0 Interrupt 0 type control bit. Set/cleared by software to specify falling edge/low level triggered External Interrupt.

TM0D: TIMER/COUNTER MODE CONTROL REGISTER, NOT BIT ADDRESSABLE.

GATE	C/T	M1	M0	GATE	C/T	M1	M0
------	-----	----	----	------	-----	----	----

- TIMER 0
- GATE When TR1 (in TCON) is set and GATE = 1, TIMER/COUNTER1 will run only while INT1 pin is high (hardware control). When GATE = 0, TIMER/COUNTER1 will run only while TR1 = 1 (software control).
- C/T Timer or Counter selector. Cleared for Timer operation (input from internal system clock). Set for Counter operation (input from TX input pin).
- M1 Mode selector bit. (NOTE 1)
- M0 Mode selector bit. (NOTE 1)

NOTE 1:

M1	M0	Operating Mode
0	0	13-bit Timer (MCS-48 compatible)
0	1	16-bit Timer/Counter
1	0	8-bit Auto-Reload Timer/Counter
1	1	Timer 0 TLO is an 8-bit Timer/Counter controlled by the standard Timer 0 control bits. TH0 is an 8-bit Timer and is controlled by Timer 1 control bits.
1	3	(Timer 1) Timer/Counter 1 stopped.

TIMER SET-UP.

Tables 3 through 6 give some values for TMOD which can be used to set up Timer 0 in different modes. It is assumed that only one timer is being used at a time. If it is desired to run Timers 0 and 1 simultaneously, in any mode, the value to TMOD for Timer 0 must be OR'ed with the value shown for Timer 1 (Tables 3 and 6). For example, if it is desired to run Timer 0 in mode 1, GATE (external control), and Timer 1 in mode 2, COUNTER, then the value that must be loaded into TMOD is 69H (09H from Table 3 OR'ed with 60H from Table 6).

Moreover, it is assumed that the user, at this point, is not ready to turn the timers on and will do that at a different point in the program by setting bit TRx (in TCON) to 1.

TIMER/COUNTER 0

As a Timer:

MODE	TIMER 0 FUNCTION	TMOD	
		INTERNAL CONTROL (NOTE 1)	EXTERNAL CONTROL (NOTE 2)
0	13-bit Timer	09H	08H
1	16-bit Timer	01H	08H
2	8-bit Auto-Reload	02H	08H
3	16-bit 8-bit Timers	03H	08H

As a Counter:

MODE	COUNTER 0 FUNCTION	TMOD	
		INTERNAL CONTROL (NOTE 1)	EXTERNAL CONTROL (NOTE 2)
0	13-bit Timer	04H	0CH
1	16-bit Timer	05H	0CH
2	8-bit Auto-Reload	06H	0EH
3	one 8-bit Counter	07H	0EH

NOTES:
 1. The Timer is turned ON/OFF by setting/clearing bit TR0 in the software.
 2. The Timer is turned ON/OFF by the 1 to 0 transition on INT0 (P3.2) when TR0 = 1 (hardware control).

TIMER/COUNTER 1

As a Timer:

MODE	TIMER 1 FUNCTION	TMOD	
		INTERNAL CONTROL (NOTE 1)	EXTERNAL CONTROL (NOTE 2)
0	13-bit Timer	00H	80H
1	16-bit Timer	10H	80H
2	8-bit Auto-Reload	20H	80H
3	does not run	30H	80H

As a Counter:

MODE	COUNTER 1 FUNCTION	TMOD	
		INTERNAL CONTROL (NOTE 1)	EXTERNAL CONTROL (NOTE 2)
0	13-bit Timer	40H	COH
1	16-bit Timer	50H	COH
2	8-bit Auto-Reload	60H	EOH
3	not available	—	—

NOTES:
 1. The Timer is turned ON/OFF by setting/clearing bit TR1 in the software.
 2. The Timer is turned ON/OFF by the 1 to 0 transition on INT1 (P3.3) when TR1 = 1 (hardware control).

T2CON: TIMER/COUNTER 2 CONTROL REGISTER, BIT ADDRESSABLE

8052 Only

TF2	EXF2	RCLK	TCLK	EXENR2	TR2	C/T2	CP/RT2
-----	------	------	------	--------	-----	------	--------

- TF2 T2CON.7 Timer 2 overflow flag set by hardware and cleared by software. TF2 cannot be set when either RCLK = 1 or CLK = 1.
- EXF2 T2CON.6 Timer 2 external flag set when either a capture or reload is caused by a negative transition on T2EX, and EXEN2 = 1. When Timer 2 interrupt is enabled, EXF2 = 1 will cause the CPU to vector to the Timer 2 interrupt routine. EXF2 must be cleared by software.
- RCLK T2CON.5 Receive clock flag. When set, causes the Serial Port to use Timer 2 overflow pulses for its receive clock in modes 1 & 3. RCLK = 0 causes Timer 1 overflow to be used for the receive effect.
- TCLK T2CON.4 Transmit clock flag. When set, causes the Serial Port to use Timer 2 overflow pulses for its transmit clock in modes 1 & 3. TCLK = 0 causes Timer 1 overflows to be used for the transmit effect.
- EXEN2 T2CON.3 External enable flag. When set, allows a capture or reload to occur as a result of a negative transition on T2EX if Timer 2 is not being used to effect the Serial Port. EXEN2 = 0 causes Timer 2 to ignore events at T2EX.
- TR2 T2CON.2 Software START/STOP control for Timer 2. A logic 1 starts the Timer.
- C/T2 T2CON.1 Timer or Counter select.
0 = Internal Timer, 1 = External Event Counter (falling edge triggered).
- CP/RT2 T2CON.0 Capture/Reload flag. When set, captures will occur on negative transitions at T2EX if EXEN2 = 1. When cleared, Auto-Reloads will occur either with Timer 2 overflows or negative transitions at T2EX when EXEN2 = 1. When either RCLK = 1 or TCLK = 1, this bit is ignored and the Timer is forced to Auto-Reload on Timer 2 overflow.

TIMER/COUNTER 2 SET-UP

Except for the baud rate generator mode, the values given for T2CON do not include the setting of the TR2 bit. Therefore, bit TR2 must be set, separately, to turn the Timer on.

As a Timer:

Table 7

MODE	T2CON	
	INTERNAL CONTROL (NOTE 1)	EXTERNAL CONTROL (NOTE 2)
16-bit Auto-Reload	00H	08H
16-bit Capture	01H	09H
BAUD rate generator receives & transmits same baud rate	34H	36H
receive only	24H	26H
transmit only	14H	16H

As a Counter:

Table 8

MODE	T2MOD	
	INTERNAL CONTROL (NOTE 1)	EXTERNAL CONTROL (NOTE 2)
16-bit Auto-Reload	02H	04H
16-bit Capture	03H	05H

- NOTES:
- 1 Capture/Reload occurs only on Timer/Counter overflow.
 - 2 Capture/Reload occurs on Timer/Counter overflow and a 1 to 0 transition on T2EX (P1.1) pin except when Timer 2 is used in the baud rate generating mode.



SCON: SERIAL PORT CONTROL REGISTER, BIT ADDRESSABLE.

SM0	SM1	SM2	REN	TBE	RBB	TI	RI
-----	-----	-----	-----	-----	-----	----	----

- SM0 SCON.7 Serial Port mode specifier. (NOTE 1).
 SM1 SCON.6 Serial Port mode specifier. (NOTE 1).
 SM2 SCON.5 Enables the multiprocessor communication feature in modes 2 & 3. In mode 2 or 3, if SM2 is set to 1 then RI will not be activated if the received 9th data bit (R9B) is 0. In mode 1, if SM2 = 1 then RI will not be activated if a valid stop bit was not received. In mode 0, SM2 should be 0. (See Table 9).
- REN SCON.4 Set/Cleared by software to Enable/Disable reception.
 TBE SCON.3 The 9th bit that will be transmitted in modes 2 & 3. Set/Cleared by software.
 RBB SCON.2 In mode 0, RBB is not used.
 TI SCON.1 Transmit interrupt flag. Set by hardware at the end of the 8th bit time in mode 0, or at the beginning of the stop bit in the other modes. Must be cleared by software.
 RI SCON.0 Receive interrupt flag. Set by hardware at the end of the 8th bit time in mode 0, or halfway through the stop bit time in the other modes (except see SM2). Must be cleared by software.

NOTE 1:

SM0	SM1	Mode*	Description	Baud Rate
0	0	0	SHIFT REGISTER 8-Bit UART	Fosc/12 Variable
0	1	1	9-Bit UART	Fosc/64 OR Fosc/32
1	1	3	9-Bit UART	Variable

SERIAL PORT SET-UP:

Table 9

MODE	SCON	SMZ VARIATION
0	10H	Single Processor Environment (SM2 = 0)
1	50H	
2	90H	
3	0H	Multiprocessor Environment (SM2 = 1)
0	NA	
1	70H	
2	B0H	
3	F0H	

GENERATING BAUD RATES

Serial Port In Mode 0:

Mode 0 has a fixed baud rate which is 1/12 of the oscillator frequency. To run the serial port in this mode none of the Timer/Counters need to be set up. Only the SCON register needs to be defined.

$$\text{Baud Rate} = \frac{\text{Osc Freq}}{12}$$

Serial Port In Mode 1:

Mode 1 has a variable baud rate. The baud rate can be generated by either Timer 1 or Timer 2 (8052 only).



USING TIMER/COUNTER 1 TO GENERATE BAUD RATES:

For this purpose, Timer 1 is used in mode 2 (Auto-Reload). Refer to Timer Setup section of this chapter.

$$\text{Baud Rate} = \frac{K \times \text{Oscillator Freq}}{32 \times 12 \times (256 - (TH1))}$$

if SMOD = 0, then K = 1.
 if SMOD = 1, then K = 2. (SMOD is the PCON register).

Most of the time the user knows the baud rate and needs to know the reload value for TH1. Therefore, the equation to calculate TH1 can be written as:

$$\text{TH1} = 256 - \frac{K \times \text{Osc Freq}}{384 \times \text{Baud Rate}}$$

TH1 must be an integer value. Rounding off TH1 to the nearest integer may not produce the desired baud rate. In this case, the user may have to choose another crystal frequency.

Since the PCON register is not bit addressable, one way to set the bit is logical OR'ing the PCON register (i.e. ORL PCON, # 80H). The address of PCON is 87H.

USING TIMER/COUNTER 2 TO GENERATE BAUD RATES:

For this purpose, Timer 2 must be used in the baud rate generating mode. Refer to Timer 2 Setup Table in this chapter. If Timer 2 is being clocked through pin T2 (P10) the baud rate is:

$$\text{Baud Rate} = \frac{\text{Timer 2 Overflow Rate}}{16}$$

And if it is being clocked internally the baud rate is:

$$\text{Baud Rate} = \frac{\text{Osc Freq}}{32 \times [65536 - (RCAP2H, RCAP2L)]}$$

To obtain the reload value for RCAP2H and RCAP2L the above equation can be rewritten as:

$$\text{RCAP2H, RCAP2L} = 65536 - \frac{\text{Osc Freq}}{32 \times \text{Baud Rate}}$$

SERIAL PORT IN MODE 2:

The baud rate is fixed in this mode and is $\frac{1}{64}$ or $\frac{1}{32}$ of the oscillator frequency depending on the value of the SMOD bit in the PCON register.

In this mode none of the Timers are used and the clock comes from the internal phase 2 clock.

SMOD = 1, Baud Rate = $\frac{1}{64}$ Osc Freq

SMOD = 0, Baud Rate = $\frac{1}{32}$ Osc Freq

To set the SMOD bit: ORL PCON, # 80H. The address of PCON is 87H.

SERIAL PORT IN MODE 3:

The baud rate in mode 3 is variable and sets up exactly the same as in mode 1.



MCS-851 PROGRAMMER'S GUIDE AND INSTRUCTION SET

Table 10. 8051 Instruction Set Summary (Continued)

Mnemonic	Description	Byte	Oscillator Period
DATA TRANSFER (Continued)			
MOV $\#R_n, \text{direct}$	Move direct to direct RAM	2	24
MOV $\#R_n, \text{data}$	Move immediate data to direct RAM	2	12
MOV DPTR, $\#data16$	Load Data Pointer with a 16-bit constant	3	24
MOV $A, \#A+\text{DPTR}$	Move Code DPTR to Acc	1	24
MOV $A, \#A+PC$	Move Code PC to Acc	1	24
MOV $A, \#R_n$	Move External RAM (8-bit) to Acc	1	24
MOV $\#R_n, A$	Move Acc to External RAM (8-bit)	1	24
MOV $\#R_n, A$	Move Acc to External RAM (16-bit)	1	24
MOV $\#DPTR, A$	Move Acc to External RAM (16-bit)	1	24
PUSH direct	Push direct byte onto stack	2	24
POP direct	Pop direct byte from stack	2	24
XCH A, R_n	Exchange register with Accumulator	1	12
XCH A, direct	Exchange direct byte with Accumulator	2	12
XCH $A, \#R_n$	Exchange Accumulator with External RAM	1	12
XCHD $A, \#R_n$	Exchange lower order Digits of Accumulator with Acc	1	12

All mnemonics copyrighted © Intel Corporation 1980



MCS-851 PROGRAMMER'S GUIDE AND INSTRUCTION SET

Table 10. 8051 Instruction Set Summary (Continued)

Mnemonic	Description	Byte	Oscillator Period
PROGRAM BRANCHING (Continued)			
JMP $\#A+\text{DPTR}$	Jump indirect relative to the DPTR	1	24
JZ rel	Jump if Zero	2	24
JNZ rel	Jump if Not Zero	2	24
CJNE $A, \text{direct}, \text{rel}$	Compare Accumulator to direct byte to see if Not Equal	3	24
CJNE $A, \#data, \text{rel}$	Compare Accumulator to immediate to see if Not Equal	3	24
DJNZ $\text{direct}, \text{rel}$	Decrement direct byte and jump if Not Zero	3	24
DJNZ $\text{direct}, \text{rel}$	Decrement direct byte and jump if Not Zero	3	24
NOOP	No Operation	1	12

All mnemonics copyrighted © Intel Corporation 1980

ANEXO C

3.8 Maximum negative gate current I_{GRM} or gate voltage U_{GRM} (peak value)

In certain trigger circuits, the gate circuit is often driven in the reverse direction, for improvement of thyristor dynamic characteristics. Then the values listed may not be exceeded.

4. Dynamic values and switching behaviour

The definition of the following parameters is in certain cases possible only for particular boundary conditions. The gate circuit conditions are always for normal triggering via the gate circuit. Triggering by exceeding the positive breakover voltage is not allowed, because the thyristor can be damaged.

4.1 Holding current I_H

The minimum on-state current so that the thyristor remains in the on-state condition.

This value is given as the largest value of the spread for different junction temperatures, open gate circuit and a voltage of 6 V in a resistively loaded main circuit.

4.2 Latching current I_{HT}

The smallest on-state current for which the thyristor, immediately after triggering and decay of the trigger pulse, remains in the on-state.

This value is given as the largest value of the spread for different junction temperatures and a trigger pulse in a loaded circuit, as defined in the data list. For smaller trigger pulses or a duration of the trigger pulse less than 15 μ s the latching current is larger.

4.3 Gate-controlled delay time t_{gd} (see also graph 20)

The time which elapses between the start of a rapidly growing gate current pulse, and the decay of the anode-cathode voltage to 90% of its initial value. The values are valid under the following conditions:

- (a) The gate current has approximately trapezoidal shape and rises within 1 μ s to the values given in the data sheet.
- (b) The initial value of the voltage across the main terminals of the thyristor is greater than 200 V.
- (c) After triggering, the current in the main circuit is approximately a tenth of the limiting value of maximum mean on-state current (as given in 2.1).
- (d) The inductive time-constant (L/R) of the main circuit is at most twice the given value of the gate-controlled delay time.
- (e) Junction temperature $\geq 25^\circ\text{C}$. At lower temperatures a somewhat longer gate-controlled delay time must be expected.

4.4 Admissible repetitive switch-on current with arbitrary di/dt

Admissible repetitive peak value of a current pulse with arbitrary rate of rise of on-state current initiated by discharge of an R-C circuit. Such current pulses occur for example, when a TSE circuit discharges as the thyristor switches to

The values given for full-diffused thyristors and diffused-alloyed thyristors are defined differently.

(a) Full-diffused thyristors

The repetitive switch-on currents are given, independent of the capacitor size, for the gating pulses described in the data sheets, at the maximum junction temperature, for $2/3 U_{DRM}$.

The discharge current pulse from the TSE circuit appears in the thyristor immediately after it is triggered. Considerable over-gating at this moment produces a conducting area larger than that produced by the minimum gate current. The allowable switch-on current with arbitrary rate of rise is larger for over-gating than for a quasi-static trigger current. The di/dt of the load current as given in 4.5 is admissible in addition to the above mentioned discharge current.

(b) Diffused-alloyed thyristors

The value given for the allowable switch-on current with arbitrary rate of rise, is given under the following conditions. Because the resistance is essentially determined by the allowable thyristor switch-on current, the small time-constant of the equivalent R-C circuit can be attained only with a small capacitance. Further, because a small capacitor can store only a small amount of energy, the allowable switch-on current is larger than for an R-C circuit with larger capacitance and correspondingly large time-constant.

In the design of the R-C circuit (for reduction of the TSE effect) it is necessary to consider not only the allowable switch-on current, but also the conditions given in the section on voltage overload protection (see p. 35).

The equivalent R-C elements for the most important circuits are calculated as follows: (here it is assumed that each thyristor is protected by an R-C circuit).

Circuit	E, M, S	B	DB
R'	R	$\frac{R}{2}$	$\frac{3}{5} R$
C'	C	$2C$	$\frac{5}{3} C$

C = capacitor for a thyristor in circuit
R = series resistance

For thyristor operation with R-C discharge, switch-on losses occur. These have already been taken into account for the current values in the frequency range 40-60 Hz with the standard TSE circuits (see 2.2.2.2).

4.5 Critical rate of rise of on-state current di/dt

The maximum rate of rise of current which the thyristor will tolerate on switching, without permanent degrading effects on its properties. It is given as the lowest value of the spread under the following conditions:

- (a) The on-state current has the shape of a (damped) half-sine wave, the peak value of which is three times the value of the maximum mean on-state current (as given in 2.1).
The current rate of rise is given as the ratio of $i_T = 0.5 I_{TM}$ and the time T , in which the current i_T is reached.
- (b) Maximum allowable junction temperature.
- (c) Repetition frequency 50 Hz.
- (d) Blocking voltage before triggering, equal to $2/3$ of the maximum repetitive peak blocking voltage.
- (e) The trigger pulse should be appr. $5 \cdot I_{GT}$ for low-power thyristors ≥ 1 A for thyristors of size B St. For B St. R. with a rise rate of the gate current equal or below 10 A/ μ s. The critical di/dt is limited to 10 A/ μ s. If the gate current does not exceed I_{GT} strongly.

At the same time as a thyristor is operated with the critical rate of rise of current, it may be stressed by discharge of the TSE-capacitor, as long as the current of this discharge (for the whole range of junction temperature) is less than the values given in 4.4.

4.6 Critical rate of rise of voltage du/dt

The maximum value of the rate of rise of voltage in the forward direction, which, without a gating pulse, does not switch the thyristor from the blocking to on-state.

The p-n junction represents a voltage-dependent capacitance which decreases with increasing voltage. During the voltage rise there exists not only the static off-state current but also a capacitive current given by $i_c = C du/dt$. For large rates of voltage rise, this current can lead to gating of the thyristor.

Therefore it follows, that the critical rate of rise of voltage depends not only on the level to which the voltage rises but also strongly on the junction temperature, because the current necessary to gate the

Maximum mean on-state current $I_{TAV(I)}$

Maximum arithmetic mean of the continuous sinusoidal on-state current (conduction angle 180°, frequency range 40—60 Hz) which may not be exceeded even with the most intensive cooling. In addition, the case temperature at which this current is allowable, will be indicated. For small thyristors which are operated without a heat sink, the maximum mean on-state current is appropriate to an ambient temperature of 45°C.

Overload following operation at the maximum mean on-state current can impair the blocking capability.

Maximum r.m.s. on-state current $I_{TRMS(I)}$

r.m.s. value of the maximum continuous on-state current, which may not be exceeded. It is given as the product of the maximum mean on-state current (see 2.1) and the form factor $\pi/2$.

Maximum direct current I_{TAV}

Continuous r.m.s. current I_{TRMS}

Arithmetic mean value of the maximum continuous current dependent on conduction angle, for uninterrupted current under defined operating conditions in a frequency range 40—60 Hz and operation at altitude up to 1000 m. above sea-level.

The following idealised current forms are useful in the determination of the current-carrying-capability of a thyristor in a circuit.

	Ohmic Load	Inductive Load

Total current for important circuit types can be calculated according to the following table

Circuit type	E	M/B	S/DB	DS/DSS	AS
	$n \cdot I_{TAV}$	$2n \cdot I_{TAV}$	$3n \cdot I_{TAV}$	$6n \cdot I_{TAV}$	$\sqrt{2} \cdot n \cdot I_{TRMS}$

- single-phase half-wave circuit
- single-phase full-wave circuit
- single-phase bridge circuit
- star circuit
- three-phase bridge circuit
- double star circuit
- double star circuit with Interphase transformer
- inverse parallel circuit
- numbers of thyristors in parallel for each circuit branch

In parallel connection the theoretically attainable current value must

2.4 Maximum surge on-state current I_{TSM}

Maximum admissible peak value of a sinusoidal half-cycle of 10 ms duration at 50 Hz (at 60 Hz the peak value is 10% higher). It applies for the given junction temperature.

At the maximum surge on-state current the junction temperature admissible in continuous operation is exceeded. The forward blocking capability can then be lost temporarily, therefore loading additional to the maximum surge on-state current is not allowed (disconnect from mains). Normal operation is possible only after a delay of ≥ 5 sec. The maximum surge on-state current should occur only occasionally, e.g. on rare disturbances of the system, and not repeatedly.

2.5 $I_{TSM}^2 t$

The time integral of the square of the maximum sinusoidal overload on-state current. This $I^2 t$ value serves in general to determine the protective circuit (see also under current overload protection p. 34). The data sheets contain values for 2—5 ms and 10 ms for normal (25°C) and elevated ($\theta_{j(0)}$) junction temperature. To exploit the $I^2 t$ value the same restrictions which applied in the case of maximum surge on-state current apply.

2.6 Reverse or off-state current I_D, I_R

The reverse or off-state current flowing through the main terminals of the thyristor when it is in the blocking state. The current is related to a voltage equal to the maximum positive or negative repetitive peak voltage and sets the upper limit to the spread of values at the maximum junction temperature.

3. Gate Circuit

3.1 Minimum gate trigger current I_{GT}

Minimum gate trigger voltage U_{GT}

The maximum value of the spread of trigger currents (voltages) at a given junction temperature and anode-cathode voltage. The values apply for ohmic loads.

A current equal to the minimum gate trigger current is necessary to trigger a thyristor, although for many applications this is not sufficient. For mains operation (rate of rise of the load current $\leq 10A/\mu s$, neither series nor parallel circuit) the triggering unit should be designed for 1.2 times the minimum gate trigger current.

For large rate of rise of load current as well as series and parallel circuit operation, a gating pulse, 1 A for thyristor BS1.. to BS1R.., for low power thyristors approx. 5 I_{GT} and a rise time for the gating current less than 1 μs are necessary (see also graph 20).

The duration of the trigger pulse must be such that the value of the latching current (given in 4.2) is exceeded, otherwise the thyristor returns to the blocking state.

3.2 Maximum gate-non-trigger current I_{GD}

Maximum gate-non-trigger voltage U_{GD}

The largest value in the spread of maximum gate currents (voltages), which, at 50% of the largest positive repetitive peak voltage in the appropriate voltage class, does not trigger the thyristor for the whole junction temperature range. For lower voltages the gate-non-trigger current and the gate-non-trigger voltage are higher than indicated.

3.4 Maximum gate current I_{GM} (or $I_{G=II}$)

Maximum peak (or r.m.s.) value of the gate current, which may not be exceeded, otherwise the thyristor would be endangered. A gate current is admissible only for a short time if reverse voltage is applied.

3.7 Admissible gate power loss P_{GAV}

The mean power loss due to the gate current between the gate terminal and the appropriate main terminal.

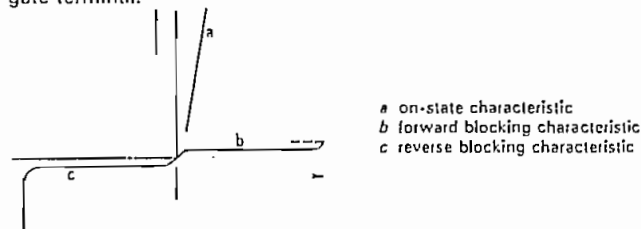
- (a) $P_{GAV(I)}$ maximum value which may not be exceeded
- (b) P_{GAV} value which is used for calculation of current-carrying capacity.

In case, the basis for calculation is exceeded, the limiting value must

Terms and Definitions

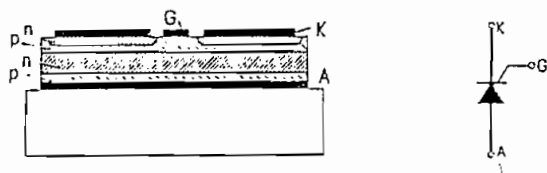
In consideration of DIN 41 785, 41 786, 41 787

The thyristor is a controllable silicon rectifier. It exhibits blocking behaviour in both the forward and reverse directions until turned on to conduct in the forward direction by a trigger pulse applied to the gate terminal.



a on-state characteristic
b forward blocking characteristic
c reverse blocking characteristic

In the direction of current flow, the silicon wafer has p and n conducting regions arranged in the order p n p n. In the on-state of thyristors with one-sided cooling, the current flows from the case to the insulated terminal. Accordingly the case is designated as the anode A, and the main insulated terminal as the cathode K. For disc-type thyristors the current direction is indicated by the terminal designations. The gate voltage necessary to trigger a thyristor must be such that positive is applied to the gate terminal G and negative to the cathode K.



Data

The maximum values given in this book are to be considered as absolute maximum values in accordance with the IEC. This means that for values exceeding them, performance deterioration or destruction of the thyristor must be expected (e.g. U_{DRM} , U_{RRM} , 1.1).

Because the electrical characteristics of thyristors are temperature dependent, it is reasonable that in many cases electrical data can be given only with temperature data. As well as absolute maximum values which are valid for the complete operational temperature range, limiting data appropriate to the maximum case temperature is given (e.g. mean on-state current 2.1).

Together with the limiting data mentioned above, there appears operational data which, on the basis of calculations and practical experience, the manufacturer recommends. For general use a sufficiently large safety margin has been left between the absolute maximum data and the recommended operational data. The operational reliability is influenced by this safety margin for many parameters.

Furthermore, recommendations are given for the use of thyristors in connection with heat sinks offered by the manufacturer (e.g. maximum direct currents, continuous r.m.s. currents, 2.3).

Unless otherwise stated all data refer to 40—60 Hz mains operation.

1. Maximum Voltage Ratings

1.1 Maximum repetitive peak off-state or reverse voltage U_{DRM} , U_{RRM}

The maximum instantaneous value of the off-state or reverse voltage, including all repetitive peaks, that may appear across the main thyristor terminals. The values listed are valid for the total operating temperature range. Because of the frequently ill-defined voltage conditions, the voltage class of the thyristor should be determined with an adequate voltage safety factor. The voltage safety factor i.e. the ratio of the maximum repetitive peak blocking voltage to the peak maximum input voltage, should be more than 1.5 (also in consideration of the du/dt behaviour).

For mains operation a voltage safety factor 2 and 2.5 is usual (see also overvoltage protection p. 35)

1.2 Maximum on-state voltage U_T

The voltage across the main terminals when the thyristor is in the on-state. It is the maximum of the spread among different specimen, for three times the maximum mean on-state current at an operating temperature of 25°C.

For thyristors with a current lead, the voltage drop across the lead is included.

1.3 Equivalent Line for Loss Calculation

$$U_T = U_{T(TO)} + r_T \cdot i_T$$

This equation gives the instantaneous value of the on-state voltage resulting from the current flowing between the main terminals.

The equivalent curve is an approximate on-state characteristic at maximum operating temperature, which can be used to determine the on-state power loss used in the calculation of load ratings. It is valid only for a medium current range.

The thyristor current lead is so constructed that the losses which occur in it will be removed by its surface. Thus these losses are not to be included in the loss calculation. (For further details see Maximum Current Ratings.)

For efficiency calculations use the appropriate characteristic in graph 10.

2. Maximum Current Ratings

During the operation of semiconductor devices heat losses are generated which must be removed from the junction. The different materials act as thermal resistances to this flow of heat. Because many parameters are intrinsically temperature dependent, a majority of the load ratings for mains operation can be determined by thermal calculations of the following general form

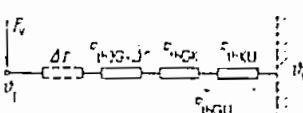
$$\theta_j = \theta_u + P_v \cdot (R_{TnJU} + .lr)$$

- θ_j = junction temperature
- θ_u = ambient temperature
- P_v = total power loss
- R_{TnJU} = total thermal resistance of thyristor and cooling system
- $.lr$ = thermal resistance for consideration of temporal temperature variations (see graph 17)

Only the on-state power loss and total thermal resistance determine the current-carrying-capability of a thyristor in continuous operation (40—60 Hz). In this case, the switch-on and switch-off losses which for operation at higher frequencies and higher rates of rise of on-state current must be considered, are negligible. The off-state and gate losses are also much smaller than the on-state power loss, and in cases where they are not completely negligible they can be taken into account by a small reduction in the current.

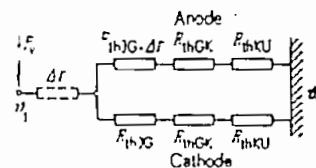
For devices with one-sided cooling and a current lead, the current lead is so constructed that its losses are dissipated by its surface. The temperature calculation can therefore be carried out according to the following simplified circuit diagrams.

One-sided cooling

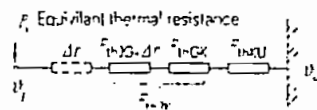


- R_{ThJC} = thermal resistance from junction to case
- R_{ThCK} = thermal resistance from case to heat sink
- R_{ThCU} = thermal resistance of the heat sink
- R_{ThCU} = thermal resistance from case to ambient
- R_{ThJK} = thermal resistance from junction to heat sink
- $.lr$ = supplementary thermal resistance see graph 17

Double-sided cooling



Simplification on the assumption that the power loss is nearly removed equally on both sides.



The on-state voltage and thermal resistance values which essentially determine the current-carrying-capability shows a relatively large spread (e.g. see graph 10). A combination of unfavourable on-state voltage and thermal resistance is unlikely, therefore the values used for the temperature calculation are the maximum values of the on-state voltage and the minimum values of the thermal resistance.

These values are given as the lowest values of the spread under the following conditions:

- (a) The blocking voltage increases to a certain fraction (specified in the data list) of the maximum repetitive peak blocking voltage.
- (b) Maximum junction temperature.
- (c) Repetition frequency 50 Hz.
- (d) Prior to application of the voltage, the thyristor is current and voltage free.
- (e) The voltage increases exponentially. The value for the rate of voltage rise is given by the following relation

$$\frac{du}{dt} = \frac{0.632 \cdot \text{applied voltage}}{T}$$

Here T is the time in which the voltage rises to 63.2% of the value given in (a).

The gate circuit is open. This is a more stringent condition than the case of a resistively loaded gate circuit.

7 Critical rate of rise of voltage at negative gate current

The largest value of the rate of voltage rise for which the thyristor with negative gate current does not switch from the blocking to the on-state. The value is the lowest value of the spread under the following conditions:

- (a) The blocking voltage increases from zero to the maximum repetitive peak blocking voltage.
- (b) As for (e) as for 4.6.
- (c) A negative current as specified, flows in the gate circuit.

Negative gate current improves the du/dt behaviour because this current counteracts the capacitive current described in 4.6.

For full-diffused thyristors all practically occurring rates of voltage rise can be controlled, so that gating procedures to improve the critical du/dt are not necessary.

8 Turn-off time t_q

The time interval between the reversal of the commutating main current and the reversal of a forward voltage of certain amplitude which is such that the thyristor does not switch to the on-state condition.

In normal operation (40—60 Hz) the turn-off time is in general meaningless. Thus for thyristors for line-commutated converters a value is given which is the average value of the spread.

For frequency thyristors the maximum value of the turn-off time is given for the highest junction temperature. Graph 24 shows the typical dependence of the turn-off time on the junction temperature and reverse voltage or negative gate voltage at low power thyristors.

The turn-off time is determined not only by the construction of the thyristor, and the junction temperature, but also to a large extent by details of the load circuit. The values given are valid under the following conditions:

Maximum junction temperature.

The rate of rise of the commutating load current is at least 10 A/ μ s. An increased rate of current rise similar to those rates of rise in normally used circuits has only minimal effect on the turn-off time.

An on-state current of amplitude equal to the maximum mean on-state current given in 2.1 must immediately precede the current zero. This forward current should have existed for a time sufficient to ensure that the thyristor wafer is completely switched.

The thyristor blocking voltage behaves almost linearly in the range from -67% to +67% the maximum repetitive peak blocking voltage. The rate of rise of the periodic voltage on reversal is at least

$$\frac{du}{dt} = \frac{0.67 U_{DRM}}{t_q}$$

where t_q is the turn-off time.

The effect of the negative reverse voltage on the turn-off time is to

5. Maximum Thermal Ratings

5.1 Junction temperature range for continuous operation θ_j

The wafer temperature range within which the thyristor can be continuously operated.

5.2 Storage temperature range θ_s

The temperature range within which a thyristor, when not in use, can be stored or transported.

5.3 Thermal resistance of thyristors for constant current R_{thJG} or R_{thJK}

The temperature difference between junction and case, or contact surface of the heat sink divided by the mean power transmitted from thyristor to heat sink.

Screw bottom thyristors, Flat base thyristors:

R_{thJG} = thermal resistance from junction to case.

Disc-type thyristors:

R_{thJK} = thermal resistance from junction to heat sink

R_{thJG} = thermal resistance from junction to case.

When some disc thyristors are installed, the case temperature cannot be directly measured. In such cases the connection thermal resistance R_{thGK} will be given together with the thyristor thermal resistance. The connection resistances are calculated for contact surfaces which are sufficiently parallel and for appropriate pressures (see 6.3).

The power loss of disc thyristors, because of their asymmetrical construction, cannot be transmitted equally in both sides. The average value of anode and cathode temperature is specified for the effective thermal resistance which results for double-sided cooling. The thermal resistances for one-sided heat removal in disc thyristors of the flat-pack type are also given.

5.4 Thermal resistance for thyristors for pulsed current (see diagrams 16, 17)

The supplementary thermal resistance r_{tr} (graph 16) must be added to the thermal resistance for constant current (5.3).

5.5 Thermal resistance of the heat sink R_{thGU} , R_{thKU}

The ratio of the temperature difference between the case or the contact surface on the heat sink, and the mean power loss.

R_{thGU} = thermal resistance from case to ambient

R_{thKU} = thermal resistance of the heat sink

Where appropriate the same considerations apply as for the thyristor thermal resistance (graphs 5.3 and 5.4). However, the thermal capacity of the heat sink is so large that temperature variations within a period do not occur (see also maximum current values).

6. Mechanical Data

6.1 Thyristor weight with/without heat sink

6.2 Admissible tightening torque (nominal value) or

6.3 Admissible contact pressure (nominal value)

In the case of screw-on thyristors the nominal value of admissible tightening torque for attachment to the heat sink or cooling plate with nuts. To avoid mechanical overloading, use of a torque spanner is recommended.

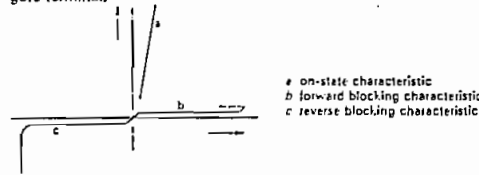
In the case of disc and flat-base thyristors, the nominal value of the admissible contact pressure of the elements is given. The correct contact pressure for flat-base thyristors has been obtained when, by alternately and uniformly tightening the fastening screws, the tightening frame is parallel to the contact surface.

The values of heat sink or thyristor are valid for the specified initial torques/

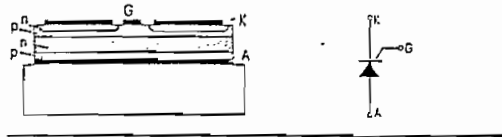
Terms and Definitions

In consideration of DIN 41785, 41786, 41787

The thyristor is a controllable silicon rectifier. It exhibits blocking behaviour in both the forward and reverse directions until turned on to conduct in the forward direction by a trigger pulse applied to the gate terminal.



In the direction of current flow, the silicon wafer has p and n conducting regions arranged in the order p-n-p-n. In the on-state of thyristors with one-sided cooling, the current flows from the case to the insulated terminal. Accordingly the case is designated as the anode A, and the main insulated terminal as the cathode K. For disc-type thyristors the current direction is indicated by the terminal designations. The gate voltage necessary to trigger a thyristor must be such that positive is applied to the gate terminal G and negative to the cathode K.



Data

The maximum values given in this book are to be considered as absolute maximum values in accordance with the IEC. This means that for values exceeding them, performance deterioration or destruction of the thyristor must be expected (e.g. U_{DRM} , U_{RRM} , 1.1).

Because the electrical characteristics of thyristors are temperature dependent, it is reasonable that in many cases electrical data can be given only with temperature data. As well as absolute maximum values which are valid for the complete operational temperature range, limiting data appropriate to the maximum case temperature is given (e.g. mean on-state current 2.1).

Together with the limiting data mentioned above, there appears operational data which, on the basis of calculations and practical experience, the manufacturer recommends. For general use a sufficiently large safety margin has been left between the absolute maximum data and the recommended operational data. The operational reliability is influenced by this safety margin for many parameters.

Furthermore, recommendations are given for the use of thyristors in connection with heat sinks offered by the manufacturer (e.g. maximum direct currents, continuous r.m.s. currents, 2.3).

Unless otherwise stated all data refer to 40–60 Hz mains operation.

1. Maximum Voltage Ratings

1.1 Maximum repetitive peak off-state or reverse voltage U_{DRM} , U_{RRM}

The maximum instantaneous value of the off-state or reverse voltage, including all repetitive peaks, that may appear across the main thyristor terminals. The values listed are valid for the total operating temperature range. Because of the frequently ill-defined voltage conditions, the voltage class of the thyristor should be determined with an adequate voltage safety factor. The voltage safety factor i.e. the ratio of the maximum repetitive peak blocking voltage to the peak maximum input voltage, should be more than 1.5 (also in consideration of the du/dt behaviour).

For mains operation a voltage safety factor 2 and 2.5 is usual (see also overvoltage protection p. 35).

1.2 Maximum on-state voltage U_T

The voltage across the main terminals when the thyristor is in the on state. It is the maximum of the spread among different specimen, i.e. three times the maximum mean on-state current at an operating temperature of 25°C.

For thyristors with a current lead, the voltage drop across the lead is included.

1.3 Equivalent Line for Loss Calculation

$$U_T = U_{T(T0)} + r_T \cdot I_T$$

This equation gives the instantaneous value of the on-state voltage resulting from the current flowing between the main terminals.

The equivalent curve is an approximate on-state characteristic at maximum operating temperature, which can be used to determine the on-state power loss used in the calculation of load ratings. It is valid only for a medium current range.

The thyristor current lead is so constructed that the losses which occur in it will be removed by its surface. Thus these losses are not to be included in the loss calculation. (For further details see Maximum Current Ratings.)

For efficiency calculations use the appropriate characteristic in graph 11.

2. Maximum Current Ratings

During the operation of semiconductor devices heat losses are generated which must be removed from the junction. The different materials act as thermal resistances to this flow of heat. Because many parameters are intrinsically temperature dependent, a majority of the load ratings for mains operation can be determined by thermal calculations of the following general form

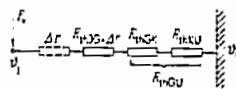
$$\theta_j = \theta_a + P_v \cdot (R_{thj-c} + \Delta t)$$

θ_j = junction temperature
 θ_a = ambient temperature
 P_v = total power loss
 R_{thj-c} = total thermal resistance of thyristor and cooling system
 Δt = thermal resistance for consideration of temporal temperature variations (see graph 17)

Only the on-state power loss and total thermal resistance determine the current-carrying-capability of a thyristor in continuous operation (40–60 Hz). In this case, the switch-on and switch-off losses which for operation at higher frequencies and higher rates of rise of on-state current must be considered, are negligible. The off-state and gate losses are also much smaller than the on-state power loss, and in cases where they are not completely negligible they can be taken into account by a small reduction in the current.

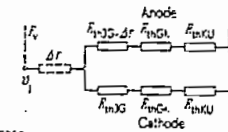
For devices with one-sided cooling and a current lead, the current lead is so constructed that its losses are dissipated by its surface. The temperature calculation can therefore be carried out according to the following simplified circuit diagrams.

One-sided cooling

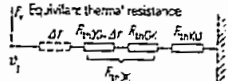


R_{thj-c} = thermal resistance from junction to case
 R_{thc-K} = thermal resistance from case to heat sink
 R_{thK-a} = thermal resistance of the heat sink
 R_{thj-a} = thermal resistance from case to ambient
 R_{thj-c} = thermal resistance from junction to case
 Δt = supplementary thermal resistance see graph 17

Double-sided cooling

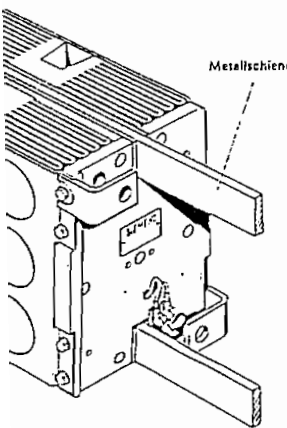
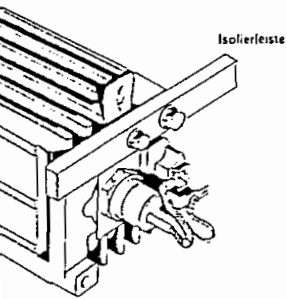
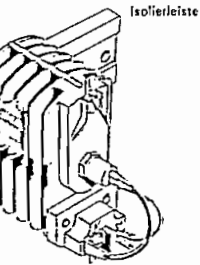


Simplification on the assumption that the power loss is nearly removed equally on both sides.



The on-state voltage and thermal resistance values which essentially determine the current-carrying-capability shows a relatively large spread (e.g. see graph 10). A combination of unfavourable on-state voltage and thermal resistance is unlikely, therefore the values used in the temperature calculation were fixed on a statistical basis.

ch benachbarte Kühlkörper ist in den Aufbau). Werden mehrere Kühlkörper vor allem bei Luftselbstkühlung auf acht, damit eine gegenseitige werden die Thyristoren mit Kühlkörpern (z. B. Transformatoren) aufgearbeitet geringer. Die Kühlkörper stehen ab isoliert zu montieren. Die Befestigen nachstehenden Bildern ersichtlich.



rische Bauelemente im allgemeinen ken der Thyristoren sind jedoch wie gegen Verstaubung nicht geit und die Wärmeabfuhr nicht zu ren, insbesondere deren Isolationsn Zeit zu Zeit zu reinigen.

Explanatory Notes and Design Data

2.1 Maximum mean on-state current $I_{TAV(II)}$

The maximum arithmetic mean of the continuous sinusoidal on-state current (conduction angle 180°, frequency range 40–60 Hz) which may not be exceeded even with the most intensive cooling. In addition, the case temperature at which this current is allowable, will be given. For small thyristors which are operated without a heat sink, the maximum mean on-state current is appropriate to an ambient temperature of 45°C.

Any overload following operation at the maximum mean on-state current can impair the blocking capability.

2.2 Maximum r.m.s. on-state current $I_{TRMS(II)}$

The r.m.s. value of the maximum continuous on-state current, which even with the most intensive cooling in continuous operation may not be exceeded. It is given as the product of the maximum mean on-state current (see 2.1) and the form factor $\pi/2$.

2.3 Maximum direct current I_{TAV} Continuous r.m.s. current I_{TRMS}

Arithmetic mean value of the maximum continuous current dependent on the conduction angle, for uninterrupted current under defined cooling conditions in a frequency range 40–60 Hz and operation at an altitude up to 1000 m, above sea-level.

The following idealised current forms are useful in the determination of the current-carrying-capability of a thyristor in a circuit.

	Ohmic Load	Inductive Load
E		
M/B		
S/DB		
DS		
DSS		
AS		

The total current for important circuit types can be calculated according to the following table

Circuit type	E	M/B	S/DB	DS/DSS	AS
Total D.C./A.C.	$n \cdot I_{TAV}$	$2n \cdot I_{TAV}$	$3n \cdot I_{TAV}$	$6n \cdot I_{TAV}$	$\sqrt{2} \cdot n \cdot I_{TRMS}$

E single-phase half-wave circuit
M single-phase full-wave circuit
B single-phase bridge circuit
S star circuit
DB three-phase bridge circuit
DS double star circuit
DSS double star circuit with Interphase transformer
AS inverse parallel circuit
n numbers of thyristors in parallel for each circuit branch

In parallel connection the theoretically attainable current value must be reduced (see also series and parallel connections p. 37).

2.4 Maximum surge on-state current I_{TSM}

Maximum admissible peak value of a sinusoidal half-cycle of 10 ms duration at 50 Hz (at 60 Hz the peak value is 10% higher). It applies for the given junction temperature.

At the maximum surge on-state current the junction temperature admissible in continuous operation is exceeded. The forward blocking capability can then be lost temporarily, therefore loading additional to the maximum surge on-state current is not allowed (disconnect from mains). Normal operation is possible only after a delay of ≥ 5 sec. The maximum surge on-state current should occur only occasionally e.g. on rare disturbances of the system, and not repeatedly.

2.5 I^2t value

The time integral of the square of the maximum sinusoidal overload on-state current. This I^2t value serves in general to determine the protective circuit (see also under current overload protection p. 34). The data sheets contain values for 2–5 ms and 10 ms for normal (25°C) and elevated ($\theta_{(II)}$) junction temperature. To exploit the I^2t value the same restrictions which applied in the case of maximum surge on-state current apply.

2.6 Reverse or off-state current I_D, I_R

The reverse or off-state current flowing through the main terminals of the thyristor when it is in the blocking state. The current is related to a voltage equal to the maximum positive or negative repetitive peak voltage and sets the upper limit to the spread of values at the maximum junction temperature.

3. Gate Circuit

3.1 Minimum gate trigger current I_{GT} Minimum gate trigger voltage U_{GT}

The maximum value of the spread of trigger currents (voltages) at a given junction temperature and anode-cathode voltage. The values apply for ohmic loads.

A current equal to the minimum gate trigger current is necessary to trigger a thyristor, although for many applications this is not sufficient. For mains operation (rate of rise of the load current ≤ 10 A/ μ s, neither series nor parallel circuit) the triggering unit should be designed for 1.2 times the minimum gate trigger current.

For large rate of rise of load current as well as series and parallel circuit operation, a gating pulse, 1 A for thyristor BS1 F.. to BS1 R.., for low-power-thyristors appr. 5 I_{GT} and a rise time for the gating current less than 1 μ s are necessary (see also graph 20).

The duration of the trigger pulse must be such that the value of the latching current (given in 4.2) is exceeded, otherwise the thyristor returns to the blocking state. $\approx 15 \mu s, I^2 t_{min}$

3.2 Maximum gate-non-trigger current I_{GD} Maximum gate-non-trigger voltage U_{GD}

The largest value in the spread of maximum gate currents (voltages), which, at 50% of the largest positive repetitive peak voltage in the appropriate voltage class, does not trigger the thyristor for the whole junction temperature range. For lower voltages the gate-non-trigger current and the gate-non-trigger voltage are higher than indicated.

3.4 Maximum gate current I_{GM} (or I_{GMH})

Maximum peak (or r.m.s.) value of the gate current, which may not be exceeded, otherwise the thyristor would be endangered. A gate current is admissible only for a short time if reverse voltage is applied.

3.7 Admissible gate power loss P_{GAV}

The mean power loss due to the gate current between the gate terminal and the appropriate main terminal.

- (a) $P_{GAV(II)}$ maximum value which may not be exceeded
- (b) P_{GAV} value which is used for calculation of current-carrying-capacity.

In case, the basis for calculation is exceeded, the limiting values of the current may be reduced.

...te current I_{TSM}
 ...ve of a sinusoidal half-cycle of 10 ms
 ...peak value is 10% higher). It applies for
 ...ate current the junction temperature
 ...ion is exceeded. The forward blocking
 ...mporarily, therefore loading additional
 ...te current is not allowed (disconnect
 ...is possible only after a delay of ≥ 5 sec.
 ...current should occur only occasionally
 ...system, and not repeatedly.

...e of the maximum sinusoidal overload
 ...serves in general to determine the
 ...der current overload protection (p. 34).
 ...s for 2–5 ms and 10 ms for normal
 ...junction temperature. To exploit the I^2t
 ...which applied in the case of maximum

...urrent I_D, I_R
 ... flowing through the main terminals
 ...e blocking state. The current is related
 ...um positive or negative repetitive peak
 ...nt to the spread of values at the maxi-

...urrent I_{GT} ,
 ...voltage U_{GT}
 ...ead of trigger currents (voltages) at a
 ...d anode-cathode voltage. The values

...m gate trigger current is necessary to
 ...many applications this is not sufficient.
 ...of the load current $\leq 10 A/\mu s$, neither
 ...gating unit should be designed for 1.2
 ...current.

...current as well as series and parallel
 ...1 A for thyristor BS1 F... to BS1 R...
 ...5 I_{GT} and a rise time for the gating
 ...ary (see also graph 20).
 ...e must be such that the value of the
 ...is exceeded, otherwise the thyristor

...trigger current I_{GD}
 ...trigger voltage U_{GD}
 ...of maximum gate currents (voltages),
 ...sitive repetitive peak voltage in the
 ...not trigger the thyristor for the whole
 ...lower voltages the gate-non-trigger
 ...er voltage are higher than indicated.

... I_{GM} (or I_{GMH})
 ...the gate current, which may not be
 ...would be endangered. A gate cur-
 ...nt time if reverse voltage is applied.

...loss P_{GMV}
 ...ate current between the gate terminal
 ...it.
 ...which may not be exceeded
 ...for calculation of current-carrying-

...is exceeded, the limiting values of

3.8 Maximum negative gate current I_{GRM} or gate voltage U_{GRM} (peak value)

In certain trigger circuits, the gate circuit is often driven in the reverse direction, for improvement of thyristor dynamic characteristics. Then the values listed may not be exceeded.

4. Dynamic values and switching behaviour

The definition of the following parameters is in certain cases possible only for particular boundary conditions. The gate circuit conditions are always for normal triggering via the gate circuit. Triggering by exceeding the positive breakover voltage is not allowed, because the thyristor can be damaged.

4.1 Holding current I_H

The minimum on-state current so that the thyristor remains in the on-state condition.

This value is given as the largest value of the spread for different junction temperatures, open gate circuit and a voltage of 6 V in a resistively loaded main circuit.

4.2 Latching current I_{HT}

The smallest on-state current for which the thyristor, immediately after triggering and decay of the trigger pulse, remains in the on-state.

This value is given as the largest value of the spread for different junction temperatures and a trigger pulse in a loaded circuit, as defined in the data list. For smaller trigger pulses or a duration of the trigger pulse less than 15 μs the latching current is larger.

4.3 Gate-controlled delay time t_{GE} (see also graph 20)

The time which elapses between the start of a rapidly growing gate current pulse, and the decay of the anode-cathode voltage to 90% of its initial value. The values are valid under the following conditions:

- (a) The gate current has approximately trapezoidal shape and rises within 1 μs to the values given in the data sheet.
- (b) The initial value of the voltage across the main terminals of the thyristor is greater than 200 V.
- (c) After triggering, the current in the main circuit is approximately a tenth of the limiting value of maximum mean on-state current (as given in 2.1).
- (d) The inductive time-constant (L/R) of the main circuit is at most twice the given value of the gate-controlled delay time.
- (e) Junction temperature $\geq 25^\circ C$. At lower temperatures a somewhat longer gate-controlled delay time must be expected.

4.4 Admissible periodic switch-on current with arbitrary di/dt

Admissible repetitive peak value of a current pulse with arbitrary rate of rise of on-state current initiated by discharge of an $R-C$ circuit. Such current pulses occur for example, when a TSE circuit discharges as the thyristor switches on.

The values given for full-diffused thyristors and diffused-alloyed thyristors are defined differently.

(a) Full-diffused thyristors

The repetitive switch-on currents are given, independent of the capacitor size, for the gating pulses described in the data sheets, at the maximum junction temperature, for $2/3 U_{DRM}$.

The discharge current pulse from the TSE circuit appears in the thyristor immediately after it is triggered. Considerable over-gating at this moment produces a conducting area larger than that produced by the minimum gate current. The allowable switch-on current with arbitrary rate of rise is larger for over-gating than for a quasi-static trigger current. The di/dt of the load current as given in 4.5 is admissible in addition to the above mentioned discharge current.

(b) Diffused-alloyed thyristors

The value given for the allowable switch-on current with arbitrary rate of rise, is given under the following conditions. Because its resistance is essentially determined by the allowable thyristor switch-on current, the small time-constant of the equivalent $R-C$ circuit can be attained only with a small capacitance. Furthermore, because a small capacitor can store only a small amount of energy, the allowable switch-on current is larger than for an $R-C$ circuit with larger capacitance and correspondingly large time constant.

In the design of the $R-C$ circuit (for reduction of the TSE effect) it is necessary to consider not only the allowable switch-on current, but also the conditions given in the section on voltage overload protection (see p. 35).

The equivalent $R-C$ elements for the most important circuits are calculated as follows (here it is assumed that each thyristor is protected by an $R-C$ circuit).

Circuit	E, M, S	B	DB
$R' =$	R	$\frac{R}{2}$	$\frac{3}{5} R$
$C' =$	C	$2 C$	$\frac{5}{3} C$

C = capacitor for a thyristor in circuit
 R = series resistance

For thyristor operation with $R-C$ discharge, switch-on losses occur. These have already been taken into account for the current values in the frequency range 40–60 Hz with the standard TSE circuits (see data sheets)

4.5 Critical rate of rise of on-state current di/dt

The maximum rate of rise of current which the thyristor will tolerate at switching, without permanent degrading effects on its properties. It is given as the lowest value of the spread under the following conditions:

- (a) The on-state current has the shape of a (damped) half-sine wave, the peak value of which is three times the value of the maximum mean on-state current (as given in 2.1). The current rate of rise is given as the ratio of $i_t = 0.5 I_{TSM}$ and the time T , in which the current i_t is reached.
- (b) Maximum allowable junction temperature.
- (c) Repetition frequency 50 Hz.
- (d) Blocking voltage before triggering, equal to $2/3$ of the maximum repetitive peak blocking voltage.
- (e) The trigger pulse should be appr. $5 \cdot I_{GT}$ for low-power thyristors $\geq 1 A$ for thyristors of size BS1 F... to BS1 R... with a rise time of the gate current equal or below 1 μs . The critical di/dt is limited to 10 A/ μs , if the gate current does not exceed I_{GT} strongly.

At the same time as a thyristor is operated with the critical rate of rise of current, it may be stressed by discharge of the TSE-capacitor as long as the current of this discharge (for the whole range of junction temperature) is less than the values given in 4.4.

4.6 Critical rate of rise of voltage du/dt

The maximum value of the rate of rise of voltage in the forward direction, which, without a gating pulse, does not switch the thyristor from the blocking to on-state.

The p-n junction represents a voltage-dependent capacitance which decreases with increasing voltage. During the voltage rise there exist not only the static off-state current but also a capacitive current given by $i_c = C du/dt$. For large rates of voltage rise, this current can lead to over-gating of the thyristor.

Therefore it follows, that the critical rate of rise of voltage depends not only on the level to which the voltage rises but also strongly on the junction temperature, because the current necessary to gate the thyristor decreases with increasing water temperature.

Explanatory Notes and Design Data

The values are given as the lowest values of the spread under the following conditions:

- The blocking voltage increases to a certain fraction (specified in the data list) of the maximum repetitive peak blocking voltage.
- Maximum junction temperature.
- Repetition frequency 50 Hz.
- Prior to application of the voltage, the thyristor is current and voltage free.
- The voltage increases exponentially. The value for the rate of voltage rise is given by the following relation

$$\frac{du}{dt} = \frac{0.632 \cdot \text{applied voltage}}{T}$$

Here T is the time in which the voltage rises to 63.2% of the value given in (a).

- The gate circuit is open. This is a more stringent condition than the case of a resistively loaded gate circuit.

4.7 Critical rate of rise of voltage at negative gate current

The largest value of the rate of voltage rise for which the thyristor with negative gate current does not switch from the blocking to the on-state. The value is the lowest value of the spread under the following conditions:

- The blocking voltage increases from zero to the maximum repetitive peak blocking voltage.
- to (e) as for 4.6.
- A negative current as specified, flows in the gate circuit.

A negative gate current improves the du/dt behaviour because this current counteracts the capacitive current described in 4.6.

With full-diffused thyristors all practically occurring rates of voltage rise can be controlled, so that gating procedures to improve the critical du/dt are not necessary.

4.8 Turn-off time t_q

The time interval between the reversal of the commutating main current and the reversal of a forward voltage of certain amplitude which is such that the thyristor does not switch to the on-state condition.

In mains operation (40–60 Hz) the turn-off time is in general meaningless. Thus for thyristors for line-commutated converters a value is given which is the average value of the spread.

For frequency thyristors the maximum value of the turn-off time is given for the highest junction temperature. Graph 24 shows the typical dependence of the turn-off time on the junction temperature and reverse voltage or negative gate voltage at low power thyristors. The turn-off time is determined not only by the construction of the thyristor, and the junction temperature, but also to a large extent by the details of the load circuit. The values given are valid under the following conditions:

- Maximum junction temperature.
- The rate of rise of the commutating load current is at least 10 A/ μ s. An increased rate of current rise similar to those rates of rise in normally used circuits has only minimal effect on the turn-off time.
- An on-state current of amplitude equal to the maximum mean on-state current given in 2.1 must immediately precede the current zero. This forward current should have existed for a time sufficient to ensure that the thyristor wafer is completely switched.
- The thyristor blocking voltage behaves almost linearly in the range from –67% to –67% the maximum repetitive peak blocking voltage. The rate of rise of the periodic voltage on reversal is at least

$$\frac{du}{dt} = \frac{0.67 U_{DRM}}{t_q}$$

where t_q is the turn-off time.

The effect of the negative reverse voltage to the turn-off time is to be shown in diagram 24.

5. Maximum Thermal Ratings

5.1 Junction temperature range for continuous operation θ_j

The wafer temperature range within which the thyristor can be continuously operated.

5.2 Storage temperature range θ_s

The temperature range within which a thyristor, when not in use, can be stored or transported.

5.3 Thermal resistance of thyristors for constant current

$$R_{TnJG} \text{ or } R_{TnJK}$$

The temperature difference between junction and case, or contact surface of the heat sink divided by the mean power transmitted from thyristor to heat sink.

Screw bottom thyristors, Flat base thyristors:

$$R_{TnJG} = \text{thermal resistance from junction to case.}$$

Disc-type thyristors:

$$R_{TnJK} = \text{thermal resistance from junction to heat sink}$$

$$R_{TnJG} = \text{thermal resistance from junction to case.}$$

When some disc thyristors are installed, the case temperature cannot be directly measured. In such cases the connection thermal resistance R_{TnCK} will be given together with the thyristor thermal resistance. The connection resistances are calculated for contact surfaces which are sufficiently parallel and for appropriate pressures (see 6.3).

The power loss of disc thyristors, because of their asymmetrical construction, cannot be transmitted equally to both sides. The average value of anode and cathode temperature is specified for the effective thermal resistance which results for double-sided cooling. The thermal resistances for one-sided heat removal in disc thyristors of the flat-pack type are also given.

5.4 Thermal resistance for thyristors for pulsed current (see diagrams 16, 17)

The supplementary thermal resistance Δr (graph 16) must be added to the thermal resistance for constant current (5.3).

5.5 Thermal resistance of the heat sink R_{TnDU}, R_{TnKU}

The ratio of the temperature difference between the case or the contact surface on the heat sink, and the mean power loss.

$$R_{TnDU} = \text{thermal resistance from case to ambient}$$

$$R_{TnKU} = \text{thermal resistance of the heat sink}$$

Where appropriate the same considerations apply as for the thyristor thermal resistance (graphs 5.3 and 5.4). However, the thermal capacity of the heat sink is so large that temperature variations within a period do not occur (see also maximum current values).

6. Mechanical Data

6.1 Thyristor weight with/without heat sink

6.2 Admissible tightening torque (nominal value) or

6.3 Admissible contact pressure (nominal value)

In the case of screw-on thyristors the nominal value of admissible tightening torque for attachment to the heat sink or cooling plate with nuts. To avoid mechanical overloading, use of a torque spanner is recommended.

In the case of disc and flat-base thyristors, the nominal value of the admissible contact pressure of the elements is given. The correct contact pressure for flat-base thyristors has been obtained when, by alternately and uniformly tightening the fastening screws, the tightening frame is parallel to the contact surface.

The connection thermal resistances included in the thermal resistances of heat sink or thyristor are valid for the specified initial torques/contact pressures. The values should be attained but not exceeded.

atings

ange for continuous operation θ_c ,
hich the thyristor can be con-

age θ_c ,
hich a thyristor, when not in use, can

hthyristors for constant current

een junction and case, or contact sur-
y the mean power transmitted from

at base thyristors:
unction to case.

unction to heat sink
unction to case.

ntalled, the case temperature cannot
see the connection thermal resistance
n the thyristor thermal resistance. The
ulated for contact surfaces which are
ppropriate pressures (see 6.3).

ors, because of their asymmetrical
mitted equally to both sides. The
mode temperature is specified for the
ch results for double-sided cooling.
sided heat removal in disc thyristors
ven.

hthyristors for pulsed current

istance Δr (graph 16) must be added
stant current (5.3).

ve heat sink R_{TKCU}, R_{TKU}

ifference between the case or the
and the mean power loss.

case to ambient

heat sink

nsiderations apply as for the thyristor
d 5.4). However, the thermal capacity
emperature variations within a period
r current values).

without heat sink

orque (nominal value) or
sure (nominal value)

ns the nominal value of admissible
t to the heat sink or cooling plate
verloading, use of a torque spanner

thyristors, the nominal value of the
he elements is given. The correct
thyristors has been obtained when, by
g the fastening screws, the tightness
ct surface.

ns included in the thermal resistances
id for the specified initial torques/
ould be attained but not exceeded.

6.4 Vibration resistance

This is specified in accordance with DIN 40046 and is an index for the mechanical resistance of the devices.

6.5 Creep distance

The shortest path over which a flash-over on the thyristor insulation surface can take place.

6.6 Humidity class

This is specified in accordance with DIN 40046, and gives information concerning the admissible moisture level.

7. Protective Components

7.1 Short-circuit protection

The largest fuses for rectifier operation for different terminal voltage ranges are given. Cases where one or two fuses lie in the short-circuit path are treated separately. If one fuse is in the short-circuit path, then it must switch the total voltage. If two fuses are in the short-circuit path, then each fuse switches half the total voltage (see also voltage overload protection p. 35).

7.2 TSE protection

The recommended values for the circuit elements (capacitor and resistance) which damp voltage overload generated by hole storage effect for normal mains operation ($u_n = 2-23\%$, $f = 40-60$ Hz), and the dependence on circuit type and terminal voltage are given. Further information and protection instructions for frequency thyristors can be found on p. 36.

8. Order number (Article number)
(see Delivery Program)

To guarantee rapid delivery of thyristors, the type number, desired quantity and the article number of each circuit element and heat sink should be given. The article number serves as the order number.

When thyristors already mounted on heat sinks are to be delivered, both the article number of the thyristor and the heat sink should be given, together with the advice, "to be connected."

Example: 60 thyristors No. H 05 90 S6
Article no. C 6604B-A 2404-A 10, to be connected with
60 heat sinks HK 08
Article no. C 66055-A 6104-B5

Characteristics

10. On-state Voltage-Current Characteristic (Spread)

Relationship between the instantaneous values of on-state current and on-state voltage. The graph indicates the spread (approximately the 95% values) for 25°C, and for the maximum junction temperature.

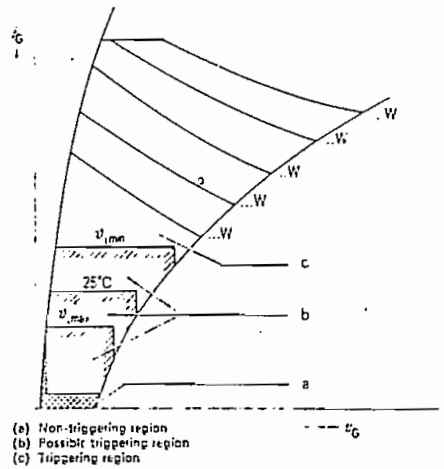
11. Gate Input Characteristics

The relationship between the instantaneous values of gate current and gate voltage. For the complete junction temperature range, the boundaries of the spread region are given. The diagram includes the triggering regions and curves of constant gate power loss.

The boundary between the regions of possible and certain triggering are determined by the maximum trigger current and the maximum trigger voltage (3.1) at the appropriate junction temperature. The hyperbolic curves in the diagram display peak values for the actual gating power losses. The maximum operating period can be calculated as follows considering the admissible gate power loss as given in 3.7

$$t = \frac{T \cdot P_{GAVL}}{P} \text{ (ms)}$$

t = gating pulse length
 T = period (ms)
 P_{GAVL} = mean gate loss limiting value, see 3.7
 P = peak gate loss (see curve)



12. Blocking losses for reverse voltage and positive gate current

A positive gate current should possibly be avoided as long as reverse voltage is applied.

With the aid of the graphs, it is possible to calculate the maximum blocking loss, dependent on the blocking voltage, as well as the value and duration of the forward gate current. The maximum value for the blocking energy loss must not be exceeded. A minimum time interval of 1 ms is necessary between operation under maximum loss conditions with positive gate current and applied negative voltage, and operation at positive blocking voltage.

The power loss P , which must be included in the power balance, is calculated as follows

$$P = \frac{W_n}{T} = W_n \cdot f \text{ (W)}$$

W_n = blocking energy loss (Ws)
 f = frequency (Hz)
 T = time interval

As an example, the shaded area shows how the blocking energy loss can be calculated from the blocking voltage, overlapping current and gate current.

13. On-state loss characteristics and diagram for the calculation of maximum direct currents under different cooling conditions

The left and right portions of the diagram show the dependence of the mean on-state losses on the mean value of the on-state current for each thyristor. Parameters are the current conduction angle and current form (right: square wave, left: sine wave).

2.3 Indicates which idealised current profile is to be used for each circuit.

A limitation in terms of the maximum r.m.s. current $I_{T(RMS)}$ is given for screw-on and flat-base thyristors. This limitation is determined mainly by the current carrying capability of the case and lead.

In the middle of the diagram, the ambient temperature is given as parameter above the lines of thermal resistance (the thermal resistance of the heat sink and the thermal resistance Δr see 17). It is thus possible from the thermal resistance line to determine the maximum direct current for a definite ambient temperature, and the dependence on the current conduction angle.

14. On-state Loss Characteristics (Current overload region)

The diagram shows for each thyristor the relationship between the on-state loss (mean value) and the mean on-state current in the current overload region. This diagram contains no information on limiting values.

Explanatory Notes and Design Data

15. Admissible Case temperature vs. on-state current

The power loss in the silicon wafer produces a temperature difference across the thermal resistance of the thyristor (see 5.3). The case temperature must remain below the maximum junction temperature by this amount.

When disc thyristors with inset contact surfaces are installed, it is, in general difficult to measure the case temperature. In some heat sinks there are holes providing access especially for this measurement. Because the dissipated power is not equally removed from both sides, the temperatures at these measuring positions will be different. For such thyristors additional information is given in the form of maximum continuous current vs. the arithmetic mean of the temperature at those measuring points on the given heat sink. In the case of disc thyristors of the flat-pack type, graphs for both single and double-sided cooling are given.

16. Transient thermal resistance of the thyristor (see also page 30)

Transient thermal resistances allow the calculation of load data under various conditions (e.g. overload, single pulse loading etc.). (For Information concerning these calculations see Siemens Thyristor Handbook or DIN 41 862.)

There are several different transient thermal resistances which are defined as follows:

Z_{TnJG} , Z_{TnJG1p}	Transient thermal resistance or transient pulse thermal resistance of the thyristor.
Z_{TnJK} , Z_{TnJK1p}	Transient thermal resistance or transient pulse thermal resistance of the thyristor including resistance of the thermal contact to the heat sink.
Z_{TnKU}	Transient thermal resistance of the heat sink
Z_{TnGU}	Transient thermal resistance of the heat sink including resistance of the thermal contact to the thyristor

To calculate the wafer temperature, it is necessary to determine the total transient thermal resistance or transient thermal resistance for pulse operation between the wafer and surroundings.

$$Z_{TnJU} = Z_{TnJG} + Z_{TnGU} \text{ or } Z_{TnJK} + Z_{TnKU}$$

$$Z_{TnJU1p} = Z_{TnJG1p} + Z_{TnGU} \text{ or } Z_{TnJK1p} + Z_{TnKU}$$

Screw-on thyristors, Flat-base thyristors and disc thyristors with inset contact surfaces

The graph gives the thermal resistance of the thyristor as a function of time for several current forms including constant current. The transient pulse thermal resistance includes the temperature variations about a mean value in one period, for different current forms.

Disc thyristors of flat-pack type

Diagram 16a shows the transient thermal resistances at constant current for double-sided cooling, with and without thermal resistance case to heat sink. It also shows the transient thermal resistances for one-sided contact. The transient thermal resistance for double-sided cooling with thermal resistance of the contact between thyristor and heat sink is valid only for appropriately plane parallel surfaces and for a contact pressure as given in 6.3 of the data sheet.

Diagram 16b shows the difference between the transient thermal resistance at constant current and for different pulse currents. These differences include the temperature variations about a mean value within a period, for different current forms.

17. Thermal resistance dr

This thermal resistance includes the temperature variations within a period at steady state. These variations depend on current form, frequency and thermal properties. For the determination of the limiting values for different current forms, this resistance must be added to the thermal resistance of the thyristor at constant current (graph 2).

18. Peak Reverse Recovery current I_{rrm}

The dependence is given on the preceding on-state current and on the rate of fall of current during commutation.

Should a thyristor switch from the on-state to the blocking state, a transient reverse current flows until the charge carriers in the junction

are swept away by the negative voltage. The graph gives the peak value of this reverse current as the upper bound of the spread, and its dependence on the peak value of a preceding trapezoidal on-state current, and on the rate of fall of on-state current at maximum junction temperature. For the curves to be valid, it is necessary that prior to current reversal, the total thyristor surface is switched on.

19. Recovered charge Q_{rr}

The dependence of the preceding on-state current, and of the rate of fall of current on commutation is given.

After current reversal, the reverse current rises to a maximum and then falls off roughly exponentially. The integral $\int i_R dt$ of this triangularly-shaped current is defined as the recovered charge.

The graph shows the recovered charge as the upper bound of the spread, and its dependence on the peak value of a preceding on-state current at maximum junction temperature. Prior to current reversal, the thyristor is completely switched on.

The charge accumulated between load current reversal and voltage reversal can be calculated approximately, as follows

$$Q \approx \frac{I_{rrm}^2}{2 \frac{dI}{dt}}$$

I_{rrm} = peak reverse recovery current
 dI/dt = rate of fall of commutating load current

20. Gate-controlled delay time vs. Overgating (for definition see 4.3)

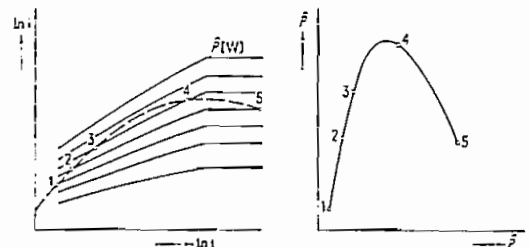
Whereas the relatively short gate-controlled rise time depends primarily on the load current and its rate of rise, the gate-controlled delay time and hence the switch-on time are determined largely by the gate-current amplitude, and its rate of rise.

The diagram shows the spread of gate-controlled delay time vs. gate current. It is valid for wafer temperatures $\geq 25^\circ\text{C}$ and gate pulses reaching the peak value in $1 \mu\text{s}$, as well as for principal voltages $\geq 200 \text{ V}$, as long as no other conditions are specified (see 4.3 also).

23. Diagram for the determination of turn-on and on-state power losses

The graph shows the instantaneous load current vs. time. Also shown are curves of constant power loss.

Because, on the application of a gating pulse, the thyristor switches from the blocked to the on-state in finite time, only a small circular surface area around the gating electrode will initially be conducting. This surface, which grows as the triggering develops, must conduct the total load current. The power loss is the product of the instantaneous value of the decreasing voltage u and instantaneous load current i , at time t . From the intersections of any load current curve and the curves of constant power loss in this graph, the temporal power-loss behaviour up to the steady state can be deduced.



For mains operation (40–50 Hz) the arithmetic mean of the turn-on losses, for times of the order of μs , are small compared with the on-state losses. Hence the former can be neglected, or included by assuming a small reduction in current.

The arithmetic mean of turn-on losses is greater at higher frequency operation, and the assumption that local heating relaxes to a mean value within a period of the load current, is no longer valid. Therefore turn-on losses must be considered in the calculation of temperature.

ve voltage. The graph gives the peak
e upper bound of the spread, and its
of a preceding trapezoidal on-state
|| of on-state current at maximum
ves to be valid, it is necessary that
thyristor surface is switched on.

on-state current, and of the rate of
given.

current rises to a maximum and then
e integral $\int I_A dt$ of this triangularly-
recovered charge.

charge as the upper bound of the
e peak value of a preceding on-state
perature. Prior to current reversal, the
on.

on load current reversal and voltage
imately, as follows

current
mc vs. Overgating

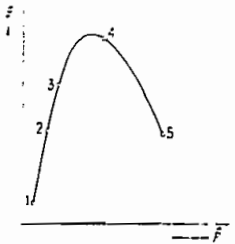
-controlled rise time depends prima-
ate of rise, the gate-controlled delay
ne are determined largely by the gate-
rise.

of gate-controlled delay time vs. gate
peratures $\geq 25^\circ\text{C}$ and gate pulses
s, as well as for principal voltages
nditions are specified (see 4.3 also).

ination of turn-on and on-state

us load current vs. time. Also shown

gating pulse, the thyristor switches
n finite time, only a small circular
nodule will initially be conducting.
-triggering develops, must conduct
less is the product of the instanta-
tage U and instantaneous load cur-
s of any load current curve and the
me graph, the temporal power-loss
can be deduced.



the arithmetic mean of the turn-on
s are small compared with the on-
n be neglected, or included by
s.

sses is greater at higher frequency
e local heating relaxes to a mean
ment, is no longer valid. Therefore
- the calculation of temperature.

24. Typical dependence of the turn-off time on the junction temperature and the reverse voltage or gate negative voltage at low-power thyristors (see also 4.8)

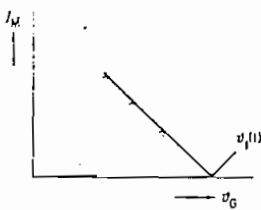
The typical dependence of the turn-off time on the junction temperature can be seen for negative blocking voltages $\geq 100\text{ V}$ or negative gate voltage at low-power thyristors.

The typical dependence of the circuit-commutated recovery time on the reverse blocking voltage can be seen at maximum junction temperature for continuous operation.

30. Continuous current with sinusoidal wave form pulse operation vs. the pulse width and the frequency

The diagram shows the admissible peak current for sine-wave pulse operation vs. the pulse width and the frequency as parameter. Added parameters are, besides the recommended TSE circuit, which gives the admissible current, the admissible case temperature and the recovery voltage (instantaneous value of the driving voltage at the end of the current flow time, see example point 32). In a section of the diagrams the maximum i.m.s. current is limited. Also, a maximum limit value I_s is given for the current.

For every type there are 2 or 3 diagrams given for different case temperatures as reference value. By interpolation the current can be found for other case temperatures (see the following sketch).



The indicated points are the currents of diagram 30 for different case temperatures. Connection of the point and the extension to the value $I_{TM} = 0$, $U_G = U_{G(II)}$ give intermediate values.

By interpolation can be found also the value of the recovery voltage. In determining the current, the TSE circuit given in the diagram was taken as a basis, but it is not sufficient for each case of operation.

The resistance of the TSE circuit can be calculated with the parameter of the current circuit (L = Inductance of the current circuit and C = capacitance of the TSE circuit) as follows: (C' is used to indicate the various capacities in the commutation circuit). The inductance for the rate of rise di/dt at the end of the current flow time is determined as follows:

$$R \approx 1 \dots 2 \sqrt{\frac{L}{C}}$$

If C' is used in the equation, then you'll usually get a substitution resistance R' , from which the resistance R can be determined. After the calculation of R , one must ensure that the admissible periodic peak current of the thyristor is not exceeded. If not, then a higher resistance should be used and the efficiency of the TSE circuit recalculated (compare also the data on page 36).

31. Diagram for determining the loss energy with sinusoidal wave form pulse operation

The diagram shows the loss energy W determined by the cooling per current pulse for the parameter peak value I_{TM} , with t_D of the sine wave of the recovery voltage and TSE circuit.

By interpolation the loss frequency can be read from the deviation of the recovery voltage diagram.

The mean value of the power losses is calculated from

$$P_{Tot} = f \cdot W$$

f = operating frequency.

Determination of the required cooling

The necessary heat sinks for a special operation is given by the following calculation:

$$R_{Th} = \frac{\theta_G - \theta_a}{P_{Tot}}$$

θ_G = admissible case temperature, see diagram 30
 θ_a = ambient temperature

32. Continuous current with trapezoidal current (current flow time approx. 180°) vs. repetitive frequency

The diagram shows the admissible trapezoidal peak current with a current flow angle of approx. 180° vs. repetitive frequency. (exact current flow time $\frac{T}{2} \div \frac{di/dt}{I_{TM}}$)

Parameter recovery voltage (see the following example) di/dt for rate-of-rise and rate-of-fall of current TSE circuit and admissible case temperature.

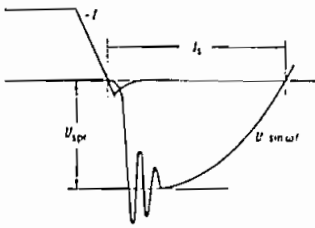
By interpolation the load for other case temperatures and recovery voltages can be also determined. The admissible trapezoidal peak for thyristor BSt L 24 is given subject to the necessary thermal resistance of the heat sink for 35°C ambient temperature (parameter see above). For higher ambient temperatures the following correction is valid:

$$\theta_G = 40^\circ\text{C} \quad 0,94 \cdot I_{TM}$$

$$\theta_G = 45^\circ\text{C} \quad 0,88 \cdot I_{TM}$$

Example for the determination of the recovery voltage; peak value of the operating voltage 600 V sine-wave reverse recovery time t_r is 37,5 μs , frequency 3000 Hz, recovery voltage see sketch.

$$U_{rev} = 600 \text{ V} \cdot \sin \omega t_r = 600 \cdot \sin 2\pi \cdot 3000 \cdot 37,5 \cdot 10^{-3}$$



For circuits, whose negative blocking voltage of the thyristors is blocked by a diode, the load diagrams with the value $U_{rev} = 0$ are valid. The admissible current load of the thyristors may be influenced by the TSE circuit used by the designer. Besides the diagrams with the usual RC circuit are given a few diagrams with a special circuit. With this circuit the maximum rating voltage of the thyristor can be more easily guaranteed at high load levels. In operation with 50 A/ μs thyristors, is recommended to use a di/dt value of 100 A/ μs .

33. Diagram for determining the power losses with trapezoidal current with different repetitive frequency

From the upper part of the double-diagram a loss energy W_1 can be determined, depending on the peak current and the value of the voltage (further parameter: di/dt of the load current, TSE circuit). From the lower part, the power loss P_1 depends on current and operating frequency.

The power loss, determined by the necessary cooling, is to be calculated as follows:

$$P_{Tot} = W_1 \cdot f + P_2$$

f = operating frequency.

Determination of the necessary heat sink

The calculation is similar to that given under point 31.

Explanatory Notes and Design Data

40/41. Maximum direct currents I_{TAV}

Relationship with coolant temperature and coolant rate of flow. The maximum direct current of the thyristor depends on the cooling and is defined for operation below 1000 m above sea level, and a frequency range 40–60 Hz. The graph shows maximum direct currents of a thyristor with heat sink vs. the coolant temperature. The coolant flow rate is given as a parameter (graph 2.3).

42. Current overload factor characteristic

The graphs give the allowable period for current overload vs. the current overload factor $f(ov)$

$$f(ov) = \frac{I_{T(ov)}}{c \cdot I_{TAV}}$$

The current overload factor indicates by how much the preceding operation current may occasionally be exceeded (c = pre-loading factor, maximum direct currents I_{TAV} , see 2.3). This factor depends on the cooling conditions, the previous loading and the period of current overload. The overloading may be repeated only after an interval of at least 10 minutes.

The curves are valid for 180° sine-wave form and for 180° and 120° square-wave form current. Should the r.m.s. current value not rise due to smoothing circuit elements, then the characteristics are valid also for smaller current conduction angles.

45. Loading characteristics for sine wave-form pulse operation

The graph shows the r.m.s. value of the current carrying capability for an antiparallel circuit on intermittent sine-wave operation vs. the cooling and the number of sine periods. The cycle time is given as parameter. This is the time from initial loading to the end of the no-loading interval. The curves apply to 50 Hz mains operation.

60. Transient thermal resistance of the heat sink (see also p. 30)

The graphs show thermal resistances of heat sinks as functions of time, under different cooling conditions. Temperature variations at mains frequency will not be important due to the large heat capacity of the heat sink, hence only curves for constant current are plotted. For screw-on and flat-base thyristors, the thermal resistances have been considered. They are valid for the contact conditions as described in 6.2 and 6.4. In diagram 16 the resistances of the contact heat sink-case for disc thyristors have been considered. The sum of thermal

resistances of thyristor and heat sink give the total thermal resistance, which must be included in the temperature calculation for continuous loading (see also maximum current values p. 27)

61. Thermal resistance and case temperature of the heat sink vs. power loss

Using this curve, it is straightforward to calculate the maximum power loss which the heat sink can dissipate. The temperature rise is determined from the internal thermal resistance of the thyristor under consideration (product of power loss (diagram 13) and internal thermal resistance, $R_{th,JC} = \Delta T$) and then is added to the plotted case temperature curve. The intersection of this new curve with the maximum allowable temperature difference $\Delta \theta = \theta_T - \theta_U$ gives the largest power loss which can be dissipated.

The thermal resistance of the heat sink for natural air convection depends on the dissipated power.

The curves apply to the heat sink in a configuration, which is (thermally) least favourably placed. However DIN 41782 gives the thermal resistance of a heat sink which is most favourably placed. For heat sinks of screw-on and flat-base thyristors, the thermal resistance includes the thermal resistance of the contact heat sink-case. However for disc thyristors this resistance is not included. The transfer thermal resistances are valid for appropriate contact conditions (see 6.2, 6.3)

62. Thermal resistance and pressure drop of the heat sink vs. coolant rate of flow

For forced air convection and water cooling the thermal resistance depends essentially on the coolant rate of flow over the heat sink. From the graphs, the thermal resistance of the heat sink can be obtained as a function of the coolant rate of flow.

In the case of heat sinks for screw-on and flat-base thyristors, the thermal resistances of the contact heat sink-case have been considered. However, conditions of admissible tightening torque or contact pressure (see 6.2, 6.3 respectively) must be fulfilled. For the heat sinks of disc thyristors, no thermal resistances of the contact heat sink-case have been included, because these are already contained in the data of diagram 16 (see also maximum current values p. 27). The curves apply to the most unfavourable arrangement of several identical heat sinks. A single heat sink results in a more effective cooling.

The graphs show the pressure drop as a function of coolant flow rate. In the case of forced air convection they can be used to define cooling plates (for multi-stage construction, pressure drop per stage), for water cooling they can be used to define the pump.

Current overload protection

Current overload protection is provided to protect thyristors which have been triggered against excessively large currents. The protection is such that no damage results when a short circuit in pulse operation occurs, and the forward blocking ability (1.1) is lost because the $\int I^2 dt$ limit is temporarily attained. In an overload situation for continuous operation, the protection is determined from the maximum temperature at which forward blocking ability is retained.

Short-circuit protection for the half wave-period range

Extremely fast fuses are generally used as short-circuit protection. Their total $I^2 t$ value (melting and extinguishing $I^2 t$ value) must be smaller than the $I^2 t$ value of the thyristor under consideration.

The extinguishing $I^2 t$ depends strongly on the periodic voltage across the fuse. Furthermore the switching voltage of the fuse must be smaller than the maximum repetitive peak blocking voltage of the thyristors in the circuit.

The largest short-circuit fuses to be used for various terminal voltages are given in 7.1 of the Technical Data section. Because for most circuits (with the exception of the single path circuit, and possibly the anti-parallel circuit as well) two fuses lie in series in the short-circuit path (not so for parallel circuits), the maximum nominal fuse current for the single path circuit differs from that of other circuits.

When no current overload protection exists then, especially for large short-circuit voltages, the activation of the fuse by possible short-circuit current within a half-period should be considered. Should this not be the case, then the thyristor will be damaged. The choice of a smaller fuse is then necessary.

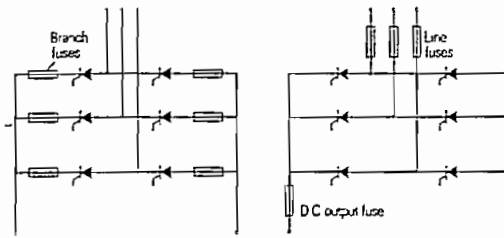
Current overload protection for times greater than a half wave-period

Appropriate protective devices against current overload are: fuses, current regulators, trigger-puls-suppression, switches with bimetallic relay or magnetic current-overload trigger.

Fuses

For constant-load-current-devices, smoothing chokes to reduce the variation of or to avoid the increase of the r.m.s. current value are included. They prevent large current peaks, and thereby the increase of the r.m.s. value by partial gating. It is therefore sufficient to choose the fuse according to the current-overload factor characteristic of complete gating (4.2).

For devices with constant load resistance under partial gating, the load current falls and hence the r.m.s. current in the fuse also. Thus, in this case as well, the fuse can be chosen according to the current-overload factor for complete gating.



The fuses are inserted either as branch fuses, or in the case of bridges, as line fuses. If the direct current circuit can supply energy and line fuses are used, then it is necessary to include extra fuses in the direct current circuit.

For thyristors or diodes in parallel, each unit should have its respective short-circuit fuse. When there are more than three parallel units it must be expected that defective thyristors (diodes) will be selectively switched out. If the terminal voltage is larger than the nominal voltage of the fuse, then for short-circuit protection the fuses can be connected in series. It is then necessary to ensure current-overload protection by means of other elements, because due to a spread in triggering, only one fuse switches out.

Current regulation

In systems with constant current regulation it is possible to exceed the continuous load current for short times only. This acts simultaneously as current-overload protection. However, short-circuits can in general not be controlled by a regulator.

Trigger-puls-suppression

The trigger-puls-suppression is an additional means of gating. It suppresses the thyristor gate pulse if the load current is exceeded. To prevent triggering by single, short current variations, the trigger-puls-suppression is constructed so that pulses up to 3 ms will not cause triggering. The trigger-puls-suppressions function perfectly only when the blocking capability of the thyristor is retained after overload. After operation where the maximum I^2t value or maximum surge on-state current is attained and the thyristor temporarily loses its blocking ability, the trigger-puls-suppression is useless.

Switch with bimetallic release

Bimetallic releases are appropriate as current-overload protection for minute time scales. The r.m.s. value of the load current determines release.

Magnetic current-overload release

Magnetic current overload releases are activated immediately the selected release current threshold is exceeded. For operation with self-switches, the switch-off time lies in the range 40—100 ms. The minimum release-current threshold for operation with self-switches is for some thyristors 2.5, for others roughly 10 times the threshold for the corresponding bimetallic relay. For lower thresholds the current-overload relays 3UG1, 3UG2 are recommended. These can be used to switch self-switches.

Rapid Switches

Rapid switches are convenient to switch out large direct currents. For example they are used in reversible engines.

Current limitation

Should a converter be too large then, among other things, the impedances of the power supply can limit the current sufficiently so that switching out is possible without extra protective elements.

Voltage-overload protection

Current variations in mains inductances can lead to overload voltages exceeding the maximum repetitive peak blocking voltage of the thyristor.

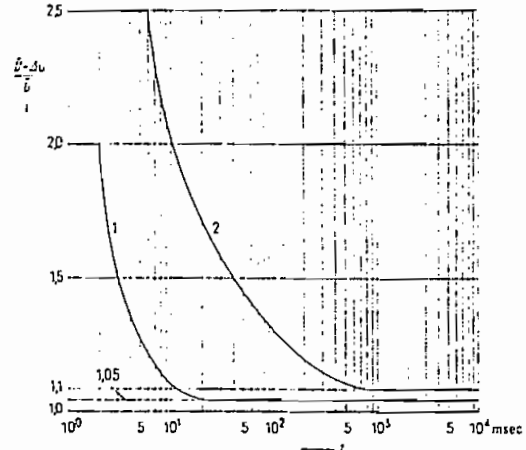
Repetitive voltage-overload peaks occur after reversal of the thyristor on-state current (TSE = hole-storage-effect). Occasional energetic voltage-overload peaks can occur for example: when a non-loaded transformer switches on and off, when inductive or capacitive elements switch, when protective elements switch out, when field variations in d.c. machines occur, when discharges or lightning in overhead-lines takes place, and so on.

Large rates of rise of voltage can occur when the converter is switched on, and during operation. Should these exceed the critical value (4.6) then an undesired and in admissible triggering of the thyristor could result. Thus there are several basic points concerning voltage behaviour, to be considered in the construction of the converter.

Voltage Safety of Circuit Elements

Line-commutated converter

In case the user has not made any special restrictions, then are voltage overloads i.e. departures from the nominal peak value U of the mains alternately voltage for short times, see graph, to be considered as normal (c.f. VDE D160).



The circuit elements must be such that they maintain their function in spite of voltage overloading in the parameter region below curve 1. For voltage overload in the region between curves 1 and 2, operation can be interrupted by protective elements but the circuit elements should not be damaged. From operational experience, the voltage safety-factor for thyristors in line-commutated converters (this factor is defined as the ratio of maximum repetitive peak blocking voltage [1.1] to the peak value of the terminal voltage) should lie between 2 and 2.5. As far as it is economically feasible the upper value should be aimed for. Should an extra voltage-overload protection be present,

Explanatory Notes and Design Data

the voltage safety-factor can be chosen somewhat smaller. This reduction corresponds to the specific arrangement of the protective circuit.

Forced-commutated converter

Forced-commutated converters are powered for example by batteries or rectifier output. In these cases the voltage-overload level, for appropriate circuit construction, is much less than on mains operation. Depending on the application, voltage safety-factors of 1.5—2.5 are usual.

Limiting of the Rate of Rise of Load Current di/dt

Converters with thyristors should always be connected to mains via transformers or chokes.

The stray inductance of the converter transformer limits the rate of current rise, and together with a protective capacitor limits the voltage rate of rise as well as switch voltage-overload from mains.

When a 3-phase choke is used, the choke power is calculated as follows:

$$P_{DR} = \frac{U_C}{100} P_{LU} \cdot f_{(ov)}$$

P_{DR} = choke power in kVA

P_{LU} = maximum terminal power of the converter in kVA

For single phase chokes the phase power replaces the a.c. power

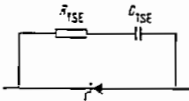
$f_{(ov)}$ = current-overload factor as ratio of the largest operational direct current to the maximum converter direct current

U_C = relative stray voltage of the choke in %

TSE Circuit

Voltage-overload peaks due to the hole-storage-effect (TSE) occur periodically where non-negligible inductances exist in the commutation circuit. This is the case because of the necessary limitation of the rate of rise of load current, except in single phase circuits with ohmic load.

To prevent these TSE voltages from exceeding the peak blocking voltage, some method of voltage limitation must be used. For normal mains operation ($U_C \approx 4-8\%$, $f = 40-60$ Hz, di/dt relatively small) this can be accomplished by the separate protection of each circuit element by RC elements. When the TSE protection has been correctly connected, such elements reduce the voltage to acceptable levels and decreases the voltage rate of rise. The resistance must be such that the capacitor discharge current, on triggering the thyristor, does not exceed the maximum value of the turn-on current (see 4.4).



For general purposes the RC elements described in 7 are adequate. Only for inductively-loaded single-path circuits must the protective resistance be matched to the load inductance. It is calculated as follows

$$R_{TSE} = 2 \sqrt{\frac{L_{TSF}}{C_{TSE}}}$$

For parallel and series connection of thyristors see information contained in the appropriate section (p. 37, 38).

The protective resistance which limits the discharge current of the TSE capacitors causes, during operations, extremely rapid voltage changes over the positively-blocked thyristors in the circuit. These voltages can become so large that in conjunction with positive voltage jumps (as, for example, those which arise on commutation) they can trigger the thyristor.

The initial rate of voltage rise is given as

$$\frac{dU}{dt} = \frac{U_{SPR} \cdot R_{TSE}}{L_S} = \left(\frac{di}{dt}\right)_{Load} \cdot R_{TSE}$$

U_{SPR} = voltage drop across thyristor

R_{TSE} = protective resistance of the TSE circuit

L_S = phase stray-inductance

In the different converter circuits, the voltage across the thyristor is determined not only by the stray inductances and the thyristor RC circuit, but, because coupled circuit paths exist, the damping resistance and protective capacitance must be considered in calculating the equivalent-stray inductance of single circuit.

Equivalent values for the most common circuits

	Single-phase half wave circuit	Single-phase full wave circuit	Single-phase Bridge circuit	Star circuit	Three-phase Bridge circuit
$L' =$	$L_S - L_G$	$2L_S$	L_S	$2L_S$	$2L_S$
$C' =$	C	C	$2C$	C	$\frac{5}{3}C$
$R' =$	R	R	$\frac{R}{2}$	R	$\frac{3}{5}R$

L_G = smoothing inductance in d.c. circuit

L_S = stray inductance of rectifier transformer, or mains choke

If the voltage rate of rise is larger than the critical, then another type of protection (e.g. bridge circuit) must be chosen (see parallel and series connection of thyristors).

TSE Circuit for thyristors in forced-commutated rectifiers

Because of the large variety of requirements on the thyristor in different applications, it is not possible to make general statements about the appropriate protections.

Thyristor applications with relatively small di/dt requirements

The protection circuit in this case can be chosen as for mains operation $C \approx 2.5 \text{ nF} \times \text{mean thyristor current (A)}$.

R is chosen so that the repetitive turn-on current as listed in 4.4 is not exceeded, i.e.

$$R' \sim \frac{3 U_{DRM}}{I_{T \text{ turn-on}}}$$

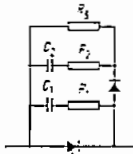
$$\text{and } R' = (1 \dots 2) \sqrt{\frac{L'}{C}}$$

The first equation for R' guarantees that the repetitive turn-on current is not exceeded. The second equation guarantees a damped voltage wave-form. The larger value of R' should be chosen and used to calculate R from the table p. 36. The transformation (L', C') \rightarrow (L, C) can also be carried out by using the table.

Applications with larger di/dt requirements

For thyristor applications where di/dt is large, the circuits described above are not appropriate.

The circuit shown here can be used to limit the voltage transients to appropriate levels.



C_1 and R_1 have their normal values
 C_1 is $1-2.5 \text{ nF} \cdot \text{mean thyristor current (A)}$
 R_1 as given above

C_2 and R_2 and the diode act as an extra circuit which plays a role only on commutation, because for on-state thyristor operation the diode prevents the capacitor discharging. Hence R_2 can be chosen smaller than R_1 .

the voltage across the thyristor is ... inductances and the thyristor RC ... paths exist, the damping resistance ... be considered in calculating the ... circuit.

Equivalent circuits

Single-phase Bridge circuit	Star circuit	Three-phase Bridge circuit
L_s	$2L_s$	$2L_s$
$2C$	C	$\frac{5}{3}C$
$\frac{R}{2}$	R	$\frac{3}{5}R$

... or ... chokes ... than the critical then another type ... must be chosen (see parallel and ...)

... is forced-commutated

... requirements on the thyristor in different ... to make general statements about

... relatively small di/dt requirements ... can be chosen as for mains operation ... (A).

... turn-on current as listed in 4.4 is not

... is that the repetitive turn-on current ... operation guarantees a damped voltage ... should be chosen and used to calculate ... transformation (L', C') — (L, C) can ... able.

... requirements ... di/dt is large, the circuits described ... ed to limit the voltage transients to

... have their normal values ... 5 nF — mean thyristor current (A) ... above

... extra circuit which plays a role only ... static thyristor operation the diode ... Hence R_2 can be chosen smaller

Usually the following relation is reasonable

$$R_2 \sim \sqrt{\frac{L'}{C_2}} \quad (\text{transformation to } R_2 \text{ from table p. 36}).$$

C_2 is chosen so that an oscillation above the acceptable voltage (if necessary, on consideration of the du/dt requirements of other thyristors in the circuit) is prevented

$$R_3 < \frac{1}{5fC_2}$$

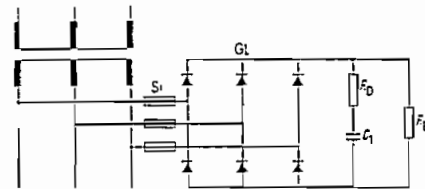
f = frequency (C_2 must be discharged before use).

Voltage overload protection against occasional large voltage peaks from mains

The TSE circuit is, in general, so designed that it damps the relatively small repetitive voltage overload peaks which are due solely to the reverse recovery properties of the thyristor. The occasional large voltage overload peaks which arise for the reasons mentioned above, thus require extra protective measures.

Voltage overload protection

consists of a bridge circuit with a subsequent series circuit of a capacitor and a resistance.



Main protection circuit diagram

The capacitor C_1 of the circuit should be such that it can absorb the magnetic energy of the rectifier transformer without the voltage exceeding the maximum peak blocking voltage of the thyristor. To damp transients a damping resistance is included. The protective circuit is connected to the thyristor via an auxiliary rectifier bridge consisting of diodes with fast response so that on triggering capacitor discharges will be avoided. Because the capacitor can discharge only in the d.c. circuit a discharge resistance is necessary.

Siemens selenium voltage overload limiter type PS6—PS401

Selenium voltage overload limiters are semiconductor elements for which the steep branch of the blocking characteristics is used, to prevent voltage overload. Depending on the necessary limiting voltage, they consist of one or more voltage overload limiter plates, which can be put together in the same way as selenium rectifier columns. The voltage overload limiter plate exhibits a "knee" in the blocking characteristic. Operation takes place on the characteristic below this knee, so that the nominal blocking current passing through the voltage overload limiter is relatively small. Should, as a result of a voltage overload pulse, this knee on the characteristics be exceeded, then the blocking current increases greatly and, because of finite internal resistance, limits the pulse peaks. The pulse energy is thereby dissipated as heat in the plate (see also Siemens selenium limiter 1571/72 handbook).

Thyristors in parallel and series circuits

Thyristors in parallel and series circuits lead to greater rectifier power performance. Similar to the case of diode rectifiers, the static current and voltage distributions must be considered. Also the dynamic distributions should be considered.

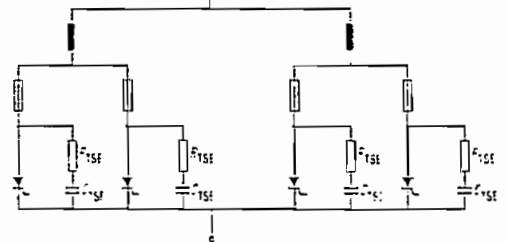
Parallel circuit

Parallel thyristors can, because of their spread on-state properties lead widely varying currents, therefore the calculated load current must be reduced. It is reasonable to construct the rectifier so that for a maximum current reduction of 20% no thyristor case temperature exceeds the limiting value. This can be achieved by means of series resistance (branch fuses), current chokes, and also through reduction of spread in thyristor on-state voltage or exchange of thyristors with those of another branch. Furthermore the equality of inductance in each thyristor branch should be approximated. For different inductance values the currents in the different thyristors increase at different rates to their final values. Thus the period-averaged thyristor currents can vary widely. In general a current reduction to 80% is appropriate if branch fuses are attached to each thyristor.

All parallel-connected thyristors must be gated simultaneously with a pulse having a rate of rise at least 1 A/ μ s, rising to 1 A for thyristors BS1 F... to BS1 R... for consumer thyristors to a value 3—5 times the maximum trigger current. Thus the gate-controlled delay time (see also 4.3 and diagram 20) as well as differences in the distribution of the load current are kept small. Nevertheless it is possible that all TSE capacitors of a number of parallel-connected thyristors will discharge through the thyristor which triggers first. This capacitor discharge is not dangerous as long as the turn-on currents (see 4.4) are not exceeded. Should discharge currents which are 100 large appear, chokes preventing capacitor discharge through thyristor can be applied (see diagram). The maximum surge current is calculated as follows:

$$I_{\text{surge}} \approx \frac{U_L \cdot 2 \cdot n}{R_{\text{TSE}}}$$

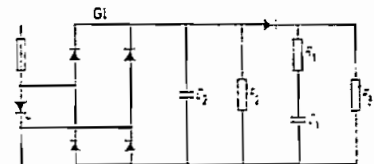
- I_{surge} = capacitor current
- U_L = lead voltage
- R_{TSE} = damping resistance of the TSE circuit
- n = number of parallel-connected thyristors



Parallel-connected thyristors with current distribution chokes

Instead of the normal TSE-circuit with extra chokes, a bridge circuit can be used. The rectifier bridge prevents capacitor discharge through the thyristors.

Example of a bridge circuit for thyristors with an applied voltage 250—500 V.



- $C_1 = 4 \mu\text{F}$
- $C_2 = 0.25 \mu\text{F}$
- $R_1 = 27 \Omega$
- $R_2 = 20 \Omega$
- $R_3 = 22 \Omega$
- $R_4 = 4 \Omega$
- GL = 4 diodes type SE-C 1580 A (for 280 V 500 V, use two diodes connected in series)

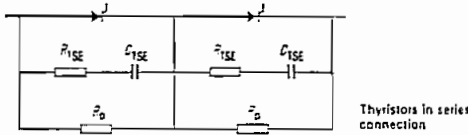
Because for this circuit the capacitors can be chosen larger than for the normal TSE circuit, it is appropriate to choose C_1 so that an extra voltage overload protection is no longer necessary. Further the rate of voltage rise can be limited by a small extra capacitor without damping resistance.

Explanatory Notes and Design Data

Series connection

In series connection without RC-protection voltages appear across each thyristor in the static blocked state, appropriate to the spread in off-state or reverse characteristics. On commutation the spread in the thyristor reverse recovery characteristics determines the voltage distribution. The voltages across the thyristors can differ greatly. Thus the voltage must be distributed compulsorily by a protection circuit.

When the recommended capacitors (with $\pm 10\%$ spread) are used, the theoretical blocking voltage ($n V_{DRM} = n V_{RRM}$) must be reduced to 80% of its given value, so that no thyristor has to support (statically) too large a blocking voltage. For capacitors with a $\pm 5\%$ spread, a reduction of blocking voltage to only 90% of its given value is necessary.



As in the case of parallel-connected thyristors, thyristors connected in series should be gated simultaneously by a trigger pulse which rises to 3—5 times the maximum trigger current at a rate exceeding 1 A/ μ s. When the first thyristor turns on, the blocking voltages must be accommodated by the remaining series-connected thyristors. The RC time constant of the TSE circuit prevents rapid voltage changes. The steep trigger pulse leads to a small spread in turn-on time so that there is no possibility of voltage overload.

After the main current flow, charge carriers disappear as a short reverse recovery current. Clearly, the charge carrier densities of the separate thyristors differ. If the charge carriers in the first thyristor are discharged this thyristor goes into the blocked state. The remaining series-connected thyristors reach the reverse blocking state because of the reverse current flow through the parallel circuit. So that the capacitors will not be overloaded they should be for series connection roughly twice as large as specified in the data sheet.

Compensation of the different charge distributions takes place via the parallel resistances R_D , during the blocking half wave. For thyristors under direct voltages (e.g. Chopper) the capacitors are no longer effective. The equalisation of blocking voltage occurs by means of the parallel resistances, if these conduct approximately 10 times the thyristor blocking current. The normal reverse current of the thyristors is much lower than given as limiting value in the data sheet. The following resistor is therefore sufficient

$$R_D \approx \frac{U_L}{n \cdot (I_A \text{ or } I_D)}$$

U_L = line voltage
 n = number of thyristors in series
 I_A or I_D see graph 2.5

If, with the recommended TSE circuit, the voltage rate of rise is too large or if the thyristors are connected in parallel, then an appropriate bridge circuit should be used.

Condition Testing

The circuits shown in the figures below allow only a rough check on the condition of the thyristor. In general exact data measurements are not possible in this way. The circuit plan is not appropriate for all thyristor types quoted in this handbook.

Conduction test

A punch-through of the silicon wafer (diagram 1) can be determined by a direct-voltage conduction meter (e.g. AV Ω -multizet). For thyristors with no faults, the conduction meter shows a large resistance

between the anode and cathode for both polarities. For the gating circuit a similar check is not always unambiguous. Very large resistances in both directions indicate internal interruptions.

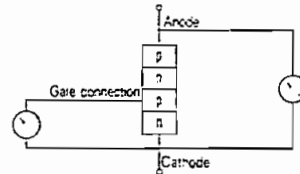


Fig. 1

Positive and negative Blocking voltage test

The positive and negative blocking voltage can be determined with a direct-current circuit as shown in figure 2. The direct voltage source must be able to deliver a variable voltage in the range 0—1800 V, for a current with maximum value 60 mA.

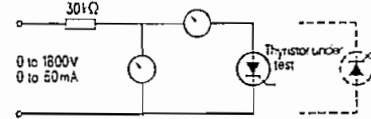


Fig. 2

First of all the thyristor is heated to its maximum operational temperature. Then the direct voltage is increased continuously to the maximum repetitive peak blocking voltage. The blocking current as defined in 2.6 (Technical data) must not be exceeded.

The blocking characteristic can be visually presented by means of a cathode ray oscilloscope. The thyristor under test is driven with 50 Hz alternating voltage.

The measurement is carried out with the circuit shown in figure 3. A variable alternating voltage with peak values in the range 0 to 1800 V is needed. For higher blocking thyristors the circuit is to be varied appropriately. The 10 k Ω protective resistance should, on the triggering of the thyristor, prevent damage to the device by exceeding the breakover voltage.

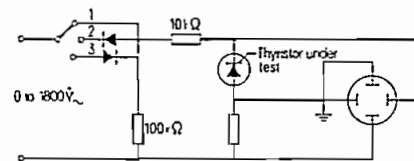


Fig. 3

On-state voltage test

The measurement of thyristor on-state properties with direct current requires a d.c. source with a small output voltage and large current. The measuring circuit is shown in fig. 4. For larger thyristors the circuit is to be varied appropriately. As soon as the test current is established, the thyristor is turned on by a short gating current. The load current is set exactly and the on-state voltage measured. Because the thyristor should be heated as little as possible, appropriate cooling should be provided and testing time kept short.

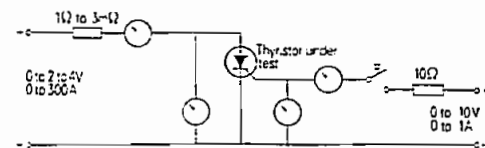


Fig. 4

The on-state characteristics can also be displayed by means of a cathode ray oscilloscope. The measurement circuit is shown in figure 5. A surge transformer is used which, depending on the thyristor

ANEXO D

00B9 =	PT0:	EDU	0B9H	;PRIORITY TIMER 0
00BB =	PX0:	EDU	0BBH	;PRIORITY EXTERNAL 0
00AF =	EA:	EDU	0AFH	;ENABLE ALL INTERRUPT
00AC =	ES:	EDU	0ACH	;ENABLE SERIAL INTERRUPT
00AB =	ET1:	EDU	0ABH	;ENABLE TIMER 1 INTERRUPT
00AA =	EX1:	EDU	0AAH	;ENABLE EXTERNAL 1 INTERR
00A9 =	ET0:	EDU	0A9H	;ENABLE TIMER 0 INTERRUPT
00A8 =	EX0:	EDU	0A8H	;ENABLE EXTERNAL 0 INTERR
009F =	SM0:	EDU	09FH	;SERIAL MODE 0
009E =	SM1:	EDU	09EH	;SERIAL MODE 1
009D =	SM2:	EDU	09DH	;SERIAL MODE 2
009C =	REN:	EDU	09CH	;SERIAL RECEPTION ENABLE
009B =	TB8:	EDU	09BH	;TRANSMITT BIT 8
009A =	RB8:	EDU	09AH	;RECEIVE BIT 8
0099 =	TI:	EDU	099H	;TRANSMIT INTERRUPT FLAG
0098 =	RI:	EDU	098H	;RECEIVE INTERRUPT FLAG
008F =	TF1:	EDU	08FH	;TIMER 1 OVERFLOW FLAG
008E =	TR1:	EDU	08EH	;TIMER 1 RUN CONTROL BIT
008D =	TF0:	EDU	08DH	;TIMER 0 OVERFLOW FLAG
008C =	TR0:	EDU	08CH	;TIMER 0 RUN CONTROL BIT
008B =	IE1:	EDU	08BH	;EXT INTERR. 1 EDGE FLAG
008A =	IT1:	EDU	08AH	;EXT INTERR. 1 TYPE FLAG
0089 =	IE0:	EDU	089H	;EXT INTERR. 0 EDGE FLAG
0088 =	IT0:	EDU	088H	;EXT INTERR. 0 TYPE FLAG
0080 =	P00:	EDU	080H	;PORTICO 0 / PIN 0
0081 =	P01:	EDU	081H	;PORTICO 0 / PIN 1
0082 =	P02:	EDU	082H	;PORTICO 0 / PIN 2
0083 =	P03:	EDU	083H	;PORTICO 0 / PIN 3
0084 =	P04:	EDU	084H	;PORTICO 0 / PIN 4
0085 =	P05:	EDU	085H	;PORTICO 0 / PIN 5
0086 =	P06:	EDU	086H	;PORTICO 0 / PIN 6
0087 =	P07:	EDU	087H	;PORTICO 0 / PIN 7
0090 =	P10:	EDU	090H	;PORTICO 1 / PIN 0
0091 =	P11:	EDU	091H	;PORTICO 1 / PIN 1
0092 =	P12:	EDU	092H	;PORTICO 1 / PIN 2
0093 =	P13:	EDU	093H	;PORTICO 1 / PIN 3
0094 =	P14:	EDU	094H	;PORTICO 1 / PIN 4
0095 =	P15:	EDU	095H	;PORTICO 1 / PIN 5
0096 =	P16:	EDU	096H	;PORTICO 1 / PIN 6
0097 =	P17:	EDU	097H	;PORTICO 1 / PIN 7
00A0 =	P20:	EDU	0A0H	;PORTICO 2 / PIN 0
00A1 =	P21:	EDU	0A1H	;PORTICO 2 / PIN 1
00A2 =	P22:	EDU	0A2H	;PORTICO 2 / PIN 2
00A3 =	P23:	EDU	0A3H	;PORTICO 2 / PIN 3
00A4 =	P24:	EDU	0A4H	;PORTICO 2 / PIN 4
00A5 =	P25:	EDU	0A5H	;PORTICO 2 / PIN 5
00A6 =	P26:	EDU	0A6H	;PORTICO 2 / PIN 6
00A7 =	P27:	EDU	0A7H	;PORTICO 2 / PIN 7
00B0 =	P30:	EDU	0B0H	;PORTICO 3 / PIN 0
00B1 =	P31:	EDU	0B1H	;PORTICO 3 / PIN 1


```

005C C2D3      CLR RSO
005E D9FA      DJNZ R1,DOS1
0060 D2D3      SETB RSO
0062 EF        MOV A,R7
0063 2411      ADD A,#11H
0065 FF        MOV R7,A
0066 FE        MOV R6,A
0067 C2D3      CLR RSO
0069 DBED      DJNZ R0,LAZ50
006B C2AF      INICIO1:CLR EA
006D 7580FF    MOV P0,#0FFH
0070 7590FF    MOV P1,#0FFH
0073 75B0FF    MOV P3,#0FFH
0076 D2D3      SETB RSO
0078 7F12      MOV R7,#012H
007A 7E34      MOV R6,#034H
007C C2D3      CLR RSO
007E 79FF      LL: MOV R1,#0FFH
0080 912C      DOS2:ACALL DISPLAY
0082 C2D3      CLR RSO
0084 D9FA      DJNZ R1,DOS2
0086 900A00    MOV DPTR,#0A00H
0089 EC        MOV A,R4
008A 93        MOVC A,EA+DPTR
008B D2D3      SETB RSO
008D FF        MOV R7,A
008E C2D3      CLR RSO
0090 EC        MOV A,R4
0091 900B00    MOV DPTR,#0B00H
0094 93        MOVC A,EA+DPTR
0095 D2D3      SETB RSO
0097 FE        MOV R6,A
0098 C2D3      CLR RSO
009A 78FF      MOV R0,#0FFH
009C 912C      IDE: ACALL DISPLAY
009E C2D3      CLR RSO
00A0 DBFA      DJNZ R0,IDE
00A2 B002      SJMP LAZ0_5

```

```

;DETECCION DEL TIPO DE FUENTE DE ALIMENTACION AL CONVERTOR
;ESTATICO DE POTENCIA AC-DC.

```

```

;*****DETECCION DE MONOFASICA*****

```

```

00A4 B0C5      INICIO11: SJMP INICIO1

00A6 A2B3      LAZ0_5:MOV C,P03
00A8 40FC      JC LAZ0_5
00AA E580      MOV A,P0
00AC 5438      ANL A,#38H
00AE 700D      JNZ TRIFASIC
00B0 74DF      MOV A,#0DFH
00B2 B580FD    LAZ0_F:CJNE A,P0,LAZ0_F
00B5 C2B4      CLR P34
00B7 C293      CLR P13

```



```

00B9 D202      SETB 002H
00BB 803B      SJMP FOLLOW

;*****DETECCION DE SINCRONIZACION TRIFASICA*****

00BD          TRIFASIC:
00BD C292      CLR P12
00BF C202      CLR 002H
00C1 74F7      MOV A,#0F7H
00C3 B580FD    WAIT_1:CJNE A,P0,WAIT_1
00C6 74FF      MOV A,#0FFH
00C8 B580FD    LAZ01:CJNE A,P3,LAZ01
00CB 74FB      MOV A,#0FBH
00CD B580FD    WAIT_2:CJNE A,P3,WAIT_2
00D0 E580      MOV A,P0
00D2 54F7      ANL A,#0F7H
00D4 FB        MOV R0,A
00D5 74FF      MOV A,#0FFH
00D7 B580FD    LAZ02:CJNE A,P3,LAZ02
00DA B8E704    CJNE R0,#0E7H,NOX_POS
00DD D204      SETB 004H
00DF B007      SJMP FOLLOW1
00E1          NOX_POS:
00E1 B8D7C0    CJNE R0,#0D7H,INICIO11
00E4 C293      CLR P13
00E6 C204      CLR 004H
00E8          FOLLOW1:
00E8 74FB      MOV A,#0FBH
00EA B580FD    WAIT_3:CJNE A,P3,WAIT_3
00ED E580      MOV A,P0
00EF 5B        ANL A,R0
00F0 B4C7B1    CJNE A,#0C7H,INICIO11
00F3 74FF      MOV A,#0FFH
00F5 B580FD    WAIT4:CJNE A,P3,WAIT4
00F8          FOLLOW:
00F8 7955      MOV R1,#55H
00FA 7FF9      MOV R7,#0F9H
00FC 75A0FF    MOV P2,#0FFH
00FF D203      SETB R0
0101 7C03      MOV R4,#3H
0103 D203      SETB 003H

;
;*****
; FIN DE RUTINA DE AUTOVERIFICACION
;*****
; ETAPA DE INICIALIZACION DE REGISTROS Y BITS DE CONTROL DE
; CONTROL DEL MICROCONTROLADOR.
;*****
0105 D2AC      SETB ES ; HABILITA INTERRUPCION SERIAL
0107 D2BC      SETB PS ; ASIGNA PRIORIDAD A LA INTERRUPCION SERIAL
0109 D2B9      SETB PTO ; ASIGNA PRIORIDAD A LA INTERRUPCION DEL TIMER 0
010B C298      CLR TB8 ; BIT DE PARADA "0"
010D D29E      SETB SM1 ; MODO DE TRANSMISION 1 "8 UART"
010F D29D      SETB SM2 ; ASEGURA TRANSMISION SERIAL CON UN ADECUADO BIT

```

```

; DE PARADA.
;*****

0111 758921 MOV TMOD,#21H ; INICIALIZACION DEL TIMER 1 EN EL MODO 2
; Y DEL TIMER 0 EN MODO 1 (16BITS)
0114 758DFE MOV TH1,#0FEH ; PARA GENERACION DEL BAUD RATE (9600 BAUDIOS)
0117 758BFE MOV TL1,#0FEH ; FUNCIONANDO EL MODO DE AUTO-CARGA
011A D2BE SETB TR1 ; PONE A CORRER EL TIMER 1

;*****

011C D2B9 SETB PX0 ; ASIGNA ALTA PRIORIDAD A LA INT.EXT.0
011E D2B8 SETB ITO ; ESPECIFICA DETECCION POR NIVEL DE INTO
0120 D2BA SETB IT1 ; ESPECIFICA DETECCION POR FLANCO DE INT1
0122 C2B9 CLR IE0 ; BORRA LA BANDERA DE LA INT.EXT.0
0124 C2BB CLR IE1 ; BORRA BANDERA DE LA INTERRUPCION EXTERNA 1
0126 C2BD CLR TFO ; BORRA LA BANDERA DEL TIMER 0
0128 C2BC CLR TRO ; DETIENE LA OPERACION DEL TIMER 0
012A D2AB SETB EX0 ; HABILITA INTERRUPCION EXTERNA 0
012C D2AA SETB EX1 ; HABILITA INTERRUPCION EXTERNA 1
012E D2AF SETB EA ; HABILITA TODAS LAS INTERRUPCIONES
0130 8003 SJMP PRINC

;*****
;*****PROGRAMA PRINCIPAL*****
;*****
;
;MONITOREO DE FALLAS DE FALTA DE FASE (TRIFASICO Y MONOFASICO),
;SOBREVOLTAJE, SOBRECORRIENTE Y SEÑALIZACION EN DISPLAYS.
;
;
0135 ORG 0135H

0135 PRINC:
0135 C2D4 CLR R51
0137 C2D3 CLR R50
0139 300914 JNB 009H,DKEY1
013C 78FF MOV RO,#0FFH
013E 7599F1 MOV SBUF,#0F1H
0141 D2D3 SETB R50
0143 7F33 MOV R7,#33H
0145 7E33 MOV R6,#33H
0147 FALLA3:
0147 912C ACALL DISPLAY
0149 C2D3 CLR R50
014B D8FA DJNZ RO,FALLA3
; MOV SBUF,#0F1H ;*****FALLA TRIFASICA*****
014D 020135 LJMP PRINC

0150 OKEY1:
0150 300A14 JNB 00AH,DKEY2
0153 7599F2 MOV SBUF,#0F2H
0156 78FF MOV RO,#0FFH
0158 D2D3 SETB R50

```

```

015A 7F11      MOV R7,#11H
015C 7E11      MOV R6,#11H
015E          FALLA1:
015E 912C      ACALL DISPLAY
0160 C2D3      CLR RSO
0162 DBFA      DJNZ R0,FALLA1
; MOV SBUF,#0F2H ;*****FALLA MONOFASICA*****
0164 020150    LJMPC OKEY1

0167          OKEY2:
0167 301014     JNB 10H,OKEY3
016A 7599F5     MOV SBUF,#0F5H ;*****FALLA DE SOBRE CORRIENTE*****
016D 78FF      MOV R0,#0FFH
016F D2D3      SETB RSO
0171 7FB8      MOV R7,#88H
0173 7E88      MOV R6,#88H
0175 912C      CORRIEN:ACALL DISPLAY
0177 C2D3      CLR RSO
0179 DBFA      DJNZ R0,CORRIEN
017B 020167    LJMPC OKEY2

017E 301114     JNB 011H,OKEY4
0181 7599F6     MOV SBUF,#0F6H ;*****FALLA DE SOBRE VOLTAJE*****
0184 78FF      MOV R0,#0FFH
0186 D2D3      SETB RSO
0188 7F99      MOV R7,#99H
018A 7E99      MOV R6,#99H
018C 912C      VOLTAJE:ACALL DISPLAY
018E C2D3      CLR RSO
0190 DBFA      DJNZ R0,VOLTAJE
0192 02017E    LJMPC OKEY3

;
;NO HAY FALLA ALGUNA, SE ACTUALIZA DATOS DE RETARDO
;SE VERIFICA IDENTIFICACION DEL EQUIPO.
;SE DIRECCIONA CANALES DE SOBREVOLTAJE Y SOBRECORRIENTE PRA
;SENGARLAS Y COMPARAR CON LOS MAXIMOS.

0195 916D      OKEY4: ACALL BUSQTA
0197 C2D3      CLR RSO
0199 E590      MOV A,P1
019B 5403      ANL A,#03H
019D 6C       XRL A,R4
019E 70F5      JNZ OKEY4
01A0 75A0FF     MOV P2,#0FFH
01A3 E5B0      MOV A,P3
01A5 53B01F    ANL P3,#1FH
01A8 54E0      ANL A,#0E0H
01AA F5F0      MOV B,A
01AC 53B01F    ANL P3,#1FH
01AF C2B7      CLR P07
01B1 7864      MOV R0,#64H
01B3          READ_COR:
01B3 E5A0      MOV A,P2
01B5 DBFC      DJNZ R0,READ_COR

```

```

01B7 C2D7      CLR CY
01B9 D2D3      SETB RSO
01BB 9D        SUBB A,R5
01BC 4009      JC APRES
01BE C2AF      CLR EA
01C0 D210      SETB 010H
01C2 438007    ORL P0,#07H
01C5 D286      SETB P06
                ;SJMP INICIO

01C7 D2B5      APRES:SETB P35
01C9 7864      MOV RO,#64H
01CB          READ_VOL:
01CB E5A0      MOV A,P2
01CD D8FC      DJNZ RO,READ_VOL
01CF C2D7      CLR CY
01D1 D2D4      SETB RS1
01D3 D2D3      SETB RSO
01D5 9D        SUBB A,R5
01D6 4009      JC BIAN
01D8 C2AF      CLR EA
01DA D211      SETB 011H
01DC 438007    ORL P0,#07H
01DF D286      SETB P06
                ;
                ;SE HABILITA NUEVAMENTE A DISPLAY Y SE REESTABLECE EL CANAL QUE
                ;HA SIDO ELEGIDO PARA EL SISTEMA DE ADQUISICION DE DATOS.
                ;SE CONVIERTEN LOS DATOS DE HEXADECIMAL A "BCD" PARA MOSTRARLOS
                ;EN DISPLAY. MONITOREA LAS BANDERAS DE COMUNICACION SERIAL Y DE
                ;TECLADO.
                ;
01E1 C2D7      BIAN:CLR CY
01E3 D2B7      SETB P07
01E5 E5F0      MOV A,B
01E7 53B01F    ANL P3,#01FH
01EA 42B0      ORL P3,A
01EC C2D3      CLR RSO
01EE C2D4      CLR RS1
01F0 200F12    JB 00FH,TECLE
01F3 EB        MOV A,R3
01F4 900A00    MOV DPTR,#0A00H
01F7 73        MOV A,#A+DPTR
01F8 D2D3      SETB RSO
01FA FF        MOV R7,A
01FB C2D3      CLR RSO
01FD EB        MOV A,R3
01FE 900B00    MOV DPTR,#0B00H
0201 73        MOV A,#A+DPTR
0202 D2D3      SETB RSO
0204 FE        MOV R6,A
0205 D2D3      TECLE:SETB RSO
0207 C2D4      CLR RS1
0209 D2AA      SETB EX1
020B 912C      ACALL DISPLAY
020D 916D      ACALL BUSSTA

```

```

020F D29C      SETB REN
0211 200006    JB 000H,SER
0214 200117    JB 001H,TEC
0217 020135    LJMPC PRINC
;
;SE ATIENDE A UN DATO INGRESADO POR EL PORTICO SERIAL
;SE DETERMINA QUE TIPO DE INFORMACION INGRESA (DATO DE ANGULO DE
;DISPARO O COMANDO).
;
021A          SER:
021A C200      CLR 000H
021C B1D0      ACALL BUSQUE
021E 5007      JNC MAY18
0220 C2D7      CLR CY
0222 ABF0      MOV R3,B
0224 020135    LJMPC PRINC
0227 C2D3      MAY18:CLR R50
0229 C2D4      CLR R51
022B 0202F3    LJMPC MAY180
;
;SE ATIENDE A UN DATO INGRESADO POR TECLADO IGUAL QUE EL SERIAL.
;SI ES DATO DE ALFA, SE ESPERAN TRES COMO MAXIMO Y SE LOS UNE PARA
;FORMAR EL VALOR DDE ANGULO DE DISPARO.
;
022E C2D3      TEC: CLR R50
0230 C2D4      CLR R51
0232 C201      CLR 001H
0234 ED        MOV A,R5
0235 54F0      ANL A,#0FH
0237 C4        SHAP A
0238 FD        MOV R5,A
0239 D2D4      SETB R51
023B 300F52    JNB 00FH,COUNT2
023E B40A05    CJNE A,#0AH,COUNT11
0241 C20F      CLR 00FH
0243 0202AB    LJMPC DATO
0246          COUNT11:
0246 08        INC R0
0247 B8010B    CJNE R0,#1H,DOS
024A FE        MOV R6,A
024B C2D4      CLR R51
024D D2D3      SETB R50
024F FE        MOV R6,A
0250 7FA0      MOV R7,#0A0H
0252 0202FD    LJMPC PRINC3
0255 B90211    DOS: CJNE R0,#2,TRES
0258 FF        MOV R7,A
0259 F5F0      MOV B,A
025B EE        MOV A,R6
025C C2D4      CLR R51
025E D2D3      SETB R50
0260 C4        SHAP A
0261 25F0      ADD A,B
0263 FE        MOV R6,A
0264 7FA0      MOV R7,#0A0H

```

```

0266 0202FD      LJMPC PRINC3
0269 B8031F     TRES:CJNE RO,#3H,OVER
026C D2D3      SETB R50
026E FF        MOV R7,A
026F F5F0      MOV B,A
0271 C2D3      CLR R50
0273 EF        MOV A,R7
0274 C2D4      CLR R51
0276 D2D3      SETB R50
0278 C4        SWAP A
0279 25F0      ADD A,B
027B FE        MOV R6,A
027C D2D4      SETB R51
027E C2D3      CLR R50
0280 EE        MOV A,R6
0281 D2D3      SETB R50
0283 C2D4      CLR R51
0285 24A0      ADD A,#0A0H
0287 FF        MOV R7,A
0288 0202FD     LJMPC PRINC3
028B C20F     OVER: CLR 00FH
028D 0202FD     LJMPC PRINC3
0290 C2D4     COUNT2:CLR R51
0292 B40A60    CJNE A,#0AH,COMANDO
0295 D2D3     SETB R50
0297 C4       SWAP A
0298 FF       MOV R7,A
0299 7E00     MOV R6,#00H
029B 912C     ACALL DISPLAY
029D D2D4     SETB R51
029F C2D3     CLR R50
02A1 D20F     SETB 00FH
02A3 7800     MOV R0,#0H
02A5 0202FD     LJMPC PRINC3

02A9 B80108    DATO:CJNE RO,#1H,TWO
02AB EE       MOV A,R6
02AC C2D4     CLR R51
02AE C2D3     CLR R50
02B0 FB       MOV R3,A
02B1 B04A     SJMPC PRINC3
02B3 B8020D    TWO: CJNE RO,#2H,TRRE1
02B6 E4       CLR A
02B7 240A     TRRE1:ADD A,#0AH
02B9 DEFC     DJNZ R6,TRRE1
02BB 2F       TRRE2:ADD A,R7
02BC C2D4     CLR R51
02BE C2D3     CLR R50
02C0 FB       MOV R3,A
02C1 B03A     SJMPC PRINC3
02C3 B80307    TRRE: CJNE RO,#3H,OVER1
02C6 EE       MOV A,R6
02C7 C2D7     CLR CY
02C9 9403     SUBB A,#3H
02CB 4005     JC BIEN

```

```

02CD C20F   OVER1:CLR 00FH
02CF 0202FD   LJMPC PRINC3
02D2 EE      BIEN: MOV A,R6
02D3 E4      CLR A
02D4 2464   BIEN1:ADD A,#64H
02D6 DEFC   DJNZ R6,BIEN1
02D8 240A   BIEN2:ADD A,#0AH
02DA DFFC   DJNZ R7,BIEN2
02DC D2D3   SETB RS0
02DE 2F     ADD A,R7
02DF C2D3   CLR RS0
02E1 C2D4   CLR RS1
02E3 FB     MOV R3,A
02E4 94FF   SUBB A,#0FFH
02E6 7009   JNZ PUL_6
02E8 7BF0   MOV R3,#0F0H
02EA D212   SETB 012H
02EC D286   SETB P06
02EE 7599FA   MOV SBUF,#0FAH

02F1        PUL_6:
02F1 800A   SJMPC PRINC3

02F3        MAY180:
02F3 EE     MOV A,R6
02F4 FD     MOV R5,A
02F5        COMANDO:
02F5 B1E1   ACALL BUSBTC
;
;SE MONITOREA LA BANDERA DE INICIO DE RUTINA DE GRAFICACION
;
02F7 300E03   JNB 00EH,PRINC3
02FA 020700   LJMPC GRAF
;
;SE ELIMINAN POSIBLES VALORES DE ALFA INGRESADOS QUE SOBREPASEN
;LOS RANGOS MAXIMOS (180 Y 240)
;

02FD        PRINC3:
02FD C2D7   CLR CY
02FF C2D3   CLR RS0
0301 C2D4   CLR RS1
0303 EB     MOV A,R3
0304 20120B   JB 012H,PUL_3
0307 94B4   SUBB A,#0B4H
0309 400A   JC PRINC1
030B 7BB4   MOV R3,#0B4H
030D 8006   SJMPC SIG_3P
030F        PUL_3:
030F 94F0   SUBB A,#0F0H
0311 4002   JC PRINC1
0313 7BF0   MOV R3,#0F0H
0315        SIG_3P:
0315        PRINC1:

```

```

0315 C2D7      CLR CY
0317 ED        MOV A,R5
0318 9406      SUBB A,#6H
031A 5006      JNC PRINC4
;
;ACTUALIZA LA INFORMACION DEL ANGULO DE DISPARO AL COMPUTADOR.
;
031C          PRINC6:
031C EB        MOV A,R3
031D F599      MOV SBUF,A
031F          PRINC5:
031F 020135    LJM PRINC
0322          PRINC4:
0322 ED        MOV A,R5
0323 B407F9    CJNE A,#7H,PRINC5
0326 B0F4      SJMP PRINC6

;!!!!!!!!!!!!!!!!!!!!FIN DE PROGRAMA PRINCIPAL!!!!!!!!!!!!!!!!!!!!

;!!!!!!!!!!!!SUBROUTINA DE ATENCION A LA INTERRUPCION SERIAL!!!!!!!!!!!!

;
;DETERMINA SI SE TRATA DE TRANSMISION O RECEPCION. VERIFICA
;CORRECTA IDENTIFICACION. INGRESA VALORES DE SOBREVOLTAJE Y
;SOBRECORRIENTE. BORRA BANDERA DE RUTINA DE GRAFICOS PARA TERMINAR
;CON ESTA RUTINA.
;
;
0328          SERIAL:
0328 C0E0      PUSH ACC
032A C0D0      PUSH PSW
; CLR EA
032C 109948    JBC TI,TRANS
032F C298      CLR RI
0331 C2D3      CLR R50
0333 C2D4      CLR R51
0335 C2D7      CLR CY
0337 C2D6      CLR AC
0339 E599      MOV A,SBUF
033B 9420      SUBB A,#20H
033D 200512    JB 005H,DATAV
0340 300604    JNB 006H,IDENTIF
0343 C206      CLR 006H
0345 B030      SJMP TRANS
0347          IDENTIF:
0347 6C        XRL A,R4
034B 6004      JZ IDENTIFV
034A D206      SETB 006H
034C B029      SJMP TRANS
034E          IDENTIFV:
034E D205      SETB 005H
0350 B025      SJMP TRANS
0352          DATAV:

```



```

0352 301309      JNB 13H,NOVOL1
0355 D2D3        SETB R50
0357 FD          MOV R5,A
0358 C205        CLR 005H
035A C213        CLR 13H
035C 8019        SJMP TRANS
035E 30140B      NOVOL1:JNB 14H,NOCCORR
0361 D2D3        SETB R50
0363 D2D4        SETB R51
0365 FD          MOV R5,A
0366 C205        CLR 005H
0368 C214        CLR 14H
036A 800B        SJMP TRANS
036C            NOCCORR:
036C FE          MOV R6,A
036D 64C3        XRL A,#0C3H
036F 7002        JNZ NOGRAF
0371 C20E        CLR 00EH
0373 C205        NOGRAF:CLR 005H
0375 D200        SETB 000H
0377 D2AF        TRANS:SETB EA
0379 C2D4        CLR R51
037B C2D3        CLR R50
037D D0D0        POP PSH
037F D0E0        POP ACC
0381 32          RETI
    
```

;*****FIN DE SUBROUTINA DE INTERRUPCION SERIAL*****

;;*****SUBROUTINA DE SINCRONIZACION*****

```

;
;DETECTA EL CORRECTO INGRESO DE LAS SEÑALES DE SINCRONIZACION PARA
;AMBOS TIPOS DE FUENTES.
;DETERMINA EL VALOR A SACAR A LAS COMPUERTAS DE LOS TIRISTORES
;SEGUN EL TIPO DE FUENTE, LA SECUENCIA DE FASE(CASO TRIFASICO),
;EL ANGULO DE DISPARO.
;CARGA EL TIMER Y LO PONE A FUNCIONAR, HABILITA SU BANDERA DE
;INTERRUPCION Y REGRESA AL PROGRAMA PRINCIPAL.
;
    
```

```

0382            SINCR0:
0382 C0D0        PUSH PSH
0384 C0E0        PUSH ACC
0386 C0B2        PUSH DPL
0388 C0B3        PUSH DPH
038A C0F0        PUSH B
038C C2A8        CLR EX0
038E C2BC        CLR TRO      ;*****
0390 C2D4        CLR R51
0392 C2D3        CLR R50
;
; CLR EA
0394 C2B0        CLR TFO      ;*****
    
```

```

0396 300209      JNB 002H,TRIF_1
0399 E580        MOV A,PO
039B 5438        ANL A,#38H
039D 7012        JNZ FAIL_1
039F 0203FE      LJMPLoad_TIM
03A2            TRIF_1:
03A2 E580        MOV A,PO
03A4 54FB        ANL A,#0FBH
03A6 F5F0        MOV B,A
03A8 5430        ANL A,#30H
03AA C4          SWAP A
03AB FA          MOV R2,A
03AC BA0305      CJNE R2,#3H,AGAIN
03AF B00B        SJMP CONT
03B1 020410      FAIL_1:LJMP FAIL_2
03B4            AGAIN:
03B4 BA0202      CJNE R2,#2H,AGAIN1
03B7 B003        SJMP CONT
03B9            AGAIN1:
03B9 BA0113      CJNE R2,#1H,FAIL_E
03BC            CONT:
03BC D2D3        SETB RSO
03BE 6C          XRL A,R4
03BF 704F        JNZ FAIL_2
03C1 30040D      JNB 004H,NEGSEC
03C4 1C          DEC R4
03C5 B00002      CJNE R4,#0H,FASE
03C8 7D03        MOV R4,#3H
03CA            FASE:
03CA 900CD0      MOV DPTR,#0CDDH
03CD B00B        SJMP ALFSINC
03CF B043        FAIL_E:SJMP FAIL
03D1            NEGSEC:

03D1 0C          INC R4
03D2 B00402      CJNE R4,#04H,FASE1
03D5 7D01        MOV R4,#1H
03D7            FASE1:
03D7 900CD5      MOV DPTR,#0CC5H
03DA            ALFSINC:
03DA C2D3        CLR RSO
03DC EA          MOV A,R2
03DD 93          MOVC A,#4+DPTR
03DE 300305      JNB 003H,MEN120
03E1 438007      ORL P0,#07H
03E4 B017        SJMP B00H
03E6            MEN120:
03E6 F4          CPL A
03E7 5407        ANL A,#07H
03E9 25F0        ADD A,B
03EB F580        MOV P0,A
03ED 438038      ORL P0,#38H
03F0 300405      JNB 004H,NEG_AN
03F3 900C00      MOV DPTR,#0C00H
03F6 B003        SJMP NEG_SAL

```

```

03FB 900D5      NEG_AN:MOV DPTR,#0CD5H
03FB EA        NEG_SAL:MOV A,R2
03FC 93        MOV A,EA+DPTR
03FD          GOOD:
03FD FA        MOV R2,A
03FE          LOAD_TIM:
03FE 898A      MOV TLO,R1
0400 BFBC      MOV TH0,R7
0402 C28D      CLR TFO;!!!!!!!!!!!!!!
0404 D28C      SETB TRO
0406 D2AF      SETB EA
0408 308610    JNB P06,CLOSE
040B 438007    OPEN:DRL PO,#07H
040E B00B      SJMP CLOSE
0410          FAIL_2:
0410 D20A      SETB 00AH
0412 8002      SJMP CLOSE1
0414          FAIL:
0414 D209      SETB 009H
0416          CLOSE1:
0416 438007    DRL PO,#07H
0419 D286      SETB P06
041B          CLOSE:
;   CLR TFO
041B C289      CLR IE0
041D D2A9      SETB ETO
041F D2AB      SETB-EX0-
0421 D0F0      POP B
0423 D0B3      POP DPH
0425 D0B2      POP DPL
0427 D0E0      POP ACC
0429 D0D0      POP PSW
042B 32        RETI

;!!!!!!!!!!!!!!!!!!!!FIN DE RUTINA DE SINCRONISMO!!!!!!!!!!!!!!!!!!!!

;!!!!!!!!!!!!!!!!!!!!SUBROUTINA  D I S P L A Y !!!!!!!!!!!!!!!!!!!!!
;
;MUESTRA EN DISPLAY TODO DATO QUE ESTE EN LOS REGISTROS R6 Y R7
;DEL BAYCO 1 . NO MUESTRA LOS CEROS A LA IZQUIERDA.
;
042C          DISPLAY:
042C C0D0      PUSH PSW
042E C2D5      CLR FO
0430 74FF      MOV A,#0FFH
0432 F5A0      MOV P2,A
0434 D2D3      SETB RS0
0436 7B01      MOV R3,#01H
0438 EF        MOV A,R7
0439 C4        SWAP A
043A 914B      ACALL DISP1
043C EF        MOV A,R7
043D 914B      ACALL DISP1
043F EE        MOV A,R6
0440 C4        SWAP A

```



```

048D BB7806      CJNE R3,#78H,NOTED
0490 D203        SETB 0003H
0492 7401        MOV  A,#1H
0494 B01B        SJMP VALOR
0496 BB7704      NOTED:CJNE R3,#77H,NOT119
0499 7475        MOV  A,#75H
049B B00E        SJMP NANCY
049D BB7604      NOT119:CJNE R3,#76H,NOT11B
04A0 7475        MOV  A,#75H
04A2 B007        SJMP NANCY
04A4 C2D7        NOT11B:CLR CY
04A6 947B        SUBB A,#7BH
04AB 5005        JNC  MAYOR
04AA EB          MOV  A,R3
04AB C203        NANCY:CLR 003H
04AD B002        SJMP VALOR
04AF            MAYOR:
04AF D203        SETB 0003H
04B1            VALOR:
04B1 F5F0        MOV  B,A
04B3 900C00      MOV  DPTR,#0C00H
04B6 93          MOVC A,EA +DPTR
04B7 F9          MOV  R1,A
04B8 E5F0        MOV  A,B
04BA 900D00      MOV  DPTR,#0D00H
04BD 93          MOVC A,EA+DPTR
04BE FF          MOV  R7,A
04BF            VAL1:
04BF D0D0        POP  PSW
04C1 D0E0        POP  ACC
04C3 22          RET
;*****FIN DE RUTINA DE BÚSQUEDA DE DATOS*****

```

```

;*****RUTINA DE ATENCION A TECLADO *****
;
;ELIMINA EL REBOTE POR MEDIO DE RETARDOS CON LLAMADAS A DISPLAY
;EL DATO INGRESA CUANDO SE HA DEJADO DE PRESIONAR LA TECLA.
;

```

```

04D0            ORG 04D0H

04D0            TECLADO:
04D0 C0D0        PUSH PSW
04D2 C0E0        PUSH ACC
                ;CLR EA
04D4 C2AA        CLR EX1.
04D6 C2D3        CLR R50
04D8 C2D4        CLR R51
04DA C201        CLR 001H
04DC 7B07        MOV  R0,#07H
04DE 7DFF        MOV  R5,#0FFH
04E0            LECTURA:
04E0 E590        MOV  A,P1
04E2 5D          ANL A,R5

```

```

04E3 FD      MOV R5,A
04E4 D8FA    DJNZ R0,LECTURA
04E6 440F    ORL A,#0FH
04E8 FD      MOV R5,A
04E9 64FF    XRL A,#0FFH
04EB 603C    JZ RETORNO1
04ED 7B31    DELAY:MOV R0,#31H ;20H!!!!!!!!!!!!!!!!!!!!!!!!!!!!
04EF 912C    RETAR:ACALL DISPLAY
04F1 C2D3    CLR RSO
04F3 D8FA    DJNZ R0,RETAR
04F5 E590    REBOTE:MOV A,P1
04F7 440F    ORL A,#0FH
04F9 6D      XRL A,R5
04FA 6004    JZ SOLTAR
04FC 7DFF    MOV R5,#0FFH
04FE 8029    SJMP RETORNO1
0500 912C    SOLTAR:ACALL DISPLAY
0502 E590    MOV A,P1
0504 440F    ORL A,#0FH
0506 64FF    XRL A,#0FFH
0508 6004    JZ RETIR
050A 912C    ACALL DISPLAY
050C 80F2    SJMP SOLTAR
050E C2D3    RETIR:CLR RSO
0510 7B21    MOV R0,#21H ;20H!!!!!!!!!!!!!!!!!!!!!!!!!!!!
0512 912C    RETA:ACALL DISPLAY
0514 C2D3    CLR RSO
0516 D8FA    DJNZ R0,RETA
0518 E590    REBOTAR:MOV A,P1
051A 440F    ORL A,#0FH
051C 64FF    XRL A,#0FFH
051E 70E0    JNZ SOLTAR
0520         RETORNO:
0520 C2D7    CLR CY
0522 ED      MOV A,R5
0523 94BF    SUBB A,#0BFH
0525 5002    JNC RETORNO1
0527 D201    SETB 001H
0529         RETORNO1:
0529 C2BB    CLR IE1
052B C2D3    CLR RSO
052D D0E0    POP ACC
052F D0D0    POP PSW
0531 32      RET I

```

;!!!!!!!!!!!!FIN DE RUTINA DE ATENCION A TECLADO!!!!!!!!!!!!!!!!!!!!

;!!!!!!!!!!!!RUTINA DE ATENCION A LA INTERRUPCION DEL TIMER 0!!!!!!!!!!!!

```

;
;SACA A LAS COMPUERTAS DE LOS TIRISTORES EL BYTE DE CONTROL Y
;REGRESA LA PROGRAMA PRINCIPAL.
;PARA EL CASO MONOFASICO, ACTIVA AMBOS TIRISTORES EN CADA CICLO
;DE RED.
;

```

```

0532          ALFA:
0532 C0AB          PUSH IEC
0534 75A981        MOV IEC,#81H
0537 B15D          ACALL LABEL
0539 C0D0          PUSH PSW
053B C0E0          PUSH ACC
053D C28C          CLR TR0
053F C28D          CLR TFO
0541 C2A9          CLR ETO
0543 300206        JNB 002H,TRIFI_2
0546 C28C          CLR TR0
0548 B15E          ACALL MOND
054A B00A          SJMP APAGADO
054C          TRIFI_2:
054C C2D3          CLR RSO
054E C2D4          CLR RSI
0550 EA           MOV A,R2
0551 20B602        JB P06,APAGADO
0554 6280          XRL P0,A
0556          APAGADO:
0556 D0E0          POP ACC
0558 D0D0          POP PSW
055A D0A8          POP IEC
055C 22           RET
055D 32          LABEL:RET I
    
```

Handwritten notes:
 (00A): 81
 RET I

Handwritten notes:
 002H, TRIFI_2
 002H, TRIFI_2
 002H, TRIFI_2

;*****FIN DE RUTINA DE LA INTERRUPCION DEL TIMER 0*****

;*****RUTINA DE DISPARO MONOFASICO*****

```

055E          MOND:
055E C0D0          PUSH PSW
0560 C0E0          PUSH ACC
0562 C2D4          CLR RSI
0564 C2D3          CLR RSO
0566 C28D          CLR TFO
0568 200724        JB 007H,MED_C
0568 200812        JB 008H,SUPLEM
056E 20B603        JB P06,NO_FIRE
0571 638003        XRL P0,#3H
0574          NO_FIRE:
0574 D208          SETB 008H
0576 D2D4          SETB RSI
0578 898A          MOV TLO,R1
057A B4BC          MOV TH0,R2
057C D28C          SETB TR0
057E B025          SJMP RETRO
0580          SUPLEM:
0580 438007        ORL P0,#07H
0583 898A          MOV TLO,R1
0585 BF8C          MOV TH0,R7
0587 D28C          SETB TR0
0589 C208          CLR 008H
058B D207          SETB 007H
    
```

Handwritten notes:
 (007): 1 salto
 (008): 1 salto
 (P06): 1 salto a no fire
 → 02 a/c

(006): 1

00	0
01	1
10	1
11	0

P0 0E 3

```

058D B016      JMP RETRO
058F          MED_C:
058F 200808    JB 008H,RETRO_N
0592 2086DF    JB P06,NO_FIRE
0595 638003    XRL P0,#03H
0598 B0DA      JMP NO_FIRE
059A          RETRO_N:
059A 438007    DRL P0,#07H
059D C28D      CLR TFO
059F C28C      CLR TRO
05A1 C208      CLR 008H
05A3 C207      CLR 007H
05A5          RETRO:

05A5 D2A9      RETRO_1:SETB ETO
05A7 D0E0      POP ACC
05A9 D0D0      POP PSW
05AB 22        RET

```

;!!!!!!!!!!!!FIN DE RUTINA DE DISPARO MONOFASICO!!!!!!!!!!!!

;!!!!!!!!!!!!RUTINA DE DATOS MONOFASICOS!!!!!!!!!!!!

```

;
;SE TRAE DE MEMORIA LOS DATOS DE RETARDOS CORRESPONDIENTES AL
;ANGULO SUPLEMENTARIO. SE LOS ALMACENA EN R1 Y R2 DEL BANCO 1.
;

```

```

05AC          ALF_MONO:
05AC C0D0      PUSH PSW
05AE C0E0      PUSH ACC
05B0 EB        MOV A,R3
05B1 C2D7      CLR CY
05B3 74B4      MOV A,#0B4H
05B5 9B        SUBB A,R3
05B6 D2D4      SETB RS1
05B8 FC        MOV R4,A
05B9 900900    MOV DPTR,#0900H
05BC 93        MOV A,EA+DPTR
05BD F9        MOV R1,A
05BE C2D7      CLR CY
05C0 240A      ADD A,#0AH
05C2 4001      JC OV_FL
05C4 F9        MOV R1,A
05C5 900E00    OV_FL:MOV DPTR,#0E00H
05C8 EC        MOV A,R4
05C9 93        MOV A,EA+DPTR
05CA FA        MOV R2,A
05CB D0E0      POP ACC
05CD D0D0      POP PSW
05CF 22        RET

```

;!!!!!!!!!!!!FIN DE RUTINA DE DATOS MONOFASICOS!!!!!!!!!!!!


```

;*****ROUTINAS DE COMPARACION DE DATOS Y BUSQUEDA DE TABLAS*****
;
;DETERMINA SI EL DATO INGRESADO POR SERIAL O POR TECLADO ES DATO
;DE ANGULO DE DISPARO O COMANDO.
;
;
;
05D0          BUSQUE:
05D0 C0E0          PUSH ACC
05D2 C2D7          CLR CY
05D4 C2D4          CLR R51
05D6 C2D3          CLR R50
05D8 EE           MOV A,R6
05D9 F5F0          MOV B,A
05DB 94B5          SUBB A,#0B5H
05DD FE           MOV R6,A
05DE D0E0          POP ACC
05E0 22           RET

;*****SUBROUTINA DE BUSQUEDA DE COMANDOS*****
;
;ESTABLECE SI YA HAN SIDO SELECCIONADOS LOS PARAMETROS DEL SISTEMA
;DE ADQUISICION DE DATOS.
;DIRECCIONA EL ESPACIO DE MEMORIA QUE CONTIENE EL CONJUNTO DE
;INSTRUCCIONES DEL COMANDO INGRESADO Y LO EJECUTA.
;
;
05E1          BUSQTC:
05E1 C0D0          PUSH PSW
05E3 C0E0          PUSH ACC
05E5 C2D3          CLR R50
05E7 C2D4          CLR R51
05E9 ED           MOV A,R5
05EA 200D18        JB 00DH,VAL_N
05ED C2D7          CLR CY
05EF 940C          SUBB A,#00CH
05F1 4026          JC NORMAL
05F3 D2D4          SETB R51
05F5 C4           SWAP A
05F6 23           RL A
05F7 D2D3          SETB R50
05F9 FE           MOV R6,A
05FA 53B01F        ANL P3,#01FH
05FD 42B0          ORL P3,A;*****CONVERSION A/D YA DIRECCIONADO***
05FF D20D          SETB 00DH
0601 C2D3          CLR R50
0603 801F          SJMP REGRESO
0605 200B07        VAL_N:JB 00BH,VAL_M
0608 D2D4          SETB R51
060A FB           MOV R3,A;*****VALOR DE "N" DATOS A LEERSE DEL CONVERSION**

060B D20B          SETB 00BH
060D 8015          SJMP REGRESO
060F 200C07        VAL_M:JB 00CH,NORMAL
0612 D2D4          SETB R51

```

```

0614 FD      MOV R5,A;+++++VALOR DE "M" DATOS A ELIMINARSE+++++
0615 D20C    SETB 000CH
0617 800B    SJMP REGRESO
0619 ED      NORMAL:MOV A,R5
061A C2D7    CLR CY
061C 900DC0  MOV DPTR,#0DC0H
061F 93      MOV A,64+DPTR
0620 900B00  MOV DPTR,#B00H
0623 73      JMP 64+DPTR
0624 D0E0    REGRESO:POP ACC
0626 D0D0    POP PSH
0628 22      RET
;+++++FIN DE RUTINA DE BUSQUEDA DE COMANDOS+++++

```

```

;+++++RUTINA DE VERIFICACION DE ADQUISICION DE DATOS+++++
;
;LEE EL PORTICO 2 EL NUMERO DE VECES DESEADO, Y LLENA UN ESPACIO
;DE LA RAM DEL MICROCONTROLADOR. ORDENA ASCENDENTEMENTE ESTOS
;DATOS. ELIMINA LOS MAS ALTOS Y LOS MAS BAJOS. OBTIENE LA MEDIA
;ARITMETICA DEL GRUPO DE DATOS QUE QUEDA. EL RESULTADO ES MOSTRADO
;EN DISPLAYS Y ENVIADO AL COMPUTADOR PERSONAL.
;
;
;

```

```

0629        ADC:
0629 C0E0    PUSH ACC
062B C0D0    PUSH PSH
062D C0F0    PUSH B
062F 75A0FF  MOV P2,#0FFH
0632 D2D4    SETB R51
0634 C2D3    CLR R50
0636 EB      MOV A,R3
0637 D2D3    SETB R50
0639 F8      MOV R0,A
063A 794F    MOV R1,#4FH
063C 53B01F  ANL P3,#01FH
063F EE      MOV A,R6
0640 42B0    ORL P3,A
0642 C287    CLR P07
0644        FILL_TAB:
0644 E5A0    MOV A,P2 ;SE LEE EL DATO DEL CONVERTOR Y SE LO ALMACENA
0646 F7      MOV @R1,A ; A PARTIR DE LA LOCALIDAD 30H DE RAM
0647 09      INC R1
0649 D8FA    DJNZ R0,FILL_TAB
;
;SE PROCEDE A ORDENAR LA TABLA GENERADA EN ORDEN ASCENDENTE
;
ORDER:CLR R50
064A C2D3    MOV A,R3
064C EB      SETB R50
064D D2D3    DEC A
064F 14      JZ ELIM
0650 601E    MOV R2,A
0652 FA      WHILE:MOV A,R2
0653 EA      MOV R3,A
0654 FB

```

```

0655 784F      MOV R0,#4FH
0657 7950      MOV R1,#50H
0659 C2D7      FOR:CLR CY
065B E6        MOV A,BR0
065C 97        SUBB A,BR1
065D 600B      JZ END_FOR
065F 5002      JNC ALIKE
0661 8007      SJMP END_FOR
0663           ALIKE:
0663 E7        MOV A,BR1
0664 85F0      MOV B,BR0
0666 F6        MOV BR0,A
0667 E5F0      MOV A,B
0669 F7        MOV BR1,A
066A 09        END_FOR:INC R1
066B 08        INC R0
066C D5EB      DJNZ R3,FOR
066E DAE3      DJNZ R2,WHILE
;
;SE PROCEDE A ELIMINAR M DATOS MAS ALTOS Y LOS M MAS BAJOS
;
0670           ELIM:
0670 C2D3      CLR R50
0672 ED        MOV A,R5
0673 BBF0      MOV B,R3
0675 D2D3      SETB R50
0677 AAF0      MOV R2,B           ;!!!!!!!!!!!!
0679 75F002    MOV B,#2H
067C FB        MOV R3,A;M
067D A4        MUL AB
067E FB        MOV R0,A           ;2*M
067F EA        MOV A,R2           ;N
0680 C2D7      CLR CY
0682 98        SUBB A,R0
0683 FB        MOV R0,A;N-2*M
0684 88F0      MOV B,R0
0686 ACF0      MOV R4,B
0688 EB        MOV A,R3
0689 244F      ADD A,#4FH
068B F9        MOV R1,A
;
;!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!SE CALCULA PROMEDIO!!!!!!!!!!!!
;
068C E4        CLR A
068D FA        MOV R2,A
068E FB        MOV R3,A
068F E7        SUMA:MOV A,BR1
0690 BCF0      MOV B,R4
0692 84        DIV AB
0693 2A        ADD A,R2
0694 FA        MOV R2,A
0695 E5F0      MOV A,B
0697 2B        ADD A,R3
0698 FB        MOV R3,A
0699 09        INC R1

```

```

069A D8F3      DJNZ R0,SUMA
069C BCF0      MOV B,R4
069E B4        DIV AB
069F 2A        ADD A,R2
06A0 FA        MOV R2,A
06A1 EA        MOV A,R2
;
;PROMEDIO SE GUARDA EN R2,SE MUESTRA EN DISPLAY Y SE ENVIA AL
;PORTICO SERIAL
;
06A2 900A00    MOV DPTR,#0A00H
06A5 93        MOV A,EA+DPTR
06A6 C2D4      CLR R51
06AB FF        MOV R7,A
06A9 D2D4      SETB R51
06AB EA        MOV A,R2
06AC 900B00    MOV DPTR,#0B00H
06AF 93        MOV A,EA+DPTR
06B0 C2D4      CLR R51
06B2 FE        MOV R6,A
06B3 D2B7      SETB P07
06B5 D2D4      SETB R51
06B7 8A99      MOV SRUF,R2
06B9 78FF      MOV R0,#0FFH;!!!!!!!!!!!!!!FFH
06BB          BACK_1:
06BB C2D4      CLR R51
06BD 912C      ACALL DISPLAY
06BF D2D4      SETB R51
06C1 D8F8      DJNZ R0,BACK_1
06C3 D0F0      POP B
06C5 D0D0      POP PSM
06C7 D0E0      POP ACC
06C9 22        RET
;!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!
;!!!!!!!!!!!!!!VERIFICACION DEL CONVERTOR!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!
;
;ROUTINA QUE ENVIA AL COMPUTADOR PERSONAL EL DATO QUE LEE DEL
;PORTICO SERIAL LUEGO DE MOSTRAR EN DISPLAY. SI NO ES BORRADA LA
;BADERA OOEH LA EJECUCION DE LA ROUTINA CONTINUARA INDEFINIDAMENTE.
;
0700          ORG 700H
0700 C0D0      GRAF:PUSH PSM
0702 C0E0      PUSH ACC
0704 C0F0      PUSH B
0706          GRAF1:
0706 300E2B    JNB 00EH, FINGRAF
0709 C2D4      CLR R51
070B C2D3      CLR R50
070D 75A0FF    MOV P2,#0FFH
0710 C2B7      CLR P07
0712 F540      MOV A,P2

```


0C60 E7CBAF957ADFB 0E7H,0CBH,0AFH,95H,7AH,5FH,46H,2BH,0EH
 0C69 F5DABFA4B9DFB 0F5H,0DAH,0BFH,0A4H,89H,6FH,50H,29H,01H,0DDH
 0C73 BD90704A40DFB 0B0H,090H,070H,4AH,40H,30H

0D00 DRG 0D00H

0D00 FFFFFFFFDFFB 0FFH,0FFH,0FFH,0FFH,0FFH,0FFH,0FFH,0FFH,0FFH,0FFH
 0D0A FEFEFEFEDFFB 0FEH,0FEH,0FEH,0FEH,0FEH,0FEH,0FEH,0FEH,0FEH,0FEH
 0D14 FDFDFDFDFFB 0FDH,0FDH,0FDH,0FDH,0FDH,0FDH,0FDH,0FDH,0FDH,0FDH
 0D1D FCFDFCFDFDFB 0FCH,0FCH,0FCH,0FCH,0FCH,0FCH,0FCH,0FCH,0FCH,0FCH
 0D27 FBFBFBFBDFFB 0FBH,0FBH,0FBH,0FBH,0FBH,0FBH,0FBH,0FBH,0FBH,0FBH
 0D30 FAFAFAFADFFB 0FAH,0FAH,0FAH,0FAH,0FAH,0FAH,0FAH,0FAH,0FAH,0FAH
 0D3A F9F9F9F9DFB 0F9H,0F9H,0F9H,0F9H,0F9H,0F9H,0F9H,0F9H,0F9H,0F9H
 0D43 FBFBFBFBDFFB 0FBH,0FBH,0FBH,0FBH,0FBH,0FBH,0FBH,0FBH,0FBH,0FBH
 0D4D F7F7F7F7DFB 0F7H,0F7H,0F7H,0F7H,0F7H,0F7H,0F7H,0F7H,0F7H,0F7H
 0D56 F6F6F6F6DFB 0F6H,0F6H,0F6H,0F6H,0F6H,0F6H,0F6H,0F6H,0F6H,0F6H
 0D60 F5F5F5F5DFB 0F5H,0F5H,0F5H,0F5H,0F5H,0F5H,0F5H,0F5H,0F5H,0F5H
 0D69 F4F4F4F4DFB 0F4H,0F4H,0F4H,0F4H,0F4H,0F4H,0F4H,0F4H,0F4H,0F4H
 0D73 F3F3F3F3DFB 0F3H,0F3H,0F3H,0F3H,0F3H,0F3H,0F3H,0F3H,0F3H,0F3H

;!!!!!!DATOS PARA DISPARO MONOFASICO!!!!!!

0900 DRG 900H

0900 F5E4CBAD91DFB 0F5H,0E4H,0CBH,0ADH,91H,76H,5AH,3FH,23H,07H;9
 090A EACAB597ADFB 0EAH,0CAH,0B5H,097H,7AH,6ZH,47H,2AH,0AH;1B
 0913 FFD8B9A4B6DFB 0FFH,0DEH,0B9H,0A4H,86H,6AH,4FH,33H,1CH;27
 091C 12DDC1A68EDFB 01ZH,0DDH,0C1H,0A6H,8EH,7ZH,57H,3BH,1CH,04H;37
 0926 EBCDB19678DFB 0E8H,0CDH,0B1H,096H,78H,5FH,43H,28H,0CH;46
 092F F1D5B99EB2DFB 0F1H,0D5H,0B9H,09EH,8ZH,67H,4DH,34H,25H;55
 0938 11F4C1A68ADF 011H,0F4H,0C1H,0A6H,8AH,6FH,53H,38H,1CH,01H;65
 0942 E5C9AE9277DFB 0E5H,0C9H,0AEH,09ZH,77H,58H,41H,28H,09H;74
 094B EDC1B69A7DFB 0EDH,0C1H,0B6H,09AH,7FH,63H,48H,2CH,0EH;83
 0954 FFDABCA287DFB 0FFH,0DAH,0BEH,0A2H,87H,6BH,4DH,35H,20H;92
 095D 10DDC1A68DFB 010H,0DDH,0C1H,0A6H,8FH,73H,58H,3CH,1CH,01H;102
 0967 EACER3977ADFB 0EAH,0CEH,0B3H,097H,7AH,5FH,43H,28H,0DH;111
 0970 F2D6B89F84DFB 0F2H,0D6H,0BBH,09FH,84H,68H,4CH,34H,1EH;120
 0979 12DEC3A68DFB 01ZH,0DEH,0C3H,0A6H,8CH,73H,58H,3CH,1CH,03H;130
 0983 E6CBAF9478DFB 0E6H,0CEH,0AFH,094H,78H,5CH,41H,29H,0AH;139
 098C EED3B79C80DFB 0EEH,0D3H,0B7H,09CH,8CH,65H,49H,2DH,1DH;148
 0995 FFD8BEA287DFB 0FFH,0DEH,0BEH,0A2H,87H,6DH,51H,35H,25H;157
 099E 11F4C1A690DFB 011H,0F4H,0C1H,0A6H,90H,75H,59H,3EH,2ZH,06H;167
 09A8 EBCFA49A79DFB 0EBH,0CFH,0B4H,09AH,79H,61H,43H,2AH,0CH;176
 09B1 F3D7BCB0 DFB 0F3H,0D7H,0BCH,0B0H
 0E00 DRG 0E00H

0E00 FFFFFFFFDFFB 0FFH,0FFH,0FFH,0FFH,0FFH,0FFH,0FFH,0FFH,0FFH,0FFH
 0E0A FEFEFEFEDFFB 0FEH,0FEH,0FEH,0FEH,0FEH,0FEH,0FEH,0FEH,0FEH,0FEH
 0E13 FDFDFDFDFFB 0FDH,0FDH,0FDH,0FDH,0FDH,0FDH,0FDH,0FDH,0FDH,0FDH
 0E1C FCFDFCFDFDFB 0FCH,0FCH,0FCH,0FCH,0FCH,0FCH,0FCH,0FCH,0FCH,0FCH
 0E26 FBFBFBFBDFFB 0FBH,0FBH,0FBH,0FBH,0FBH,0FBH,0FBH,0FBH,0FBH,0FBH
 0E2F FAFAFAFADFFB 0FAH,0FAH,0FAH,0FAH,0FAH,0FAH,0FAH,0FAH,0FAH,0FAH
 0E38 F9F9F9F9DFB 0F9H,0F9H,0F9H,0F9H,0F9H,0F9H,0F9H,0F9H,0F9H,0F9H

```

0E42 F8F8F8F8F8DFB 0F8H,0F8H,0F8H,0F8H,0F8H,0F8H,0F8H,0F8H,0F8H
0E4B F7F7F7F7F7DFB 0F7H,0F7H,0F7H,0F7H,0F7H,0F7H,0F7H,0F7H,0F7H
0E54 F6F6F6F6F6DFB 0F6H,0F6H,0F6H,0F6H,0F6H,0F6H,0F6H,0F6H,0F6H
0E5D F5F5F5F5F5DFB 0F5H,0F5H,0F5H,0F5H,0F5H,0F5H,0F5H,0F5H,0F5H
0E67 F4F4F4F4F4DFB 0F4H,0F4H,0F4H,0F4H,0F4H,0F4H,0F4H,0F4H,0F4H
0E70 F3F3F3F3F3DFB 0F3H,0F3H,0F3H,0F3H,0F3H,0F3H,0F3H,0F3H,0F3H
0E79 F2F2F2F2F2DFB 0F2H,0F2H,0F2H,0F2H,0F2H,0F2H,0F2H,0F2H,0F2H
0E83 F1F1F1F1F1DFB 0F1H,0F1H,0F1H,0F1H,0F1H,0F1H,0F1H,0F1H,0F1H
0E8C F0F0F0F0F0DFB 0F0H,0F0H,0F0H,0F0H,0F0H,0F0H,0F0H,0F0H,0F0H
0E95 EFEFEFEFEFDFF 0EFH,0EFH,0EFH,0EFH,0EFH,0EFH,0EFH,0EFH,0EFH
0E9E EFEFEFEFEFDFF 0EEH,0EEH,0EEH,0EEH,0EEH,0EEH,0EEH,0EEH,0EEH
0EAB EDEDEDEDEDDFF 0EDH,0EDH,0EDH,0EDH,0EDH,0EDH,0EDH,0EDH,0EDH
0EB1 ECECECECE DFB 0ECH,0ECH,0ECH,0ECH

```

;*****PAGINA DE VALORES A SACAR A GATES*****

```

0CC1      DRG 0CC1H
0CC1 040201      DFB 04H,02H,01H
0CC6      DRG 0CC6H
0CC6 040201      DFB 04H,02H,01H
0CD1      DRG 0CD1H
0CD1 020104      DFB 02H,01H,04H
0CD6      DRG 0CD6H
0CD6 020104      DFB 2H,1H,4H

```

;*****PAGINA DE DIRECCIONES DE COMANDOS*****

```

0DC0      DRG 0DC0H
0DC0 000614181FDFF 00H,6H,14H,18H,1FH,26H,31H,3FH,4DH,58H,60H,65H,66H,70H,75H
0DCF 7A7F      DFB 7AH,7FH

```

;*****PAGINA DE COMANDOS*****

```

0800      DRG 0800H
0800 EB      MOV A,R3
0801 F599      MOV SBUF,A
0803 020624      LJM REGRESO
;
0806 201204      JB 012H,TRE_P      ;06H (1) CERRAR CONTACTOR PRINCIPAL
0809 7BB4      MOV R3,#0B4H
080B 8002      SJMP SIX_P
080D 78F0      TRE_P:MOV R3,#0F0H
080F      SIX_P:
080F C286      CLR P06
0811 020624      LJM REGRESO
;
0814 08      INC R3      ;14H (2) INCREMENTAR UN GRADO
0815 020624      LJM REGRESO
;

```



```

0818 740A      MOV A,MOAH      ;18H (3) INCREMENTAR 10 GRADOS
081A 2B       ADD A,R3
081B FB       MOV R3,A
081C 020624   LJM REGRESO
;
;1FH (4) DECREMENTAR 1 GRADO
081F EB       MOV A,R3
0820 6001     JZ F12
0822 1B       DEC R3
0823 020624   F12: LJM REGRESO
;
0826 EB       MOV A,R3      ;26H (5) DECREMENTAR 10 GRADOS
0827 940A     SUBB A,MOAH
0829 FB       MOV R3,A
082A 5002     JNC F11
082C 7B00     MOV R3,MOH
082E 020624   F11: LJM REGRESO
;
;31H (6) MUESTRA AL PC ESTADO DE:
;SECUENCIA
0831 200405   JB 004H,POS
0834 7599F4   NEG: MOV SBUF,#0F4H
0837 8003     SJMP F01
0839 7599F3   POS: MOV SBUF,#0F3H
083C         F01:
083D 020624   LJM REGRESO
;
083F 201204   JB 012H,THREEP
0842 7B84     MOV R3,#0B4H      ;3FH (7) ABRIR CONTACTOR PRINCIPAL
0844 8002     SJMP SIXP
0846 7BF0     THREEP:MOV R3,#0F0H
0848         SIXP:
084B 0286     SETB P06
084A 020624   LJM REGRESO
;
;4DH (8) MUESTRA ESTADO DE FUENTE
084D 200205   JB 002H,MOND1
0850 7599F8   THREE:MOV SBUF,#0F8H
0853 8003     SJMP FAT
0855 7599F9   MOND1:MOV SBUF,#0F9H
0858 020624   FAT: LJM REGRESO
;
;
085B C20D     CLR 00DH      ;5BH (9) INGRESA NUEVO CANAL
085D 020624   LJM REGRESO
;
0860 C20B     CLR 00BH      ;60H (A) INGRESA NUEVO NUMERO DE DATOS
;
0862 020624   LJM REGRESO
;
0865 C20C     CLR 00CH      ;65H (B) INGRESA NUEVO # DE DATOS A
0867 020624   LJM REGRESO      ;ELIMINARSE
;

```

```

086A 120629      LCALL ADC          ;6AH (C) LLAMA AL CONVERTOR A/D
086D 020624      LJMPC REGRESO
;
0870 D20E       SETB 00EH          ;70H (D) LLAMADA A GRAFICO
0872 020624      LJMPC REGRESO
;
0875 C20E       CLR 00EH           ;75H (E) FIN DE GRAFICO
0877 020624      LJMPC REGRESO
;
087A D213       SETB 13H           ;7A (F) VOLTAJE MAXIMO
087C 020624      LJMPC REGRESO
;
087F D214       SETB 14H           ;7F (10) CORRIENTE MAXIMA
0881 020624      LJMPC REGRESO

```

```

0000      END

```

0006	AC	00E0	ACC	0629	ADC	0384	AGAIN
0389	AGAIN1	072C	AGAIN2	0532	ALFA	03DA	ALFSINC
054C	ALF_MOND	0653	ALIKE	0556	APAGADO	01C7	APRES
00F0	B	06BB	BACK_1	0457	BAND	01E1	BIAN
02D2	BIEN	02D4	BIEN1	02D8	BIEN2	046D	BUSOTA
05E1	BUSBTC	05D0	BUSQUE	041B	CLOSE	0416	CLOSE1
02F5	COMANDO	038C	CONT	0175	CORRIEN	0246	COUNT11
0290	COUNT2	00D7	CY	0352	DATAY	02AB	DATO
04ED	DELAY	045B	DIGITO	044B	DISP1	042C	DISPLAY
0255	DOS	005A	DOS1	0080	DOS2	0083	DPH
0082	DPL	00AF	EA	0670	ELIM	066A	END_FOR
00AC	ES	00A9	ETO	00AB	ET1	00AB	EXO
00AA	EX1	00D5	FO	0414	FAIL	03B1	FAIL_1
0410	FAIL_2	03CF	FAIL_E	015E	FALLA1	0147	FALLA3
03CA	FASE	03D7	FASE1	0858	FAT	082E	F11
0823	F12	0644	FILL_TAB	0734	FINGRAF	00F8	FOLLOW
00EB	FOLLOW1	0659	FOR	083C	FOT	03FD	GOOD
0700	GRAF	0706	GRAF1	009C	IDE	0347	IDENTIF
034E	IDENTIFV	0089	IE0	0088	IE1	00AB	IEC
0026	INICIO	006B	INICIO1	00A4	INICIO11	00B8	IPC
008B	ITO	008A	IT1	055D	LABEL	0058	LAPSO
00CB	LAZ01	00D7	LAZ02	00A6	LAZD_5	0082	LAZD_F
04E0	LECTURA	007E	LL	03FE	LOAD_TIM	0227	MAY18
02F3	MAY180	04AF	MAYOR	058F	MED_C	03E6	MEN120
055E	MOND	0855	MONO1	0454	MOstrar	04AB	NANCY
0834	NEG	03D1	NEGSEC	03F8	NEG_AN	03FB	NEG_SAL
036C	NOCDRR	0373	NOGRAF	00E1	NON_POS	0619	NORMAL
04A4	NOT118	049D	NOT119	0496	NOTED	035E	NOYDL1
0574	NO_FIRE	0150	OKEY1	0167	OKEY2	017E	OKEY3
0195	OKEY4	040B	OPEN	064A	ORDER	00D2	OY
028B	OVER	02CD	OVER1	05C5	OY_FL	0484	OY_FL1
00D0	P	00B0	P0	0080	P00	0081	P01
0082	P02	0083	P03	0084	P04	0085	P05
0086	P06	0087	P07	0090	P1	0090	P10
0091	P11	0092	P12	0093	P13	0094	P14
0095	P15	0096	P16	0097	P17	00A0	P2
00A0	P20	00A1	P21	00A2	P22	00A3	P23
00A4	P24	00A5	P25	00A6	P26	00A7	P27
00B0	P3	00B0	P30	00B1	P31	00B2	P32
00B3	P33	00B4	P34	00B5	P35	00B6	P36
00B7	P37	00B7	PCOM	0839	POS	0135	PRINC
0315	PRINC1	02FD	PRINC3	0322	PRINC4	031F	PRINC5
031C	PRINC6	00BC	PS	00D0	PSH	00B9	PTO
00BB	PT1	030F	PUL_3	02F1	PUL_6	00BB	PX0
00BA	PX1	009A	R88	01B3	READ_COR	01C8	READ_VOL
051B	REBOTAR	04F5	REBOTE	0624	REGRESO	009C	REN
0465	RET	0512	RETA	04EF	RETAR	0463	RETARDO
050E	RETIR	0520	RETORN0	0529	RETORN01	05A5	RETRO
05A5	RETRO_1	059A	RETRO_N	0098	RI	00D3	RS0
00D4	RS1	0099	SBUF	0098	SCON	021A	SER
0328	SERIAL	0315	SIG_3P	0382	SINGRO	0848	SIXP
080F	SIX_P	009F	SMD	009E	SM1	009D	SM2
0500	SOLTAR	0081	SP	068F	SUMA	0580	SUPLEM
009B	T88	008B	TCON	022E	TEC	04D0	TECLADO
0205	TECLE	008D	TF0	009F	TF1	009C	TH1

008D	TH1	0850	THREE	0846	THREEP	0099	T1
008A	TLO	098B	TL1	0089	TMOD	008C	TRO
008E	TR1	0377	TRANS	0269	TRES	080D	TRE_P
008D	TRIFASIC	054C	TRIFI_2	03A2	TRIF_1	048D	TRIF_ALF
02C3	TRRE	0287	TRRE1	028B	TRRE2	0283	TWO
04BF	VALI	04B1	VALOR	060F	VAL_M	0605	VAL_N
018C	VOLTAGE	00F5	WAIT4	00C3	WAIT_1	00CD	WAIT_2
00EA	WAIT_3	0653	WHILE				

PROGRAMA EN EL COMPUTADOR PERSONAL

```

!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!
!!!!!!!!!!!!!!!!PROGRAMA PRINCIPAL EN EL COMPUTADOR PERSONAL!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!
!!!!!!!!!!!!!!!!REALIZADO EN QUICKBASIC Versión 4.5 !!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!
!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!!

```

```

DECLARE SUB CLSCREEN ()
DECLARE SUB CLSCREEN1 ()
DECLARE FUNCTION Rotated (Lower, Upper, Current, inc)
DECLARE FUNCTION CARAC (CAMP, X%)
DECLARE FUNCTION MAX (LOW, UP, DATO)
OPEN "COM1:9600,N,8,1,CS,DS,CD" FOR RANDOM AS #1 LEN = 32000
  Id = 3: V# = 298: Pul = 6: M# = 20: Dh = 1: Nd = 30: Ne = 5
  A1 = 100: A2 = 170: vv = 13: Pu = Pul: k = 0: v = 0
KEY OFF
SCREEN 0
CLS
Z# = " "
Z7# = CHR$(177)
PI = 3.141593
REM M1 = NUMERO DE OPCIONES DEL MENU RAIZ
REM M2 = NUMERO DE OPCIONES EN EL SUBMENU (NIVEL2)
REM M3 = NUMERO DE OPCIONES EN EL SUBMENU (NIVEL3)
M1 = 6
M2 = 3
M3 = 0
DIM v$(10)
v$(1) = "† Cerrar Contactor Principal F1 †"
v$(2) = "† Abrir Contactor Principal F2 †"
v$(3) = "† Inc/Decrementar 1 grado " + CHR$(24) + CHR$(25) + " †"
v$(4) = "† Inc/Decrementar 10 grados " + CHR$(26) + CHR$(27) + " †"
v$(5) = "† Parada lenta (Home) † "
v$(6) = "† Aceleracion lineal (PgUp) † "
v$(7) = "† Deceleracion lineal (PgDn) † "
v$(8) = "† Angulo Alfa (INS) † "
v$(9) = "† Adquisición de datos F3 † "
v$(10) = "† Presione para salir (End) † "

DIM menu$(M1, M2, M3)
DIM LOGIC(M1, M2, M3)
FOR I = 0 TO M1
  FOR J = 0 TO M2
    FOR k = 0 TO M3
      LOGIC(I, J, k) = 1
    NEXT k
  NEXT J
NEXT I
REM DESHABILITACION DE OPCIONES
LOGIC(1, 2, 0) = 0
LOGIC(1, 3, 0) = 0
LOGIC(2, 1, 0) = 0
LOGIC(2, 2, 0) = 0
LOGIC(2, 3, 0) = 0
LOGIC(3, 1, 0) = 0
LOGIC(3, 2, 0) = 0

```

```

LOGIC(3, 3, 0) = 0
LOGIC(4, 1, 0) = 0
LOGIC(4, 2, 0) = 0
LOGIC(4, 3, 0) = 0
LOGIC(5, 1, 0) = 0
LOGIC(5, 2, 0) = 0
LOGIC(5, 3, 0) = 0

```

REM DEFINICION DE LOS MENUS

```

menu$(1, 0, 0) = "INICIO"
menu$(2, 0, 0) = "STATUS"
menu$(3, 0, 0) = "OPERACION"
menu$(4, 0, 0) = "VOLTAJE"
menu$(5, 0, 0) = "CORRIENTE"
menu$(6, 0, 0) = "VELOCIDAD"

menu$(1, 1, 0) = "IDENTIFICACION"
menu$(1, 2, 0) = "CONVERSION A/D"
menu$(1, 3, 0) = "REDEFINICION"

menu$(2, 1, 0) = "FUENTE"
menu$(2, 2, 0) = "SECUENCIA"
menu$(2, 3, 0) = "ERRORES"

menu$(3, 1, 0) = "OPERACION"
menu$(3, 2, 0) = "ADQUIS.DATOS"
menu$(3, 3, 0) = "GRAFICAS"

menu$(4, 1, 0) = "1SUBMENU 4.1"
menu$(4, 2, 0) = "2SUBMENU 4.2"
menu$(4, 3, 0) = "3SUBMENU 4.3"

menu$(5, 1, 0) = "4SUBMENU 5.1"
menu$(5, 2, 0) = "5SUBMENU 5.2"
menu$(5, 3, 0) = "6SUBMENU 5.3"

menu$(6, 1, 0) = "7SUBMENU 6.1"
menu$(6, 2, 0) = "8SUBMENU 6.2"
menu$(6, 3, 0) = "9SUBMENU 6.3"

```

21

COLOR 8, 7

CLS

COLOR 9, 7

LOCATE 1, 1

PRINT *

ESCUELA POLITECNICA NACIONAL

PRINT *

CONTROL DE MOTOR D.C. CON COMPUTADOR

COLOR 7, 1

REM FOR I = 1 TO 80

REM PRINT CHR\$(219);

REM NEXT I

FOR I = 1 TO 7

PRINT CHR\$(219); *

NEXT I

*; CHR\$(219)

```

FOR I = 1 TO 80
PRINT CHR$(219);
NEXT I
LOCATE 2, 2
LOCATE 4, 2
COLOR 8, 1
FOR I = 1 TO 78
PRINT CHR$(196);
NEXT I
COLOR 7, 1
LOCATE 9, 4
COLOR 15, 2
PRINT "Presione <<Enter>> para ingresar."
COLOR 7, 1

```

B. Ledesma - X. Vinuesa

```

REM NIVEL1, NIVEL2 Y NIVEL3 SON LAS VARIABLES QUE
REM DEFINEN EL NIVEL EN EL MENU DE OPCIONES

```

```

NIVEL1 = 1
NIVEL2 = 1
NIVEL3 = 0

```

```

REM Rutina de impresion del menu principal

```

```

FOR I = 1 TO M1
COLOR 7, 1
LOCATE 3, 10 + I
PRINT menu$(I, 0, 0)
NEXT I

```

```

REM MUESTRO DE TECLADO EN EL MENU PRINCIPAL

```

```

10 A$ = INKEY$
L = LEN(A$)
IF L = 0 OR L <> 1 THEN 10
IF A$ <> CHR$(13) THEN 10
REM ****REIMPRESION DEL MENU PRINCIPAL
CALL CLSCREEN1

```

```

15 FOR I = 1 TO M1

```

```

REM ATRIBUTO BASE DEL MENU PRINCIPAL

```

```

COLOR 7, 1
LOCATE 3, 10 + I
IF I <> NIVEL1 THEN 16
REM ATRIBUTO ESPECIAL EN EL MENU PRINCIPAL
COLOR 9, 1
16 PRINT menu$(I, 0, 0)
X$ = LEFT$(menu$(I, 0, 0), 1)
LOCATE 3, 10 + I
COLOR 9, 1
PRINT X$
NEXT I
COLOR 7, 1

```

```

REM Rutina para mover el cursor en el menu RAIZ

```

```

20 A$ = INKEY$

```



```

L = LEN(A$)
IF L <> 2 AND L <> 1 THEN 20
IF L = 1 THEN 32

A$ = RIGHT$(A$, 1)
IF A$ = "P" THEN 40
IF A$ <> "K" AND A$ <> "M" THEN 20
22 IF A$ = "K" THEN 30
IF NIVEL1 < M1 THEN 111
NIVEL1 = 1
GOTO 15
111 NIVEL1 = NIVEL1 ÷ 1
GOTO 15
30 IF NIVEL1 > 1 THEN 2022
NIVEL1 = M1
GOTO 15
2022 NIVEL1 = NIVEL1 - 1
GOTO 15

32 IF A$ <> CHR$(27) THEN 104
CLS
END
104 FOR I = 1 TO M1
X$ = LEFT$(MENU$(I, 0, 0), 1)
IF X$ <> A$ THEN 33
NIVEL1 = I
2234 FOR J = 1 TO M1
COLOR 7, 1
LOCATE 3, 10 + J
IF J <> NIVEL1 THEN 161
COLOR 9, 1
161 PRINT MENU$(J, 0, 0)
X$ = LEFT$(MENU$(J, 0, 0), 1)
LOCATE 3, 10 + J
COLOR 9, 1
PRINT X$
NEXT J
COLOR 7, 1

GOTO 40

33 NEXT I
GOTO 20

```

ROUTINA PARA INGRESO AL PRIMER NIVEL DE SUBMENUS

```

40
FOR I = 1 TO M2
IF I <> NIVEL2 THEN 45
COLOR 8, 7
45 LOCATE I + 4, NIVEL1 + 10
PRINT MENU$(NIVEL1, I, 0)
IF LOGIC(NIVEL1, I, 0) = 0 THEN 1534
X$ = LEFT$(MENU$(NIVEL1, I, 0), 1)

```

```

LOCATE I + 4, NIVEL1 # 10
COLOR B, 1
PRINT X#
1534 COLOR 7, 1
NEXT I

```

REN ROUTINA PARA MUESTREO DE TECLADO EN EL PRIMER SUBMENU

```

50
A# = INKEY#
51 L = LEN(A#)
IF L = 0 THEN 50
IF L = 1 THEN 60
564 A# = RIGHT$(A#, 1)
55 IF A# <> "K" AND A# <> "M" THEN 60
NIVEL2 = 1
IF A# = "K" THEN 31
IF NIVEL1 < M1 THEN 361
NIVEL1 = 1
CALL CLSCREEN
GOTO 2234
361 NIVEL1 = NIVEL1 + 1
CALL CLSCREEN
GOTO 2234
31 IF NIVEL1 > 1 THEN 507
NIVEL1 = M1
CALL CLSCREEN
GOTO 2234
507 NIVEL1 = NIVEL1 - 1
CALL CLSCREEN
GOTO 2234

60 IF A# <> CHR$(32) AND A# <> CHR$(27) THEN 1122
NIVEL2 = 1
CALL CLSCREEN
GOTO 15

1122 IF A# = CHR$(13) THEN 100
IF L = 2 THEN 3322
FOR J = 1 TO M2
X# = LEFT$(MENU$(NIVEL1, J, 0), 1)
IF X# <> A# THEN 3249
NIVEL2 = J
FOR I = 1 TO M2
2121 IF I <> NIVEL2 THEN 459
COLOR B, 7
459 LOCATE I + 4, NIVEL1 # 10

PRINT MENU$(NIVEL1, 1, 0)
IF LOGIC(NIVEL1, 1, 0) = 0 THEN 1535
LOCATE I + 4, NIVEL1 # 10
COLOR B, 1
X# = LEFT$(MENU$(NIVEL1, 1, 0), 1)
PRINT X#
1535 COLOR 7, 1

```

```
NEXT I
```

```
GOTO 100
```

```
3249 NEXT J
```

```
3322 IF A# <> "H" AND A# <> "P" THEN 50
```

```
IF A# = "H" THEN 80
```

```
IF NIVEL2 = M2 THEN 501
```

```
NIVEL2 = NIVEL2 + 1
```

```
GOTO 40
```

```
501 NIVEL2 = 1
```

```
GOTO 40
```

```
80 IF NIVEL2 = 1 THEN 99
```

```
NIVEL2 = NIVEL2 - 1
```

```
GOTO 40
```

```
99 CALL CLSCREEN
```

```
GOTO 15
```

```
'ON ERROR GOTO ERRFAT
```

```
100 IF LOGIC(NIVEL1, NIVEL2, NIVEL3) = 1 THEN 4044
```

```
SOUND 1300, 1
```

```
SOUND 800, 1
```

```
GOTO 50
```

```
4044 SOUND 1000, 1
```

```
REM EN ESTE PUNTO SE TIENE REALIZADA LA SELECCION EN EL MENU
```

```
REM Y ESTA ESTA DEFINIDA POR LO VALORES DE NIVEL1, NIVEL2 Y NIVEL3
```

```
LOGIC(3, 1, 0) = 1
```

```
LOCATE 20, 1
```

```
REM PRINT "NIVEL1 = ", NIVEL1
```

```
REM PRINT "NIVEL2 = ", NIVEL2
```

```
REM PRINT "NIVEL3 = ", NIVEL3
```

```
SELEC = 1000 * NIVEL1 + 100 * NIVEL2 + 10 * NIVEL3
```

```
IF SELEC = 1100 THEN GOTO IDENTIF
```

```
IF SELEC = 1200 THEN GOTO CONVERSOR
```

```
IF SELEC = 1300 THEN GOTO REDEFINIR
```

```
IF SELEC = 2100 THEN GOTO FUENTE
```

```
IF SELEC = 2200 THEN GOTO SECUENCIA
```

```
REM IF SELEC = 2300 THEN GOTO MERROR
```

```
IF SELEC = 3100 THEN GOTO OPERA
```

```
IF SELEC = 3200 THEN GOTO DATOS
```

```
IF SELEC = 3300 THEN GOTO GRAFICS
```

```
REM IF SELEC = 3200 THEN VELOCIDAD
```

```
REM IF SELEC = 3300 THEN ANGULO
```

```
REM AHORA SE PUEDE UTILIZAR LOS VALORES DE NIVELx PARA DESENCADENAR LA
```

```
REM EJECUCION DE LAS RUTINAS CORRESPONDIENTES A LA SELECCION REALIZADA
```

```
REM EN CADA UNA DE AQUELLAS RUTINAS TAMBIEN SE DEBERA INCLUIR EL MUESTRO
```

```
REM DE TECLADO PARA VOLVER AL MENU O BIEN REGRESAR AL MENU UNA VEZ TERMINADA
```

```
REM ESA RUTINA. PARA UN RETORNO DIRECTO AL MENU BASTA UN GOTO 50
```

```
CLSWIN: FOR I = 1 TO 13
```

```
LOCATE 10 + I, 35
```

```
PRINT *
```

```

NEXT I
LOCATE 9, 45
COLOR 8, 1
PRINT "      B. Ledesma - X. Vinuesa"
COLOR 7, 1
'DON ERROR GOTO ERRFAT
RETURN

```

```

#####
OPCION PARA INICIALIZAR TIPO DE FUENTE, IDENTI-  |
FICACION, MAXIMO VOLTAJE Y MAXIMA CORRIENTE      |
#####

```

```

IDENTIF:
  GOSUB CLSWIN
  COLOR 7, 1
  LOCATE 13, 38: COLOR 23: PRINT "      INICIALIZACION DEL EQUIPO"
  COLOR 7, 1

```

```

  Fields = 6: FLD = 0
  CONST ENTER = 13, ESCAPE = 27, F1 = 59, F2 = 60, F3 = 61, HOME = 71, fin = 79
  CONST INS = 82, CtrlHome = 119
  CONST DOWNARROW = 80, UPARROW = 72, LEFTARROW = 75, RIGHTARROW = 77
  CONST COL1 = 36, COL2 = 70, ROW = 15

```

```

  ' Block cursor
  LOCATE ROW, COL1, 1, 6, 12
  ' Display fields
  LOCATE ROW, COL1: PRINT "Identificación";
  LOCATE ROW, COL2: PRINT USING "[ # ]"; Id;

```

```

  LOCATE ROW + 2, COL1: PRINT "Número de pulsos";
  LOCATE ROW + 2, COL2: PRINT USING "[ # ]"; Pul;

```

```

  LOCATE ROW + 4, COL1: PRINT "Voltaje Máximo de salida";
  LOCATE ROW + 4, COL2: PRINT USING "[ ### V ]"; Vm;

```

```

  LOCATE ROW + 6, COL1: PRINT "Corriente Máxima de Salida";
  LOCATE ROW + 6, COL2: PRINT USING "[ # A ]"; Im;
  LOCATE 23, 35: PRINT " Esc --- Salir      Enter---Ingresar "
  GOSUB DISA

```

```

' Skip field 10 if there's only one value
' Lazo para ingresar datos de límite superior y límite inferior de alfa

```

```

  FLD = 0: Fields1 = 1
  DO
  LOCATE 12 + FLD, 26, 1
  DO
    KK$ = INKEY$
    LOOP WHILE KK$ = ""
    KKy = ASC(RIGHT$(KK$, 1))
    IF (ASC(KK$) > 47 AND ASC(KK$) < 58) THEN

```

```

SELECT CASE FLD
  CASE 0
    CAMP = 2
    A1 = CARAC(CAMP, KK*)
    A1 = MAX(0, 180, A1)
    COLOR 9, 1: PRINT USING "###"; A1

  CASE 1
    CAMP = 2
    A2 = CARAC(CAMP, KK*)
    A2 = MAX(0, 240, A2)
    COLOR 9, 1: PRINT USING "###"; A2
  CASE ELSE
    COLOR 7, 1
  END SELECT
ELSE
  SELECT CASE KKy
    CASE ESCAPE
      SOUND 500, 3; SOUND 800, 5; GOTO 50
    CASE UPARROW, DOWNARROW
      ' Adjust field location
      IF KKy = DOWNARROW THEN inc = 1 ELSE inc = -1
      FLD = Rotated(0, Fieldsl, FLD, inc)
    CASE RIGHTARROW, LEFTARROW
      ' Adjust field
      IF KKy = RIGHTARROW THEN inc = 1 ELSE inc = -1
      COLOR 9, 1
      SELECT CASE FLD
        CASE 0
          ' limite inferior
          A1 = Rotated(0, 180, A1, inc)
          PRINT USING "###"; A1
        CASE 1
          ' Limite superior
          A2 = Rotated(0, 240, A2, inc)
          PRINT USING "###"; A2
        CASE ELSE
          END SELECT
      CASE ELSE
        END SELECT
      END SELECT
    END IF
    COLOR 7, 1
    'ON ERROR GOTO ERRFAT
  'Ingrese datos hasta ENTER
  LOOP UNTIL KKy = ENTER

'Lazo de ingreso de datos de inicialización del equipo

  FLD = 0
  ' Update field values and position based on keystrokes
in: DO
  ' Put cursor on field
  LOCATE ROW + FLD, COL2 + 2
  ' Get a key and strip null off if it's an extended code

```

```

DO
  k$ = INKEY$
  LOOP WHILE k$ = ""
  Ky = ASC(RIGHT$(k$, 1))
  IF [ASC(k$) > 47 AND ASC(k$) < 58] THEN
    SELECT CASE FLD
      CASE 0
        CAMP = 0
        Id = CARAC(CAMP, k$)
        Id = MAX(0, 3, Id)
        COLOR 9, 1: PRINT USING "##"; Id
        Id$ = CHR$(Id + 32)
      CASE 2
        CAMP = 0
        Pu = CARAC(CAMP, k$)
        Pu = MAX(2, 6, Pu)
        SELECT CASE Pu
          CASE 2, 3, 6
            COLOR 9, 1: PRINT USING "##"; Pu
            VDO = SQR(2) * 220 * SIN(PI / Pu) * Pu / PI
          CASE ELSE
            END SELECT
      CASE 4
        CAMP = 2
        Vm = CARAC(CAMP, k$)
        Vm = MAX(0, VDO, Vm)
        COLOR 9, 1: PRINT USING "###"; Vm
      CASE 6
        CAMP = 3
        Wm = CARAC(CAMP, k$)
        Wm = MAX(0, 20, Wm)
        COLOR 9, 1: PRINT USING "##"; Wm
      CASE ELSE
        COLOR 7, 1
    END SELECT
  ELSE
    SELECT CASE Ky
      CASE ESCAPE
        ' End program
        SOUND 500, 3: SOUND 800, 5: BGSUB CLSKIN: BOTO 50
        CASE UPARROW, DOWNARROW
          ' Adjust field location
          IF Ky = DOWNARROW THEN inc = 2 ELSE inc = -2
          FLD = Rotated(Fiell, Fields, FLD, inc)
        CASE RIGHTARROW, LEFTARROW
          ' Adjust field
          IF Ky = RIGHTARROW THEN inc = 1 ELSE inc = -1
          COLOR 9, 1
          SELECT CASE FLD
            CASE 0
              ' Identificación
              Id = Rotated(0, 3, Id, inc)
              Id$ = CHR$(Id + 32)

```

```

COLOR 9, 1: PRINT USING "#"; Id
CASE 2
  ' Número de pulsos
  inc = inc + 6
  Pu1 = Rotated(6, 18, Pu1, inc)
  Pu = 36 / Pu1
  COLOR 9, 1: PRINT USING "#"; Pu
  VDO = SER(2) + 220 + SIN(P1 / Pu) + Pu / P1
CASE 4
  ' Voltaje máximo
  Va = Rotated(0, VDO, Va, inc)
  '##Voltaje máximo
  COLOR 9, 1: PRINT USING "###"; Va
CASE 6
  ' Corriente máxima
  Wa = Rotated(0, 20, Wa, inc)
  COLOR 9, 1: PRINT USING "##"; Wa
  Field = 4
  '##Corriente Máxima

CASE ELSE
END SELECT

CASE ELSE
END SELECT

END IF
COLOR 7, 1
' Continúa si ENTER
LOOP UNTIL Ky = ENTER

COLOR 8, 7: LOCATE 13, 43, 0: PRINT ' INICIALIZACION DEL EQUIPO ';
LOGIC(1, 1, 0) = 0
LOGIC(1, 2, 0) = 1
LOGIC(2, 1, 0) = 1
LOGIC(2, 2, 0) = 1
IF Pu = 3 THEN Aa = 240: GOTO FRES
Aa = 180
FRES: GOSUB CLSKIN
A = Aa
COLOR 7, 1
' ON ERROR GOTO ERFAT
GOTO 50

```

```

#####
OPCION PARA INICIALIZAR EL SISTEMA DE ADQUISICION +
DE DATOS.
CANAL DA CONVERSION, NUMERO DE DATOS, NUMERO DE +
DATOS A ELIMINARSE.
#####

```

CONVERSION:

COLOR 7, 1

```

GOSUB CLSWIN
LOCATE 13, 38: COLOR 23: PRINT "  INICIALIZACION DEL CONVERTOR A/D";
Fields = 4: Fie1 = 0: FLD = 0
COLOR 7, 1
' Block cursor
LOCATE , , 1
LOCATE ROW, COL1, 1, 6, 12 =.
' Display fields
LOCATE ROW, COL1: PRINT "Canal del Conversor";
LOCATE ROW, COL2: PRINT USING "[ # ]"; Ch;
LOCATE ROW + 2, COL1: PRINT "Número de Datos a leerse";
LOCATE ROW + 2, COL2: PRINT USING "[ ## ]"; Nd;
LOCATE ROW + 4, COL1: PRINT "Datos a Eliminars";
LOCATE ROW + 4, COL2: PRINT USING "[ ## ]"; Ne;
LOCATE 23, 35: PRINT "  Esc —— Salir          Enter——Ingresar "
GOSUB DIS4
LOCATE , , 1
' Skip field 10 if there's only one value

' Skip field 10 if there's only one value
DO
' Put cursor on field
LOCATE ROW + FLD, COL2 + 2
' Get a key and strip null off if it's an extended code
DO
k$ = INKEY$
LOOP WHILE k$ = ""
Ky = ASC(RIGHT$(k$, 1))
IF (ASC(k$) > 47 AND ASC(k$) < 58) THEN
SELECT CASE FLD
CASE 0
CAMP = 0
Ch = CARAC(CAMP, k$)
Ch = MAX(0, 7, Ch)
COLOR 9, 1: PRINT USING "##"; Ch
LOCATE 14, 25
PRINT Ch

CASE 2
CAMP = 1
Nd = CARAC(CAMP, k$)
Nd = MAX(Ne + 2 + 1, 40, Nd)
COLOR 9, 1: PRINT USING "##"; Nd

CASE 4
CAMP = 1
Ne = CARAC(CAMP, k$)
Ne = MAX(0, Nd - INT(Nd / 2 + 1), Ne)
COLOR 9, 1: PRINT USING "##"; Ne

CASE ELSE

```



```

        COLOR 7, 1
    END SELECT
ELSE
    COLOR 9, 1
    SELECT CASE Ky
        CASE ESCAPE
            ' End program
            SOUND 1500, 3: SOUND 2000, 5: BOTO 50
            CASE UPARROW, DOWNARROW
                ' Adjust field location
                IF Ky = DOWNARROW THEN inc = 2 ELSE inc = -2
                FLD = Rotated(Fiell, Fields, FLD, inc)
            CASE RIGHTARROW, LEFTARROW
                ' Adjust field
                IF Ky = RIGHTARROW THEN inc = 1 ELSE inc = -1
                SELECT CASE FLD
                    CASE 0
                        ' Canal del conversor
                        Ch = Rotated(0, 7, Ch, inc)
                        PRINT USING "#"; Ch
                        LOCATE 14, 25
                        PRINT Ch
                    CASE 2
                        ' Numero de datos del conversor
                        Nd = Rotated(Ne / 2 + 1, 40, Nd, inc)
                        PRINT USING "##"; Nd
                    CASE 4
                        ' Datos a eliminarse
                        Ne = Rotated(0, Nd - INT(Nd / 2 + 1), Ne, inc)
                        PRINT USING "##"; Ne
                CASE ELSE
                    END SELECT
            CASE ELSE
                END SELECT
        CASE ELSE
            END SELECT
        ' Ingrese datos hasta que se aplaste ENTER
        END IF
        COLOR 7, 1
        LOOP UNTIL Ky = ENTER
        'se borra bandera de ingreso de canal
        'y se ingresa el canal
        PRINT #1, Id$; CHR$(190 + 32);
        PRINT #1, Id$; CHR$(193 + 32 + Ch);

        'ON ERROR BOTO ERRFAT
        'se borra la bandera del número de datos
        'y se ingresa el nuevo número de datos.
        PRINT #1, Id$; CHR$(191 + 32);
        PRINT #1, Id$; CHR$(181 + 32 + Nd);

        'se borra bandera de datos a eliminarse
        'y se ingresa el nuevo número de datos a eliminarse
        PRINT #1, Id$; CHR$(192 + 32);
        PRINT #1, Id$; CHR$(181 + 32 + Ne);

```

```

COLOR 8, 7: LOCATE 13, 41, 0: PRINT "INICIALIZACION DEL CONVERSOR A/D";
' Remove cursor
  LOGIC(1, 2, 0) = 0
  LOGIC(1, 3, 0) = 1
  LOGIC(3, 3, 0) = 1
  LOGIC(3, 2, 0) = 1
  LOGIC(3, 1, 0) = 1
  COLOR 8, 7
  GOSUB CLSWIN
'Ingreso de valores máximos de corriente y voltaje
  Vm1 = INT(.7676 * Vm)
  PRINT #1, Id$; CHR$(32 + 196);
  PRINT #1, Id$; CHR$(32 + Vm1);
  Im1 = INT(10.2 * Im)
  PRINT #1, Id$; CHR$(32 + 197);
  PRINT #1, Id$; CHR$(32 + Im1);

PRINT #1, Id$; CHR$(32 + 193);

  DO
    DES$ = INPUT$(LOC(1), #1)
  LOOP UNTIL EOF(1)
GOTO 50

#####
OPCION PARA CONFIRMAR O CAMBIAR LOS DATOS DE      *
INICIALIZACION DEL SISTEMA DE POTENCIA Y CONTROL, *
DEL CONVERSOR ANALOGO/DIGITAL                      *
#####

REDEFINIR:
GOSUB CLSWIN
COLOR 8, 7
LOCATE 13, 38: PRINT "REDEFINICION DEL CONVERSOR A/D"; COLOR 7, 1
LOCATE 15, 37: PRINT "DEFINE NUEVA IDENTIFICACION      ' I ' "
LOCATE 17, 37: PRINT "DEFINE NUEVO ESTADO DEL CONVERSOR A/D ' C ' "

PER4:
  A$ = INKEY$: IF A$ <> "I" AND A$ <> "C" THEN GOTO PER4
  IF A$ = "I" THEN LOGIC(1, 1, 0) = 1
  IF A$ = "C" THEN LOGIC(1, 2, 0) = 1
  GOTO 51
  COLOR 8, 7
  GOSUB CLSWIN

#####
* OPCION PARA MOSTRAR LOS COMANDOS Y ELEGIR UNO
* ELLOS Y ASI OPERAR EL SISTEMA DE POTENCIA
#####

OPERA:
COLOR 7, 1
GOSUB CLSWIN

```

```
'PRINT #1, Id$; CHR$(32 + 181);
GOSUB DIS3
GOSUB DIS2
PRINT #1, Id$; CHR$(32 + 181);
```

```
#####
REM COMANDOS PARA OPERAR EL CONVERTOR AC-DC
#####
```

```
4090
COLOR 7, 1
COLOR 23: LOCATE 12 + k, 40, 0: COLOR 23: PRINT v$(k): COLOR 7, 1
LOCATE 22, 4: PRINT "
4091 A$ = INKEY$
```

```
IF NOT EOF(1) THEN
y$ = INPUT$(LOC(1), #1)
y = ASC(y$)
```

```
'ON ERROR GOTO ERRFAT
```

```
IF y = 241 OR y = 242 THEN GOTO 2340
IF y = 248 OR y = 249 THEN F = y: GOTO 2350
IF y = 243 OR y = 244 THEN S = y: GOTO 2360
IF y = 245 OR y = 240 THEN E = y: GOTO 2370
```

```
A = y
IF NOT EOF(1) THEN
DO
DES$ = INPUT$(LOC(1), 1)
LOOP UNTIL EOF(1)
ELSE
END IF
END IF
```

```
CONT: GOSUB DIS1
LL = LEN(A$)
IF LL = 0 OR LL = 1 THEN 4091
A$ = RIGHT$(A$, 1)
```

```
PRINT #1, Id$; CHR$(32 + 193);
FOR RR = 1 TO 30
NEXT RR
```

```
IF NOT EOF(1) THEN
DO
d$ = INPUT$(LOC(1), #1)
d = ASC(d$)
'ON ERROR GOTO ERRFAT
LOOP UNTIL EOF(1)
END IF
```

```
COLOR 9, 1
GOSUB DIS4
COLOR 7, 1
```

```
IF A$ <> "H" AND A$ <> "P" AND A$ <> "M" AND A$ <> "I" AND A$ <> "J" AND A$ <> "=" AND A$ <> "<" AND A$ <> "B"
```

```

AND A$ <> "Q" AND A$ <> "I" AND A$ <> "D" AND A$ <> "R" THEN 4090
  COLOR 7, 1
  GOSUB DIS3
  IF A$ = "H" THEN 5000
  IF A$ = "P" THEN 5020
  IF A$ = "M" THEN 5040
  IF A$ = "K" THEN 5060
  IF A$ = ";" THEN 5080
  IF A$ = "<" THEN 5100
  IF A$ = "B" THEN 5150
  IF A$ = "I" THEN 5200
  IF A$ = "D" THEN 5250
  IF A$ = "Q" THEN 5300
  IF A$ = "R" THEN 5350
  IF A$ = "=" THEN 5400

5000 REM INCREMENTAR UN GRADO
  IF A = Am THEN
  ELSE : PRINT #1, Id$; CHR$(183 + 32);
  A = A + 1
  END IF; GOSUB dis1: k = 3
  GOTO 4090

5020 REM DECREMENTAR UN GRADO

  IF A = 0 THEN
  ELSE : IF VDA >= Vm THEN 4444
  PRINT #1, Id$; CHR$(185 + 32);
  A = A - 1
4444 END IF
  GOSUB dis1: k = 3
  GOTO 4090

5040 REM INCREMENTAR 10 GRADOS

  IF A > Am - 10 AND A <= Am THEN
  IF A = Am THEN GOSUB dis1: GOTO 409
  PRINT #1, Id$; CHR$(32 + 183);
  A = A + 1
  ELSE : PRINT #1, Id$; CHR$(32 + 184);
  A = A + 10
  END IF; GOSUB dis1: GOTO 409
409 k = 4
  GOTO 4090

5060 REM DECREMENTAR 10 GRADOS

  IF VDA >= Vm THEN 5555
  IF A >= 0 AND A < 10 THEN
  IF A = 0 THEN GOTO 409
  PRINT #1, Id$; CHR$(32 + 185);
  A = A - 1
  ELSE : PRINT #1, Id$; CHR$(32 + 186);
  A = A - 10
5555 END IF

```

```

GOSUB dis1: GOTO 409

5080 REM CERRAR CONTACTOR PRINCIPAL
  IF Pu = 3 THEN
ingres: LOCATE 19, 22, 0: INPUT " a= ", A
  IF A < 0 OR A > Am THEN GOTO ingres
  PRINT #1, Id$: CHR$(32 + A);
  ELSE
  A = Am;
  PRINT #1, Id$: CHR$(32 + A);
  END IF
  PRINT #1, Id$: CHR$(32 + 182);
  Z$ = CHR$(177)
  ZZ$ = " "
  GOSUB dis1: GOSUB D153
  k = 1
  GOTO 4090

5100 REM ABRIR CONTACTOR PRINCIPAL
  A = Am
  PRINT #1, Id$: CHR$(32 + A);
  PRINT #1, Id$: CHR$(32 + 188);
  Z$ = " "
  ZZ$ = CHR$(177)
  GOSUB dis1: GOSUB D153
  k = 2
  GOTO 4090

5150 REM PARADA DE EMERGENCIA
  IF A = Am THEN
  PRINT #1, Id$: CHR$(32 + 188);
  ELSE
  A = A + 1: PRINT #1, Id$: CHR$(32 + A);
  GOSUB dis1
  GOTO 5150
  END IF
  GOSUB dis1: k = 5
  GOTO 4090

5200 REM INTERVALO DE FUNCIONAMIENTO

  COLOR 8, 7: LOCATE 22, 4, 0: PRINT "Presione 0 para terminar"
  d1 = A2 - A
  IF d1 = 0 THEN LET k = 6: GOTO 4090
  IF d1 > 0 THEN
  A = A + 1
  ELSE : A = A - 1
  END IF

5202 REM INTERRUPCION DEL INTERVALO DE FUNCIONAMIENTO

  A$ = INKEY$
  REM IF LEN(A$) <> 2 THEN 5202
  REM A$ = RIGHT$(A$, 1)
  IF A$ = "0" THEN GOTO 4090
  GOSUB dis1

```

```

PRINT #1, Id$; CHR$(32 + A);
FOR J = 1 TO 5
COLOR 7, 1: LOCATE 22, 4, 0: PRINT "Presione 0 para terminar"
NEXT J
GOTO 5200

```

5300 REM INTERVALO DE FUNCIONAMIENTO

```

LOCATE 22, 4, 0: COLOR 8, 7: PRINT "Presione 0 para terminar"
d1 = A1 - A
IF d1 = 0 THEN LET k = 7: GOTO 4090
IF d1 > 0 THEN
A = A + 1
ELSE : A = A - 1
END IF

```

5252

```

A$ = INKEY$
IF A$ = "0" THEN GOTO 4090
GOSUB dis1
PRINT #1, Id$; CHR$(32 + A);
FOR J = 1 TO 5
COLOR 7, 1: LOCATE 22, 4, 0: PRINT "Presione 0 para terminar"
NEXT J
GOTO 5300

```

5250 REM SONIDO DE SALIDA DE OPERACION

```

SOUND 1000, 3: SOUND 500, 2: SOUND 2000, 4: k = 10
COLOR 8, 7
GOSUB CLSWIN
GOTO 50

```

5350 REM INGRESO DE ANGULO DE DISPARO

```

ingre: LOCATE 19, 22, 0: INPUT " α= ", A
IF A < 0 OR A > 90 THEN GOTO ingre
PRINT #1, Id$; CHR$(32 + A);
GOSUB dis1: k = 8
GOTO 4090

```

5400 k = 9
GOTO 4090

```

PRINT #1, Id$; CHR$(32 + 193);
FOR RR = 1 TO 30

NEXT RR
IF NOT EOF(1) THEN
DO
d$ = INPUT$(LOC(1), #1)
d = ASC(d$)
COLOR 9, 1: LOCATE 15, 25, 0: PRINT USING "###"; d; COLOR 7, 1
'ON ERROR GOTO ERRFAT

```

```

LOOP UNTIL EOF(1)
END IF

```

```

k = 9
GOTO 4090

```

REM SUBROUTINA DE IMPRESION DE RESULTADOS

```

dis1: VDO = SQRT(2) * Z20 * SIN(P) / Pu * Pu / P1
      IF Pu = 2 OR Pu = 6 THEN
      VDA = VDO * (1 + COS(A * P1 / 180)) / 2
      ELSE
      VDA = VDO * COS(A * P1 / 180)
      END IF

      v = VDA
      LOCATE 19, 24, 0: COLOR 9, 1: PRINT A: COLOR 7, 1
      LOCATE 21, 19, 0: COLOR 9, 1: PRINT USING "###. Volts"; v: COLOR 7, 1
RETURN

```

```

#####
SUBROUTINA DE IMPRESION DEL MENU DE COMANDOS
#####

```

DIS3:

```

LOCATE 11, 40, 0: PRINT "#####"
LOCATE 12, 40, 0: COLOR 8, 7: PRINT " TABLA DE COMANDOS          *": COLOR 7, 1
LOCATE 13, 40, 0: PRINT " Cerrar Contactor Principal F1 *"; Z$
LOCATE 14, 40, 0: PRINT " Abrir Contactor Principal F2 *"; Z2$
LOCATE 15, 40, 0: PRINT " Inc/Decrementar 1 grado  *"; CHR$(24); CHR$(25); " *";
LOCATE 16, 40, 0: PRINT " Inc/Decrementar 10 grados *"; CHR$(26); CHR$(27); " *";
LOCATE 17, 40, 0: PRINT " Parada lenta (Home) *";
LOCATE 18, 40, 0: PRINT " Aceleracion lineal (PgUp) *";
LOCATE 19, 40, 0: PRINT " Deceleracion lineal (PgDn) *";
LOCATE 20, 40, 0: PRINT " Angulo Alfa (INS) *";
LOCATE 21, 40, 0: PRINT " Adquisición de datos F3 *";
LOCATE 22, 40, 0: PRINT " Presione para salir (End) *";
LOCATE 23, 40, 0: PRINT "#####"

```

RETURN

```

#####
SUBROUTINA DE IMPRESION DE ESTADO DEL CONVERTOR
DE POTENCIA AC-DC
#####

```

DIS2:

```

LOCATE 18, 3, 0: PRINT "#####"
FOR I = 1 TO 5
LOCATE 18 + I, 3
PRINT "          *";
NEXT I

```

```
LOCATE 23, 3, 0: PRINT "#####"
LOCATE 19, 5, 0: PRINT "ANGULO DE DISPARO"; LOCATE 19, 24: PRINT " "; CHR$(249)
LOCATE 20, 5, 0: PRINT "Numero de pulsos"; LOCATE 20, 24: PRINT Pu;
LOCATE 21, 5, 0: PRINT "VOLTAJE DC";
```

RETURN

```
#####
SUBROUTINA DE IMPRESION DE ESTADO DEL SISTEMA DE
ADQUISICION DE DATOS.
#####
```

DIS4:

```
LOCATE 11, 3, 0: PRINT "#####"
FOR I = 0 TO 4
LOCATE 12 + I, 3, 0
PRINT "I"
NEXT I
LOCATE 16, 3, 0: PRINT "#####"
COLOR 7, 1: LOCATE 12, 4, 0: PRINT "Limite Inferior(Alfa)"
COLOR 9, 1: LOCATE 12, 26, 0: PRINT USING "###"; A1: COLOR 7, 1
LOCATE 13, 4, 0: PRINT "Limite Superior(Alfa)"
COLOR 9, 1: LOCATE 13, 26, 0: PRINT USING "###"; A2: COLOR 7, 1
LOCATE 14, 4, 0: PRINT "Canal N°"
LOCATE 15, 4, 0: PRINT "Data del Conversor"
COLOR 9, 1: LOCATE 14, 25, 0: PRINT USING "##"; Ch: COLOR 7, 1
COLOR 9, 1: LOCATE 15, 25, 0: PRINT USING "###"; d: COLOR 7, 1
```

RETURN

```
#####
OPCION DE OPERACION DEL SISTEMA DE ADQUISICION
DE DATOS VARIANDO SUS PARAMETROS.
#####
```

DATOS:

```
GOSUB CLSWIN
GOSUB DIS4
GOSUB DIS2
GOSUB dis1
LOCATE , , 1
Fields = 4: Field = 0: FLD = 0
COLOR 7, 1
' Block cursor
LOCATE ROW, COL1, 1, 6, 12
' Display fields
LOCATE ROW, COL1: PRINT "Canal del Conversor";
LOCATE ROW, COL2: PRINT USING "[ # ]"; Ch;
LOCATE ROW + 2, COL1: PRINT "Numero de Datos a leerse";
LOCATE ROW + 2, COL2: PRINT USING "[ ## ]"; Nj;
LOCATE ROW + 4, COL1: PRINT "Datos a Eliminars";
LOCATE ROW + 4, COL2: PRINT USING "[ ## ]"; Ne;
LOCATE 23, 35: PRINT " Esc --- Salir Enter---Ingresar "
```



```

' Skip field 10 if there's only one value
DO
  DO
    PRINT #1, Id$; CHR$(32 + 193);
    FOR RR = 1 TO 50
COLOR 9, 1: LOCATE 15, 25, 0: PRINT USING "###"; d: COLOR 7, 1
      NEXT RR

      IF NOT EOF(1) THEN
        DO
          d$ = INPUT$(LOC(1), #1)
          d = ASC(RIGHT$(d$, 1))
          'Get ERADR GOTO ERRAFAT
COLOR 9, 1: LOCATE 15, 25, 0: PRINT USING "###"; d: COLOR 7, 1
          LOOP UNTIL EOF(1)
        END IF
        FOR RR = 1 TO 20
COLOR 9, 1: LOCATE 15, 25, 0: PRINT USING "###"; d: COLOR 7, 1
          LOCATE ROW + FLD, COL2 + 2, 1
          NEXT RR

          ' Put cursor on field
          LOCATE ROW + FLD, COL2 + 2, 1
          ' Get a key and strip null off if it's an extended code

          k$ = INKEY$
          LOOP WHILE k$ = ""
          COLOR 9, 1
          Ky = ASC(RIGHT$(k$, 1))
          Kx = Ky
          SELECT CASE Ky

            CASE ENTER
              ' End program
              SOUND 1500, 3: SOUND 2000, 5: GOSUB dis1

            CASE UPARROW, DOWNARROW
              ' Adjust field location
              IF Ky = DOWNARROW THEN inc = 2 ELSE inc = -2
              FLD = Rotated(Fiell, Fields, FLD, inc)

            CASE RIGHTARROW, LEFTARROW
              ' Adjust field
              IF Ky = RIGHTARROW THEN inc = 1 ELSE inc = -1
              SELECT CASE FLD
                CASE 0
                  ' Canal del conversor
                  Ch = Rotated(0, 7, Ch, inc)
                'se borra bandera de ingreso de canal
                'y se ingresa el canal
                PRINT #1, Id$; CHR$(190 + 32);
                PRINT #1, Id$; CHR$(193 + 32 + Ch);
                PRINT USING "##"; Ch
                CASE 2
                  ' Numero de datos del conversor

```

```

        Nd = Rotated(2 + Ne + 1, 40, Nd, inc)
'se borra la bandera del número de datos
'y se ingresa el nuevo número de datos.
        PRINT #1, Id$; CHR$(191 + 32);
        PRINT #1, Id$; CHR$(181 + 32 + Nd);
        PRINT USING "##"; Nd
        CASE 4
        ' Datos a eliminarse
        Ne = Rotated(0, Nd - INT(Nd / 2 + 1), Ne, inc)
'se borra bandera de datos a eliminarse
'y se ingresa el nuevo número de datos a eliminarse
        PRINT #1, Id$; CHR$(192 + 32);
        PRINT #1, Id$; CHR$(181 + 32 + Ne);
        PRINT USING "##"; Ne
        CASE ELSE
        END SELECT
        CASE ELSE
        END SELECT
        ' Termina ingreso de datos si ENTER
COLOR 9, 1: LOCATE 14, 25, 0: PRINT Ch

```

```

        LOOP UNTIL Ky = ESCAPE
        PRINT #1, Id$; CHR$(32 + 181);
        DO
        DES$ = INPUT$(LOC(1), #1)
        LOOP UNTIL EOF(1)
        COLOR 8, 7
        BOSUB CLSKIN
        GOTO 50

```

```

#####
OPCION PARA OPERAR LA RUTINA DE GRAFICO      |
LEE LOS DATOS Y LUEGO LOS GRAFICA EN EL      |
COMPUTADOR PERSONAL.                         |
#####

```

GRAFICS:

SCREEN 3

```

        VIEW (1, 1)-(700, 340), , 1
5556 VIEW PRINT ! TO 24
        LOCATE 8, 18: PRINT "GRAFICACION DEL BLOQUE DE INFORMACION ADQUIRIDO"
        LOCATE 10, 22: PRINT "DEL SISTEMA DE ADQUISICION DE DATOS"
        LOCATE 23, 37: PRINT "Presione cualquier tecla para continuar"

```

```

        DO
        g$ = INKEY$
        LOOP WHILE g$ = ""

```

gr\$:

```

CLS
VIEW (10, 275)-(690, 330), 1, BF
'CLS
LOCATE 21, 20: PRINT "Desea adquirir datos del sistema...?(S/N)"
notec1: df$ = INKEY$
IF df$ <> "S" AND df$ <> "N" THEN GOTO notec1
IF df$ = "N" THEN SCREEN 0: A$ = CHR$(13): GOTO 21
VIEW (1, 1)-(700, 340), , 1

DO
LOCATE 23, 7: INPUT "Numero de muestras.. (1..300) ", Nm
LOOP WHILE (Nm < 1 AND Nm > 300)

REDIM A(100 + Nm), Q$(100 + Nm), E(100 + Nm)
d1 = 600 / 2 / Nm

VIEW (10, 275)-(690, 330), 1, BF

LOCATE 21, 4: PRINT "Canal.."; Ch
LOCATE 21, 23: PRINT "N° de datos.."; Nd
LOCATE 21, 48: PRINT "N° de datos eliminados.."; Ne

I = 100
PRINT #1, Id$: CHR$(32 + 194);
DO
Q$(I) = INPUT$(1, #1)
I = I + 1
'ON ERROR GOTO ERRFAT
LOOP UNTIL I = 100 + Nm
PRINT #1, Id$: CHR$(32 + 195);
SOUND 600, 5: SOUND 600, 10

VIEW (10, 295)-(690, 330), 1, BF
'LS
LOCATE 23, 25: PRINT "Desea ver el gráfico ? (S/N)";
DO
df$ = INKEY$
LOOP WHILE (df$ <> "S" AND df$ <> "N")

IF df$ = "S" THEN

1111 VIEW (10, 295)-(690, 330), 1, BF
LOCATE 23, 4: PRINT "Calculando....";

FOR I = 100 TO 130
A(I) = ASC(Q$(I))
'ON ERROR GOTO ERRFAT1
A(I) = A(I) / 25.5
E(I) = A(I)
LOCATE 23, 65
PRINT A(I)
NEXT I

1110 VIEW (10, 295)-(690, 330), 1, BF

```

```

LOCATE 23, 4
INPUT "Escala (0.2 .. 10) "; d1
IF d1 < .2 OR d1 > 10 THEN GOTO 1110
VIEW (10, 10)-(690, 270), , 1

CLS
VIEW (-2, -2)-(d1 * 60, 10), , 1
WINDOW (-2, -2)-(d1 * 60, 10)
LINE (-1, 0)-(d1 * 60, 0)
LINE (0, -1)-(0, 10)
d0 = 0
I = 100
A(99) = 0
DO
LINE (d0, A(I - 1))-(d0 + d1, A(I)), 1
d0 = d0 + d1
I = I + 1
df = INKEY#
LOOP UNTIL I = 100 + Nm OR df = "E"
LOCATE 18, 60: PRINT "Alfa..."; A
LOCATE 18, 7: PRINT "Número de muestras.. ", Nm

PSET (0, 0), 1
VIEW (10, 295)-(690, 330), 1, BF
CLS
LOCATE 23, 45: PRINT "Desea otra escala.. ? (S/N)";
DO
df = INKEY#
LOOP WHILE (df <> "S" AND df <> "N")

IF df = "S" THEN GOTO 1111
GOTO gra
ELSE
VIEW (1, 1)-(700, 340), , 1
CLS
LOCATE 12, 15: PRINT "Desea archivar los datos ? (S/N)";
DO
df = INKEY#
LOOP WHILE (df <> "S" AND df <> "N")

IF df = "N" THEN GOTO fin
345 LOCATE 15, 15: INPUT "Ingrese Nombre de archivo...", inputfile#
IF inputfile# = "" THEN 345
CLOSE
OPEN inputfile# FOR OUTPUT AS #2
FOR I = 100 TO Nm + 100
E# = STR$(E(I))
PRINT #2, E#
LOCATE 23, 7: PRINT " Archivando...";
COLOR 7: PRINT "Working"; ; COLOR 23: PRINT " . . ."; COLOR 7: PRINT
NEXT I
RESET

```

```

VIEW (1, 1)-(700, 340), , 1
CLS
OPEN "COM1:9600,N,8,1,CS,DS,CD" FOR RANDOM AS #1 LEN = 32000
LOCATE 23, 25: PRINT "Desea ver el gráfico ? (S/N)";
DO
df$ = INKEY$
LOOP WHILE (df$ <> "S" AND df$ <> "N")

IF df$ = "S" THEN
GOTO 1111
ELSE
VIEW (1, 1)-(700, 340), , 1
CLS
LOCATE 12, 15: PRINT "Desea salir a menu principal ? (S/N)";

DO
df$ = INKEY$
LOOP WHILE (df$ <> "S" AND df$ <> "N")

IF df$ = "N" THEN GOTO gra
END IF
END IF
A$ = CHR$(13)
fin:
CLS
SCREEN 0

GOTO 21

#####
RECIBE SENAL DE ERROR POR FALTA DE FASE DE ALIMEN-
TACION DEL CONVERSOR AC-DC.
#####

2340 REM ATENCION A ERROR POR FALTA DE FASE

GOSUB CLSWIN
Z$ = " "
ZZ$ = CHR$(177)
A = 180
FOR I = 1 TO 3
SOUND 1000, 5: SOUND 1500, 2: SOUND 500, 5
NEXT I
IF y = 241 THEN
LOCATE 14, 38: PRINT "ERROR TRIFASICO"
ELSE : LOCATE 16, 38: PRINT "ERROR MONOFASICO"
END IF
DO
DES$ = INPUT$(LOC(1), 1)
LOOP UNTIL EOF(1)
'DE$ ERROR GOTO ERRAFAT
2341 AA$ = INKEY$
IF AA$ = "" THEN LOCATE 17, 40: PRINT "Press any key to continue": GOTO 2341

```

```

COLOR 8, 7
GOSUB CLSWIN
GOTO 50
    
```

```

#####
OPCION PARA OBTENER EL ESTADO DE LA FUENTE DE
ALIMENTACION DEL CONVERTOR AC-DC.
RECIBE EL DATO DE ESTADO DE SECUENCIA DE LA
FUENTE DE ALIMENTACION.
#####
    
```

SECUENCIA:

```

PRINT #1, 1d$; CHR$(32 + 187);
FOR RR = 1 TO 50
NEXT RR
IF NOT EOF(1) THEN
S$ = INPUT$(LOC(1), #1)
S = ASC(S$)
ON ERROR GOTO ERRFAT
ENDIF
IF S < 243 AND S <> 244 THEN GOTO 50
2360 GOSUB CLSWIN
IF S = 243 THEN
LOCATE 17, 40: PRINT "SECUENCIA POSITIVA"
ELSE
IF PAN = 1 THEN
LOCATE 17, 40: PRINT "FUENTE MONOFASICA NO TIENE SECUENCIA"
ELSE
LOCATE 17, 40: PRINT "SECUENCIA NEGATIVA"
END IF
END IF
LOCATE 19, 40: PRINT "Press any key to continue"
DO
DES$ = INPUT$(LOC(1), 1)
LOOP UNTIL EOF(1)
DO
ESP$ = INKEY$
LOOP WHILE ESP$ = ""
COLOR 8, 7
GOSUB CLSWIN
GOTO 50
    
```

```

#####
OPCION PARA OBTENER EL TIPO DE LA FUENTE DE
ALIMENTACION DEL CONVERTOR AC-DC.
RECIBE EL DATO DE ESTADO DEL TIPO DE LA
FUENTE DE ALIMENTACION.
#####
    
```

FUENTE:

```

PRINT #1, 1d$; CHR$(32 + 189);
    
```

```

FOR RR = 1 TO 50
NEXT RR
IF NOT EOF(1) THEN
F$ = INPUT$(LOC(1), #1)
F = ASC(F$)
ON ERROR GOTO ERRFAT
END IF
IF F <> 248 AND F <> 249 THEN GOTO 50
2350 GOSUB CLSWIN
IF F = 248 THEN
LOCATE 17, 40: PRINT "FUENTE TRIFASICA"
BAH = 0
ELSE
LOCATE 17, 40: PRINT "FUENTE MONOFASICA"
BAH = 1
END IF
LOCATE 19, 40: PRINT "Press any key to continue"
DO
DES$ = INPUT$(LOC(1), 1)
LOOP UNTIL EOF(1)
DO
ESP$ = INKEY$
LOOP WHILE ESP$ = ""
COLOR 8, 7
GOSUB CLSWIN

GOTO 50

#####
ROUTINA DE DETECCION DE POSIBLES ERRORES EN LA  |
EJECUCION DE ESTE PROGRAMA.                    |
DISPOSITIVO SERIAL NO ABIERTO, LLAMADAS ILEGALES |
LLENADO DEL BUFFER DE COMUNICACION SERIAL      |
#####

ERRFAT1: RESUME NEXT
ERRFAT:
GOSUB CLSWIN

LOCATE 20, 38
PRINT ERR
IF ERR = 57 THEN LOCATE 21, 38: PRINT "EQUIPO APASADO..."; GOTO FOL
IF ERR = 69 THEN LOCATE 21, 38: PRINT "BUFFER ERROR...."; GOTO FOL

FOL: SOUND 2005, 2; SOUND 1000, 10

LOCATE 22, 38: PRINT "<<Escape>> para salir a menú principal";
RESUME 50

2370 IF E = 245 THEN
GOSUB CLSWIN
LOCATE 17, 40: PRINT "sobre corriente"
ELSE
LOCATE 17, 40: PRINT "sobrevoltaje"

```

```
END IF
LOCATE 19, 40: PRINT "Press any key to continue"
```

```
DO
DES$ = INPUT$(LOC(1), 1)
LOOP UNTIL EOF(1)
DO
ESP$ = INKEY$
LOOP WHILE ESP$ = ""
COLOR 8, 7
BOSUB CLSWIN
```

```
GOTO 50
END
```

```
#####
FUNCIONES Y RUTINAS UTILIZADAS EN EL PROGRAMA.  #
#####
#####
FUNCION PARA OBTENER EL CARACTER DE UN VALOR    #
INGRESADO,                                       #
#####
```

```
FUNCTION CARAC (CAMP, X$)
X0$ = X$
FOR I = 1 TO CAMP
122 X$ = INPUT$(1)
IF ASC(X$) = 13 THEN I = CAMP: X$ = X0$: GOTO 123
IF ASC(X$) > 57 OR ASC(X$) < 48 THEN 122
X$ = X0$ + X$
X0$ = X$
NEXT I
123 CARAC = VAL(X$)
END FUNCTION
```

```
#####
SUBROUTINA PARA BORRAR UNA PARTE DE LA PANTALLA #
EN LA IMPRESION DEL MENU PRINCIPAL             #
#####
```

```
SUB CLSCREEN
FOR KXJ = 3 TO 9
IF KXJ = 4 THEN 101
LOCATE KXJ, 2
PRINT "
101 NEXT KXJ
END SUB
```

```
SUB CLSCREEN1
FOR KXJ = 5 TO 9
LOCATE KXJ, 2
PRINT "
NEXT KXJ
END SUB
```



```
#####  
FUNCION PARA ROTAR EL INGRESO DE DATOS POR LAS  *  
FLECHAS                                         *  
#####
```

```
FUNCTION MAX (LOW, UP, DATO)  
IF DATO > UP THEN DATO = UP: GOTO AAA  
IF DATO < LOW THEN DATO = LOW: GOTO AAA  
AAA: MAX = INT(DATO)  
END FUNCTION
```

```
FUNCTION Rotated (Lower, Upper, Current, inc)  
Current = Current + inc  
IF Current > Upper THEN Current = Lower  
IF Current < Lower THEN Current = Upper  
Rotated = Current  
END FUNCTION
```

ANEXO E

MANUAL DE OPERACION Y MANTENIMIENTO

El equipo construido es un sistema utilizado para controlar en lazo abierto de convertidores² estáticos ac-dc semicontrolados. La potencia que puede manejar es de 5KW. Está compuesto por la unidad de potencia y la unidad de control. En la unidad de control están todos aquellos elementos que manipulan una serie de señales de control, las procesan y ejecutan su función específica.

La unidad de potencia, está formada por un módulo convertidor AC-DC semicontrolado de estado sólido. Son posibles tres configuraciones de convertidores mediante un selector en la parte posterior del equipo.

En la posición 3, el convertidor se alimenta de la red trifásica y es posible las siguientes configuraciones:

- Semicontrolado (6 pulsos) 297 V , 20A
- Controlado (3 pulsos) 257V, 20A

En la posición 1; el convertidor se alimenta de las fases R y S, la fase T se desconecta; la configuración es la semicontrolado (2 pulsos) 198 V, 20 A.

Las especificaciones de entrada son:

220 VAC +/- 10%
3 fases
60 Hz
10 A rms

Antes de encender el equipo, debe seleccionarse el tipo de configuración (tipo de fuente). Para el caso trifásico, las tres fases deben estar conectadas, la secuencia es irrelevante pues el sistema se ajusta a cualquiera; para el caso monofásico, se debe desconectar la fase T y poner voltaje entre R y S, en este caso es importante el orden de las fases.

Los circuitos y elementos de protección pueden resumirse en:

- Fusibles en las líneas de alimentación al convertidor.
- Breaker de tiempo inverso.
- Detección de sobrecorriente instantánea (sistema electrónico)
- Detección de sobrevoltaje instantánea (sistema electrónico)
- Limitación de voltajes transitorios dv/dt
- Protección de falta de fase.

Los circuitos de la unidad de control pueden agruparse en:

- Circuito de control maestro.
- Circuito de sincronización.
- Circuito de disparo y protección.
- Circuito de adquisición de datos.
- Supervisión y monitoreo de fallas y señalización.
- Circuito de teclado
- Fuentes de polarización.

Una vez seleccionada la parte de potencia, se enciende el circuito de control con el switch localizado en la parte lateral izquierda del equipo. Terminada de ejecutar la rutina de inicialización se establece el rango de control

del ángulo de disparo. Para el caso semicontrolado el rango es 180 grados, pero para el caso controlado es de 240 grados. En este último caso, es necesario ingresar por teclado la secuencia:

N-COUNT 255 N-COUNT

acto seguido, el display mostrará 240 grados.

Una vez determinado el rango, se enciende el Computador Personal y se ejecuta el programa menu.exe. En este instante el sistema puede ser operado tanto por teclado como por el PC.

COMANDO POR TECLADO.

La función de cada tecla se encuentra impresa en la parte derecha del panel frontal.

- 1 Cerrar contactor principal
- 2 Incrementar alfa en 1 grado
- 3 Incrementar alfa en 10 grados
- 4 Decrementar alfa en 1 grado
- 5 Decrementar alfa en 10 grados
- 6 Estado de secuencia (comunica al PC)
- 7 Abrir contactor principal
- 8 Estado de fuente (comunica al PC)
- 9 ----

N-COUNT Ingresar un alfa cualquiera.

El ingreso de datos por teclado es de tal manera que siempre que se deje de presionar una tecla, el dato ingresa. El sistema elimina el rebote y la presión de 2 o más teclas simultáneamente.

COMANDO POR COMPUTADOR PERSONAL.

Al ejecutar el programa en QUICKBASIC, el monitor del PC muestra al usuario un menú fácil de seguir sin temor a cometer errores que puedan ocasionar problemas en el equipo. Se debe seguir un proceso de ingreso de datos, el mismo que es asegurado en el programa:

- Inicialización.- Se define la identificación del sistema, tipo de fuente (configuración del conversor) y valores máximos de voltaje y corriente.
- Conversor.- Inicializa canal de conversión, número de datos a leerse y número de datos a eliminarse.
- Reinicialización, corrige o confirma los datos anteriores.
- Secuencia.- Comprueba secuencia de la fuente si es el caso.
- Fuente.- Comprueba tipo de fuente
- Operación.- contiene los mismos comandos que para teclado.
- Adquisición.- opera el sistema de adquisición de datos con la posibilidad de variar todos los parámetros relacionados.
- Gráfico.- permite graficar o archivar un bloque de información dado por los parámetros del sistema de adquisición de datos.
- Operación en línea.- la opción ON-LINE permite operar al conversor de potencia según alguna señal externa y además graficar en el computador personal esta señal.

SEÑALIZACION

La señalización, llevada a cabo por el microcontrolador, se realiza a través de leds y displays en la parte frontal del equipo. En el computador personal se realiza por medio de leyendas y/o sonidos propios de cada situación.

- DISPLAY muestra el ángulo alfa, dato del sistema de adquisición de datos, fallas(9999 sobrevoltaje, 8888 sobrecorriente).
- LED CONT.PRINC encendido/cerrado, apagado/abierto.
- LED FUENTE encendido/trifásico, apagado/monof.
- LED SECUENCIA encendido/sec+ , apagado/sec-
- LED SERIAL rojo/transmisión, verde/recepción.

MANTENIMIENTO.

En potencia, el mantenimiento es casi nulo porque se trata de un modulo de estado sólido; sería aconsejable una revisión periódica de los puntos de conexión de potencia sobre todo los contactos del contactor principal.

En la unidad de control, que comprende la mayor parte del equipo, sería necesario una limpieza periódica debido al hecho de que existe el ventilador que ingresa aire eventualmente con polvo y humedad, agentes nocivos para el funcionamiento del sistema tomando en cuenta que existen elementos electrónicos sencibles y delicados como el propio microcontrolador y el conversor A/D.

Es necesario recalcar que la ventana de programación del microcontrolador debe encontrarse tapada para protegerla de la luz ultravioleta que aunque en pequenas cantidades está presente en el ambiente y puede llegar a alterar en algo el programa grabado en la eprom y así alterar todo el

sistema.

Para finalizar, se presenta a continuación una serie de problemas, diagnósticos y posibles soluciones; de persistir algún error de funcionamiento, se recomienda revisar el programa del microcontrolador o del computador personal o por ultimo revisar alguna falla de hardware. Si aun asi la falla persiste, se debe llamar a una persona que posea experiencia en esta clase de sistemas, se recomienda al constructor del equipo.

1.- Si el sistema se inicializa perfectamente y aparece en display el rango (180 grados), pero al cerrar el contactor principal, este se abre inmediatamente resultando en display 3333 (error trifásico) o 1111 (error monofasico).

Solución: revisar que la red de alimentación este balanceada.

2.- Si el sistema se no se inicializa, es decir no detecta el tipo de fuente o sincronización mostrando en display 1234.

Solución: revisar que estén todas las fases conactadas y energizadas.

3.- Si una vez funcionando el equipo, se resetea y vuelve a inicializarse nuevamente, significa que ha habido una gran perturbación en la red.

Solución: Si la perturbación es pasajera se pondra al equipo a funcionar inmediatamente; caso contrario, revisar las líneas de alimentación.

4.-Si por alguna razón se llega a tener sobrecarga permanente, el breaker se abrirá y el display mostrara error de falta de fase.

Solución: Reponer el breaker, revisar fusibles e inicializar de nuevo con el botón de reset.

5.- Si por alguna razón el sistema no responde al control de teclado se dice que el sistema se ha colgado.

Solución: en el caso del teclado, el sistema está profundamente colgado y será necesario un reset del sistema.

6.- Si por alguna razón, el computador pierde control sobre el equipo.

Solución:

1.- Revisar estado del conector del pórtico serial tanto en el computador personal como en el equipo.

2.- Revisar en el menú de inicialización que el dato de identificación este acorde con e que se muestra en display al final de la rutina de inicialización.

3.- Si la falla persiste, revisar en el programa del PC que el archivo de comunicación serial se abierto correctamente y ejecutar nuevamente el programa con el equipo reseteado.

7.- Si por alguna razón, el programa del PC a detectado algun error que el mismo programa no pueda solucionar.