

ESCUELA POLITECNICA NACIONAL  
FACULTAD DE INGENIERIA ELECTRICA

TESIS DE GRADO

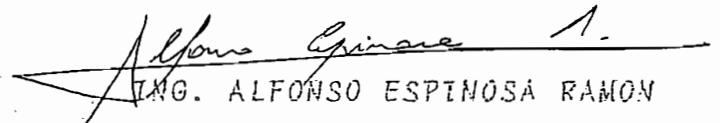
CONTROL REMOTO DIGITAL DE ENCENDIDO Y  
APAGADO DE  $N$  VARIABLES

*Tesis previa a la obtención del  
título de Ingeniero en la espe  
cialización de Electrónica y  
Telecomunicaciones.*

JAIMÉ EDISON VELARDE GUEVARA

*Quito, Enero de 1980*

Certifico que el presente  
trabajo ha sido realizado  
en su totalidad por el Se  
ñor Jaime Velarde Guevara.

  
ING. ALFONSO ESPINOSA RAMON  
Director de Tesis

DEDICATORIA

A mis Padres

## AGRADECIMIENTO

A todos quienes de una u  
otra forma contribuyeron  
a la culminación del pre  
sente trabajo.



# I N D I C E

PAGINA

## SUMARIO

### CAPITULO PRIMERO: INTRODUCCION

1-1	Aplicaciones	1
1-2	Alternativas	2
1-3	Características Generales	5
1-4	Características del Sistema Diseñado	9

### CAPITULO SEGUNDO: DIAGRAMAS DE BLOQUES

2-1	Diagrama de Bloques General	12
2-2	Diagrama de Bloques del Transmisor	13
2-3	Diagrama de Bloques del Receptor	16

### CAPITULO TERCERO: DISEÑO DEL TRANSMISOR

3-1	Diseño del Oscilador de 27,115 MHz	21
3-2	Diseño del Modulador	37
3-3	Diseño de la Etapa de Salida	43
3-4	Diseño de los Osciladores de Baja Frecuencia	57
3-5	Diseño del Multiplexer de Tonos	65
3-6	Diseño del Reloj	72
3-7	Diseño del Sincronismo del Reloj	77
3-8	Diseño del Contador Módulo Seis	79
3-9	Diseño del Borrado Automático	81
3-10	Diseño del Transformador Paralelo/Serie	83

## CAPITULO CUARTO: DISEÑO DEL RECEPTOR

4-1	Diseño del Receptor Superheterodino	88
4-2	Diseño del Detector de Envolvente	99
4-3	Diseño del Separador de Tonos	105
4-4	Diseño del Regenerador de la Secuencia de Bits	115
4-5	Diseño del Contador Módulo Seis y del Borrado Automático	120
4-6	Diseño del Transformador Serie/Paralelo	121
4-7	Diseño del Comparador de Código	125
4-8	Diseño del Control de la Variable	127

CAPITULO QUINTO: CONSTRUCCION, EXPERIMENTACION  
Y CONCLUSIONES

5-1	Construcción del Transmisor	131
5-2	Construcción del Receptor	140
5-3	Experimentación del Sistema	144
5-4	Análisis Económico	150
5-5	Conclusiones	150

APENDICE	152
----------	-----

BIBLIOGRAFIA	175
--------------	-----





## S U M A R I O

El presente trabajo consiste en el diseño de un sistema capaz de controlar a distancia el encendido y el apagado de (15) sistemas o variables independientes entre sí. La identificación de la variable se la hace mediante un código de cuatro bits y el control de encendido o apagado se lo efectúa mediante un quinto bit, que con los anteriores y los pulsos de separación entre bits conforman la secuencia de la señal de control.

El sistema de control remoto trabaja de la siguiente forma:

- En el transmisor se escoge manualmente el código de la variable y el bit de control. Luego, al activarse una señal de iniciación, los bits se transforman de su estado paralelo en una secuencia serial que controla la salida de tres osciladores de baja frecuencia, los cuales identifican que tipo de bit se encuentra en la secuencia de la siguiente manera:

$$f_1 = 4 \text{ KHz} \quad \text{si el bit es } 1_L$$

$$f_0 = 1 \text{ KHz} \quad \text{si el bit es } 0_L$$

$$f_S = 2,5 \text{ KHz} \quad \text{si es un pulso de separación.}$$

De esta forma, la señal que resulta de la transformación de la secuencia de control es en una secuencia de frecuencias, que será la modulante en amplitud de la portadora de radio-

frecuencia de 27,115 MHz, que servirá para el enlace con el receptor.

- El receptor funciona de la siguiente forma: Una vez detectada la portadora y amplificada como frecuencia intermedia de 485 KHz, se demodula la señal compuesta por las diferentes frecuencias y mediante filtros son separadas para conformar nuevamente la secuencia de bits, los cuales, una vez transformados a su estado paralelo, son comparados con el código propio de la variable. Si el resultado es positivo la acción se ejecutará, caso contrario será ignorada.

Finalmente existe la alternativa de activar o desactivar la variable directamente sin la intervención del control remoto, pero sin quitar la posibilidad de que en lo posterior, el control remoto pueda actuar.

CAPITULO PRIMERO

INTRODUCCION

## 1-1.- APLICACIONES

La característica básica de un control remoto es el poder activar o desactivar un sistema a distancia, por ello la capacidad del control depende del número de sistemas que podemos controlar desde un mismo punto.

Un ejemplo de lo anotado anteriormente es el control de un ROBOT, que nos permitiría realizar actividades difíciles y/o peligrosas que no deberían ser encomendadas a una persona. Podemos considerar también como robots a aquellos aparatos miniaturas contruídos a escala que efectúan maniobras similares a los dispositivos normales de uso corriente.

Otra aplicación del control remoto de  $N$  variables, puede ser un sistema que permita a una persona inválida desarrollar actividades que, por su condición, le serían imposibles de efectuar.

Finalmente, la idea de construir el sistema de control remoto de varias variables surgió de la necesidad de controlar desde un solo punto distintos aparatos que realizan la misma actividad y que se encuentran distantes entre sí; de esta manera, se evitan conexiones físicas (mediante alambres) que encarecen y dificultan su instalación.

Por otro lado, cabe señalar que a diferencia de los sistemas de control remoto convencionales que usan para la identificación de cada variable una frecuencia de modulación distinta. Este sistema usa una secuencia de bits para esa identificación, lo que evita la construcción de varios osciladores en el transmisor.

## 1-2.- ALTERNATIVAS

1-2-1.- En el control remoto de  $N$  variables se puede presentar alguno de los siguientes casos: que las variables se encuentran totalmente distantes entre sí, que se hallen en un solo sitio o que formen conjuntos separados. Por lo tanto, el sistema de recepción tendría las siguientes posibilidades:

- a) Un receptor de la señal de comando e identificación para cada una de las variables (Fig.1-2-1).
- b) Un solo receptor de la señal de comando para todas las variables y la identificación de cada una de ellas se lo haría posteriormente (Fig.1-2-2).
- c) Un receptor de la señal de comando por cada conjunto de variables y la correspondiente identificación de ellas (Fig.1-2-3).

1-2-2.- La forma de identificar las variables tiene dos alternativas: Por medio de la posición de los bits dentro

de la secuencia de la señal de control o mediante un código binario.

En la primera alternativa, cada bit que conforma la secuencia controla a una de las variables: Encendiéndola si el bit es uno o apagándola si es cero. Esto significa que el número de bits ( $n$ ) debe ser igual al número de variables ( $N$ ) a controlarse.

$$N = n$$

Si la identificación se la hace mediante la segunda alternativa, una variable responde al control remoto siempre y cuando los bits que conforman la secuencia coincidan con el código asignado a esa variable. Se en

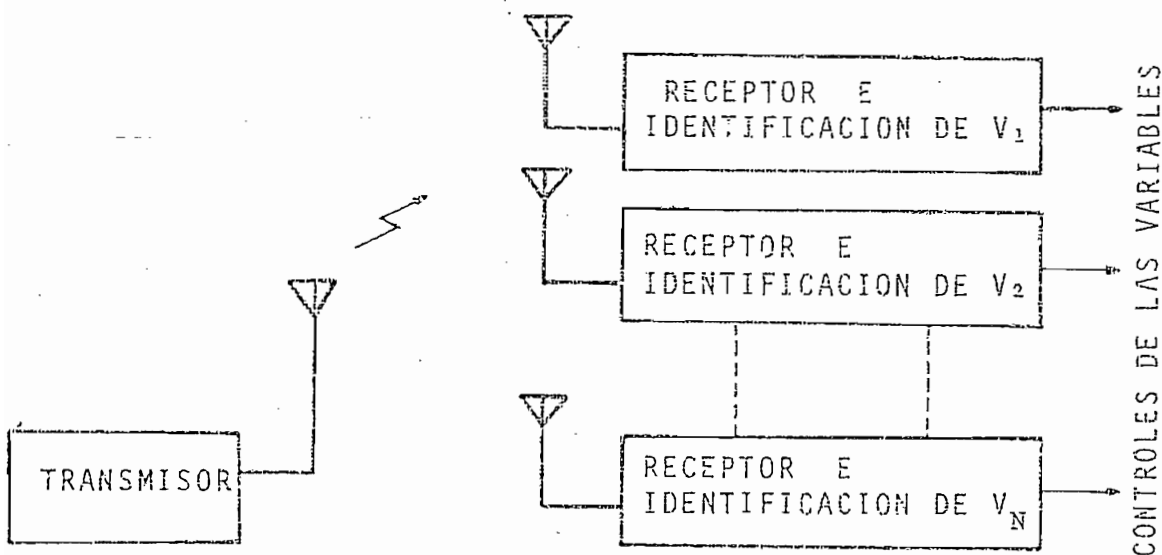


FIGURA 1-2-1. Sistema de control remoto con las variables distantes entre sí.

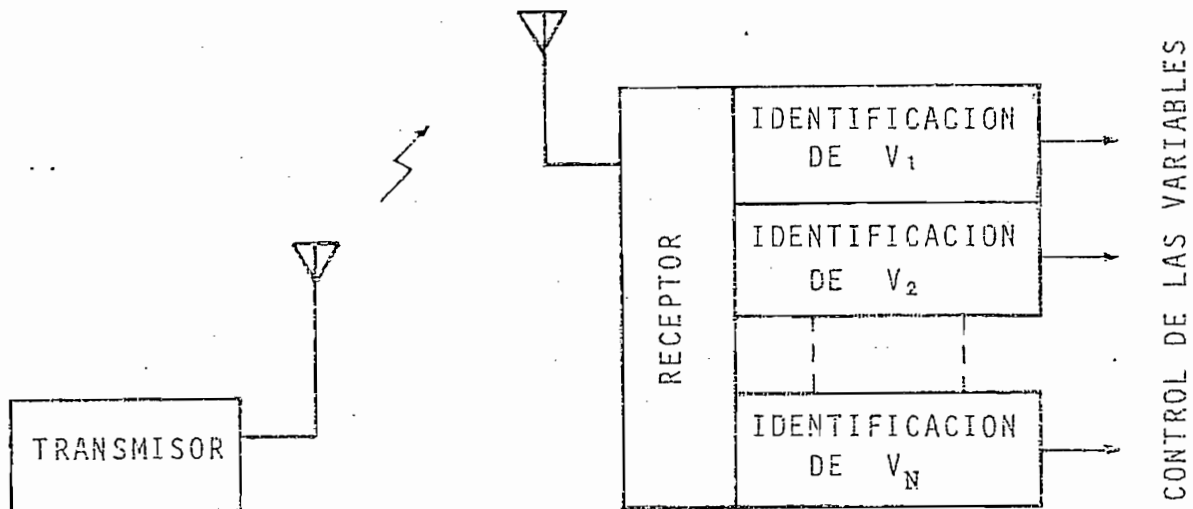


FIGURA 1-2-2. Sistema de control remoto con las variables en un solo sitio.

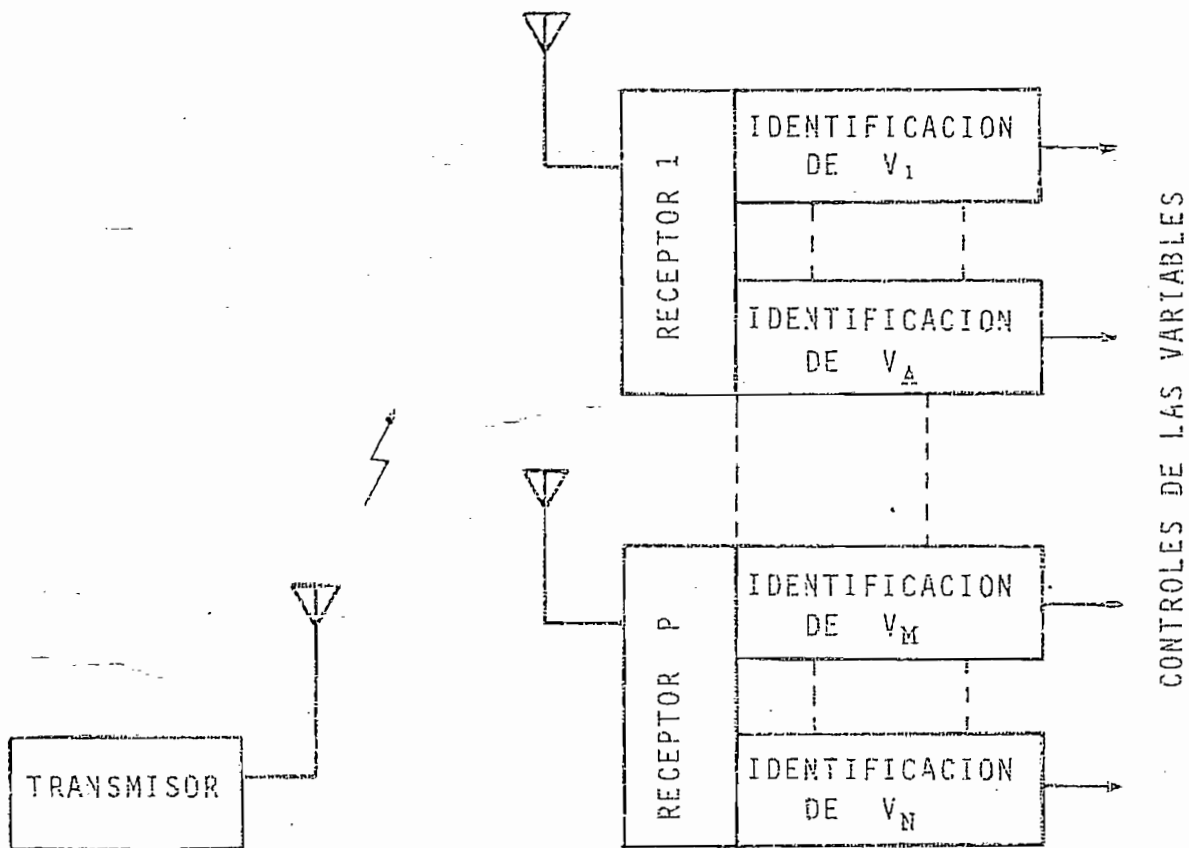


FIGURA 1-2-3. Sistema de control remoto con las variables formando conjuntos.

cenderá o apagará cuando el último bit (bit de control) sea uno o cero respectivamente. En esta alternativa la secuencia de la señal de control está formada por los bits de código más el bit de control, de lo que se puede deducir que la relación entre el número de bits (n) y el número de variables a controlar (N), es la siguiente:

$$N = 2^{n-1}$$

Comparando estas dos alternativas se puede ver que la segunda posibilidad tiene una ventaja frente a la primera; pues, dado un número determinado de bits para la ~~señal de control~~, con esta alternativa se puede controlar una mayor cantidad de variables. En cambio, respecto al tiempo necesario para controlar todas las variables la primera alternativa es mucho más rápida, ya que en su secuencia están incluidas todas las variables; mientras que con la segunda sólo se puede controlar una a la vez.

### 1-3.- CARACTERISTICAS GENERALES

Un sistema de control remoto consiste básicamente en un transmisor y un receptor. La interrelación entre ellos puede ser de diversas formas: Por conductores, transmitiendo ultrasonido, luz o radio-frecuencia. Esta últi-



ma es la más común y la que usaremos en nuestro sistema.

A continuación presentamos algunas secciones de las Reglas y Regulaciones pertenecientes al FCC (FEDERAL COMMUNICATIONS COMMISSION) que rigen en el Ecuador, respecto al uso de la Banda Ciudadana para control remoto.

1-3-1.- La Banda Ciudadana es un servicio de radio con estaciones fijas o móviles usadas con el propósito de establecer comunicaciones de tipo personal o de negocios, radio-señalización y control remoto de elementos u objetos. (Sección 95-3-a).

1-3-2.- Las estaciones Clase C son un tipo de estación de la Banda Ciudadana que están autorizadas para trabajar en la banda de 26,96 a 27,23 MHz o en la frecuencia de 27,255 MHz para el control remoto en general. También está autorizado su funcionamiento en la banda de 72 a 76 MHz pero únicamente para el control remoto de modelos a escala usados como hobby (Sección 95-3-b).

1-3-3.- Las estaciones Clase C pueden ser fijas o móviles (Sección 95-6-b).

1-3-4.- Las antenas para las estaciones Clase C tanto para el transmisor como para el receptor, con toda su estructura, no deben exceder más allá de los 20 pies sobre el

nivel de tierra y deben ser omnidireccionales (Sección 95-37-c).

Para las estaciones de la banda de 72 a 76 MHz, la antena debe formar una sola estructura con el transmisor, su ganancia no debe exceder de la de un dipolo de media longitud de onda y sólo está permitida la polarización vertical (Sección 95-37-d).

1-3-5.- Las frecuencias disponibles para el control remoto en general son las siguientes:

26,995 MHz	27,045 MHz	27,095 MHz
27,145 MHz	27,195 MHz	27,255 MHz

Para el control remoto de modelos a escala las frecuencias asignadas son:

72,16 MHz	72,32 MHz	72,96 MHz
-----------	-----------	-----------

Y para el control remoto en aerodelismo se podrán usar las siguientes frecuencias:

72,08 MHz	72,24 MHz	
72,40 MHz	75,64 MHz	(Sección 95-41-c).

1-3-6.- La potencia transmitida por una estación no debe exceder de los siguientes valores bajo ninguna condición de modulación u otra circunstancia.

Estaciones Clase C:

De 26,95 a 27,23 MHz 4 wátios  
De 72 a 76 MHz 0,75 wátios  
(Sección 95-43-b).

La frecuencia portadora en las estaciones Clase C se deben mantener con una tolerancia del 0,005%.

(Sección 95-45-a).

Sin embargo las estaciones Clase C, operando en la banda de 26,96 a 27,23 MHz con una potencia de salida de 2,5 wátios o menos, pueden tener una tolerancia en la frecuencia portadora del 0,01%.

(Sección 95-45-b).

1-3-7.- Las estaciones Clase C están autorizadas solamente para usar modulación de amplitud por tonos o modulación de portadora interrumpida.

(Sección 95-47-c).

1-3-8.- El ancho de banda autorizado para la emisión de cualquier transmisor que emplea modulación de amplitud es de 8 KHz para doble banda lateral y 4 KHz para banda lateral única.

(Sección 95-49-c).

1-3-9.- Los transmisores de las estaciones Clase C que operan

en la banda de 26,96 a 27,23 MHz pueden ser del tipo controlado a cristal.

(Sección 95-55-b).

#### 1-4.- CARACTERISTICAS DEL SISTEMA DISEÑADO

En base a las especificaciones técnicas del FCC y a la dificultad de conseguir ciertos elementos como los respectivos cristales, nuestro sistema de control remoto, quedó definido de la siguiente manera:

1-4-1.- Un transmisor de 0,5 vatios de potencia de salida, controlado por un cristal de 27,115 MHz y modulado en amplitud por tres diferentes tonos, que corresponden: a 1 lógico  $f_1$ , a 0 lógico  $f_0$  y a los pulsos de separación entre los bits  $f_s$ .

Según las regulaciones mencionadas anteriormente estos tonos deben estar dentro del ancho de banda de 8 KHz para el transmisor de doble banda lateral, quedando fijadas de la siguiente forma:

$$f_0 = 1,0 \text{ KHz}$$

$$f_s = 2,5 \text{ KHz}$$

$$f_1 = 4,0 \text{ KHz}$$

1-4-2.- Respecto a la forma de identificar las variables en el control remoto digital escogemos la segunda alternati-

va, es decir aquella que utiliza un código en la señal de control. Si la secuencia la limitamos a una extensión de 5 bits podremos controlar un máximo de 16 variables, de las cuales 15 códigos corresponden realmente distintas variables, mientras que el código de la "VARIABLE CERO" la usaremos para encender o apagar todas las variables al mismo tiempo.

1-4-3.- Tomando en cuenta que el sistema de control remoto digital de 15 variables se lo hace mediante la transmisión de un código binario de 5 bits, "LA SECUENCIA DE LA SEÑAL DE CONTROL" quedará estructurada de la siguiente forma:

- Cuatro bits para el código de la variable,
- Un bit para el control del encendido o el apagado de la variable y
- Seis pulsos de separación. El primero para iniciar la secuencia, el último para finalizarla y los otros cuatro para separar los bits.

1-4-4.- En lo que concierne al receptor lo diseñamos de manera que cumpla con aquella condición de que las variables se encuentran distantes entre sí, por ello construiremos un prototipo de receptor con posibilidad de cambiar el código de la variable, con lo cual simularemos la existencia de las demás variables que serán cons-

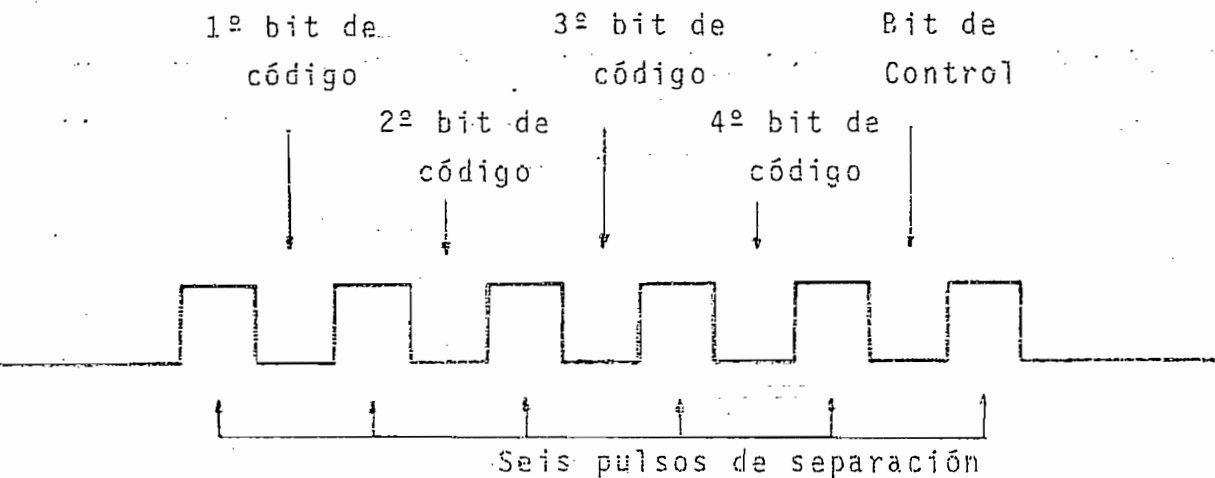


FIGURA 1-4-1. Secuencia de la señal de control.

truídas en forma similar al prototipo.

Por otro lado, el activado o desactivado de las variables no sólo podrá hacerse mediante el sistema de control remoto, sino también mediante un control manual que estará incorporado al receptor.

CAPITULO SEGUNDO

DIAGRAMAS DE BLOQUES

## 2-1.- DIAGRAMA DE BLOQUES GENERAL

Como se ha dicho anteriormente, el sistema de control remoto consta básicamente de un transmisor y un receptor (Fig.2-1-1).

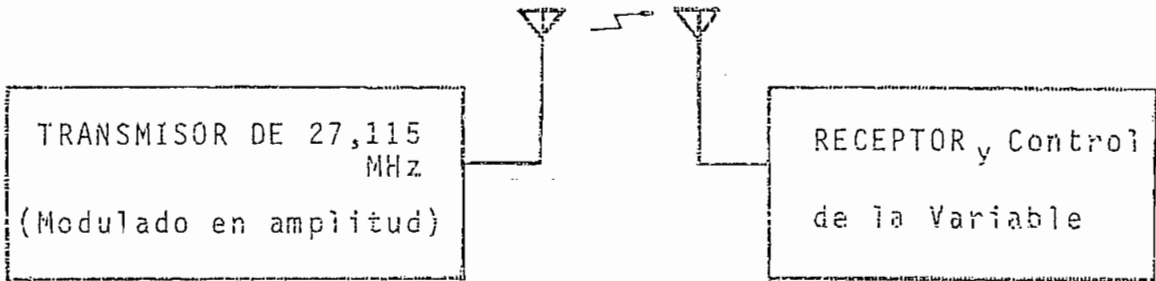


FIGURA 2-1-1. Sistema de Control Remoto.

En el presente caso del control remoto digital, tanto el transmisor como el receptor se caracterizan por tener dos secciones bien definidas: Una analógica y otra digital. (Fig.2-1-2).

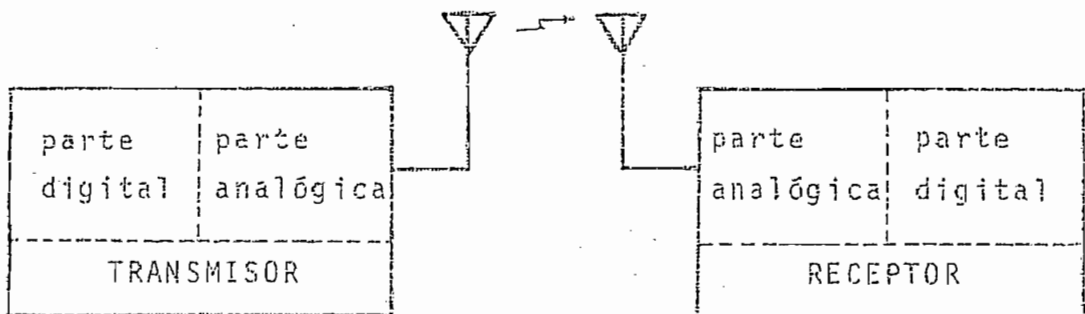


FIGURA 2-1-2. Sistema de control remoto digital



La parte digital del transmisor es la que genera la secuencia de la señal de control en forma de pulsos, dependiendo del código seleccionado y de la señal de iniciación. La parte analógica, en cambio, sirve para transmitir esa secuencia de pulsos en forma de una señal de radio-frecuencia modulada en amplitud.

En el receptor, la parte analógica se encarga de detectar la señal de radio-frecuencia, amplificarla y restituir los pulsos de la señal de control. Mientras que, en la parte digital se procesa esta secuencia comparando el código transmitido con los códigos de la variable, para establecer el control sobre ella; finalmente, incorporado a esta sección se encuentra el control manual de la variable.

## 2-2.- DIAGRAMA DE BLOQUES DEL TRANSMISOR

Dentro del diagrama de bloques del transmisor (Fig.2-2) la sección analógica consta de las siguientes partes:

2-2-1-a.- EL OSCILADOR DE RADIO-FRECUENCIA: Es donde se genera la señal sinusoidal ( $e_c$ ) de 27,115 MHz, que constituirá la portadora de la señal a transmitirse.

2-2-1-b.- EL MODULADOR DE AMPLITUD: Es la etapa en la cual la portadora es modulada en amplitud por una señal mo-

PARTE ANALOGICA

PARTE DIGITAL

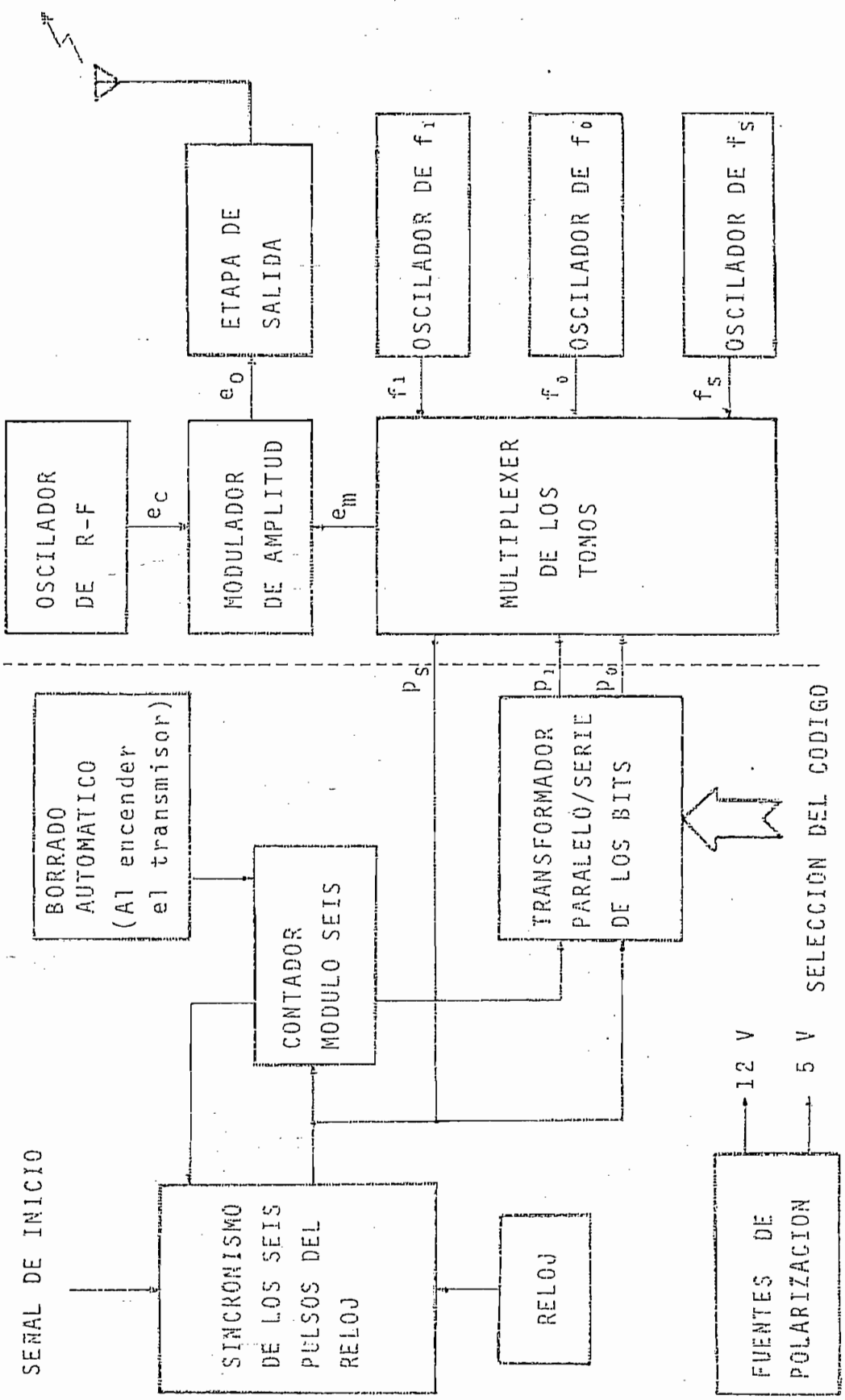


FIGURA 2-2. Diagrama de bloques del transmisor.

dulante ( $e_m$ ), que es la secuencia de la señal de control digital transformada en una señal analógica constituida por los tres diferentes tonos ( $f_1$ ,  $f_0$ ,  $f_s$ ).

2-2-1-c.- LA ETAPA DE SALIDA: En esta sección se consigue el nivel deseado de la señal modulada ( $e_0$ ) para tener los 0,5 wattios de potencia de salida. También es la etapa donde se efectúa el acoplamiento de la antena al transmisor.

2-2-1-d.- LOS OSCILADORES DE BAJA FRECUENCIA: Estos bloques generan las tres señales sinusoidales de audio-frecuencia ( $f_1$ ,  $f_0$ ,  $f_s$ ) que conforman la señal modulante.

2-2-1-e.- EL MULTIPLEXER DE LOS TONOS: En esta parte se obtiene la señal modulante controlando la salida de los osciladores de audio-frecuencia, mediante la secuencia de pulsos ( $p_1$ ,  $p_0$ ,  $p_s$ ) provenientes de la parte digital del transmisor.

La sección digital, a su vez, consta de las siguientes partes:

2-2-2-a.- EL RELOJ: Es un generador de onda cuadrada de frecuencia igual a 10 Hz, que sirve para controlar el trabajo de esta sección digital.

- 2-2-2-b.- EL SINCRONISMO DE LOS PULSOS DEL RELOJ: Esta parte tiene el objeto de sincronizar la señal de inicio con el reloj, de tal forma que el primer pulso sea siempre completo.
- 2-2-2-c.- EL CONTADOR MODULO SEIS: Es donde se cuentan los seis pulsos del reloj (necesarios para conformar la secuencia de la señal de control) y luego se emite una señal que bloquea la generación de nuevos pulsos.
- 2-2-2-d.- EL BORRADO AUTOMATICO: Este bloque asegura que en el momento de encender el aparato, el circuito contador tenga en su salida el valor de cero.
- 2-2-2-e.- EL TRANSFORMADOR PARALELO/SERIE DE LOS BITS: En esta etapa se selecciona externamente el código a transmitirse y como los bits se encuentran en forma paralela se los transforma en una secuencia serial.
- 2-2-3.- FUENTES DE POLARIZACION: Para el transmisor necesitamos dos fuentes de tensión reguladas, una de 5 voltios para la parte digital y otra de 12 voltios para la parte analógica.

## 2-3.- DIAGRAMA DE BLOQUES DEL RECEPTOR

El Diagrama de bloques del receptor (Fig.2-3) consta de las siguientes partes en su sección analógica:

- 2-3-1-a.- EL RECEPTOR SUPERHETERODINO DE 27,115 MHz: Es la parte que recibe la señal transmitida y la amplifica.
- 2-3-1-b.- EL DETECTOR DE ENVOLVENTE: Es el demodulador de AM mediante el cual a partir de la señal modulada se obtiene la señal modulante, que contiene la información de la secuencia de la señal de control en forma de tonos.
- 2-3-1-c.- LA SEPARACION DE TONOS: En este bloque la señal modulada se la separa en los tres diferentes tonos que lo constituyen.
- 2-3-1-d.- EL REGENERADOR DE LA SECUENCIA DE BITS: Las señales de los tonos separados, en esta sección restituyen la secuencia de pulsos de la señal de control.

La sección digital consta de las siguientes partes:

- 2-3-2-a.- EL TRANSFORMADOR SERIE/PARALELO DE LOS BITS: En esta parte la secuencia serial de bits del código que llegan al receptor, son transformados al estado paralelo.

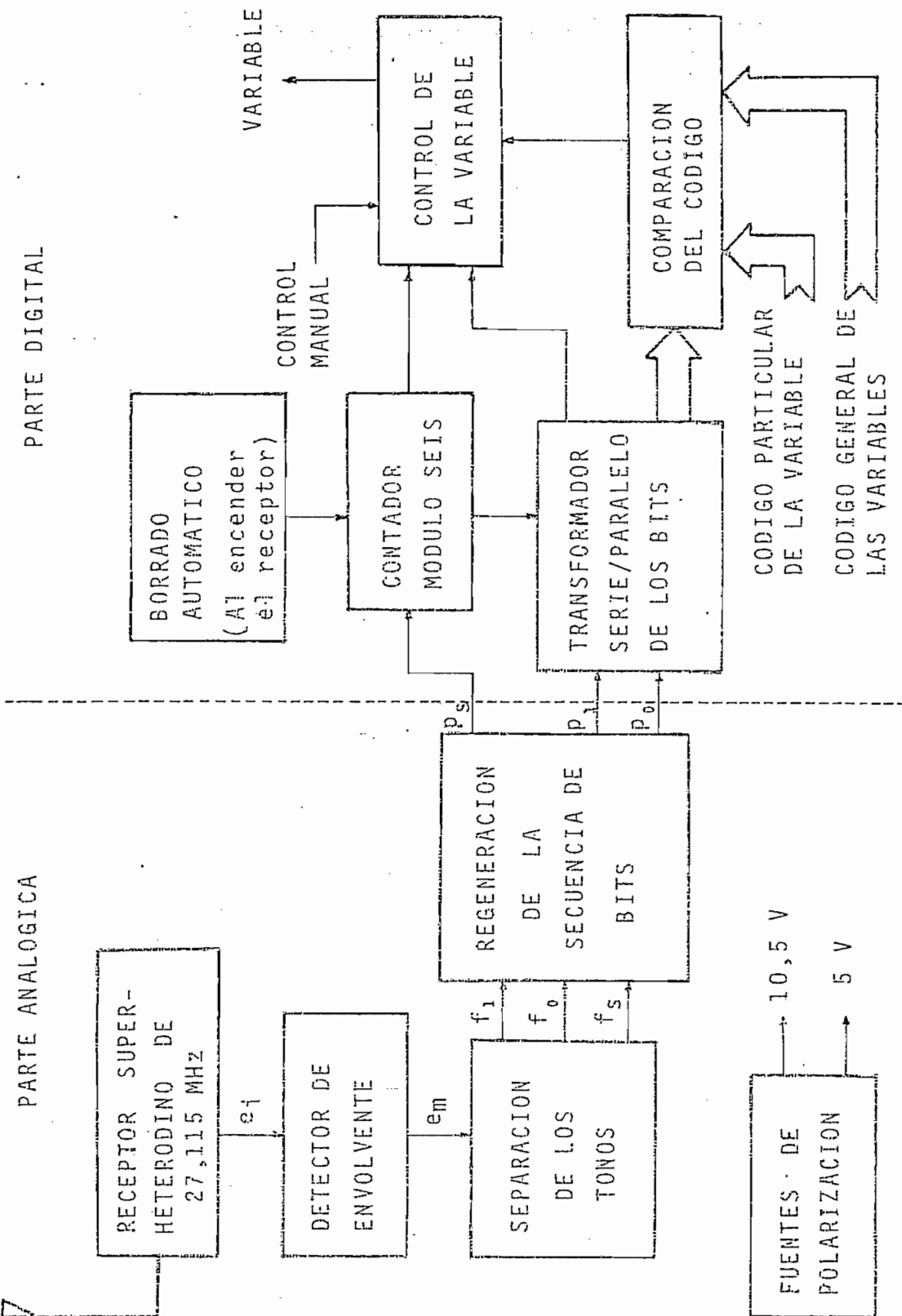


FIGURA 2-3. Diagrama de bloques del receptor.

- 2-3-2-b.- EL CONTADOR MODULO SEIS: A este contador llegan los seis pulsos de separación, los cuales nos indican el momento en que empieza y el momento en que finaliza la secuencia serial de bits para poder controlar su transformación al estado paralelo.
- 2-3-2-c.- EL BORRADO AUTOMATICO: Este bloque del receptor cumple el mismo propósito que su similar del transmisor; es decir, asegura que el contador tenga en sus salidas el valor de cero cuando se encienda el aparato.
- 2-3-2-d.- EL COMPARADOR DEL CODIGO: En esta sección la secuencia serial de bits de código enviada por el transmisor y transformado al estado paralelo son comparados con el código propio de la variable y el código de la "VARIABLE CERO" (Utilizado para controlar todas las variables).
- 2-3-2-e.- EL CONTROL DE LA VARIABLE: A esta parte llega el resultado del comparador, el bit de control y el último pulso de separación, los cuales en conjunto serán los que controlen la variable. Además, aquí es donde actúa el control manual.
- 2-3-3.- LA FUENTE DE POLARIZACION: En el receptor usaremos una sola fuente de polarización de 10,5 voltios (7 pilas de 1,5 voltios) y luego mediante un diodo Zener

de 5,1 voltios, obtendremos el voltaje de polarización para la parte digital.



CAPITULO TERCERO

DISEÑO DEL TRANSMISOR

### 3-1.- DISEÑO DEL OSCILADOR DE 27,115 MHz.

El oscilador consiste de dos partes: el circuito del oscilador a cristal y de un seguidor de emisor para poder acoplar la etapa de modulación, sin que influya en el trabajo del oscilador. El circuito es el mostrado en la Fig. 3-1-1.

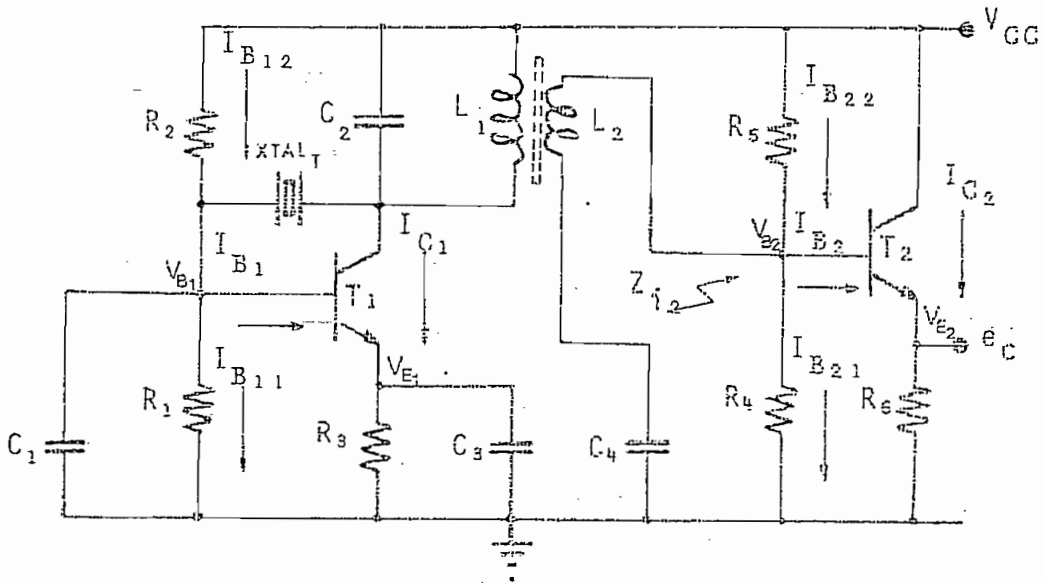


FIGURA 3-1-1. Circuito del oscilador y del seguidor de emisor.

#### 3-1-1.- POLARIZACION DEL OSCILADOR

Como fuente de polarización ( $V_{CC}$ ) escogemos 12V, de tal manera que se podría utilizar una batería de ese voltaje, para que el transmisor funcione sin necesidad de la red de 110 V.

Para  $T_1$  utilizaremos un transistor del tipo 2N5179 que es un transistor NPN de silicio, con  $\beta_{\min} = 30$  y que posee un producto ganancia de corriente - ancho de banda mínimo:  $f_T = 900$  MHz, suficiente para que pueda trabajar a la frecuencia de 27,115 MHz.

Para que el transistor trabaje en la parte lineal de sus características de salida, escogemos para el punto de polarización una corriente de colector  $I_{C_1} = 5$  mA (que es aproximadamente igual a la corriente de emisor  $I_{E_1}$ ) y un voltaje colector-emisor  $V_{CE_1} = 11$  V, es decir  $V_{CC}$  menos el voltaje que cae sobre la resistencia del emisor  $R_3$ , la cual es utilizada para estabilizar la corriente del punto de polarización a cualquier variación de la temperatura, Consecuentemente:

$$V_{E_1} = V_{CC} - V_{CE_1} = (12-11) \text{ V} = 1 \text{ V.}$$

Por lo tanto:

$$R_3 = \frac{V_{E_1}}{I_{E_1}} = \frac{1 \text{ V}}{5 \text{ mA}} = 200 \ \Omega$$

Si  $T_1$  trabaja en clase A, el voltaje en la base será:

$$V_{B_1} = V_{E_1} + V_{BE}$$

$V_{BE}$  para un transistor de silicio es 0,5V. Entonces:

$$V_{B_1} = (1 + 0,6) V = 1,6 V$$

$$I_{B_1} = \frac{I_{C_1}}{\beta_{\min}} = \frac{5 \text{ mA}}{30} = 0,167 \text{ mA}$$

Para estabilizar el punto de polarización a variaciones de la corriente reversa de la juntura colector-base cuando cambie la temperatura hacemos:

$$I_{B_{11}} = 10 I_{B_1} = 1,67 \text{ mA}$$

Por lo tanto:

$$R_1 = \frac{V_{B_1}}{I_{B_{11}}} = \frac{1,6 V}{1,67 \text{ mA}} = 960 \Omega$$

$$R_2 = \frac{V_{CC} - V_{B_1}}{I_{B_{11}} + I_{B_1}} = \frac{(12 - 1,6) V}{(1,67 + 0,167) \text{ mA}} = 5,67 \text{ k}\Omega$$

El condensador  $C_3$  conectado entre el emisor y tierra sirve para aumentar la ganancia del amplificador, por ello la reactancia que presenta a la frecuencia de trabajo debe ser mucho menor que la resistencia  $R_3$ .

$$|X_{C_3}| \ll R_3$$

$$\frac{1}{2\pi f C_3} \ll \frac{R_3}{10}$$

$$C_3 > \frac{10}{2\pi f R_3} = \frac{10 \text{ F}}{2\pi(27,115 \times 10^6) 200 \Omega} = 293 \text{ pF}$$

Para los elementos calculados anteriormente en la construcción utilizaremos los siguientes valores:

$$R_1 = 1 \text{ K}\Omega$$

$$R_2 = 5,6 \text{ K}\Omega$$

$$R_3 = 200 \Omega$$

$$C_3 = 0,01 \mu\text{F}$$

### 3-1-2.- ELEMENTOS QUE CONFORMAN EL OSCILADOR

El punto de vista para el diseño del oscilador, de donde saldrán los valores de los restantes elementos, es simple.

Supongamos un circuito serie RLC. Al alimentarlo con una señal continua obtenemos como respuesta una sinusoidal atenuada.

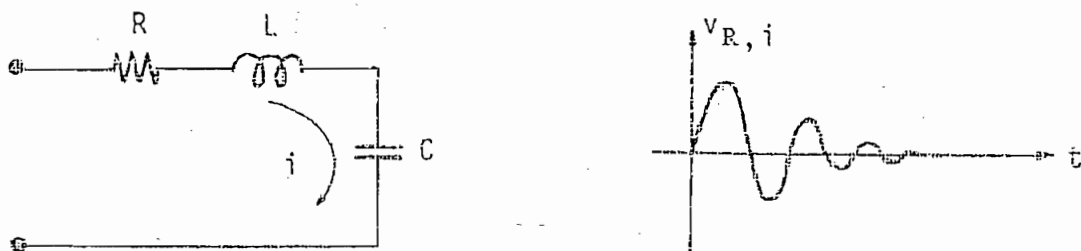


FIGURA 3-1-2. Circuito Serie RLC.

Esta atenuación se debe a la presencia de la resistencia  $R$  en el circuito. Si podemos introducir en el circuito una resistencia negativa ( $-R$ ) que compense las pérdidas de los elementos reactivos, el circuito oscilaría indefinidamente. Entonces, el papel del elemento activo (en este caso el transistor) es el de representar una resistencia negativa.

A continuación analizaremos el circuito del oscilador a cristal que puede ser representado como se indica en la Fig. 3-1-3 y cuyo circuito equivalente muestra la Fig. 3-1-4.

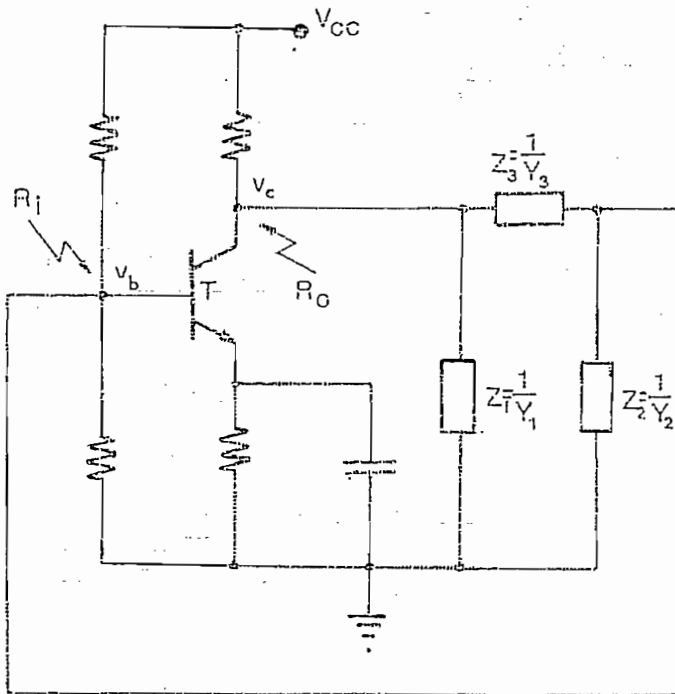


FIGURA 3-1-3. Circuito básico del oscilador.

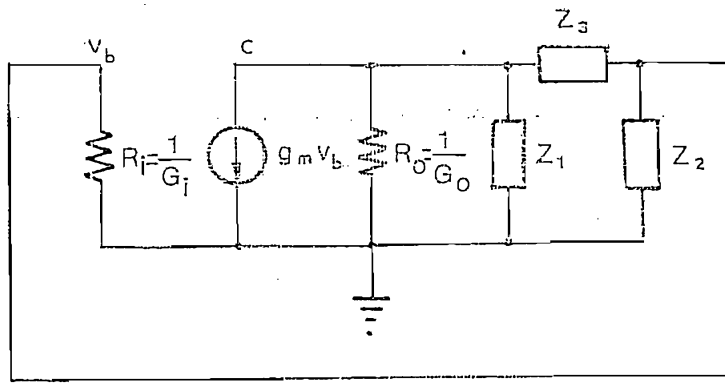


FIGURA 3-1-4. Circuito equivalente (1) del oscilador.

En la Fig. 3-1-4  $R_i$  es la impedancia de entrada, que es igual a  $h_{ie}$  en paralelo con la resistencia de polarización; así mismo,  $R_o$  es la impedancia de salida ( $1/h_{oe}$  en paralelo con la resistencia de colector), por lo que el circuito equivalente también puede ser dibujado como indica la Fig. 3-1-5.

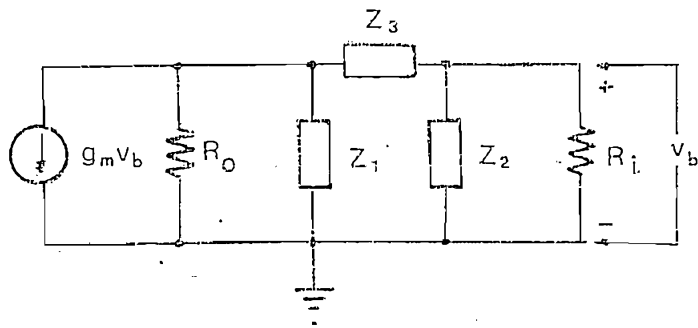


FIGURA 3-1-5. Circuito equivalente (2) del oscilador.

Por el teorema de Thevenin, el circuito equivalente puede ser representado como indica la Fig. 3-1-6.

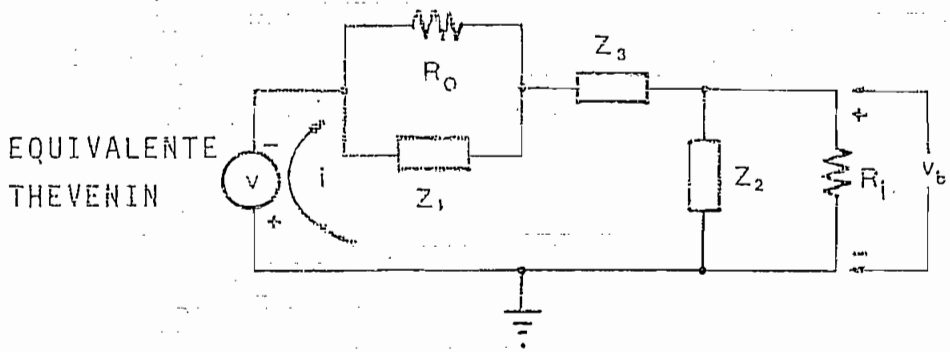


FIGURA 3-1-6. Circuito equivalente (3) del oscilador.

En donde la fuente equivalente que representa al transistor será:

$$v = \frac{g_m v_b}{G_0 + Y_1}$$

El voltaje en la base será:

$$v_b = \frac{i}{G_j + Y_2}$$

por lo que:

$$i = v_b (G_j + Y_2)$$

Entonces, para que exista oscilación la impedancia que debería presentar la fuente equivalente que sustituye al transistor es:



$$z = \frac{v}{i} = \frac{g_m}{(G_0 + Y_1)(G_j + Y_2)}$$

Considerando que  $Y_1$ ,  $Y_2$ ,  $Y_3$  son valores puramente reactivos:

$$z = \frac{g_m (G_0 - Y_1)(G_j - Y_2)}{(G_0^2 - Y_1^2)(G_j^2 - Y_2^2)}$$

$$z = \frac{g_m (G_0 G_j + Y_1 Y_2) - g_m (Y_1 G_j + Y_2 G_0)}{(G_0^2 - Y_1^2)(G_j^2 - Y_2^2)}$$

Tómese en cuenta que  $(G_0^2 - Y_1^2)$  y  $(G_j^2 - Y_2^2)$  tienen valores reales positivos pues  $Y_1$  y  $Y_2$  son valores imaginarios puros. Por la misma razón,  $Y_1 \cdot Y_2$  tendrá siempre un valor real negativo.

Si  $|Y_1 Y_2| > G_0 G_j$ , entonces la impedancia que representa a la fuente equivalente será:

$$z = -R_f + j X_f$$

En donde:

$$R_f = \left| \frac{g_m (Y_1 Y_2 + G_0 G_j)}{(G_0^2 - Y_1^2)(G_j^2 - Y_2^2)} \right|$$

Nótese que la impedancia de la fuente equivalente que representa al transistor tiene una resistencia negativa, por lo que se podrá mantener la oscilación indefinidamente en el circuito básico del oscilador.

Finalmente, para que exista la oscilación, es indispensable que la impedancia total de la malla del circuito equivalente  $Z_{\text{malla}} \equiv 0$

$$Z_{\text{malla}} = Z + \frac{1}{G_0 + Y_1} + Z_3 + \frac{1}{G_1 + Y_2} \equiv 0$$

$$Z_{\text{malla}} = -R_f + jX_f + \frac{G_0 - Y_1}{G_0^2 - Y_1^2} + Z_3 + \frac{G_1 - Y_2}{G_1^2 - Y_2^2} \equiv 0$$

Si hacemos que  $Y_1 \gg G_0$  y  $Y_2 \gg G_1$ , tenemos que:

$$Y_1^2 \gg G_0^2 \quad \text{y} \quad Y_2^2 \gg G_1^2$$

De donde:

$$R_f = \left| \frac{g_m}{Y_1 Y_2} \right| \quad \text{y} \quad X_f \approx 0$$

Por lo que,

$$Z_{\text{malla}} \equiv 0 \approx -R_f - \frac{G_0}{Y_1^2} + \frac{1}{Y_1} + Z_3 - \frac{G_1}{Y_2^2} + \frac{1}{Y_2}$$

$$0 = -\left(R_f + \frac{G_0}{Y_1^2} + \frac{G_j}{Y_2^2}\right) + Z_1 + Z_2 + Z_3 \quad (1)$$

Nótese que la parte encerrada en paréntesis es la parte real, mientras que  $Z_1 + Z_2 + Z_3$  será, en general, imaginaria. Por lo tanto, la parte real y la parte imaginaria deberán ser, por separado, iguales a cero. En realidad, para compensar las pérdidas, la parte real debe ser menor que cero.

El modelo eléctrico del cristal de cuarzo es el indicado en la Fig. 1-3-7-b, y la reactancia del cristal se muestra en la Fig. 1-3-7-c. En donde y debido a que  $C_0 \gg C_x$  se tiene:

$$\omega_1 = \frac{1}{\sqrt{L_x C_x}} \quad \text{y} \quad \omega_2 = \omega_1 \left(1 + \frac{C_x}{2C_0}\right)$$

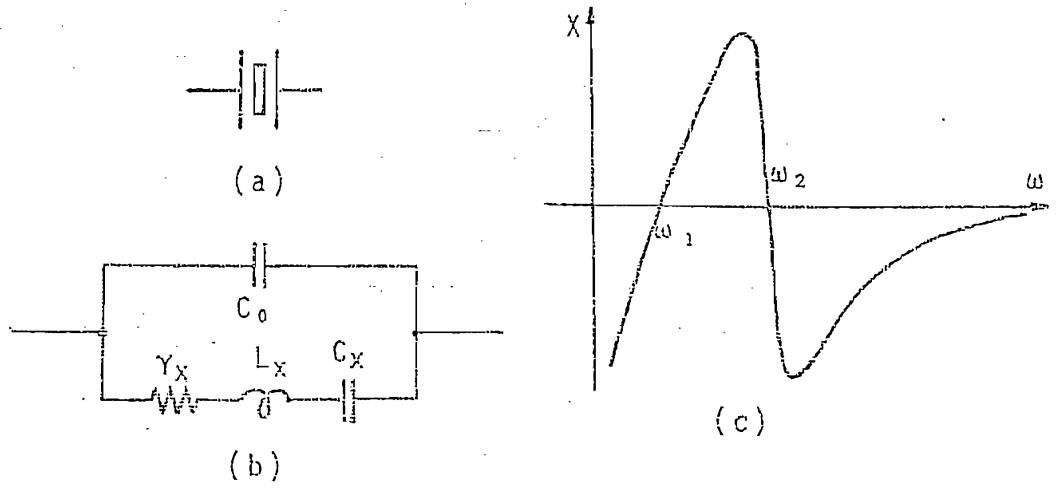


FIGURA 1-3-7. Símbolo, modelo eléctrico y reactancia de un cristal de cuarzo.

Ahora bien, si ponemos en el circuito básico del oscilador, en lugar de  $Z_3$  el cristal de cuarzo y consideramos que  $Z_1$  y  $Z_2$  son reactancias capacitivas, tenemos que:

$$Z_3 = \gamma_x + j\omega L_x + \frac{1}{j\omega C_x} \quad (\text{Impedancia del cristal})$$

$$Z_1 = \frac{1}{j\omega C_1} \quad (\text{Reactancia de } C_1)$$

$$Z_2 = \frac{1}{j\omega C_2'} \quad (\text{Reactancia de } C_2 \text{ en paralelo con } L_1)$$

Por lo tanto, sustituyendo en la ecuación (1) de la impedancia de malla cerrada y tomando en cuenta las consideraciones necesarias para la oscilación, se tiene:

$$\frac{g_m}{\omega^2 C_1 C_2'} - \frac{G_0}{\omega^2 C_1'^2} - \frac{G_j}{\omega^2 C_2'^2} - \gamma_x \geq 0$$

y puesto que,

$$(\omega C_1')^2 \gg G_0, \quad (Y_1 \gg G_0) \quad \text{y} \quad (\omega C_2')^2 \gg G_j, \quad (Y_2 \gg G_j)$$

Tenemos:

$$g_m \geq \gamma_x \omega^2 C_1 C_2' \quad (2)$$

Además se tiene que:

$$\frac{1}{j\omega C_1} + \frac{1}{j\omega C_2'} + \frac{1}{j\omega C_x} + j\omega L_x = 0$$

y debido a que,

$$C_x \ll C_1 \quad \text{y} \quad C_x \ll C_2'$$

$$\omega_0 = \frac{1}{\sqrt{L_x C_x}}$$

Esto significa que la frecuencia de oscilación estará determinada exclusivamente por el cristal. Para estar de acuerdo con las regulaciones FCC sobre la Banda Ciudadana, escogemos un cristal de 27,115 MHz.

El cálculo de  $C_1$  y  $C_2'$  podemos hacerlo en la ecuación (2) para lo cual, conocemos:

La transconductancia del transistor que es:

$$g_m = \frac{\alpha}{Y_e}$$

Donde  $\alpha$  es la ganancia de corriente en base común y  $Y_e$  es la resistencia del diodo del emisor, que es dependiente de la corriente que circula a través de él y de la temperatura de trabajo.

$$\gamma_e = \frac{I_{E_1}}{V_T}$$

$$V_T = \frac{KT}{q}$$

K = Constante de Boltzmann

T = Temperatura absoluta

q = Carga electrónica

Para la temperatura ambiente  $V_T = 26 \text{ mV}$ , es decir:

$$g_m = \frac{\alpha I_{E_1}}{26 \text{ mV}} = \frac{I_{C_1}}{26 \text{ mV}} = \frac{5 \text{ mA}}{26 \text{ mV}} = 0,192 \text{ mhos}$$

Por otro lado, también conocemos que:

$\gamma_X = 40 \ \Omega$  (Según TECHNICAL DATA CRISTALS ICM para  
cristales de alta frecuencia de 15-60 MHz)

$$\omega = 2\pi \times 27,115 \times 10^5 \text{ rad/seg.}$$

Para  $C_1$  tomamos el valor:

$$C_1 = 39 \text{ pF}$$

Por lo tanto,

$$C_2' \leq \frac{g_m}{\gamma_X \omega^2 C_1} = \frac{0,192}{40 (2\pi \times 27,115 \times 10^5)^2 39 \times 10^{-12}} =$$
$$= 4.240 \text{ pF.}$$

Luego si  $C_2' = 12$  pF se cumple suficiente la condición de la ecuación (2).

Finalmente, para poder obtener la señal de salida sin cargarle al oscilador reemplazamos  $C_2'$  por  $C_2$  en paralelo con un transformador, es decir:

$$X_{C_2'} = X_{C_2} \parallel X_{L_1} \quad \text{Entonces} \quad B_{C_2'} = B_{C_2} + B_{L_1}$$

$$\omega C_2' = \omega C_2 - \frac{1}{\omega L_1} \quad \text{de donde} \quad L_1 = \frac{1}{\omega^2 (C_2 - C_2')}$$

Si asumimos

$$C_2 = 39 \text{ pF}$$

$$L_1 = \frac{1 \text{ H}}{(2\pi \times 27,115 \times 10^6)^2 (39 - 12) 10^{-12}} = 1,276 \text{ } \mu\text{H}$$

Para los elementos calculados y asumidos anteriormente en la construcción utilizamos los siguientes valores:

$$XTRAL_T = 27,115 \text{ MHz}$$

$$C_1 = 39 \text{ pF}$$

$$C_2 = 39 \text{ pF}$$

$$L_1 = 1,28 \mu\text{H}$$

### 3-1-3.- POLARIZACION DEL SEGUIDOR DE EMISOR

Ya determinamos que la fuente de polarización  $V_{CC}$  es igual a 12 V. El transistor  $T_2$  escogemos del tipo 2N5179, por las mismas razones que escogimos  $T_1$ ; es decir, que el transistor tenga el suficiente ancho de banda para que pueda trabajar a la frecuencia de 27,115 MHz.

Para que el transistor trabaje en la parte lineal de sus características de salida, escogemos:

$$V_{CE_2} = 8 \text{ V}$$

$$I_{C_2} = 8 \text{ mA} \approx I_{E_2}$$

Por lo tanto:

$$R_6 = \frac{V_{E_2}}{I_{E_2}} = \frac{V_{CC} - V_{CE_2}}{I_{E_2}} = \frac{(12-8) \text{ V}}{8 \text{ mA}} = 500 \Omega$$

$$V_{B_2} = V_{E_2} + V_{BE}$$

$$\text{Entonces } V_{B_2} = (4+0,6) \text{ V} = 4,6 \text{ V}$$

Conocemos también que:



$$I_{B_2} = \frac{I_{C_2}}{\beta_{\min}} = \frac{8 \text{ mA}}{30} = 0,267 \text{ mA}$$

Para estabilizar el punto de polarización a cambios de corriente reversa entre colector-base hacemos:

$$I_{B_{21}} = 10 I_{B_2} = 10 (0,267 \text{ mA}) = 2,67 \text{ mA}.$$

Por lo tanto,

$$R_4 = \frac{V_{B_2}}{I_{B_{21}}} = \frac{4,6 \text{ V}}{2,67 \text{ mA}} = 1,72 \text{ K}\Omega$$

$$R_5 = \frac{V_{CC} - V_{B_2}}{I_{B_{21}} + I_{B_2}} = \frac{(12 - 4,6) \text{ V}}{(2,67 + 0,26) \text{ mA}} = 2,52 \text{ K}\Omega$$

El condensador de paso  $C_4$  debe presentar una reactancia mucho menor que la impedancia de entrada al seguidor de emisor  $Z_{i2}$ .

$$|X_{C_4}| \ll Z_{i2}$$

$$\frac{1}{2\pi f C_4} < \frac{Z_{i2}}{10}$$

donde

$$Z_{i2} = R_4 \parallel R_5 \parallel \beta R_E = 957 \Omega$$

$$C_4 \geq \frac{10 \text{ F}}{2\pi \times 27,115 \times 10^6 \times 957} = 62 \text{ pF}$$

Para los elementos calculados anteriormente, en la construcción utilizamos los siguientes valores:

$$R_4 = 1,8 \text{ K}\Omega$$

$$R_5 = 2,7 \text{ K}\Omega$$

$$R_6 = 510 \Omega$$

$$C_4 = 0,047 \mu\text{F}$$

### 3-2.- DISEÑO DEL MODULADOR

Como circuito modulador de amplitud usamos un amplificador con entrada de la portadora ( $e_c$ ) en la base, salida en el colector ( $e_o$ ) y modulado por corriente en el emisor ( $e_m$ ). El esquema del circuito es el de la Fig.

3-2-1.

Nótese que en el circuito modulador, no existe polarización en la base del transistor  $T_3$  (entrada de la señal modulante). Esto se debe a que la base de  $T_3$ , se acoplará directamente a la salida del MULTIPLEXER DE TONOS, que es la salida de la señal modulante y de donde se obtendrá la polarización  $V_{B_3} = 1 \text{ V.}$

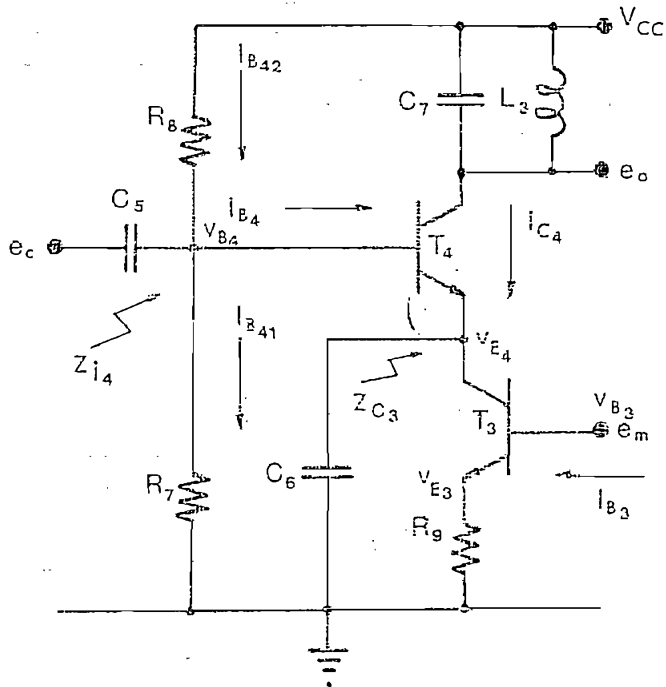


FIGURA 3-2-1. Circuito Modulador de Amplitud.

3-2-1.- POLARIZACION DEL MODULADOR.

Como fuente de polarización también utilizaremos:

$$V_{CC} = 12 \text{ V}$$

por las mismas razones que escogimos  $T_1$ , escogemos  $T_3$  y  $T_4$  del tipo 2N5179.

Para la corriente de polarización en el colector asumimos:

$$I_{C3} = 12 \text{ mA} \approx I_{E3} \approx I_{C4}$$

$$V_{B_3} = V_{E_3} + V_{BE}$$

$$V_{E_3} = V_{B_3} - V_{BE}$$

$$V_{E_3} = (1 - 0,6) \text{ V} = 0,4 \text{ V.}$$

Por lo tanto,

$$R_9 = \frac{V_{E_3}}{I_{E_3}} = \frac{0,4 \text{ V}}{12 \text{ mA}} = 33 \Omega$$

Sabemos que:

$$I_{B_4} = \frac{I_{C_4}}{\beta_{\min}} = \frac{12 \text{ mA}}{30} = 0,4 \text{ mA}$$

Para estabilizar el punto de polarización del transistor  $T_4$ , a variaciones de la corriente colector-base haremos:

$$I_{B_{41}} = 10 I_{B_4} = 10 (0,4 \text{ mA}) = 4 \text{ mA}$$

Para que el transistor trabaje en la parte lineal de sus características escogemos  $V_{CE_4} = 6,6 \text{ V}$ .

$$V_{E_4} = V_{CC} - V_{CE_4} = (12 - 6,6) \text{ V} = 5,4 \text{ V.}$$

Lo que significa que:

$$V_{B_4} = V_{E_4} + V_{BE} = (5,4 + 0,6) \text{ V} = 6 \text{ V}.$$

Por lo tanto,

$$R_7 = \frac{V_{B_4}}{I_{B_{41}}} = \frac{6 \text{ V}}{4 \text{ mA}} = 1,5 \text{ K}\Omega$$

$$R_8 = \frac{V_{CC} - V_{B_4}}{I_{B_{41}} + I_{B_4}} = \frac{(12 - 6) \text{ V}}{(4 + 0,4) \text{ mA}} = 1,36 \text{ K}\Omega$$

El condensador  $C_6$  sirve para aumentar la ganancia del transistor  $T_4$ , por ello la reactancia que presenta debe ser mucho menor de impedancia que se presenta en el colector del transistor  $T_3$ :  $Z_{C_3}$ .

$$|X_{C_6}| \ll Z_{C_3}$$

$$Z_{C_3} = h_{oe} = 10 \text{ K}\Omega$$

$$\frac{1}{2\pi f C_6} \leq \frac{Z_{C_3}}{10}$$

$$C_6 \geq \frac{10 \text{ F}}{2\pi \times 27,115 \times 10^6 \times 10^4} = 5,87 \text{ pF}$$

El condensador de paso  $C_6$  debe presentar una reactancia mucho menor que la impedancia de entrada del transa

istor  $T_4$ .

$$|X_{C_5}| \ll Z_{i_4}$$

$$Z_{i_4} = R_7 \parallel R_8 \parallel \beta \gamma_{e_4}$$

$\gamma_{e_4}$  es la resistencia del diodo del emisor.

$$\gamma_{e_4} = \frac{KT}{q I_{E_4}}$$

A la temperatura ambiente:

$$\gamma_{e_4} = \frac{26 \text{ mV}}{12 \text{ mA}} = 2,17 \Omega$$

$$Z_{i_4} = 1,5 \text{ K}\Omega \parallel 1,36 \text{ K}\Omega \parallel 30 (2,17 \Omega) = 65 \Omega$$

$$\frac{1}{2\pi f C_5} \leq \frac{65 \Omega}{10}$$

$$C_5 \geq \frac{10 \text{ F}}{2\pi \times 27,115 \times 10^6 \times 65} = 900 \text{ pF}$$

Para los elementos calculados anteriormente, en la construcción utilizamos:

$$R_7 = 1,5 \text{ K}\Omega$$

$$R_8 = 1,2 \text{ K}\Omega$$

$$R_9 = 33 \text{ }\Omega$$

$$C_5 = 0,01 \text{ }\mu\text{F}$$

$$C_6 = 0,01 \text{ }\mu\text{F}$$

### 3-2-2.- OTROS ELEMENTOS DEL MODULADOR

En el colector del transistor  $T_4$  debemos colocar un circuito tanque, sintonizado a los 27,115 MHz.

Es decir:

$$\omega^2 = \frac{1}{C_7 L_3}$$

Si asumimos el valor de

$$C_7 = 27 \text{ pF}$$

Calculemos el valor de  $L_3$ ,

$$L_3 = \frac{1}{(2\pi \times 27,115 \times 10^5)^2 \cdot 27 \times 10^{-12}} \text{ H}$$

$$L_3 = 1,28 \text{ }\mu\text{H}$$

### 3-3.- DISEÑO DE LA ETAPA DE SALIDA.

La etapa de salida consta de un amplificador Clase "C" al cual se le acopla una antena monopolo de 1,5 m de longitud y 6 mm. de diámetro.

El circuito total de esta etapa se indica en la Fig. 3-3-1.

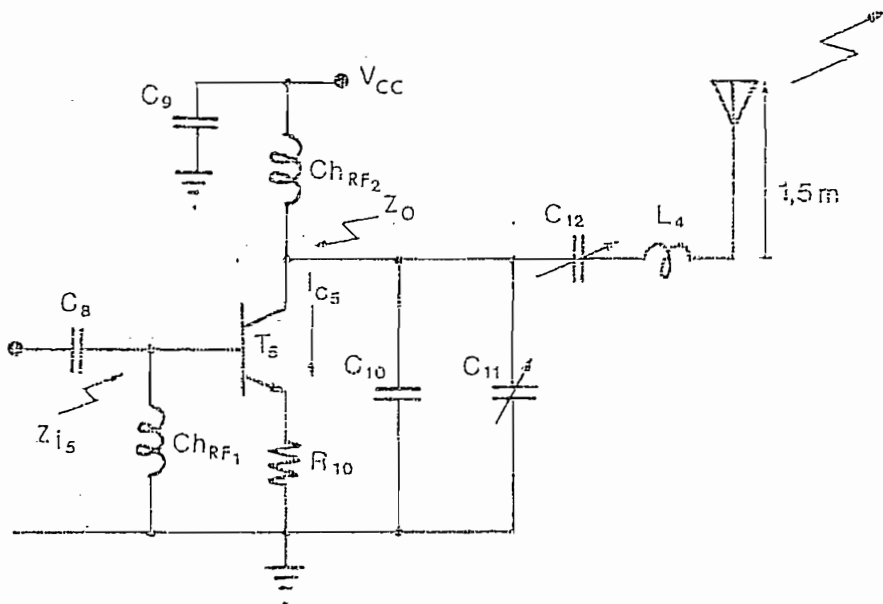


FIGURA 3-3-1. Circuito de la etapa de salida y acoplamiento.

### 3-3-1.- POLARIZACION DEL AMPLIFICADOR CLASE "C"

Para este circuito también se utilizará la fuente:

$$V_{CC} = 12 \text{ V.}$$



Para  $T_s$  escogemos un transistor del tipo 2N4428 que es un NPN de silicio, tiene un  $\beta_{min} = 10$ , posee un  $f_T = 200$  MHz y una máxima potencia de disipación de 3,5 W suficiente para poder obtener nuestra potencia de salida  $P_{out} = 0,5$  W.

La resistencia  $R_{10}$  del emisor se utiliza para la auto-polarización del transistor en clase C, ya que la tensión de polarización del emisor varía al cambiar la señal de entrada. El valor medio de la corriente que circula por  $R_{10}$  da un voltaje que polariza más o menos positivamente el emisor respecto de la base, según aumente o disminuya la amplitud de la señal de entrada.

La potencia de polarización  $P_{CC} = V_{CC} I_{C5}$  y si el amplificador tiene un rendimiento del 70%.

$$P_{CC} = \frac{P_{out}}{\eta} = \frac{0,5}{0,7} \text{ W} = 0,71 \text{ W.}$$

Entonces,

$$I_{C5} \approx I_{E5} = \frac{P_{CC}}{V_{CC}} = \frac{0,71}{12} = 59 \text{ mA}$$

Por lo tanto, si asumimos como valor medio:

$$V_{E_5} = 2 \text{ V}$$

$$R_{i_0} = \frac{V_{E_5}}{I_{E_5}} = \frac{2 \text{ V}}{59 \text{ mA}} = 33 \text{ } \Omega$$

El choque  $Ch_{RF_1}$  conectado entre la base del transistor y tierra permite un camino directo para DC y el suficiente aislamiento para la señal de radio-frecuencia entre la base y tierra. Por lo tanto,

$$\left| X_{Ch_{RF_1}} \right| \gg Z_{i_5}$$

Donde la impedancia de entrada al transistor  $T_5$  es:

$$Z_{i_5} = \beta R_{i_0}$$

Escogemos:

$$2\pi f Ch_{RF_1} \geq 10 Z_{i_5}$$

$$Ch_{RF_1} \geq \frac{10 \times 10 \times 33 \text{ H}}{2\pi \times 27,115 \times 10^5} = 19 \text{ } \mu\text{H}$$

El colector está conectado a la fuente de polarización a través del choque  $Ch_{RF_2}$ , el cual permite el paso directo para DC y el aislamiento para la señal de radio-frecuencia entre el colector y la fuente. Por lo tan

to:

$$|X_{Ch_{RF1}}| \gg |Z_0^*|$$

$Z_0^*$  es la impedancia de carga del transistor  $T_5$  y, para tener máxima transferencia de potencia, le hacemos igual a la conjugada de la impedancia de salida  $Z_0$  del transistor.

$$Z_0 = R_0 \parallel -j X_{C_0}$$

Siendo la resistencia de salida:

$$R_0 = \frac{(V_{CE5})^2}{2 P_{out}}$$

Y la reactancia de salida:

$$X_{C_0} = \frac{1}{2\pi f C_0}$$

La capacidad colector-emisor es de aproximadamente 7 pF (dato del fabricante). Por lo tanto:

$$Z_0 = \frac{(10)^2}{2 \times 0,5} \parallel -j \frac{1}{2\pi \times 27,115 \times 10^6 \times 7 \times 10^{-12}} \Omega$$

$$Z_0 = 98,60 -j 11,76 \Omega$$

$$Z_0^* = 98,60 + j 11,76 \Omega$$

Escogemos:

$$2\pi f Ch_{RF_2} \geq 10 |98,60 - j 11,76|$$

$$Ch_{RF_2} \geq \frac{10 \times 99,30}{2\pi \times 27,115 \times 10^6} = 5,83 \mu H$$

Cuando se conecta el colector del transistor  $T_5$  a la fuente de polarización a través de un choque, al mismo tiempo debe colocarse el condensador  $C_9$  para poner a tierra la corriente alterna del extremo del choque, evitando que la radio-frecuencia vaya hacia la fuente. Por lo tanto  $|X_{C_9}| \ll Z_F$ , donde la impedancia de salida de la fuente de polarización

$$Z_F = \frac{V_{CC}}{I_F}$$

( $I_F = 500$  mA corriente máxima prevista de la fuente de polarización).

$$\frac{1}{2\pi f C_9} \leq \frac{Z_F}{10}$$

$$C_9 \geq \frac{10 \times 0,5 \text{ F}}{2\pi \times 27,115 \times 10^6 \times 12} = 0,0024 \mu F$$

Finalmente, el condensador de paso  $C_8$  debe presentar una reactancia mucho menor de  $Z_{i5}$ .

$$|X_{C_8}| \ll Z_{i5} \quad \frac{1}{2\pi f C_8} \leq \frac{\beta R_{10}}{10}$$

$$C_8 \geq \frac{10}{2\pi \times 27,115 \times 10^6 \times 282} \text{ F} = 208 \text{ pF}$$

Para los elementos calculados anteriormente, en la construcción utilizamos los siguientes valores.

$$R_{10} = 27 \Omega$$

$$C_8 = 4700 \text{ pF}$$

$$C_9 = 0,1 \mu\text{F}$$

$$Ch_{RF_1} = 39 \mu\text{H}$$

$$Ch_{RF_2} = 10 \mu\text{H}$$

### 3-3-2.- CIRCUITO DE ACOPLAMIENTO

Mediante este circuito conseguimos que al conectar la antena en sus terminales de salida, la entrada del circuito de acoplamiento presente como impedancia ( $Z_0^*$ ) la conjugada de la impedancia de salida del an-

plificador ( $Z_0$ ), alcanzando de esta manera la máxima transferencia de potencia desde el amplificador hacia la antena. Ver Fig. 3-3-2.

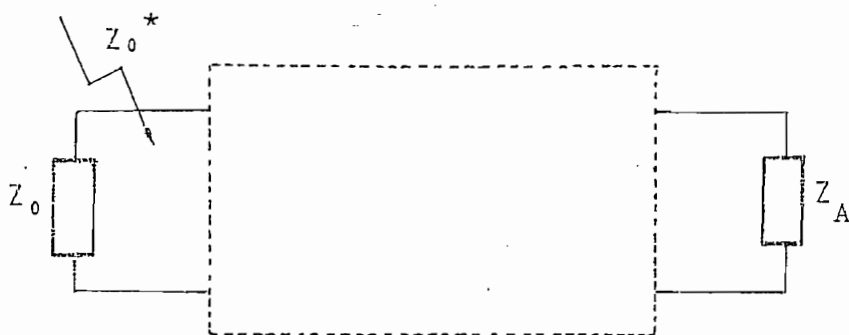


FIGURA 3-3-2. Circuito de acoplamiento de la antena.

Para el diseño de este circuito conocemos que:

$$Z_0 = 98,60 - j 11,76 \Omega$$

La impedancia de la antena  $Z_A$  podemos obtenerla de la Fig. 3-3-3, que muestra la impedancia de una antena monopolo versus la longitud eléctrica, en función del radio de la misma.

Si la longitud de la antena es  $H = 1,50$  m, su longitud eléctrica será  $H/\lambda$ . Donde  $\lambda$  es la longitud de onda a la frecuencia de trabajo.

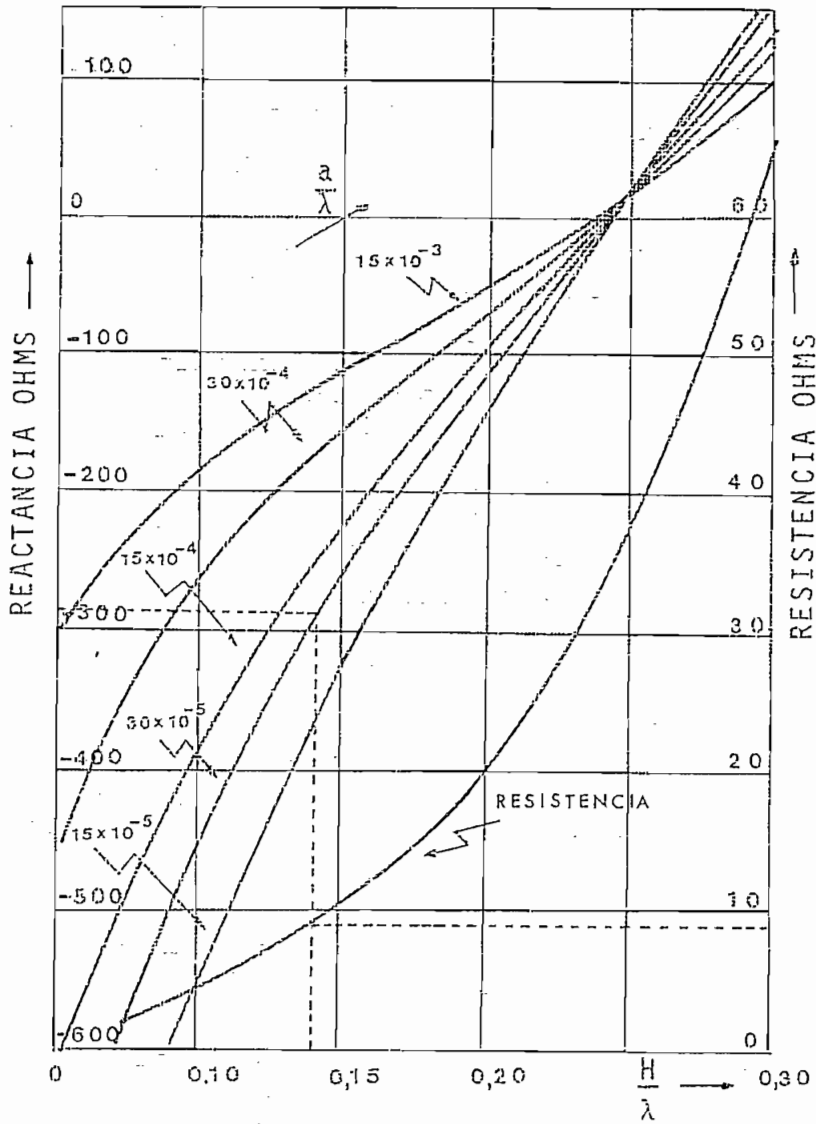


FIGURA 3-3-3. Impedancia de una antena, en función de su longitud eléctrica y su radio.

$$\lambda = \frac{C}{f} \quad (C = 3 \times 10^8 \text{ m/seg velocidad de la luz})$$

$$\lambda = \frac{3 \times 10^8}{27,115 \times 10^6} \text{ m} = 11,06 \text{ m}$$

$$\frac{H}{\lambda} = \frac{1,5}{11,06} = 0,14$$

Con el valor de  $\frac{H}{\lambda}$  y conociendo que el radio de la antena es  $a = 3 \text{ mm}$ . La impedancia de la misma será:

$$Z_A = 8 - j 280 \Omega$$

Para compensar la parte capacitiva de la antena usamos una bobina en serie de igual valor reactivo. Ver Fig.

3-3-4.

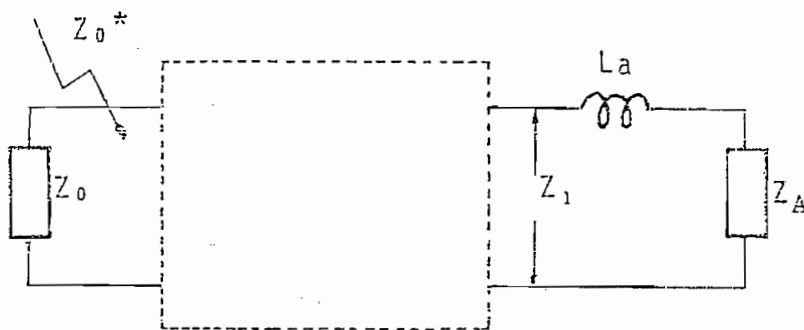


FIGURA 3-3-4. Compensación de la parte reactiva de la antena.



Por lo tanto:

$$X_{La} = 280 \Omega$$

$$L_a = \frac{280}{2\pi \times 27,115 \times 10^6} \text{ H} = 1,64 \mu\text{H}$$

De donde tendremos que:

$$Z_1 = 8 \Omega$$

A continuación utilizamos el DIAGRAMA DE SMITH Fig. 3-3-5, para terminar el diseño del circuito de acoplamiento. Para ello, normalizamos los valores de la impedancia con respecto a  $Z_1$ , con lo cual  $Z_0$  normalizada queda en el punto  $P_1$ .

$$z_0 = \frac{Z_0}{Z_1} = \frac{98,60 - j11,76}{8} = 12,33 - j 1,47 \quad (P_1)$$

Como este punto se encuentra dentro de la circunferencia  $z = 1$ , trabajaremos con el punto  $P_2$  ( $y = y_0 = 1/z_0$ ) para luego regresar sobre esta circunferencia. Por lo tanto:

$$y_0 = 0,0800 + j 0,0095 \quad (P_2)$$

Antes de regresar a la circunferencia  $z = 1$ , debemos

movemos desde el punto  $P_2$  al punto  $P_3$  ( $y = y_2$ ) que se encuentra sobre una circunferencia que corresponde a la de  $z = 1$  desfazada  $180^\circ$ . Del Diagrama de Smith,

$$y_2 = 0,0800 + j 0,2713 \quad (P_3)$$

Este movimiento equivale a la diferencia  $y_2 - y_0 = j 0,2605$ .

Lo que representa colocar en el circuito un condensador  $C_b$  en paralelo con  $Z_0$ . (Ver Fig. 3-3-6) cuya susceptancia es:

$$B_{C_b} = \frac{0,2605}{8} \text{ mhos} = 0,0326 \text{ mhos.}$$

$$C_b = \frac{B_b}{2\pi f} = \frac{0,0326}{2\pi \times 27,115 \times 10^6} \text{ F} = 191,12 \text{ pF}$$

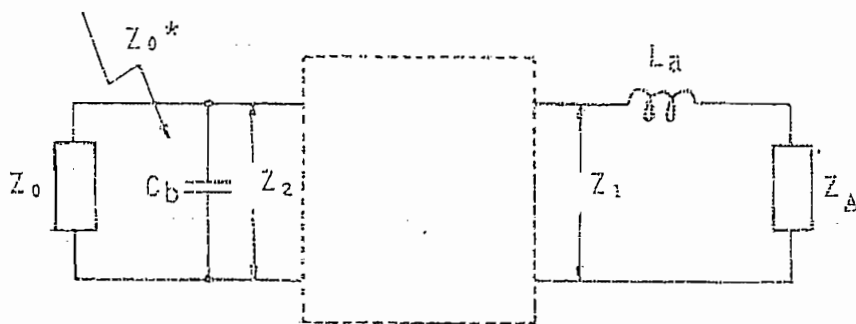


FIGURA 3-3-6. Parte del circuito de acoplamiento.

Ahora regresamos sobre la circunferencia  $z = 1$  al punto  $P_4$  ( $z = z_2 = 1/y_2$ ), es decir:

$$z_2 = 1,0000 - j 3,3913 \quad (P_4)$$

Finalmente, para completar el acoplamiento nos movemos desde el punto  $P_4$  al punto  $P_5$  ( $z = z_1$ ) que significa:

$$z_1 = 1,0000 \quad (P_5)$$

Este movimiento equivale a la diferencia

$$z_1 - z_2 = j 3,3913$$

Lo que representa colocar en el circuito una bobina  $L_C$  en serie con  $Z_2$  (Ver Fig. 3-3-7), cuya admitancia será:

$$X_{L_C} = 8 \times 3,3913 \Omega = 27,13 \Omega$$

$$L_C = \frac{X_{L_C}}{2\pi f} = \frac{27,13}{2\pi \times 27,115 \times 10^6} \text{ H} = 0,159 \mu\text{H}$$

Por lo tanto, el circuito total de acoplamiento queda como se indica en la figura 3-3-8, donde:

$$C_b = 191,12 \text{ pF}$$

$$L_b = L_a + L_C = 1,799 \mu\text{H}$$

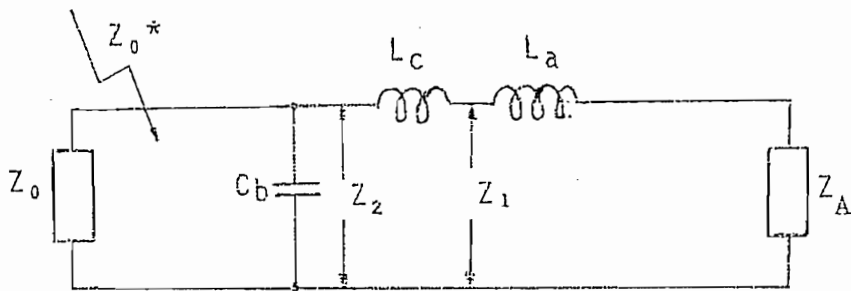


FIGURA 3-3-7. Circuito de acoplamiento.

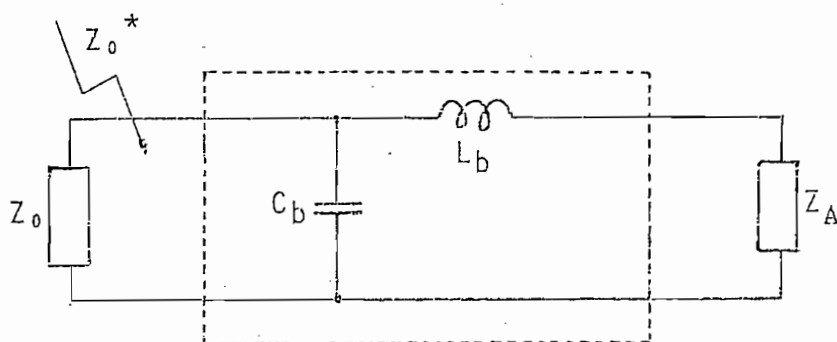


FIGURA 3-3-8. Circuito total de acoplamiento.

Finalmente, para conseguir el adecuado acoplamiento a pesar de cualquier variación de los elementos reales, los hacemos a éstos variables, quedando el circuito de acoplamiento como muestra la Fig. 3-3-9, donde:

$$C_{10} = 147 \text{ pF}$$

$$C_b = 162 \text{ — } 207 \text{ pF}$$

$$C_{11} = 15 - 60 \text{ pF}$$

$$L_4 = 4,6 \text{ } \mu\text{H}$$

$$L_b = (-2,29) \text{ — } 2,88 \text{ } \mu\text{H}$$

$$C_{12} = 5 - 20 \text{ pF}$$

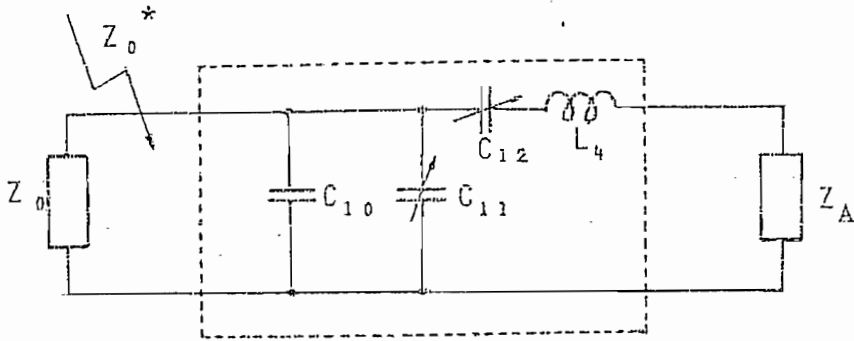


FIGURA 3-3-9. Circuito de acoplamiento con elementos variables.

### 3-4.- DISEÑO DE LOS OSCILADORES DE BAJA FRECUENCIA

Como osciladores de baja frecuencia usaremos los osciladores de corrimiento de fase (Fig. 3-4-1). El diseño de la polarización es común para los tres osciladores. Por esta razón:

$$T_6 = T_7 = T_8$$

$$R_{11} = R_{18} = R_{25}$$

$$R_{12} = R_{19} = R_{26}$$

$$R_{13} = R_{20} = R_{27}$$

$$R_{14} = R_{21} = R_{28}$$

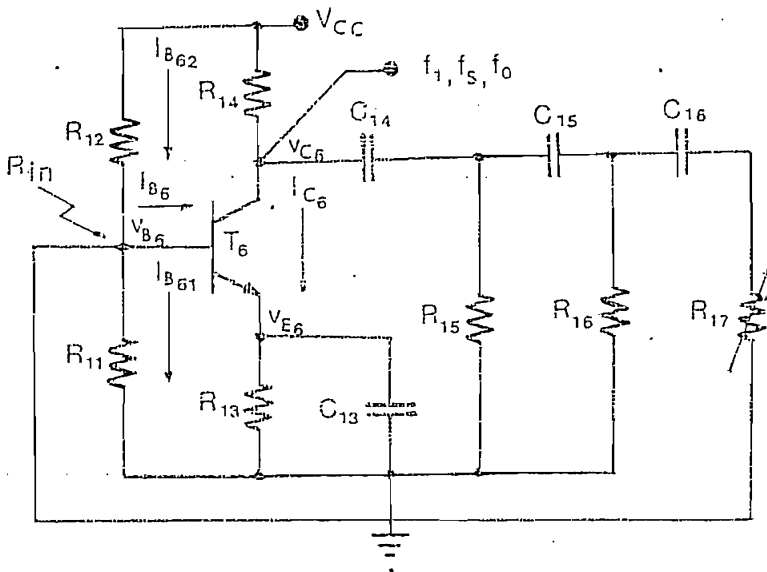


FIGURA 3-4-1. Oscilador de baja-frecuencia.

### 3-4-1.- POLARIZACION DE LOS OSCILADORES

Para estos casos también se utilizará como fuente de polarización  $V_{CC} = 12 \text{ V}$ .  $T_6$  es un transistor tipo 2N3904, NPN de silicio y cuyo  $\beta_{\min} = 50$ .

Para que el transistor trabaje en la parte lineal de sus características de salida, escogemos:

$$V_{CE_6} = 5 \text{ V}$$

$$I_{C_6} = 5 \text{ mA} = I_{E_6}$$

$$V_{E_6} = 1,1 \text{ V}$$

Por lo tanto:

$$R_{13} = \frac{V_{E6}}{I_{E6}} = \frac{1,1 \text{ V}}{5 \text{ mA}} = 220 \Omega$$

$$R_{14} = \frac{V_{CC} - V_{C6}}{I_{C6}} = \frac{12 - (5 + 1,1) \text{ V}}{5 \text{ mA}} = 1,18 \text{ K}\Omega$$

Para estabilizar el punto de polarización a variaciones de temperatura hacemos:

$$I_{B61} = 10 I_{E6}$$

$$I_{B6} = \frac{I_{C6}}{\beta} = \frac{5 \text{ mA}}{50} = 0,1 \text{ mA}$$

Es decir:

$$I_{B61} = 10 (0,1 \text{ mA}) = 1 \text{ mA}$$

Conocemos que:

$$V_{B6} = V_{E6} + V_{BE} = (1,1 + 0,6) \text{ V} = 1,7 \text{ V.}$$

Por lo tanto:

$$R_{11} = \frac{V_{B6}}{I_{B61}} = \frac{1,7 \text{ V}}{1 \text{ mA}} = 1,7 \text{ K}\Omega$$

$$R_{12} = \frac{V_{CC} - V_{B_6}}{I_{B_{61}} + I_{B_6}} = \frac{(12 - 1,7) \text{ V.}}{(1 + 0,1) \text{ mA}} = 9,3 \text{ K}\Omega$$

Para los elementos calculados anteriormente y sus similares de los otros circuitos osciladores, en la construcción utilizaremos los siguientes valores:

$$R_{11} = 1,8 \text{ K}\Omega$$

$$R_{12} = 10 \text{ K}\Omega$$

$$R_{13} = 220 \Omega$$

$$R_{14} = 1,2 \text{ K}\Omega$$

### 3-4-2.- CALCULO DE LOS CONDENSADORES DE EMISOR

El condensador conectado al emisor del transistor debe presentar una reactancia mucho menor a la frecuencia de oscilación que la resistencia del emisor; es decir:

$$|X_{C_E}| \ll R_{13}$$

$$\frac{1}{2\pi f C_E} \leq \frac{R_{13}}{10}$$

Por lo tanto:



$$C_E \geq \frac{10}{2\pi f R_{13}}$$

En los tres osciladores tenemos:

$$f = f_0 = 1 \text{ KHz.}$$

$$C_E = C_{13} \geq \frac{10 \text{ F}}{2\pi \times 10^3 \times 220} = 72,34 \mu\text{F}$$

$$f = f_s = 2,5 \text{ KHz.}$$

$$C_E = C_{17} \geq \frac{10 \text{ F}}{2\pi \times 2,5 \times 10^3 \times 220} = 28,93 \mu\text{F}$$

$$f = f_1 = 4 \text{ KHz.}$$

$$C_E = C_{21} \geq \frac{10 \text{ F}}{2\pi \times 4 \times 10^3 \times 220} = 18,08 \mu\text{F}$$

Para estos elementos en la construcción utilizaremos:

$$C_{13} = 100 \mu\text{F}$$

$$C_{17} = 47 \mu\text{F}$$

$$C_{21} = 22 \mu\text{F}$$

Los osciladores deben cumplir el criterio de BARKHAUSEN, que dice: La frecuencia de trabajo de un oscilador sinusoidal es la frecuencia para la cual el desplazamiento total de fase de la señal, a través del amplificador y de la red de realimentación, es de  $360^\circ$  o un múltiplo entero de  $360^\circ$  y para que se mantenga la oscilación debe cumplirse que:  $-A\beta = 1$

En los osciladores prácticos  $|A\beta|$  debe ser ligeramente mayor que 1 para poder compensar las pérdidas que se presentan por cambios en las características del transistor.

De acuerdo al criterio de Barkhausen, para los osciladores de corrimiento de fase, la frecuencia de oscilación viene dada por la siguiente ecuación\*:

$$f = \frac{1}{2\pi R C \sqrt{6 + 4 K}} \quad (3)$$

y para compensar las pérdidas, la ganancia de corriente del transistor con emisor común, debe cumplir la siguiente desigualdad\*:

$$h_{fe} > 4 K + 23 + \frac{29}{K} \quad (4)$$

\* MILLMAN-HALKIAS/ INTEGRATED ELECTRONICS, pag. 488.

Donde R es la resistencia de la red de realimentación, para los tres osciladores:

$$R = R_{15} = R_{16} = R_{17} + R_{in}$$

$$R = R_{22} = R_{23} = R_{24} + R_{in}$$

$$R = R_{25} = R_{30} = R_{31} + R_{in}$$

C es el condensador de la red de realimentación y K es la relación entre la resistencia de colector y R.

El transistor 2N3904 tiene un  $h_{fe} = 50$ ; asumiendo que

$$K = \frac{R_C}{R} = 2,5 \text{ veamos si se cumple la desigualdad (4),}$$

$$4 K + 23 + \frac{29}{K} = 10 + 23 + \frac{29}{2,5} = 44,60$$

Entonces:

$$h_{fe} > 44,60$$

es decir que el transistor si cumple la condición para mantener la oscilación. Anteriormente ya se había calculado el valor de:

$$R_C = R_{14} = 1,2 \text{ k}\Omega$$

Por lo tanto:

$$R = \frac{R_{14}}{K} = \frac{1,2 \text{ K}\Omega}{2,5} = 480 \Omega$$

Para la construcción utilizamos:

$$R = 470 \Omega$$

$$R_{17} = R_{24} = R_{31} = 750 \Omega \text{ (variables)}$$

De la ecuación (3) tenemos que:

$$C = \frac{1}{2\pi f R \sqrt{6 + 4 K}}$$

Para los tres osciladores tenemos:

$$f = f_0 = 1 \text{ KHz}$$

$$C = C_{14} = C_{15} = C_{16} = \frac{1}{2\pi \times 10^3 \times 470 \times 4} = 0,085 \mu\text{F}$$

Utilizamos,

$$C_{14} = 0,082 \mu\text{F}$$

$$f = f_S = 2,5 \text{ KHz}$$

$$C = C_{18} = C_{19} = C_{20} = \frac{1}{2\pi \times 2,5 \times 10^3 \times 470 \times 4} = 0,034 \mu\text{F}$$

Utilizamos:

$$C_{12} = 0,033 \mu F$$

$$f = f_1 = 4 \text{ KHz}$$

$$C = C_{22} = C_{23} = C_{24} = \frac{1}{2\pi \times 4 \times 10^3 \times 470 \times 4} = 0,021 \mu F$$

Utilizamos  $C_{22} = 0,02 \mu F$

### 3-5.- DISEÑO DEL MULTIPLEXER DE TONOS

Este circuito consta de dos partes: Del propio multiplexer constituido por transistores de efecto de campo (FET's) y del INTERFASE necesario para poder controlar la polarización de los FET's mediante los niveles lógicos que se obtienen de la parte digital ( $p_0$ ,  $p_1$  y  $p_5$ ). El diseño del circuito será idéntico para los tres tonos por lo cual lo haremos una sola vez. En este caso tendremos que:

$$R_{32} = R_{37} = R_{41}$$

$$R_{33} = R_{38} = R_{42}$$

$$R_{34} = R_{39} = R_{43}$$

$$R_{35} = R_{40} = R_{44}$$

$$T_9 = T_{11} = T_{13}$$

$$T_{10} = T_{12} = T_{14}$$

$$D_1 = D_2 = D_3$$

$$C_{25} = C_{26} = C_{27}$$

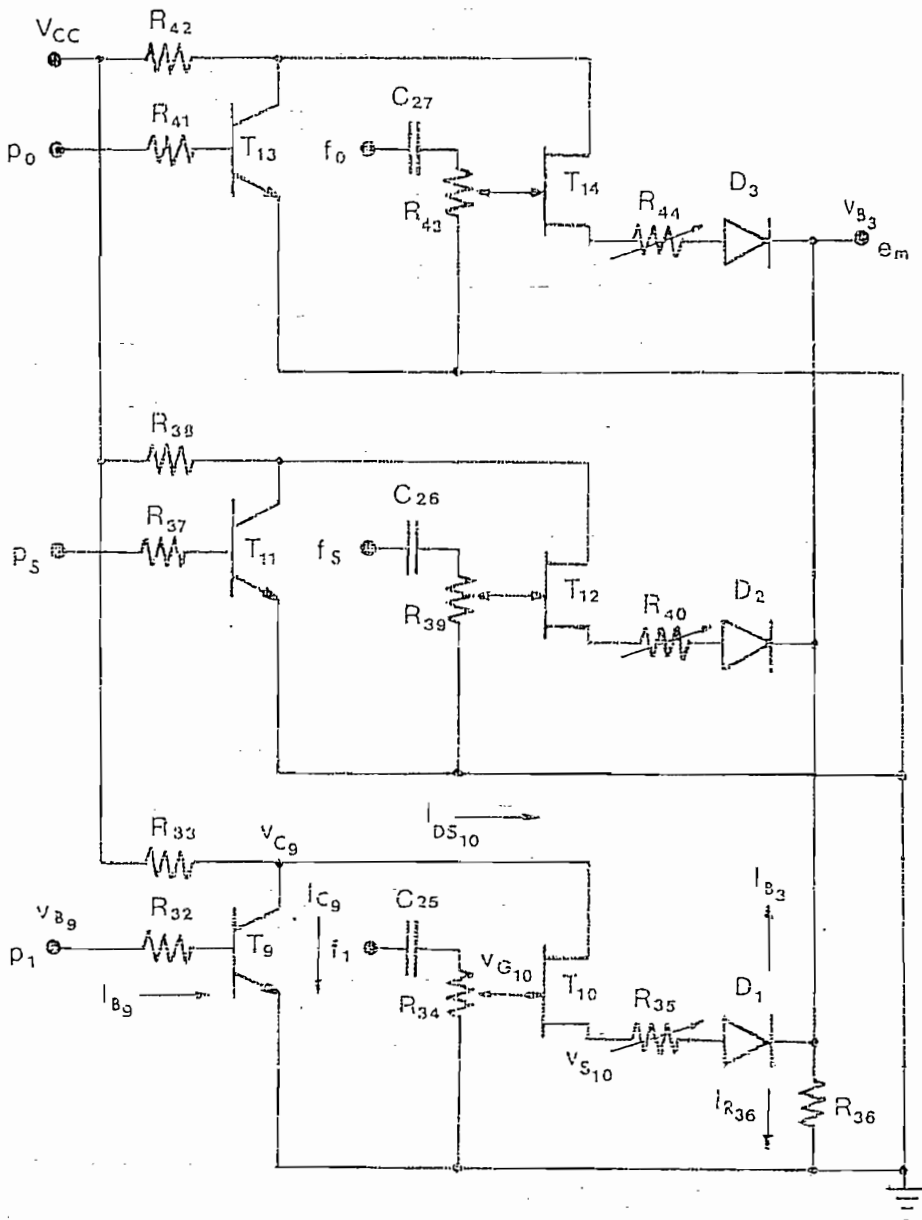


FIGURA 3-5-1. Multiplexor de tonos.

### 3-5-1.- POLARIZACION DEL INTERFASE

Como fuente de polarización usamos  $V_{CC} = 12 \text{ V}$  y para  $T_9$  escogemos un transistor del tipo 2N834, que es un transistor NPN de Silicio y tiene un tiempo de conmutación muy pequeño:  $t = 75 \text{ nseg.}$

Cuando  $T_9$  conduce (en saturación),  $T_{10}$  no conduce. El fabricante indica que cuando  $T_9$  está en saturación:

$$I_{C_9 \text{ sat}} = 10 \text{ mA}$$

$$I_{B_9 \text{ sat}} = 1 \text{ mA}$$

$$V_{CE_9 \text{ sat}} = 0,25 \text{ V.}$$

$$V_{BE_9 \text{ sat}} = 0,9 \text{ V.}$$

Por lo tanto:

$$R_{33} = \frac{V_{CC} - V_{CE_9 \text{ sat}}}{I_{C_9 \text{ sat}}} = \frac{(12 - 0,25) \text{ V}}{10 \text{ mA}} = 1,17 \text{ K}\Omega$$

$$R_{32} = \frac{V_{B_9} - V_{BE_9 \text{ sat}}}{I_{B_9 \text{ sat}}}$$

Donde  $V_{B_9}$  es el voltaje de salida de una compuerta

TTL; la cual, para que el transistor  $T_9$  esté en saturación, debe ser  $i_L$ . En el caso más desfavorable tenemos que  $i_L = 2,4 \text{ V}$ .

$$\text{Entonces } R_{32} = \frac{(2,4 - 0,9) \text{ V}}{1 \text{ mA}} = 1,5 \text{ K}\Omega$$

En la construcción utilizamos:

$$R_{32} = 1,5 \text{ K}\Omega$$

$$R_{33} = 1,2 \text{ K}\Omega$$

### 3-5-2.- POLARIZACION DEL FET

Por su linealidad en las características de salida y su bajo costo escogemos para  $T_{10}$  el transistor 2N3822, que es un FET canal N. El valor de su ancho de banda no es crítico por cuanto la frecuencia de trabajo es baja (audio).

Este transistor tiene los siguientes valores recomendados por el fabricante:

$$V_p = - 6 \text{ V} \quad \text{Voltaje Pinch-off}$$

$$I_{DSS \text{ min}} = 2 \text{ mA} \quad \text{Corriente de saturación del drenaje mínimo con } V_{GS} = 0$$



$I_{DSS \text{ máx}} = 10 \text{ mA}$  Corriente de saturación del drenaje máximo con  $V_{GS} = 0$

Por lo cual escogemos  $I_{DSS} = 6 \text{ mA}$ .

La característica de transferencia de un FET, que viene dada por la relación  $I_{DS}$  (corriente del drenaje) y  $V_{GS}$  (voltaje compuerta-fuente), puede ser aproximada a la siguiente ecuación\*:

$$I_{DS} = I_{DSS} \left( 1 - \frac{V_{GS}}{V_P} \right)^2$$

de donde  $V_{GS_{10}} = V_P \left( 1 - \sqrt{\frac{I_{DS_{10}}}{I_{DSS}}} \right)$

Si asumimos  $I_{DS_{10}} = 1 \text{ mA}$ . Entonces:

$$V_{GS_{10}} = -6 \left( 1 - \sqrt{\frac{1}{6}} \right) \text{ V} = -3,55 \text{ V.}$$

Como la polarización de la compuerta  $V_{G_{10}} = 0 \text{ V}$ . deducimos que:

$$V_{S_{10}} = -V_{GS_{10}} = 3,55 \text{ V.}$$

\* MILLMAN-HALKIAS / INTEGRATED ELECTRONICS, pág. 318.

$$V_{S_{10}} = I_{DS_{10}} R_{35} + V_{D_1} + V_{B_3}$$

Donde  $V_{D_1}$  es el voltaje que cae sobre el diodo  $D_1$  ( $V_{D_1} = 0,6$  V por ser de silicio) y  $V_{B_3}$  es el voltaje de polarización para la base del transistor  $T_3$  del circuito del modulador (Ver Fig. 3-2-1), el cual es  $V_{B_3} = 1$  V.

De la última ecuación podemos despejar  $R_{35}$ , es decir:

$$R_{35} = \frac{V_{S_{10}} - V_{D_1} - V_{B_3}}{I_{DS_{10}}}$$

$$R_{35} = \frac{(3,55 - 0,6 - 1) \text{ V}}{1 \text{ mA}} = 1,95 \text{ K}\Omega$$

Para el cálculo de la resistencia  $R_{36}$  sabemos que:

$$V_{B_3} = 1 \text{ V} \quad \text{y} \quad I_{DS_{10}} = I_{R_{36}} + I_{B_3}$$

Donde  $I_{R_{36}}$  es la corriente a través de la resistencia  $R_{36}$  y  $I_{B_3}$  es la corriente de base de polarización del transistor  $T_3$  (Ver Fig. 3-2-1) que debe ser igual a  $I_{B_4} = 0,4$  mA, ya que los dos transistores  $T_3$  y  $T_4$  están en serie y son el mismo tipo. Por lo tanto:

$$R_{36} = \frac{V_{B_3}}{I_{DS_{10}} - I_{B_3}} = \frac{1 \text{ V}}{(1 - 0,4) \text{ mA}} = 1,67 \text{ K}\Omega$$

La resistencia  $R_{34}$ , que polariza a la compuerta, será la que determine la impedancia de entrada de esta etapa. Para no cargar al oscilador escogeremos:

$$R_{34} = 100 \text{ K}\Omega$$

Para  $R_{34}$  utilizaremos una resistencia variable, con el fin de poder controlar la amplitud de las frecuencias  $f_1$ ,  $f_0$ ,  $f_s$  que salen de los osciladores.

El condensador de paso  $C_{25}$  debe presentar una reactancia mucho menor de  $R_{34}$ . Es decir:

$$|X_{C_{25}}| \ll R_{34}$$

$$\frac{1}{2\pi f C_{25}} \leq \frac{R_{34}}{10}$$

Por lo tanto, a la menor frecuencia de los osciladores  $f = f_0 = 1 \text{ KHz}$ . tenemos:

$$C_{25} \geq \frac{10 \text{ F}}{2\pi \times 10^3 \times 10^5} = 0,015 \mu\text{F}$$

De los elementos calculados anteriormente, en la construcción utilizaremos:

$$R_{34} = 100 \text{ K}\Omega \text{ (variable)}$$

$$R_{35} = 5 \text{ K}\Omega \text{ (variable)}$$

$$R_{36} = 1,5 \text{ K}\Omega$$

$$C_{25} = 0,5 \text{ }\mu\text{F}$$

### 3-6.- DISEÑO DEL RELOJ

El reloj es un multivibrador constituido por una compuerta NAND-SCHMITT TRIGGER y una red de realimentación.

(Ver Fig. 3-6-1).

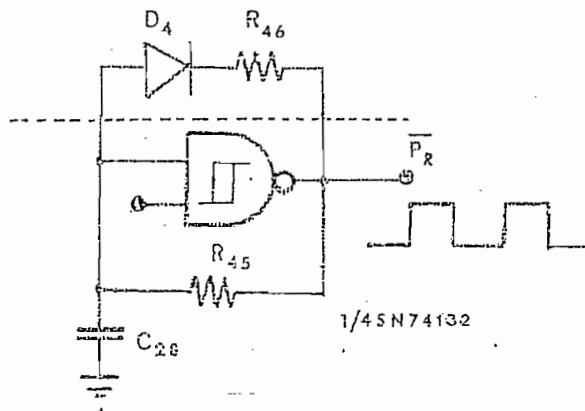


FIGURA 3-6-1. Reloj de frecuencia igual a 10 Hz.

Efectuemos el análisis de los valores extremos que puede tener la resistencia  $R_{45}$ .

Para un circuito TTL tenemos:

$$V_{CC} = 5 \text{ V}$$

Voltaje de polarización

$V_{T-mín} = 0,6 \text{ V}$  Voltaje de umbral negativo mínimo a la entrada.

$V_{T+máx} = 2 \text{ V}$  Voltaje de umbral positivo máximo a la entrada.

$V_{OL} = 0,2 \text{ V}$  Voltaje de salida en  $0_L$ .

$V_{OH} = 2,4 \text{ V}$  Voltaje de salida en  $1_L$ .

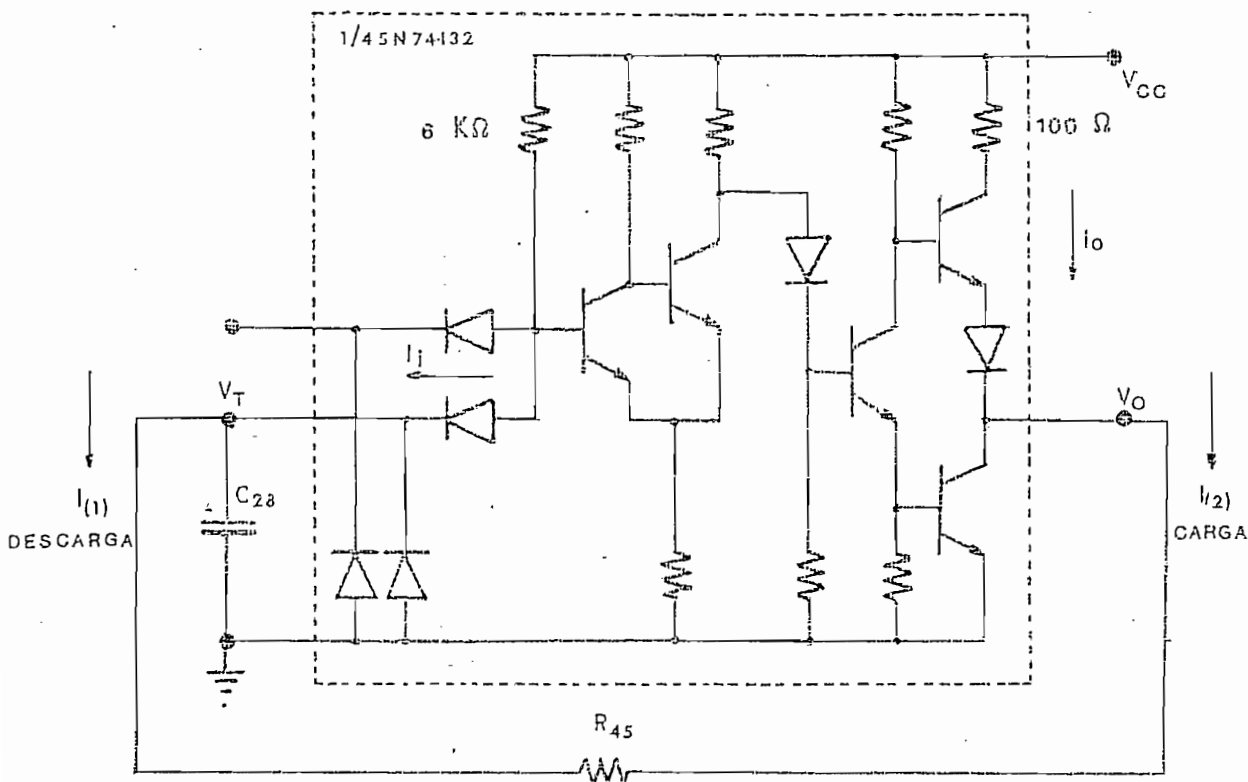


FIGURA 3-6-2. Esquema de la compuerta NAND-SCHMITT TRIGGER y la red de realimentación  $R_{45}$ .

La resistencia  $R_{45}$  debe garantizar que la corriente de descarga del condensador (cuando  $V_0 = 0_L$ ) debe ser siempre mayor que la corriente  $I_j$ . Es decir:

$$I_{(1) \text{ descarga}} > I_j \text{ max}$$

En las condiciones más desfavorables tendremos que:

$$\frac{V_{T\text{-min}} - V_{OL}}{R_{45}} > \frac{V_{CC} - (V_{T\text{-min}} + 0,6 \text{ V})}{6 \text{ K}\Omega}$$

Entonces:

$$R_{45} < \frac{V_{T\text{-min}} - V_{OL}}{V_{CC} - (V_{T\text{-min}} + 0,6 \text{ V})} \times 6 \text{ K}\Omega$$

$$R_{45} < \frac{(0,6 - 0,2)}{(5 - 0,6 - 0,6)} \times 6 \text{ K}\Omega$$

$$R_{45} < 630 \Omega$$

Por otro lado, la resistencia  $R_{45}$  debe garantizar que la corriente de carga del condensador debe ser menor que la máxima corriente de salida  $I_0$  para que se mantenga a la salida  $1_L$ .

Es decir:

$$I_{(2) \text{ carga}} < I_0 \text{ max}$$

En las condiciones más desfavorables tenemos que:

$$\frac{V_{OH} - V_{T-\text{mín}}}{R_{45}} < \frac{V_{CC} - V_{OH} - 0,6 \text{ V} - 0,2 \text{ V}}{100 \Omega}$$

Entonces:

$$R_{45} > \frac{V_{OH} - V_{T-\text{mín}}}{V_{CC} - V_{OH} - 0,6 \text{ V} - 0,2 \text{ V}} \times 100 \Omega$$

$$R_{45} > \frac{(2,4 - 0,6)}{(5 - 3,2)} \times 100 \Omega$$

$$R_{45} > 100 \Omega$$

Por lo tanto:

$$100 \Omega < R_{45} < 630 \Omega$$

De lo cual escogemos:

$$R_{45} = 390 \Omega$$

La Fig. 3-6-3, proporcionada por el fabricante, es un gráfico de la frecuencia de los pulsos en función de la capacidad del condensador, para una resistencia de 390Ω. De ella podemos obtener el valor del capacitor para la frecuencia  $f_p = 10 \text{ Hz}$ .

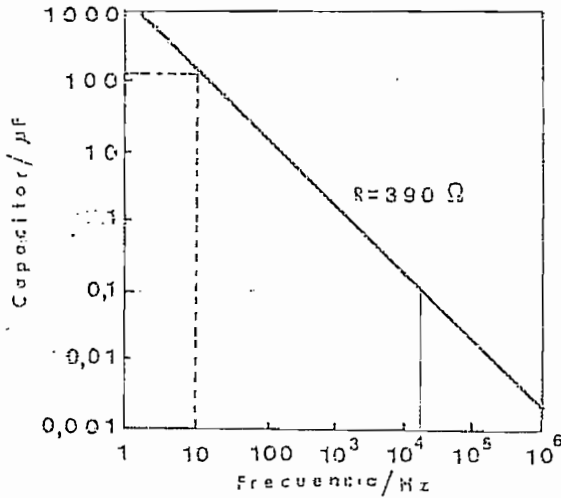


FIGURA 3-6-3. Frecuencia de los pulsos versus valor del capacitor.

$$C_{26} = 150 \mu\text{F}$$

El voltaje de salida del circuito del reloj es una onda cuadrada no simétrica que tiene un "Duty Cycle" del 33%. Si se desea que el "Duty Cycle" sea del 50% debemos modificar la red de realimentación como se indica en la Fig. 3-6-4. De esta forma se da un tiempo de descarga menor al condensador. La resistencia recomendada por el fabricante para este propósito es:

$$R_{45} = 120 \Omega$$



### 3-7.- DISEÑO DEL SINCRONISMO DEL RELOJ

El reloj utilizó una compuerta NAND-SCHMITT TRIGGER con dos entradas; una de ellas la utilizamos para la red de realimentación, mientras que la otra será utilizada para controlar la salida de los seis pulsos y sincronizarlos con la señal de iniciación. (Ver Figs. 3-7-1 y 3-7-2)

El circuito funciona de la siguiente forma: un flip-flop JK recibe la señal de iniciación proveniente del pulsante  $P_1$ , a través de un circuito "elimina - rebotes". Una vez activado el flip-flop JK, su salida permanece en  $1_L$  hasta cuando el contador produce una señal CLEAR de borrado (luego de que han transcurrido seis pulsos). La salida  $Q_A$  es la señal que ponemos en la segunda entrada de la compuerta del reloj para el sincronismo y el control de los seis pulsos.

Para el cálculo de las resistencias del "elimina - rebotes" conocemos que, para circuitos TTL  $V_{CC} = 5 \text{ V}$  y queremos que, cuando las entradas estén en  $0_L$  la corriente que circula a través de la resistencia sea de  $2 \text{ mA}$ . Entonces:

$$R_{47} = R_{48} = \frac{5 \text{ V}}{2 \text{ mA}} = 2,5 \text{ K}\Omega$$

En la construcción utilizamos

$$R_{47} = R_{48} = 2,4 \text{ K}\Omega.$$

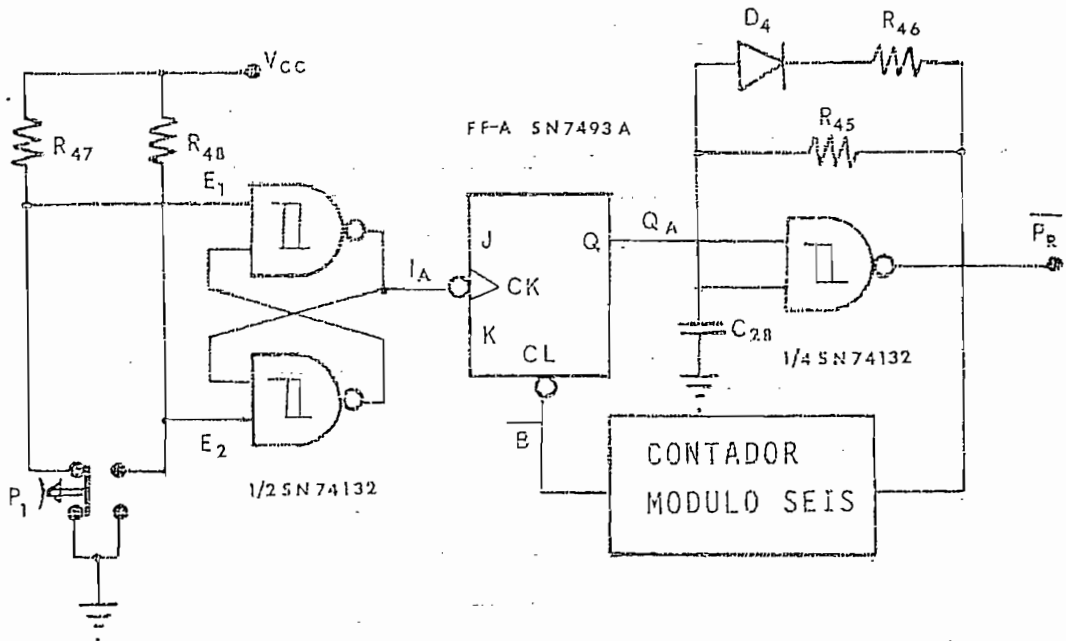


FIGURA 3-7-1. Circuito de sincronismo y el reloj.

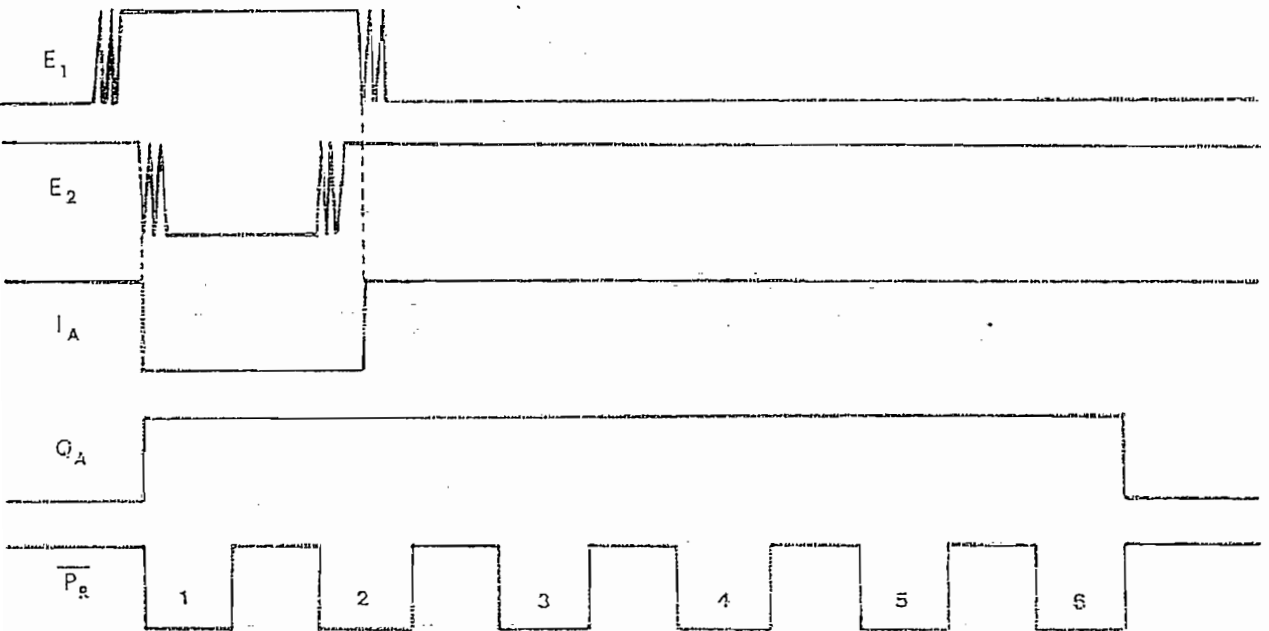


FIGURA 3-7-2. Señal de sincronismo ( $E_1$ ) y los seis pulsos del reloj ( $\overline{PR}$ ).

### 3-8.- DISEÑO DEL CONTADOR MODULO SEIS

Para el contador módulo seis necesitamos tres flip-flops JK, por lo cual utilizaremos los restantes flip-flops del circuito integrado SN7493A, del cual ya habíamos usado el FF-A para el circuito de sincronismo.

Los tres flip-flops están formando un contador módulo ocho. Para transformarlo a un contador módulo seis, únicamente necesitamos inicializarlo, mediante el borrado, cuando sus salidas estén en el estado  $Q_B = 0_L$ ,  $Q_C = 1_L$ ,  $Q_D = 1_L$ .

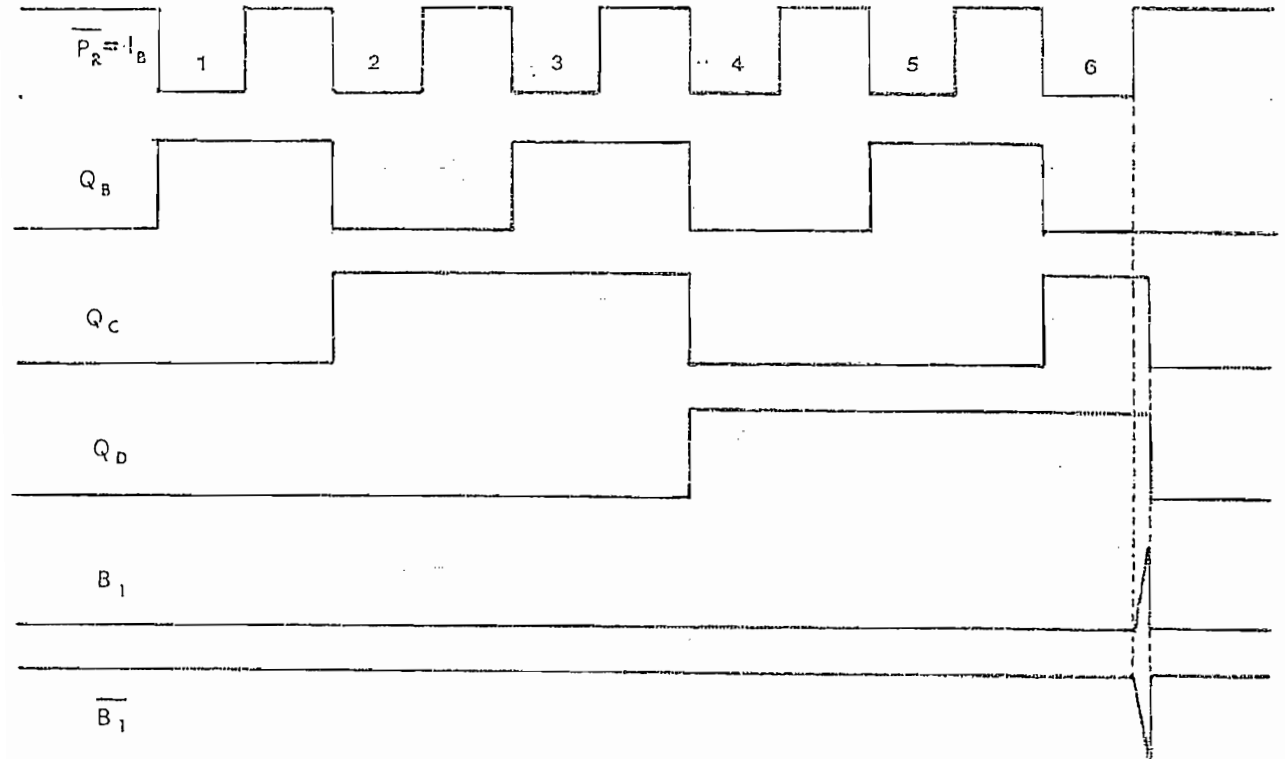


FIGURA 3-8-1. Entradas, salidas y borrado del contador módulo seis.

Como se puede observar en la Fig. 3-8-1, para que el sexto pulso del reloj no se pierda, la señal de borrado  $B_1$  debe ser igual a  $1_L$  cuando  $\overline{P_R} = 1$ . De donde,

$$B_1 = Q_C \cdot Q_D \cdot \overline{P_R}$$

o también:

$$\overline{B_1} = \overline{Q_C \cdot Q_D \cdot \overline{P_R}}$$

El borrado del contador en el circuito integrado tiene la posibilidad de dos entradas. Es decir:

$$\overline{B_1} = \overline{R_{O(1)} \cdot R_{O(2)}}$$

Por lo tanto haremos:

$$R_{O(1)} = Q_C \cdot Q_D \quad \text{y} \quad R_{O(2)} = \overline{P_R}$$

Nótese que, como se puede ver en la Fig. 3-8-2, la señal de borrado también actúa sobre el FF-A utilizado para el circuito de sincronismo, el cual también debía ponerse en  $0_L$  al terminar los seis pulsos del reloj.

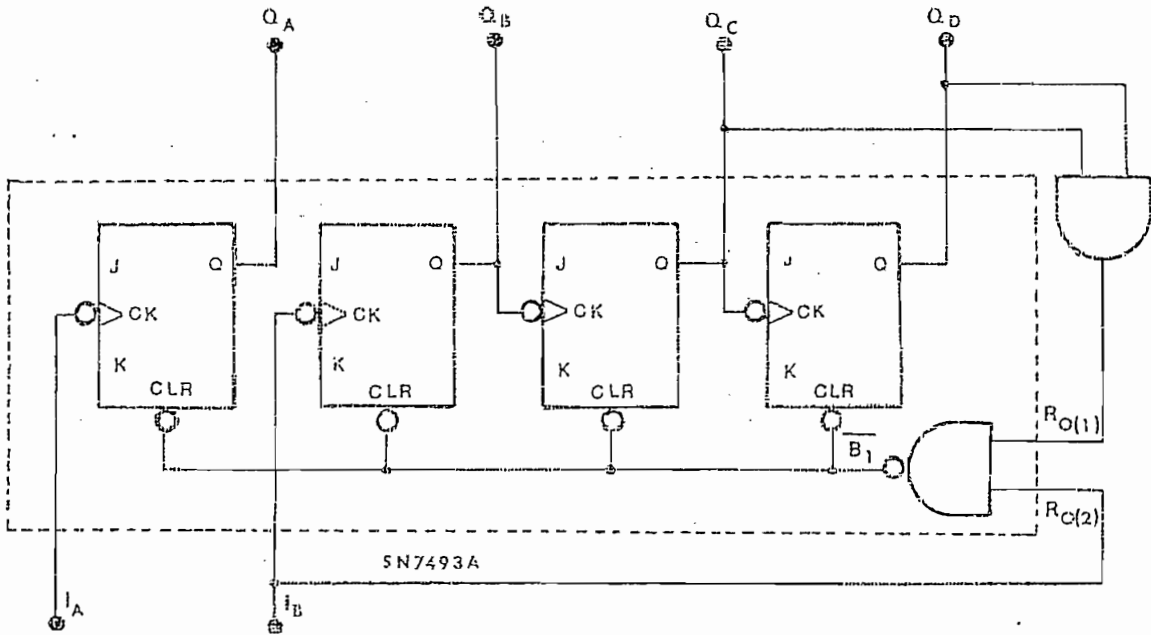


FIGURA 3-8-2. Contador módulo seis y el FF-A.

### 3-9.- DISEÑO DEL BORRADO AUTOMÁTICO

Para garantizar que al momento del encendido del aparato el contador esté en el estado  $0_L$  utilizaremos un circuito RC en serie. Antes de encender el aparato el condensador está descargado ( $BA = 0_L$ ). Al encenderlo, empezará a cargarse con una cierta constante de tiempo, lo que significa que  $BA = 1_L$  se alcanzará después de cierto tiempo; mientras tanto, ya se ha efectuado el borrado automático con  $BA = 0_L$ .

Para incluir este borrado automático en el borrado del

contador, el circuito de la Fig. 3-8-2, debe ser modifi-  
cado como se muestra en la Fig. 3-9-1. Ya que:

$$B_2 = \overline{BA} + Q_C \cdot Q_D \cdot \overline{P_R}$$

$$\overline{B_2} = \overline{\overline{BA} + Q_C \cdot Q_D \cdot \overline{P_R}} =$$

$$BA \cdot \overline{(Q_C \cdot Q_D \cdot \overline{P_R})}$$

$$\overline{B_2} = \overline{BA \cdot Q_C \cdot Q_D} + \overline{BA \cdot P_R}$$

$$\overline{B_2} = \overline{BA \cdot Q_C \cdot Q_D} \cdot \overline{BA \cdot P_R}$$

Como

$$\overline{B_2} = \overline{R_{O(1)} \cdot R_{O(2)}}$$

Entonces:

$$R_{O(1)} = \overline{BA \cdot Q_C \cdot Q_D}$$

$$R_{O(2)} = \overline{BA \cdot P_R}$$

Para el cálculo de los elementos del borrado automático,  
escogemos una constante de tiempo  $\tau = 1,5$  seg y si

$$C_{29} = 150 \mu F$$

Entonces:

$$R_{49} = \frac{\tau}{C_{29}} = \frac{15 \cdot \Omega}{150 \times 10^{-6}}$$

$$R_{49} = 10 K\Omega$$

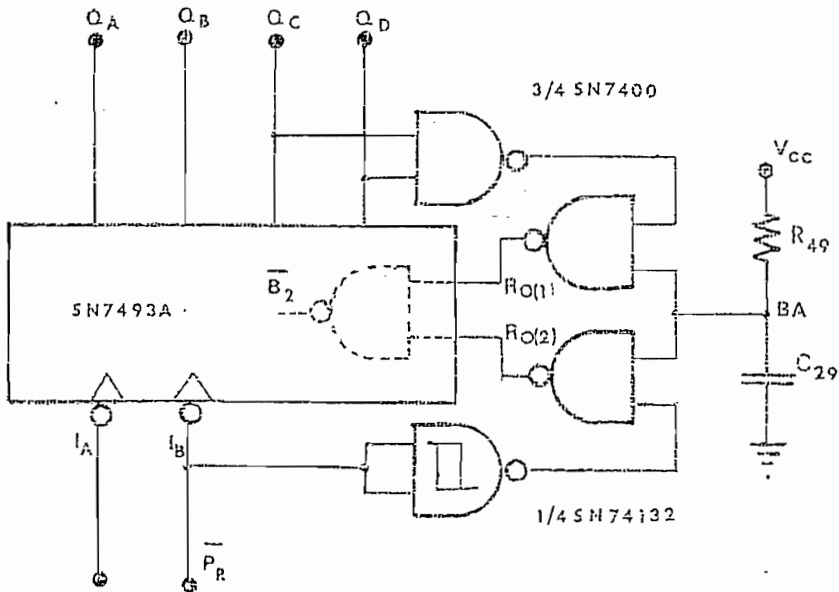


FIGURA 3-9-1. Contador módulo seis incluido el borrado automático.

### 3-10.- DISEÑO DEL TRANSFORMADOR PARALELO/SERIE

Para esta parte utilizaremos el registro de corrimiento SN74195, que tiene cuatro entradas paralelas (para los bits de código) y una entrada serie (para el bit de control). En este circuito integrado la última sa-

lida está en forma normal e invertida ( $Q_D$ ,  $\overline{Q}_D$ ). Sus características detalladas se pueden ver en el Anexo. Como se indica en la Fig. 3-10-1, el transformador paralelo-serie funciona de la siguiente forma:

El circuito de corrimiento se carga en forma paralela con la primera transición positiva del reloj y con  $S/L = 0$ , teniéndose entonces el primer bit de código en la salida  $Q_D$ . Posteriormente, y cuando  $S/L = 1_L$ , cada transición positiva del reloj produce un desplazamien to hacia la derecha, de la información almacenada en el registro.

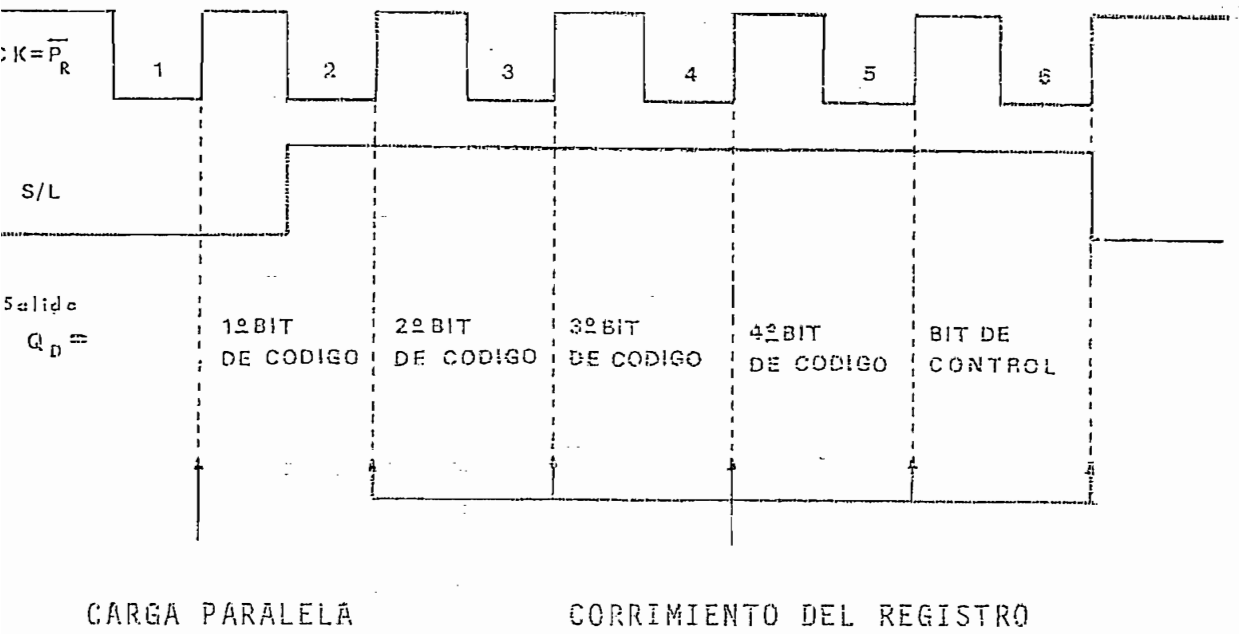


FIGURA 3-10-1. Funcionamiento del registro de corrimiento.



La generación de señal S/L se hace a partir de las salidas del contador módulo seis; como se puede ver en la Fig. 3-10-2. De donde se obtiene:

$$S/L = Q_C + Q_D$$

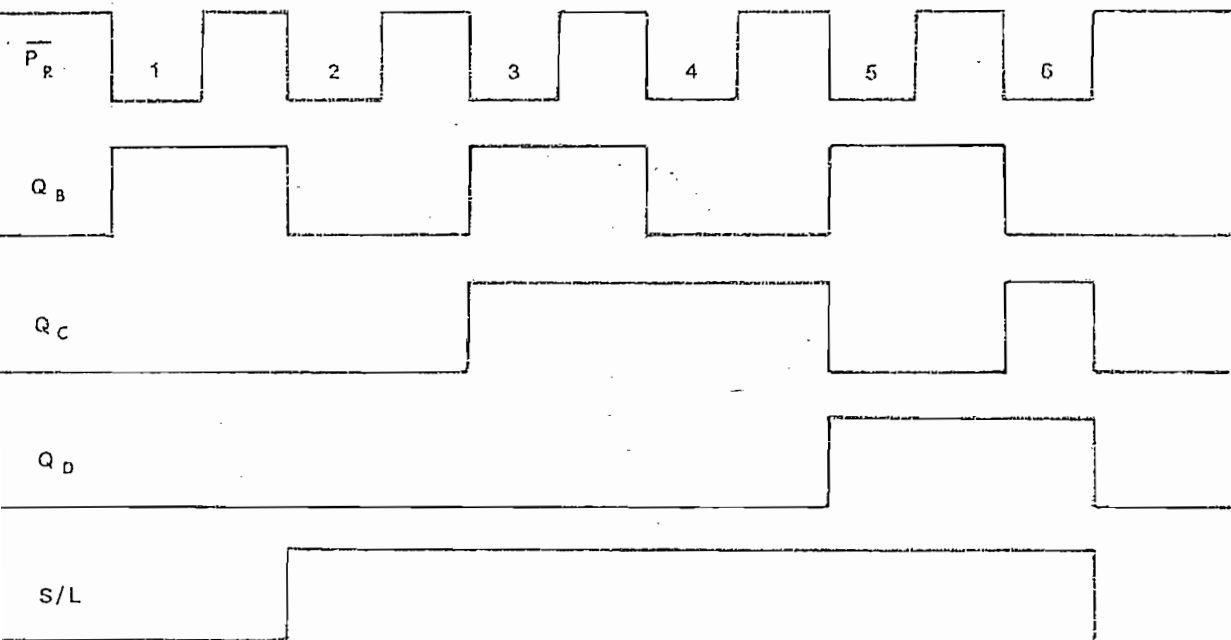


FIGURA 3-10-2. Control S/L del registro de corrimiento.

Las entradas al registro de corrimiento están determinadas por la posición de los interruptores del bit de control y de los bits de código. Para evitar el ruido y garantizar un  $I_L$  cuando los interruptores estén en circuito abierto, se conectan las resistencias  $R_{50} \dots R_{54}$  entre las entradas y  $V_{CC}$ . El criterio de diseño del valor de estas resistencias es similar al de las

resistencias  $R_{47}$  y  $R_{48}$  del circuito "elimina - rebotes" (Sección 3-7). Por lo tanto:

$$R_{50} \dots R_{54} = 2,4 \text{ K}\Omega$$

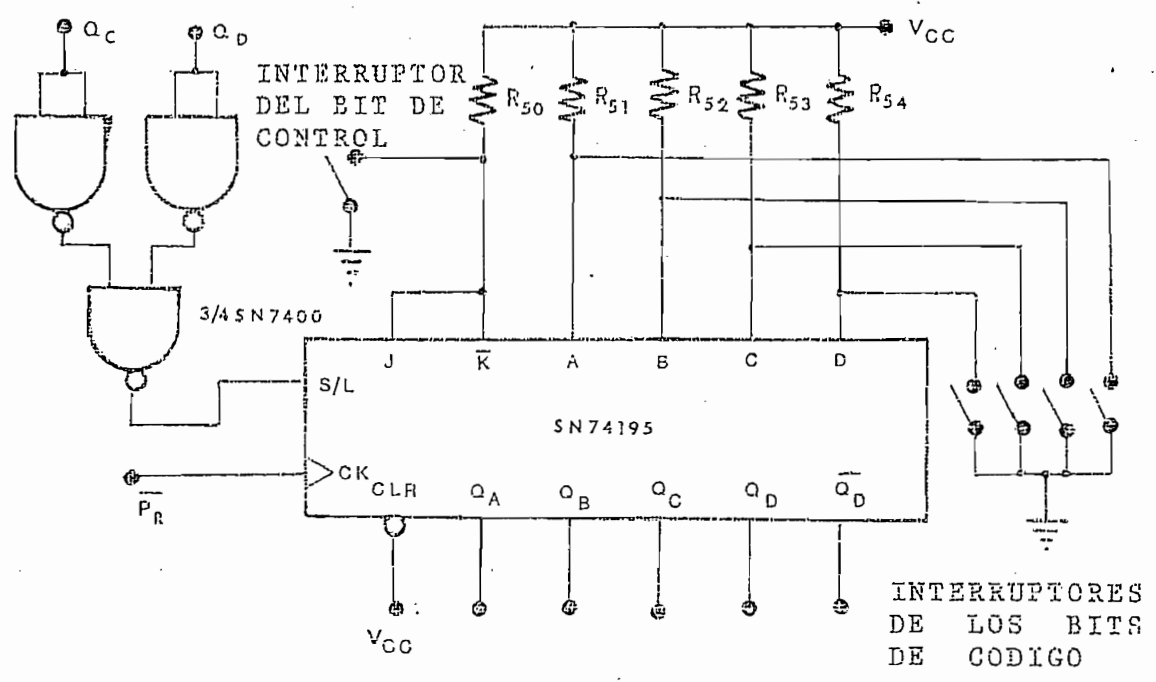


FIGURA 3-10-3. Transformador serie/paralelo.

Finalmente, para obtener los pulsos  $p_1$ ,  $p_0$  y  $p_5$ , que controlan al MULTIPLEXER DE TONOS mediante señales  $0_L$ , utilizaremos el circuito de la Fig. 3-10-4.

Los pulsos de separación  $p_5$ , son determinados por la condición  $\overline{P_R} = 0$ .

Entre los pulsos de separación ( $\overline{P_R} = 1$ ) debe aparecer un  $0_L$  en las salidas  $p_0$  ó  $p_1$  según  $Q_D$  sea igual a

$0_L$  ó  $1_L$  respectivamente, es decir:

$$p_0 = \overline{\overline{P_R} \cdot \overline{Q_D}}$$

$$p_1 = \overline{\overline{P_R} \cdot Q_D}$$

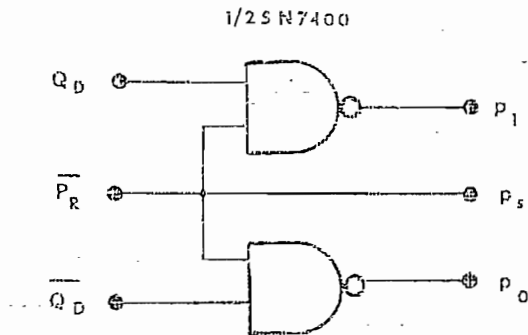


FIGURA 3-10-4. Salida de los pulsos  $p_0$ ,  $p_1$  y  $p_s$ .

CAPITULO CUARTO

DISEÑO DEL RECEPTOR

#### 4-1.- DISEÑO DEL RECEPTOR SUPERHETERODÍNO DE 27,115 MHz.

El Receptor Super-heterodino consta de un oscilador local, que a su vez es el mezclador, y dos pasos de amplificación de frecuencia intermedia.

Para obtener la frecuencia intermedia de 485 KHz, el batido de señales se produce entre la recibida por la antena (27,115 MHz) y la del oscilador local (26,630 MHz). El oscilador local está controlado por un cristal de cuarzo para una recepción estable y selectiva.

Los amplificadores de frecuencia intermedia se construirán con los mismos circuitos tanques usados en los receptores comunes de Onda Media, dado que la frecuencia de sintonía de 455 KHz puede ser fácilmente cambiada a 485 KHz, al variar los valores de las inductancias.

El circuito completo del receptor superheterodino se puede ver en la Fig. 4-1.

##### 4-1-1.- POLARIZACIÓN DEL OSCILADOR-MEZCLADOR

Como fuente de polarización escogemos  $V_{CC} = 10,5 \text{ V}$ , que equivale a 7 pilas de 1,5 V. Para  $T_{15}$  escogemos un transistor del tipo 2N5179 por las mismas ra-

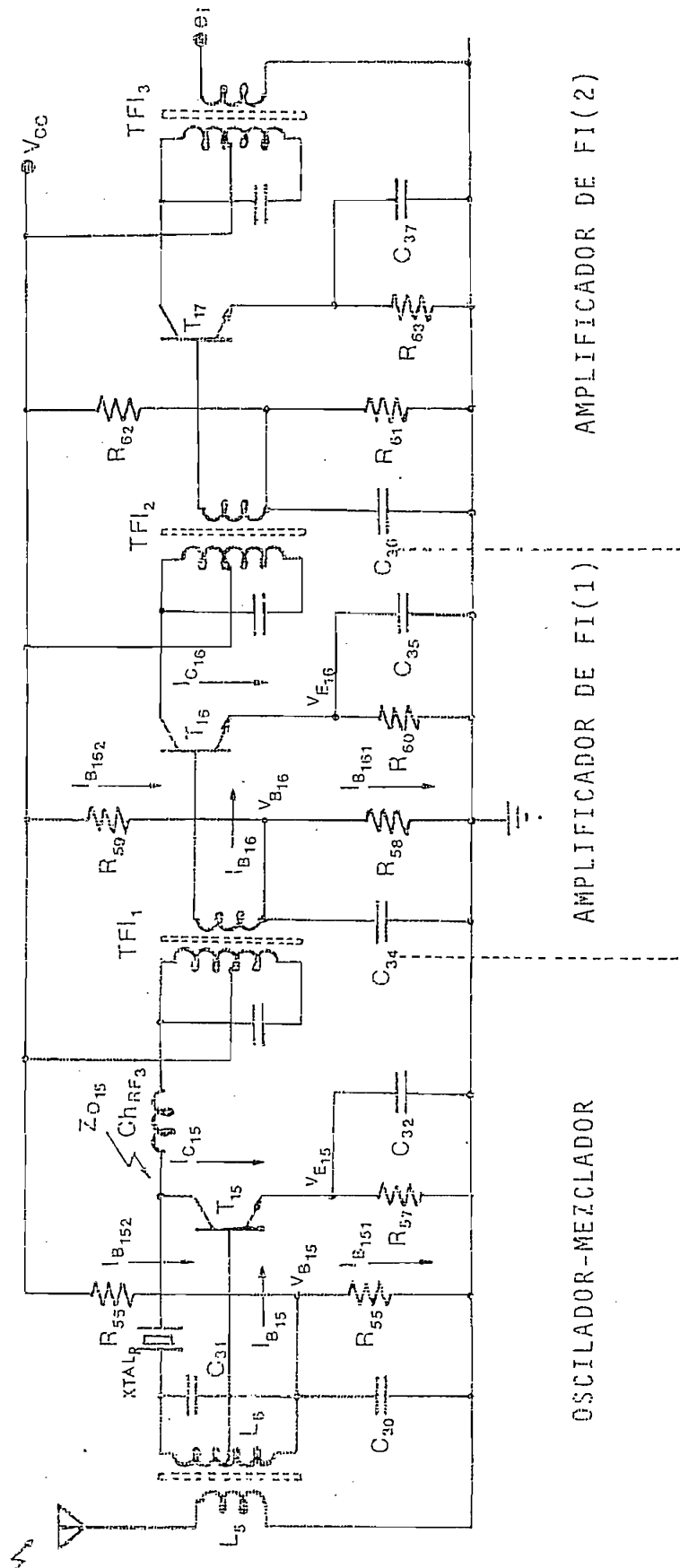


FIGURA 4-1. Circuito del receptor superheterodino.

zonas que escogimos  $T_1$  (Capítulo 3, Sección 3-3-1).

Asumimos como punto de polarización de  $T_{15}$

$$I_{C_{15}} = 1 \text{ mA} \approx I_{E_{15}}$$

$$V_{E_{15}} = 0,2 \text{ V}$$

Entonces:

$$R_{57} = \frac{V_{E_{15}}}{I_{E_{15}}} = \frac{0,2 \text{ V}}{1 \text{ mA}} = 200 \Omega$$

$$I_{B_{15}} = \frac{I_{C_{15}}}{\beta} = \frac{1 \text{ mA}}{30} = 0,033 \text{ mA}$$

Para estabilizar el punto de polarización a variaciones de corriente reversa colector-base, por cambios de temperatura hacemos:

$$I_{B_{151}} = 10 I_{B_{15}} = 0,33 \text{ mA}$$

Como:

$$V_{B_{15}} = V_{E_{15}} + 0,6 \text{ V} = (0,2 + 0,6) \text{ V} = 0,8 \text{ V}$$

Tenemos que:

$$R_{55} = \frac{V_{B_{15}}}{I_{B_{151}}} = \frac{0,8 \text{ V}}{0,33 \text{ mA}} = 2,42 \text{ K}\Omega$$

$$R_{56} = \frac{V_{CC} - V_{B_{15}}}{I_{B_{151}} + I_{B_{15}}} = \frac{(10,5 - 0,8) \text{ V}}{(0,33 + 0,033) \text{ mA}} = 26,5 \text{ K}\Omega$$

La reactancia del condensador  $C_{32}$  a la frecuencia de oscilación debe ser mucho menor que la resistencia  $R_{57}$ .

$$|X_{C_{32}}| \ll R_{57}$$

$$\frac{1}{2\pi f C_{32}} \leq \frac{R_{57}}{10}$$

$$C_{32} \geq \frac{10}{2 \times \pi \times 26,630 \times 10^6 \times 200} \text{ F} = 299 \text{ pF}$$

Para los elementos calculados anteriormente, en la construcción utilizaremos los siguientes valores:

$$R_{55} = 2,4 \text{ K}\Omega$$

$$R_{56} = 27 \text{ K}\Omega$$

$$R_{57} = 220 \Omega$$

$$C_{32} = 470 \text{ pF}$$



#### 4-1-2.- OTROS ELEMENTOS DEL OSCILADOR-MEZCLADOR

Para el diseño de los elementos que constituyen el oscilador local, utilizaremos los mismos criterios de diseño del oscilador en el transmisor (Ver Capítulo 3, Sección 3-1-2).

De donde se obtiene, que la frecuencia de oscilación está determinada exclusivamente por el cristal, ya que se cumple:

$$(2 \pi f)^2 = \frac{1}{L_x C_x}$$

Para mantener indefinidamente la oscilación, se debe cumplir:

$$g_m > \gamma_x \omega^2 C_1 C_2'$$

Donde:

$$C_1 = C_{30}$$

$C_2'$  = La capacidad colector-emisor del transistor  $T_{15}$  ( $C_{CE_{15}}$ ) en serie con  $C_{32}$ . Por cuanto el choque de radio-frecuencia  $Ch_{RF_3}$  es un circuito abierto para la frecuencia de oscilación.

Para el cálculo del condensador  $C_{30}$  sabemos:

$$g_m = \frac{1}{\gamma_{e_{15}}} = \frac{q I_{E_{15}}}{KT}$$

A la temperatura ambiental

$$g_m = \frac{I_{E_{15}}}{26 \text{ mV}} = \frac{1 \text{ mA}}{26 \text{ mV}} = 38,5 \text{ mmhos}$$

$\gamma_X = 40 \Omega$  (según TECHNICAL DATA CRISTAL ICM para cristales de alta frecuencia de 15 - 60 MHz)

$$\omega = 2 \times \pi \times 26,630 \times 10^6 \text{ rad/seg.}$$

$$C_2' = \frac{C_{CE_{15}} \times C_{32}}{C_{CE_{15}} + C_{32}}$$

Si conocemos que:

$$C_{CE_{15}} = 6 \text{ pF} \quad (\text{Valor obtenido a partir de las curvas dadas por el fabricante})$$

$$C_{32} = 470 \text{ pF}$$

$$C_2' = \frac{6 \times 470}{6 + 470} \text{ pF} = 6 \text{ pF}$$

Por lo tanto;

$$C_{30} < \frac{g_m}{\gamma_x \omega^2 C_2^2}$$

$$C_{30} < \frac{38,5 \times 10^{-3} \text{ F}}{40 (2 \times \pi \times 26,630 \times 10^6)^2 \times 6 \times 10^{-12}} = 5,12 \text{ nF}$$

Escogemos,

$$C_{30} = 39 \text{ pF}$$

Debido a que  $Ch_{RF_3}$  es un circuito abierto a la frecuencia de oscilación, éste debe presentar una reactancia mucho mayor que la impedancia de salida del transistor  $T_{15}$ . Entonces:

$$|X_{Ch_{RF_3}}| \gg |Z_{O_{15}}|$$

$$2\pi f Ch_{RF_3} \geq 10 |Z_{O_{15}}|$$

Siendo:

$$|Z_{O_{15}}| = |R_{O_{15}} \parallel (-j X_{C_2^2})|$$

Donde:

$$R_{O_{15}} \approx \frac{V_{GC}}{I_{C_{15}}} \quad \text{Resistencia de salida de } T_{15}$$

$$X_{C_2'} = \frac{1}{2\pi f C_2'} \quad \text{Reactancia de salida de } T_{15}$$

$$|Z_{O_{15}}| = \left| \frac{10,5}{0,001} \parallel \left( -j \frac{1}{2 \times \pi \times 26,630 \times 10^6 \times 6 \times 10^{-12}} \right) \right| \Omega$$

$$|Z_{O_{15}}| = 992 \Omega$$

Por lo tanto tenemos que:

$$Ch_{RF_3} \geq \frac{10 \times 992}{2 \times \pi \times 26,63 \times 10^6} \text{ H} = 59,3 \mu\text{H}$$

Escogemos:

$$Ch_{RF_3} = 64 \mu\text{H}$$

Para que el circuito oscilador trabaje también como mezclador, la base de  $T_{15}$  debe estar conectada a un circuito tanque sintonizado a la frecuencia de transmisión (27,115 MHz), mientras que el colector está conectado a otro circuito tanque sintonizado a la frecuencia intermedia (485 KHz).

En el circuito resonante de la base tenemos:

$$(2\pi f_T)^2 = \frac{1}{L_6 C_{31}}$$

Si asumimos que:

$$C_{31} = 30 \text{ pF}$$

$$L_6 = \frac{1}{(2\pi f_T)^2 C_{31}} = \frac{1}{(2 \times \pi \times 27,115 \times 10^6)^2 \times 30 \times 10^{-12}} \text{ H}$$

$$L_6 = 1,15 \text{ } \mu\text{H}$$

En el circuito resonante del colector TFI<sub>1</sub>, como ya mencionamos anteriormente, utilizaremos los circuitos construidos con este propósito para los receptores de onda media.

#### 4-1-3.- DISEÑO DE LOS AMPLIFICADORES DE FRECUENCIA INTERMEDIA

Como fuente de polarización utilizaremos los mismos 10,5 V escogidos anteriormente. Para T<sub>16</sub> y T<sub>17</sub> escogemos transistores del tipo 2N706 de silicio, con  $\beta_{\min} = 20$  y un  $f_T = 200 \text{ MHz}$  suficientes para trabajar a 485 KHz.

Las dos etapas de amplificación las diseñaremos idénticas, por lo tanto:

$$R_{59} = R_{61}$$

$$R_{59} = R_{62}$$

$$R_{60} = R_{63}$$

$$C_{34} = C_{36}$$

$$C_{35} = C_{37}$$

Asumimos para polarización de  $T_{16}$

$$I_{C_{16}} = 0,2 \text{ mA} \approx I_{E_{16}}$$

$$V_{E_{16}} = 0,2 \text{ V}$$

Entonces:

$$R_{60} = \frac{V_{E_{16}}}{I_{E_{16}}} = \frac{0,2 \text{ V}}{0,2 \text{ mA}} = 1 \text{ K}\Omega$$

$$I_{B_{16}} = \frac{I_{C_{16}}}{\beta} = \frac{0,2 \text{ V}}{20} = 0,01 \text{ mA}$$

Para estabilizar el punto de polarización a cambios de temperatura hacemos:

$$I_{B_{161}} = 10 I_{B_{16}} = 0,1 \text{ mA}$$

Como:

$$V_{B_{16}} = V_{E_{16}} + 0,6 \text{ V} = (0,2 + 0,6) \text{ V} = 0,8 \text{ V}$$

Tenemos que:

$$R_{58} = \frac{V_{B_{16}}}{I_{B_{161}}} = \frac{0,8 \text{ V}}{0,1 \text{ mA}} = 8 \text{ K}\Omega$$

$$R_{59} = \frac{V_{CC} - V_{B_{16}}}{I_{B_{161}} + I_{B_{16}}} = \frac{(10,5 - 0,8) \text{ V}}{(0,1 + 0,01) \text{ mA}} = 88 \text{ K}\Omega$$

La reactancia del condensador  $C_{34}$  a 485 KHz debe ser mucho menor que  $(R_{58} \parallel R_{59})$

$$|X_{C_{34}}| \ll (R_{58} \parallel R_{59})$$

$$\frac{1}{2\pi f C_{34}} \leq \frac{(R_{58} \parallel R_{59})}{10}$$

$$C_{34} \geq \frac{10}{2 \times \pi \times 485 \times 10^3 \times 8 \times 10^3} \text{ F} = 410 \text{ pF}$$

Tambi3n la reactancia del condensador  $C_{35}$  debe ser mucho menor que  $R_{60}$ .

$$|X_{C_{35}}| \ll R_{60}$$

$$\frac{1}{2\pi f C_{35}} \leq \frac{R_{60}}{10}$$

$$C_{35} \geq \frac{10}{2 \times \pi \times 485 \times 10^3 \times 10^3} F = 3,28 \mu F$$

Para los elementos calculados anteriormente en la construcción utilizaremos los siguientes valores:

$$R_{58} = 10 K\Omega$$

$$R_{59} = 100 K\Omega$$

$$R_{60} = 1 K\Omega$$

$$C_{34} = 0,01 \mu F$$

$$C_{35} = 0,01 \mu F$$

Los circuitos resonantes de los colectores TFI<sub>2</sub> y TFI<sub>3</sub> también serán los circuitos tanques construídos para los receptores de Onda Media.

#### 4-2.- DISEÑO DEL DETECTOR DE ENVOLVENTE

A partir de la frecuencia intermedia ( $e_i$ ), este circuito obtiene la señal de control ( $e_m$ ) constituida por los tres tonos ( $f_1, f_0, f_s$ ). Además, será amplificada con el objeto de tener el suficiente nivel en la señal para poder efectuar la separación de los tonos.

El detector de AM y el amplificador de la señal de con-



trol, se pueden ver en la Fig. 4-2-1.

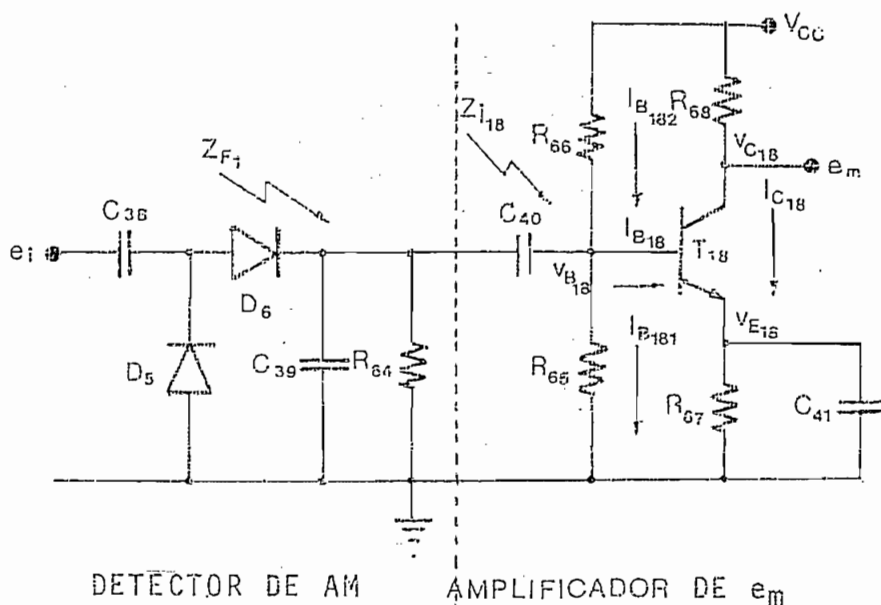


FIGURA 4-2-1. Detector de AM y amplificador de  $e_m$ .

#### 4-2-1.- DISEÑO DEL AMPLIFICADOR DE LA SEÑAL DE CONTROL

La fuente de polarización es:

$$V_{CC} = 10,5 \text{ V}$$

Para  $T_{18}$  escogemos un transistor del tipo 2N3904 de silicio, con  $\beta_{min} = 50$ . El valor de  $f_T$  no es crítico ya que la máxima frecuencia de trabajo es  $f_1 = 4 \text{ KHz}$ .

Por punto de polarización de  $T_{18}$  escogemos:

$$I_{C18} = 2 \text{ mA} \approx I_{E18}$$

$$V_{CE18} = 6 \text{ V}$$

$$V_{E18} = 0,2 \text{ V}$$

Entonces:

$$R_{67} = \frac{V_{E18}}{I_{E18}} = \frac{0,2 \text{ V}}{2 \text{ mA}} = 100 \Omega$$

$$R_{68} = \frac{V_{CC} - V_{CE18} - V_{E18}}{I_{E18}} = \frac{(10,5 - 6 - 0,2) \text{ V}}{2 \text{ mA}} = 2,15 \text{ K}\Omega$$

$$I_{B18} = \frac{I_{C18}}{\beta} = \frac{2 \text{ mA}}{50} = 0,04 \text{ mA}$$

Para estabilizar el punto de polarización a variaciones de temperatura que cambia la corriente inversa colector-base, hacemos:

$$I_{B181} = 10 I_{B18} = 0,4 \text{ mA}$$

De donde,

$$V_{B18} = V_{E18} + 0,6 \text{ V} = (0,2 + 0,6) \text{ V} = 0,8 \text{ V}$$

$$R_{65} = \frac{V_{B18}}{I_{B181}} = \frac{0,8 \text{ V}}{0,4 \text{ mA}} = 2 \text{ K}\Omega$$

$$R_{66} = \frac{V_{CC} - V_{B1s}}{I_{B1s1} + I_{B1s}} = \frac{(10,5 - 0,8) \text{ V}}{(0,4 + 0,04) \text{ mA}} = 22 \text{ K}\Omega$$

La reactancia del condensador  $C_{41}$  a la frecuencia mínima de  $\bar{e}_m$ ,  $f = f_0 = 1 \text{ KHz}$  debe ser mucho menor que  $R_{67}$ .

$$|X_{C_{41}}| \ll R_{67}$$

$$\frac{1}{2\pi f C_{41}} < \frac{R_{67}}{10}$$

$$C_{41} > \frac{10}{2 \times \pi \times 10^3 \times 100} = 16 \mu\text{F}$$

La reactancia del condensador de paso  $C_{40}$  debe ser mucho menor que  $Z_{i1s}$

$$|X_{C_{40}}| \ll Z_{i1s}$$

$$\frac{1}{2\pi f C_{40}} < \frac{Z_{i1s}}{10}$$

Donde:

$$Z_{i1s} \approx R_{65} \parallel R_{66} \parallel \beta \gamma_{e1s}$$

$$\gamma_{e1s} = \frac{KT}{q I_{E1s}} = \frac{26 \text{ mV}}{2 \text{ mA}} = 13\Omega$$

Entonces:

$$Z_{i_{10}} \approx 2 \text{ K}\Omega \parallel 22 \text{ K}\Omega \parallel 50 (13 \Omega) = 480 \Omega$$

$$C_{40} \geq \frac{10}{2 \times \pi \times 10^3 \times 480} \text{ F} = 3,3 \mu\text{F}$$

Para los elementos calculados anteriormente, en la construcción utilizaremos los siguientes valores:

$$R_{65} = 2,2 \text{ K}\Omega$$

$$R_{66} = 22 \text{ K}\Omega$$

$$R_{67} = 100 \Omega$$

$$R_{68} = 2,2 \text{ K}\Omega$$

$$C_{40} = 5 \mu\text{F}$$

$$C_{41} = 50 \mu\text{F}$$

#### 4-2-2.- DISEÑO DEL DETECTOR DE AM

Como circuito rectificador utilizaremos un doblador de tensión, en el cual  $D_5$  y  $D_6$  son diodos de señal 1N3467 de germanio.

El filtro pasa bajos, constituido por el condensador  $C_{39}$  en paralelo con la resistencia  $R_{64}$  y con la impe-

dancia  $Z_{j_{18}}$ , tiene una constante de tiempo

$\tau = (R_{64} \parallel Z_{j_{18}}) C_{39}$  y debe cumplir con la siguiente relación:

$$\frac{1}{2\pi f_i} < \tau < \frac{1}{2\pi f_1}$$

Donde:

$f_i = 485 \text{ KHz}$  , frecuencia intermedia

$f_1 = 4 \text{ KHz}$  , frecuencia máxima de  $e_m$

Si escogemos el valor del condensador

$$C_{39} = 0,01 \mu\text{F}$$

Tenemos que:

$$\frac{1}{2 \times \pi \times 485 \times 10^3 \times 0,01 \times 10^{-6}} \Omega < R_{64} \parallel Z_{j_{18}}$$

$$R_{64} \parallel Z_{j_{18}} < \frac{1}{2 \times \pi \times 4 \times 10^3 \times 0,01 \times 10^{-6}} \Omega$$

$$33 \Omega < R_{64} \parallel Z_{j_{18}} < 3,9 \text{ K}\Omega$$

Escogemos:

$$R_{64} \parallel Z_{j_{18}} = 390 \Omega$$

Entonces:

$$R_{64} = 2 \text{ K}\Omega$$

La reactancia del condensador de paso  $C_{38}$  debe ser mucho menor que el valor absoluto de la impedancia del filtro,

$$|X_{C_{38}}| \ll |Z_{F1}|$$

$$\frac{1}{2\pi f_i C_{38}} \leq \frac{|Z_{F1}|}{10}$$

Donde:

$$|Z_{F1}| = |R_{64} \parallel Z_{iB} \parallel -j X_{C_{39}}| = 33 \Omega$$

$$C_{38} \geq \frac{10}{2 \times \pi \times 485 \times 10^3 \times 33} \text{ F} = 0,1 \mu\text{F}$$

$$C_{38} = 0,1 \mu\text{F}$$

#### 4-3.- DISEÑO DEL SEPARADOR DE TONOS

Para filtrar los tonos utilizaremos circuitos osciladores por corrimiento de fase a la frecuencia de los tonos, con control de ganancia para hacerlos osciladores

amortiguados.

La Fig. 4-3-1 muestra uno de estos tres circuitos. Su polarización se diseñará en forma idéntica y lo haremos una sola vez. Por lo tanto:

$$T_{19} = T_{21} = T_{23}$$

$$T_{20} = T_{22} = T_{24}$$

$$R_{70} = R_{77} = R_{84}$$

$$R_{71} = R_{78} = R_{85}$$

$$R_{72} = R_{79} = R_{86}$$

$$R_{73} = R_{80} = R_{87}$$

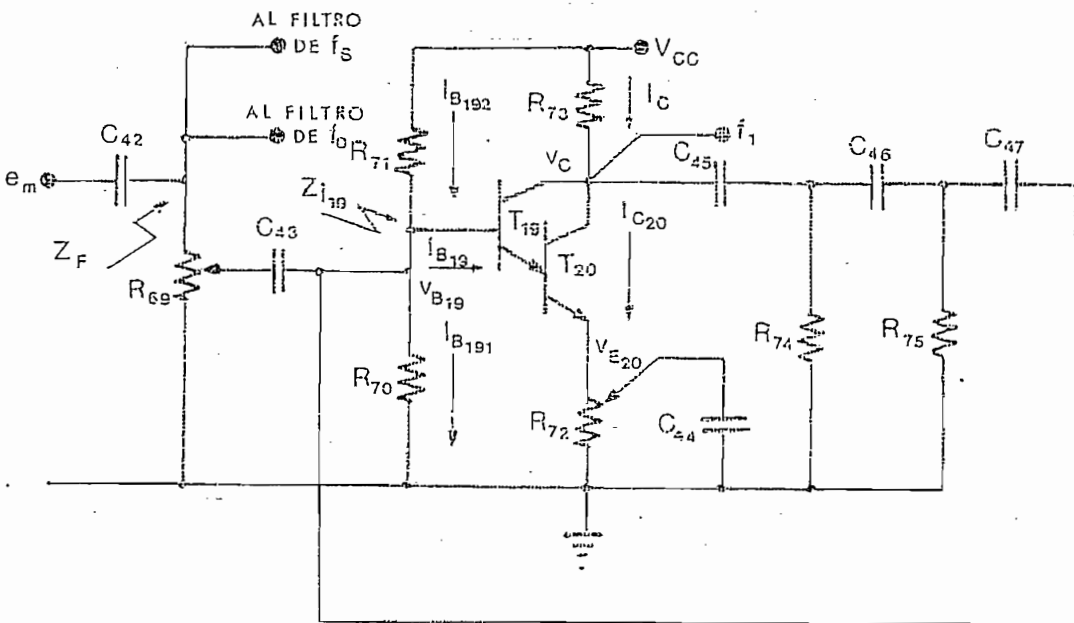


FIGURA 4-3-1. Circuito oscilador, utilizado para filtrar los tonos.

#### 4-3-1.- POLARIZACION DEL OSCILADOR-FILTRO

Los 10,5 V serán la fuente de polarización del circuito. Para T<sub>19</sub> y T<sub>20</sub> (transistores que trabajen formando "un par DARLINGTON" para mejorar el valor  $\beta$ ) escogemos transistores del tipo 2N834, los que juntos nos dan un  $\beta_{\min} = 400$ .

Como punto de polarización asumimos:

$$I_{C_{20}} = 10 \text{ mA} \approx I_{E_{20}} \approx I_C$$

$$V_{CE_{20}} = 5 \text{ V}$$

$$V_{E_{20}} = 1 \text{ V}$$

Por lo tanto:

$$R_{72} = \frac{V_{E_{20}}}{I_{E_{20}}} = \frac{1 \text{ V}}{10 \text{ mA}} = 100 \Omega$$

Esta resistencia tendrá una toma variable; donde, con el condensador del emisor podremos controlar la ganancia para hacerle un oscilador amortiguado

$$R_{73} = \frac{V_{CC} - V_{CE_{20}} - V_{E_{20}}}{I_C} = \frac{(10,5 - 5 - 1) \text{ V}}{10 \text{ mA}} = 450 \Omega$$



$$I_{B19} = \frac{I_{C20}}{\beta} = \frac{10 \text{ mA}}{400} = 25 \mu\text{A}$$

Para estabilizar el punto de polarización a cambios de corriente inversa colector-base por la temperatura, hacemos:

$$I_{B191} = 10 I_{B19} = 0,25 \text{ mA}$$

Como:

$$V_{B19} = V_{E20} + 1,2 \text{ V} = (1 + 1,2) \text{ V} = 2,2 \text{ V}$$

Entonces tenemos que:

$$R_{70} = \frac{V_{B19}}{I_{B191}} = \frac{2,2 \text{ V}}{0,25 \text{ mA}} = 8,8 \text{ K}\Omega$$

$$R_{71} = \frac{V_{CC} - V_{B19}}{I_{B191} + I_{B19}} = \frac{(10,5 - 2,2) \text{ V}}{(0,25 + 0,025) \text{ mA}} = 30 \text{ K}\Omega$$

Para los elementos calculados anteriormente, en la construcción utilizaremos los siguientes valores:

$$R_{70} = 10 \text{ K}\Omega$$

$$R_{71} = 30 \text{ K}\Omega$$

$$R_{72} = 100 \Omega \quad (\text{Con toma variable})$$

$$R_{73} = 390 \Omega$$

#### 4-3-2.- CALCULO DE LOS CONDENSADORES DE EMISOR

La reactancia del condensador del emisor ( $C_E$ ) debe ser mucho menor que la resistencia  $R_{72}$ .

$$|X_{C_E}| \ll R_{72}$$

$$\frac{1}{2\pi f C_E} < \frac{R_{72}}{10}$$

Para las tres diferentes frecuencias:

$$f = f_0 = 1 \text{ KHz ,}$$

$$C_E = C_{44} \geq \frac{10 \text{ F}}{2 \times \pi \times 10^3 \times 100} = 16 \mu\text{F}$$

Escogemos:

$$C_{44} = 22 \mu\text{F}$$

$$f = f_S = 2,5 \text{ KHz ,}$$

$$C_E = C_{49} \geq \frac{10 \text{ F}}{2 \times \pi \times 2,5 \times 10^3 \times 100} = 6,4 \mu\text{F}$$

Escogemos:

$$C_{49} = 10 \mu F$$

$$f = f_1 = 4 \text{ KHz}$$

$$C_E = C_{54} \geq \frac{10 \text{ F}}{2 \times \pi \times 4 \times 10^3 \times 100} = 4 \mu F$$

Escogemos:

$$C_{54} = 5 \mu F$$

#### 4-3-3.- CALCULO DE LOS ELEMENTOS DEL SISTEMA DE CORRIMIENTO DE FASE

En los circuitos osciladores por corrimiento de fase, por el criterio de BARKAUSEN, se tiene que:

$$f = \frac{1}{2\pi RC \sqrt{6 + 4K}}$$

Y la ganancia de corriente en emisor común debe ser:

$$hfe > 4K + 23 + \frac{29}{K}$$

Donde:

$K = \frac{R_C}{R}$  : Relación entre la resistencia de colector  $R_C$  y la resistencia del sistema de corrimiento de fase  $R$  ; y,

$C$  : Condensador del sistema de corrimiento de fase.

Si asumimos,

$$K = 0,39$$

Se debe cumplir que:

$$hfe > 4 \times 0,39 + 23 + \frac{29}{0,39}$$

$$hfe > 100$$

Como en el presente caso estamos utilizando dos transistores formando un par DARLINGTON con  $hfe = 400$ , se cumple suficientemente la condición anterior.

Además, conocemos que:

$$R_C = R_{73} = 390 \Omega$$

Entonces,

$$R = \frac{R_C}{K} = \frac{390}{0,39} \Omega = 1 \text{ K}\Omega$$

En los tres osciladores usaremos el mismo valor de R;  
por lo tanto:

$$R = R_{74} = R_{75}$$

$$R = R_{81} = R_{82}$$

$$R = R_{89} = R_{90}$$

En el caso de los condensadores tenemos que:

$$C = \frac{1}{2\pi f R \sqrt{6 + 4 K}}$$

Para

$$f = f_0 = 1 \text{ KHz}$$

$$C = \frac{1}{2 \times \pi \times 10^3 \times 10^3 \sqrt{6 + 4 \times 0,39}} = 0,058 \mu F$$

$$C = C_{45} = C_{46} = C_{47} = 0,047 \mu F$$

Para

$$f = f_s = 2,5 \text{ KHz}$$

$$C = \frac{1}{2 \times \pi \times 2,5 \times 10^3 \times 10^3 \sqrt{6 + 4 \times 0,39}} = 0,023 \mu F$$

$$C = C_{50} = C_{51} = C_{52} = 0,022 \mu F.$$

Para

$$f = f_1 = 4 \text{ KHz}$$

$$C = \frac{1}{2 \times \pi \times 4 \times 10^3 \times 10^3} \frac{F}{\sqrt{6 + 4 \times 0,39}} = 0,015 \mu F$$

$$C = C_{55} = C_{56} = C_{57} = 0,018 \mu F$$

Finalmente, para llevar la señal  $e_m$  a los osciladores, utilizaremos divisores de tensión variables (Ver Fig. 4-3-1); por medio de los cuales podemos controlar la amplitud de la señal de salida  $f_1$ ,  $f_5$  y  $f_0$ .

Para no cargar el amplificador de  $e_m$ , escogemos:

$$R_{69} = R_{76} = R_{83} = 10 \text{ K}\Omega$$

Los condensadores de paso  $C_{43}$ ,  $C_{48}$  y  $C_{53}$  deben presentar una reactancia mucho menor que la impedancia de entrada del transistor  $T_{19}$ .

$$|X_{C_{43}}| \ll Z_{i_{19}}$$

$$\frac{1}{2\pi f C_{43}} < \frac{Z_{i_{19}}}{10}$$

Donde:

$$Z_{i_1} \approx R_{70} \parallel R_{71} \parallel \beta \gamma_{e_{20}}$$

$$\gamma_{e_{20}} = \frac{KT}{qI_{E_{20}}}$$

A la temperatura ambiente

$$\gamma_{e_{20}} = \frac{26 \text{ mV}}{I_{E_{20}}} = \frac{2,6 \text{ mV}}{10 \text{ mA}} = 2,6 \Omega$$

$$Z_{i_1} = 10 \text{ k}\Omega \parallel 30 \text{ k}\Omega \parallel 400 (2,6 \Omega) = 913 \Omega$$

$$C_{43} \geq \frac{10 \text{ F}}{2 \times \pi \times 10^3 \times 913} = 1,7 \mu\text{F}$$

Utilizaremos,

$$C_{43} = 2,2 \mu\text{F}$$

El condensador de paso  $C_{42}$  debe presentar una reactancia mucho menor  $Z_F$ .

$$|X_{C_{42}}| \ll Z_F$$

$$\frac{1}{2\pi f C_{42}} < \frac{Z_F}{10}$$

Donde  $Z_F$ , en el caso más desfavorable será:

$$Z_F = R_{69} \parallel Z_{i_{19}} \parallel R_{76} \parallel Z_{i_{21}} \parallel R_{83} \parallel Z_{i_{23}}$$

$$Z_F = 280 \Omega$$

$$C_{42} \geq \frac{10 \text{ F}}{2 \times \pi \times 10^3 \times 280} = 5,7 \mu\text{F}$$

Escogemos

$$C_{42} = 22 \mu\text{F}$$

#### 4-4.- DISEÑO DEL REGENERADOR DE LA SECUENCIA DE BITS

Los tres tonos:  $f_1$ ,  $f_0$  y  $f_s$ , una vez separados por los filtros, deben dar origen a los pulsos  $p_1$ ,  $p_0$  y  $p_s$  que conforman la secuencia digital de la señal de control, que será procesada por la parte digital del receptor.

La regeneración de los pulsos se la puede hacer con un detector de envolvente, seguido de un circuito inversor, utilizado como INTERFASE para obtener los niveles lógicos necesarios para la parte digital.

El circuito de la Fig. 4-4-1, muestra uno de los tres regeneradores de pulsos, los cuales se diseñan en forma



idéntica para los tres tonos. El diseño se hará una so  
la vez, para el tono más bajo ( $f_0 = 1$  KHz). Por ello  
tendremos que:

$$T_{25} = T_{26} = T_{27}$$

$$D_7 = D_9 = D_{11}$$

$$D_8 = D_{10} = D_{12}$$

$$R_{91} = R_{94} = R_{97}$$

$$R_{92} = R_{95} = R_{98}$$

$$R_{93} = R_{96} = R_{99}$$

$$C_{58} = C_{60} = C_{62}$$

$$C_{59} = C_{61} = C_{63}$$

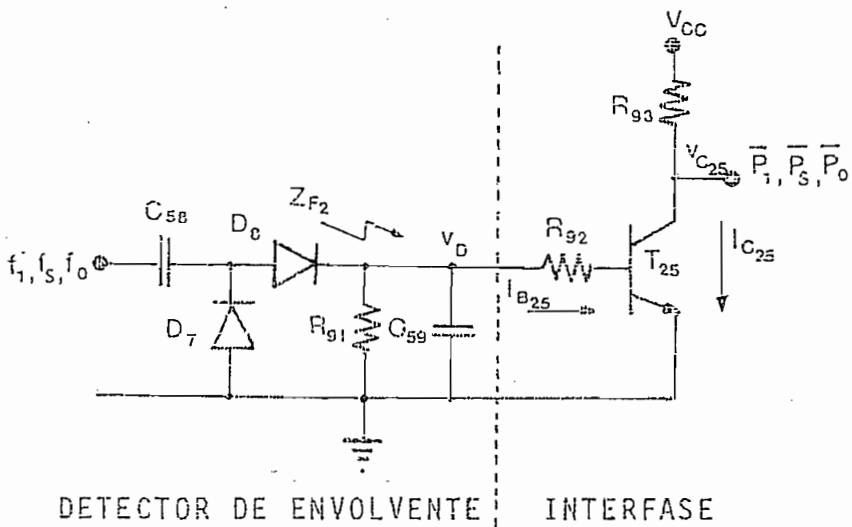


FIGURA 4-4-1. Regenerador de pulsos.

#### 4-4-1.- DISEÑO DEL DETECTOR DE ENVOLVENTE

Para  $D_7$  y  $D_8$ , que conforman el doblador de tensión, utilizado como rectificador, escogemos diodos de señal del tipo 1N3467 de germanio.

El detector de envolvente; en unión con el rectificador, tiene un filtro pasa-bajos constituido por el paralelo de una resistencia  $R_{91}$  y un condensador  $C_{59}$ , cuya constante de tiempo  $\tau = R_{91} C_{59}$  debe cumplir:

$$\frac{1}{2\pi f_0} < \tau < \frac{1}{2\pi f_p}$$

Donde:

$f_0 = 1 \text{ KHz}$  , frecuencia del tono

$f_p = 10 \text{ Hz}$  , frecuencia de repetición de los pul-  
sos.

Si escogemos el valor del condensador:

$$C_{59} = 1 \text{ } \mu\text{F}$$

Entonces tenemos que:

$$\frac{1}{2 \times \pi \times 10^3 \times 10^{-6}} \Omega < R_{91} < \frac{1}{2 \times \pi \times 10 \times 10^{-6}} \Omega$$

$$158 \Omega < R_{91} < 15,8 \text{ K}\Omega$$

Escogemos

$$R_{91} = 10 \text{ K}\Omega$$

#### 4-4-2.- DISEÑO DEL CIRCUITO INVERSOR

El transistor  $T_{25}$  escogemos del tipo 2N834 por las mismas razones que escogemos  $T_9$  (Ver Capítulo 3, Sección 3-5). Para  $V_{CC}$  utilizaremos 5 V de manera que la salida sea compatible con los niveles lógicos de la familia TTL.

Si las condiciones de saturación de  $T_{25}$  son:

$$I_{C_{25}sat} = 10 \text{ mA}$$

$$I_{B_{25}sat} = 1 \text{ mA}$$

$$V_{CE_{25}sat} = 0,25 \text{ V}$$

$$V_{BE_{25}sat} = 0,9 \text{ V}$$

Entonces:

$$R_{93} = \frac{V_{CC} - V_{CE_{25}sat}}{I_{C_{25}sat}} = \frac{(5 - 0,25) \text{ V}}{10 \text{ mA}} = 475 \Omega$$

Considerando que la menor salida de los osciladores es 2 V de pico y que los diodos son de germanio,  $V_D$  será aproximadamente igual a:

$$V_D = 2 (2 \text{ V}) - 2 (0,3) \text{ V} = 3,4 \text{ V}$$

Con este valor de  $V_D$ , para que el transistor  $T_{25}$  esté en saturación:

$$R_{92} \leq \frac{V_D - V_{B_{25} \text{ sat}}}{I_{B_{25} \text{ sat}}} = \frac{(3,4 - 0,9) \text{ V}}{1 \text{ mA}}$$

$$R_{92} \leq 2,5 \text{ K}\Omega$$

Para los elementos calculados anteriormente, en la construcción utilizaremos los siguientes valores:

$$R_{92} = 1,5 \text{ K}\Omega$$

$$R_{93} = 510 \Omega$$

El condensador de paso  $C_{58}$ , debe presentar una reactancia menor que el valor absoluto de la impedancia del filtro, a la frecuencia de 1 KHz.

$$|X_{C_{58}}| \ll |Z_{F2}|$$

$$\frac{1}{2\pi f C_{58}} \leq \frac{|Z_{F2}|}{10}$$

Donde:

$$|Z_{F_2}| = |R_{g1} \parallel (-j X_{C_{59}}) \parallel (R_{g2} + \beta \gamma_{e_{25}})|$$

$$\gamma_{e_{25}} = \frac{KT}{qI_{E_{25}}}$$

A la temperatura ambiente

$$\gamma_{e_{25}} = \frac{26 \text{ mV}}{I_{E_{25}}} = \frac{26 \text{ mV}}{10 \text{ mA}} = 2,6 \Omega$$

$$|Z_{F_2}| = |10 \text{ K}\Omega \parallel (-j 160 \Omega) \parallel (1,5 \text{ K}\Omega + 26 \Omega)|$$

$$C_{58} \geq \frac{1.0}{2 \times \pi \times 10^3 \times 160} \text{ F}$$

$$C_{58} = 10 \mu\text{F}$$

#### 4-5.- DISEÑO DEL CONTADOR MODULO SEIS Y SU BORRADO AUTOMATICO

La señal de control que llega al receptor puede ser detectada por la presencia de los seis pulsos de separación; por ello, utilizaremos un contador modulo seis para saber cuando se inicia y cuando finaliza la señal de control.

Los criterios de diseño del circuito contador, incluido

el borrado automático, son los mismos que se utilizaron en el diseño del contador del transmisor (Ver Capítulo 3, Secciones 3-8 y 3-9). La única diferencia radica en la utilización del FF-A del circuito integrado SN7493A.

El circuito resultante de este diseño es el mostrado en la Fig. 4-5-1.

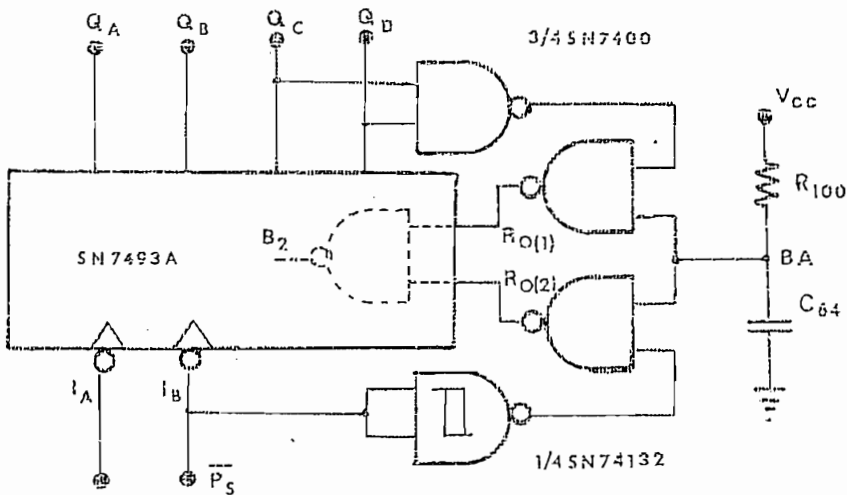


FIGURA 4-5-1. Contador módulo seis con borrado automático.

#### 4-6.- DISEÑO DEL TRANSFORMADOR SERIE/PARALELO

Para esta parte utilizaremos el registro de corrimiento SN74195 que tiene una entrada serie y cuatro salidas paralelas.

Para la entrada serie (J) del registro utilizaremos la salida de un flip-flop  $\bar{R}\text{-}\bar{S}$  (Fig. 4-6-1) que tiene como

entradas las salidas de los regeneradores de pulsos  $\overline{P}_1$  y  $\overline{P}_0$ , los cuales indican si es un  $1_L$  ó un  $0_L$  el bit que está llegando en la secuencia de la señal de control. Además, el flip-flop  $\overline{R}-\overline{S}$  retiene la información hasta que se produzca la carga del registro.

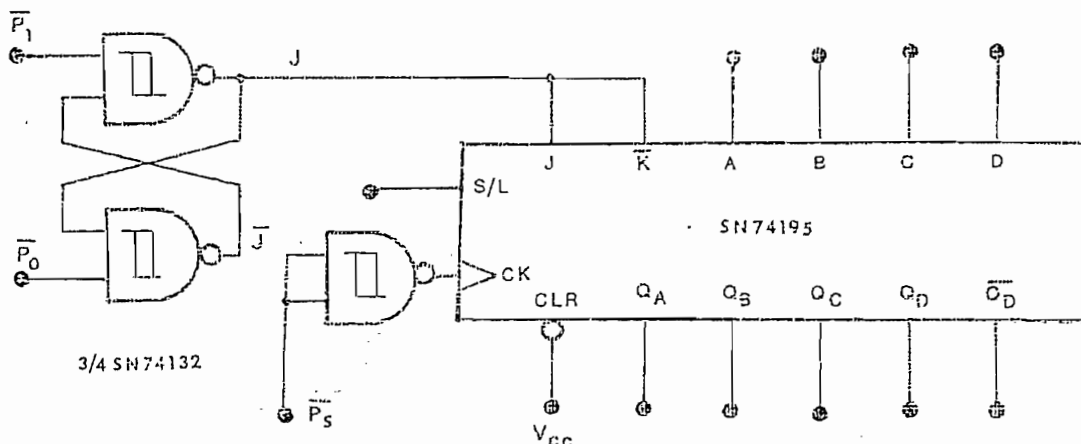


FIGURA 4-6-1. Entrada serial de los bits al transformador serie/paralelo.

Como se puede ver en la Fig. 4-6-2, la carga del registro de corrimiento se produce en la transición positiva de  $P_s$  y existen dos tipos de carga: Una serial, cuando  $S/L = 1_L$  y otra paralela, cuando  $S/L = 0_L$ .

Luego de los cinco primeros pulsos de  $P_s$  se tiene a las salidas del registro, los bits de código en forma paralela. Al llegar el sexto pulso de  $P_s$  no debe producirse un desplazamiento en el registro, sino que los bits de código deben mantener en las mismas salidas y el bit de control en la entrada J. Para lograr ésto, se utili

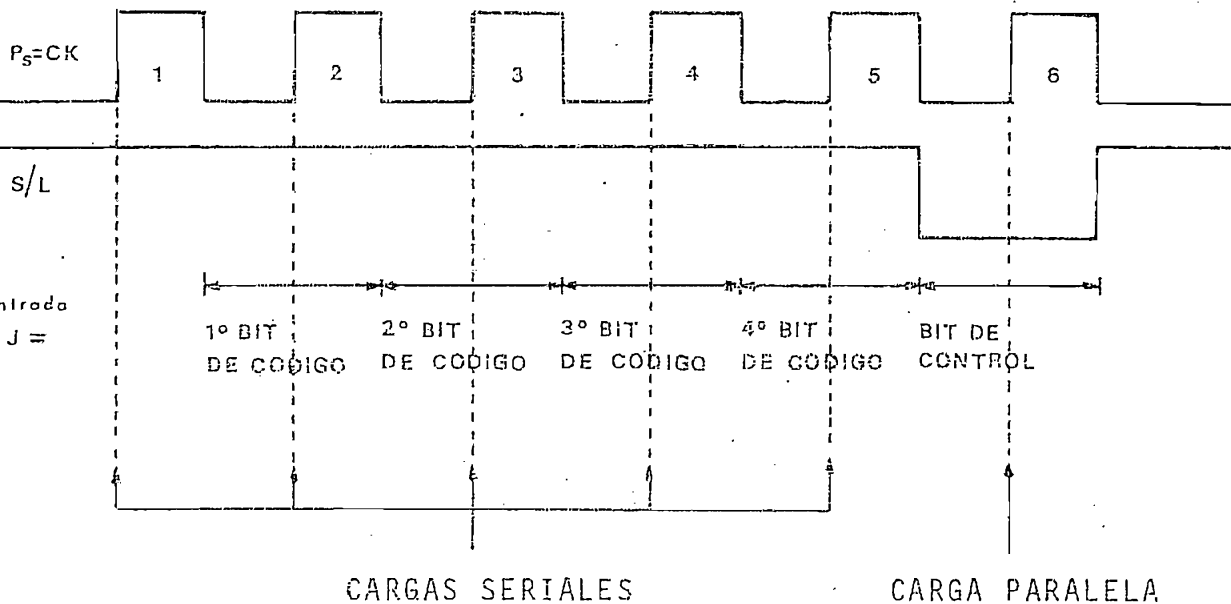


FIGURA 4-6-2. Funcionamiento del registro de corrimiento.

za el circuito de la Fig. 4-6-3, en el que las salidas se han conectado a sus entradas paralelas.

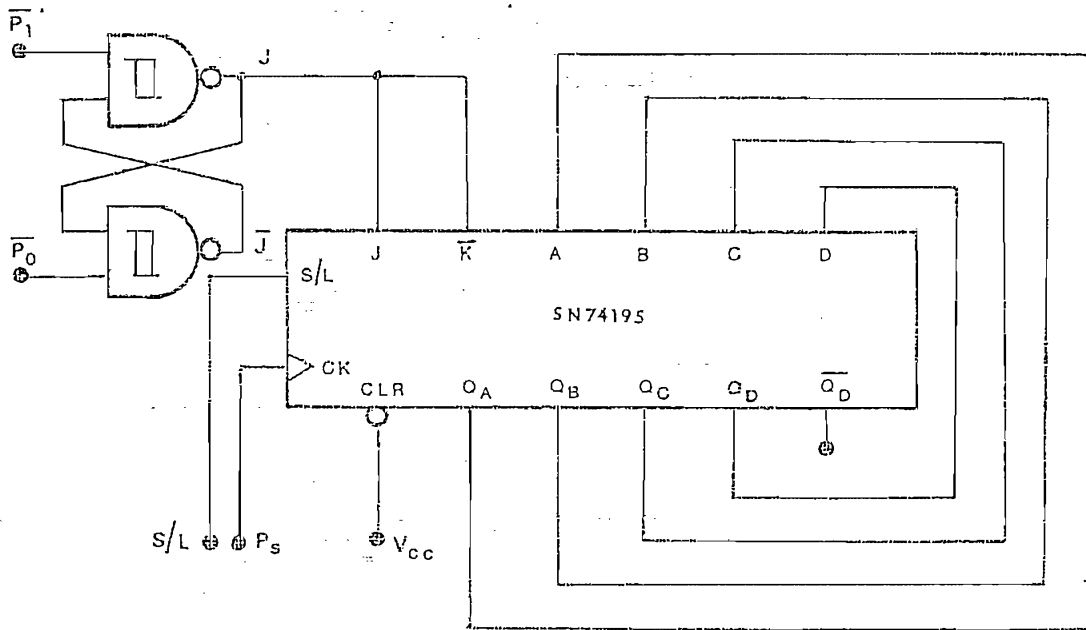


FIGURA 4-6-3. Entrada serial y paralela del transformador serie/paralelo.



La señal S/L se obtiene a partir de las salidas del contador módulo seis y con la ayuda del FF-A. Es así como podemos ver, en la Fig. 4-6-4, que  $S/L = \overline{Q_A \cdot Q_D}$ , y para obtener una salida  $Q_A$  como en la indicada en la misma figura, se debe tener que:

$$I_A = \overline{P_S \cdot Q_B}$$

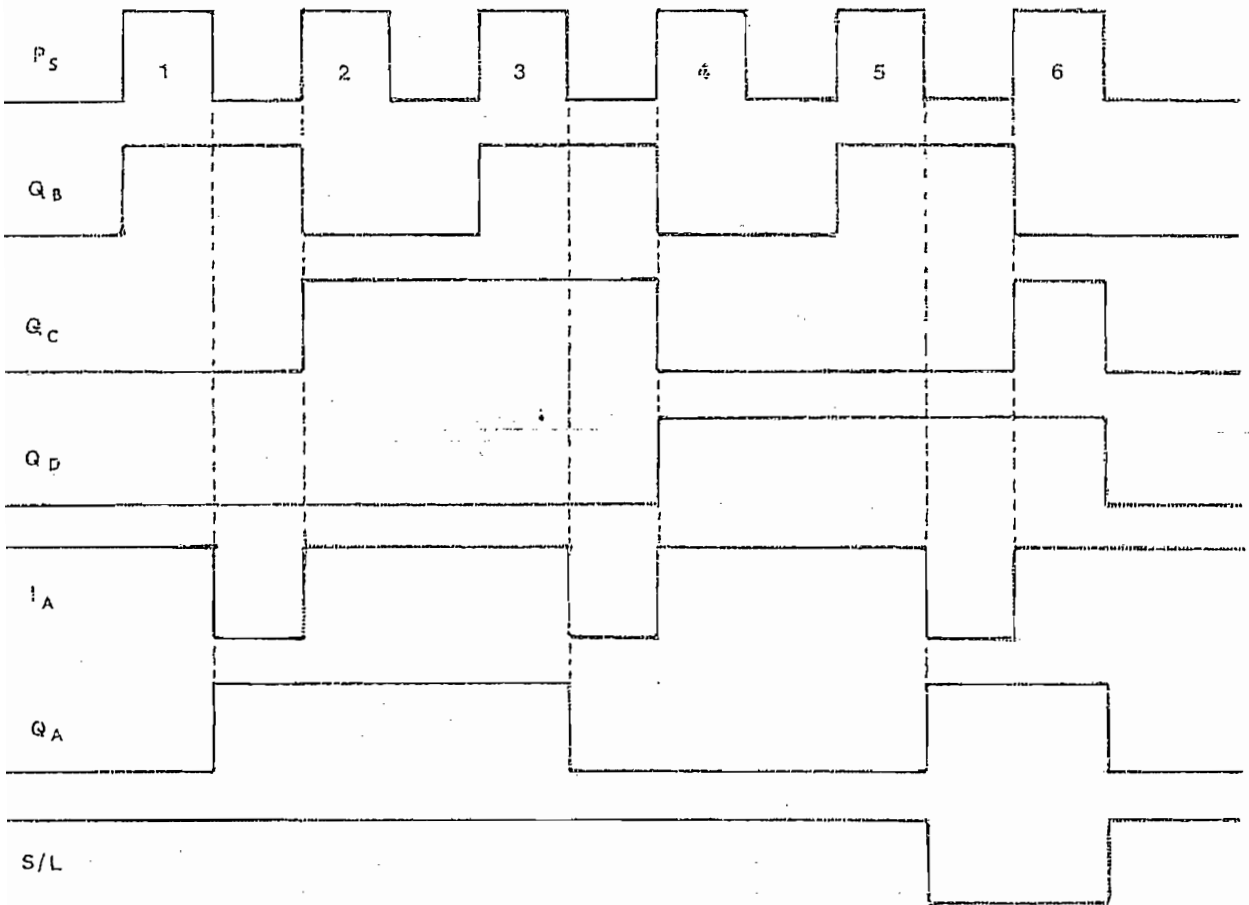


FIGURA 4-6-4. Salidas del contador módulo seis, entrada y salida de FF-A y la señal S/L.

Por lo tanto, para obtener la señal S/L es necesario implementar el circuito mostrado en la Fig. 4-6-5.

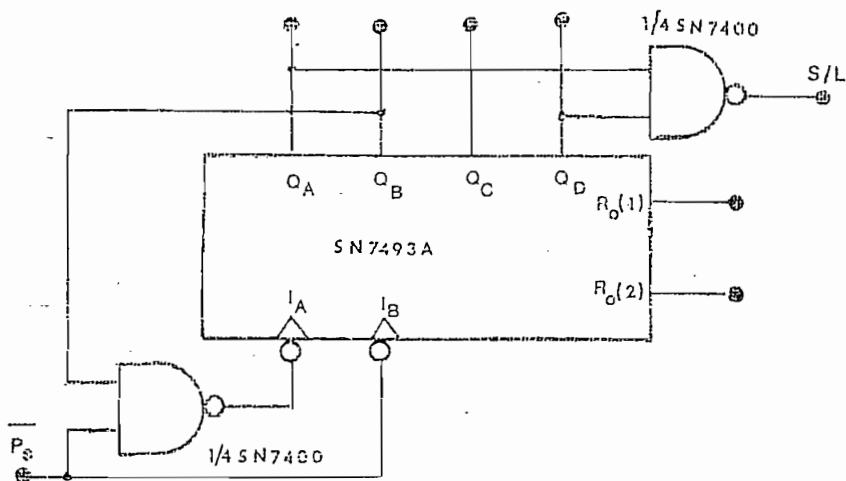


FIGURA 4-6-5. Circuito para obtener S/L.

#### 4-7.- DISEÑO DEL COMPARADOR DE CODIGO

Como comparador, entre el código enviado por el transmisor y el código propio de la variable, utilizaremos el circuito integrado SN7485, en el cual, las salidas del transformador serie/paralelo se conectan al juego de entradas A, mientras que al juego de entradas B, se conectan los interruptores que escogen el código de la variable. Ver Fig. 4-7-1.

Para que el circuito integrado SN7485 funcione como comparador de cuatro bits, las entradas  $A > B$ ,  $A = B$ ,  $A < B$  deben estar a  $1_L$ .

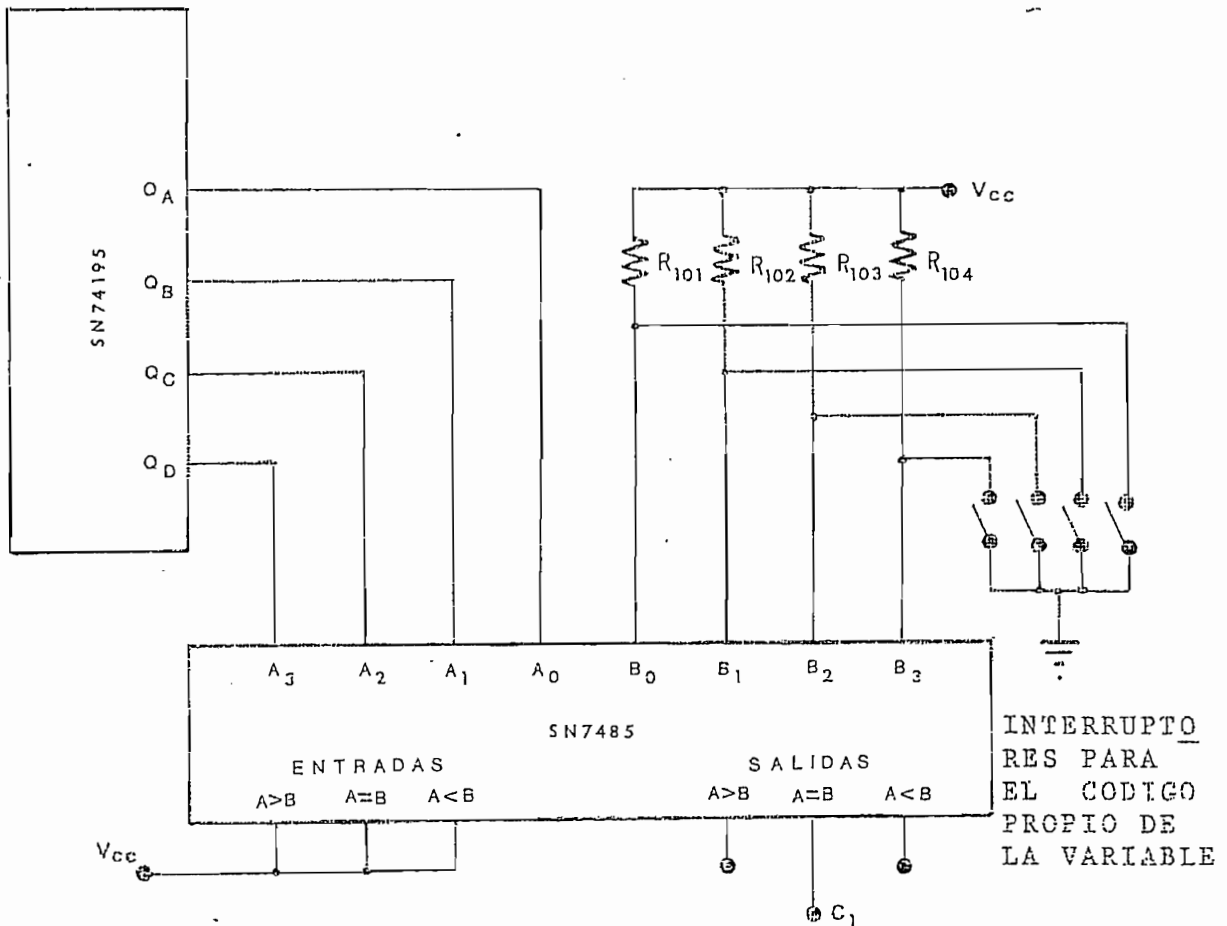


FIGURA 4-7-1. Comparador con el código propio de la variable.

El cálculo de las resistencias  $R_{101} \dots R_{104}$  es similar al cálculo de la resistencia  $R_{47}$ . (Ver Capítulo 3, Sección 3-7).

Como comparador con la "VARIABLE CERO" cuyo código es 1111, se puede utilizar una compuerta AND de cuatro entradas, o en su defecto tres de dos entradas como se muestra en la Fig. 4-7-2.

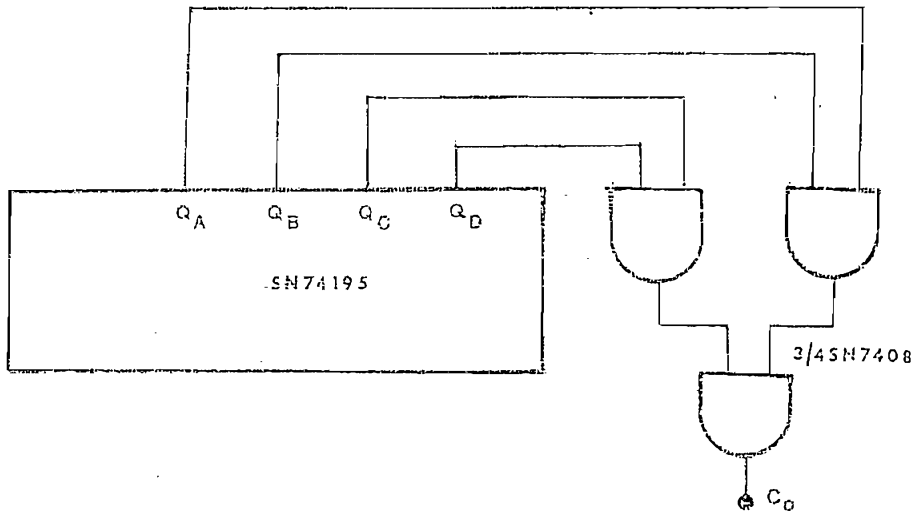


FIGURA 4-7-2. Comparador con el código de la variable cero.

Para tener el resultado de las dos comparaciones en una sola salida, debemos hacer:

$$C = C_1 + C_0$$

o, usando compuertas NAND,

$$C = \overline{\overline{C_1} \cdot \overline{C_0}}$$

con lo cual el circuito total de comparaciones queda como indica la Fig. 4-7-3.

#### 4-8.- DISEÑO DEL CONTROL DE LA VARIABLE

Para esta parte usaremos un flip-flop  $\overline{JK}$  del circuito

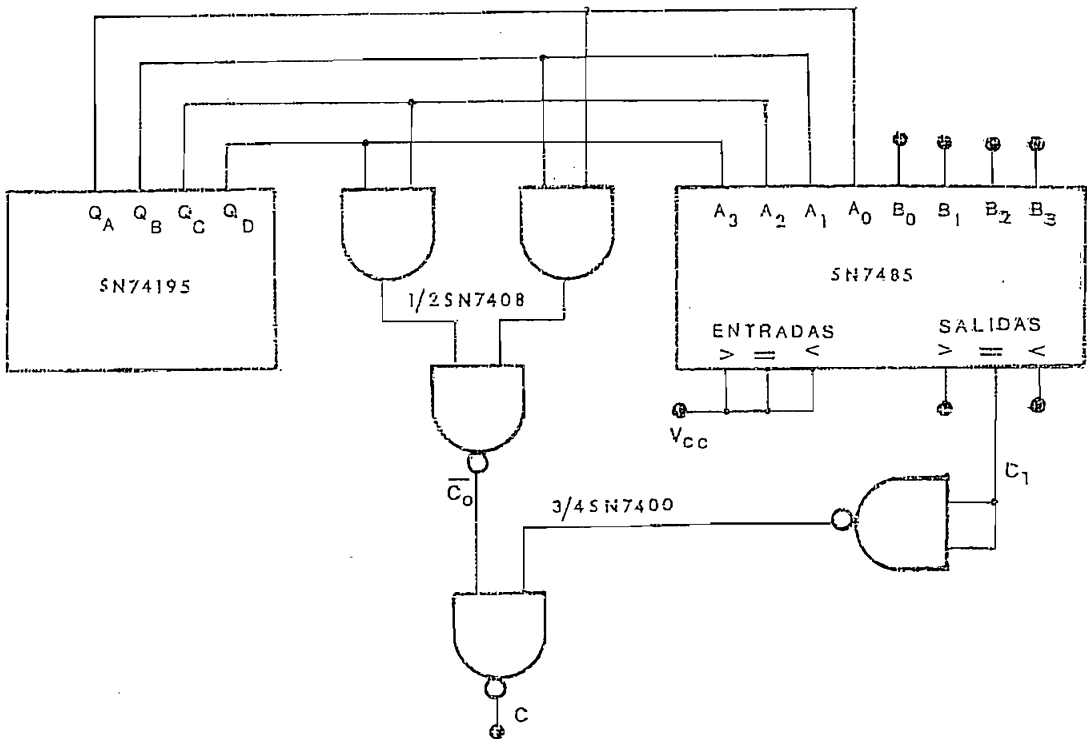


FIGURA 4-7-3. Circuito comparador.

integrado SN74109, cuyas entradas CLEAR y PRESET servirán para el control remoto. Mientras que las entradas J y  $\bar{K}$  con el reloj CK servirán para el control manual de la variable.

Por lo tanto, el PRESET será  $0_L$  cuando: El resultado de la comparación sea  $1_L$  ( $C = 1$ ), el bit de control sea  $1_L$  ( $J = 1$ ), y cuando esté llegando el último pulso de separación; es decir, las salidas del contador módulo seis  $Q_C = 1$  y  $Q_D = 1$ .

$$PR = \overline{J.C.Q_C.Q_D}$$

Mientras que el CLEAR será  $0_L$  cuando:

$$C = 1, J = 0, Q_C = 1 \text{ y } Q_D = 1$$

$$CL = \overline{\overline{J.C.Q_C.Q_D}}$$

El circuito resultante de este diseño es el mostrado en la Fig. 4-8-1.

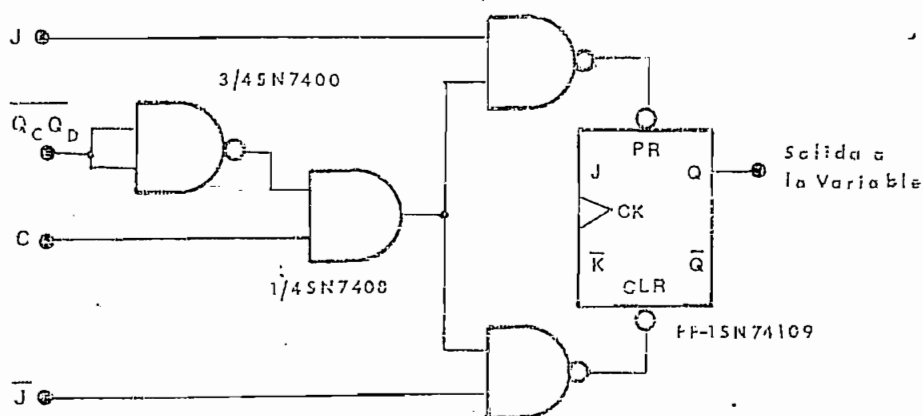


FIGURA 4-8-1. Circuito para el control remoto de la variable.

Mediante el control manual de la variable, se debe conseguir que: Independiente del estado en que se encuentre la salida a la variable, ésta debe cambiar su estado cuando se active el pulsante  $P_2$ .

El circuito que cumple con estas condiciones es el indicado en la Fig. 4-8-2, que funciona de la siguiente forma: El segundo flip-flop  $J\bar{K}$  del circuito integrado

SN74190 mediante sus entradas PR y CL, utilizado como circuito "elimina rebotes". Su salida  $\bar{Q}$  se conecta a la entrada de reloj CK del primer flip-flop, la cual al producirse la transición positiva hace cambiar el estado en la salida a la variable, ya que las entradas son  $J = 1_L$  y  $\bar{K} = 0_L$ .

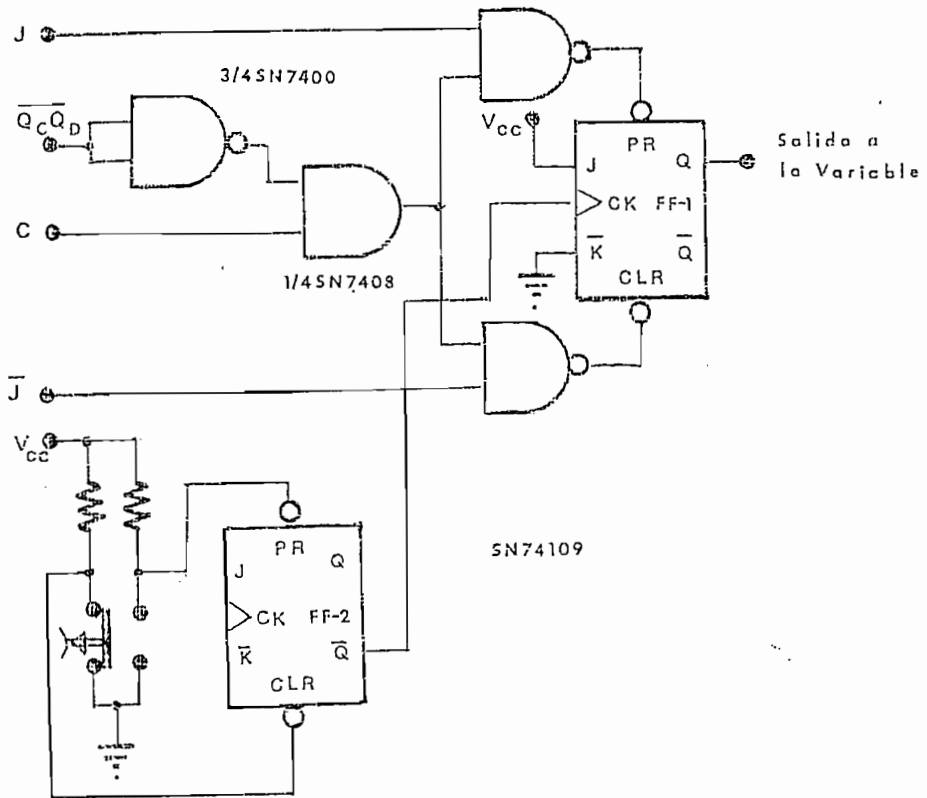


FIGURA 4-8-2. Circuito para el control remoto y manual de la variable.

CAPITULO QUINTO

CONSTRUCCION , EXPERIMENTACION  
Y CONCLUSIONES



## 5-1.- CONSTRUCCION DEL TRANSMISOR

El circuito completo del transmisor, mostrado en la Fig. 5-1-1, fue construido en tres tarjetas de circuitos impresos, agrupando las Secciones de la siguiente manera:

- Parte digital y controles del transmisor.
- Generadores de tonos y el multiplexer.
- Oscilador de radio-frecuencia, modulador y etapa de salida.

### 5-1-1.- TARJETA DE LA PARTE DIGITAL DEL TRANSMISOR

Los elementos de la parte digital del transmisor se pueden ver en la Fotografía de la Fig. 5-1-1.

De izquierda a derecha:

- El circuito integrado SN74132 (cuatro compuertas NAND-SCHMITT TRIGGER) del Reloj y su sincronismo con la señal del pulsante  $P_1$ .
- El circuito integrado SN7493A que contiene los flip-flops del contador módulo seis.
- El circuito integrado SN7400 (cuatro compuertas NAND) para completar el contador módulo seis y su borrado automático.



- Otro circuito integrado SN7400 para obtener las señales S/L, p<sub>1</sub> y p<sub>0</sub>.
- El circuito integrado SN74195 (registro de corrimiento) para la transformación paralelo/serie de los bits de la señal de control.

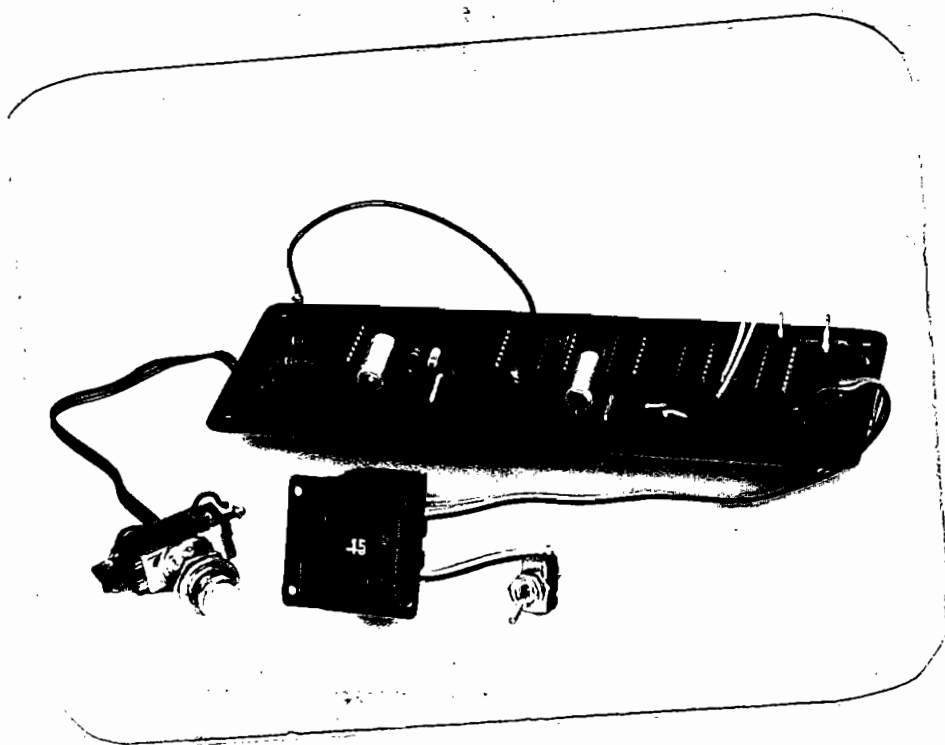


FIGURA 5-1-2. Vista de la tarjeta de la parte digital y los controles del transmisor.

El voltaje de polarización  $V_{CC} = 5\text{ V}$  tiene su entrada en los pines de la parte superior a la derecha. Los controles P<sub>1</sub>, S<sub>2</sub> y S<sub>1</sub>, que van en la parte frontal de la caja que contiene al transmisor, están

nectados a la tarjeta mediante conductores.

Las señales de p<sub>1</sub>, p<sub>0</sub> y p<sub>s</sub> salen de la tarjeta hacia el multiplexer mediante los conductores amarillo, azul y rojo respectivamente.

nectados a la tarjeta mediante conductores.

Las señales de  $p_1$ ,  $p_0$  y  $p_s$  salen de la tarjeta hacia el multiplexer mediante los conductores amarillo, azul y rojo respectivamente.

#### 5-1-2.- TARJETA DE LOS GENERADORES DE TONOS Y EL MULTIPLEXER

En la Fotografía de la Fig. 5-1-3, podemos ver las si guientes partes:

Hacia arriba, de izquierda a derecha:

Los generadores de  $f_1$ ,  $f_0$  y  $f_s$  respectivamente, con sus resistencias variables para ajustar el valor de frecuencia.

Hacia abajo, el multiplexer de tonos con los INTERFASES para las entradas de las señales de  $p_1$ ,  $p_0$  y  $p_s$  en los pines colocados de izquierda a derecha. En la misma disposición tenemos las resistencias variables para controlar la amplitud y la componente continua de los tonos al formar la señal modulante.

Finalmente, en la parte inferior izquierda tenemos los pines para la entrada del voltaje de polarización de 12 V y la salida de la señal modulante  $e_m$ .

la Fotografía de la Fig. 5-1-4; donde, el oscilador a cristal y el seguidor de emisor están en la parte inferior, el modulador está hacia la derecha y la etapa de salida incluida la antena están en la parte superior.

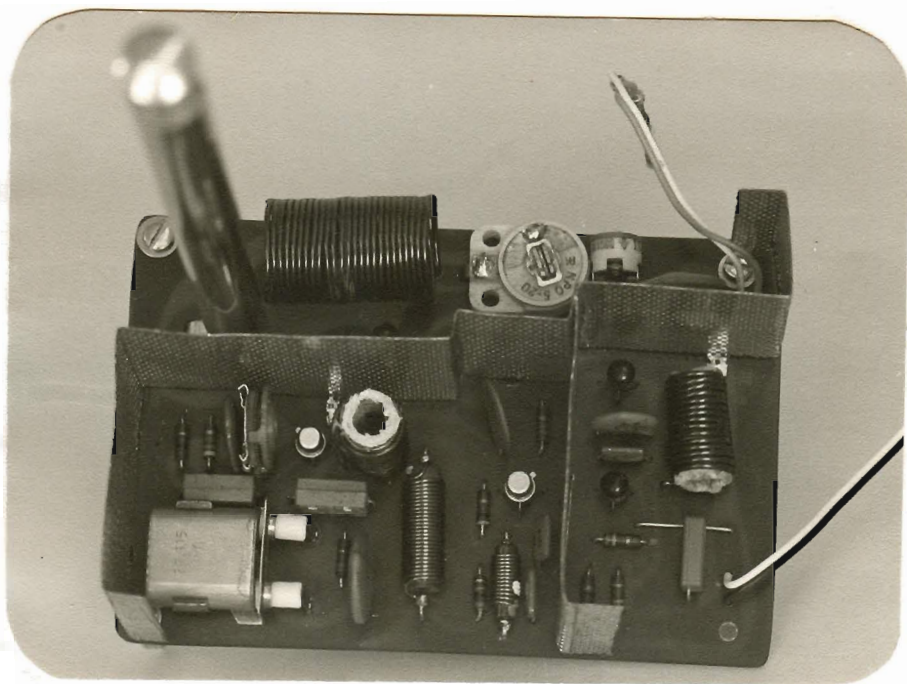


FIGURA 5-1-4. Vista de la tarjeta de la parte de radio-frecuencia del transmisor.

Las entradas del voltaje de polarización de 12 V y de la señal modulante, son conductores que pueden ser conectados en los respectivos pines de las otras tarjetas.

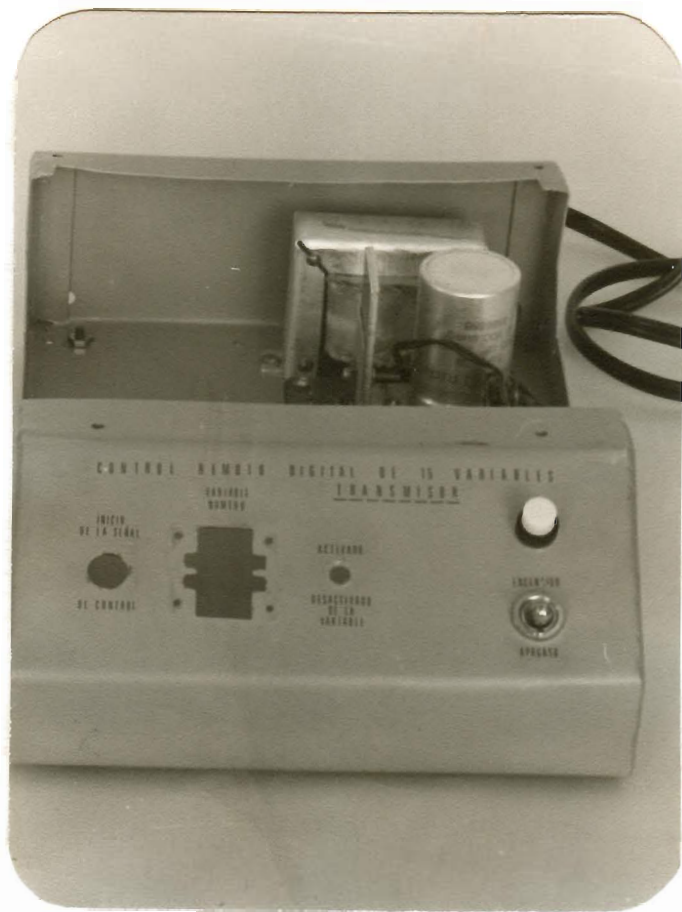


FIGURA 5-1-5. Vista de la caja del transmisor y las fuentes de polarización de 12 V y 5 V.

#### 5-1-4.- CAJA DEL TRANSMISOR Y LAS FUENTES DE POLARIZACION

La Fotografía de la Fig. 5-1-5, muestra la caja metálica donde irán colocadas las tarjetas descritas anteriormente. Además, ya están colocadas: La tarjeta de

las fuentes de polarización, el transformador y en la parte frontal de la caja hacia la derecha el interruptor con la lámpara indicadora de encendido del aparato.

También podemos ver en la parte frontal de la caja, los espacios vacíos donde irán colocados de izquierda a derecha  $P_1$ ,  $S_2$  y  $S_1$  (controles que salen de la tarjeta de la parte digital) con las siguientes leyendas:

Para  $P_1$ , INICIO DE LA SEÑAL / DE CONTROL

Para  $S_2$ , VARIABLE NUMERO y

Para  $S_1$ , ACTIVADO / DESACTIVADO DE LA VARIABLE

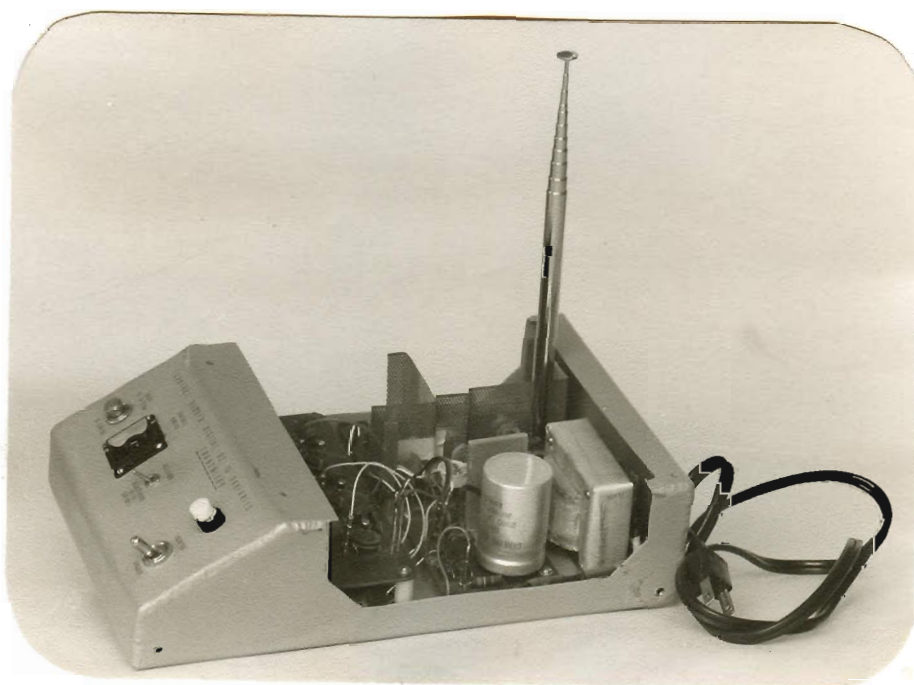


FIGURA 5-1-6. Vista completa del transmisor.





Finalmente, en la Fotografía de la Fig. 5-1-6, se pueden ver todas las placas y controles colocados en sus respectivos sitios dentro de la caja del transmisor.

## 5-2.- CONSTRUCCION DEL RECEPTOR

El circuito total del receptor mostrado en la Fig. 5-2-1 fue construido en dos tarjetas de circuitos impresos: Una que contiene toda la parte analógica y otra la parte digital.

### 5-2-1.- TARJETA DE LA PARTE ANALOGICA DEL RECEPTOR

Toda la parte analógica del receptor se encuentra construída en una sola tarjeta. La disposición de las diversas secciones puede verse en la Fotografía de la Fig. 5-2-2, de la siguiente manera:

El receptor super-heterodino con la antena, el detector de AM y el amplificador de  $e_m$  en el extremo derecho.

Los osciladores-filtros de  $f_0$ ,  $f_1$  y  $f_s$  en la parte central los dos primeros y en el extremo izquierdo hacia arriba el tercero.

Los regeneradores de los pulsos  $p_s$ ,  $p_1$  y  $p_0$  con sus

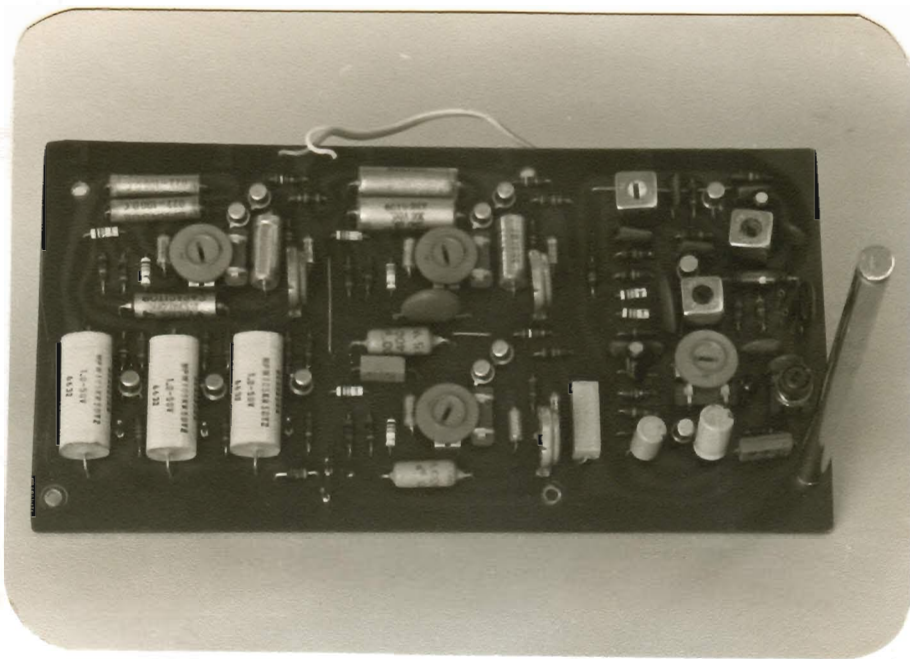


FIGURA 5-2-2. Vista de la tarjeta de la parte analógica del receptor.

pinos de salida en la parte izquierda hacia abajo.

La entrada del voltaje de polarización de 10,5 V se la hace mediante los conductores que se encuentran en la parte superior, mientras que la salida del voltaje de 5 V de polarización para la parte digital se encuentra en los pines de la parte inferior de la tarjeta.

#### 5-2-2.- TARJETA DE LA PARTE DIGITAL DEL RECEPTOR

En la Fotografía de la Fig. 5-2-3, podemos ver como

están dispuestos los elementos en la tarjeta de la parte digital del receptor.

En la columna de la derecha de abajo hacia arriba: Los flip-flops del contador módulo seis (SN7493A), Compuertas NAND (SN7400) para el borrado automático y completar el contador, y Compuertas NAND-SCHMITT TRIGGER (SN74132) para formar el flip-flop  $\bar{R}\bar{S}$  de entrada de datos y para cuadrar los pulsos de separación.

En la columna del centro: Dos circuitos integrados SN7400 para obtener las señales S/L, CLEAR y PRESET.

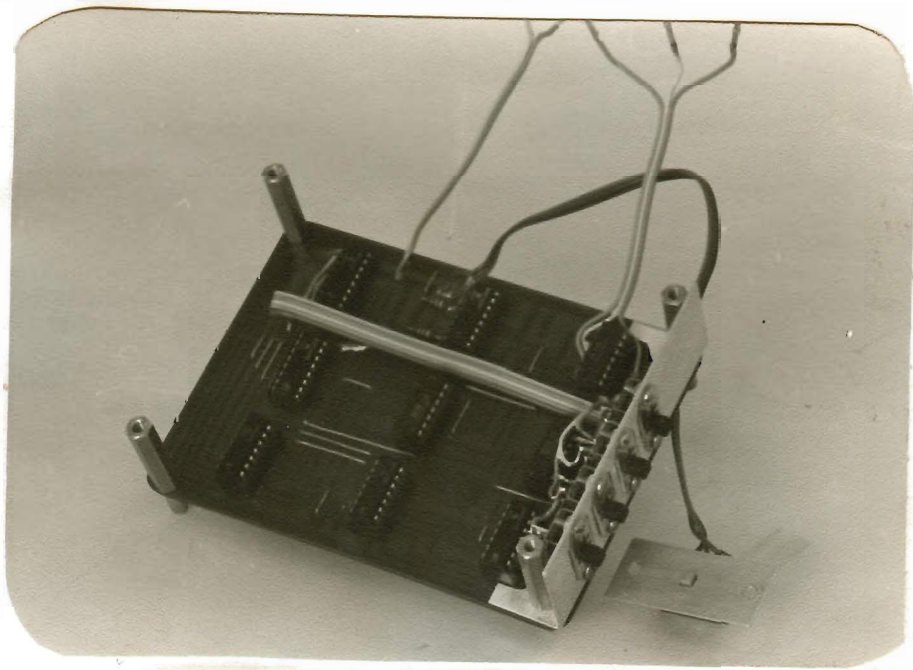


FIGURA 5-2-3. Vista de la tarjeta de la parte digital del receptor.

Y los flip-flops JK (SN74109) para el control de la variable.

En la columna de la derecha: Compuertas AND (SN7408) para comparar con el código de la Variable Cero. El registro de corrimiento (SN74195) para el transformador serie/paralelo, y el comparador de bits (SN7485) para comparar con el código propio de la variable.

Los interruptores para escoger el código de la variable y el pulsante del control manual se encuentran montados en una placa metálica al extremo izquierdo de la tarjeta.



FIGURA 5-2-4. Vista completa del receptor.

Las entradas de polarización y de los pulsos de  $p_s$ ,  $p_1$  y  $p_0$  son conductores que se pueden conectar a los pines de la tarjeta anterior.

La Fotografía de la Fig. 5-2-4, muestra las dos tarjetas del receptor, junto con la fuente regulada que reemplaza a las siete pilas de la fuente de polarización.

### 5-3.- EXPERIMENTACION DEL SISTEMA

Una vez terminada la construcción del sistema de Control Remoto Digital, se procedió a la calibración en el transmisor de las frecuencias de los tonos, del nivel de modulación y del acoplamiento con la antena. Obteniendo los siguientes resultados:

Frecuencia del oscilador de radio-frecuencia = 27,117 MHz.

(Ver Figs. 5-3-1 y 5-3-2)

Frecuencia del generador del tono  $f_1$  = 4,150 KHz.

(Ver Figs. 5-3-3 y 5-3-4)

Frecuencia del generador del tono  $f_s$  = 2,574 KHz.

(Ver Figs. 5-3-5 y 5-3-6)

Frecuencia del oscilador del tono  $f_0$  = 1,119 KHz.

(Ver Figs. 5-3-7 y 5-3-8).

Las mediciones anteriores las efectuamos en el Contador Hewlett-Packard modelo 5305A y las fotografías las obtuvimos en el osciloscopio Tektronix modelo 475 y en el Analizador de Espectro Hewlett-Packard modelo 8553.

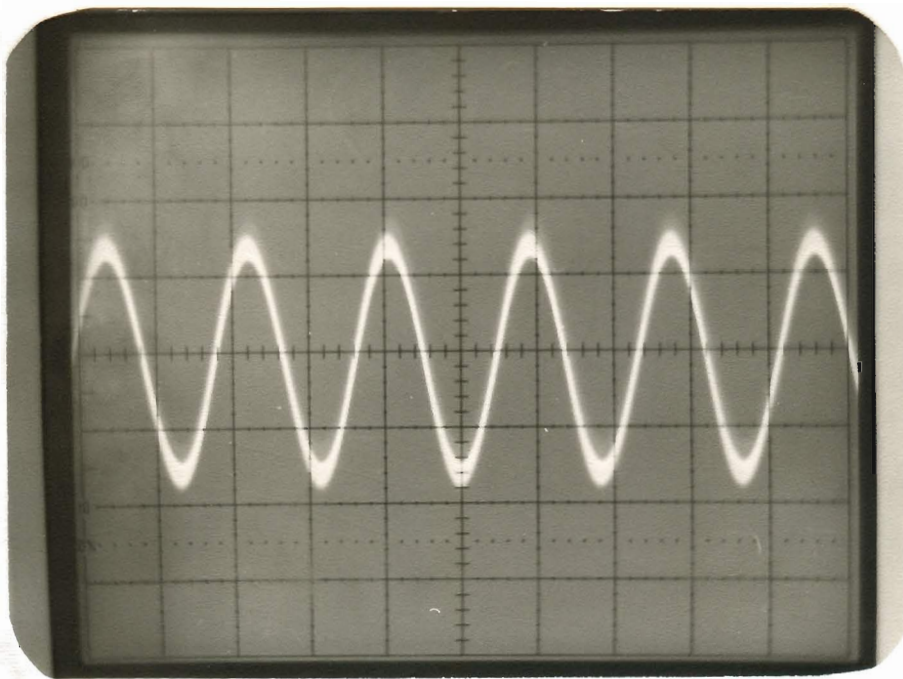


FIGURA 5-3-1. Salida del oscilador de radio-frecuencia.

Escala vertical: 1 V/Div

Escala horizontal: 0,02  $\mu$ S/Div

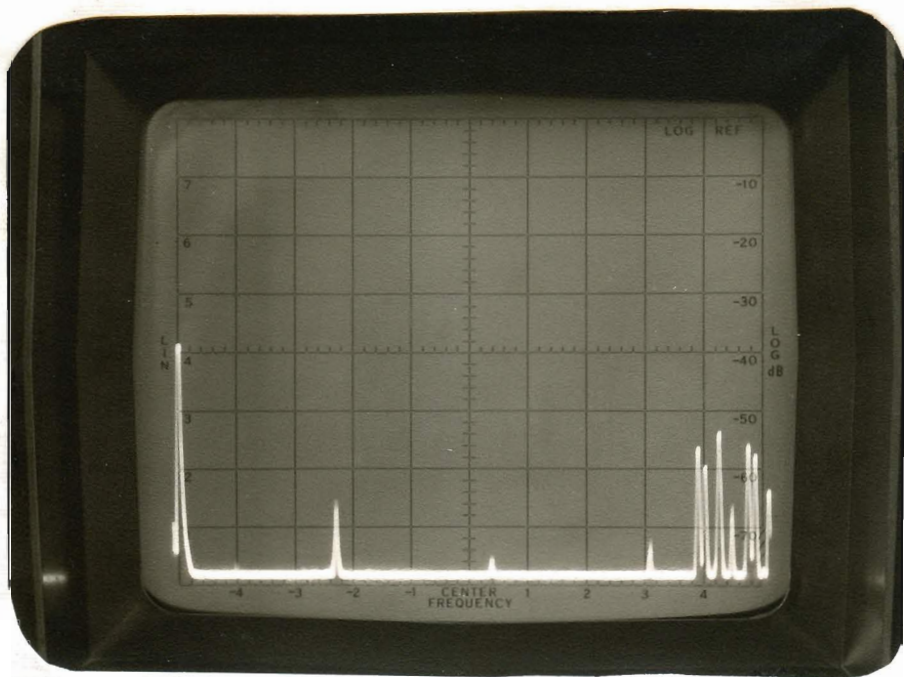


FIGURA 5-3-2. Espectro de frecuencias en el que se ve la portadora de 27,117 MHz.

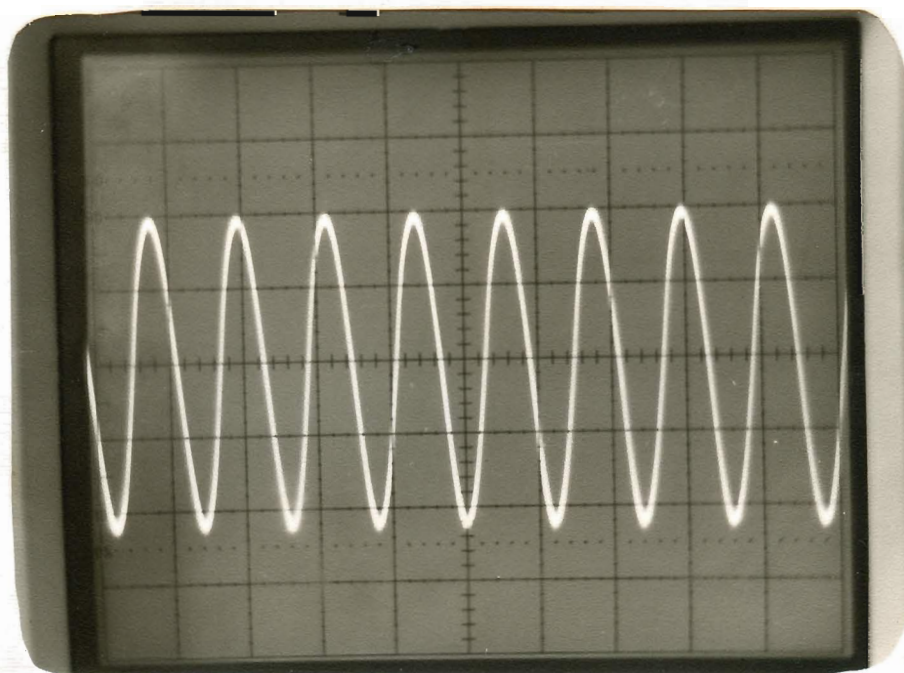


FIGURA 5-3-3. Salida del generador del tono  $f_1$ .  
Escala vertical: 2 V/Div  
Escala horizontal: 0,2 ms/Div

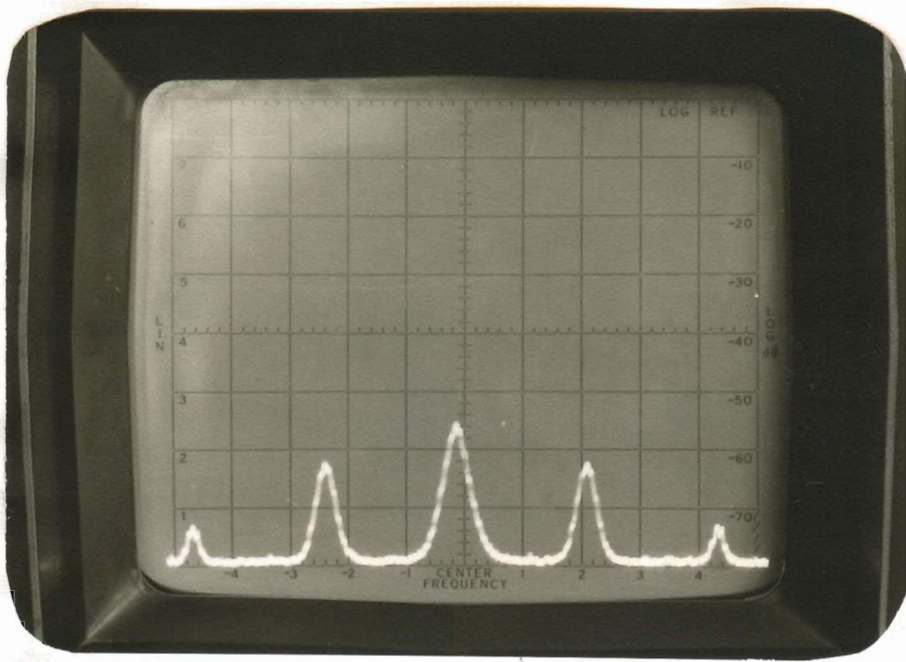


FIGURA 5-3-4. Portadora y las bandas laterales producidas por  $\delta_i$ .

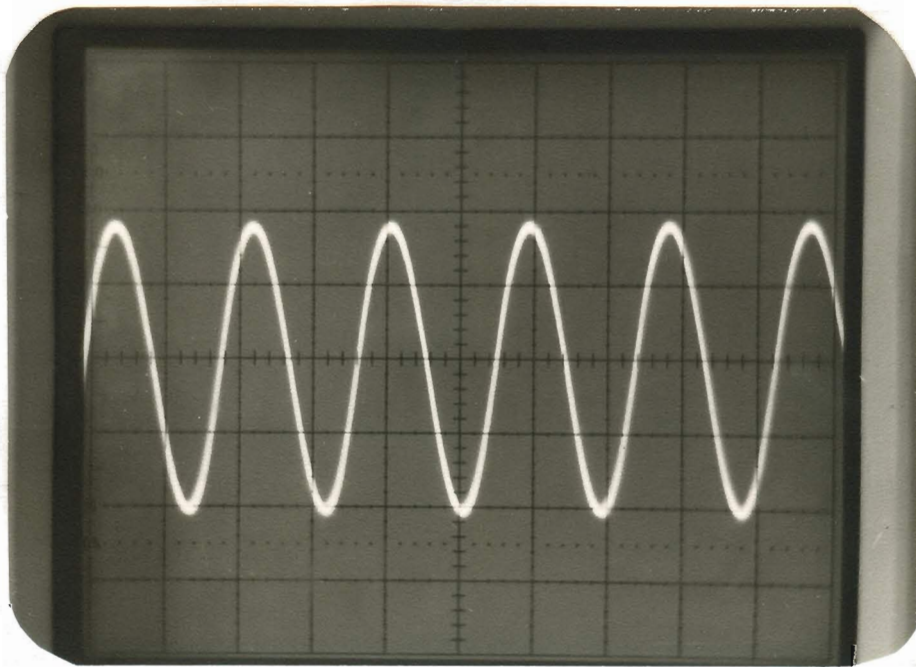


FIGURA 5-3-5. Salida del generador del tono  $\delta_s$ .  
Escala vertical: 2 V/Div  
Escala horizontal: 0,2 ms/Div



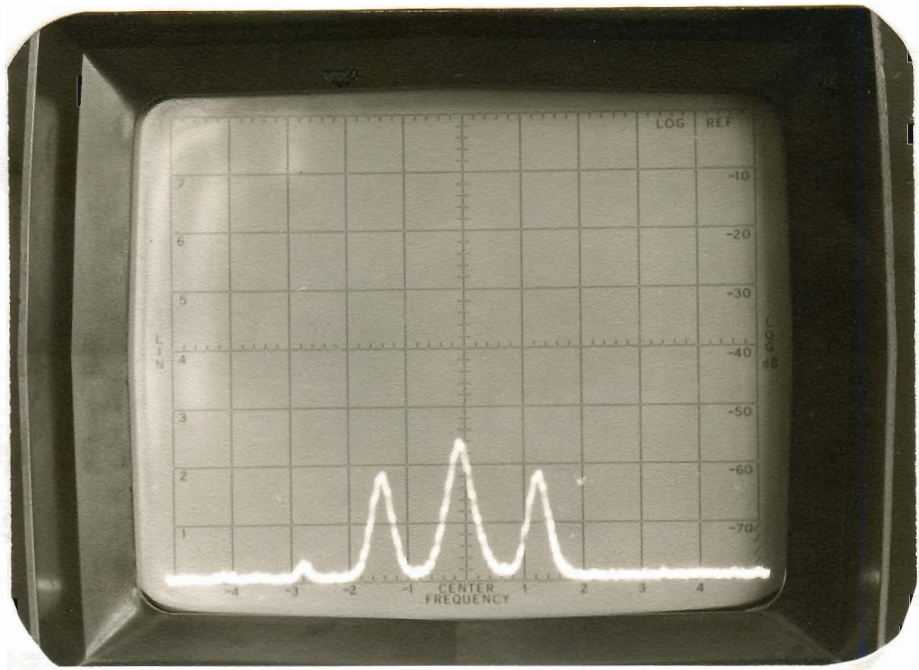


FIGURA 5-3-6. Portadora y las bandas laterales producidas por  $f_s$ .

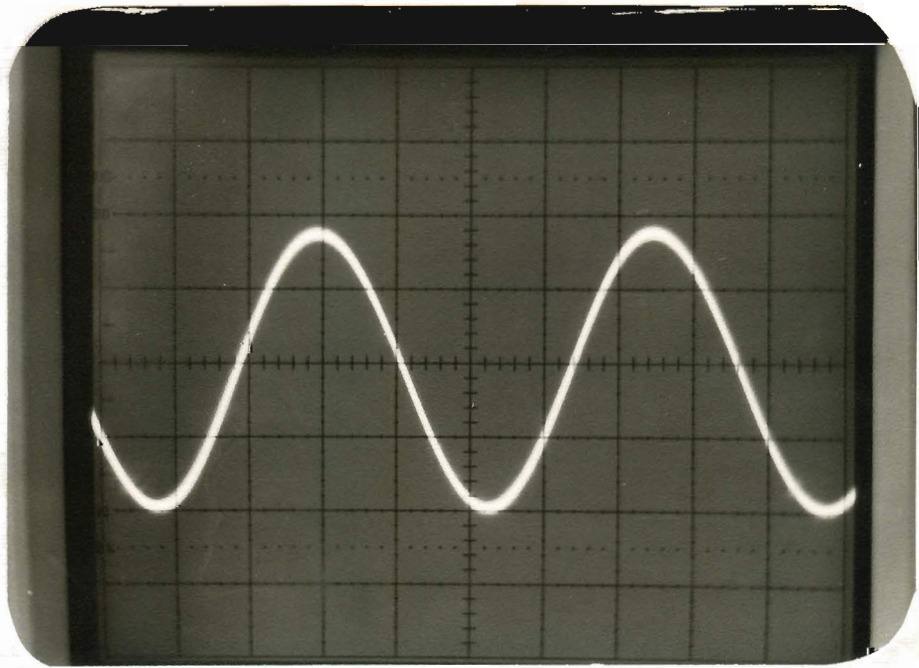


FIGURA 5-3-7. Salida del generador del tono  $f_0$ .  
Escala vertical: 2V/Div  
Escala horizontal: 0,2 ms/Div

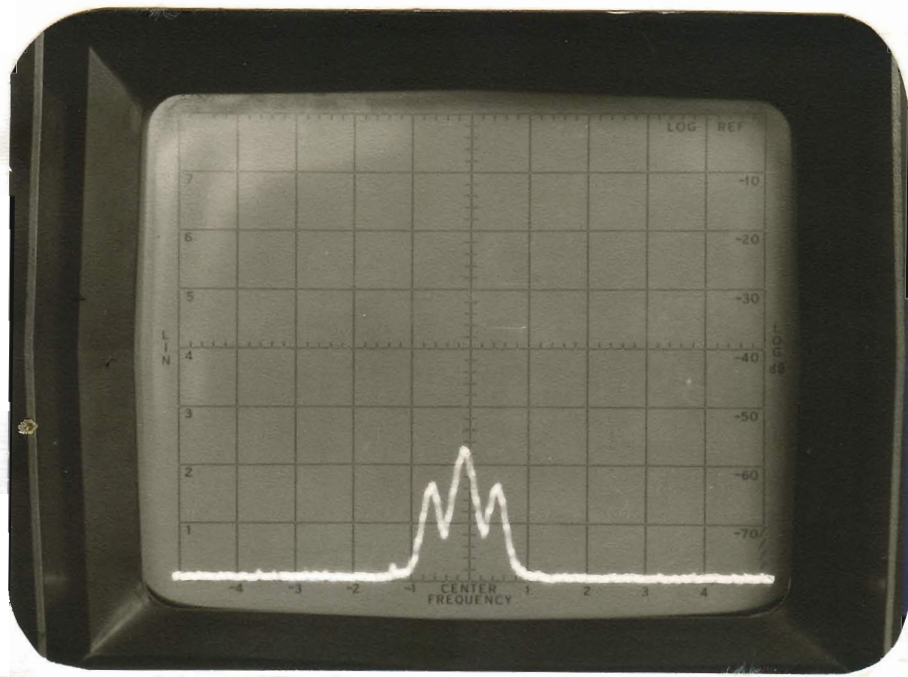


FIGURA 5-3-8. Protadora y las bandas laterales producidas por  $f_0$ .

En el receptor se efectuó el ajuste de los transformadores de frecuencia intermedia y de las resistencias de emisor de los osciladores-filtros, dejándolos en la posición en que ya no oscilan, con lo cual procedimos a la experimentación de todo el sistema obteniendo un resultado aceptable.

Unicamente se presentan problemas en el trabajo del sistema por el ruido producido por otros transmisores que funcionan en este mismo rango de frecuencias como son los Walkies-talkies y trans-receptores de la Banda Ciudadana.

#### 5-4.- ANALISIS ECONOMICO

Una evaluación detallada del costo del sistema no es posible hacerla, en vista que todos los componentes fueron proporcionados por el Departamento de Electrónica de la Escuela Politécnica Nacional, en su defecto se obtuvieron de los equipos donados por la NASA a este mismo Departamento.

Un costo aproximado del sistema de Control Remoto Digital prototipo; es decir, del transmisor y de un receptor es de S/.9.000,00 . En esta cifra no están incluidos los gastos de mano de obra ni el valor propio del diseño de Ingeniería, que deben ser añadidos para tener un presupuesto de comparación con otros sistemas similares.

#### 5-5.- CONCLUSIONES

El presente trabajo ha servido principalmente para demostrar que mediante los conocimientos adquiridos en la Escuela Politécnica Nacional se puede obtener la solución al problema planteado en el tema de tesis.

En relación a los circuitos empleados podemos concluir que estos pueden ser modificados y aún simplificados, si en lugar de elementos discretos hubiéramos utilizado

circuitos integrados. Así por ejemplo, en el transmisor se pudo reemplazar el Multiplexer de Tonos por Conmutadores Analógicos; y, en el receptor los Osciladores-filtros y los Regeneradores de Pulsos por Detectores de Tono.

Finalmente, para conseguir un ahorro de potencia especialmente en el receptor es aconsejable utilizar circuitos integrados digitales de la familia CMOS.

APENDICE

# 54/74 FAMILIES OF COMPATIBLE TTL CIRCUITS

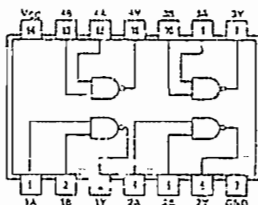
## PIN ASSIGNMENTS (TOP VIEWS)

QUADRUPLE 2-INPUT  
POSITIVE-NAND GATES

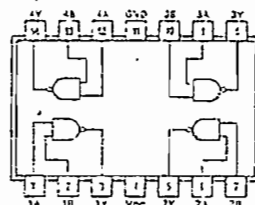
00

positive logic:  
 $Y = \overline{AB}$

See page 6-2



- |                 |                 |
|-----------------|-----------------|
| SN54H00 (N)     | SN74H00 (J, N)  |
| SN54H00 (J)     | SN74H00 (J, N)  |
| SN54L00 (J)     | SN74L00 (J, N)  |
| SN54LS00 (J, W) | SN74LS00 (J, N) |
| SN54S00 (J, W)  | SN74S00 (J, N)  |



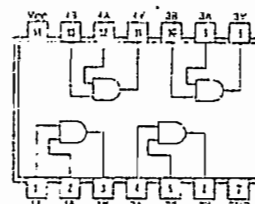
- |             |
|-------------|
| SN54H00 (W) |
| SN54H00 (W) |
| SN54L00 (T) |

QUADRUPLE 2-INPUT  
POSITIVE-AND GATES

00

positive logic:  
 $Y = AB$

See page 6-10

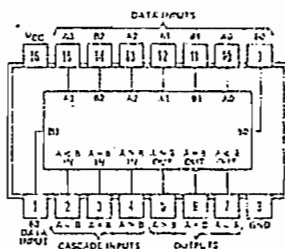


- |                 |                 |
|-----------------|-----------------|
| SN54C02 (J, W)  | SN74C02 (J, N)  |
| SN54LS02 (J, W) | SN74LS02 (J, N) |
| SN54S02 (J, W)  | SN74S02 (J, N)  |

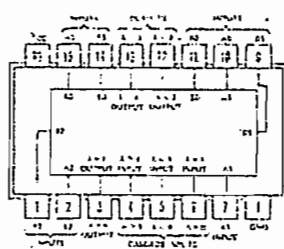
4-BIT MAGNITUDE COMPARATORS

85

See page 7-57



- |                 |                 |
|-----------------|-----------------|
| SN5485 (J, W)   | SN7485 (J, N)   |
| SN54LS85 (J, W) | SN74LS85 (J, N) |
| SN54S85 (J, W)  | SN74S85 (J, N)  |



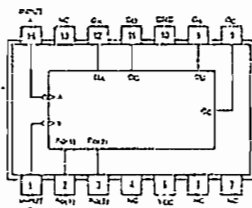
- |                 |                 |
|-----------------|-----------------|
| SN54LS85 (J, W) | SN74LS85 (J, N) |
|-----------------|-----------------|

4-BIT BINARY COUNTERS

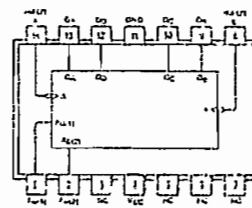
93

DIVIDE-BY-TWO AND DIVIDE-BY-EIGHT

See Page 7-72



- |                 |                 |
|-----------------|-----------------|
| SN5493A (J, W)  | SN7493A (J, N)  |
| SN54LS93 (J, W) | SN74LS93 (J, N) |



- |                |                |
|----------------|----------------|
| SN54L93 (J, T) | SN74L93 (J, N) |
|----------------|----------------|

NC—No internal connection

## 54/74 FAMILIES OF COMPATIBLE TTL CIRCUITS

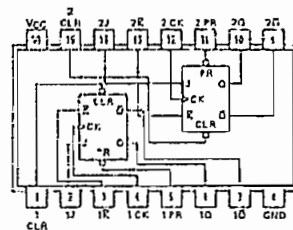
### PIN ASSIGNMENTS (TOP VIEWS)

#### DUAL J-K POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

109

##### FUNCTION TABLE

INPUTS			OUTPUTS			
PRESET	CLEAR	CLOCK	J	$\bar{K}$	Q	$\bar{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	1	L	L	L	H
H	H	1	H	L	TOGGLE	
H	H	1	L	H	$O_0$	$\bar{O}_0$
H	H	1	H	H	H	L
H	H	L	X	X	$O_0$	$\bar{O}_0$



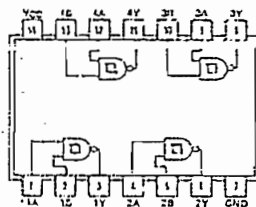
SN54109 (J, W)      SN74109 (J, N)  
 SN54LS109A (J, W)      SN74LS109A (J, N)

See pages 6-46 and 6-56

#### QUADRUPLE 2-INPUT POSITIVE-NAND SCHMITT TRIGGERS

132

positive logic:  
 $Y = \bar{A}\bar{B}$

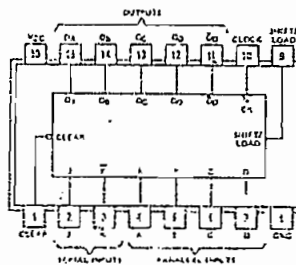


SN54132 (J, W)      SN74132 (J, N)  
 SN54LS132 (J, W)      SN74LS132 (J, N)  
 SN54S132 (J, W)      SN74S132 (J, N)

See page 6-14

#### 4-BIT PARALLEL-ACCESS SHIFT REGISTERS

195



SN54195 (J, W)      SN74195 (J, N)  
 SN54LS195A (J, W)      SN74LS195A (J, N)  
 SN54S195 (J, W)      SN74S195 (J, N)

See page 7-324

# SCHMITT-TRIGGER POSITIVE-NAND GATES AND INVERTERS WITH TOTEM-POLE OUTPUTS

recommended operating conditions

PARAMETER	TEST FIGURE	TEST CONDITIONS†	SERIES 54		SERIES 74		SERIES 54S		SERIES 74S		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	
Supply voltage, V <sub>CC</sub>			4.5	5.5	4.5	5.5	4.5	5.5	4.5	5.5	V
High-level output current, I <sub>OH</sub>			-100		-100		-100		-100		mA
Low-level output current, I <sub>OL</sub>			15		15		15		15		mA
Operating free-air temperature, T <sub>A</sub>			-55	125	-55	125	-55	125	-55	125	°C

Electrical characteristics over recommended operating free-air temperature ranges (unless otherwise noted)

PARAMETER	TEST FIGURE	TEST CONDITIONS†	SERIES 54		SERIES 74		SERIES 54S		SERIES 74S		UNIT	
			MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX		
V <sub>T+</sub> Propagating threshold voltage	8	V <sub>CC</sub> = 5 V	1.5	1.7	2	1.5	1.7	2	1.4	1.6	1.7	V
V <sub>T-</sub> Inverting threshold voltage	9	V <sub>CC</sub> = 5 V	0.6	0.9	1.1	0.6	0.9	1.1	0.5	0.8	1	V
V <sub>IK</sub> Input clamp voltage	3	V <sub>CC</sub> = MIN, I <sub>I</sub> = 8	0.4	0.8	0.4	0.8	0.4	0.8	0.4	0.8	0.7	V
V <sub>DH</sub> High-level output voltage	9	V <sub>CC</sub> = MAX, I <sub>OH</sub> = MAX, V <sub>I</sub> = V <sub>T+</sub> - min	2.4	3.4	2.4	3.4	2.4	3.4	2.5	3.4	2.5	V
V <sub>OL</sub> Low-level output voltage	3	V <sub>CC</sub> = MIN, I <sub>OL</sub> = MAX, V <sub>I</sub> = V <sub>T+</sub> - max	0.2	0.4	0.2	0.4	0.2	0.4	0.25	0.4	0.5	V
I <sub>T+</sub> Input current at positive-going threshold	8	V <sub>CC</sub> = 5 V, V <sub>I</sub> = V <sub>T+</sub>	-0.65		-0.40		-0.40		-0.14		-0.9	mA
I <sub>T-</sub> Input current at negative-going threshold	9	V <sub>CC</sub> = 5 V, V <sub>I</sub> = V <sub>T-</sub>	-0.95		-0.50		-0.50		-0.18		-1.1	mA
I <sub>I</sub> Input current at maximum input voltage	4	V <sub>CC</sub> = MAX										mA
I <sub>IH</sub> High-level input current	4	V <sub>CC</sub> = MAX			40		40		0.1			mA
I <sub>IL</sub> Low-level input current	5	V <sub>CC</sub> = MAX			-1		-0.8		-0.4			mA
I <sub>CS</sub> Short-circuit output current†	6	V <sub>CC</sub> = MAX			-51		-18		-70			mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V<sub>CC</sub> = 5 V, T<sub>A</sub> = 25°C.

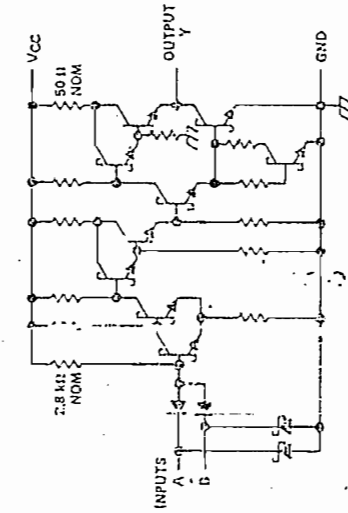
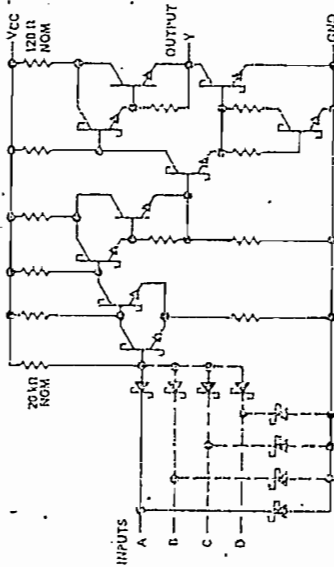
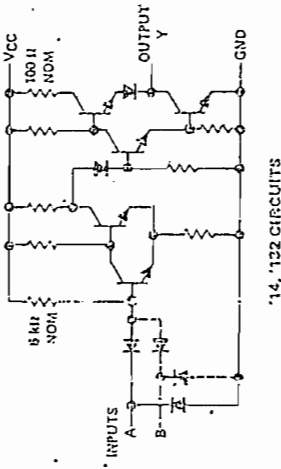
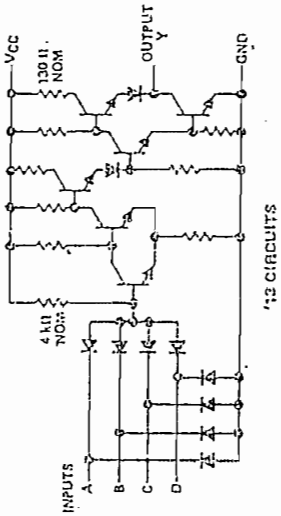
§ I<sub>I</sub> = 12 mA for SN54/SN74 and -18 mA for LS13, LS132, and S132.

¶ Not more than one output should be shorted at a time, and for SN54LS/SN74LS and S132, duration of output short-circuit should not exceed one second.



# SCHMITT-TRIGGER POSITIVE-NAND GATES AND INVERTERS WITH TOTEM-POLE OUTPUTS

schematics (each gate)



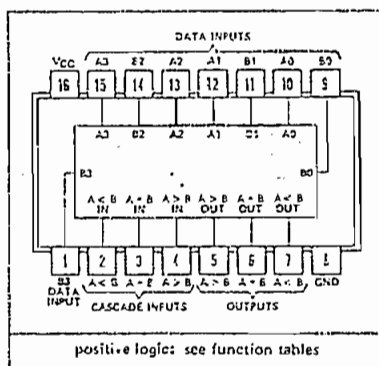
Resistor values shown are nominal.

TTL  
MSI

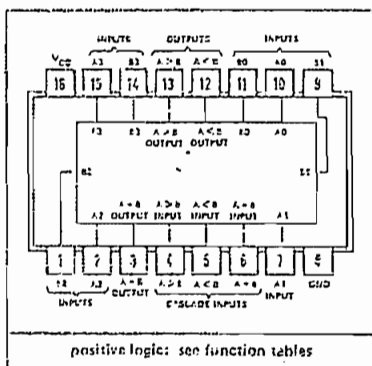
## TYPES SN5485, SN54L85, SN54LS85, SN54S85, SN7485, SN74L85, SN74LS85, SN74S85 4-BIT MAGNITUDE COMPARATORS

BULLETIN NO. DLS 7611R10, MARCH 1974 - REVISED OCTOBER 1976

SN5485, SN54LS85, SN54S85... J OR W PACKAGE  
SN7485, SN74LS85, SN74S85... J OR N PACKAGE  
(TOP VIEW)



SN54L85... J PACKAGE  
SN74L85... J OR N PACKAGE  
(TOP VIEW)



TYPE	TYPICAL POWER DISSIPATION	TYPICAL DELAY (4-BIT WORDS)
'85	275 mW	23 ns
'L85	20 mW	90 ns
'LS85	52 mW	24 ns
'S85	365 mW	11 ns

positive logic: see function tables

positive logic: see function tables

description

These four-bit magnitude comparators perform comparison of straight binary and straight BCD (8-4-2-1) codes. Three fully decoded decisions about two 4-bit words (A, B) are made and are externally available at three outputs. These devices are fully expandable to any number of bits without external gates. Words of greater length may be compared by connecting comparators in cascade. The A > B, A < B, and A = B outputs of a stage handling less-significant bits are connected to the corresponding A > B, A < B, and A = B inputs of the next stage handling more-significant bits. The stage handling the least-significant bits must have a high-level voltage applied to the A = B input and in addition for the 'L85, low-level voltages applied to the A > B and A < B inputs. The cascading paths of the '85, 'LS85, and 'S85 are implemented with only a two-gate-level delay to reduce overall comparison times for long words. An alternate method of cascading which further reduces the comparison time is shown in the typical application data.

### FUNCTION TABLES

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	H	L	L	H

'85, 'LS85, 'S85

A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

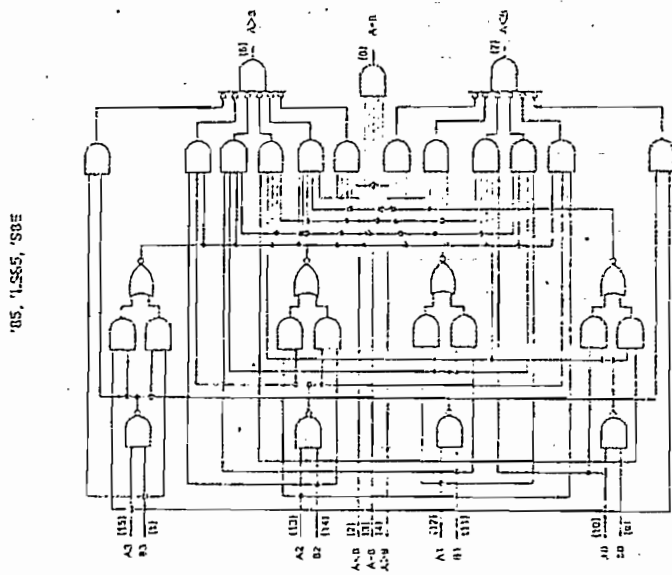
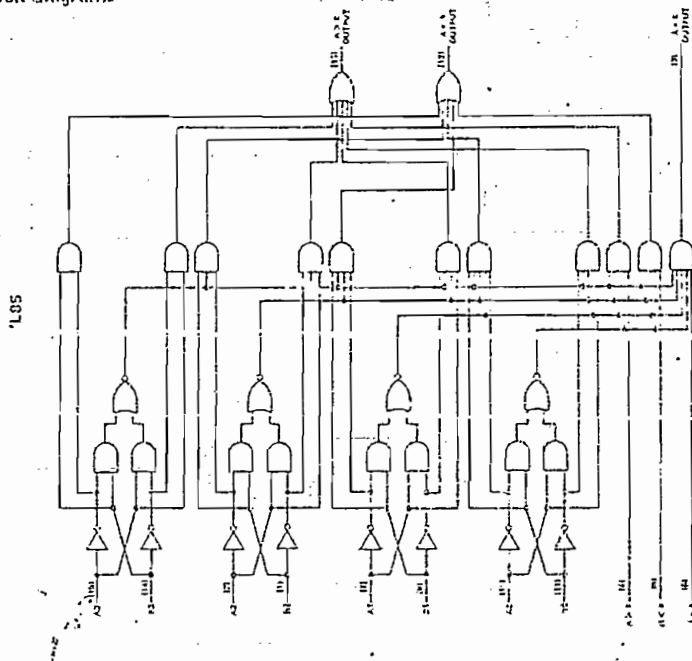
'L85

A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	H	L	H	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	H	H	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	H	H	H	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	H	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	L	L	L

H = High level, L = low level, X = Irrelevant

TYPES SN5485, SN54L85, SN54LS85, SN64S85,  
SN7485, SN74L85, SN74LS85, SN74S85  
4-BIT MAGNITUDE COMPARATORS

functional block diagrams



TTL  
MSI

TYPES SN5490A, SN5492A, SN5493A, SN54L90, SN54L93,  
SN54LS90, SN54LS92, SN54LS93, SN7490A, SN7492A, SN7493A,  
SN74L90, SN74L93, SN74LS90, SN74LS92, SN74LS93  
DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS  
BULLETIN NO. DL 4 7611R07, MARCH 1972-REVISED OCTOBER 1976

'90A, 'L90, 'LS90... DECADE COUNTERS

'92A, 'LS92... DIVIDE-BY-TWELVE  
COUNTERS

'93A, 'L93, 'LS93... 4-BIT BINARY  
COUNTERS

TYPES	TYPICAL POWER DISSIPATION
'90A	145 mW
'92A	29 mW
'LS90	45 mW
'92A, '93A	130 mW
'LS92, 'LS93	45 mW
'L93	16 mW

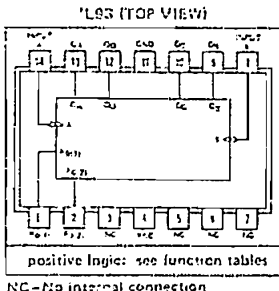
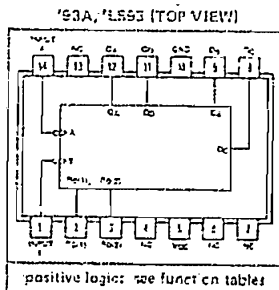
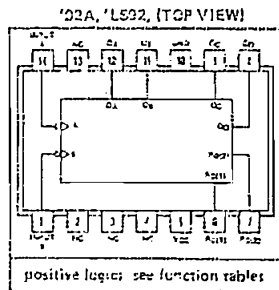
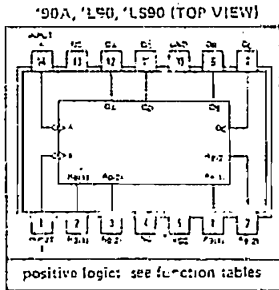
description

Each of these monolithic counters contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three-stage binary counter for which the count cycle length is divide-by-five for the '90A, 'L90, and 'LS90, divide-by-six for the '92A, and 'LS92, and divide-by-eight for the '93A, 'L93, and 'LS93.

All of these counters have a gated zero reset and the '90A, 'L90, and 'LS90 also have gated set-to-nine inputs for use in BCD nine's complement applications.

To use their maximum count length (decade, divide-by-twelve, or four-bit binary) of these counters, the B input is connected to the Q<sub>A</sub> output. The input count pulses are applied to input A and the outputs are as described in the appropriate function table. A symmetrical divide-by-ten count can be obtained from the '90A, 'L90, or 'LS90 counters by connecting the Q<sub>D</sub> output to the A input and applying the input count to the B input which gives a divide-by-ten square wave at output Q<sub>A</sub>.

SN54, SN54LS... J OR W PACKAGE  
SN54L... J OR T PACKAGE  
SN54, SN74L, SN74LS... J OR N PACKAGE



TYPES SN5490A, '92A, '93A, SN54L90, 'L93, SN54LS90, 'LS92, 'LS93, SN7490A, '92A, '93A, SN74L90, 'L93, SN74LS90, 'LS92, 'LS93  
 DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS

'90A, 'L90, 'LS90  
 BCD COUNT SEQUENCE  
 (See Note A)

COUNT	OUTPUT			
	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

'90A, 'L90, 'LS90  
 BI-QUINARY (5-2)  
 (See Note B)

COUNT	OUTPUT			
	Q <sub>A</sub>	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

'92A, 'LS92  
 COUNT SEQUENCE  
 (See Note C)

COUNT	OUTPUT			
	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	H	L	L	L
7	H	L	L	H
8	H	L	H	L
9	H	L	H	H
10	H	H	L	L
11	H	H	L	H

'93A, 'L93, 'LS93  
 COUNT SEQUENCE  
 (See Note C)

COUNT	OUTPUT			
	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

'90A, 'L90, 'LS90  
 RESET/COUNT FUNCTION TABLE

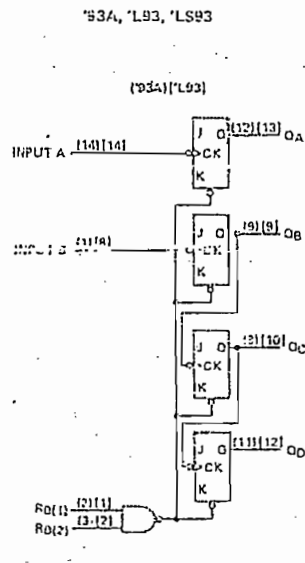
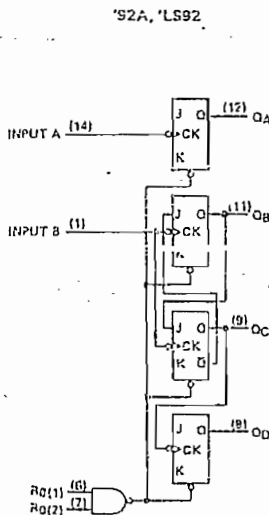
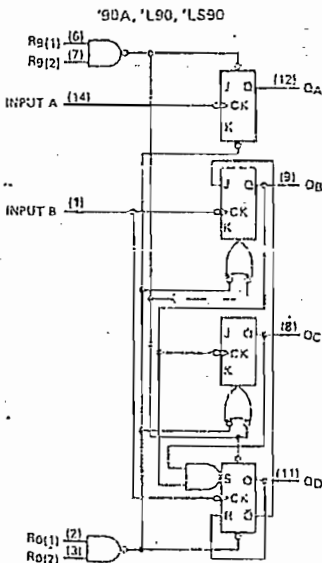
RESET INPUTS				OUTPUT			
R <sub>D</sub> (1)	R <sub>C</sub> (2)	R <sub>B</sub> (1)	R <sub>A</sub> (2)	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

'92A, 'LS92, '93A, 'L93, 'LS93  
 RESET/COUNT FUNCTION TABLE

RESET INPUTS		OUTPUT			
R <sub>D</sub> (1)	R <sub>C</sub> (2)	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

- NOTES: A. Output Q<sub>A</sub> is connected to input B for BCD count.  
 B. Output Q<sub>D</sub> is connected to input A for bi-quinary count.  
 C. Output Q<sub>A</sub> is connected to input B.  
 D. H = high level, L = low level, X = irrelevant

functional block diagrams



The J and K inputs shown without connection are for reference only and are functionally at a high level.

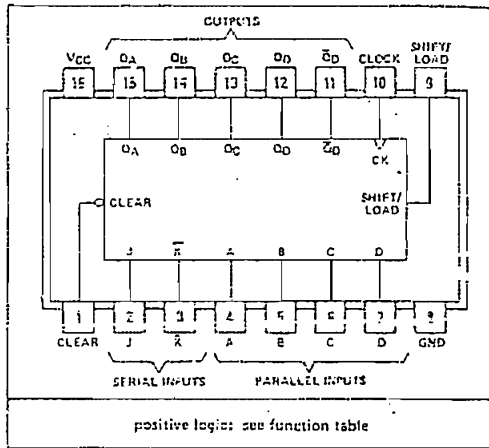
TTL  
MSI

TYPES SN54195, SN54LS195A, SN54S195,  
SN74195, SN74LS195A, SN74S195  
4-BIT PARALLEL-ACCESS SHIFT REGISTERS

BUILT TO MIL-STD-883C, MARCH 1974 - REVISED OCTOBER 1976

SN54195, SN54LS195A, SN54S195 ... J OR W PACKAGE  
SN74195, SN74LS195A, SN74S195 ... J OR N PACKAGE  
(TOP VIEW)

- Synchronous Parallel Load
- Positive-Edge-Triggered Clocking
- Parallel Inputs and Outputs from Each Flip-Flop
- Direct Overriding Clear
- J and  $\bar{K}$  Inputs to First Stage
- Complementary Outputs from Last Stage
- For Use in High-Performance:  
Accumulators/Processors  
Serial-to-Parallel, Parallel-to-Serial Converters



description

These 4-bit registers feature parallel inputs, parallel outputs, J-K serial inputs, shift/load control input, and a direct overriding clear. All inputs are buffered to lower the input drive requirements. The registers have two modes of operation:

- Parallel (broadside) load
- Shift (in the direction QA toward Qp)

Parallel loading is accomplished by applying the four bits of data and taking the shift/load control input low. The data is loaded into the associated flip-flop and appears at the outputs after the positive transition of the clock input. During loading, serial data flow is inhibited.

Shifting is accomplished synchronously when the shift/load control input is high. Serial data for this mode is entered at the J-K inputs. These inputs permit the first stage to perform as a J-K, D, or T-type flip-flop as shown in the function table.

The high-performance 'S195, with a 105-megahertz typical maximum shift-frequency, is particularly attractive for very-high-speed data processing systems. In most cases existing systems can be upgraded merely by using this Schottky-clamped shift register.

TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'195	39 MHz	195 mW
'LS195A	39 MHz	70 mW
'S195	105 MHz	350 mW

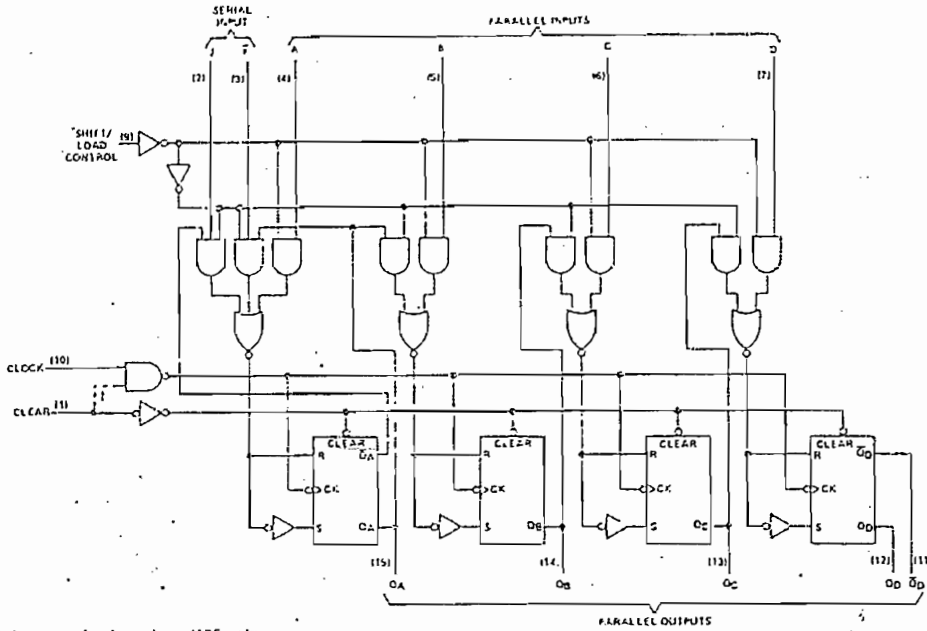
FUNCTION TABLE

CLEAR	SHIFT/ LOAD	CLOCK	INPUTS				OUTPUTS						
			SERIAL		PARALLEL		QA	QB	QC	QD	$\bar{QD}$		
			J	$\bar{K}$	A	B	C	D					
L	X	X	X	X	X	X	X	X	L	L	L	L	H
H	L	↑	X	X	a	b	c	d	a	b	c	d	$\bar{d}$
H	H	L	X	X	X	X	X	X	QA0	QB0	QC0	QD0	$\bar{QD0}$
H	H	↑	L	H	X	X	X	X	QA0	QA0	QBn	QCn	$\bar{QDn}$
H	H	↑	L	L	X	X	X	X	L	QA0	QBn	QCn	$\bar{QDn}$
H	H	↑	H	H	X	X	X	X	H	QA0	QBn	QCn	$\bar{QDn}$
H	H	↑	H	L	X	X	X	X	$\bar{QAn}$	QA0	QBn	QCn	$\bar{QDn}$

H = high level (steady state)  
L = low level (steady state)  
X = irrelevant (any input, including transitions)  
↑ = transition from low to high level  
a, b, c, d = the level of steady-state input at A, B, C, or D, respectively  
QA0, QB0, QC0, QD0 = the level of QA, QB, QC, or QD, respectively, before the indicated steady-state input conditions were established  
QA0, QB0, QC0 = the level of QA, QB, or QC, respectively, before the most-recent transition of the clock

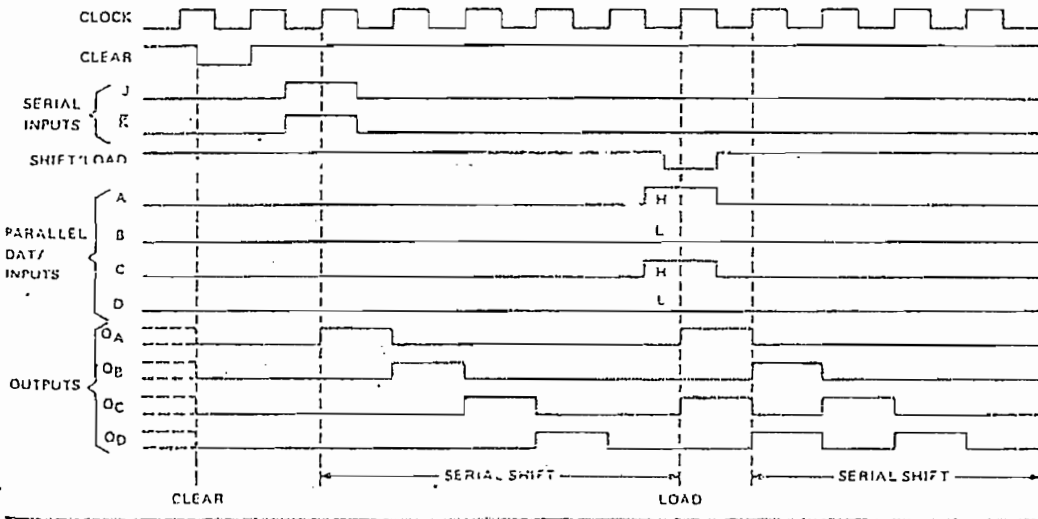
TYPES SN54195, SN54LS195A, SN54S195,  
SN74195, SN74LS195A, SN74S195  
4-BIT PARALLEL-ACCESS SHIFT REGISTERS

functional block diagram



\*This connection is made on '195 only.

typical clear, shift, and load sequences



**2N706, A, B (SILICON)**  
 (2N706JAN AVAILABLE)  
 2N753



NPN silicon annular switching transistors for high-speed switching applications.

**CASE 22**  
 (TO-18)

Collector connected to case

**MAXIMUM RATINGS**

Rating	Symbol	Value	Unit
Collector-Base Voltage	$V_{CB}$	25	Volts
Collector-Emitter Voltage *	$V_{CE}^*$	20	Volts
Emitter-Base Voltage 2N706 2N706A 2N706B 2N753	$V_{EB}$	3.0 5.0 5.0 5.0	Volts
Junction Temperature	$T_J$	175	$^{\circ}C$
Storage Temperature	$T_{stg}$	-65 to +175	$^{\circ}C$
Total Device Dissipation at 25 $^{\circ}C$ Case Temperature (Derate 6.67 mW/ $^{\circ}C$ above 25 $^{\circ}C$ )	$P_D$	1.0	Watt
Total Device Dissipation at 25 $^{\circ}C$ Ambient Temperature (Derate 2 mW/ $^{\circ}C$ above 25 $^{\circ}C$ )	$P_D$	0.3	Watt
Total Device Dissipation at 100 $^{\circ}C$ Case Temperature (Derate 6.67 mW/ $^{\circ}C$ above 100 $^{\circ}C$ )	$P_D$	0.5	Watt

\* Refers to collector breakdown voltage in the high current region when  $R_{\theta c} = 10^{\circ}$

0.000



2N706, A, B, 2N753 (continued)

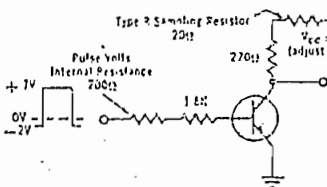
ELECTRICAL CHARACTERISTICS (T<sub>A</sub> = 25°C unless otherwise noted)

Characteristic	Type	Symbol	Min	Typ	Max	Unit
Collector Cutoff Current (V <sub>CB</sub> = 15Vdc, I <sub>E</sub> = 0) (V <sub>CB</sub> = 15Vdc, I <sub>E</sub> = 0, T <sub>A</sub> = 150 °C) (V <sub>CB</sub> = 25Vdc, I <sub>E</sub> = 0)	All Types All Types 2N706A, 2N706B, 2N753	I <sub>CBO</sub>	-	0.005 3.0	0.5 30	μA dc
Collector-Emitter Cutoff Current (V <sub>CE</sub> = 20Vdc, R <sub>BE</sub> = 150k)	2N706A, 2N706B, 2N753	I <sub>CER</sub>	-	-	10	μA dc
Emitter Cutoff Current (V <sub>EB</sub> = 3Vdc, I <sub>C</sub> = 0) (V <sub>EB</sub> = 5Vdc, I <sub>C</sub> = 0)	2N706 2N706A, 2N706B, 2N753	I <sub>EBO</sub>	-	-	10 10	μA dc
Collector-Emitter Breakdown Voltage* (I <sub>C</sub> = 10mA dc, I <sub>B</sub> = 0)		BV <sub>CEO</sub> *	15	-	-	V dc
Collector-Emitter Breakdown Voltage* (R = 10 ohms, I <sub>C</sub> = 10mA dc)		BV <sub>CER</sub> *	20	-	-	V dc
Forward-Current Transfer Ratio* (I <sub>C</sub> = 10mA dc, V <sub>CE</sub> = 1Vdc)	2N706 2N706A, 2N706B, 2N753	h <sub>FE</sub> *	20 20 40	40 40 -	- 60 120	
Base-Emitter Voltage† (I <sub>C</sub> = 10mA dc, I <sub>B</sub> = 1mA dc)	2N706 2N706A, 2N706B, 2N753	V <sub>BE(sat)</sub> *	- 0.7	0.75 0.75	0.9 0.9	V dc
Collector Saturation Voltage* (I <sub>C</sub> = 10mA dc, I <sub>B</sub> = 1mA dc)  (I <sub>C</sub> = 50mA dc, I <sub>B</sub> = 5mA dc)	2N706, 2N706A 2N706B 2N753 2N753	V <sub>CE(sat)</sub> *	- - - -	0.3 0.3 0.10 0.3	0.6 0.4 0.6 -	V dc
Collector Capacitance (V <sub>CB</sub> = 5Vdc, I <sub>E</sub> = 0)  (V <sub>CB</sub> = 10Vdc, I <sub>E</sub> = 0)	2N706A, 2N706B, 2N753 2N706	C <sub>ob</sub>	- -	4.5 5.0	5.0 6.0	pF
Small-Signal Forward Current Transfer Ratio (V <sub>CE</sub> = 15Vdc, I <sub>E</sub> = 10mA dc, f = 100 MHz)		h <sub>fe</sub>	2.0	4.0	-	
Current Gain-Bandwidth Product (V <sub>CE</sub> = 15Vdc, I <sub>E</sub> = 10mA dc, f = 100 MHz)		f <sub>T</sub>	-	400	-	MHz
Base Resistance (V <sub>CE</sub> = 15Vdc, I <sub>E</sub> = 10mA dc, f = 300 MHz)		r <sub>b</sub>	-	33	50	ohms
Charge Storage Time Constant	2N706 2N706A 2N753	T <sub>S</sub> **	-	16 16 19	60 25 35	ns
Storage Time	2N706B	t <sub>S</sub>	-	19	25	ns
Turn-On Time		t <sub>on</sub> **	-	30	40	ns
Turn-Off Time		t <sub>off</sub> **	-	50	75	ns

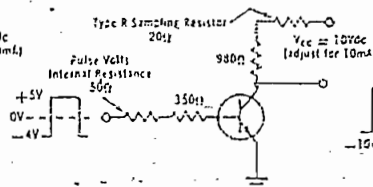
\* Pulse Test: PW ≤ 12 ms, Duty Cycle ≤ 2%

\*\* Switching Times Measured with Tektronix Type R Plug-In (50Ω Internal Impedance) and Circuits Shown Below.

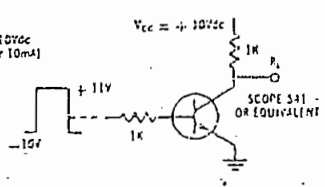
SWITCHING TIME TEST CIRCUIT



STORAGE TIME TEST CIRCUIT



MEASUREMENT CIRCUIT



2N834 (SILICON)

2N835



NPN silicon epitaxial transistors for high-speed switching applications.

CASE 22  
(TO-18)

Collector connected to case

MAXIMUM RATINGS

Rating	Symbol	2N834	2N835	Unit
Collector-Emitter Voltage	$V_{CES}$	30	20	Vdc
Collector-Base Voltage	$V_{CB}$	40	25	Vdc
Emitter-Base Voltage	$V_{EB}$	5.0	3.0	Vdc
Collector Current-Continuous Peak	$I_C$	200		mAdc
Total Device Dissipation @ $T_A = 25^\circ C$ Derate above $25^\circ C$	$P_D$	0.3	2.0	Watt mW/ $^\circ C$
Total Device Dissipation @ $T_C = 25^\circ C$ Derate above $25^\circ C$	$P_D$	1.0	6.67	Watt mW/ $^\circ C$
Total Device Dissipation @ $T_C = 100^\circ C$ Derate above $100^\circ C$	$P_D$	0.5	6.67	Watt mW/ $^\circ C$
Operating and Storage Junction Temperature Range	$T_J, T_{stg}$	-65 to +175		$^\circ C$

FIGURE 1 — TURN-ON AND TURN-OFF TIME MEASUREMENT CIRCUIT

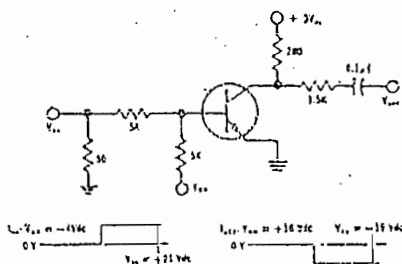
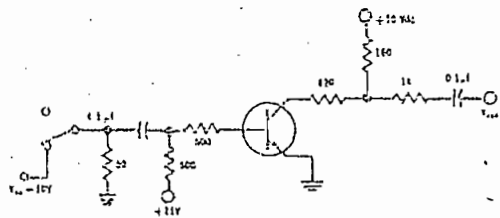


FIGURE 2 — CHARGE STORAGE TIME CONSTANT MEASUREMENT CIRCUIT



NOTE: ALL SWITCHING TIMES MEASURED WITH LOGIC PROBE MODEL 170 SWITCHING TIME TEST SET OR EQUIVALENT.

2N834, 2N835 (continued)

ELECTRICAL CHARACTERISTICS ( $T_A = 25^\circ\text{C}$  unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
----------------	--------	-----	-----	------

OFF CHARACTERISTICS

Collector-Base Breakdown Voltage ( $I_C = 10 \mu\text{A dc}$ , $I_E = 0$ )	2N834 2N835	$BV_{CBO}$	40 25	- -	Vdc
Emitter-Base Breakdown Voltage ( $I_E = 10 \mu\text{A dc}$ , $I_C = 0$ )	2N834 2N835	$BV_{EBO}$	5.0 3.0	- -	Vdc
Collector Cutoff Current ( $V_{CE} = 30 \text{ Vdc}$ , $V_{BE} = 0$ )	2N834	$I_{CES}$	-	10	$\mu\text{A dc}$
( $V_{CE} = 20 \text{ Vdc}$ , $V_{BE} = 0$ )	2N835		-	10	
Collector Cutoff Current ( $V_{CB} = 20 \text{ Vdc}$ , $I_E = 0$ )		$I_{CBO}$		9.5	$\mu\text{A dc}$
( $V_{CB} = 20 \text{ Vdc}$ , $I_E = 0$ , $T_A = 150^\circ\text{C}$ )				30	

ON CHARACTERISTICS

DC Current Gain <sup>(1)</sup> ( $I_C = 10 \text{ mA dc}$ , $V_{CE} = 1 \text{ Vdc}$ )	2N834 2N835	$h_{FE}$	25 20	- -	-
Collector-Emitter Saturation Voltage ( $I_C = 10 \text{ mA dc}$ , $I_B = 1 \text{ mA dc}$ )	2N834 2N835	$(V_{CE(sat)})$	- -	0.35 0.30	Vdc
( $I_C = 50 \text{ mA dc}$ , $I_B = 5 \text{ mA dc}$ ) <sup>(1)</sup>	2N834 2N835		- -	0.4 -	
Base-Emitter Saturation Voltage <sup>(1)</sup> ( $I_C = 10 \text{ mA dc}$ , $I_B = 1 \text{ mA dc}$ )		$V_{BE(sat)}$	-	0.9	Vdc

DYNAMIC CHARACTERISTICS

Current-Gain - Bandwidth Product ( $I_C = 10 \text{ mA dc}$ , $V_{CE} = 20 \text{ Vdc}$ , $f = 100 \text{ MHz}$ )	2N834	$f_T$	350	-	MHz
( $I_C = 10 \text{ mA dc}$ , $V_{CE} = 15 \text{ Vdc}$ , $f = 100 \text{ MHz}$ )	2N835		300	-	
High-Frequency Current Gain ( $I_C = 10 \text{ mA dc}$ , $V_{CE} = 20 \text{ Vdc}$ , $f = 100 \text{ MHz}$ )	2N834	$ h_{fe} $	3.5	-	-
( $I_C = 10 \text{ mA dc}$ , $V_{CE} = 15 \text{ Vdc}$ , $f = 100 \text{ MHz}$ )	2N835		3.0	-	
Output Capacitance ( $V_{CB} = 10 \text{ Vdc}$ , $I_E = 0$ , $f = 100 \text{ kHz}$ )		$C_{ob}$	-	4.0	pF
Charge-Storage Time Constant (Figure 2) ( $I_C = 10 \text{ mA dc}$ , $I_{B1} = I_{B2} = 10 \text{ mA dc}$ )	2N834 2N835	$t_a$	- -	25 35	ns
Turn-On Time (Figure 1) ( $I_C = 10 \text{ mA dc}$ , $I_{B1} = 3 \text{ mA dc}$ , $I_{B2} = 1 \text{ mA dc}$ )	2N834 2N835	$t_{on}$	- -	35 20	ns
Turn-Off Time (Figure 1) ( $I_C = 10 \text{ mA dc}$ , $I_{B1} = 3 \text{ mA dc}$ , $I_{B2} = 1 \text{ mA dc}$ )	2N834 2N835	$t_{off}$	- -	75 35	ns

<sup>(1)</sup> Pulse Test: Pulse Width  $\leq 12 \text{ ns}$ , Duty Cycle  $\leq 2\%$

2N3821 (SILICON)

2N3822

2N3824

SILICON N-CHANNEL  
JUNCTION FIELD-EFFECT TRANSISTORS

... designed for audio amplifier, chopper and switching applications.

- Drain and Source Interchangeable
- Low Drain-Source Resistance -  
 $r_{d(sron)} \leq 250$  Ohms (Max) - 2N3824
- Low Noise Figure - NF = 5.0 dB (Max) - 2N3821, 2N3822
- High AC Input Impedance -  $C_{iss} = 6.0$  pF (Max)
- High DC Input Resistance -  $I_{GSS} = 0.1$   $\mu$ A (Max)
- Low Transfer Capacitance -  $C_{rss} = 3.0$  pF (Max)
- 2N3821 JAN and 2N3822 JAN also Available

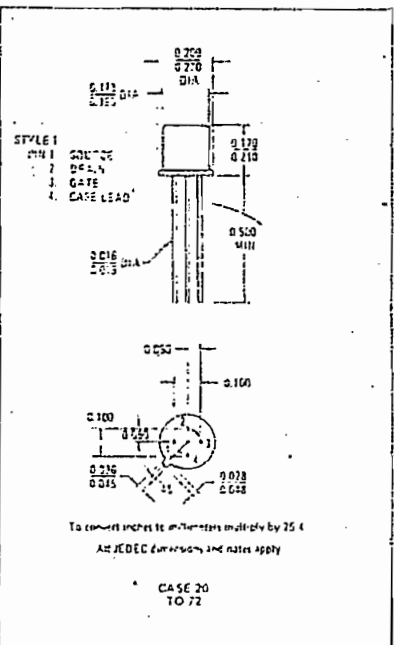
N-CHANNEL  
JUNCTION  
FIELD-EFFECT  
TRANSISTORS  
SYMMETRICAL  
(Type A)



\*MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Drain-Source Voltage	V <sub>DS</sub>	50	Vdc
Drain-Gate Voltage	V <sub>DG</sub>	50	Vdc
Gate-Source Voltage	V <sub>GS</sub>	-50	Vdc
Drain Current	I <sub>D</sub>	10	mA <sub>dc</sub>
Total Device Dissipation @ T <sub>A</sub> = 25°C Derate above 25°C	P <sub>D</sub>	300 2.0	mW mW/°C
Operating Junction Temperature	T <sub>J</sub>	175	°C
Storage Temperature Range	T <sub>stg</sub>	-65 to +200	°C

\* Indicates JEDEC Registered Data.



2N3821, 2N3822, 2N3824 (continued)

\*ELECTRICAL CHARACTERISTICS ( $T_A = 25^\circ\text{C}$  unless otherwise noted)

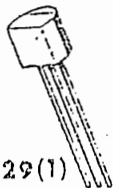
Characteristic	Symbol	Min	Max	Unit
<b>OFF CHARACTERISTICS</b>				
Gate-Source Breakdown Voltage ( $I_G = -1.0 \mu\text{A dc}$ , $V_{DS} = 0$ )	$V_{(BR)GSS}$	-50	--	Vdc
Gate Reverse Current ( $V_{GS} = -30 \text{ Vdc}$ , $V_{DS} = 0$ ) ( $V_{GS} = -30 \text{ Vdc}$ , $V_{DS} = 0$ , $T_A = 150^\circ\text{C}$ )	$I_{GSS}$	--	-0.1 -100	nAdc
Gate-Source Cutoff Voltage ( $I_D = 0.5 \text{ nAdc}$ , $V_{DS} = 15 \text{ Vdc}$ )	$V_{GS(off)}$	--	-4.0 -6.0	Vdc
Gate-Source Voltage ( $I_D = 50 \mu\text{A dc}$ , $V_{DS} = 15 \text{ Vdc}$ ) ( $I_D = 200 \mu\text{A dc}$ , $V_{DS} = 15 \text{ Vdc}$ )	$V_{GS}$	-0.5 -1.0	-2.0 -4.0	Vdc
Drain Cutoff Current ( $V_{DS} = 15 \text{ Vdc}$ , $V_{GS} = -8.0 \text{ Vdc}$ ) ( $V_{DS} = 15 \text{ Vdc}$ , $V_{GS} = -8.0 \text{ Vdc}$ , $T_A = 150^\circ\text{C}$ )	$I_{D(off)}$	--	0.1 100	nAdc
<b>ON CHARACTERISTICS</b>				
Zero-Gate-Voltage Drain Current(1) ( $V_{DS} = 15 \text{ Vdc}$ , $V_{GS} = 0$ )	$I_{DSS}$	0.5 2.0	2.5 10	mAdc
<b>DYNAMIC CHARACTERISTICS</b>				
Forward Transfer Admittance ( $V_{DS} = 15 \text{ Vdc}$ , $V_{GS} = 0$ , $f = 1.0 \text{ kHz}$ )(1) ( $V_{DS} = 15 \text{ Vdc}$ , $V_{GS} = 0$ , $f = 100 \text{ MHz}$ )	$ y_{fs} $	1500 3000 1500 3000	4500 6500 -- --	$\mu\text{mhos}$
Output Admittance(1) ( $V_{DS} = 15 \text{ Vdc}$ , $V_{GS} = 0$ , $f = 1.0 \text{ kHz}$ )	$ y_{os} $	-- --	10 20	$\mu\text{mhos}$
Drain-Source Resistance ( $V_{GS} = 0$ , $I_D = 0$ , $f = 1.0 \text{ kHz}$ )	$r_{ds(on)}$	--	250	Ohms
Input Capacitance ( $V_{DS} = 15 \text{ Vdc}$ , $V_{GS} = 0$ , $f = 1.0 \text{ MHz}$ )	$C_{iss}$	--	60	nF
Reverse Transfer Capacitance ( $V_{DS} = 15 \text{ Vdc}$ , $V_{GS} = 0$ , $f = 1.0 \text{ MHz}$ ) ( $V_{GS} = -8.0 \text{ Vdc}$ , $V_{DS} = 0$ , $f = 1.0 \text{ MHz}$ )	$C_{rss}$	-- -- --	3.0 3.0 3.0	pF
Average Noise Figure ( $V_{DS} = 15 \text{ Vdc}$ , $V_{GS} = 0$ , $R_G = 1.0 \text{ megohm}$ , $f = 10 \text{ Hz}$ , Noise Bandwidth = 5.0 Hz)	NF	--	5.0	dB
Equivalent Input Noise Voltage ( $V_{DS} = 15 \text{ Vdc}$ , $V_{GS} = 0$ , $f = 10 \text{ Hz}$ , Noise Bandwidth = 5.0 Hz)	$e_n$	--	200	$\text{nv}/\text{Hz}^{1/2}$

\* Indicates JEDEC Registered Data

(1) Pulse Test: Pulse Width  $\leq 100 \text{ ms}$ , Duty Cycle  $\leq 10\%$ .

2N3903 (SILICON)

2N3904



CASE 29(1)  
(TO-92)

NPN silicon annular transistors, designed for general-purpose switching and amplifier applications, features one-piece, injection-molded plastic package for high reliability. The 2N3903 and 2N3904 are complementary with PNP types 2N3905 and 2N3906, respectively.

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector-Emitter Voltage	$V_{CEO}$	40	Vdc
Collector-Base Voltage	$V_{CB}$	60	Vdc
Emitter-Base Voltage	$V_{EB}$	6.0	Vdc
Collector Current	$I_C$	200	mA dc
Total Device Dissipation @ $T_A = 25^\circ\text{C}$	$P_D$	350	mW
Derate above $25^\circ\text{C}$		2.73	mW/ $^\circ\text{C}$
Operating and Storage Junction Temperature Range	$T_J, T_{stg}$	-55 to +150	$^\circ\text{C}$

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Ambient	$\theta_{JA}$	0.357	$^\circ\text{C}/\text{mW}$

2N3903, 2N3904 (continued)

ELECTRICAL CHARACTERISTICS (T<sub>A</sub> = 25°C unless otherwise noted)

Characteristic	Fig. No.	Symbol	Min	Max	Unit
<b>OFF CHARACTERISTICS</b>					
Collector-Base Breakdown Voltage (I <sub>C</sub> = 10 μA, I <sub>E</sub> = 0)		BV <sub>CBO</sub>	50	-	Vdc
Collector-Emitter Breakdown Voltage <sup>a</sup> (I <sub>C</sub> = 1.0 mA, I <sub>B</sub> = 0)		BV <sub>CEO</sub> <sup>a</sup>	40	-	Vdc
Emitter-Base Breakdown Voltage (I <sub>E</sub> = 10 μA, I <sub>C</sub> = 0)		BV <sub>EBO</sub>	6.0	-	Vdc
Collector Cutoff Current (V <sub>CE</sub> = 30 Vdc, V <sub>EB(off)</sub> = 3.0 Vdc)		I <sub>CEX</sub>	-	50	nA dc
Base Cutoff Current (V <sub>CE</sub> = 30 Vdc, V <sub>EB(off)</sub> = 3.0 Vdc)		I <sub>BL</sub>	-	50	nA dc

**ON CHARACTERISTICS**

DC Current Gain <sup>a</sup> (I <sub>C</sub> = 0.1 mA, V <sub>CE</sub> = 1.0 Vdc) (I <sub>C</sub> = 1.0 mA, V <sub>CE</sub> = 1.0 Vdc) (I <sub>C</sub> = 10 mA, V <sub>CE</sub> = 1.0 Vdc) (I <sub>C</sub> = 50 mA, V <sub>CE</sub> = 1.0 Vdc) (I <sub>C</sub> = 100 mA, V <sub>CE</sub> = 1.0 Vdc)	7N3903 2N3904	15	h <sub>FE</sub> <sup>a</sup>	20	-	-
	2N3903 2N3904			15	-	-
	2N3903 2N3904			30	150	-
	2N3903 2N3904			20	-	-
	2N3903 2N3904			60	-	-
	2N3903 2N3904			15	-	-
Collector-Emitter Saturation Voltage <sup>a</sup> (I <sub>C</sub> = 10 mA, I <sub>B</sub> = 1.0 mA) (I <sub>C</sub> = 50 mA, I <sub>B</sub> = 5.0 mA)	16, 17	V <sub>CE(sat)</sub>	-	0.2	Vdc	
Base-Emitter Saturation Voltage <sup>a</sup> (I <sub>C</sub> = 10 mA, I <sub>B</sub> = 1.0 mA) (I <sub>C</sub> = 50 mA, I <sub>B</sub> = 5.0 mA)	17	V <sub>BE(sat)</sub>	0.65	0.85	Vdc	

**SMALL-SIGNAL CHARACTERISTICS**

Current-Gain-Bandwidth Product (I <sub>C</sub> = 10 mA, V <sub>CE</sub> = 70 Vdc, f = 100 MHz)	2N3903 2N3904	3	f <sub>T</sub>	250	-	MHz
				300	-	
Output Capacitance (V <sub>CB</sub> = 5.0 Vdc, I <sub>E</sub> = 0, f = 100 kHz)		3	C <sub>ob</sub>	-	4.0	pF
Input Capacitance (V <sub>BE</sub> = 0.5 Vdc, I <sub>C</sub> = 0, f = 100 kHz)				-	6.0	pF
Input Impedance (I <sub>C</sub> = 1.0 mA, V <sub>CE</sub> = 10 Vdc, f = 1.0 kHz)	2N3903 2N3904	13	Z <sub>ie</sub>	0.5	8.0	k ohms
				1.0	10	
Voltage Feedback Ratio (I <sub>C</sub> = 1.0 mA, V <sub>CE</sub> = 10 Vdc, f = 1.0 kHz)	2N3903 2N3904	14	h <sub>re</sub>	0.1	5.0	X 10 <sup>-4</sup>
				6.5	5.0	
Small-Signal Current Gain (I <sub>C</sub> = 1.0 mA, V <sub>CE</sub> = 10 Vdc, f = 1.0 kHz)	2N3903 2N3904	11	h <sub>fe</sub>	50	200	-
				100	400	
Output Admittance (I <sub>C</sub> = 1.0 mA, V <sub>CE</sub> = 10 Vdc, f = 1.0 kHz)		12	h <sub>oe</sub>	1.0	40	μmhos
Noise Figure (I <sub>C</sub> = 100 μA, V <sub>CE</sub> = 5.0 Vdc, R <sub>S</sub> = 1.0 k ohms, f = 10 Hz to 15.7 kHz)	2N3903 2N3904			9, 10	NF	-
				-	3.0	

**SWITCHING CHARACTERISTICS**

Delay Time (V <sub>CC</sub> = 3.0 Vdc, V <sub>BE(off)</sub> = 0.5 Vdc, I <sub>C</sub> = 10 mA, I <sub>B1</sub> = 1.0 mA)	2N3903 2N3904	1, 5	t <sub>d</sub>	-	35	ns
Rise Time (I <sub>C</sub> = 10 mA, I <sub>B1</sub> = 1.0 mA)		1, 5, 6	t <sub>r</sub>	-	35	ns
Storage Time (V <sub>CC</sub> = 3.0 Vdc, I <sub>C</sub> = 10 mA, I <sub>B1</sub> = I <sub>B2</sub> = 1.0 mA)	2N3903 2N3904	2, 7	t <sub>s</sub>	-	175	ns
Fall Time (I <sub>B1</sub> = I <sub>B2</sub> = 1.0 mA)		2, 6	t <sub>f</sub>	-	50	ns

<sup>a</sup> Pulse Test: Pulse Width = 300 μs, Duty Cycle = 1.0%.

FIGURE 1 — DELAY AND RISE TIME EQUIVALENT TEST CIRCUIT

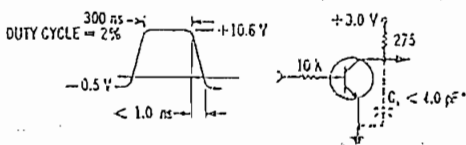
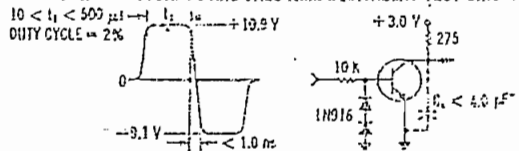


FIGURE 2 — STORAGE AND FALL TIME EQUIVALENT TEST CIRCUIT



<sup>a</sup> Total shunt capacitance of test jig and connectors

# 2N4423 (SILICON)

## NPN SILICON RF POWER TRANSISTOR

... designed primarily for use in large signal VHF and UHF amplifier output stages in military and industrial communications applications.

- High Power Output —  
 $P_{out} = 0.75$  Watt with 10 dB Gain @  $f = 500$  MHz
- High Current-Gain-Bandwidth Product —  
 $f_T = 1000$  MHz (Typ) @  $I_C = 50$  mA dc
- Multiple Emitter Construction for Excellent High Frequency Performance

## NPN SILICON RF POWER TRANSISTOR

### \*MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector-Emitter Voltage	$V_{CE0}$	35	Vdc
Collector-Base Voltage	$V_{CB}$	55	Vdc
Emitter-Base Voltage	$V_{EB}$	3.5	Vdc
Collector Current — Continuous	$I_C$	425	mA dc
Base Current — Continuous	$I_B$	150	mA dc
Total Device Dissipation @ $T_C = 25^\circ\text{C}$ Derate above $25^\circ\text{C}$	$P_D$	3.5 20	Watts mW/ $^\circ\text{C}$
Operating and Storage Junction Temperature Range	$T_J, T_{stg}$	$-6^\circ$ to $+120^\circ$	$^\circ\text{C}$

\*Indicates JEDEC Registered Data.

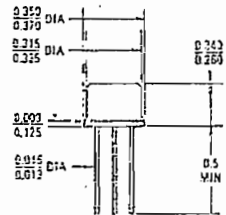
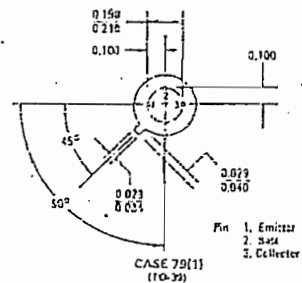
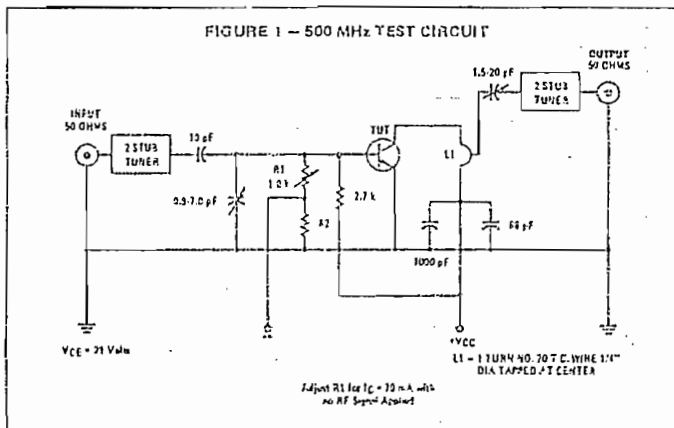


FIGURE 1 — 500 MHz TEST CIRCUIT



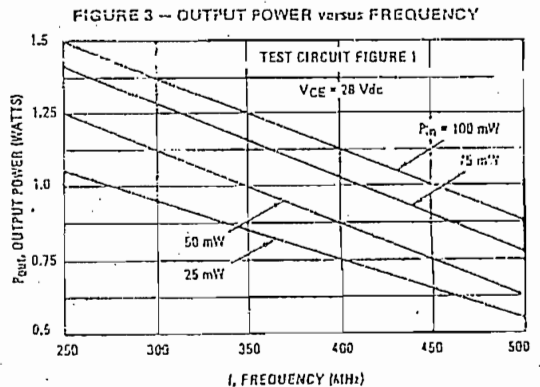
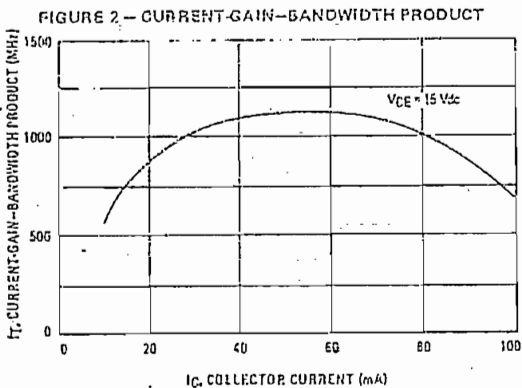


2N4428 (continued)

\*ELECTRICAL CHARACTERISTICS (T<sub>C</sub> = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
<b>OFF CHARACTERISTICS</b>					
Collector-Emitter Sustaining Voltage (I <sub>C</sub> = 20 mA <sub>dc</sub> , I <sub>B</sub> = 0)	V <sub>CEO(sus)</sub>	35	—	—	V <sub>dc</sub>
Collector-Emitter Sustaining Voltage (I <sub>C</sub> = 20 mA <sub>dc</sub> , R <sub>BE</sub> = 10 ohms)	V <sub>CER(sus)</sub>	55	—	—	V <sub>dc</sub>
Collector Cutoff Current (V <sub>CE</sub> = 55 V <sub>dc</sub> , V <sub>BE</sub> = -1.5 V <sub>dc</sub> )	I <sub>CEX</sub>	—	—	1.0	mA <sub>dc</sub>
Emitter Cutoff Current (V <sub>EB</sub> = 3.5 V <sub>dc</sub> , I <sub>C</sub> = 0)	I <sub>EBO</sub>	—	—	0.1	mA <sub>dc</sub>
<b>ON CHARACTERISTICS</b>					
DC Current Gain (I <sub>C</sub> = 50 mA <sub>dc</sub> , V <sub>CE</sub> = 5.0 V <sub>dc</sub> )	h <sub>FE</sub>	20	—	200	—
(I <sub>C</sub> = 400 mA <sub>dc</sub> , V <sub>CE</sub> = 5.0 V <sub>dc</sub> )		5.0	—	—	—
<b>DYNAMIC CHARACTERISTICS</b>					
Current-Gain-Bandwidth Product (I <sub>C</sub> = 50 mA <sub>dc</sub> , V <sub>CE</sub> = 20 V <sub>dc</sub> , f = 200 MHz)	f <sub>T</sub>	700	1000	—	MHz
Output Capacitance (V <sub>CR</sub> = 25 V <sub>dc</sub> , I <sub>E</sub> = 0, f = 1.0 MHz)	C <sub>ob</sub>	—	1.2	3.5	μF
<b>FUNCTIONAL TEST</b>					
Power Input (Figure 1) (P <sub>out</sub> = 750 mW, V <sub>CE</sub> = 28 V <sub>dc</sub> , R <sub>S</sub> = 50 Ohms, f = 500 MHz)	P <sub>in</sub>	—	—	75	mW
Collector Efficiency (Figure 1) (P <sub>out</sub> = 750 mW, V <sub>CE</sub> = 28 V <sub>dc</sub> , R <sub>S</sub> = 50 Ohms, f = 500 MHz)	η	35	—	—	%

\*Indicates JEDEC Registered Data.



# 2N5179 (SILICON)

## NPN SILICON RF SMALL-SIGNAL TRANSISTOR

... designed primarily for use in high-gain, low-noise amplifier, oscillator, and mixer applications. Can also be used in UHF converter applications.

- High Current Gain - Bandwidth Product -  
 $f_T = 1.4 \text{ GHz (Typ) @ } I_C = 10 \text{ mA dc}$
- Low Collector-Base Time Constant -  
 $r_b C_C = 14 \text{ ps (Max) @ } I_E = 2.0 \text{ mA dc}$
- Characterized with Scattering Parameters
- Low Noise Figure -  
 $NF = 4.5 \text{ dB (Max) @ } f = 200 \text{ MHz}$

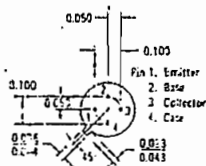
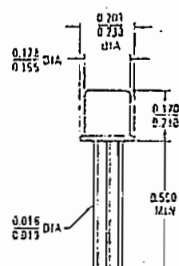
## NPN SILICON RF SMALL-SIGNAL TRANSISTOR



### MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector-Emitter Voltage Applicable 1.0 to 20 mA dc	$V_{CEO}$	12	V dc
Collector-Base Voltage	$V_{CB}$	20	V dc
Emitter-Base Voltage	$V_{EB}$	2.5	V dc
Collector Current	$I_C$	50	mA dc
Total Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above $25^\circ\text{C}$	$P_D$	200 1.14	mW mW/ $^\circ\text{C}$
Total Device Dissipation @ $T_C = 25^\circ\text{C}$ Derate above $25^\circ\text{C}$	$P_D$	300 1.71	mW mW/ $^\circ\text{C}$
Storage Temperature Range	$T_{stg}$	-65 to +200	$^\circ\text{C}$

\*Indicates JEDEC Registered Data.



CASE 20(10)  
TO-72 PACKAGE

Active Elements Isolated from Case

2N5179 (continued)

\*ELECTRICAL CHARACTERISTICS ( $T_A = 25^\circ\text{C}$  unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
<b>OFF CHARACTERISTICS</b>				
Collector-Emitter Sustaining Voltage ( $I_C = 3.0 \text{ mAdc}$ , $I_B = 0$ )	$V_{CE(sus)}$	12	—	Vdc
Collector-Base Breakdown Voltage ( $I_C = 0.001 \text{ mAdc}$ , $I_E = 0$ )	$BV_{CBO}$	20	—	Vdc
Emitter-Base Breakdown Voltage ( $I_E = 0.01 \text{ mAdc}$ , $I_C = 0$ )	$BV_{EBO}$	2.5	—	Vdc
Collector Cutoff Current ( $V_{CB} = 15 \text{ Vdc}$ , $I_E = 0$ ) ( $V_{CB} = 15 \text{ Vdc}$ , $I_E = 0$ , $T_A = 150^\circ\text{C}$ )	$I_{CBO}$	—	0.02 1.0	$\mu\text{A}$ dc

**ON CHARACTERISTICS**

DC Current Gain ( $I_C = 3.0 \text{ mAdc}$ , $V_{CE} = 1.0 \text{ Vdc}$ )	$h_{FE}$	25	250	—
Collector-Emitter Saturation Voltage ( $I_C = 10 \text{ mAdc}$ , $I_B = 1.0 \text{ mA}$ )	$V_{CE(sat)}$	—	0.4	Vdc
Base-Emitter Saturation Voltage ( $I_C = 10 \text{ mAdc}$ , $I_B = 1.0 \text{ mA}$ )	$V_{BE(sat)}$	—	1.0	Vdc

**DYNAMIC CHARACTERISTICS**

Current-Gain — Bandwidth Product ① ( $I_C = 5.0 \text{ mAdc}$ , $V_{CE} = 6.0 \text{ Vdc}$ , $f = 100 \text{ MHz}$ )	$f_T$	900	2000	MHz
Collector-Base Capacitance ( $V_{CB} = 10 \text{ Vdc}$ , $I_E = 0$ , $f = 0.1$ to $1.0 \text{ MHz}$ )	$C_{cb}$	—	1.0	pF
Small-Signal Current Gain ( $I_C = 2.0 \text{ mAdc}$ , $V_{CE} = 6.0 \text{ Vdc}$ , $f = 1.0 \text{ kHz}$ )	$h_{fe}$	25	300	—
Collector-Base Time Constant ( $I_E = 2.0 \text{ mAdc}$ , $V_{CB} = 6.0 \text{ Vdc}$ , $f = 31.9 \text{ MHz}$ )	$\tau_b C_c$	3.0	14	ps
Noise Figure (See Figure 1) ( $I_C = 1.5 \text{ mAdc}$ , $V_{CE} = 6.0 \text{ Vdc}$ , $R_G = 50 \text{ ohms}$ , $f = 200 \text{ MHz}$ )	NF	—	4.5	dB

**FUNCTIONAL TEST**

Common-Emitter Amplifier Power Gain (See Figure 1) ( $V_{CE} = 6.0 \text{ Vdc}$ , $I_C = 5.0 \text{ mAdc}$ , $f = 200 \text{ MHz}$ )	$G_{pe}$	—	—	dB
Power Output (See Figure 2) ( $V_{CB} = 10 \text{ Vdc}$ , $I_E = 12 \text{ mAdc}$ , $f \geq 500 \text{ MHz}$ )	$P_{out}$	20	—	mW

\*Indicates JEDEC Registered Values.

①  $f_T$  is defined as the frequency at which  $|h_{fe}|$  extrapolates to unity.

2N5179 (continued)

FIGURE 6 - CURRENT-GAIN-BANDWIDTH PRODUCT

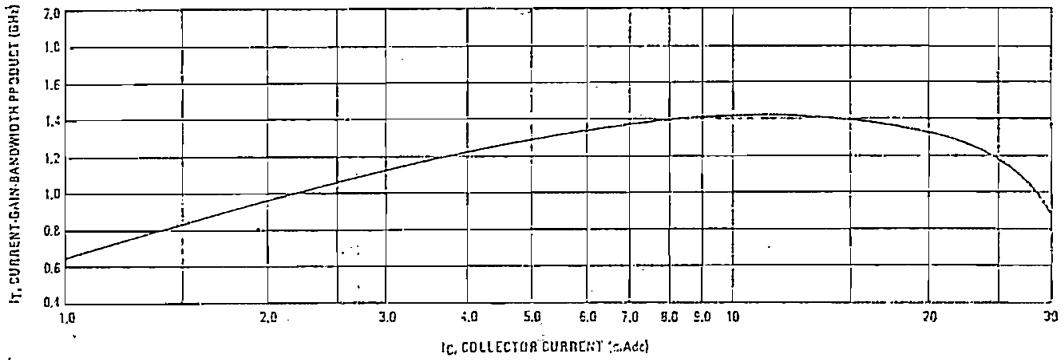


FIGURE 7 - INPUT ADMITTANCE versus FREQUENCY

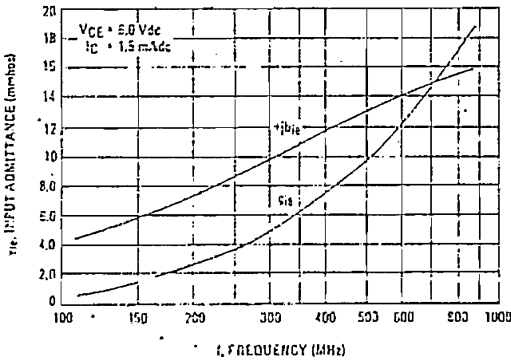


FIGURE 8 - OUTPUT ADMITTANCE versus FREQUENCY

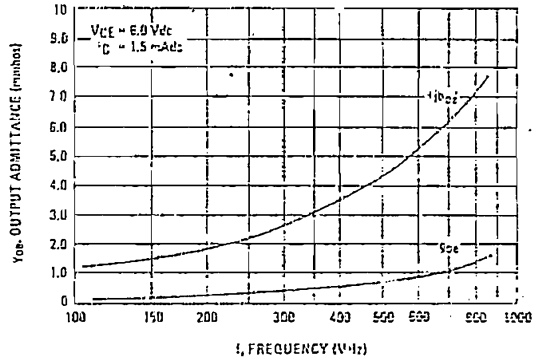


FIGURE 9 - FORWARD TRANSFER ADMITTANCE versus FREQUENCY

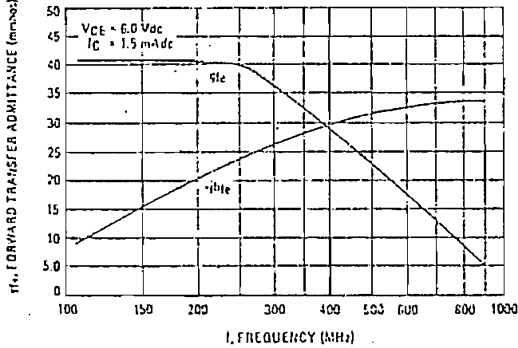
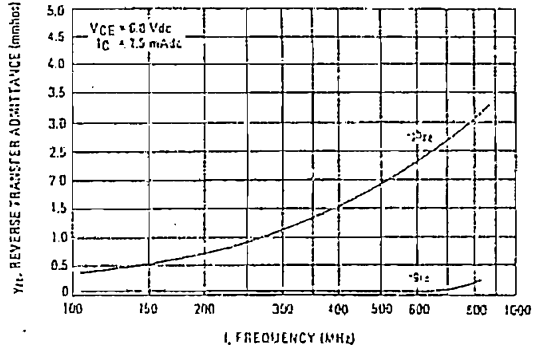


FIGURE 10 - REVERSE TRANSFER ADMITTANCE versus FREQUENCY



B I B L I O G R A F I A

BENSON, R.: "Interfonos y Talkies-Walkies", Marcombo, S.A.,  
Barcelona, 1970.

ESPINOSA, A.: "Datenerfassungsgerät", Technische Universität,  
Berlin, 1975.

LENK, J.: "Handbook of Modern Solid-State Amplifiers",  
Prentice-Hall, Inc., New Jersey, 1974.

MILLMAN, J., HALKIAS, C.: "Integrated Electronics: Analog and  
Digital Circuits and Systems", Mc Graw-Hill Kogakusha, Ltd.,  
Tokyo, 1972.

TEXAS INSTRUMENTS INCORPORATED: "Digital Integrated Circuits  
and Operational-Amplifier and Optoelectronic Circuits Design",  
Mc Graw-Hill Book Company, New York, 1976.