

SISTEMA DE TRANSMISION DIGITAL POR LINEAS TELEFONICAS A BASE DE MODULACION EN FRECUENCIA DE UN TONO DE AUDIO

Tesis previa a la obtención del título de Ingeniero en la especialización de Electrónica y Telecomunicaciones de la Escuela Politécnica Nacional

XAVIER E. GARCIA K.

QUITO

MARZO 1975

Certifico que este trabajo ha sido realizado en su
totalidad por el señor Xavier Ernesto García Karolys


Ing. Herbert P. Jacobson

Director de Tesis

Quito, Marzo de 1975

A MIS PADRES

PROLOGO

Buscando madurez en los conocimientos adquiridos durante los años de vida Politécnica, vi que el trabajo de tesis sería de gran ayuda. A lo largo de éste, he tenido la oportunidad de profundizar en el análisis y en la experimentación sobre tópicos de gran interés, que dentro de la Electrónica y las Telecomunicaciones se presentan en él.

Evidentemente su magnitud indica que no es fruto de un trabajo personal, sino del esfuerzo de los que hacemos la Escuela Politécnica. Agradezco en primer lugar, a esta benemérita institución, que con su preparación me da la oportunidad de servir a mi país.

Igualmente deseo expresar mi más sincera gratitud al Ing. Herbert Jacobson, cuya dirección acertada, supo emplear sus conocimientos y experiencia para la culminación de este trabajo. Agradezco también al personal de la Facultad de Ingeniería Eléctrica, y a todas las personas que de una u otra forma han contribuido en su elaboración.

INDICE

Prólogo	IV
Introducción	1
<u>Capítulo I</u>	
ESPECIFICACIONES DEL SISTEMA DE TRANSMISION Y DIAGRAMA EN BLOQUES	4
A.- La unidad de control y su diagrama en bloques	6
B.- EL MODEM (Modulador-Demodulador)	16
c.- Operación del Sistema	17
<u>Capítulo II</u>	
MODULACION	22
A.- Líneas telefónicas en un sistema de transmisión ^o digital	23
- Ancho de banda de un canal telefónico (Veloci dad de transmisión)	23
B.- Tipos de Modulación	28
C.- MODEM	32
1.- Modulador	32
1a.- Bloques constitutivos del Modulador	34
- Oscilador Controlado por Voltaje	34

- Modulador Balanceado	41
2.- Demodulador	53
2a.- El circuito utilizado y sus bloques constitutivos	53
- Detector de Fase	54
2b.- El sistema de Lazo de Fase Cerrado	62

Capítulo III

CONVERSION, CONTROL, SINCRONISMO.	82
A.- Conversión	84
1.- Selectores	84
2.- Convertidores Paralelo-Serial y Serial- Paralelo	88
- Circuito Utilizado	88
- Condiciones Dinámicas para las Señales - que controlan S/L y RJ en el "Proceso de Almacenar un Byte"	95
- Conversión Paralela-Serial (P/S) y Serial -Paralela (S/P)	98
B.- Señales de Reloj	100
1.-Generador de reloj	100
2.-Velocidad de Transmisión	102
3.- Decodificación	104
4.- Señales de Reloj ϕ K	105

C.- Control

1.- Estados del Sistema	107
1a.- Diagramas de flujo	107
1b.- Estados fundamentales	107
1c.- estados secundarios	119
2.- Señales de Control	121
2a.- Definición de las salidas de control mediante la tabla de flujo	121
2b.- Generación de las señales de control	128
- Señales de nivel y de pulsos	128
- Señales de nivel básicas CA, CB, CC y sus diagramas de tiempo	129
- Deducción de las funciones lógicas - para algunas salidas de control	131
- Diagramas lógicos de las salidas de Control	138
- Generación de la Señal CDB	141
- Generación de BRL	143
- Generación de la señales de regreso a cero	146
2c.- Sistemas de relación	149
- Generación y control de las señales de Inter-relación para transmisión	150

- Control del sistema de relación para recepción (Buffer)	152
- Biestables J - K Maestro-esclavo	155
- Tablas de Exitación	159
- Tabla de exitación para transmisión - y sus funciones lógicas	161
- Tabla de exitación para recepción y sus funciones lógicas	165
3.- Diagramas de Tiempo	168
3a.- Diagramas de tiempo para transmisión	169
3b.- Diagramas de tiempo para recepción	171
4.- Control de Error	
4a.- Necesidad del control de error	175
4b.- El sistema de control de error	177
- El biestable de errores	178
- Chequeo del Fin-Comienzo	179
- Sistema de control de Bit de paridad	180
- Sistema de control del byte de chequeo	184
D.- Sistema de Sincronización	189

Capítulo IV

CONSTRUCCION DEL EQUIPO Y PRUEBAS	196
-----------------------------------	-----

- Montaje	197
- Pruebas	201
- Sistema de fuentes	211
- Generador de pulsos	212
- Sistema de selección de Byte (en recepción): Señal SBU	255
<u>Conclusiones</u>	230
<u>Apéndices</u>	
Apéndice A: Cálculos	233
Apéndice B: Costos	240
Apéndice C: Hojas de datos XR-205 y XR-210	244
Apéndice D: Dibujos del diagrama lógico general y de los diagramas de tiempo completos	261
<u>Bibliografía</u>	265

INDICE DE FIGURAS

CAPITULO I

Fig. I - 1	Pag. 4
I - 2	5
I - 3	6
I - 4	7
I - 5	9
I - 6	15
I - 7	17

CAPITULO II

Fig. II - 1	Pag. 24
II - 2	25
II - 3	27
II - 4	27
II - 5	28
II - 6	30
II - 7	33
II - 8	35
II - 9	37
II - 10	38
II - 11	40
II - 12	41
II - 13	42
II - 14	43
II - 15	46
II - 16	48
II - 17	49
II - 18	52
II - 19	53
II - 20	55
II - 21	57
II - 22	57
II - 23	59
II - 24	63
II - 25	65
II - 26	68
II - 27	72
II - 28	75
II - 29	76
II - 30	81

CAPITULO III

Fig. III-	1	Pag.	87
III -	2		89
III -	3		90
III -	4		92
III -	5		95
III -	6		97
III -	7		101
III -	8		102
III -	9		103
III -	10		103
III -	11		104
III -	12		105
III -	13		106
III -	14		110
III -	15		112
III -	16		113
III -	17		114
III -	18		116
III -	19		137
III -	20		138
III -	21		140
III -	22		140
III -	23		140
III -	24		141
III -	25		141
III -	26		142
III -	27		145
III -	28		148
III -	29		149
III -	30		151
III -	31		154
III -	32		158
III -	33		173
III -	34		174
III -	35		178
III -	36		178
III -	37		180
III -	38		183
III -	39		188
III -	40		190
III -	41		194
III -	42		195

CAPITULO IV

Fig. IV - 1	Pag. 197
IV - 2	208
IV - 3	209
IV - 4	210
IV - 5	211
IV - 6	213
IV - 7	216
IV - 8	217
IV - 9	218
IV - 10	223
IV - 11	224
IV - 12	226
IV - 13	227

APENDICE D

Fig. D - 1	261
D - 2		
D - 3		

INDICE DE TABLAS

CAPITULO II

Tabla II - 1	Pag. 45
II - 2	Pag. 70

CAPITULO III

Tabla III - 1	Pag. 85
III - 2	86
III - 3	91
III - 4	93
III - 5	103
III - 6	105
III - 7	114
III - 8	118
III - 9	118
III - 10	120
III - 11	127
III - 12	139
III - 13	156
III - 14	157
III - 15	164
III - 16	167
III - 17	181
III - 18	183
III - 19	185
III - 20	191
III - 21	192
III - 22	192

CAPITULO IV

Tabla IV - 1	Pag. 215
IV - 2	220
IV - 3	220
IV - 4 a IV - 9	221
IV - 10	223
IV - 11	228
IV - 12	229

ABREVIATURAS

BCB	Borrar el contador de bytes
BCH	Byte de chequeo
BCN	Byte de contestación
BDD	Byte de datos
BER	Byte en recepción
BLF	Byte listo en la fuente
BNB	Byte de número de bytes
BOS	Borrar el sumador
BPI	Byte de principio
BRL	Byte recibido listo
BRLCN	Byte recibido listo de contestación
CA	Control A
CB	Control B
CC	Control C
CDB	Señal del contador de bytes
GT	Compuerta en transmisión
GR	Compuerta en recepción
IC	Interpretación de la contestación
LTB	Listo para transmitir un byte
Lo	Listo
MRB	Mala recepción de bytes
P/S	Paralelo-Serial
PCCB	Pulso para cargar el contador de bytes
PRCB	Pulso de reloj del contador de bytes
RC	Recibido correcto
RJ	Entrada de reloj
Rx	Recepción
S/L	Entrada de la carga/desplazamiento
S/LCO	Desplazamiento/Carga controlada
S/P	Serial-Paralelo
So, S ₁	Entradas de control del selector
SobTx ₁	Sobretiempo de transmisión
SBU	Señal del retenedor (Buffer)
SUM	Sumar
Tx	Transmisión
φ	Señales de reloj

INTRODUCCION

Para satisfacer las necesidades de comunicación digital de datos el ingeniero utiliza los medios de comunicación existentes, con el fin de ahorrar en lo posible los costos del sistema de comunicación.

Un sistema de comunicación de datos digitales, está diseñado de tal manera que si tomamos de una fuente datos en forma binaria, estos son condicionados para que puedan ser -- transmitidos por un medio de enlace (o varios medios), por ejemplo canales telefónicos, y una vez recibidos, sean nuevamente transformados en su forma original. Además dicho sistema tendrá una sección de control, para manipular los datos convenientemente al acoplar las fuentes de información con -- el sistema de transmisión, sincronizar la Tx y Rx, y asegurar una fiel transmisión y recepción de datos. Todo esto es -- factible a base del diseño lógico de la unidad de control.

El objetivo del trabajo es el diseño y construcción de un sistema de comunicación punto por punto capaz de procesar convenientemente los datos digitales para que puedan ser enviados por un canal telefónico, dependiendo de las limitaciones de este. También se deben transformar las señales digitales ya procesadas en señales analógicas que esten dentro del rango de frecuencias permitidas para transmitir por --

el canal, y pasar por este mediante un acoplamiento entre el terminal y la línea telefónica.

En el capítulo I se da las especificaciones del sistema de comunicación y la operación del mismo. El capítulo II habla de cómo se han manipulado los datos binarios para ser convertidos en señales analógicas las cuales pueden ser transmitidas por canales telefónicos. En el capítulo III se expone el procesamiento necesario de las señales de información en forma binaria, tanto para acoplar la transmisión por un canal como para asegurar una fiel transmisión y recepción de la señal de información. Se tiene también un análisis de los convertidores, diagramas de flujo, diagramas de tiempo, diseño lógico de control y sincronismo. Finalmente, en el capítulo IV, se expone la construcción del equipo y la comprobación del mismo.

CAPITULO I

ESPECIFICACIONES DEL SISTEMA DE
TRANSMISION Y DIAGRAMA EN BLOQUES

El sistema consta de dos terminales de transmisión, ambos capaces de transmitir y recibir datos.

La forma de transmisión es en ambas direcciones pero en una sola a la vez, forma que es conocida como "media-doble" (Half-Duplex). Además existen otras formas como la "simple" que puede transmitir en una sólo dirección y la "doble-completa" que puede transmitir en ambas direcciones al mismo tiempo, ver ilustraciones:

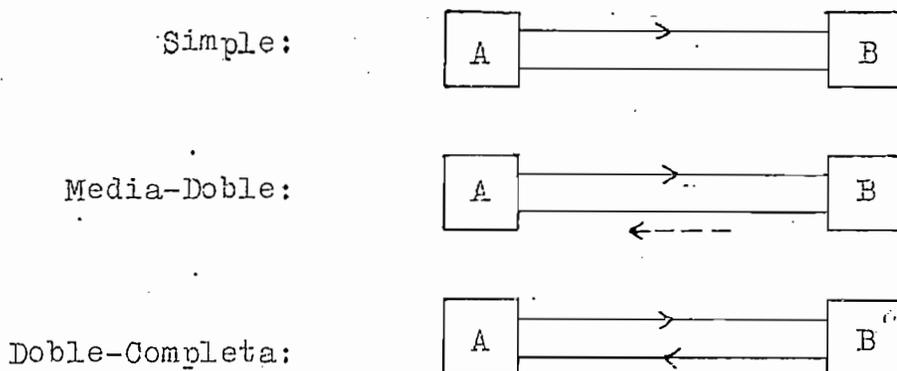


Fig. I-1

Se ha escogido esta forma de transmisión por ser relativamente más barata que el sistema Doble-Completo, y en relación a la forma simple se la ha preferido porque en transmisión de datos es necesario tener señales de regreso para indicar al terminal transmisor, que se ha efectuado una buena transmisión.

El terminal tiene como constitutivos básicos la Unidad de Control y el MODEM (Modulador-Demodulador).

Esto se ilustra en el siguiente diagrama a bloques para una transmisión del terminal A al terminal B, (Fig. I-2)

La unidad de control realiza las operaciones de conversión, sincronización y control de las señales de datos que toma para transmitir de una fuente, o que recibe de una transmisión.

El MODEM sirve para modular y demodular las señales que van en forma analógica por el canal telefónico, es decir transforma las señales digitales en analógicas e inversamente para la recepción.

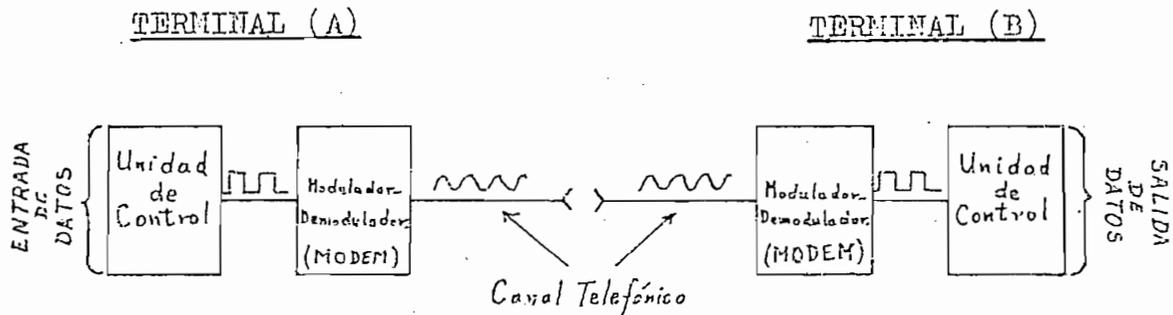


Fig. I-2

A.- LA UNIDAD DE CONTROL Y SU DIAGRAMA EN BLOQUES

Transmisión Serial:

Como dijimos anteriormente, esta "manipula" convenientemente a los datos en forma binaria para una transmisión de información. La entrada de información de una fuente, es en forma paralela, con siete bits a la vez. Como la transmisión es por un solo canal se efectúa una conversión para mandar los datos en forma serial por byte y serial por bit.

El terminal que actúa como transmisor mandará un bloque de información que está compuesto por bytes, (Fig. I-3) de los cuales el primer byte indica la iniciación de la transmisión de un bloque, byte de principio: BPI; el segundo indica el número de bytes de datos que se va a transmitir en dicho bloque: BNB; finalmente un byte de chequeo para la comprobación de la transmisión: BCH. El terminal que está en recepción contestará con un byte de contestación: BCN, que interpreta la transmisión del bloque, indicando si la transmisión fue buena o con error.

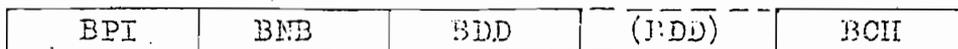


Fig. I-3

Cada byte de información está compuesto por diez bits, que corresponden a uno de comienzo de byte, siete bits de información que conforman el caracter alfa-numérico, un bit de paridad, y un bit de fin de byte, como se ilustra:

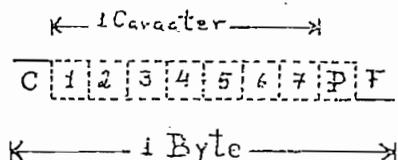


Fig. I-4

Los bits de comienzo y de fin sirven para sincronización de la Tx y Rx, y hacen trabajar al terminal que actúa como receptor asincrónicamente.

Sincrónico-Asincrónico:

Las formas generales usadas en transmisión de datos son la forma sincrónica y la forma asincrónica.

La forma sincrónica, transmite un bloque en forma continua, es decir no tiene bits de comienzo ni de fin, de cada byte, necesitando emplear un byte al principio de cada bloque para sincronizar la transmisión, y requiere que el receptor mantenga una sincronización exacta con el transmisor, para poder distinguir entre uno y otro bit de información.

La forma asincrónica efectúa la transmisión de un byte por vez, siendo necesario los bits de comienzo y de fin para sincronización del sistema. Aquí el tiempo de espera del aparato receptor a un nuevo byte de información es indeterminado.

Nuestros terminales están en capacidad de trabajar en forma sincrónica para la transmisión y para la recepción.

Y también en forma asincrónica para la recepción, - con un tiempo de espera, pre-fijado, entre dos bytes de datos.

La sincronización es efectuada a base de señales de reloj cuyas frecuencias provienen de osciladores a cristal. Además el receptor tiene un sistema de sincronismo, para hacer que su señal de reloj, esté no solamente en la misma frecuencia, sino también en la misma fase con el transmisor.

Código de Transmisión:

Debido a que la codificación de la transmisión de datos no está estandarizada, existen en el mundo una proliferación de códigos.

Sin embargo, algunos países desarrollados como por ejemplo Estados Unidos ha tomado como patrón un código de siete bits, el cual es conocido como el Código de ACSII y se muestra en la Fig. 1-5

Nosotros, también hemos adoptado esta codificación, y hemos usado un octavo bit de paridad. Esta codificación nos da un número suficiente de combinaciones para obtener los caracteres necesarios en una aplicación.

Bit positions 5,6,7

	000	100	010	110	001	101	011	111
0000	NUL	DEL	SPACE	0	Q	P	q	p
0001	SOH	DC1	!	1	A	O	a	o
0010	STX	DC2	"	2	B	K	b	k
0011	ETX	DC3	#	3	C	S	c	s
0100	EOT	DC4	\$	4	D	T	d	t
0101	ENG	NAK	%	5	E	U	e	u
0110	ACK	SYN	&	6	F	V	f	v
0111	BEL	ETB	'	7	G	W	g	w
1000	BS	CAN	(8	H	X	h	x
1001	HT	EM)	9	I	Y	i	y
1010	LF	SUB	*	:	J	Z	j	z
1011	VT	ESC	+	;	K	[k	[
1100	FF	FS	,	<	L	\	l	l
1101	CR	GS	-	=	M]	m]
1110	SO	RS	.	>	N	^	n	^
1111	SI	US	/	?	O	_	o	DEL

Bit positions 1,2,3,4

Fig. I-5

Control de Error

El sistema para controlar el error se ha hecho a base

de la generación de un bit de paridad, el cual es añadido a los siete de información, generando una paridad impar para los ocho bits de cada byte de información. El receptor comprobará por cada byte que reciba, si el número de 1s de los siete bits de información más el de paridad es impar, si esto no sucede indicará error. Este proceso, asegura la detección de errores para un número de cambios impar en los bits de información debido al ruido existente. Si se efectúa en los bits un número par de cambios debido al ruido, este proceso no detectará el error producido.

Para solventar este problema se aumenta un byte de chequeo, el cual es mandado al final de la transmisión de un bloque.

De esta manera tenemos un chequeo "horizontal" dado por el bit de paridad y un chequeo "vertical" dado por el byte de chequeo: BCH.

Además de esto existe una decodificación para controlar el comienzo y fin de cada byte, (sincronismo). Así, si en una de las tres partes existe alguna falla se indicará error a través de un biestable de errores.

El aparato receptor indicará buena o mala recepción por medio del byte de contestación. El aparato transmisor interpretará este byte indicando al operador o a la computadora que origina la transmisión una mala recepción cuando se --prende el foco de MRB, si no sucede esto, se ha efectuado una buena transmisión.

Velocidad de Transmisión:

La velocidad a la cual se van a mandar los datos en forma serial es de 300 Baudios ó 300 hits/seg. Esta, es dada por la velocidad con que se desplaza los pulsos del lugar de almacenamiento (registros de desplazamiento), los cuales son controlados por los pulsos de reloj a una frecuencia de 300 Hz.

El sistema puede recibir un byte en paralelo cada 33 msg lo cual también es controlado por un pulso de aviso: LTB (listo para transmitir un byte), por parte de la unidad al generador.

Sistemas Básicos de Control:

La unidad de control, tiene dos sistemas básicos de

control. El primero da los estados fundamentales que puede tomar el sistema, estos son:

- Estado de Listo : Lo
- Estado de Transmisión: Tx
- Estado de Recepción : Rx

El otro sistema básico de control da una secuencia de estados, designados secundarios, por los cuales pasa un terminal cuando ha entrado en transmisión o en recepción.

Este último sistema de control, también da las señales de control que actúan en todas las partes constitutivas del sistema.

Presentemos un diagrama general en bloques de las partes constitutivas de la unidad de control y sus relaciones (Fig. I-6).

Funciones del Diagrama en Bloques.-

En referencia al diagrama de la Fig. I-6, vamos a describir las funciones principales de cada bloque. Para esto imaginemos una transmisión de datos.

Si se tienen datos listos para transmitirse, el selector mediante señales de control, escoge en una secuencia determinada los caracteres que forman los bytes necesarios para constituir el bloque de información.

Los caracteres junto con los bits de comienzo, de fin, y de paridad, se cargan en forma paralela en el convertidor paralelo-serial (P/S), el cual entrega bytes (BPI, BNB, BDD, BCH) en forma serial y así forma el bloque de transmisión.

El sistema tiene un control que permite la entrada o salida de datos según el terminal esté en transmisión o recepción.

El reloj genera los pulsos necesarios, los cuales una vez procesados sirven como señales de control del sistema.

Existen dos secciones de relación que permiten la concordancia primeramente del terminal transmisor con la computadora transmisora o con el generador de datos, y un retenedor (buffer), que relaciona a la computadora receptora y al terminal que esta trabajando en recepción. Las secciones de sincronismo, control de error y controles básicos, ya se

han descrito anteriormente.

B.- EL MODEM (MODULADOR-DEMODULADOR).

Como dijimos, el MODEM, transforma las señales digitales en analógicas y viceversa.

El modulador recibe los datos digitales en forma serial y genera una señal senoidal modulada en frecuencia, según el nivel de voltaje de la señal binaria de entrada.

El demodulador, recibe estas señales y da a la salida un nivel lógico positivo o negativo, dependiendo de las señales de frecuencia que detecte a la entrada.

La transmisión por el canal telefónico se hará en dos bandas: la banda baja (1070 Hz y 1270 Hz) para una transmisión del terminal I al terminal II, y la banda alta (2025 Hz y 2225 Hz) para una transmisión en el otro sentido.

El modulador (A) del terminal I (Fig. I-7), cambiará según la señal de modulación entre dos frecuencias $f_0 = 1070$ Hz, para el nivel 1 lógico de entrada y $f_1 = 1270$ Hz para el nivel 0 lógico de entrada. El demodulador (A) del terminal II, está sintonizado para detectar estas frecuencias

Así también el modulador (B) del terminal II y el demodulador (B) del terminal I están sintonizados en las frecuencias de 2025 Hz y 2225 Hz.

Es de notar que las frecuencias fundamentales f_0 de ambas bandas siempre están presentes, por lo cual, se puede decir, que el MODEM trabaja en forma "Doble-Completa".

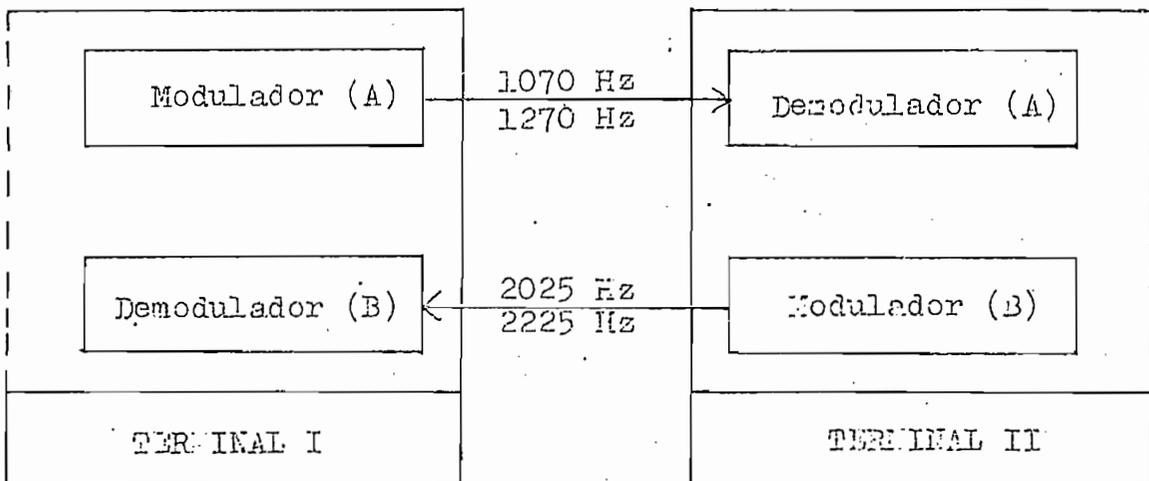


Fig. I-7

C.- OPERACION DEL SISTEMA

Si se va a efectuar una transmisión entre dos puntos los terminales están en capacidad de transmitir las señales de información, donde se disponga un canal telefónico y -

un acoplamiento ⁽¹⁾ para las señales a dicho canal.

Los pasos que se deben seguir son:

- 1.- Acoplar las salidas del modulador y demodulador
- 2.- Una vez prendido ⁽²⁾ ambos terminales deben estar inicialmente en el estado Lo
- 3.- Al terminal que va hacer de transmisor se hacen las conexiones de las señales de entrada, correspondientes a los siete caracteres alfa-numérico (entrada de datos), juntamente con otras cuatro señales: Limp, BLF, LTB, MRB.
De estos los dos primeros vienen de la computadora transmisora y los dos últimos van a esta del terminal transmisor.

- Limp: "limpiar" esta señal da un pulso necesario para limpiar el sistema y así partir de una condición deseada. Este debe estar sincronizado con el impulso de carga del primer carácter alfa-numérico, y tener una duración máxima de 3,3 msg.
- BLF: "Byte listo en la Fuente", esta señal indica al terminal cuando la computadora tiene un carácter listo para

(1) Ver "Acoplamiento", Pag N° 209

(2) Ver "Efecto de la Temperatura" Pag N° 208.

transmitir. Puede aparecer cada 33 msg y tener una duración mínima de 3,3 msg.

- LTB: "Listo para transmitir un Byte", indica cuando el terminal puede transmitir un byte de la computadora.
- MRB: "Mala recepción de Bytes", es un aviso del terminal - transmisor a la computadora, indicando que se ha hecho una transmisión errada.

4.- Al terminal que actúa como receptor, se hacen las conexiones en los conectores de "Salida de Datos" a la computadora receptora. Este terminal cambia de Lo a Rx cuando recibe el primer pulso de comienzo del primer byte que llegue. Los caracteres alfa-numérico aparecen listos en las siete conexiones de salida por un tiempo de 33 msg, y pueden ser tomados durante este lapso, después que BRL se ha puesto en 1 lógico.

Para saber si se ha efectuado una buena transmisión este contestará al terminal transmisor mediante el BCN. El transmisor interpretará este byte e indicará con MRB si se ha hecho una mala transmisión.

Así también el terminal receptor, da a la computadora receptora, una señal RC (recibo correcto), para que inter

prete los caracteres recibidos como buenos o errados.

Después de esto, el terminal pasa inmediatamente --
al estado de espera.

Mediante diodos emisores de luz se indican en la --
parte frontal del aparato, los estados fundamentales del sis_
tema: Lo, Tx, Rx, el estado que indica una transmisión errada:
MRB, y los siete bits correspondientes a cada caracter en pa_
ralelo que esta recibiendo un terminal.

Con el propósito de hacer la demostración del traba
jo se han diseñado dos sistemas adicionales.

El primero simula la transmisión de datos de una --
computadora y el segundo, muestra en los diodos indicadores -
un caracter escogido del bloque transmitido.

Estos sistemas generan las señales necesarias de --
LIMP, BLF, SBU, para dichos objetivos y para operar sus sis_
temas toman algunas señales del mismo sistema: Lo, ϕ_{FD} ,
(CDB + T9), ϕ_1 .



Condiciones de los Niveles de Voltaje de los Caracteres de Datos.-

Los niveles de voltaje de entrada y salida de datos dependen de las condiciones de trabajo de los circuitos TTL.

a) Condiciones de Entrada:

El terminal reconoce como 1 lógico ó 0 lógico, a los bits de entrada comprendidos entre

	Mínimo	Máximo	Unidad
1 lógico	2	5,5	Volts (DC.)
0 lógico	0	0,8	Volts (DC.)

b) Condiciones de Salida:

El terminal entrega bits de 1 lógico ó 0 lógico, comprendidos entre los siguientes valores:

	Mínimo	Típico	Máximo	Unidad
1 lógico	2,4	3,4		Volts
0 lógico		0,2	0,4	Volts

En estos valores, se permite un voltaje de ruido inducido de -0,4 Volts para 1 lógico y +0,4 Volts para 0 lógico

CAPITULO II

MODULACION

A.- LINEAS TELEFONICAS EN UN SISTEMA DE TRANSMISION DE DATOS DIGITALES.

- Ancho de banda de un canal telefónico, (Velocidad de Transmisión)

Para la transmisión usando como medio un canal telefónico, necesitamos enviar a través de este los datos en forma de tonos audibles. El oído humano es sensible para frecuencias entre 30 y 30.000 ciclos; los canales telefónicos están diseñados para transmitir señales eléctricas en el rango de 300 y 3.400 c/seg ya que entre estos límites está concentrada la máxima potencia del "espectro de voz" y su legibilidad es satisfactoria.

El ancho de banda de un canal telefónico se restringe debido a que ciertas frecuencias están ocupadas por las compañías telefónicas para señalización.

Así para Europa y América se da la siguiente curva⁽¹⁾

(1) Curva Tomada del Libro "Teleprocessing and Network Organization", J. Martin.

Señalización de doble frecuencia 600/750 Hz. (Europa).

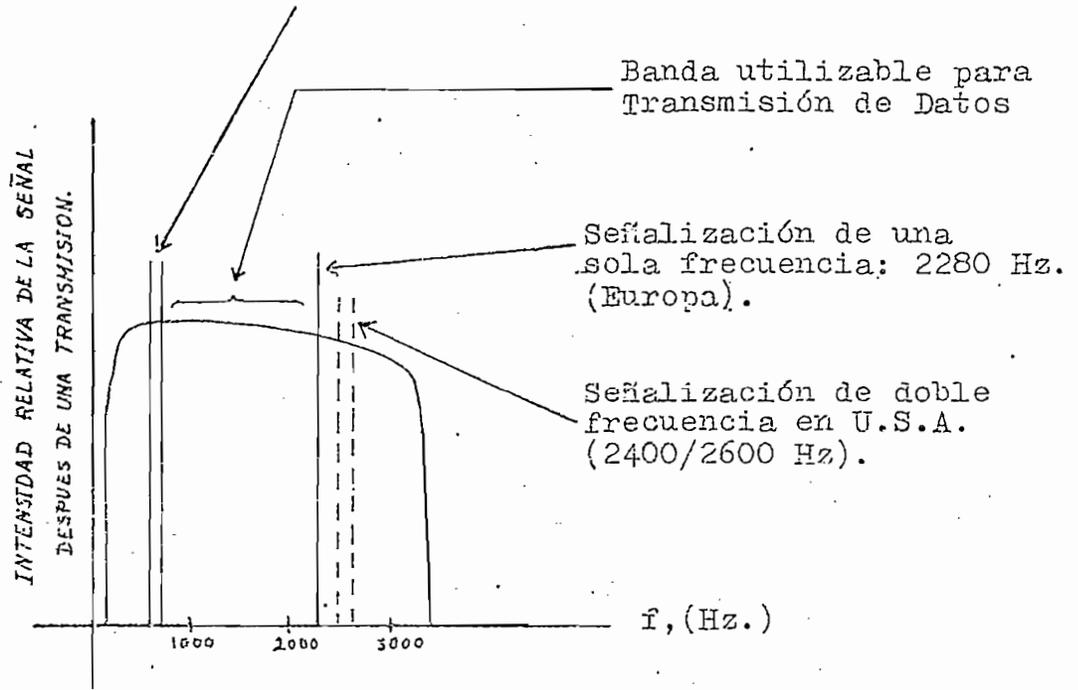


Fig. II-1

En nuestro país las frecuencias utilizadas para señalización son de 450 Hz.

Se ha decidido utilizar dos bandas en la transmisión: la banda baja, que está entre $f_1 = 1070$ Hz y $f_2 = 1270$ Hz y la banda alta entre $f_1 = 2025$ Hz y $f_2 = 2225$ Hz, (Fig. II-2), de esta manera las terminales están en capacidad de -- trabajar con cualquier equipo por no interferir con ninguna frecuencia de señalación.

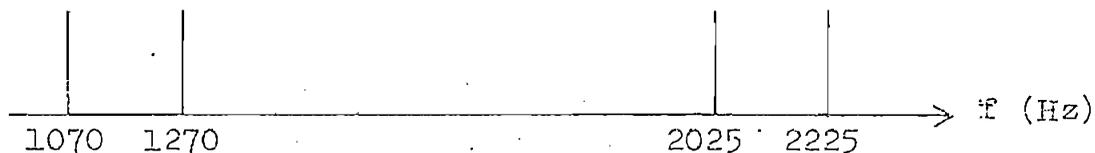


Fig. II-2

El "ancho de banda" o capacidad del canal, en transmisión de datos, viene a ser la velocidad máxima a la cual podemos transmitir datos sin error. Esto debe tomar en cuenta el tamaño del ancho de banda utilizado y la relación señal a ruido, propias del canal. Según la ecuación de Shannon-Hartley la capacidad de transmisión para un canal con ruido sería

$$C = W \cdot T \cdot \log_2 (1 + S/N)$$

W = Ancho de Banda

T = Tiempo de transmisión en segundos

S/N = relación señal a ruido

En muchos países la máxima velocidad de transmisión para un canal telefónico es de 600 baudios a 2400 baudios. La máxima velocidad de transmisión está relacionada con la respuesta de frecuencia del canal telefónico y su distorsión por retraso en el mismo.



En los cuadros (1) siguientes (Fig. II-3 y II-4), se muestra este efecto, y las distribuciones de los canales de datos.

Para ocupar la máxima capacidad del canal telefónico, se va a transmitir a 300 baudios, ya que la forma de transmisión del MODEM es en ambos sentidos, para lo cual necesitamos por lo menos dos bandas: la 1 y la 3 de la Fig. II-4.

El efecto de demora que presenta un canal telefónico nos muestra la Fig. II-3, (parte inferior), el cual es muy significativo cuando se trata de transmitir altas velocidades, ocupando la máxima capacidad telefónica. Por ejemplo para una transmisión de 4800 bauds, entre frecuencias separadas 200 Hz para indicar un 0 ó 1 lógico de información se tiene un retraso de algo menor a 1,5 msg, que para 0,21 msg (4800 baudios) de duración de un pulso positivo o negativo de información, la demora entre un pulso y el siguiente determina que se interprete erróneamente una información. Por esta razón estos sistemas utilizan "equalizadores".

(1) Tomados del GTE Lenkurt Demodulator. Nov. 71

FREQUENCY RESPONSE AND MAXIMUM ENVELOPE DELAY DISTORTION FOR VARIOUS VOICE CHANNEL CONDITIONINGS

CHARACTERISTICS	UNCOND. 3002 CHANNEL	C1	C2	C4	C3		C5
					ACCESS LINES	TRUNKS	
FREQUENCY RESPONSE (dB)							
0.3-3.2kHz	-	-	-	-2.0 TO +6.0	-	-	-
0.3-3.0kHz	-3 TO +12	-	-2.0 TO +6.0	-	-0.8 TO +3.0	-0.8 TO +2.0	-
0.3-2.7kHz	-	-2 TO +6	-	-2.0 TO +3.0	-	-	-1.0 TO +3.0
0.5-3.0kHz	-	-	-2.0 TO +3.0	-2.0 TO +3.0	-	-	-
0.5-2.8kHz	-	-	-	-	-0.5 TO +1.5	-0.5 TO +1.0	-0.5 TO +1.5
0.5-2.5kHz	-2 TO +8	-	-	-	-	-	-
1.0-2.4kHz	-	-1.0 TO +3.0	-	-	-	-	-
2.7-3.0kHz	-	-3 TO +12	-	-	-	-	-
MAX. ENVELOPE DELAY DISTORTION (μSEC)							
0.5-3.0kHz	-	-	-	<3000	-	-	-
0.5-2.8kHz	-	-	<3000	<1500	850	500	600
0.6-3.0kHz	-	-	<1500	<500	300	200	300
0.6-2.5kHz	-	-	-	-	-	-	-
0.8-2.8kHz	1750	<1750	-	<500	-	-	-
1.0-2.8kHz	-	-	<500	<300	100	80	100
1.0-2.4kHz	-	<1000	-	-	-	-	-
(ANY TWO FREQUENCIES 200 Hz APART)							

Fig. II-3

DATA CHANNEL ALLOCATIONS AND THE NECESSARY VOICE CHANNEL CONDITIONING

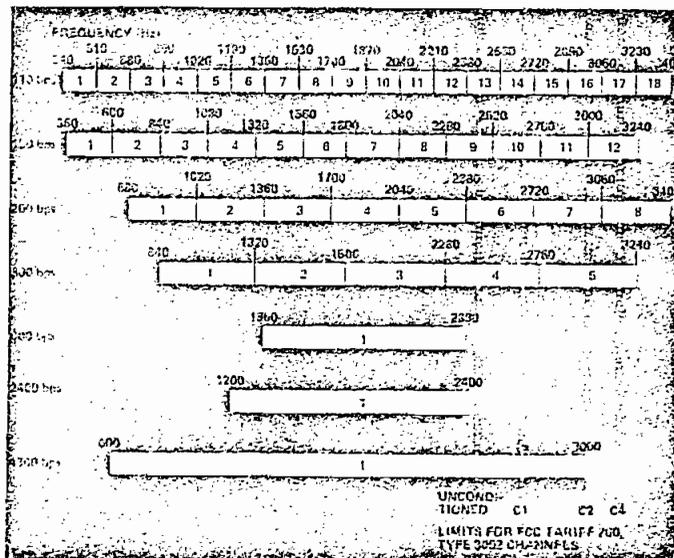


Fig. II-4

B.- TIPOS DE MODULACION

Las señales en forma binaria provenientes de un generador de datos digitales se encuentra regularmente en forma binaria y están formados por pulsos rectangulares, (Fig. II-5).

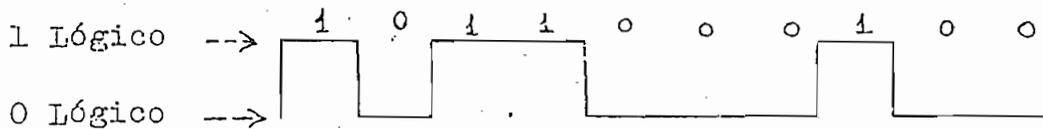


Fig. II-5

Debido a que las líneas telefónicas usadas para el enlace no transmiten corrientes D.C., una serie de datos seguidos del mismo nivel lógico no será transmitido. También tenemos que las altas frecuencias sufren gran atenuación y por esto los cambios de las señales cuadradas serán muy distorcionadas: . Por tanto, es necesario manipular electrónicamente estos pulsos para que sea posible la transmisión en el rango de frecuencias ya determinado.

Solucionaremos nuestro problema mediante la modulación, que no es más que el proceso de modificar una señal portadora de tal manera que vaya impuesta en ello la señal que deseamos transmitir, en nuestro caso la portadora selecciona

da es modulada por los datos que necesitamos transmitir.

El tipo de modulación, es escogido para conseguir la mayor velocidad de transmisión en un canal dado, teniendo en cuenta que se debe dar la máxima protección contra ruido y distorsión propias del canal.

Tres Maneras de Modular.-

La AM y FM son los procesos de modulación, veamos sus variantes. Si usamos una onda senoidal como señal portadora:

$$a_p = A_p \cdot \text{Sen}(2\pi f_p \cdot t + \theta_p)$$

se puede modular en ella tres parámetros: amplitud (A_p), frecuencia (f_p) y fase (θ_p); con lo que se tiene tres tipos de modulación.

En nuestro caso los datos a transmitirse están en forma binaria: cero ó uno por lo cual la portadora tomaría uno de estos estados o niveles diferentes quedando fuera de nuestro estudio una transmisión con niveles múltiples.

Para visualizar estos tipos de modulación en trans_

misión digital, veamos el siguiente ejemplo:

Se toma una onda portadora de 1000c/seg. Se modula uno de los parámetros con los bits de información: 1011000100, y según el parámetro escogido se tiene:

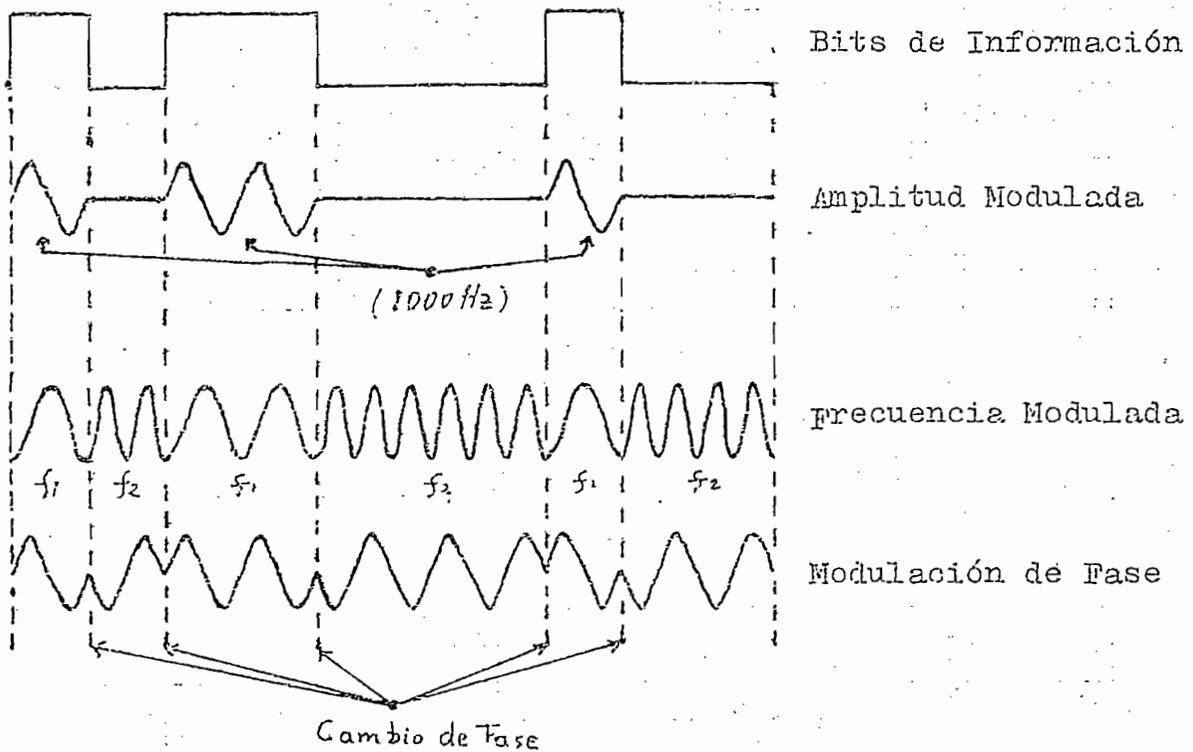


Fig. II-6

Es criterio del diseñador escoger una de estas formas de modulación, tomando en cuenta las ventajas y desventajas que presentan cada una, de acuerdo a las necesidades del

sistema.

La modulación en frecuencia se ha usado para reemplazar a la modulación por amplitud debido a que trabaja mejor en presencia de impulsos de ruido y cambios de niveles de voltajes, pues se transmite con amplitud constante, sin embargo para esta (FM) se requiere un mayor ancho de banda.

Así tenemos que la modulación en frecuencia FM, satisface nuestra necesidad por:

- Mejor relación S/N
- No es afectada por cambios en niveles de amplitud
- Aunque la FM limita la velocidad de transmisión no nos pone en desventaja, pues los terminales transmiten en baja velocidad.

En FM tenemos que la frecuencia de la portadora es variada proporcionalmente por el valor instantáneo de la señal de datos. En nuestro caso esta cambia de 1270 Hz para el lógico a 1070 Hz para el lógico para el un canal, y entre 2025 Hz y 2225 Hz para el otro canal. A esta forma de modulación se la llama "Frequency-Shift-Keying" (FSK) o modulación digital en frecuencia, y si se varía la fase de la portadora, de manera que esta es desplazada 180° para cada transi

ción tendremos la "Phase-Shift-Keying" (PSK) o modulación digital en fase, tal como se ha descrito en el ejemplo anterior.

C.- MODEM.-

Para efectuar la modulación y demodulación digital en frecuencia o F.S.K., empleamos dos circuitos integrados: - el XR-205 y el XR-210, (ver apéndice C), como modulador y demodulador respectivamente.

Vamos ~~ya~~ analizar estos circuitos para estudiar su forma de operación y como se los han empleado en este trabajo.

1.- Modulador.-

El modulador está compuesto básicamente de un oscilador controlado por voltaje (O.C.V.) y un modulador balanceado. Además el sistema tiene una sección de amplificación. El diagrama en bloques que constituye el circuito, se da a -- continuación:

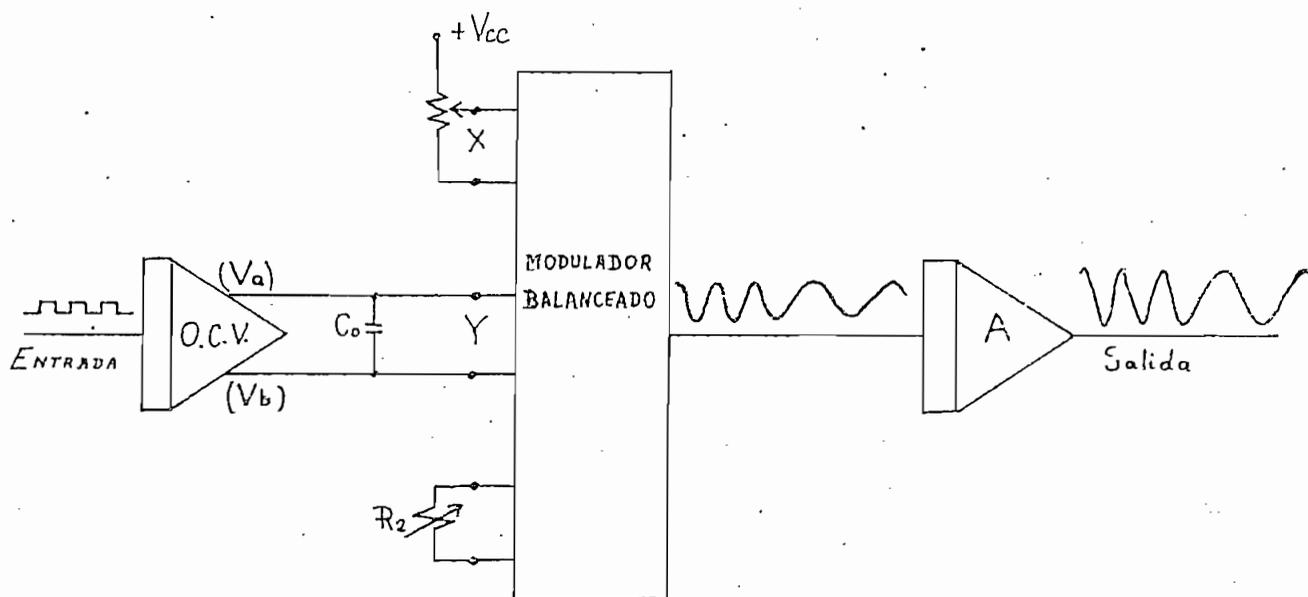


Fig. II-7

Haremos una breve descripción del funcionamiento -- del sistema expuesto anteriormente.

A la entrada del O.C.V., se tiene la información en forma binaria, 1 lógico (3 a 5,5 Volts) y 0 lógico (0 a 0,8 - Volts), cuyos niveles de voltaje controlan la frecuencia del O.C.V., cambiando esta entre los valores f_0 y f_1 para los distintos niveles de voltaje. Del O.C.V., se toma la salida - triangular (salida diferencial), para aplicar al Modulador Ba

lanceado, el cual genera una onda casi senoidal cuya frecuencia varía según el valor de la frecuencia que toma la onda -- triangular. Como se ha indicado estas frecuencias dependen del nivel de voltaje a la entrada.

De esta manera, tenemos a la salida la modulación digital en frecuencia.

El amplificador que se conecta a la salida del modulador balanceado, es para acoplamiento, dando relativamente una gran corriente de salida con baja impedancia.

-la.- Bloques Constitutivos del Modulador.-

Para estudiar más detenidamente la operación del sistema, se han tomado circuitos típicos (de manuales de datos), de los bloques principales que lo constituyen:

- Oscilador Controlado por Voltaje.-

(Ver Fig. siguiente hoja)

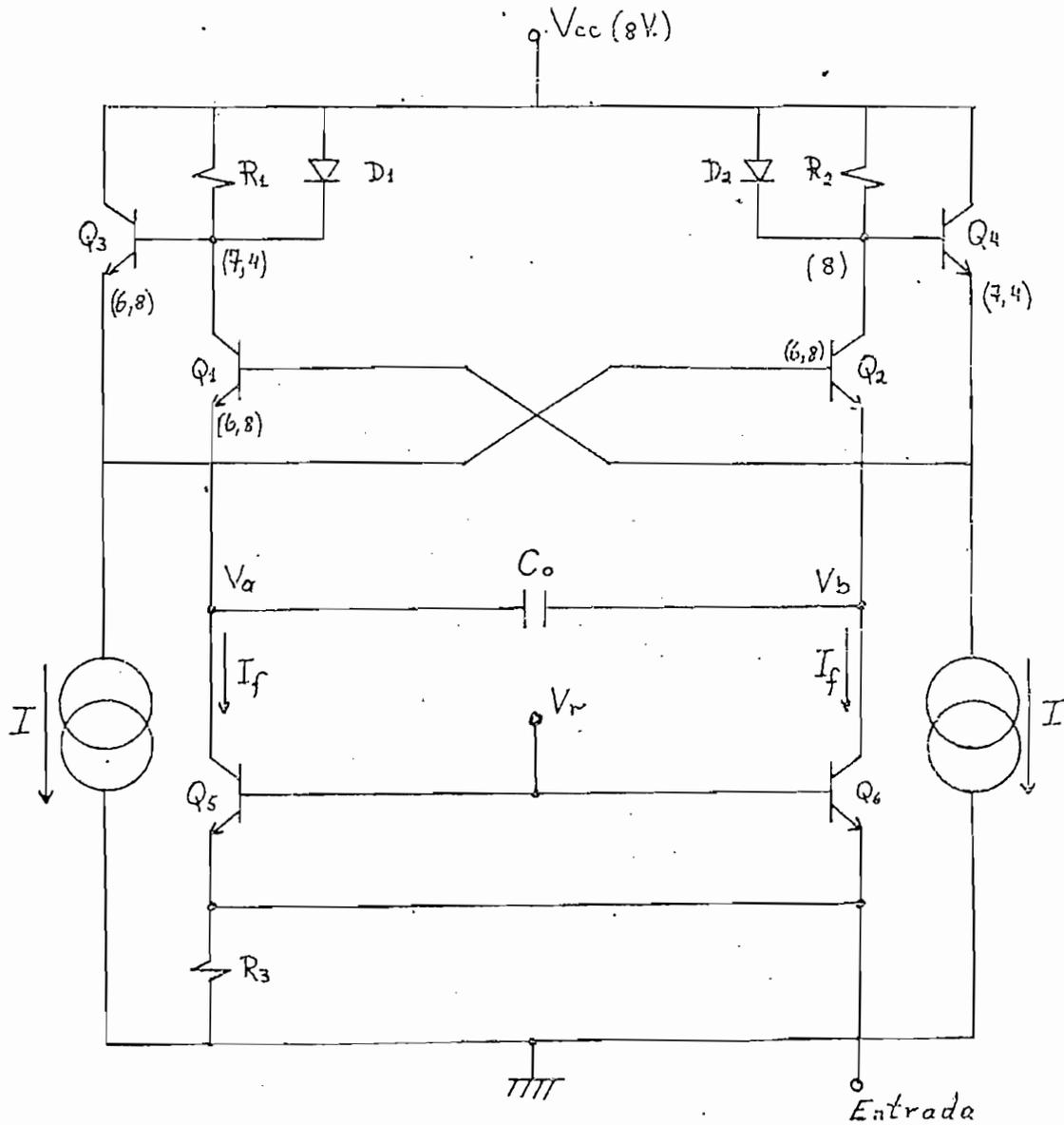


Fig. II-8

Se puede considerar que los transistores Q_1 y Q_2 --
se comportan como multivibradores biestables trabajando en --
los estados de corte y en algún punto de la región activa. --
Los transistores Q_5 y Q_6 actúan como fuentes de corriente, --

siendo de igual magnitud como se indica. Los transistores Q_3 y Q_4 sirven para acoplamiento del sistema. Los diodos D_1 y D_2 , cuando conducen, aseguran una caída de potencial de 0.6 Volts, que mantendrá constante a la amplitud de oscilación, también a la diferencia de V_b en los mismos 0.6 voltios.

Las salidas de los puntos V_a y V_b respectivamente a tierra, se aplican directamente a las entradas Y del Modulador, (Fig. II-7)

Analizaremos la forma de onda que se obtiene en el punto V_b respecto a tierra. Para esto se toma un voltaje $V_{cc} = 8$ Volts. Si el transistor Q_2 está en corte y el transistor Q_1 está conduciendo, el voltaje de emisor de Q_1 , V_{e1} será de 6,8 Volts debido a las caídas base-emisor de Q_4 y Q_1 , mientras que el voltaje de emisor de Q_2 , V_{e2} , llegará a 6,2 Volts ya que Q_2 está en corte y V_{e2} depende de la carga negativa del capacitor.

Por estar Q_2 en corte, la impedancia que presenta a la fuente de corriente formada por el transistor Q_6 es muy grande, por tanto, la corriente de colector de Q_6 pasará por el capacitor C_0 , cargándole de manera que el voltaje V_b cam

bie en sentido negativo. Las formas de onda para V_b y V_a son:

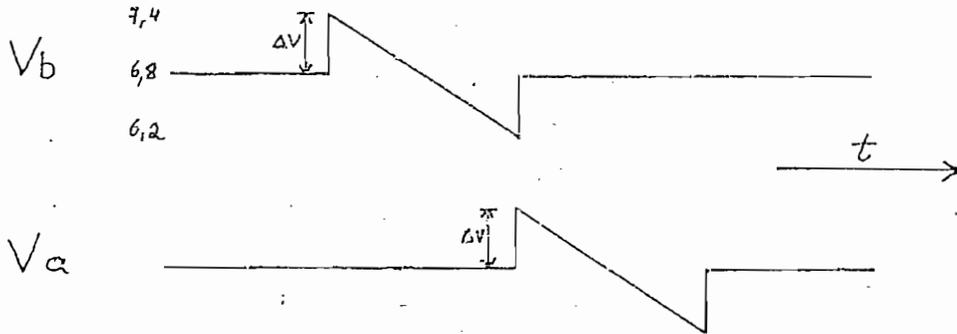


Fig. II-9

Cuando, por el proceso de carga negativa del capacitor en punto V_b ha llegado a 6.2 voltios, este aumentará subitamente a 6.8 Volts. Esto se debe a que, por el voltaje base-emisor de Q_2 , cuando V_b alcanza los 6.2 Volts, aparece una corriente en Q_2 , que da una caída de voltaje significativa a través de R_2 , la cual disminuye el voltaje en la base y como este es un seguidor emisor, el voltaje en el emisor de Q_4 también disminuye. Esta variación de voltaje sufre directamente Q_1 , disminuyendo la cantidad de corriente que pasa por este, en la misma magnitud en que aumenta la corriente en Q_2 .

Al pasar Q_2 a conducción el punto V_b subirá repentinamente a 6.8 Volts y debido a este cambio brusco, el otro extremo sufrirá un incremento igual, (ya que el capacitor no soporta cambios bruscos), es decir subirá a 7.4 Volts. De es

ta manera, el transistor Q_1 pasará al estado de corte y seguirá con este proceso regenerativo.

El valor del capacitor C_0 , incidirá directamente en los tiempos de cargas del mismo y por tanto en la frecuencia de oscilación. Así también, la magnitud de corriente (I_f) suministrada por las fuentes de corriente constante, es el otro parámetro que determina la frecuencia de oscilación.

Podemos hallar esta relación de dependencia de las ondas que se obtienen en los extremos del capacitor.

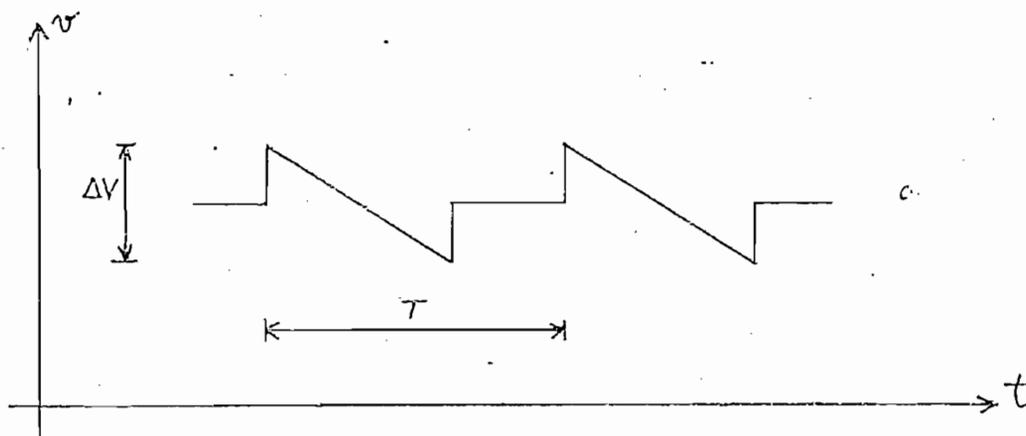


Fig. II-10

Sabemos que:

$$v = \frac{1}{C} \int i dt$$

$$i = C \cdot \frac{dv}{dt}$$

Si la corriente de carga del capacitor es constante entre dos puntos determinados:

$$C = \frac{\Delta V}{\Delta t} = I$$

Donde:

$$\Delta V = 2 V_{be} = 1,2 \text{ volts.}$$

$$\Delta t = T/2$$

$$C = C_0$$

$$I = I_c = I_f$$

$$C = \frac{1,2 \text{ volts}}{T/2} = I_f$$

$$T = \frac{2,4 \cdot C_0}{I_f} \text{ volts.}$$

$$f = \frac{1}{2,4 \text{ volts}} \cdot \frac{I_f}{C_0}$$

Como se ve mediante la variación de la corriente I_f y la variación de C_0 , podemos controlar la frecuencia del oscilador.

Para un ajuste fino de la frecuencia hemos utilizado el siguiente sistema a la entrada del O.C.V. para controlar la corriente total de Q_5 y Q_6 . El voltaje de referencia a las bases de Q_5 y Q_6 (Fig. II-8) mantienen su voltaje de emisor constante en aproximadamente 4 V.

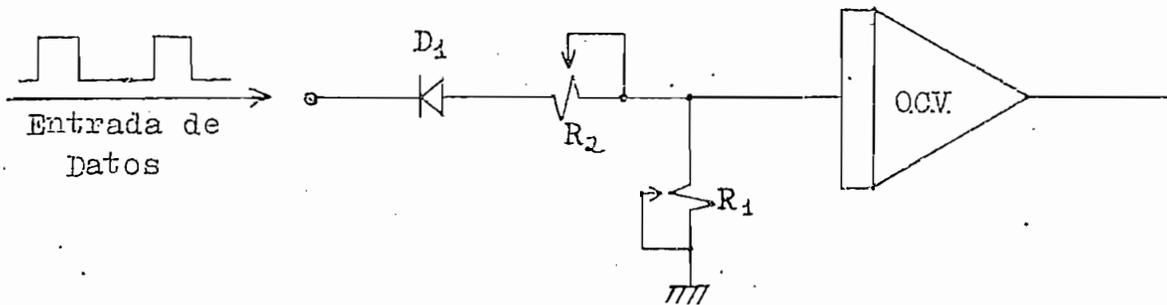


Fig. II-11.

Primeramente con 1 lógico (5 V) a la entrada, se regula la frecuencia menor, mediante el ajuste de R_1 . (Con 5 V a la entrada la corriente de D_1 y R_2 es cero). Luego se regula la frecuencia mayor con 0 lógico (0.2 V.) a la entrada - por el ajuste de R_2 . Con un incremento negativo de voltaje o corriente se aumenta la frecuencia de oscilación⁽¹⁾.

El propósito del diodo D_1 es evitar que exista co__rriente en sentido inverso con nivel 1 lógico a la entrada.

(1) Ver Fig. 6 de la hoja de datos del XR-205, Apén dice C

- Modulador Balanceado -

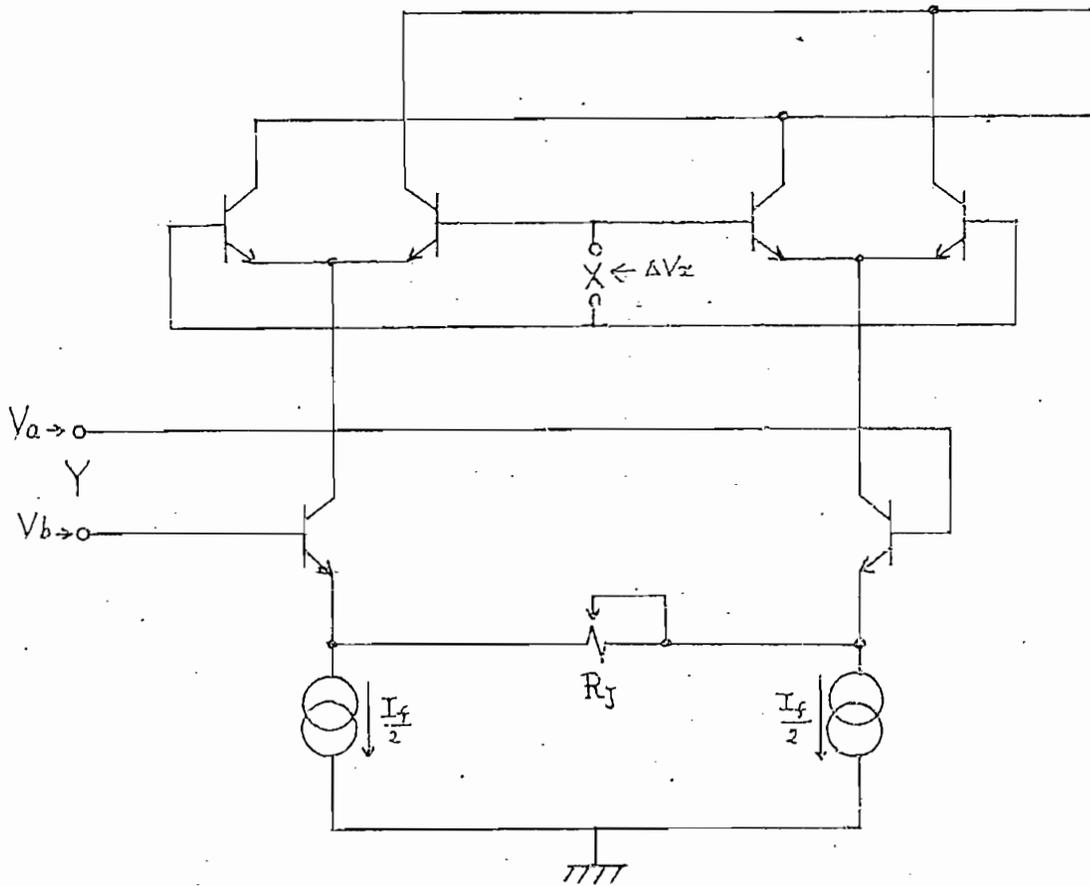


Fig. II-12

El circuito consiste en un amplificador diferencial cuádruple, el cual es manejado por un amplificador diferencial simple y este a su vez alimentado por dos fuentes de corriente constante. Las salidas de los colectores son acopladas en cruz de manera que se obtiene una multiplicación balanceada de onda completa de los voltajes de entrada. Esto

es la señal de salida, es igual a una constante por el producto de las dos señales de entrada.

En nuestro caso, la primera señal de entrada en los puntos X es un voltaje diferencial ΔV_x , constante y distinto de cero. La segunda señal de entrada, son las salidas V_a y V_b del O.C.V. que se aplican a los puntos Y del modulador, teniendo aquí una entrada diferencial de $V_y = V_a - V_b$ cuya forma es triangular y tiene variaciones de 1,2 Volts. pico-pico para las ondas del ejemplo tomado

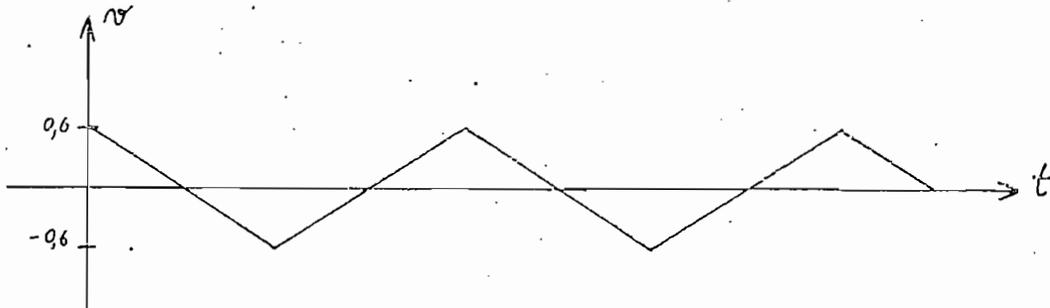


Fig. II-13

Primeramente analizaremos las características de transferencia de un amplificador diferencial.

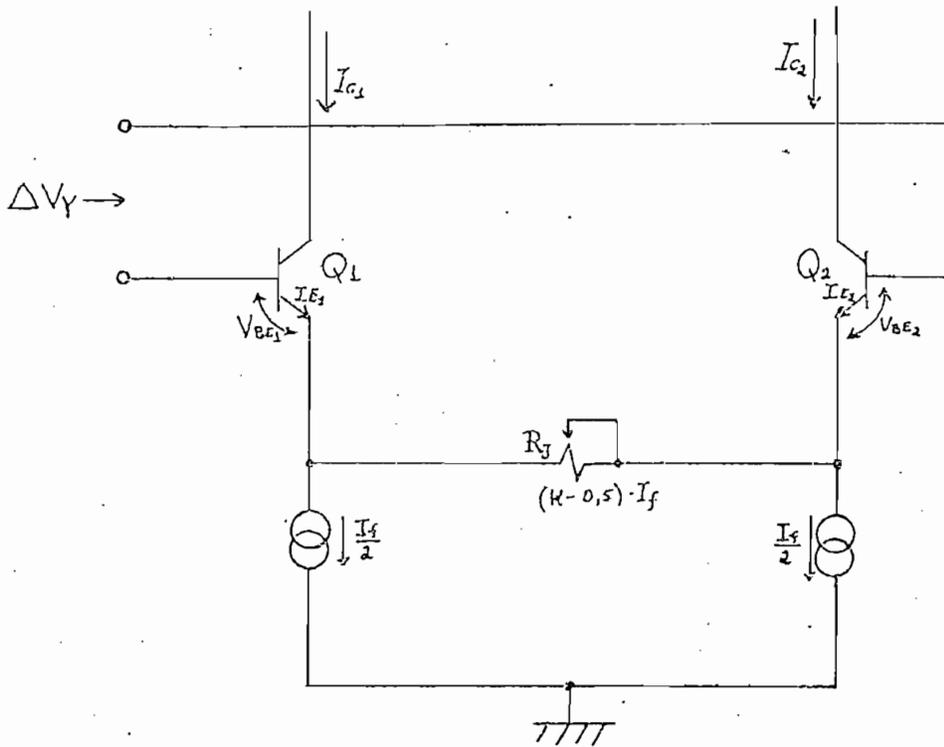


Fig. II-14

Si K es la fracción de corriente de las fuentes que va por el emisor de Q_1 :

$$I_{E1} = K I_f$$

Por el emisor de Q_2 :

$$I_{E2} = (1-K) I_f$$

Para el lazo interior del circuito:

$$\Delta V_\gamma = V_{BE1} + (K - 0,5) I_f \cdot R_j - V_{BE2}$$

La corriente de emisor en función del voltaje base-emisor

es:

$$I_E = I_0 (e^{V_{BE}/h} - 1) \quad ; \quad h = \frac{K \cdot T}{q}$$

I_0 = corriente inversa de saturación

K = constante de Boltzman

T = temperatura en °K

q = carga del electrón

Como la unión BE está trabajando directamente, tenemos $e^{V_{BE}/h} \gg 1$, y:

$$I_E = I_0 e^{V_{BE}/h}$$

$$V_{BE} = h \ln \frac{I_E}{I_0}$$

$$V_{BE1} - V_{BE2} = h \ln \frac{I_{E1}}{I_0} - h \ln \frac{I_{E2}}{I_0}$$

$$V_{BE1} - V_{BE2} = h \ln \frac{I_{E1}}{I_{E2}}$$

Sustituyendo los valores de las corrientes de emisor:

$$V_{BE1} - V_{BE2} = h \ln \frac{K I_f}{(1-K) I_f}$$

$$V_{BE1} - V_{BE2} = h \ln \frac{K}{1-K}$$

Sustituyendo en la ecuación de ΔV_y :

$$\Delta V_y = h \ln \frac{K}{1-K} + (K-0,5) I_f \cdot R_j$$

Si tomamos en esta ecuación $R_j = 0$:

$$\Delta V_y = h \ln \frac{K}{1-K}$$

$$\frac{K}{1-K} = e^{\Delta V_y/h}$$

$$K = \frac{1}{e^{-\Delta V_y/h} + 1}$$

$$I_{E1} = K \cdot I_f$$

$$I_{E1} = \frac{I_f}{e^{-\Delta V_y/h} + 1}$$

$$I_{C1} = \frac{\alpha \cdot I_f}{e^{-\Delta V_y/h} + 1}$$

De la misma manera:

$$I_{C2} = \frac{\alpha \cdot I_f}{e^{\Delta V_y/h} + 1}$$

Como la corriente I_f y α son constantes, se puede tomar a I_{C1} en unidades de (αI_f) y tomar variaciones de ΔV en unidades de h para representar I_{C1}

$\frac{\Delta V}{h}$	0	1	2	3	4	5
$\frac{I_c}{(\alpha \cdot I_f)}$	0,5	0,73	0,88	0,95	0,98	0,993

Tabla II-1

Con estos valores, se tiene la siguiente representación:

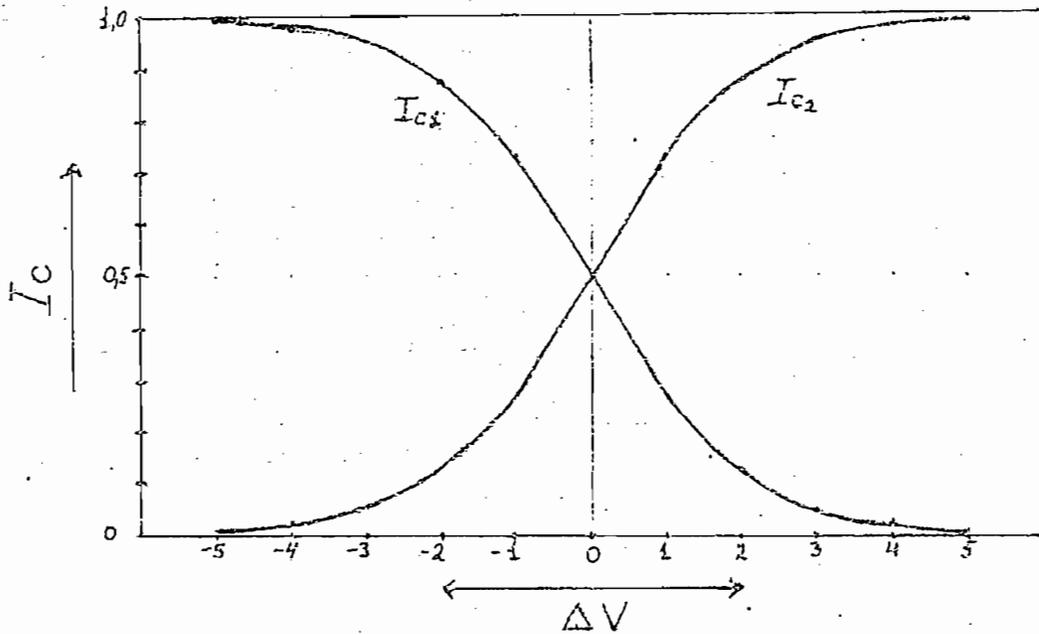


Fig. II-15

Es decir la variación de la corriente de salida I_c en función de la diferencia de voltaje de entrada da como resultado una curva en forma de "S" la cual es conocida como la "Característica de Transferencia del Amplificador Diferencial".

Como la entrada diferencial del primer amplificador: Y, es lineal con respecto del tiempo (onda triangular) y la función de transferencia del amplificador diferencial es en forma de "S", a la salida se obtendrá nuevamente una onda

de igual forma, la cual podemos aproximarla a la forma de una senoidal, variando la entrada de voltaje. Esta variación de ΔV_y , se efectúa por medio de la regulación de R_j , hasta alcanzar la onda deseada. Para ver esto volvamos a la ecuación anterior cuando $R_j \neq 0$:

$$\Delta V_y = h \ln \frac{K}{1-K} + (K-0,5) I_f \cdot R_j$$

Esta ecuación es función de una variación logarítmica de K , modificada por una variación lineal de K , correspondiente al segundo sumando ya que $I_f \cdot R_j$ es constante.

Este efecto se muestra en el siguiente gráfico, (Fig. II-16) para ΔV_y que corresponde a un valor de R_j igual a cero: ΔV_{y0} y ΔV_{y1} con $R_j = R_{j1}$, además se compara con una senoidal exacta.

Por último hagamos un análisis de las señales de salida I_s para el amplificador diferencial cuádruple

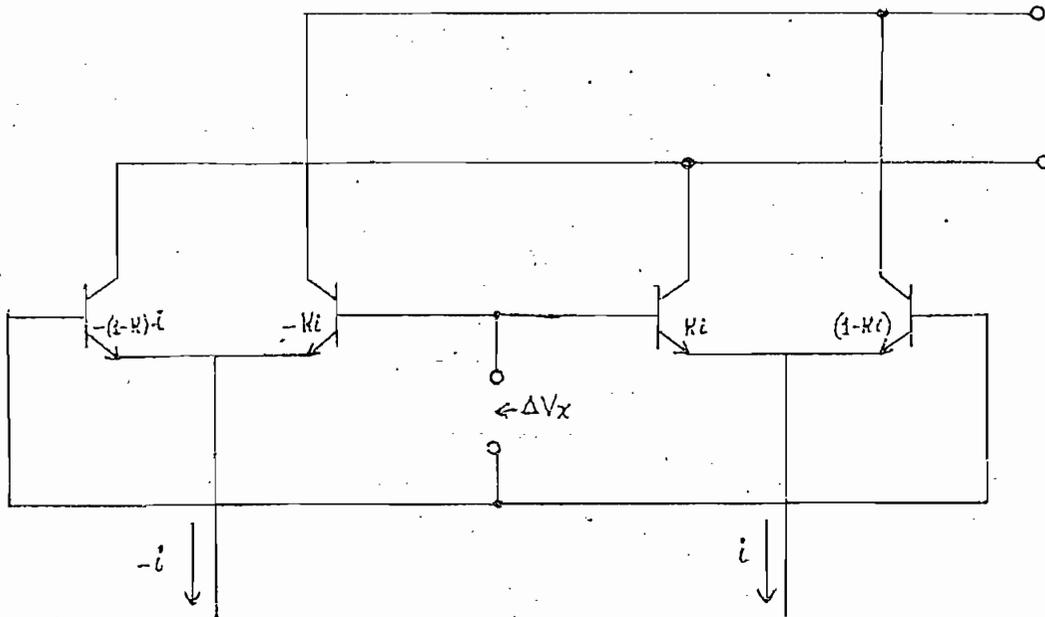


Fig. II-17

Aunque las corrientes estáticas de colector de los dos transistores del primer amplificador diferencial (Fig. II-14) tienen el mismo sentido, las corrientes de señal siempre tienen sentido opuesto, porque la corriente total es invariante. Por esta razón en la Fig. II-17, las dos corrientes de señal a la entrada están indicadas como i y $(-i)$ respectivamente.

Nuevamente K es la fracción de corriente que va por

un emisor, y se tiene que las corrientes en cada emisor son Ki y $(1 - K)i$, ya que:

$$K \cdot i + (1 - K) i = i$$

también:

$$-K i - (1 - K) i = -i$$

El valor de K se determinó anteriormente para el amplificador diferencial simple. En este caso K toma el valor de:

$$K = \frac{i}{e^{-\Delta V_x/h} + 1}$$

haciendo el desarrollo en series:

$$e^x = 1 + x + \frac{x^2}{2!} + \frac{x^3}{3!} + \dots$$

$$K = \frac{1}{2 - \frac{\Delta V_x}{h} + \frac{1}{2!} \left(\frac{\Delta V_x}{h} \right)^2 - \frac{1}{3!} \left(\frac{\Delta V_x}{h} \right)^3 + \dots}$$

$$K = \frac{1}{2} + \frac{1}{4} \frac{\Delta V_x}{h} - \frac{1}{48} \left(\frac{\Delta V_x}{h} \right)^3 + \dots$$

$$K \approx \frac{1}{2} + \frac{1}{4} \frac{\Delta V_x}{h}$$

por tanto la corriente de salida I_s :

$$I_s \approx (2K - 1) i$$

$$I_s \approx \left(1 + \frac{1}{2} \frac{\Delta V_x}{h} - 1 \right)$$

$$I_s = \frac{i}{2} \left(\frac{\Delta V_x}{h} \right)$$

En este sistema, el amplificador cuádruple se utiliza solamente para controlar la ganancia. Es decir controla la amplitud de la onda de salida, ya que en nuestro caso se toma ΔV_x constante y distinto de cero. Por tanto la forma de la corriente de salida I_s , tomará la forma de la señal de corriente i y está como afirmamos anteriormente es casi -- senoidal.

En otras aplicaciones (el mismo circuito integrado) puede ser utilizando como un Modulador o Demodulador de amplitud (como muestran las Figs. 16-20 de las hojas de datos del XR-205. Pags. 7-8 Apéndice C).

Finalmente, se expone el diagrama del circuito utilizado, (Fig. II-18), que es igual al que da el productor en las hojas de aplicaciones con algunas variaciones. Ver - Fig. 1 de las hojas de aplicaciones del XR-205, Apéndice C.

Además, se da un cuadro de valores, para algunos elementos de los moduladores.

2.- DEMODULADOR.-

2a.- El Circuito Utilizado.-

El demodulador consiste de un circuito integrado el XR-210, que constiene un detector de fase, un oscilador con trolado por voltaje (O.C.V.), un comparador de voltaje y una salida lógica binaria. Para efectuar la demodulación digital en frecuencia, se ha empleado la técnica del "Lazo Cerrado de Fase" (P.L.L.), con el filtro pasabajos externo al integrado, (Fig. II-19)

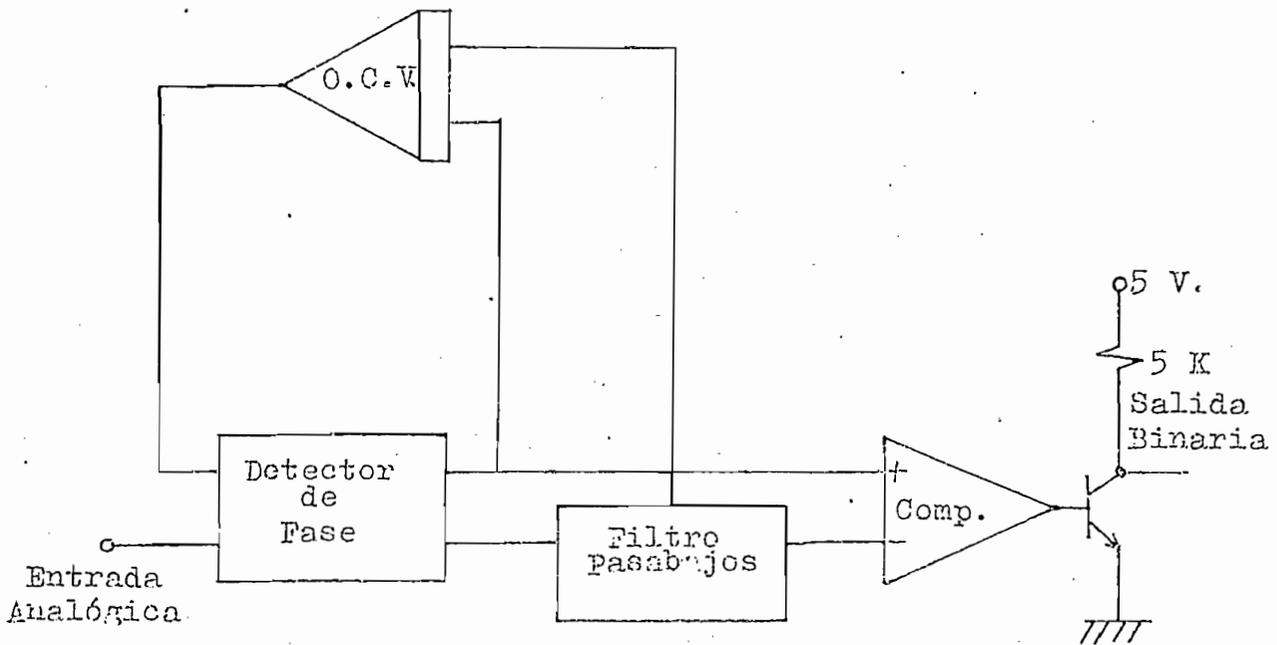


Fig. II-19

El análisis del funcionamiento del Oscilador Controlado por Voltaje se ha expuesto en la sección anterior (modulador).

De la misma forma el ajuste de frecuencia se hace por medio de un capacitor (C_0), (Fig.II-31) y por la variación de las corrientes de la fuente a través del potenciómetro R_p . Además se utiliza una resistencia R_0 para controlar la ganancia K_0 del amplificador de acoplamiento entre el detector de fase y la entrada de control del oscilador. Según los datos del productor el valor de K_0 es igual a: $700/R_0 \cdot C_0$ radianes/segundos por voltio.

La salida del oscilador O.C.V. se toma del punto que da la onda cuadrática, y tiene un acoplamiento capacitivo a la entrada del detector de fase.

- Detector de Fase. -

El diseño del detector de fase es también a base de un modulador balanceado, similar al analizado en la sección de la modulación. El diagrama típico escogido, para explicar la operación de nuestro circuito (Fig. 2-20), tienen además dos transistores Q_7 y Q_8 para acoplamiento del sistema, -

pues las tomas (4), (5), (6) del circuito utilizado (Fig. II-31) están polarizadas a un mismo nivel.

Los transistores Q_1 y Q_2 forman un amplificador diferencial que puede trabajar o en forma lineal para señales pequeñas, o como amplificador limitador para señales grandes.

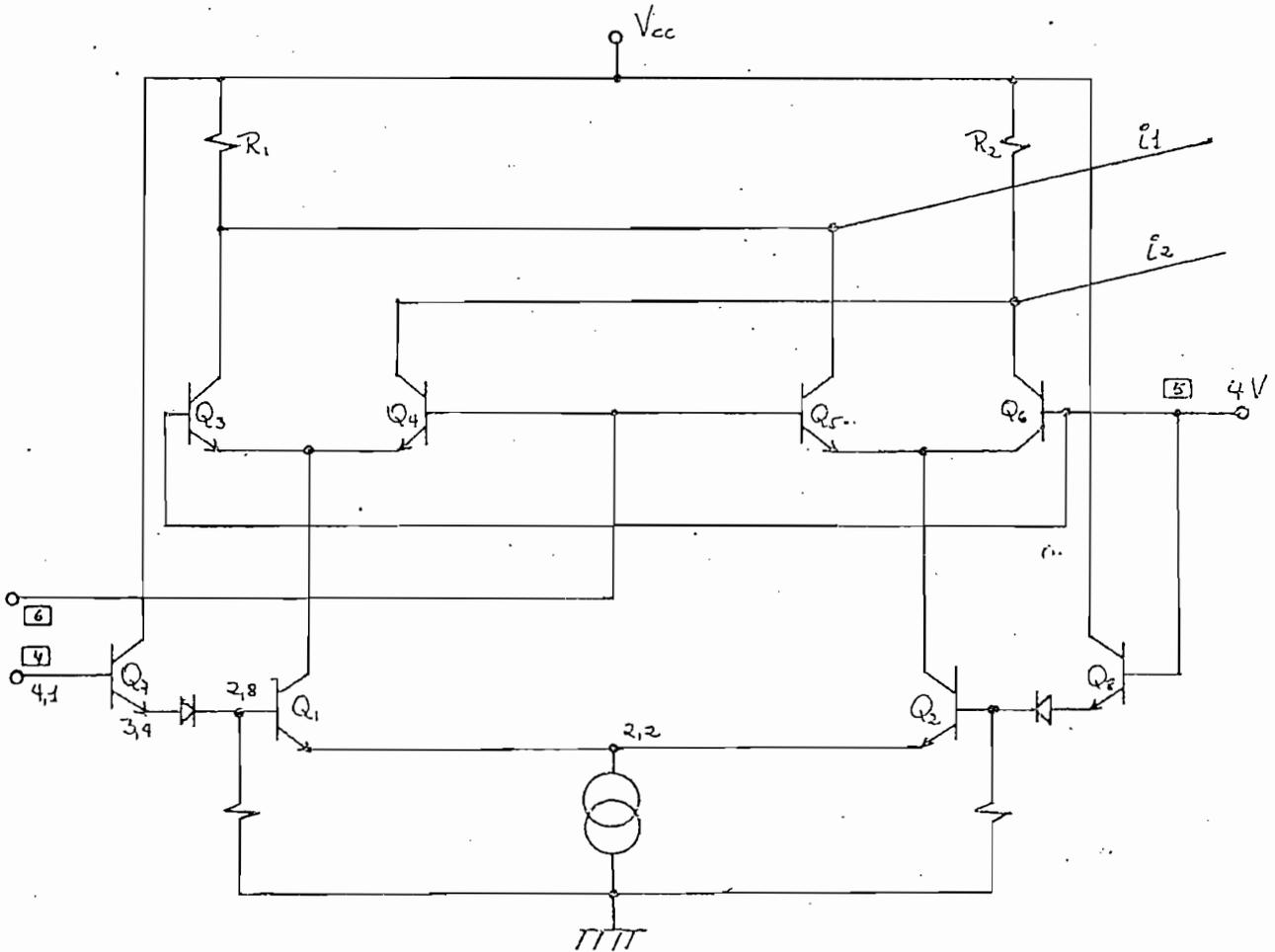


Fig. II-20

A la entrada (6) tenemos una señal de voltaje proveniente del O.C.V. y en (4) tenemos una señal de corriente de la onda modulada en frecuencia, mientras que en (5) se tiene nivel de referencia.

Cuando la entrada (6), es más negativa que el voltaje de referencia de (5), los transistores Q_3 y Q_6 , acoplan la corriente de colector de Q_1 a R_1 y la corriente de colector de Q_2 a R_2 respectivamente.

Si (6) es más positivo con respecto a (5), las corrientes pasarán por Q_4 y Q_5 a las resistencias en forma invertida, o sea las corrientes de colector de Q_1 a R_2 y la de Q_2 a R_1 .

Así los transistores Q_3 , Q_4 , Q_5 , Q_6 , hacen el papel de un conmutador sincrónico.

Las formas de onda de salida del detector, para señales relativamente pequeñas de entrada (Fig. II-21) y señales relativamente grandes de entrada (Fig. II-22) se muestran con diferentes ángulos de defasamiento ϕ entre las señales de entrada i_e y V_x .

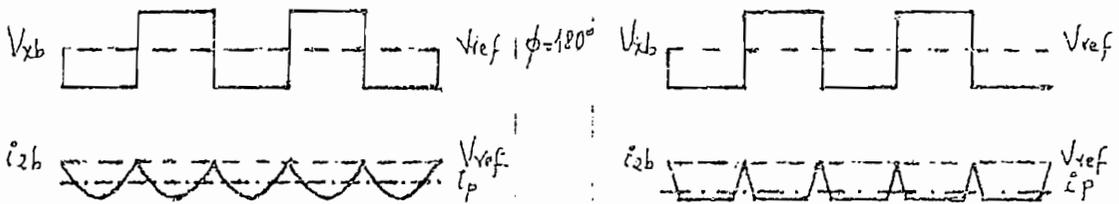
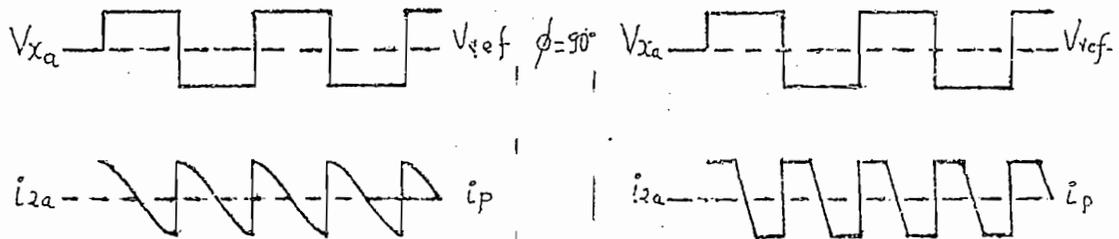
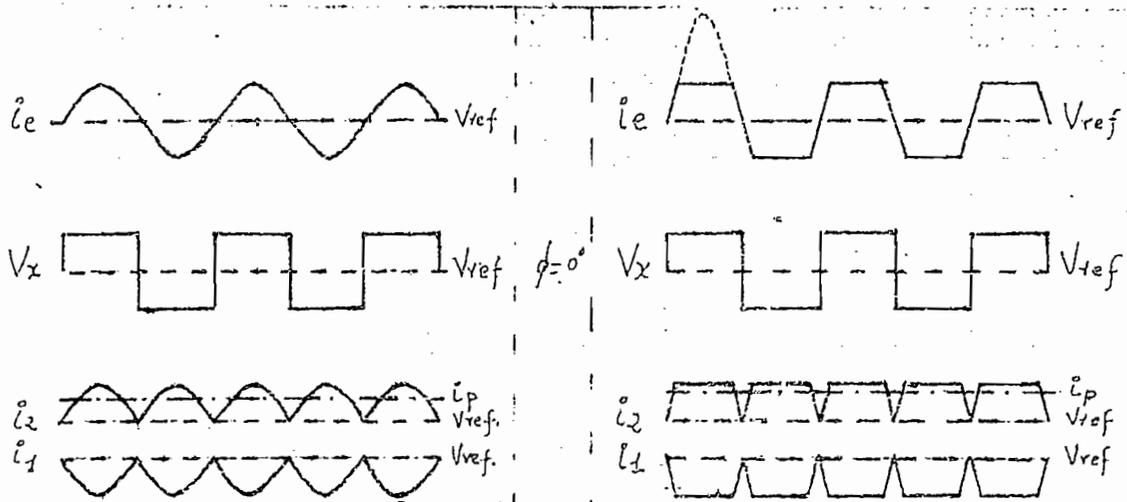


Fig. II-21

Fig. II-22

i_e = señales de corriente de entrada

V_x = señal de voltaje de entrada

i_1, i_2 = señales de salida de corriente

Si las dos señales de entrada son de la misma frecuencia y de amplitud constante, la corriente promedio de salida i_p , en las dos resistencias R_1 y R_2 dependerá del ángulo de fase de entrada.

Para comprobar lo dicho anteriormente haremos un análisis de la señal de corriente para señales relativamente pequeñas de entrada:

$$i_p = \frac{1}{T_2 - T_1} \int_{T_1}^{T_2} i dt$$

$$i_e = A \text{ Sen } \omega t$$

$$V_x \begin{cases} M = 1 & \phi < \omega T < \phi + \pi \\ M = -1 & \phi + \pi < \omega T < \phi + 2\pi. \end{cases}$$

ϕ = diferencia de fase

$\frac{\phi}{\omega}$ = diferencia de tiempo

M = factor de multiplicación

$$i_p = \frac{1}{T_2 - T_1} \int_{T_1}^{T_2} M \cdot A \text{ Sen } \omega t \cdot dt$$

$$i_p = \frac{1}{\omega} \left[\int_{\phi/\omega}^{\frac{\phi+\pi}{\omega}} A \cdot \text{Sen} \omega t \cdot dt + \int_{\frac{\phi+\pi}{\omega}}^{\frac{\phi+2\pi}{\omega}} (-1) \cdot A \cdot \text{Sen} \omega t \cdot dt \right]$$

$$i_p = \frac{2A}{\pi} \cos \phi$$

En este caso, se ve que i_p es proporcional al producto de la amplitud de la señal de entrada por el coseno del ángulo de defasamiento entre la señal de entrada y la señal del O.C.V.

A la salida del colector de Q_3 , el voltaje será de:

$$v_s = -R_1 \cdot \frac{2A}{\pi} \cdot \cos \phi$$

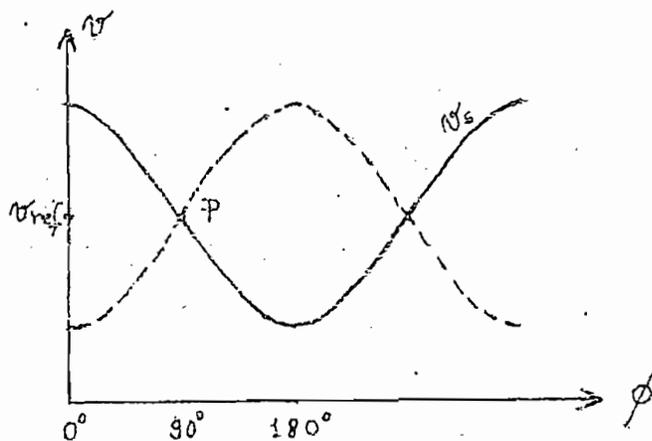


Fig. II-23

Para obtener una señal de salida que varíe casi linealmente con el defasamiento ϕ de las señales de entrada, se hace trabajar al amplificador diferencial aproximadamente en el punto de $\phi = 90^\circ$. En esta forma cuando hay variaciones hacia $\pm 90^\circ$ en relación al punto de funcionamiento P, se tendrá una salida de voltaje de error positivo o negativo, cuando $\phi < 90^\circ$ y $\phi > 90^\circ$ respectivamente, y una salida diferencial cero en el punto P.

Para señales bien grandes de entrada (en nuestro caso mayor a 200 mV. pico-pico), la onda de corriente promedio de salida i_p , es directamente proporcional al ángulo de defasamiento.

$$i_p = \frac{1}{T_2 - T_1} \int_{T_1}^{T_2} i \, dt$$

$$i_e = \begin{cases} M_1 = \frac{I_f}{2} & 0 < \omega t < \pi \\ M_1 = -\frac{I_f}{2} & \pi < \omega t < 2\pi \end{cases}$$

$$V_x \begin{cases} M_2 = 1 & \phi < \omega t < \phi + \pi \\ M_2 = -1 & \phi + \pi < \omega t < \phi + 2\pi \end{cases}$$

$$i_p = \frac{1}{T_2 - T_1} \int_{T_1}^{T_2} M_1 \cdot M_2 \cdot dt$$

$$i_p = \frac{1}{T_2 - T_1} \int_0^{2\pi/\omega} M_1 \cdot M_2 \cdot dt$$

Si $\phi < 90^\circ$:

$$i_p = \frac{1}{\frac{2\pi}{\omega}} \left[\int_0^{\phi/\omega} (M_1)(M_2) \cdot dt + \int_{\phi/\omega}^{\pi/\omega} (M_1)(M_2) dt + \int_{\pi/\omega}^{\frac{\phi+\pi}{\omega}} M_1 \cdot M_2 dt + \int_{\frac{\phi+\pi}{\omega}}^{\frac{2\pi}{\omega}} M_1 \cdot M_2 \cdot dt \right]$$

$$i_p = \frac{\omega}{2\pi} \left[\int_0^{\phi/\omega} \left(\frac{I_f}{2}\right) \cdot (-1) \cdot dt + \int_{\phi/\omega}^{\pi/\omega} \left(\frac{I_f}{2}\right) \cdot (-1) \cdot dt + \int_{\pi/\omega}^{\frac{\phi+\pi}{\omega}} \left(-\frac{I_f}{2}\right) \cdot (1) \cdot dt + \int_{\frac{\phi+\pi}{\omega}}^{\frac{2\pi}{\omega}} \left(\frac{I_f}{2}\right) \cdot (-1) \cdot dt \right]$$

$$i_p = \frac{I_f}{2} \cdot \frac{\omega}{2\pi} \left[\int_0^{\phi/\omega} -dt + \int_{\phi/\omega}^{\pi/\omega} dt + \int_{\pi/\omega}^{\frac{\phi+\pi}{\omega}} -dt + \int_{\frac{\phi+\pi}{\omega}}^{\frac{2\pi}{\omega}} dt \right]$$

$$i_p = \frac{I_f}{2} \cdot \frac{\omega}{2\pi} \left[-\frac{\phi}{\omega} + \frac{\pi - \phi}{\omega} - \frac{\phi}{\omega} + \frac{\pi - \phi}{\omega} \right] = \frac{I_f}{2} \cdot \frac{\omega}{2\pi} \cdot \left(\frac{2\pi - 4\phi}{\omega} \right)$$

$$\boxed{i_p = \frac{I_f}{2} \left(1 - \frac{2\phi}{\pi} \right)} \quad ; \quad 0 < \phi < \pi$$

El voltaje a la salida en uno de los colectores será:

$$E_p = -R_c \cdot \frac{I_f}{2} \left(1 - \frac{2\phi}{\pi}\right)$$

$$E_p = K_2 \left(\phi - \frac{\pi}{2}\right) \quad ; \quad K_2 = \frac{R_c \cdot I_f}{\pi}$$

Y tenemos la ecuación en que la salida es directamente proporcional al ángulo de defasamiento:

*

$$E_p = K_2 \left(\phi - \frac{\pi}{2}\right)$$

Ecuación (A)

2b.- El Sistema de Lazo de Fase Cerrado.

El sistema de Lazo Cerrado de Fase (P.L.L.) es una técnica que da la sintonía de una frecuencia seleccionada y el filtrado necesario sin necesidad de emplear bobinas.

El diagrama de Bloques de la técnica del P.L.L. (Fig. II-24), muestra que es un sistema realimentado, que consiste de:

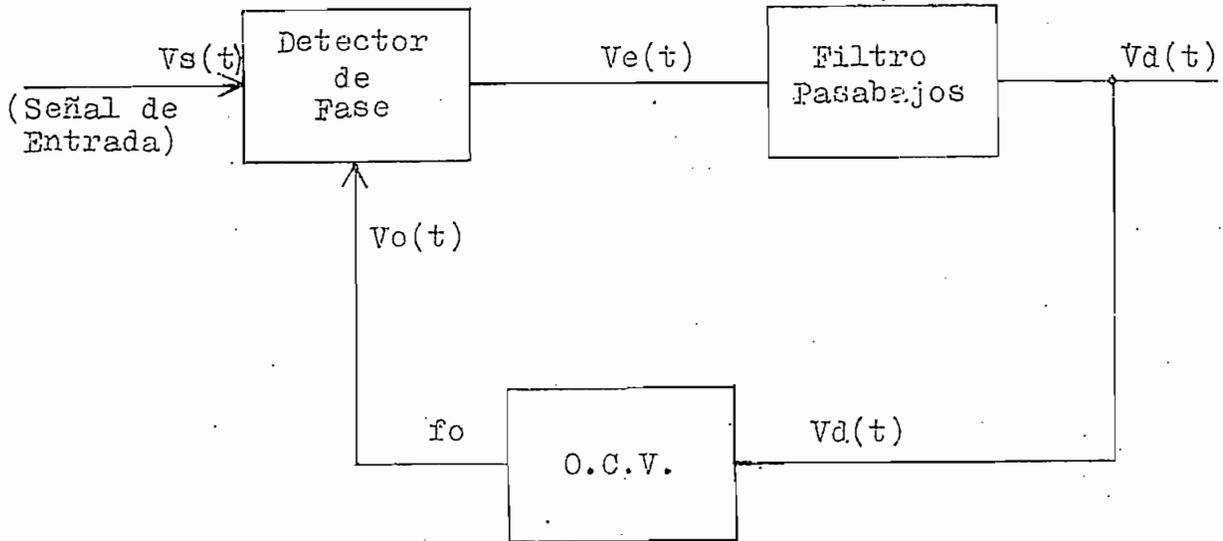


Fig. II-24

El detector de fase, mezcla la señal de entrada con la señal del O.C.V. comparando la fase y frecuencia de $V_s(t)$, con la fase y frecuencia de $V_0(t)$ y genera un error de voltaje $V_e(t)$

$$V_s(t) = E_s \cdot \text{Sen } \omega_s \cdot t$$

$$V_0(t) = E_0 \cdot \text{Sen } (\omega_0 t + \phi_0)$$

$$V_e(t) = E_s \cdot E_0 [\text{Sen } \omega_s t \cdot \text{Sen } (\omega_0 t + \phi_0)]$$

Si: $\omega_s = \omega_o$

$$V_e(t) = K_1 E_s E_o \{ \cos [(\omega_s + \omega_o)t + \phi_o] + \cos \phi_o \}$$

La señal V_e es pasada por el filtro pasabajos y aplicada del terminal de control de O.C.V. Si la frecuencia de la señal de entrada f_s , es lo suficientemente cercana a f_o la realimentación del sistema hace que el O.C.V. se sincronice o se "cierre" el lazo con la señal de entrada, obteniendo que la frecuencia f_o es idéntica a f_s y por tanto $f_s - f_o = 0$ mientras que la señal de frecuencia $f_s + f_o$ es suprimida mediante el filtro, teniendo a la salida una componente de DC.

La magnitud de este error de voltaje obtenido después del filtro es función directa de la relación de fase entre O.C.V. y la señal de entrada:

$$* V_d(t) = K_2 \cdot E_s \cdot E_o \cdot \cos \phi_o$$

Y es precisamente este error de voltaje el que manipula al O.C.V. para mantener $f_s = f_o$, cuando el lazo está cerrado.

Para analizar la estabilidad de este sistema, se -

Pag. 62 En el caso práctico es $K_2 (\phi - \pi/2)$, ver Ec. A; -

ha tomado el modelo linealizado del sistema P.L.L. (1):

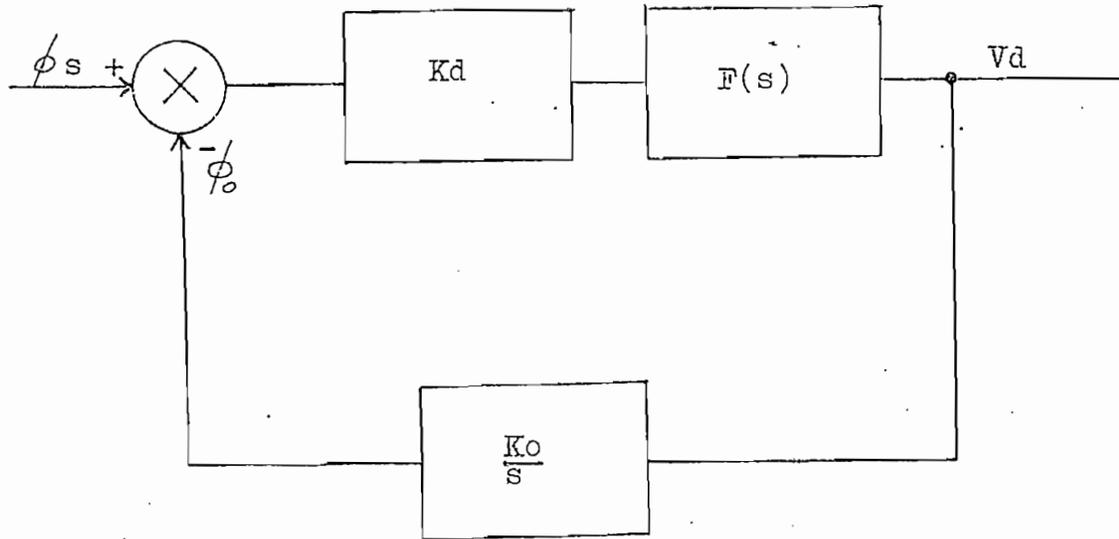


Fig. II-25

K_d : ganancia del detector de fase, en Volt/rad. Esta es --
proporcional a la amplitud de la señal para entradas de --
señal pequeñas (25 mV., r.m.s.) y es constante (2 V/rad) --
a señales de gran nivel de entrada como muestra la Fig. 15
de las hojas de datos del XR-210.

K_o : conversión de ganancia del O.C.V. en (rad/seg)/Volt. --

De las hojas de datos:

$$K_o \approx \frac{700}{C_o \cdot R_o} = \frac{700}{8,2k\Omega \cdot 0,1 \cdot 10^{-6} F} = 853,65 \frac{\text{rad/seg}}{\text{Volt}}$$

(1) Ver hoja de datos. Pag. 5, XR-210; Apéndice C.

$F(s)$: función de transferencia del filtro

Analizemos la función de transferencia $G(s)$ del sistema:

ϕ = ángulo de fase

$$H(s) = \frac{V_d}{\phi_s} \left(\frac{\text{volts}}{\text{rad.}} \right)$$

$$H(s) = K_d \cdot F(s) \cdot \frac{\phi_e}{\phi_s}$$

pero: $\phi_e = \phi_s - \phi_o$

$$\phi_e = \phi_s - V_d \cdot \frac{K_o}{s}$$

$$\phi_e = \phi_s - F(s) \cdot K_d \cdot \phi_e \cdot \frac{K_o}{s}$$

$$\phi_e + F(s) \cdot K_d \cdot \phi_e \cdot \frac{K_o}{s} = \phi_s$$

$$\phi_e \left(1 + K_d \cdot F(s) \cdot \frac{K_o}{s} \right) = \phi_s$$

$$\frac{\phi_e}{\phi_s} = \frac{1}{1 + K_d \cdot F(s) \cdot \frac{K_o}{s}}$$

$$H(s) = K_d \cdot F(s) \cdot \frac{1}{1 + K_d \cdot F(s) \cdot \frac{K_o}{s}}$$

$$H(s) = \frac{K_d \cdot F(s)}{1 + K_d \cdot F(s) \cdot \frac{K_c}{s}} \quad \frac{\text{volts}}{\text{rad/s}}$$

La función de transferencia $H(s)$, es para señales de fase de entrada. En nuestro caso, a la salida del filtro tendremos una demodulación de las señales de información que llegan moduladas en frecuencia. Por tanto para señales de frecuencia en la entrada la función de transferencia $G(s)$ será:

$$G(s) = \frac{H(s)}{s}$$

La fase en el dominio del tiempo es:

$$\phi = \int \omega dt$$

En el dominio de frecuencia:

$$\phi = \frac{\omega}{s}$$

Ya que S puede ser considerado como operador,

$$\frac{1}{s} \equiv \int_0^t dt$$

Tenemos:

$$H(s) = \frac{V_d}{\phi} \quad ; \quad \phi = \omega/s$$

$$H(s) = \frac{V_d}{\omega/s} = \frac{V_d}{\omega} \cdot s$$

$$\frac{H(s)}{s} = \frac{V_d}{\omega}$$

$$\frac{H(s)}{s} = G(s)$$

$$G(s) = \frac{V_d}{\omega}$$

$$G(s) = \frac{K_d \cdot F(s)}{s + K_d \cdot K_o \cdot F(s)}$$

Obtengamos primeramente $F(s)$. El filtro usado es el siguiente:

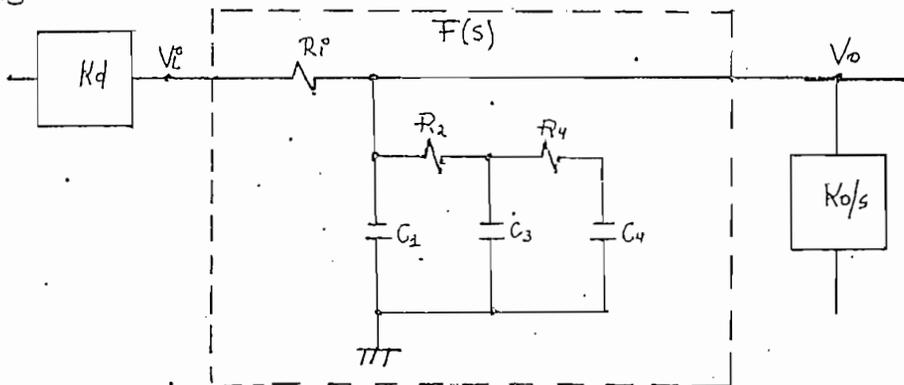


Fig. II-26

$R_1 = 6 \text{ K}\Omega$, resistencia interna (de la hoja de datos)

$R_2 = 10 \text{ K}\Omega$,

$R_4 = 5 \text{ K}\Omega$

$C_1 = C_3 = C_4 = .033 \text{ Mf}$.

$V_i = 2 \text{ Volts/radian}$

Estos valores se han tomado para analizar el compor

tamiento del sistema, en la banda alta utilizada:

$$* F(s) = \frac{V_0}{V_i} = \frac{Z_F}{R_i + Z_F}$$

Z_F = Impedancia del Filtro.

Para los valores indicados:

$$F(s) = \frac{S^2 5,445 \cdot 10^{-8} + S 8,25 \cdot 10^{-4} + 1}{S^3 \cdot 1,078 \cdot 10^{11} + S^2 25,047 \cdot 10^8 + S 14,19 \cdot 10^{-9} + 1}$$

$$F(s) = \frac{(S + 1328,63) (S + 13822,89)}{(S + 818,92) (S + 7694,93) (S + 14720,8)}$$

En el gráfico semilogarítmico (Fig. II-27) se representa la respuesta de frecuencia del filtro $F(j\omega)$

$$F(j\omega) = \frac{\left(\frac{j\omega}{1328,63} + 1 \right) \left(\frac{j\omega}{13822,89} + 1 \right)}{\left(\frac{j\omega}{818,92} + 1 \right) \left(\frac{j\omega}{7694,93} + 1 \right) \left(\frac{j\omega}{14720,84} + 1 \right)}$$

Que nos indica que tiene dos ceros y tres polos como muestra la curva asintótica.

Además se ha dibujado la curva del módulo $|F(jw)|$ - en decibelios, así también como el valor del ángulo Θ (Fig. - II-27), en función de w cuyos valores se dan en el siguiente cuadro*:

w	$ F(jw) $	Θ°	$ F(jw) $ db	f (Hz)
0	1,00	-0,034	0	0
10	1,00	-0,034	0	1,59
100	0,995	-3,377	-0,2	15,92
300	0,962	-9,553	-0,4	48,00
500	0,910	-14,375	-1,0	79,61
600	0,883	-16,233	-1,2	95,54
1000	0,787	-20,871	-2,2	159,24
1500	0,71	-23,556	-3,0	240,00
2000	0,664	-25,403	-3,6	318,47
2500	0,632	-27,236	-4,0	398,09
5000	0,531	-37,469	-5,6	796,18
10.000	0,386	-53,614	-8,4	1.592,36
10^5	0,05	-85,38	-26,6	$1,59 \times 10^5$
10^{13}	5×10^{-10}	-89,999	-60	$1,59 \times 10^{22}$

Tabla II-2

* Ver cálculos en el Apéndice A. Pág 236.

La respuesta de frecuencia del filtro nos dice que señales de modulación de entrada a frecuencias bajas (hasta 150 Hz), tienen atenuación: $< 2\text{db}$, mientras que a frecuencias mayores la atenuación aumenta progresivamente hasta unos 1500 Hz, y para frecuencias mayores la atenuación aumenta bruscamente, observando que las señales de frecuencias altas son fuertemente atenuadas.

Se puede observar también que el ángulo correspondiente aumenta en sentido negativo a -90° alcanzando este valor en el infinito.

El efecto del filtro pasabajos, es entregar una onda redondeada (casi senoidal) a la frecuencia de la modulación al comparador.

Volvamos a la función de transferencia del sistema de lazo de fase cerrado:

$$G(s) = \frac{K_d \cdot F(s)}{s + K_d \cdot K_o \cdot F(s)} \quad ; \quad F(s) = \frac{N(s)}{M(s)}$$

$$G(s) = \frac{K_d \cdot N(s)}{s \cdot M(s) + K_d \cdot K_o \cdot N(s)}$$

Para los valores escogidos de la banda alta:

$$* G(s) = \frac{(s+1328,63)(s+13822,88)}{(s+6608,95)(s+14680,23)(s^2 + 51945,55s + 1634,962 \cdot 10^3)}$$

$$G(s) = \frac{1}{853,659} \cdot \frac{\left(\frac{s}{1328,63} + 1\right) \left(\frac{s}{13822,89} + 1\right)}{\left(\frac{s}{6608,96} + 1\right) \left(\frac{s}{14680} + 1\right) \left[\left(\frac{s}{1278,66}\right)^2 + 1,5 \left(\frac{s}{1278,66}\right) + 1 \right]}$$

La estabilidad relativa del sistema nos da el máximo de resonancia G_p , que es el valor máximo que puede tomar el $G(s)$.

* Ver cálculos en el Apéndice A, Pág. 238.

G_p está dado por:

$$*G_p = \frac{1}{2\xi\sqrt{1-\xi^2}}$$

ξ = factor de amortiguamiento

Para valores de $\xi > 0,707$ el valor de G_p siempre es menor que uno. En nuestro sistema el factor de amortiguamiento $\xi = 0,75$, por lo tanto en la respuesta de frecuencia $|G(j\omega)|$ siempre será menor que 0db por lo que el sistema es definitivamente estable.

En la (Fig. II-28) se muestra la representación logarítmica de $|G(j\omega)|$

La función de transferencia $G(s)$, considera la respuesta de frecuencia de la señal de entrada a la salida sin tomar en cuenta el efecto del filtro pasabajos. Para ver el efecto total que sufre una señal de entrada hasta ser entregada en el punto del comparador, (pata (1) de la Fig.II-31) veamos la función de transferencia $P(s)$ referente al siguiente circuito:

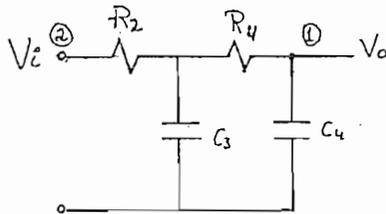


Fig. II-29

$$R_2 = 10 \text{ K}\Omega$$

$$R_4 = 5 \text{ K}\Omega$$

$$C_3 = C_4 = 0,033\text{Mf}$$

$$* P(s) = \frac{V_o}{V_i}$$

$$P(s) = \frac{1}{s^2 5,445 \cdot 10^{-9} + s 8,25 \cdot 10^{-4} + 1}$$

$$P(s) = \frac{1}{(s + 1328,13)(s + 13822,89)}$$

Ver cálculos en el Apendice A Pag. 239

La función de transferencia $P(s)$ nos indica que sirve para atenuar señales no deseadas. Pues el detector, además de la salida de una señal de voltaje proporcional a las diferencias de fase entre las señales de entrada, produce una señal cuya frecuencia es el doble de la portadora, esta señal puede observarse en la pata (2) del circuito integrado (Fig. II-31) equivalente al punto de entrada de $P(s)$, mientras que después del efecto del filtro, esta es suprimida, (pata (1) del circuito integrado).

Por la función $G \cdot P(s)$, (Fig. II-30) se puede observar que el sistema trabaja como un filtro pasabajos para la modulación, y por lo tanto es un filtro pasabanda para la portadora y sus bandas laterales.

Las ventajas de utilizar el sistema pasabandas es que rechaza ruidos y permite la transmisión simultánea de señales en ambos sentidos.

$$G(s) \cdot P(s) = \frac{1}{(s + 6608,95)(s + 14180,25)(s^2 + 51945,55s + 1634,912 \cdot 10^3)}$$

$$G(s) \cdot P(s) = \frac{1}{853,653} \cdot \frac{1}{\left(\frac{s}{1608,95} + 1\right) \left(\frac{s}{14180} + 1\right) \left[\left(\frac{s}{1278,66}\right)^2 + 4,5 \left(\frac{s}{1278,66}\right) + 1\right]}$$

Ahora, vamos a referirnos a dos parámetros de importancia en la técnica de "Lazo Cerrado de Fase". Estos son el "Rango de sintonía" ó "WL" y el "Rango de captura" ó "WC"

El "Rango de sintonía", es la banda de frecuencias alrededor de la frecuencia fundamental, sobre la cual el lazo puede mantener el sincronismo una vez que lo tiene.

El "Rango de captura", es la banda de frecuencias sobre la cual, el lazo puede adquirir el sincronismo, este es menor al rango de sintonía.

$$WL = \text{rango de sintonía}$$

$$WL = K_d K_o = 1706 \text{ r/seg} = 283 \text{ c/seg}$$

$$WL = 283 \text{ Hz.}$$

Es decir para los 200 Hz que se tiene de desplazamiento entre una y otra frecuencia, el rango de sintonía es suficiente.

Finalmente a las entradas del comparador tenemos,-- (Fig. II-31) en la una un voltaje de referencia que corresponde a la una salida del detector de fase. En la otra entrada se tiene señal demodulada en frecuencia, para (1), ya filtrada cuyo nivel de voltaje relativo a la referencia es positivo cuando la frecuencia de entrada corresponde a 1 lógico en el modulador y negativa para 0 lógico. Esta variación de nivel de voltaje pasa al comparador que entrega a la salida la información, nuevamente a niveles lógicos T.T.L.

La Fig. II-31, muestra el diagrama utilizado, dado por el productor, (Ver hojas de datos del XR-210. Fig. 17.). Además, se da un cuadro de valores, para algunos elementos -- de los demoduladores en las diferentes condiciones de operación.

CAPITULO III

CONVERSION, CONTROL, SIMCRONISMO.

De acuerdo a las especificaciones expuestas en el Capítulo I, ahora nos toca analizar el diseño lógico del sistema propuesto.

Para cumplir nuestro cometido, se han usado los circuitos integrados de lógica T.T.L. No nos ocuparemos de analizar el comportamiento interno de estos, sino que una vez escogido alguno, nos guiaremos por la tabla de funcionamiento que da el productor y proseguiremos con el diseño lógico.

El diagrama lógico completo del sistema, (Fig. D-1), así también los diagramas de tiempo completos del sistema, tanto para transmisión (Fig. D-2) y para recepción (Fig. D - 3), se muestran en el Apéndice D.

A.- CONVLRSION

1.- SELECTORES.-

El selector escoge de cuatro grupos de caracteres que posteriormente forman los siguientes grupos de bytes: el BPI (byte de principio), el BNB (byte de número de bytes) y - BDD (byte de datos), el BCH (byte de chequeo), y el BCN (byte de contestación). Las salidas de los elementos que generan cada uno de los caracteres están conectados a las entradas de los selectores, los cuales dejan pasar a uno de los grupos a las entradas del convertidor, de acuerdo a las señales de control CA y CB que manejan las entradas de control So y Sl de - los selectores.

Cada selector es un circuito integrado 9309 ⁽¹⁾ de los cuales se han usado cuatro (Fig. III-1). Un selector - puede ser descrito como un conmutador de dos polos para cua__tro posiciones, las cuales son controladas por los niveles ló gicos a las entradas So y Sl. La tabla de verdad de uno de ellos, se da a continuación:

(1) Ver manual "ADVANCED MICRO DEVICES INC"

So	Sl	Ioa	I ₁ ^a	I ₂ ^a	I ₃ ^a	Za
L	L	L	X	X	X	L
L	L	H	X	X	X	H
H	L	X	L	X	X	L
H	L	X	H	X	X	H
L	H	X	X	L	X	L
L	H	X	X	H	X	H
H	H	X	X	X	L	L
H	H	X	X	X	H	H

So	Sl	Iob	I ₁ ^b	I ₂ ^b	I ₃ ^b	Zb
L	L	L	X	X	X	L
L	L	H	X	X	X	H
H	L	X	L	X	X	L
H	L	X	H	X	X	H
L	H	X	X	L	X	L
L	H	X	X	H	X	H
H	H	X	X	X	L	L
H	H	X	X	X	H	H

Tabla III-1

Para el circuito utilizado, So y Sl siguen las transiciones mostradas en la Tabla III-2, para permitir el paso sucesivo de los BPI, BNB y BDD, y BCE durante la transmisión, y durante recepción el paso del BCN

So = CA	Sl = CB	
L	L	←Se carga el BPI, (en Tx)
H	L	←Se carga el BNB y los BDD, (en Tx)
H	H	←Se carga el BCH, (en Tx)
L	H	←Se carga el BCN, (en Rx)

Tabla III-2

Como se ve en el dibujo, el carácter del BPI tiene una combinación fija de 1010101, los caracteres de el BNB y los BDD son generados por la fuente de datos, el carácter del BCH es generado por el sistema de control de error, el BCN -- que depende de la señal RC y de cuatro conecciones fijas. Las siete salidas Zn de los selectores que pueden dejar pasar uno de estos caracteres, son pasados directamente a las entradas paralelo del convertidor, para cargar sucesivamente estos.

2.- CONVERTIDORES PARALELO-SERIAL Y SERIAL-PARALELO.-

Para transmitir un bloque de datos, primeramente se forman los bytes de información, lo cual se realiza por la unión de los siete bits de cada carácter que se recibe paralelamente por medio del selector, y los bits de comienzo: C, de fin: F, los respectivos de paridad: P, que son agregados internamente a los del carácter.

Como se ha establecido que la transmisión es serial por byte y serial por bit, es necesario una conversión paralelo-serial de estos bytes; para lo cual primeramente es almacenado un "byte a la vez" en un registro, y para tenerlo en su forma serial se desplazan los bits del registro hacia la salida para ser tomado "un bit a la vez".

De manera similar la conversión serial-paralelo lo realiza un terminal que recibe los datos en forma serial almacenando los bits que van llegando en el registro de desplazamiento, y cuando un byte se ha completado, este es tomado en forma paralela de las salidas del registro.

-Circuito Utilizado.-

Para realizar tanto la conversión paralela-serial

(P/S) y serial paralela, (S/P), se utilizan tres registros de desplazamiento conectados en cadena (Fig. III-2), con el objeto de extender la capacidad de 4 bits que permite cargar uno de ellos para los 10 bits que tienen nuestros bytes de datos. Estos se manipulan con señales de control convenientes para - que trabajen como convertidores P/S o como convertidores S/P.

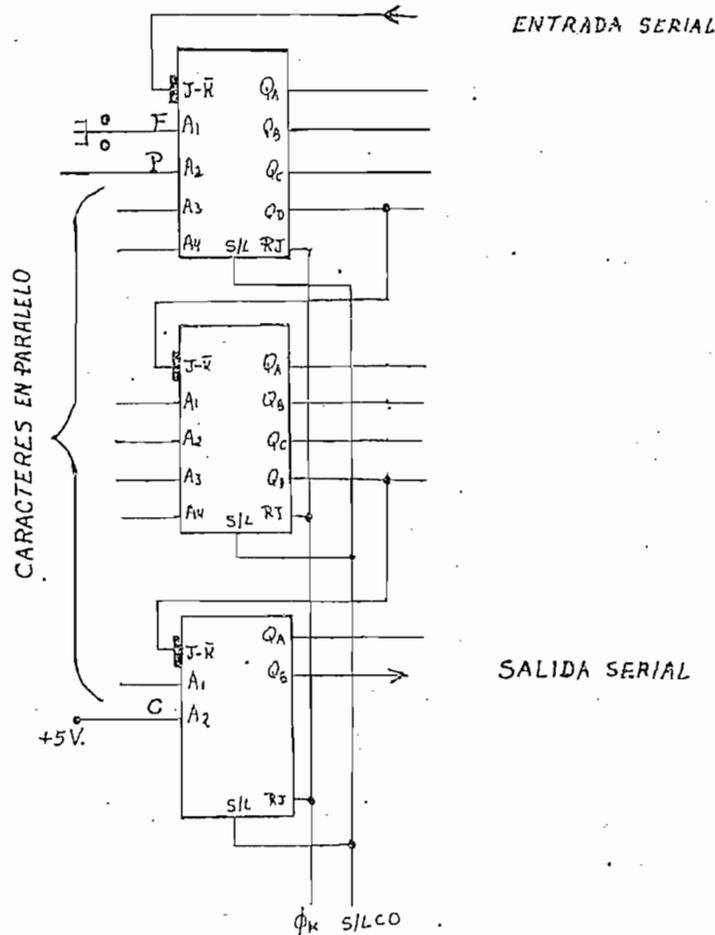


Fig. III-2

Cada registro de desplazamiento es un circuito integrado SN74195, (Fig. III-3), capaz de realizar cargas paralelas sincronizadas con transiciones positivas de reloj para cuatro bits, y dar las salidas paralelas de estas. Permite la entrada serial J - \bar{K} realiza el desplazamiento de la información acumulada de QA a QD. Todo esto es controlado mediante la entrada de "carga de desplazamiento": S/L, y la entrada del reloj: RJ.

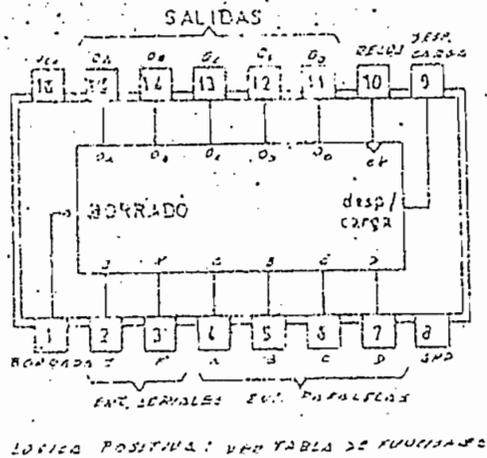


Fig. III-3

El modo de operación de cada circuito se puede ver en la tabla de estados, (tabla III-3), y en los diagramas de tiempo, (Fig. III-4) dados por el productor.

ENTRADAS						SALIDAS							
Limpiar	Desp/ Carga	Reloj	Serial J \bar{K}		Paralela A B C D				Q_A	Q_B	Q_C	Q_D	\bar{Q}_D
L	X	X	X	X	X	X	X	X	L	L	L	L	H
H	L	↑	X	X	a	b	c	d	a	b	c	d	\bar{d}
H	H	L	X	X	X	X	X	X	Q_{AO}	Q_{BO}	Q_{CO}	Q_{DO}	\bar{Q}_{DO}
H	H	↑	L	H	X	X	X	X	Q_{AO}	Q_{AO}	Q_{Bn}	Q_{Cn}	\bar{Q}_{Cn}
H	H	↑	L	L	X	X	X	X	L	Q_{An}	Q_{Bn}	Q_{Cn}	\bar{Q}_{Cn}
H	H	↑	H	H	X	X	X	X	H	Q_{An}	Q_{Bn}	Q_{Cn}	\bar{Q}_{Cn}
H	H	↑	H	L	X	X	X	X	\bar{Q}_{An}	Q_{An}	Q_{Bn}	Q_{Cn}	\bar{Q}_{Cn}

*Tabla III - 3

En la tabla III-3 la simbología es la siguiente:

H = 1 lógico (estado estacionario)

L = 0 lógico (estado estacionario)

X = estado "que importa" (cualquier entrada incluso ---
transiciones)

↑ = transiciones de bajo a alto nivel

a, b, c, d = nivel de entrada de 1 ó 0 lógico en A, B, C, D, res
pectivamente

Q_{AO} , Q_{BO} , Q_{CO} , Q_{DO} = Niveles de Q_A , Q_B , Q_C , Q_D , respectivamen

* Las tablas de funciones y de estados, condiciones de operación, expuestas en este trabajo, para los circuitos integrados más importantes, se han tomado del libro: "The --
T.T.L. Data Book" de la Texas Instrument

te, antes de que las condiciones estacionarias de entrada, sean indicadas.

Q_{An} , Q_{Bn} , Q_{Cn} , = los niveles de Q_A , Q_B , Q_C , respectivamente, antes de la más reciente transición de reloj.

Los siguientes diagramas de tiempo muestran, las secuencias típicas de limpiar (borrar), desplazamiento y carga:

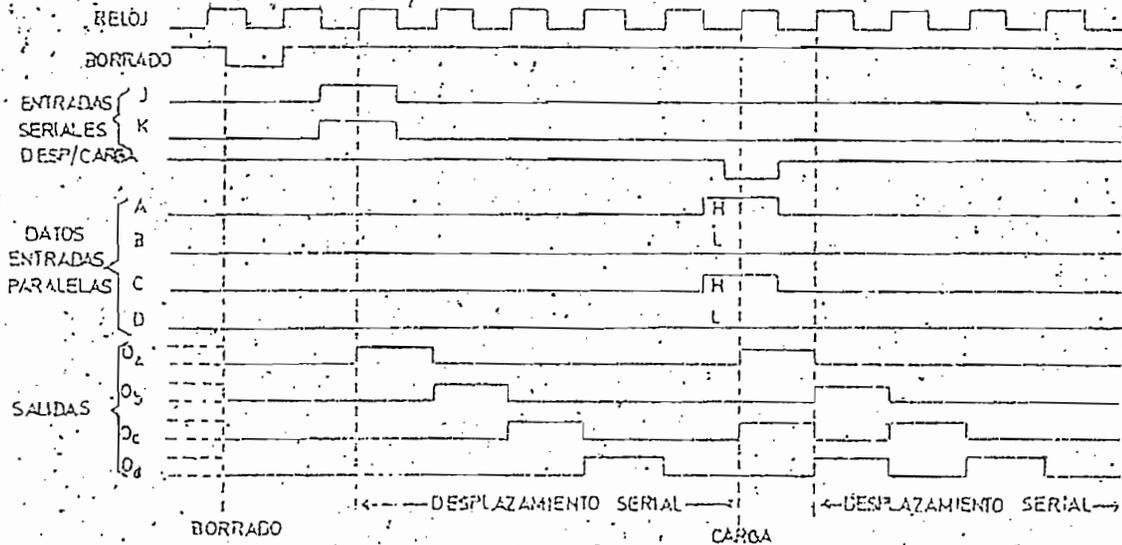


Fig. III-4

Condiciones de Operación Recomendadas para el Circuito

SN74195

	Mínimo	Normal	Máximo	Unidad
Voltaje de trabajo, Vcc	4,75	5	5,5	Voltios
Salida de corriente para el nivel alto, I _{oH}			-800	uA
Salida de corriente para el nivel bajo, I _{oL}			16	mA
Frecuencias de Reloj	0		30	MHz
Ancho del pulso de entrada del reloj	16			ns
Ancho del pulso de entrada de Limpiar	12			ns
*Tiempo de preparación (T _{set-up})	-Carga/desplazamiento (S/L)	25		ns
	-Datos seriales y paralelos	15		
	-Estado inactivo de Limpiar	25		
			10	ns
Tiempo de Liberación de S/L			10	ns
Tiempos de retención serial y paralelo (T _{hold})	0			ns
Operaciones en la temperatura ambiente	0		70	°C

Tabla III-4

* Ver definiciones y Fig. III-5

Vamos a definir algunas características dinámicas, que han resultado de especial interés en el diseño de las señales de control de estos circuitos. Los tiempos de preparación (t_{set-up}) y de retención (t_{hold}), (Ver Fig. III-5) -- son intervalos de tiempo para los cuales una señal o pulso -- debe ser aplicada y mantenida en un nivel específico de entrada antes y después respectivamente, de que una transición activa ocurra en otro terminal específico de entrada.

El tiempo de liberación ($t_{release}$) es el tiempo máximo que debe transcurrir después de la terminación de un pulso, hasta comenzar una operación controlada por cierto otro pulso. (Ejemplo: el tiempo entre el regreso de la señal de carga a su nivel alto, antes de la próxima transición positiva del reloj)

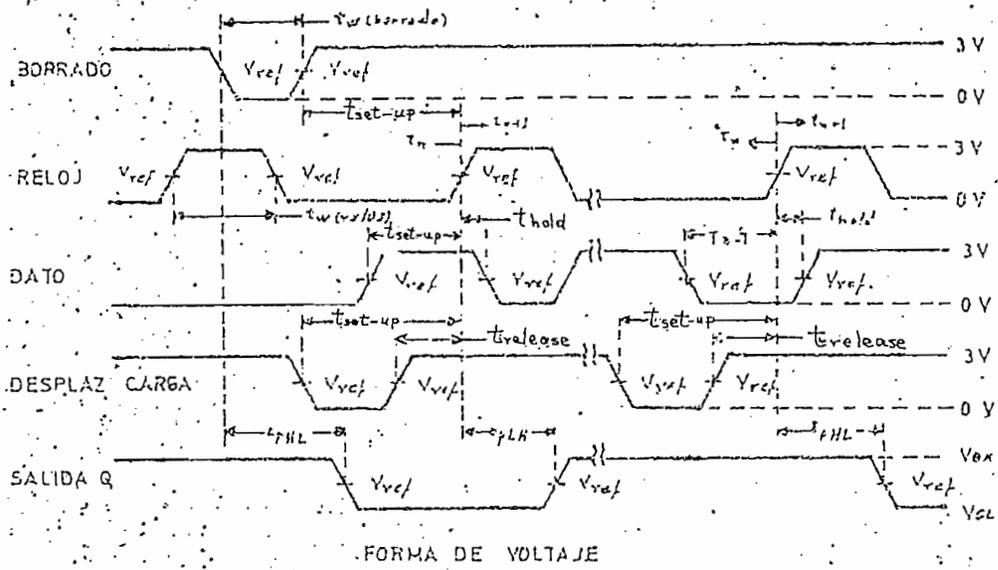


Fig. III-5

- Condiciones Dinámicas para las señales que Controlan S/L y RJ, en el "Proceso de Almacenar un Byte".-

De las condiciones de operación recomendadas, todas se cumplen con una buena tolerancia. Así la velocidad de transmisión establecida de 300 bits/seg, supone una señal de reloj de 300 Hz, lo cual está dentro de los límites de trabajo recomendados. Partiendo de esta base, otras características dinámicas, como los tiempos de preparación ($t_{\text{set-up}}$) de retención (t_{hold}), y de liberación (t_{release}), se han

tomado en cuenta para el diseño de las señales de carga-desplazamiento: S/LCO y de reloj: ϕK que controlan las entradas S/L y RJ respectivamente. Estos parámetros también -- han determinado los tiempos que deben estar presentes los -- datos a las entradas paralelas, controladas por medio de los selectores lo cual determina el comportamiento de la secuencia de transiciones que siguen las señales de control CA, CB CC. En la Fig. III-6 se muestran las características dinámicas de las señales S/LCO, ϕK y de la entrada de datos paralela. La generación de estas señales se analizará más adelante.

Debido al doble pulso de reloj en ϕK , encontramos dos grupos de tiempos diferentes para las señales de datos -- en paralelo, uno que corresponde a los nueve bits de datos: $t_s = t_h = 1,65$ msg y otro para el bit de paridad P: $t_{sp} = 0,82$ msg, $t_{hp} = 0,82$ msg. Por la misma razón tenemos dos -- tiempos de preparación en S/LCO: $t_{s1} = 1,65$ msg y $t_{s2} = 2,47$ msg.

Hay que notar que estos tiempos son del orden de -- los milisegundos, mientras que las condiciones de operación requieren características dinámicas mínimas del orden de los nanosegundos, con lo cual se satisfacen plenamente las condiciones de operación.

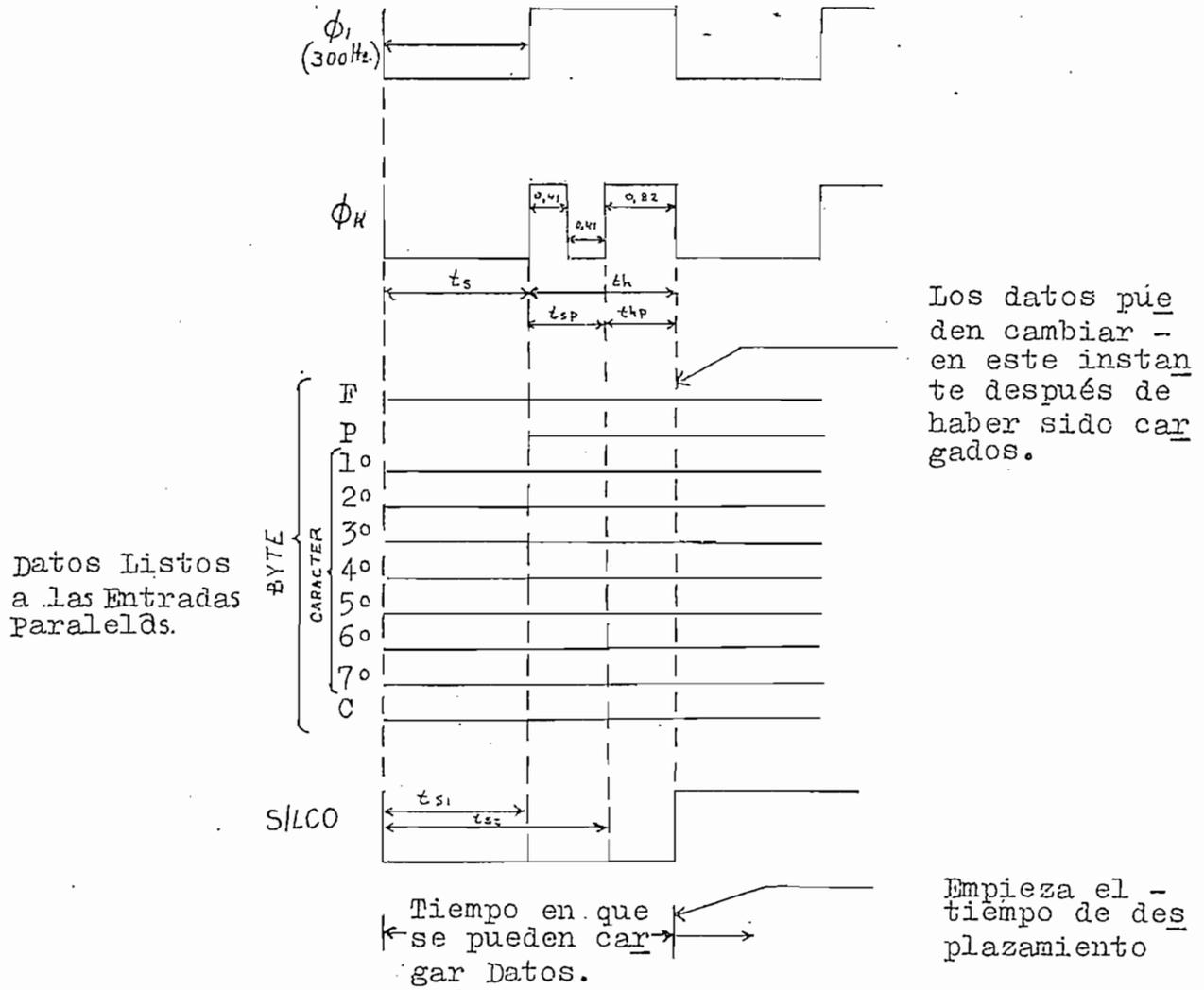


Fig. III-6

- Conversión Paralela-serial (P/S) y Serial-Paralela (S/P). -

La conversión P/S se realiza mediante la carga de un byte, en el convertidor (registros), y el desplazamiento de sus bits en la dirección de QA a QD en las salidas paralelas (Fig. III-2)

Durante el tiempo de carga (Fig. III-6), se puede ver en la señal de reloj ϕK un doble pulso de carga. Este ha sido generado, porque los siete bits del carácter alfa-numérico, se toman a las salidas paralelas del registro para alimentar el generador de paridad, el cual produce el bit de paridad P. Se ha seguido este proceso por permitir el uso del mismo generador de paridad en transmisión y recepción : sin necesidad de conmutación de sus entradas.

Los datos del carácter alfa-numérico son pasados de los selectores a las respectivas entradas del registro, - estos datos se tienen presentes (Fig. III-6), hasta que el proceso de carga o almacenamiento concluya. Mientras S/LCO es 0, el primer pulso de reloj carga los siete bits -- en el registro, que por medio de sus salidas lleva los datos a las entradas del generador de paridad. En este momento se obtiene el bit de paridad a la salida del generador y por

tanto a la entrada P del registro (ver diagrama general, Fig D - 1). El segundo pulso de reloj carga el bit de paridad en la entrada P junto con los demás bits cuyas entradas no han variado (los siete de datos y los dos fijos: F y C), quedando de esta manera cargado el byte que corresponde en el registro.

El desplazamiento, se produce con la primera transición positiva de ϕK , cuando la señal S/LCO ha cambiado a 1 lógico, desconectando las entradas en paralelo. Con estas condiciones cada pulso de reloj se desplazará un bit en la dirección de QA a QD, por tanto cada bit que compone un byte va apareciendo sucesivamente en QB(3), que es donde se toma la señal serial SS. Hay que tener en cuenta que durante la conversión P - S, las entradas J - \bar{K} se mantiene en 0 lógico, dada por GR = 0 a través de una compuerta AND.

La conversión S/P, se realiza mediante la entrada serial de cada bit que forma un byte, en J - \bar{K} ; el desplazamiento de ellos de QA a QD en el registro, y la toma en paralelo cuando un byte se encuentra listo.

Para permitir la entrada serial cuando un terminal recibe datos, se habilita la entrada J - \bar{K} con GR = 1 (ver -

diagrama general (Fig. D - 1') y se mantiene la entrada S/L en 1 lógico mediante S/LCO. Con cada transición positiva de reloj aparece un nuevo bit en $J - \bar{K}$ y el anterior de QA pasa a QD, como indica la tabla de estados (Tabla III-3). Este desplazamiento prosigue, hasta tener diez bits listos - en paralelo, en cuyo momento son tomados como un byte y se concluye la conversión S-P.

B.- SEÑALES DE RELOJ

1.- Generador de Reloj

Los pulsos de reloj son señales de referencia que actúan, con las señales de control de salida, para dar salidas sincronizadas cada cierto tiempo.

Para generar estos pulsos hemos empleado un oscilador a cristal, con el fin de tener frecuencias estables para mejor sincronización del sistema. El diseño⁽¹⁾ del oscilador (Fig. III-7) es a base de un cristal cuya frecuencia central es de 1.228 KHz, varias compuertas NAND de un circuito integrado JN7400, y varios elementos discretos.

(1) Diseño de oscilador a cristal para frecuencias entre 1 a 10 KHz. Tomado de la revista SIEMENS 1971/1972 p. 18

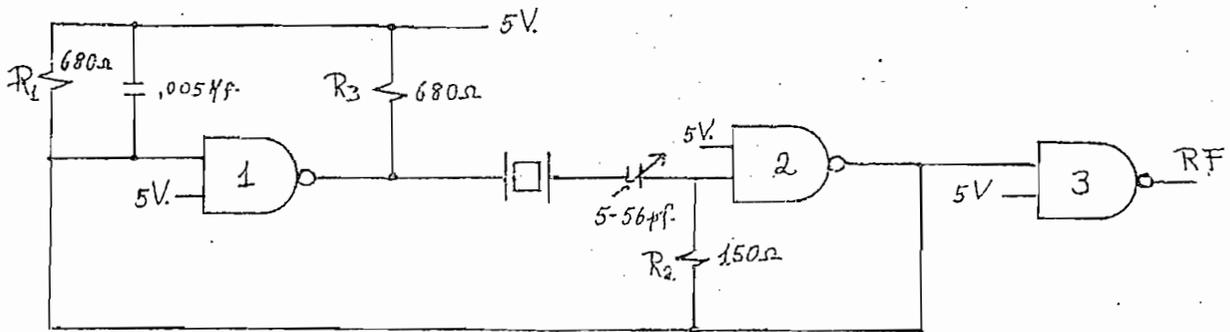


Fig. III-7

Tenemos dos etapas de amplificación con inversiones, por medio de los NAND (1) y NAND (2) que dan la realimentación positiva necesaria para la oscilación. Las resistencias R_1 , R_2 sirven para polarizar las etapas (1) y (2) la resistencia R_3 hace que la etapa de salida de (1) trabaje a una corriente de algunos mA, para poder suministrar la corriente de radio frecuencia necesaria el cristal. El capacitor de 0,005 Mf, impide la oscilación de otras armónicas y el de 56 pf sirve para sintonizar la frecuencia de resonancia, este cristal trabaja a una frecuencia a la cual su impedancia es inductiva. El NAND (3), sirve para cuadrar la salida de radio frecuencia.

La frecuencia del oscilador, se reduce a $\phi = 4800$

Hz, que es la señal de reloj básica del sistema, a base de dos contadores SN7493, los cuales trabajan como divisores por 16, (Fig. III-8)

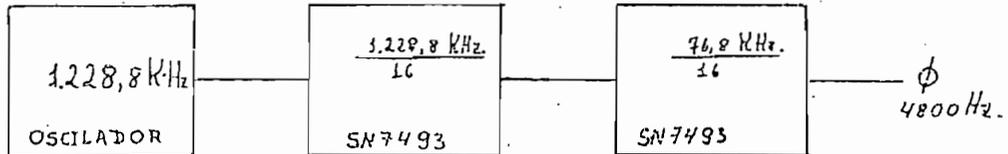


Fig. III-8

2.- VELOCIDAD DE TRANSMISION.

La velocidad de transmisión establecida en 300 --- bits/seg, viene dada por la señal de reloj $\phi = 300$ Hz. Pa_ ra obtener la señal dividimos la frecuencia de 4800 Hz a ba_ se de otro contador módulo 16, SN7493.

La frecuencia se toma directamente de la salida (D) del contador. También se tienen frecuencias iguales a $2\phi_1$, $4\phi_1$, $8\phi_1$, en las salidas C_1 , B_1 y A_1 del contador res_ pectivamente, (Fig. III-9)

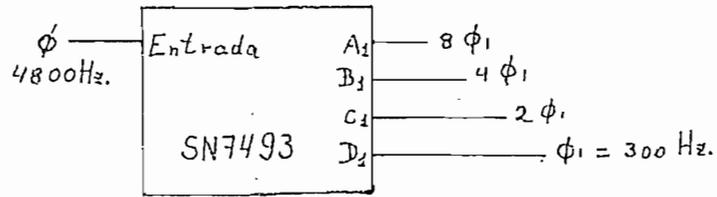


Fig. III-9

Para visualizar esto, veamos el diagrama de tiempo correspondiente (Fig. III-10), hecho a base de la tabla de estados del contador.

D C B A

0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1

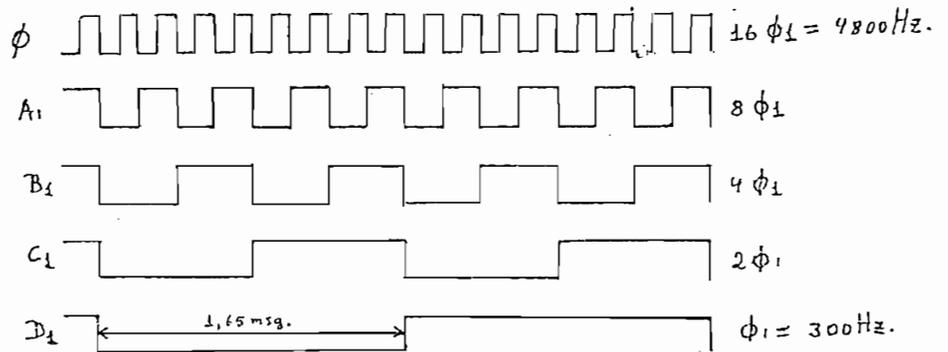


Tabla III-5

Fig. III-10

La señal ϕ_1 , es la frecuencia básica de la señal de reloj ϕ_K del registro de desplazamiento.

3.- DECODIFICACION

Cada byte almacenado en el registro tiene 10 bits los cuales se desplazan con una transición positiva de la señal de reloj de ϕ_1 , para mantener la velocidad de 300 bits/seg. Se puede cargar un byte en el registro en forma paralela, una vez por cada diez pulsos de reloj ϕ_1 . Para dar esta señal de carga se ha utilizado un contador módulo diez SN7490 y una compuerta AND, (Fig. III-11); que dan un pulso T9 cada diez bits del reloj ϕ_1 , con una duración igual a un bit de información, como se muestra en el diagrama de tiempos (Fig. III-12), también se da la tabla de estados del contador, (Tabla III-6)

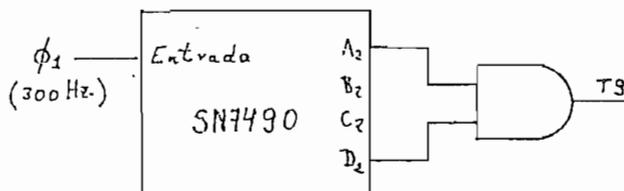


Fig. III-11

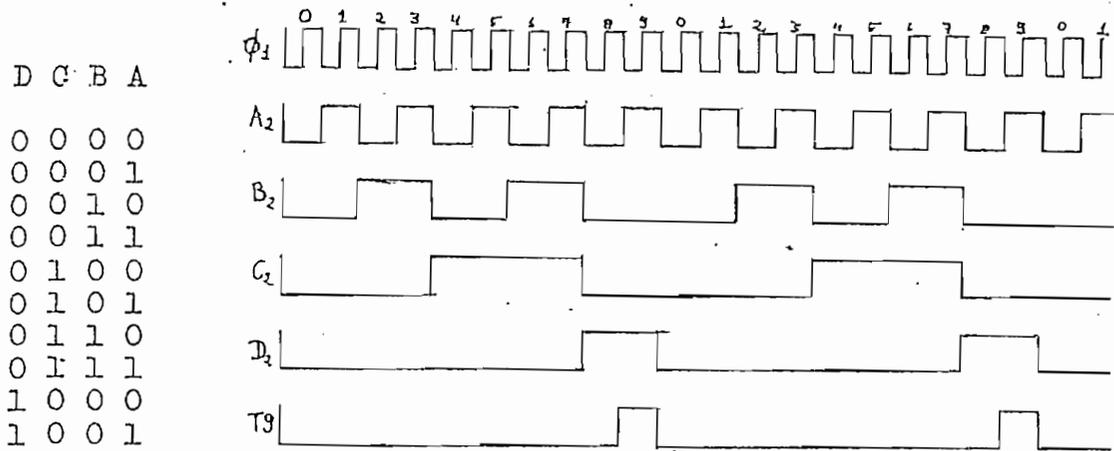


Tabla III-6

Fig. III-12

De donde:

$$T_9 = A_2 \cdot D_2$$

El pulso T_9 que aparece una vez por byte es básico, pues modificado en el tiempo (retrasado), en su duración o invertido es usado en la mayoría de las señales de control en forma de pulsos

4.- SEÑAL DE RELOJ ϕ_K .-

La señal de reloj ϕ_K que satisface nuestras necesidades, dando un doble pulso de reloj cada décimo pulso para cargar los bytes del mismo, se puede generar decodificando señales de reloj por medio de compuertas, y controlando convenientemente a ellas, así:

$$\phi_K = \phi_1 \cdot \overline{T9 \cdot (2\phi_1 - 4\phi_1)} \cdot GT$$

El doble pulso es producido por la combinación del complemento de la señal que aparece cada décimo pulso generada con compuertas, como se describe en los diagramas de tiempo, (Fig. III-13). El control GT, permite el paso del doble pulso de carga cuando se va a transmitir un byte (GT = 1). En caso contrario en que se está recibiendo información --- GT = 0 permite solamente el paso de ϕ_1 a la entrada Rj del registro de desplazamiento.

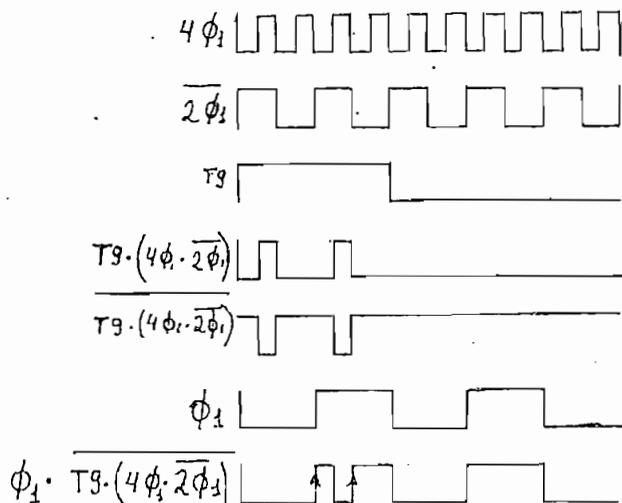


Fig. III-13

C.- CONTROL

1.- ESTADOS DEL SISTEMA.-

Los estados que puede tomar el sistema de han dividido en dos grupos: fundamentales y secundarios. Cada uno de ellos está dado por señales de nivel de control. Antes de analizar estas señales vamos a considerar la función que tiene cada uno de los estados, mediante los diagramas de flujo.

1a.- Diagrama de Flujo.-

Los estados fundamentales que puede tomar el sistema son: Lo (listo), Tx (transmisión) y Rx (recepción).

Un terminal, indica que está listo para transmitir o recibir información, mediante el estado Lo. Al recibir señales determinadas, este pasará a Tx ó Rx.

Una vez que el terminal ha entrado en uno de los estados Tx ó Rx el sistema está diseñado para que siga una secuencia determinada de operaciones para efectuar la transmisión o recepción de un bloque completo de datos. Esta se

cuencia es determinada por una serie de estados secundarios - que se muestra en la Fig. III-14.

Un pulso externo BLF, indicando que hay datos listos a transmitirse hace que el terminal pase de Lo a To, que es el primer estado secundario del estado fundamental Tx. Se conservará el terminal en Tx hasta que se haya efectuado una transmisión de un bloque completo y entonces se regresará a Lo.

Una vez que el terminal ha entrado en el estado To, inmediatamente se carga el byte de principio: BPI y se inicia su transmisión. Se cambia al estado T_1 con un pulso de reloj para transmisión T9B. Durante el nuevo estado se concluye la transmisión del BPI, se carga el BNB y se inicia su transmisión. Se cambia a T_2 con un pulso T9B.

Durante T_2 , se concluye la transmisión del BNB, se cargan y se transmiten los bytes de datos: BDD, indicados en el estado anterior. Los BNB y BDD son provistos por la fuente de datos. Con la señal del contador de bytes: CDB, se indica que se ha cargado el último byte de datos y se pasa a T_3 .

En T_3 se concluye la transmisión del último BDD y se carga el byte de chequeo: BCH, que proviene del sistema de control.

Con un pulso T9B, se pasa a T_4 , en el cual se concluye la transmisión del BCH y no se carga ni transmite ningún otro byte, sino que se habilita la entrada serial para recibir el byte de contestación (BCN).

Después de T_4 el terminal tiene dos posibilidades de cambio: el paso a Lo o el paso a T_5 . Pasará a Lo mediante la señal ($T_4 \rightarrow Lo$) si se ha recibido el BCN y se ha interpretado la contestación (IC) como correcto: $IC = 1$. En caso de que $IC = 0$, pasará a T_5 que es un estado que indica mala recepción de bytes: MRB. También pasará a T_5 con el "sobre tiempo de transmisión", si dentro de un tiempo de una duración equivalente a tres bytes de información no llega el BCN, se considera que no ha habido recepción y se actúan los controles para pasar el terminal a T_5 . Después de quedar en tiempo de un byte en T_5 pasará a Lo, mediante la señal de control ($T_5 \rightarrow Lo$).

De manera similar, (ver Fig. III-15) el terminal -
pasa al estado de recepción Rx, con el cambio de Lo a Ro me-
diante el pulso de recepción: PRC. Durante el estado Ro,
se recibe el BPI (byte de principio). Este pasará a R₁ me-
diante un pulso de reloj para recepción: T9D.

Durante R₁ se recibe el BNB (byte de número de by-
tes). Por un pulso de reloj el sistema pasa a R₂ durante
el cual se reciben uno o varios BDD (byte de datos).

Cambia a R₃ con la señal del contador de bytes:
CDB y se recibe el BCH (byte de chequeo). Con un pulso de
reloj cambia al estado R₄, durante el cual se transmite el -
BCN (byte de contestación). Después de este, mediante un
pulso de reloj, pasa a Lo por intermedio del estado Ro.

Sobretiemno de Espera en Recención.-

Es un tiempo de espera que se origina cuando un --
terminal ha entrado en el estado Rx y no viene un byte de in-
formación. Este tiempo se ha fijado en la duración de 16
bytes, después del cual por medio de la señal $\overline{\phi}_3$ que contro-
la una de las entradas de regreso a cero en los controles bá-
sicos se pasa al terminal a Lo

Se muestra un diagrama de flujo completo (Fig. III-16) que siguen los terminales cuando están acoplados para una transmisión:

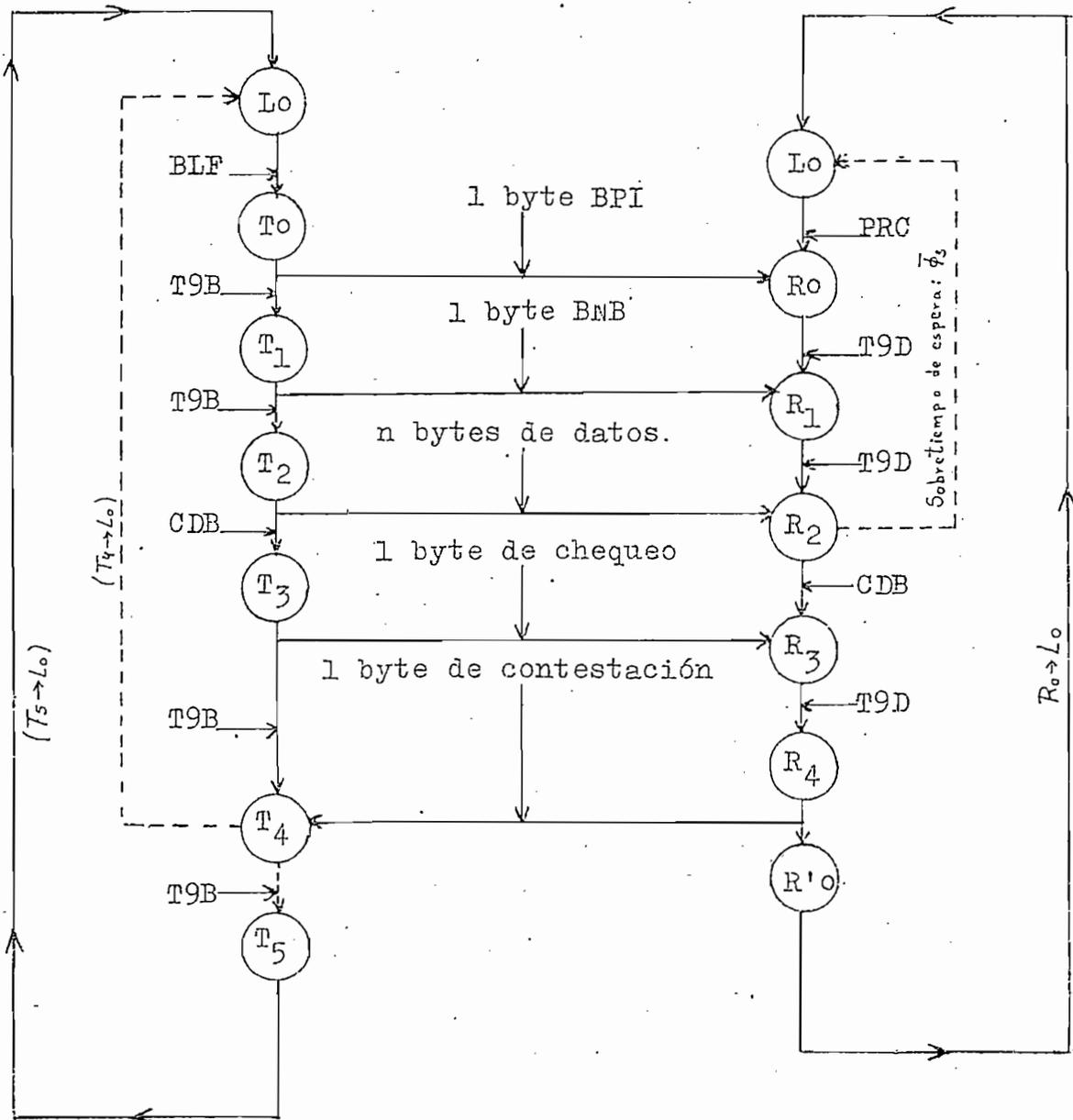


Fig. III-16

1b.- Estados Fundamentales.-

Para generar los estados fundamentales: Lo, Tx, Rx se ha diseñado un sistema de control (Fig. III-18) con bies_ tables \overline{R}_n - \overline{S} hechos de compuertas NAND.

Se han utilizado dos biestables \overline{R}_n - \overline{S} (Fig. III-17), con varias entradas de regreso a cero \overline{R}_n cualquiera de las cuales, en 0 lógico, pondrá la salida al estado 0 lógico. En otras palabras, se tendrá un nivel de entrada efectivo en $\overline{R}_n = 1$ lógico, cuando todas las entradas de \overline{R}_n estén en 1 lógico y se tendrán un nivel de entrada 0 lógico (bajo) cuando cualquiera de las entradas de \overline{R}_n estén en 0 lógico, sin im_ portar el nivel de las otras.

\overline{R}_n	\overline{S}	Q
H	H	Q ₀
L	H	H
H	L	L

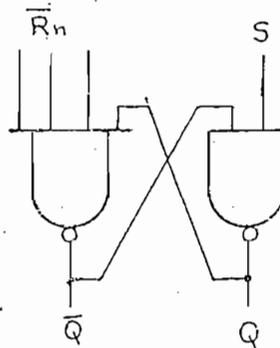


Tabla III-7

Fig. III-17

H = 1 lógico

L = 0 lógico

Q_0 = estado anterior al cambio

El par de biestables están interconectados (Fig. III-18) de manera que sus dos salidas $Q_1 = Tx$ y $Q_2 = Rx$ nunca pueden estar a un mismo tiempo en 1 lógico, lo que se consigue mediante el uso de los circuitos NAND (1) y (2) para controlar las entradas externas. El regreso de los biestables a su estado cero es controlado por señales internas del sistema de control por las entradas $\overline{R_{n1}}$ y $\overline{R_{n2}}$.

Hay que notar que el sistema trabaja con lógica negativa en las entradas $\overline{S_1}$ y $\overline{S_2}$ lo cual nos da la inversión en los circuitos NAND pues sus entradas corresponden a señales que funcionan con lógica positiva: BLF y PRC.

Por intermedio de la compuerta AND (3) se define la señal L_0 , que indica que Tx y Rx son ambos cero.

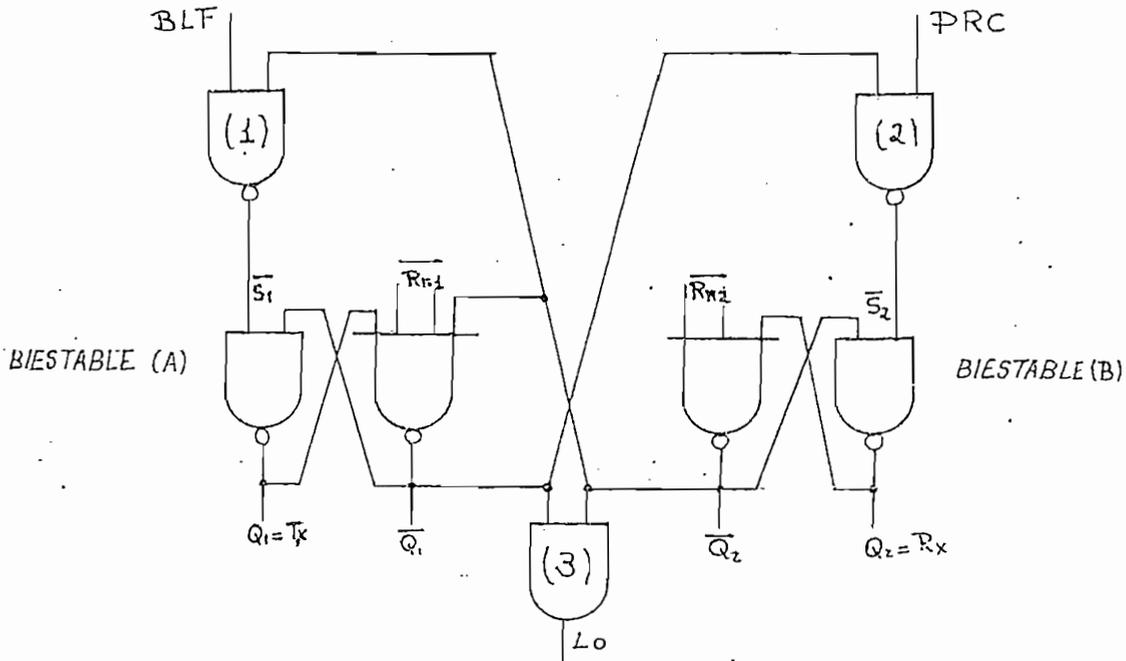


Fig. III-18.

Se dice que un terminal entra a transmisión y se -- mantiene en esta, cuando $Q_1 = T_x$ (Fig. III-18), ha adquirido el nivel 1 lógico. De acuerdo al diagrama el biestable (A) da el estado de $T_x = 1$ si ha llegado primero el pulso positivo BLF por medio del NAND (1) quedando $\bar{S}_1 = 0$, que cambia la salida del biestable (A) a $Q_1 = 1$ (T_x). Saldrá de este estado cuando una de las entradas \bar{R}_{n1} tome el nivel 0 lógico pasando el biestable nuevamente al estado $Q_1 = 0$ (\bar{T}_x).

De manera similar, un terminal entra a recepción y se mantiene en esta, cuando $Q_2 = R_x$ ha adquirido el nivel 1 -

lógico. El biestable (B) da el estado $Q_2 = 1$ (Rx) si ha llegado primero un pulso PRC, y con el mismo procedimiento que se sigue con el otro biestable cuando entra en transmisión, pasará a $Q_2 = 0$, (Rx), cuando una de las entradas $\overline{R_{n2}}$ tome el nivel 0 lógico. Las señales que gobiernan $\overline{R_{n2}}$ y $\overline{R_{n1}}$ se les ha designado "Señales de Regreso a Cero".

El sistema no puede estar a un mismo tiempo en los estados de $Q_1 = Tx = 1$ y $Q_2 = Rx = 1$, debido a que una vez que uno de los biestables (A) ó (B), da en su salida $Q_1 = 1$ ó $Q_2 = 1$ se pasa su complemento al NAND opuesto (2) ó (1), respectivamente impidiendo la acción de cualquiera de los pulsos externos PRC o BLF. De esta manera puede mantener la salida del otro biestable en su condición inicial o estado de $Q_2 = 0$ ó $Q_1 = 0$ respectivamente.

Además hay una realimentación de $\overline{Q_2}$ a $\overline{R_{n1}}$ del biestable (A), para que en el caso de que los pulsos de PRC y BLF lleguen a un mismo tiempo, se de preferencia a PRC y pase así el terminal al estado de Rx.

La siguiente tabla de verdad define al sistema expuesto:

Tx	Rx	
0	0	Listo, (espera)
1	0	Transmisión
0	1	Recepción
1	1	Condición prohibida.

Tabla III-8

El estado Lo se define cuando el terminal no está en transmisión ni recepción, por tanto:

Tx	Rx	Lo
0	0	1
1	0	0
0	1	0

Tabla III-9

La función lógica de Lo será:

$$Lo = \overline{Tx + Rx} = \overline{Tx} \cdot \overline{Rx}$$

1c.- Estados Secundarios.-

Para generar los once estados secundarios; seis de transmisión: $T_0, T_1, T_2, T_3, T_4, T_5$, y cinco de recepción -- R_0, R_1, R_2, R_3, R_4 , utilizaremos tres biestables.

Las salidas de estos biestables: CA, CB, CC y los estados fundamentales: Tx y Rx definen los estados secundarios.

Los tres biestables pueden dar un máximo de ocho - combinaciones de salida, de las cuales se toman solamente -- seis, utilizando las mismas combinaciones para definir los - estados secundarios, tanto de transmisión como de recepción. La diferencia entre los dos grupos de estados viene dada por los estados Tx y Rx, es decir si $Tx = 1$ y $Rx = 0$, las salidas de los biestables corresponderán a los estados $T_0, T_1, T_2, T_3, T_4, T_5$, y para recepción, cuando $Tx = 0$ y $Rx = 1$, -- las salidas corresponderán a R_0, R_1, R_2, R_3, R_4 .

Según lo establecido anteriormente, los estados secularios se definen en la siguiente tabla de estados:

	Tx	Rx	CC	CB	CA
Estado fundamental: Lo	0	0	0	0	0
estado secundario : To	1	0	0	0	0
estado secundario : T ₁	1	0	0	0	1
estado secundario : T ₂	1	0	1	0	1
estado secundario : T ₃	1	0	0	1	1
estado secundario : T ₄	1	0	0	1	0
estado secundario : T ₅	1	0	1	1	0
Estado fundamental: Lo	0	0	0	0	0
estado secundario : Ro	0	1	0	0	0
estado secundario : R ₁	0	1	0	0	1
estado secundario : R ₂	0	1	1	0	1
estado secundario : R ₃	0	1	0	1	1
estado secundario : R ₄	0	1	0	1	0

Tabla III-10

Se ha escogido esta secuencia (tabla anterior) de manera que de las salidas de los controles CA, CB, CC, cambia solamente una de ellas al pasar de un estado al sucesivo, y que las salidas CA y CB de estos dos biestables provean las señales necesarias para controlar directamente al selector, que controla la carga paralela de los caracteres. La salida de CC se ha diseñado, de manera que controle la transmisión y recepción de los BDD, es decir, se pone en 1 lógico cuando van a transmitir o recibir el primer BDD y regresa a cero con la señal del CDB, para transmitir o recibir el BCH. Esta salida CC se usa también junto con CB para indicar una MRB si se ha hecho una mala transmisión.

Se han escogido los biestables "J - K, Maestro-es-clavo" por la facilidad de controlar sus cambios de estado con señales múltiples. Este mismo grupo de biestables se usa tanto para transmisión como recepción.

2.- SEÑALES DE CONTROL

2a.- Definición de las Salidas de Control Mediante la Tabla de Flujo.-

Para diseñar los circuitos lógicos que gobiernan el sistema, se ha definido el comportamiento del circuito, designando las funciones de las señales de salida de control, mediante una tabla de flujo (Tabla III-11). Este indica lo que el circuito hace desde el punto de vista externo en cada uno de los estados en que se encuentra, lo cual está sujeto a los diagramas de flujo y otras especificaciones dadas anteriormente.

En la tabla se puede observar que cada una de las salidas de control trabajan con lógica positiva o negativa, según el caso, permitiendo o impidiendo el sistema controlado por dicha señal actúe, de acuerdo al estado en que se en-

cuentre. En los casos en que la acción de la parte controlada no influya en el comportamiento del sistema, esta se expresan por las salidas "que importa": x, las cuales simplifican la circuitería lógica del sistema.

Las señales que controlan la transmisión y recepción, indicadas en la tabla de flujos son:

So, S₁ : Corresponden a los controles de los selectores que pasan los respectivos caracteres al convertidor P/S, en el orden en el cual deben ser transmitidos.

SLTB : Señal lista para transmitir un byte, mediante el lógico indica a la computadora transmisora, por medio del sistema de relación que el sistema puede transmitir un byte que provenga de esta.

BLF : Byte listo en la fuente, es una señal externa que en un lógico indica cuando puede cargarse el BPI, BNB ó BDD.

BRL : con el lógico indica cuando ha llegado un BNB o uno de los BDD al terminal receptor, y esta lista para ser tomado del retenedor (Buffer)

BRLCN: con 1 lógico, indica cuando ha llegado el BCN al terminal transmisor y está listo para ser tomado para su interpretación.

GT₁ : (GT, GR), cuando GT₁ es 1 lógico permite la transmisión serial de los datos y cuando es 0 lógico activa al receptor para la posible recepción de señales provenientes del otro terminal.

Esta señal no es usada directamente, sino que se retrasa por el tiempo que dura un byte, por medio de un biestable "D". A las salidas de este, se tienen GT que permite la transmisión de los bytes cargados, (incluso el BCH), y su complemento GR que permite la entrada de datos.

PCCB : pulso para cargar el contador de Bytes. Este pulso (negativo), es la señal de control para cargar el contador de bytes con el complemento del carácter del número de bytes, a ser transmitidos o recibidos, tanto en transmisión como en recepción.

PRCB : Pulso de reloj del contador de bytes. Habrá un pulso cada vez que haya un nuevo byte de datos listos pa

para transmitirce.

BCB: Pulso para borrar el contador de bytes. Se acciona -- con 0 lógico cada vez que el terminal entre nuevamente al estado de listo.

CDB: dará una salida 1 lógico, cuando el contador de bytes -- ha llegado al número establecido de conteo.

SUM: El 1 lógico, indica cada vez que se debe sumar un byte que esté listo al contenido del registro de chequeo.

BOS: Borrar el registro del sumador, se acciona con 0 lógico cuando entra al estado de espera.

MRB: Mala recepción de bytes dará una salida de 1 lógico si se ha alcanzado el estado T_5 , el cual se mantiene por -- un tiempo de casi un byte.

Sob Tx: Es una señal de reloj que indica con 1 lógico "fallo de tiempo". Aparece solamente si después de un tiempo equivalente a tres bytes no se recibe el BCN. Esta -- señal es usada en los biestables J - K para pasar a T_4 a T_5 e indicar una MRB.

Señales de Regreso a Cero.

Después de que un terminal ha pasado a Tx o Rx, podrá ir nuevamente a Lo, cuando una de las señales que controlan las entradas de regreso a cero se ponga en 0 lógico.

Estas señales son, para Tx: ($T_4 \longrightarrow Lo$) ó ($T_5 \longrightarrow Lo$) que actúan en $\overline{Rn_1}$ del biestable A, ⁽¹⁾ y ($Ro \longrightarrow Lo$) ó $\overline{\phi_3}$ que actúan en $\overline{Rn_2}$ del biestable B ⁽²⁾ para Rx.

$T_4 \longrightarrow Lo$: paso de T_4 a Lo con 0 lógico, si se ha recibido el BCN y se ha interpretado la contestación como correcta.

$T_5 \longrightarrow Lo$: paso de T_5 a Lo, si el terminal ha llegado al estado T_5 por cualquier razón, saldrá de este con 0 lógico, dado después de mantenerlo en T_5 por un tiempo apreciables

$Ro \longrightarrow Lo$: paso de Ro a Lo da un 0 lógico si ha pasado a R'o y después de permitir la transmisión del BCN

$\overline{\phi_3}$: es una señal de reloj que indica "falla en el tiempo"

(1) Ver Fig. III-18

(2) Idem

po". Cuando un terminal a entrado en Rx, si en --e cualquiera de los estados secundarios no llega al byte correspondiente en un tiempo máximo, equivalente a -- 16 bytes, aparece un pulso $\overline{\phi_3}$ que lleva al terminal nuevamente a Io.

2b.- Generación de las Señales de Control.-

Anteriormente hemos visto la forma de generar señales de reloj en base de contadores alimentados por frecuencias fijas, y en algunos casos, decodificando sus salidas con circuitos combinatoriales. Ahora analizaremos las formas de generar las diferentes señales de control.

- Señales de Nivel y de Pulsos.-

Las salidas de control utilizadas, podemos agrupar las en señales lógicas de nivel y señales lógicas de pulsos. Como ejemplos del primer grupo podemos citar: CA, CB, CC, GT y del segundo grupo: S/LCO, PCCB y Sum. Estas señales se muestran en los diagramas de tiempos generales (Fig. D - 2)

La señal de nivel, es la que alcanza determinado estado lógico y lo conserva por un tiempo específico, generalmente su tiempo de aparición es el equivalente a la duración de 1 o más bytes, de acuerdo a un comportamiento establecido con el diseño. A pesar de su duración relativamente larga, los tiempos de las transiciones de estado podrían ser críticos en el comportamiento lógico del sistema.

La señal de pulsos, normalmente tiene duración mucho menor que un byte. Su tiempo de aparición depende de una señal de reloj con la cual es sincronizada, y su presencia o ausencia dependen de las señales de nivel.

- Señales de nivel Básico: CA, CB, CC y sus Diagramas de Tiempo.

El comportamiento del sistema depende de los estados fundamentales y secundarios. Estos últimos se definen mediante tres señales de nivel básicas: CA, CB, CC. Según el nivel lógico que obtengan cada una de ellas en un determinado momento, establecen la serie de estados secundarios. Ver tabla III-10. Para ver la sucesión de cambios que siguen estos niveles, vamos a analizar sus diagramas de tiempo. (Fig. III-19).

Un diagrama de tiempo; es una representación gráfica que presenta las variables Booleanas del sistema como función de la variable independiente-tiempo.

Los diagramas de tiempo para estas salidas, toman como referencia a las señales de reloj ϕ_1 y T9.

Para un terminal que ha entrado en transmisión: --
 $T_x = 1$, el sistema va al estado secundario T_0 , definido como
 $CA = 0$, $CB = 0$, $CC = 0$, durante el cual selecciona el BPI, -
que se cargará en el registro de desplazamiento si el con__
trol de carga lo permite.

Por razones de diseño, es necesario que las sali__
das CA, CB, CC, mantengan su estado seleccionado, hasta que
se haya concluido la operación de "carga" del byte elegido -
en el registro de desplazamiento. Después de haber carga__
do el byte, las salidas CA, CB, CC, pueden cambiar de nivel
lógico, mientras se transmite el byte. De esta forma con
los nuevos niveles de $CA = 1$, $CB = 0$, $CC = 0$, se cambia a un
nuevo estado: T_1 , durante el cual se selecciona el BNB, el -
cual se cargará en el registro de desplazamiento con las se__
ñales de control de carga.

Este procedimiento es igual para los estados res__
tantes y es la forma de establecer los niveles de las sali__
das CA, CB, CC tal como se indica en los diagramas de tiempo.
El estado T_5 aparecerá condicionado al sobretiempo de trans__
misión o a la interpretación del BCN.

Como se ha dicho anteriormente, estas salidas se -

generan por medio de tres biestables J - K, los cuales cambian de estado en transmisión con las transiciones negativas de reloj T9B, que se obtienen por medio de compuertas a partir de ϕ_1 y T9. La expresión lógica que da T9B es:

$$T9B = 2\phi_1 \cdot T9C = 2\phi_1 \phi_1 \cdot T9$$

En el diagrama se muestra también la señal serial: SS que conforma el bloque de información, indicando en su forma serial cada uno de los bytes que va a transmitir, y la señal de carga S/LCO. La señal SS, está compuesta del BPI que tiene una combinación fija de: 1110101010; el BNB que indica el número de caracteres de datos a transmitirse, (dos): 1000001000; los bytes de datos (BDD) cuya combinación depende de la fuente de datos; y el BCH, que es la suma sucesiva módulo siete de los caracteres de los BNB y BDD.

- Deducción de las Funciones Lógicas para algunas Salidas de Control.-

Vamos a deducir la función lógica de cada salida de control tanto en transmisión como en recepción. Las funciones de las señales de nivel, se pueden deducir directamente de la tabla de flujos en función de las señales de nivel básicas: CA, CB, CC y los estados fundamentales Tx, Rx, -

Lo. En cambio las funciones de las señales de pulsos necesitan de los diagramas de tiempo para su análisis.

Cada vez que se necesite mandar un byte, sea el BPI BNB, BDD, BCH, o el BCN, el sistema que produce la salida (GT_1) debe dar una salida de 1 lógico, para permitir la transmisión de los bytes nombrados. Esto se muestra en la columna GT_1 de la tabla de flujo.

En los dos últimos estados T_4 y T_5 , en las cuales no debe haber transmisión, $CA + \overline{CB} = 0$. En los estados T_0 , T_1 , T_2 y T_3 en los cuales es posible transmitir, se tiene en cambio: $CA + \overline{CB} = 1$. El producto lógico de esta expresión con Tx, define los estados secundarios de transmisión para los cuales GT_1 debe ser igual a 1, así:

$$GT_1 = Tx (CA + \overline{CB}) = Tx \cdot \overline{\overline{CA} \cdot CB}$$

Para recepción, debe aparecer $GT_1 = 1$ solamente en el estado R_4 , en el cual:

$$\overline{CA} \cdot CB \cdot Rx = 1$$

La función total es la función "or" de los dos anteriores:

$$GT_1 = \overline{\overline{CA} \cdot CB} \cdot Tx + \overline{CA} \cdot CB \cdot Rx$$

En la misma forma se puede deducir las funciones -
de:

Señal Listo para transmitir un byte: $SLTB = Tx \cdot \overline{CB} + Lo$

Borrar el contador de Bytes: $BCB = \overline{Tx \cdot Rx} = Tx + Rx = \overline{Lo}$

Borrar el sumador de Bytes: $BOS = \overline{Lo}$.

Mala recepción de Bytes : $MRB = CC - CB$

Se han diseñado las salidas de control CA, CB para que controlen directamente a las entradas de los selectores S_0 , S_1 , por medio de CA y CB, por tanto:

$$S_0 = CA$$

$$S_1 = CB$$

Las funciones se han reducido a su mínima expresión, mediante el álgebra de Boole, o utilizando funciones - previamente generadas.

Así por ejemplo, la función S/LCO_1 , que controla - la generación de la señal de control de carga del registro - de desplazamiento: S/LCO , se puede deducir de la misma forma que las anteriores, directamente de la tabla de flujo, y es:

$$S/LCO_1 = Tx \{ BLF \cdot CA \cdot \overline{CB} + \overline{CA} \oplus \overline{CB} \} + Rx \cdot \overline{CA} \cdot CB$$

Para simplificar esta expresión, se puede notar que, comparando las columnas de S/LCO₁ y de GT₁ en la tabla de flujos, S/LCO₁ puede ser 0 lógico solamente si GT₁ es igual a 1 lógico. Aprovechando de que ya se obtuvo GT₁, podemos sacar S/LCO₁ utilizando GT₁. Se usa GT en vez de GT₁ ya que ambos son básicamente los mismos, siendo la primera de una duración mayor por el tiempo de casi un byte. La expresión de S/LCO₁ queda:

$$S/LCO_1 = \overline{GT \cdot (BLF + CB)}$$

En esta expresión, S/LCO₁ es controlado por BLF, para dar una señal de carga cuando están listos los bytes BPI, BNB, BDE, y con CB para cargar el BCH.

S/LCO, es una señal de pulsos que debe estar presente solamente por un corto tiempo al comenzar la transmisión de cada byte. Por eso es necesario sincronizarlo con la señal de reloj T9.

La carga de un byte en el registro de desplazamiento, debe producirse, después de haber transmitido los 10 bits del byte anterior. Estos bits se cargan y se transmiten con cada transición positiva de ϕ_1 . Como durante el décimo pulso de ϕ_1 se transmite el bit de fin, que es siem__

pre 0 lógico, se puede efectuar una nueva carga para el siguiente byte, sin interferir con la transmisión de los 10 bits del byte anterior. Por las características del registro de desplazamiento SN74195, es necesario que el pulso del control de carga aparezca un poco antes de la transición positiva de la señal de reloj de ϕ_K , que carga los byte en el registro.

El pulso de reloj que satisface estas necesidades es T9. A la expresión Booleana ya sincronizada se ha designado como S/LCO, y es:

$$S/LCO = \overline{S/LCO_1} \cdot T9 = \overline{GT \cdot (BLF + CB)} \cdot T9$$

Los diagramas de tiempo para S/LCO₁ y S/LCO se muestran en la Fig. III-19.

De manera similar a los procedimientos anteriores, se pueden obtener las siguientes funciones:

$$\begin{aligned} \text{Pulsos para cargar un byte:} & \quad PCCB = \overline{T9C \cdot CA \cdot \overline{CC} \cdot \overline{CB}} \\ \text{Pulsos de sumar} & \quad : \quad SUM = CA \cdot T9C \cdot \overline{GT \cdot S/LCO} \end{aligned}$$

Esta última, está controlada en transmisión por -

GT·S/LCO, para sumar el byte que se ha cargado a la suma de los bytes anteriores.

La función PRCB, para transmisión y recepción, según la tabla de flujos, puede ser igual al complemento de los pulsos del SUM, pero suprimido en primero de estos por el pulso PCCB, y es:

$$PRCB = \overline{SUM \cdot PCCB} = \overline{SUM \cdot CA \cdot \overline{CB} \cdot \overline{CC} \cdot T9C}$$

Diagramas Lógicos de las Salidas de Control.--

A partir de las funciones lógicas de salida de control, se dan algunos ejemplos de los diagramas lógicos utilizados, que son partes constitutivas del diagrama lógico general mostrado en la Fig. D - 1.

$$(1) \quad GT_1 = Tx \cdot \overline{CA} \cdot CB + Rx \cdot \overline{CA} \cdot CB$$

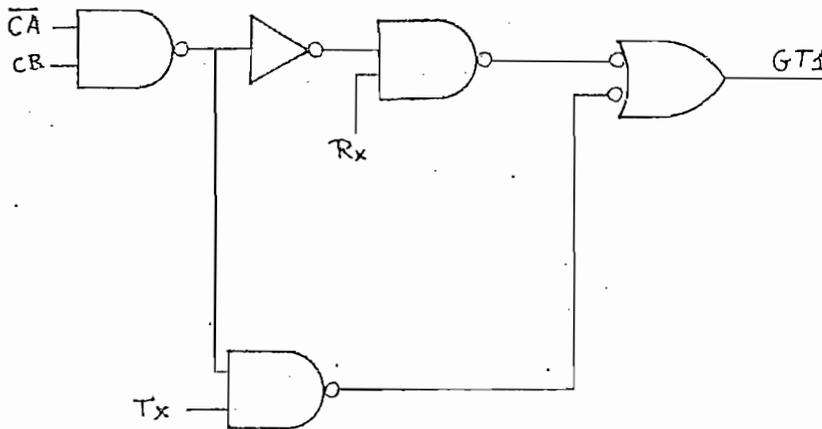
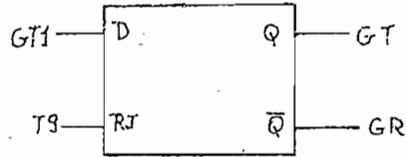


Fig. III-20

GT_1 se atrasa por el tiempo de casi un byte, por medio de un biestable "D" para obtener GT:



Esta conexión se ha hecho en base de su tabla de estados, (Tabla III-12).

<u>ENTRADAS</u>				<u>SALIDAS</u>	
Preset	Limpia	Reloj	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q ₀	\bar{Q}_0

L = 0 lógico

H = 1 lógico

X = estado que importa

↑ = transición positiva

* = configuración no estable

Tabla III-12

$$(2) \quad S/LCO = \overline{GT \cdot T9 \cdot (BLF + CB)}$$

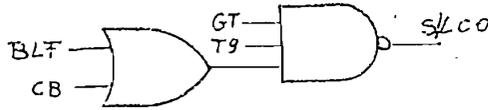


Fig. III-21

(3) $SUM = \overline{S/LCO} \cdot GT \cdot CA \cdot T9C$

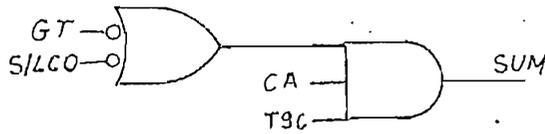


Fig. III-22

(4) $PCCB = \overline{CA \cdot CB \cdot CC} \cdot T9C$

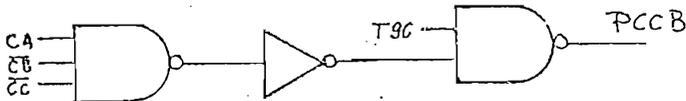


Fig. III-23

$$(5) \quad \text{PRCB} = \overline{\text{CA} \cdot \overline{\text{CB}} \cdot \overline{\text{CC}}} \cdot \text{SUM}$$

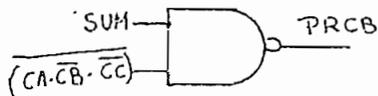


Fig. III-24

$$(6) \quad \text{SLTB} = \text{Lo} + \text{Tx} \cdot \overline{\text{CB}}$$

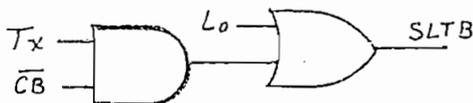


Fig. III-25

- Generación de la señal CDB. -

Esta aparece solamente si el último BDD a ser transmitido o recibido ha llegado. Se usa en los controles de los biestables J - K, para pasar de T_2 a T_3 al terminal - que está en Tx y de R_2 a R_3 al que está en Rx.

El sistema que genera esta señal (Fig III-26), se compone de dos circuitos integrados SN74177, que son contadores programables módulo 16 conectados en cadena; de siete -

inversores que da el complemento del carácter del BNB a ser cargado; y una compuerta AND para decodificar la señal.

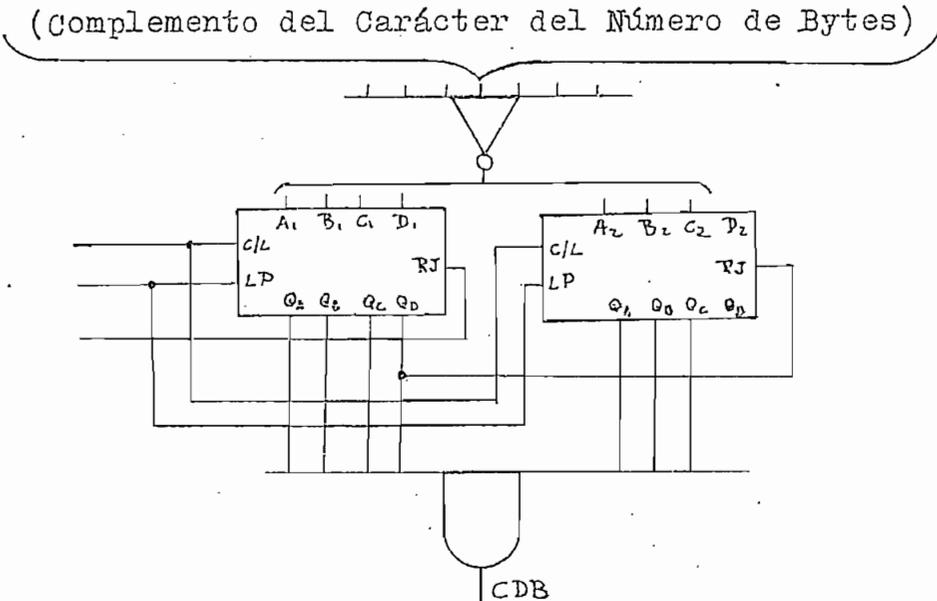


Fig. III-26

El conteo se programa con la carga de un número binario en el contador. Para esto se pasa a las entradas de este, el complemento del carácter del BNB. Se carga -- cuando un pulso negativo dado por PCCB (pulso para cargar el contador de bytes) aparece a las entradas de carga/conteo, (c/L). Después de programado el conteo, PCCB se pone en -- l lógico y el contador empieza a contar con cada pulso de -- PRCB (pulso de reloj del contador de bytes), que llega a RJ. Todas las salidas se ponen en l lógico cuando llega el últi_ mo byte y es el instante en que la señal CDB se decodifica --

por medio de un AND. Esta señal vuelve a 0 lógico con el próximo pulso de PCCB.

Por ejemplo, para transmitir los dos caracteres --- de información, el contador se carga en el sistema de numeración binaria con el inverso de 0000010 que corresponde a --- 1111101. Con dos pulsos de PRCB se pone en 1111111 y se de codifica CDB. El tercer pulso de reloj lo regresará nueva mente a 0000000, después de haber mantenido a CDB en 1 lógico co por el tiempo de un byte.

- Generación de BRL.-

La función byte recibido listo: BRL_1 , según la tabla de flujo es $BRL_1 = CA \cdot CB \cdot GR$.

Pero esta señal debe aparecer solamente si ha llegado un byte. Por esta razón se la controla también con la señal BER (byte de recepción), la cual se genera en el sistema de sincronización para indicar cuando efectivamente se está recibiendo un byte. Además BRL_1 depende de señales de reloj para sincronismo, de manera que aparezca cuando los caracteres de los BNB y BDD están listos a las sali

das de los retenedores.

El diseño de la función BRL, que satisface nuestras necesidades, se ha basado en los diagramas de tiempo de recepción (Fig. D - 3), de BER, T9, T9R, y en la función lógica - BRL₁ resultando:

$$\text{Byte recibido listo: BRL} = Qs \cdot T9R \cdot CA \cdot \overline{CB}$$

(CA · \overline{CB}) controlan que se de BRL solamente cuando se reciben los bytes de BNB o uno de los BDD; se puede suprimir GR por - que BER aparece solamente cuando GR = 1.

Qs es la señal de BER atrasada por medio de un bistable D, (Fig. III-27), pues BER (ver diagrama de tiempo, Fig D - 3) es cero durante medio pulso del tiempo en que se necesita BRL.

T9= señal de reloj utilizada para demorar BER.

*T9R = es la señal de reloj utilizada para sincronizar BRL.

Según esto se tiene el siguiente diagrama lógico:

* Ver siguiente página

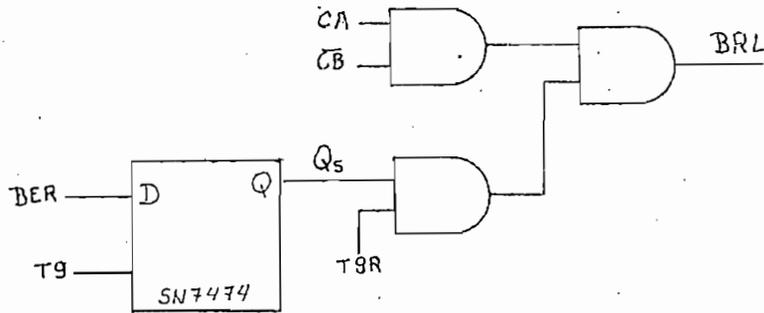


Fig. III-27

* En la práctica el diseño de BRL fue anterior al de T9R. Teniendo para otros circuitos que utilizan T9R el hecho de que siempre estaba presente lo cual trajo problemas en el control (estado de interacción Tx ↔ Rx no esperado). Por lo cual se modificó a T9R controlandolo con BER para quearezca solamente cuando se recibe un byte. Con este cambio se puede controlar a BRL directamente con T9R modificado, --- pues en el se ha incluido BER, y suprimir el biestable D que produce Qs, (Fig. III-27)

La función BRLCN, se genera de manera similar a la anterior, su función es:

$$BRLCN = Qs \cdot T9R \cdot Tx$$

- Aparece sólo en Tx
- Aparece sólo en T_4 , que es cuando se habilita las entradas de información, y si hay un byte detectado lo que dará $Qs = 1$.
- Se sincroniza con T9R para tomarla en el tiempo en que se tiene listo dicho byte, a las salidas paralelas.

- Generación de las Señales de Regreso a Cero.-

La función de ($T_4 \rightarrow Lo$), se deduce de la tabla de flujo, y del papel que debe desempeñar así:

$$(T_4 \rightarrow Lo) = \overline{(Tx \cdot \overline{CA} \cdot CB)} \cdot BRLCN \cdot Ic$$

Esta señal da un pulso solamente cuando:

- El terminal está en T_4 , que viene dada por $(Tx \cdot \overline{CA} \cdot CB) = 1$
- Si efectivamente recibe el BCN, mediante la señal ----
 $BRLCN = 1$
- Si la interpretación está correcta $Ic = 1$

La función ($T_5 \rightarrow Lo$) es:

$$(T_5 \rightarrow Lo) = \overline{CB \cdot CC \cdot T_9}$$

Da un pulso negativo solamente si el terminal ha pasado a T_5 con lo cual ($CB = 1$, $CC = 1$), y se sincroniza -- con T_9 para que el terminal se mantenga en T_5 por el tiempo - de casi un byte.

La función de ($Ro \rightarrow Lo$) es:

$$(Ro \rightarrow Lo) = \overline{\phi_1 \cdot D_2 \cdot \overline{CB} \cdot GT}$$

Esta señal se ha diseñado con ayuda de los diagramas de tiempo de recepción (Fig. D - 3.), cuyo dibujo parcial hemos reproducido en la Fig. III-28

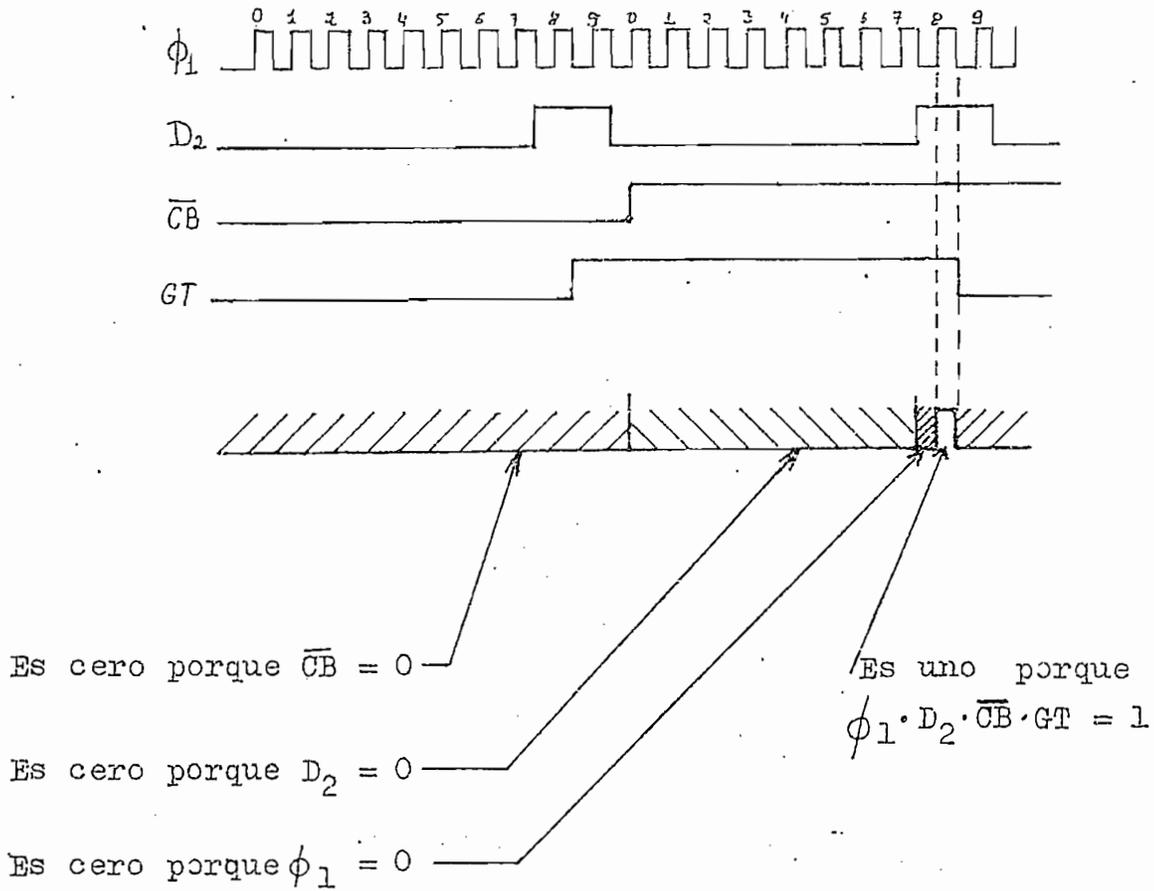


Fig. III-28

La generación de $\overline{\phi}_3$ que es la señal de regreso a cero en recepción, se efectúa por medio de un contador de 16, SN7493, alimentando a este la señal de reloj D_2 y decodificando las salidas por medio de compuertas (Fig. III-29). Está controlada con Rx para asegurar que se produzca solamente en recepción.

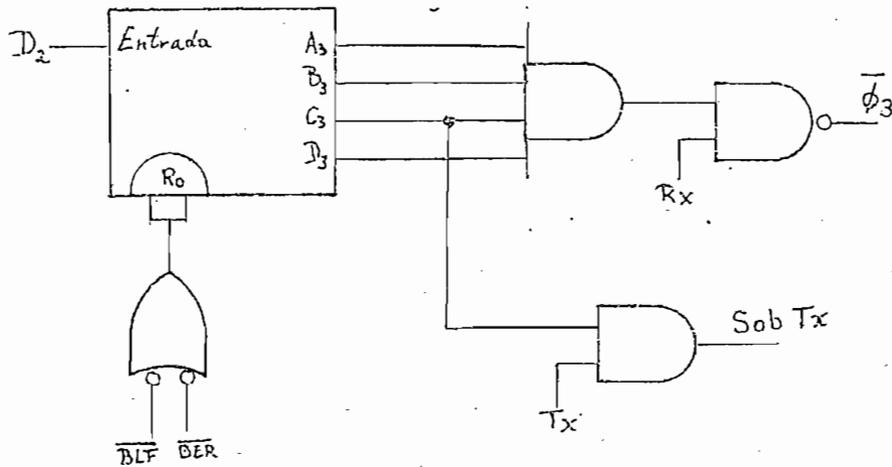


Fig. III-29

La señal sobre tiempo en Tx: Sob Tx no es una señal de regreso a cero, pero es una señal de reloj que indica falla en el tiempo. Se genera también de la salida C_3 (Fig. III-29) del contador anterior, controlado con Tx:

$$\text{Sob Tx} = \text{Tx} \cdot C_3$$

Las entradas de regreso a cero del contador que genera $\bar{\phi}_3$ y Sob-Tx, están controlados (BER + BLF) de manera que si cualquiera de ellos está en 1 lógico, el contador no cuenta y sus salidas se mantendrán en cero.

2c.- Sistemas de Relación.

Vamos a analizar y definir los sistemas que se ocupan de las relaciones que tienen un terminal con la computadora transmisora y con la receptora.

- Generación y Control de las Señales de Inter-relación para Transmisión. -

La señal LTB (listo para transmitir un byte) dada por el terminal y la señal BLF (byte listo en la fuente), dada por la fuente, sirven para relacionar a la computadora que va a transmitir los caracteres de información y el terminal que va a actuar como transmisor.

El sistema que define esta relación (Fig. III-30) está compuesto de los elementos combinacionales que dan la función Booleana $SLTB = L_o + Tx CB$, que indica con 1 lógico cuando un terminal puede transmitir un byte; de un biestable de retraso (SN7474), a cuya entrada D se aplica esta señal; y de un filtro capacitivo de paso alto (diferenciador), a cuya entrada se conecta BLF. La señal LTB se produce en la salida Q.

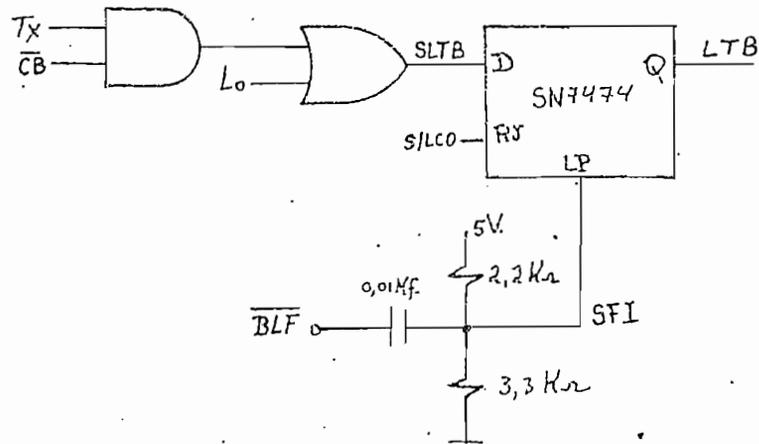


Fig. III-30

La señal LTB, indica con 1 lógico que el terminal - está listo para transmitir el BPI, el BNB y los BDD.

Habrá una señal de salida LTB = 1 lógico, con cada transición positiva del pulso de reloj S/LCO después de cargar un byte en el registro de desplazamiento si SLTB = 1.

El filtro pasa altos mantiene polarizada la entrada de limpiar LP del biestable con 3 Volts (1 lógico). A la - entrada de la red se conecta BLF cuyas transiciones positivas y negativas producen a la salida del filtro pulsos cortos, positivos y negativos respectivamente, designadas como SFI. Las transiciones negativas de SFI son las que llevan la entra

da LP a 0 lógico y, borran la salida LTB.

El primer nivel 1 lógico de BLF, pasa un terminal - al estado Tx y a LTB a 0 lógico. Mientras el pulso BLF se mantenga positivo, permite la carga y comienzo de transmisión del BPI.

Con la carga del byte aparecerá un pulso positivo - de LTB, indicando a la computadora que puede cargar un nuevo byte. Después de recibir este aviso, la fuente de datos pone BLF en 1 lógico, indicando al terminal que el primer carácter está listo en la fuente y borrando LTB. Este carácter será tomado por el terminal para formar el BNB.

En el ejemplo utilizado en los diagramas de tiempo para la transmisión de dos bytes, habrá dos pulsos positivos de LTB que indican que está listo para transmitir los dos BDD que corresponden a los dos caracteres de la fuente. La última porción sombreada de LTB se puede suprimir con la señal CDB, pero como no interfiere con las pruebas, se le ha dejado presente, (ver Fig. D-2).

- Control del Sistema de Relación para Recención (Buffer). - -

El objetivo de este sistema es retener por el tiempo de 33 msg solamente los caracteres de datos correspondientes a los BNB y BDD disponibles a las salidas del convertidor S/P. Esto se efectúa mediante un registro de retención de dos circuitos integrados SN74175, cada uno de los cuales está compuesto por cuatro biestables de retraso tipo D, (Fig. III-31)

La entrada LP está controlada por $\overline{I_0}$ para partir de la condición inicial 0, y la entrada RJ por (BRL·BER), para que el retenedor tome los caracteres citados en el tiempo que están listos a las salidas paralelas del convertidor.

Además se puede conectar externamente la señal SBU que viene de un sistema para atrasar la señal de reloj (BRL·BER) del retenedor. Este "Sistema de retraso del reloj" se ha diseñado para las pruebas, pero no se utilizaría en operación normal.

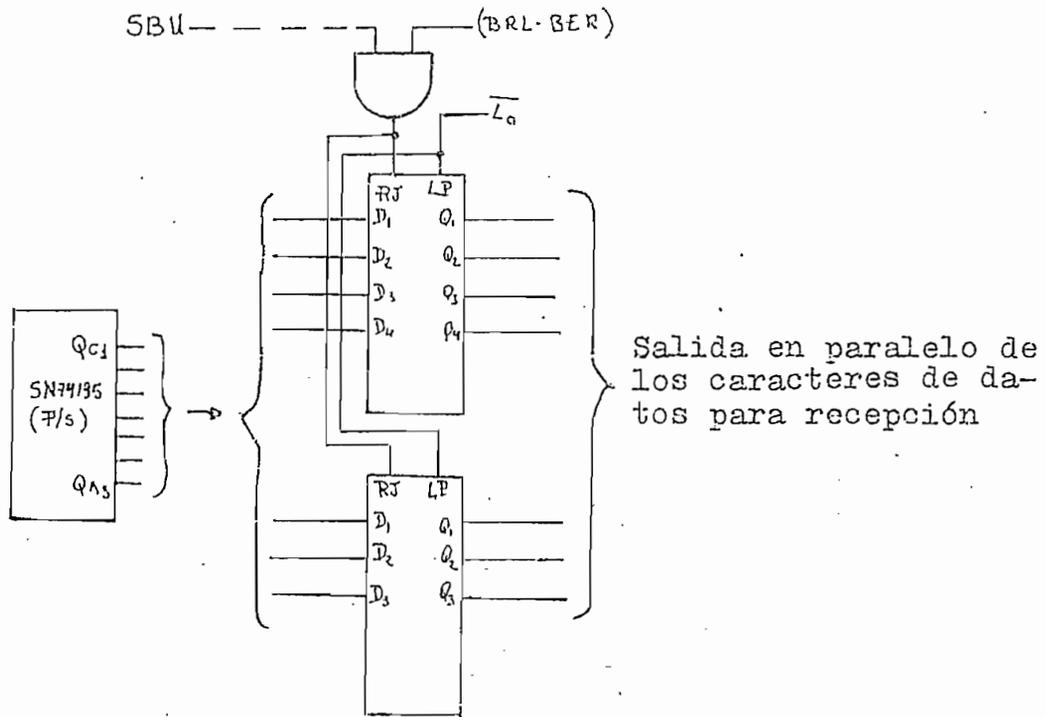


Fig. III-31

2d.- Control de los Biestables J - K.

El control de los biestables J - K se hace por medio de circuitos combinatoriales, deducidos en base de las funciones lógicas para su excitación, y con otras señales de control previamente generadas.

Las funciones lógicas de las excitaciones de los bi

estables, que generan las señales de nivel básicas: CA, CB, CC; tanto para transmisión y recepción son:

$$J_A = \overline{CB} \cdot \overline{CC} \cdot \overline{Lo}$$

$$K_A = CB$$

$$J_B = CDB$$

$$X_B = \overline{CA} \cdot \overline{Rx}$$

$$J_C = CA \cdot \overline{CB} + \text{Sob Tx} + \overline{IC} \cdot \text{Tx BRLCN} \cdot \overline{CA} \cdot CB$$

$$K_C = CDB$$

$$\text{Limpiar} = \overline{Lo} + \text{Limp}$$

$$\text{Pulsos de reloj} \begin{cases} T9B \text{ (para transmisión)} \\ T9D \text{ (para recepción)} \end{cases}$$

Antes de hacer el análisis para deducir estas funciones, se ha visto conveniente revisar algunas características del biestable utilizado.

- Biestable J - K, Maestro-esclavo (SN7411)

Para el diseño, se emplean dos circuitos integrados SN74111, cada uno de los cuales tiene dos biestables J - K tipo Maestro-esclavo. A continuación se muestra la tabla de estados (tabla III-12) de cada biestable, y un cuadro que indica las condiciones de operación recomendadas (tabla III-13)

ENTRADAS					SALIDAS	
Preset	Limpiar	Reloj	J	K	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H		L	L	Q ₀	\bar{Q}_0
H	H		H	L	H	L
H	H		L	H	L	H
H	H		H	H	Inversión	

Tabla III-13

Simbología de la tabla III-13:

H = 1 lógico

L = 0 lógico

X = que importa

 = pulso de reloj. Mientras el reloj es alto, cambios en la entrada J - K después del tiempo de retención no tiene efecto. Los datos son transferidos a la salida durante la transmisión negativa de reloj.

Q₀ = conserva el estado anterior.

Inversión = las salidas cambian a los complementos de su nivel anterior, con cada transición de reloj.

* = Configuración no estable

Condiciones de Operación Recomendadas para los circuitos

SN74111

	Mínimo	Nominal	Máximo
voltaje de trabajo (Vcc)	4.75	5	5.25
Salida de Corriente para el nivel alto			-800µA.
Salida de corriente para el nivel bajo			16 mA.
Reloj Alto	25 ns		
Ancho de los pulsos Reloj Bajo	25 ns		
Preset o Limpiar	25 ns		
Tiempo de Preparación (Tset-up)	0 ns		
Tiempo de Retención (Thols)	30 ns		
Operación en la Temperatura ambiente	0°C		70°C

Tabla III-14

Para diseñar el control lógico de estos biestables, se ha tomado en cuenta las condiciones de operación recomendadas, de las cuales todas se han cumplido con una buena tolerancia. Los parámetros que para el diseño han resultado de mayor cuidado son los tiempos de preparación y de retención, los cuales determinan ciertas características para que una señal se pueda utilizar como reloj de los biestables.

Los tiempos de preparación (T_{set-up}), y de retención (T_{hold}) se han definido anteriormente, estos se establecen con referencia al pulso de reloj; (Fig. III-32).

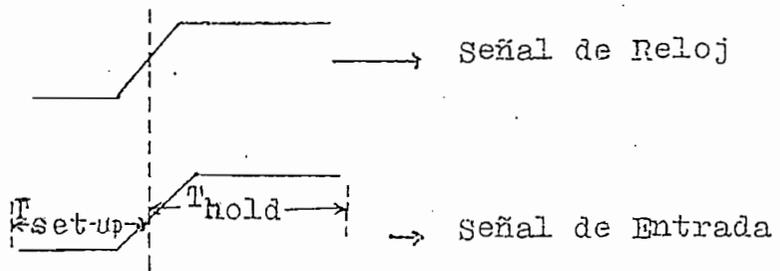


Fig. III-32

Del cuadro de operaciones recomendadas, se tiene -- $T_{set-up} = 0$ ns, lo cual se puede interpretar, que los niveles lógicos deseados en las entradas J - K, pueden no estar presentes hasta el momento en que aparece la señal de reloj. $T_{hold} = 30$ ns, indica el mínimo de tiempo, durante el cual --

deben estar presentes los niveles lógicos deseados en las entradas J - K después de la transición del reloj para una buena transferencia de información a la salida de los biestables

Según el diagrama de tiempos general para transmisión (Fig. D - 2), una señal de reloj adecuada para los biestables podría ser T9C, pero en la práctica se ha observado, que la señal CB seguía en el nivel 0 lógico y CC en 1 lógico, cuando asomaba la señal 1 lógico del CDB, en cuyo tiempo debían cambiar estas señales. Aparentemente todo estaba sujeto a las condiciones de diseño deseadas, pero no se tenía en cuenta que la señal CDB venía atrasada en un tiempo mayor al de retención (30 ns), razón por la cual no se efectuaban los cambios deseados.

Para solventar este problema se usa como señal de reloj T9B, cuya transición positiva viene después de la transición de CDB, utilizada en dos entradas de los biestables.

Lo mismo se podría decir para las señales de reloj T9R y T9D para recepción.

Tablas de Excitación.-

Para obtener las funciones lógicas de las entradas, se construyen las tablas de excitación de los biestables.

Se muestran dos tablas separadas, una de transmisión (Tabla III-15) y otra de recepción (Tabla III-16).

En estas tablas, se determinan las transiciones que deben seguir las entradas J y K de los biestables teniendo como guía las transiciones deseadas de las salidas de estos. Las salidas han sido determinadas en la tabla que define los estados secundarios del sistema (Tabla III-10)

En algunos casos, para dar las salidas deseadas, una entrada puede ser "que importe": X (ver tablas). Se ha escogido como entrada el nivel encerrado en paréntesis por -- que simplifica el diseño.

Para analizar dichas tablas, hay que tener en cuenta que por la naturaleza de los biestables J -K las salidas -- después de un pulso de reloj, dependen de las entradas al comienzo del pulso. Las entradas en cada fila de la tabla representan condiciones antes del pulso, y las salidas son los estados resultantes después del pulso de reloj.

Tabla de Excitación para Transmisión y sus Funciones Lógicas:

En la condición inicial de listo: estado Lo, las salidas son todas 0 lógico, debido a que la entrada de limpiar está en 0 lógico, en cuyo caso las otras entradas son, -- "que importa".

Al entrar el terminal en transmisión, la entrada --

Tabla de Excitación para Transmisión y sus Funciones Lógicas:

En la condición inicial de listo: estado T_0 , las salidas son todas 0 lógico, debido a que la entrada de limpiar está en 0 lógico, en cuyo caso las otras entradas son, "que importa".

Al entrar el terminal en transmisión, la entrada de limpiar cambia a 1 lógico, mientras que las salidas se mantienen con las mismas condiciones del estado anterior para tener el estado T_0 . Aunque las condiciones de entrada ya se han cambiado, estos no afectan las salidas, pues el pulso de reloj todavía no aparece.

Las entradas de los biestables entonces están fijadas en: $J_A = 1, K_A = 0$; $J_B = 0, K_B = 0$; $J_C = 0, K_C = 0$ que con el primer pulso de reloj dará las salidas de $CA = 1, CB = 0, CC = 0$, cuyas condiciones definen al estado T_1 .

De manera similar se suceden los otros estados (ver cuadro). El estado T_2 se repite (\curvearrowright) hasta que venga la señal del CDB, dependiente del número de bytes transmitidos, para pasar a T_3 . Luego pasa al estado T_4 .

El estado T_4 es una condición que se utiliza por un tiempo determinado. Después de esta, si la transmisión ha sido interpretada como correcta ($IC = 1$), las condiciones en las entradas y las salidas se mantendrán iguales y por medio de una señal en el control de estados básicos se pasa de Tx a Lo, y en los biestables de T_4 a Lo.

En el caso de que la transmisión se ha interpretado como errada: $IC = 0$, o no se recibió el BCN en el tiempo fijado, la salida CC debe ponerse igual a 1 lógico, entrando al estado T_5 , lo que se consigue poniendo $Jc = 1$ por medio de las señales Sob Tx (sobretiempos de transmisión), o de la interpretación de la contestación, ($IC = 0$)

De acuerdo con la tabla de excitaciones, algunas entradas son funciones directas de las salidas o combinaciones de estas. En cambio otras entradas utilizan señales provenientes de otras secciones de la unidad de control como Tx ó Rx. Así también la señal del CDB, que ha sido generada para pasar de T_2 a T_3 en transmisión, (y de R_2 a R_3 en recepción).

Las señales de sobretiempos de transmisión (Sob Tx) o la de interpretación de la contestación, (IC), actúan para

cambiar CC, como se indicó anteriormente.

Según esto y de acuerdo a la tabla, las funciones de excitación en transmisión son:

$$J_A = \overline{CB} \cdot \overline{CC} \cdot Tx$$

$$K_A = CB$$

$$J_B = CDB$$

$$K_B = 0$$

$$J_C = CA \cdot \overline{CB} + \text{Sob Tx} + \overline{TC} \cdot Tx \cdot BRLCN \cdot \overline{CA} \cdot CB$$

$$K_C = CDB$$

$$\text{Limpiar(LP)} = \overline{Lo}$$

También se ha indicado que la señal de reloj es --- T9B.

La función \overline{Lo} como señal de control a la entrada de limpiar, no es suficiente, pues se ha visto en la práctica que al conectar el generador de pulsos al terminal transmisor e iniciar una transmisión, este parte de estados no deseados. Para asegurar que se parte de la condición inicial \overline{Lo} , se utiliza además de \overline{Lo} , un pulso externo: Limp, dado por el generador. Con esto la entrada de LP es:

$$\overline{\text{Limp} + \overline{Lo}} = \text{FIRST}$$

Tabla de Excitación para Recepción y sus Funciones Lógicas.-

La tabla de excitaciones para la recepción, es similar a la de transmisión, teniendo en cuenta que sigue la secuencia de estados $R_0, R_1, R_2, R_3, R_4, R_0$ y después va a L_0 mediante una señal que manipule el control de estados básicos. Además la señal de reloj, $T9D$, es atrasada de la de transmi__

Tabla de Excitación para Recepción y sus Funciones Lógicas.-

La tabla de excitaciones para la recepción, es similar a la de transmisión, teniendo en cuenta que sigue la secuencia de estados $R_0, R_1, R_2, R_3, R_4, R_0$ y después va a L_0 mediante una señal que manipule el control de estados básicos. Además la señal de reloj, $T9D$, es atrasada de la de transmisión, debido a que los datos en paralelo en recepción se tienen listos y disponibles por un tiempo igual a $T9$, pero atrasado medio pulso del mismo, como se puede ver en los diagramas de tiempo de recepción (Fig. D - 3)

De acuerdo a lo expuesto anteriormente y la tabla de excitación las funciones para la excitación en recepción son:

$$J_A = \overline{CB} \cdot \overline{CC} \cdot Rx$$

$$K_A = CB$$

$$J_B = CDB$$

$$K_B = \overline{CA} \cdot Rx$$

$$J_C = CA \cdot \overline{CB}$$

$$K_C = CDB$$

$$\text{Limpiar} = \overline{L_0}$$

Una vez que tenemos las funciones de excitación ---- tanto para transmisión como para recepción, podemos combinar estas en un solo grupo mediante las funciones "or" de cada -- uno de ellos, que son las funciones mostradas al comienzo de este apéndice:

$$J_A = \overline{CB} \cdot \overline{CC} \cdot Lo$$

$$K_A = CB$$

$$J_B = CDB$$

$$K_B = \overline{CA} \cdot RX$$

$$J_C = CA \cdot \overline{CB} + Sob. Tx + \overline{IC} \cdot Tx \cdot BRLCN \cdot \overline{CA} \cdot CB$$

$$K_C = CDB$$

$$Limpiar = \overline{Lo} + Limp$$

$$\text{Pulsos de reloj} = \begin{cases} T9B \text{ (para transmisión)} \\ T9D \text{ (para recepción)} \end{cases}$$

3.- DIAGRAMAS DE TIEMPO.-

Anteriormente hemos analizado y definido a los diagramas de tiempo (Pag. 129). Estos han sido necesarios para la deducción de ciertas funciones lógicas que pueden ser críticas en el tiempo, las cuales son la combinación de funciones ya generadas resultando su análisis más fácil con ayuda de los citados diagramas, tal es el ejemplo de (Ro→Lo) Pag.148.

Ahora presentaremos los diagramas de tiempo ⁽¹⁾ completos de las señales de todo el sistema: tanto de las señales de reloj, de las señales de nivel, y de las señales de pulso utilizadas.

Se tiene un diagrama para transmisión (Fig. D - 2) y otro para recepción (Fig. D - 3), los cuales indican gráficamente el comportamiento de cada señal y la relación que tienen las señales entre si durante la transmisión y recepción de un bloque de información para dos caracteres de datos.

La unidad de referencia de los diagramas es ϕ_1 , cu

(1) Los diagramas de tiempo completos del sistema se presentan en el Apéndice D.

yo período $T\phi_1 = 3,3$ msg.

3a.- Diagramas de Tiempo para Transmisión

SS: señal serial, conforma el bloque de información que está transmitiendo, indicando en forma serial cada byte - que se transmite para el ejemplo escogido de los caracteres - de datos.

Las señales de reloj $2\phi_1, \phi_1$, se analizaron al establecer la velocidad de transmisión; $A_2, B_2, C_2, D_2; T9$, al establecer la decodificación; $T9C, T9B$ en los controles de los biestables J - K; la señal ϕK al establecer el control de reloj de los convertidores. En las señales de $A_2, T9, T9C, T9B$ se indica con un punto cuando actúa el sistema de sincronización para la recepción del BCN, y se dibuja con línea de rayas en el caso de que no se reciba el byte. Las señales de nivel CA, CB, CC se analizaron al establecer su generación mediante los biestables J - K.

La señal SS, muestra en forma serial los bits de cada byte para un bloque de información, (en este caso para dos caracteres de datos).

Los diagramas de tiempo de S/LCO, GT_1 , SUM, PCCB, -

PRCB, BRLCN, se han dibujado a partir de sus funciones lógicas. Por ejemplo, según la expresión:

$$S/LCO = \overline{GT \cdot T9 \cdot (BLF + CB)}$$

este puede pasar al nivel 0 lógico durante un tiempo en que GT y T9 alcanzan el nivel 1 lógico, los cuales están condicionados a que la señal de BLF o la de CB también tenga al mismo tiempo el nivel 1 lógico. Esto se puede observar en el diagrama de tiempos comparando las señales que definen su función lógica.

La señal GT tiene la duración indicada porque se genera alimentando con GT_1 un biestable D y controlando su reloj con T9. La señal GR se saca de \bar{Q} del biestable.

Al analizar la generación de la señal CDB, hemos dicho que se siguen los siguientes pasos:

Carga del contador cuando: PCCB = $\bar{1}$, con: 1111101

Conteo de los pulsos de reloj	{	1° PRCB	pasa a: 1111110
		2° PRCB	pasa a: 1111111
		3° PRCB	pasa a: 0000000

por tanto CDB = 1 lógico entre la 2° y 3° transiciones negativas del reloj PRCB.

La señal BCM, (SRC); indica en forma serial a la se

ñal de recepción: SRC, que trae consigo el byte de contesta__
ción: BCN.

La señal BER es 1 lógico mientras se reciba un byte
para este caso del BCN.

La señal IC, puede dar un pulso 1 lógico cuando se
tenga a los tres RC = 1 disponibles paralelo.

La señal de Tx, muestra con 1 lógico cuanto dura una
transmisión. Se ha indicado en línea de rayas el caso de -
que el terminal pase a T_5 .

La señal Io será 1 lógico mientras Tx = 1 lógico.

Los diagramas de tiempo para LTB, BLF, BLF, SFI, se
han explicado en los sistemas de relación.

La señal de ϕ FD, será explicada junto con el gene_
rador de pulsos. Su diagrama se obtiene de su función lógi_
ca.

3b.- Diagramas de Tiempo para Recepción

SRC: señal de recepción, conforma el bloque de información que está recibiendo, indicando en forma serial cada byte que se recibe para el ejemplo escogido de dos caracteres de datos.

PRC: pulsos de recepción, existe un pulso positivo cada vez que el terminal detecta una transición positiva de la señal SRC. Analizaremos la generación de estos pulsos en el sistema de sincronismo.

Las señales de reloj ϕ_1 , ϕ_K , T9, T9C, se han analizado anteriormente. En estas se muestra con un punto el momento en que se sincroniza el receptor para empezar la recepción de un bloque. En ϕ_K se muestra el doble pulso para cargar el BCN.

La señal de reloj T9R, se atrasa un medio período de ϕ_1 , pues los bytes correspondientes a cada estado se tienen listos con medio pulso de retraso respecto de la referencia ϕ_1 . Luego modificado en el tiempo mediante: $T9D = T9R \cdot \phi_1$, es utilizado como pulso de reloj de los biestables J - K durante recepción.

Es necesario controlar esta salida T9D de manera -

que aparezca cuando efectivamente se recibe un byte, pues se ha visto que los terminales pueden entrar en un "estado de --interacción" no previsto, del cual no pueden salir. Este "estado" es:

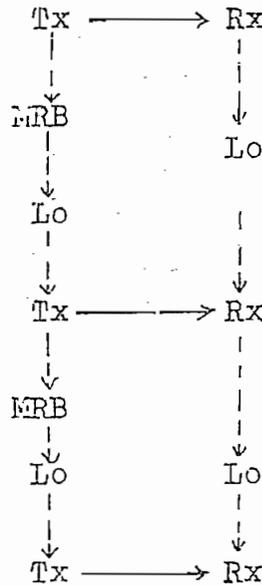


Fig. III-33

El control de T9D, se efectúa por medio de T9R, - mediante un sistema que consta de un biestable D, SN7474, y - conmutas (Fig. III-34). La señal BER permite la entrada de un pulso T9 en el biestable si se recibe un byte, y GTI permite la entrada de un pulso T9 para pasar el terminal a T₄. Los cambios a las salidas se producen con las transiciones no positivas de ϕ_1 , que da un pulso T9R, cada vez que pasa un mul

so T9 al biestable. La entrada LP está conectada a $\overline{L_0}$ para partir de la condición inicial 0 lógico a la salida.

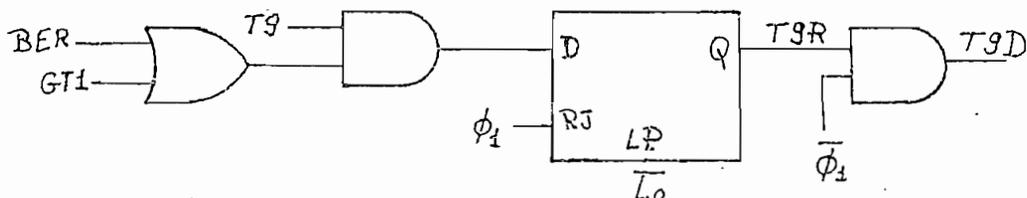


Fig. III-34

La señal BER (byte de recepción), de la misma forma que en transmisión, es 1 lógico mientras se recibe un byte. Las señales CA, CB, CC son las salidas de control de los biestables durante recepción. En CA se muestra las secuencias de estados que sigue el terminal durante recepción de acuerdo al diagrama de flujo.

La señal Rx, muestra con 1 lógico el tiempo en que el terminal se mantiene en recepción

BLP: bytes listos en paralelo, no es una señal pero se ha dibujado en el diagrama para indicar que en ese momento los bytes que llegan están listos para ser tomados en forma de bytes o de caracteres.

La señal BCN, (SS), muestra en forma serial el byte de contestación.

De la misma manera que en transmisión los diagramas de tiempo: S/LCO, GT₁, GT, BOS, SUM, PCCB, PROCB, BRL, se pueden obtener directamente de sus funciones lógicas.

4.- CONTROL DE ERROR.-

4a.- Necesidad del Control de Error.-

Todo sistema de comunicación está afectado por ruido y distorsión de algún grado. Si comparamos un sistema de transmisión digital de datos con la transmisión del espectro de voz, se puede ver que esta última permite un considerable grado de ruido y distorsión, pues las palabras son legibles aún cuando existe alguna interrupción o error, gracias a la interpretación dada por las personas que escuchan la transmisión. Así por ejemplo, uno de ellos puede deducir por el contexto, que palabra se ha transmitido si esta llega distorsionada, o puede pedir que se repita el texto transmitido. Esta flexibilidad en la transmisión no es posible conseguirlo cuando se trata de transmisión entre dos máquinas.

Otra diferencia básica es la velocidad de transmisión. En transmisión de datos es deseable que las máquinas trabajen a una velocidad mucho mayor que la equivalente a la transmisión de la voz (40 bits/seg) la cual tiene un alto grado de redundancia. Pudiendo transmitirse a velocidades de 2400 bits/seg a través de canales telefónicos.

A más de la distorsión por retraso de fase, la cual se puede considerar como fija y siempre presente en un sistema, existe diferentes clases de ruidos (atmosféricos, ruido blanco, de impulso), considerados como fortuitos, los cuales se determinan unicamente por métodos probabilísticos.

De estos la mayor causa de errores en la transmisión de datos por canales telefónicos, es el ruido de impulso, que es a menudo causado por la operación electromecánica de las centrales.

La distorsión por retraso de fase ha sido tomada en cuenta para el diseño del sistema ⁽¹⁾, mientras que para detectar un error causado por los ruidos de impulso se ha diseñado un sistema de control de error.

Ver "Efecto de demora" para un canal telefónico. Pag. 26.

4b.- El sistema de Control de Error.-

El sistema trabaja solamente en recepción, se compone de tres secciones de control, (Fig. III-35) cada una de las cuales puede dar una señal de error a un biestable de errores cuya salida RC (recibido correcto), pasa a la computadora receptora, de manera que si indica $RC = 1$ lógico se deben tomar los bytes recibidos como correctos y si $RC = 0$ lógico los bytes recibidos no deben ser tomados. Esta misma señal también se transmite por medio del BCN (byte de contestación) al terminal transmisor. Al BCN lleva en los tres últimos bits de su carácter la señal RC, mientras que los cuatro primeros bits tienen una combinación fija de 0101. La señal RC, es interpretada por el terminal transmisor por medio de una compuerta AND de tres entradas para dar $IC = 1$ para una buena recepción y $IC = 0$ en caso contrario.

Si resulta $IC = 0$, habrá una señal que significa mala recepción de bytes (MRB), a la computadora transmisora, la cual deberá transmitir nuevamente el bloque de información. En caso contrario no existe MRB, y se puede proseguir con una nueva transmisión.

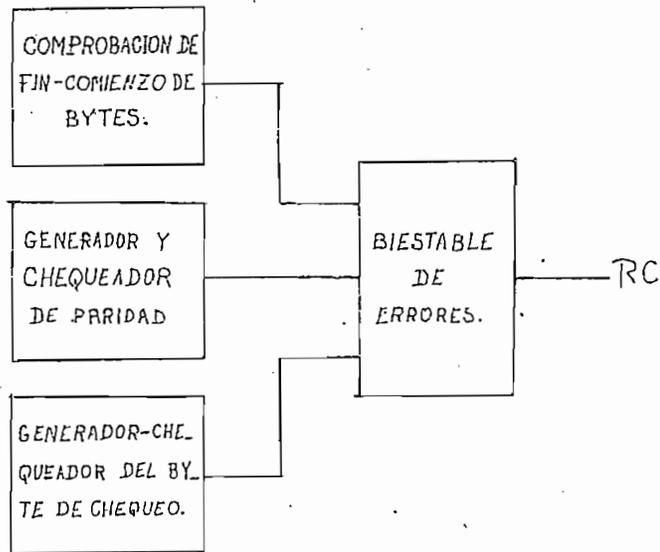


Fig. III-35

- El biestable de Errores. -

El biestable de errores es del tipo $\bar{R} - \bar{S}$, formado por un NAND de cuatro entrada y uno de dos entradas (Fig. --- III-36)

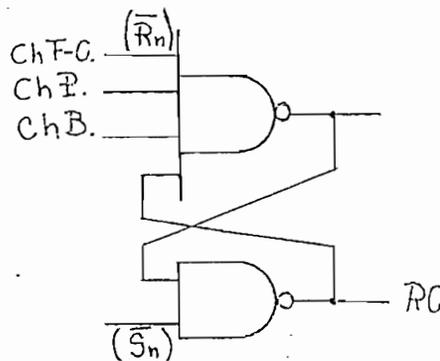


Fig. III-36

Cuando está en el estado de espera, $\overline{Lo} = 0$ lógico que pone la salida RC = 1. Esta cambiará a 0 lógico solamente cuando cualquiera de las señales de control pone un 0 lógico a una de las entradas \overline{Rn} , indicando algún tipo de error.

- Chequeo de Fin-Comienzo. -

La señal de control Ch F - C: "chequeo de Fin-Comienzo", comprueba que la señal de recepción este sincronizada a la velocidad de transmisión establecida.

Mediante una señal de reloj T9C.CA, se sincroniza la señal de salida Ch F - C para cada byte, comprobando que el primer bit de todos los bytes es siempre 1 lógico y corresponde al bit de comienzo y el último bit es 0 lógico y corresponde al de fin de byte.

Esta interpretación se efectúa decodificando las salidas de los bits de comienzo y de fin, mediante un inversor y una compuerta NAND (1) (Fig. III-37), cuya salida pasa a la entrada del NAND (2) el cual la sincroniza con los pulsos de CA.T9C.

Ch - F se pone igual a 0 solamente si hay un error.

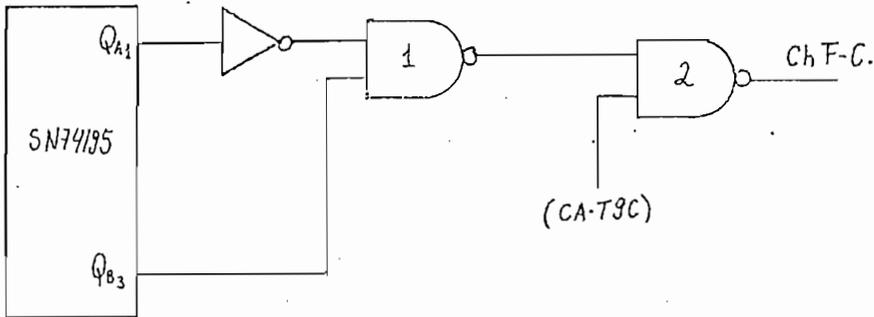


Fig. III-37

- Sistema de Control de Bit de Paridad. -

El bit de paridad es un bit extra agregado a los siete bits de información, para chequear si cada byte transmitido llega correctamente, este se agrega de tal manera que el número de 1s en un carácter siempre sea impar. Por ejemplo si tenemos el carácter: 0000010 el octavo bit que se agrega debe ser 0, para conservar impar el número de los 1s en los 8 bits del carácter.

En recepción se chequea si el número de 1s que llegan es impar. Si esto no sucede el ruido habrá aumentado o suprimido un bit y el error detectado pasa al biestable de --

errores para indicar mala recepción.

Para generar y chequear el bit de paridad durante - la transmisión y recepción respectivamente, hemos usado un so lo circuito integrado el SN74180. Este circuito es capaz - de dar salidas de paridad par o impar, para 8 bits de entrada de información, por medio del control de sus entradas P ó I y como muestra su tabla de estados (Tabla III-17)

ENTRADAS			SALIDAS	
Σ de ls de entrada de "a" hasta "h"	Par	Impar	Σ Par	Σ Impar
Par	H	L	H	L
Impar	H	L	L	H
Par	L	H	L	H
Impar	L	H	H	L
X	H	H	L	L
X	L	L	L	H

Tabla III-17

H= 1 lógico

L= 0 lógico

X=que importa

Los datos de información a transmitirse se han conectado a siete entradas de a hasta g, directamente de las salidas del registro de desplazamiento, (Fig. III-38). La entrada h está en 1 lógico cuando se está transmitiendo, porque la entrada GR de la compuerta NAND (1) que la alimenta está en 0.

El bit de chequeo generado se toma de la salida Σ Par del circuito y se conecta a la entrada P del registro de desplazamiento, y se carga con el segundo pulso de carga ϕ K en el registro.

Durante la recepción con GR = 1 se tiene que por h entra el complemento del bit de Chequeo para dar a la salida de Σ Par un 0 lógico si no hay algún error. Este 0 lógico se sincroniza con la señal T9C·CA para pasar por medio de un NAND (2) al biestable de errores.

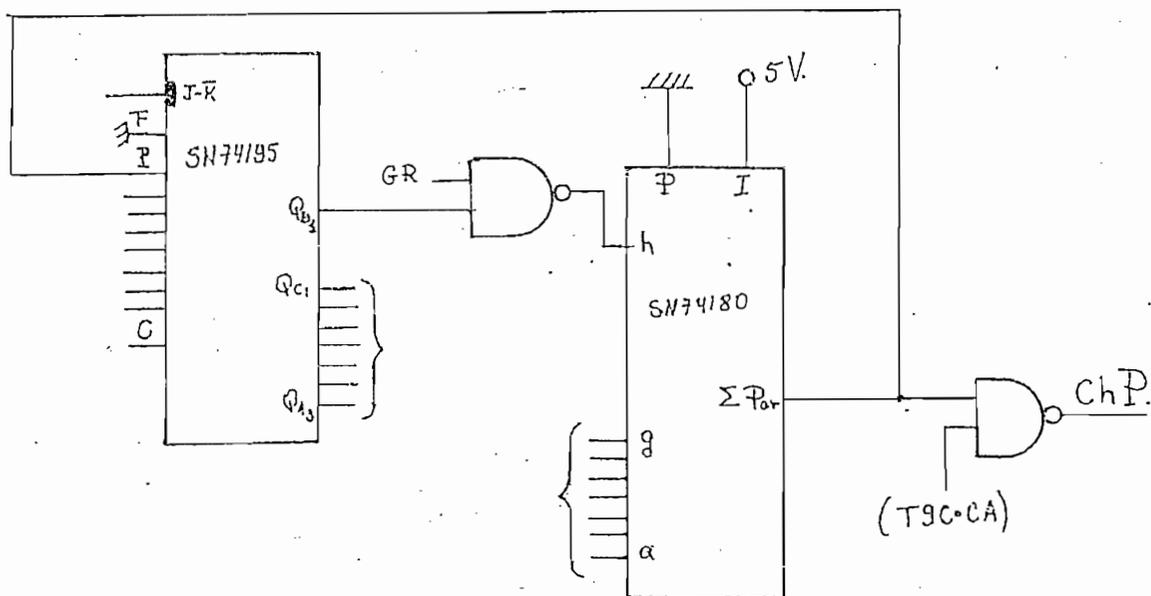


Fig. III-38.

Las entradas de control del circuito se han conectado de manera que sus salidas responden a la siguiente tabla - modificada:

ENTRADAS			SALIDA
Σ de ls de entrada de "a" hasta "h"	Par	Impar	Σ Par
Par	L	H	L
Impar	L	H	H

Tabla III-18

- Sistema de Control del Byte de Chequeo. -

Debido a que el bit de paridad mediante un control horizontal no detecta errores que se producen al mismo tiempo en forma par, se ha diseñado un sistema que chequee los errores que se producen en esta forma mediante un control vertical, para así complementar la deficiencia del chequeo horizontal.

Durante la transmisión, este sistema genera el último byte para constituir el bloque de información, designado "byte de chequeo": BCH. Este byte es el complemento del resultado de la suma sucesiva módulo 2^7 de los caracteres del BNB y los BDD, partiendo de la condición inicial cero.

Durante recepción, este sistema de la misma forma que en transmisión, genera la suma módulo 2^7 de los caracteres del BNB y los BDD que van llegando al terminal receptor. Esta suma final siempre será llllllll, si la recepción ha sido correcta, y se decodifica mediante una compuerta, indicando si se ha transmitido correctamente o con error.

El sistema para controlar el BCH, está construido a base de un sumador binario de dos circuitos integrados SN7483

conectados en cadena, un registro de retención de dos circuitos integrados SN74175, y dos compuertas NAND (Fig. III-39).

Cada circuito integrado SN7483 es capaz de realizar sumas entre dos números binarios de cuatro bits, como muestra la tabla de estados. (Ver nota siguiente página)

ENTRADAS				SALIDAS					
				Cuando C0 = L			Cuando C0 = H		
				Cuando C2 = L			Cuando C2 = H		
A1 A3	B1 B3	A2 A4	B2 B4	Σ1 Σ3	Σ2 Σ4	C2 C4	Σ1 Σ3	Σ2 Σ4	C2 C4
L	L	L	L	L	L	L	H	L	L
H	L	L	L	H	L	L	L	H	L
L	H	L	L	H	L	L	L	H	L
H	H	L	L	L	H	L	H	H	L
L	L	H	L	L	H	L	H	H	L
H	L	H	L	H	H	L	L	L	H
L	H	H	L	H	H	L	L	L	H
H	H	H	L	L	L	H	H	L	H
L	L	L	H	L	H	L	H	H	L
H	L	L	H	H	H	L	L	L	H
L	H	L	H	H	H	L	L	L	H
H	H	L	H	L	L	H	H	L	H
L	L	H	H	L	L	H	H	L	H
H	L	H	H	H	L	H	L	H	H
L	H	H	H	H	L	H	L	H	H
H	H	H	H	L	H	H	H	H	H

Tabla III-19

H = Nivel alto

L = Nivel bajo

Nota: Las condiciones de entrada en A3, A2, B2 y C0 son usadas para determinar las salidas $\Sigma 1$ y $\Sigma 2$ y el valor de la llevada interna C2. Los valores en C2, A3, B3, A4 y B4 son entonces usados para determinar las salidas $\Sigma 3$, $\Sigma 4$ y C4.

Cada circuito SN74175 que forma el sistema de retención está compuesto por cuatro biestables de retraso tipo D.

Las entradas de Limpiar: LP y de reloj RJ, están controladas por las señales de SUM y \bar{L}_0 , definidas anteriormente, (Fig. III-39). A las entradas D_n del sistema de retención se tiene las sumas binarias Σ_n entre los bits de la fuente de datos y la suma anterior. Las salidas Q_n retienen estos valores que se pasan a las entradas B_n del sumador y también a una compuerta NAND de siete entradas; para decodificar la suma final (para recepción), y dar una señal si está correcto o con error a través de otra compuerta NAND de tres entradas sincronizada por CB y (T9C·CA).

En transmisión el BCH se toma de las salidas Q_n .

A continuación damos el ejemplo de generación y chequeo del BCH para dos bytes de información:

Durante Transmisión:

0000000 ← Condición inicial del sumador
+ 0000010 ← BFB = 2

0000010 ← Σ_1
0011000 ← 1° BDD

0011010 ← Σ_2
+ 0100011 ← 2° BDD

0111101 ← Σ_3
1000010 ← $\bar{\Sigma}_3 \equiv$ BCH: Byte generado por el terminal transmisor y transmitido como BCH

Durante Recepción:

0111101 ← Σ_3 : Byte generado por el terminal receptor de acuerdo a cada byte que llega.
+ 1000010 ← BCH: Byte recibido como BCH.

1111111 ← $(\Sigma_3 + \text{BCH})$: comprobación.

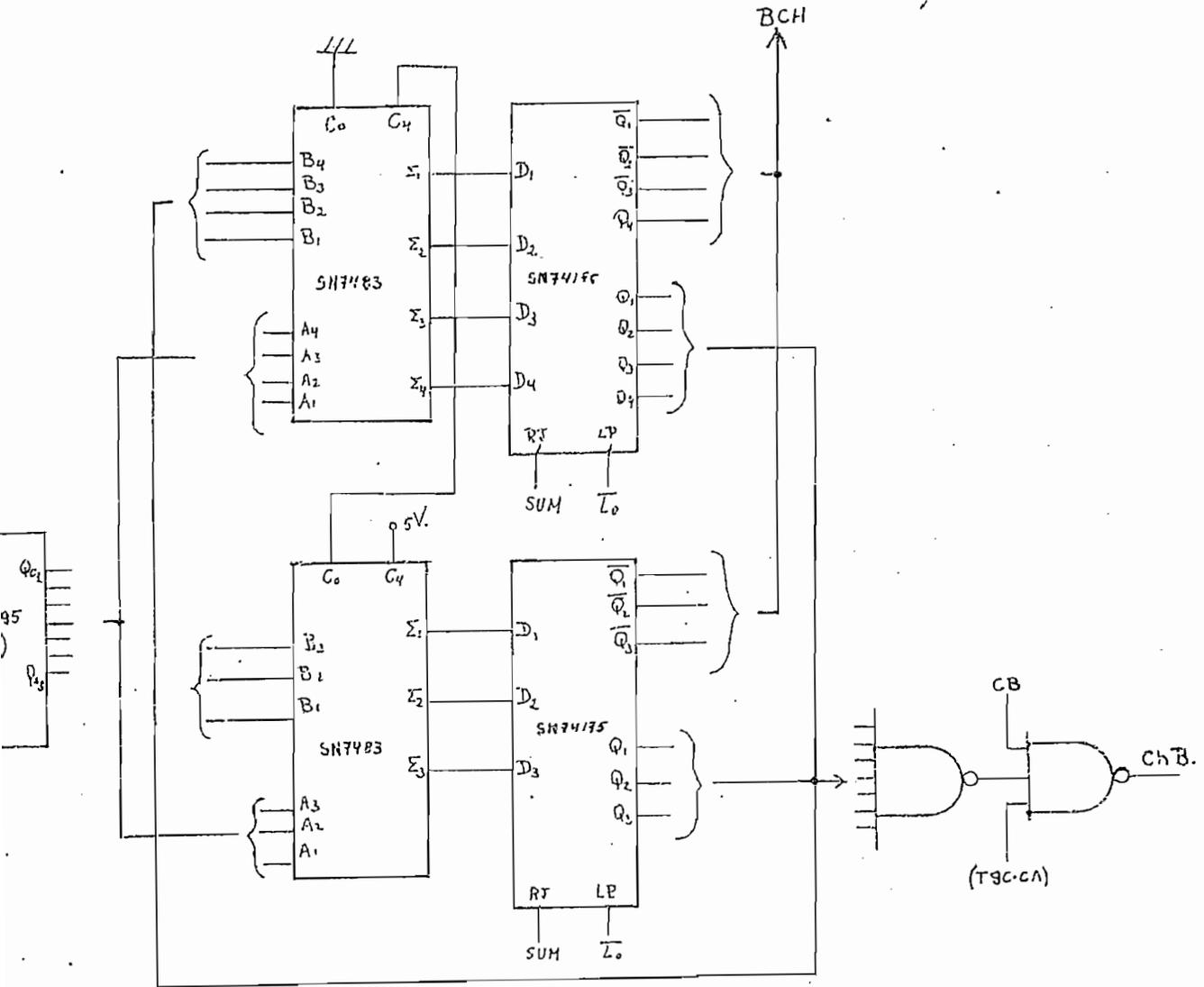


Fig. III-39

D.- SISTEMA DE SINCRONIZACION.-

Este sistema trabaja cuando empieza a recibir información. Su papel es mantener a los terminales que trabajan como transmisor y receptor con la misma fase durante una transmisión.

La sincronización comienza con la primera transición positiva proveniente del terminal que ha empezado a transmitir, detectada por el segundo terminal, y dura mientras las entradas de regreso a cero (reset) de los contadores se mantengan en 1 lógico para llevar las señales de reloj a cero y así sincronizar con las señales de reloj del transmisor. El proceso de sincronización se efectúa para cada byte recibido.

El sistema está compuesto (Fig. III-40), por un multivibrador monoestable que da los pulsos de recepción: PRC, de un biestable $\bar{R} - \bar{S}$ que da la señal byte en recepción: BER. Las entradas de regreso a cero de los contadores SN7493 que da ϕ_1 y de SN7490 que decodifica T9, están controladas por PRC y BER, para llevar sus salidas a la condición inicial cero con cada transición de "fin-comienzo"

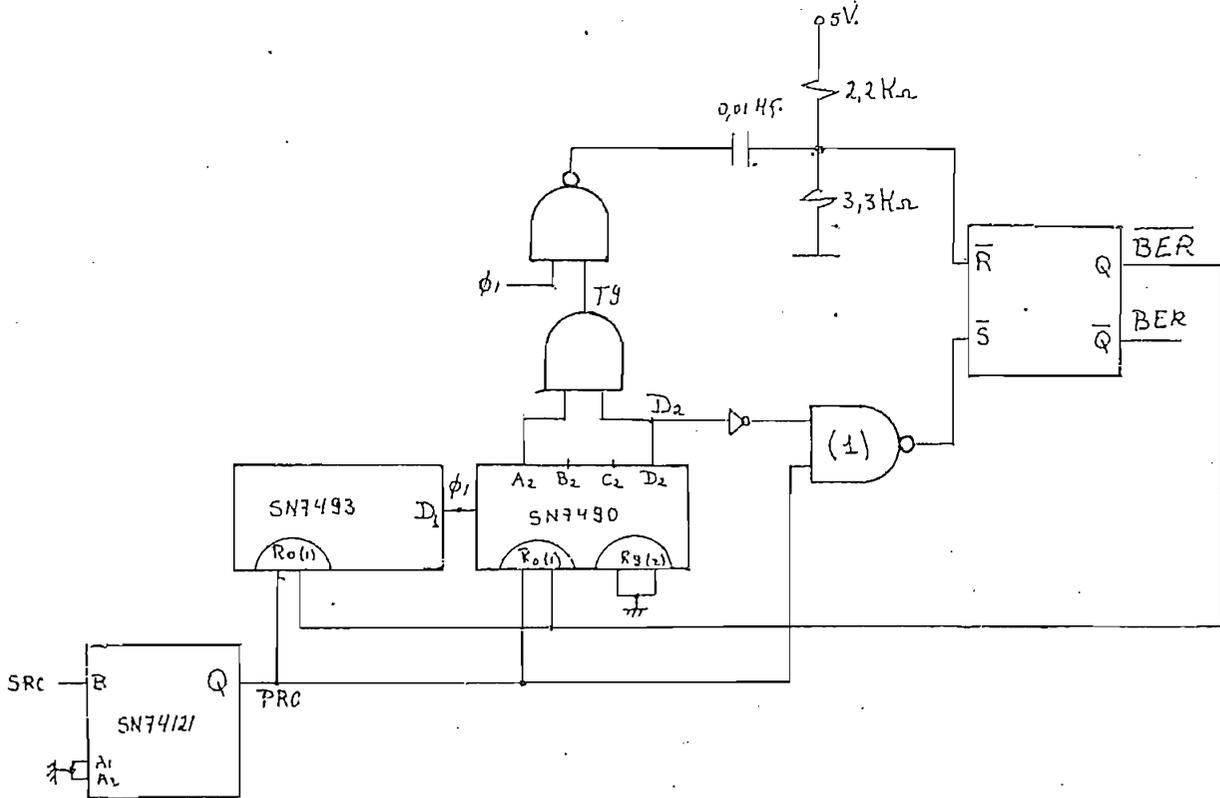


Fig. III-40

El multivibrador monoestable SN74121, cuyas conexiones se han hecho en base de su tabla de estados (Tabla III-20), de manera que cada transición positiva de SRC detectada en B, produce un pulso positivo PRC en la salida Q. El ancho de estos pulsos tiene una duración menor que un pulso positivo o negativo de ϕ_1 .

ENTRADAS			SALIDAS	
A ₁	A ₂	B	Q	\bar{Q}
L	X	H	L	H
X	L	H	L	H
X	X	L	L	H
H	H	X	L	H
H	↓	H		
↓	H	H		
↓	↓	H		
L	X	↑		
X	L	↑		

Tabla III-20

H = 1 lógico

L = 0 lógico

↑, ↓ = transiciones positivas o negativas de entrada

 = pulso generado.

El efecto del biestable es dar una salida BER que indica con 1 lógico cuando empieza y termina la recepción de un byte. Su complemento \bar{BER} da un pulso positivo para que junto con el pulso PRC de fin-comienzo, mantengan por un momento en 1 lógico las entradas resets de los contadores cuando empieza el primer pulso de reloj ϕ_1 de cada byte, para un regreso a cero de las salidas del contador. Las tablas -- que definen las funciones de conteo y regreso a cero (condición inicial), para los contadores SN7493, (tabla III-21); y

y del SN7490, Tabla III-22 son:

ENTRADAS DE REPOSICION		SALIDAS			
Ro (1)	Ro (2)	Q _A	Q _B	Q _C	Q _D
H	H	L	L	L	L
L	X	Conteo			
X	L	Conteo			

Tabla III-21

ENTRADA DE REPOSICION				SALIDAS			
Ro(1)	Ro(2)	R9(1)	R9(2)	Q _D	Q _C	Q _B	Q _A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	Conteo			
L	X	L	X	Conteo			
L	X	X	L	Conteo			
X	L	L	H	Conteo			

Tabla III-22

El análisis para las entradas y salidas del biestable, se puede efectuar mediante los diagramas de tiempo, --- Fig. III-41.

La entrada \bar{R} del biestable tiene cada décimo pulso de ϕ_1 un pulso negativo, para indicar que se ha terminado la recepción de un byte. Es necesario que este pulso tenga una

duración pequeña, de manera que no se tengan ambas entradas - del biestable en 0 lógico al mismo tiempo, para lo cual se emplea un filtro de paso alto que aprovecha las transiciones negativas de \overline{PRC} para llevar a cero al biestable.

Hay que notar que se puede pasar PRC directamente a \overline{S} sin la combinación de $\overline{D_2}$, pero esto se ha utilizado para -- aprovechar el atraso que dan los circuitos del inversor y las compuertas, para el cambio a 0 lógico de \overline{BER} con respecto a la transición positiva de PRC (Fig. III-42). \overline{BER} se mantiene en 1 lógico por 63 ns, después de la transición de PRC y junto con esta se utiliza como señal de regreso a cero de los contadores. El tiempo (63 ns), en que ambas señales están en 1 lógico se ha designado tiempo de sincronización.

CAPITULO IV

CONSTRUCCION DEL EQUIPO Y PRUEBAS

1.- MONTAJE.-

Se han construido dos terminales iguales, diseñados para trabajar con 110 Vots A.C. de alimentación. La fotografía N°1 muestran ambos terminales. En el uno se puede ver la parte frontal con sus focos indicadores y el conmutador de la alimentación, en el otro se observa la parte posterior con los conectores necesarios para su funcionamiento. Esta disposición se ve más claramente en la fotografía N°2

Como focos indicadores se utilizan diodos emisores de luz, que aprovechan el 0 lógico de la señal para prenderse (Fig. IV-1)

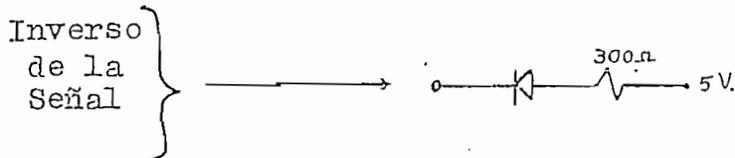


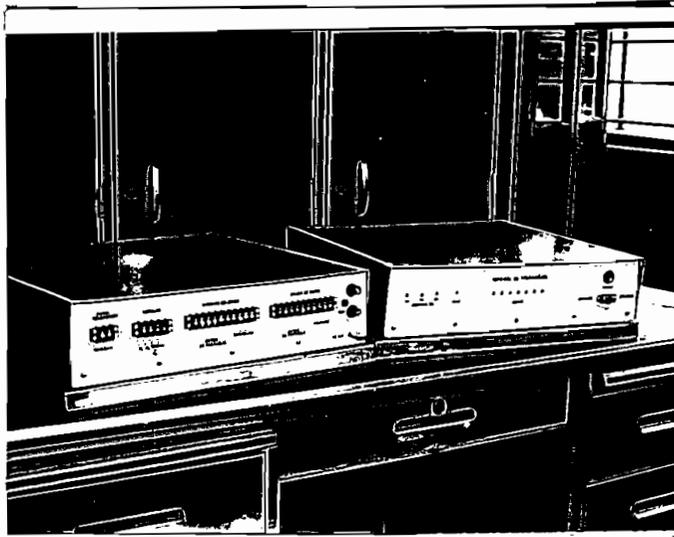
Fig. IV-1

El sistema lógico está construido a base de circuitos integrados TTL de la serie 74000, estos se han montado en placas vector.

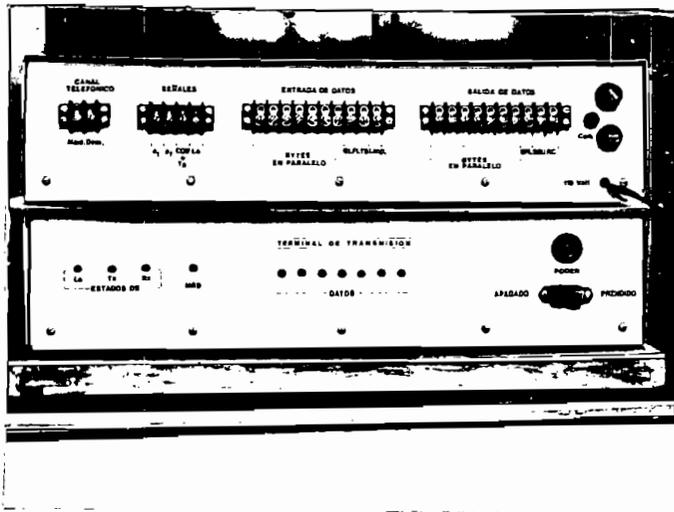
El MODEM y el sistema que da señal básica del reloj están montados en circuitos impresos.

La fotografía N°3 muestra internamente a uno de los terminales.

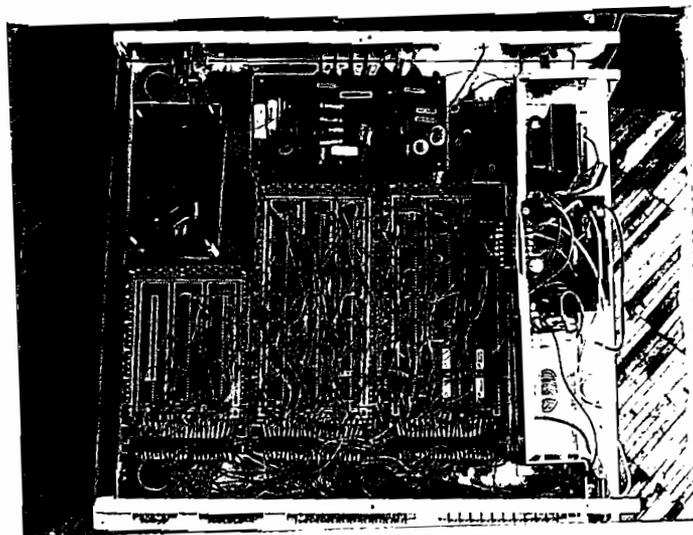
Los sistemas de pruebas, se han construido en unidades separadas de los terminales. Estos se muestran en la - fotografía N°4



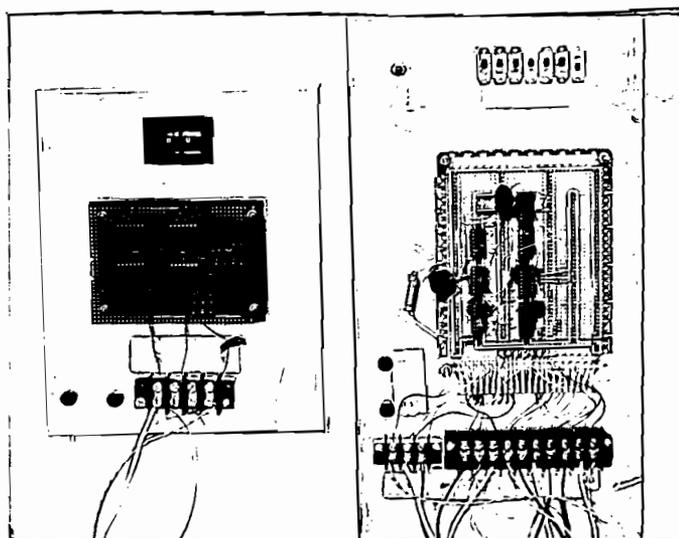
Fotografía N°1



Fotografía N°2



Fotografía N°3



Fotografía N°4

2.- PRUEBAS.-

Se han efectuado pruebas independientemente, tanto para la parte digital: Unidades de Control y la parte analógica: los MODEM.

Para las pruebas de las unidades de control, se ha utilizado un osciloscopio con almacenamiento, que permite --- grabar ondas transitorias en la pantalla.

En base de los diagramas de tiempo, se han probado cada una de las señales de control, cargando en el terminal -- un número determinado de caracteres.

Los caracteres que llegan al otro terminal se pue__ den ver mediante los focos indicadores de la parte frontal -- del terminal receptor. Mediante el sistema de selección de byte, se puede escoger a través de un conmutador hexadecimal un caracter para que quede indicado en los focos por un tiem__ po apreciable..

Se han tomado fotografías de 8 ondas (una por cada cm. de la escala del osciloscopio). Las ondas se han alma__ cenado utilizando como disparo externo el bloque de transmi__

sión (o señal serial: SS.).

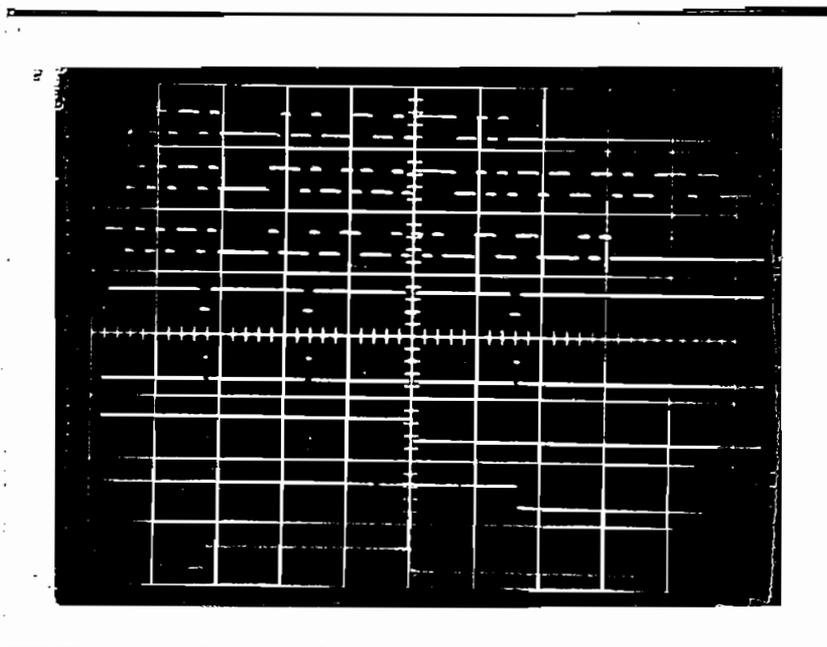
A la fotografía N° 5 corresponden:

- La 1° Onda: el bloque de información o SS, para un carácter de datos.
- La 2° Onda: el bloque de información o SS, para tres caracteres de datos.
- La 3° Onda: el bloque de información o SS, para dos caracteres de datos.

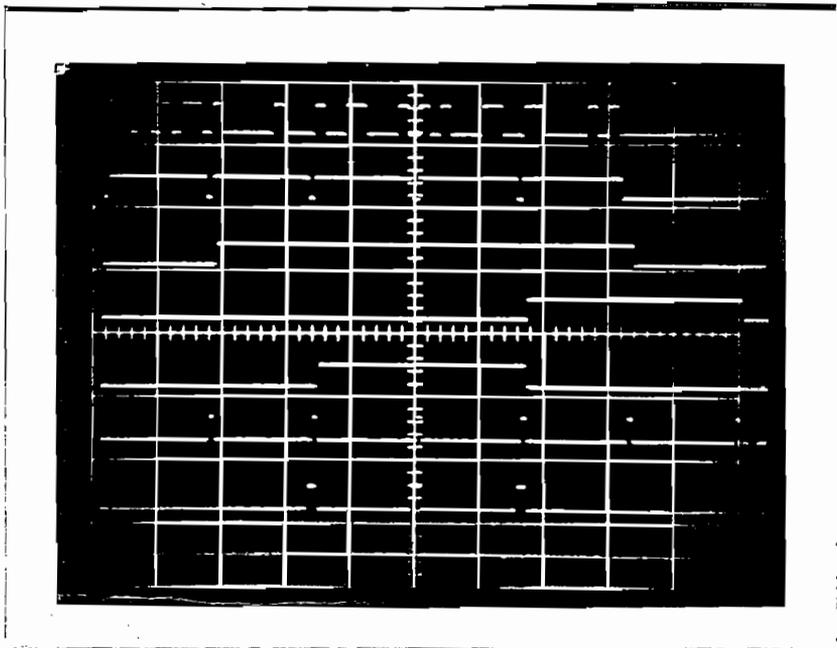
A partir de la 4° Onda, se muestra el comportamiento de algunas señales de control en transmisión, para un bloque de transmisión de dos caracteres de datos. Estas, se pueden comparar con los diagramas de tiempo en transmisión.

(Fig. D - 2)

- La 4° onda: corresponde la señal S/LCO
- La 5° onda: corresponde la señal SUM
- La 6° onda: corresponde la señal BLF
- La 7° onda: corresponde la señal CA
- La 8° onda: corresponde la señal CC



Fotografia N°5



Fotografía N°6

Las pruebas de los MODEM, se han efectuado alimen__
tando al modulador con una señal continua de pulsos dada por
un generador de pulsos, de cuya salida también se pasa al de__
modulador para comparar la señal demodulada, con la del gene__
rador. Esto es efectuado con un osciloscópio de dos cana__
les (Fig. IV-2), hasta obtener un trabajo satisfactorio en --
las condiciones deseadas para cada par: modulador y demodula__
dor, en ambas bandas.

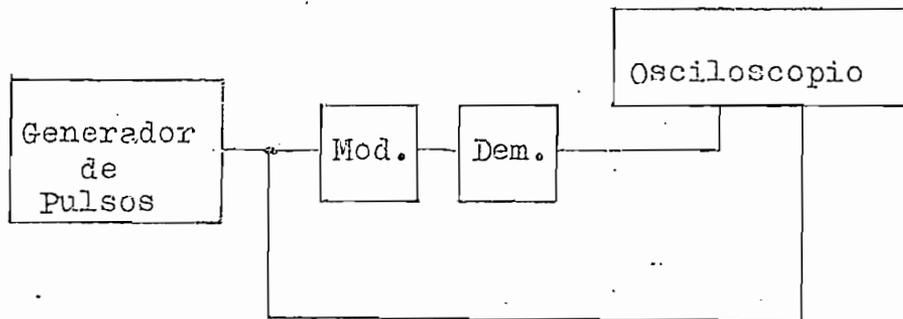


Fig. IV-2

OBSERVACIONES DE LAS PRUEBAS

a.- Efecto de la Temperatura.-

Se ha observado que los circuitos utilizados en los
MODEM, varían las frecuencias de trabajo con la temperatura.
Por lo cual, es necesario dejar a los terminales prendidos --

por el tiempo de 15 minutos; antes de empezar su operación.

b.- Aconclamiento.-

Los MODEM, tienen siempre presentes a sus salidas - (Fig. IV-3) las frecuencias sintonizadas para la transmisión y recepción en las dos bandas.

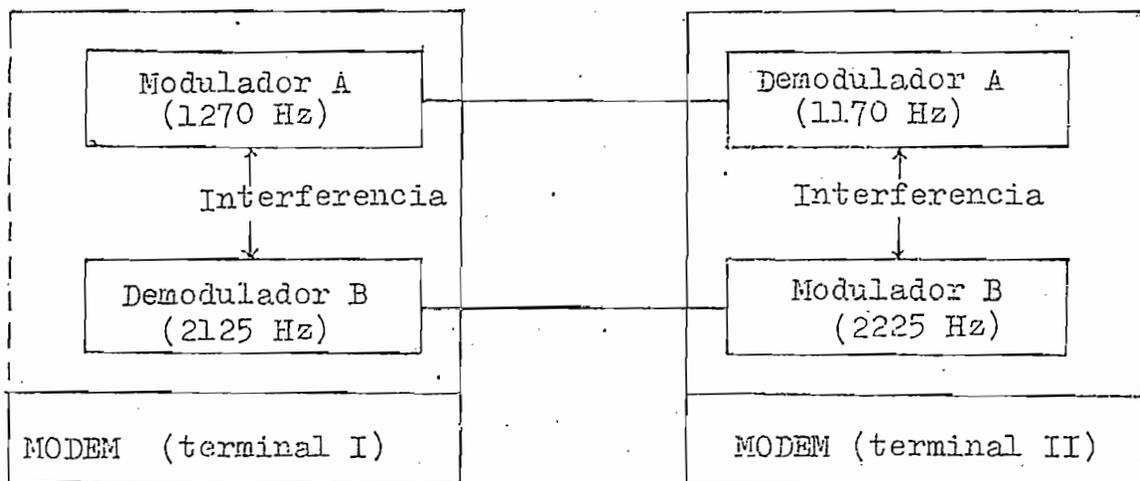


Fig. IV-3

Se ha dicho anteriormente, (Pag. N° 17), que el sistema de demodulación es un filtro pasabandas para la portadora y sus bandas laterales. Pero se ha visto, que este no es suficiente para permitir un aclamamiento directo (Fig. --- IV-4), a la línea telefónica. Esto se debe a la interferencia que existe entre las señales de frecuencia de las diferen

tes bandas de los MODEM, siendo necesario suprimir dicha interferencia para tener un acoplamiento directo.

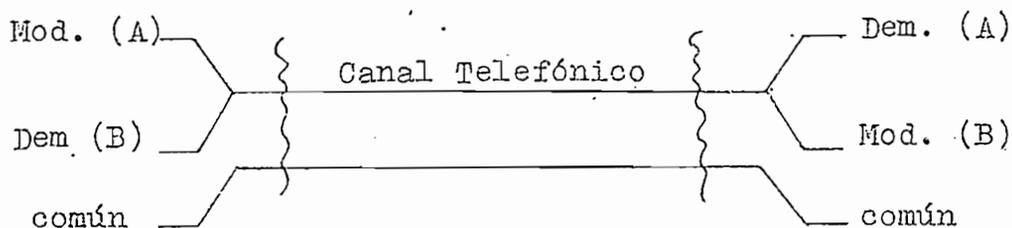


Fig. IV-4

Se ha considerado el problema de acoplamiento como tema de otro trabajo, sugiriendo como solución el uso de "transformadores híbridos" o el uso de "filtros activos de tipo pasabanda". Otra solución, podría ser un "acoplamiento acústico", que acoplaría directamente el terminal al audífono y micrófono del teléfono.

En este trabajo, se acoplan los terminales con un enlace de tres líneas, pudiendo ser usados a través de dos canales telefónicos, (Fig. IV-5)

han empleado los circuitos integrados uA 723 (1)

El Generador de Pulsos.-

Para efectuar las pruebas de los terminales se ha diseñado un sistema que simule la transmisión de una computadora. El sistema puede generar secuencias de caracteres pudiendo seleccionarse manualmente el número de estos, y además dar una señal BLF, para indicar que tiene un byte listo para transmitirse.

El generador de secuencias se basa en el funcionamiento de un registro de desplazamiento con un lazo de realimentación. La realimentación se efectúa a través de una función boleana "or exclusivo" tomada de las dos últimas salidas a su entrada serial (Fig. IV-6)

(1) El esquema para la regulación, se ha tomado de la revista "The Voltage Regulator Applications Handbook" pp. 8.6

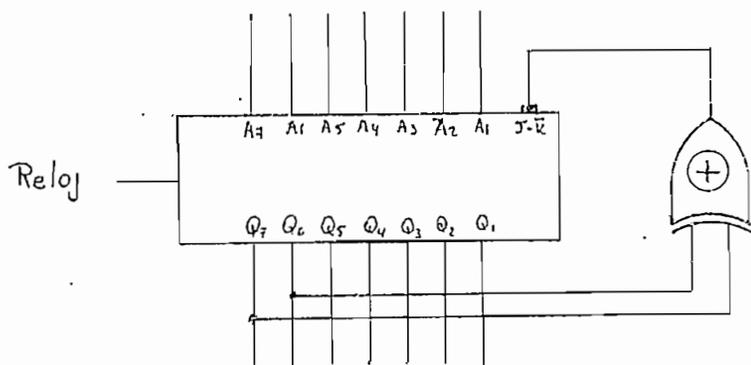


Fig. IV-6

Se carga el registro con una condición inicial, por medio de las entradas A_n . Se toman dos salidas del registro a través de un "or exclusivo", el cual da 1 lógico solamente cuando sus dos entradas son diferentes. Esta operación lo realiza entre los bits que aparecen en Q_6 y Q_7 , cuyo resultado realimenta a la entrada serial del registro, y con su pulso de reloj pasa a la primera salida Q_1 a la vez que las otras salidas se desplazan en dirección de Q_7 . Con este proceso aparece con cada pulso de reloj una secuencia nueva a las salidas de Q_n , hasta volver a la condición inicial.

De las conexiones posibles, para el lazo de realimentación, se ha escogido las dos últimas por dar el máximo número de combinaciones: $2^7 - 1 = 127$. Por tanto, con este

generador se puede transmitir hasta 127 caracteres, sin que -
hayan dos iguales. De estos son: 126 caracteres de datos y
1 que indica el número de caracteres de datos a transmitirse,
hay que notar que la secuencia 0000000 no genera este sistema.

Las combinaciones posibles según el proceso descri_
to anteriormente se muestra a continuación, (Tabla IV-1). La
función or exclusivo: \oplus , se realiza entre S_6 y S_7 .

S_7	S_6	S_5	S_4	S_3	S_2	S_1	S_7	S_6	S_5	S_4	S_3	S_2	S_1	S_7	S_6	S_5	S_4	S_3	S_2	S_1
0	0	0	0	0	0	1	0	1	0	1	0	0	1	1	0	1	1	0	0	0
0	0	0	0	0	1	0	1	0	1	0	0	1	1	0	1	1	0	0	0	1
0	0	0	0	1	0	0	0	1	0	0	1	1	1	1	1	0	0	0	1	1
0	0	0	1	0	0	0	1	0	0	1	1	1	1	1	1	0	0	0	1	1
0	0	1	0	0	0	0	0	0	1	1	1	1	1	1	1	0	0	0	1	1
0	1	0	0	0	0	0	0	1	1	1	1	1	1	0	0	1	1	0	1	0
1	0	0	0	0	0	1	1	1	1	1	0	1	0	1	0	1	1	0	1	0
0	0	0	0	0	1	1	1	1	1	0	1	0	1	0	1	1	0	0	0	1
0	0	0	0	1	1	0	1	1	0	1	0	0	0	1	0	1	0	0	1	0
0	0	0	1	1	0	0	1	1	0	1	0	0	0	0	1	0	0	1	0	1
0	0	1	1	0	0	0	1	0	1	0	0	0	0	0	1	0	0	1	0	1
0	1	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	1	0	1	1
1	1	0	0	0	0	1	1	0	0	0	0	1	1	0	0	1	0	1	1	1
1	0	0	0	0	1	0	0	0	0	1	1	1	1	0	1	0	1	1	1	0
0	0	0	0	1	0	1	0	0	0	1	1	1	1	1	1	0	1	1	1	0

S ₇	S ₆	S ₅	S ₄	S ₃	S ₂	S ₁	S ₇	S ₆	S ₅	S ₄	S ₃	S ₂	S ₁	S ₇	S ₆	S ₅	S ₄	S ₃	S ₂	S ₁	
0	0	0	0	0	0	1	0	1	0	1	0	0	1	1	0	1	1	0	0	0	0
0	0	0	0	0	1	0	1	0	1	0	0	1	1	0	1	1	0	0	0	0	1
0	0	0	0	1	0	0	0	1	0	0	1	1	1	1	1	0	0	0	0	1	1
0	0	0	1	0	0	0	1	0	0	1	1	1	1	1	1	0	0	0	1	1	0
0	0	1	0	0	0	0	0	0	1	1	1	1	1	1	1	0	0	0	1	1	0
0	1	0	0	0	0	0	0	1	1	1	1	1	1	0	0	0	1	1	0	1	0
1	0	0	0	0	0	1	1	1	1	1	1	1	0	1	0	1	1	0	1	0	0
0	0	0	0	0	1	1	1	1	1	1	0	1	0	1	0	1	0	0	1	0	1
0	0	0	0	1	1	0	1	1	1	0	1	0	0	0	1	0	0	0	1	0	0
0	0	0	1	1	0	0	1	0	1	0	0	0	0	0	0	0	0	1	0	1	1
0	1	1	0	0	0	0	0	1	0	0	0	0	0	1	0	0	1	0	1	1	1
1	1	0	0	0	0	1	1	0	0	0	0	1	1	1	0	1	0	1	1	1	0
1	0	0	0	0	1	0	0	0	0	1	1	1	1	1	1	0	1	1	1	0	1
0	0	0	0	1	0	1	0	0	1	1	1	1	0	0	0	1	1	1	0	1	1
0	0	0	1	0	1	0	0	0	0	1	1	1	0	0	0	1	1	0	1	1	0
0	1	0	1	0	0	0	1	1	1	1	0	0	0	1	1	0	1	1	1	0	0
1	0	1	0	0	0	1	1	1	0	0	0	1	0	1	0	0	1	1	0	0	1
0	1	0	0	0	1	1	1	0	0	0	1	0	0	1	0	0	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	0	0	1	0	0	1	0	0	1	1	0	0
0	0	1	1	1	1	0	0	1	0	0	1	0	0	0	0	1	0	0	1	0	1
0	1	1	1	1	0	0	1	0	0	1	0	0	1	0	0	1	0	1	1	0	0
1	1	1	1	0	0	1	0	0	1	0	1	1	0	1	0	0	1	0	1	0	1
1	1	0	0	1	0	0	1	0	0	1	1	0	1	1	0	1	0	1	0	1	0
1	0	0	1	0	0	0	0	0	1	1	0	1	1	0	1	0	1	0	1	0	1
0	0	1	0	0	0	1	0	1	0	1	1	0	1	0	1	0	1	0	1	1	1
1	0	0	0	1	0	1	1	1	0	1	0	1	0	1	0	1	0	1	1	1	1
0	0	1	0	1	1	0	1	1	0	1	1	0	1	1	0	0	1	1	1	1	1
1	0	1	1	0	0	1	0	1	0	1	1	0	1	1	0	1	1	1	1	1	1
0	1	1	0	0	1	1	1	0	1	1	0	1	1	1	1	1	1	1	1	1	0
1	1	0	0	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	0	0
1	0	0	1	1	1	0	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0
0	0	1	1	1	0	1	1	1	1	1	1	1	0	1	1	0	0	0	0	0	0
1	1	1	0	1	0	1	1	1	1	1	0	1	1	1	0	0	0	0	0	0	0
1	1	0	1	0	1	0	1	1	1	0	1	1	0	1	1	0	0	0	0	0	0
1	0	1	0	1	0	0	1	1	0	1	1	0	0	1	1	0	0	0	0	0	0

Tabla IV-1

El sistema de generación de secuencias está cons_ truido por dos circuitos integrados SN74195 que forman el re_ gistro de desplazamiento, (Fig.IV - 7), la cuarta parte de un SN7486 que es el "or exclusivo", siete conmutadores de dos po_ siciones que controlan las entradas An para cargar manualmen_ te la condición inicial, y por las señales de control:

$$S/L = \overline{Q_1} \quad \text{y} \quad \phi_{RT} = (Q_1 \cdot \overline{\phi_1}) + \phi_{FD}$$

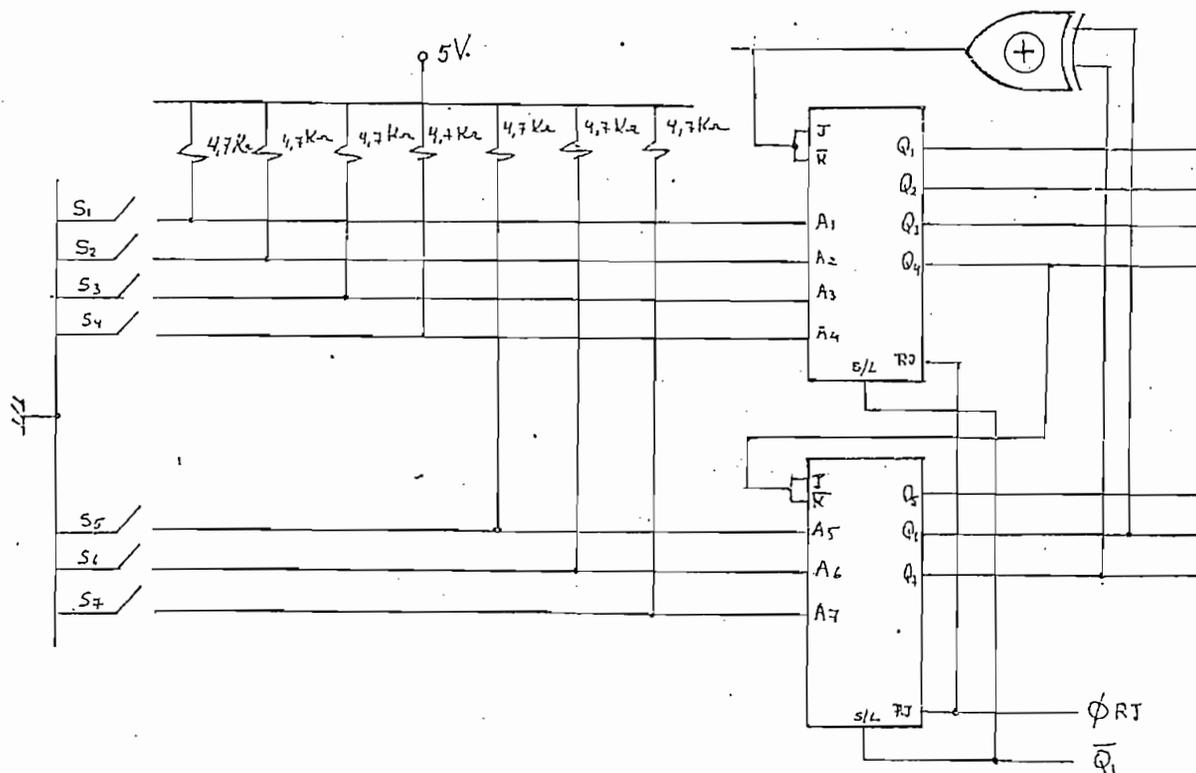


Fig. IV-7

El proceso de cargar la condición inicial en el registro del generador, se lo hace por medio de un diferenciador RC con un inversor, y un sistema de sincronización contruido a base de biestables tipo D; (Fig. IV-8)

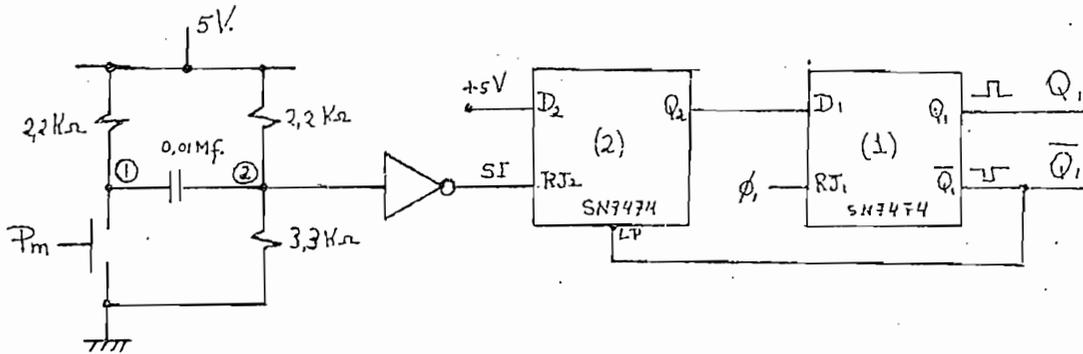


Fig. IV-8

Cada vez que se acciona el pulsador manual P_m , se produce a la salida del inversor un pulso positivo SI, el cual acciona el sistema de sincronización para dar a la salida $\overline{Q_1}$ un 0 lógico de duración de un tiempo de T_{ϕ_1} . Este se utiliza como señal de carga a la entrada S/L del registro, y la función: $(Q_1 \cdot \overline{\phi_1})$, sirve de señal de reloj para cargar la condición inicial.

El pulso $\overline{Q_1}$, sirve también, como pulso de limpiar: Limp, en las entradas LP de los biestables J - K, cuando un terminal está transmitiendo.

El funcionamiento de este sistema se puede ver con el diagrama de tiempo siguiente, (Fig. IV-9)

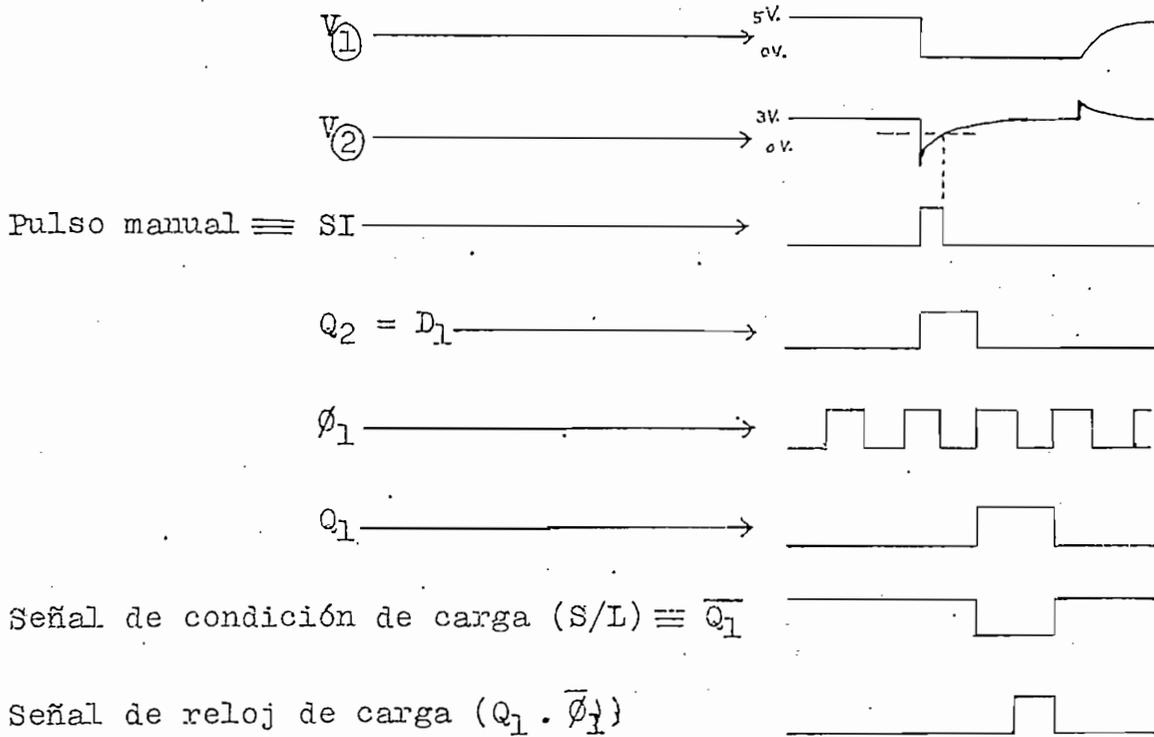


Fig. IV-9

La señal de reloj ϕ_{RJ} que controla la entrada de RJ del registro de desplazamiento, se compone de la señal que carga la condición inicial: ($Q_1 \cdot \overline{\phi_1}$), y de la señal de reloj ϕ_{FD} , que realiza los desplazamientos para dar nuevas combina

ciones a las salidas paralelas del registro.

$$RJ = (Q_1 \cdot \overline{\phi_1}) + \phi_{FD}$$

ϕ_{FD} está dada por:

$$\phi_{FD} = \phi_1 \cdot (GT \cdot T9) \cdot CC$$

Se controla con CC para asegurar que la primera --- transición positiva de ϕ_{FD} , la cual da una nueva combinación a las salidas paralelas, aparezca después de haber concluido la operación de carga de la condición inicial en el terminal.

La condición inicial, es interpretada por el terminal como el carácter del BMB.

Como señal de reloj básica, se ha utilizado ϕ_1 del terminal, con la cual hay nueve transiciones positivas -- hasta que el terminal cargue un nuevo byte. Como un nuevo byte se carga durante el décimo pulso, se mantiene estable -- las salidas paralelas del generador, suprimiendo la señal de reloj mediante (GT·T9). Teniendo en cuenta que por la señal de reloj utilizada, hay nueve combinaciones hasta que se cargue un byte en el terminal, los caracteres que conforman los bloques se pueden sacar de las secuencias posibles dadas en la Tabla IV-1. Para los ejemplos de un carácter (Tabla IV-2) y dos caracteres (Tabla IV-3) de datos son:

1.- Para un Carácter de Dato:

(Secuencia escogida de de la condición inicial y se carga con $(Q_i, \bar{\phi})$)

El terminal interpreta esta combinación como el carácter que forma BNB. (Para este carácter de datos BNB = 1).

(Secuencias que se generan con los nueve pulsos de ϕ_{FD}).

(Secuencia que se mantiene estable durante el tiempo de cargar un byte en el terminal.)

- 0000001
- 0000010
- 0000100
- 0001000
- 0010000
- 0100000
- 1000001
- 0000011
- 0000110

0001100 ← El terminal toma este carácter, para formar el BDD

Tabla IV-2

2.- Para dos caracteres de Datos:

Condición inicial

0000010 ← Carácter para el BNB = 2

Nueve caracteres

- 0000100
- 0001000
- 0010000
- 0100000
- 1000001
- 0000011
- 0000110
- 0001100

0011000 ← Carácter para el 1º BDD

Nueve caracteres

- 0110000
- 1100001
- 1000010
- 0000101
- 0001010
- 0010100
- 0101000
- 1010001

0100011 ← Carácter para el 2º BDD

Tabla IV-3

Secuencia de Combinaciones para Diferente número de Caracteres de Datos:

	S_7	S_6	S_5	S_4	S_3	S_2	S_1	
Un carácter de Datos:	0	0	0	0	0	0	1	Carácter del BNB = 1
	0	0	0	1	1	0	0	Carácter del BDD
Dos caracteres de datos:	0	0	0	0	0	1	0	Carácter del BNB = 2
	0	0	1	1	0	0	0	Carácter del 1º BDD
	0	1	0	0	0	1	1	Carácter del 2º BDD
Tres caracteres de datos:	0	0	0	0	0	1	1	Carácter del BNB = 3
	0	0	1	0	1	0	0	Carácter del 1º BDD
	1	1	1	0	0	1	0	Carácter del 2º BDD
	1	0	1	1	0	0	1	Carácter del 3º BDD
Cuatro caracteres de datos:	0	0	0	0	1	0	0	Carácter del BNB = 4
	0	1	1	0	0	0	0	Carácter del 1º BDD
	1	0	0	0	1	1	1	Carácter del 2º BDD
	0	1	0	0	0	1	0	Carácter del 3º BDD
	0	0	1	1	1	0	1	Carácter del 4º BDD
Cinco caracteres de datos:	0	0	0	0	1	0	1	Carácter del BNB = 5
	0	1	1	1	1	0	0	Carácter del 1º BDD
	0	0	1	0	1	1	0	Carácter del 2º BDD
	1	1	0	1	0	1	0	Carácter del 3º BDD
	1	1	1	1	0	1	0	Carácter del 4º BDD
	0	1	1	1	0	0	0	Carácter del 5º BDD
Seis caracteres de datos:	0	0	0	0	1	1	0	Carácter del BNB = 6
	0	1	0	1	0	0	0	Carácter del 1º BDD
	1	1	0	0	1	0	0	Carácter del 2º BDD
	0	1	1	0	0	1	1	Carácter del 3º BDD
	1	0	1	0	0	1	1	Carácter del 4º BDD
	1	0	1	0	0	0	0	Carácter del 5º BDD
	1	0	0	0	1	0	0	Carácter del 6º BDD

Tabla IV-4.a IV-9

Señal BLF

Esta fuente de datos también simula la señal que indica que tiene un byte listo en la fuente: BLF, que normalmente debe ser dada por la computadora transmisora al terminal - transmisor.

Esta señal debe aparecer cada 33 msg si se tiene el byte listo y tener una duración mínima de 3,3 msg mientras dura la carga de uno de estos. También se tendrá en cuenta - la interrelación que debe tener el LTB, discutidos anteriormente (Pag. 150). Se deduce que BLF se pondrá en 1 lógico con dos posibilidades:

- 1.- Inicialmente para poner al terminal en Tx y cargar el BPI
- 2.- Para transmitir un byte que se tenga listo en la fuente, siempre que anteriormente que se haya recibido un pulso positivo de LTB indicando que el terminal está listo para transmitir byte de datos.

De acuerdo con esto se ha simulado BLF, mediante la salida A de un biestable $\bar{R} - \bar{S}$; y la salida Q de un multivibrador monoestable, (Fig. IV-10). De aquí:

$$BLF = \overline{QB + QM}$$

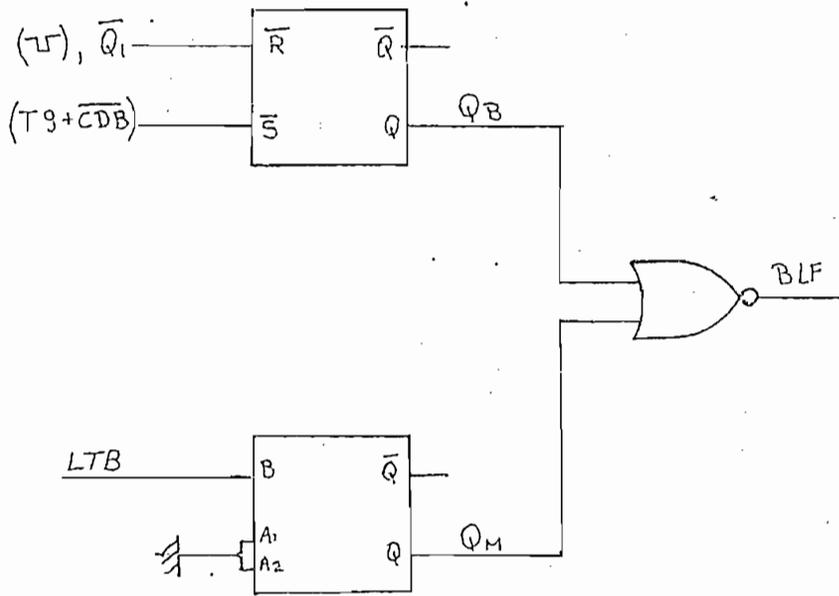


Fig. IV-10

El multivibrador SN74121, está conectado para dar - pulsos positivos en Q_M con cada transición positiva de LTB -- detectado en B , (Tabla IV-10).

ENTRADAS			SALIDAS	
A_1	A_2	B	Q	\overline{Q}
L	X	X	L	H
L	L	↑		

Tabla IV-10

La entrada R del biestable se alimenta con $\overline{Q_1}$, producido al accionar el pulsador manual, que borra Q_B del biestable. Con este cambio se produce un nivel de 1 lógico de BLF, pues la otra entrada Q_M del NOR está en cero.

Después de cargar cada byte en el terminal Q_B se mantiene en 0 lógico y LTB, se pone igual a 1, generando un pulso del monoestable que regresa BLF momentaneamente a cero.

Para la transmisión de dos caracteres de datos, hay tres pulsos de LTB, por el BNB y por los dos BDD. Las transiciones de LTB ponen a BLF en 0 lógico por tres veces durante el tiempo que dure el pulso generado en Q_{II} .

Después de cargar los tres bytes, BLF vuelve a cero con la señal $(\overline{CDB} + T9)$, que pone en 1 lógico la salida Q_B del biestable (Fig. IV-11)

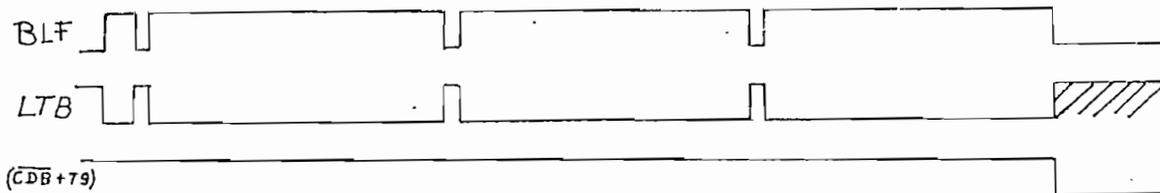


Fig. IV -11.

- Sistema de Selección de Byte (en recepción): Señal SBU. -

El sistema de retención o buffer del terminal, pasa a sus salidas los caracteres recibidos del BNB o de los BDD, para ser entregados a la computadora receptora. Cada uno de estos se indican externamente en la parte frontal del terminal, por medio de diodos emisores de luz.

Debido a la velocidad con que aparecen paralelamente: 1 carácter/33 msg, no se pueden apreciar visualmente, por lo cual se ha controlado externamente la señal de reloj del retenedor, con la señal SBU, para que permita la aparición de uno de los caracteres escogidos.

El sistema que da SBU, consta de dos contadores módulo 16, SN7493 conectados en cadena; de siete compuertas "or exclusivo" de colector abierto SN74136; y de un conmutador -- hexadecimal: (Fig. IV-12)

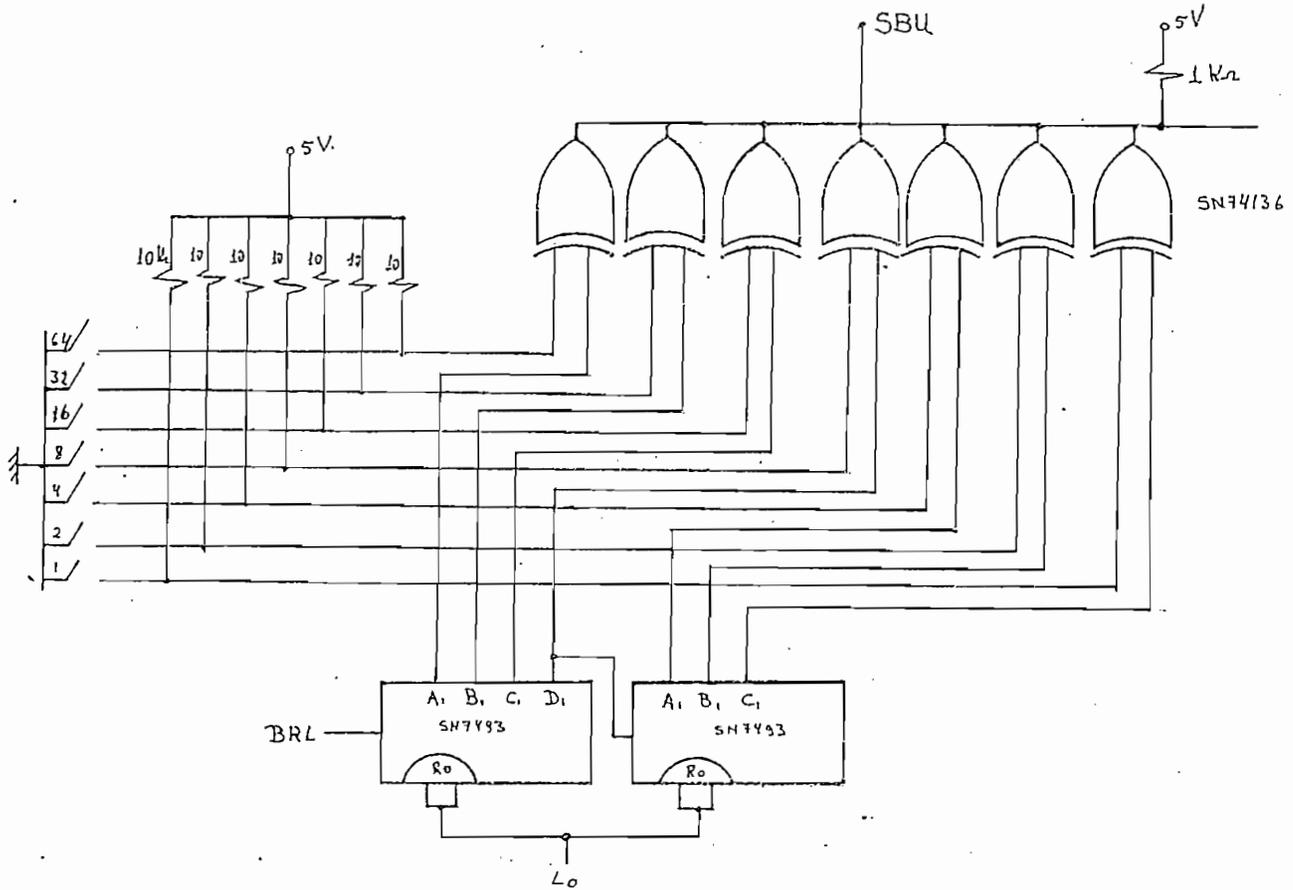


Fig. IV-12

La entrada del contador está alimentada por BRL, y las entradas de regreso a cero con L₀.

Se utilizan compuertas "or exclusivo" de colector -abierto, para tener una sola salida que indica que la salida del contador es igual al número seleccionado. SBU se man_

tendrá en 0 lógico hasta que cada una de las salidas del con-
tador se ponga igual al complemento del bit respectivo del --
conmutador. Con SBU en 0, se impide que actúe un pulso ---
(BRL·BER) del retenedor, y con esto los datos de un solo ca-
rácter seleccionado aparecen a sus salidas.

Como ejemplo, se muestra los diagramas de tiempo del
sistema para que aparezca solamente el carácter del 1.º BDD, -
(Fig. IV-13).

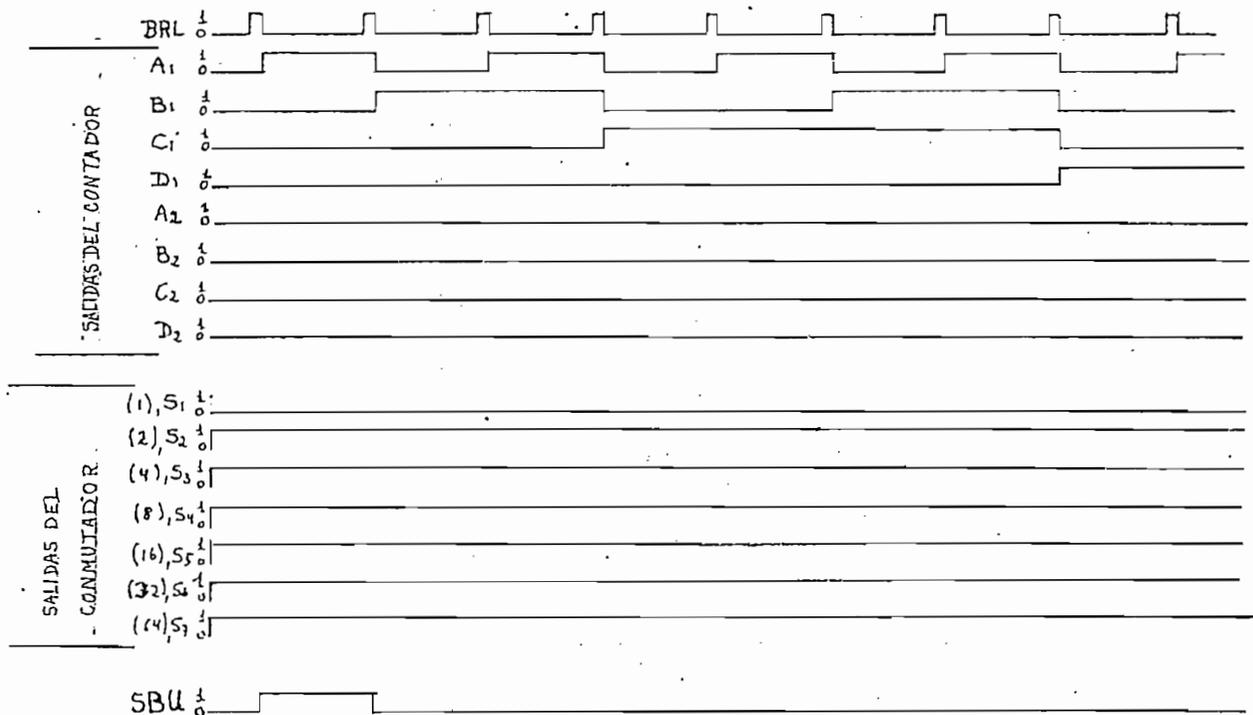


Fig. IV-13

Los pulsos de reloj BRL, dan las secuencias dibujadas de las salidas An de los contadores, (Fig. IV-13)

Si el primer conmutador $S_1 = 0$ y los restantes están en 1 lógico, se deja pasar solamente el segundo pulso de reloj (BRL·BER) el cual pasa solamente al primer carácter de datos a las salidas del retenedor. Este se podrá ver en los diodos indicadores hasta que se termine la transmisión del bloque.

Con las siguientes posiciones del conmutador hexadecimal, aparecerán los siguientes caracteres a las salidas:

COMUTADOR		Salida a los Diodos Indicadores
Numeración	Conección	
00	$S_n \neq 0$	Carácter del BNB
01	$S_1 = 0$	Carácter del 1º BDD
02	$S_2 = 0$	Carácter del 2º BDD
03	$S_1 = 0, S_2 = 0$	Carácter del 3º BDD
04	$S_1 = 0, S_4 = 0$	Carácter del 4º BDD
05	$S_2 = 0, S_3 = 0$	Carácter del 5º BDD
06	$S_2 = 0, S_4 = 0$	Carácter del 6º BDD

Tabla. IV-11

Algunas secuencias de combinaciones para 126 caracteres de datos, con las respectivas posiciones del conmutador hexadecimal para seleccionar su carácter correspondiente, se exponen a continuación:

Conmutador	Secuencias	
00	11111111	Carácter del BNB = 126
01	0000100	Carácter del 1º BDD.
02	0110000	Carácter del 2º BDD.
03	1000111	Carácter del 3º BDD.
04	0100010	Carácter del 4º BDD.
05	0011101	Carácter del 5º BDD.
06	0011111	Carácter del 6º BDD.
07	0000111	Carácter del 7º BDD.
08	0100100	Carácter del 8º BDD.
09	0110101	Carácter del 9º BDD.
010	1111011	Carácter del 10º BDD.
011	0110100	Carácter del 11º BDD.
012	1110111	Carácter del 12º BDD.
013	1100101	Carácter del 13º BDD.
014	0111111	Carácter del 14º BDD.
015	0000010	Carácter del 15º BDD.
10	0011000	Carácter del 16º BDD.
11	0100011	Carácter del 17º BDD.
12	0010001	Carácter del 18º BDD.
13	1001110	Carácter del 19º BDD.
14	1001111	Carácter del 20º BDD.
15	1000011	Carácter del 21º BDD.
16	0010010	Carácter del 22º BDD.
17	1011010	Carácter del 23º BDD.
18	0111101	Carácter del 24º BDD.
19	0011010	Carácter del 25º BDD.
110	0111011	Carácter del 26º BDD.
111	0110010	Carácter del 27º BDD.
112	1011111	Carácter del 28º BDD.
113	0000001	Carácter del 29º BDD.
114	0001100	Carácter del 30º BDD.
115	1010001	Carácter del 31º BDD.
20	1001000	Carácter del 32º BDD.
21	1100111	Carácter del 33º BDD.

Tabla IV-12

CONCLUSIONES

Un balance del trabajo realizado, muestra que las metas propuestas se han alcanzado con éxito.

Los diseños de la unidad de control y del MODEM, -- han dado como resultado un sistema de transmisión bastante -- flexible, estando los terminales en capacidad de trabajar con equipos de computación de diferentes marcas.

El diseño lógico, constituye también, un ejemplo de un sistema digital capaz de responder a señales externas. -- Su análisis se ha expuesto detalladamente a lo largo de este documento por lo cual puede servir de orientación en futuros diseños lógicos que se efectúen en el país.

En este trabajo, el análisis de la parte analógica: MODEM, ocupa un segundo plano respecto de la parte digital. Pero en él, se han tratado temas de gran interés, cuyo análisis "limitado" de los mismos, ha sido satisfactorio para las metas de este trabajo. Hay que indicar que estos temas pueden constituir nuevos trabajos de tesis, tal es el caso del sistema de Lazo Cerrado de Fase (P.L.L.).

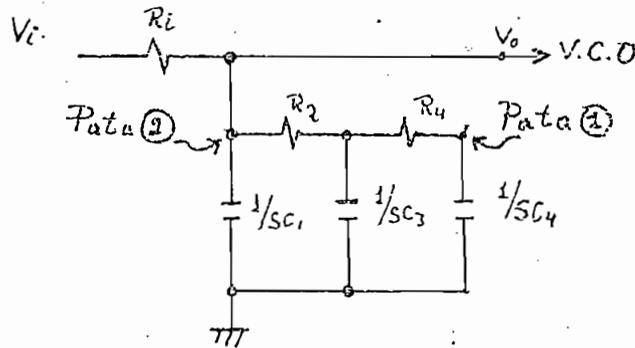
Así también, se ha suprimido la parte de acoplamiento, lo cual puede ser tema de otro trabajo de tesis.

Una vez conocidas las especificaciones de los equipos del Centro de Computación de la Escuela Politécnica Nacional, este sistema con algunas modificaciones, puede dar un buen servicio para la transmisión de datos desde dicho Centro hasta algún lugar donde se disponga de canales telefónicos.

APENDICE A

CALCULOS

- Cálculo de $F(s)$



$V_i = 2 \text{ Vol/mcd}$
 $R_i = 6 \text{ K}\Omega$
 $R_2 = 10 \text{ K}\Omega$
 $R_4 = 5 \text{ K}\Omega$
 $C_1 = C_3 = C_4 = 0,033 \text{ Mf}$

$$F(s) = \frac{V_o}{V_i}$$

$$F(s) = \frac{Z_F}{6000 + Z_F} = \frac{1}{\frac{6000}{Z_F} + 1} \quad ; \quad Z_F = \text{impedancia del filtro.}$$

$$Z_4 = R_4 + \frac{1}{sC_4} = \frac{R_4 s C_4 + 1}{s C_4}$$

$$Z_3 = \frac{1}{\frac{1}{Z_4} + \frac{1}{1/sC_3}} = \frac{1}{\frac{s C_4}{1 + s C_4 R_4} + s C_3} = \frac{s R_4 C_4 + 1}{s C_4 + s C_3 + s^2 R_4 C_4 C_3}$$

$$Z_2 = R_2 + \frac{s C_4 R_4 + 1}{s C_4 + s C_3 + s^2 R_4 C_4 C_3} = \frac{R_2 (s C_4 + s C_3 + s^2 R_4 C_4 C_3) + s R_4 C_4 + 1}{s C_4 + s C_3 + s^2 R_4 C_4 C_3}$$

$$Z_F = \frac{1}{\frac{1}{Z_2} + \frac{1}{1/sC_1}} = \frac{1}{\frac{s C_4 + s C_3 + s^2 R_4 C_4 C_3}{R_2 (s C_4 + s C_3 + s^2 R_4 C_4 C_3) + s R_4 C_4 + 1} + s C_1}$$

Sigue \rightarrow

$$ZF = \frac{R_2(SC_4 + SC_3 + S^2 R_4 C_4 C_3) + S R_4 C_4 + 1}{SC_4 + SC_3 + S^2 R_4 C_4 C_3 + SC_1 [R_2(SC_2 + SC_3 + S^2 R_4 C_4 C_3) + S R_4 C_4 + 1]} = \frac{N(s)}{D(s)}$$

Substituyendo ZF en F(s):

$$F(s) = \frac{ZF}{6000 + ZF} = \frac{N(s)/D(s)}{6000 + N(s)/D(s)} = \frac{N(s)}{6000 \cdot D(s) + N(s)} = \frac{N(s)}{M(s)}$$

$$N(s) = R_2(SC_4 + SC_3 + S^2 R_4 C_4 C_3) + S R_4 C_4 + 1$$

$$N(s) = 1000 [S 0,066 \cdot 10^6 + S^2 5000 \cdot (0,033 \cdot 10^6)^2] + S 0,033 \cdot 10^6 \cdot 5000 + 1$$

$$N(s) = S^2 5,445 \cdot 10^{-8} + S 8,25 \cdot 10^{-4} + 1$$

$$M(s) = 6000 [SC_4 + SC_3 + S^2 R_4 C_4 C_3 + SC_1 \cdot N(s)] + N(s)$$

$$M(s) = 6000 [S 0,066 \cdot 10^6 + S^2 5000 \cdot (0,033 \cdot 10^6)^2 + S 0,033 \cdot 10^6 \cdot N(s)] + N(s)$$

$$M(s) = 6000 [S^3 1,7968 \cdot 10^{-15} + S^2 3,267 \cdot 10^{-11} + S 9,3 \cdot 10^{-8}] + N(s)$$

$$M(s) = S^3 1,078 \cdot 10^{-11} + S^2 25,047 \cdot 10^{-8} + S 14,19 \cdot 10^{-4} + 1$$

$$F(s) = \frac{S^2 5,445 \cdot 10^{-8} + S 8,25 \cdot 10^{-4} + 1}{S^3 1,078 \cdot 10^{-11} + S^2 25,047 \cdot 10^{-8} + S 14,19 \cdot 10^{-4} + 1} \quad \leftarrow \textcircled{1}$$

$$\text{para } S \rightarrow \infty : F(s) = \frac{S^2 5,445 \cdot 10^{-8}}{S^3 1,078 \cdot 10^{-11}} = \frac{5041}{S}$$

$$\text{para } S = 0 : F(s) = 1 \cdot 10^0$$

Para encontrar los polos y los ceros de F(s), se han encontrado las raíces de las expresiones del numerador N(s) y del denominador M(s), igualadas a cero; para esto se han utilizado programas grabados disponibles para la minicomputadora HP980-10A.

Según esto la expresión de F(s) es:

$$F(s) = \frac{(S+1328,63)(S+13827,89)}{(S+818,92)(S+7694,93)(S+14720,8)} \quad \leftarrow \textcircled{2}$$

Para representar la curva del módulo y del ángulo de $F(j\omega)$, se ha realizado un programa para la minicomputadora HP980-10A y se lo expone en la siguiente página. Para esto, se ha sustituido $S = j\omega$ en la forma (1) de $F(s)$ -- quedando:

$$F(j\omega) = \frac{(-\omega^2 5,445 \cdot 10^{-9} + 1) + j(\omega 8,25 \cdot 10^{-4})}{(\omega^2 25,047 \cdot 10^{-10} + 1) + j(-\omega^3 1,078 \cdot 10^{-11} + 14,19 \cdot 10^{-4} \omega)}$$

Y, dando diferentes valores a ω obtenemos los valores del módulo y ángulo que conforman la Tabla II-2 expuesta en la página 70

0000--CLR---26
 0001--STP---41
 0002--YTO---23
 0003-- 1 ---01
 0004-- UP---27
 0005-- 1 ---01
 0006-- 4 ---04
 0007-- . ---21
 0008-- 1 ---01
 0009-- 9 ---11
 0010--EEX---26
 0011--CHS---32
 0012-- 4 ---04
 0013--XEY---30
 0014-- X ---36
 0015-- UP---27
 0016--XSO---12
 0017--XEY---30
 0018-- X ---36
 0019-- 1 ---01
 0020-- . ---21
 0021-- 0 ---00
 0022-- 7 ---07
 0023-- 8 ---10
 0024--EEX---26
 0025--CHS---32
 0026-- 1 ---01
 0027-- 1 ---01
 0028-- X ---36
 0029-- IN---25
 0030-- - ---34
 0031--YTO---40
 0032-- 2 ---02
 0033--XFR---67
 0034-- 1 ---01
 0035--XSO---12
 0036-- UP---27
 0037-- 2 ---02
 0038-- 5 ---05
 0039-- . ---21
 0040-- 0 ---00
 0041-- 4 ---04
 0042-- 7 ---07
 0043--EEX---26
 0044--CHS---32
 0045-- 8 ---10

0046-- X ---36
 0047-- 1 ---01
 0048--XEY---30
 0049-- - ---34
 0050--YTO---40
 0051-- 3 ---03
 0052--XFR---67
 0053-- 1 ---01
 0054-- UP---27
 0055-- 3 ---10
 0056-- . ---21
 0057-- 2 ---02
 0058-- 5 ---05
 0059--EEX---26
 0060--CHS---32
 0061-- 4 ---04
 0062-- X ---36
 0063--YTO---40
 0064-- 6 ---14
 0065--XFR---67
 0066-- 1 ---01
 0067--XSO---12
 0068-- UP---27
 0069-- 5 ---05
 0070-- . ---21
 0071-- 4 ---04
 0072-- 4 ---04
 0073-- 5 ---05
 0074--EEX---26
 0075--CHS---32
 0076-- 6 ---10
 0077-- X ---36
 0078--XEY---30
 0079--CHS---32
 0080--XEY---30
 0081-- 1 ---01
 0082-- + ---33
 0083--YTO---40
 0084-- 0 ---13
 0085-- YE---24
 0086-- 2 ---02
 0087--XFR---67
 0088-- 0 ---00
 0089-- 0 ---00
 0090-- 3 ---03
 0091-- F ---16
 0092-- R ---62
 0093--CNT---47

0094--PNT---45
 0095--XEY---30
 0096--CNT---47
 0097--PNT---45
 0098--PNT---45
 0099-- K ---36
 0100--CLN---37
 0101--CTO---44
 0102-- 0 ---00
 0103-- 0 ---00
 0104-- 0 ---00
 0105-- 0 ---00

→ Cálculo de $G(s)$

$$G(s) = \frac{K_d \cdot F(s)}{s + K_d \cdot K_o \cdot F(s)} ; \quad G(0) = \frac{1}{K_o}$$

$$G(s) = \frac{K_d \cdot N(s)}{s \cdot M(s) + K_d \cdot K_o \cdot N(s)} = \frac{n(s)}{p(s)}$$

$$n(s) = K_d \cdot N(s)$$

$$n(s) = K_d \cdot (s^2 5,445 \cdot 10^8 + s 8,25 \cdot 10^4 + 1)$$

$$n(s) = K_d \cdot (s + 1328,63) (s + 13822,89)$$

$$p(s) = s \cdot M(s) + K_d \cdot K_o \cdot N(s)$$

$$p(s) = s (s^3 1,078 \cdot 10^{11} + s^2 25,047 \cdot 10^8 + s 14,19 \cdot 10^4 + 1) + K_d \cdot K_o \cdot N(s)$$

$$p(s) = s^4 1,078 \cdot 10^{11} + s^3 25,047 \cdot 10^8 + s^2 14,19 \cdot 10^4 + s + K_d \cdot K_o \cdot s^2 5,445 \cdot 10^8 + K_d \cdot K_o 8,25 \cdot 10^4 + K_d \cdot K_o$$

$$p(s) = s^4 1,078 \cdot 10^{11} + s^3 25,047 \cdot 10^8 + (14,19 \cdot 10^4 + K_d \cdot K_o 5,445 \cdot 10^8) s^2 + (1 + K_d \cdot K_o 8,25 \cdot 10^4) s + K_d \cdot K_o$$

para: $K_d = 2$; $K_o = 853,659$

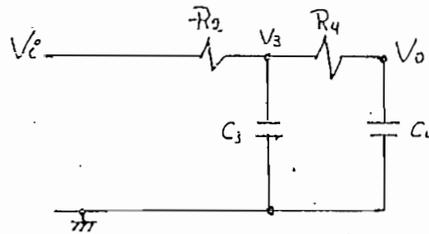
$$p(s) = s^4 1,078 \cdot 10^{11} + s^3 25,047 \cdot 10^8 + s^2 1,51 \cdot 10^3 + s 2,41 + 1,71 \cdot 10^3$$

Sacando las raíces de $p(s)$, igualada a cero queda:

$$p(s) = (s + 6608,95) (s + 14680,23) (s^2 + 51945,55 + 1634,962 \cdot 10^3)$$

$$G(s) = \frac{(s + 1328,63) (s + 13822,88)}{(s + 6608,95) (s + 14680,23) (s^2 + 51945,55 + 1634,962 \cdot 10^3)}$$

- Cálculo de P(s)



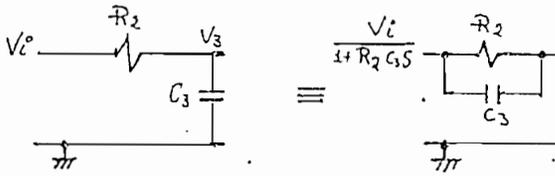
$$R_2 = 10 \text{ k}\Omega$$

$$R_4 = 5 \text{ k}\Omega$$

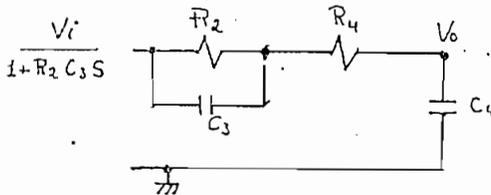
$$C_3 = C_4 = 0,033 \text{ }\mu\text{f}$$

$$P(s) = \frac{V_0}{V_i}$$

De acuerdo con el teorema de Thévenin, se puede sustituir la siguiente parte de la red, (entre V_3 y el común), por su equivalente.



quedando:



$$\frac{V_0}{\frac{V_i}{1+R_2 C_3 S}} = \frac{\frac{1}{SC_4}}{\frac{1}{SC_4} + R_4 + \frac{1}{\frac{1}{R_2} + SC_3}} = SC_4 \left(\frac{1}{SC_4} + R_4 + \frac{R_2}{1+SC_3 R_2} \right) = 1 + SC_4 R_4 + \frac{SC_4 R_2}{1+SC_3 R_2}$$

$$\frac{V_0}{V_i} = \frac{1}{(1+R_2 C_3 S) \left(1 + SC_4 R_4 + \frac{1}{1+SC_3 R_2} \right)} = \frac{1}{1 + R_2 C_3 S + SC_4 R_4 + R_2 C_3 C_4 R_4 S^2 + SC_4 R_2}$$

$$\frac{V_0}{V_i} = \frac{1}{1 + (R_2 C_3 + C_4 R_4 + C_4 R_2) S + R_2 C_3 C_4 R_4 S^2} ; \quad \frac{V_0}{V_i} = P(s)$$

$$P(s) = \frac{1}{S^2 5,445 \cdot 10^2 + S 8,25 \cdot 10^4 + 1}$$

APENDICE B

COSTOS

<u>TIPO</u>	<u>CANTIDAD</u>	<u>COSTO UNITARIO</u>	<u>COSTO TOTAL</u>
0.22 uf	2	\$ 0.16	\$ 0.32
0.033	3	0.24	0.72
1	2	0.40	0.80
3	1	0.30	0.30
Resistencias:			
2.2 K Ω	2		
3.3 K Ω	2		
1 K Ω	2		
18 K Ω	1		
628 Ω	2		
150 Ω	1		
10 K Ω	4		
15 K Ω	2		
5 K Ω	5		
3,9 K Ω	2		
8,2 K Ω	1		
3 K Ω	1		
2 K Ω	1		
	<u>26</u>	0.065	1.690
Potenciómetros:			
10 K Ω	4	1.20	4.80
1 K Ω	1	1.20	1.20
Diodos:	1	1.00	1.00
total por terminal: 188..26			
			<u>x 2</u>
Gran total			376.52

B.- Unidades de Prueba

<u>TIPO</u>	<u>CANTIDAD</u>	<u>COSTO UNITARIO</u>	<u>COSTO TOTAL</u>
SN7400	2	\$ 0.58	\$ 1.16
SN7474	1	0.89	0.89
SN7486	1	0.93	0.93
SN7493	2	1.60	3.20
SN74121	1	1.13	1.13
SN74136	2	0.93	1.86
SN74195	2	2.24	4.48

<u>TIPO</u>	<u>CANTIDAD</u>	<u>COSTO UNITARIO</u>	<u>COSTO TOTAL</u>
Resistencias	18	\$ 0.065	\$ 1.170
Capacitores	3		0.540
Sócalos (16)	2	0.46	0.920
Sócalos (14)	9	0.40	3.600
Vector N°3677-2	1	8.84	8.840
			<hr/>
			28.72

Terminales 376.52

Unidades de Prueba 28.72

Costo Total del Proyecto: \$ 405.24

APENDICE C

HOJAS DE DATOS XR-205 Y XR-210

Monolithic Waveform Generator

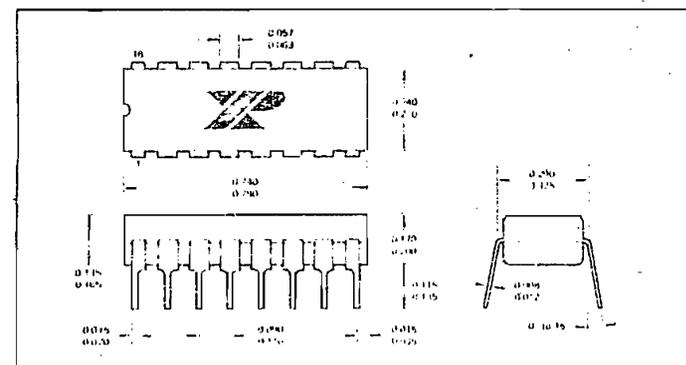
The XR-205 is a highly versatile, monolithic waveform generator designed for diverse applications in communication and telemetry equipment, as well as in systems design and testing. It is a self-contained, totally monolithic signal generator that provides sine, square, triangle, ramp and sawtooth output waveforms, which can be both amplitude and frequency modulated.

Figure 1 shows the functional block diagram of the monolithic waveform generator. The circuit has three separate sections: a voltage-controlled oscillator (VCO) which generates the basic periodic waveforms; a balanced modulator which provides amplitude or phase modulation; a buffer amplifier section which provides a low impedance output with high current drive capability.

APPLICATIONS

1. Waveform Generation
 - Sinewave
 - Triangle
 - Square
 - Sawtooth
 - Ramp
 - Pulse
2. AM Generation
 - Double Sideband
 - Suppressed Carrier
 - Crystal-Controlled
3. FM Generation
4. Sweep Generation
5. Tone Burst Generation
6. Simultaneous AM/FM
7. Frequency-Shift Keyed (FSK) Signal Generation
8. Phase-Shift Keyed (PSK) Signal Generation
9. On-Off Keyed Oscillation
10. Clock Generation

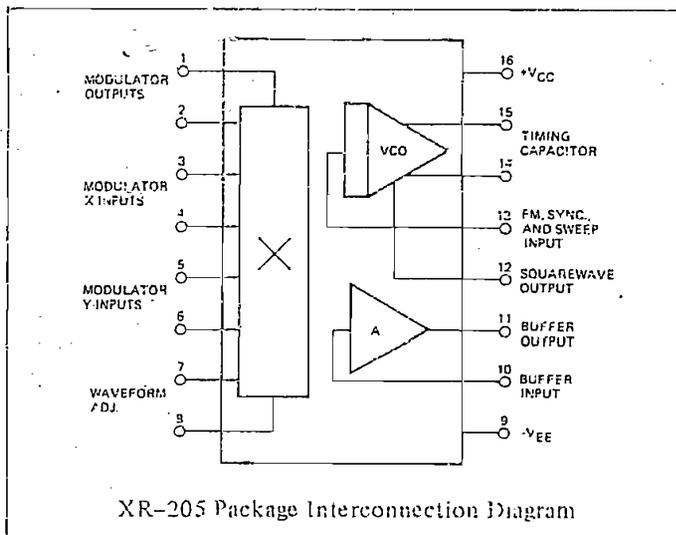
PACKAGE INFORMATION (ceramic)



ABSOLUTE MAXIMUM RATINGS

Power Supply	26 volts
Power Dissipation	750 mW
Derate above +25°C	5 mW/°C
Temperature	
Operating	-55°C to +125°C
Storage	-65°C to +150°C

SYSTEM BLOCK DIAGRAM



ELECTRICAL CHARACTERISTICS

Test Conditions: Supply Voltage = 12V (single supply) $T_A = 25^\circ\text{C}$, $f = 10\text{ kHz}$, $R_L = 3\text{ k}\Omega$, unless otherwise specified.

CHARACTERISTICS	LIMITS			UNITS	CONDITIONS
	MIN.	TYP.	MAX.		
I – General Characteristics					
Supply Voltage:					
Single Supply	8		26	V dc	See Figure 1
Split Supply	± 5		± 13	V dc	See Figures 2, 3 and 4
Supply Current	8	10	12	mA	w/o buffer amp
Frequency Stability:					
Power Supply		0.2	0.5	%/V	$ V_{CC} - V_{EE} > 10\text{V}$
Temperature		300	600	ppm/ $^\circ\text{C}$	Sweep input open circuit
Frequency Sweep Range	7:1	10:1			See Figure 6
Output Swing:					
Single Ended	2	3		V pp	Measured at pin 1 or 2
Differential	4	6		V pp	Measured across 1 and 2
Output Diff. Offset Voltage		0.1	0.4	V dc	Measured across 1 and 2
Amplitude Control Range		60		dB	Controlled by R_q (see Figure 1)
Buffer Amplifier Output Resistance		50		ohms	$R_L = 750\Omega$
Output Current Swing	± 6	± 10		mA (p-p)	
II – Output Waveforms					
Sinusoidal:					
Upper Frequency Limit	2	4		MHz	Measured at Pin 11
Peak Output Swing	2	3		V pp	See Figure 1, S_1, S_3
Distortion (THD)		2.5	4	%	closed S_2 open
Triangle:					
Peak Swing	2	3		V pp	See Figure 1, S_1, S_2
Non-Linearity		± 1		%	open S_3 closed
Asymmetry		± 1		%	$f = 10\text{ kHz}$
Sawtooth:					
Peak Swing	2	3		V pp	See Figure 1, S_2 closed;
Non-Linearity		1.5		%	S_2 and S_3 closed
Ramp:					
Peak Swing	1	1.4		V pp	See Figure 1, S_2 and S_3 open
Non-Linearity		1		%	pin 10 shorted to pin 15
Squarewave (Low Level):					
Output Swing	0.5	0.7		V pp	See Figure 1, S_2 and S_3 open,
Duty Cycle Asymmetry		± 1	± 4	%	pin 10 shorted to pin 12
Rise Time		20		ns	10 pF connected from pin 11
Fall Time		20		ns	to ground
Squarewave (High Level):					
Peak Swing	2	3		V pp	See Figure 3, S_2 open
Duty Cycle Asymmetry		± 1	± 4	%	
Rise Time		80		ns	10 pF connected from pin 11
Fall Time		60		ns	to ground
Pulse Output:					
Peak Swing	2	3		V pp	See Figure 3, S_2 closed
Rise Time		80		ns	
Fall Time		60		ns	
Duty Cycle Range		20–80		%	Adjustable (see Figure 11)
III – Modulation Characteristics (sinϕ, triangle and squarewave):					
Amplitude Modulation:					
Double Sideband					
Modulation Range		0–100		%	See Figure 2
Linearity		0.5		%	for 30% modulation
Sideband Symmetry		1.0		%	
Suppressed Carrier					
Carrier Suppression		52		dB	$f \leq 1\text{ MHz}$
Frequency Modulation:					
Distortion		0.3		%	See Figure 2 (± 10 frequency deviation)

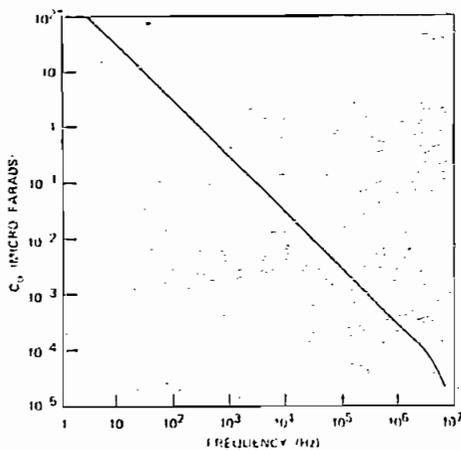


Figure 7. Frequency as a Function of C_0 Across Pins 14 and 15

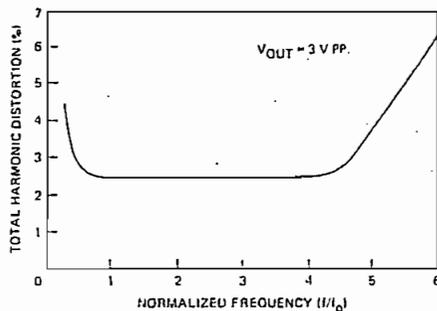


Figure 8. Sinusoidal Output Distortion as a Function of Frequency Sweep

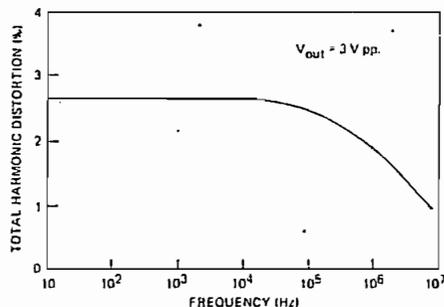


Figure 9. Sinusoidal Output: Distortion vs. Frequency

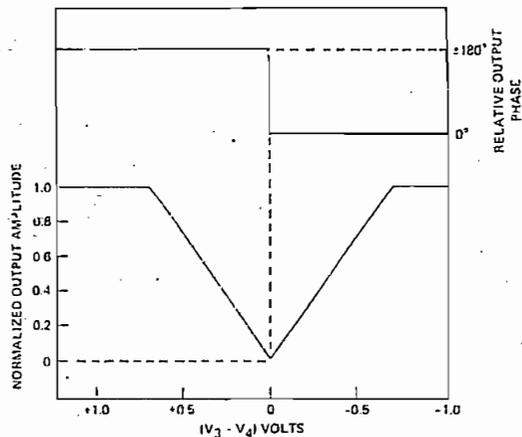


Figure 10. Modulator Section Phase and Amplitude Transfer Characteristics

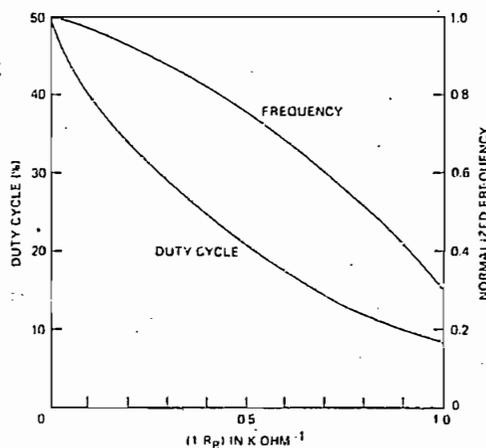


Figure 11. Duty-Cycle and Frequency Variation as a Function of Resistor R_B Connected Across Pins 13 and 14

DESCRIPTION OF CIRCUIT CONTROLS

Refer to functional block diagram)

TIMING CAPACITOR (PINS 14 AND 15)

The oscillator frequency is inversely proportional to the value of the timing capacitor, C_0 , connected between pins 14 and 15. With the sweep input open circuited, frequency f_0 can be approximated as: $f_0 = 400/C_0$ where f_0 is in Hz and C_0 is in micro farads. (See Figure 7.)

MODULATOR Y-INPUTS (PINS 5 AND 6)

These inputs are normally connected to the oscillator outputs. For sinewave or trianglewave outputs, they are de coupled to pins 14 and 15 (see Figure 1); for high-level squarewave or pulse output, ac coupling is used as shown in Figure 3.

MODULATOR X-INPUTS (PINS 3 AND 4)

Modulator output (at pins 1 or 2) is proportional to a dc voltage applied across these inputs -- (see Figure 10). These inputs can be used for amplitude modulation or, as an output amplitude control. The phase of the output voltage is reversed if the polarity of the dc bias across pins 3 and 4 is reversed; therefore these inputs can be used for phase-shift keyed (PSK) modulation.

MODULATOR OUTPUTS (PINS 1 AND 2)

All of the high level output waveforms are obtained at these terminals. The output waveforms appear differentially between pins 1 and 2. The terminals can, therefore, be used for either in-phase or out-of-phase outputs. Normally, a 15 k Ω load resistor should be connected between these terminals to prevent the output from saturating or clipping at large output voltage swings.

The output at this pin is a symmetrical squarewave with 0.7V amplitude and 20 ns rise time. It can be used directly as an output waveform, or amplified to a 3 Vpp signal level using the modulator section of the XR-205 as an amplifier (see Figure 3).

SWEEP OR FM INPUT (PIN 13)

The oscillator frequency increases linearly with an increasing negative voltage, V_S , applied to this terminal. Normally a series resistor, R_S ($R_S \approx$ approx. 1 K Ω) is connected in series with this terminal to provide current limiting and linear voltage-to-frequency transfer characteristics. Typical sweep characteristics of the circuit are shown in Figure 6. For proper operation of the circuit with $R_S = 1$ K Ω , the sweep voltage, V_S , must be within range: $(V_{SO} - 6) < V_S < (V_{SO} + 1)$ where V_{SO} is the open circuit voltage at pin 13. The frequency of oscillation can also be synchronized to an external source by applying a sync pulse to this terminal. For $R_S = 1$ K Ω , a sync pulse of 0.1V to 1V amplitude is recommended.

WAVEFORM ADJUSTMENT (PINS 7 AND 8)

The shape of the output waveform at pins 1 and 2 is controlled by a potentiometer, R_j , connected between these terminals as shown in Figure 1. For sinewave outputs at pins 1 and 2, the value of R_j is adjusted to minimize the harmonic content of the output waveform. This adjustment is independent of frequency and *needs to be done only once*. The output can be converted to a symmetrical triangle waveform by increasing the effective resistance across these terminals. This can be done without changing the potentiometer setting, by opening the switch S_2 as shown in Figures 1-3.

BUFFER INPUT AND OUTPUT (PINS 10 AND 11)

The buffer amplifier can be connected to any of the circuit outputs (pins 1, 2, 12, 14 or 15) to provide low output impedance and high current drive capability. *For proper operation of the buffer amplifier, pin 11 must be connected to the most negative potential in the circuit, with an external load resistor R_L (0.75 K $\Omega < R_L < 10$ K Ω).* The maximum output current at this pin must not exceed 20 mA.

OUTPUT DC LEVEL ADJUSTMENT

If the buffer amplifier is ac coupled to the circuit, the output dc level can be adjusted by setting the input bias level for the buffer stage (see Figure 5).

DUTY CYCLE ADJUSTMENT

The duty-cycle of the *output waveforms* can be adjusted by connecting a resistor R_B across pins 13 and 14, as shown in Figures 1-3. With switch S_2 open, the output waveform will be symmetrical. Duty cycle is reduced as R_B is decreased. (See Figure 11.)

ADDITIONAL GAIN CONTROL

For amplitude modulated output signals, the dc level across pins 3 and 4 is fixed by the modulation index required. In this case, the output amplitude can be controlled without affecting the modulation by connecting a potentiometer between pins 1 and 2.

ON-OFF KEYING

The oscillator can be keyed off by applying a positive voltage pulse to the sweep input terminal. With $R_S = 1$ K Ω , oscillations will stop if the applied potential at pin 13 is raised 3 volts above its open-circuit value.

The output amplitude can be modulated by applying a modulating signal to pin 3, as shown in Figures 2 and 3. The carrier level (or the modulation index for a given modulation level) can be determined by the differential dc bias between pins 3 and 4 (see Figure 10). For suppressed carrier modulation, this bias is adjusted to null the carrier feed through.

FREQUENCY MODULATION

Frequency modulation can be obtained by applying the modulating signal to pin 13, through a current limiting resistor, R_S . The frequency deviation (for any given modulation level) is inversely proportional to the value of R_S , connected in series with pin 13.

OUTPUT WAVEFORMS

The basic periodic waveforms available from the XR-205 are shown in Figures 12 through 15. Each of these waveforms can also be amplitude, frequency, or phase modulated. The *modulated* waveforms of Figure 16 through 30 can be generated by applying a modulation signal to the generator. The modulated waveforms shown in the photographs were obtained using two XR-205 generators, with one unit providing the modulation input for the other. The circuit connections necessary to generate some of these waveforms are briefly described below:

SINEWAVE OUTPUT (FIGURE 12A)

The circuit is connected as shown in Figures 1 or 2, with switch S_2 open and S_1 closed. The output waveform is adjusted for minimum harmonic distortion using trimmer resistor R_j connected across pins 7 and 8. Sinusoidal output is obtained from pins 1 or 2 (or pin 11 if the buffer amplifier is used). The amplitude of the output waveform is controlled by the differential dc voltage appearing between pins 3 and 4. This bias can be controlled by potentiometer R_Q . For a differential bias between these terminals of ± 2 volts or greater, the output amplitude is maximum and equal to approximately 3 volts p-p.

TRIANGLE OUTPUT (FIGURE 12B)

The circuit is connected as shown in Figures 1 or 2, with switches S_1 and S_2 open.

SAWTOOTH OUTPUT (FIGURE 13)

The circuit is connected as shown in Figures 1 or 2, with switch S_1 open and S_2 closed. Closing S_2 places resistor R_B across pins 13 and 14. This changes the duty cycle of the triangle output and converts it to a sawtooth waveform (see Figure 11). The polarity of the sawtooth can be changed by reversing the polarity of the dc bias across pins 3 and 4. If S_1 is closed, the linear sawtooth waveforms of Figure 13 become converted to the sinusoidal sawtooth waveforms of Figure 14a.

RAMP OUTPUT (FIGURE 14B)

For ramp outputs, switch S_3 of Figure 1 or 2 is opened, and pin 10 is shorted to pin 14. This results in a 1.4 volt p-p ramp output at pin 11. The duty cycle of this ramp can be controlled by connecting R_B across pins (13-14) or (13-15).

SQUAREWAVE AND PULSE OUTPUTS (FIGURE 15)

For squarewave outputs, the circuit is connected as shown in Figure 3, with S_2 open. The output can be converted to a pulse by closing S_2 . The duty cycle of the pulse output is controlled by potentiometer R_D . The amplitude and polarity of either the pulse or squarewave output can be controlled by potentiometer R_Q .

AMPLITUDE MODULATED OUTPUTS (FIGURES 16 THROUGH 21)

amplitude modulated input is applied to pin 3, as shown in Figures 2 and 3. The modulation index and carrier level can be adjusted by potentiometer R_q . For suppressed carrier operation, R_q should be adjusted to minimize the carrier output with no modulation input. Typical carrier suppression >50 dB up to 1 MHz.

ONE BURST (FIGURES 22, 23)

The circuit is connected as shown in Figure 2. Tone burst can be generated in two ways: (1) By on-off keying of the generators (see section on Circuit Controls); (2) by using a square wave modulated, suppressed carrier output. In this case, the bias at pin 4 is adjusted for suppressed carrier operation. When an input pulse is applied to pin 3 or pin 4, the carrier frequency will appear at the output as a tone burst, lasting for the duration of the input pulse. Additional amplitude modulation can also be introduced on the output tone burst by applying a modulation signal coincident with the burst signal.

BASIC WAVEFORMS

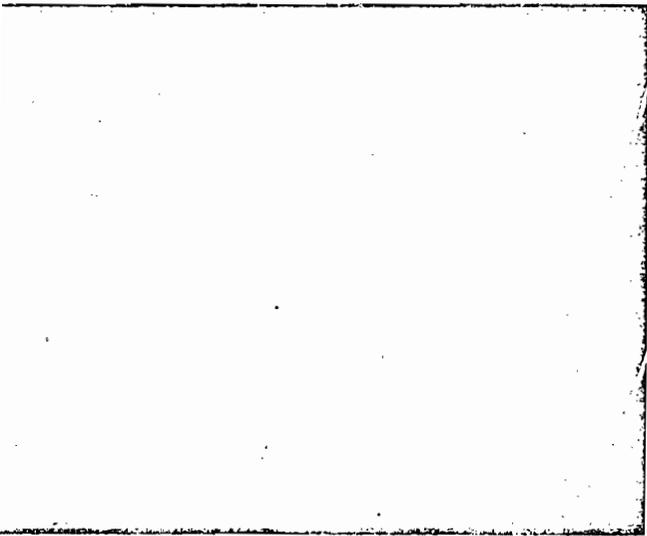


Figure 12. Sine and Triangle Waveforms

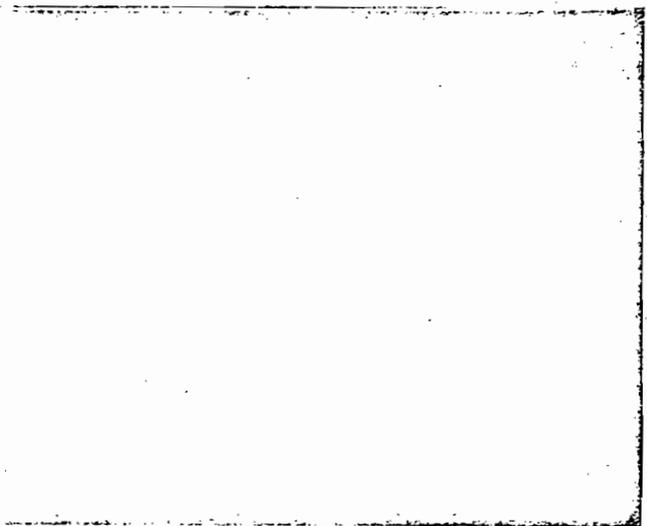


Figure 13. Linear Sawtooth Output

PHASE-SHIFT KEYED (PSK) OUTPUT (FIGURE 24)

The phase of the output is shifted by 180° when the polarity of the bias across pins 3 and 4 is reversed. If the keying pulse amplitude is >2 volts, the output amplitude is unaffected (see Figure 11).

FREQUENCY MODULATED OUTPUTS (FIGURES 25 THROUGH 27)

Frequency sweep or modulation inputs can be applied directly to the sweep terminal (pin 13) through a series resistor R_{S1} as shown in Figure 2. A frequency-shift-keyed (FSK) output can be obtained by applying a keying pulse to the sweep terminal.

SIMULTANEOUS AM/FM (FIGURES 28 THROUGH 30)

The amplitude and frequency modulation inputs of the XR-205 are designed to operate independent of each other. Therefore, the circuit can be simultaneously AM or FM modulated to generate additional complex waveforms.

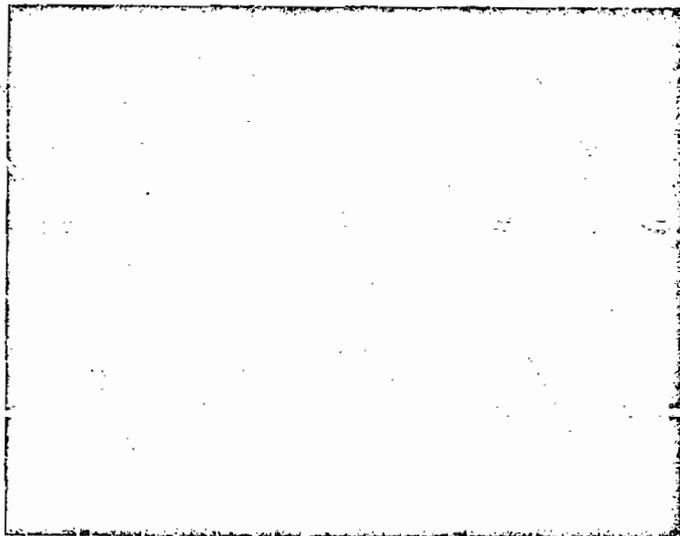


Figure 14. Sinusoidal Sawtooth and Linear Ramp Outputs

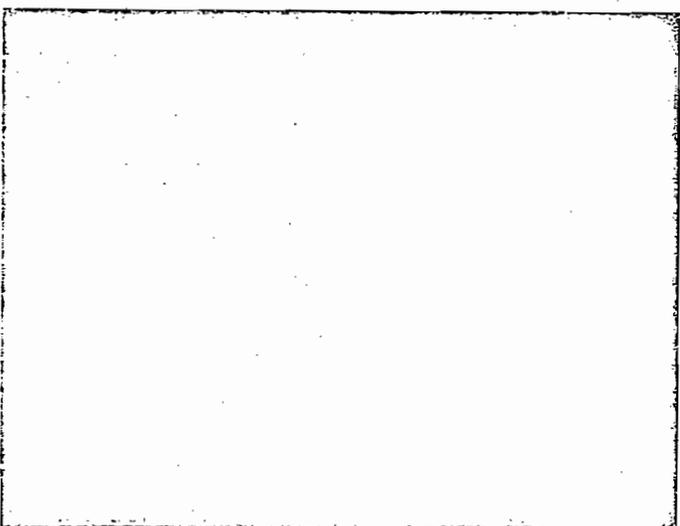


Figure 15. Squarewave and Pulse Outputs

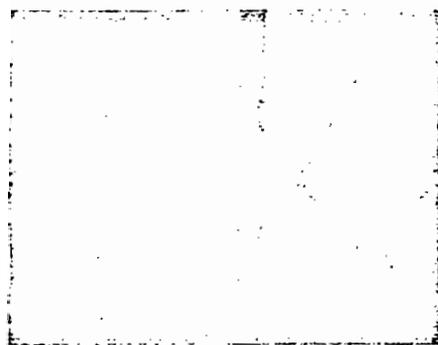


Figure 16. Sinusoidal AM Output (90% Modulation)

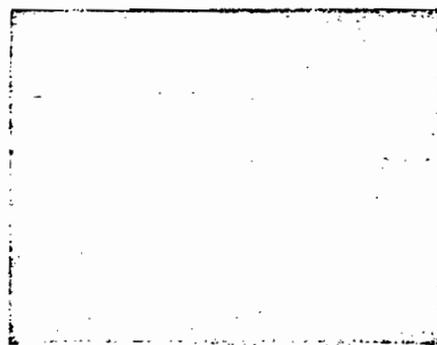


Figure 20. Squarewave Modulated AM output

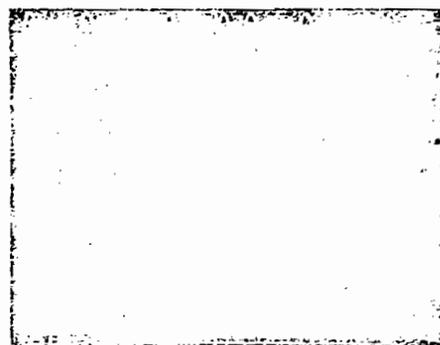


Figure 24. Phase-Shift Keyed Output

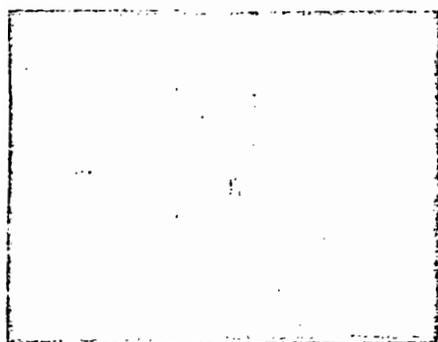


Figure 17. Suppressed Carrier AM

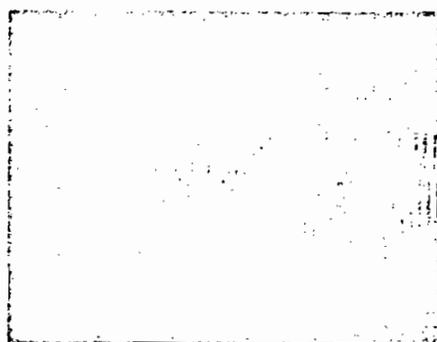


Figure 21. Ramp Modulated AM Output (Suppressed Carrier)

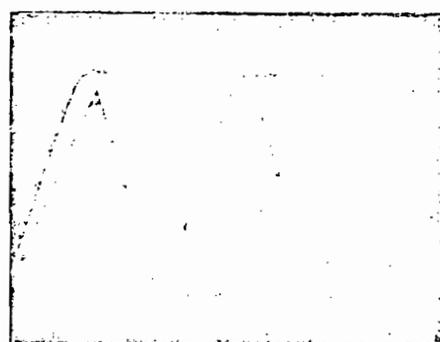


Figure 25. FM Output (±15% Modulation)

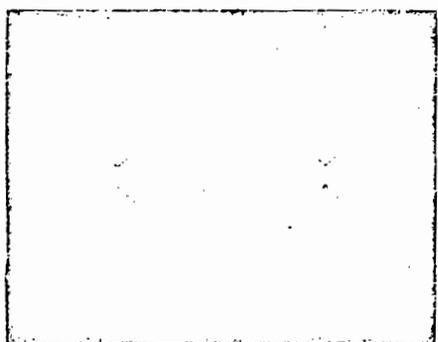


Figure 18. Ultra Low Frequency AM

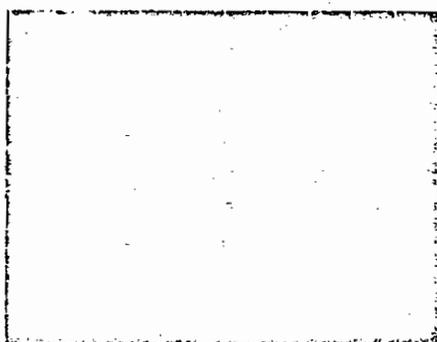


Figure 22. Tone Burst Output

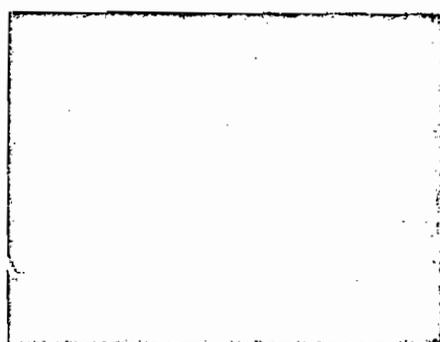


Figure 26. Swept Output

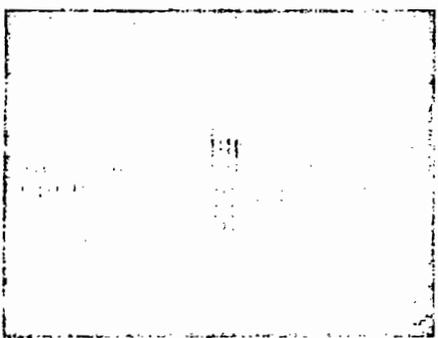


Figure 19. Sawtooth Modulated AM Output (Suppressed Carrier)

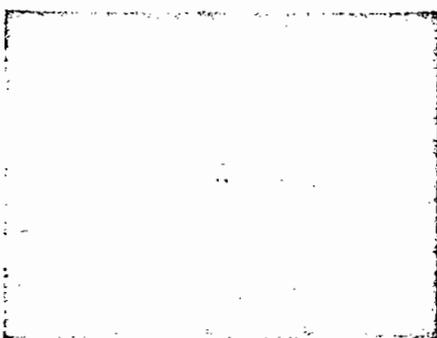


Figure 23. Modulated Tone Burst

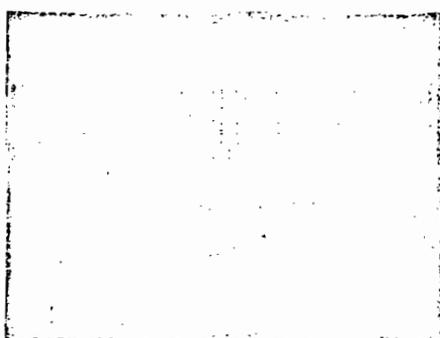


Figure 27. Frequency-Shift Keyed Output ($f_1 = 4 f_2$)

FSK Modulator/Demodulator

JUNE 1972

MONOLITHIC FSK MODULATOR/DEMULATOR

The XR-210 is a highly versatile monolithic phase-locked loop system especially designed for data communications. It is particularly well suited for FSK modulation/demodulation (MODEM) applications, as well as for frequency synthesis, tracking filters and tone decoding. The XR-210 can operate over a large choice of power supply voltages ranging from 5 volts to 26 volts and a wide frequency band of 0.5 Hz to 20 MHz. It can accommodate analog signals between 300 microvolts and 3 volts and can interface with conventional DTL, TTL and ECL logic families.

Figure 1 contains a functional block diagram of the XR-210 monolithic MODEM system. The circuit consists of a balanced phase detector, a highly stable voltage-controlled oscillator (VCO), a high-speed voltage comparator and an output logic-driver. The phase detector outputs are internally connected to the VCO control inputs and to the reference input of the voltage comparator. A self-contained phase-locked loop (PLL) system is formed by simply ac coupling the VCO output to either of the phase detector inputs and adding a low-pass filter to the phase detector output terminals.

The VCO frequency is highly stable and is determined by a single external capacitor. The VCO features on-off keying, frequency sweep, sync, and digital programming capabilities. Two independent fine-tuning controls are also available to set the "mark" and "space" frequencies for FSK generation. The output logic driver is a "bare-collector" stage capable of interfacing with TTL or DTL logic families and sinking up to 50 mA of load current. It's output is RS-232C compatible, and thus eliminates the requirement for a separate line driver.

FEATURES

- Wide Frequency Range: 0.5 Hz to 20 MHz
- Wide Supply Voltage Range: 5V to 26V
- Digital Programming Capability
- RS-232C Compatible Demod. Output
- DTL, TTL and ECL Logic Compatibility
- Wide Dynamic Range: 300 μ V to 3V
- ON-OFF Keying and Sweep Capability
- Wide Tracking Range: Adjustable from $\pm 1\%$ to $\pm 50\%$
- Good Temperature Stability (200 ppm/ $^{\circ}$ C)
- High-Current Logic Output (50 mA)
- Independent "Mark" and "Space" Frequency Adjustment
- VCO Duty Cycle Control

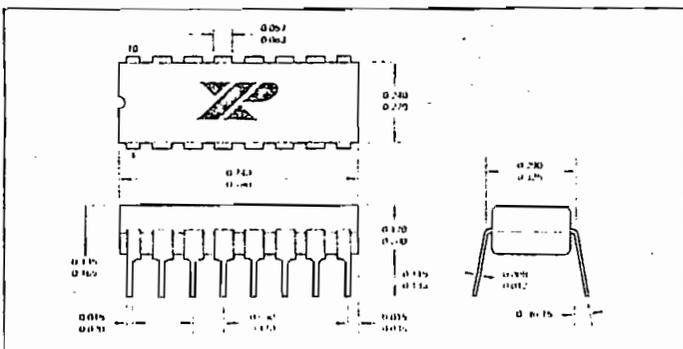
APPLICATIONS

- FSK Demodulation
- FSK Generation
- Data Synchronization
- Frequency Synthesis
- FM and Sweep Generation
- Tracking Filter
- Signal Conditioning
- Tone Decoding
- FM Detection
- Wideband Discrimination
- Voltage-to-Frequency Conversion

ABSOLUTE MAXIMUM RATINGS

Power Supply	26 Volts
Power Dissipation	750 mW
Derate above +25 $^{\circ}$ C	5 mW/ $^{\circ}$ C
Temperature	
Operating	-55 $^{\circ}$ C to +125 $^{\circ}$ C
Storage	-65 $^{\circ}$ C to +150 $^{\circ}$ C

PACKAGE INFORMATION (ceramic)



FUNCTIONAL BLOCK DIAGRAM

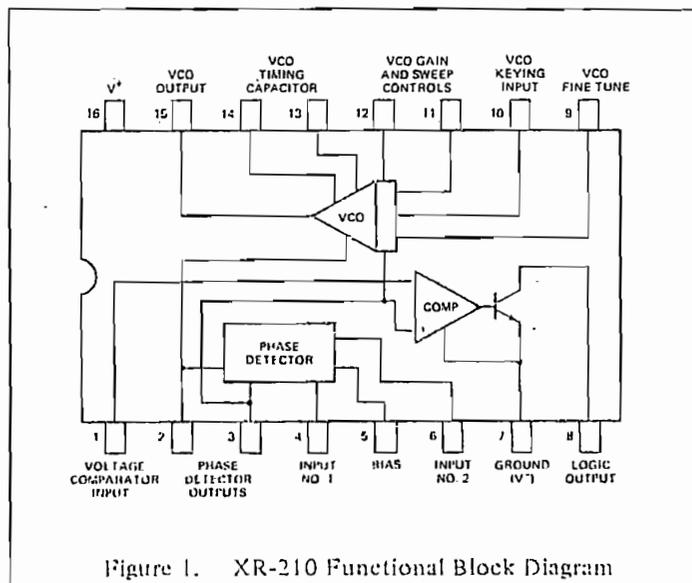


Figure 1. XR-210 Functional Block Diagram

ELECTRICAL SPECIFICATIONS

CHARACTERISTICS	LIMITS			UNITS	CONDITIONS
	MIN.	TYP.	MAX.		
Test Conditions: $V^+ = 12V$ (single supply), $T_A = 25^\circ C$, Test circuit of Figure 2 with $C_0 = 0.02 \mu F$, S_1, S_2, S_5 , closed, S_3, S_4, S_6, S_7 open, unless otherwise specified.					
Supply Voltage:					
Single Supply	5		26	V dc	See Figure 2
Split Supply	± 2.5		± 13	V dc	See Figure 3
Supply Current	9	12	16	mA	See Figure 2, S_2 open
Upper Frequency Limit	15	20		MHz	See Figure 2, S_1 open, S_4 closed
Lowest Practical Operating Frequency		0.5		Hz	$C_0 = 500 \mu F$
VCO Section:					
Stability:					
Temperature		200	550	ppm/ $^\circ C$	$f = 10 \text{ kHz}$, $V^+ \geq 10V$, $0 < T_A < 75^\circ C$
Power Supply		0.05	0.5	%/V	$10V < V^+ < 24V$
Sweep Range	5:1	8:1			S_3 closed, S_4 open, $0 < V_S < 6V$ See Figure 8, $V^+ = 12V$
Output Voltage Swing	1.5	2.5		V _{p-p}	S_5 open
Duty Cycle Asymmetry		± 1	± 3	%	S_5 open
Rise Time		20		ns	10 pF to ground at Pin 15, S_5 open
Fall Time		40		ns	10 pF to ground at Pin 15, S_5 open
Phase Detector Section:					
Conversion Gain		2		V/rad	$V_{in} > 50 \text{ mV rms}$, See Figure 15
Output Impedance		6		k Ω	Measured looking into Pins 2 or 3
Output Offset Voltage		35	150	mV	Measured across Pins 2 and 3, $V_{in} = 0$, S_5 open
Voltage Comparator Section:					
Open Loop Voltage Gain	66	80		dB	$f = 20 \text{ Hz}$
Input Impedance	0.5	2		M Ω	Measured looking into Pin 1
Input Offset Voltage		1		mV	
Input Bias Current		80		nA	
Common Mode Rejection		90		dB	
Logic Output Section:					
Slew Rate		15		V/ μsec	Measured at Pin 8 $R_L = 3 \text{ k}\Omega$, $C_L = 10 \text{ pF}$, S_2 closed
"1" Output Leakage Current		0.02	10	μA	$V_0 = +24V$
"0" Output Voltage		0.2	0.4	V	$I_L = 10 \text{ mA}$
Current Sink Capability	30	50		mA	$V_0 \leq 1V$

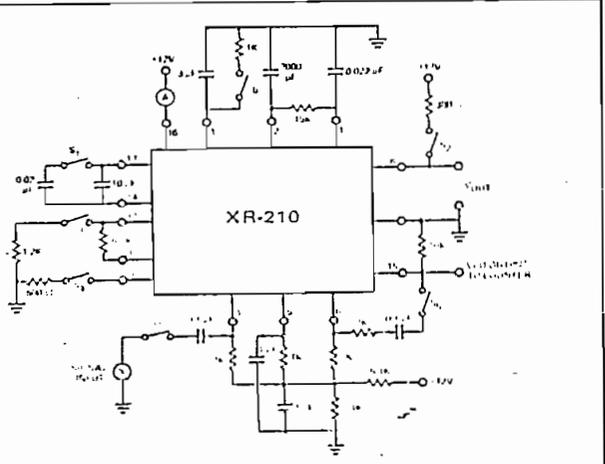


Figure 2. Test Circuit For Single Supply Operation

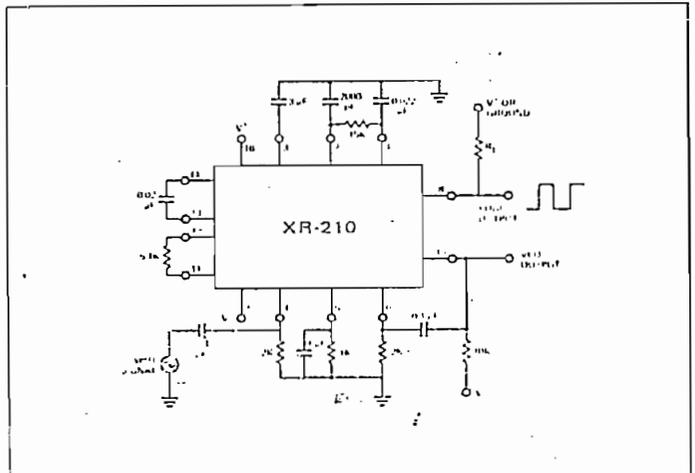


Figure 3. Test Circuit For Split Supply Operation

...ed from a fixed internal reference. The current I_1 is set internally and is partially controllable by the fine-tune adjuster, R_T . The current I_2 is set by the external resistor, R_X , connected between pin 10 and pin 7. For any C_0 setting, the VCO frequency, f_2 , with R_X connected to pin 10, can be expressed as:

$$f_2 = f_1 \left(1 + \frac{0.3}{R_X} \right) \text{ Hz}$$

where f_1 is the frequency with pin 10 open circuited and R_X in $k\Omega$. Note that f_2 can be fine-tuned to a desired value by the proper choice of R_X .

In addition to frequency-keying control, the VCO frequency can also be stepped in a binary manner by applying a logic signal to pin 10, as shown in Figure 9. For high level logic inputs, transistor T_2 is turned off, R_X is effectively switched out of the circuit, and the VCO frequency is shifted from f_2 to f_1 .

In addition to frequency-keying, pin 10 can be used for two other applications:

Range Extension: For operation of the VCO at frequencies above 5 MHz, external resistor R_X (500Ω) is recommended between pins 10 and 7.

Time Multiplexing: When the XR-210 is connected as a phase-locked demodulator (see Figure 17, 18), it can be time-multiplexed between two separate input frequencies by applying a channel-select pulse to pin 10 as shown in Figure 9.

VOLTAGE COMPARATOR INPUT (PIN 1)

This pin provides the signal input to the voltage-comparator section. The comparator section is normally used for post-modulation slicing and pulse-shaping. Normally, pin 1 is connected to pin 2 through a $15k\Omega$ external resistor, as shown in Figures 2 and 3. The input impedance level at this pin is approximately $2 M\Omega$.

LOGIC DRIVER OUTPUT (PIN 8)

This pin provides a binary logic output corresponding to the polarity of the input signal at the voltage comparator inputs. It is a "bare-collector" type stage with high current sinking capability.

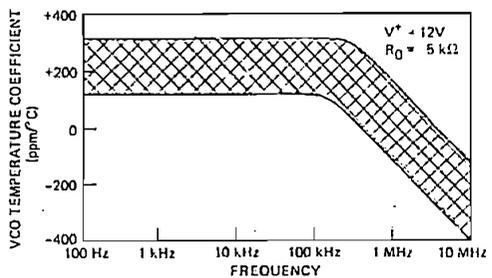


Figure 7. VCO Temperature Coefficient Range as a Function of Operating Frequency (pin 10 open)

ADDITIONAL CONTROLS

VCO DUTY CYCLE CONTROL

The VCO output available at pin 15 is a symmetrical square-wave with less than $\pm 3\%$ duty cycle asymmetry. The VCO duty cycle can be varied from 10% to 90% by connecting an external resistor R_B ($R_B \geq 3k\Omega$) from pin 12 to either one of the timing capacitor terminals (pins 13 and 14). Connection

whereas the connection between pins 12 and 14 increases the duty cycle. The VCO free-running frequency is also affected by the duty cycle change. Figure 10 shows the variation of VCO duty cycle and frequency as a function of R_B . Figure 11 shows the VCO output waveforms for various R_B values.

VCO ON-OFF KEYING

With pin 10 open circuited, the VCO can be keyed off by applying a positive voltage pulse to the sweep input terminal. With $R_S = 2 k\Omega$, oscillations will stop if the applied potential at pin 12 is raised 3 volts above its open circuit value. When sweep, sync, or on-off keying functions are not used, R_S should be left open circuited.

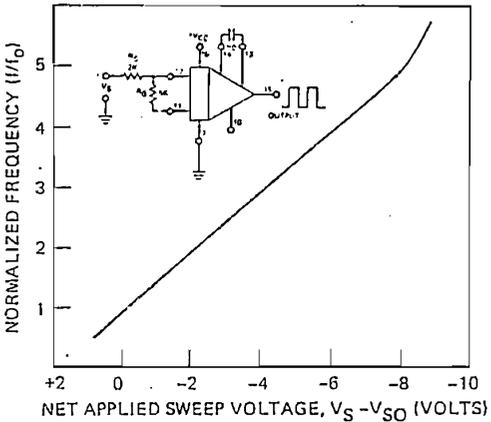


Figure 8. Frequency Sweep Characteristics as a Function of Net Applied Sweep Voltage (pin 10 open)

(Note: $V_{SO} \approx V_{CC} - 5V =$ Open Circuit Voltage at pin 12)

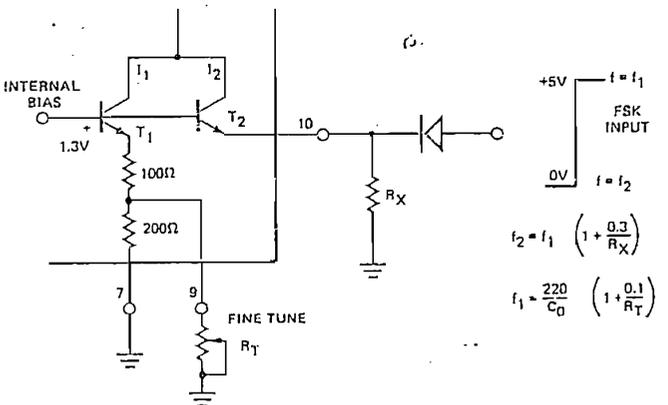


Figure 9. VCO Fine-Tune (Pin 9) and Frequency-Keying (Pin 10) Controls

LOCK-RANGE CONTROL

When the XR-210 is connected as a PLL, its lock range can be controlled by varying the VCO gain control resistor, R_0 , across pins 11 and 12. For input signals greater than 30 mV rms, the PLL loop gain is independent of signal amplitude but is inversely proportional to R_0 . Increasing R_0 decreases the PLL loop gain and the lock range. Figure 12 shows the dependence of lock range, $\pm \Delta f_L$, on R_0 .

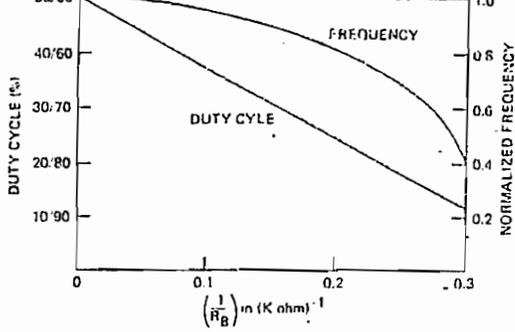


Figure 10. Duty Cycle and Frequency Variations as a Function of R_B connected Across pins 12 and 13

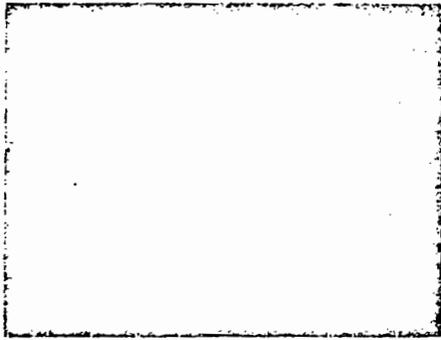


Figure 11. VCO Output Waveforms For R_B Between Pins 12 and 13

Top: $R_B = \text{Open}$, Symmetrical Squarewave

Bottom: $R_B = 3 \text{ k}\Omega$, 15% Duty Cycle

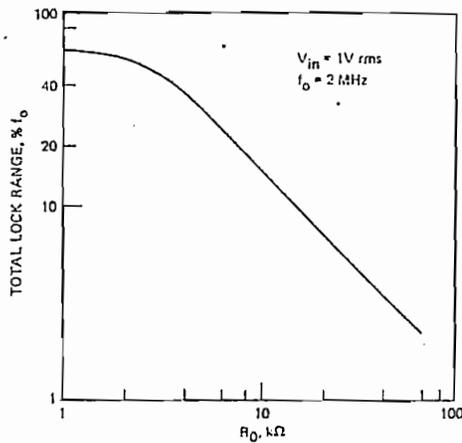


Figure 12. Total Lock Range, $\pm\Delta f_L$, vs VCO Gain Control Resistor, R_0

BASIC PHASE-LOCKED LOOP OPERATION

PRINCIPLE OF OPERATION

The phase-locked loop (PLL) is a unique and versatile circuit technique which provides frequency selective tuning and filtering without the need for coils or inductors. As shown in Figure 13, the PLL is a feedback system comprised of three basic functional blocks: phase detector, low-pass filter and voltage-controlled oscillator (VCO). The basic principle of operation of a PLL can be briefly explained as follows: With no input signal applied to the system, the error voltage, V_d , is equal to zero. The VCO operates at a set frequency, f_0 , which is known as the "free-running" frequency. If an input signal is applied to

the system, the phase detector compares the phase and frequency of the input signal with the VCO frequency and generates an error voltage, $V_e(t)$, that is related to the phase and frequency difference between the two signals. This error voltage is then filtered and applied to the control terminal of the VCO. If the input frequency, f_s , is sufficiently close to f_0 , the feedback nature of the PLL causes the VCO to synchronize or "lock" with the incoming signal. Once in lock, the VCO frequency is identical to the input signal, except for a finite phase difference.

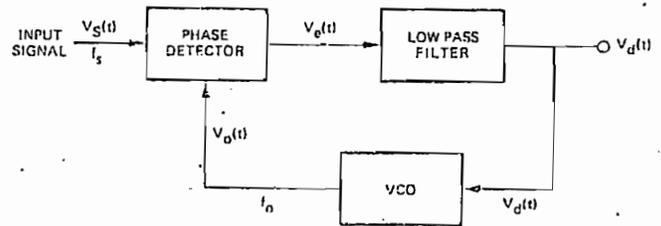


Figure 13. Block Diagram of a Phase-Locked Loop

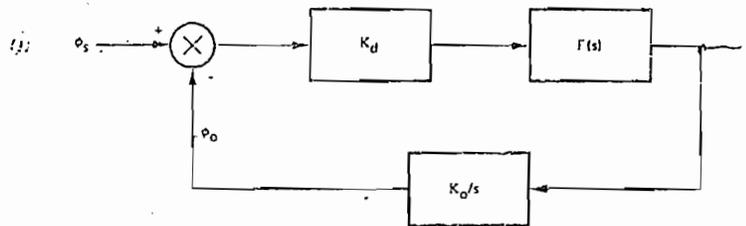


Figure 14. Linearized Model of a PLL as a Negative Feedback system

A LINEARIZED MODEL FOR PLL

When the PLL is in lock, it can be approximated by the linear feedback system shown in Figure 14. ϕ_s and ϕ_o are the respective phase angles associated with the input signal and the VCO output, $F(s)$ is the low-pass filter response in frequency domain, and K_d and K_o are the conversion gains associated with the phase detector and VCO sections of the PLL.

DEFINITION OF XR-210 PARAMETERS FOR PLL APPLICATIONS

VCO FREE-RUNNING FREQUENCY, f_0

f_0 is the VCO frequency with no input signal. It is determined by selection of C_0 across pins 13 and 14 and can be increased by connecting an external resistor, R_X , between pins 7 and 10. With pins 9 or 10 open, it can be approximated as:

$$f_0 \approx \frac{220}{C_0} \text{ Hz (See Figure 6).}$$

where C_0 is in μF .

PHASE DETECTOR GAIN, K_d

K_d is the output voltage from the phase detector per radian of phase difference at the phase detector inputs (pins 4 and 6). K_d is proportional to the input signal for low level inputs ($\leq 25 \text{ mV rms}$) and is constant at high input levels (See Figure 15):

APENDICE D

DIBUJOS DEL DIAGRAMA LOGICO GENERAL Y
DE LOS DIAGRAMAS DE TIEMPO COMPLETOS

BIBLIOGRAFIA

- (B1) Kuo Benjamin C, Sistemas Automáticos de Control. --
C.E.C.S.A., 1970.
- (B2) Martin J, Teleprocessing Network Organization, Pren__
tice-Hall, 1969.
- (B3) Martin J, Telecommunications and the Computer, Pren__
tice-Hall, 1969.
- (B4) Millman-Taub, Circuitos de mulsos, Digitales de Con--
mutación, McGraw-Hill, 1971.
- (B5) Advanced Micro Divices. Inc., Manual de Elementos, --
1971.
- (B6) Electronis, Deskbook Data Communications Systems, --
McGraw-Hill, 1972.
- (B7) Fairchild, The Voltage Regulator Applications HandBook,
1974.
- (B8) Lenkurt, Delected Articles from Lenkurt Demodulator, -
1971.

- (B9) IEE, Proceeding of the IEEE, Vol.60 N° 11, November 1972
- (B10) ITT, Reference Data for Radio Engineers, Howard W. - Sams&Co., Inc., 1973.
- (B11) SIEMENS, Design Examples with Integrated Circuits, --- Bereich Holbleiter, 1971/1972.
- (B12) Texas Instruments, The T.T.L. Data Book for Design -- Engineers, Texas Instruments Incorporated, 1973