

ESCUELA POLITÉCNICA NACIONAL

ESCUELA DE INGENIERÍA

DISEÑO E IMPLEMENTACIÓN DEL SISTEMA DE ADQUISICIÓN
DE DATOS PARA EL ANALIZADOR LÓGICO HEWLETT
PACKARD 1662CS, QUE PERMITA EL ANÁLISIS DE
INTERFACES DE PÓRTICOS SERIALES Y PARALELOS DE
COMPUTADORAS PERSONALES.

PROYECTO PREVIO A LA OBTENCIÓN DEL TÍTULO DE INGENIERO EN
ELECTRONICA Y TELECOMUNICACIONES

JUAN CARLOS MORENO NAVAS
PABLO GEOVANNY TOAPANTA SILVERIO

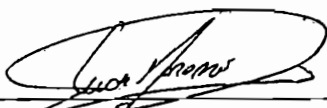
DIRECTOR: ING. JAIME VELARDE G.

Quito, enero 2003

DECLARACIÓN

Nosotros, Juan Carlos Moreno Navas y Pablo Geovanny Toapanta Silverio, declaramos bajo juramento que el trabajo aquí descrito es de nuestra autoría; que no ha sido previamente presentada para ningún grado o calificación profesional; y, que hemos consultado las referencias bibliográficas que se incluyen en este documento.

A través de la presente declaración cedemos nuestros derechos de propiedad intelectual correspondientes a este trabajo, a la Escuela Politécnica Nacional, según lo establecido por la Ley de Propiedad Intelectual, por su Reglamento y por la normatividad institucional vigente.



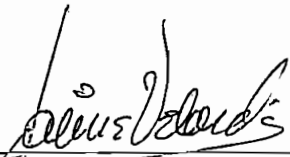
Juan Carlos Moreno Navas



Pablo Geovanny Toapanta
Silverio

CERTIFICACIÓN

Certifico que el presente trabajo fue desarrollado por Juan Carlos Moreno Navas y Pablo Geovanny Toapanta Silverio bajo mi supervisión.



Ing. Jaime Velarde
DIRECTOR DE PROYECTO

AGRADECIMIENTO

Al Proyecto PBID-081 y a todas las personas que de alguna u otra forma nos colaboraron con el desarrollo de nuestro proyecto de titulación en especial al Ing. Jaime Velarde G. por su tiempo y ayuda.

DEDICATORIA

A mi madre que con su amor y apoyo ve realizado uno de sus sueños, a mi abuela que es mi segunda madre, a mi hermano y su familia, a mis amigos.

Juan Carlos

DEDICATORIA

A Dios y a todas las personas que me han apoyado siempre
en especial a mis queridos padres, que día a día han sido mi guía,
a mi esposa y a mi hijo, quienes son mi inspiración
a mi hermana y su familia,
a mis amigos.

Pablo.

CONTENIDO

RESUMEN.....	1
PRESENTACION.....	2
CAPITULO 1.	
EL ANALIZADOR LÓGICO HP 1662 CS.....	4
1.1 El Analizador Lógico.....	4
1.2 Características Importantes De Un Analizador Lógico.....	4
1.3 Estructura Interna De Un Analizador Lógico.....	5
1.3.1 Analizador De Tiempos.....	8
1.3.2 Analizador De Estados.....	8
1.4 Ciclo De Trabajo De Un Analizador Lógico.....	9
1.5 Características Del Analizador Lógico HP1662CS.....	10
1.5.1 Dispositivos De La Parte Posterior Del Analizador Lógico.....	12
1.5.2 Panel Frontal Del Analizador HP1662CS.....	12
1.5.3 Diagramas de flujo para realizar una medición con el HP1662CS....	15
1.5.3.1 Fijar el objetivo.....	15
1.5.3.2 Configurar el Analizador.....	16
1.5.3.3 Configurar Disparo (Trigger).....	17
1.5.3.4 Correr la Medición.....	18
1.5.3.5 Visualizar los Datos.....	19
1.5.4 Uso del Analizador Lógico HP1662CS.....	20
1.5.4.1 Acceso a los menús.....	20
1.5.4.2 Acceso a los menús del Sistema.....	21
1.5.4.3 Acceso a los menús del Analizador.....	24
1.5.4.4 Acceso a los menús del Osciloscopio.....	28
1.5.4.5 Uso de los Menús del Analizador.....	30
1.5.4.5.1 Etiquetado de Grupos de Canales.....	30
1.5.4.5.2 Para Crear un Símbolo.....	31
1.5.4.5.3 Para examinar una forma de onda del	

analizador.....	32
1.5.4.5.4 Para Examinar una Lista del Analizador.....	33
1.5.4.5.5 Para Comparar dos Listas.....	34
1.5.4.6 El Ensamblador Inverso.....	36
1.5.4.6.1 Para usar un ensamblador inverso.....	36
1.5.4.6.2 Sincronización del Ensamblador Inverso.....	37

CAPITULO 2.

PRINCIPALES INTERFACES DE COMPUTADORES

PERSONALES.....	40
2.1 El Puerto Paralelo.....	40
2.1.1 Tipos de Puerto Paralelo.....	41
2.1.1.1 Original (SPP).....	41
2.1.1.2 Tipo PS/2 (Bidireccional Simple)	41
2.1.1.3 EPP (Puerto Paralelo Mejorado).....	42
2.1.1.4 ECP (Puerto de capacidades extendidas).....	42
2.1.1.5 Puertos Multimodo.....	43
2.1.2 Direccionamiento.....	43
2.2 Protocolo de comunicación Impresora-PC.....	44
2.3 Interfaz Centronics.....	45
2.3.1 Señales de la Interfaz Centronics.....	47
2.3.2 Handshaking.....	48
2.4 Comunicación PC a PC.....	50
2.5 Pórtico Serial.....	51
2.5.1 Interfaz RS-232.....	52
2.5.1.1 Características Mecánicas.....	53
2.5.1.2 Características Eléctricas.....	54
2.5.1.3 Características Funcionales.....	54
2.5.1.4 Conexión Null Módem.....	57
2.6 Interfaz RS-485.....	59
2.6.1 Comparación entre RS-485 Y RS-422.....	60
2.6.2 Características Eléctricas.....	60
2.7 Interfaz del Teclado AT.....	62

2.7.1 Comandos del Teclado.....	63
2.7.1.1 Comandos enviados desde el host.....	64
2.7.1.2 Comandos enviados desde el teclado.....	65
2.7.2 Códigos de Rastreo.....	65
2.7.3 Conector de Teclado.....	66
2.7.4 Protocolo de Teclados.....	67
2.7.4.1 Comunicación desde el Teclado hacia el Host.....	67
2.7.4.2 Comunicación desde el Host hacia el Teclado.....	68
CAPITULO 3.	
HARDWARE PARA LA ADQUISICIÓN DE DATOS.....	70
3.1 Tarjeta de adquisición de datos para el interfaz Centronics y comunicación PC a PC por el puerto paralelo.....	70
3.1.1 Conexión para el interfaz Centronics.....	70
3.1.2 Conexión para comunicación PC a PC.....	71
3.1.3 Diseño y construcción.....	72
3.1.4 Circuito esquemático de la tarjeta de adquisición de datos para el interfaz Centronics y comunicación PC a PC por el puerto paralelo.....	74
3.1.5 Presentación de la tarjeta de adquisición de datos para el interfaz Centronics y comunicación PC a PC por el puerto paralelo.....	76
3.2 Tarjeta de adquisición de datos para el interfaz de comunicaciones RS-232.....	77
3.2.1 Diseño y construcción.....	78
3.2.1.1 Circuito driver RS-232/TTL.....	80
3.2.2 Circuito esquemático de la tarjeta de adquisición de datos para el interfaz RS-232.....	81
3.2.3 Presentación de la tarjeta de adquisición de datos para el interfaz RS-232.....	83
3.3 Tarjeta de adquisición de datos para el interfaz de comunicaciones RS-485/422.....	84
3.3.1 Diseño y construcción.....	85

3.3.2 Circuito esquemático de la tarjeta de adquisición de datos para el interfaz RS-485/422.....	86
3.3.3 Presentación de la tarjeta de adquisición de datos para el interfaz RS-485/422.....	88
3.4 Tarjeta de adquisición de datos para el interfaz de teclado AT.....	89
3.4.1 Diseño y construcción.....	90
3.4.2 Circuito esquemático de la tarjeta de adquisición de datos para el interfaz de teclado AT.....	91
3.4.3 Presentación de la tarjeta de adquisición de datos para el interfaz de teclado AT.....	93
3.5 Adaptador de terminación de 100 kohm.....	94
3.5.1 Características eléctricas del adaptador de terminación de 100 kohm.....	95
3.5.2 Distribución del adaptador de terminación de 100 kohm.....	96
CAPITULO 4.	
SOFTWARE PARA LA ADQUISICIÓN DE DATOS.....	99
4.1 Configuración del analizador lógico HP 1662 CS para la adquisición de datos del interfaz Centronics y comunicación PC a PC por el puerto paralelo.....	99
4.1.1 Configuración del analizador lógico para el análisis en el tiempo del interfaz Centronics.....	99
4.1.2 Configuración del analizador lógico para el análisis de estados del interfaz Centronics.....	103
4.1.3 Configuración del analizador lógico para el análisis mezclado del interfaz Centronics.....	106
4.1.4 Configuración del analizador lógico para el análisis de tiempos en la comunicación PC-PC por el puerto paralelo.....	111
4.2 Configuración del analizador lógico HP 1662 CS para la adquisición de datos del interfaz RS-232.....	114

4.2.1 Programa para la conversión de datos seriales a paralelo para el interfaz RS-232.....	114
4.2.2 Configuración del analizador lógico para el análisis en el tiempo del interfaz RS-232.....	119
4.2.3 Configuración del analizador lógico para el análisis de estados del interfaz RS-232.....	121
4.2.4 Configuración del analizador lógico para el análisis mezclado del interfaz RS-232.....	125
4.3 Configuración del analizador lógico HP 1662 CS para la adquisición de datos del interfaz RS-485/422.....	128
4.3.1 Configuración del analizador lógico para el análisis en el tiempo del interfaz RS-485/422.....	128
4.3.2 Configuración del analizador lógico para el análisis de estados del interfaz RS-485/422.....	131
4.3.3 Configuración del analizador lógico para el análisis mezclado del interfaz RS-485/422.....	135
4.4 Configuración del analizador lógico HP 1662 CS para la adquisición de datos del interfaz de teclado AT.....	138
4.4.1 Programa para la conversión de datos seriales a paralelo para el interfaz de teclado AT.....	138
4.4.2 Configuración del analizador lógico para el análisis en el tiempo del interfaz de teclado AT.....	143
4.4.3 Configuración del analizador lógico para el análisis de estados del interfaz de teclado AT.....	145
4.4.4 Configuración del analizador lógico para el análisis mezclado del interfaz de teclado AT.....	148
CONCLUSIONES.....	153
RECOMENDACIONES.....	155
BIBLIOGRAFIA.....	156

ANEXOS.

- A. Manual del Usuario
- B. Manual de Cables
- C. Programas Microcontrolador ATMEL AT89C1051U
- D. Driver SN75176B
- E. Transistor 2N2222.
- F. El Microcontrolador ATMEL AT89C1051U

RESUMEN

El presente proyecto tiene como finalidad el desarrollo del hardware y software que permita el análisis de los puertos más populares de computadores personales con la ayuda del analizador lógico Hewlett Packard HP1662CS.

En la primera parte del trabajo se hace referencia a la herramienta principal del proyecto, el Analizador Lógico HP1662CS, se exponen las funciones, características principales y los procedimientos básicos de su configuración.

En el capítulo 2 se estudian las interfaces de computadores personales objeto del análisis, tanto a nivel de características mecánicas, como eléctricas y funcionales. También se mencionan los protocolos de comunicación utilizados en las aplicaciones más conocidas.

El diseño de las tarjetas electrónicas que permiten la adquisición de los datos se aborda en el capítulo 3, donde se hace referencia al dimensionamiento y selección de los componentes utilizados.

Los algoritmos y programas residentes en los microcontroladores que realizan la conversión de los datos seriales a paralelos, así como las configuraciones necesarias del Analizador Lógico se exponen en el último capítulo. Gracias a las facilidades que presta el analizador se pueden observar las pantallas capturadas de los diferentes menús de configuración.

Finalmente se presentan las conclusiones y recomendaciones resultado del presente proyecto.

PRESENTACION

La utilización de computadores personales en los distintos campos de investigación lleva a la necesidad de comunicaciones para compartir datos a través de interfaces estandarizados. El analizador lógico es una herramienta que presenta muchas facilidades para el monitoreo de las señales digitales que se transmiten a través de pórticos.

Dentro del Proyecto de Investigación P-BID-081, auspiciado por FUNDACYT, se adquirió un analizador lógico Hewlett Packard HP1662CS, con accesorios que permiten el análisis del funcionamiento de equipos basados en microcontroladores como los 8051, 80196, 80486, 68HC11 y 88020/030/040. Pero el proveedor no disponía de los accesorios para el análisis de buses y pórticos de computadores personales por lo que entregó únicamente interfaces definibles por el usuario.

Dada la importancia que conlleva el uso de los pórticos de computadores, se vio la necesidad de implementar el hardware que facilite el análisis de los mismos, dicho hardware consiste en tarjetas electrónicas y cables que permitan observar las señales que intervienen en las transacciones de los datos, además como la mayor parte de los interfaces son seriales, era necesario realizar una conversión de los datos a paralelo de tal manera que su observación en el analizador lógico sea más ilustrativa.

La comprensión de las características de los interfaces de interés permite el desarrollo del software para la configuración del analizador lógico, para el análisis en tiempo y en estados de las señales capturadas de los pórticos.

CAPITULO

1

CAPITULO 1. EL ANALIZADOR LÓGICO HP 1662 CS

1.1 EL ANALIZADOR LÓGICO

Un analizador lógico es un instrumento para capturar señales de voltaje de un circuito digital y el análisis posterior de las mismas, el funcionamiento es semejante al de un osciloscopio digital, con la diferencia de que en la pantalla se presentan únicamente los dos estados lógicos: alto y bajo; pero en cambio, permite visualizar las señales provenientes de varios canales. Los analizadores lógicos no muestran las señales en tiempo real, sino que presentan en pantalla los valores lógicos de señales que previamente han sido guardadas en la memoria, estos valores son almacenados a partir de un instante programado por el usuario que se llama "Condición de Disparo".

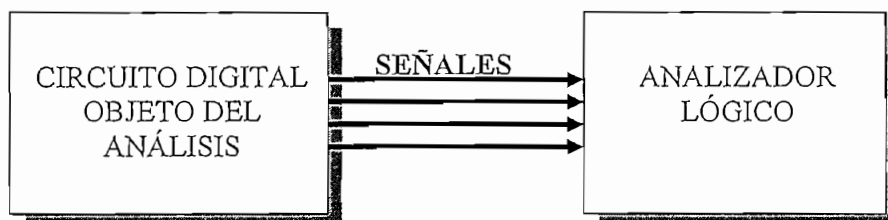


Figura 1.1 Esquema de conexión con un analizador lógico

1.2. CARACTERÍSTICAS IMPORTANTES DE UN ANALIZADOR LÓGICO.

Las características de un analizador lógico se simplifican en tres parámetros: velocidad, anchura y profundidad. En palabras simples, debe ser capaz de capturar eventos rápidos, permitir la entrada de los suficientes canales y disponer de una buena cantidad de memoria para guardar los datos en la etapa de

adquisición. La velocidad de los relojes cada vez es mayor, así como la complejidad de los circuitos digitales, por lo que la combinación óptima de estos tres parámetros es difícil conseguir.

- **Velocidad:** Un analizador lógico debe ser capaz de seguir la señal más rápida de un diseño. Tomando en cuenta la velocidad de los procesadores actuales, los analizadores lógicos deben tener una buena resolución, con un período de muestreo menor a 1 ns.
- **Anchura:** Los nuevos diseños, no solo son veloces sino que además son de gran tamaño, los circuitos con procesadores de gran calidad pueden requerir de hasta 100 canales para monitorear entradas y salidas. Así mismo, diseños con multiprocesadores requieren de cientos de canales, por lo tanto es importante que un analizador lógico disponga de un número suficientes de canales, igualmente soportar la máxima velocidad de adquisición en todos los canales.
- **Memoria:** Los requerimientos de almacenamiento de centenares de datos es esencial para que el analizador lógico pueda procesarlos y posteriormente presentar al usuario la relación existente entre las señales durante muchos ciclos.

1.3 ESTRUCTURA INTERNA DE UN ANALIZADOR LÓGICO

De manera general como se muestra en la figura 1.2 un analizador lógico consta de varios bloques:

- **Entradas:** Son puntas de prueba que se conectan al circuito digital objeto del análisis. La principal característica de los analizadores lógicos es su gran número de entradas. Cada canal se identifica con un número o nombre que puede ser asignado por software.

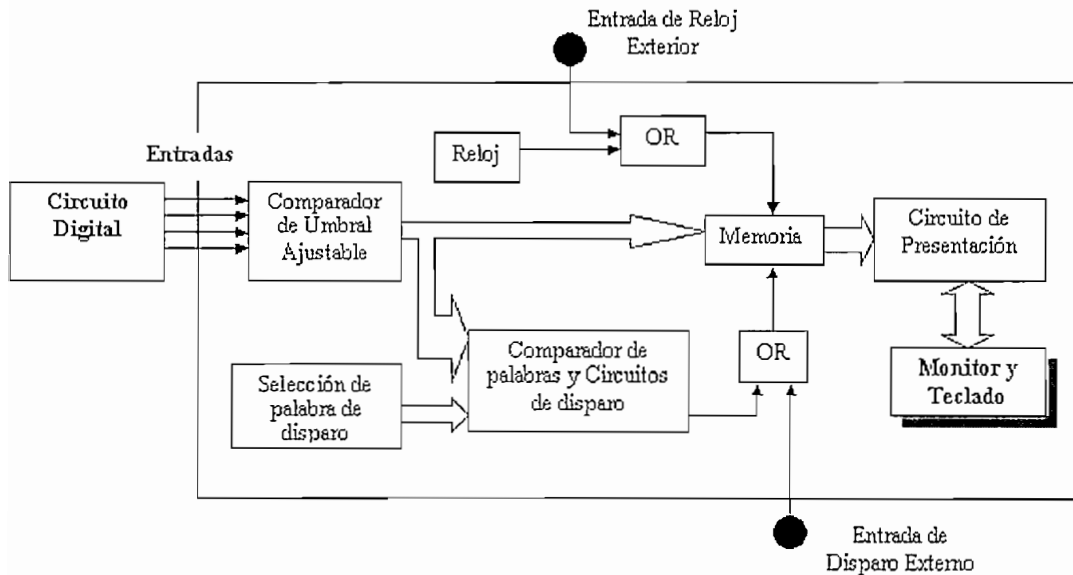


Figura 1.2 Estructura de un analizador lógico.

- Comparador de Umbral ajustable:** Se encarga de determinar si el estado lógico a la entrada es un 1 o un 0, comparando el nivel de voltaje de entrada con un nivel denominado de umbral, si el voltaje a la entrada es mayor que el umbral se considera un 1 caso contrario es 0. Por software se elige el valor del voltaje de umbral, por ejemplo TTL(+1.5 V), ECL(-1.3 V) o un nivel definido por el usuario (desde -6.0 V hasta 6.0 V).
- Memoria:** Para el almacenamiento de los datos que luego serán presentados en pantalla se dispone de una memoria RAM organizada en palabras de "n" bits, donde "n" es el número de canales del analizador. El número de palabras que se pueden almacenar determina el intervalo de tiempo que se puede analizar en cada toma de datos. A una frecuencia de muestreo constante, el intervalo de tiempo que se puede almacenar en la toma de datos es:

$$\text{Tiempo de Almacenamiento (s)} = \frac{\text{tamaño de la memoria}}{\text{frecuencia de muestreo (Hz)}}$$

- **Comparador de Palabras y Circuito de Disparo:** Este bloque configurable por el usuario es el que permite discriminar datos no deseados para el análisis, a partir de la orden dada por el selector de disparo comienza la escritura en memoria de las muestras. El disparo puede ser externo, si el control depende de una señal externa al analizador lógico o interno, seleccionando palabras de disparo, por ejemplo, cuando el comparador de palabras y circuito de disparo determina que la combinación de las señales binarias a las entradas es igual a una palabra de disparo, se inicia o se detiene la grabación de las muestras en la memoria.

- **Circuito de Presentación:** El analizador lógico presenta al usuario a través de un monitor, las muestras almacenadas en memoria una vez finalizada la adquisición. Los datos se pueden mostrar de distintas maneras:
 - *Como formas de onda:* en las que se pueden agrupar varios canales de entrada para conformar un bus de datos.

 - *Como tablas de estados:* las señales son listadas según la posición de memoria que ocupan, también se puede configurar el modo de presentación utilizando formato ASCII, binario, HEX (hexadecimal) o símbolos definibles por el usuario.

 - *Como mnemónicos desensamblados:* esta facilidad de los analizadores lógicos, permite mostrar los mnemónicos de las instrucciones que se ejecutan en un microcontrolador, a partir de la información de los buses de direcciones, datos y control.

- **Monitor y teclado:** Al igual que un computador, el monitor sirve para la visualización de los datos adquiridos y muestra los diferentes menús, mientras que el teclado es usado para el ingreso de datos, programación y configuración de menús.

- **Reloj:** es la señal de referencia que establece los instantes en que se toman las muestras para el almacenamiento en la memoria y su posterior análisis, la señal de reloj puede ser externa o interna al analizador lógico, esto depende de la configuración del mismo como *analizador de tiempos* (*timing analyzer*) o como *analizador de estados* (*state analyzer*).

1.3.1 ANALIZADOR DE TIEMPOS

El análisis en modo de tiempo significa adquisición y almacenamiento de datos a intervalos de tiempo iguales. Para realizar un análisis en tiempo es necesario configurar el analizador lógico como un analizador de tiempos. El reloj de muestreo viene dado internamente por el analizador lógico, de manera semejante como en un osciloscopio digital, este análisis de datos se lo denomina asincrónico ya que las muestras no están sincronizadas con ninguna de las señales del circuito analizado y se las presenta como formas de onda.

1.3.2 ANALIZADOR DE ESTADOS

El análisis en modo de estados consiste en la adquisición de datos y el almacenamiento de los mismos cuando es válido para un sistema bajo prueba. Para realizar un análisis de estados se debe configurar al analizador lógico como un analizador de estados. Las diferencias entre modo de estados y modo de tiempo son la fuente del reloj de muestreo y la forma en que se presentan los datos. En el análisis de estados, la fuente de reloj de muestreo proviene del sistema bajo prueba, en lugar del propio analizador, este tipo de muestreo se lo denomina sincrónico (está en sincronía con el funcionamiento del circuito), debido a que los instantes en que se toman las muestras está determinado por una señal que se origina por el mismo circuito bajo análisis; y la presentación por defecto es una lista secuencial de estados lógicos, en vez de formas de onda.

Lo que hace al analizador lógico más que solo un instrumento de adquisición de datos, es su capacidad de adquirir y almacenar los datos que se especifiquen, a esto se denomina "Calificación de Datos".

1.4 CICLO DE TRABAJO DE UN ANALIZADOR LÓGICO.

Para aprovechar de mejor manera las características de un analizador lógico hay que entender su funcionamiento, además tener clara la aplicación que se le quiere dar, es decir el circuito y señales a analizar. El proceso que se debe cumplir para optimizar las características del analizador lógico se resume en:

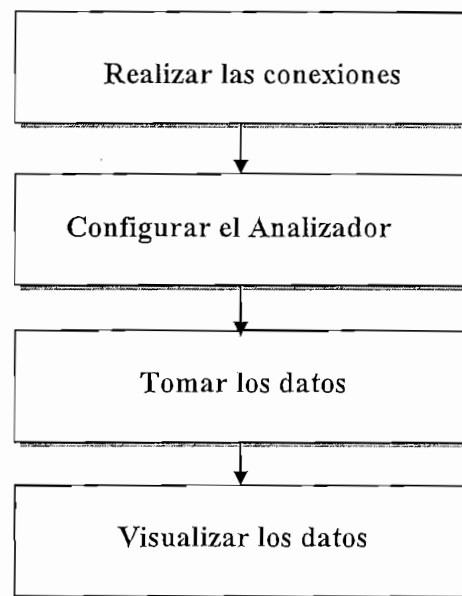


Figura 1.3.a Ciclo de trabajo de un Analizador Lógico

La fase primordial es la Configuración del Analizador Lógico, siendo el proceso a seguir:

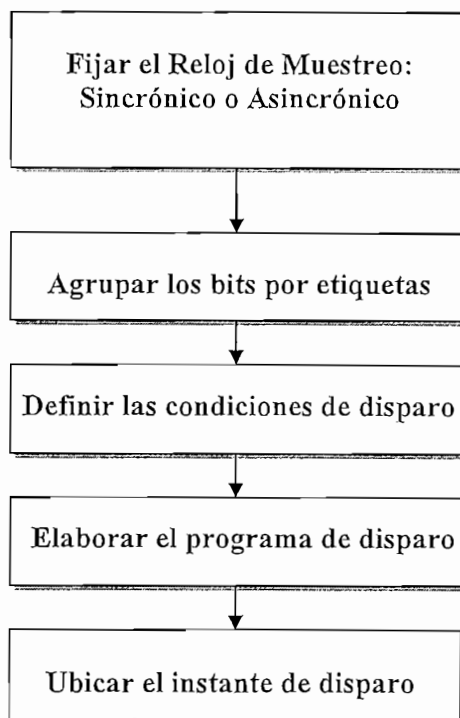


Figura 1.3.b Pasos para la Configuración de un Analizador Lógico.

1.5. CARACTERÍSTICAS DEL ANALIZADOR LÓGICO HP1662CS.

El analizador lógico HP1662CS es un analizador de propósito general, cuenta con 64 canales de entrada y 4 entradas de reloj externo, con velocidades de 100 MHz para analizador de estados y 500 MHz como analizador de tiempo y una tasa de muestreo de 1 GSa/s en modo osciloscopio. Dispone de las siguientes interfaces de comunicación:

- HP-IB, para conectar una impresora o un controlador HP-IB.
- RS-232-C, con un conector DB25 estándar para impresoras o controlador RS-232-C.
- Centronics para conectar una impresora paralela.

- LAN Ethernet que conecta al Analizador Lógico con Red de Area Local Ethernet.

Tiene una memoria de 4K palabras para almacenar las muestras tomadas.

Los datos medidos se presentan como lista de datos y formas de onda, pueden ser dibujados en un esquema o comparados con una imagen de referencia. Los datos delineados son mostrados como histogramas de actividad por tiempo, estado o rango de direcciones.

El Analizador de Estados de 100 MHz tiene disponible temporización maestro, maestro/esclavo y demultiplexado. Los datos medidos pueden ser impresos con etiquetas de estados o tiempos. Para el disparo y almacenamiento de datos, el Analizador de Estados usa 12 niveles de secuencia con dos formas de bifurcación, 10 recursos de términos patrón, 2 términos de rango y 2 temporizadores.

El Analizador de Tiempos de 500 MHz tiene modos de tiempo convencional, transicional y de transitorios con selecciones variables de anchura, profundidad y velocidad. El disparo secuencial usa 10 niveles de secuencia con dos formas de bifurcación, 10 recursos de términos patrón, 2 términos de rango, 2 términos de flanco y 2 temporizadores.

El Osciloscopio de 1 Gsa/s tiene modos de disparo inmediato, por flanco y por patrón. El modo de disparo por patrón usa ambos canales, un contador de sucesos, y un temporizador para especificar patrones complejos. El analizador también provee medidas estadísticas y nueve medidas automáticas.

1.5.1 DISPOSITIVOS DE LA PARTE POSTERIOR DEL ANALIZADOR LÓGICO

Sondas de adquisición de datos

Los 64 Canales de Entrada del Analizador Lógico se manejan a través de 4 Sondas denominadas Pod1, Pod2, Pod3 y Pod4, cada una con 16 entradas (numeradas de 0 a 15) y una señal de reloj externo denominada J, K, L y M respectivamente.

Módulo de Potencia de Línea

Permite seleccionar 110-120 o 220-240 Vac y contiene fusibles para cada rango.

Conectores BNC para Disparo Externo

Permite las conexiones para Disparo Externo, manejado desde el menú de Control de Armado del Disparo (Trigger Arming Control).

1.5.2 PANEL FRONTAL DEL ANALIZADOR HP1662CS

En la figura 1.4 se muestra la apariencia física del analizador lógico HP1662CS, el cual en su panel frontal consta de:

Monitor (Display): Para la presentación de los datos.

Teclado Hexadecimal (Hexadecimal Keypad): Para el ingreso de valores numéricos.

Teclado Alfabético (Alpha Keypad): Permite introducir caracteres.

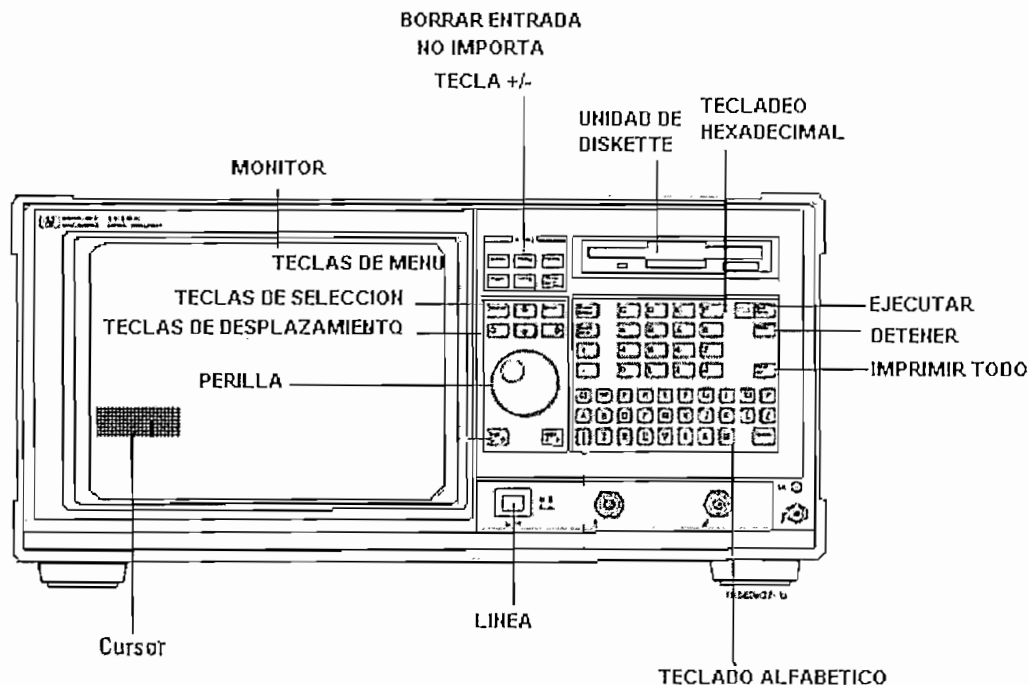


Figura 1.4 Panel Frontal del HP1662CS

Teclas de Menú (Menu Keys): Son seis teclas que permiten acceso inmediato a los principales menús del analizador lógico, y son:

- SISTEMA (System): menú para manipular archivos, la unidad de diskette y disco duro.
- CONFIGURACION (Config): menú para la configuración de las sondas de prueba.
- FORMATO (Format): para dar formato a la información que se obtiene, definir etiquetas, etc.
- DISPARO (Trigger): para configurar y programar el disparo.
- LISTA (List): visualiza los datos adquiridos en un listado del contenido de memoria.
- FORMA DE ONDA (Waveform): presenta los datos adquiridos como formas de onda.

Teclas de Desplazamiento (Arrow Keys): Dan la facilidad de ubicarse en cada una de las opciones disponibles en pantalla. Estas teclas también permiten recorrer el contenido de la memoria del analizador, tanto en la visualización de cronogramas como en la de listado.

Teclas de Selección (Select/Done Keys): Cuando el cursor está sobre una opción se puede pulsar:

- *SELECCIONAR (Select):* para seleccionar la opción resaltada en pantalla. Si es una opción de selección cambia la elección.
- *HACER (Done):* para culminar una selección o para salir del menú.

Perilla (Knob): Perilla para incrementar o decrementar el valor de variables numéricas, también sirve para desplazar la presentación de la pantalla.

Ejecutar (Run): Al presionar esta tecla el analizador empieza con la adquisición de datos.

Detener (Stop): Detiene la adquisición de datos.

Borrar Entrada (Clear Entry): Borra campos que admiten ingreso de datos como por ejemplo etiquetas.

No Importa (Don't Care): Llena los campos con condición no importa (X).

Unidad de Diskette 3 ½" (Floppy 3 ½"): El analizador permite la utilización de diskettes 3 ½" para el almacenamiento de archivos, carga de archivos y capturar pantallas.

Imprimir todo (Print/All): Captura la pantalla que en ese momento está presentando el analizador lógico, puede imprimirse o grabarse en un diskette 3 ½" para su procesamiento en un computador personal.

Linea (Line): Botón de alimentación de energía del analizador lógico.

1.5.3 DIAGRAMAS DE FLUJO PARA REALIZAR UNA MEDICIÓN CON EL HP1662CS.¹

1.5.3.1 Fijar el objetivo

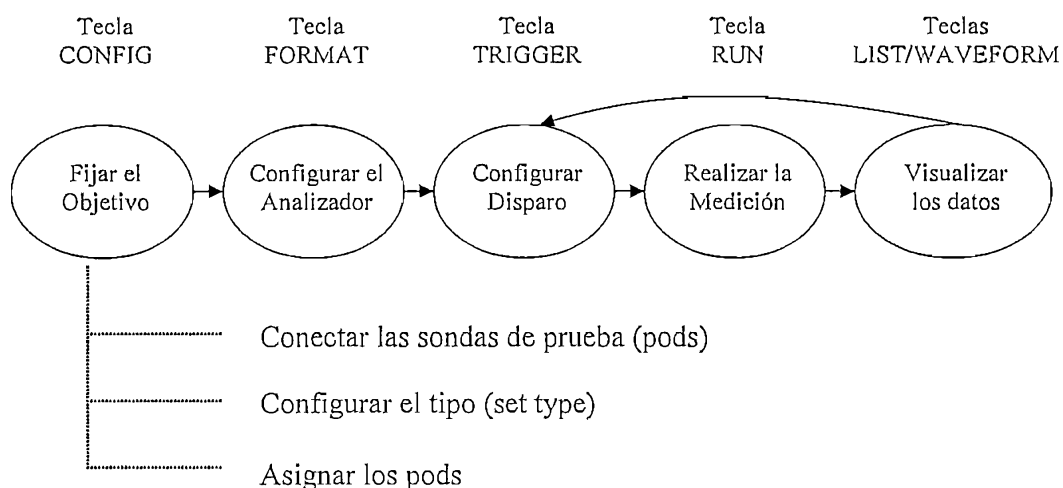


Figura 1.5 Diagrama de flujo para fijación de objetivo

Conectar las Sondas de Prueba desde el sistema bajo estudio al analizador, mediante esta acción se fijan los canales que se utilizarán en el analizador lógico. Se deben conectar las puntas de prueba de un pod de forma tal que permita relacionar lógicamente los canales, así como conectar a tierra el Pod.

Configurar el tipo. Cuando se enciende el analizador lógico, el Analizador 1 es llamado "Machine 1" y está configurado como analizador de tiempo. El Analizador 2 está apagado. Para activar el analizador de estados, se debe configurar el tipo

¹ Boletín Complementos Electrónicos, Hewlett Packard.

mediante el menú de Configuración del Analizador (Analyzer Configuration).. Solamente se puede usar un analizador de tiempo a la vez.

Asignar pods. En el menú *Analyzer Configuration*, se asignan los pods conectados al analizador que se desea usar. Los pods están emparejados y se asignan siempre en pares.

1.5.3.2 Configurar el Analizador

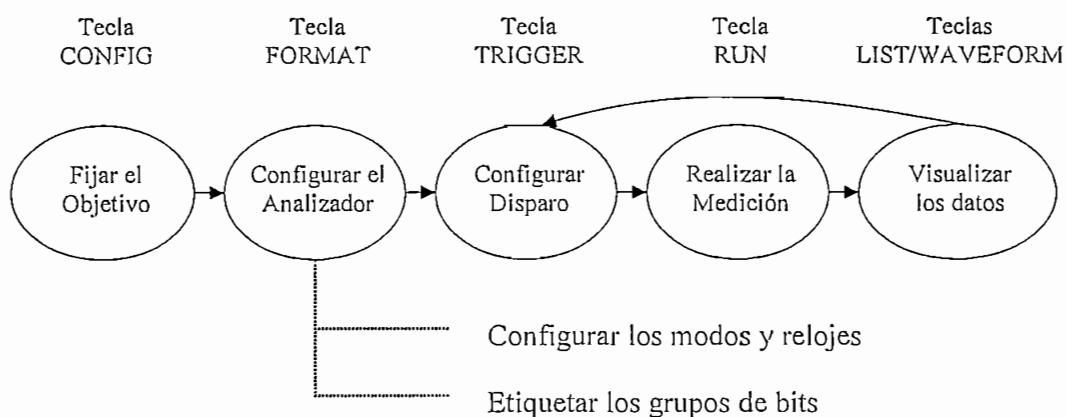


Figura 1.6 Diagrama de flujo para la configuración del analizador.

Configurar los modos y relojes. Configurar los analizadores de estados y de tiempos usando el menú de Formato del analizador (Analyzer Format). Si el reloj de estados está configurado incorrectamente, los datos adquiridos por el analizador lógico pueden indicar errores donde no existen.

Etiquetar los grupos de bits. El menú Analyzer Format indica los bits del pod activo. Puede crearse grupos o subgrupos de bits dentro de los pods y nombrarlos usando etiquetas.

1.5.3.3 Configurar Disparo (Trigger).

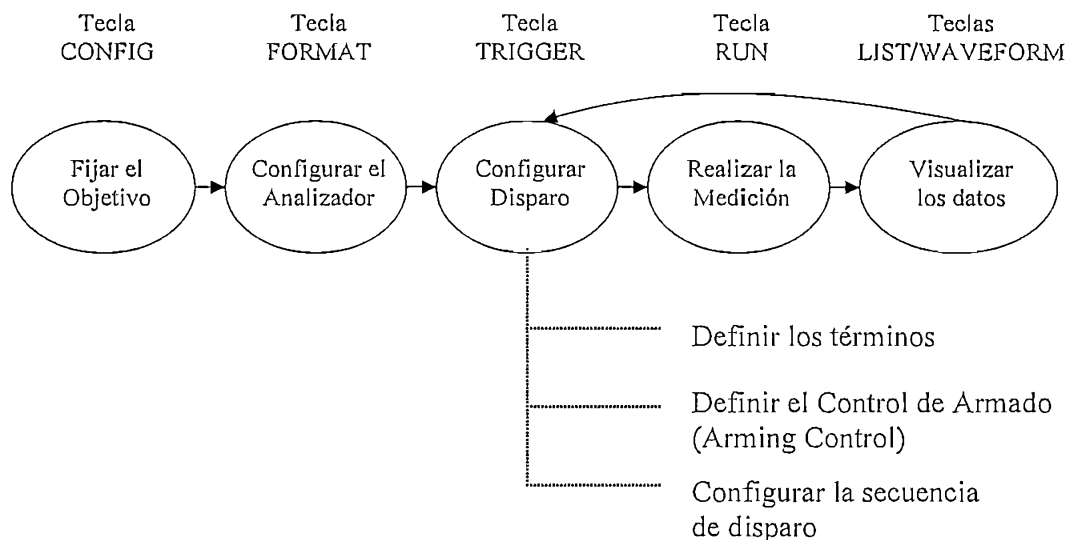


Figura 1.7 Diagrama de flujo para la configuración del disparo.

Definir los Términos. En el menú de Disparo del Analizador (Analyzer Trigger), se definen las variables que serán utilizadas en el disparo, llamadas términos, para acoplarlas a condiciones especificadas en el sistema. Los términos pueden acoplarse a patrones, rangos, o flancos a través de múltiples etiquetas.

Configurar el Control de Armado. Usar Arming Control para:

- Correlacionar los disparos y datos de ambos analizadores.
- Utilizar el analizador lógico para disparar un instrumento externo o el osciloscopio interno; o,
- Utilizar un instrumento externo o el osciloscopio interno para disparar el analizador lógico.

Configurar la secuencia de disparo. Elaborar una secuencia de pasos, que controlen el momento que el analizador lógico inicia y detiene el almacenamiento de los datos. Los datos además son filtrados antes de ser almacenados.

1.5.3.4 Correr la Medición

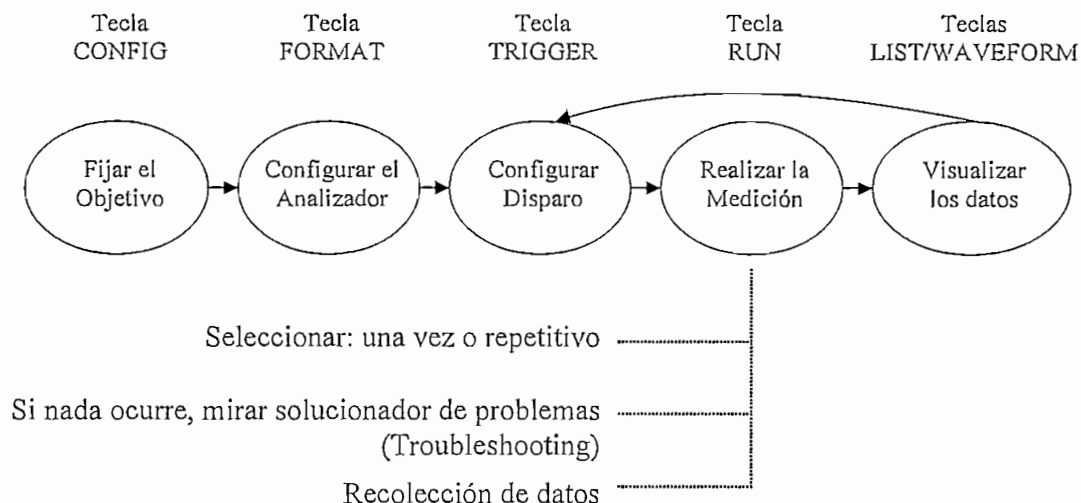


Figura 1.8 Diagrama de flujo para correr la medición.

Seleccionar: una vez o repetitivo. Desde cualquier menú del Analizador u Osciloscopio, seleccionar el campo etiquetado RUN, en la parte superior derecha de la pantalla, para iniciar la medición, o presionar la tecla RUN, la medición se realizará una sola vez (Simple), hasta que la memoria se llene. La medición correrá hasta que se seleccione Detener (Stop) o hasta que se produzca una condición para detener la medición (Repetitivo), configurada en el menú de marcas (Markers), hasta que la memoria esté llena.

Si nada ocurre, mirar el solucionador de problemas (Troubleshooting). Cuando inicia una medición, el menú del analizador cambia a uno de los menús o despliega un nuevo menú. Si nada ocurre, presionar la tecla STOP o seleccionar CANCEL. Si el analizador aún no despliega ninguna medición, referirse al manual "Troubleshooting" para solucionar el problema.

Recolección de datos. Se pueden recoger estadísticas automáticamente al ir al menú WAVEFORM o LISTING, activando las marcas, y configurando patrones

para las marcas X u O. Se puede configurar el analizador lógico para parar si se exceden ciertas condiciones, o usar las marcas para contar únicamente las mediciones válidas.

1.5.3.5 Visualizar los Datos

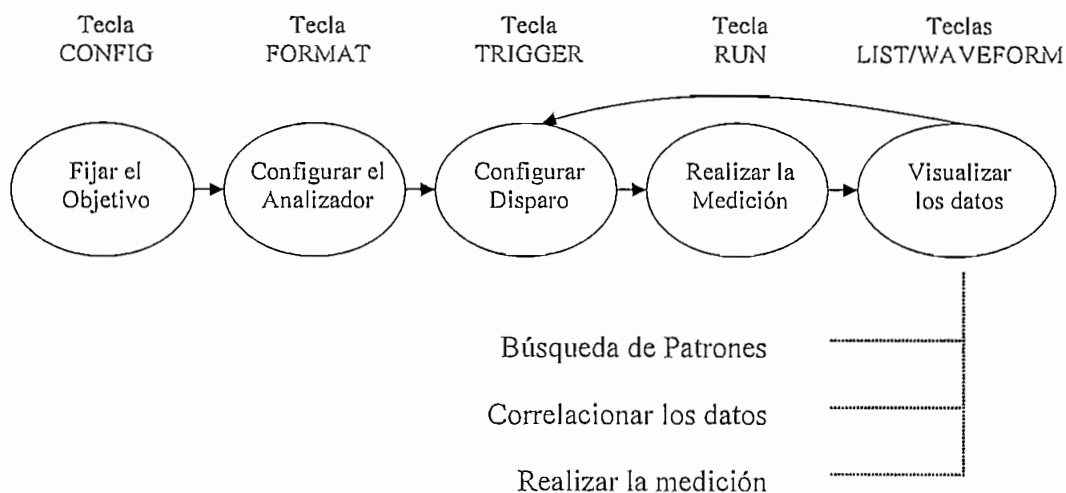


Figura 1.9 Diagrama de flujo para la visualización de los datos.

Búsqueda de patrones. En los menús WAVEFORM y LISTING se pueden usar los símbolos y marcas para realizar la búsqueda de patrones en los datos.

Correlacionar los datos. Se puede correlacionar los datos configurando el Contador de Tiempo (Count Time) en el menú TRIGGER del Analizador de Estado y luego usando la opción Presentación Intercalada (Display Interleaving) y Mezcla Intercalada (Mixed Interleaving) se correlacionan los listados de dos Analizadores de Estado. Mixed correlaciona una forma de onda del analizador de tiempos y una lista del analizador de estados o un analizador de estados y una forma de onda del osciloscopio, o un analizador de estados y las formas de onda de un analizador de tiempos y del osciloscopio. Para correlacionar los datos del

osciloscopio, el modo de Armar (Arm) del osciloscopio debe estar configurado en Inmediato (Immediate).

Realizar la medición. Las marcas pueden contar la ocurrencia de eventos, medir la duración de los mismos, y adquirir estadísticas. El Software de Análisis de Desempeño del Sistema (SPA - System Performance Analysis Software) provee resúmenes de alta calidad, lo cual ayuda a identificar problemas en el funcionamiento del circuito analizado. Seleccionar el marcador apropiado en el menú y especificar los patrones de datos para el marcador. Para usar el SPA ir al menú SPA, seleccionando el modo más apropiado, llenar los parámetros y presionar la tecla RUN.

1.5.4 USO DEL ANALIZADOR LÓGICO HP1662CS²

1.5.4.1 Acceso a los menús

Al encender el analizador lógico, la primera pantalla que aparece, después de las pruebas del sistema, es el menú ANALYZER CONFIGURATION (Figura 1.9).

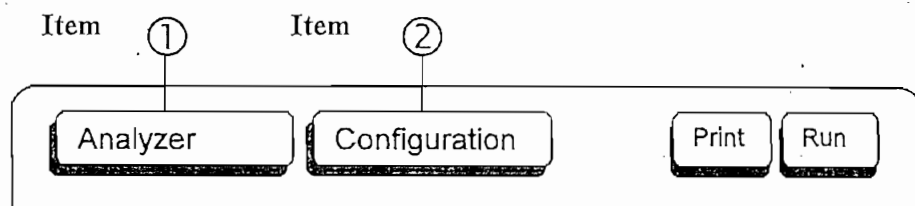


Figura 1.9 Menú de inicio.

El campo del ítem 1 es conocido como el "campo modo" o "campo de módulo", pues controla otro conjunto de menús. El campo del ítem 2 accede a los menús dentro del modo que se encuentre el campo del ítem 1 y por eso se lo conoce como "campo menú" (Figura 1.10). Como los menús están identificados por los

² Hewlett Packard, Complementos Electrónicos.

títulos en estos campos, para el ejemplo del gráfico, tendríamos el menú Analyzer Configuration.

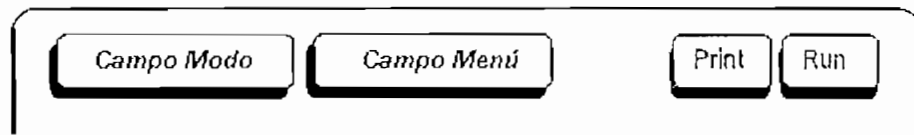


Figura 1.10 Campo Modo y Campo Menú.

1.5.4.2 Acceso a los menús del Sistema

Los menús del Sistema permiten realizar operaciones que afectan a todo el analizador lógico, tales como cargar configuraciones, cambiar colores y realizar diagnósticos del sistema. La secuencia de pasos para acceder a los menús del sistema es:

1. Seleccionar el campo modo
2. Seleccionar **Sistema (System)**
3. Seleccionar el campo menú

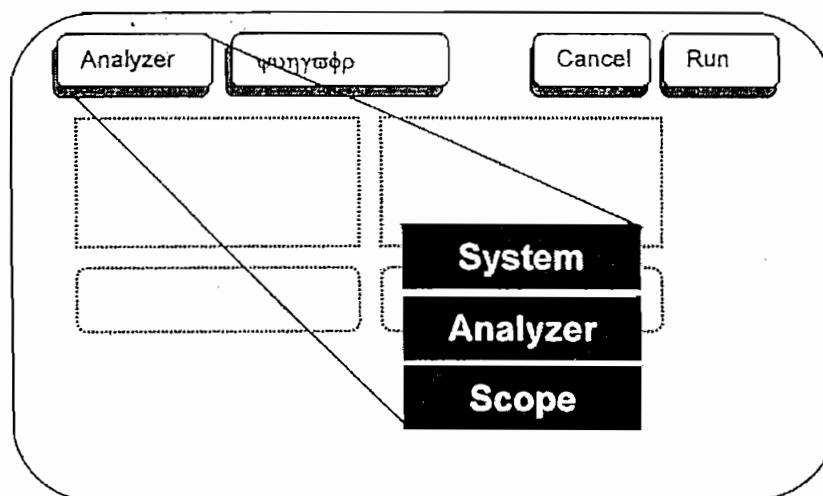


Figura 1.11 Pantalla de respuesta del campo modo.

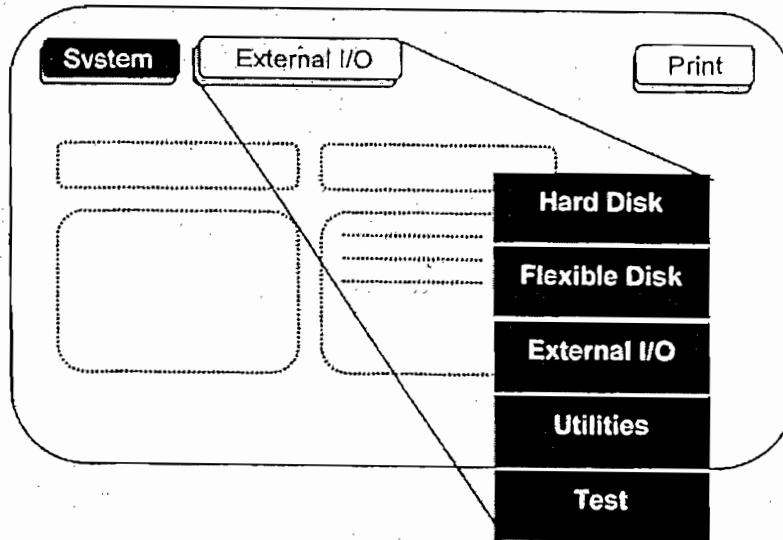


Figura 1.12 Pantalla de respuesta del menú System.

- Disco Duro (Hard Disk), permite manejar archivos en el disco duro.
- Disco Flexible (Flexible Disk), permite manejar archivos en diskette.
- Entradas y Salidas Externas (External I/O), permite configurar los interfaces HP-IB, RS-232-C y LAN y conectar una impresora o un controlador.
- Utilitarios (Utilities), permite configurar el reloj, actualizar el software del sistema operativo, y ajustar el display.
- Prueba (Test), despliega el número de la versión del software instalado y carga las autopruebas.

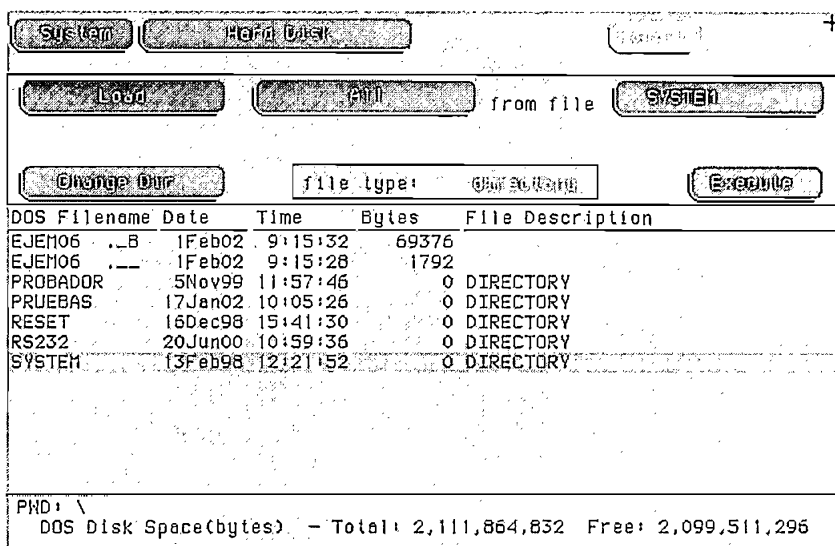


Figura 1.13 Pantalla de respuesta del menú Hard Disk.

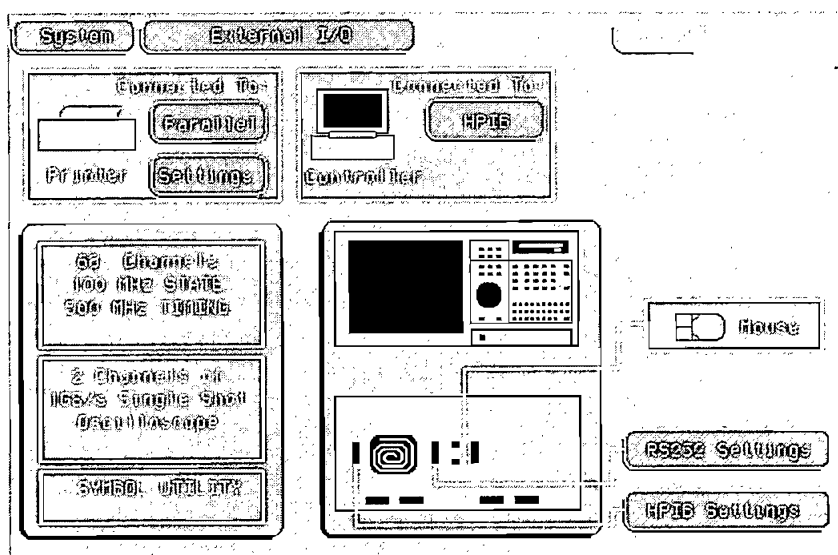


Figura 1.14 Pantalla de respuesta del menú External I/O.

1.5.4.3 Acceso a los menús del Analizador

Los menús del analizador permiten controlar las mediciones que se realizarán con el mismo, realizar operaciones con los datos, y visualizar los resultados en el monitor.

1. Seleccionar el campo modo.
2. Seleccionar **Analizador (Analyzer)**.
3. Seleccionar el campo menú.

El analizador nunca tendrá disponibles todas las opciones que aparecen a la vez en la figura 1.15, pues ciertos menús son accesibles solo con una configuración en particular del analizador.

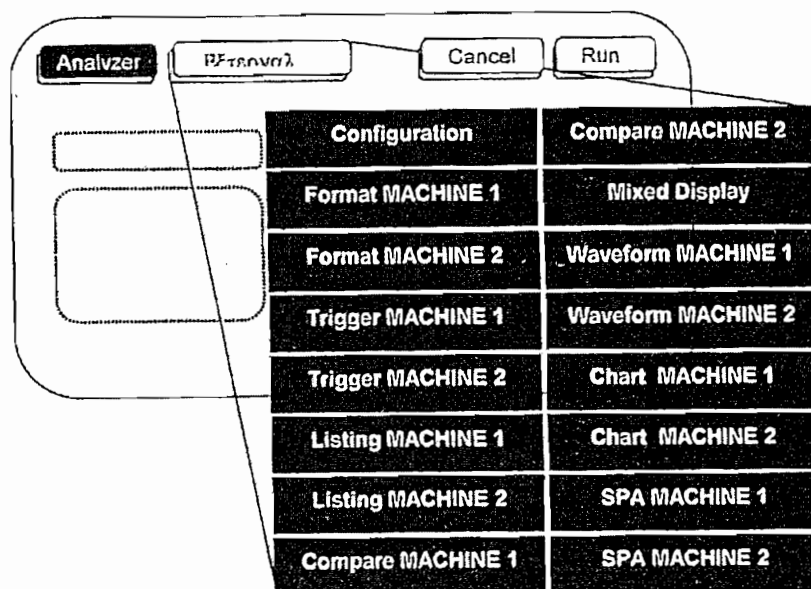


Figura 1.15 Pantalla de respuesta del menú Analyzer.

- Usar **Configuración (Configuration)** para asignar pods y configurar el tipo de analizador.

- Usar **Formato (Format)** para crear etiquetas y símbolos, ajustar el nivel umbral del pod y seleccionar modos y relojes.
- Usar **Disparo (Trigger)** para especificar una secuencia de disparo, la cual filtrará la información dentro de la medición que se desee visualizar.
- **Listar (Listing)** permite visualizar las mediciones como una lista de estados.
- **Comparar (Compare)** permite comparar dos listas y despliega rápidamente las secciones donde éstas difieren.
- **Presentación mezclada (Mixed Display)** siempre aparecerá en la lista del menú cuando el analizador está configurado como analizador de Estado o de Tiempo, pero requiere un analizador de Estado con etiquetas de tiempo activas.
- **Forma de Onda (Waveform)** permite visualizar los datos como niveles lógicos en las líneas discretas.
- **Gráfico (Chart)** visualiza las mediciones como un gráfico de estados en función del tiempo.
- **Análisis de desempeño del Sistema (SPA)** permite recoger y visualizar estadísticas sobre el funcionamiento del sistema.

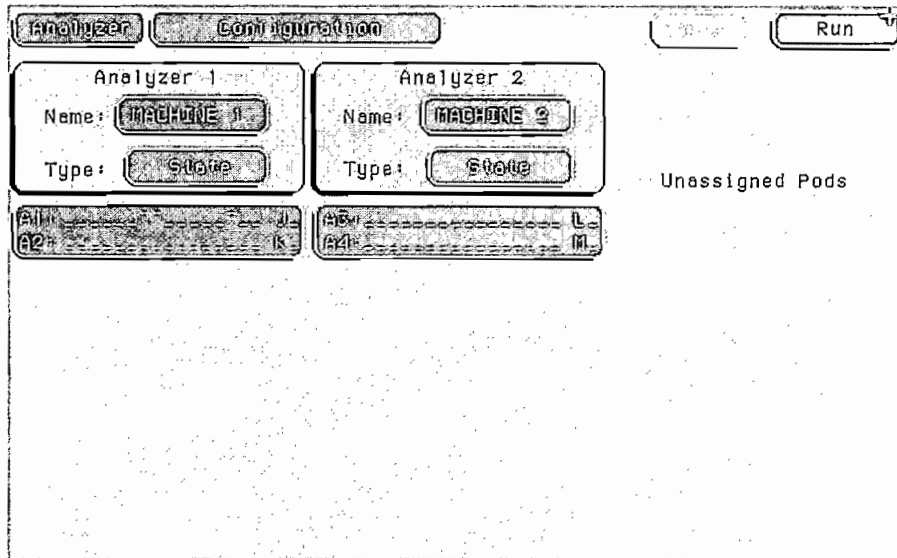


Figura 1.16 Pantalla de respuesta del menú Configuration.

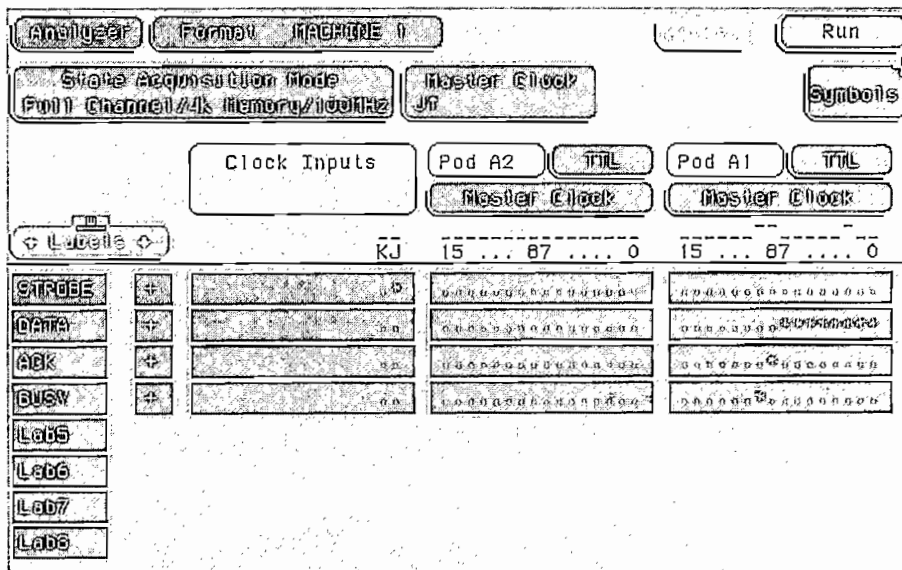


Figura 1.17 Pantalla de respuesta del menú Format.

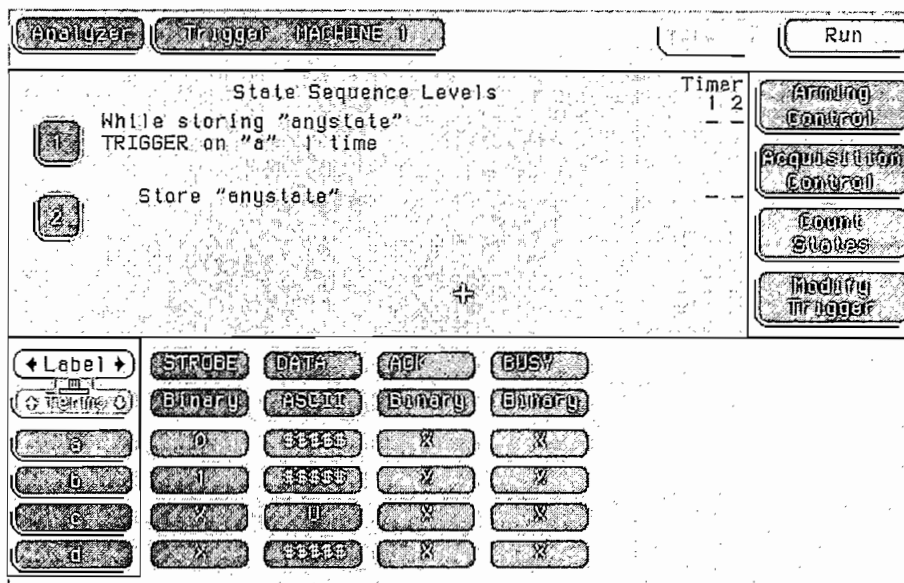


Figura 1.18 Pantalla de respuesta del menú Trigger.

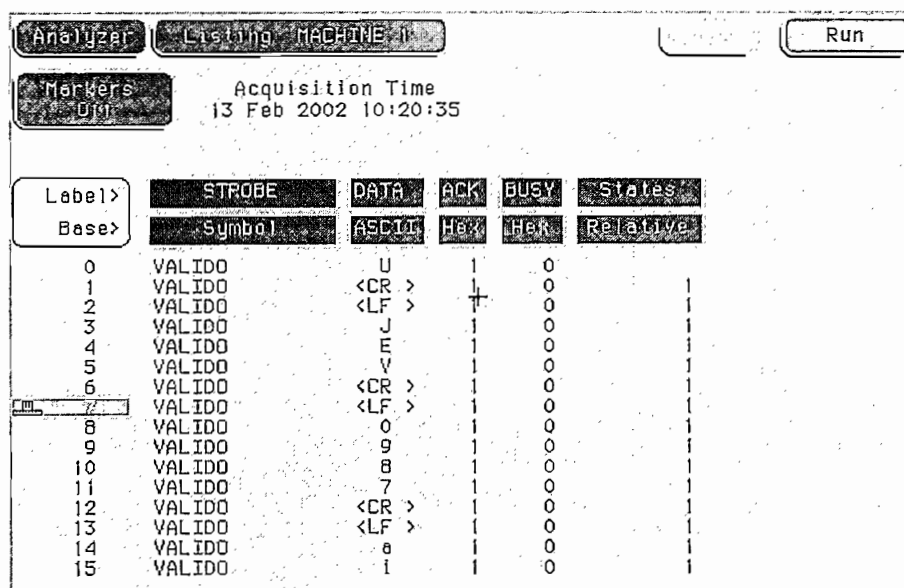


Figura 1.19 Pantalla de respuesta del menú Listing.

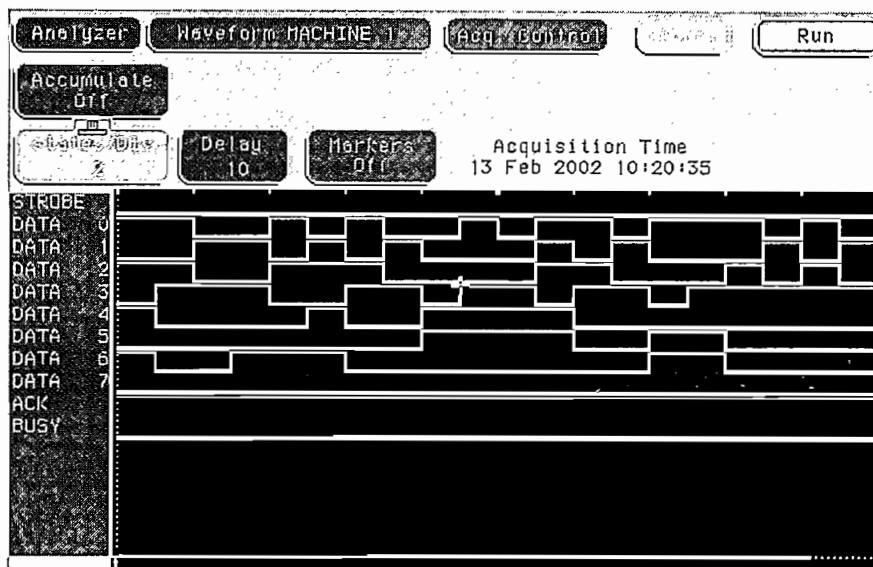


Figura 1.20 Pantalla de respuesta del menú Waveform.

1.5.4.4 Acceso a los menús del Osciloscopio.

Los menús del osciloscopio permiten controlar el analizador para que realice las mediciones, operaciones con los datos y visualizar los resultados en el monitor.

1. Seleccionar el campo modo
2. Seleccionar **Osciloscopio (Scope)**.
3. Seleccionar el campo menú
 - **Canal del Osciloscopio (Scope Channel)** permite seleccionar el canal de entrada, configurar valores que controlan la sensibilidad vertical, offset, factor de atenuación de la punta de prueba, impedancia de entrada, y acoplamiento del canal de entrada mostrado en el campo Field. El menú Channel también permite tener valores *preset* para los niveles de sensibilidad vertical, *offset* y trigger para los niveles lógicos ECL y TTL.

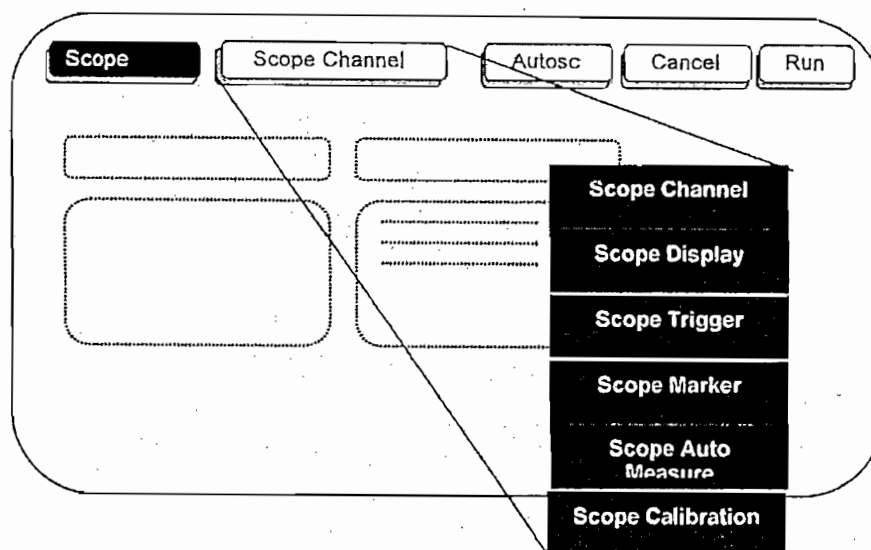


Figura 1.21 Pantalla de respuesta del menú Scope.

- **Pantalla del Osciloscopio (Scope Display)** controla la forma en la que el osciloscopio adquiere y despliega las formas de onda. Lo hace en uno de los siguientes modos: Normal, Promedio (Average), o Acumulado (Accumulate).
- **Disparo del Osciloscopio (Scope Trigger)** permite escoger modo de disparo del osciloscopio para una aplicación en particular. Los tres métodos de disparo son: Transición (edge), Patrón (Pattern) e Inmediato (Immediate).
- **Marcas para el Osciloscopio (Scope Markers)** tiene dos grupos de marcadores (markers) que permiten las mediciones de voltaje y tiempo. Estas mediciones pueden ser realizadas de manera automática (solamente marcadores de tiempo) o manual (marcadores de voltaje y tiempo).

- **Medición automática del Osciloscopio (Scope Auto Measure)** provee nueve mediciones automáticas para ajustar la forma de onda adquirida en el display. Estas mediciones son Periodo (Period), Tiempo de subida (Risetime), Tiempo de bajada (Falltime), Frecuencia (Frequency), +Ancho (+Width), -Ancho (-Width), Voltaje pico-pico (Vp-p), Antes del disparo (Preshoot) y Después del disparo (Overshoot).
- **Calibración del Osciloscopio (Scope Calibration)** permite calibrar el osciloscopio o el sistema osciloscopio/punta de prueba.

1.5.4.5 Uso de los Menús del Analizador

1.5.4.5.1 Etiquetado de Grupos de Canales

El analizador lógico permite separar o agrupar canales de datos y etiquetar los grupos con nombres afines a la medición. Las etiquetas también ayudan para realizar el disparo solamente en los estados deseados.

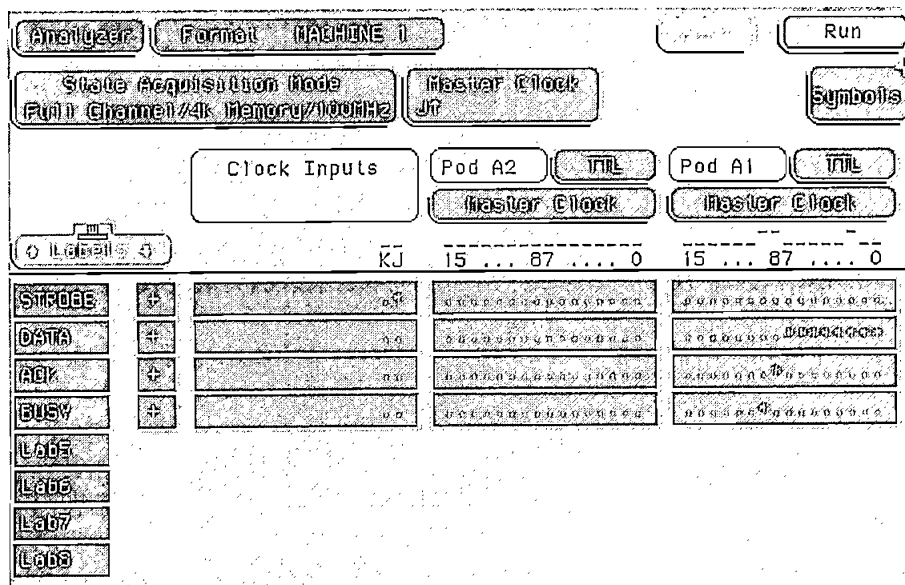


Figura 1.22 Pantalla para la asignación de etiquetas.

Las etiquetas solamente pueden ser asignadas en el menú de **Formato del Analizador (Analyzer Format)**.

Los nombres, por defecto, de las etiquetas son **Lab1** a **Lab126**. Sin embargo, pueden ser modificados con cualquier cadena de seis caracteres, para esto se selecciona una etiqueta bajo la cabecera **Etiquetas (Labels)**. En el menú de respuesta, se selecciona **Modificar etiqueta (Modify Label)**. Con el teclado se ingresa el nombre para la etiqueta, y se presiona **Hacer (Done)**.

Para asignar grupos de canales se selecciona el pod que contiene los canales para la etiqueta, se usa la perilla o las teclas del cursor para posicionar el selector sobre el canal que se desee cambiar. Un asterisco indica el canal seleccionado, un punto indica el canal que no es parte del grupo.

1.5.4.5.2 Para Crear un Símbolo

Los símbolos son mnemónicos alfanuméricos que representan patrones o rangos de datos específicos. Cuando se define un símbolo y se configura el tipo de base a **Symbol** en el menú **Listing**, se despliega el símbolo en la lista de datos en lugar del patrón de bits que debería hacerlo normalmente. Los símbolos también aparecen en el menú **Waveform** cuando se despliega una etiqueta en forma de bus. Los símbolos permiten identificar rápidamente los datos de interés.

Para crear un símbolo, se recurre al menú de **Formato del Analizador (Format Analyzer)** y se selecciona **Símbolo (Symbol)**. Enseguida se selecciona el campo **Etiqueta (Label)**, en el menú de respuesta se escoge la etiqueta que contiene el grupo de canales que se desea. En el campo **Base** se elige la opción símbolo para el patrón de datos. Se selecciona **Añadir Símbolo (Add Symbol)** para ingresar por teclado el nombre del símbolo y se presiona **Hacer (Done)**.

Si se requieren símbolos adicionales, se debe repetir el proceso anterior hasta que se hayan añadido todos los símbolos.

1.5.4.5.3 Para examinar una Forma de Onda del Analizador.

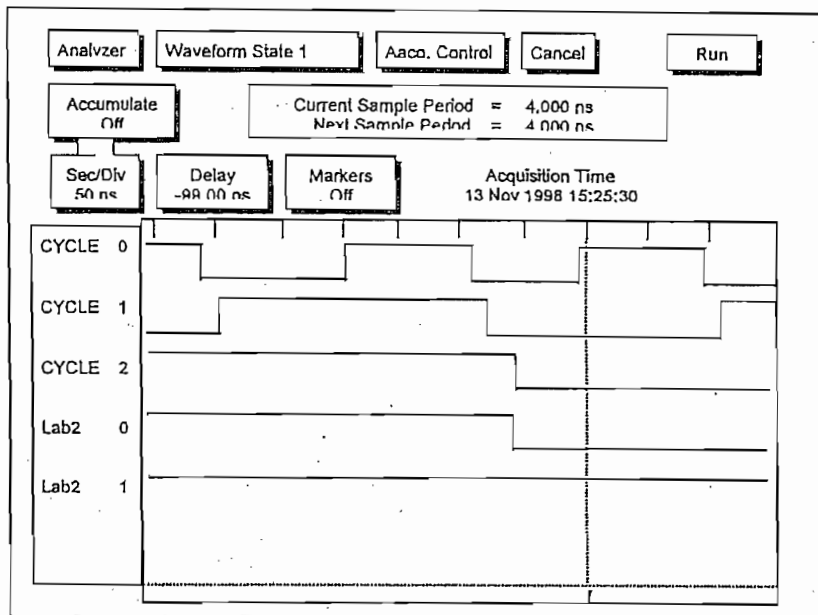


Figura 1.23 Pantalla para examinar una forma de onda.

Una vez adquiridos los datos, la forma de onda obtenida se puede analizar desde el menú **Forma de Onda** del analizador. En esta pantalla se puede ajustar el eje horizontal (sec/Div o states/Div) usando la perilla.

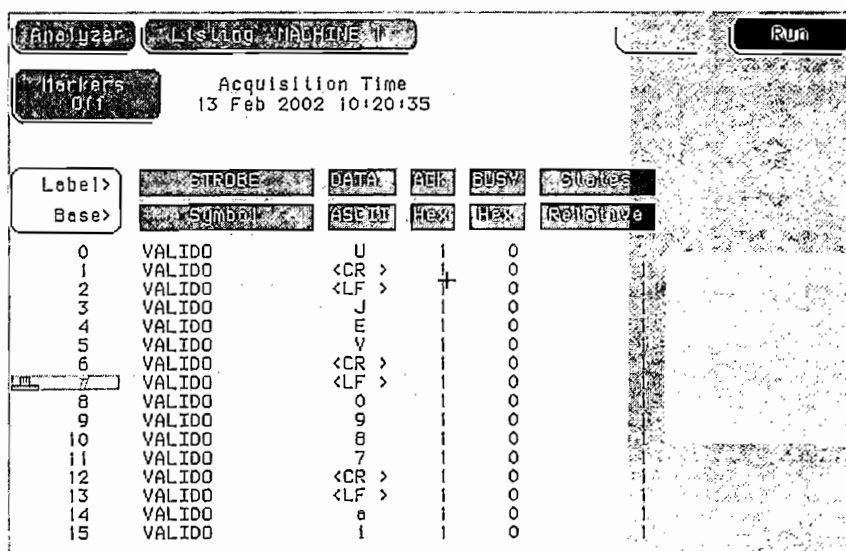
Además se puede ajustar la presentación de la forma de onda relativa al disparo, seleccionando el campo de **Retardo (Delay)** e ingresando un valor o usando la perilla. La porción de memoria desplegada es indicada por una barra blanca en la parte inferior del monitor. La posición del disparo en la memoria se indica por un punto blanco en la misma línea.

Para moverse entre formas de onda, se selecciona el rectángulo bajo el campo **Div**, el indicador aparece en la parte superior del rectángulo y el nombre de la primera forma de onda se ilumina. Mediante la perilla, se puede cambiar a otra forma de onda.

Para insertar formas de onda, se selecciona el rectángulo bajo el campo **Div**. En el menú de respuesta, se elige **Insertar (Insert)**, y luego se determinan las etiquetas y canales. El campo **Secuencial (Sequential)** inserta todos los canales de la etiqueta como formas de onda individuales; el campo **Bus** agrupa las formas de onda; el campo **Bit N** inserta el bit N-ésimo. Las formas de onda son insertadas después de la forma de onda que esté iluminada.

Se usan las marcas para localizar diferentes patrones rápidamente, con ayuda del campo **Marcas (Markers)** se escoge el tipo de marcador apropiado. Los marcadores disponibles dependen del tipo de analizador y de si está habilitado o no.

1.5.4.5.4 Para Examinar una Lista del Analizador



The screenshot shows a terminal window titled 'Analyzer Listing' with the following content:

```

Analyzer Listing
Markers Off
Acquisition Time 13 Feb 2002 10:20:35

Label>
Base>

```

Label	Stroke	Data	Bit	Bus	Status
Base	Symbol	ASCII	Hex	Hex	Relative
0	VALIDO	U	1	0	
1	VALIDO	<CR >		0	
2	VALIDO	<LF >		0	
3	VALIDO	J		0	
4	VALIDO	E		0	
5	VALIDO	V		0	
6	VALIDO	<CR >		0	
7	VALIDO	<LF >		0	
8	VALIDO	0		0	
9	VALIDO	9		0	
10	VALIDO	8		0	
11	VALIDO	7		0	
12	VALIDO	<CR >		0	
13	VALIDO	<LF >		0	
14	VALIDO	a		0	
15	VALIDO	i		0	

Figura 1.24 Pantalla para examinar una lista

El menú **Listado del Analizador (Analyzer Listing)** presenta datos de estado o temporización como patrones (estados). El menú **Listado (Listing)** usa cualquiera de algunos formatos para desplegar los datos, tales como binario, ASCII, o símbolos. Si se está utilizando un ensamblador inverso y se selecciona

“**invasm**”, el dato es desplegado en mnemónicos que se asemejan mucho al código fuente del microprocesador.

Después de realizar la medición, se traslada al menú **Listado del Analizador**, aquí se pueden desplegar las etiquetas en el campo **Etiqueta/Base (Label/Base)**, seleccionando mediante la perilla, para mover las etiquetas a una pantalla completa a la vez, se presiona **SHIFT** y una de las teclas **PAGE**.

Para desplegar los datos (data), se usa las teclas **PAGE** o seleccionando en el campo de despliegue de los datos usando la perilla. Los números en la columna de despliegue de datos indica cuántas muestras de datos son del disparador (trigger). Se presentan números negativos antes del disparo y números positivos después del disparo.

Si las etiquetas tienen símbolos asociados con ellos, se puede configurar la base a **Símbolo (Symbol)**.

Si se desea insertar una etiqueta, se selecciona uno de los campos de etiquetas, luego **INSERT** desde el menú de respuesta y la etiqueta que se desea insertar. La última etiqueta no puede ser eliminada, por este motivo siempre hay por lo menos una etiqueta. Se puede insertar la misma etiqueta múltiples veces y desplegarlas en diferentes bases.

Para realizar mediciones, al igual que para el análisis de la Forma de Onda, se puede utilizar **Marcas (Markers)**.

1.5.4.5.5 Para Comparar dos Listas

El menú **Comparar (Compare)** permite dos adquisiciones del analizador de estados y compararlas para encontrar diferencias. Puede usarse esta función para encontrar rápidamente todos los efectos de cambiar las características del sistema bajo estudio (system target) o para comparar rápidamente los resultados

de pruebas de calidad con los resultados de un sistema que está trabajando correctamente.

	Time	CYCLE	Lab2
	Relative	Symbol	Symbol
37	96 ns	absolute 110	absolute 3
38	104 ns	absolute 111	absolute 3
39	96 ns	absolute 100	absolute 3
40	104 ns	DATA RD	absolute 3
41	96 ns	absolute 110	absolute 3
42	104 ns	absolute 111	absolute 3
43	96 ns	absolute 000	absolute 0
44	104ns	absolute 001	absolute 0
45	96 ns	MEM WR	absolute 0
46	104 ns	MEM RD	absolute 0
47	96 ns	absolute 100	absolute 0
48	104 ns	absolute 001	absolute 0
49	96 ns	MEM WR	absolute 0
50	104 ns	MEM RD	absolute 0
51	96 ns	absolute 000	absolute 1
52	104ns	DATA RD	absolute 1

Figura 1.25 Pantalla comparación de dos listas.

Para realizar la comparación entre dos listas se debe adquirir los datos de la muestra patrón, con la opción Copiar Listado (Copy Listing) o Referencia (Referente) del menú Analizador Comparador (Analyzer Compare) y se elige Ejecutar (Execute). El menú comparar está inicialmente vacío, pero cuando se selecciona Ejecutar aparecen los datos.

Luego se configura la prueba que se desea comparar con la primera. Puede ser un cambio al hardware, o un sistema diferente. No se debe cambiar el disparo pues todos los estados serán diferentes.

Finalmente se ejecuta nuevamente la prueba, se selecciona el campo Referencia para cambiarse al listado Diferencia (Difference). El listado Diferencia se despliega en la siguiente hoja, presentando los estados que son idénticos en oscuro y los que no son idénticos en claro (no se distingue en el gráfico anterior).

Utilizando el campo **Encontrar Error (Find Error)** y con la perilla se despliegan los errores.

1.5.4.6 El Ensamblador Inverso

Cuando el analizador captura los trazos, captura información binaria. Luego el analizador puede presentar esta información en forma binaria, octal, decimal, hexadecimal, mediante símbolos o códigos ASCII. O, si se tiene la información acerca del significado de los datos capturados, el analizador puede ensamblar inversamente los trazos. El ensamblador inverso hace que la lista de trazos sea más fácil de analizar presentando los resultados de los trazos en términos de los estados del procesador y de intercambio de datos.

1.5.4.6.1 Para usar un ensamblador inverso

Muchos preprocesadores incluyen un ensamblador inverso en su software. Se carga el archivo de configuración para que el preprocesador configure al analizador lógico, para de esta manera, proveer ciertos tipos de información para el ensamblador inverso. A continuación se presentan los recursos necesarios para configurar el analizador lógico en ensamblador inverso:

- Bus de Dirección (Address Bus). El ensamblador inverso espera ver la etiqueta ADDR, con los bits ordenados en una secuencia particular.
- Bus de Datos (Data Bus). El ensamblador inverso espera ver la etiqueta DATA, con los bits ordenados en una secuencia en particular.
- Estado (Status). El ensamblador inverso espera ver la etiqueta STAT, con los bits ordenados en una secuencia en particular.
- Estado iniciar (Start state) para desensamblaje. Este es el primer estado desplegado en la lista de trazos, no la posición del cursor.
- Tablas. Indican el significado de estados particulares y combinaciones de datos.

Las secuencias particulares que requiere cada etiqueta dependen del tipo de chip para el que fue diseñado el ensamblador inverso. Por este motivo, el ensamblador inverso generalmente no puede ser transferido entre plataformas.

Para correr el ensamblador inverso, debe asegurarse que las etiquetas están correctamente escritas. Inclusive una pequeña diferencia ocasionará que el ensamblador inverso no trabaje.

100/500 MHz LA B		Listino 1	Invasm	Print	Run
Markers Off		Acquisition Time 12 Nov 1998 12:08:55			
Label Base>	ADDR	CPU32 Mnemonic	STAT		
	Hex	hex	Symbol		
-7	41CE8	MOVE.B (A7)+,DO	Opcode Fetch		
-6	41CE8	MOVE.B DO, SWITCH R	Opcode Fetch		
-5	0FFE8	09xx data read	Data Read		
-4	41CEA	0000 pgm read	Opcode Fetch		
-3	41CEC	8100 pgm read	Opcode Fetch		
-2	41C3EE	MOVE.B DO, -(A7)	Opcode Fetch		
-1	41CF0	BSR,W 00040A40	Opcode Fetch		
0	08100	09xx data write	Data Write		
1	41CF2	ED4E pgm read	Opcode Fetch		
2	0FF7E	09xx data write	Data Write		
3	0FF7A	0004 data write	Data Write		
4	40A40	1CF4 data write	Data Write		
5	40A42	MOVEM.L DO, -(A7)	Opcode Fetch		
6	40A44	8000 pgm read	Opcode Fetch		
7	96 ns	MOVE.B (0008,A7),DO	Opcode Fetch		
8	40A48	0008 rom read	Opcode Fetch		

Figura 1.26 Pantalla ensamblador inverso.

1.5.4.6.2 Sincronización del Ensamblador Inverso.

Cuando se presiona la tecla **Invasm** (Ensamblador Inverso) para iniciar el ensamblaje inverso de un trazo, el ensamblador inverso inicia con el primer

estado desplegado en la lista de trazos. Esto se llama **sincronización**. Mira el bit de estado (STAT) y determina el tipo de operación del procesador, el cual luego es desplegado bajo la etiqueta STAT. Si la operación es un Código de máquina conocido, el ensamblador inverso usa la información en el bus de datos para buscar el correspondiente código en una tabla, luego se despliega bajo la etiqueta DATA. Si la operación es una transferencia de datos, los datos y las operaciones correspondientes se despliegan bajo la etiqueta DATA. Esto se repite para todos los estados subsecuentes de la lista de trazos.

Si se mueve la lista de trazos a una nueva posición y se presiona **Invasm** otra vez, el ensamblador inverso repite el proceso indicado anteriormente. Sin embargo, no se debe hacer esto desde la posición de inicio hacia atrás en la lista de trazos. Puede causarse diferencias en la lista de trazos sobre y bajo el punto donde se sincronizó el ensamblador inverso. La mejor manera para asegurar un ensamblaje inverso correcto es hacer la sincronización usando el primer estado que se conoce es el primer byte de un código esperado.

CAPITULO

2

CAPITULO 2. PRINCIPALES INTERFACES DE COMPUTADORES PERSONALES

2.1 EL PUERTO PARALELO

El puerto paralelo es un conjunto de líneas, mediante las cuales, el PC puede comunicarse con otros dispositivos. El puerto paralelo es uno de los más importantes para las comunicaciones del PC, transmite bits de datos simultáneamente por líneas separadas, lo cual hace que la comunicación sea rápida. Generalmente se lo utiliza para comunicarse con impresoras, pero se le pueden dar una gran cantidad de aplicaciones, ya que posee entradas y salidas digitales.

Este puerto se encuentra comúnmente en la parte posterior del PC como un conector tipo DB-25 hembra.

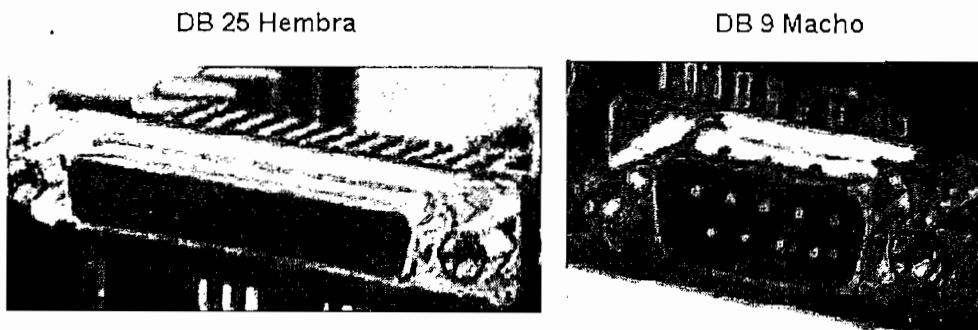


Figura 2.1 Conectores que se encuentran en el panel posterior de una tarjeta de expansión

El puerto paralelo original tiene 8 líneas de salida, 5 líneas de entrada y 4 líneas bidireccionales, pero en algunas nuevas versiones de puerto paralelo, las 8 líneas de salida pueden utilizarse como bidireccionales para manejar algunos dispositivos a mayor velocidad.

2.1.1 TIPOS DE PUERTO PARALELO

En la actualidad, se han introducido variantes al que fuese el puerto paralelo original, ya que se necesitan nuevos requerimientos en lo que a velocidad se refiere.

La velocidad es importante debido a que el PC y los diferentes componentes deben ser más rápidos, ya que las funciones que realizan son más complicadas y la cantidad de información se ha incrementado.

Los tipos más comunes son:

2.1.1.1 Original (SPP)

El puerto paralelo del PC IBM, y los demás puertos paralelos que emulan el diseño original generalmente se los identifica con el nombre de SPP (Standard parallel port), otros nombres usados son Tipo AT o ISA compatible.

El puerto paralelo de diseño original se basó en la existencia del interfaz para impresoras centronics,

El SPP puede transferir ocho bits de una sola vez, para comunicarse con los diferentes dispositivos. Para la comunicación desde los dispositivos al PC, el SPP no puede utilizar los ocho bits de datos, por lo que transfiere la información en grupos de cuatro bits a la vez; este grupo de bits se lo denomina "Nibble". El modo "Nibble" es más lento, pero es una solución muy común para utilizar el puerto paralelo como entrada de datos.

2.1.1.2 Tipo PS/2 (Bidireccional Simple)

Este tipo de puerto paralelo es una de las primeras mejoras del tradicional, este modelo fue introducido por IBM, el cual permite que desde un dispositivo se puedan transmitir 8 bits consecutivamente al PC.

El término PS/2 hace referencia a todo puerto paralelo bidireccional que no soporta los modos EPP o ECP.

2.1.1.3 EPP (Puerto Paralelo Mejorado)

El EPP (enhanced parallel port) fue originalmente diseñado por Intel, Zenith y Xircom, compañías manufactureras de chips y computadoras personales.

Este tipo de puerto paralelo, como el PS/2, posee líneas de datos bidireccionales, por las cuales puede leer y escribir en un ciclo del bus de expansión ISA, el cual le da una gran diferencia a comparación del SPP o del PS/2, los cuales realizan este proceso cada 4 ciclos del bus de expansión.

Un EPP puede emular a un puerto SPP, y muchos EPPs pueden emular un puerto tipo PS/2.

2.1.1.4 ECP (Puerto de capacidades extendidas)

El ECP (extended capabilities port) al principio fue propuesto por Hewlett Packard y Microsoft. Como los tipos mencionados anteriormente, el ECP posee líneas de datos bidireccionales, y al igual que el EPP, realiza lectura y escritura en un solo ciclo del bus de expansión ISA.

Los puertos ECPs poseen buffers y soporte para transferencia DMA (acceso directo de memoria) como también compresión de datos. Estos puertos son comúnmente utilizados para impresoras, scanners y otros dispositivos que transfieren grandes bloques de datos.

PIN	Señal SPP	Señal EPP	Señal ECP
1	Strobe	Write _(out)	HostCLK _(out)
2-9	Datos 0-7	Datos 0-7 _(in-out)	Datos 0-7 _(in-out)
10	Ack	Interrupt _(in)	PeriphCLK _(in)
11	Busy	Wait _(in)	PeriphACK _(in)
12	Paper Out/End	Spare _(in)	nAckReverse _(in)
13	Select	Spare _(in)	X-Flag _(in)
14	Auto Linefeed	Data strobe _(out)	Host Ack _(out)
15	Error/Fault	Spare _(in)	PeriphRequest _(in)
16	Init	Reset _(out)	NReverse Request _(out)
17	Select Printer	Address Strobe _(out)	1284 Active _(out)
18-25	Tierra	Tierra	Tierra

Tabla 2.1. Cuadro comparativo de señales de los puertos SPP, EPP y ECP

2.1.1.5 Puertos Multimodo

Por último, los nuevos puertos paralelos son multimodo, los cuales permiten emular muchos de los puertos anteriormente descritos.

Estos a menudo incluyen opciones de configuración, con las cuales pueden poner a disposición todas las clases de puertos; o también, se podrían obtener algunas clases mientras otras quedarían excluidas.

2.1.2 DIRECCIONAMIENTO

El puerto paralelo estándar (SPP) usa tres direcciones contiguas usualmente en uno de estos rangos:

3BCh, 3BDh, 3BEh
 378h, 379h, 37Ah
 278h, 279h, 27Ah

La primera dirección en el rango es la dirección base del puerto, también llamada el registro de datos o solamente la dirección del puerto. La segunda dirección es el registro de estado del puerto, y la tercera es el registro de control.

Un EPP añade cinco registros en la dirección base + 3 hasta la dirección base +7. Un ECP añade tres registros en la dirección base + 400h hasta la dirección base + 402h.

En los primeros PCs el puerto paralelo tiene una dirección base de 3BCh. En los sistemas nuevos el puerto paralelo se encuentra más a menudo en la dirección 378h. Sin embargo normalmente no se puede tener un EPP en la dirección base 3BCh, debido a que los registros adicionales EPP pueden estar en conflicto con el adaptador de video del sistema.

El puerto PS/2 tipo 3 de IBM tiene tres registros adicionales, en la dirección base + 3 hasta la dirección base + 5, y permite una dirección base de 1278h a 1378h.

2.2 PROTOCOLO DE COMUNICACIÓN IMPRESORA-PC

La impresora, como periférico del computador que es, ha de estar bajo las órdenes del mismo, por lo que la comunicación entre ambos ha de ser lo más clara posible. A esto se le llama protocolo. Este protocolo, que se establece entre la impresora y el computador se lo puede apreciar en los siguientes pasos:

- 1: Cuando conectamos la impresora, ésta envía al computador una señal que le indica que va a empezar la comunicación. Esta operación se conoce con el nombre de "*on line*".
- 2: El computador y como respuesta a esa señal, le envía su configuración, es decir, cómo ha de ponerse la impresora para recibir la información que el computador le enviará posteriormente y cómo ha de imprimirla, el *driver* (manejador).

3: Una vez que la impresora ya se encuentra configurada, envía al computador la señal de que ya está preparada para recibir información.

4: Tras ello, el computador empieza a enviar la información. La impresora tiene un buffer de memoria, donde es almacenada la información antes de ser impresa.

5: Una vez que el buffer está lleno, la impresora envía una señal al computador con objeto de que no se le envíe más información hasta que el buffer esté vacío de nuevo.

6: Todo este protocolo se establece hasta que se acaba la cantidad de información que hay que imprimir, enviando el computador una señal de "*final de fichero*".

2.3 INTERFAZ CENTRONICS

Centronics es uno de los primeros interfaces para la comunicación entre el computador y la impresora. Esta interfaz es capaz de enviar caracteres a la impresora en forma paralela y unidireccional. La mayoría de impresoras utilizan este diálogo (handshake) que normalmente se implementa usando un puerto paralelo estándar (SPP) controlado por software.

En el PC existen tres posibles puertos paralelos: LPT1 (o PRN), LPT2 y LPT3. Las direcciones base de estos puertos se encuentran almacenadas en el área de datos de la BIOS en las siguientes posiciones:

LPT1=>[0000:0408]

LPT2=>[0000:040A]

LPT3=>[0000:040C]

Dispone de 8 líneas de datos, 4 señales de control para la impresora y 5 de estado que vienen de ella, utilizan voltajes TTL con señales no balanceadas, en las que el tiempo de subida y de bajada debe ser menor a $2\mu\text{s}$.

El bus asociado llega a transmitir a una velocidad de 100 kB/s y con una longitud máxima de 4,5 m.

El cable de impresora lleva por un lado el conector DB-25 macho que se conectara con el puerto paralelo del PC; y por el otro lado, un conector centronics de 36 pines que va conectado a la impresora.

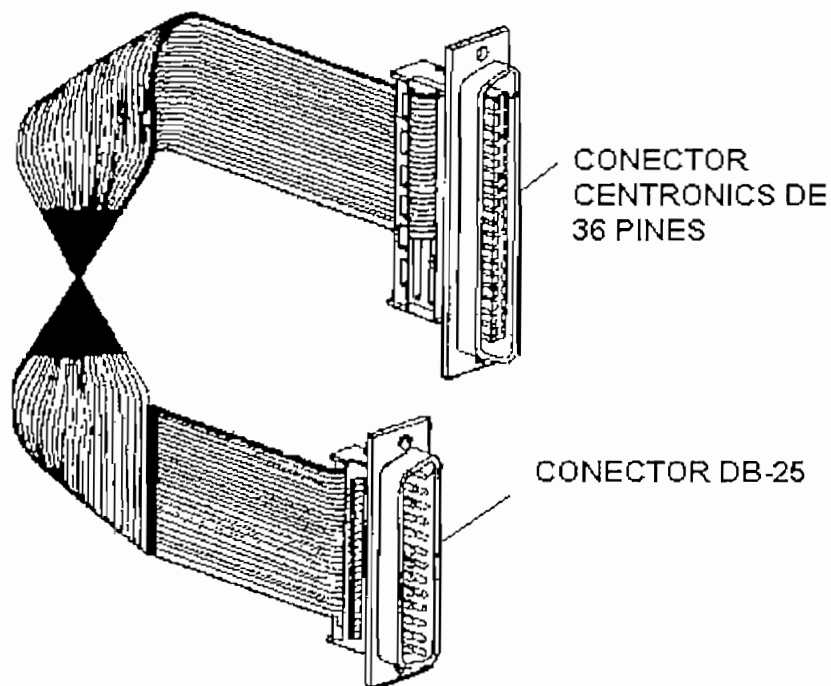


Figura 2.2 Cable para comunicación entre el PC y la Impresora

2.3.1 SEÑALES DE LA INTERFAZ CENTRONICS

El conector centronics como se mencionó anteriormente posee 36 líneas y el conector DB-25 posee 25 líneas por lo cual, algunas señales de control que no son esenciales no se encuentran presentes.

En el puerto paralelo estándar cada señal tiene un nombre que sugiere una función para la interfaz con la impresora. En interfaces con otros dispositivos estas señales no se utilizan para su propósito original.

A continuación se muestra una tabla que muestra la conexión entre el conector centronics y el DB-25 con su respectiva señal:

DB-25 Pin	SEÑAL	FUNCION	CENTRONICS Pin
1	Strobe	Validación de datos D0-D7	1
2	D0	Bit 0 de datos	2
3	D1	Bit 1 de datos	3
4	D2	Bit 2 de datos	4
5	D3	Bit 3 de datos	5
6	D4	Bit 4 de datos	6
7	D5	Bit 5 de datos	7
8	D6	Bit 6 de datos	8
9	D7	Bit 7 de datos	9
10	Ack	Acuse de recibo de datos	10
11	Busy	Impresora ocupada	11
12	PaperEnd	Fin de papel, vacío	12
13	Select	Impresora seleccionada (on line)	13
14	AutoLF	Generación automática de suministro de línea después de retorno del carro	14

Tabla 2.2a Conexión entre el conector Centronics y el DB-25

DB-25 Pin	SEÑAL	FUNCION	CENTRONICS Pin
15	Error	Error	32
16	INIT	Inicializa impresora (reset)	31
17	Selection	Selección de impresora (ubicar en línea)	36
18	Gnd	Tierra de retorno para Strobe, D0	19, 20
19	Gnd	Tierra de retorno para D1, D2	21, 22
20	Gnd	Tierra de retorno para D3, D4	23, 24
21	Gnd	Tierra de retorno para D5, D6	25, 26
22	Gnd	Tierra de retorno para D7, Ack	27, 28
23	Gnd	Tierra de retorno para Selection	33
24	Gnd	Tierra de retorno para Busy	29
25	Gnd	Tierra de retorno para INIT	30
	Chasis	Tierra de Chasis	17
	NC	Sin conexión	15, 18, 34
	NC	Tierra de señal	16
	NC	+5V	35

Tabla 2.2b Conexión entre el conector Centronics y el DB-25 (continuación)

2.3.2 HANDSHAKING

En la interfaz centronics, tres señales de handshake son indispensables para la transferencia de datos:

STROBE: Señal generada por el computador la cual indica que las líneas de datos contienen información. Esta señal es activada en bajo.

ACKNOWLEDGE: Señal generada por el periférico, que mediante un pulso en bajo indica que los datos han sido recibidos.

BUSY: Señal generada por el periférico, que mediante un pulso en alto indica que no puede recibir más datos.

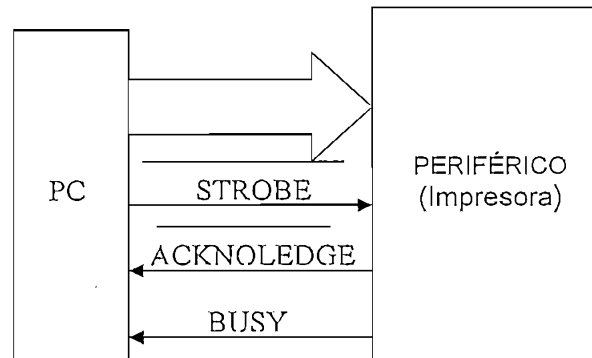


Figura 2.3 Señales utilizadas para la comunicación entre el PC y la Impresora

En un principio el dato es cargado en los pines de datos del puerto paralelo (D0-D7), a continuación el computador chequea que la impresora se encuentre desocupada, esto lo realiza revisando que la línea BUSY se encuentre en bajo, si esto ocurre, el PC pone en bajo la línea de STROBE y espera un mínimo de $1\mu\text{s}$, el dato es normalmente leído por la impresora en la transición positiva de la señal de STROBE. La impresora indica que está ocupada activando en alto la señal de BUSY. Cuando el dato ha sido aceptado por la impresora, ésta activa la señal de Acknowledge mediante un pulso en bajo en la línea ACK por alrededor de $5\mu\text{s}$, a la vez, esta señal origina la desactivación de la señal BUSY y queda listo para recibir el siguiente dato.

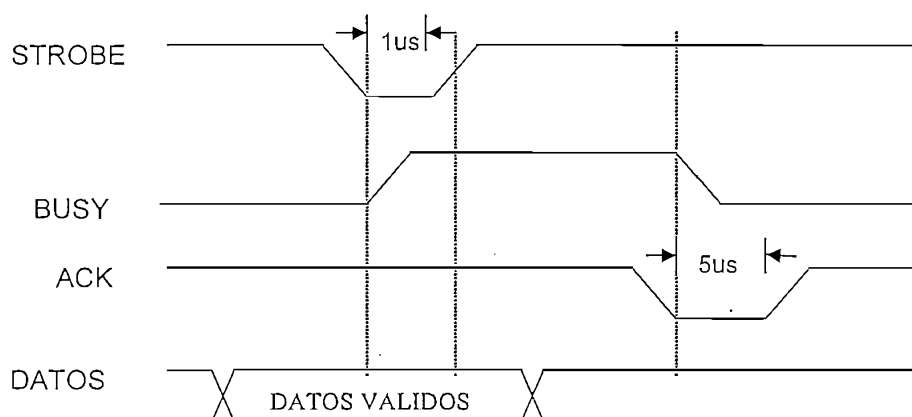


Figura 2.4 Señales en el interfaz centronics

2.4 COMUNICACIÓN PC A PC

La principal aplicación del puerto paralelo es la comunicación del PC con sus periféricos, pero otro uso que se le puede dar es para la transferencia de información entre computadores e incluso para lograr una red entre dos computadores donde el uno puede acceder a archivos y aún correr programas que residen en el otro computador. Para conseguir esto es necesario construir un cable especial (cable paralelo bidireccional de modo nibble) debido a que los computadores transfieren un nibble de datos a la vez. La tabla 2.3 muestra la distribución para el cable paralelo bidireccional de modo nibble.

Computador A		Dirección	Computador B	
Pin	Bit		Bit	Pin
2	D0	→	S3	15
3	D1	→	S4	13
4	D2	→	S5	12
5	D3	→	S6	10
6	D4	→	S7	11
10	S6	←	D3	5
11	S7	←	D4	6
12	S5	←	D2	4
13	S4	←	D1	3
15	S3	←	D0	2
18-25	-	GND	-	18-25
1	C0	No se conecta	C0	1
14	C1	No se conecta	C1	14
16	C2	No se conecta	C2	16
17	C3	No se conecta	C3	17

Tabla 2.3 Distribución para el cable paralelo de modo nibble.



Figura 2.5 Esquema de conexión PC a PC

En cada PC, cinco salidas de datos (D0-D4) se conectan a cinco entradas de estado (S3-S7) en la otra computadora. El cable debe incluir todos los ocho cables de tierra. Las cuatro líneas (C0-C3) no son usadas normalmente.

Los bits D0-D3 del registro de datos (pines 2 al 5 del conector) aparecen en el otro extremo como los bits S3-S6 del registro de estado (pines 15, 13, 12 y 10 del conector). El bit D4 (pin 6) del registro de datos y el bit D7 (pin 11) del registro de estado se utilizan para operaciones de sincronía en la comunicación.

El diseño del cable LAPLINK permite establecer comunicación bidireccional entre los extremos, aún cuando los puertos no soporten el modo bidireccional. Este tipo de cable se utiliza en varios productos de software para el intercambio de archivos entre dos máquinas, incluyendo aquella que viene contenida en Windows llamada Conexión directa por cable. El protocolo para comunicación entre PCs no sigue una norma establecida, por lo que la distribución para el cable de comunicación nibble anteriormente mencionada no es la única, esta característica dependerá del software elaborado para dicha aplicación.

2.5 PÓRTICO SERIAL

Los pórtilos seriales son parte integral de los computadores, son puertos seriales asincrónicos controlados por un UART (Transmisor Receptor Universal Asincrónico). El pórtilo serial es más utilizado en comunicaciones que el puerto

paralelo, especialmente para grandes distancias. Las comunicaciones seriales requieren de menor número de hilos que las paralelas, se pueden alcanzar mayores distancias sin necesidad de repetidoras debido a que la diferencia de voltaje entre un cero lógico y un uno lógico es mayor. Los microcontroladores traen incluido en sus diseños el pórtilo serial que les permite comunicarse con otros dispositivos, reduciendo el número de pines de los mismos, comúnmente se necesita solo de dos pines para llevar a cabo una comunicación serie.

En comunicaciones seriales se diferencian dos tipos de dispositivos: DCE (Data Communications Equipment) Equipo de comunicación de datos que realizan la adaptación de la señal digital al canal de comunicaciones como por ejemplo el módem y DTE (Data Terminal Equipmet) Equipo Terminal de datos que es quien genera la información como por ejemplo la computadora personal.

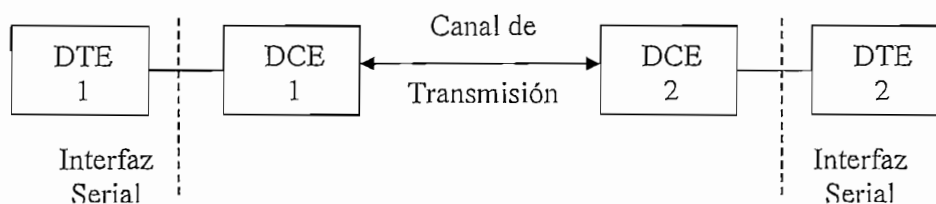


Figura 2.6 Diagrama de Bloques de la comunicación serial

Como se muestra en la figura 2.6 un interfaz serial permite la interconexión entre un DTE y un DCE y establecen características particulares de velocidad de transmisión, forma de utilización del canal y otras muy específicas del protocolo de comunicación empleado.

2.5.1 INTERFAZ RS-232

El interfaz RS-232 es el más popular para comunicaciones seriales, la aplicación más común en computadores personales es para las comunicaciones con módem. Su primera publicación fue en 1962, pero ha tenido varias revisiones como la RS-232-C en 1969, EIA-RS-232-D en 1987 y la EIA/TIA RS-232-E en 1991, siendo entre ellas compatibles.

2.5.1.1 Características Mecánicas

Se establecen dos tipos de conectores. El conector DB25 con pines numerados del 1 al 13 y del 14 al 25. El conector DB9 con pines numerados del 1 al 5 y del 6 al 9, que considera las señales más utilizadas. Ambos conectores se los encuentra en la parte posterior del computador en versión macho.

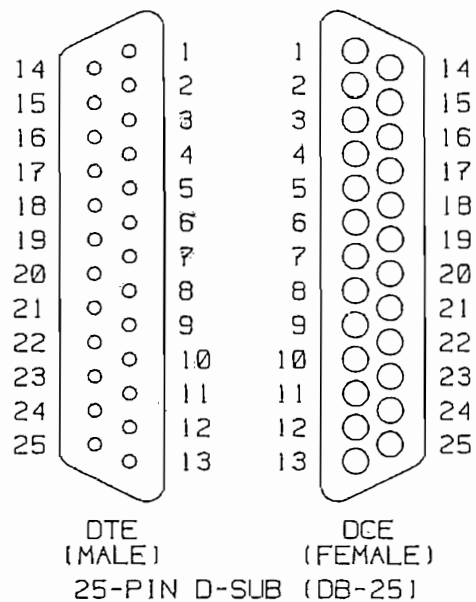


Figura 2.7 a Conector DB-25 macho y hembra

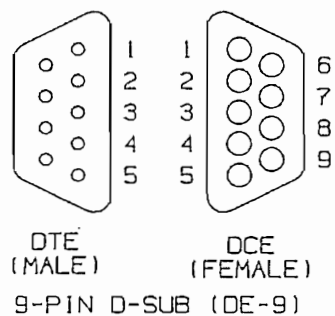


Figura 2.7 b Conector DB-9 macho y hembra

2.5.1.2 Características Eléctricas

Se define un 1L a un dato comprendido entre un voltaje de -3 V a -25 V y a un 0L si está entre $+3\text{ V}$ y $+25\text{ V}$. Usualmente se determina niveles máximos de $\pm 15\text{ V}$ para la transmisión y de $\pm 25\text{ V}$ para la recepción. La región comprendida entre -3 y $+3$ no está definida.

Se pueden transmitir datos a una velocidad de hasta 19200 bps para una distancia máxima de 15 metros (50 pies). Pudiéndose alcanzar mayores velocidades si se disminuye la distancia.

El interfaz RS-232 determina una impedancia de entrada entre 3000 y 7000 ohmios y una impedancia de salida mayor a 300 ohmios.

Un voltaje de circuito abierto no debe exceder 25 V , en relación con GND, mientras que, una corriente de cortocircuito no debe exceder los 500 mA .

2.5.1.3 Características funcionales

La especificación funcional determina el significado de las señales de cada uno de los 25 pines. Estas señales están agrupadas como: datos, control, sincronismo y tierra. Se tienen dos canales de datos full dúplex (primario y secundario), cada uno de los cuales posee señales de diagnóstico y de handshake.

Grupo	Pin	Abreviatura	Función
DATOS	2	TxD	Usado por el DTE para transmitir datos seriales hacia el DCE
	3	RxD	Usado por DTE para recibir datos seriales desde el DCE
	14	STxD	Usado por el DTE para transmitir datos hacia el DCE por canal secundario

Tabla 2.4a Descripción funcional de las señales del interfaz RS-232

Grupo	Pin	Abreviatura	Función
DATOS	16	SRxD	Usado por el DTE para recibir datos desde el DCE por canal secundario
CONTROL	4	RTS	Usado por el DTE como requerimiento de envío de datos hacia el DCE.
	5	CTS	Usado por el DCE para aceptar el envío de datos desde el DTE.
	6	DSR	Usado por el DCE como indicación de equipo activado, en respuesta a DTR.
	8	DCD	Usado por el DCE para indicar a su correspondiente DTE la presencia de portadora en el canal enviada por el DCE del extremo remoto, alertando al DTE que espere recibir datos en cualquier momento.
	12	SDCD	Similar a la señal del pin 8 para canal secundario.
	13	SCTS	Similar a la señal del pin 5 para canal secundario.
	19	SRTS	Similar a la señal dl pin 4 para canal secundario.
	20	DTR	Usado por el DTE como indicación de equipo activado.
21	SQD	Usado por el DCE para informar al DTE correspondiente que la calidad de la señal recibida del extremo remoto se ha deteriorado.	

Tabla 2.4b Descripción funcional de las señales del interfaz RS-232
(continuación)

Grupo	Pin	Abreviatura	Función
CONTROL	22	RI	Usado por el DCE para señalar a su respectivo DTE la presencia de la señal de timbre proveniente del extremo remoto, en líneas dial-up.
	23	DRS	Usado por el DTE o DCE para la selección de la velocidad de datos.
SINCRONISMO	15	TC	Usado por el DCE para temporizar los datos enviados por el DTE en el pin 2.
	17	RC	Usado por el DCE para temporizar los datos enviados al DTE en el pin 3 (RxD).
	24	XTC	Usado por el DTE para temporizar sus datos enviados en el pin 2 (TxD)
TIERRA	1	GND	Tierra analógica o de carcasa
	7	SG	Tierra digital o línea de referencia de voltaje, cuyo conductor establece el retorno común de las diferentes señales (transmisión asimétrica o desbalanceada).
NO ASIGNADOS	9,10,11,18 y 25	-----	-----

Tabla 2.4c Descripción funcional de las señales del interfaz RS-232
(continuación)

Las señales más frecuentemente utilizadas son 9 que se las encuentra en el conector DB9. Entre estas señales no se hallan las de sincronismo (reloj). Para

transmisiones asincrónicas la señal de reloj no es necesaria, ya que el sincronismo a nivel de carácter se lo realiza con los bits de inicio y parada. La siguiente tabla muestra la correspondencia entre un conector DB25 y un DB9:

Número de Pin (DB25)	Número de Pin (DB9)	Abreviación	Nombre de la señal
2	3	TD	Transmit Data
3	2	RD	Receive Data
4	7	RTS	Request To Send
5	8	CTS	Clear To Send
6	6	DSR	Data Set Ready
7	5	SG	Signal Ground
8	1	CD	Carrier Detect
20	4	DTR	Data Terminal Ready
22	9	RI	Ring Indicator

Tabla 2.5 Correspondencia entre los conectores DB-9 y DB-25 para el interfaz RS-232

2.5.1.4 Conexión Null Modem

La conexión null módem es utilizada para la comunicación entre dos DTEs (Equipo Terminal de Datos) sin la participación de DCEs (Equipo de Comunicación de Datos). La conexión null módem simula la existencia de DCEs intercambiando señales complementarias. Por ejemplo, cada TD se conecta a su opuesto RD.

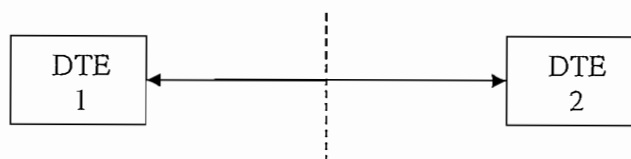


Figura 2.8 Comunicación Null Módem

La siguiente figura detalla las configuraciones null módem:

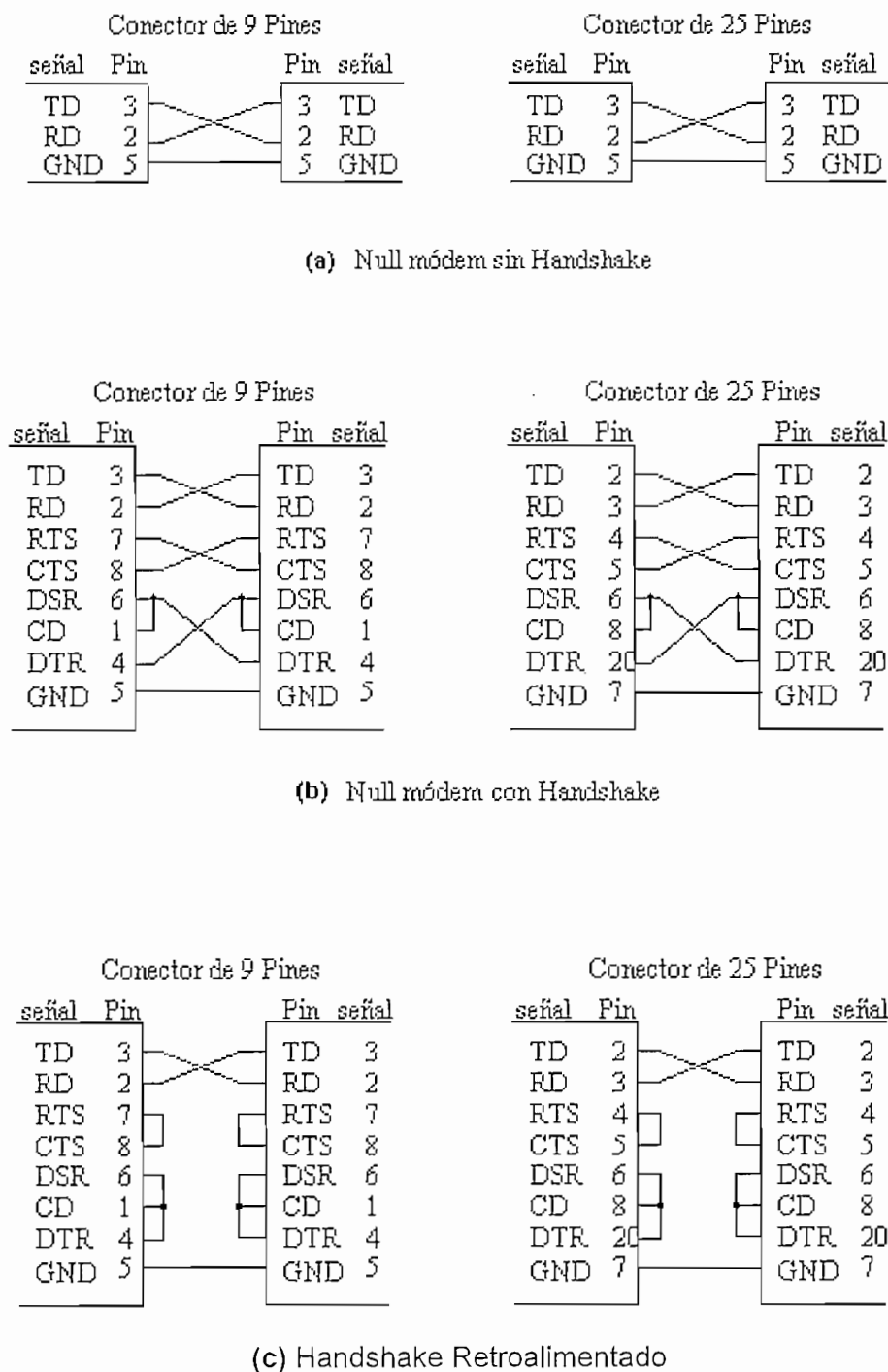


Figura 2.9 Tipos de Null Módem RS-232

El más simple es el null módem de tres cables. Se intercambia las líneas RD y TD, por lo tanto cada TD se conecta a su RD opuesto. Se usa si los dispositivos no utilizan handshake.

La conexión null módem con handshake permite handshake de hardware. Tanto las salidas de datos como las de handshake se conectan a sus correspondientes entradas en el dispositivo opuesto.

En la conexión null módem con handshake retroalimentado, las salidas de handshake están realimentadas a las correspondientes entradas en el mismo dispositivo. Esta realimentación da la impresión de que existe un handshake completo, cuando en realidad no existe. El dispositivo que transmite asume que el receptor está siempre listo. Esta conexión se usa cuando uno de los dispositivos necesita handshake pero el otro no puede proveer el handshake. Sin embargo, usando este tipo de null módem resultarán datos erróneos si el receptor no puede seguir con las transmisiones.

2.6 INTERFAZ RS-485

Es un estándar TIA/EIA para líneas de comunicación multipunto. Es similar al RS-422 el cual especifica entre sus características eléctricas un interfaz balanceado con velocidad y alcance máximos de hasta 10 Mbps y 1200 m respectivamente (10 Mbps – 15m y 100 Kbps – 1200 m). RS-485 permite más nodos por línea que RS-422. El interfaz RS-485 es utilizado para largas distancias y mayores velocidades de que las maneja el interfaz RS-232. Los manejadores (drivers) y receptores (receivers) son económicos y requieren únicamente de una fuente de (+5V) para generar 1.5V de diferencia mínima requerida en las salidas diferenciales. Además El interfaz RS-485 no se limita únicamente a dos dispositivos, con receivers de alta impedancia se podrían conectar hasta 256 nodos en un único par de cables.

2.6.1 COMPARACIÓN ENTRE RS-485 Y RS-422

Especificación	EIA/TIA RS-422-B	EIA/TIA RS-485
Modo de Transmisión	Balanceada	Balanceada
Longitud máx. de cable a 100 Kbps, aproximada	1200 m	1200 m
Longitud máx. de cable a 10 Mbps, aproximada	15 m	15 m
Máx. Velocidad de bit (bits/sec)	10 M	10 M
Salida Diferencial (voltios mínimos)	± 2	± 1.5
Salida Diferencial (voltios máximos)	± 10	± 6
Sensibilidad del Receptor (voltios)	± 0.2	± 0.2
Mínima Carga del Driver (ohms)	± 100	± 60
Máximo Número de drivers	1	32
Máximo número de receivers	10	32

Tabla 2.6 Comparación entre RS-485 y RS-422

2.6.2 CARACTERÍSTICAS ELÉCTRICAS

La principal razón por la que el interfaz RS-485 puede alcanzar grandes distancias es porque se trata de un interfaz balanceado a diferencia del RS-232. En el RS-485 cada señal tiene dedicado un par de cables, siendo el voltaje en el uno el negativo o complemento del voltaje del otro. El receptor responde a la diferencia de entre los voltajes. Una gran ventaja de las líneas balanceadas es su inmunidad al ruido.

RS-485 designa las dos líneas en un par diferencial como A y B. En el driver, una entrada lógica TTL alta causa que la línea A sea más positiva que la línea B, mientras que una entrada lógica TTL baja causa que la línea B sea más positiva que la línea A. En el receptor, si la entrada A es más positiva que la entrada B, la salida TTL es alta, y si la entrada B es más positiva que la entrada A, la salida TTL es baja. En el receptor, la diferencia entre las entradas A y B necesita ser 0.2

V. Si A es al menos 0.2 V más positivo que B, el receptor mira un 1 lógico y si B es al menos 0.2 V más positivo que A, el receptor mira un 0 lógico. Si la diferencia entre A y B es menor que 0.2 V, el nivel lógico es indeterminado.

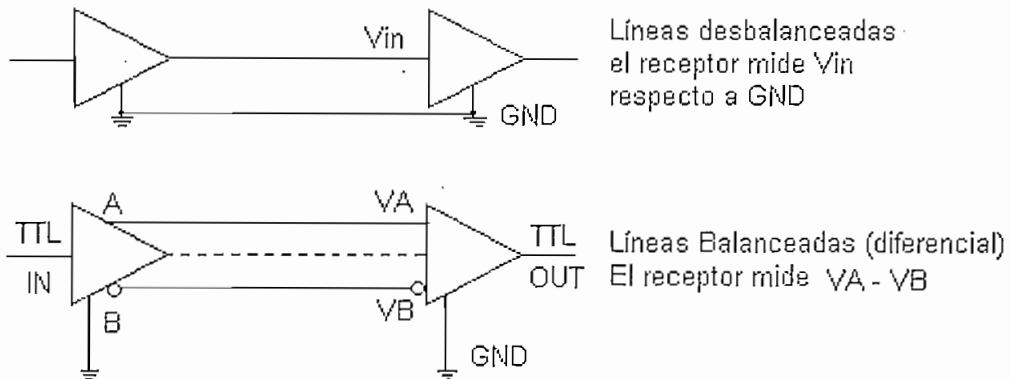


Figura 2.10 Comparación entre líneas desbalanceadas y balanceadas.

Los chips interface RS-485 son inversores, si se toma en cuenta que RS-485 define 1 lógico como el estado donde $B > A$ y 0 lógico como $A > B$. $B > A$ en el lado RS-485 del chip corresponde a un estado lógico bajo en el lado TTL, y $A > B$ en el lado RS-485 corresponde a un estado lógico alto en el lado TTL.

Cada entrada en el receptor debe estar dentro del rango de entre -7 V y $+12$ V con relación a la tierra del receptor. Esto permite diferencias en el potencial de tierra entre el driver y el receiver. La máxima diferencia de entrada ($V_A - V_B$) no debe exceder ± 6 V.

Se pueden transmitir datos a una velocidad de hasta 10 Mbps y una distancia de máxima de 1200 metros. La longitud del cable y la tasa de bit están relacionadas. Se pueden alcanzar largas distancias disminuyendo la velocidad.

RS-485 se utiliza sobre una línea de par trenzado de 120Ω de impedancia característica terminada en sus extremos por cargas igual a la impedancia característica.

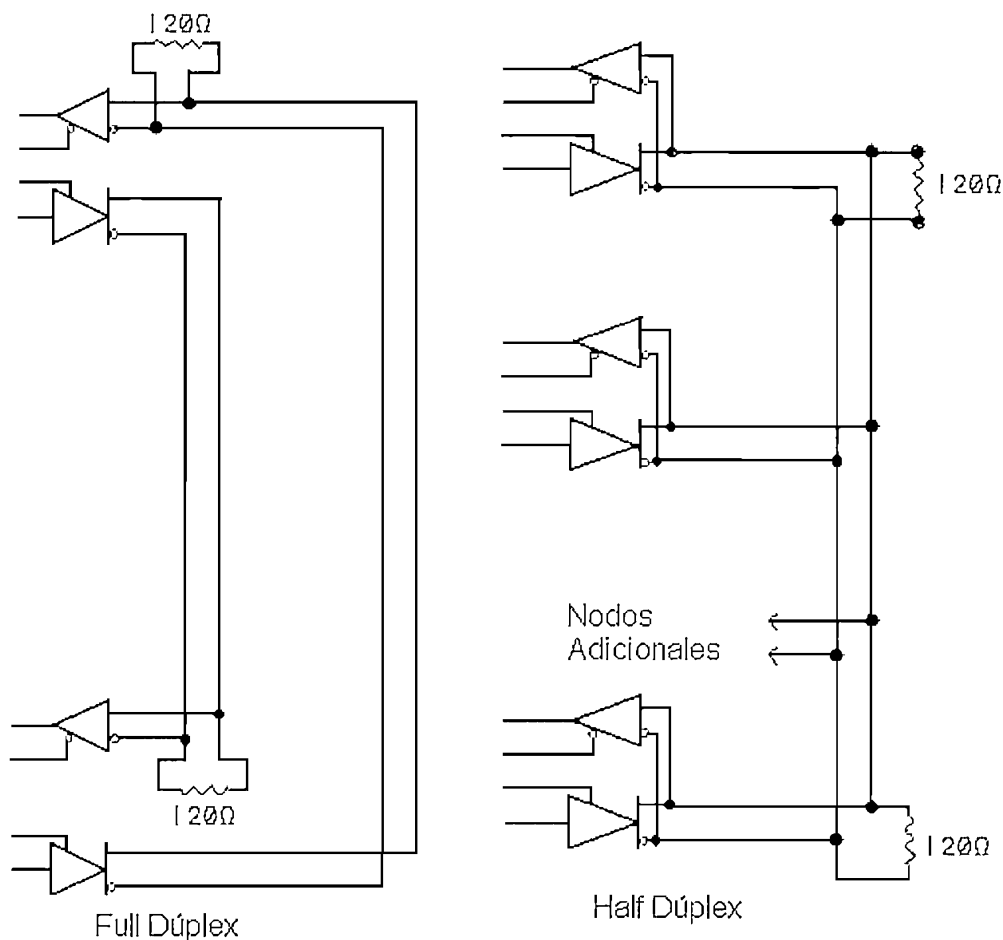


Figura 2.11 Terminación de fin de Línea.

2.7 INTERFAZ DEL TECLADO AT

El teclado AT envía códigos de rastreo al computador. Los códigos de rastreo dicen al BIOS del teclado, cual fue la tecla presionada o liberada. Por ejemplo la tecla "A" tiene el código de rastreo 1C (hexadecimal). Cuando se presiona la tecla "A", el teclado envía 1C por su línea de comunicación serial. Si permanece presionada por un tiempo mayor al del retardo permitido, otro 1C será enviado. Esto ocurre hasta que otra tecla haya sido presionada, o hasta que la tecla "A" haya sido liberada.

Sin embargo, el teclado enviará otro código cuando ha sido liberada la tecla. Siguiendo con el ejemplo de la tecla "A", cuando ésta es liberada, el teclado enviará F0 (hexadecimal) para indicar que la tecla con el código de rastreo que le precede ha sido liberada. Como el código que precede a F0 es 1C, entonces se sabrá que la tecla "A" ha sido liberada.

El teclado tiene únicamente un código para cada tecla, no importa si la tecla Shift ha sido presionada, se enviará el mismo código. Esto es hasta que el BIOS del teclado determine y tome una apropiada acción. El teclado procesa de manera distinta las teclas Num Lock, Caps Lock y Scroll Lock. Cuando se presiona Caps Lock por ejemplo, el teclado enviará el código de rastreo para Caps Lock. Esto es hasta que el BIOS del teclado envíe un código al teclado para encender el LED de Caps Lock.

Hay 101 teclas y 8 bits que permiten 256 combinaciones diferentes, pero el conjunto de teclas que se tienen son teclas extendidas, de esta manera se requieren dos códigos de rastreo diferentes. Los códigos de rastreo de las teclas extendidas están precedidos por un E0 (hexadecimal). Pero hay códigos de rastreo muy diferentes como el que se procesa al presionar Pause/break, (E1, 14, 77, E1, F0, 14, F0, 77).

Cuando una tecla extendida ha sido liberada, E0 es enviado primero, seguido por F0, cuando una tecla extendida ha sido liberada.

2.7.1 COMANDOS DEL TECLADO.

A más de los códigos de rastreo, comandos también son enviados desde y hacia el teclado. La siguiente sección detalla la función de algunos de los comandos más comunes.

2.7.1.1 Comandos enviados desde el host

Estos comandos son enviados por el Host hacia el teclado. Los comandos más comunes son los de seteo/reseteo de los indicadores de estado (Leds de Num Lock, Caps Lock y Scroll Lock). Los comandos más comunes se muestran a continuación.

Comando	Función
ED + (byte)	Enciende o apaga leds según el "byte" Bit 0 es para la tecla Scroll lock Bit 1 es para la tecla Num lock Bit 2 es para la tecla Caps lock (el resto de bits no sirven) Después de enviado ED, el teclado confirmará la recepción con un ACK (FA) y esperará por otro byte que determine el estado de sus LEDs.
EE	Echo, al enviarlo se recibe EE también
F0	Selección del modo de operación 1, 2 o 3
F2	Enviar el I.D. del teclado
F3	Pone el tiempo de repetición y velocidad El byte es: Oddbbaaa tiempo de repetición es $(dd+1)*250$ miliseg la velocidad es $(8+aaa)*2^{bb}*4$ miliseg
F4	Borrar el buffer de salida
F5	Reset del teclado a su estado por defecto, este retorna un ACK y lo deshabilita.
F6	Reset del teclado a su estado por defecto
FA	Acknowledge
FE	Error - pide retransmisión
FF	Reset del teclado

Tabla 2.7 Comandos que envía el host hacia el teclado

2.7.1.2 Comandos enviados desde el teclado

Las siguientes son las respuestas del teclado al computador.

Comando	Función
00	Error o sobrecarga del Buffer
AA	Test de encendido correcto
F0	Código de liberación de una tecla
FA	Acknowledge del último comando
FD	Error en la comunicación
FC	Error en la comunicación
FE	Retransmisión del último comando
EE	Respuesta al comando EE
E0	Teclas extendidas

Tabla 2.8 Comandos que envía el teclado hacia el host

2.7.2 CÓDIGOS DE RASTREO

El diagrama siguiente muestra los códigos de rastreo asignados a las teclas individuales en formato hexadecimal.

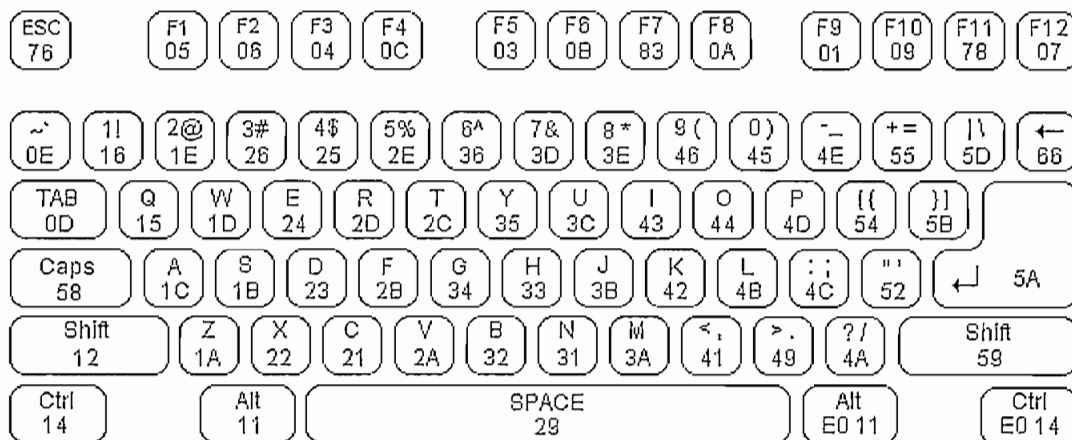


Figura 2.12 Códigos de Rastreo Teclado Alfabético

Los códigos de rastreo para el teclado extendido y el teclado numérico son:

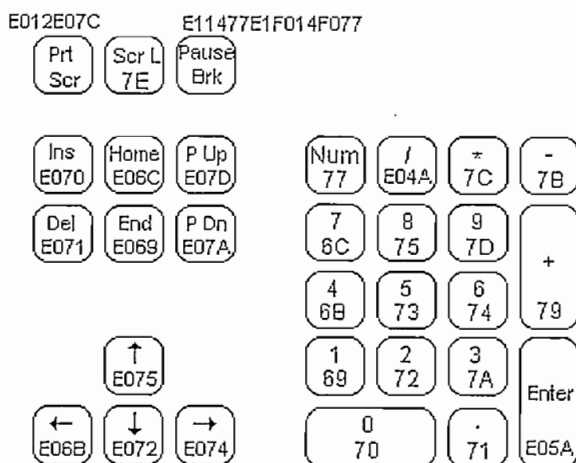


Figura 2.13 Códigos de Rastreo Teclado Numérico y Extendido

2.7.3 CONECTOR DE TECLADO

El teclado AT de computadores personales es conectado a través de cuatro cables. Se muestra en la figura siguiente la distribución de pines para el conector DIN de 5 pines y el conector PS/2.

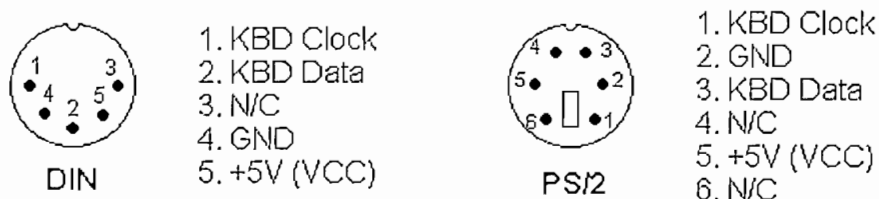


Figura 2.14 Conectores para Teclado

Se puede encontrar un quinto hilo, que se usaba como un reset para el teclado, de esta opción no se dispone en los teclados AT. Las líneas KBD Clock y KBD Data son bidireccionales (I/O) de colector abierto. Si se desea el Host puede comunicarse con el teclado usando estas líneas. Los teclados son especificados para drenar como máximo 300 mA.

2.7.4 PROTOCOLO DE TECLADOS

2.7.4.1 Comunicación desde el Teclado hacia el Host

Como se mencionó anteriormente, el teclado implementa un protocolo bidireccional. El teclado puede enviar datos al Host y el Host puede enviar datos al teclado. El Host tiene mayor prioridad sobre la dirección, puede en cualquier instante enviar comandos al teclado.

El teclado tiene libertad de enviar datos al Host cuando las líneas KBD Data y KBD Clock están en alto (estado pasivo). La línea KBD Clock puede ser usada como una línea CTS (clear to send). Si el host recibe la línea KBD Clock en bajo, el teclado pondrá cualquier dato en el buffer hasta que KBD Clock se libere, por ejemplo esté en alto. Deberá el host tomar la línea KBD DATA en bajo, luego el teclado se prepara a aceptar un comando del host.

La transmisión de datos en la dirección hacia delante, del teclado al Host es hecha con una trama de 11 bits. El primer bit es un bit de inicio (0 Lógico) seguido por 8 bits de datos (LSB primero), un bit de paridad (Paridad impar) y un bit de parada (1 Lógico). Uno a uno los bits serán leídos en cada transición negativa del Reloj.

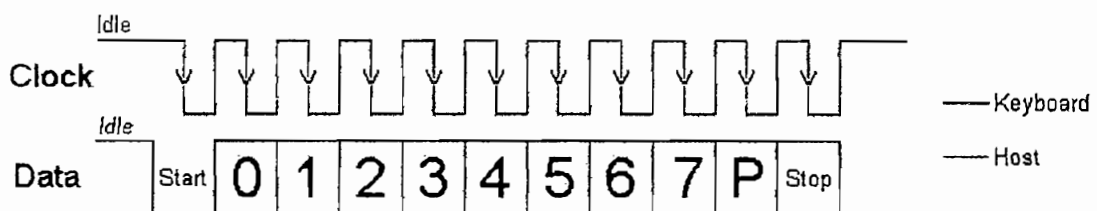


Figura 2.15 Protocolo del Host al Teclado

La forma de onda anterior representa la transmisión de un byte desde el teclado. El teclado generalmente no puede cambiar su línea de datos en la transición positiva del reloj como se muestra en la figura 2.15. La línea de datos únicamente tiene que ser válida en la transición negativa del reloj. El teclado generará el reloj.

La frecuencia de la señal de reloj típicamente está en el rango de 20 a 30 KHz. El bit menos significativo es enviado siempre primero.

2.7.4.2 Comunicación desde el Host hacia el Teclado

El protocolo de comunicación desde el Host al teclado se inicia tomando la línea KBD data en bajo. Sin embargo, para prevenir que el teclado envíe datos al mismo tiempo, es común tener la línea KBD Clock en bajo por más de 60 us. Esto es más que un tiempo de bit. Luego la línea KBD data está en bajo, mientras la línea KBD Clock cambia de estado.

El teclado comenzará generando una señal de reloj en la línea KBD Clock. Este proceso puede tomar hasta 10 ms. Después de que la primera transición negativa ha sido detectada, se puede recoger el primer bit de datos en la línea KBD Data. Este bit será leído en el teclado en la siguiente transición positiva, luego de lo cual se posiciona el siguiente bit de datos. Este proceso se repite para los 8 bits de datos. Enseguida de los bits de datos viene el bit de paridad impar.

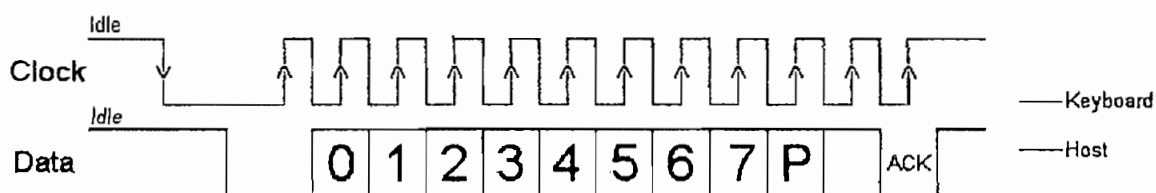


Figura 2.16 Protocolo del teclado al Host

Una vez que el bit de paridad ha sido enviado y la línea KBD Data está en un estado pasivo (alto) para el próximo ciclo de reloj, el teclado confirmará la recepción del nuevo dato. El teclado hace esto para tener la línea KBD Data en un nivel bajo en la siguiente transición de reloj. Si la línea KBD Data no está en estado pasivo después del décimo bit (Parada + 8 bits de datos + Paridad) el teclado continuará enviando una señal de reloj por KBD Clock hasta que la línea KBD Data cambia a estado pasivo.

CAPITULO

3

CAPITULO 3: HARDWARE PARA LA ADQUISICIÓN DE DATOS

El hardware diseñado para el sistema de adquisición de datos consiste en cuatro tarjetas electrónicas con sus respectivos cables, los cuales permitirán interceptar y mostrar en el Analizador Lógico HP 1662 CS las diferentes señales que intervienen en el protocolo de comunicación para las interfases mencionadas en el capítulo anterior.

3.1 TARJETA DE ADQUISICION DE DATOS PARA EL INTERFAZ CENTRONICS Y COMUNICACION PC A PC POR EL PUERTO PARALELO

La Tarjeta de adquisición de datos para el interfaz Centronics y comunicación PC a PC por el Puerto Paralelo permite mostrar con la ayuda del Analizador Lógico HP1662CS las señales que intervienen en la transacción de datos a través del Puerto Paralelo.

En la pantalla las señales son presentadas como:

- LISTA, en formato ASCII, HEX, Binario o Símbolo definible por el usuario.
- FORMA DE ONDA, donde las líneas de datos se presentan como un Bus.

3.1.1 CONEXIÓN PARA EL INTERFAZ CENTRONICS

Para el Interfaz Centronics, la tarjeta permitirá la visualización de las señales de Strobe, Datos, Acknowledge y Busy.

El muestreo de las señales se lo puede hacer:

- En el tiempo (Timing Analyzer), el cual permite determinar las características en tiempo del protocolo de comunicaciones.

- Por Estados, según la señal de validación STROBE (State Analyzer), que determina el instante de muestreo de un dato válido, optimizando el espacio de memoria del equipo, a la vez que se aprecia en un formato más claro el intercambio de información; o,
- Por mezcla de estados y tiempos (Opción Mixed Display del Analizador Lógico).

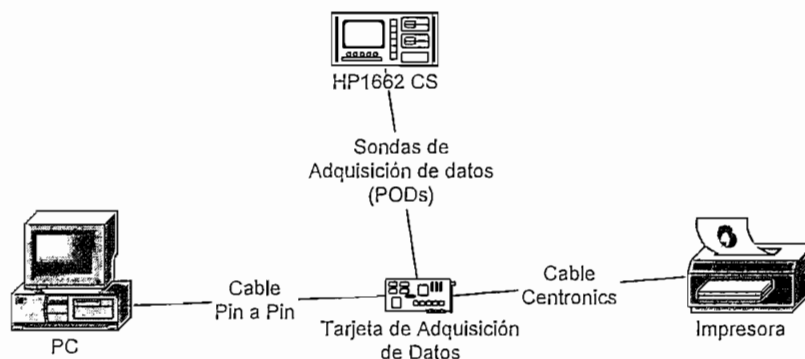


Figura 3.1 Esquema de conexión para la adquisición de datos del interfaz Centronics.

La tarjeta de adquisición se conecta por un lado con el PC mediante un cable Pin a Pin en cuyos extremos posee conectores DB-25 machos; y por el otro lado, se conecta con la impresora mediante un cable CENTRONICS, el cual posee a un extremo un conector DB-25 macho, y al otro, un conector CENTRONICS, y estos a su vez están interconectados de acuerdo a la distribución mencionada en el capítulo anterior.

Así también, el Analizador Lógico se conecta con la tarjeta de adquisición a través de los PODs, los cuales están numerados (POD 1 y POD 3), y gracias a esto se puede identificar en la tarjeta cual y en que puerto se los debe interconectar.

3.1.2 CONEXIÓN PARA COMUNICACIÓN PC A PC

Las señales visualizadas en la comunicación PC a PC por el Puerto Paralelo son las que corresponden a los dos nibbles de entrada y los dos nibbles de salida

desde y hacia cada computador. Así como también se pueden observar las señales de validación respectivas de cada nibble

Debido a las características de este protocolo, comunicación por nibble, las señales se apreciarán únicamente como datos de 4 bits.

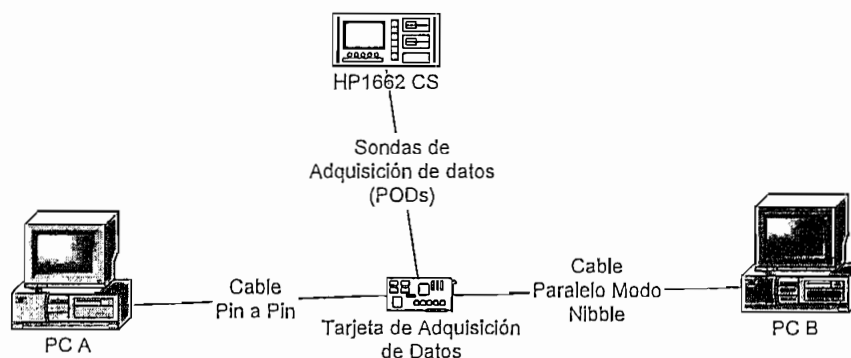


Figura 3.2. Esquema de conexión para la adquisición de datos en una comunicación PC a PC.

En este caso, a diferencia de la conexión para el interfaz centronics, la tarjeta va conectada al PC A mediante un cable Pin a Pin con conectores DB-25 machos en cada extremo, y la tarjeta se conecta al PC B mediante un cable tipo Nibble, el cual posee conectores DB-25 machos a sus extremos los cuales van interconectados de acuerdo con la distribución expuesta en el capítulo anterior. El Analizador Lógico a su vez se conecta mediante los PODs identificados claramente en la tarjeta de adquisición.

3.1.3 DISEÑO Y CONSTRUCCIÓN

La Tarjeta de Adquisición de datos, tanto para el Interfaz Centronics como para la comunicación PC a PC será la misma. Por lo que para cada aplicación se debe disponer del cable correspondiente según la distribución que se menciona en el capítulo 2.

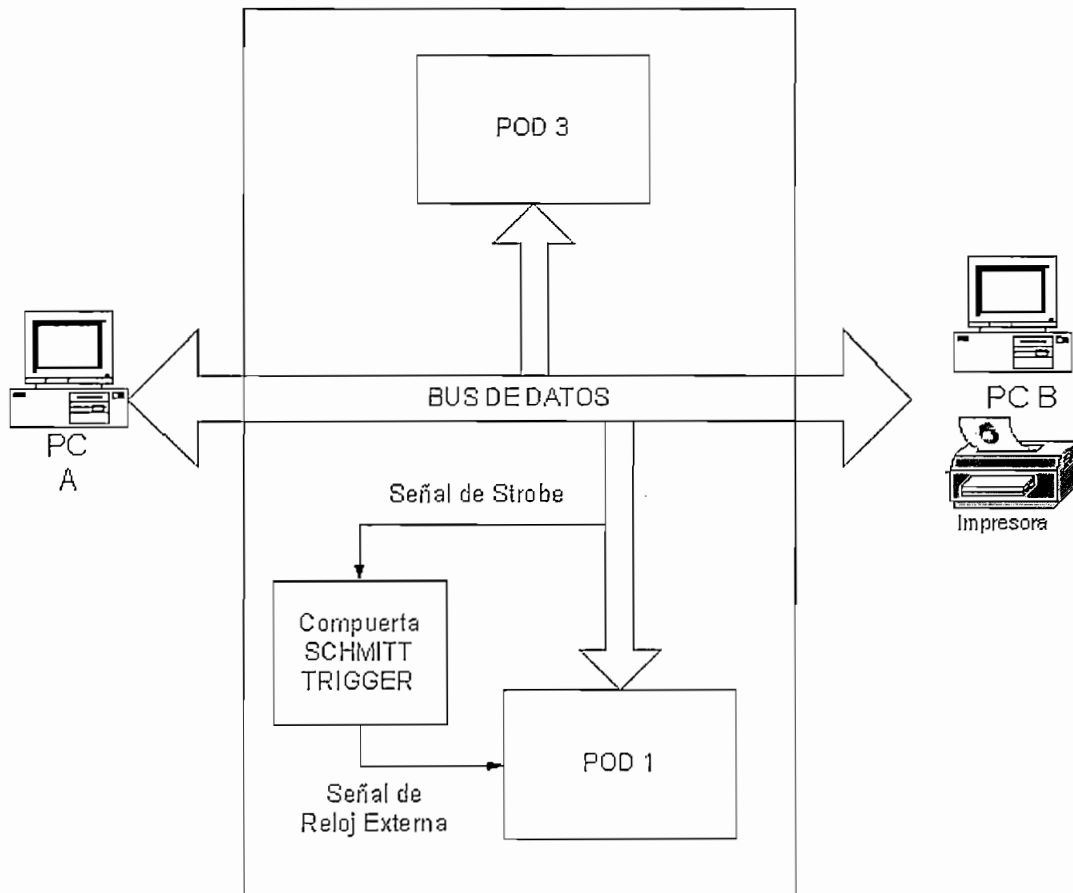


Figura 3.3 Diagrama de bloques de la Tarjeta para la adquisición de Datos del Interfaz Centronics y Comunicación PC a PC.

Las señales interceptadas, conectando la tarjeta de adquisición entre los dos periféricos, son las que ingresan a través de los conectores DB-25 hembra. Estos conectores están interconectados pin a pin, de tal forma que consista en un sistema abierto de adquisición.

A la vez, cada señal se conecta a una regleta, por la cual se exportan al Analizador Lógico. Bajo esta condición, las señales de Strobe, pasan primero por una etapa de doble negación a través de una compuerta 7414 (Not Schmitt Trigger), la que permite tener una transición de reloj mucho más vertical y evitar muestreos múltiples de un mismo estado.

La tarjeta incluye jumpers (puentes) para seleccionar el reloj externo de muestreo del Analizador de Estados según la aplicación, ya sea para la comunicación a través del Interfaz Centronics o para la comunicación PC a PC por el Puerto Paralelo.

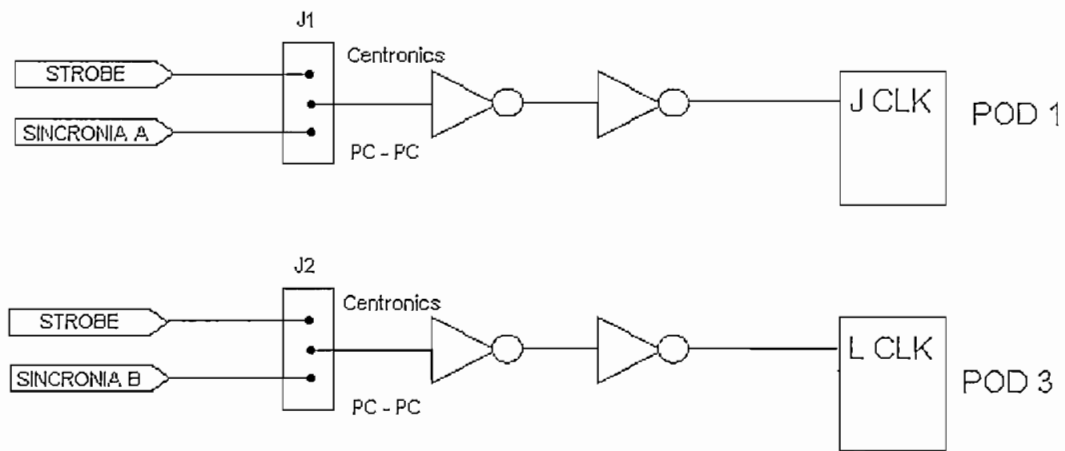


Figura 3.4 Esquema para selección de Reloj Externo de muestreo.

3.1.4 CIRCUITO ESQUEMÁTICO DE LA TARJETA DE ADQUISICIÓN DE DATOS PARA EL INTERFAZ CENTRONICS Y COMUNICACION PC A PC POR EL PUERTO PARALELO

En el Circuito Esquemático de la Figura 3.5 se presenta el diagrama de conexiones para la Tarjeta de Adquisición Datos para el Interfaz Centronics y Comunicación PC a PC por el Puerto Paralelo.

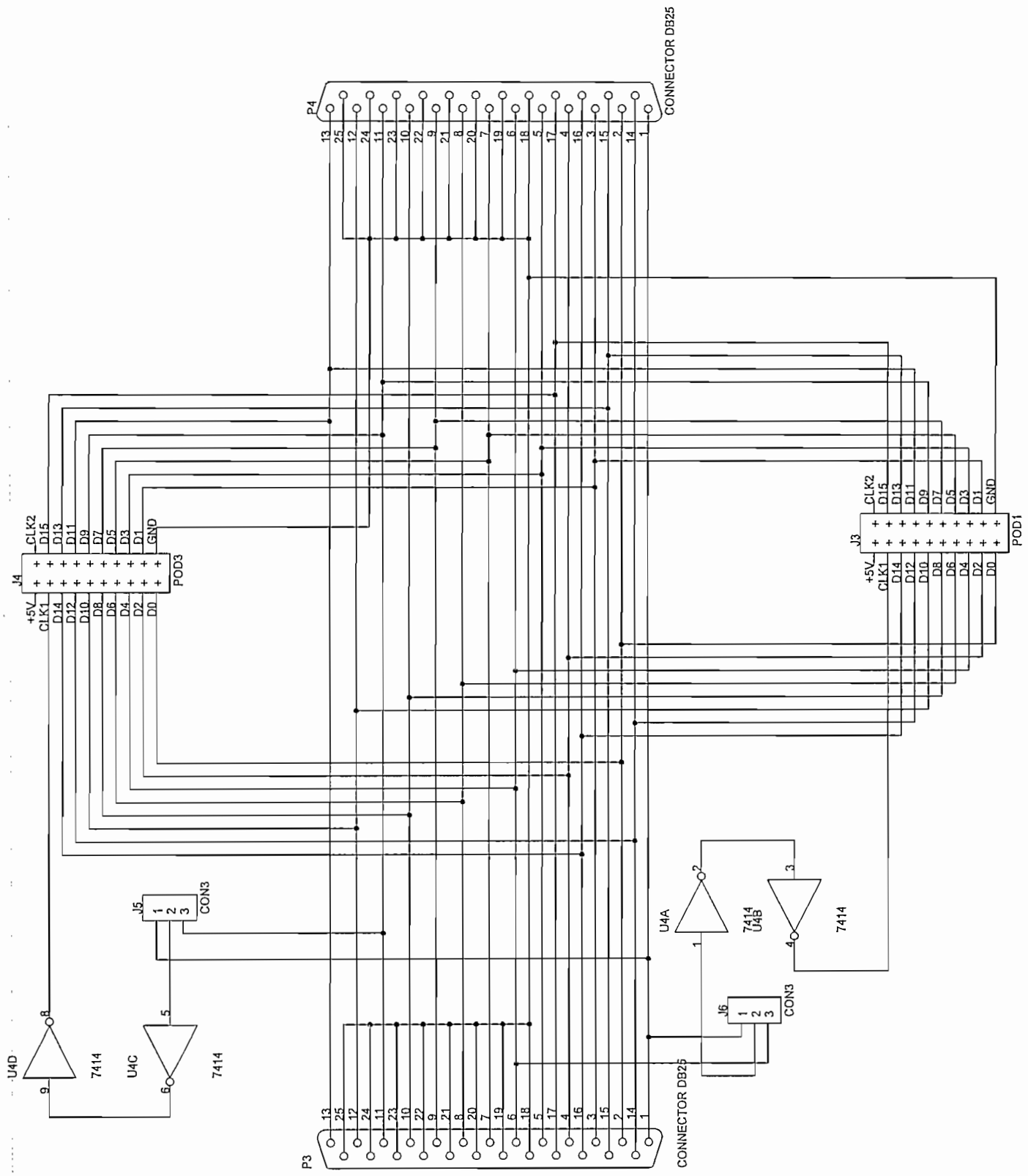
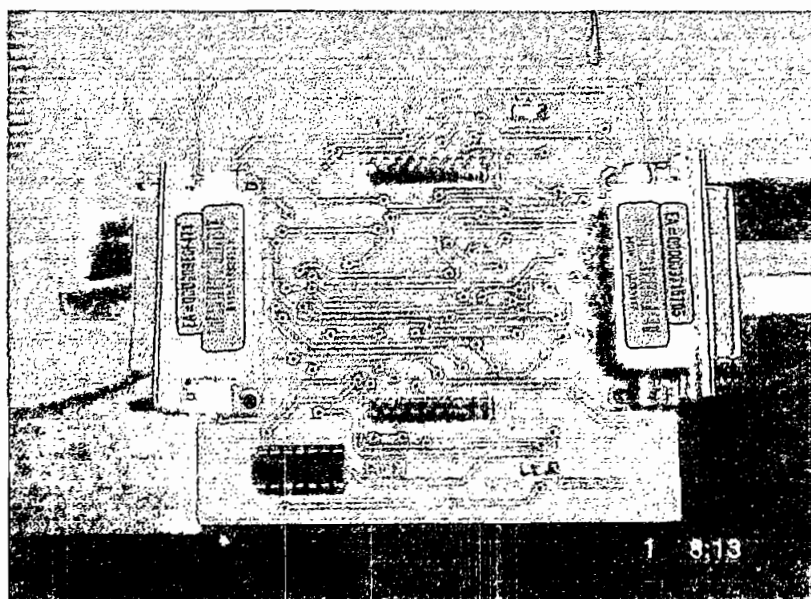


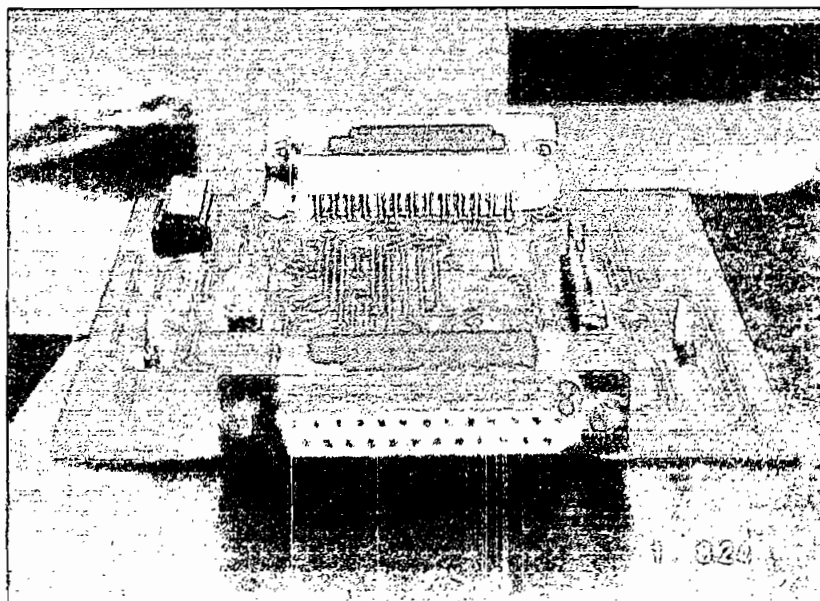
Figura 3.5 Circuito esquemático de la Tarjeta de Adquisición de datos para el interfaz Centronics y comunicación PC a PC por el puerto paralelo.

3.1.5 PRESENTACIÓN DE LA TARJETA DE ADQUISICIÓN DE DATOS PARA EL INTERFAZ CENTRONICS Y COMUNICACION PC A PC POR EL PUERTO PARALELO

A continuación se aprecia la Tarjeta de Adquisición de Datos elaborada para el Interfaz Centronics y Comunicación PC a PC por el Puerto Paralelo.



(a) Vista Superior



(b) Vista Frontal

Figura 3.6 Tarjeta de adquisición de datos para el interfaz Centronics y comunicación PC a PC por el puerto paralelo.

3.2 TARJETA DE ADQUISICION DE DATOS PARA EL INTERFAZ DE COMUNICACIONES RS-232

La Tarjeta de adquisición de datos para el Interfaz RS-232 permite mostrar en la pantalla del Analizador Lógico las señales más importantes de este estándar de comunicaciones, que son las que se encuentran en un conector DB9. Además se puede visualizar en el Analizador Lógico, los bits de datos transmitidos en forma serial como un bus de datos, facilitando la apreciación de los mismos. Las presentaciones de las señales pueden ser en:

- LISTA (formato ASCII, HEX, Binario o Símbolo definible por el usuario); ó,
- FORMA DE ONDA

Los datos muestreados podrán ser analizados:

- En el tiempo (Timing Analyzer).
- Por Estados, según la señal de validación STROBE (State Analyzer).
- Por mezcla de estados y tiempos (Opción Mixed Display del Analizador Lógico),

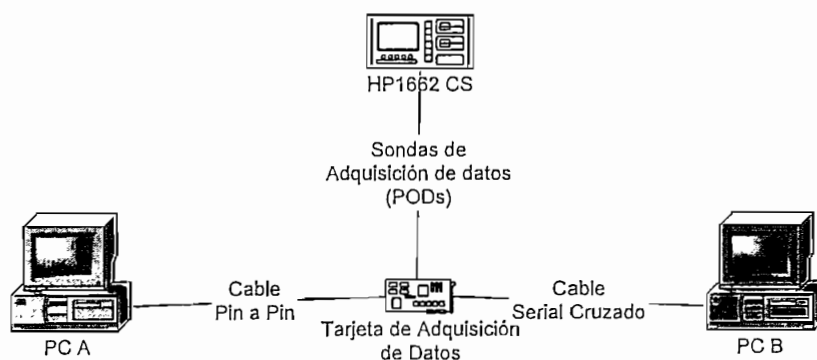


Figura 3.7 Esquema de conexión de la Tarjeta de Adquisición de Datos para el Interfaz RS-232

Para la conexión de la Tarjeta de Adquisición de Datos para el Interfaz RS-232 se dispone de dos conectores DB9 hembra, cada uno sirve para conectar la tarjeta hacia cada computador (PC A y PC B). En la conexión hacia el PC A se usa un cable pin a pin con conectores DB9 en sus extremos, mientras que para la conexión hacia el PC B se usa el cable cruzado para comunicación null módem (full handshake) que se mencionó en el capítulo anterior. Las señales a ser analizadas son llevadas al analizador a través de los PODs, numerados POD 1 y POD 3.

3.2.1 DISEÑO Y CONSTRUCCIÓN

En el Interfaz RS-232 las señales de interés son: TD, RD, RTS, CTS, DSR, SG, CD, DTR y RI, cuyas funciones se mencionaron en el Capítulo 2.

La Tarjeta de Adquisición de Datos va conectada entre los equipos destinatarios de la información, de tal forma que intercepta las señales que se transmiten a través del cable de comunicaciones. Las señales que viajan desde y hacia cada computador entran a la Tarjeta de Adquisición a través de conectores DB9 Hembras que se encuentran interconectados pin a pin.

Para conseguir una buena apreciación de los datos se utiliza un microcontrolador de la serie Atmel (AT89C1051U) que realiza la conversión serie-paralelo de la señal transmitida por el computador, la que previamente pasa por el convertidor de nivel RS-232/TTL que se explica luego. Así también con la ayuda de interruptores DIP de 4 bits se pueden variar los parámetros de la comunicación del microcontrolador (velocidad, paridad, bits de datos), que dependerán de los valores configurados en cada computador.

Además el microcontrolador generará la señal de validación de datos paralelos, que se convierte en la señal de reloj externo de muestreo del Analizador de

Estados después de pasar por dos etapas de negación a través de la compuerta 7414 que es un inversor Schmitt Trigger.

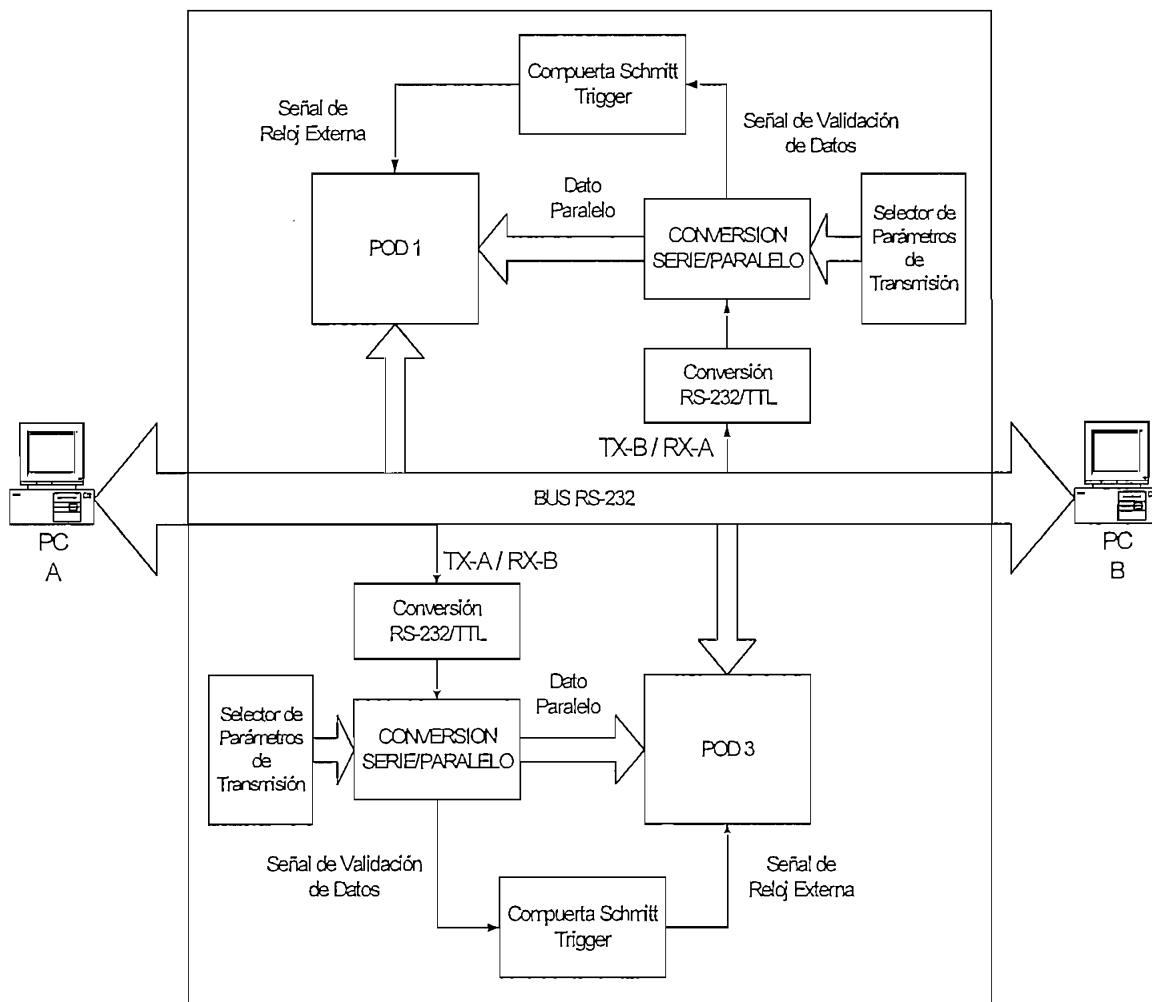


Figura 3.8 Diagrama de bloques de la Tarjeta para la Adquisición de Datos del Interfaz RS-232

Tanto las señales en nivel TTL (datos paralelos) como las Señales del conector DB9 van al Puerto de Adquisición donde el Analizador Lógico toma las señales para su presentación.

Debido a que la comunicación puede ser full dúplex se utiliza un circuito espejo para la comunicación en el sentido opuesto.

3.2.1.1 Circuito Driver RS-232/TTL*

Para evitar daños a la entrada serial del microcontrolador se usa el circuito mostrado en la Figura 3.9, que funciona correctamente para circuitos de rango corto.

El transistor Q1 invierte el nivel y convierte voltajes RS-232 a niveles TTL. La entrada RS-232 maneja la base del transistor Q1. El resistor RB limita la corriente en la base de Q1. El diodo D1 protege a Q1 limitando su voltaje de base a $-0.7V$ cuando la entrada RS-232 se hace negativa. Cuando la entrada RS-232 está en 0 o bajo los cero voltios (0 V), Q1 está cortado y RC lleva la salida de la señal a un nivel alto. Cuando la entrada RS-232 es positiva, Q1 se satura, llevando la salida de la señal a un nivel bajo.

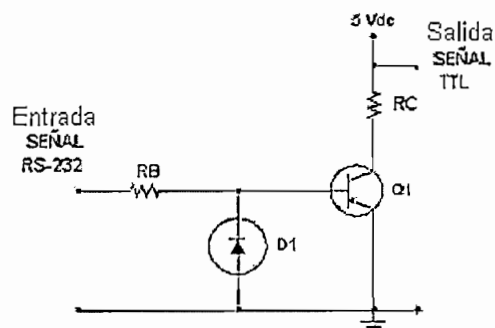


Figura 3.9 Circuito esquemático del Driver RS-232/TTL.

Para el diseño. Si se asume una corriente $I_{Csat} = 5 \text{ mA}$:

$$I_{Csat} = \frac{V_{CC}}{R_C}$$

$$R_C = \frac{V_{CC}}{I_{Csat}} = \frac{5 \text{ V}}{5 \text{ mA}}$$

$$R_C = 1 \text{ K}\Omega$$

En la saturación:

$$I_B \cong \frac{I_{Csat}}{\beta_{sat}} = \frac{5 \text{ mA}}{10} = 500 \mu\text{A}$$

* Serial Port Complete, Jan Axelson.

También:

$$I_B = \frac{V_I - V_{BE}}{R_B}$$

Para asegurar la saturación se debe cumplir:

$$\frac{V_I - V_{BE}}{R_B} > 500 \mu A$$

Despejando R_B :

$$R_B < \frac{V_I - V_{BE}}{500 \mu A}$$

$$R_B < \frac{15 V - 0.5 V}{500 \mu A}$$

$$R_B < 29000 \Omega$$

Haciendo:

$$R_B = \frac{29000}{10} \Omega$$

$$R_B = 2900 \Omega$$

Escogiendo valores estándares: $R_B = 3.3 K\Omega$ y $R_C = 1 K\Omega$; se tiene:

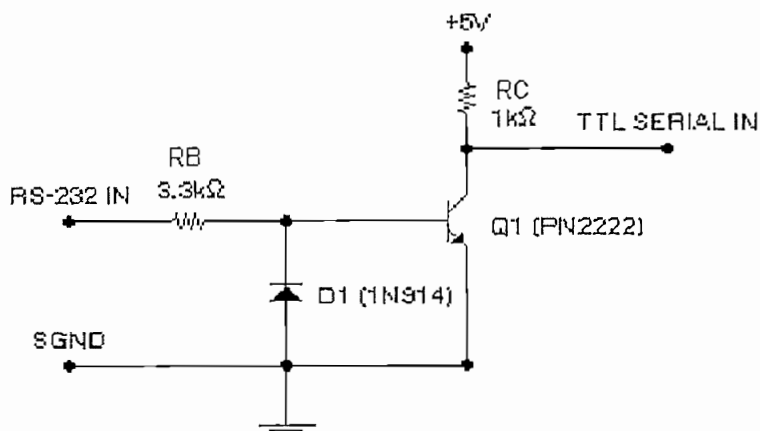


Figura 3.10 Circuito Driver RS-232/TTL con valores estándar.

3.2.2 CIRCUITO ESQUEMÁTICO DE LA TARJETA DE ADQUISICIÓN DE DATOS PARA EL INTERFAZ RS-232

En el Circuito Esquemático de la Figura 3.11 se presenta el diagrama de conexiones para la Tarjeta de Adquisición Datos del Interfaz RS-232.

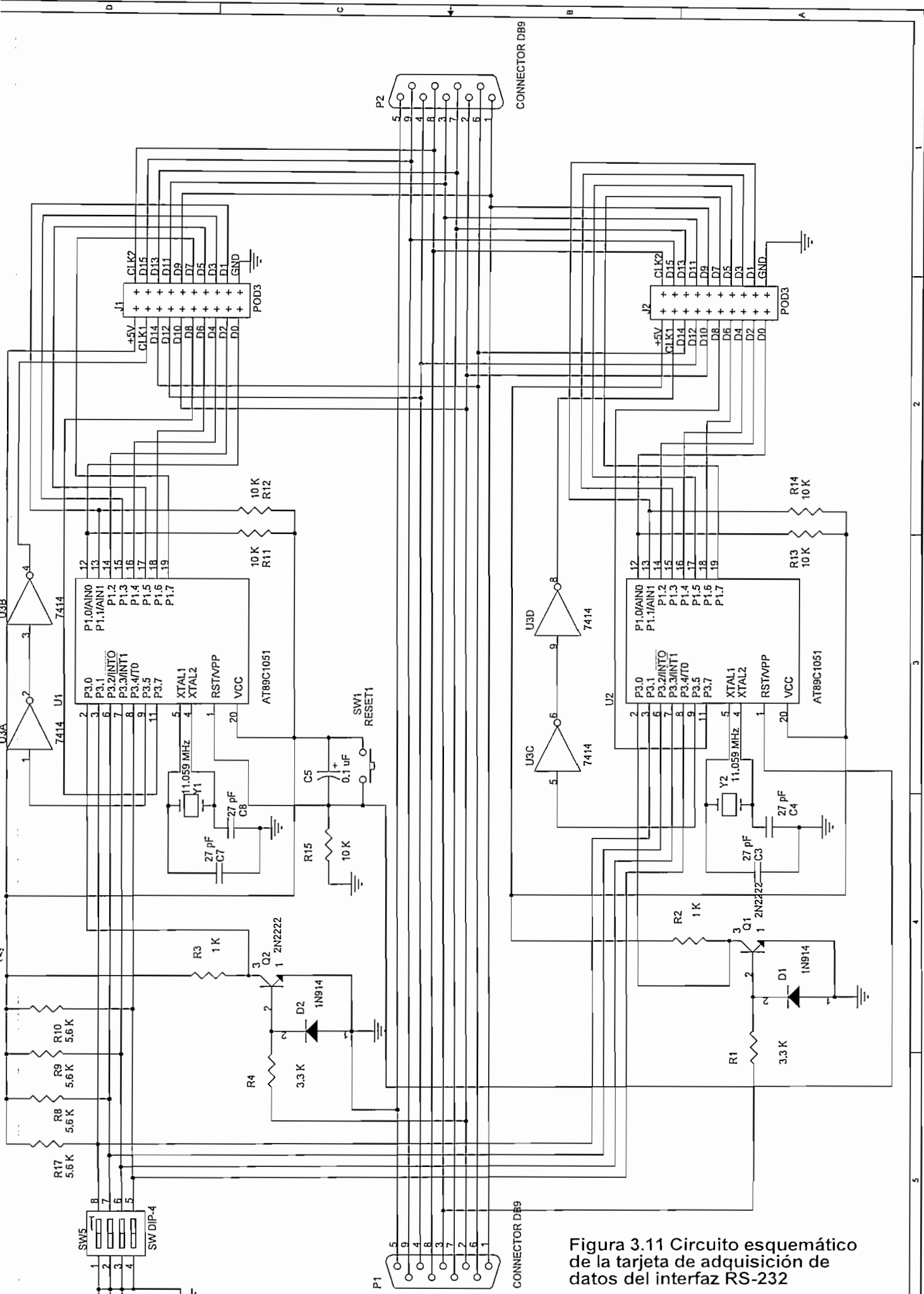
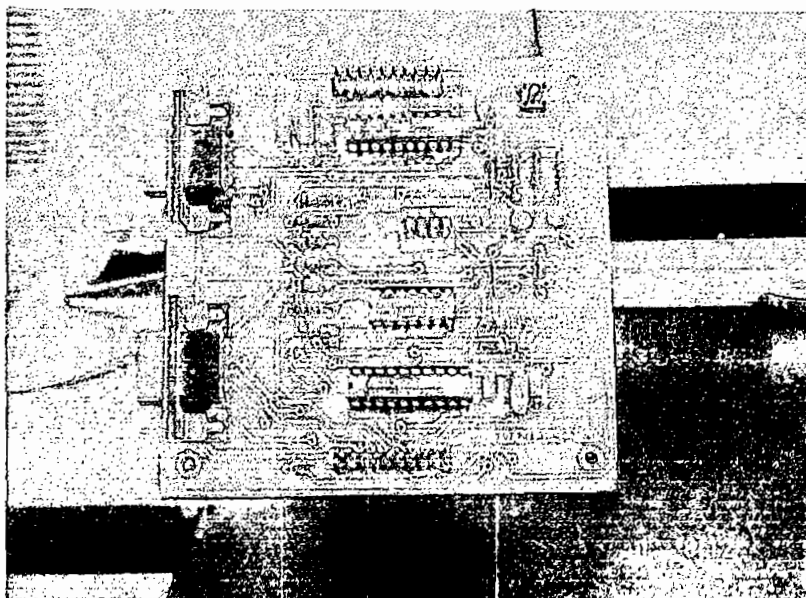


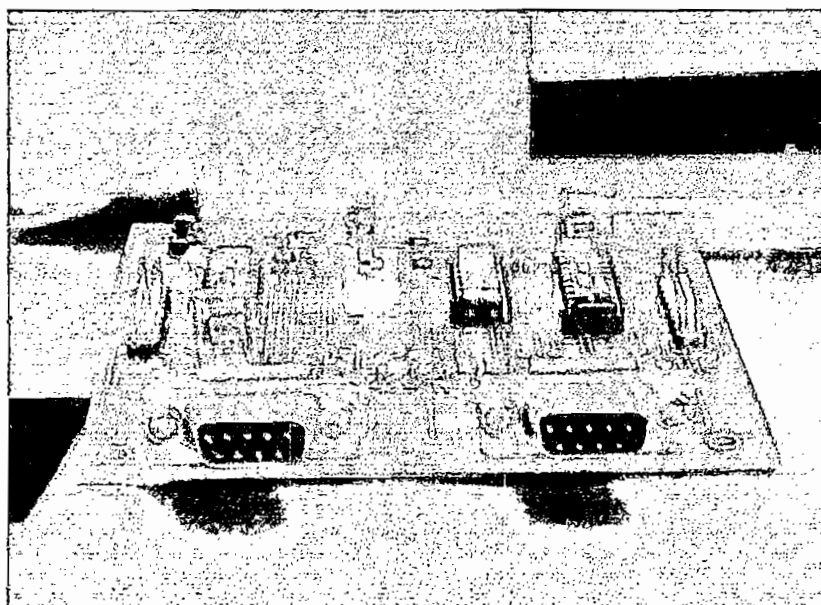
Figura 3.11 Circuito esquemático de la tarjeta de adquisición de datos del interfaz RS-232

3.2.3 PRESENTACION DE LA TARJETA DE ADQUISICIÓN DE DATOS PARA EL INTERFAZ RS-232

A continuación se aprecia la Tarjeta de Adquisición de Datos elaborada para el Interfaz RS-232 (Figura 3.12).



(a) Vista Superior



(b) Vista Frontal

Figura 3.12 Tarjeta de adquisición de datos del interfaz RS-232

3.3 TARJETA DE ADQUISICION DE DATOS PARA EL INTERFAZ DE COMUNICACIONES RS-485/422

La Tarjeta de adquisición de datos para el Interfaz RS-485, que también se la podrá usar para un interfaz RS-422 permite mostrar en la pantalla del Analizador Lógico las señales de transmisión y las señales de recepción. También se podrá analizar, los bits de datos transmitidos en forma serial tanto bit a bit o como un bus de datos (representación paralela). La presentación de los datos será en:

- LISTA (formato ASCII, HEX, Binario o Símbolo definible por el usuario); ó,
- FORMA DE ONDA

Los datos muestreados podrán ser analizados:

- En el tiempo (Timing Analyzer).
- Por Estados, según la señal de validación STROBE (State Analyzer).
- Por mezcla de estados y tiempos (Opción Mixed Display del Analizador Lógico)

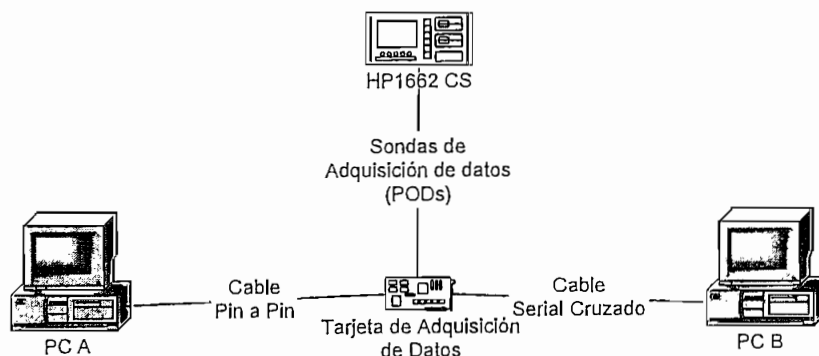


Figura. 3.13 Esquema de conexión de la Tarjeta de Adquisición de Datos para el Interfaz RS-485/422

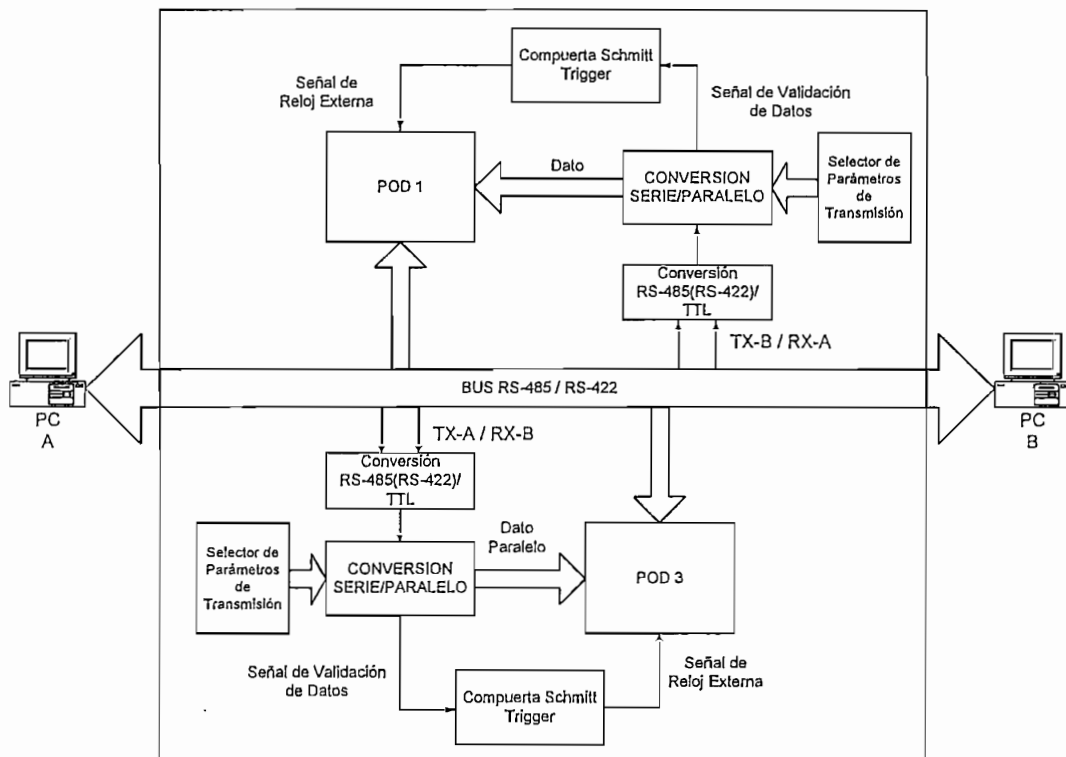


Figura 3.15 Diagrama de bloques de la Tarjeta para la Adquisición de Datos del Interfaz RS-485

Finalmente, las señales TTL y las RS-485 salen hacia el Analizador Lógico a través del Puerto de Adquisición.

Cuando la tarjeta es utilizada para la Adquisición de Datos en un interfaz RS-422, la comunicación es full dúplex, por lo tanto se necesita de dos pares de líneas para la comunicación en ambos sentidos (un par adicional en comparación con el RS-485), de igual forma que en el RS-232, se tienen circuitos espejo para ambas direcciones de comunicación.

3.3.2 CIRCUITO ESQUEMÁTICO DE LA TARJETA DE ADQUISICIÓN DE DATOS PARA EL INTERFAZ RS-485/422

La Figura 3.16 muestra el diagrama de conexiones para la Tarjeta de Adquisición Datos para el Interfaz RS-485/422.

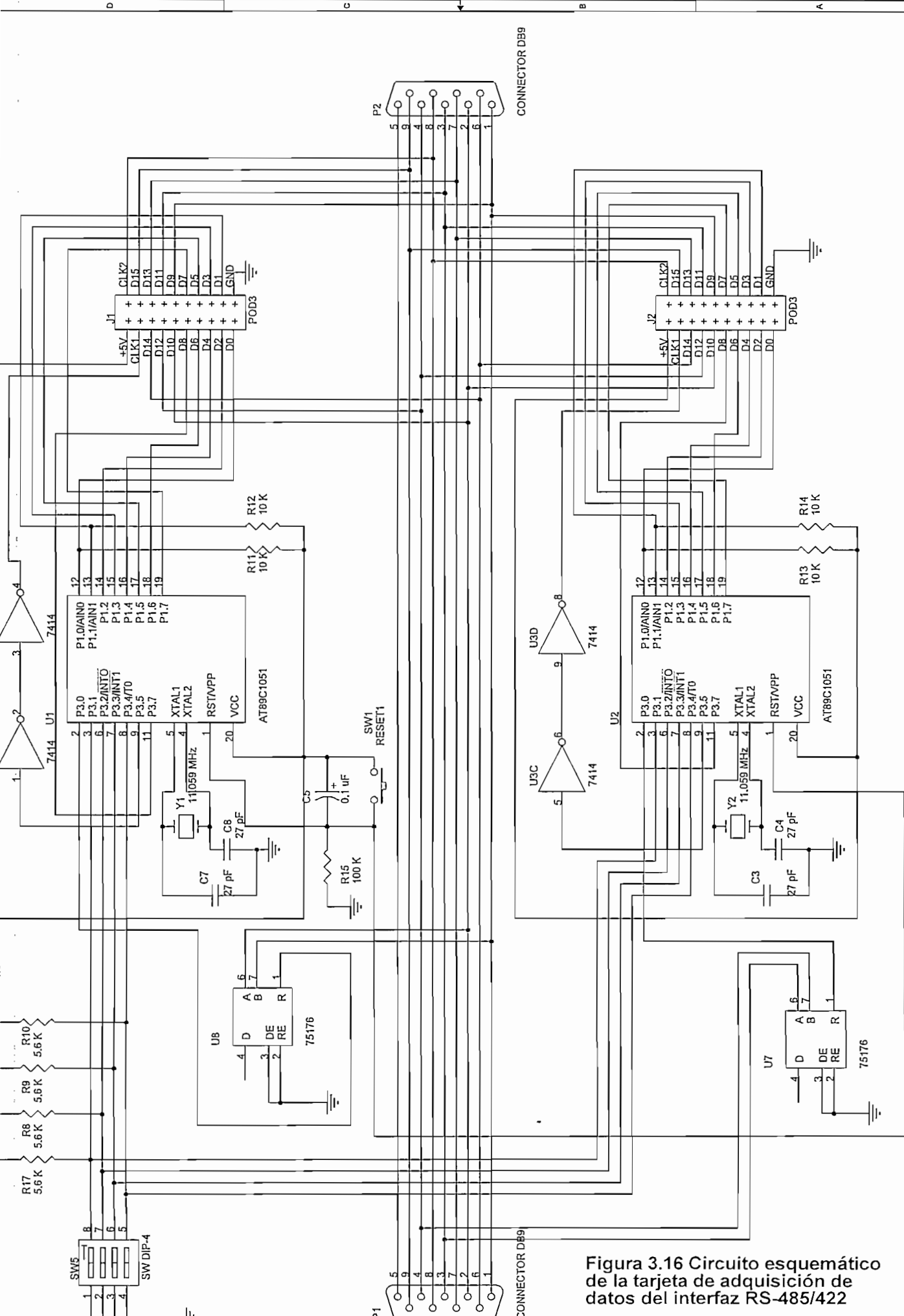
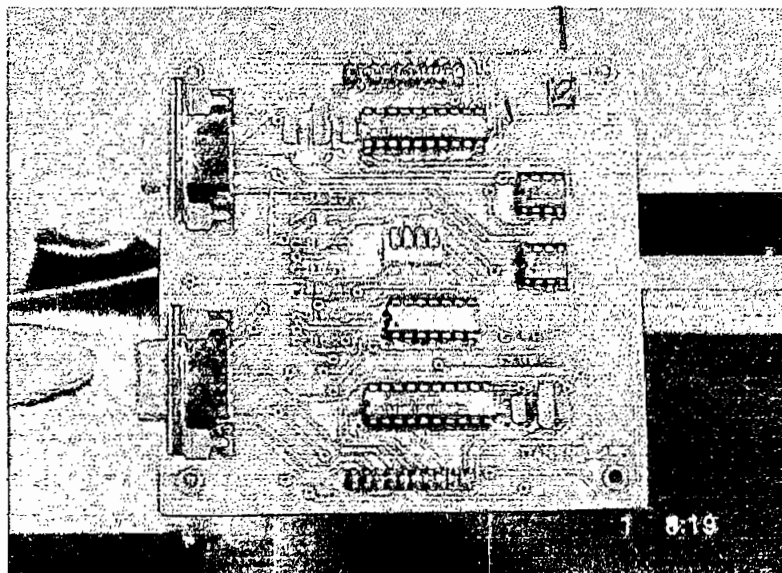


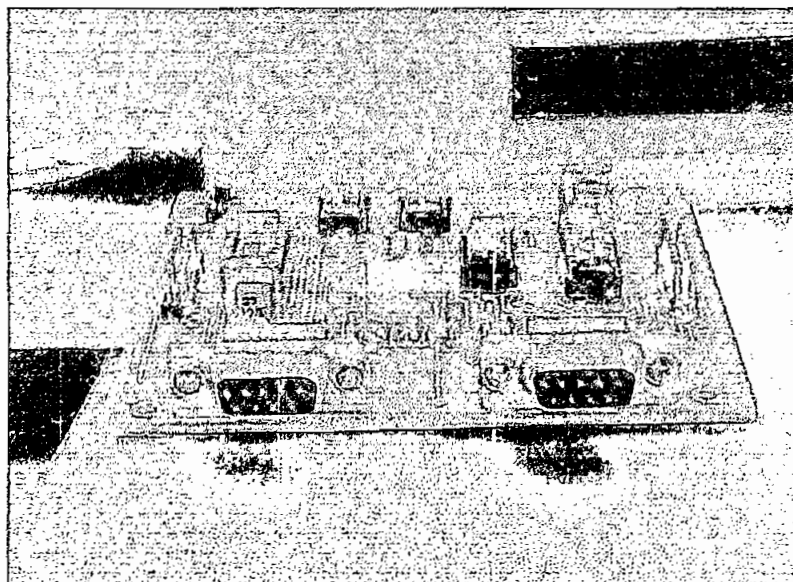
Figura 3.16 Circuito esquemático de la tarjeta de adquisición de datos del interfaz RS-485/422

3.3.3 PRESENTACION DE LA TARJETA DE ADQUISICIÓN DE DATOS PARA EL INTERFAZ RS-485/422

En seguida se presenta la Tarjeta de Adquisición de Datos elaborada para el Interfaz RS-485/422 (Figura 3.17).



(a) Vista Superior



(b) Vista Frontal

Figura 3.17 Tarjeta de adquisición de datos del interfaz RS-485/422

3.4 TARJETA DE ADQUISICION DE DATOS PARA EL INTERFAZ DE TECLADO AT.

La Tarjeta de adquisición de datos para el Interfaz de Teclado AT permite mostrar en la pantalla del Analizador Lógico las señales usadas en la comunicación entre un Teclado AT y el Computador. Se puede visualizar en el Analizador Lógico, los bits de datos transmitidos en forma serial u observar el dato paralelo de manera tal que facilita la comprensión del protocolo de comunicación. La presentación de los datos será en:

- LISTA (formato ASCII, HEX, Binario o Símbolo definible por el usuario); ó,
- FORMA DE ONDA

Los datos muestreados podrán ser analizados:

- En el tiempo (Timing Analyzer).
- Por Estados, según la señal de validación STROBE (State Analyzer).
- Por mezcla de estados y tiempos (Opción Mixed Display del Analizador Lógico)

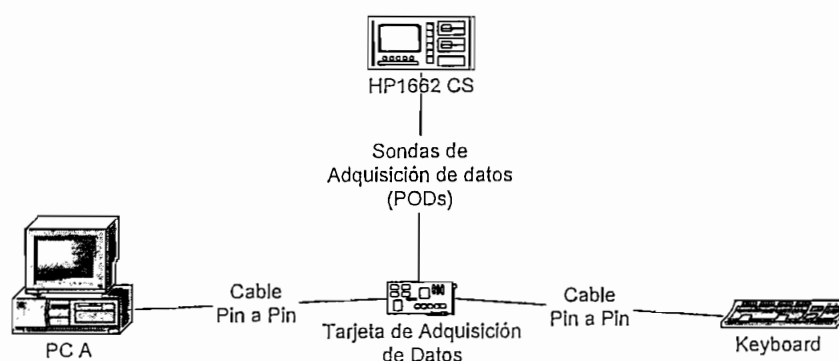


Figura. 3.18 Esquema de conexión de la Tarjeta de Adquisición de Datos para el Interfaz de Teclado AT

La tarjeta de adquisición de datos se conecta al computador y al teclado a través de dos cables pin a pin con terminales mini DIN (PS/2). EL conector PS/2 dispone de seis terminales para conexión pero es suficiente la conexión de los cuatro hilos que se utilizan en este interfaz (Vcc, GND, KBDCLK y KBDDAT), cuya distribución se presentó en el capítulo anterior.

3.4.1 DISEÑO Y CONSTRUCCIÓN

El Interfaz de Teclado AT maneja cuatro señales TTL: Vcc, GND, KBDCLK y KBDDATA. La Tarjeta de Adquisición de Datos para el Interfaz de Teclado AT, intercepta estas 4 señales. Los datos transmitidos a través de KBDDATA se sincronizan con la señal enviada por KBDCLK.

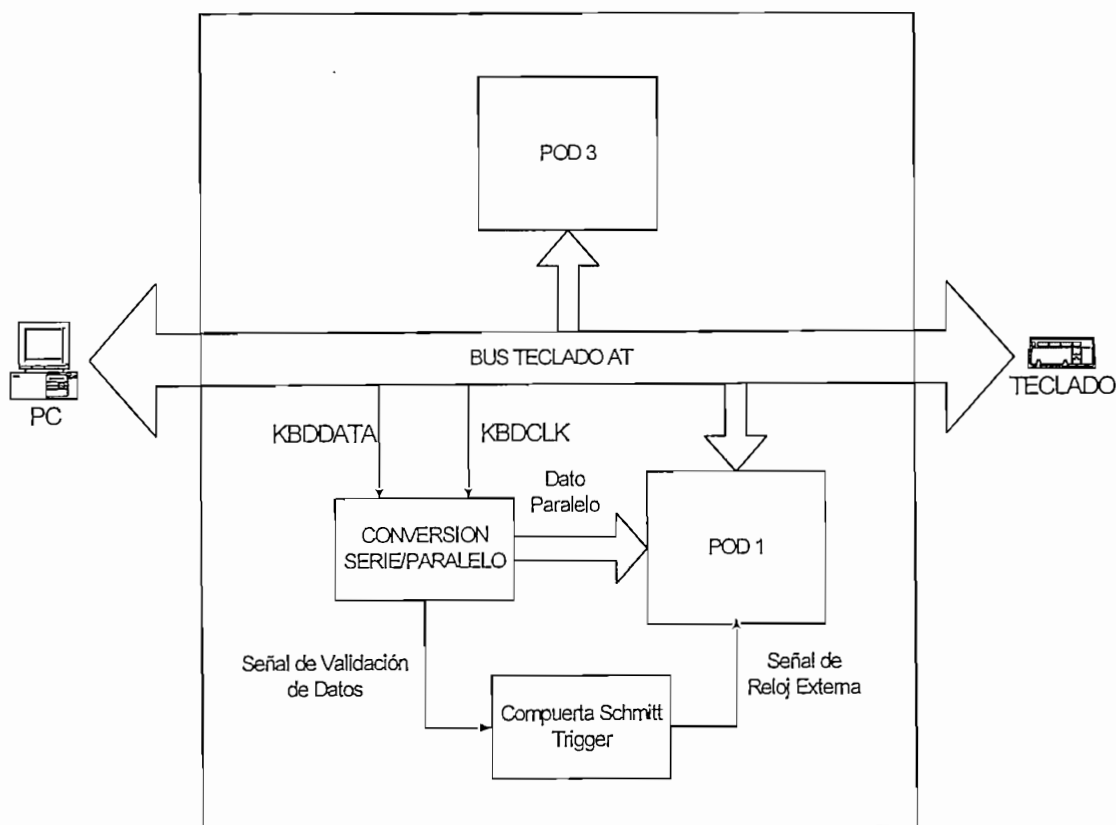


Figura 3.19 Diagrama de bloques de la Tarjeta para la Adquisición de Datos del Interfaz de Teclado AT

Como se mencionó anteriormente, para tener una mejor apreciación del protocolo de comunicaciones entre el Teclado AT y el computador se hace uso del microcontrolador AT89C1051U, que realiza la conversión de datos serie a paralelo, entrando la línea de datos (KBDATA) por el pin P3.4 y la señal de sincronización de datos (KBDCLK) por el pin P3.2 (INT0).

El microcontrolador una vez que ha realizado la conversión de datos seriales a paralelo da una señal de validación de los datos. Señal que luego de pasar por dos etapas en la compuerta 7414 (NOT Schmitt Trigger) pasa a ser la señal de Reloj de muestreo externo del Analizador de Estados.

Para conseguir el análisis de las señales en estados y en tiempo, tanto los datos paralelos (conversión serie/paralelo) como datos seriales (Interfaz de teclado AT), son llevadas al Puerto de Adquisición, por donde se envían hacia el Analizador Lógico.

3.4.2 CIRCUITO ESQUEMÁTICO DE LA TARJETA DE ADQUISICIÓN DE DATOS PARA EL INTERFAZ DE TECLADO AT

La Figura 3.20 muestra el diagrama de conexiones para la Tarjeta de Adquisición Datos para el Interfaz de Teclado AT.

En esta tarjeta se hace uso de un conector PS/2 doble, que generalmente viene en la tarjeta madre genérica (Mother Board) de los computadores que manejan las nuevas plataformas pentium, debido a que en el mercado es difícil encontrar conectores PS/2 para tarjetas.

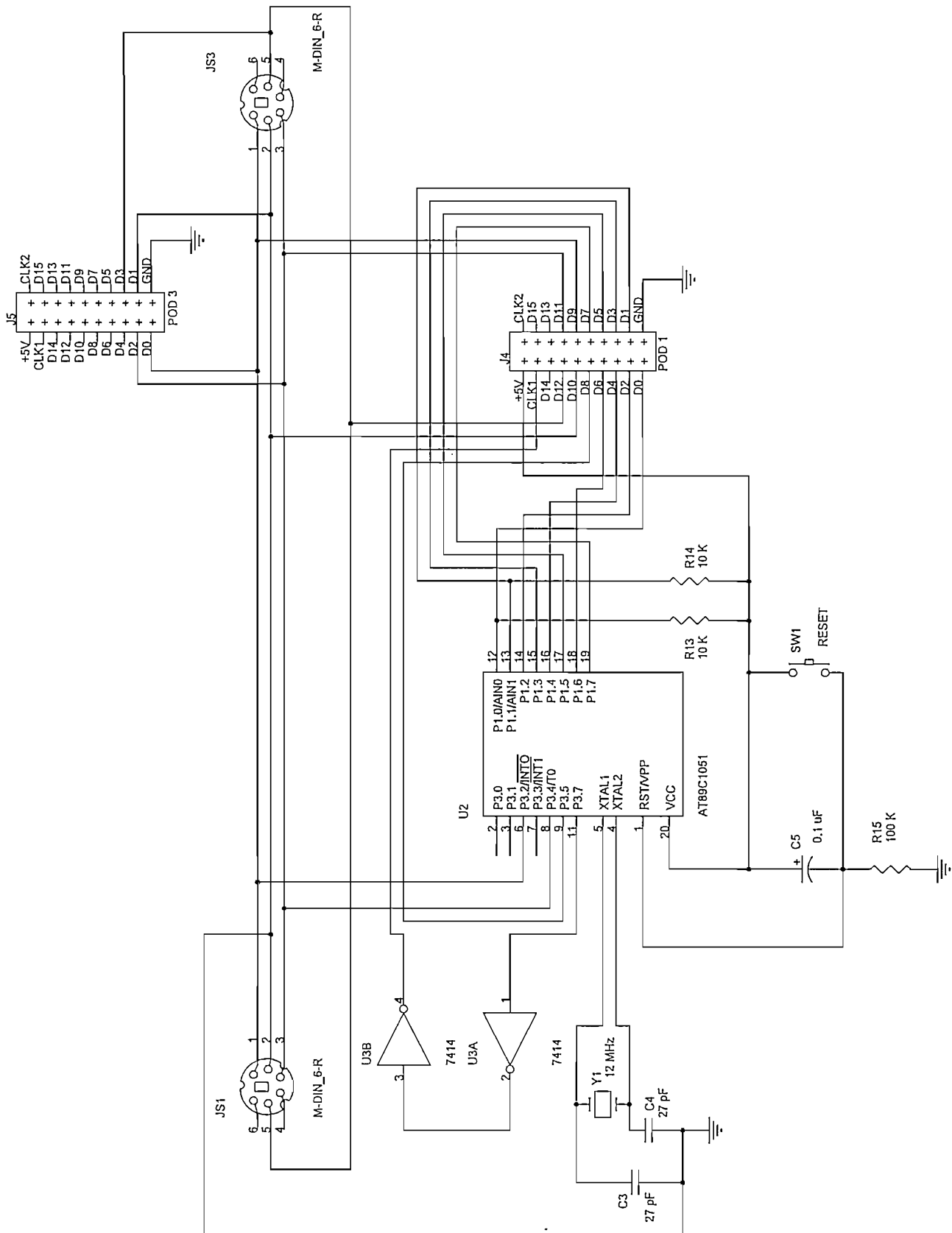
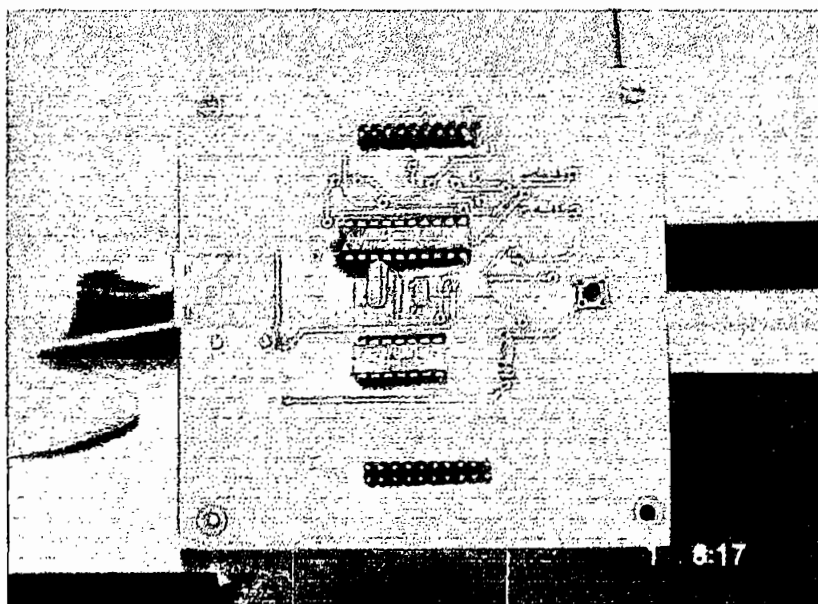


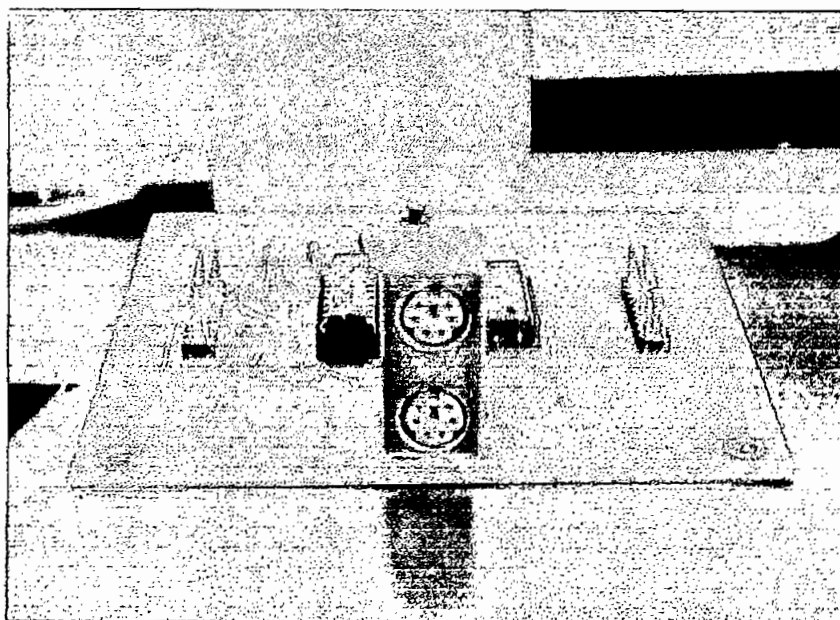
Figura 3.20 Circuito esquemático de la tarjeta de adquisición de datos del interfaz de teclado AT.

3.4.3 PRESENTACION DE LA TARJETA DE ADQUISICIÓN DE DATOS PARA EL INTERFAZ DE TECLADO AT

En seguida se presenta la Tarjeta de Adquisición de Datos elaborada para el Interfaz de Teclado AT (Figura 3.21).



(a) Vista Superior



(b) Vista Frontal

Figura 3.21 Tarjeta de adquisición de datos del interfaz de teclado AT.

3.5 ADAPTADOR DE TERMINACIÓN DE 100 KOHM

El Analizador Lógico debe tener una terminación apropiada para operar correctamente. Así, para conectar directamente el Analizador Lógico a las tarjetas de adquisición de datos, se debe hacer uso del adaptador de terminación de 100 kHOHM, este adaptador está diseñado para ser conectado a un puerto de 20 pines (2x10). Después de seleccionar el cable apropiado del analizador lógico, se alinea la marca al final del mismo con el canal del adaptador y se los conecta entre sí.

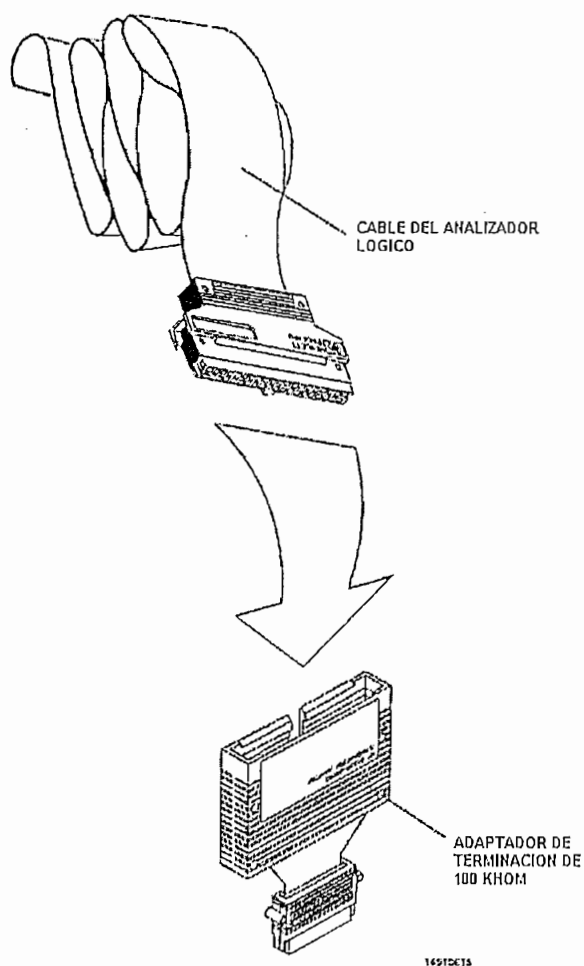


Figura 3.22 Conexión del adaptador de terminación de 100 kHOM con cable del Analizador Lógico .

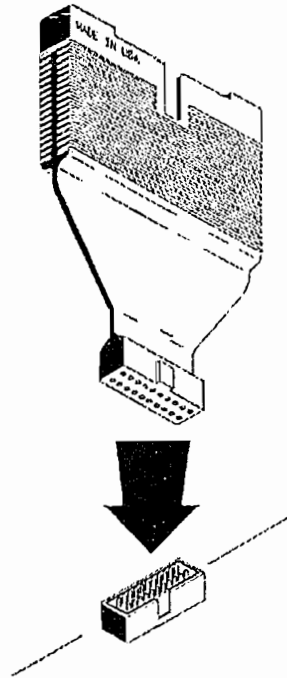


Figura 3.23 Conexión del adaptador de terminación de 100 kΩ con el adecuado conector.

3.5.1 CARACTERÍSTICAS ELÉCTRICAS DEL ADAPTADOR DE TERMINACIÓN DE 100 kΩ.

El adaptador tiene una impedancia de entrada aproximada de 12 pF en paralelo con 100 kΩ.

En la figura 3.24 se muestra la carga equivalente para cada entrada del adaptador de terminación de 100 kΩ cuando el Analizador Lógico se conecta al circuito de prueba.

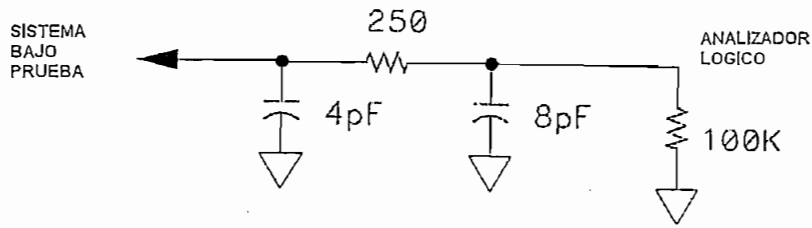
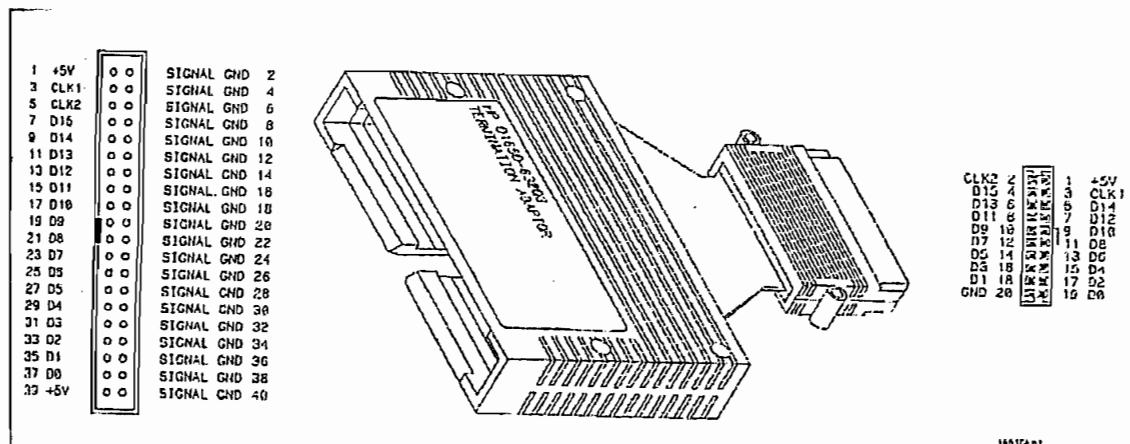


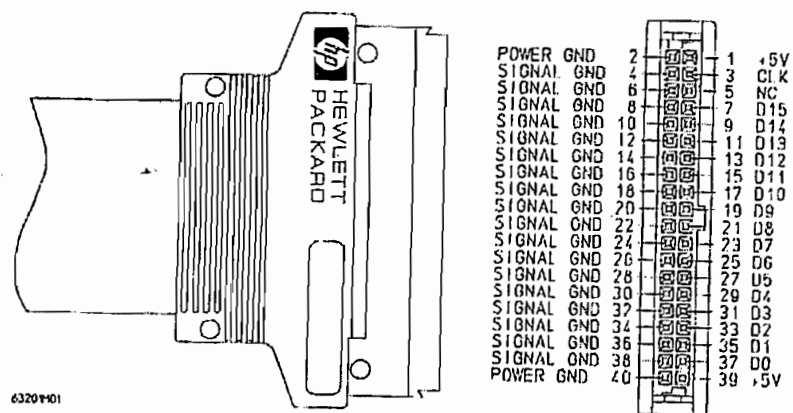
Figura 3.24 Carga equivalente.

3.5.2 DISTRIBUCION DEL ADAPTADOR DE TERMINACION DE 100 KHOM.

El adaptador de terminación permite tener de los 40 pines del cable del Analizador Lógico solo 20, los cuales son los más utilizados. En la figura 3.25 se muestra las señales del cable del Analizador Lógico y su correspondencia en el Adaptador de Terminación de 100 kHOM.



(a) Pines del adaptador de terminación de 100 kHOM.



(b) Pines del cable del Analizador Lógico.

Figura 3.25 Pines del cable del Analizador Lógico y su correspondencia con los pines del adaptador de terminación de 100 kOHM.

CAPITULO

4

CAPITULO 4: SOFTWARE PARA LA ADQUISICIÓN DE DATOS

Los procedimientos de configuración, para el análisis del tiempo, estados y mezcla de estados con tiempo, seguidos en cada interfaz son los mismos, con diferencia en los nombres de las etiquetas y la asignación de bits, por lo que en las siguientes secciones, solo para el interfaz Centronics se detallará cada procedimiento de configuración, y para los demás casos no se dará descripción en detalle de los procedimientos, sino que se presentarán las pantallas de configuración de cada interfaz con las observaciones necesarias.

4.1 CONFIGURACIÓN DEL ANALIZADOR LÓGICO HP 1662CS PARA LA ADQUISICIÓN DE DATOS DEL INTERFAZ CENTRONICS Y COMUNICACIÓN PC A PC POR EL PUERTO PARALELO

4.1.1 CONFIGURACIÓN DEL ANALIZADOR LÓGICO PARA EL ANÁLISIS EN EL TIEMPO DEL INTERFAZ CENTRONICS.

El análisis del tiempo es adquisición y almacenamiento de datos a intervalos iguales de tiempo. Cuando se hace análisis en el tiempo se debe configurar al analizador lógico en modo de tiempo (type = timing). El intervalo del analizador de tiempo es controlado por un reloj interno del analizador. La configuración del Analizador de tiempos se hace en el menú Analyzer Configuration (Figura 4.1). En este caso el Analizador 1 (Analyzer 1) será el analizador de tiempo. En el campo tipo (Type) se escoge la opción Tiempo (Timing).

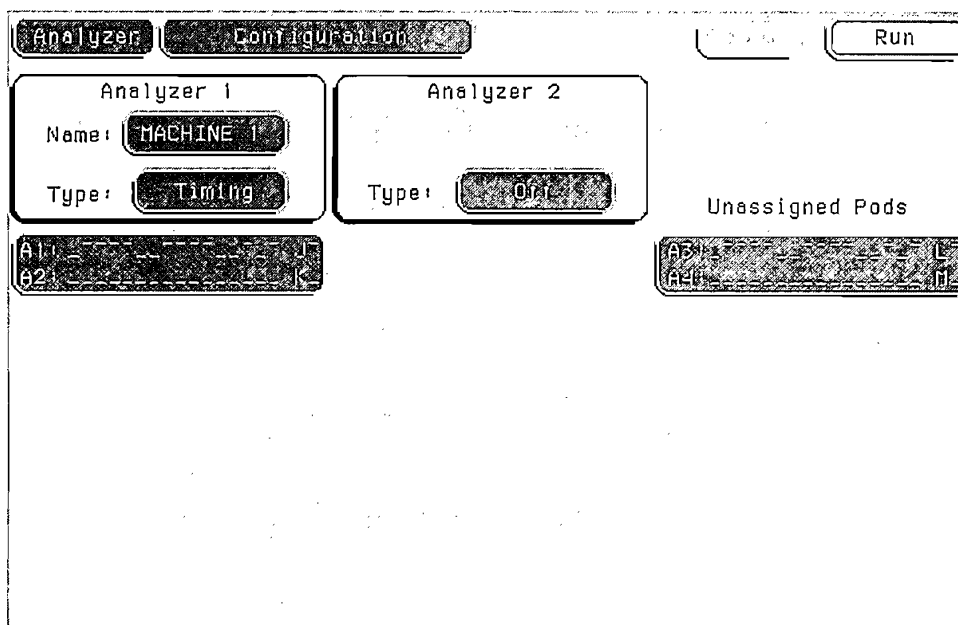


Figura 4.1 Configuración del Analizador Tiempos

Debido a que por defecto el pod 1 (A1) ya se encuentra asignado, no es necesario realizar la asignación de pods. Para esta configuración solo se usa un analizador de tiempo, por lo tanto el Analizador 2 se encuentra apagado (Analyzer 2 = off).

El siguiente paso y para tener una mejor apreciación de los datos es cambiar el nombre de las etiquetas (Labels), las cuales llevarán una respectiva concordancia con el o los bits que representan y con el circuito impreso diseñado. El cambio de etiquetas se lleva a cabo en el menú Formato del Analizador MAQUINA 1 (Analyzer Format MACHINE 1) como indica la Figura 4.2. La secuencia es la siguiente: se presiona la tecla de menú *Formato* (Format), usando las teclas de desplazamiento se posiciona sobre Lab1 (etiqueta 1), por ejemplo, se digita el nuevo nombre de la etiqueta usando el teclado del panel frontal del analizador, finalmente se presiona *Done*.

El nombre de las etiquetas y el bit o conjunto de bits asignados, es según el diseño del circuito impreso que se resume en la Tabla 4.1. La asignación de los bits activos del pod A1 se lo hace en el mismo menú Analyzer Format MACHINE 1, usando las teclas de desplazamiento se posiciona en el campo que muestra los

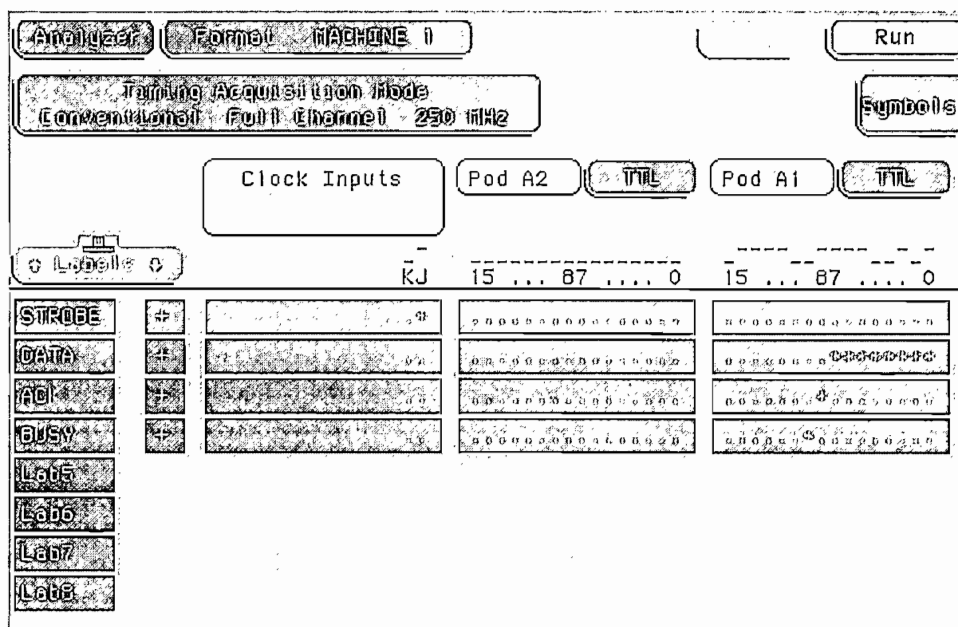


Figura 4.2 Asignación de Etiquetas.

16 canales del Pod A1 (al final del lado derecho del nombre de la etiqueta) y se presiona la tecla *Select*. Si se presiona la tecla de *borrar entradas* (clear entry) se borran los bits que se encuentren asignados por defecto. Usando la perilla se posiciona sobre el bit que se quiere asignar a la etiqueta, para asignarlo se presiona la tecla ↑ (flecha hacia arriba) luego de lo cual aparece un asterisco (*) para indicar que el bit ha sido asignado.

ETIQUETA		BIT
ANTERIOR	NUEVA	DEL POD1
Lab1	STROBE	J-Clock
Lab2	DATA	7-0
Lab3	ACK	8
Lab4	BUSY	9

Tabla 4.1 Etiquetas para el Análisis del Interfaz Centronics.

Para que el analizador capture los datos deseados, es necesario definir términos de disparo para decir al analizador cuando empezar a grabar los datos. En este caso el disparo se hará una vez que el analizador detecte que STROBE = 0 ha ocurrido una vez (la primera vez que exista un dato válido), esto se efectúa en el menú Analyzer Trigger MACHINE 1 (Figura 4.3), bajo STROBE se escoge el campo a la derecha del término "a", se digita 0 y se presiona la tecla *Done*. El término que define esta condición es el término de disparo "a", que determina únicamente el valor de la etiqueta STROBE = 0 (el resto de etiquetas con valor lógico "no importa").

Una vez definido el término de disparo se especifica la secuencia de disparo. En el mismo menú Analyzer Trigger MACHINE 1 se escoge el campo 1 en el cuadro de Niveles de Secuencia de Tiempo (Timing Sequence Levels), en el menú que aparece se escoge el campo a la derecha del *Trigger On* y se presiona *Select*, se selecciona el término "a" y se presiona *Done*. A la derecha del campo ">" con la perilla se selecciona la duración del patrón en 4 us. (Seteando la duración a más de 16 ns se asegura que el analizador se disparará cuando el STROBE = 0 sea estable).

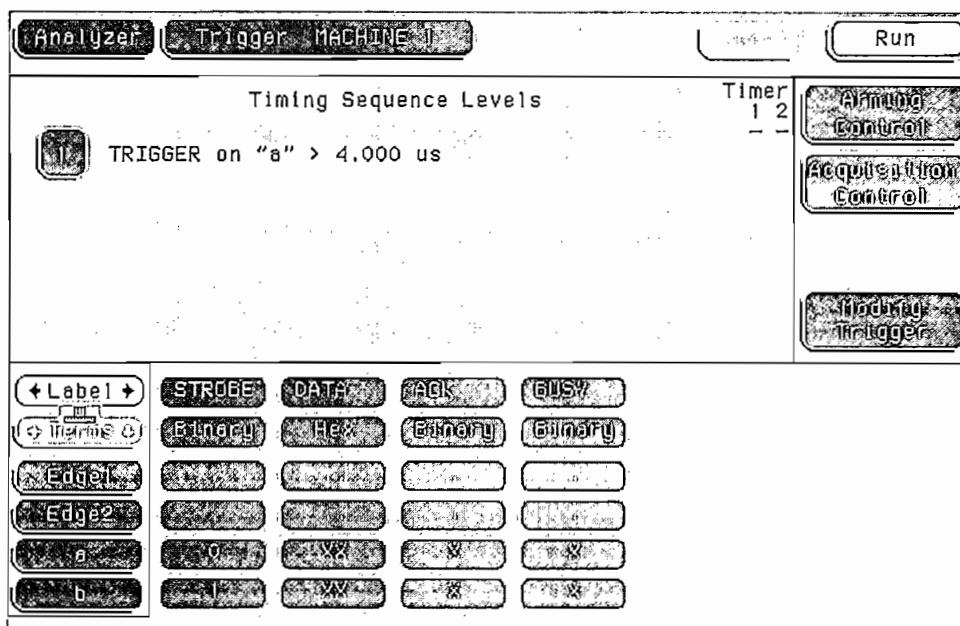


Figura 4.3 Definición de Términos y Secuencia de Disparo.

Una vez hechas las configuraciones precedentes, ya se puede realizar la adquisición de los datos presionando la tecla *Run*.

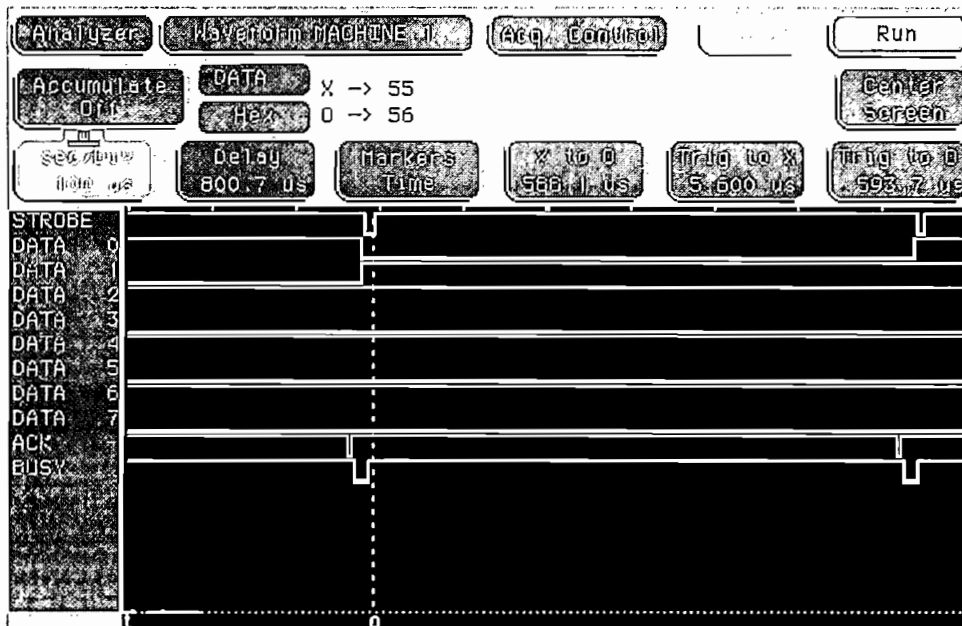


Figura 4.4 Datos Adquiridos en Forma de Onda

4.1.2 CONFIGURACIÓN DEL ANALIZADOR LÓGICO PARA EL ANÁLISIS DE ESTADOS DEL INTERFAZ CENTRONICS.

El análisis de Estados significa adquisición y almacenamiento de los datos cuando son válidos para el sistema bajo prueba. Para hacer análisis de estados, el analizador debe estar configurado en modo de estado. En el menú Analyzer Configuration, el campo Tipo debe ser Estado (Type = State) como se muestra en la Figura 4.5. En el analizador de estados, la fuente del reloj de muestreo está dada por el sistema bajo prueba, por lo tanto el reloj de muestreo será la señal de STROBE que es la señal de validación de datos del Interfaz Centronics.

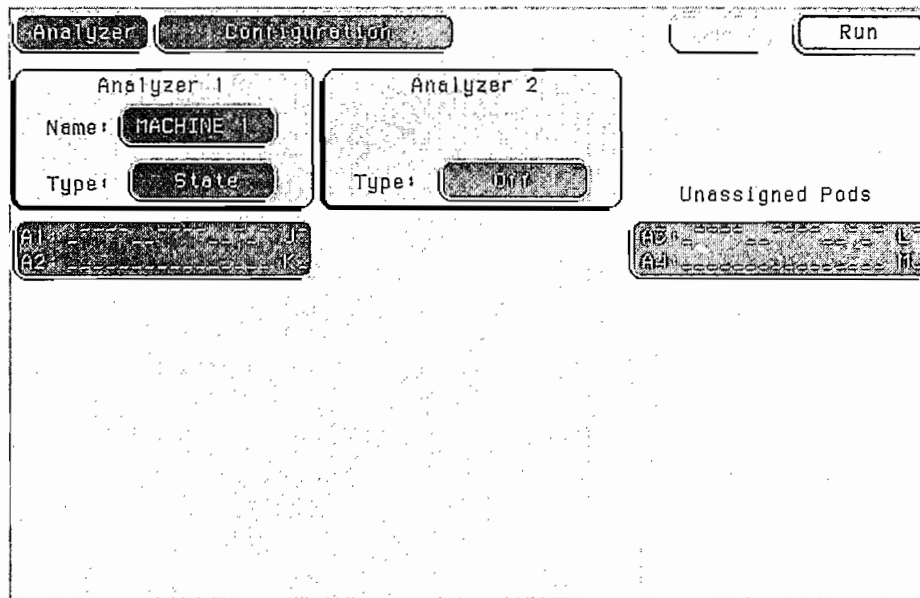


Figura 4.5 Configuración del Analizador de Estados

Al igual que para el Analizador de Tiempos, para una mejor presentación de los datos, se cambian los nombres por defecto de las etiquetas y se asignan bits o grupos de bits a las etiquetas en el menú Analyzer Format MACHINE 1 (Figura 4.6), para este caso la configuración de etiquetas es la misma que para el Analizador de Tiempos del Interfaz Centronics, mencionado en el numeral anterior.

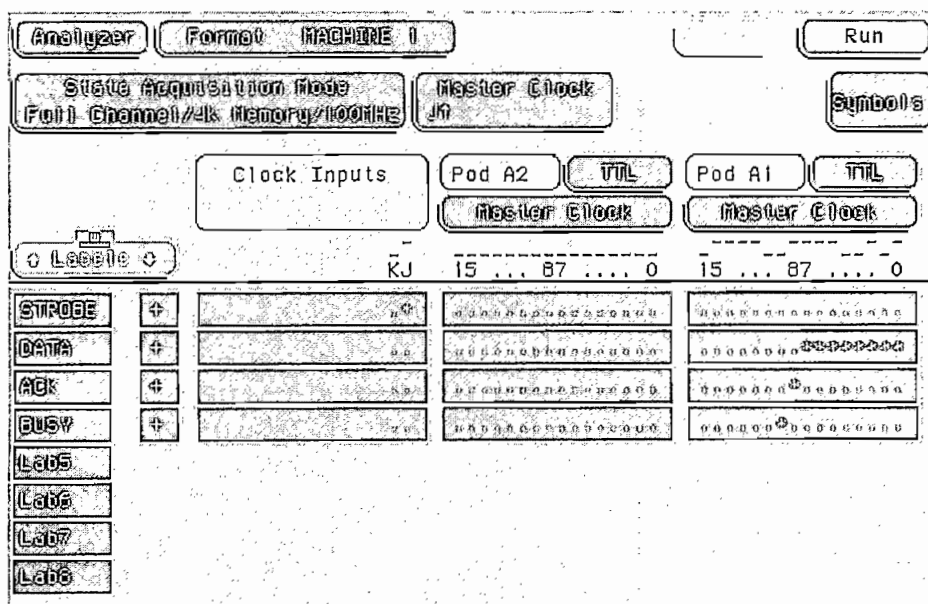


Figura 4.6 Definición de Etiquetas y Asignación de Bits.

Se define un término de disparo "a", que es el instante en que STROBE=0 (las demás etiquetas con condición "no importa"). Los niveles de secuencia en el analizador de estados deben ser mínimo dos. En el Nivel 1: mientras no está almacenando "ningún estado", se dispara cuando "a" ocurre una vez. Nivel 2: Almacena "cualquier estado". Esto significa que una vez presionada la tecla *Run*, para que el analizador de estados empiece a almacenar los datos esperará a que en sus entradas se cumpla el estado expresado en el término "a", una vez encontrado el término "a", se dispara el analizador y pasa al siguiente nivel de secuencia de estados, en el cual almacenará "cualquier estado" (nivel 2), siendo el estado muestreado el valor de las entradas en cada transición positiva de la señal de STROBE. La toma de las muestras se detendrá una vez que las localidades de memoria del analizador se encuentren llenas o hasta que se presione la tecla *Stop*. Esta configuración se muestra en la Figura 4.7.

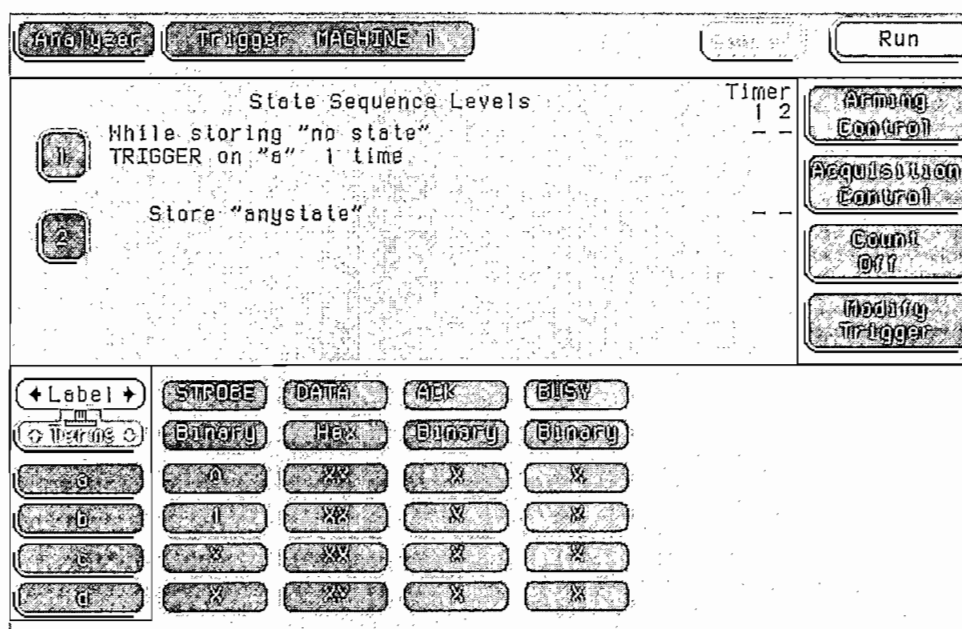


Figura 4.7 Definición de términos de disparo y Niveles de Secuencia de Estados.

A diferencia del Analizador de Tiempos, la presentación preestablecida para el Analizador de Estados es una lista secuencial de estados lógicos, como se indica en la Figura 4.8.

Analyzer		Listing MACHINE 1				Run
Markers Off		Acquisition Time 01 Dec 2002 12:52:03				
Label>	STROBE	DATA	DATA	ACK	BUSY	
Base>	Symbol	ASCII	HEX	HEX	HEX	
0	VALIDO	E	45	1	1	
1	VALIDO	S	53	1	1	
2	VALIDO	C	43	1	1	
3	VALIDO	U	55	1	1	
4	VALIDO	E	45	1	1	
5	VALIDO	L	4C	1	1	
6	VALIDO	A	41	1	1	
7	VALIDO	<CR >	0D	1	1	
8	VALIDO	<LF >	0A	1	1	
9	VALIDO	P	50	1	1	
10	VALIDO	O	4F	1	1	
11	VALIDO	L	4C	1	1	
12	VALIDO	I	49	1	1	
13	VALIDO	T	54	1	1	
14	VALIDO	E	45	1	1	
15	VALIDO	C	43	1	1	

Figura 4.8 Lista Secuencial de Estados Lógicos (Menú Analyzer Listing MACHINE 1)

4.1.3 CONFIGURACIÓN DEL ANALIZADOR LÓGICO PARA EL ANÁLISIS MEZCLADO DEL INTERFAZ CENTRONICS.

El modo Mezclado permite el análisis del sistema en estados y tiempos simultáneamente. Para conseguir esto, es necesario la utilización de los dos analizadores incorporados en el Analizador HP 1662 CS, en donde el Analizador 1 (MACHINE 1) es configurado como un analizador de estados y el Analizador 2 (MACHINE 2) como un analizador de tiempos (Figura 4.9).

Por defecto los pods A1 y A2 se encuentran asignados al Analizador 1 (Analizador de Estados), lo que resta por hacerse es asignar los pods A3 y A4 al Analizador 2 (Analizador de Tiempos).

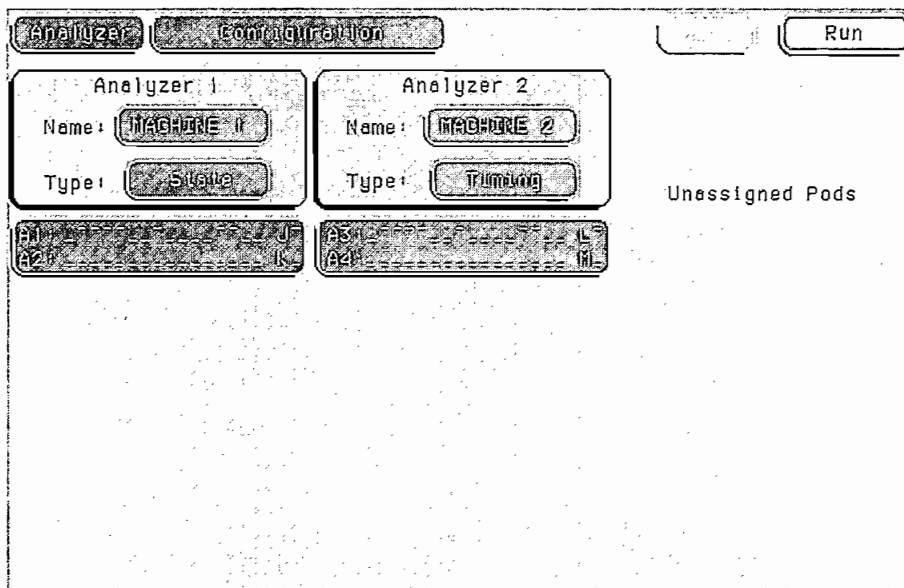


Figura 4.9 Configuración del Analizador Lógico para realizar el Análisis en modo Mezclado.

A continuación se procede a cambiar el nombre a las etiquetas y a modificar la asignación de los canales tanto del Analizador de Estados como al Analizador de Tiempos, tal como indican las figuras 4.10 y 4.11 respectivamente.

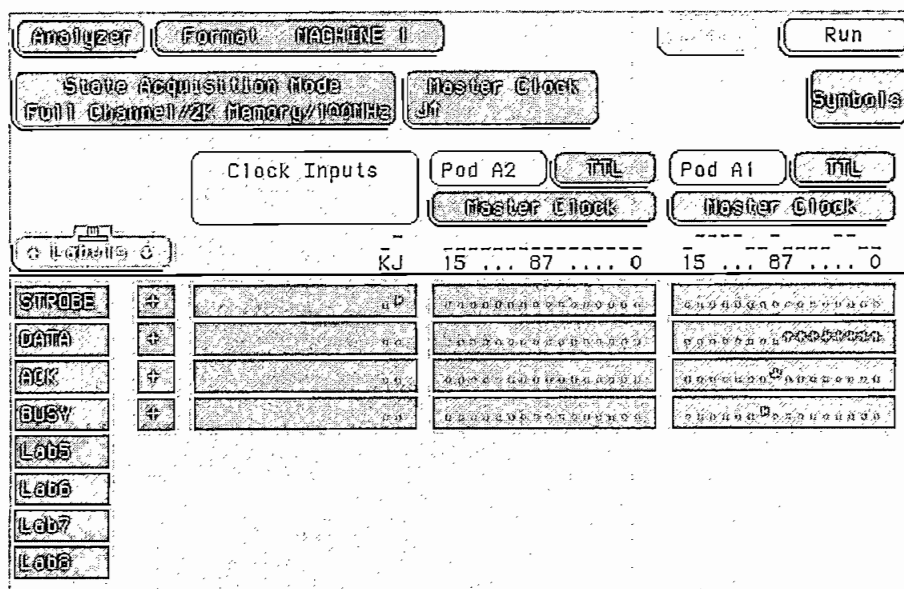


Figura 4.10 Nombre de las Etiquetas y Asignación de canales para el Analizador de Estados.

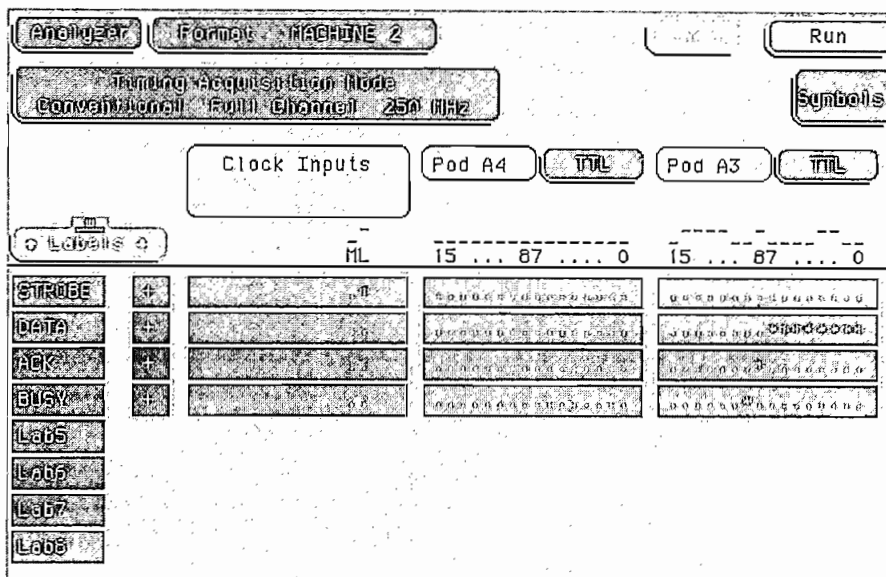


Figura 4.11 Nombre de las Etiquetas y Asignación de canales para el Analizador de Tiempos.

La configuración de los términos de disparo y de la secuencia de disparo para el Analizador 1 se la hace en el menú Analyzer Trigger MACHINE 1. En la Figura 4.12 se muestra la configuración que es la misma para el análisis del interfaz centronics por estados realizada anteriormente.

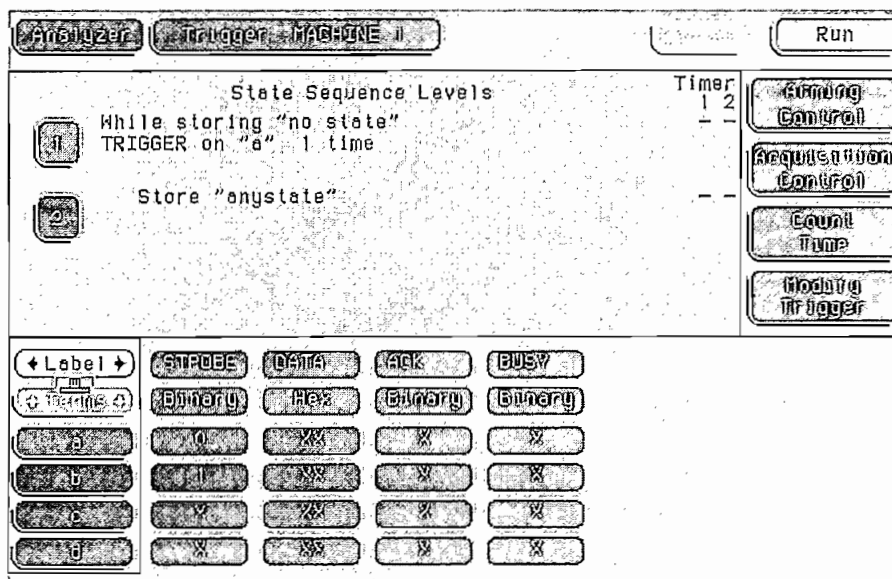


Figura 4.12 Términos de Disparo y Secuencia de Disparo para el Analizador de Estados (MACHINE 1).

De la misma manera, la configuración de los términos de disparo y de la secuencia de disparo para el Analizador 2 se la hace en el menú Analyzer Trigger MACHINE 2. En la figura 4.15 se muestra la configuración para el analizador de tiempos (MACHINE 2), que espera a ser armado por el analizador de estados, para esto, primero se debe habilitar al Analizador 1, el cual es analizador de estados, para que almacene etiquetas en tiempo, esto se logra cambiando el campo "Count off" a "Count Time" en el menú de disparo.

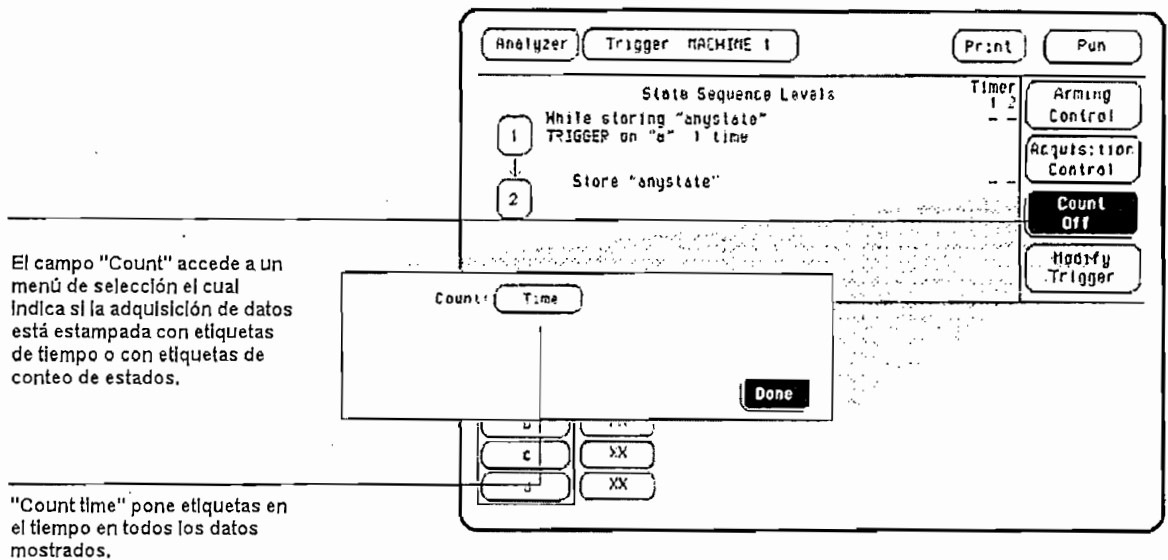


Figura 4.13 Habilitación de la correlación del tiempo entre los analizadores de tiempo y estado.

Configurando el control de armado se establece el orden de disparo para mediciones complicadas que envuelven a más de un modo, tal como es estado y tiempo. Armar el Analizador de tiempo con el analizador de estados permite que los dos modos se ejecuten simultáneamente, de esto los datos capturados por los dos analizadores pueden ser correlacionados en el tiempo, para esto hay que ubicarse en el campo de Control de Armado (Arming Control), luego ubicándose en el campo de Máquina 2 (Machine 2) se presiona Selección (Select), se escoge el campo junto a "Run from" y se designa a Máquina 1 (Machine 1), con este procedimiento se logra que cuando el Analizador de estados arma al Analizador

de tiempo, el Analizador de tiempo empieza a buscar su propia condición de disparo.

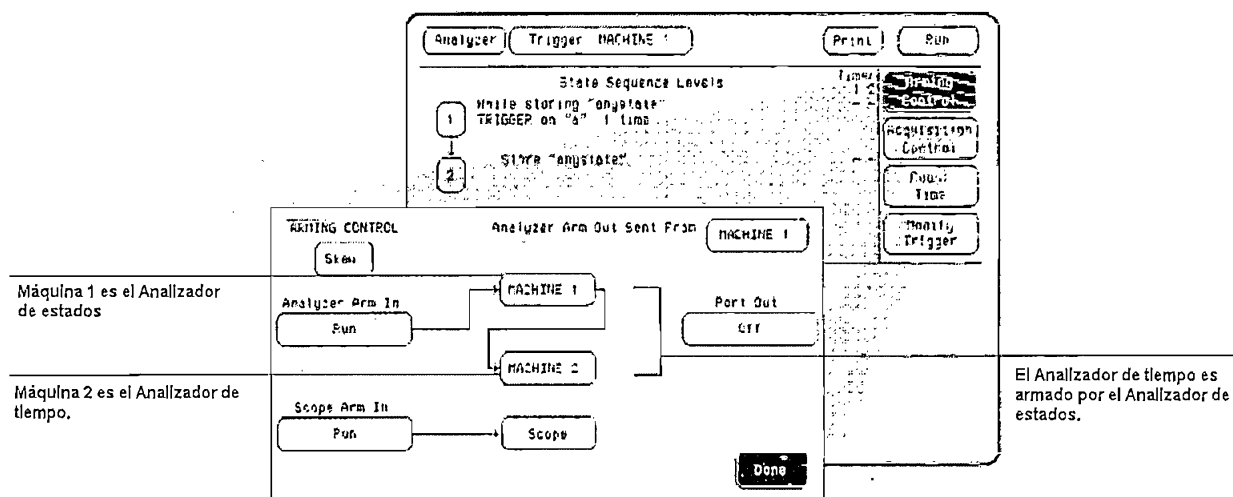


Figura 4.14 Armado del Analizador de tiempo con el Analizador de estados.

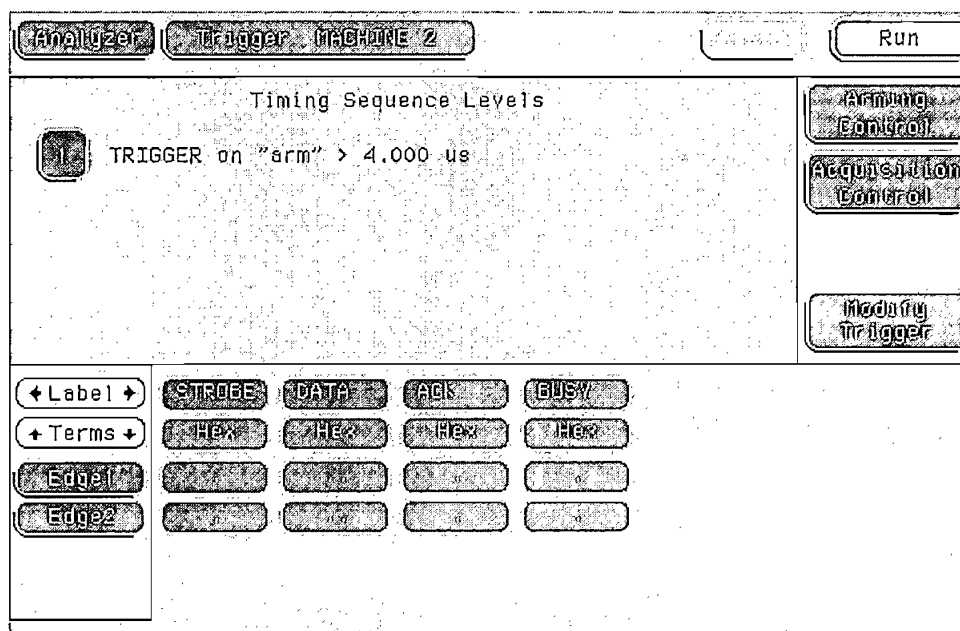


Figura 4.15 Términos de Disparo y Secuencia de Disparo para el Analizador de Estados (MACHINE 2).

Luego de efectuadas las configuraciones, cuando se presiona la tecla *Run*, el analizador de estados se dispara cuando STROBE=0 y arma al disparo de tiempos. La presentación Mezclada muestra los puntos de disparo de ambos analizadores de tiempo y de estado, con los datos de estado mostrados como una lista y los datos de tiempo mostrados como una forma de onda en el tiempo (Figura 4.16)

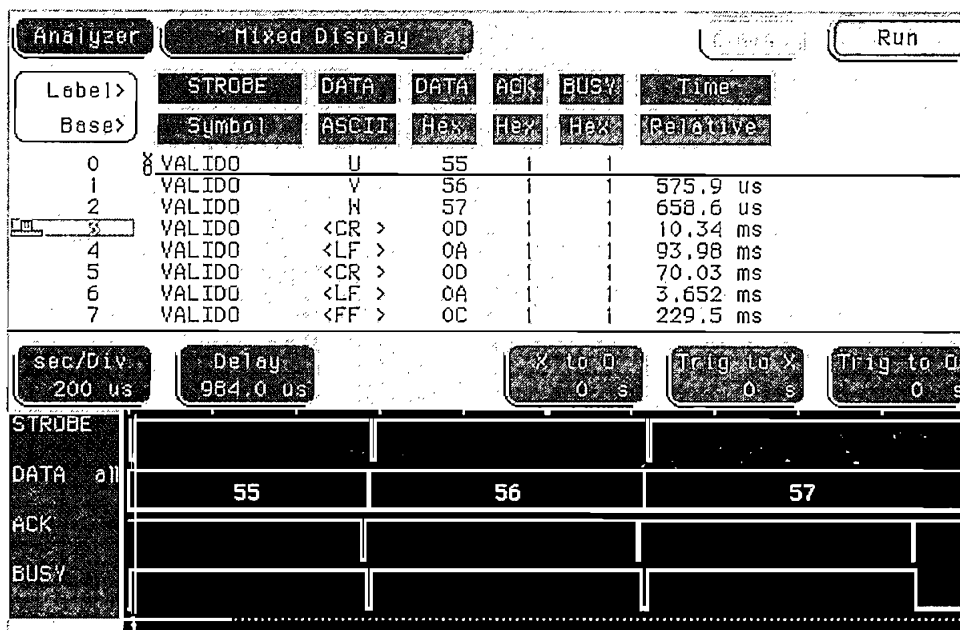


Figura 4.16 Presentación en Modo mezclado (Estados y Tiempos)

Para poder observar las características en el tiempo de las señales, es necesario encender las etiquetas en el menú waveform.

4.1.4 CONFIGURACIÓN DEL ANALIZADOR LÓGICO PARA EL ANÁLISIS DE TIEMPOS EN LA COMUNICACIÓN PC-PC.

Para este caso, el análisis solo se lo realiza en tiempos, debido a que no existe un protocolo estándar para la comunicación entre computadoras personales por el puerto paralelo en modo nibble, sin embargo, la tarjeta de adquisición permite analizar las líneas básicas que generalmente se utilizan en este modo.

Para el análisis de tiempos en la comunicación PC-PC, al Analizador 1 se lo configura como analizador de tiempos.

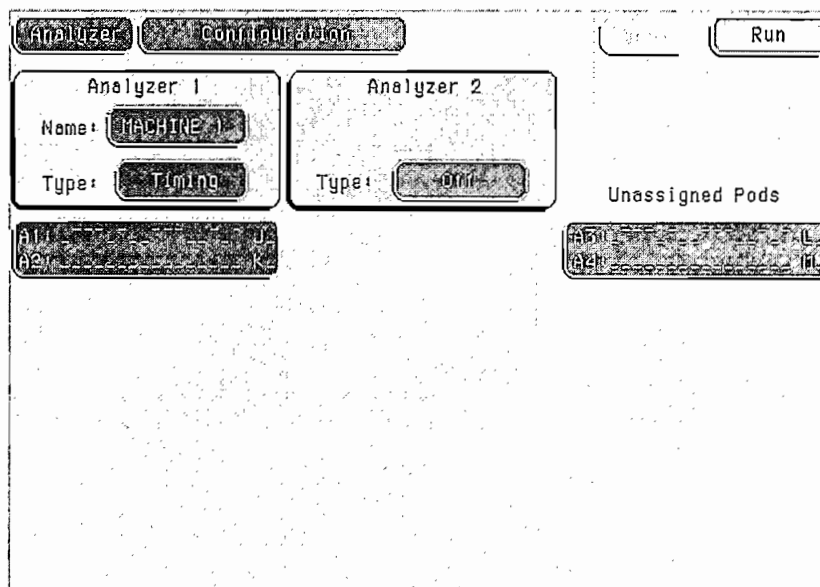


Figura 4.17 Configuración del analizador para el análisis en tiempos de la comunicación PC-PC por el puerto paralelo.

En el menú "Format Machine 1", se realiza la asignación de bits y nombres para la identificación de las señales que intervienen en el proceso de comunicación.

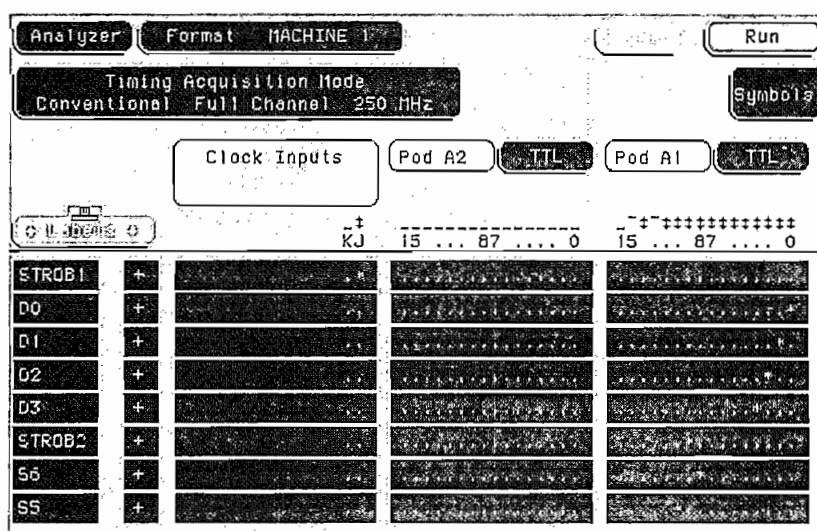


Figura 4.18 Asignación de bits y nombres para el análisis en tiempo de la comunicación PC-PC por el puerto paralelo.

Para la configuración del disparo, cuando la señal de "STROBE1" tiene un nivel alto, el analizador comienza la adquisición de los datos.

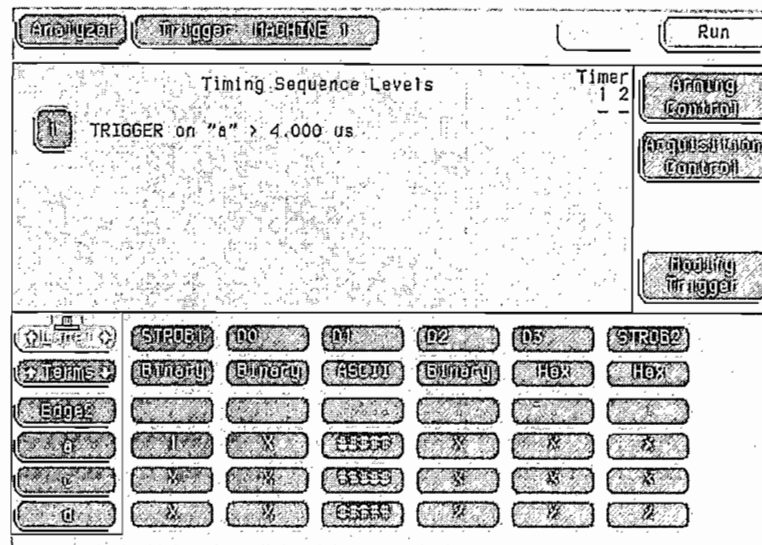


Figura 4.19 Configuración del disparo para el análisis en tiempo de la comunicación PC-PC por el puerto paralelo.

El paso final para la adquisición es observar las señales en forma de onda, después de ejecutar la medición en el analizador.

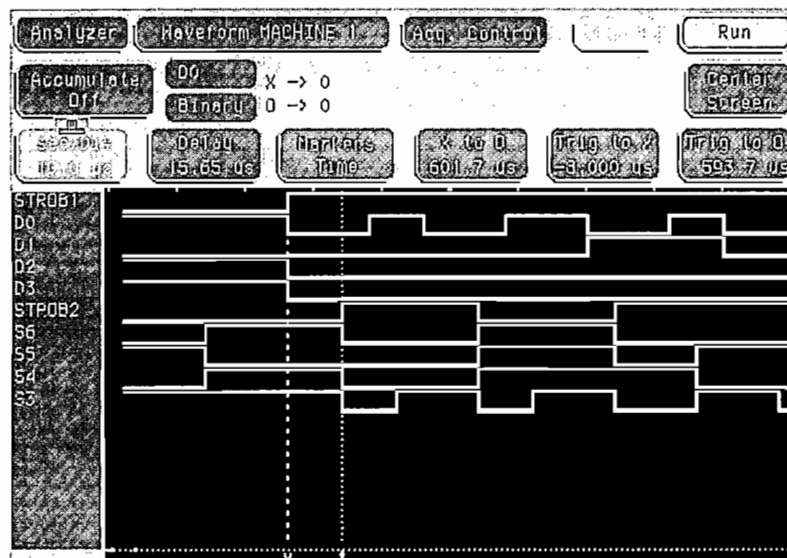


Figura 4.20 Formas de onda para el análisis en tiempo de la comunicación PC-PC por el puerto paralelo.

4.2 CONFIGURACIÓN DEL ANALIZADOR LÓGICO HP 1662 CS PARA LA ADQUISICIÓN DE DATOS DEL INTERFAZ RS-232

Debido a que la comunicación es serial, en la pantalla del analizador lógico se puede observar el protocolo utilizado ya sea bit a bit (si es configurado como un analizador de estados), medir las características de éstas señales en el tiempo (si se configura como un analizador de tiempo) o analizar el mismo de una manera más ilustrativa con la ayuda del programa elaborado en el microcontrolador Atmel AT89C1051U.

4.2.1 PROGRAMA PARA LA CONVERSIÓN DE DATOS SERIALES A PARALELO PARA EL INTERFAZ RS-232.

El programa elaborado para el microcontrolador AT89C1051U, permite cambiar el formato serial de los datos RS-232 a bits paralelos. Si se toma como referencia el hardware diseñado para la correspondiente tarjeta, las señales de entrada y salida se resumen en:

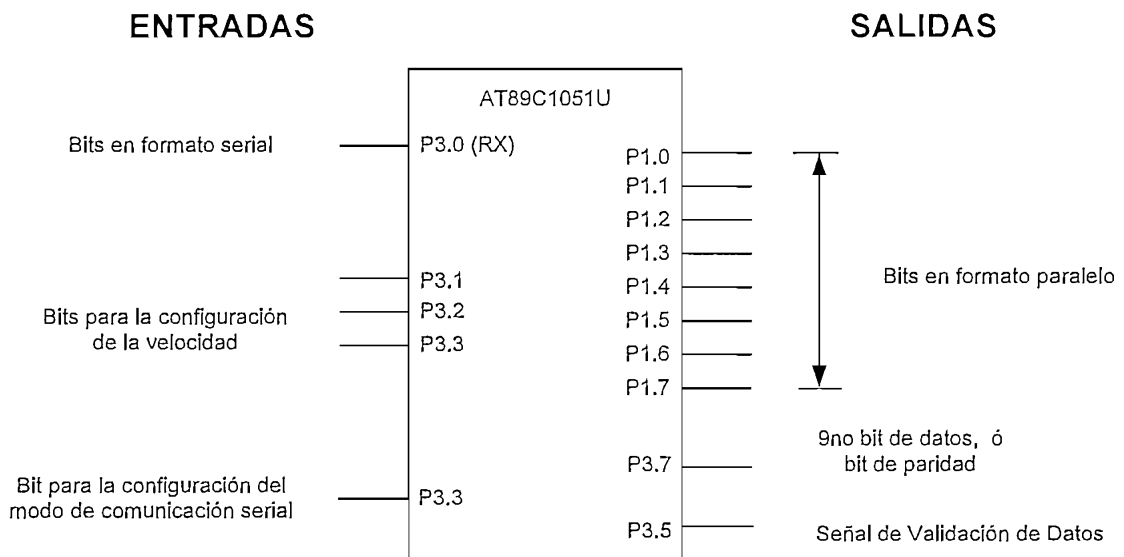


Figura 4.21 Señales de entrada y salida del microcontrolador para el Interfaz RS-232.

La información en formato serial entra por el Pin P3.0 que es el puerto de entrada serial del microcontrolador. Con la ayuda de los dipswitches que se conectan en P3.1, P3.2 y P3.3 se pueden especificar hasta 6 velocidades diferentes y en P3.4 se establece el modo de comunicación serial (modo 1 ó modo3).

Modo 1 utiliza 10 bits que son transmitidos a través de TX o recibidos a través de RX (1 de inicio, 8 de datos y 1 de parada). Modo 3 en cambio utiliza 11 bits transmitidos a través de TX o recibidos por RX (1 de inicio, 9 de datos y 1 de parada).

Tabla para generar la Velocidad de Transmisión usando el Timer 1					
Valor smod1	Frecuencia Del Cristal	Velocidad de Transmisión deseada	Valor a Cargarse en TH1	Velocidad de Transmisión alcanzada	Porcentaje de Error
0	11.059 MHz	600	D0	599.99	0.00%
0	11.059 MHz	1200	E8	1199.98	0.00%
0	11.059 MHz	2400	F4	2399.96	0.00%
0	11.059 MHz	4800	FA	4799.91	0.00%
0	11.059 MHz	9600	FD	9599.83	0.00%
0	12.000 MHz	600	CC	600.96	0.16%
0	12.000 MHz	1200	E6	1201.92	0.16%
0	12.000 MHz	2400	F3	2403.85	0.16%
0	12.000 MHz	4800	F9	4464.29	6.99%
1	11.059 MHz	600	A0	599.99	0.00%
1	11.059 MHz	1200	D0	1199.98	0.00%
1	11.059 MHz	2400	E8	2399.96	0.00%
1	11.059 MHz	4800	F4	4799.91	0.00%
1	11.059 MHz	9600	FA	9599.83	0.00%
1	11.059 MHz	19200	FD	19199.65	0.00%
1	12.000 MHz	600	98	600.96	0.16%
1	12.000 MHz	1200	CC	1201.92	0.16%
1	12.000 MHz	2400	E6	2403.85	0.16%
1	12.000 MHz	4800	F3	4807.69	0.16%
1	12.000 MHz	9600	F9	8928.57	6.99%
1	12.000 MHz	19200	FD	20833.33	8.51%

Tabla 4.2 Velocidades de Transmisión que se pueden conseguir utilizando los registros del Timer 1.

En la configuración de las diferentes velocidades, debido al redondeo, hay un pequeño error en el resultado de la velocidad de transmisión. Generalmente un error del 5 % es tolerable usando comunicaciones asincrónicas (Inicio/parada). Una velocidad de transmisión exacta es posible usando un cristal de 11.059 MHz.

La tabla 4.2 resume los valores a cargarse en TH1 para las velocidades de comunicación más utilizadas. Usando un cristal de 12.000 MHz o 11.059 MHz.

El algoritmo del programa principal se resume en el diagrama de flujo de la figura 4.22 El programa principal permanece en un lazo que verifica continuamente el estado del dipswitch mientras que la transformación serie – paralelo se la realiza con el servicio de interrupción por pórtico serial.

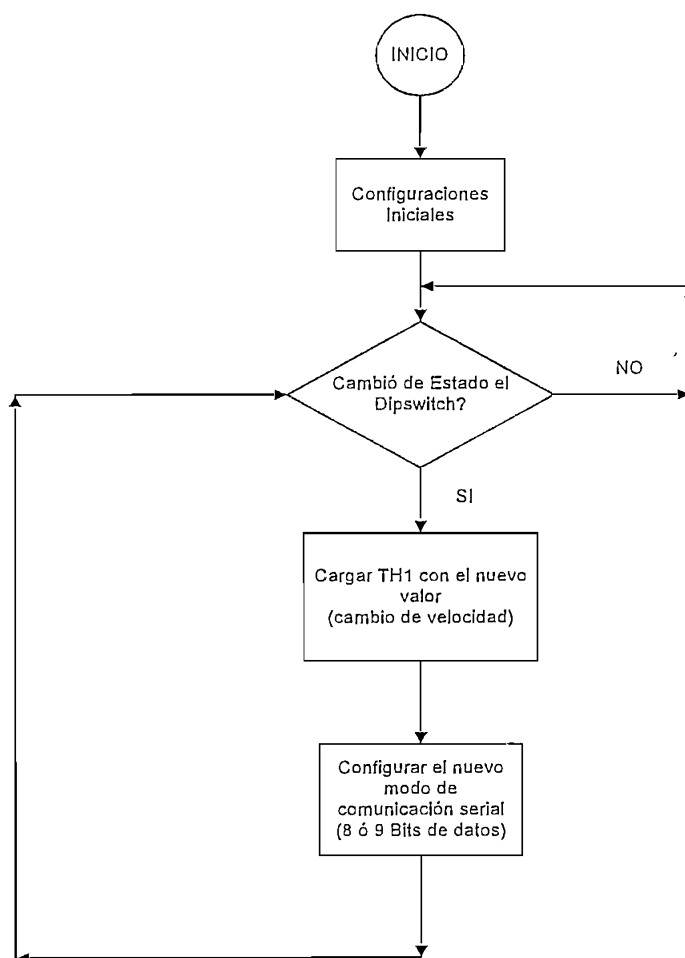


Figura 4.22 Diagrama de Flujo del Programa Principal para el Microcontrolador AT8910C51 para la conversiòn serie a paralelo del Interfaz RS-232.

Cuando el programa principal ha detectado una variación en uno de los bits del dipswitch verifica el valor y según las tablas 4.3 y 4.4 determina un cambio de velocidad y/o modo de transmisión. El cambio de velocidad se consigue cargando el nuevo valor en TH1, mientras que el modo de transmisión serial se cambia en el registro SCON.

P3.3	P3.2	P3.1	Velocidad	Valor en TH1
0	0	0	600	A0
0	0	1	1200	D0
0	1	0	2400	E8
0	1	1	4800	F4
1	0	0	9600	FA
1	0	1	19200	FD

Tabla 4.3 Velocidades de Transmisión según el valor de los Dipswitches.

P3.4	Modo
0	(8 bits de datos)
1	(9 bits de datos)

Tabla 4.4 Modo de Transmisión serial según el valor de los Dipswitches (P3.4).

La subrutina de servicio a la interrupción por pórtilo serial (Figura 4.23) realiza dos procesos que depende del modo de transmisión serial que se haya configurado. Si es el modo 1 el dato serial que se ha recibido en SBUF se lo lleva hacia el puerto paralelo P1 y se genera una señal de validación del dato por el pin P3.5. En cambio si es el modo 3 de comunicación mueve los ocho bits de datos al puerto paralelo P1, luego verifica el valor lógico del noveno bit de datos que llega al registro RB8 y lo muestra en el pin P3.7, finalmente da una validación del dato de nueve bits a través del pin P3.5 (P3.5 = 0L).

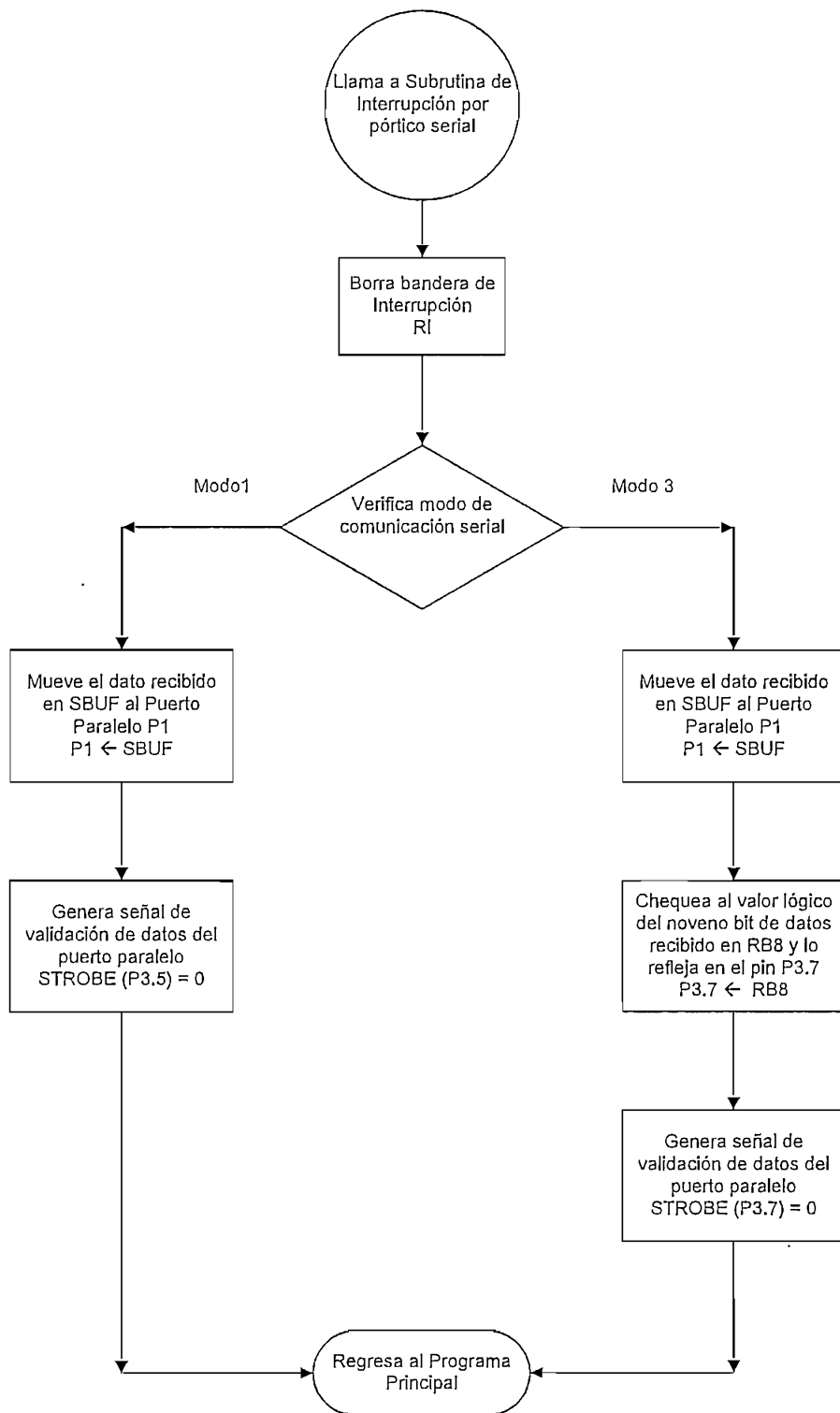


Figura 4.23 Diagrama de Flujo del Servicio a la Subrutina de Interrupción por PÓrtico Serial para el Microcontrolador AT8910C51 para la conversión serie a paralelo del Interfaz RS-232.

4.2.2 CONFIGURACIÓN DEL ANALIZADOR LÓGICO PARA EL ANÁLISIS EN EL TIEMPO DEL INTERFAZ RS-232.

La figura 4.24 muestra el menú de configuración del Analizador, para este caso el Analizador 1 se lo configura como Analizador de tiempo, y por defecto se encuentra asignado al mismo el POD 1, a través del cual se analizarán las señales que intervienen en este protocolo de comunicación.

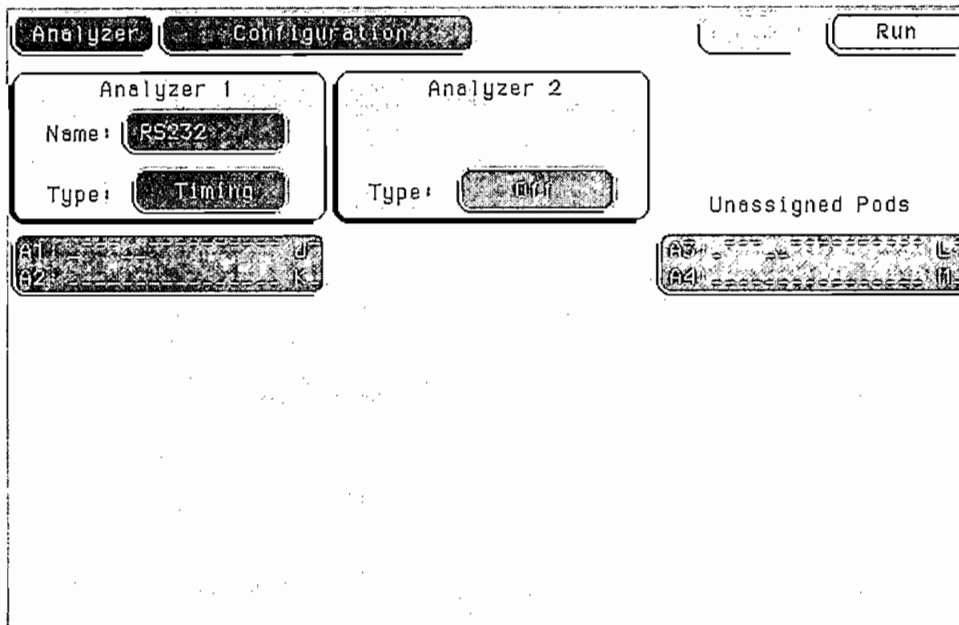


Figura 4.24 Configuración del Analizador de Tiempos para el interfaz RS-232.

Luego de esto, se activan los bits del POD 1 que van a ser utilizados, y a la vez, se les asigna nombres que van acorde con las señales que representan. En la figura 4.25 se puede observar los bits habilitados con sus respectivas etiquetas.

Para la configuración de disparo, debido a que la comunicación es full-dúplex, la condición a cumplirse es que en cualquier dirección que se produzca comunicación, sea detectada y dispare el Analizador Lógico. La condición anterior detecta un cambio de estado en el canal de comunicación, esto quiere decir, si el canal sale de su estado pasivo (pasa de un nivel bajo a alto), y que sea un estado

estable (tenga una duración mayor a 10 us) para asegurar que es una señal válida.

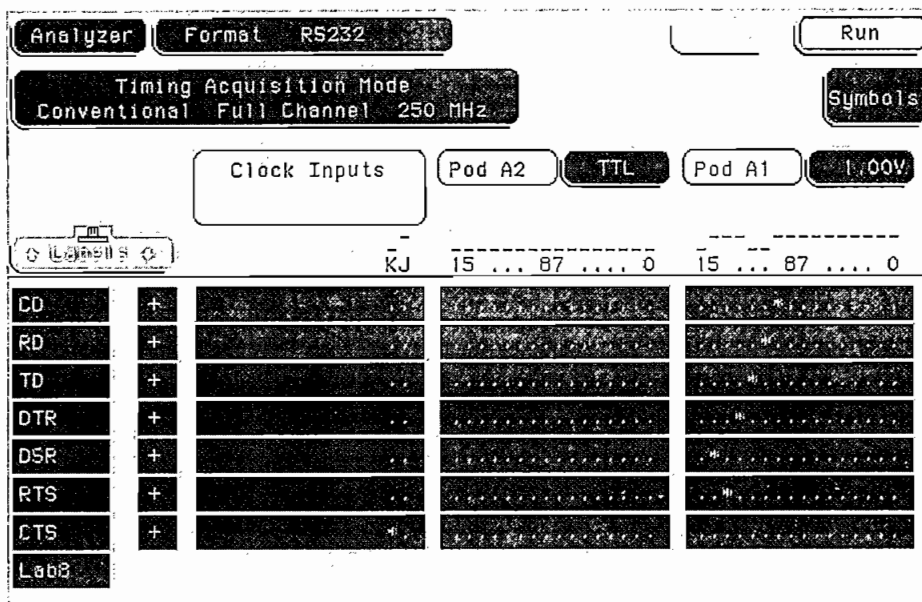


Figura 4.25 Configuración de etiquetas para el análisis en tiempo del interfaz RS-232.

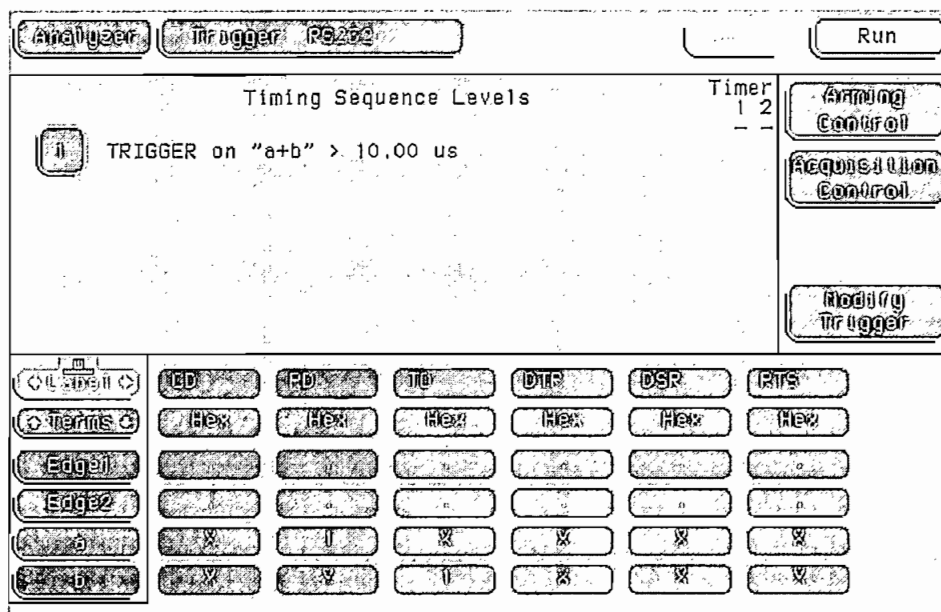


Figura 4.26 Configuración de disparo para el análisis en tiempo del interfaz RS-232.

Una vez realizadas las configuraciones anteriormente mencionadas, se procede a observar las señales, para esto, después de asegurarse de conectar correctamente el Analizador a las tarjetas, y estas a su vez con el canal de comunicación, se ejecuta la medición presionando la tecla "RUN", para que comience la adquisición. Cuando se han obtenido las señales requeridas, a través del menú "Waveform" se las puede apreciar y manipular.

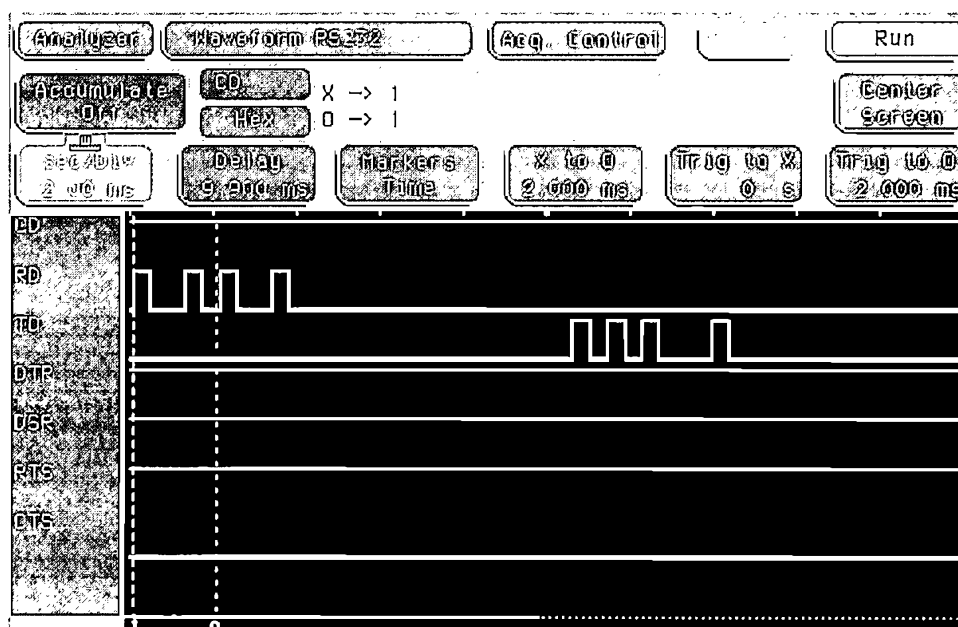


Figura 4.27 Formas de Onda para el análisis en tiempo del interfaz RS-232.

4.2.3 CONFIGURACIÓN DEL ANALIZADOR LÓGICO PARA EL ANÁLISIS DE ESTADOS DEL INTERFAZ RS-232.

Para la comunicación full-dúplex, se configuran los dos analizadores como Analizadores de estados, el Analizador 1 por defecto tiene asignado el POD 1 y 2, pero en el caso del Analizador 2 se le debe asignar el POD 3 y 4 que serán necesarios para el análisis.

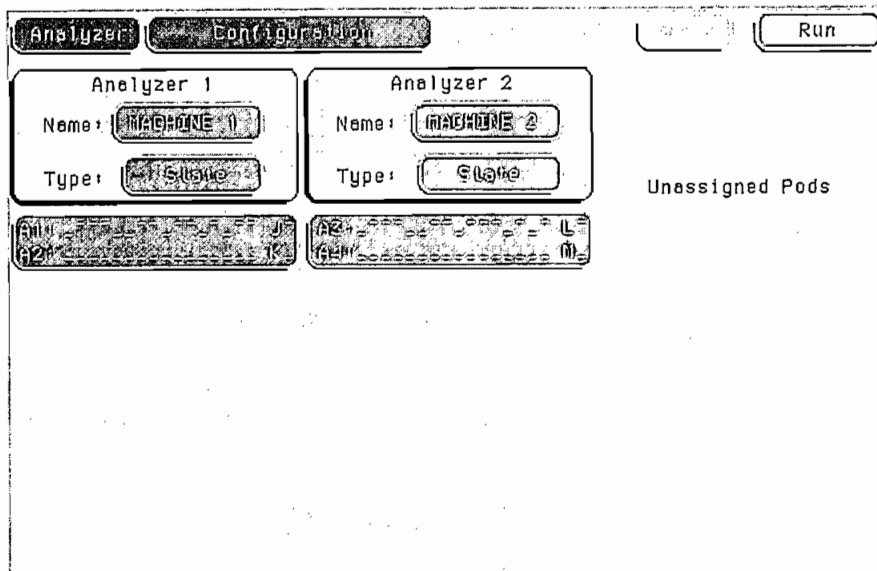
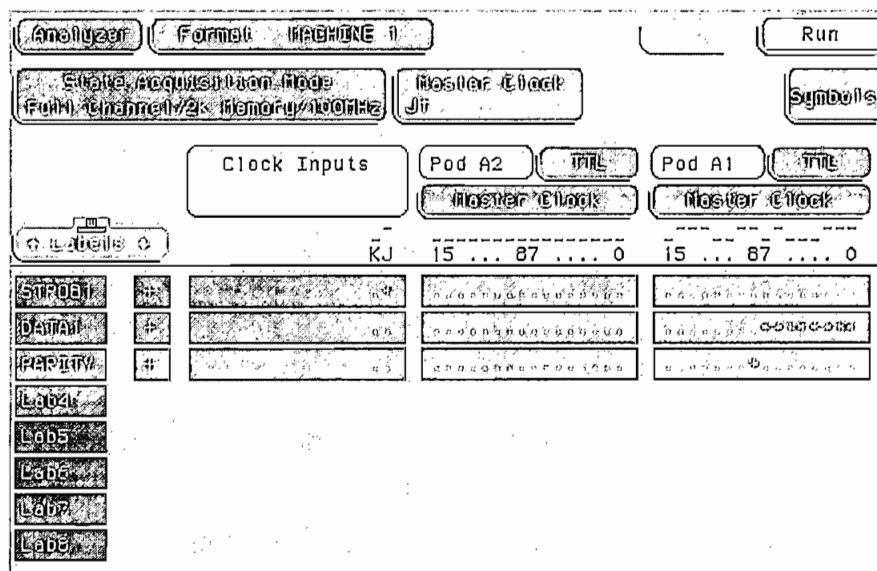
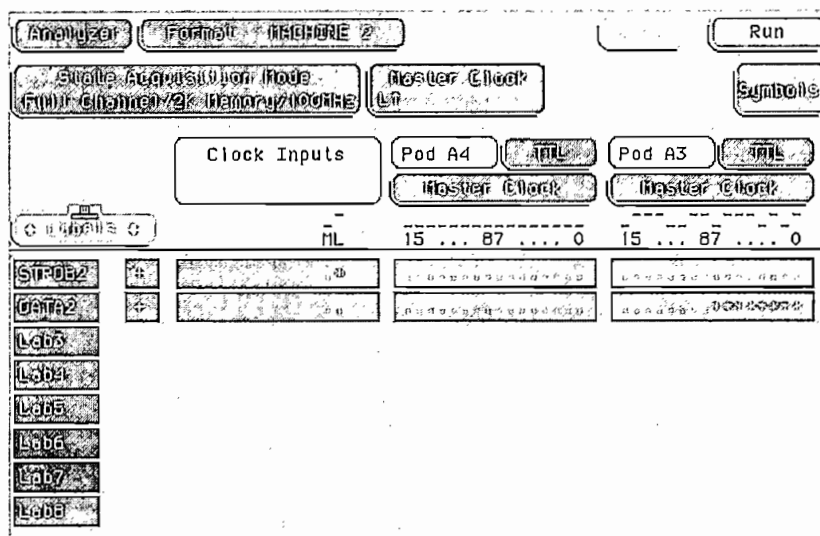


Figura 4.28 Configuración del Analizador para el análisis en estados del interfaz RS-232.

La asignación de etiquetas se la debe realizar para cada Analizador; así en el menú FORMAT Machine 1 se hace para un sentido de la comunicación, y en el menú FORMAT Machine 2 para el otro sentido. Gracias al programa del microcontrolador, tenemos la señal serial en paralelo lo que permite apreciar el protocolo en forma Binaria, Hexadecimal, ASCII o Símbolo.



(a) Configuración de etiquetas para el Analizador 1



(b) Configuración de etiquetas para el Analizador 2

Figura 4.29 Configuración de etiquetas para el análisis en estados del interfaz RS-232.

En la configuración del disparo, la señal de validación viene dada por el microcontrolador, la cual indica pasando de un estado alto a bajo el pin P3.7 que el dato es válido y está listo a ser monitoreado. En este caso la configuración del disparo se la hace independiente para cada Analizador así como se muestra en la figura 4.30.

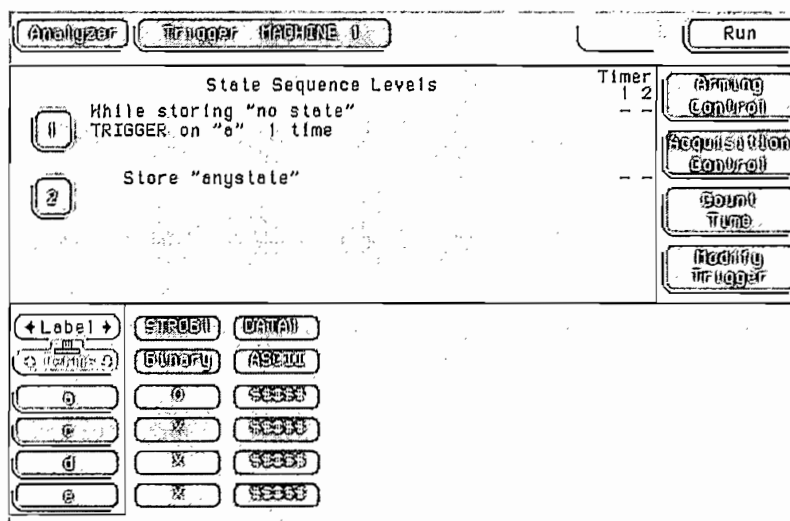


Figura 4.30 Configuración de disparo para el análisis en estado del interfaz RS-232.

Realizadas las configuraciones anteriores, se procede a obtener los datos en forma de lista, activando el analizador y conectando todo el hardware necesario.

Como se mencionó anteriormente, podemos revisar en forma independiente los listados de cada analizador, en las mismas se puede diferenciar que dato pertenece a cada analizador de acuerdo al listado seleccionado (Listing Machine 1 o Listing Machine 2), esto se logra identificando el color que con el que aparece cada dato (negro para los datos del Analizador actual y blanco para el otro Analizador).

Según los parámetros de comunicación escogidos, se podrá apreciar el bit de paridad, o noveno bit de datos, el que está asignado con su propia etiqueta.

Analyzer		Listing MACHINE		Run	
Markers		Acquisition Time			
Off		01 Dec 2002 12:14:24			
Label>	DATA1	STROB1	Time	STROB2	DATA2
Base>	ASCII	Binary	Relative	Hex	ASCII
			193.0 ms		
			174.3 ms		
			188.9 ms		
0	R	0	2.914 s		
1	S	0	544.2 ms		
2	2	0	467.2 ms		
3	3	0	257.1 ms		
4	2	0	230.5 ms		
			2.162 s		
			240.5 ms		
			197.2 ms		
			263.3 ms		

(a) Listado del Analizador 1

Label>	Time>	DATA1	DATA2
Base>	Absolute	ASCII	ASCII
0	0 s		C
1	193.0 ms		O
2	367.4 ms		M
3	556.2 ms		I
	3.471 s		
	4.015 s		
	4.482 s		
	4.739 s		
	4.969 s		
4	7.131 s		C
5	7.372 s		O
6	7.569 s		M
7	7.852 s		2

(b) Listado del Analizador 2

Figura 4.31 Listado de datos para el análisis en estados del interfaz RS-232.

4.2.4 CONFIGURACIÓN DEL ANALIZADOR LÓGICO PARA EL ANÁLISIS DE ESTADOS Y TIEMPO DEL INTERFAZ RS-232.

Para el análisis en estados y tiempo el Analizador 1 se lo configura como Analizador de estados y el Analizador 2 como Analizador de tiempos.

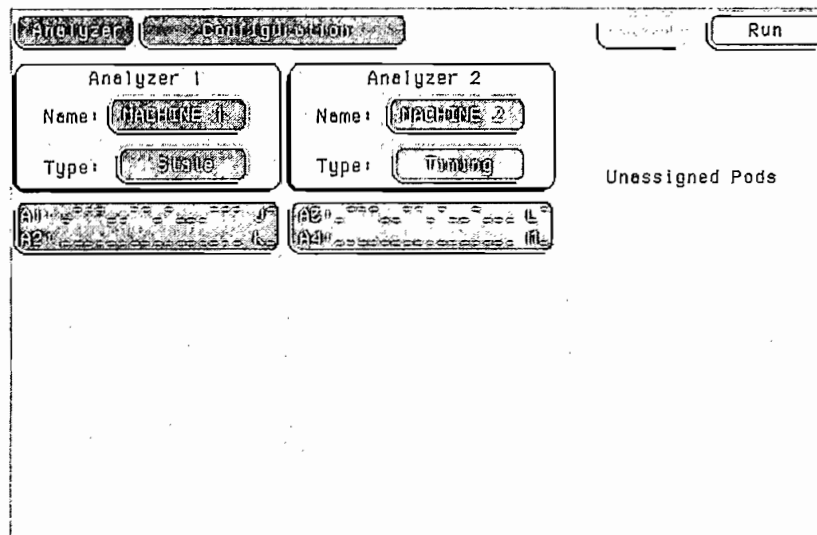
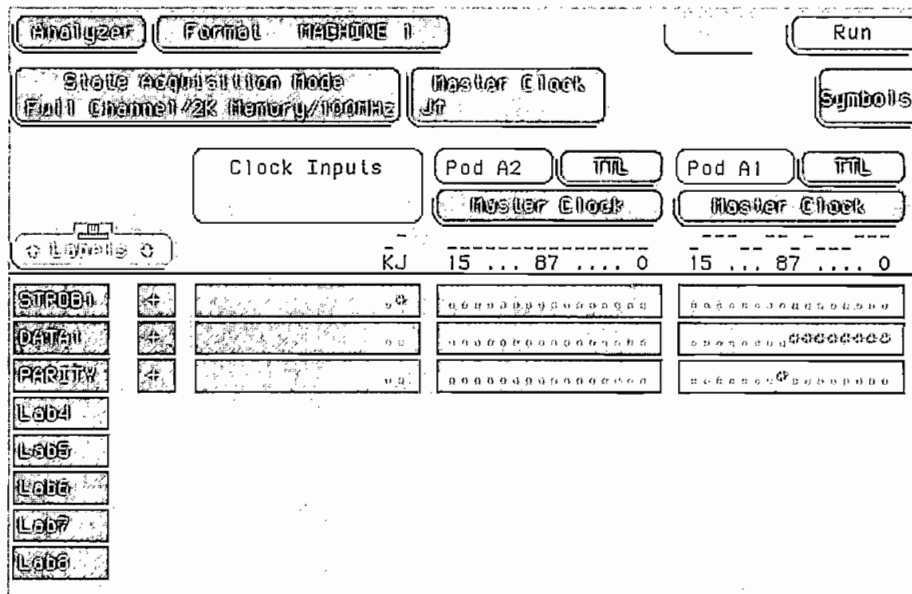
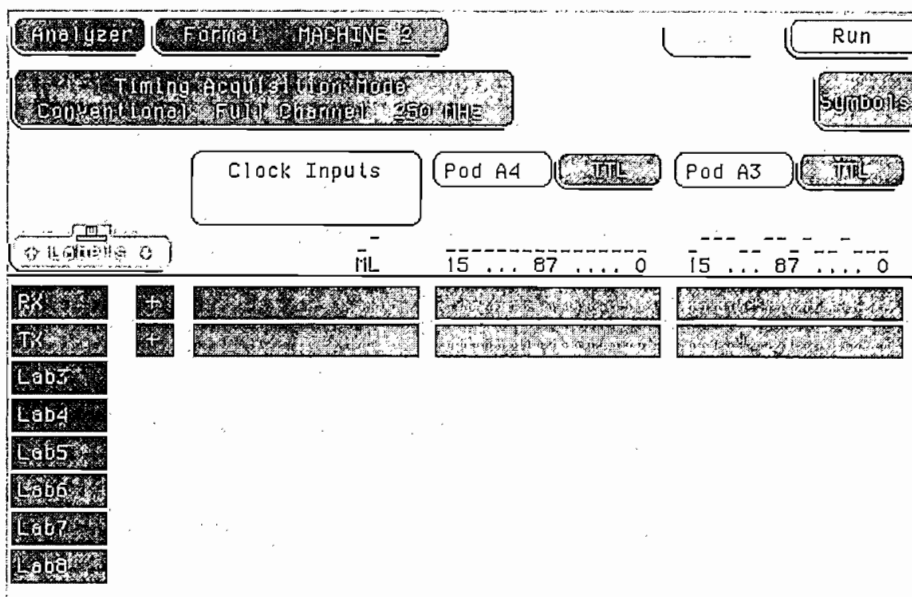


Figura 4.32 Configuración de Analizadores para el análisis mezclado del interfaz RS-232.

Para la asignación de etiquetas y bits, se toman las mismas configuraciones anteriormente mencionadas, es decir, para el análisis en tiempo y en estados independientemente, la diferencia radica en que PODs se los asigna.



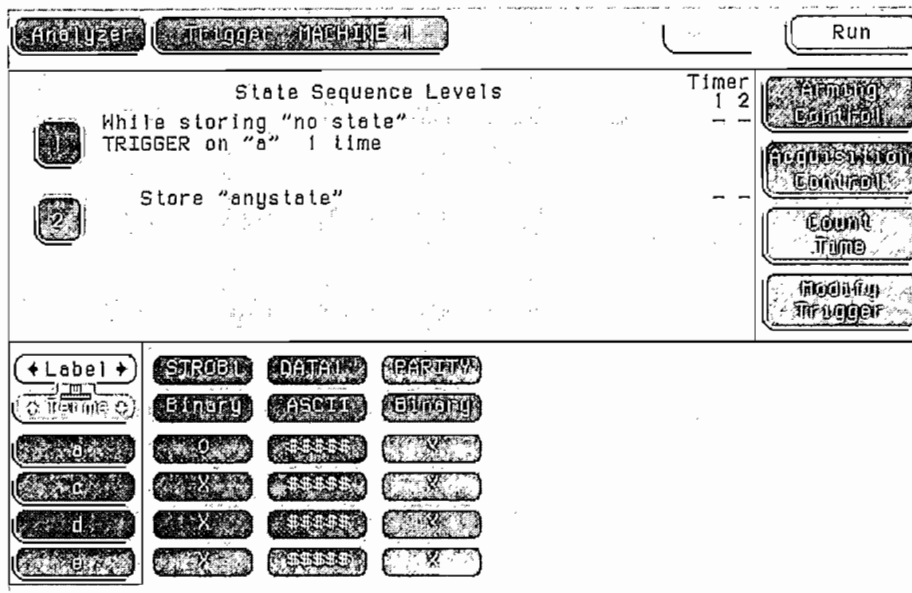
(a) Nombre de etiquetas y asignación de bits para el Analizador 1



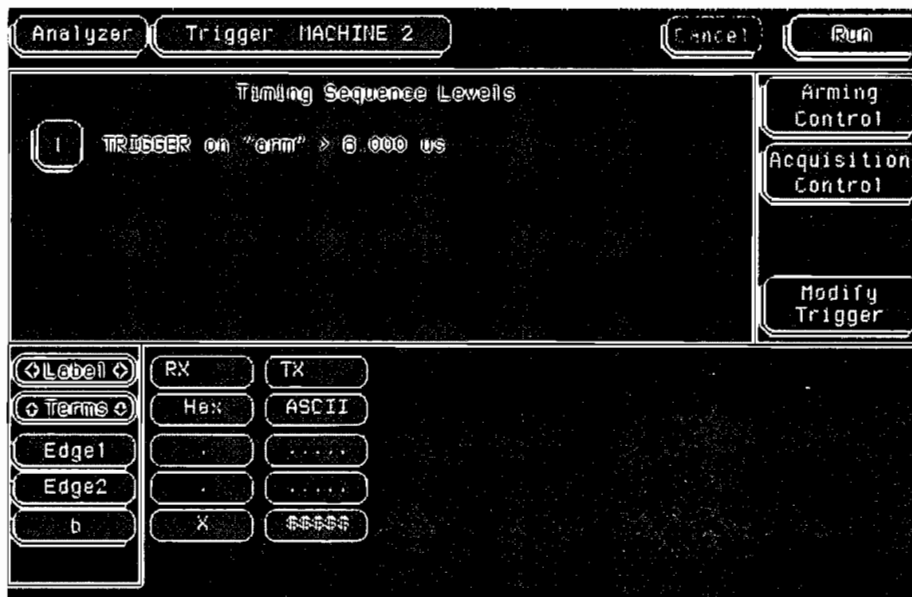
(b) Nombre de etiquetas y asignación de bits para el Analizador 2

Figura 4.33 Configuración de etiquetas para el análisis mezclado del interfaz RS-232.

En la configuración del disparo se deben seguir los pasos mencionados anteriormente, como para el caso del interfaz Centronics,



(a) Configuración de disparo para el Analizador 1.



(b) Configuración de disparo para el Analizador 2.

Figura 4.34 Configuración de disparo para el análisis mezclado del interfaz RS-232.

Al final, se puede apreciar los datos en forma de lista, y a la vez como señales en forma de onda. Esto se ejecuta desde el menú "Mixed Display".

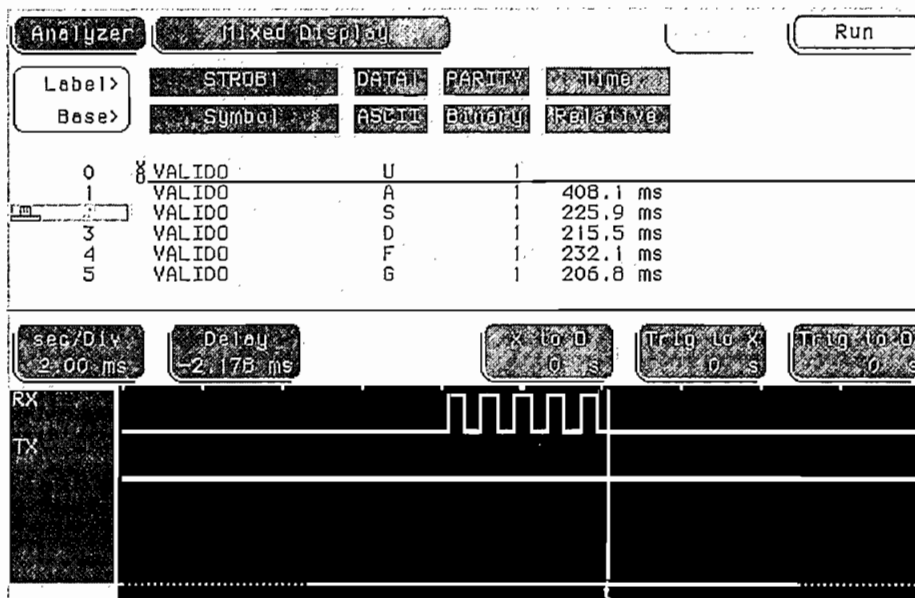


Figura 4.35 Despliegue mezclado para el interfaz RS-232

4.3 CONFIGURACIÓN DEL ANALIZADOR LÓGICO HP 1662 CS PARA LA ADQUISICIÓN DE DATOS DEL INTERFAZ RS-485/422.

Al igual que para el interfaz RS-232, se hace uso de dos microcontroladores para realizar la transformación de los datos a paralelo en ambos sentidos de la comunicación. El programa residente en el microcontrolador tanto para el interfaz RS-232 como para el RS-485/422 es el mismo, por lo cual en esta sección no se hará referencia del software de conversión.

4.3.1 CONFIGURACIÓN DEL ANALIZADOR LÓGICO PARA EL ANÁLISIS EN EL TIEMPO DEL INTERFAZ RS-485/422.

En la Figura 4.36 se muestra la Configuración del Analizador para el Análisis en el Tiempo del Interfaz RS-485/422, el Analizador 1 es habilitado en modo de tiempo.

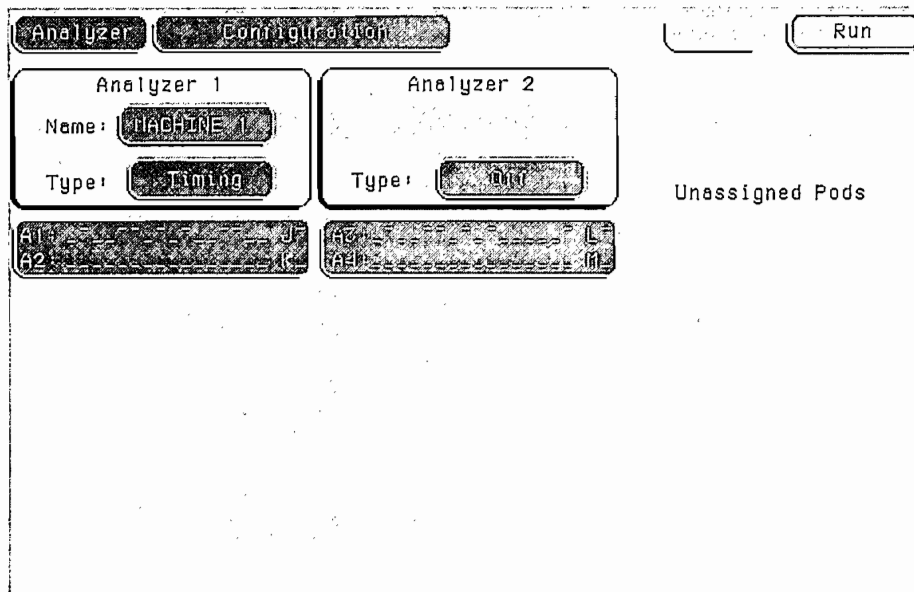


Figura 4.36 Configuración del Analizador para el Análisis en el Tiempo del Interfaz RS-485/422

La asignación de los bits y etiquetas se lo hace en el menú "Analyzer Format MACHINE 1", según el diseño elaborado en el Capítulo Anterior. Las etiquetas RXA y RXB son las señales complementarias de las líneas de recepción, mientras que TXA y TXB son las señales complementarias de las líneas de transmisión.

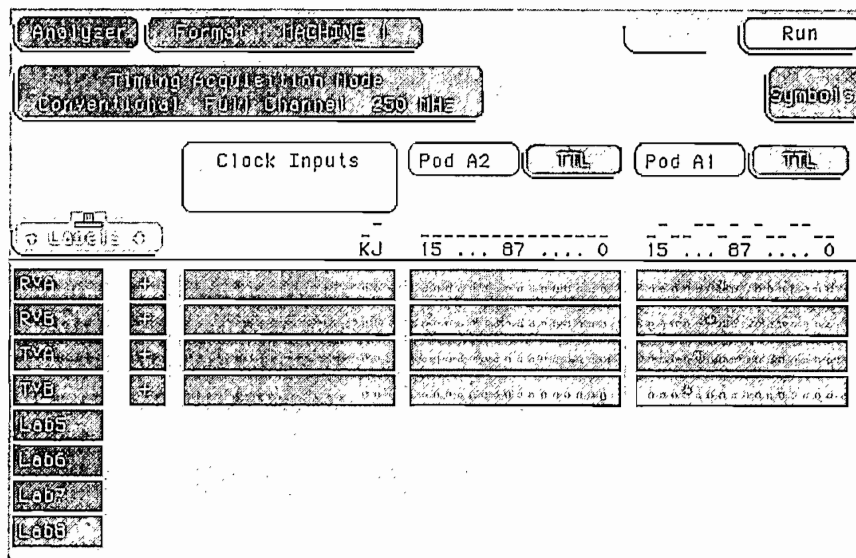


Figura 4.37 Nombres de las Etiquetas y Asignación de los bits para el análisis en el tiempo del Interfaz RS-485/422

Se hace uso de dos términos de disparo (a y b) uno para cada dirección de transmisión, en donde cada uno determina el instante en que el canal de comunicación ha salido de su estado pasivo. (a -> RXA = 1 y b -> TXA = 0).

Además se dispone de 1 Nivel de secuencia de tiempo (Figura 4.33). La que determina que el analizador comienza a grabar datos luego de 40 us a partir del momento en que se ha detectado actividad en el canal de transmisión.

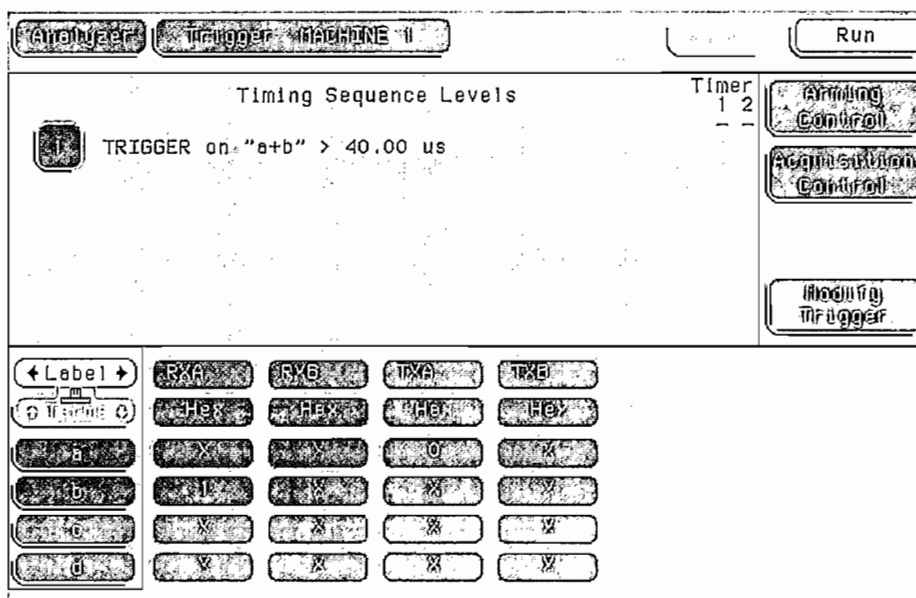


Figura 4.38 Definición de Términos de disparo y secuencia de disparo para el análisis en tiempo del Interfaz RS-485/422

Como último paso luego de ejecutar la medición con la tecla "Run" se obtienen las señales en forma de onda, las cuales pueden ser analizadas y manipuladas en el menú "Waveform". En la figura 4.39 se presenta la pantalla del menú "Waveform" de una medición realizada.

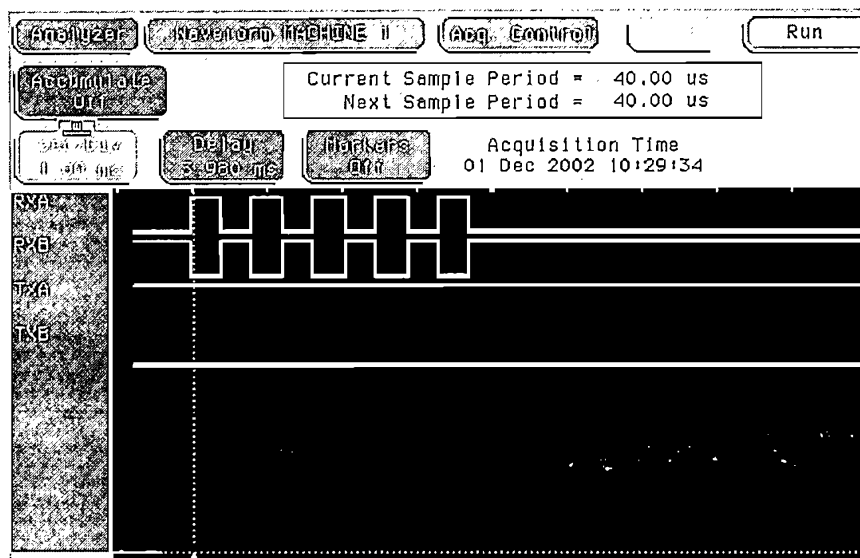


Figura 4.39 Forma de Onda de las señales del Interfaz RS-485/422.

4.3.2 CONFIGURACIÓN DEL ANALIZADOR LÓGICO PARA EL ANÁLISIS DE ESTADOS DEL INTERFAZ RS-485/422.

Para el análisis en estados del interfaz RS-485/422, se debe configurar dos analizadores de estados, como se indica en la figura 4.40, debido a que la comunicación es en ambos sentidos.

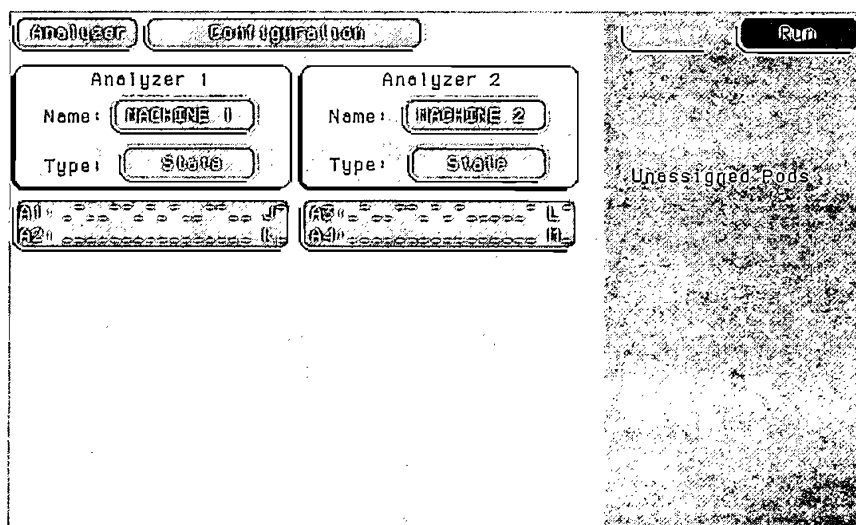
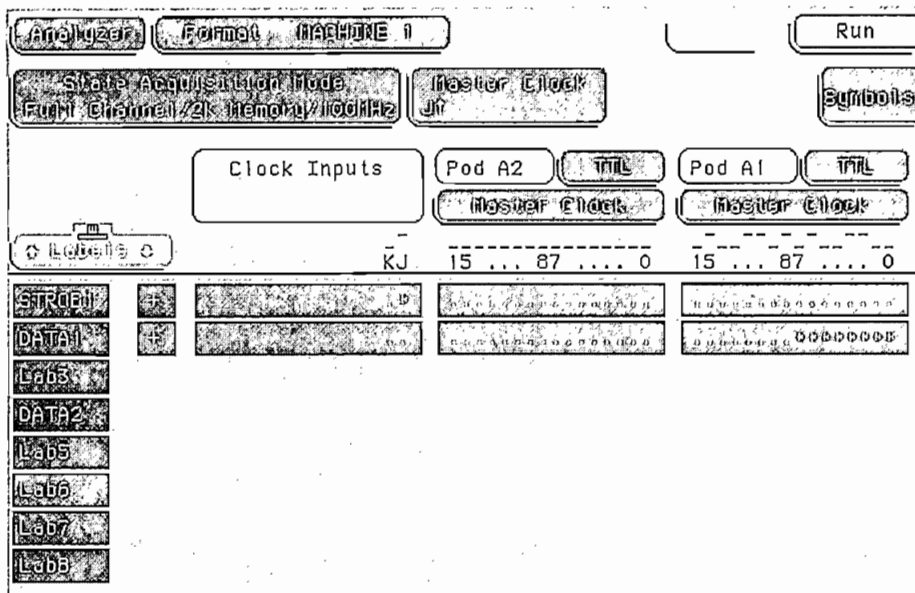
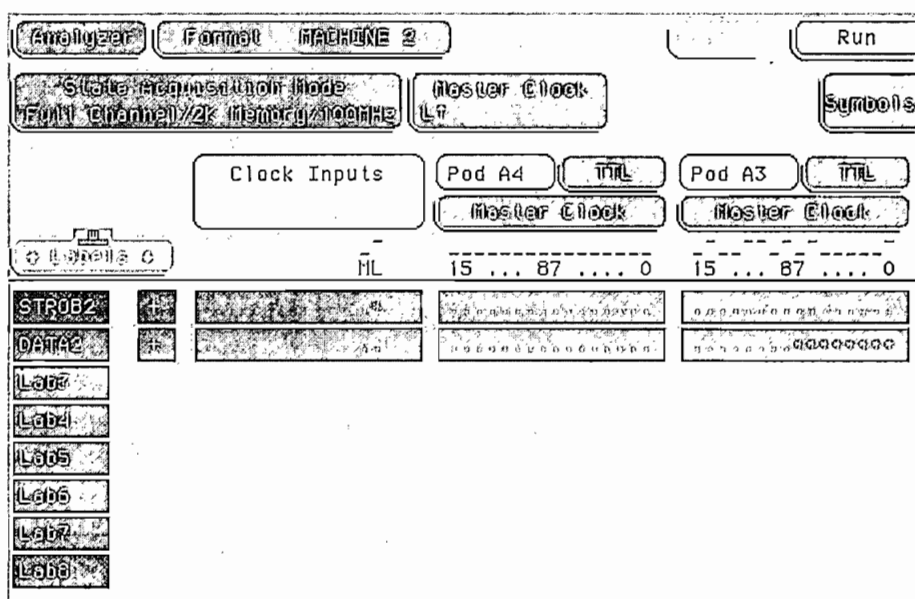


Figura 4.40 Configuración del Analizador para el Análisis en estados del Interfaz RS-485/422.

Las figuras 4.41 (a) y (b) muestran los bits y los nombres de las etiquetas asignados para cada analizador de estado (MACHINE 1 Y MACHINE 2) respectivamente.



(a) Nombre de etiquetas y asignación de bits para el Analizador 1



(b) Nombre de etiquetas y asignación de bits para el Analizador 2

Figura 4.41 Nombre de las Etiquetas y asignación de bits para el Análisis en estados del Interfaz RS-485/422.

Para la configuración del disparo, como para el interfaz RS-232, la señal de validación viene dado por el microcontrolador ($P3.7 = 0$). Esta condición dentro del menú "Trigger" está representada por las letras "a" y "b" respectivamente de acuerdo al analizador configurado (Machine 1 o Machine 2).

(a) Configuración de disparo para el Analizador 1.

(b) Configuración de disparo para el Analizador 2.

Figura 4.42 Configuración de disparo para el análisis en estados del interfaz

RS-485/422.

Como conclusión a las configuraciones anteriores, se obtienen los datos en forma de lista. Gracias a la transformación serie-paralelo de los datos, se los puede apreciar en forma Binaria, Hexadecimal, ASCII o símbolo.

Analyzer		Listing MACHINE 1		Run		
Markers		Acquisition Time				
Off		01 Dec 2002 11:25:50				
Label>	STROB1	DATA1	STROB2	TIME	STROB2	DATA2
Base>	Symbol	ASCII	Binary	Relative	Hex	ASCII
0	VALIDO	E	0			
1	VALIDO	S	0	142.5 ms		
2	VALIDO	C	0	206.3 ms		
3	VALIDO	U	0	675.4 ms		
4	VALIDO	E	0	124.6 ms		
5	VALIDO	L	0	320.8 ms		
6	VALIDO	A	0	127.1 ms		
				180.8 ms		
				9.325 s		
				202.5 ms		
				181.3 ms		
				210.4 ms		
				432.1 ms		
				152.1 ms		
				225.0 ms		
				568.8 ms		

(a) Listado de datos del Analizador 1.

Analyzer		Listing MACHINE 2		Run	
Markers		Acquisition Time			
Off		01 Dec 2002 11:25:50			
Label>	Time	DATA1	DATA2		
Base>	Absolute	ASCII	ASCII		
	-11.10 s				
	-10.96 s				
	-10.75 s				
	-10.08 s				
	-9.953 s				
	-9.632 s				
	-9.505 s				
	-9.325 s				
0	0 s			P	
1	202.5 ms			O	
2	383.8 ms			L	
3	594.2 ms			I	
4	1.026 s			T	
5	1.178 s			E	
6	1.403 s			C	
7	1.972 s			N	

(b) Listado de datos del Analizador 2.

Figura 4.43 Listado de datos para el interfaz RS-485/422.

4.3.3 CONFIGURACIÓN DEL ANALIZADOR LÓGICO PARA EL ANÁLISIS DE ESTADOS Y TIEMPO DEL INTERFAZ RS-485/422.

Como se ha hecho para los casos anteriores, la configuración de los analizadores se la realiza desde el menú "Analyzer Configuration"; al Analizador 1 se lo configura como analizador de estados y al Analizador 2 como analizador de tiempos.

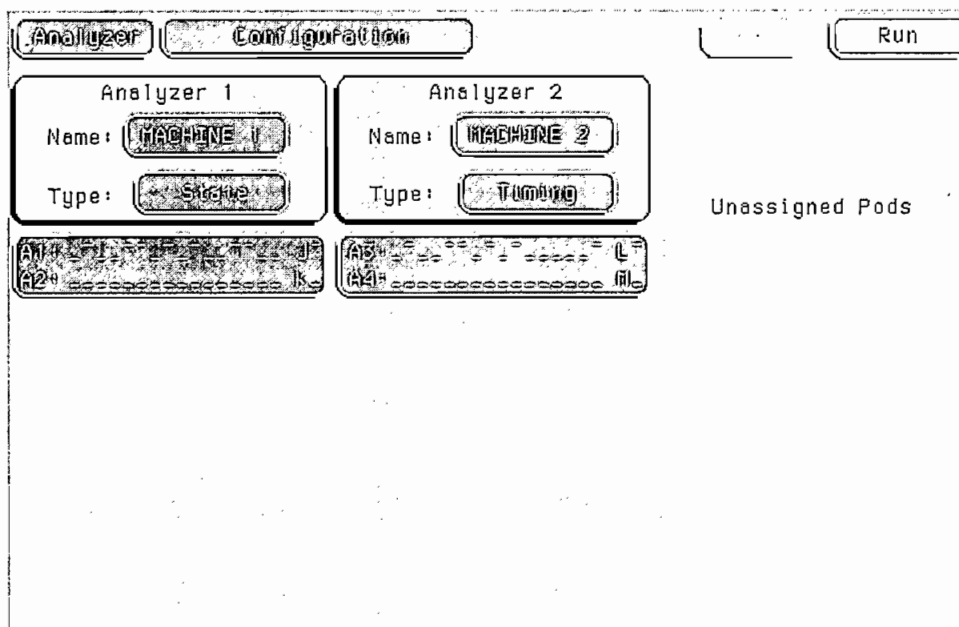
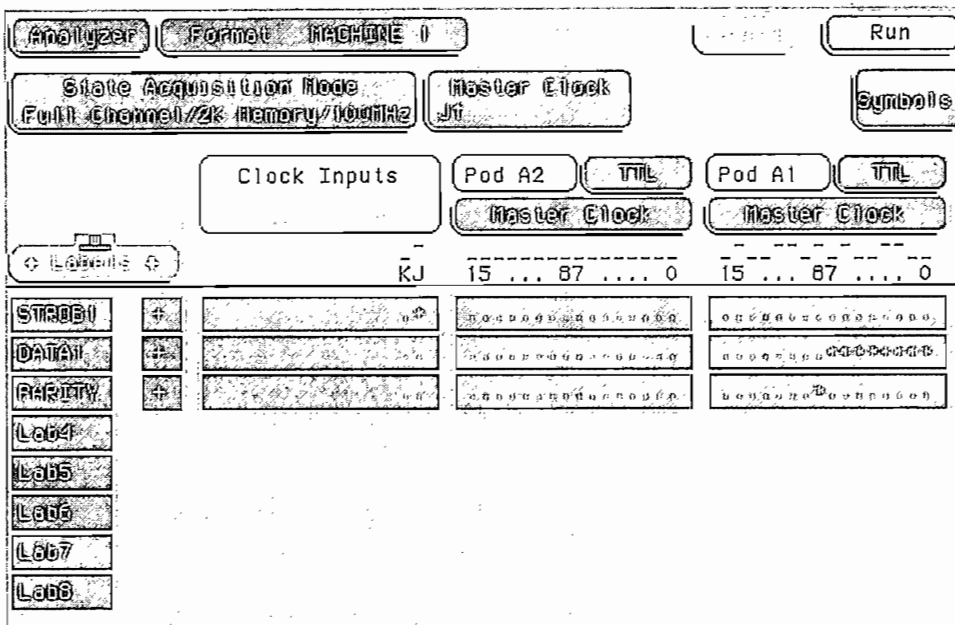
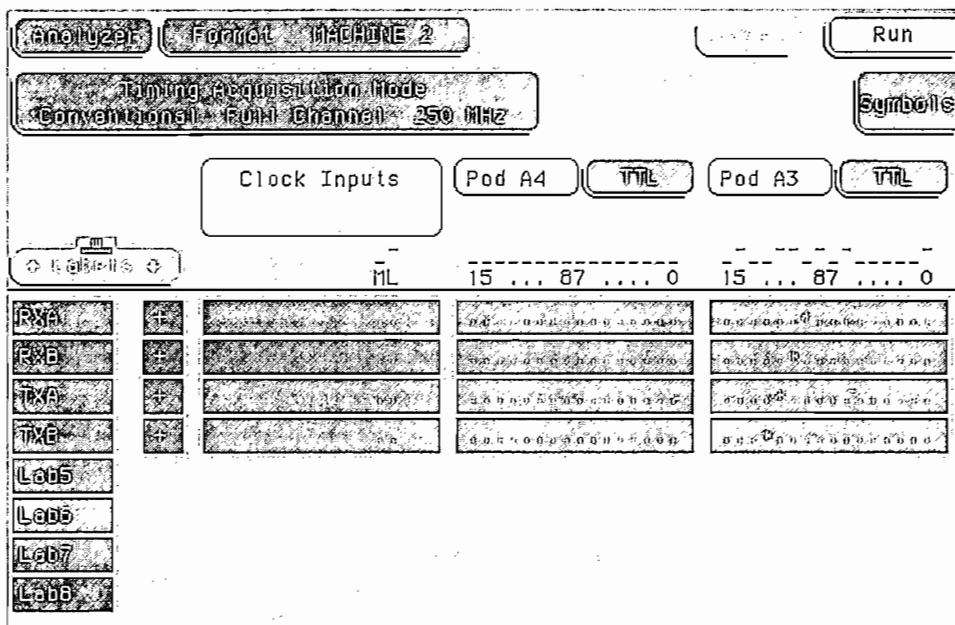


Figura 4.44 Configuración de Analizadores para el análisis mezclado del interfaz RS-485/422.

En las figuras 4.45 (a) y (b) se muestran los bits y etiquetas asignadas para cada POD, los cuales servirán para censar las señales que intervienen en este protocolo de comunicación.



(a) Nombre de etiquetas y asignación de bits para el Analizador 1.



(b) Nombre de etiquetas y asignación de bits para el Analizador 2.

Figura 4.45 Asignación de etiquetas y bits para el análisis mezclado del interfaz RS-485/422.

Para la configuración del disparo, como en los casos anteriores, se los debe ejecutar de manera que el disparo del Analizador 1 que se encuentra configurado

como analizador de estados, arme el disparo del Analizador 2 el mismo que se encuentra como Analizador de tiempos.

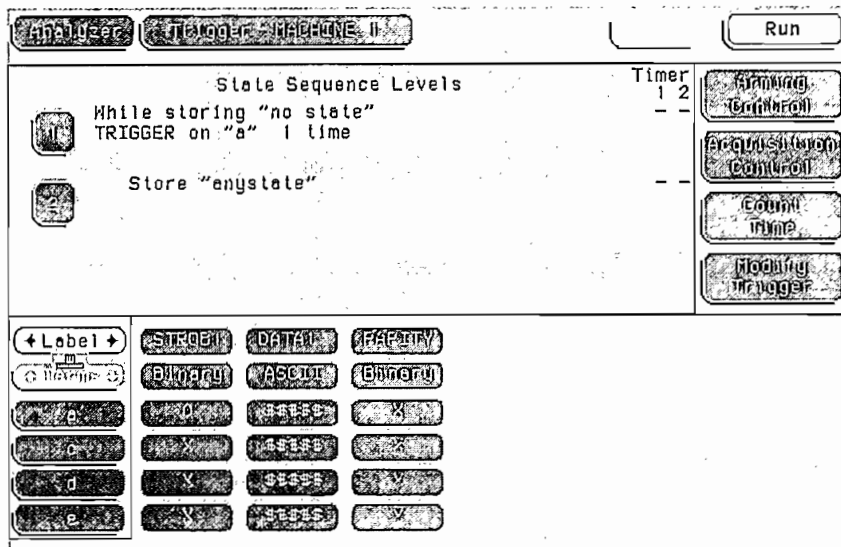


Figura 4.46 Configuración del disparo para el análisis mezclado del interfaz RS-485/422.

Al final, después de realizar los procedimientos anteriores, se puede obtener los datos en forma de estados así como formas de onda, lo que hace efectivo el análisis del protocolo analizado.

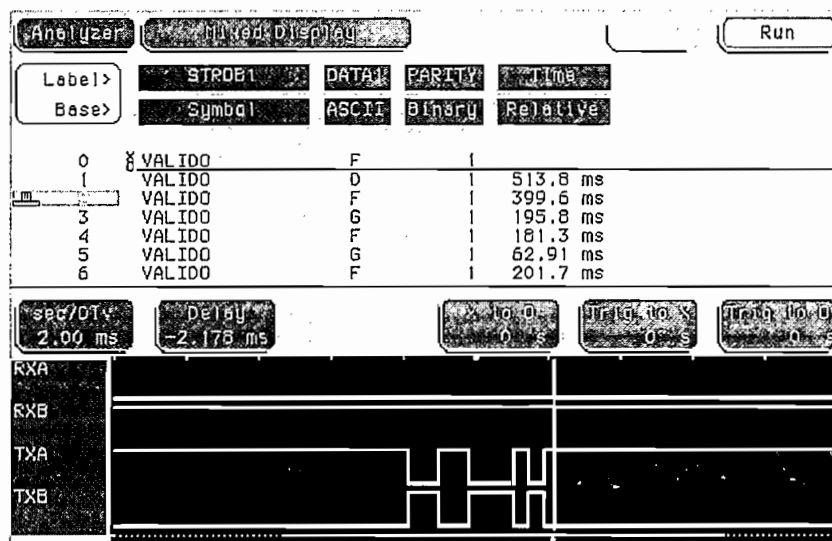


Figura 4.47 Despliegue mezclado del interfaz RS-485/422.

4.4 CONFIGURACIÓN DEL ANALIZADOR LÓGICO HP 1662 CS PARA LA ADQUISICIÓN DE DATOS DEL INTERFAZ DE TECLADO AT

Esta sección presenta los pasos a seguir en la configuración del analizador lógico HP 1662 CS para el análisis de las señales que intervienen en la comunicación entre el PC y el teclado. Debido a que la comunicación entre el PC y el teclado es serial, en la pantalla del analizador lógico se puede observar el protocolo utilizado en esta comunicación ya sea bit a bit (si es configurado como un analizador de estados), medir las características de éstas señales en el tiempo (si se configura como un analizador de tiempo) o ver el protocolo usado de una manera más ilustrativa con la ayuda del programa elaborado en el microcontrolador Atmel AT89C1051U.

4.4.1 PROGRAMA PARA LA CONVERSIÓN DE DATOS SERIALES A PARALELO PARA EL INTERFAZ DE TECLADO AT.

Como se mencionó anteriormente, el interfaz de teclado en lo que a software se refiere, es una comunicación serial bidireccional sincronizada por la señal de reloj KBDCLK. El programa elaborado para el microcontrolador AT89C1051U es un convertidor a paralelo del interfaz de teclado que envía por el pòrtico paralelo del mismo el código de rastreo byte por byte.

En la parte del hardware, recordando el capítulo anterior, la recepción es manejada con la interrupción externa 0 (INT0 por flanco negativo de KBDCLK), si el flujo de datos es del teclado al computador. Si el flujo de datos es del computador al teclado, en el programa principal se leen los bits en el flanco positivo de la señal de reloj KBDCLK.

ENTRADAS

SALIDAS

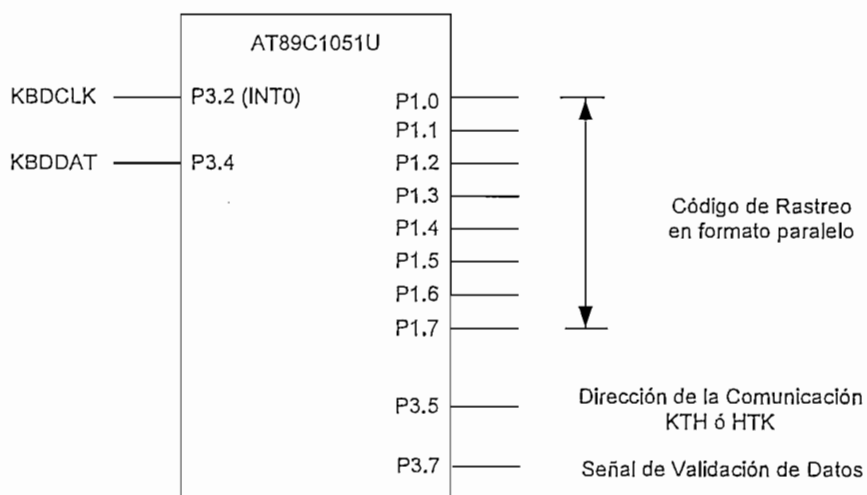


Figura 4.48 Señales de entrada y salida del microcontrolador para el Interfaz de Teclado AT

El algoritmo es simple, como se muestra en la figura 4.49 el programa principal verifica constantemente si se ha encendido la bandera de final de dato (FINDAT=1L) para proceder a determinar la dirección del flujo de los datos, esto se establece leyendo la línea de KBDDAT en la siguiente transición positiva de KBDCLK luego de que se ha recibido el último bit del código (*PARADA* para la dirección del teclado al computador ó *ACK* para la dirección del computador al teclado). Si KBDDAT = 0L se trata del bit de inicio, por lo tanto la dirección es del teclado al computador. Si KBDDAT = 1L, el computador está forzando a la línea KBDDAT a alto para indicar que la dirección del flujo de información va a ser del teclado al computador.

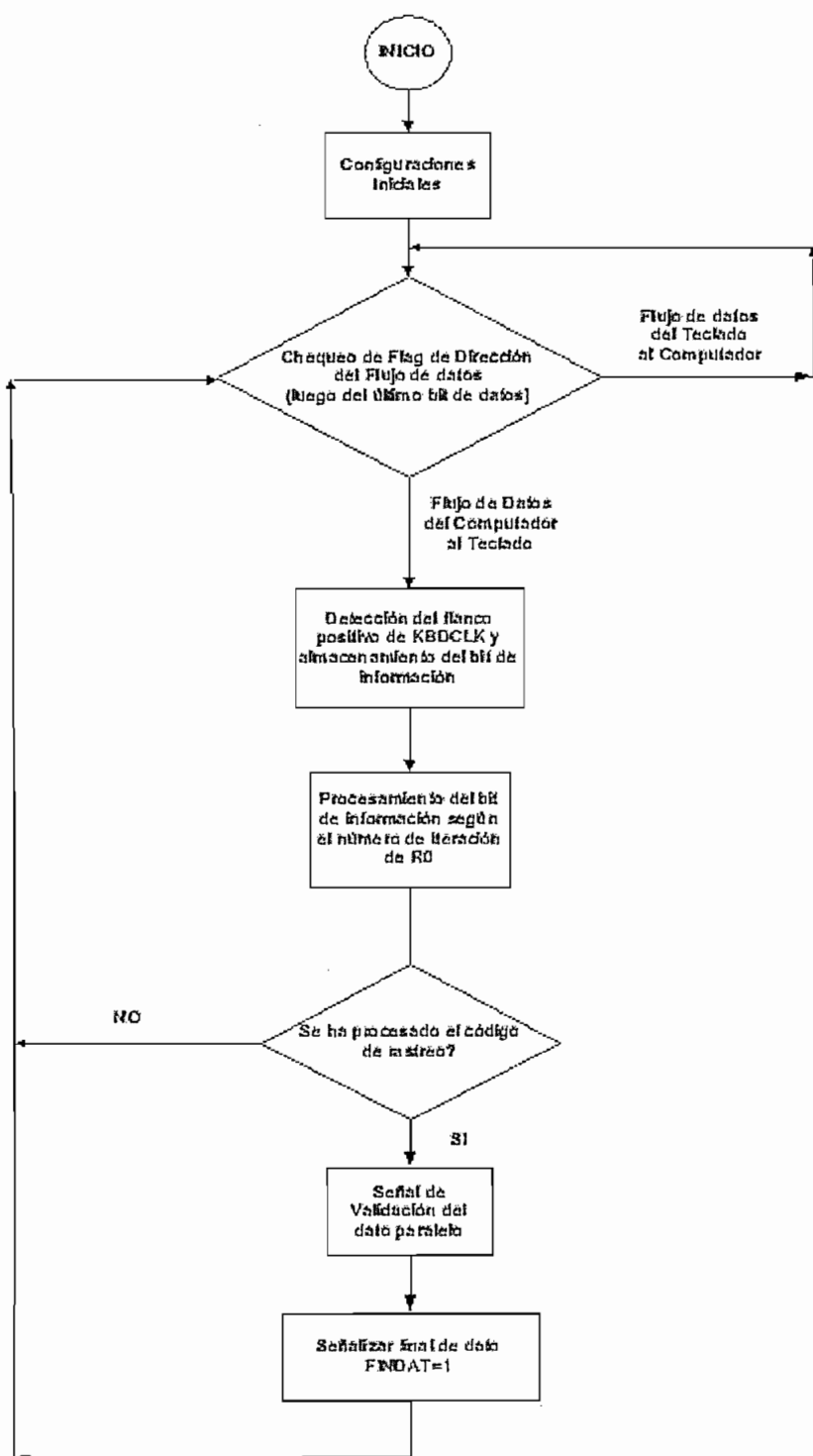


Figura 4.49 Diagrama de Flujo del Programa Principal para el Interfaz de Teclado AT.

Si la dirección es del teclado al computador el microcontrolador almacena y procesa los 11 bits seriales (inicio, 8 bits de datos, paridad y parada) que se encuentran en la línea KBDDAT. La lectura de los bits de información es en cada transición *negativa* del pulso de reloj (KBDCLK). Esto es fácilmente manejado si la línea de reloj se conecta al pin INT0. La función de la interrupción (Figura 4.50) será ejecutada y el dato será almacenado en cada transición *negativa* de la señal de reloj.

Luego de que todos los bits hayan sido recibidos, el dato decodificado es llevado hacia el puerto paralelo P1 comunicando al analizador lógico de que se tiene un dato en el puerto a través de una señal de validación por el pin P3.7 (P3.7=0).

Cuando la dirección es del computador al teclado se inhabilita la interrupción externa para que el microcontrolador lea y almacene los bits de la línea KBDDAT en cada transición *positiva* del pulso de reloj KBDCLK. Los 12 bits seriales (inicio, 8 bits de datos, paridad, parada y ACK) son leídos por el microcontrolador a través de una subrutina de lectura de datos que se ejecuta cada vez que la línea de KBDCLK cambia de 0L a 1L (flanco ascendente).

Finalmente el dato decodificado se lleva al puerto paralelo P1 y se indica al analizador lógico que existe un dato válido en el puerto a través de la señal de validación en el pin P3.7 (P3.7=0) la cual pasa a ser reloj de muestreo para el analizador de estados.

Para ambos sentidos de la comunicación, el microcontrolador presenta el código de rastreo o comando por su puerto paralelo P1 (byte por byte), despreciando los bits de inicio, paridad, parada y ACK.

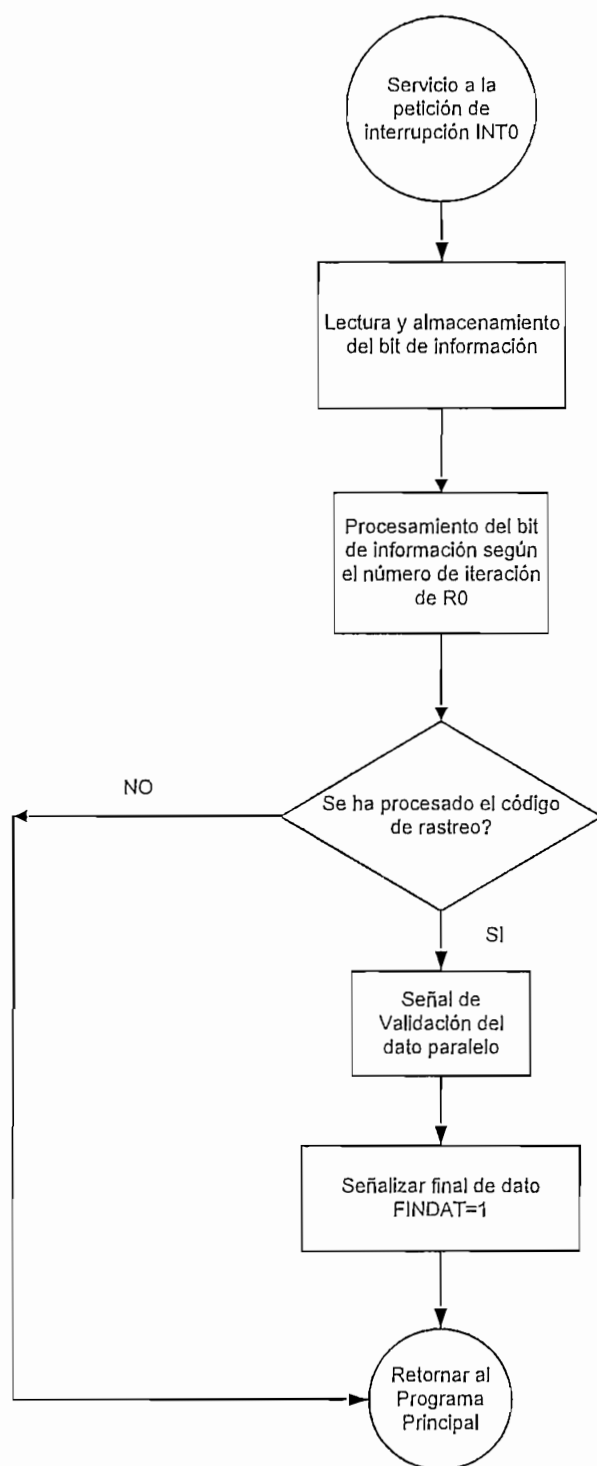


Figura 4.50 Diagrama de Flujo de la Interrupción Externa 0 para el Interfaz de Teclado AT.

4.4.2 CONFIGURACIÓN DEL ANALIZADOR LÓGICO PARA EL ANÁLISIS EN EL TIEMPO DEL INTERFAZ DE TECLADO AT.

En la Figura 4.51 se muestra la configuración del Analizador para el Análisis en el Tiempo del Interfaz de teclado AT, el Analizador 1 es habilitado como analizador de tiempo.

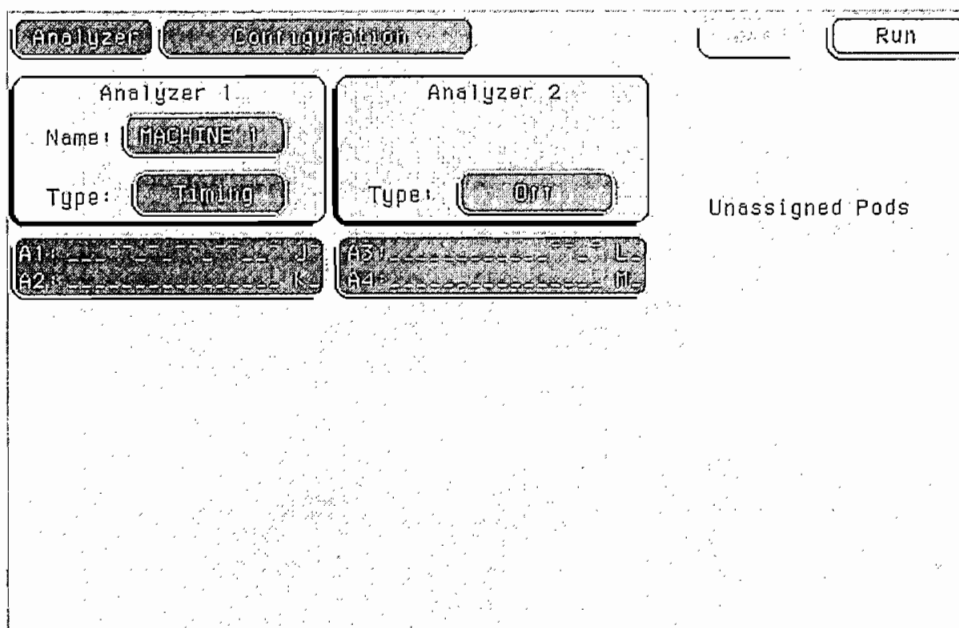


Figura 4.51 Configuración del Analizador para el análisis en el tiempo del interfaz de teclado AT.

En el menú "Format Machine 1" se realiza la asignación de bits así como el nombre de las etiquetas, las cuales se identifican con las señales que intervienen en el protocolo de comunicación.

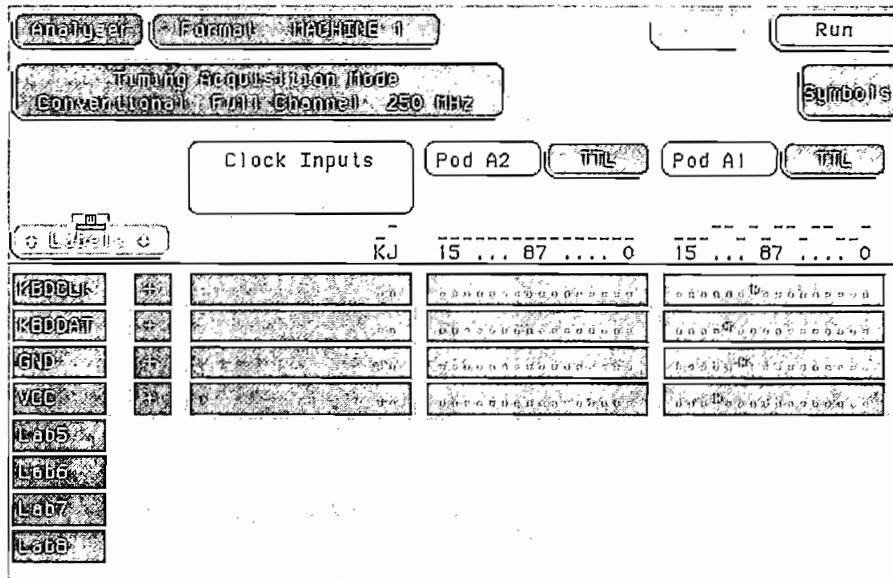


Figura 4.52 Asignación de etiquetas y bits para el análisis en el tiempo del interfaz para teclado AT.

La configuración del disparo se la realiza en el menú "Trigger machine 1"; la condición de disparo, como se puede apreciar en la figura 4.53, es que cuando la señal de reloj de teclado, representado por la letra "a", pase de un nivel alto a bajo dispare el analizador y este comience la adquisición.

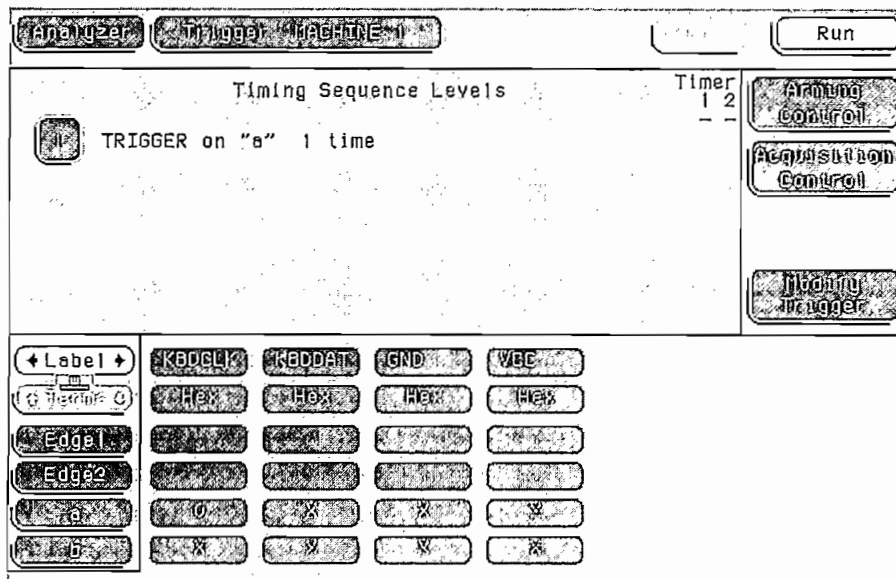


Figura 4.53 Configuración de disparo para el análisis en el tiempo del interfaz de teclado AT.

Al concluir con las configuraciones anteriores, el analizador está en capacidad de obtener las señales, las mismas se pueden apreciar a través del menú "Waveform", después de activar al mismo pulsando la tecla "RUN".

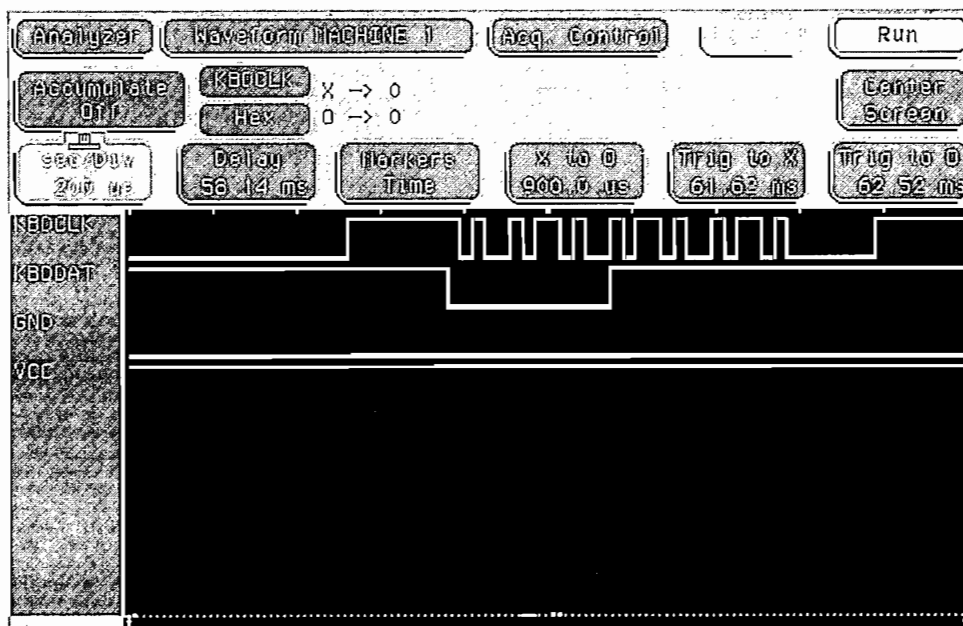


Figura 4.54 Forma de onda de las señales del interfaz de teclado AT.

4.4.3 CONFIGURACIÓN DEL ANALIZADOR LÓGICO PARA EL ANÁLISIS DE ESTADOS DEL INTERFAZ DE TECLADO AT.

El interfaz de teclado AT posee una comunicación Half-dúplex, por lo que solo se debe configurar un analizador (Analizador 1) como analizador de estados. En la figura 4.55 se puede apreciar la configuración del analizador para el análisis en estados del interfaz de teclado AT.

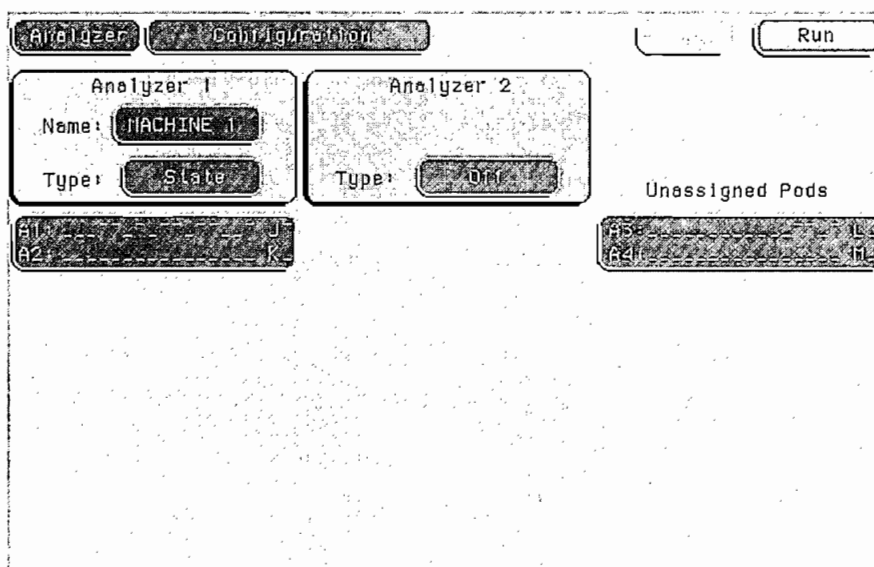


Figura 4.55 Configuración del Analizador para el análisis en estados del interfaz de teclado AT.

En el menú "Format Machine 1" se realiza la asignación de bits y los nombres para las etiquetas. Gracias al programa de conversión de serie - paralelo del microcontrolador. Los datos se los puede apreciar en forma Binaria, Hexadecimal, ASCII o símbolo según sea el caso.

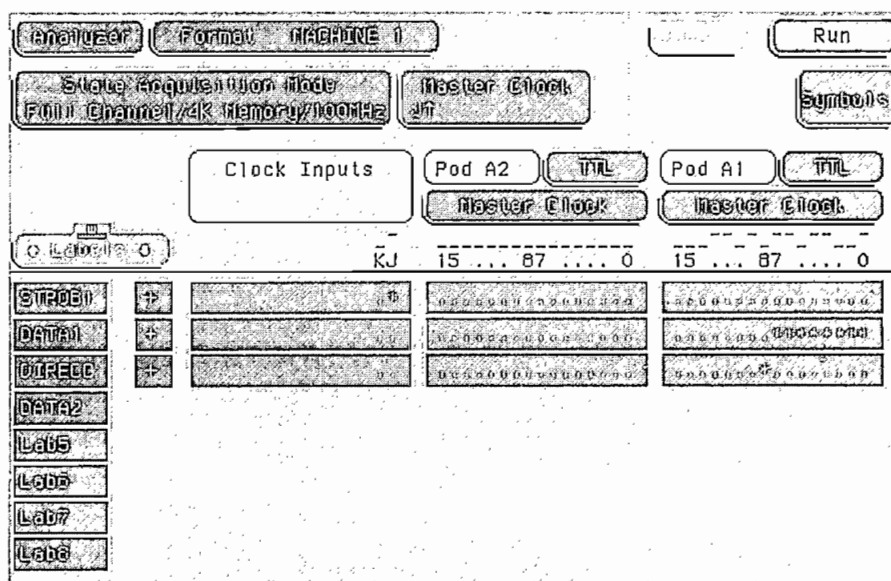


Figura 4.56 Asignación de nombres y bits para el análisis en estados del interfaz de teclado AT.

Para este caso, la condición de disparo viene dada por la señal de habilitación que genera el microcontrolador, esta indica al analizador que un dato válido se encuentra listo para ser obtenido y mostrado. La configuración del disparo se la realiza a través del menú "Trigger machine 1", la señal de habilitación se encuentra representada por la letra "a" y como se indica en la figura 4.57 el analizador se dispara cuando la señal de validación pase de un nivel alto a bajo.

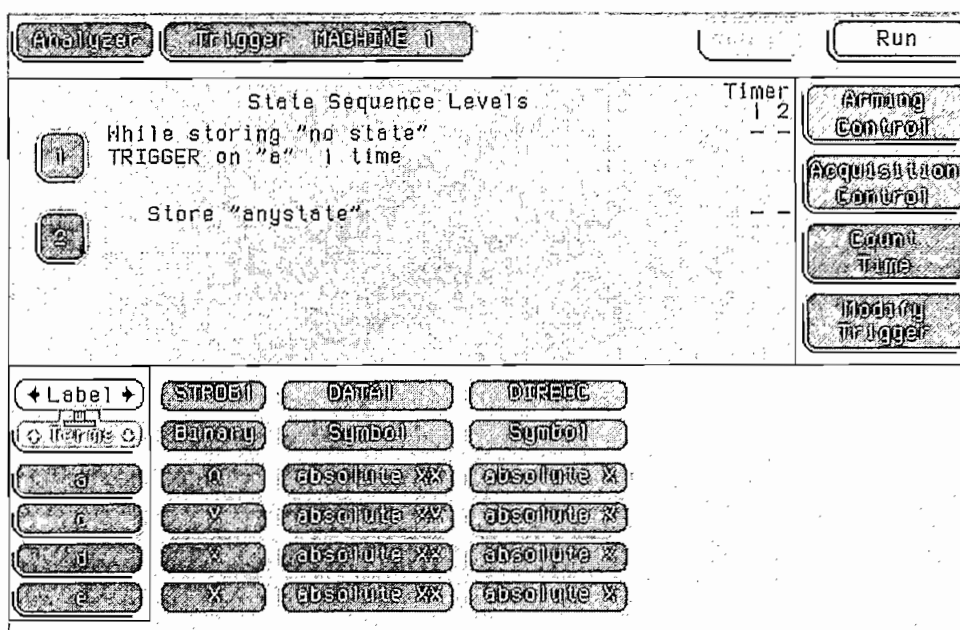


Figura 4.57 Configuración del disparo para el análisis de estados del interfaz de teclado AT.

Configurado lo anterior, pulsando la tecla "RUN", el analizador comienza a obtener los datos y a través del menú "Listing machine 1" se puede observar el listado de estados en forma Binaria, Hexadecimal, ASCII o símbolo según sea la necesidad.

Label	Symbol	Hex	Symbol	Symbol	Time
0	VALIDO	1C	A	DATOS	
1	VALIDO	F0	LIBERACI	DATOS	93.41 ms
2	VALIDO	1C	A	DATOS	1.985 ms
3	VALIDO	1B	S	DATOS	123.2 ms
4	VALIDO	F0	LIBERACI	DATOS	117.3 ms
5	VALIDO	1B	S	DATOS	1.987 ms
6	VALIDO	23	D	DATOS	149.1 ms
7	VALIDO	F0	LIBERACI	DATOS	87.45 ms
8	VALIDO	23	D	DATOS	1.989 ms
9	VALIDO	2B	F	DATOS	172.9 ms
10	VALIDO	F0	LIBERACI	DATOS	81.48 ms
11	VALIDO	2B	F	DATOS	1.987 ms
12	VALIDO	34	G	DATOS	117.3 ms
13	VALIDO	F0	LIBERACI	DATOS	59.63 ms
14	VALIDO	34	G	DATOS	1.983 ms

Figura 4.58 Listado de datos para el análisis en estados del interfaz de teclado AT.

4.4.4 CONFIGURACIÓN DEL ANALIZADOR LÓGICO PARA EL ANÁLISIS DE ESTADOS Y TIEMPO DEL INTERFAZ DE TECLADO AT.

Como para los análisis anteriores, el Analizador 1 está configurado como analizador de estados y el Analizador 2 como analizador de tiempos.

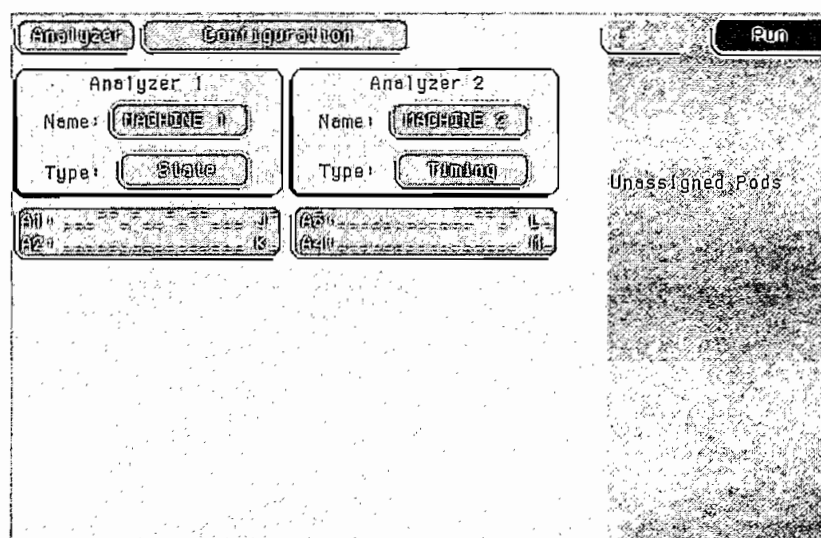
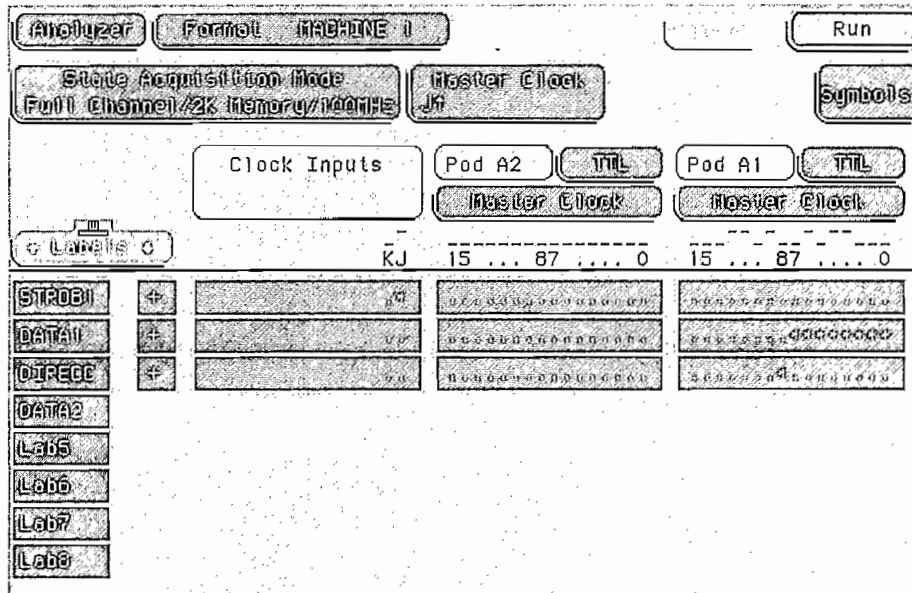
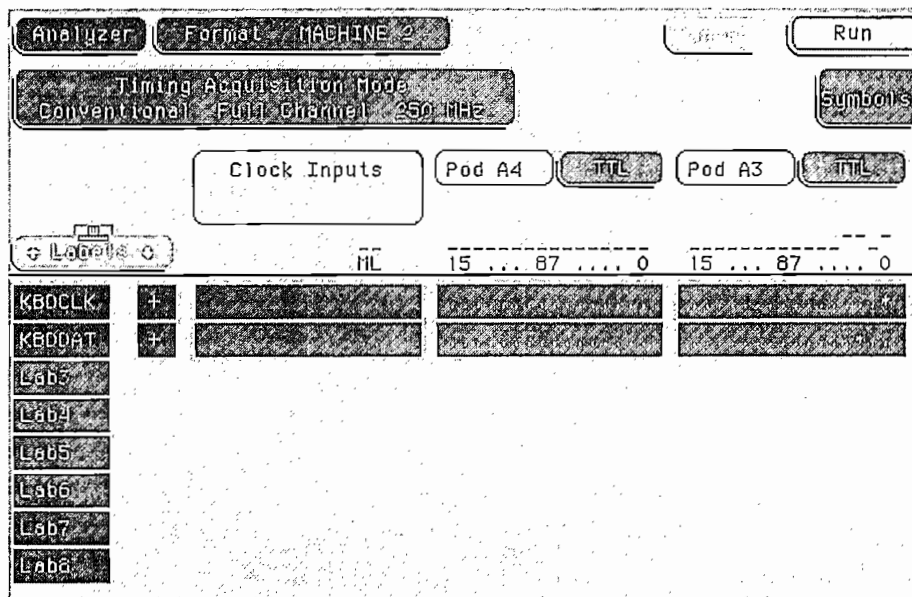


Figura 4.59 Configuración de analizadores para el análisis mezclado del interfaz de teclado AT.

Para la asignación de etiquetas y bits, se toman las mismas configuraciones como para el caso de análisis en el tiempo y en estados, pero se asignan a diferentes PODs.



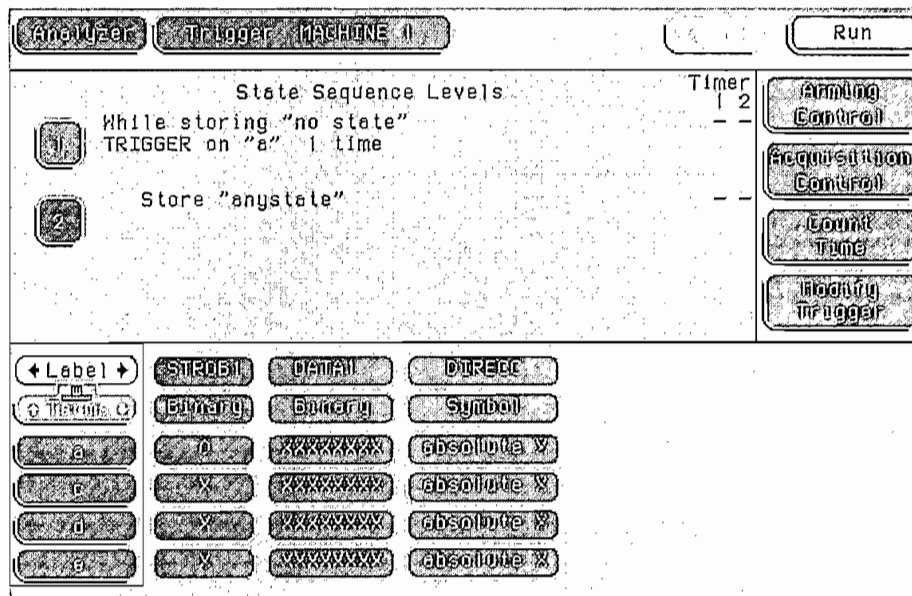
(a) Asignación de nombres y bits para el Analizador 1.



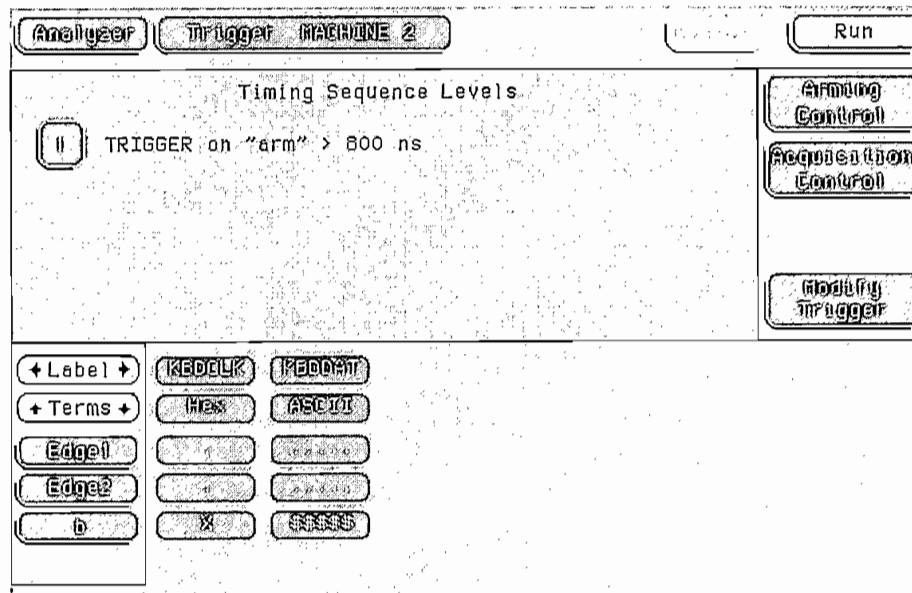
(b) Asignación de nombres y bits para el Analizador 2.

Figura 4.60 Asignación de nombres y bits para el análisis mezclado del interfaz de teclado AT.

Se determina el término de disparo "a" (STROB1=0) para el Analizador 1, mientras que, como se puede apreciar en la figura 4.61 (arm > 800 ns), el disparo del Analizador 2 se produce 800 ns después de que se ha disparado el Analizador 1.



(a) Configuración de disparo para el Analizador 1.



(b) Configuración de disparo para el Analizador 2.

Figura 4.61 Configuración de disparo para el análisis mezclado del interfaz de teclado AT.

Como paso final, se pueden apreciar los datos en forma de lista, y a la vez como señales en forma de onda. Esto se ejecuta desde el menú "Mixed Display".

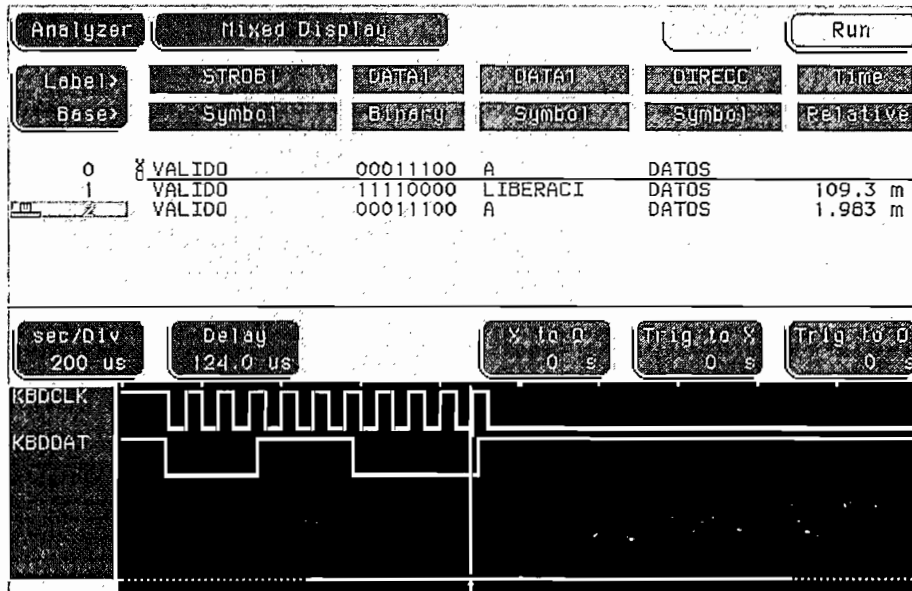


Figura 4.62 Despliegue mezclado del interfaz de teclado AT.

CONCLUSIONES
Y
RECOMENDACIONES

CONCLUSIONES

- Se ha logrado cumplir el objetivo planteado al inicio del proyecto, con la ayuda del analizador lógico HP1662CS y las tarjetas electrónicas de adquisición de datos diseñadas, se consiguió mostrar de manera ilustrativa las señales y los datos para una mejor comprensión de los procesos de comunicación que se dan en los interfaces Centronics, RS-232, RS-485/422 y de teclado AT.
- Debido a que la fuente de corriente continua es suministrada por el propio analizador, se consiguió que el diseño de las tarjetas de adquisición de datos sea el más compacto posible, sin necesidad de una fuente externa adicional.
- La selección del microcontrolador AT89C1051U fue apropiada, su característica CMOS, combinada con su bajo consumo de corriente, permite asegurar la integridad del equipo analizador ($I_{m\acute{a}x}=330\text{ mA}$).
- Una desventaja del uso del microcontrolador AT89C1051U es que el diseño de las tarjetas de adquisición de datos de los interfaces seriales RS-232, RS-485/422 y de teclado AT no se pudo implementar en una sola tarjeta debido a que los microcontroladores no disponen del número suficiente de líneas de entrada/salida.
- El Interfaz USB (Bus serial universal) ha llegado a ser muy popular pero por sus características eléctricas y de velocidad no se pudo implementar una tarjeta de adquisición de datos para este interfaz.
- Las tarjetas de adquisición de datos además de permitir el análisis de los interfaces tratados en el proyecto, con una apropiada configuración del Analizador Lógico, pueden ser utilizadas en el proceso de diseño e implementación de proyectos que utilicen los conectores estándares DB9,

DB25 y PS/2, gracias a que con el hardware elaborado, el analizador puede interceptar todas las señales que se transmiten por dichos conectores.

RECOMENDACIONES

- El sistema de adquisición de datos es una herramienta didáctica ideal para la implementación de un laboratorio para la materia de Interfaces de Microcomputadoras.
- Para obtener mayor provecho del sistema de adquisición de datos es aconsejable que el usuario haga un estudio de las diferentes formas de disparo que se pueden implementar en el analizador lógico.
- Cuando se tenga una red, las configuraciones para el análisis de las mismas se deben hacer tomando en cuenta que cada nodo tiene su correspondiente dirección binaria, como en el caso de redes RS-485 por ejemplo.
- Se recomienda continuar con la investigación de tal manera que se consiga la implementación de sistemas de adquisición de datos para buses de expansión de computadores personales, como son PCI, VESA, IDE, etc.
- Una buena aplicación del analizador lógico sería orientada al estudio de las colisiones en redes de computadores.
- El analizador lógico tiene funciones de programación lo cual permite descargar la información hacia un computador personal, la elaboración del software que controle el analizador lógico vía remota sería una entre tantas aplicaciones que se podría conseguir con su programación.

ANEXO

A

MANUAL DEL USUARIO

El manual del usuario presenta de manera simplificada los pasos elementales para el análisis y la adquisición de datos en los interfaces tratados en el presente trabajo, no es un resumen de las configuraciones llevadas a cabo en el capítulo 3. Para resolver cualquier duda o problema se debe hacer referencia al Manual de Usuario del Analizador Lógico HP1662CS.

Las configuraciones desarrolladas en el capítulo 3, se encuentran almacenadas en el disco duro del analizador lógico. Previo al análisis de los puertos es necesario cargar estos archivos de configuración para el respectivo sistema.

DOS Filename	Date	Time	Bytes	File Description
EJEM06	1Feb02	9:15:32	69376	
EJEM06	1Feb02	9:15:28	1792	
PROBADOR	5Nov99	11:57:46	0	DIRECTORY
PRUEBAS	17Jan02	10:05:26	0	DIRECTORY
RESET	16Dec98	15:41:30	0	DIRECTORY
SYSTEM	13Feb98	12:21:52	0	DIRECTORY
S_A_D	28Nov02	11:07:46	0	DIRECTORY

PKD: \\
 DOS Disk Space(bytes) - Total: 2,111,864,832 Free: 2,097,971,200

Figura A.1 Menú System Hard Disk.

El menú "System Hard Disk" dispone del sistema operativo DOS que permite manipular los archivos de configuración. Para cargar una configuración se presiona la tecla de menú "System". Posicionándose a la derecha del campo "System" se selecciona la opción "Hard Disk". Si el directorio de archivos no ha

sido previamente leído por el analizador lógico, se verá en pantalla el mensaje "reading directory..." antes de que el listado del directorio sea mostrado.

Escogiendo el campo bajo "System", en el lado izquierdo de la pantalla, se cambia la opción a "Load" y se presiona Done. En el campo a la derecha de "Load" se configura con la opción "All".

Usando la perilla, se ubica sobre el nombre del archivo que se quiere cargar con la barra gris que aparece en la pantalla. Cuando se guarda un archivo se crean tres con el mismo nombre pero con distinta extensión ("._A", "._B" y ".__"), el archivo a escoger será el de extensión ".__" (nombre.__), luego posicionándose sobre el campo "Execute" se presiona select.

Una vez finalizada la recuperación del archivo de configuración, ubicándose en el campo "System" se presiona la tecla "select" y se escoge "Analyzer" en el menú que aparece. Y se corre la medición con la tecla "Run".

Los archivos de configuración se encuentran bajo el directorio S_A_D (sistema de Adquisición de Datos), como se muestra en la figura A.2. La figura A.3 muestra los subdirectorios contenidos en el directorio S_A_D. Para ingresar al directorio S_A_D en el campo bajo "Load" se escoge la opción "Change Dir." Y posicionándose con la barra gris sobre el directorio S_A_D se elige el campo "ejecutar".

Los subdirectorios dentro de S_A_D se detallan en la siguiente tabla:

CENTRONI	Subdirectorio Interfaz Centronics
PC_PC	Subdirectorio Comunicación PC a PC
RS-232	Subdirectorio Interfaz RS-232
RS-485	Subdirectorio RS-485
TECLADOA	Subdirectorio Teclado AT

Tabla A.1

DOS Filename	Date	Time	Bytes	File Description
EJEM06	1Feb02	9:15:32	69376	
EJEM06	1Feb02	9:15:28	1792	
PROBADOR	5Nov99	11:57:46	0	DIRECTORY
PRUEBAS	17Jan02	10:05:26	0	DIRECTORY
RESET	16Dec98	15:41:30	0	DIRECTORY
SYSTEM	13Feb98	12:21:52	0	DIRECTORY
S_A_D	28Nov02	11:07:46	0	DIRECTORY

PWD: \

DOS Disk Space(bytes) - Total: 2,111,864,832 Free: 2,097,971,200

Figura A.2 Directorio Raíz del disco Duro del Analizador Lógico.

DOS Filename	Date	Time	Bytes	File Description
..	28Nov02	11:07:46	0	DIRECTORY
CENTRONI	28Nov02	11:08:18	0	DIRECTORY
PC_PC	28Nov02	11:18:02	0	DIRECTORY
RS_232	28Nov02	11:08:40	0	DIRECTORY
RS_485	28Nov02	11:08:50	0	DIRECTORY
TECLADOA	28Nov02	11:09:08	0	DIRECTORY

PWD: \S_A_D

DOS Disk Space(bytes) - Total: 2,111,864,832 Free: 2,097,971,200

Figura A.3 Directorio Raíz del disco Duro del Analizador Lógico.

Dentro de cada subdirectorio de la figura A.3, existen las configuraciones a cargarse, con su respectiva descripción que hace referencia a la aplicación correspondiente, como por ejemplo para el subdirectorio Teclado AT se muestra en la figura A.4.

DOS Filename	Date	Time	Bytes	File Description
..	28Nov02	11:09:08	0	DIRECTORY
KBD_MIX	..A	28Nov02 12:48:18	184832	CODIGO DE RASTREO EN STA/WFORM
KBD_MIX	..B	28Nov02 12:48:18	69376	CODIGO DE RASTREO EN STA/WFORM
KBD_MIX	---	28Nov02 12:48:16	1792	CODIGO DE RASTREO EN STA/WFORM
KBD_STA	..A	28Nov02 12:41:44	77824	CODIGOS DE RASTREO BYTE A BYTE
KBD_STA	..B	28Nov02 12:41:44	69376	CODIGOS DE RASTREO BYTE A BYTE
KBD_STA	---	28Nov02 12:41:42	1792	CODIGOS DE RASTREO BYTE A BYTE
KBD_TIM	..A	28Nov02 12:55:44	82272	CODIGOS EN FORMA DE ONDA SERIAL
KBD_TIM	..B	28Nov02 12:55:44	69376	CODIGOS EN FORMA DE ONDA SERIAL
KBD_TIM	---	28Nov02 12:55:42	1792	CODIGOS EN FORMA DE ONDA SERIAL

PWD: \S_A\D\TECLADOA
 DOS Disk Space(bytes) - Total: 2,111,864,832 Free: 2,097,971,200

Figura A.4 Subdirectorio del Interfaz de teclado AT.

De tal manera, se tiene que los archivos XXX_MIX son para el análisis mezclado, XXX_STA son para el análisis de estados y los XXX_TIM para el análisis en el tiempo.

Los diagramas de conexionado para los diferentes interfaces de computadores se presentan a continuación:

Para el interfaz Centronics:

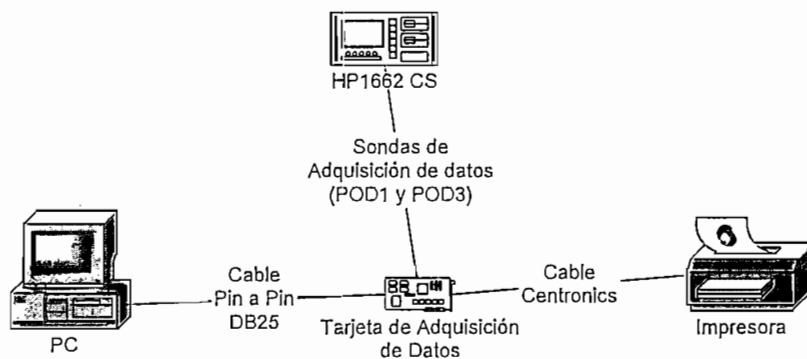


Figura A.5 Esquema de conexión para la adquisición de datos del interfaz Centronics.

Para comunicación de PC a PC por el puerto paralelo:

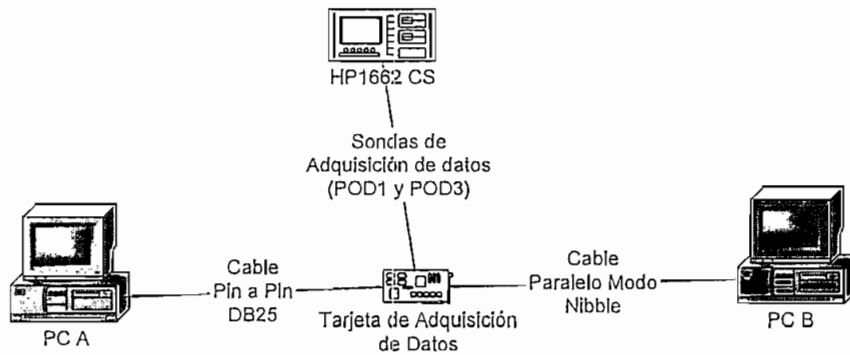


Figura A.6 Esquema de conexión para la adquisición de datos en una comunicación PC a PC.

Como la tarjeta de adquisición de datos para el Interfaz Centronics y para la de comunicación PC a PC es la misma, se tiene unos jumpers para configurar el hardware, de la siguiente manera:

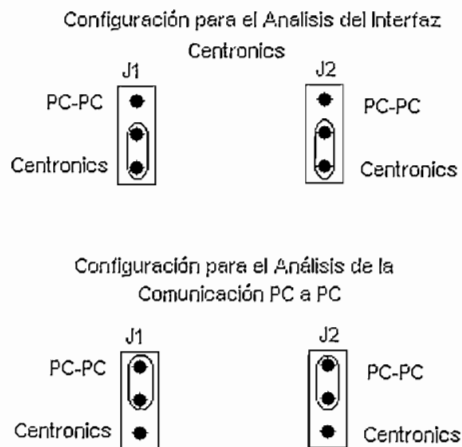


Figura A.7 Configuración de los Jumpers J1 y J2 para la adquisición de datos del Interfaz Centronics o para la comunicación PC a PC.

Para el interfaz RS-232:

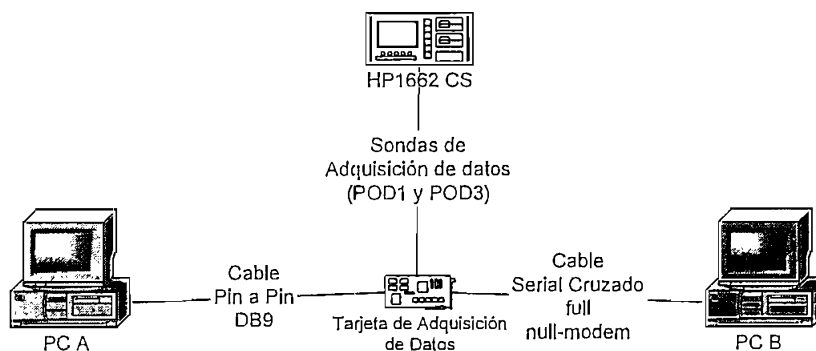


Figura A.7 Esquema de conexión de la Tarjeta de Adquisición de Datos para el Interfaz RS-232

Para el interfaz RS-485:

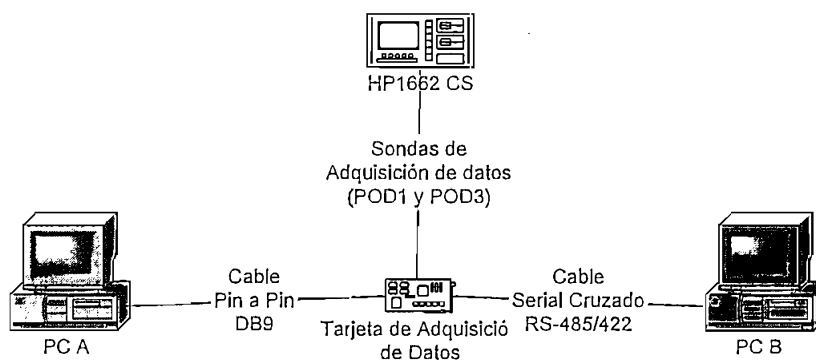


Figura A.8 Esquema de conexión de la Tarjeta de Adquisición de Datos para el Interfaz RS-485/422

De igual forma, tanto para la tarjeta de adquisición de datos del interfaz RS-232 como para la del RS-485/422 poseen un interruptor DIP para configurar los parámetros de comunicación, de la siguiente manera

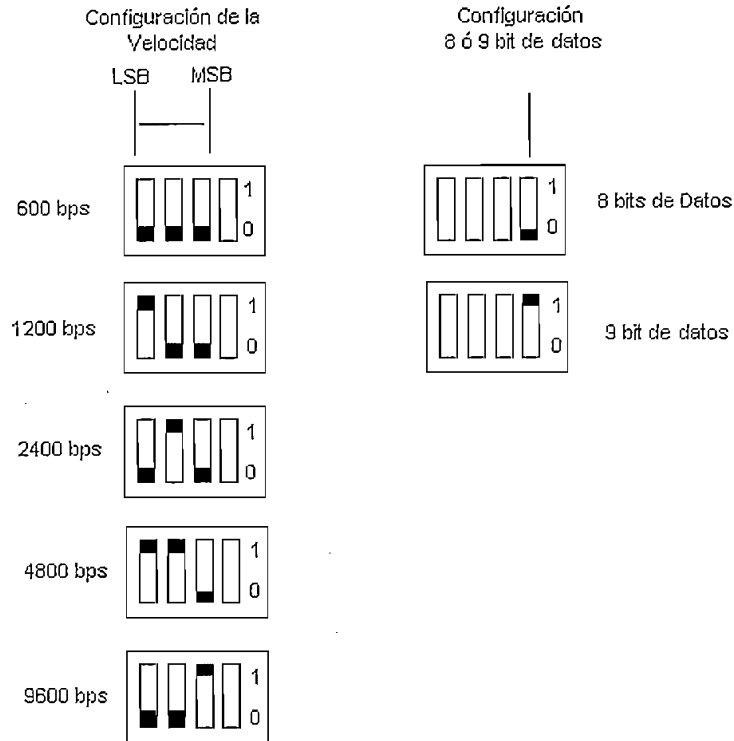


Figura A.9 Interruptor tipo DIP para configuración de parámetros de comunicación para el microcontrolador AT89C1051U.

Para el interfaz de teclado AT:

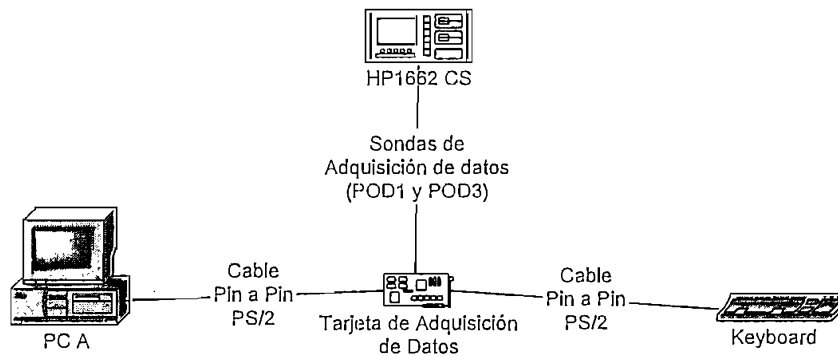


Figura A.9 Esquema de conexión de la Tarjeta de Adquisición de Datos para el Interfaz de Teclado AT

Es recomendable realizar la conexión de los PODs del Analizador Lógico y luego la de los cables a los puertos del (o los) computadores. La conexión de los PODs en la tarjeta se la debe hacer según el gráfico de la figura A.10, debido a que las tarjetas no disponen del conector apropiado.

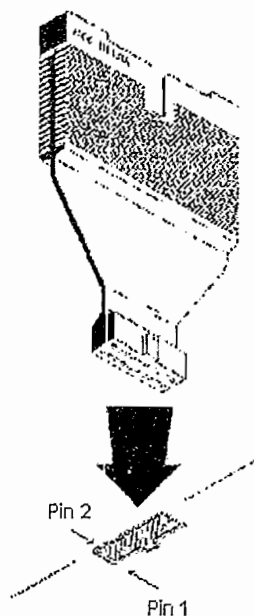


Figura A.11 Conexión del POD en la Tarjeta de Adquisición de Datos.

ANEXO

B

MANUAL DE CABLES

Interfaz Centronics

DB-25 Pin	SeñAL	FUNCION	CENTRONICS Pin
1	Strobe	Strobe D0-D7	1
2	D0	Bit 0 de datos	2
3	D1	Bit 1 de datos	3
4	D2	Bit 2 de datos	4
5	D3	Bit 3 de datos	5
6	D4	Bit 4 de datos	6
7	D5	Bit 5 de datos	7
8	D6	Bit 6 de datos	8
9	D7	Bit 7 de datos	9
10	Ack	Acknowledge	10
11	Busy	Impresora ocupada	11
12	PaperEnd	Fin de papel, vacío	12
13	Select	Impresora seleccionada (on line)	13
14	AutoLF	Generación automática de suministro de línea después de retorno del carro	14
15	Error	Error	32
16	INIT	Inicializa impresora (reset)	31
17	Selection	Selección de impresora (ubicar en línea)	36
18	Gnd	Tierra de retorno para Strobe, D0	19, 20
19	Gnd	Tierra de retorno para D1, D2	21, 22
20	Gnd	Tierra de retorno para D3, D4	23, 24
21	Gnd	Tierra de retorno para D5, D6	25, 26
22	Gnd	Tierra de retorno para D7, Ack	27, 28
23	Gnd	Tierra de retorno para Selection	33
24	Gnd	Tierra de retorno para Busy	29

DB-25 Pin	SeñAL	FUNCION	CENTRONICS Pin
25	Gnd	Tierra de retorno para Inít	30
	Chasis	Tierra de Chasis	17
	NC	No connection	15, 18, 34
	NC	Tierra de señal	16
	NC	+5V	35

Cable para Conexión Directa por Puerto Paralelo Modo Nibble (Laplink Cable)

Computador A		Dirección	Computador B	
Pin	Bit		Bit	Pin
2	D0	->	S3	15
3	D1	->	S4	13
4	D2	->	S5	12
5	D3	->	S6	10
6	D4	->	S7	11
10	S6	<-	D3	5
11	S7	<-	D4	6
12	S5	<-	D2	4
13	S4	<-	D1	3
15	S3	<-	D0	2
18-25	-	GND	-	18-25
1	C0	No se conecta	C0	1
14	C1	No se conecta	C1	14
16	C2	No se conecta	C2	16
17	C3	No se conecta	C3	17

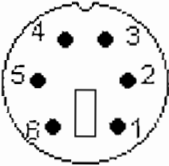
Cable Cruzado RS-232 Full Null Módem.

DB9 HEMBRA		DB9 MACHO	
PIN	FUNCIÓN	PIN	FUNCIÓN
1, 6	CD, DSR	4	DTR
2	RD	3	TD
3	TD	2	RD
4	DTR	1,6	CD,DSR
5	GND	5	GND
7	RTS	8	CTS
8	CTS	7	RTS

CABLE CRUZADO RS-485

DB9 HEMBRA		DB9 MACHO	
PIN	FUNCIÓN	PIN	FUNCIÓN
1	RXA	4	TXA
2	RXB	3	TXB
3	TXA	2	RXA
4	TXB	1	RXB

DISTRIBUCION DE PINES PARA EL CONECTOR PS/2

	1. KBD CLOCK
	2. GND
	3. KBD DATA
	4. NC
	5. Vcc (5 Vdc)
	6. NC

ANEXO

C

**PROGRAMA PARA TRANSFORMACIÓN SERIE – PARALELO
INTERFAZ RS-232 / RS-485/422**

;Area para definición de ETIQUETAS mediante las directivas EQU

;

;Entrada de Puerto serial: P3.0(Rx)

;DIPSWITCH: Seteo de Velocidad --> P3.3, P3.2, P3.1;

;

Modo de Comunicación --> P3.4

;DATA STROBE: P3.5

;Salida Puerto Paralelo: P1

;Noveno bit de datos: P3.7

DIP EQU 20H

DIP2 EQU 22H

SETEO EQU 23H

ORG 0000H

LJMP PROGPR ;Salta al Programa Principal

ORG 0023H

LJMP SERIAL ;Vector Interrupción Serial

PROGPR:

;Area para la instrucciones del Programa Principal

;Programa para transformación de comunicación serie a paralelo

;Area para la definición de etiquetas

MOV IE,#90H ;habilitación de interrupción global
;e interrupción de puerto serie

MOV SCON,#50H ;puerto serie en modo 1.

MOV PCON,#80H ;SMOD=1

MOV TMOD,#20H ;timer 1, modo 1=recarga automática

MOV DIP,#00H ;encera el registro del valor
;del dipswitch

MOV A,DIP

SETB P3.2 ;P3.2=STROBE

SJMP CONFI ;va a configurar la velocidad
;del puerto serie

REGRE:

ORL P3,#1EH

MOV A,P3 ;lee el dipswitch

ANL A,#1EH ;00011110

MOV SETEO,A

CJNE A,DIP2,CONFI ;compara si se ha alterado el dipswitch
;si se ha alterado va a CONFI
;por recepción es borrada

SJMP REGRE ;el programa principal se mantiene en

;este lazo, mientras el valor
;del dipswitch no cambie

CONFI:

;Tabla para la configuración de velocidades:

	P3.3	P3.2	P3.1	VELOCIDAD	TH1	error	P3 (HEX)
	0	0	0	600 bps	A0	0 %	00h
	0	0	1	1.2 kbps	D0	0 %	02h
	0	1	0	2.4 kbps	E8	0 %	04h
	0	1	1	4.8 Kbps	F4	0 %	06h
	1	0	0	9.6 Kbps	FA	0 %	08h
	1	0	1	19.2 Kbps	FD	0 %	0Ah

ANL A,#0EH

```

    CJNE A,#00H,UNO
    MOV TH1,#0A0H      ;0.6 Kbps
    SJMP MODO
UNO: CJNE A,#02H,DOS
    MOV TH1,#0D0H      ;1.2 Kbps
    SJMP MODO
DOS: CJNE A,#04H,TRES
    MOV TH1,#0E8H      ;2.4 Kbps
    SJMP MODO
TRES: CJNE A,#06H,CUATRO
    MOV TH1,#0F4H      ;4.8 Kbps
    SJMP MODO
CUATRO: CJNE A,#08H,CINCO
    MOV TH1,#0FAH      ;9.6 Kbps
    SJMP MODO
CINCO: CJNE A,#0AH,SALIR
    MOV TH1,#0FDH      ;19.2 Kbps
    SJMP MODO

```

;Para la configuración del modo de comunicación:

	P3.4	Modo
	0	1
	1	3

```

MODO:   JNB P3.4,MODO1
        JB  P3.4,MODO3

```

```

MODO1:  CLR F0
        MOV SCON,#50H      ;Puerto Serial en modo 1
        SJMP SALIR

```

```

MODO3:  SETB F0
        MOV SCON,#0D0H     ;Puerto Serial en modo 3
        SJMP SALIR

```



```

SALIR:   SETB TR1           ;inicializa el timer1
         CLR  RI           ;Asegura que la bandera de interrupción sea cero

         MOV  A,SETEO
         MOV  DIP2,A       ;se carga el nuevo valor en DIP2
         SJMP REGRE

;
SERIAL:  CLR  RI           ;Servicio de Interrupción serial
         CLR  RI           ;Borra RI para que no se produzca otra
         CLR  RI           ;interrupción

         JNB  F0,MODE1
         JB   F0,MODE3

MODE1:   MOV  P1, SBUF     ;mueve el dato recibido hacia el puerto 1
         CLR  P3.5        ;Señal de validación (STROBE)
         nop
         SETB P3.5
         SJMP SALIR2

MODE3:   MOV  P1, SBUF     ;mueve el dato recibido hacia el puerto 1
         JB   RB8,MARCA
         JNB  RB8,ESPAC

MARCA:   SETB P3.7
         SJMP SIGUE

ESPAC:   CLR  P3.7

SIGUE:   CLR  P3.5        ;Señal de validación (STROBE)
         nop
         SETB P3.5
         SJMP SALIR2

SALIR2:  RETI            ;Sale de la interrupción serial

         SJMP $           ;Fin del Programa Principal
         END             ;Fin del Módulo Fuente

```

PROGRAMA PARA TRANSFORMACIÓN SERIE – PARALELO INTERFAZ DE TECLADO AT

;PROGRAMA PARA TRANSFORMACIÓN DE SERIE A PARALELO DE LOS
CÓDIGOS DE RASTREO DEL INTERFAZ DE TECLADO AT

;Si el flujo de datos es del teclado al computador, se lee los bits por
interrupción externa 0 (flanco negativo de la señal KBDCLK)

;Si el flujo de datos es del computador al teclado, se lee los bits en
el flanco positivo de la señal KBDCLK

```
;KBDCLK = P3.2(INT0)
;KBDDAT = P3.4
;KTH = P3.5 = 0L (Keyboard To Host)
;HTK = P3.5 = 1L (Host To Keyboard)
;PORTICO DATOS PARALELO = P1
```

;AREA PARA LA DEFINICION DE ETIQUETAS

```
DATO      EQU 30H
FALLA     BIT 00H
FINDAT    BIT 01H
```

;VECTORES DE INTERRUPCIÓN

```
ORG 0000H
LJMP INICIO
ORG 0003H
LJMP EXT0
```

;PROGRAMA PRINCIPAL:

INICIO:

```
MOV IE,#81H      ;habilitación de interrupción global e INT0
SETB IT0         ;INTEX0 por FLANCO NEGATIVO
MOV A,#00H
MOV P1,A         ;Borra las líneas del pórtico paralelo
SETB P3.7        ;P3.7=1L=STROBE en alto
CLR FINDAT       ;Cuando Flag FINDAT=1L indica final de dato
MOV DATO,#00H   ;borra la localidad DATO
MOV R0,#0AH      ;Son los 12 bits que se van a leer
                 ;start(1)+data(8)+paridad(1)+stop(1)+parada(1)
CLR P3.5         ;Se asume que la dirección de la información en el
                 ;primer barrido del microcontrolador es del teclado al
                 ;computador
```

```
LAZO1:   JB    FINDAT,LEEDIR
         JB    P3.5,LAZO2      ;P3.5=1 (COMANDOS) salta al LAZO2
         JNB   P3.5,LAZO1      ;P3.5=0 (DATOS) permanece en LAZO1
```

;Si P3.5=1 (Comandos) sigue

```
LAZO2:   JB    FINDAT,LEEDIR
         LCALL SFLASC
         LCALL SCOMAN
         SJMP  LAZO2
```

;Instrucciones que reconocen la dirección del flujo de datos.

```
LEEDIR:  CLR  EA                ;Deshabilita interrupción global
         CLR  FINDAT           ;borra Flag que permite ver la dirección del
                                ;flujo de datos
         LCALL SFLASC         ;detección de un flanco positivo y además
                                ;lee el bit de KBDDAT y lo guarda en F0

         JB   F0,KTH          ;si KBDDAT=1 ---> Dirección KTH
         JNB  F0,HTK         ;Si KBDDAT=0 ---> Dirección HTK
```

```
KTH:     CLR  P3.5            ;P3.5 = 0 determina en el analizador lógico
                                ;que la dirección es del TECLADO al
                                ;COMPUTADOR.
         CLR  IE0             ;Borra Flag de interrupción Externa 0
         SETB EA              ;Habilita Interrupción Global
         MOV  R0,#0AH         ;Es para los 12 bits que se van a leer
                                ;start(1)+data(8)+paridad(1)+stop(1)+
                                ;+parada(1)
         SJMP LAZO1
```

```
HTK:     SETB P3.5           ;P3.5 = 1 determina en el analizador lógico
                                ;que la dirección es del COMPUTADOR al
                                ;TECLADO.
         CLR  EA              ;Deshabilita Interrupción Global
         MOV  R0,#0BH         ;Es para los 13 bits que se van a leer
                                ;start(1)+data(8)+paridad(1)+stop(1)+
                                ;+parada(1)+ack(1)

         LCALL SCOMAN
         SJMP  LAZO2
```

;SUBROUTINA PARA DETECCIÓN DE FLANCO ASCENDENTE

SFLASC:

```
MARK1:  JB   P3.2,MARK1
SPACE1: JNB   P3.2,SPACE1
        MOV  C,P3.4      ;Se guarda el bit de dato en el carry
        MOV  F0,C        ;se copia en F0 el carry
        RET
```

;SUBROUTINA PARA TRANSFORMACIÓN DE SERIE A PARALELO
;SI LA DIRECCION ES DEL COMPUTADOR AL TECLADO (HTK)

```
;          ITERACIÓN (VALOR R0)  BIT
;          0B                    Inicio
;          0A-03                  Datos
;          02                      Paridad
;          01                      Parada
;          00                      ACK
```

```
SCOMAN:  CJNE R0,#0BH,PARI
        LCALL  SSTART          ;Llama a la subrutina de bit de inicio
        SJMP  FIN1

PARI:    CJNE R0,#02H,PARAD1
        LCALL  SPARID          ;Llama a la subrutina de verificación de
                                ;paridad

        JB    FALLA,ERRO
        LCALL  SVALID          ;Llama a la subrutina de validación de
                                ;dato paralelo

        SJMP  FIN1

PARAD1:  CJNE R0,#01,ACK
        JB    F0,FIN1          ;bit de parada
        JNB   F0,ERRO          ;no es bit de parada

ACK:     CJNE R0,#00H,DATA
        JB    F0,ERRO          ;si ACK=1 --> ERROR
        SETB  FINDAT          ;Señala el final del dato enviado
        SJMP  FIN1

DATA:    LCALL  SLECTU          ;Llama a la subrutina de lectura de bit
                                ;de dato

        SJMP  FIN1

ERRO:    SJMP  $

FIN1:    DEC   R0
        RET
```

;SUBRRUTINA DE INTERRUPCION EXTERNA 0. (Si son datos --> KTH)

;	ITERACIÓN (VALOR R0)	BIT
;	0A	Inicio
;	09-02	Datos
;	01	Paridad
;	00	Parada

EXT0:

DATOS: MOV C,P3.4 ;mueve el dato de entrada al carry
 MOV F0,C ;se graba el dato de entrada en el bit F0

CJNE R0,#0AH,PARI2
 LCALL SSTART ;Llama a la subrutina de bit de inicio
 SJMP FIN

PARI2: CJNE R0,#01H,PARAD2

LCALL SPARID ;Llama a la subrutina de verificación de
 ;paridad

JB FALLA,ERROR
 LCALL SVALID ;Llama a la subrutina de validación de dato
 ;paralelo

SJMP FIN

PARAD2: CJNE R0,#00H,DATA3

MOV C,P3.4 ;bit de PARADA

JB F0,FINDAT

JNB F0,ERROR

FINDAT: SETB FINDAT ;señala que es el final del dato enviado

SJMP FIN

DATA3: LCALL SLECTU

SJMP FIN

ERROR: LCALL SERROR

SJMP FIN

FIN: DEC R0

RETI ;Sale de la INT0

;SUBRRUTINA DE BIT DE INICIO

SSTART: MOV DATO,#00H ;borra el contenido de DATO

RET

;SUBRRUTINA PARA CHEQUEAR LA PARIDAD

SPARID: MOV C,F0 ;mueve el bit de paridad al carry
 MOV A,DATO ;mueve el dato (8 bit) al ACC para
 ;cálculo de paridad

JB P,UNO

```
UNO:      JNB P,CERO
          JNC VALE
          JC  NOVALE
CERO:     JC  VALE
          JNC NOVALE
VALE:     CLR FALLA
          SJMP SALIR2
NOVALE:   SETB FALLA

SALIR2:   RET
```

;SUBROUTINA DE VALIDACIÓN DE DATO PARALELO

```
SVALID:   MOV A,DATO
          MOV P1,A
          CLR P3.7      ;genera un STROBE
          SETB P3.7

          RET
```

;SUBROUTINA PARA LEER EL BIT DE DATO EN EL PIN P3.4

```
SLECTU:   MOV C,F0      ;mueve el bit de dato al carry

          MOV A,DATO     ;carga el valor anterior de DATO al ACC
          RRC A          ;rota el carry con el ACC
          MOV DATO,A     ;carga dato con el nuevo valor
          MOV P1,A
          RET
```

;Subrutina ERROR

```
SERROR:   SJMP $
```

END

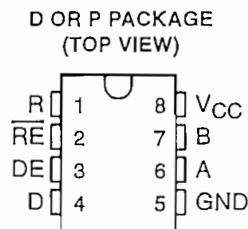
ANEXO

D

SN65176B, SN75176B DIFFERENTIAL BUS TRANSCEIVERS

SLLS101B – JULY 1985 – REVISED JUNE 1999

- Bidirectional Transceivers
- Meet or Exceed the Requirements of ANSI Standards TIA/EIA-422-B and TIA/EIA-485-A and ITU Recommendations V.11 and X.27
- Designed for Multipoint Transmission on Long Bus Lines in Noisy Environments
- 3-State Driver and Receiver Outputs
- Individual Driver and Receiver Enables
- Wide Positive and Negative Input/Output Bus Voltage Ranges
- Driver Output Capability . . . ± 60 mA Max
- Thermal Shutdown Protection
- Driver Positive and Negative Current Limiting
- Receiver Input Impedance . . . 12 k Ω Min
- Receiver Input Sensitivity . . . ± 200 mV
- Receiver Input Hysteresis . . . 50 mV Typ
- Operate From Single 5-V Supply



description

The SN65176B and SN75176B differential bus transceivers are monolithic integrated circuits designed for bidirectional data communication on multipoint bus transmission lines. They are designed for balanced transmission lines and meet ANSI Standards TIA/EIA-422-B and TIA/EIA-485-A and ITU Recommendations V.11 and X.27.

The SN65176B and SN75176B combine a 3-state differential line driver and a differential input line receiver, both of which operate from a single 5-V power supply. The driver and receiver have active-high and active-low enables, respectively, that can be connected together externally to function as a direction control. The driver differential outputs and the receiver differential inputs are connected internally to form differential input/output (I/O) bus ports that are designed to offer minimum loading to the bus when the driver is disabled or $V_{CC} = 0$. These ports feature wide positive and negative common-mode voltage ranges, making the device suitable for party-line applications.

The driver is designed for up to 60 mA of sink or source current. The driver features positive and negative current limiting and thermal shutdown for protection from line-fault conditions. Thermal shutdown is designed to occur at a junction temperature of approximately 150°C. The receiver features a minimum input impedance of 12 k Ω , an input sensitivity of ± 200 mV, and a typical input hysteresis of 50 mV.

The SN65176B and SN75176B can be used in transmission-line applications employing the SN75172 and SN75174 quadruple differential line drivers and SN75173 and SN75175 quadruple differential line receivers.

The SN65176B is characterized for operation from -40°C to 105°C and the SN75176B is characterized for operation from 0°C to 70°C .



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA Information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

 **TEXAS
INSTRUMENTS**

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 1999, Texas Instruments Incorporated

SN65176B, SN75176B DIFFERENTIAL BUS TRANSCEIVERS

SLLS101B – JULY 1985 – REVISED JUNE 1999

Function Tables

DRIVER

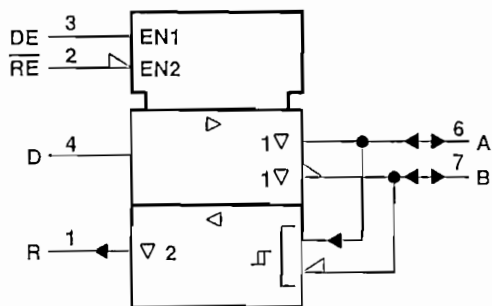
INPUT D	ENABLE DE	OUTPUTS	
		A	B
H	H	H	L
L	H	L	H
X	L	Z	Z

RECEIVER

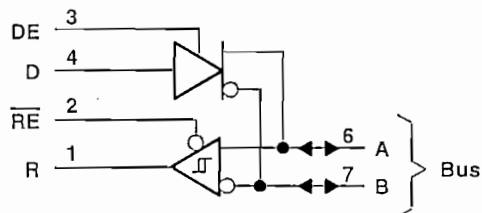
DIFFERENTIAL INPUTS A-B	ENABLE RE	OUTPUT R
$V_{ID} \geq 0.2 V$	L	H
$-0.2 V < V_{ID} < 0.2 V$	L	?
$V_{ID} \leq -0.2 V$	L	L
X	H	Z
Open	L	?

H = high level, L = low level, ? = indeterminate,
X = irrelevant, Z = high impedance (off)

logic symbol†

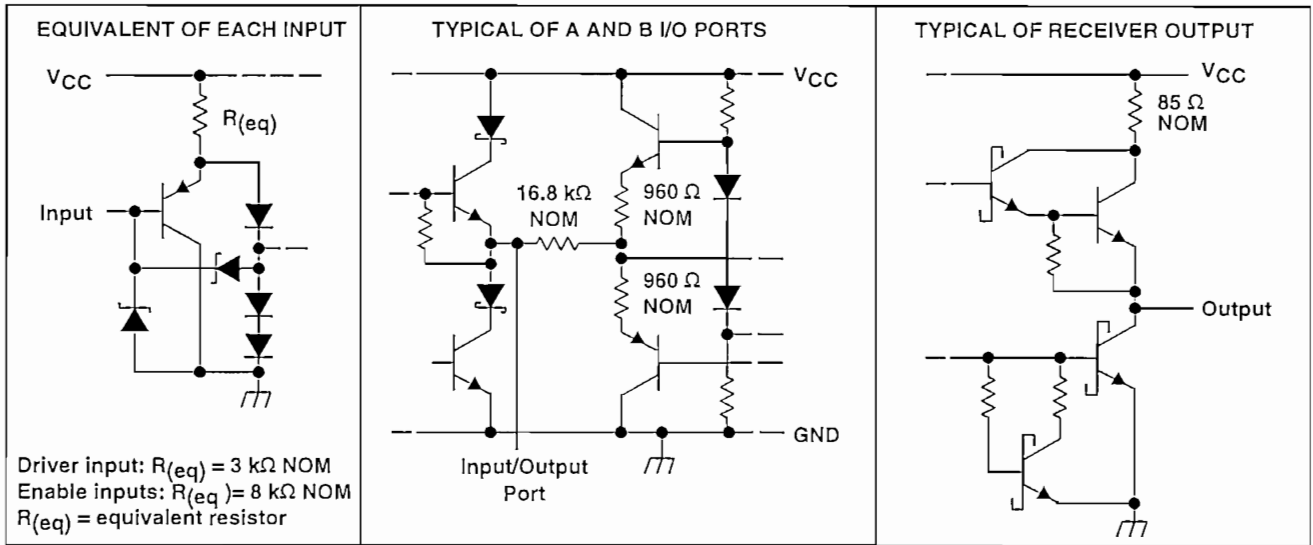


logic diagram (positive logic)



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

schematics of inputs and outputs



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Supply voltage, V_{CC} (see Note 1)	7 V
Voltage range at any bus terminal	-10 V to 15 V
Enable input voltage, V_I	5.5 V
Package thermal impedance, θ_{JA} (see Note 2): D package	197°C/W
P package	104°C/W
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	260°C
Storage temperature range, T_{stg}	-65°C to 150°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

- NOTES: 1. All voltage values, except differential input/output bus voltage, are with respect to network ground terminal.
 2. The package thermal impedance is calculated in accordance with JESD 51, except for through-hole packages, which use a trace length of zero.

recommended operating conditions

	MIN	TYP	MAX	UNIT
Supply voltage, V_{CC}	4.75	5	5.25	V
Voltage at any bus terminal (separately or common mode), V_I or V_{IC}			12	V
			-7	
High-level input voltage, V_{IH}	D, DE, and \overline{RE}		2	V
Low-level input voltage, V_{IL}	D, DE, and \overline{RE}		0.8	V
Differential input voltage, V_{ID} (see Note 3)			±12	V
High-level output current, I_{OH}	Driver		-60	mA
	Receiver		-400	µA
Low-level output current, I_{OL}	Driver		60	mA
	Receiver		8	
Operating free-air temperature, T_A	SN65176B	-40	105	°C
	SN75176B	0	70	

NOTE 3: Differential-input/output bus voltage is measured at the noninverting terminal A with respect to the inverting terminal B.

SN65176B, SN75176B DIFFERENTIAL BUS TRANSCEIVERS

SLLS101B – JULY 1985 – REVISED JUNE 1999

DRIVER SECTION

electrical characteristics over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted)

PARAMETER		TEST CONDITIONST		MIN	TYP‡	MAX	UNIT
V _{IK}	Input clamp voltage	I _I = -18 mA				-1.5	V
V _O	Output voltage	I _O = 0		0		6	V
V _{OD1} ‡	Differential output voltage	I _O = 0		1.5	3.6	6	V
V _{OD2} ‡	Differential output voltage	R _L = 100 Ω,	See Figure 1	1/2 V _{OD1} or 2‡			V
		R _L = 54 Ω,	See Figure 1	1.5	2.5	5	V
V _{OD3}	Differential output voltage	See Note 4		1.5		5	V
ΔV _{OD} ‡	Change in magnitude of differential output voltage§					±0.2	V
V _{OC}	Common-mode output voltage	R _L = 54 Ω or 100 Ω, See Figure 1				+3 -1	V
ΔV _{OC} ‡	Change in magnitude of common-mode output voltage§					±0.2	V
I _O	Output current	Output disabled, See Note 5	V _O = 12 V			1	mA
			V _O = -7 V			-0.8	
I _{IH}	High-level input current	V _I = 2.4 V				20	μA
I _{IL}	Low-level input current	V _I = 0.4 V				-400	μA
I _{OS}	Short-circuit output current	V _O = -7 V				-250	mA
		V _O = 0				150	
		V _O = V _{CC}				250	
		V _O = 12 V				250	
I _{CC}	Supply current (total package)	No load	Outputs enabled		42	70	mA
			Outputs disabled		26	35	

† The power-off measurement in ANSI Standard TIA/EIA-422-B applies to disabled outputs only and is not applied to combined inputs and outputs.

‡ All typical values are at V_{CC} = 5 V and T_A = 25°C.

§ ΔV_{OD}‡ and ΔV_{OC}‡ are the changes in magnitude of V_{OD} and V_{OC}, respectively, that occur when the input is changed from a high level to a low level.

‡ The minimum V_{OD2} with a 100-Ω load is either 1/2 V_{OD1} or 2 V, whichever is greater.

NOTES: 4. See ANSI Standard TIA/EIA-485-A, Figure 3.5, Test Termination Measurement 2.

5. This applies for both power on and off; refer to ANSI Standard TIA/EIA-485-A for exact conditions. The TIA/EIA-422-B limit does not apply for a combined driver and receiver terminal.

switching characteristics, V_{CC} = 5 V, R_L = 110 kΩ, T_A = 25°C (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
t _d (OD)	Differential-output delay time	R _L = 54 Ω,	See Figure 3		15	22	ns
t _t (OD)	Differential-output transition time				20	30	ns
t _{PZH}	Output enable time to high level	See Figure 4			85	120	ns
t _{PZL}	Output enable time to low level	See Figure 5			40	60	ns
t _{PHZ}	Output disable time from high level	See Figure 4			150	250	ns
t _{PLZ}	Output disable time from low level	See Figure 5			20	30	ns



SYMBOL EQUIVALENTS

DATA-SHEET PARAMETER	TIA/EIA-422-B	TIA/EIA-485-A
V_O	V_{Oa}, V_{Ob}	V_{Oa}, V_{Ob}
$ V_{OD1} $	V_O	V_O
$ V_{OD2} $	$V_t (R_L = 100 \Omega)$	$V_t (R_L = 54 \Omega)$
$ V_{OD3} $		V_t (Test Termination Measurement 2)
$\Delta V_{OD} $	$ V_t - \bar{V}_t $	$ V_t - \bar{V}_t $
V_{OC}	$ V_{Os} $	$ V_{Os} $
$\Delta V_{OC} $	$ V_{Os} - \bar{V}_{Os} $	$ V_{Os} - \bar{V}_{Os} $
I_{OS}	$ I_{sa} , I_{sb} $	
I_O	$ I_{xa} , I_{xb} $	I_{ia}, I_{ib}

RECEIVER SECTION

electrical characteristics over recommended ranges of common-mode input voltage, supply voltage, and operating free-air temperature (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP†	MAX	UNIT
V_{IT+}	Positive-going input threshold voltage	$V_O = 2.7 V,$	$I_O = -0.4 mA$			0.2	V
V_{IT-}	Negative-going input threshold voltage	$V_O = 0.5 V,$	$I_O = 8 mA$	-0.2‡			V
V_{hys}	Input hysteresis voltage ($V_{IT+} - V_{IT-}$)				50		mV
V_{IK}	Enable input clamp voltage	$I_I = -18 mA$				-1.5	V
V_{OH}	High-level output voltage	$V_{ID} = 200 mV,$ See Figure 2	$I_{OH} = -400 \mu A,$	2.7			V
V_{OL}	Low-level output voltage	$V_{ID} = -200 mV,$ See Figure 2	$I_{OL} = 8 mA,$			0.45	V
I_{OZ}	High-impedance-state output current	$V_O = 0.4 V$ to $2.4 V$				± 20	μA
I_I	Line input current	Other input = $0 V,$ See Note 6	$V_I = 12 V$ $V_I = -7 V$			1 -0.8	mA
I_{IH}	High-level enable input current	$V_{IH} = 2.7 V$				20	μA
I_{IL}	Low-level enable input current	$V_{IL} = 0.4 V$				-100	μA
r_I	Input resistance	$V_I = 12 V$		12			$k\Omega$
I_{OS}	Short-circuit output current			-15		-85	mA
I_{CC}	Supply current (total package)	No load	Outputs enabled Outputs disabled		42 26	55 35	mA

† All typical values are at $V_{CC} = 5 V, T_A = 25^\circ C.$

‡ The algebraic convention, in which the less positive (more negative) limit is designated minimum, is used in this data sheet for common-mode input voltage and threshold voltage levels only.

NOTE 6: This applies for both power on and power off. Refer to EIA Standard TIA/EIA-485-A for exact conditions.

SN65176B, SN75176B DIFFERENTIAL BUS TRANSCEIVERS

SLLS101B – JULY 1985 – REVISED JUNE 1999

switching characteristics, $V_{CC} = 5\text{ V}$, $C_L = 15\text{ pF}$, $T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH} Propagation delay time, low- to high-level output	$V_{ID} = 0\text{ to }3\text{ V}$, See Figure 6		21	35	ns
t_{PHL} Propagation delay time, high- to low-level output			23	35	ns
t_{PZH} Output enable time to high level	See Figure 7		10	20	ns
t_{PZL} Output enable time to low level			12	20	ns
t_{PHZ} Output disable time from high level	See Figure 7		20	35	ns
t_{PLZ} Output disable time from low level			17	25	ns

PARAMETER MEASUREMENT INFORMATION

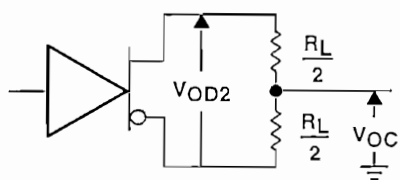


Figure 1. Driver V_{OD} and V_{OC}

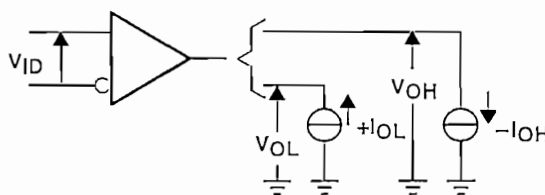
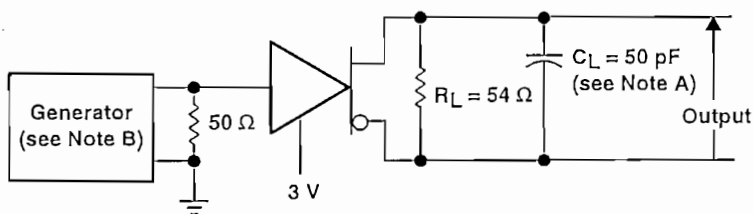
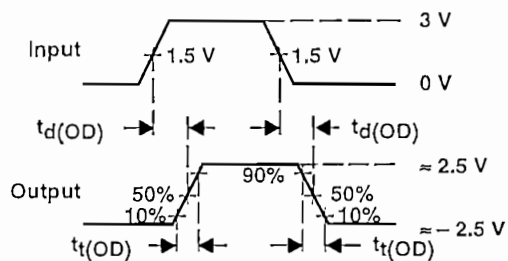


Figure 2. Receiver V_{OH} and V_{OL}



TEST CIRCUIT

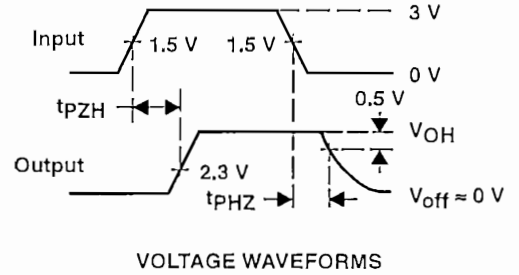
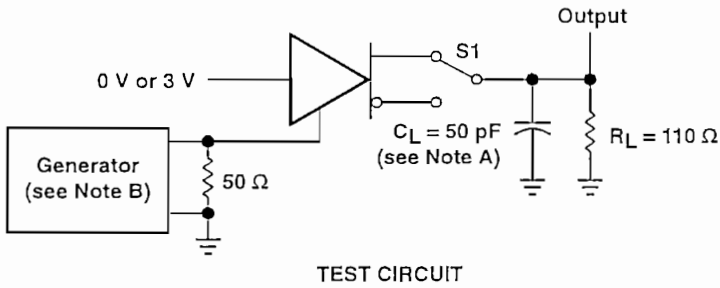


VOLTAGE WAVEFORMS

NOTES: A. C_L includes probe and jig capacitance.

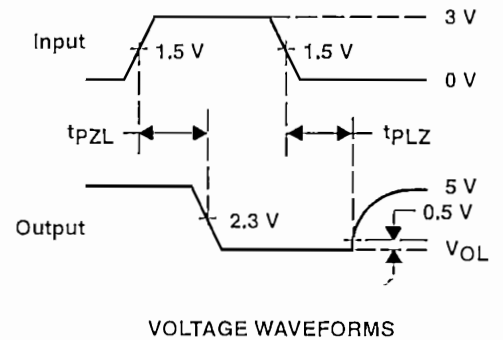
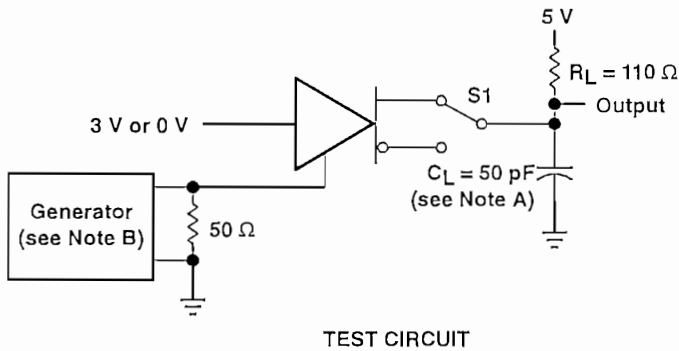
B. The input pulse is supplied by a generator having the following characteristics: $PRR \leq 1\text{ MHz}$, 50% duty cycle, $t_r \leq 6\text{ ns}$, $t_f \leq 6\text{ ns}$, $Z_0 = 50\ \Omega$.

Figure 3. Driver Test Circuit and Voltage Waveforms



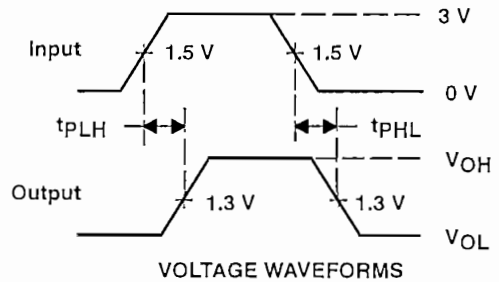
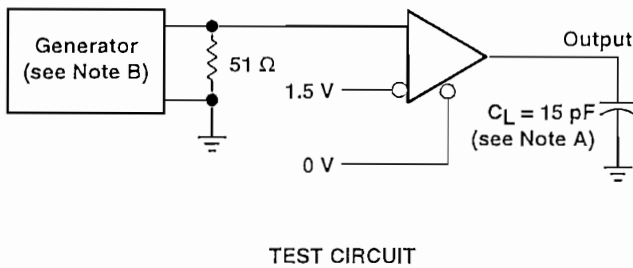
- NOTES: A. C_L includes probe and jig capacitance.
B. The input pulse is supplied by a generator having the following characteristics: $PRR \leq 1$ MHz, 50% duty cycle, $t_r \leq 6$ ns, $t_f \leq 6$ ns, $Z_0 = 50 \Omega$.

Figure 4. Driver Test Circuit and Voltage Waveforms



- NOTES: A. C_L includes probe and jig capacitance.
B. The input pulse is supplied by a generator having the following characteristics: $PRR \leq 1$ MHz, 50% duty cycle, $t_r \leq 6$ ns, $t_f \leq 6$ ns, $Z_0 = 50 \Omega$.

Figure 5. Driver Test Circuit and Voltage Waveforms



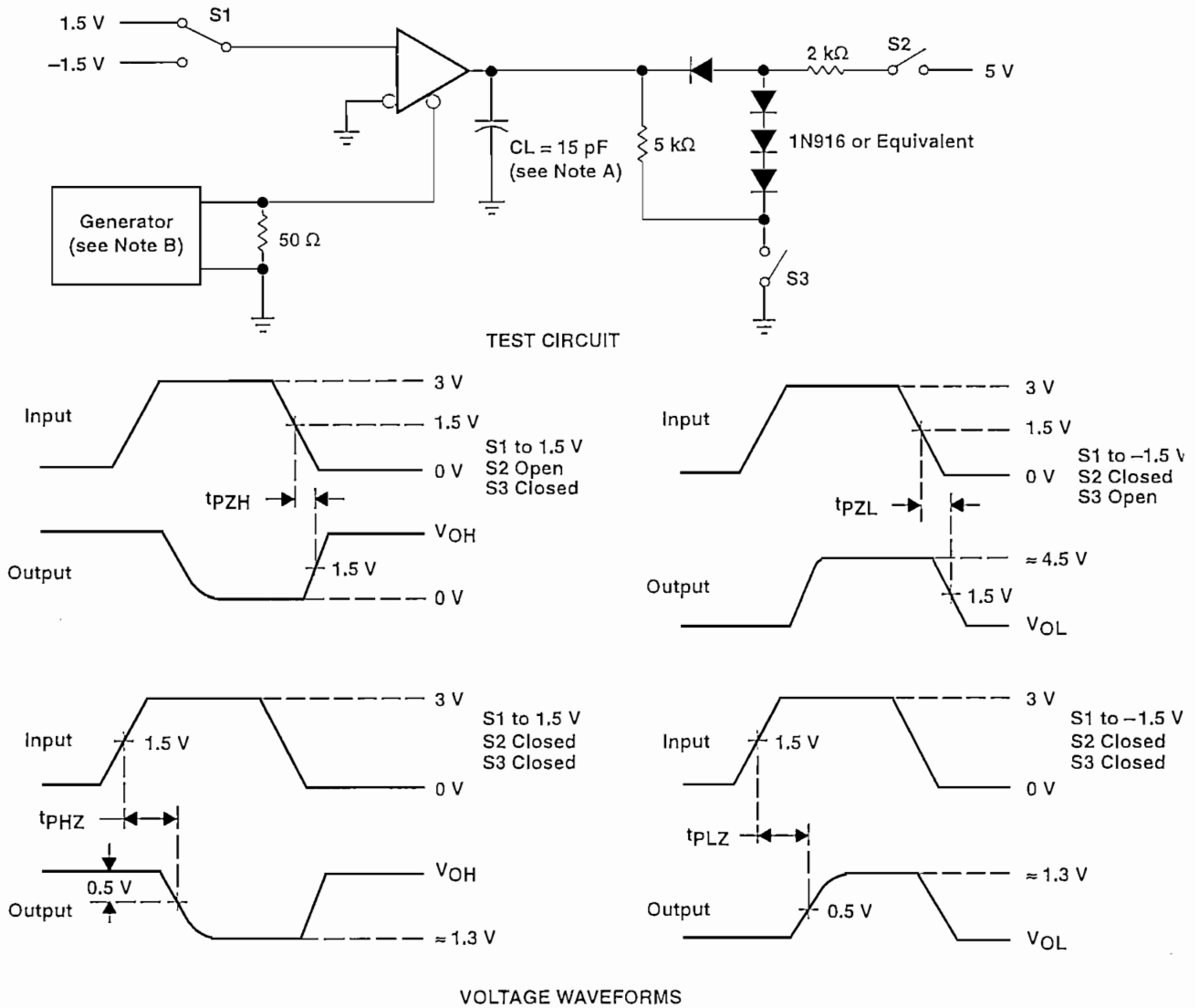
- NOTES: A. C_L includes probe and jig capacitance.
B. The input pulse is supplied by a generator having the following characteristics: $PRR \leq 1$ MHz, 50% duty cycle, $t_r \leq 6$ ns, $t_f \leq 6$ ns, $Z_0 = 50 \Omega$.

Figure 6. Receiver Test Circuit and Voltage Waveforms

SN65176B, SN75176B DIFFERENTIAL BUS TRANSCEIVERS

SLLS101B – JULY 1985 – REVISED JUNE 1999

PARAMETER MEASUREMENT INFORMATION



- NOTES: A. C_L includes probe and jig capacitance.
 B. The input pulse is supplied by a generator having the following characteristics: PRR \leq 1 MHz, 50% duty cycle, $t_r \leq$ 6 ns, $t_f \leq$ 6 ns, $Z_0 = 50 \Omega$.

Figure 7. Receiver Test Circuit and Voltage Waveforms

TYPICAL CHARACTERISTICS

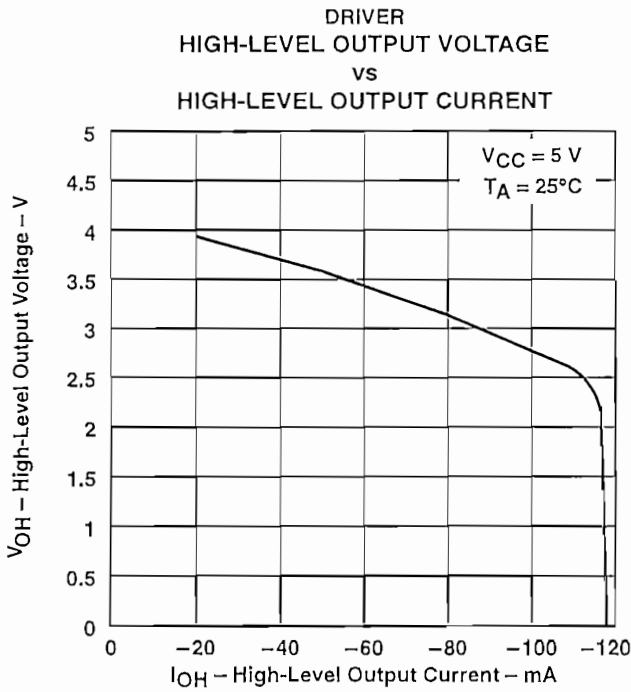


Figure 8

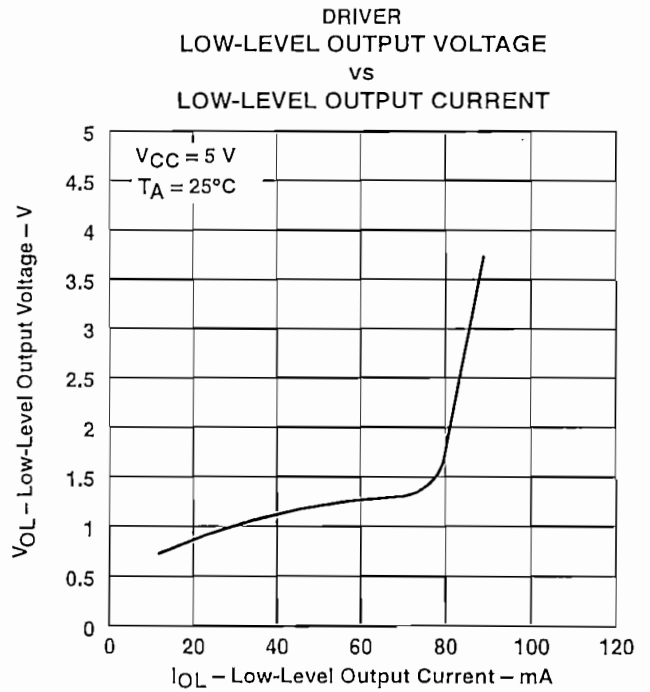


Figure 9

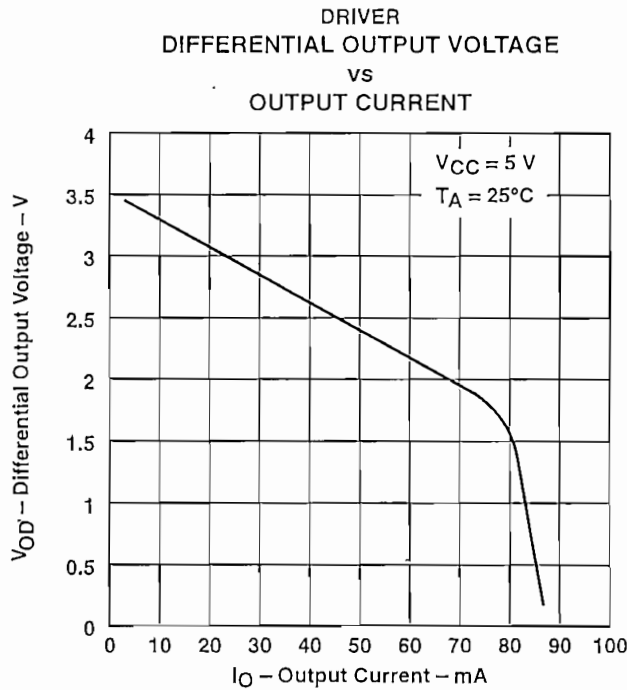


Figure 10

SN65176B, SN75176B DIFFERENTIAL BUS TRANSCEIVERS

SLLS101B - JULY 1985 - REVISED JUNE 1999

TYPICAL CHARACTERISTICS

RECEIVER
HIGH-LEVEL OUTPUT VOLTAGE
vs
HIGH-LEVEL OUTPUT CURRENT

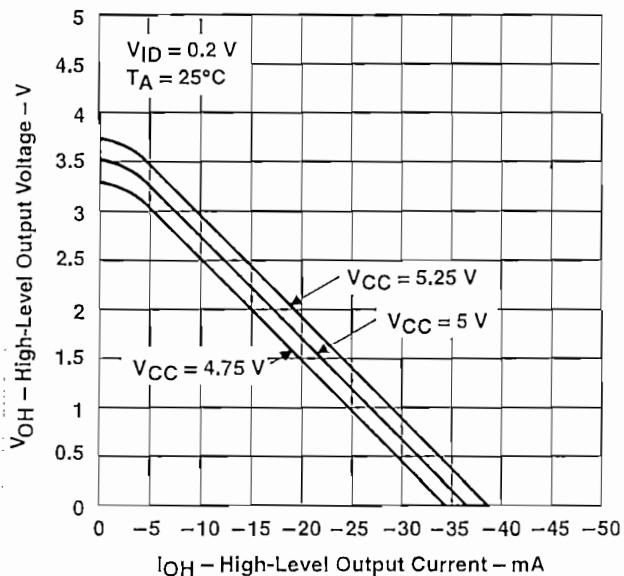
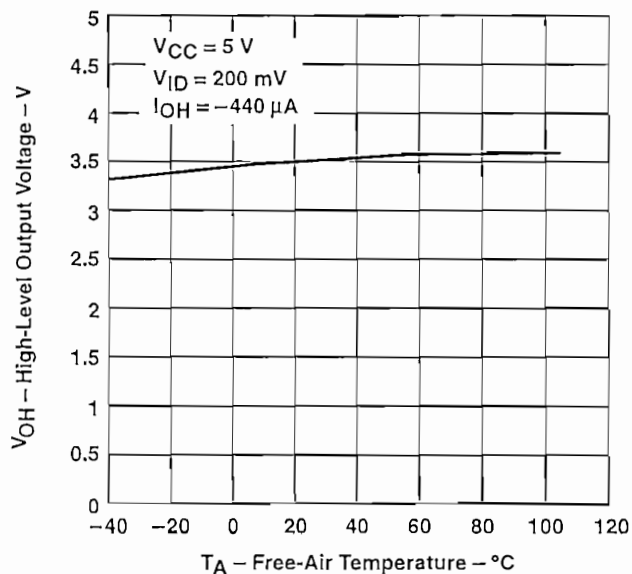


Figure 11

RECEIVER
HIGH-LEVEL OUTPUT VOLTAGE
vs
FREE-AIR TEMPERATURE†



† Only the 0°C to 70°C portion of the curve applies to the SN75176B.

Figure 12

RECEIVER
LOW-LEVEL OUTPUT VOLTAGE
vs
LOW-LEVEL OUTPUT CURRENT

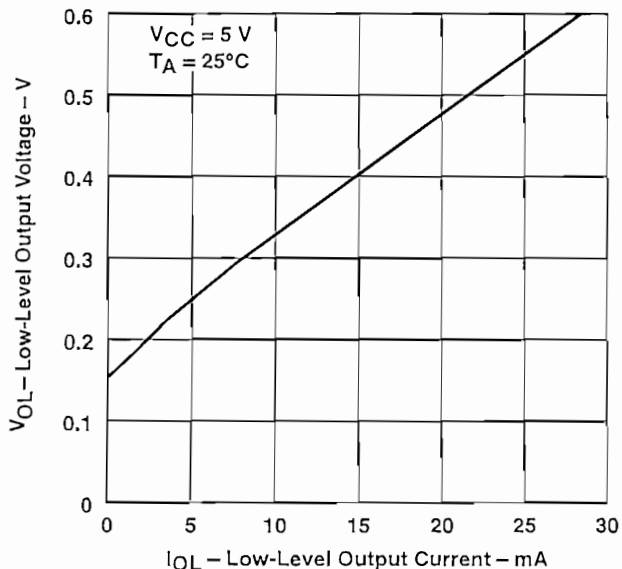


Figure 13

RECEIVER
LOW-LEVEL OUTPUT VOLTAGE
vs
FREE-AIR TEMPERATURE

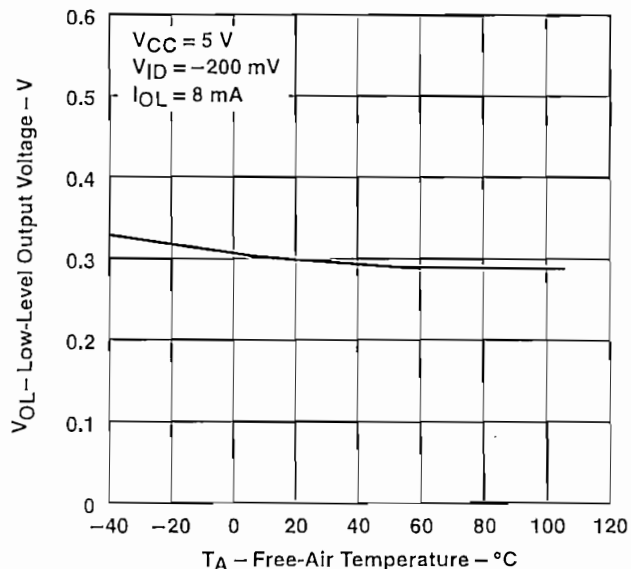


Figure 14

TYPICAL CHARACTERISTICS

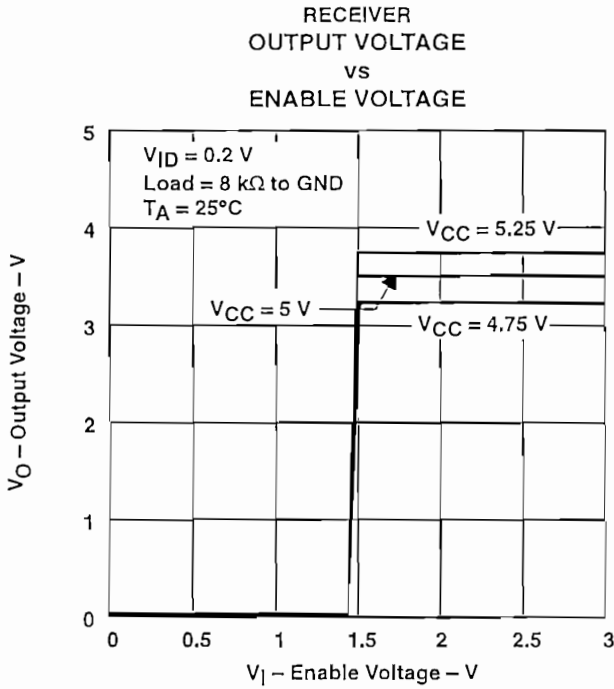


Figure 15

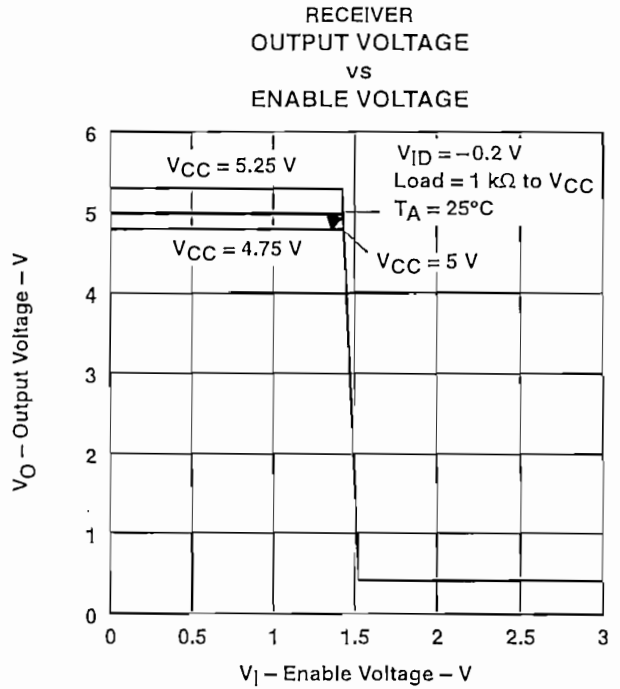
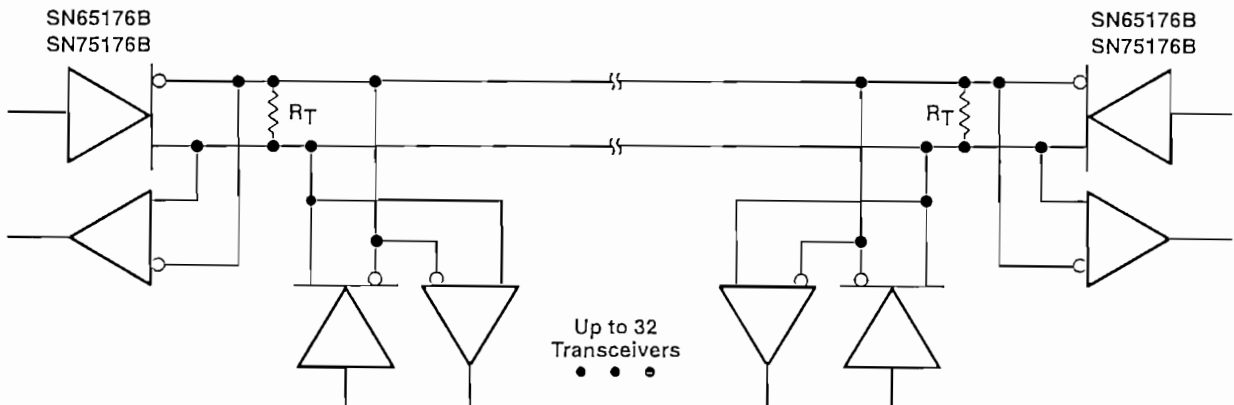


Figure 16

APPLICATION INFORMATION



NOTE A: The line should be terminated at both ends in its characteristic impedance ($R_T = Z_0$). Stub lengths off the main line should be kept as short as possible.

Figure 17. Typical Application Circuit

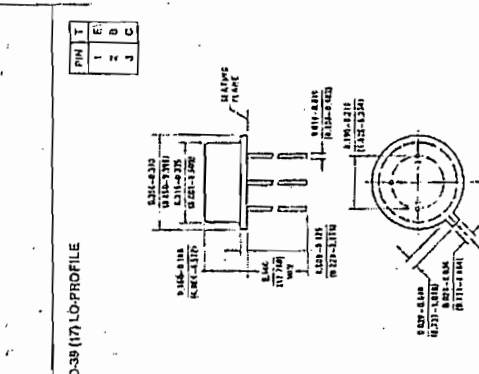
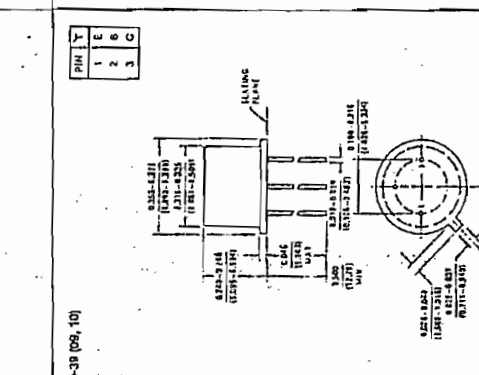
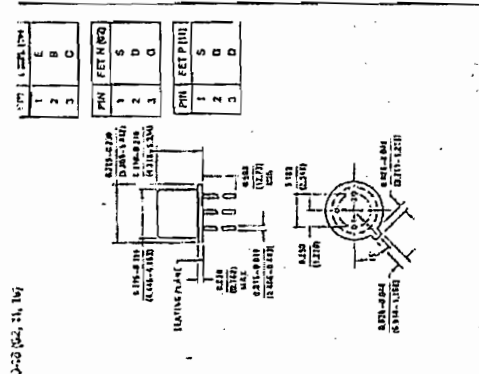
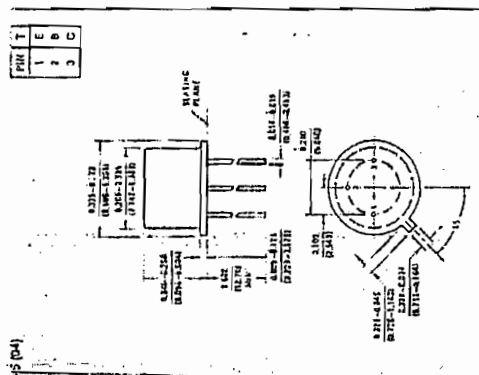
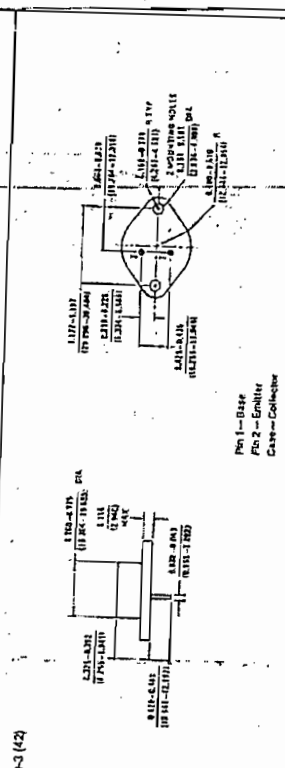
ANEXO

E

Dimensions are in _____ inches _____ (millimeters)
 All devices in parentheses leading package suffixes are NS internal package models.

- PACKAGES**
- Dual-In-Line Packages**
- (N) Devices ordered with "N" suffix are supplied in plastic molded dual-in-line packages. Molding materials is a highly reliable compound suitable for military as well as commercial temperature range applications. Lead materials copper or alloy 42 with a hot solder dipped surface to allow ease of solderability.
 - (L) Devices ordered with the "L" suffix are supplied in a cer-dip package (ceramic lead and base sealed with high temperature vitreous glass). Lead materials is solder dipped alloy 42.
 - (D) Devices ordered with the "D" suffix are supplied in side braze, multi-layer/cosmetic dual-in-line packages. The leads are Kovar or alloy 42 and either tin-plated, gold-plated, or solder-plated.
 - (C) Devices ordered with the "C" suffix are supplied in either a "D" or "J" package, but with a U.V. window.
- Metal Can Packages**
- (H) Devices ordered with the "H" suffix are supplied in a metal can package. The cap is nickel finish and the leads are gold-plated Kovar. Gold free construction using epoxy DIA is also available, with a tin-plated finish.
- Flat Packages**
- (F) Devices ordered with the "F" suffix are supplied in a multi-layer ceramic bottom brazed flat package. The lid is plated alloy 42, and leads are gold-plated, tin-plated, or solder-plated alloy 42 or Kovar.

NS PACKAGE CODE	JEDEC CODE	NS PACKAGE CODE	JEDEC CODE
C2	TO-18 Glass	39	TO-18 14-Lead Molded DIP (C14)
D1	TO-6 Glass	40	TO-18 14-Lead Ceramic DIP (C14)
D5	TO-71 Glass Dfl. Amp. TO-18	41	TO-18 14-Lead Molded DIP (C14)
D6	TO-46 Solid	42	TO-32
D7	TO-53 Solid	51	TO-32
D9	TO-39 Epoxy Kovar	54	TO-32
D10	TO-39 Epoxy Kovar	55	TO-32
D11	TO-39 Epoxy Kovar	56	TO-32
D12	TO-39 Epoxy Kovar	57	TO-32
D13	TO-39 Epoxy Kovar	58	TO-32
D14	TO-39 Epoxy Kovar	59	TO-32
D15	TO-39 Epoxy Kovar	60	TO-32
D16	TO-39 Epoxy Kovar	61	TO-32
D17	TO-39 Epoxy Kovar	62	TO-32
D18	TO-39 Epoxy Kovar	63	TO-32
D19	TO-39 Epoxy Kovar	64	TO-32
D20	TO-39 Epoxy Kovar	65	TO-32
D21	TO-39 Epoxy Kovar	66	TO-32
D22	TO-39 Epoxy Kovar	67	TO-32
D23	TO-39 Epoxy Kovar	68	TO-32
D24	TO-39 Epoxy Kovar	69	TO-32
D25	TO-39 Epoxy Kovar	70	TO-32
D26	TO-39 Epoxy Kovar	71	TO-32
D27	TO-39 Epoxy Kovar	72	TO-32
D28	TO-39 Epoxy Kovar	73	TO-32
D29	TO-39 Epoxy Kovar	74	TO-32
D30	TO-39 Epoxy Kovar	75	TO-32





GENERAL PURPOSE AMPS AND SWITCHES (Continued)

Type No.	Case Style	V _{CEO} (V) Min	V _{CE0} (V) Min	V _{EB0} (V) Min	I _{CBO} (mA) Max	V _{CB} (V)	h _{FE} Min	h _{FE} Max	I _C (mA)	V _{CE} (V)	V _{CE(SAT)} (V) Max	V _{BE(SAT)} (V) Max	I _C (mA)	C _{ob} (pF) Max	f _T (MHz) Min	f _T (MHz) Max	I _C (mA)	I _{off} (mA) Max	NF (dB) Max	Test Conditions	Process No.
MPS101	TO-92 (92)	140	120	8	1 μA	40	50	300	10	5	0.2	1.2	10	8	50	10					10
MPS8098	TO-92 (92)	60	0	6	100	60	100	300	1	5	0.3	1.4	100	8	120	10					18
MPS8099	TO-92 (92)	80	80	6	100	60	100	300	1	5	0.3	1.4	100	8	150	10					18
T1598	TO-92 (92)		80		10	40	100	300	1	6	0.5		100		2	10					18
T1599	TO-92 (92)		65		10	40	55	300	100	8	0.5		100		2	10					18
2N656	TO-6	60		5	1 μA	30	20	60	150	10	1.5	1.3	150	20	40	50					19
2N597	TO-5	60	45	5	1 μA	30	40	120	150	10	1.5	1.3	150	35	50	20					19
2N718	TO-18	80	50	5	1 μA	30	40	120	150	10	1.5	1.3	150	35	50	15					19
2N718A	TO-18	75		7	10	80	20	120	150	10	1.5	1.3	150	25	60	60			12	1	19
							40	120	150	10											
							75	100	100	10											
							35	100	100	10											
							20	100	100	10											
2N656	TO-18	75	35	7	10	60	40	300	150	10	1.5	1.3	150	25	70	50			8	1	19
							100	300	150	10											
							75	100	100	10											
							35	100	100	10											
							20	100	100	10											
2N1420	TO-6	60	30	5	1 μA	30	100	300	150	10	1.5	1.3	150	35	50	50					19
2N1564	TO-6	80	60	5	1 μA	40	50	200	5	5	1.0		10	10	80	5					10
2N2218	TO-5	80	30	6	10	50	20	500	10	10	0.4	1.3	150	8	250	20					19
							20	150	1	10											
							40	120	10	10	1.8	2.6	500								
							25	100	10	10											
							20	100	10	10											
2N2218A	TO-6	75	40	6	10	60	25	500	10	10	0.3	0.6	1.2	150	8	250	20	285		2	19
							20	150	1	10											
							40	120	10	10											
							35	100	10	10											
							25	100	10	10											

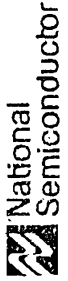


GENERAL PURPOSE AMPS AND SWITCHES (Continued)

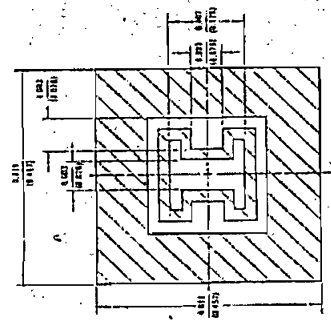
Type No.	Case Style	V _{CEO} (V) Min	V _{CE0} (V) Min	V _{EB0} (V) Min	I _{CBO} (mA) Max	V _{CB} (V)	h _{FE} Min	h _{FE} Max	I _C (mA)	V _{CE} (V)	V _{CE(SAT)} (V) Max	V _{BE(SAT)} (V) Max	I _C (mA)	C _{ob} (pF) Max	f _T (MHz) Min	f _T (MHz) Max	I _C (mA)	I _{off} (mA) Max	NF (dB) Max	Test Conditions	Process No.
2N2219	TO-5	60	30	5	10	50	30	500	10	10	0.4	1.3	150	8	250	20					19
							50	150	1	10	1.8	2.6	500								
							100	300	10	10											
							75	100	10	10											
							50	100	10	10											
							35	100	10	10											
2N2219A	TO-6	75	40	5	10	60	40	500	10	10	0.6	1.2	150	8	300	20	285		2	19	
							50	150	1	10			500								
							100	300	10	10											
							75	100	10	10											
							50	100	10	10											
							35	100	10	10											
2N2221	TO-18	60	30	5	10	60	20	600	10	10	0.4	1.3	150	8	250	20					19
							20	150	1	10	1.8	2.6	500								
							40	120	10	10											
							35	100	10	10											
							25	100	10	10											
							20	100	10	10											
2N2221A	TO-18	75	40	6	10	60	25	500	10	10	0.3	0.6	1.2	150	8	250	20	285		2	19
							40	120	10	10	1.0	2.0	600								
							35	100	10	10											
							25	100	10	10											
							20	100	10	10											
2N2222	TO-18	60	30	6	10	60	30	600	10	10	0.4	1.3	150	8	250	20					19
							50	150	1	10	1.6	2.6	500								
							100	300	10	10											
							75	100	10	10											
							50	100	10	10											
							35	100	10	10											
2N2222A	TO-18	75	40	6	10	60	40	600	10	10	0.3	0.6	1.2	150	8	250	20	285	4	2/3	19
							50	150	1	10	1	2	500								
							100	300	10	10											
							75	100	10	10											
							50	100	10	10											
							35	100	10	10											
2N2897	TO-18	60		7	50	60	35	1	10	10	1	1.3	150	15							19
							50	200	150	10											

TEST CONDITIONS:
 (1) I_C = 300 μA, V_{CE} = 10V, f = 1 kHz, (2) I_C = 10 mA, V_{CE} = 30V, I_B¹ = I_B² = 15 mA, (3) I_C = 100 μA, V_{CE} = 10V, f = 1 kHz, (4) I_C = 300 mA, V_{CE} = 25V, I_B¹ = I_B² = 30 mA, (5) I_C = 100 μA, V_{CE} = 4.5V, f = 16.7 kHz, (6) I_C = 10 mA, V_{CE} = 3V, I_B¹ = I_B² = 1 mA, (7) I_C = 100 μA, V_{CE} = 5V, f = 16.7 kHz, (8) I_C = 250 μA, V_{CE} = 5V, f = 10 Hz-16.7 kHz, (9) I_C = 3 mA, V_{CE} = 10V, f = 1 MHz, (10) I_C = 10 μA, V_{CE} = 5V, f = 15.7 kHz.





Process 19 NPN Medium Power

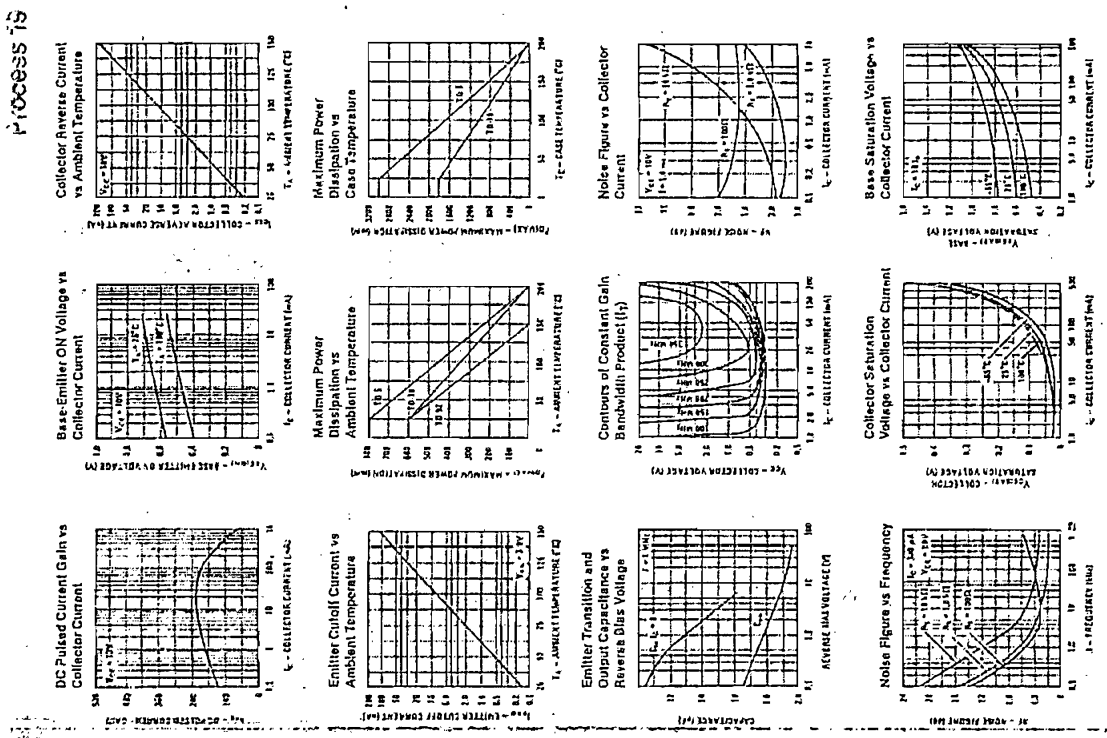


DESCRIPTION
Process 19 is a non-overlay, double-diffused, good dynamic silicon epitaxial device. Compliant to Process 63.

APPLICATION
This device was designed for use as a medium power emitter and switch requiring collector currents of 0.1 mA to 500 mA.

PRINCIPAL DEVICES/TYPES
TO-5: 2N2219
TO-18: 2N2222
TO-92, EBC: M155642, P12222
TO-237: T12219

Parameter	Conditions	Min	Typ	Max	Units	Notes
I_{CE}	$I_C = 150 \text{ mA}, I_B = 15 \text{ mA}$		25	35	nS	
I_{CE}	$I_C = 150 \text{ mA}, I_B = 15 \text{ mA}$		200	285	nS	
t_{RE}	$I_C = 50 \text{ mA}, V_{CE} = 20\text{V}, I_B = 100 \text{ MHz}$	2.0	3.5			
C_{in}	$V_{CE} = 10\text{V}, f = 1 \text{ MHz}$		4.0	6.0	pF	
C_{ob}	$V_{CE} = 0.5\text{V}, f = 1 \text{ MHz}$			25	pF	
NF (spot)	$I_C = 100 \mu\text{A}, V_{CE} = 10\text{V}, R_G = 1 \text{ M}\Omega, f = 1 \text{ kHz}$				dB	
f_{Tc}	$I_C = 100 \mu\text{A}, V_{CE} = 10\text{V}$	30				
f_{Tc}	$I_C = 1 \text{ mA}, V_{CE} = 10\text{V}$	40				
f_{Tc}	$I_C = 10 \text{ mA}, V_{CE} = 10\text{V}$	50				
f_{Tc}	$I_C = 150 \text{ mA}, V_{CE} = 10\text{V}$	60				
f_{Tc}	$I_C = 500 \text{ mA}, V_{CE} = 10\text{V}$	30	180	420		
$V_{CE(sat)}$	$I_C = 100 \text{ mA}, I_B = 10 \text{ mA}$			0.50	V	
$V_{BE(sat)}$	$I_C = 500 \text{ mA}, I_B = 50 \text{ mA}$			1.0	V	
$V_{BE(sat)}$	$I_C = 100 \text{ mA}, I_B = 10 \text{ mA}$			1.2	V	
$V_{BE(sat)}$	$I_C = 500 \text{ mA}, I_B = 50 \text{ mA}$			1.5	V	
V_{CE0}	$I_C = 100 \mu\text{A}$	35			V	
V_{CE0}	$I_C = 10 \text{ mA}$	60			V	
V_{CE0}	$I_C = 10 \mu\text{A}$	6			V	
I_{CBO}	$V_{CE} = 40\text{V}$			100	nA	
I_{EBO}	$V_{EB} = 4\text{V}$			100	nA	



ANEXO

F

Features

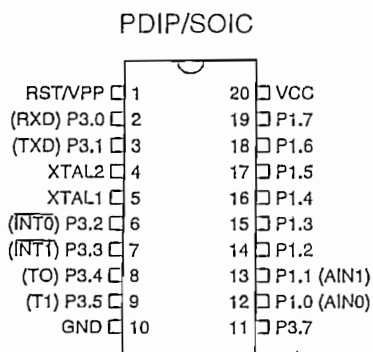
- Compatible with MCS-51™ Products
- 1K Bytes of Reprogrammable Flash Memory
 - Endurance: 1,000 Write/Erase Cycles
- 2.7V to 6V Operating Range
- Fully Static Operation: 0 Hz to 24 MHz
- Two-level Program Memory Lock
- 64 x 8-bit Internal RAM
- 15 Programmable I/O Lines
- Two 16-bit Timer/Counters
- Six Interrupt Sources
- Programmable Serial UART Channel
- Direct LED Drive Outputs
- On-chip Analog Comparator
- Low-power Idle and Power-down Modes

Description

The AT89C1051U is a low-voltage, high-performance CMOS 8-bit microcomputer with 1K byte of Flash programmable and erasable read only memory. It has the same functionality and operation as the AT89C1051 with the addition of a UART programmable serial port. The device is manufactured using Atmel's high-density nonvolatile memory technology and is compatible with the industry-standard MCS-51 instruction set. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C1051U is a powerful microcomputer which provides a highly-flexible and cost-effective solution to many embedded control applications.

The AT89C1051U provides the following standard features: 1K byte of Flash, 64 bytes of RAM, 15 I/O lines, two 16-bit timer/counters, a five-vector, two-level interrupt architecture, a full duplex serial port, a precision analog comparator, on-chip oscillator and clock circuitry. In addition, the AT89C1051U is designed with static logic for operation down to zero frequency and supports two software-selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port and interrupt system to continue functioning. The power-down mode saves the RAM contents but freezes the oscillator disabling all other chip functions until the next hardware reset.

Pin Configuration

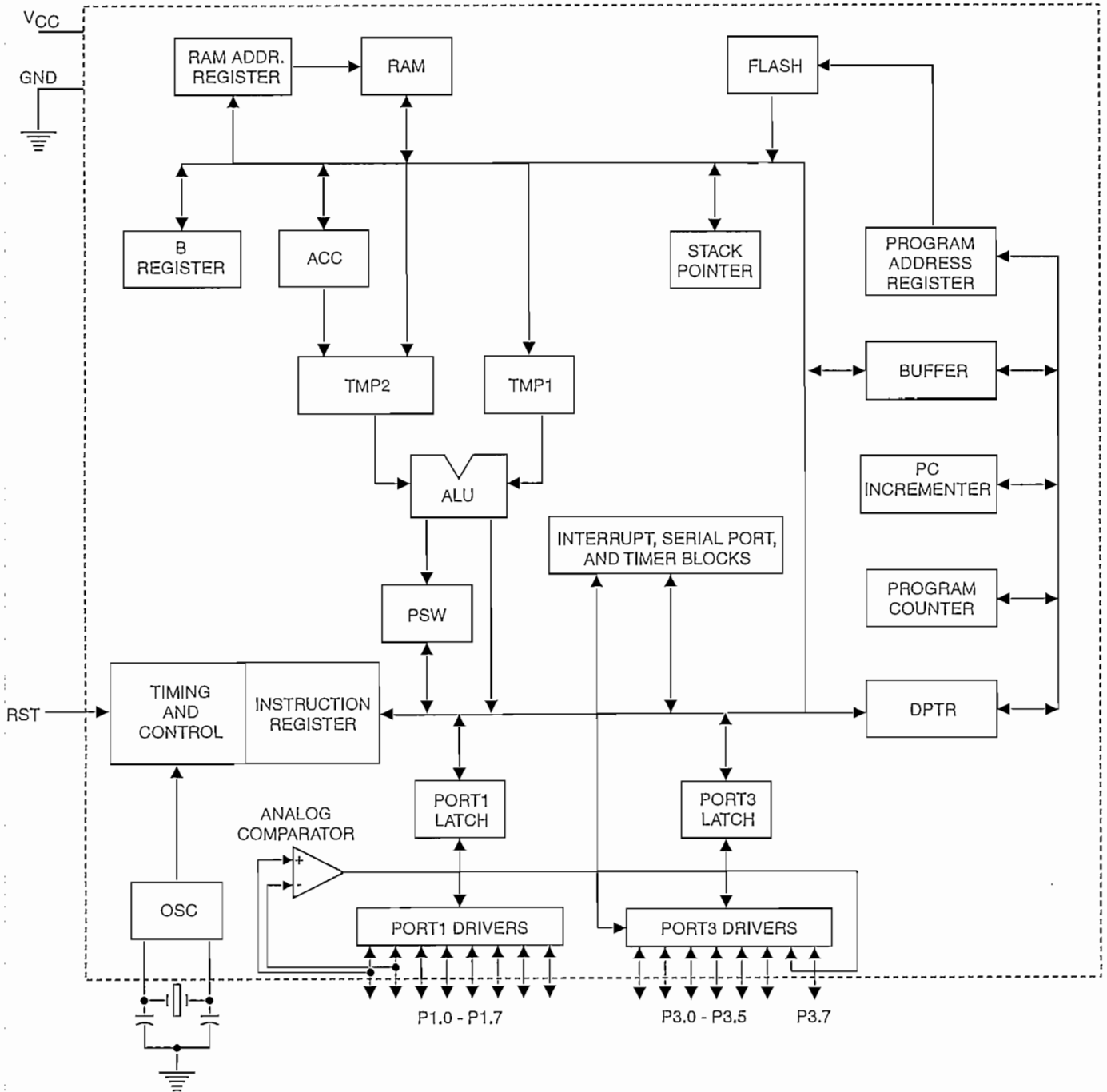


8-bit Microcontroller with 1K Byte Flash

AT89C1051U



Block Diagram



Pin Description

VCC

Supply voltage.

GND

Ground.

Port 1

Port 1 is an 8-bit bidirectional I/O port. Port pins P1.2 to P1.7 provide internal pullups. P1.0 and P1.1 require external pullups. P1.0 and P1.1 also serve as the positive input (AIN0) and the negative input (AIN1), respectively, of the on-chip precision analog comparator. The Port 1 output buffers can sink 20 mA and can drive LED displays directly. When 1s are written to Port 1 pins, they can be used as inputs. When pins P1.2 to P1.7 are used as inputs and are externally pulled low, they will source current (I_{IL}) because of the internal pullups.

Port 1 also receives code data during Flash programming and verification.

Port 3

Port 3 pins P3.0 to P3.5, P3.7 are seven bidirectional I/O pins with internal pullups. P3.6 is hard-wired as an input to the output of the on-chip comparator and is not accessible as a general purpose I/O pin. The Port 3 output buffers can sink 20 mA. When 1s are written to Port 3 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C1051U as listed below:

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{\text{INT0}}$ (external interrupt 0)
P3.3	$\overline{\text{INT1}}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)

Port 3 also receives some control signals for Flash programming and verification.

RST

Reset input. All I/O pins are reset to 1s as soon as RST goes high. Holding the RST pin high for two machine cycles while the oscillator is running resets the device.

Each machine cycle takes 12 oscillator or clock cycles.

XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

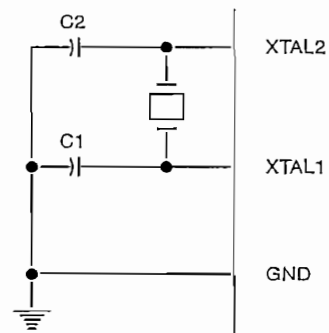
XTAL2

Output from the inverting oscillator amplifier.

Oscillator Characteristics

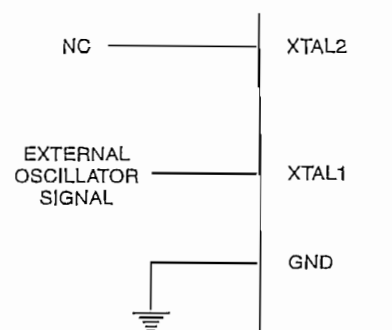
XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 1. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven as shown in Figure 2. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Figure 1. Oscillator Connections



Note: C1, C2 = 30 pF \pm 10 pF for Crystals
= 40 pF \pm 10 pF for Ceramic Resonators

Figure 2. External Clock Drive Configuration





Special Function Registers

A map of the on-chip memory area called the Special Function Register (SFR) space is shown in the table below.

Note that not all of the addresses are occupied, and unoccupied addresses may not be implemented on the chip. Read accesses to these addresses will in general return random data, and write accesses will have an indeterminate effect.

User software should not write 1s to these unlisted locations, since they may be used in future products to invoke new features. In that case, the reset or inactive values of the new bits will always be 0.

Table 1. AT89C1051U SFR Map and Reset Values

0F8H								0FFH
0F0H	B 00000000							0F7H
0E8H								0EFH
0E0H	ACC 00000000							0E7H
0D8H								0DFH
0D0H	PSW 00000000							0D7H
0C8H								0CFH
0C0H								0C7H
0B8H	IP XXX00000							0BFH
0B0H	P3 11111111							0B7H
0A8H	IE 0XX00000							0AFH
0A0H								0A7H
98H	SCON 00000000	SBUF XXXXXXXX						9FH
90H	P1 11111111							97H
88H	TCON 00000000	TMOD 00000000	TL0 00000000	TL1 00000000	TH0 00000000	TH1 00000000		8FH
80H		SP 00000111	DPL 00000000	DPH 00000000			PCON 0XXX0000	87H

Restrictions on Certain Instructions

The AT89C1051U and is an economical and cost-effective member of Atmel's growing family of microcontrollers. It contains 1K byte of flash program memory. It is fully compatible with the MCS-51 architecture, and can be programmed using the MCS-51 instruction set. However, there are a few considerations one must keep in mind when utilizing certain instructions to program this device.

All the instructions related to jumping or branching should be restricted such that the destination address falls within the physical program memory space of the device, which is 1K for the AT89C1051U. This should be the responsibility of the software programmer. For example, LJMP 3FEH would be a valid instruction for the AT89C1051U (with 1K of memory), whereas LJMP 410H would not.

1. Branching instructions:

LCALL, LJMP, ACALL, AJMP, SJMP, JMP @A+DPTR.

These unconditional branching instructions will execute correctly as long as the programmer keeps in mind that the destination branching address must fall within the physical boundaries of the program memory size (locations 00H to 3FFH for the 89C1051U). Violating the physical space limits may cause unknown program behavior.

CJNE [...], DJNZ [...], JB, JNB, JC, JNC, JBC, JZ, JNZ With these conditional branching instructions the same rule above applies. Again, violating the memory boundaries may cause erratic execution.

For applications involving interrupts the normal interrupt service routine address locations of the 80C51 family architecture have been preserved.

2. MOVX-related instructions, Data Memory:

The AT89C1051U contains 64 bytes of internal data memory. Thus, in the AT89C1051U the stack depth is limited to 64 bytes, the amount of available RAM. External DATA memory access is not supported in this device, nor is external PROGRAM memory execution. Therefore, no MOVX [...] instructions should be included in the program.

A typical 80C51 assembler will still assemble instructions, even if they are written in violation of the restrictions mentioned above. It is the responsibility of the controller user to know the physical features and limitations of the device being used and adjust the instructions used correspondingly.

Programmable Serial UART Channel⁽¹⁾

The AT89C1051U offers a programmable serial port which is compatible with the serial ports on other AT89 series flash MCU products. A detailed description of the serial port

operation can be found in the Hardware Description section of the Atmel AT89 series flash MCU data book.

Note: 1. This feature is not available on the AT89C1051.

Program Memory Lock Bits

On the chip are two lock bits which can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the table below:

Lock Bit Protection Modes⁽¹⁾

Program Lock Bits			Protection Type
	LB1	LB2	
1	U	U	No program lock features.
2	P	U	Further programming of the Flash is disabled.
3	P	P	Same as mode 2, also verify is disabled.

Note: 1. The Lock Bits can only be erased with the Chip Erase operation.

Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

P1.0 and P1.1 should be set to "0" if no external pullups are used, or set to "1" if external pullups are used.

It should be noted that when idle is terminated by a hardware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when Idle is terminated by reset, the instruction following the one that invokes Idle should not be one that writes to a port pin or to external memory.

Power-down Mode

In the power-down mode the oscillator is stopped, and the instruction that invokes power-down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power-down mode is terminated. The only exit from power-down is a hardware reset. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC}

is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

P1.0 and P1.1 should be set to "0" if no external pullups are used, or set to "1" if external pullups are used.

Programming The Flash

The AT89C1051U is shipped with the 1K byte of on-chip PEROM code memory array in the erased state (i.e., contents = FFH) and ready to be programmed. The code memory array is programmed one byte at a time. Once the array is programmed, to re-program any non-blank byte, the entire memory array needs to be erased electrically.

Internal Address Counter: The AT89C1051U contains an internal PEROM address counter which is always reset to 000H on the rising edge of RST and is advanced by applying a positive going pulse to pin XTAL1.

Programming Algorithm: To program the AT89C1051U, the following sequence is recommended.

1. Power-up sequence:
Apply power between V_{CC} and GND pins
Set RST and XTAL1 to GND
2. Set pin RST to "H"
Set pin P3.2 to "H"
3. Apply the appropriate combination of "H" or "L" logic levels to pins P3.3, P3.4, P3.5, P3.7 to select one of the programming operations shown in the PEROM Programming Modes table.
- To Program and Verify the Array:
4. Apply data for Code byte at location 000H to P1.0 to P1.7.
5. Raise RST to 12V to enable programming.
6. Pulse P3.2 once to program a byte in the PEROM array or the lock bits. The byte-write cycle is self-timed and typically takes 1.2 ms.
7. To verify the programmed data, lower RST from 12V to logic "H" level and set pins P3.3 to P3.7 to the appropriate levels. Output data can be read at the port P1 pins.
8. To program a byte at the next address location, pulse XTAL1 pin once to advance the internal address counter. Apply new data to the port P1 pins.
9. Repeat steps 5 through 8, changing data and advancing the address counter for the entire 1K byte array or until the end of the object file is reached.
10. Power-off sequence:
set XTAL1 to "L"
set RST to "L"
Turn V_{CC} power off

Data Polling: The AT89C1051U features $\overline{\text{Data Polling}}$ to indicate the end of a write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written data on P1.7. Once the write cycle has been completed, true data is valid on all outputs, and the next cycle may begin. $\overline{\text{Data Polling}}$ may begin any time after a write cycle has been initiated.

Ready/ $\overline{\text{Busy}}$: The Progress of byte programming can also be monitored by the RDY/ $\overline{\text{BSY}}$ output signal. Pin P3.1 is pulled low after P3.2 goes High during programming to indicate BUSY. P3.1 is pulled High again when programming is done to indicate READY.

Program Verify: If lock bits LB1 and LB2 have not been programmed code data can be read back via the data lines for verification:

1. Reset the internal address counter to 000H by bringing RST from "L" to "H".
2. Apply the appropriate control signals for Read Code data and read the output data at the port P1 pins.
3. Pulse pin XTAL1 once to advance the internal address counter.
4. Read the next code data byte at the port P1 pins.
5. Repeat steps 3 and 4 until the entire array is read.

The lock bits cannot be verified directly. Verification of the lock bits is achieved by observing that their features are enabled.

Chip Erase: The entire PEROM array (1K byte) and the two Lock Bits are erased electrically by using the proper combination of control signals and by holding P3.2 low for 10 ms. The code array is written with all "1"s in the Chip Erase operation and must be executed before any non-blank memory byte can be re-programmed.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 000H, 001H, and 002H, except that P3.5 and P3.7 must be pulled to a logic low. The values returned are as follows.

- (000H) = 1EH indicates manufactured by Atmel
- (001H) = 12H indicates 89C1051U

Programming Interface

Every code byte in the Flash array can be written and the entire array can be erased by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

Flash Programming Modes

Mode		RST/VPP	P3.2/PROG	P3.3	P3.4	P3.5	P3.7
Write Code Data ⁽¹⁾⁽³⁾		12V		L	H	H	H
Read Code Data ⁽¹⁾		H	H	L	L	H	H
Write Lock	Bit - 1	12V		H	H	H	H
	Bit - 2	12V		H	H	L	L
Chip Erase		12V		H	L	L	L
Read Signature Byte		H	H	L	L	L	L

- Notes: 1. The internal PEROM address counter is reset to 000H on the rising edge of RST and is advanced by a positive pulse at XTAL1 pin.
 2. Chip Erase requires a 10-ms PROG pulse.
 3. P3.1 is pulled Low during programming to indicate RDY/BSY.

Figure 3. Programming the Flash Memory

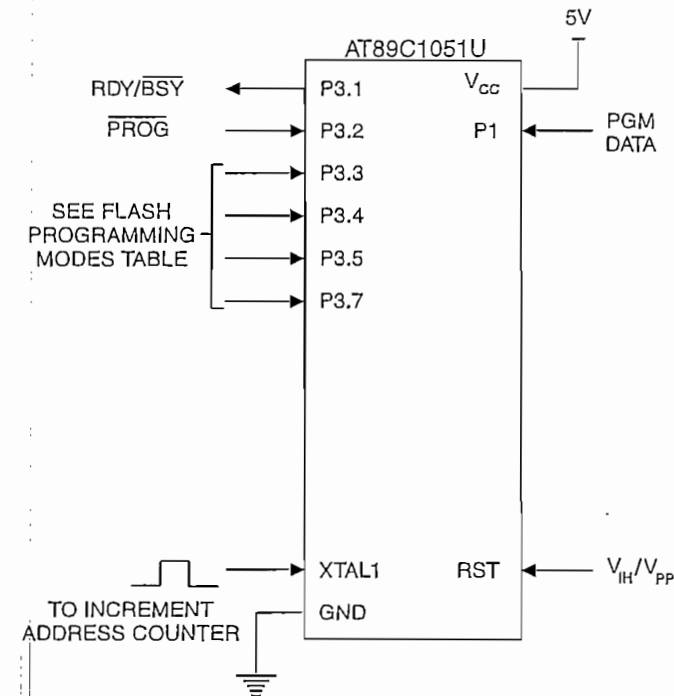
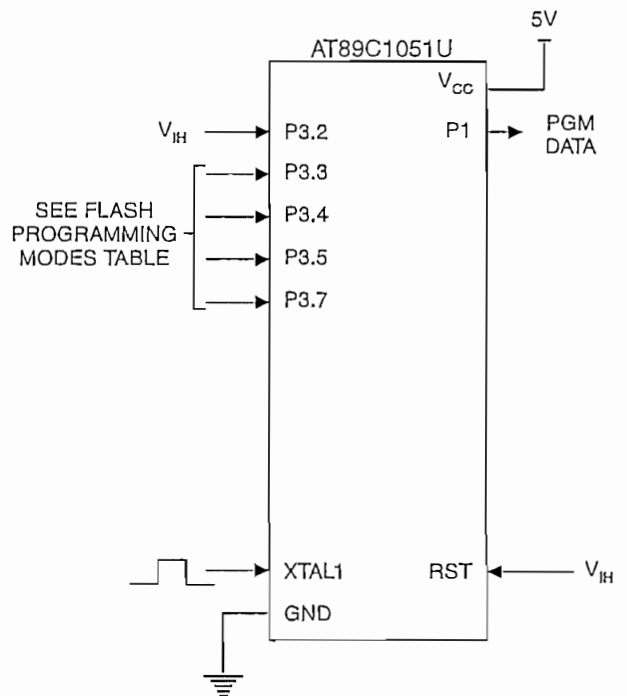


Figure 4. Verifying the Flash Memory

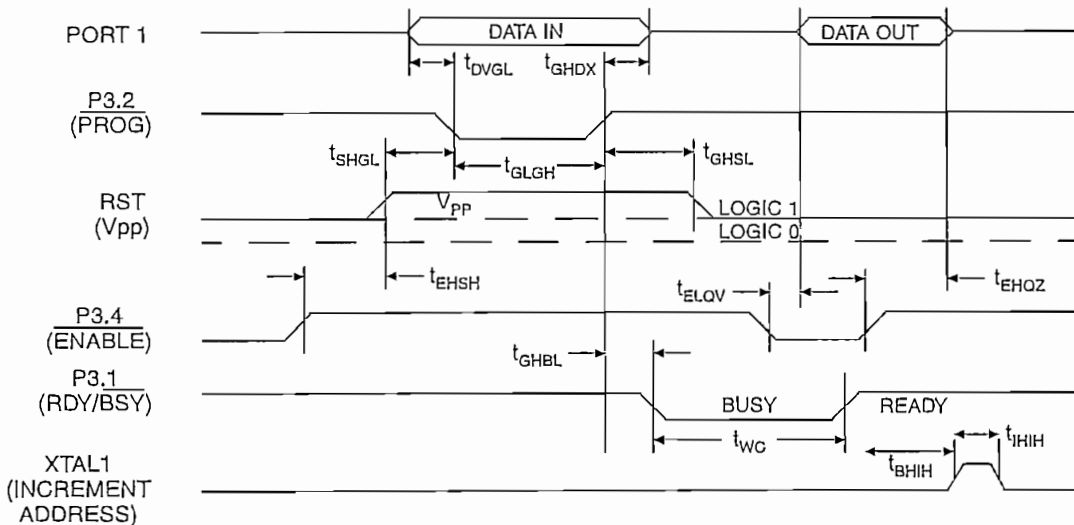


Flash Programming and Verification Characteristics

$T_A = 0^\circ\text{C}$ to 70°C , $V_{CC} = 5.0 \pm 10\%$

Symbol	Parameter	Min	Max	Units
V_{PP}	Programming Enable Voltage	11.5	12.5	V
I_{PP}	Programming Enable Current		250	μA
t_{DVGL}	Data Setup to $\overline{\text{PROG}}$ Low	1.0		μs
t_{GHDX}	Data Hold after $\overline{\text{PROG}}$	1.0		μs
t_{EHS}	P3.4 ($\overline{\text{ENABLE}}$) High to V_{PP}	1.0		μs
t_{SHGL}	V_{PP} Setup to $\overline{\text{PROG}}$ Low	10		μs
t_{GHSL}	V_{PP} Hold after $\overline{\text{PROG}}$	10		μs
t_{GLGH}	$\overline{\text{PROG}}$ Width	1	110	μs
t_{ELOV}	$\overline{\text{ENABLE}}$ Low to Data Valid		1.0	μs
t_{EHOZ}	Data Float after $\overline{\text{ENABLE}}$	0	1.0	μs
t_{GHBL}	$\overline{\text{PROG}}$ High to $\overline{\text{BUSY}}$ Low		50	ns
t_{WC}	Byte Write Cycle Time		2.0	ms
t_{BHIH}	$\text{RDY}/\overline{\text{BSY}}$ to Increment Clock Delay	1.0		μs
t_{IHIL}	Increment Clock High	200		ns

Flash Programming and Verification Waveforms



Absolute Maximum Ratings*

Operating Temperature	-55°C to +125°C
Storage Temperature	-65°C to +150°C
Voltage on Any Pin with Respect to Ground	-1.0V to +7.0V
Maximum Operating Voltage	6.6V
DC Output Current.....	25.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC Characteristics

$T_A = -40^\circ\text{C}$ to 85°C , $V_{CC} = 2.7\text{V}$ to 6.0V (unless otherwise noted)

Symbol	Parameter	Condition	Min	Max	Units
V_{IL}	Input Low-voltage		-0.5	$0.2 V_{CC} - 0.1$	V
V_{IH}	Input High-voltage	(Except XTAL1, RST)	$0.2 V_{CC} + 0.9$	$V_{CC} + 0.5$	V
V_{IH1}	Input High-voltage	(XTAL1, RST)	$0.7 V_{CC}$	$V_{CC} + 0.5$	V
V_{OL}	Output Low-voltage ⁽¹⁾ (Ports 1, 3)	$I_{OL} = 20\text{ mA}$, $V_{CC} = 5\text{V}$ $I_{OL} = 10\text{ mA}$, $V_{CC} = 2.7\text{V}$		0.5	V
V_{OH}	Output High-voltage (Ports 1, 3)	$I_{OH} = -80\ \mu\text{A}$, $V_{CC} = 5\text{V} \pm 10\%$	2.4		V
		$I_{OH} = -30\ \mu\text{A}$	$0.75 V_{CC}$		V
		$I_{OH} = -12\ \mu\text{A}$	$0.9 V_{CC}$		V
I_{IL}	Logical 0 Input Current (Ports 1, 3)	$V_{IN} = 0.45\text{V}$		-50	μA
I_{TL}	Logical 1 to 0 Transition Current (Ports 1, 3)	$V_{IN} = 2\text{V}$, $V_{CC} = 5\text{V} \pm 10\%$		-750	μA
I_{LI}	Input Leakage Current (Port P1.0, P1.1)	$0 < V_{IN} < V_{CC}$		± 10	μA
V_{OS}	Comparator Input Offset Voltage	$V_{CC} = 5\text{V}$		20	mV
V_{CM}	Comparator Input Common Mode Voltage		0	V_{CC}	V
RRST	Reset Pull-down Resistor		50	300	$\text{K}\Omega$
C_{IO}	Pin Capacitance	Test Freq. = 1 MHz, $T_A = 25^\circ\text{C}$		10	pF
I_{CC}	Power Supply Current	Active Mode, 12 MHz, $V_{CC} = 6\text{V}/3\text{V}$		15/5.5	mA
		Idle Mode, 12 MHz, $V_{CC} = 6\text{V}/3\text{V}$ P1.0 & P1.1 = 0V or V_{CC}		5/1	mA
	Power-down Mode ⁽²⁾	$V_{CC} = 6\text{V}$ P1.0 & P1.1 = 0V or V_{CC}		100	μA
		$V_{CC} = 3\text{V}$ P1.0 & P1.1 = 0V or V_{CC}		20	μA

Notes: 1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:

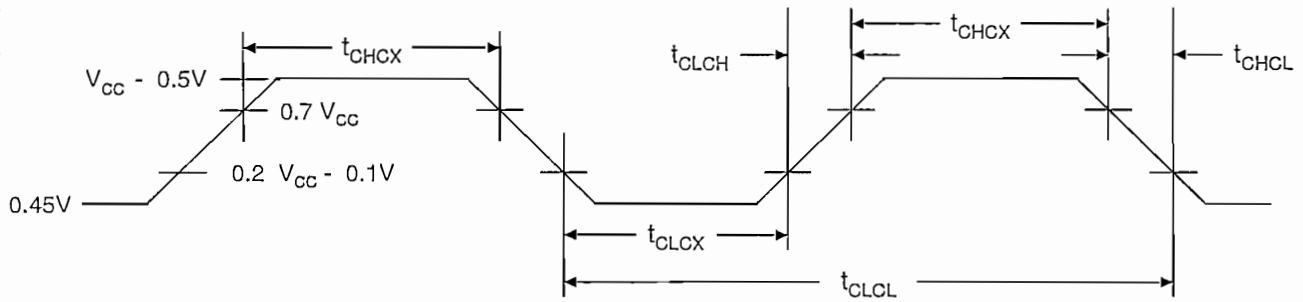
Maximum I_{OL} per port pin: 20 mA

Maximum total I_{OL} for all output pins: 80 mA

If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.

2. Minimum V_{CC} for Power-down is 2V.

External Clock Drive Waveforms



External Clock Drive

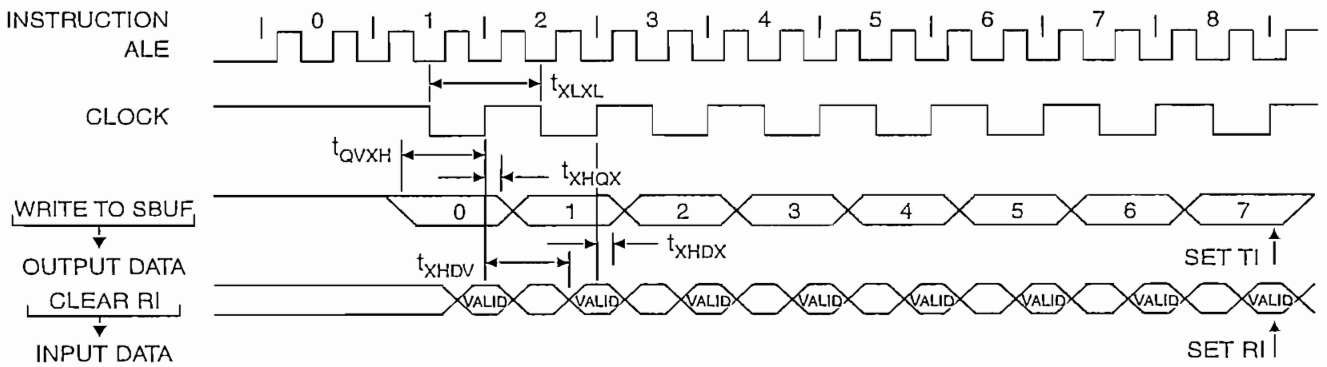
Symbol	Parameter	$V_{CC} = 2.7V \text{ to } 6.0V$		$V_{CC} = 4.0V \text{ to } 6.0V$		Units
		Min	Max	Min	Max	
$1/t_{CLCL}$	Oscillator Frequency	0	12	0	24	MHz
t_{CLCL}	Clock Period	83,3		41.6		ns
t_{CHCX}	High Time	30		15		ns
t_{CLCX}	Low Time	30		15		ns
t_{CLCH}	Rise Time		20		20	ns
t_{CHCL}	Fall Time		20		20	ns

Serial Port Timing: Shift Register Mode Test Conditions

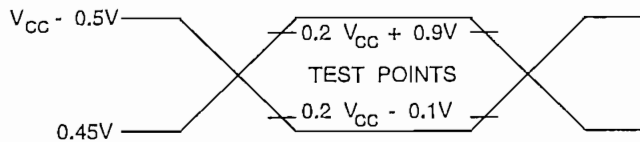
$V_{CC} = 5.0V \pm 20\%$; Load Capacitance = 80 pF

Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
t_{XLXL}	Serial Port Clock Cycle Time	1.0		$12t_{CLCL}$		μs
t_{QVXH}	Output Data Setup to Clock Rising Edge	700		$10t_{CLCL}-133$		ns
t_{XHQX}	Output Data Hold after Clock Rising Edge	50		$2t_{CLCL}-117$		ns
t_{XHDX}	Input Data Hold after Clock Rising Edge	0		0		ns
t_{XHdV}	Clock Rising Edge to Input Data Valid		700		$10t_{CLCL}-133$	ns

Shift Register Mode Timing Waveforms

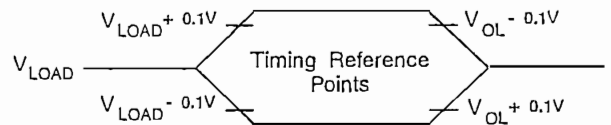


AC Testing Input/Output Waveforms⁽¹⁾



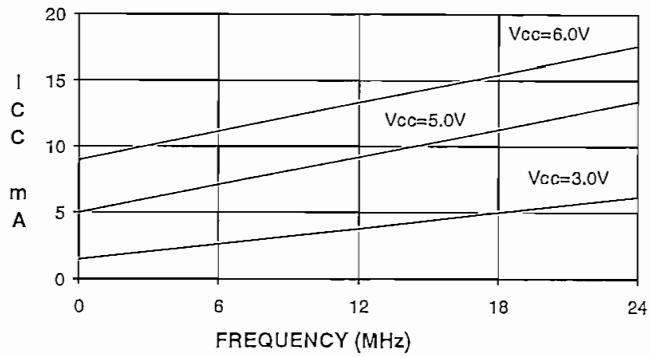
Note: 1. AC Inputs during testing are driven at $V_{CC} - 0.5V$ for a logic 1 and $0.45V$ for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

Float Waveforms⁽¹⁾

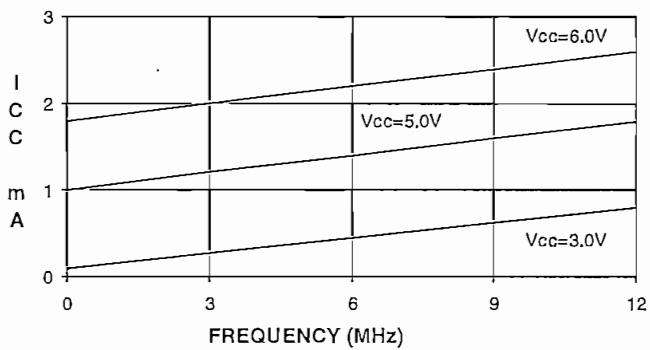


Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when 100 mV change from the loaded V_{OH}/V_{OL} level occurs.

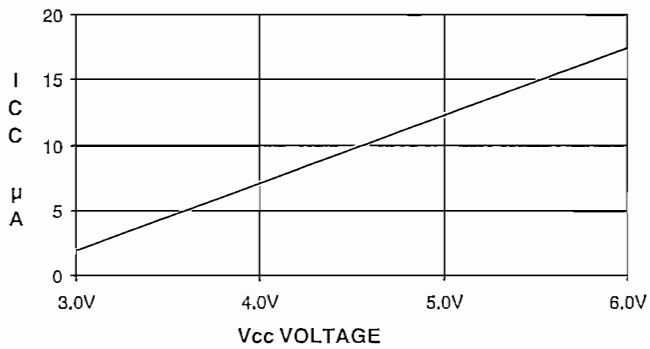
AT89C1051U
TYPICAL I_{CC} - ACTIVE (85°C)



AT89C1051U
TYPICAL I_{CC} - IDLE (85°C)



AT89C1051U
TYPICAL I_{CC} vs. VOLTAGE- POWER DOWN (85°C)



- Notes:
1. XTAL1 tied to GND for I_{CC} (power-down)
 2. P1.0 and P1.1 = V_{CC} or GND
 3. Lock bits programmed

Ordering Information

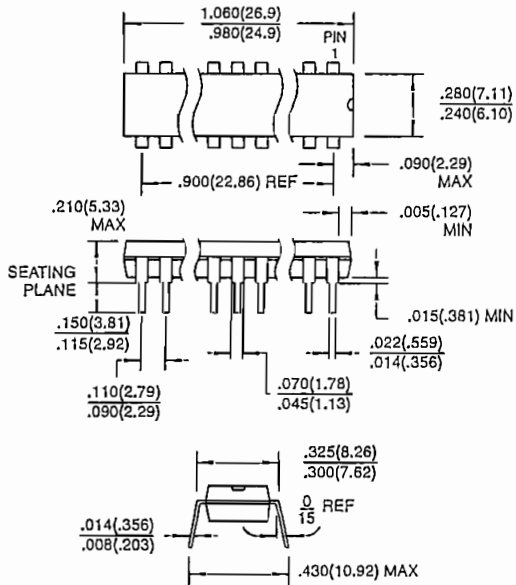
Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
12	2.7V to 6.0V	AT89C1051U-12PC AT89C1051U-12SC	20P3 20S	Commercial (0°C to 70°C)
		AT89C1051U-12PI AT89C1051U-12SI	20P3 20S	Industrial (-40°C to 85°C)
24	4.0V to 6.0V	AT89C1051U-24PC AT89C1051U-24SC	20P3 20S	Commercial (0°C to 70°C)
		AT89C1051U-24PI AT89C1051U-24SI	20P3 20S	Industrial (-40°C to 85°C)

Package Type

20P3	20-lead, 0.300" Wide, Plastic Dual In-line Package (PDIP)
20S	20-lead, 0.300" Wide, Plastic Gull Wing Small Outline (SOIC)

Packaging Information

20P3, 20-lead, 0.300" Wide,
Plastic Dual In-line Package (PDIP)
Dimensions in Inches and (Millimeters)
JEDEC STANDARD MS-001 AD



20S, 20-lead, 0.300" Wide,
Plastic Gull Wing Small Outline (SOIC)
Dimensions in Inches and (Millimeters)

