

ESCUELA POLITECNICA NACIONAL

FACULTAD DE INGENIERIA ELECTRICA

TESIS DE GRADO

“ DISEÑO Y CONSTRUCCION DE UN SISTEMA SERVO  
INCREMENTAL CON ESTRUCTURA VARIABLE BASADO EN  
MICROPROCESADOR”

TESIS PREVIO A LA OBTENCION DEL TITULO DE INGENIERO  
EN ELECTRONICA Y CONTROL

CARLOS GEOVANNY VALDIVIESO PADILLA

QUITO, 9 DE JULIO DE 1996

*Certifico que la presente tesis ha  
sido realizada en su totalidad por el  
Señor Carlos Geovanny Valdivieso  
Padilla, bajo mi dirección.*

A handwritten signature in black ink, enclosed within a hand-drawn oval. The signature is stylized and appears to read 'Hugo A. Banda G.'.

*Doctor Hugo A. Banda G.*

*Director de tesis*

## *AGRADECIMIENTO*

*Deseo expresar mi afecto a todos aquellos amigos que colaboraron con su apoyo en la culminación de esta tesis.*

*Al Dr. Hugo Banda mi agradecimiento por haber aceptado la dirección de la presente tesis y por su gran paciencia en la realización de la misma.*

## *DEDICATORIA*

*Esta tesis va dedicada a mis Padres Manuel y Eva como un homenaje al sacrificio hecho por ellos para que pueda culminar mis estudios universitarios con éxito, a mis Hermanas Rocío y Lourdes por su apoyo constante.*

# INDICE

## INTRODUCCION

## CAPITULO I

<b>1.</b>	<b>ASPECTOS GENERALES.....</b>	<b>1</b>
1.1	Control de posición de la máquina DC.....	2
1.1.1	Fundamentos teóricos para el diseño de los sistemas de control en el dominio del tiempo.....	2
1.1.2	Configuración del sistema de control utilizada para controlar la posición de la máquina DC.....	8
1.2	Obtención de la función de transferencia de la máquina DC a utilizarse como planta en el sistema servo incremental.....	10
1.2.1	Ecuaciones diferenciales de la máquina de corriente continua como motor.....	10
1.2.2	Función de Transferencia de la máquina de corriente continua...	12
1.2.3	Valores de las constantes del servo motor del MCSL.....	13
1.3	Fundamentos teóricos sobre los Sistemas de Control de Estructura Variable (SCEV).....	14
1.3.1	Introducción.....	14
1.3.2	SEV en forma canónica de fase.....	18
1.3.3	Plantas invariantes en el tiempo.....	19

## CAPITULO II

<b>2.</b>	<b>SIMULACION DIGITAL DEL SISTEMA SERVO INCREMENTAL EN BASE AL CONCEPTO DE SISTEMAS DE CONTROL DE ESTRUCTURA VARIABLE .....</b>	<b>21</b>
2.1	Parámetros del sistema. ....	22
2.2	Control de posición en base al concepto de Sistemas de Control de de Estructura Variable.....	23
2.3	Programación del algoritmo para la simulación digital del control de posición de la máquina DC.....	29
2.3.1	Modelo matemático en tiempo discreto del Sistema Servo Incremental.....	29
2.3.2	Algoritmo para la simulación digital del control de posición del sistema servo incremental en base a técnica de los SEV.....	31
2.3.3	Algoritmo para la simulación digital del control de posición del sistema servo incremental con control PID.....	34

## CAPITULO III

<b>3.</b>	<b>DESCRIPCION Y DISEÑO DEL SISTEMA .....</b>	<b>36</b>
3.1	Diagrama de bloques del Sistema Servo Incremental.....	36
3.2	Descripción y diseño de cada uno de los bloques.....	38
3.2.1	Servo motor de corriente continua.....	38
3.2.2	Microcomputador.....	39
3.2.2.1	Tarjeta madre del microcomputador.....	40
3.2.2.2	Circuito de teclado.....	42
3.2.2.3	Circuito de display.....	43
3.2.2.4	Fuente de alimentación del microcomputador...	44
3.2.3	Amplificador de potencia.....	45
3.2.3.1	Parámetros de operación del amplificador.....	45
3.2.3.2	Puente de transistores y su operación.....	47
3.2.3.3	Técnica PWM de dos niveles.....	48
3.2.3.4	Selección de los elementos de potencia.....	51
3.2.3.5	Circuito de disparo del amplificador.....	54
3.2.3.6	Implementación del circuito de disparo .....	58
3.2.3.7	Fuente de alimentación del amplificador.....	60
3.2.4	Sensor de posición.....	60

## CAPITULO IV

<b>4.</b>	<b>DISEÑO DEL PROGRAMA PARA EL SISTEMA SERVO INCREMENTAL BASADO EN MICROPROCESADOR.....</b>	<b>63</b>
4.1	Estructura del programa para el sistema servo incremental.....	63
4.2	Desarrollo de rutinas para el sistema servo incremental y programación en assembler para el microprocesador.....	66
4.2.1	Rutinas del programa TESIS.EXE .....	66
4.2.2	Rutinas del programa CONTROLR.HEX .....	74

## CAPITULO V

<b>5.</b>	<b>RESULTADOS EXPERIMENTALES Y CONCLUSIONES.....</b>	<b>85</b>
5.1	Análisis de los resultados obtenidos: simulación y experimentales.....	85
5.2	Comparación con otras técnicas de control.....	95
5.3	Discusión.....	99
5.4	Conclusiones y Recomendaciones.....	100
	<b>REFERENCIAS.....</b>	<b>102</b>
	<b>BIBLIOGRAFIA .....</b>	<b>103</b>
	<b>ANEXOS.....</b>	<b>105</b>
	<b>ANEXO 1</b>	
	Equipo y tarjetas electrónicas.....	106
	<b>ANEXO 2</b>	
	Características técnicas y guías de uso de la Tarjeta MCPD51DA.....	128
	<b>ANEXO 3</b>	
	Características técnicas del display LTN211.....	140
	<b>ANEXO 4</b>	
	Características técnicas de los C.I. más principales utilizados en las tarjetas impresas .....	156
	<b>ANEXO 5</b>	
	Presupuesto del equipo y manual del usuario.....	184

## INTRODUCCION

Hoy en día los microprocesadores son encontrados en numerosas aplicaciones industriales, debido a la disponibilidad de estos elementos a un costo relativamente bajo. Esto ha creado un gran interés en el diseño de sistemas de control basados en microprocesadores, especialmente dentro de sistemas de control en tiempo real.

Entonces nace la necesidad de que un laboratorio de control con microprocesadores esté orientado a familiarizar a los estudiantes en el diseño de sistemas de control en tiempo real. Para cumplir con este objetivo se debe disponer de varios módulos experimentales enfocados en este tópico con el fin de que el estudiante adquiera una formación práctica y pueda tener un mayor entendimiento físico de la mayoría de los conceptos teóricos que son introducidos en los cursos de control automático.

Por lo anteriormente dicho, la presente tesis sobre: *EL DISEÑO Y CONSTRUCCION DE UN SISTEMA SERVO INCREMENTAL CON ESTRUCTURA VARIABLE BASADO EN MICROPROCESADOR*, tiene como interés primordial el de desarrollar un equipo didáctico que contribuirá hacia un mejor equipamiento del Laboratorio de Control con Microprocesadores y que podrá ser utilizado por los estudiantes para que puedan realizar varios experimentos que les ayudarán a tener un mayor entendimiento físico de los conceptos teóricos dentro del tópico del diseño de sistemas de control en tiempo real con microprocesadores.



Se plantea la aplicación del concepto de sistemas control de estructura variable para el sistema servo incremental, con el objetivo de comprobar las ventajas que posee este método de control, entre las cuales están : a) resuelve el conflicto entre precisión estática y dinámica, y b) insensibilidad a variaciones en parámetros de la planta y a perturbaciones externas.

La tesis comprende el análisis, el diseño y la construcción del sistema servo incremental con microprocesador en forma de un módulo didáctico. El análisis se realiza incluyendo la simulación digital del sistema servo incremental con estructura variable en lenguaje C .

Con la finalidad de tener una secuencia lógica, el **Capítulo I**, trata los aspectos generales sobre los conceptos y principios teóricos aplicados en el control de posición. Se explica además la base teórica de los sistemas de control de estructura variable. El **Capítulo II**, comprende el análisis del sistema servo incremental aplicando los conceptos de los sistemas de estructura variable. Se plantean los criterios utilizados para obtener los modelos matemáticos para elaborar los algoritmos de control empleados en la simulación digital e implementados en el microprocesador. Los detalles sobre el diseño de todos los circuitos electrónicos empleados en el equipo se presenta en el **Capítulo III**. En el **Capítulo IV**, se expone la forma como se estructuró los programas en el computador personal y en el microprocesador para analizar el sistema construido. Finalmente los resultados experimentales y simulados sobre la respuesta del control de posición se presentan en el **Capítulo V**.

# CAPITULO I

## ASPECTOS GENERALES

En la presente tesis se plantea el análisis, el diseño y la construcción como módulo didáctico de un Sistema Servo Incremental basado en microprocesador. Se pretende que el sistema desarrollado tenga una alta velocidad de respuesta, buena precisión de estado estable y un bajo sobre impulso. Para obtener un sistema de alto funcionamiento, el algoritmo de control implementado en el microprocesador fue desarrollado en base a los principios de la Teoría de los Sistemas de Control de Estructura Variable, cuya aplicación ofrece varias ventajas entre las cuales podemos mencionar las siguientes:

1) resuelve el conflicto entre precisión estática y dinámica y, 2) insensibilidad a las variaciones en parámetros de la planta y a perturbaciones externas.

## 1.1 CONTROL DE POSICION DE LA MAQUINA D.C.

### 1.1.1 Fundamentos teóricos para el diseño de los sistemas de control en el dominio del tiempo.

En forma general se puede decir que la vida impone el logro de muchos “objetivos”, y los medios para alcanzarlos casi siempre dependen de sistemas de control. Cualquiera que sea el tipo de sistema de control considerado los ingredientes básicos pueden describirse en términos de:

1. Objetivos de control
2. Componentes del sistema de control
3. Resultados

En la figura 1-1 (a) se ilustra la relación entre estos tres ingredientes básicos en forma de diagrama de bloques. En términos más científicos, estos tres ingredientes básicos pueden identificarse como entradas, componentes del sistema y salidas, respectivamente como se muestra en la figura 1-1 (b).

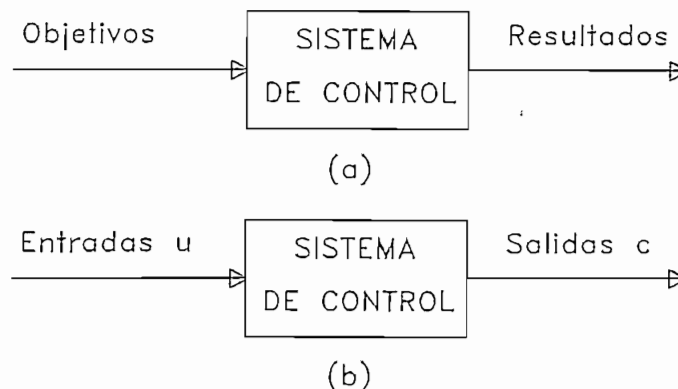


Figura 1-1: Componentes básicos de un sistema de control

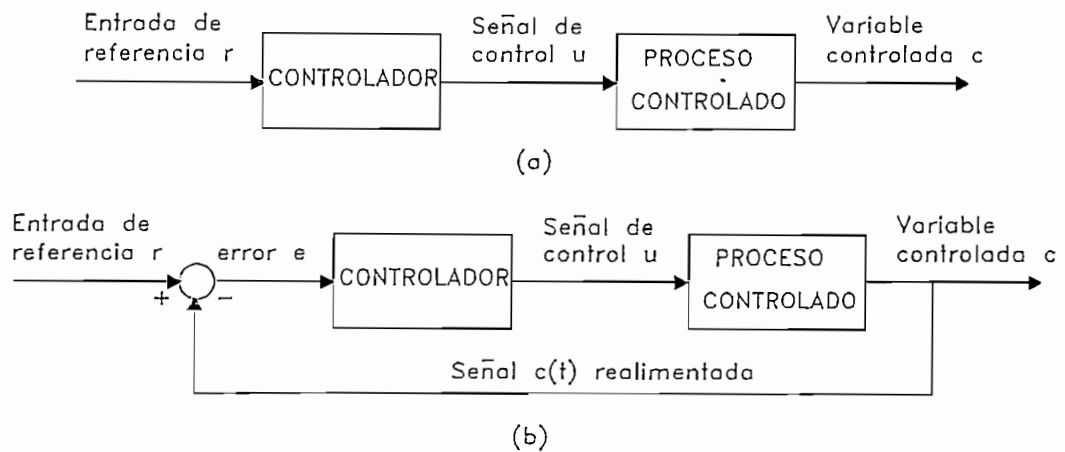
En general, el objetivo de un sistema de control consiste en controlar las salidas, representadas por el vector  $c(t)$  de una manera predeterminada, por medio de las entradas representadas por el vector  $u(t)$  y aplicando los elementos del sistema de control. A las entradas del sistema se les llama también *señales de control* y a las salidas *variables controladas*.

Considerando sistemas lineales de control de una entrada y una salida para fines de explicación, cuando la salida  $c(t)$  no es realimentado a la entrada se tiene un **sistema de control de lazo abierto**. Los elementos del sistema de control de lazo abierto casi siempre pueden dividirse en dos partes: el controlador y el proceso controlado, tal como lo ilustra el diagrama de bloques de la figura 1-2 (a). Se aplica una señal de entrada o comando  $r(t)$  al controlador, cuya salida actúa como señal de control  $u(t)$ ; la señal actuante controla el proceso, de tal manera que la variable controlada  $c(t)$  se comporte de acuerdo a estándares predeterminados.

En casos simples, el controlador puede ser un amplificador, engranes mecánicos u otros medios de control, dependiendo de la naturaleza del sistema. En el control electrónico, más sofisticado, el controlador puede ser una computadora electrónica.

En los sistemas de control de lazo abierto, el elemento faltante para lograr un control más preciso y adaptable es un enlace o realimentación de la salida a la entrada del sistema. La señal controlada  $c(t)$  debe realimentarse y compararse con la entrada de referencia, tras lo cual se envía a través del sistema una señal de control proporcional a la diferencia entre la entrada y la salida, con el objeto de corregir el error o desviación. A los

sistemas con uno o más lazos de realimentación se les llama **sistema de control de lazo cerrado** como puede observarse en el diagrama de bloques de la figura 1-2(b).



**Figura 1-2:** (a) Sistema de control de lazo abierto y (b) Sistema de control de lazo cerrado o realimentado

**Especificaciones de funcionamiento.** Se proyectan los sistemas de control para cumplir con determinadas tareas. Generalmente a las condiciones requeridas en un sistema de control, se las denomina especificaciones de funcionamiento. Habitualmente se refieren a exactitud, estabilidad relativa y velocidad de respuesta.

Las especificaciones de funcionamiento no deben ser más restringidas que las necesarias para cumplir determinada tarea. Si en un determinado sistema de control, es de primordial importancia la exactitud de funcionamiento en estado estacionario, no se deben requerir innecesariamente rígidas especificaciones de funcionamiento en la respuesta transitoria, pues esas especificaciones llevan a componentes costosos. Debe recordarse que la parte más importante de un proyecto de sistema de control es establecer las especificaciones de funcionamiento en forma precisa, para que proporcionen un sistema de control óptimo para el objetivo previsto.

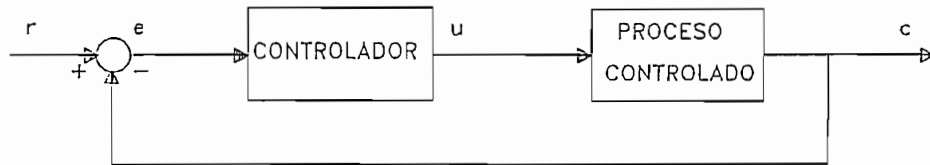
**Compensación de los sistema de control.** Al construir un sistema de control, se sabe que un modo simple de cumplir con las especificaciones de funcionamiento, es modificar adecuadamente la dinámica del proceso (o planta). Sin embargo, esto no puede ser posible en muchas situaciones prácticas, porque el proceso (o planta) puede ser fijo y no modificable. En este caso deben ajustarse otros parámetros que los del proceso (o planta).

El primer paso para ajustar el sistema a los fines de funcionamiento, es el ajuste de la ganancia. Sin embargo en muchos casos reales esto no es posible, el ajuste de la ganancia sola puede no brindar suficiente variación del comportamiento del sistema como para alcanzar las especificaciones dadas. Frecuentemente resulta que, aumentar el valor de la ganancia mejora el comportamiento estacionario, pero produce una pobre estabilidad o incluso inestabilidad. Entonces se hace necesario insertar en el sistema un dispositivo adicional llamado *controlador o compensador* para alterar el comportamiento global de modo que el sistema de control funcione en la forma deseada.

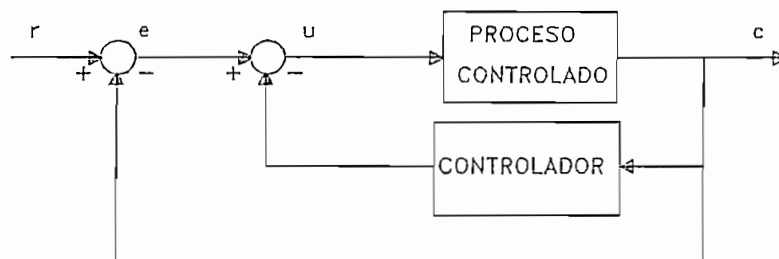
De acuerdo a la ubicación y función del controlador dentro del sistema de control existen varias configuraciones para establecer la compensación de los sistemas de control. Para fines de explicación sólo se mencionan dos de ellas: a) compensación en serie o en cascada y, b) compensación de realimentación o paralela; las dos configuraciones se muestran mediante diagrama de bloques en la figura 1-3.

La mayor parte del diseño de los sistemas de control se basa en lo que se llama *diseño de configuración fija*, en el que el diseñador decide desde el principio la

composición básica de todo el sistema, así como la colocación del compensador en relación con la posición de los componentes del proceso controlado. Con esto, el problema consiste en diseñar los elementos del compensador.



(a)



(b)

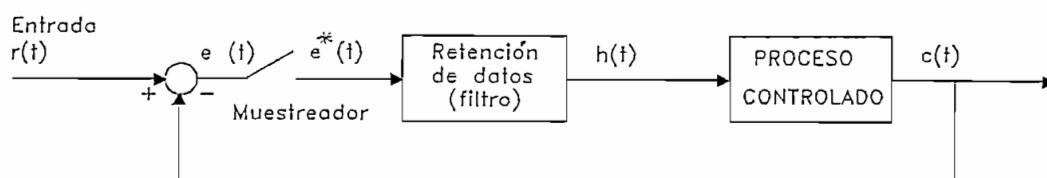
**Figura 1-3:** Compensación del sistema de control: a) en cascada o serie y, b) en la realimentación o paralela

**Procedimientos de análisis para el diseño.** Para el análisis del diseño de sistemas de control en términos de la medición de resultados en el dominio del tiempo, como el tiempo de crecimiento, máximo sobreimpulso, o tiempo de establecimiento, no hay otra elección que el método de tanteo y ajuste de parámetros del sistema. Para lo cual se establece un modelo matemático de todo el sistema de control junto con la configuración del compensador a utilizarse. La parte más lenta del trabajo es la verificación de las especificaciones de funcionamiento, analizando cada ajuste de los parámetros del compensador, para facilitar esta tarea hoy en día se utiliza una computadora personal para el cálculo numérico.

Una vez obtenidos resultados satisfactorios en el modelo matemático, el proyectista debe implementar la configuración del compensador en el sistema a controlarse y probar su funcionamiento de acuerdo a las predicciones teóricas. Debido a los efectos de carga despreciados entre los componentes como alinealidades, parámetros distribuidos, etc, el funcionamiento efectivo del control puede no satisfacer todos los requerimientos de funcionamiento. Por tanteo y modificación, el proyectista debe efectuar cambios en el compensador prototipo hasta que cumpla las especificaciones.

**Sistemas de datos muestreados.** Los sistemas de control de tiempo discreto o sistemas de datos muestreados, son sistemas dinámicos en los cuales una o más variables pueden variar solamente en ciertos instantes. Esos instantes, que se han de indicar por  $kT$  o  $t_k$  ( $k = 0, 1, 2, 3, \dots$ ) pueden especificar el momento en el cual se realiza alguna medición física o el tiempo en el cual se lee la memoria de una computadora digital.

Los sistemas de tiempo discreto difieren de los de tiempo continuo, en que las señales para un sistema de tiempo discreto, aparecen en forma de datos muestrales, es decir las señales en uno o más puntos del sistema aparecen en forma de un tren de pulsos o de un código digital.



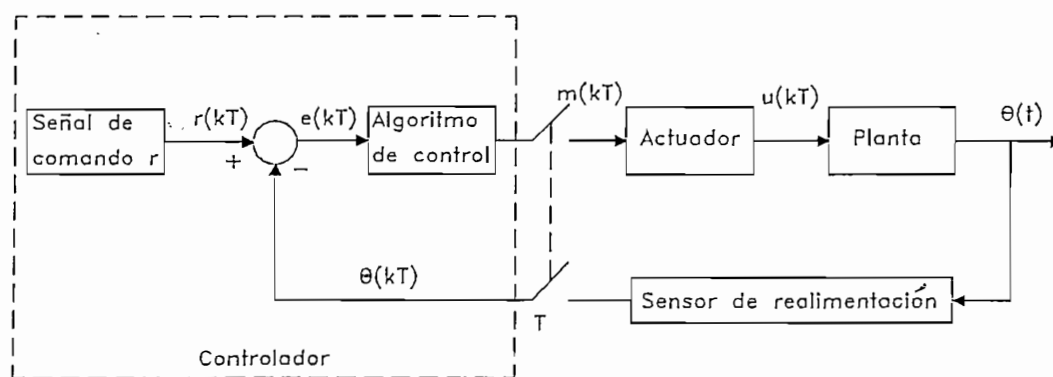
**Figura 1-4:** Diagrama de bloques de un sistema de control de datos muestreados.



La figura 1-4 ilustra cómo opera un sistema típico de datos muestreados. Al sistema se le aplica una señal de entrada continua  $r(t)$ . La señal de error  $e(t)$  se alimenta a un dispositivo de muestreo, y la salida de éste es una secuencia de impulsos. La velocidad de muestreo puede ser o no uniforme.

### 1.1.2 Configuración del sistema de control utilizada para controlar la posición de la máquina DC

Debido a que el Sistema Servo Incremental desarrollado utiliza un microprocesador, la configuración del sistema de control propuesto debe ser en tiempo discreto donde el período de muestreo es periódico. Por esta razón se utilizó la configuración que se presenta en el diagrama de bloques de la figura 1-5, donde se tiene un control digital directo en línea con compensación en cascada. En esta configuración se propone el empleo de tres elementos adicionales a la máquina DC que es la planta del sistema de control: el controlador, el actuador y el sensor de realimentación.



**Figura 1-5:** Diagrama de bloques del control digital directo en línea utilizado para controlar la máquina DC del Sistema Servo Incremental

El controlador de nuestro sistema lo constituye un microcomputador el cual determina el error entre la señal de comando  $r(k)$  y la señal realimentada  $\theta(k)$  y, decide la acción de control a tomarse de acuerdo a la configuración del compensador implementado, ejerciendo la acción reguladora mediante la señal  $m(k)$  ejecutada en tiempo real.

El actuador propuesto es necesario para manejar la planta del sistema de control ya que cumple con la función de amplificar a los niveles de potencia la señal de control  $m(k)$  generada por el microcomputador. Para este fin se utilizó como actuador un convertor DC-DC tipo puente (o Chopper) con control por modulación por ancho de pulso (PWM), por lo que el convertor trabaja como un amplificador lineal de potencia.

El sensor de realimentación tiene por objetivo sensar la posición del eje del motor para que el microcomputador pueda determinar la desviación con la señal de comando. Se utilizó para este fin un codificador incremental montado en el eje del motor junto con circuito de procesamiento de las señales del codificador, generando un código digital que corresponde al ángulo mecánico girado.

Este tipo de control digital ofrece varias ventajas, entre las cuales se puede mencionar:

- 1) flexibilidad para modificar el algoritmo de compensación implementado a cualquier configuración sin necesidad de alterar el sistema construido.
- 2) precisión de cálculo en el algoritmo de control por más complejo que éste sea.
- 3) facilidad para incluir en el microprocesador la parte del comparador y el nivel de referencia.

## 1.2 OBTENCION DE LA FUNCION DE TRANSFERENCIA DE LA MAQUINA D.C. A UTILIZARSE COMO PLANTA EN EL SISTEMA SERVO INCREMENTAL.

### 1.2.1 Ecuaciones diferenciales de la máquina de corriente continua como motor.

Se utiliza como planta del sistema un servo motor d.c de potencia fraccionaria controlado por armadura de imán permanente, que forma parte del Motomatic Control System Laboratory (MCSL), Modelo 100.

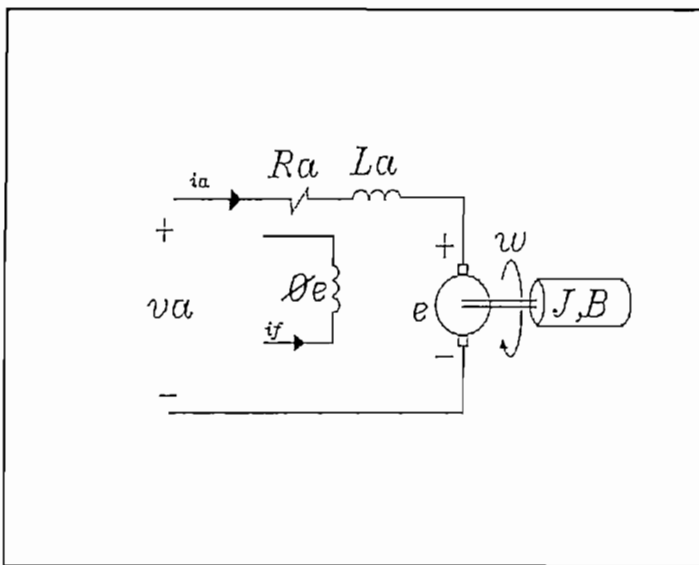


Figura 1-6: Circuito equivalente de la máquina d.c como motor con excitación independiente

En una máquina de corriente continua con excitación independiente (campo fijo) y controlada por armadura, el torque eléctrico es proporcional a la corriente de armadura debido a su campo magnético fijo y la velocidad sin carga del motor es proporcional al voltaje de

armadura aplicado. En la figura 1-6 se muestra el circuito equivalente de la máquina d.c como motor controlada por armadura, en donde  $i_f$ , es la corriente de alimentación del campo y es constante.

Las ecuaciones a partir del circuito equivalente de la Fig. 1-6 son:

$$v_a = R_a i_a + L_a \frac{di_a}{dt} + e \quad : \quad \text{circuito de armadura (1.1)}$$

$$e = K_E w \quad : \quad \text{voltaje inducido (1.2)}$$

$$t_e = J \frac{dw}{dt} + Bw + t_L + K_o \quad : \quad \text{descomposición del torque (1.3)}$$

$$t_e = K_T i_a \quad : \quad \text{torque eléctrico (1.4)}$$

$$w = \frac{d\theta}{dt} \quad : \quad \text{velocidad angular (1.5)}$$

Donde:

$i_a$  corriente de armadura.

$v_a$  voltaje de armadura.

$R_a$  resistencia de armadura.

$L_a$  inductancia de armadura.

$J = J_m + J_L$  momento de inercia total,  $J_m$  momento de inercia del motor,  $J_L$  momento de inercia de la carga.

$B$  coeficiente de rozamiento viscoso.

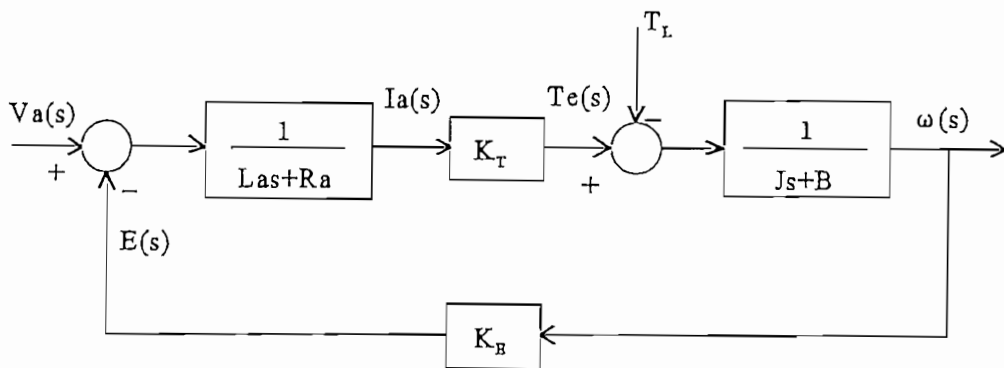
$K_o$  constante de fricción de torque.

$K_E$  constante de fuerza contra-electromotriz.

$K_T$  constante de torque.

### 1.2.2 Función de Transferencia de la máquina de corriente continua.

En la figura 1-7 se presenta un diagrama de bloques del modelo simplificado de la máquina dc aplicando la Función de Laplace.



**Figura 1-7:** Modelo Simplificado en tiempo continuo de la máquina de corriente continua

A partir del modelo simplificado de la figura 1-7 y, sin considerar el efecto de  $t_L$  y  $K_o$  en (1.3) la función de transferencia de la máquina d.c es:

$$G(s) = \frac{\omega(s)}{V_a(s)} = \frac{K_T}{L_a J s^2 + (R_a J + L_a B)s + (R_a B + K_E K_T)} \quad (1.6)$$

Asumiendo  $B \approx 0$  y resolviendo la

ecuación: 
$$s^2 L_a J + s R_a J + K_E K_T = 0 \quad (1.7)$$

La función de transferencia puede ser escrita como:

$$G(s) \approx \frac{\omega(s)}{V_a(s)} \approx \frac{1}{K_E} \frac{1}{(\tau_m s + 1)(\tau_a s + 1)} \quad (1.8)$$

Donde:

$$\tau_e \approx L_a / R \quad \text{constante de tiempo eléctrica.}$$

$$\tau_m \approx R_a J / K_E K_T \quad \text{constante de tiempo mecánica.}$$

Asumiendo una constante de tiempo eléctrica mucha más rápida que la constante de tiempo mecánica para motores d.c controlados por armadura , la función de transferencia de la máquina d.c será de primer orden dada por:

$$G(s) = \frac{\omega}{V_a} = \frac{\frac{1}{K_E}}{\tau_m s + 1} = \frac{k}{\tau s + 1} \quad (1.9)$$

### 1.2.3 Valores de las constantes del servo motor del MCSL

Los valores de las constantes del motor d.c del Motomatic son:

$K_T$	:	0.044 Newton-metros/amperio	[Ref. 2 pág 44]
$K_E$	:	$4.6 \times 10^{-3}$ voltios/r.p.m	[Ref. 2 pág 51]
$J_m$	:	$4 \times 10^{-3}$ oz*pulg*sec <sup>2</sup> = $36.58 \times 10^{-6}$ Kg-m <sup>2</sup>	[Ref. 4 pág. 50 ]
$R_a$	:	4 ohmios	[Ref. 4 pág. 50 ]
$L_a$	:	2.1 mhenrios	[Ref. 1 pág. 36]
$B$	:	$15.3 \times 10^{-6}$ Newton-metro/ rad/seg	[Ref. 1 pág. 39]
$K_a'$	:	5.3	[Ref. 1 pág. 23]
$K_a'$	:	ganancia del servo amplificador del Motomatic.	

### 1.3 FUNDAMENTOS TEORICOS SOBRE LOS SISTEMAS DE CONTROL DE ESTRUCTURA VARIABLE (SCEV).

#### 1.3.1 Introducción

Los Sistemas de Estructura Variable consisten de un grupo de subsistemas continuos acompañados de una lógica de conmutación apropiada. La filosofía básica para abordar la técnica de estructura variable se explica por medio de compararla con el diseño de un regulador de estado lineal para sistemas de entrada simple:

$$\dot{x} = Ax + bu$$

En el diseño del regulador de estado lineal, la estructura de la realimentación de estado es fijada según:

$$u = k^T x$$

donde los parámetros constantes son seleccionados de acuerdo a varios procedimientos de diseño, tales como la ubicación de los valores propios o mediante minimización cuadrática. En sistemas de estructura variable el control está permitido a cambiar su estructura, es decir, a conmutar en cualquier instante desde uno a otro miembro de un grupo de posibles funciones continuas del estado. El problema del diseño de estructura variable es entonces el seleccionar los parámetros de cada una de las estructuras y definir la lógica de conmutación. Una de las ventajas adicionales de la introducción de esta técnica es la posibilidad de combinar propiedades útiles de cada una de las estructuras. Sin embargo, un sistema de estructura variable puede poseer nuevas propiedades no presentes en algunas de las estructuras usadas. Por mencionar, un sistema estable asintóticamente puede consistir

de dos estructuras ninguna de las cuales es asintóticamente estable. Esta posibilidad es ilustrada por dos ejemplos muy simples. En el primer ejemplo se considera el siguiente sistema de segundo orden:

$$\ddot{x} = -\Psi x$$

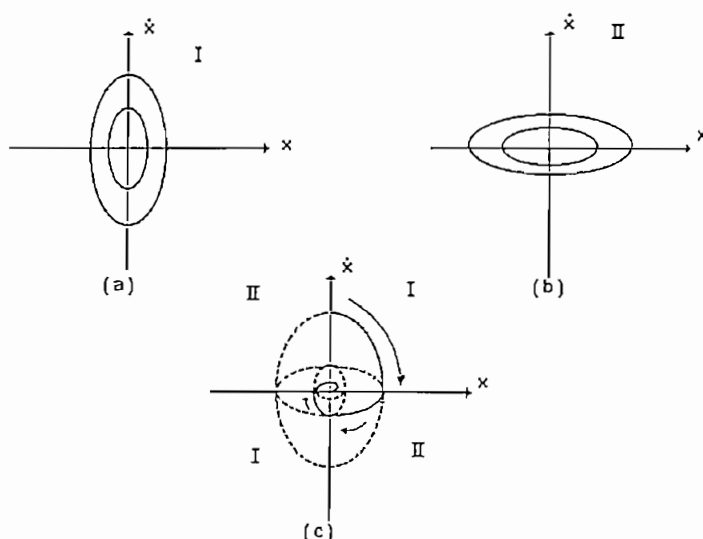
el cual tiene dos estructuras definidas por :

$$\Psi = \alpha_1^2 \text{ y } \Psi = \alpha_2^2 \quad \text{donde: } \alpha_1^2 > \alpha_2^2$$

El diagrama de fase consiste de familias de elipses [Figura 1-8 (a), (b)] y por lo tanto, ninguna estructura es asintóticamente estable. Sin embargo, la estabilidad asintótica es conseguida si la estructura del sistema está cambiando sobre los ejes coordenados, es decir, si la lógica de conmutación es:

$$\Psi = \begin{cases} \alpha_1^2, & \text{si } x\dot{x} > 0 \\ \alpha_2^2, & \text{si } x\dot{x} < 0 \end{cases}$$

El diagrama de fase resultante es el mostrado en la figura 1-8 (c)



**Figura 1-8:** SEV asintóticamente estable consistente de dos estructuras estables.



En el segundo ejemplo, se considera el sistema

$$\ddot{x} - \xi \dot{x} + \psi x = 0, \quad \xi > 0$$

donde la estructura lineal corresponde a una realimentación negativa y positiva cuando:

$$\begin{aligned} \psi &= +\alpha \text{ realimentación negativa} \\ \psi &= -\alpha \text{ realimentación positiva} \end{aligned}$$

siendo  $\alpha > 0$ . Ambas estructuras son inestables [ Figura 1-9 (a), (b) ]. Se nota que el movimiento converge hacia el origen solamente a lo largo del vector propio estable de la estructura con  $\psi = -\alpha$ . Si la conmutación ocurre sobre esta línea y sobre  $x = 0$  con la ley

de conmutación:

$$\psi = \begin{cases} +\alpha, & \text{si } xs > 0 \\ -\alpha, & \text{si } xs < 0 \end{cases} \quad \text{donde } s = cx + \dot{x}$$

$$c = \lambda = -\frac{\xi}{2} \pm \sqrt{\left(\frac{\xi^2}{4} + \alpha\right)}$$

de estructura variable será asintóticamente estable [Figura 1-9 (c)].

En los ejemplos mencionados, nuevas propiedades del sistema son obtenidas por componer una trayectoria deseada a partir de las partes de trayectorias de estructuras diferentes. Un aspecto aun más fundamental de los SEV es la posibilidad de obtener trayectorias no inherentes en algunas de las estructuras. Estas trayectorias describen un nuevo tipo de movimiento - el así llamado **modo deslizamiento**.

Para mostrar como tal movimiento ocurre se reconsidera el segundo ejemplo, usando :

$$0 < c < \lambda \quad \text{en vez de } c = \lambda$$

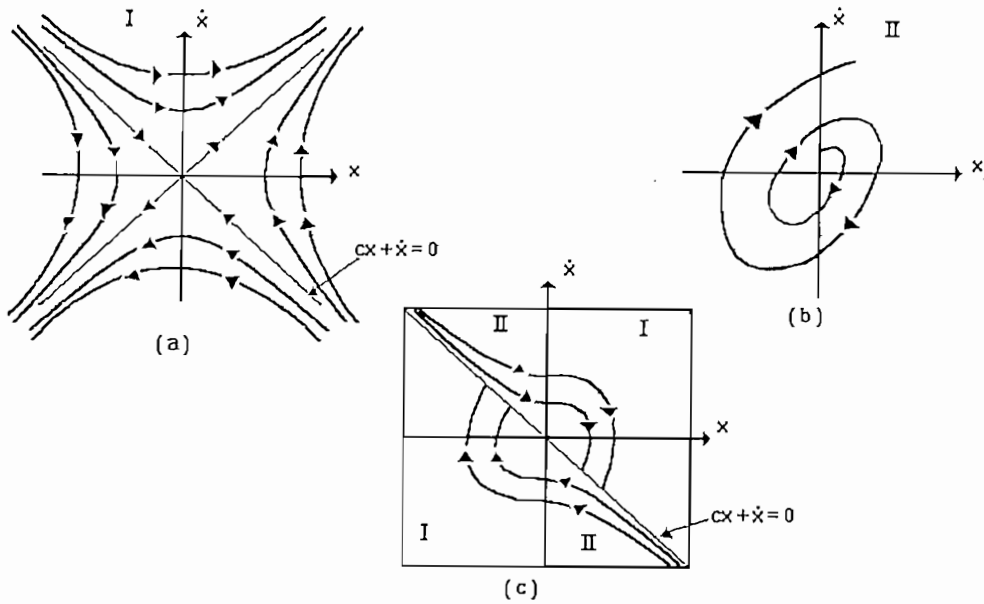


Figura 1-9: SEV asintóticamente estable consistente de dos estructuras inestables.

Se observa en la figura 1-10 que las trayectorias de fase están dirigidas hacia la línea de conmutación:  $s = cx + \dot{x} = 0$ . Por lo tanto una vez sobre esta línea el estado debe

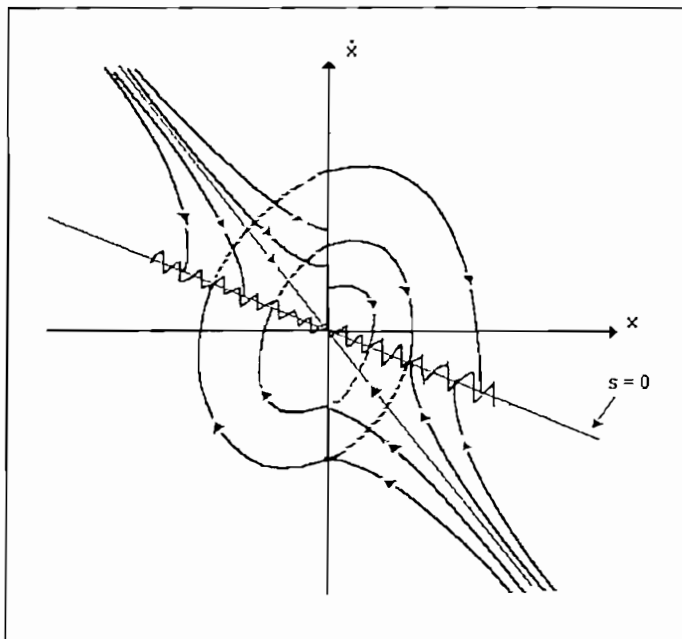


Figura 1-10: Modo deslizamiento en un SEV de segundo orden.

permanecer sobre ella. El movimiento a lo largo de una línea que no es una trayectoria de alguna de las estructuras es llamado el **modo deslizamiento**.

La ecuación:

$$s = cx + \dot{x} = 0$$

determina el comportamiento del sistema en el modo deslizamiento.

Es útil notar que el comportamiento depende del parámetro  $c$ . Esta invarianza con respecto a los parámetros de la

planta y a perturbaciones es de extrema importancia cuando se controla planta variantes en el tiempo o se trata de controlar problemas de rechazo de perturbaciones.

### 1.3.2 SEV en forma canónica de fase

Se considera el diseño de los controladores de estructura variable para llevar a cero la salida  $y = x_1$  del sistema:

$$\begin{aligned} \dot{x}_i &= x_{i+1} & i &= 1, \dots, n-1 \\ \dot{x}_n &= - \sum_{i=1}^n a_i x_i + f(t) + u \end{aligned} \quad (1.10)$$

donde  $u$  es el control,  $f(t)$  es una perturbación,  $a_i$  son los parámetros constantes o variantes con el tiempo,  $f(t)$  y  $a_i$  pueden ser desconocidos.

Suponiendo aquel control  $u$  como una función del vector estado  $x$  sufre discontinuidades sobre algún plano  $s = \theta$ , donde:

$$s = \sum_{i=1}^n c_i x_i, \quad c_i = \text{const}, \quad c_n = 1 \quad (1.11)$$

Entonces el vector velocidad sufre discontinuidades en el mismo plano. Como en el segundo ejemplo de la introducción, si las trayectorias están dirigidas hacia el plano, un modo deslizamiento aparecerá en este plano  $s = \theta$ . El par de desigualdades:

$$\lim_{s \rightarrow -0} \dot{s} > 0 \quad y \quad \lim_{s \rightarrow +0} \dot{s} < 0 \quad (1.12)$$

son condiciones suficientes para que el modo deslizamiento exista.

Se resuelve la ecuación  $s = 0$  para la variable  $x_n$  y se sustituye en (1.10) para probar la invarianza del modo deslizamiento con respecto a los parámetros de la planta  $a_i$ , y a las perturbaciones  $f(t)$ .

Las ecuaciones resultantes del modo deslizamiento:

$$\begin{aligned} \dot{x}_i &= x_{i+1} & i &= 1, \dots, n-2 \\ \dot{x}_{n-1} &= - \sum_{i=1}^{n-1} c_i x_i \end{aligned} \quad (1.13)$$

dependen sólo de los parámetros  $c_i$ .

Un procedimiento de diseño basado en la propiedad de invarianza puede ser delineado de la siguiente manera. Primero, el modo deslizamiento es formado por una selección de los parámetros  $c_i$ . Segundo, un control discontinuo es encontrado el cual garantice la existencia del modo deslizamiento en cada punto del plano  $s = 0$ . Tercero, el control debe llevar al estado al plano deslizamiento.

### 1.3.3 Plantas invariantes en el tiempo

Sean los parámetros de la planta  $a_i$  constantes y  $f(t) = 0$ . El problema es forzar al estado a cero. Análogamente a lo que fue hecho con los SEV de segundo orden, el control  $u$  es seleccionado como una parte discreta de la función lineal de  $x$  con coeficientes discontinuos.

$$u = -\sum_{i=1}^k \Psi_i x_i - \delta_o \operatorname{sgn} s \quad 1 \leq k \leq n-1 \quad (1.14)$$

$$\Psi = \begin{cases} \alpha_i & \text{si } x_i s > 0 \\ \beta_i & \text{si } x_i s < 0 \end{cases} \quad \operatorname{sgn} s = \begin{cases} +1, & \text{si } s > 0 \\ -1, & \text{si } s < 0 \end{cases}$$

Donde:  $\alpha_i, \beta_i, \delta_o$  constantes ;  $\delta_o$  es un escalar positivo pequeño.

Una condición necesaria y suficiente para que un plano deslizamiento exista es:

$$\alpha_i > c_{i-1} - a_i - c_i c_{n-1} + c_i a_n$$

$$\beta_i \leq c_{i-1} - a_i - c_i c_{n-1} + c_i a_n \quad i = 1, \dots, k, \quad c_o = 0 \quad (1.15)$$

$$\frac{c_{i-1} - a_i}{c_i} = c_{n-1} - a_n \quad i = k+1, \dots, n-1$$

Por lo tanto, los coeficientes  $c_i$  necesarios para el diseño de un modo deslizamiento deseado en (1.13) no pueden ser escogidos libremente. Por una selección apropiada de  $\alpha_i$  y  $\beta_i$ , las desigualdades en (1.15) pueden ser satisfechas, pero las igualdades representadas por  $(n-k-1)$  ecuaciones están restringidas para  $(n-1)$  coeficientes  $c_i$ . Esta restricción desaparece sólo para  $k = n-1$ . Para  $k < n-1$  una nueva clase de plantas lineales se han encontrado para las cuales un plano deslizamiento con movimiento estables existe.

## **CAPITULO II**

### **SIMULACION DIGITAL DEL SISTEMA SERVO INCREMENTAL EN BASE AL CONCEPTO DE SISTEMAS DE CONTROL DE ESTRUCTURA VARIABLE**

En este capítulo se presenta un desarrollo del análisis del control de posición del Sistema Servo Incremental aplicando la Teoría de los Sistemas de Estructura Variable (SEV). Para poder estimar el tipo de respuesta del sistema en el dominio del tiempo se realiza la simulación digital en lenguaje “C” del sistema de control con técnica SEV. Los resultados de esta simulación nos permite comprobar si se tiene un sistema con una alta velocidad de respuesta, una alta precisión en estado estable y con un bajo sobre impulso.

Además se desarrolla la simulación digital del sistema aplicando el controlador PID, cuyos resultados se comparan con los obtenidos con la técnica SEV para comprobar las ventajas que puede ofrecer el control SEV implementado en el sistema.

## 2.1 PARAMETROS DEL SISTEMA

Antes de proceder al desarrollo del análisis del sistema con técnica de estructura variable es necesario mencionar algunos criterios considerados.

Respecto a la función de transferencia de la máquina d.c definida por la ecuación (1.8), los valores de las constantes de tiempo y ganancia para el motor del Motomatic según [Ref. 3 pág 71] son:

$$1 / \tau_e = 1623 \text{ rad/sec}; 1 / \tau_m = 11.5 \text{ rad/sec y } K_T = 110 \text{ rad/sec/voltios}$$

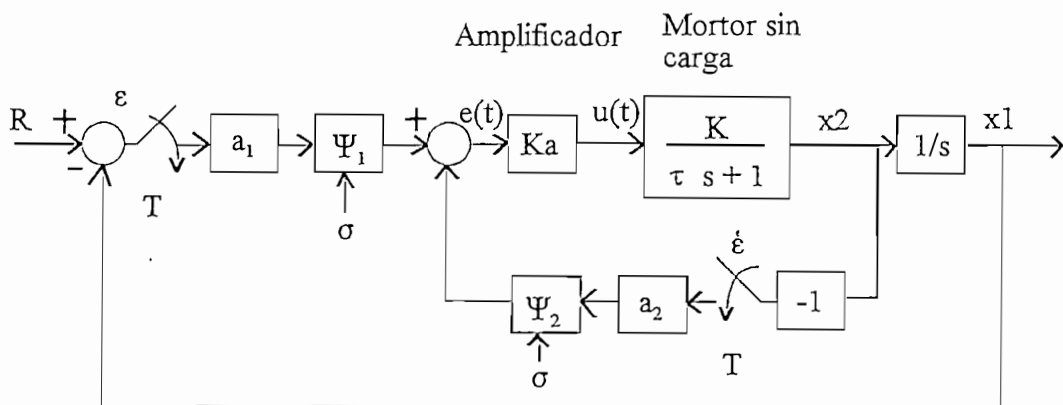
A partir de estos valores se tiene que la constante de tiempo eléctrica es muy pequeña con relación a la constante mecánica, por lo que la función de transferencia del motor d.c de la velocidad ( $\omega$ ) sobre el voltaje de armadura ( $V_a$ ) se puede considerar como de primer orden dada por la ec. (1.9), la misma que se utilizará en los modelos matemáticos propuestos, donde:

$$k = K_T / K_a' = 20.70 \text{ rad/sec/voltios y } \tau = 87 \text{ ms.}$$

El diseño del sistema de control es en el dominio del tiempo por lo que se utiliza como señal de prueba la función paso para el análisis de las respuestas transitorias y de estado estable. Se aplican los métodos de los sistemas continuos para facilitar el análisis y el diseño de control, aunque el Sistema Servo Incremental opera como un sistema en tiempo discreto, esto es posible porque se tiene un período de muestreo ( $T$ ) lo más pequeño posible con respecto a la constante de tiempo de la planta. En nuestro caso  $T$  es de  $5 \text{ ms}$ .

## 2.2 CONTROL DE POSICION EN BASE AL CONCEPTO DE SISTEMAS DE CONTROL ESTRUCTURA VARIABLE

Por la razón que el período de muestreo ( $5\text{ ms}$ ) es muy pequeño con respecto a la constante de tiempo de la planta ( $87\text{ ms}$ ), el modelo matemático en tiempo continuo representado por el diagrama de bloques de la figura 2-1 es suficiente para analizar la respuesta del sistema con la técnica de estructura variable. La función de transferencia del motor está dada por la ecuación (1.9) y la función de transferencia del amplificador de potencia en tiempo continuo puede ser representada por una ganancia constante  $K_a$ , como se demuestra en ecuación (3.7).



**Figura 2-1:** Diagrama de bloques del sistema de control de estructura variable para entrada paso.

Donde:

$a_1$ : ganancia de lazo de posición

$a_2$ : ganancia de lazo de velocidad

$\Psi_1$  y  $\Psi_2$ : mecanismos de conmutación y,

$c_1$ : pendiente de la línea de conmutación



Todos los parámetros son asumidos como positivos, a menos que se indique lo contrario.

Si el comando de entrada  $r$  es una función paso, se tiene que:

$$\varepsilon = r - x_1 \quad \text{para } t > 0 \quad (2.1)$$

$$\dot{\varepsilon} = \frac{d\varepsilon}{dt} = -\frac{dx_1}{dt} \quad (2.2)$$

$$\ddot{\varepsilon} = \frac{d^2\varepsilon}{dt^2} = -\frac{d^2x_1}{dt^2} \quad (2.3)$$

Donde  $x_1$  = salida de posición. La ecuación de error del sistema será:

$$\tau \ddot{\varepsilon} + (1 + k k_a \alpha_2 \Psi_2) \dot{\varepsilon} + k k_a \alpha_1 \Psi_1 \varepsilon = 0 \quad (2.4)$$

La estructura del sistema cambia cuando el punto representativo en el plano de error  $(\varepsilon, \dot{\varepsilon})$  cruza a través de la línea de conmutación tal como  $\dot{\varepsilon} + c_1 \varepsilon = 0$  ( $0 < c_1 < \infty$ ).

$\Psi_1$  y  $\Psi_2$  son los mecanismos de conmutación que son realizados por el microprocesador y por simplicidad tienen las siguientes características:

$$\Psi_1 = \begin{cases} 1, & \text{si } \varepsilon \sigma \geq 0 \\ -1, & \text{si } \varepsilon \sigma < 0 \end{cases} \quad (2.5)$$

$$\Psi_2 = \begin{cases} 1, & \text{si } \dot{\varepsilon} \sigma \geq 0 \\ -1, & \text{si } \dot{\varepsilon} \sigma < 0 \end{cases} \quad (2.6)$$

donde  $\sigma = \dot{\varepsilon} + c_1 \varepsilon$  y  $\sigma = 0$  actúa como la línea de conmutación.

Consecuentemente, la combinación de la línea de conmutación y de los dos ejes ( $\varepsilon = 0$ ,  $\dot{\varepsilon} = 0$ ) dividen el plano de error ( $\varepsilon, \dot{\varepsilon}$ ) en seis regiones (mostradas en la figura 2-2) de la siguiente manera:

Región I:  $\varepsilon \geq 0, \dot{\varepsilon} \geq 0, \sigma > 0$

Región II:  $\varepsilon > 0, \dot{\varepsilon} < 0, \sigma \geq 0$

Región III:  $\varepsilon > 0, \dot{\varepsilon} < 0, \sigma < 0$

Región IV:  $\varepsilon \leq 0, \dot{\varepsilon} \leq 0, \sigma < 0$

Región V:  $\varepsilon < 0, \dot{\varepsilon} > 0, \sigma < 0$

Región VI:  $\varepsilon < 0, \dot{\varepsilon} > 0, \sigma > 0$  (2.7)

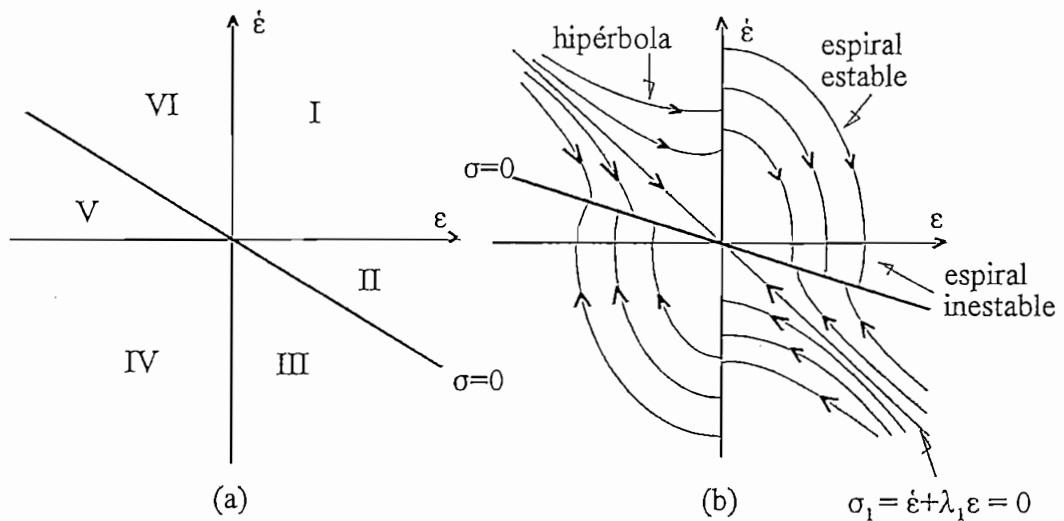


Figura 2-2 (a) Seis regiones en el plano de fase. (b) Trayectorias de fase

El movimiento libre del sistema en cada región es descrito por las ecuaciones diferenciales de segundo orden de la siguiente manera:

i) Región I, IV:  $\Psi_1 = 1$  y  $\Psi_2 = 1$

$$\ddot{\varepsilon} + \frac{1}{\tau}(1 + k k_a a_2)\dot{\varepsilon} + \frac{1}{\tau} k k_a a_1 \varepsilon = 0 \quad (2.8)$$

En estas regiones se desea tener una estructura espiral estable, para lograr esto la siguiente desigualdad debe ser satisfecha:

$$(1+kk_a\alpha_2)^2 < 4kk_a\alpha_1\tau \quad (2.9)$$

ii) Región II, V:  $\Psi_1 = 1$  y  $\Psi_2 = -1$  -

$$\ddot{\epsilon} + \frac{1}{\tau}(1-kk_a\alpha_2)\dot{\epsilon} + \frac{1}{\tau}kk_a\alpha_1\epsilon = 0 \quad (2.10)$$

En estas regiones se desea una estructura espiral inestable para mejorar la velocidad de respuesta, por lo tanto se debe cumplir:

$$(1-kk_a\alpha_2)^2 < 4kk_a\alpha_1\tau, \quad (1-kk_a\alpha_2) < 0 \quad (2.11)$$

iii) Región III, VI:  $\Psi_1 = -1$  y  $\Psi_2 = 1$

$$\ddot{\epsilon} + \frac{1}{\tau}(1+kk_a\alpha_2)\dot{\epsilon} - \frac{1}{\tau}kk_a\alpha_1\epsilon = 0 \quad (2.12)$$

En estas regiones las raíces de la ecuación característica son reales con signo contrario,  $-\lambda_1 < 0 < +\lambda_2$ . Las trayectorias de fase son hipérbolas con dos asíntotas:

$$\sigma_1 = \dot{\epsilon} + \lambda_1 \epsilon = 0, \quad \sigma_2 = \dot{\epsilon} - \lambda_2 \epsilon = 0.$$

Para el sistema teórico bajo consideración,  $\sigma = \dot{\epsilon} + c_1 \epsilon = 0$  actúa como línea de conmutación ( $c_1 < \lambda_1$ ). En el instante cuando el punto representativo, se mueve en la Región II (o V), a través de esta línea de conmutación, la estructura del sistema conmuta instantáneamente de la espiral a la hiperbólica y luego de regreso conmuta de la hiperbólica

a la espiral. En este modo la estructura conmuta de aquí para allá a una frecuencia infinita, y el punto representativo ejecuta oscilaciones infinitesimales alrededor de la línea de conmutación. Esto es porque las trayectorias de fase en espiral e hiperbólica son estructuras que tienen direcciones opuestas en la vecindad de la línea de conmutación. Finalmente, el punto representativo se mueve a lo largo de la línea de conmutación hacia el origen como se muestra en la figura 2-2. Este modo de operación es comúnmente referido como *modo deslizamiento*.

Cuando la señal de comando es una función rampa  $mt$ , el error de posición es:

$$\varepsilon = mt - x_1, \quad \text{para } t > 0 \quad (2.13)$$

y

$$\dot{\varepsilon} = m - \frac{dx_1}{dt} \quad (2.14)$$

$$\ddot{\varepsilon} = - \frac{d^2x_1}{dt^2} \quad (2.15)$$

Para este caso, la ecuación de error del sistema es:

$$\tau \ddot{\varepsilon} + (1 + kk_a a_2 \Psi_2) \dot{\varepsilon} + kk_a a_1 \Psi_1 \varepsilon = (1 + kk_a a_2 \Psi_2) m \quad (2.16)$$

Sea:

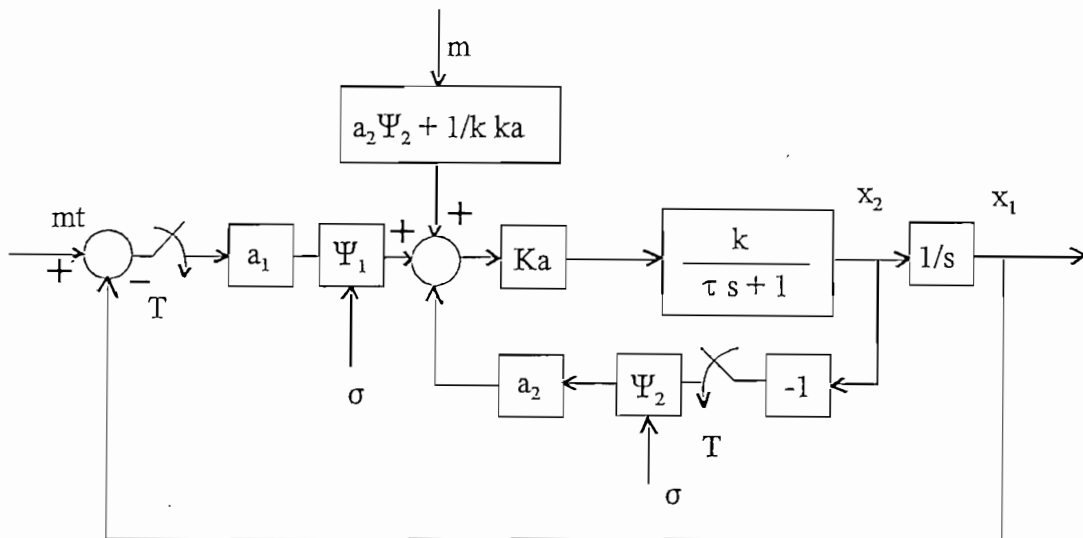
$$y = \varepsilon - \left( \frac{1 + kk_a a_2 \Psi_2}{kk_a a_1 \Psi_1} \right) \quad (2.17)$$

Entonces (2.16) llegará a ser:

$$\tau\ddot{y} + (1 + kk_a a_2 \Psi_2)\dot{y} + kk_a a_1 \Psi_1 y = 0 \quad (2.18)$$

El retrato en el plano de fase de la ecuación diferencial dada por (2.18) en el plano  $y - \dot{y}$  es el mismo que el obtenido en el plano  $\varepsilon - \dot{\varepsilon}$  cuando la señal de comando era una función paso. Por lo tanto, el análisis dado para el comando paso puede ser aplicado para el comando rampa. En este caso se tiene un error de posición en estado estable, el cual es igual a:  $[1 / (kk_a a_1 \Psi_1) + a_2 \Psi_2 / a_1 \Psi_1]$  según ecuación (2.16). A fin de reducir el error de posición para el caso de la señal de comando rampa, se aplica en la trayectoria directa del sistema la siguiente señal de alimentación:

$$(a_2 \Psi_2 + 1/kk_a)m$$



**Figura 2-3:** Diagrama de bloques del sistema de control de estructura variable para entrada rampa

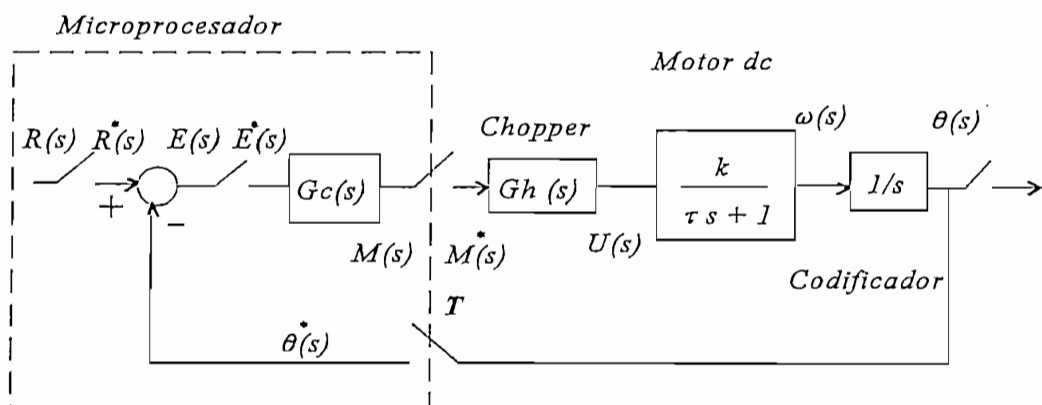
El diagrama de bloques de la figura 2-3 muestra esta modificación, y la ecuación de error del sistema llegará a ser la misma ecuación (2.4). Por lo tanto, el error de posición en estado

estable cuando la señal de comando es la función rampa puede ser eliminado teóricamente en este modo. Para aplicar la señal de control de alimentación directa,  $k$  es la que no puede determinarse exactamente, porque involucra las características del motor y de la carga. Sin embargo, si se hace:  $a_2 \gg 1 / k k_a$ , entonces el efecto de la variación en  $k$  sobre el funcionamiento de la señal de control de alimentación directa puede ser grandemente reducida.

## 2.3 PROGRAMACION DEL ALGORITMO PARA LA SIMULACION DIGITAL DEL CONTROL DE POSICION DE LA MAQUINA DC.

### 2.3.1 Modelo Matemático en tiempo discreto del Sistema Servo Incremental

El sistema servo incremental construido es un sistema de datos muestreados, cuyo modelo matemático en tiempo continuo utilizando la transformada de Laplace se presenta en el diagrama de bloques de la figura 2-4.



**Figura 2-4** Modelo matemático en tiempo continuo del control de posición de lazo cerrado del sistema servo incremental.

En la figura 2-4 la función de transferencia de la velocidad del motor dc  $\omega$  sobre el voltaje de armadura  $V_a$  es asumida a ser de primer orden dada por la ecuación (1.9).

El amplificador transistorizado tipo puente modulado por ancho de pulso (PWM) o chopper es modelado como un retenedor de orden cero porque el voltaje medio de armadura es mantenido en un valor constante para un período de muestreo  $T$ . Su función de transferencia está dada por la ecuación:

$$G_h = K_a \left( \frac{1 - e^{-Ts}}{s} \right) \quad (2.19)$$

El circuito de procesamiento para sensar la señal de posición en base al codificador incremental es modelado como un integrador.

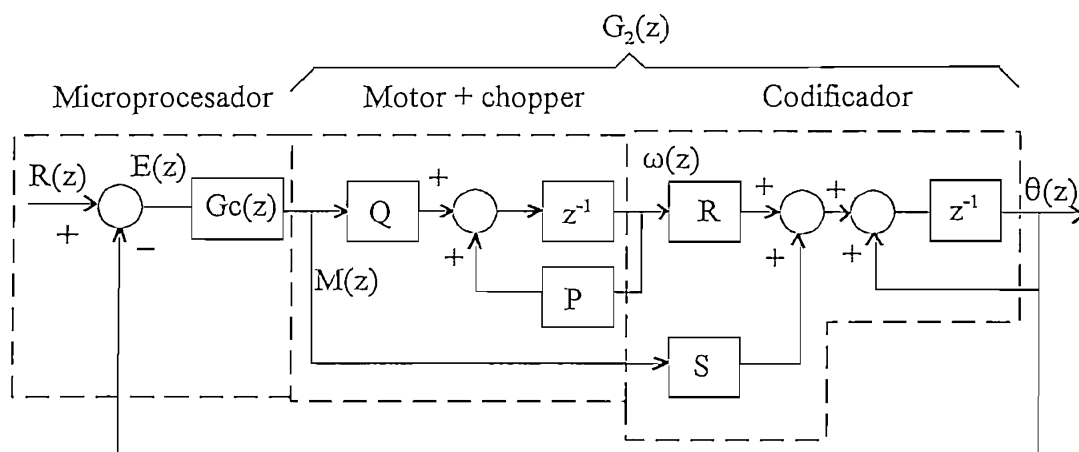
El modelo de tiempo continuo de la figura 2-4 es convertido en el modelo de tiempo discreto de la figura 2-5, utilizando la transformada z. Donde:

$$P = \exp(-T/\tau) \quad (2.20)$$

$$Q = Ka * k * (1 - P) \quad (2.21)$$

$$R = \tau * (1 - P) \quad (2.22)$$

$$S = Ka * k * (T - R) \quad (2.23)$$



**Figura 2-5** Modelo matemático en tiempo discreto del control de posición de lazo cerrado del sistema servo incremental.

La función de transferencia en tiempo discreto del conjunto amplificador-motor-codificador

$G_2(z)$  es:

$$G_2(z) = \frac{\theta(z)}{M(z)} = \frac{Sz - PS + RQ}{z^2 - (1 + P)z + P} \quad (2.24)$$

El modelo propuesto en la figura 2-5 es el que se utiliza en la obtención del algoritmo para la simulación del control de posición del sistema. La función de transferencia del sistema de lazo cerrado  $D(z)$  es:

$$D(z) = \frac{Gc(z)G_2(z)}{1 + Gc(z)G_2(z)} \quad (2.25)$$

El análisis de esta función de transferencia en el plano  $z$  es muy similar al análisis sobre el plano  $s$  respecto al lugar geométrico de las raíces, para la respuesta de frecuencia se utiliza la transformada bilineal  $w$ .

### 2.3.2 Algoritmo para la simulación digital del control de posición del sistema servo incremental en base a técnica de los sistemas de estructura variable (SEV).

Por medio del diagrama de bloques de la figura 2-6, se muestra la configuración utilizada para el control de posición del sistema servo incremental en base a la técnica SEV para cuando la señal de entrada es la función paso. A partir de este modelo matemático en tiempo discreto se obtienen las ecuaciones de diferencias que se utilizan en la obtención del algoritmo para la simulación digital. Las ecuaciones a partir del modelo son:



$$\theta[k] = (1 + P)*\theta[k-1] - P*\theta[k-2] + S*m[k-1] + (RQ - PS)*m[k-2] \quad (2.26)$$

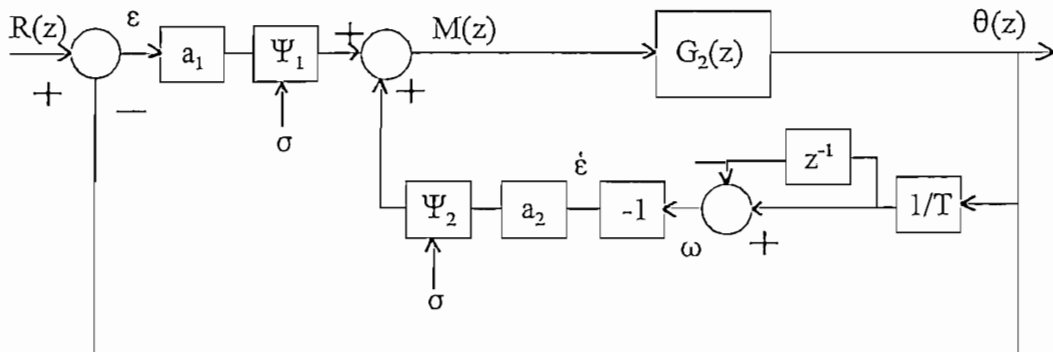
$$\omega[k] = (1/T)*(\theta[k] - \theta[k-1]) \quad (2.27)$$

$$\varepsilon[k] = r[k] - \theta[k] \quad (2.28)$$

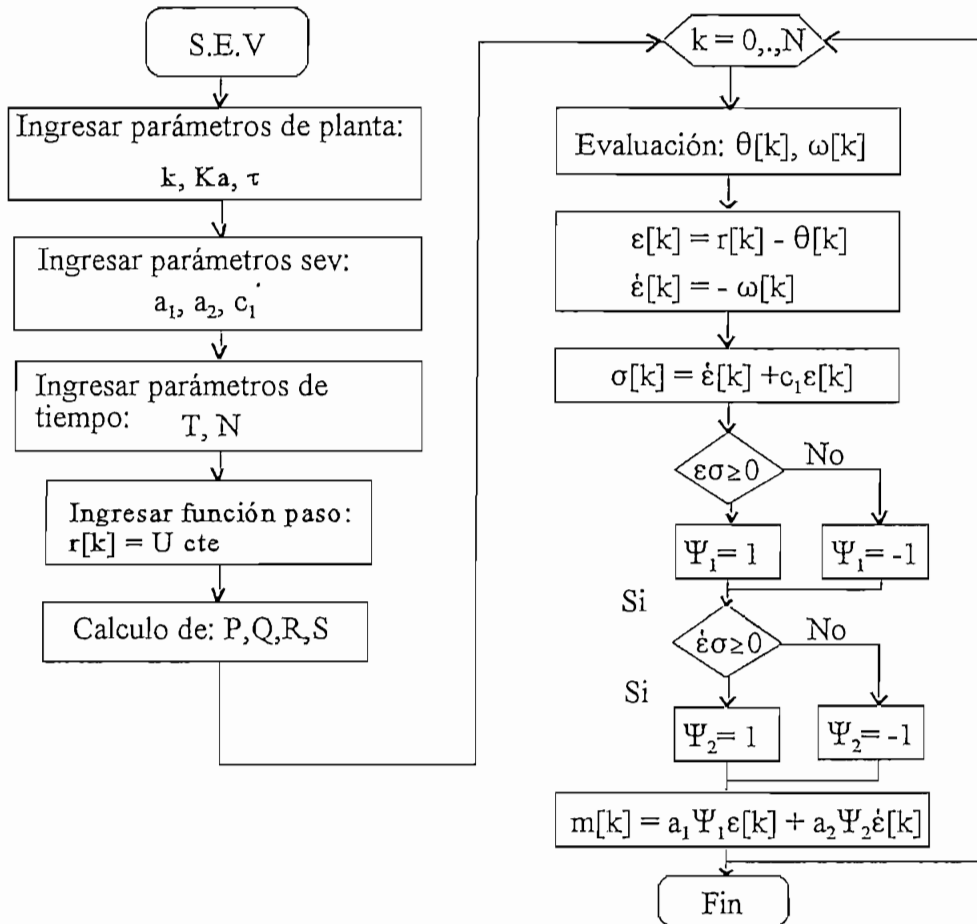
$$\dot{\varepsilon}[k] = -\omega[k] \quad (2.29)$$

$$\sigma[k] = \dot{\varepsilon}[k] + c_1\varepsilon[k] \quad (2.30)$$

$$m[k] = a_1\Psi_1\varepsilon[k] + a_2\Psi_2\dot{\varepsilon}[k] \quad (2.31)$$



**Figure 2-6** Modelo matemático en tiempo discreto del control de posición del sistema servo incremental en base a los sistemas de estructura variable para señal de entrada paso.



**Figure 2-7** Diagrama de flujo del algoritmo utilizado para la simulación digital del control de posición del sistema servo incremental en base a la teoría de los sistemas de estructura variable .

En la figura 2-7 se presenta el diagrama de flujo del algoritmo utilizado para la simulación digital del control de posición del sistema servo incremental con técnica SEV. El programa utilizado para este fin fue desarrollado en base al lenguaje de programación C . Los resultados de la simulación se presentan en el capítulo 5.

2.3.3 Algoritmo para la simulación digital del control de posición del sistema servo incremental con control PID.

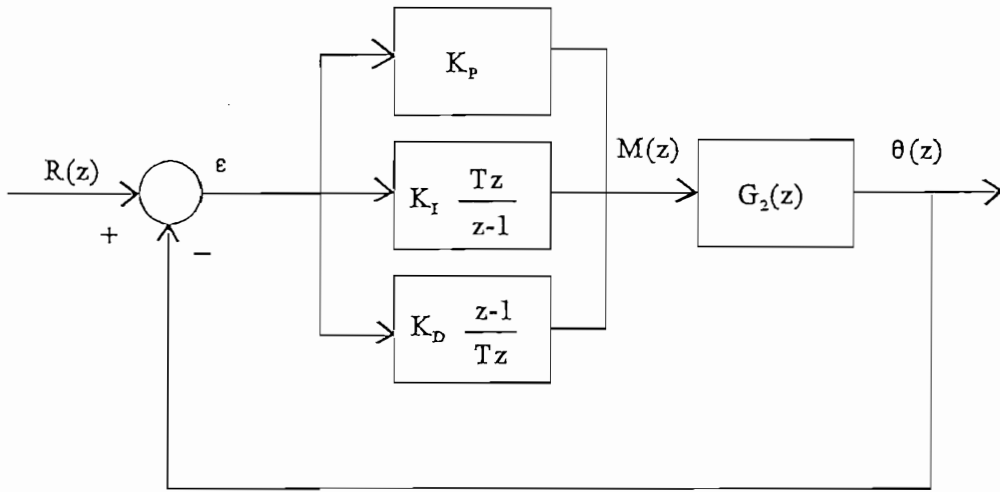


Figura 2-8 Modelo matemático en tiempo discreto del control de posición del sistema servo incremental con control PID

Con el objetivo de poder comprobar las ventajas que posee en control SEV, se consideró conveniente compararlo con la técnica de control PID, el cual es un método de control tradicional y muy utilizado. Para poder cumplir con este fin fue necesario plantear el modelo de control de la figura 2-8 el que nos permite obtener las ecuaciones de diferencias con las que se desarrolló el algoritmo para la simulación digital. Las ecuaciones de diferencias del controlador PID son:

$$m_p[k] = K_p \varepsilon[k] \quad (2.32)$$

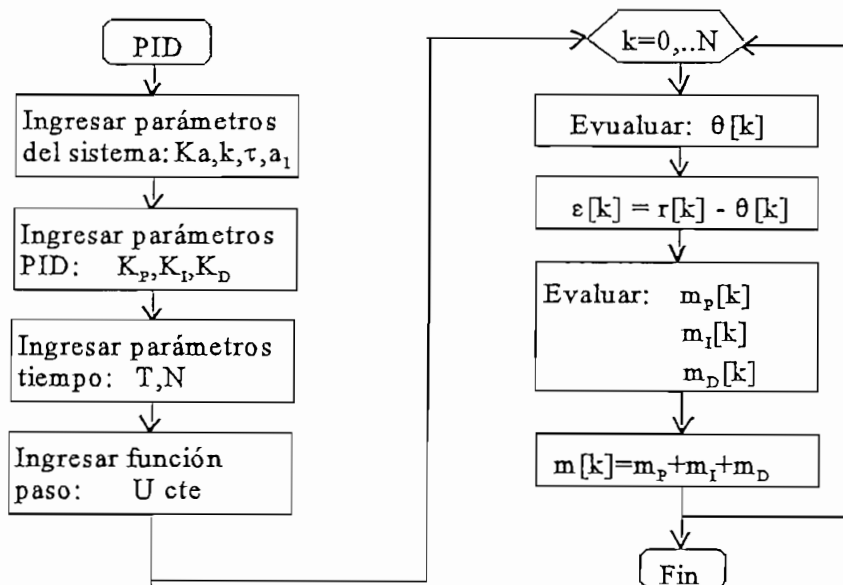
$$m_i[k] = m_i[k-1] + TK_f \varepsilon[k] \quad (2.33)$$

$$m_D[k] = (K_D/T)(\varepsilon[k] - \varepsilon[k-1]) \quad (2.34)$$

$$m[k] = m_p[k] + m_I[k] + m_D[k]$$

$$m[k] = (K_p + K_I T + (K_D/T)) \varepsilon[k] - (K_D/T) \varepsilon[k-1] + m_I[k-1] \quad (2.35)$$

Con éstas ecuaciones junto con (2.26) y (2.28) se elabora el diagrama de flujo del algoritmo ( ver figura 2-9) para la simulación digital del control de posición con técnica PID. Los resultados se presentan en el capítulo 5.



**Figure 2-9** Diagrama de flujo del algoritmo para la simulación digital del control de posición del sistema servo incremental con controlador PID.

## CAPITULO III

### DESCRIPCION Y DISEÑO DEL SISTEMA

#### 3.1 DIAGRAMA DE BLOQUES DEL SISTEMA SERVO INCREMENTAL

El Sistema Servo Incremental se lo construyó como módulo didáctico donde se consideraron aspectos técnicos de diseño y de construcción para que el módulo presente facilidades tanto para el montaje como para realizar pruebas; con este propósito se lo ha hecho modular el sistema implementando tarjetas impresas agrupadas en bloques de acuerdo a la función que cumplen dentro del sistema de control de lazo cerrado. En la figura 3-1 se presenta el diagrama de bloques del sistema construido y, por la función que cumplen dentro del sistema estos bloques son:

- 1) Planta: el servo motor d.c
- 2) Controlador: el microcomputador con microcontrolador Intel 8751H.
- 3) Actuador: el amplificador de potencia .
- 4) Sensor de posición: constituido por el reductor de velocidad, el codificador incremental y el circuito de procesamiento de la señal de realimentación.

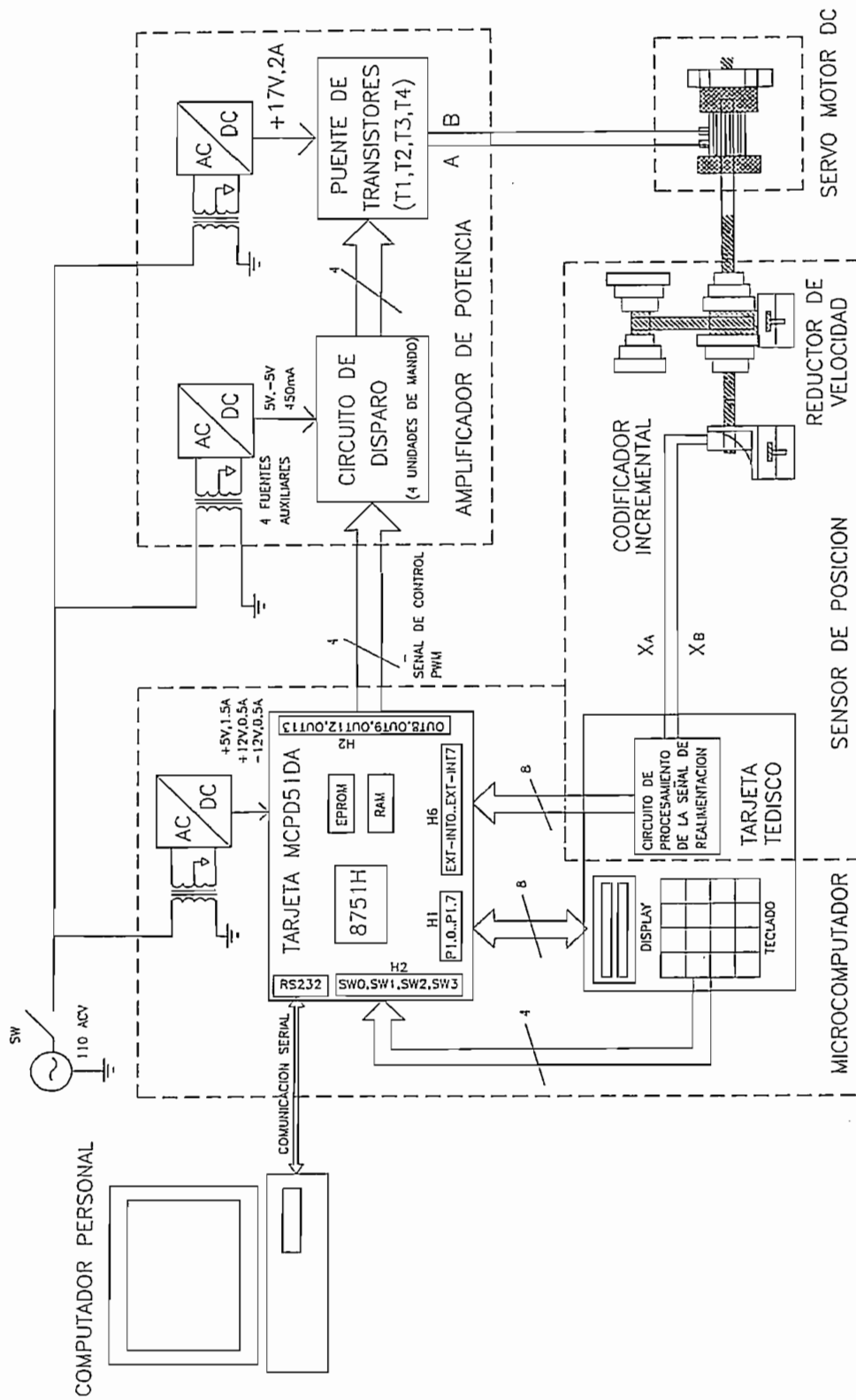


Figura 3-1: DIAGRAMA DE BLOQUES DEL SISTEMA SERVO INCREMENTAL BASADO EN MICROPROCESADOR

## 3.2 DESCRIPCION Y DISEÑO DE CADA UNO DE LOS BLOQUES

### 3.2.1 Servo motor de corriente continua

El servo motor d.c que se utiliza como planta del Sistema Servo Incremental, es un motor d.c controlado por armadura de imán permanente y de potencia fraccionaria, es parte del Motomatic Control System Laboratory (MCSL), Modelo 100, que es un laboratorio didáctico para el estudio de aplicaciones de control. Como características principales se puede mencionar: a) presenta un campo magnético de magnitud constante y uniformemente distribuido y, b) presenta sobre el mismo eje del bobinado de la armadura (motor) , el bobinado del generador (tacómetro) el cual está eléctricamente aislado del bobinado de la armadura.

Los datos de placa del motor según referencia [4], son los siguientes:

POTENCIA NOMINAL DE SALIDA: 1/25 H.P.

VELOCIDAD NOMINAL: 4750 R.P.M.

TORQUE NOMINAL: 0.06 N-m.

VOLTAJE NOMINAL: 28 V

CORRIENTE DE ARMADURA NOMINAL: 1.4 A.

RESISTENCIA DE ARMADURA: 4 Ohmios.

REGULACION: 140 R.P.M./ oz x pulg.

INERCIA:  $4 \times 10^{-3}$  oz x pulg x seg<sup>2</sup>

### 3.2.2 Microcomputador

El microcomputador ejerce la función de controlador del sistema de control digital de la posición realimentado donde ejecuta fundamentalmente las siguientes acciones: **a)** obtiene la señal de error mediante comparar la señal de referencia y la señal realimentada de posición, **b)** genera las señales de control PWM al circuito de disparo del amplificador y, **c)** decide cuando cambiar la estructura del sistema de acuerdo a las señales de error y su derivada.

El microcomputador presenta adicionalmente la ventaja de comunicación serial con un computador personal (PC) ya que tiene un pòrtico **serial RS-232**. Esto permite ejercer un control supervisor del sistema desde el computador. Dentro de la acción de control de posición, se utiliza el computador personal para que ejecute las siguientes actividades: **a)** generar la señal de referencia, **b)** recibir el dato de posición transmitido por el microprocesador en cada instante de muestreo y **c)**, presentar en forma gráfica en el monitor la respuesta de posición en tiempo real. Se utiliza además el pòrtico de comunicación serial para programar al microprocesador en lenguaje de máquina desde el computador, lo que nos permite depurar el programa de control.

El microcomputador básicamente está formado por:

- una tarjeta madre
- un circuito de teclado
- un circuito de display y,
- una fuente de alimentación



### 3.2.2.1 Tarjeta madre del microcomputador

Se utilizó la **TARJETA MCPD51DA** diseñada para el desarrollo de proyectos con microcontroladores Intel MCS-51 por el Ing. Bolívar Ledesma. Entre las características más sobresalientes por las que se empleó esta tarjeta podemos mencionar las siguientes:

- 1) Tiene un pórtico de comunicación serial RS232 (conector DB9) , lo que permite la posibilidad de tener una comunicación serial con un computador personal (PC).
- 2) La tarjeta puede utilizarse como un sistema de desarrollo y depuración de programas de aplicación que se pueden descargar a través del puerto serial, desde un computador personal hacia la memoria RAM de la tarjeta. Luego de reconfigurar la tarjeta mediante jumpers se ejecuta el programa residente en RAM, de esta manera se agiliza la realización de pruebas de operación sin necesidad de borrar y reprogramar EPROMS.
- 3) Para la conexión con periféricos ofrece un pórtico bidireccional de 8 bits, tres pórticos de entrada de 8 bits y dos pórticos de salida de 8 bits, suficientes para los requerimientos del sistema servo incremental.
- 4) Capacidad de direccionar 2 Kbytes de memoria RAM externa, necesarios para almacenar el programa en lenguaje de máquina de todo el sistema cuando se realiza la depuración.
- 5) Circuito de reset interno con pulsador.

Una mayor información de las características técnicas y guía de uso de la tarjeta se adjunta en el **ANEXO 2**. Como microprocesador de la Tarjeta MCPD51DA se utiliza al microcontrolador Intel **8751H**, que es una versión **EPROM** de **4Kbytes** con una frecuencia de oscilador de **7.372818 MHz**. La memoria EPROM interna del microcontrolador

permite que la tarjeta pueda ser utilizada como un sistema de desarrollo y depuración de programas en lenguaje de máquina junto con un computador personal.

En la tabla 2 del **ANEXO 2**, se muestra la manera de configurar la tarjeta y se puede observar que cuando los jumpers : JP3 = “ON”, JP2 = “OFF” y JP1 = “RAM” y JP6 = “RAM” el micro ejecuta el programa residente en su EPROM interna y U14 es tratada como RAM. En esta configuración se realiza la comunicación serial para descargar el programa en lenguaje de máquina desde el computador personal hacia el microcontrolador, el cual direcciona el programa para ser almacenado en la memoria RAM externa. Cuando JP3 = “OFF”, JP2 = “ON” y JP1 = “ EPROM” , JP6 conectado a “INT” de JP3, el micro ejecuta el programa residente en la RAM externa en U14. Los **interruptores SW1 y SW2** que se presentan en forma externa en el panel permiten realizar lo anteriormente mencionado para **cargar y ejecutar** el programa de control.

### **Conexión de los periféricos con la tarjeta MCPD51DA**

Las señales de control PWM generadas por el microcomputador para cada una de las unidades de mando del circuito de disparo del amplificador son las salidas **OUT8, OUT9, OUT12 y OUT13** del pórtico digital de 8 bits **OUT15..OUT8** disponible en el conector **H2**.

La salida digital de 8 bits del circuito de procesamiento de la señal de realimentación para sensar la posición está conectada al pórtico de entrada **EXT-INT7..EXT-INT0** disponible en el conector **H6**.

Para conectar el circuito de teclado a la tarjeta MCPD51DA, se utilizan las entradas SW0, SW1, SW3, SW4 del pÓrtico de entrada SW7..SW0 accesible a través del conector H2. El circuito de display está conectado al pÓrtico bidireccional P1 del microcontrolador a través del conector H1.

### 3.2.2.2 Circuito de teclado

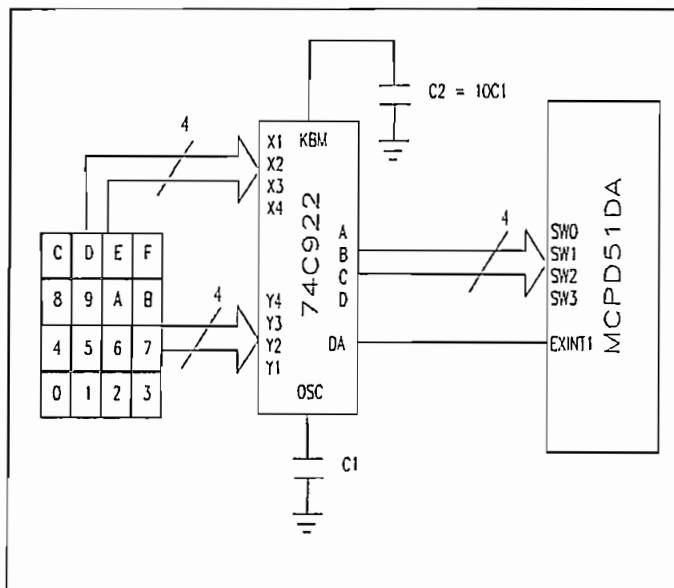


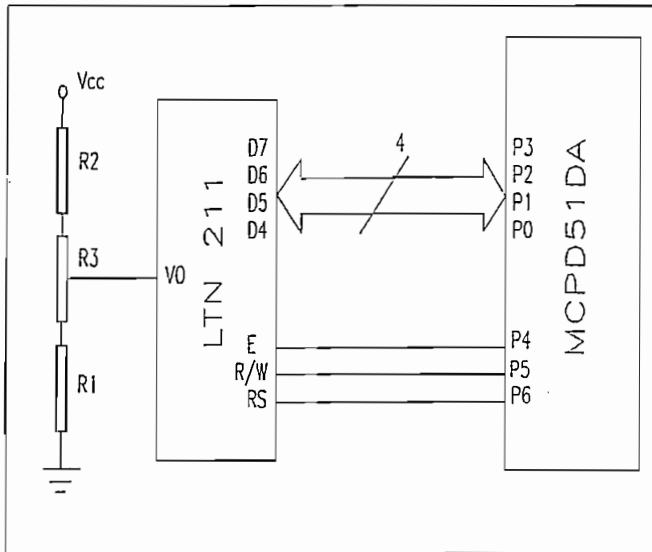
Figura 3-2: Diagrama de bloques del circuito de teclado del microcomputador

En la figura 3-2 se muestra mediante diagrama de bloques, el circuito de teclado implementado en la tarjeta TEDISCO que se presenta en el ANEXO 1. Se diseñó en base a un arreglo de 16 teclas SPST y se empleó el CI. 74C922 para determinar la tecla que fue presionada. Sus características más sobresalientes son:

- El CI. es un codificador de teclado de 16 teclas.
- La frecuencia de búsqueda para determinar la tecla presionada puede ser implementada por medio de un capacitor externo (Cosc) .
- Puede manejar switches de una resistencia máxima de 50 K.
- Con un simple capacitor se puede eliminar el efecto rebote que se produce al presionar una tecla.
- Dispone de una salida que nos indica el momento en que se presionó una tecla válida (DATA AVAILABLE)

- Sus salidas son TRI-STATE y sus niveles lógicos son TTL lo que permite una fácil conexión al bus de la tarjeta MCPD51DA.

### 3.2.2.3 Circuito de display



**Figura 3-3:** Diagrama de bloques del circuito de display del microcomputador .

En la figura 3-3 se muestra el circuito implementado en la tarjeta **TEDISCO**, puede observarse que se utiliza el **Módulo LTN 211**, que es un display de cristal líquido de dos líneas por 16 caracteres. Sus especificaciones técnicas y la forma de programación constan en la publicación técnica de la PHILIPS sobre los módulos LCD, algunos

detalles más importantes se adjunta en el **ANEXO 3**.

Se utiliza una interface de 4 bits para la transferencia de datos desde el módulo LTN 211 hacia el microcontrolador 8751H, el pòrtico **P1** disponible en el conector **H1** de la tarjeta MCPD51DA nos permite esta comunicación. Sólo las líneas D4-D7 del módulo LTN 211 son usadas para la transferencia de datos, que toma lugar en dos operaciones de transferencia de datos de 4 bits. Los 4 bits ( correspondientes a D4-D7 en una transferencia de 8 bits) son primeramente transferidos, seguidos por los 4 bits más bajos (correspondientes a D3-D0 en una transferencia de 8 bits). La bandera de ocupado está siendo chequeada en complemento a la segunda transferencia de datos de 4 bits.

### 3.2.2.4 Fuente de alimentación del microcomputador

El circuito de la fuente de alimentación utilizada para polarizar las tarjetas MCPD51DA y TEDISCO, se presenta en el ANEXO 1, fue diseñada con los siguientes niveles de salida de voltaje y corriente:  $V_{cc} = +5V, 1.5A$ ;  $V_+ = +12V, 0.5A$  y  $V_- = -12V, 0.5A$ .

Los voltajes de +12 y -12V son utilizados exclusivamente para alimentar los CI del pÓrtico de comunicaci3n serial RS232 de la tarjeta MCDP51DA. Los requerimientos de corriente para estas salidas s3lo se tendr3 durante los intervalos de tiempo en los que se realice la comunicaci3n serial con el computador serial. En base a esta consideraci3n se crey3 suficiente el empleo de un transformador (TF1) de 120/24 ACV CT, 2A para alimentar a nuestra fuente.

Para la salida de voltaje  $V_{cc}$  se utiliz3 el regulador de voltaje NTE 956 que ofrece una regulaci3n de 1.2 a 37V y capacidad de corriente de 1.5A. Se fija el voltaje en +5V mediante el potenc3metro P1 de 5K. En las salidas de voltaje de  $V_+$  y  $V_-$  se utilizaron los reguladores de voltaje LM7812 y LM7912, que ofrecen un voltaje fijo de +12 y -12V respectivamente. La capacidad de corriente de estos reguladores es de 1A.

Se utilizan leds de colores para indicaci3n del correcto funcionamiento de las salidas de voltajes cuando est3n encendidos, as3 tenemos:

$V_{cc}$ : led color rojo

$V_+$  : led color verde

$V_-$  : led color amarillo

Para proteger el transformador contra una corrientes excesiva ante un eventual corto circuito se emplea dos fusibles (F1) de 2.5A y son conectados en el secundario del transformador.

### 3.2.3 Amplificador de potencia

En la figura 3-4 se presentan mediante bloques los circuitos que conforman el amplificador de potencia construido, los cuales son:

- Un puente de transistores de juntura bipolar (BJT) de potencia con diodos antiparalelo de recuperación rápida.
- Cuatro unidades de mando de corriente de base que conforman el circuito de disparo del amplificador.
- La fuente de alimentación del puente ( $E$ ) que es un voltaje d.c de magnitud fija.

El puente de transistores y las unidades de mando son los elementos principales del amplificador de potencia que trabaja como un conversor d.c-d.c (chopper) y es controlado con la técnica de modulación por ancho de pulso (PWM) con dos niveles de voltaje, con esta técnica de control se logra que el conversor se comporte como un amplificador lineal de potencia donde el voltaje medio ( $V_o$ ) de su salida puede ser controlado tanto en magnitud como en polaridad.

#### 3.2.3.1 Parámetros de operación del amplificador

Como el motor a controlarse es de potencia fraccionaria (1/25 H.P) , se consideró suficiente diseñar una fuente de alimentación d.c del puente ( $E$ ) de **17 voltios, 2A** ; con  $E = 17V$  que es menor al voltaje nominal ( $V_n$ ) del motor d.c que es de **28 voltios** se pretende proteger la fuente ante la posibilidad de una corriente alta: a) cuando se cortocircuita  $E$  por un pequeño intervalo de tiempo en que los dos transistores del mismo ramal están encendidos y, b) en el caso de bloqueo del rotor del motor. Cabe indicar que cuando  $E < V_n$  se limita también la potencia entregada por la fuente al motor.

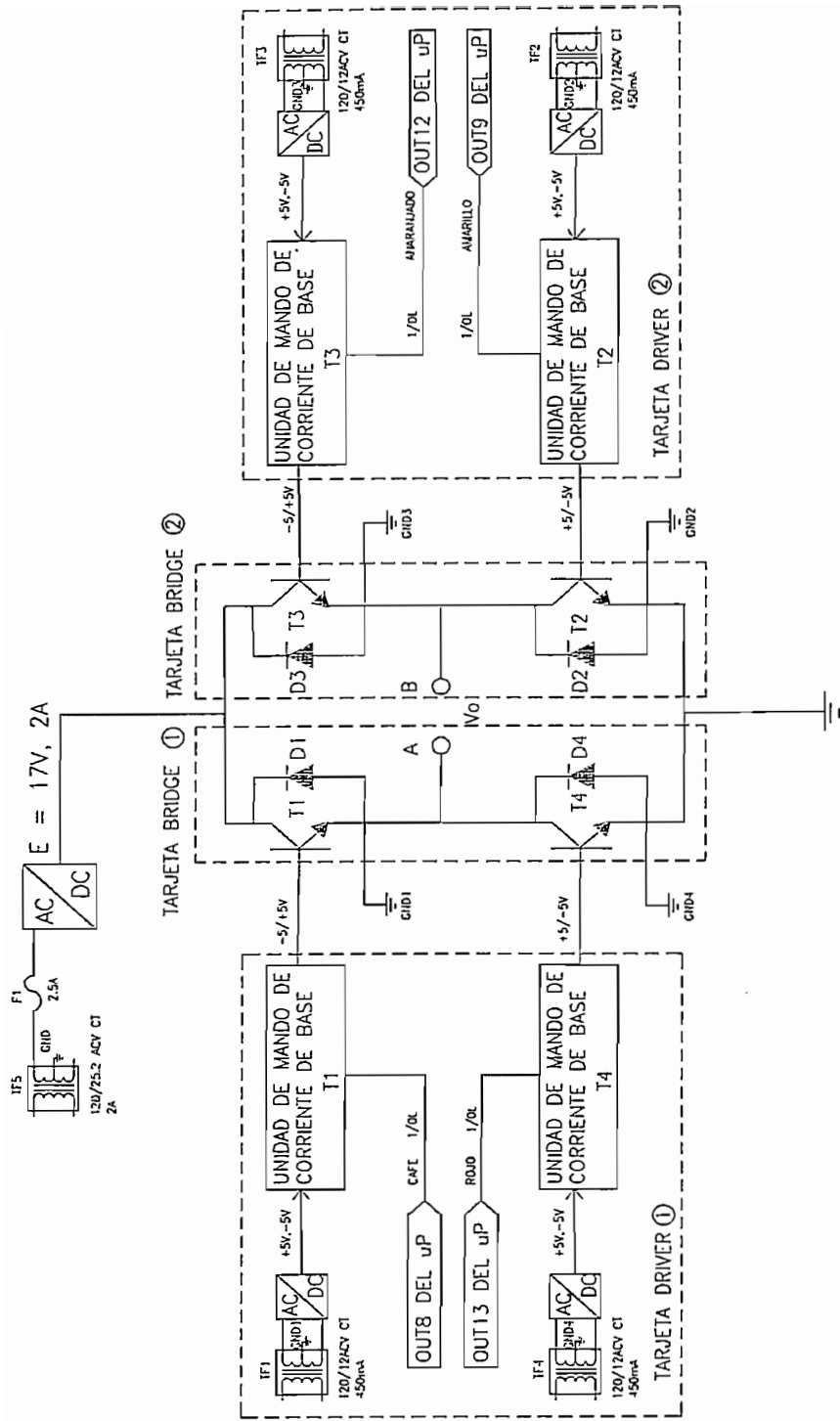
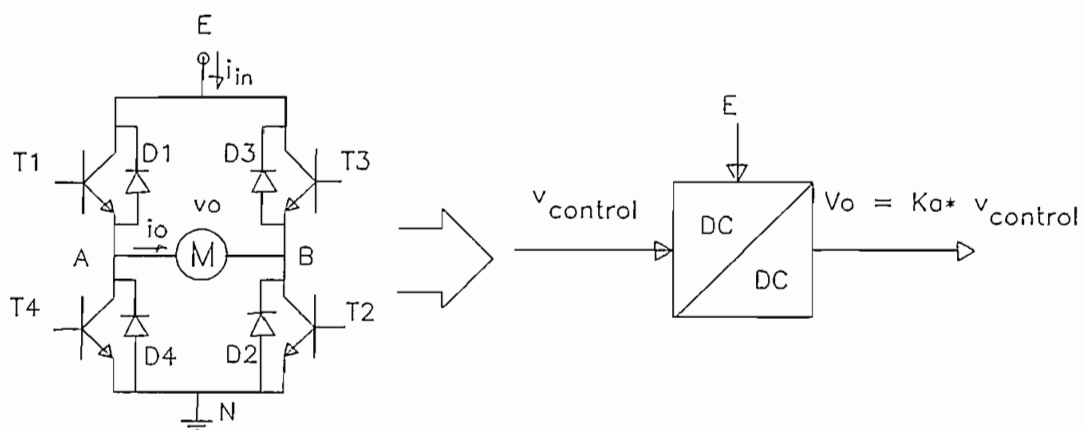


Figura 3-4: DIAGRAMA DE BLOQUES DEL AMPLIFICADOR DE POTENCIA

El amplificador de potencia fue construido tomando como parámetros de diseño los valores nominales del numeral 3.2.1. El puente debe ser capaz de manejar la corriente nominal ( $I_n$ ) del motor que es de  $1.4\text{ A}$ , sin que los transistores salgan de su estado de saturación. Para garantizar esta condición de funcionamiento del puente, las unidades de mando de cada transistor se diseñaron para que puedan suministrar una corriente de base suficiente para mantener el estado de saturación de los transistores aún cuando se maneje una corriente de  $2\text{ A}$ .

Para el control del amplificador con la técnica de modulación por ancho de pulso (PWM), se consideró que la frecuencia de conmutación de los transistores debe estar sobre el rango de audio, por lo que se seleccionó una frecuencia de conmutación de los  $5\text{ Khz}$ .

### 3.2.3.2 Puente de transistores y su operación



**Figura 3-5:** Conversor d.c-d.c tipo puente con control PWM.

En la figura 3-5, vemos que el conversor **d.c-d.c** tipo puente consiste de dos ramales, A y B, cada uno contiene dos transistores y sus diodos en antiparalelo. Por facilidad y



el fin de hacerlo modular el puente de transistores fue implementado con dos tarjetas impresas idénticas **BRIDGE (ANEXO 1)**, donde la tarjeta contiene sólo un ramal del puente. Los transistores trabajan en pareja en forma simultánea: cuando  $(T_1, T_2)$  están encendidos,  $(T_3, T_4)$  están en apagados y viceversa. Es decir los transistores en cada ramal están conmutando en tal manera que cuando uno de ellos está apagado, el otro está encendido. Por lo tanto, los dos transistores del ramal (A ó B) nunca están apagados simultáneamente. En la práctica, ellos están apagados por un corto intervalo de tiempo, conocido como *tiempo de blanqueo*, para evitar corto circuito de la entrada  $E$ . Para el análisis del conversor en mención no se considera este tiempo de blanqueo ya que se asume que los transistores son ideales, capaces de apagarse instantáneamente.

Se debe notar que si los dos transistores del conversor en cada ramal están conmutando de tal manera que nunca están simultáneamente apagados, entonces la corriente de salida  $i_o$  en la figura 3-5 fluirá continuamente. Por consiguiente, el voltaje de salida está dictado solamente por el estado de los transistores y, puede ser controlado mediante manejar la relación de trabajo de conmutación.

### 3.2.3.3 Técnica de control por modulación por ancho de pulso (PWM) de dos niveles

Una consecuencia de la forma de operar los transistores  $(T_1, T_2)$  y  $(T_3, T_4)$ , es que el voltaje de salida ( $v_o$ ) del conversor tipo puente es reversible en polaridad, donde el voltaje sobre la carga sólo puede ser  $+E$  ó  $-E$  (control de dos niveles). *Por esta razón se utiliza para la modulación por ancho de pulso una forma de onda triangular*, cuya frecuencia es la de conmutación de los transistores del puente.

48

De la figura 3-5, el tiempo de encendido ( $t_{on}$ ) del par de transistores  $(T_1, T_2)$  es:

$$t_{on} = 2t_1 + T_p/2 \quad (3.3)$$

Por lo tanto, la relación de trabajo del par  $(T_1, T_2)$  es:

$$\delta_1 = \frac{t_{on}}{T_p} = \frac{1}{2} \left( 1 + \frac{v_{control}}{\hat{V}_{tri}} \right) \quad (3.4)$$

La relación de trabajo del par de transistores  $(T_3, T_4)$  es:

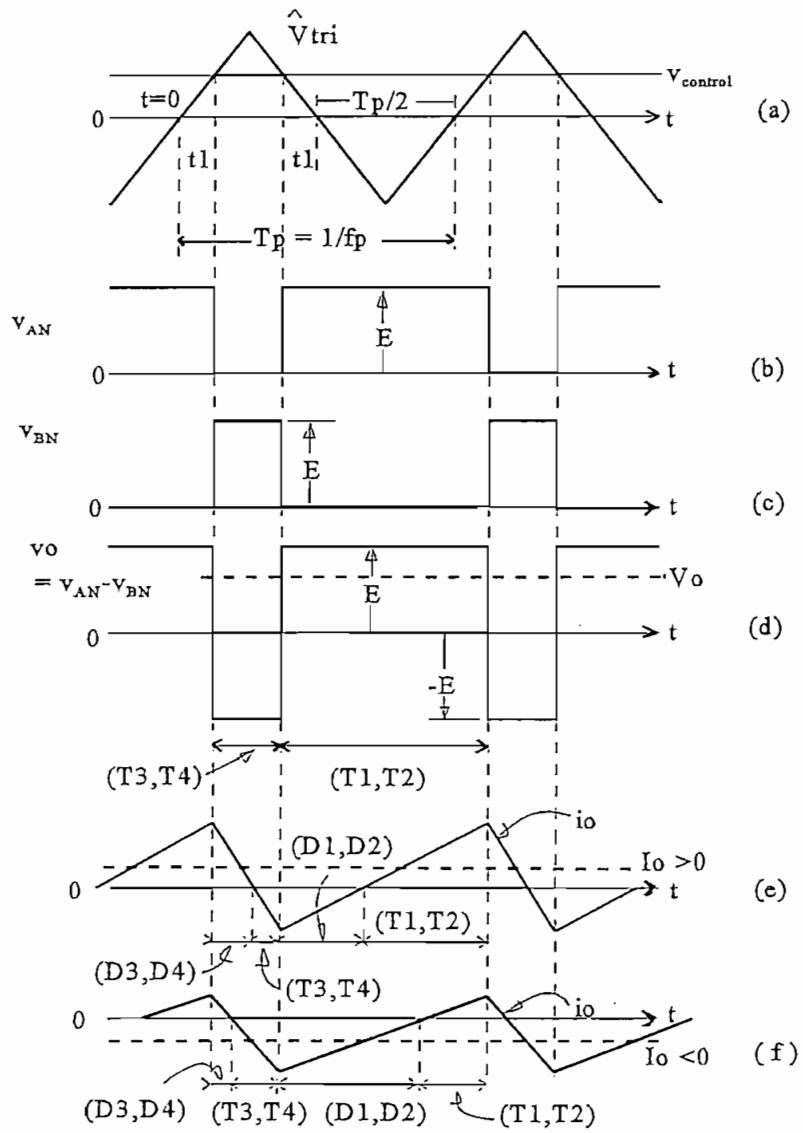


Figura 3-6: Formas de onda de voltajes y corrientes del conversor dc-dc tipo puente con PWM

Sustituyendo  $\delta_1$  de la ec. (3.4) en ec. (3.6) se tiene :

$$V_o = \frac{E}{\hat{V}_{tri}} v_{control} = K_a v_{control} \quad (3.7)$$

donde :  $K_a$  es la ganancia del amplificador.

Esta ecuación muestra que en este modo de conmutación del convertidor, el voltaje medio de salida varía linealmente con la señal de control de entrada, similar a un amplificador lineal. La forma de onda para el voltaje de salida  $v_o$  en la figura 3-6(d) muestra que el voltaje salta entre  $+E$  y  $-E$ . Esta es la razón por la que la estrategia de conmutación es referida como PWM de dos niveles.

También se nota que la relación de trabajo  $\delta_1$  en la ec. (3.4) puede variar entre 0 y 1, influyendo sobre la magnitud y polaridad de  $v_{control}$ . Por lo tanto,  $V_o$  puede variar continuamente entre el rango de  $-E$  a  $+E$ . El voltaje de salida del convertidor es independiente de la corriente de salida  $i_o$ , sin tomar en cuenta el tiempo de blanqueo. La corriente media de salida  $I_o$  puede ser positiva o negativa. Para valores pequeños de  $I_o$ ,  $i_o$  durante un ciclo puede ser positiva y negativa; esto se muestra en la figura 3-6(e) para  $I_o > 0$  donde el flujo de potencia media es desde  $E$  a  $V_o$  y en la figura 3-6(f) para  $I_o < 0$  donde el flujo de potencia media es desde  $V_o$  a  $E$ .

#### 3.2.3.4 Selección de los elementos de potencia

La siguiente tabla muestra un resumen de los parámetros de operación obtenidos a partir de la figura 3-7 de los elementos de potencia del convertidor d.c-d.c tipo puente para dos situaciones: **a)** carga puramente resistiva y, **b)** carga puramente inductiva.

Las señales de conmutación son generadas por comparar una forma de onda triangular  $v_{tri}$  con la señal de control  $v_{control}$ . Cuando la señal de control es mayor que la onda triangular,  $T_1$  y  $T_2$  están encendidos, en caso contrario están apagados. A partir de las formas onda de la figura 3-6 se puede deducir la relación ( $V_o / v_{control}$ ) de la siguiente manera:

$$v_{tri} = \hat{V}_{tri} \frac{t}{Tp/4} \quad 0 < t < \frac{Tp}{4} \quad (3.1)$$

en  $t=t_1$  en la figura 3-6(a),  $v_{tri}$  iguala a  $v_{control}$ . Por lo tanto, de la ecuación (3.1) se tiene:

$$t_1 = \frac{v_{control} * Tp}{\hat{V}_{tri} * 4} \quad (3.2)$$

De la figura 3-6, el tiempo de encendido (**ton**) del par de transistores ( $T_1, T_2$ ) es:

$$t_{on} = 2t_1 + Tp/2 \quad (3.3)$$

Por lo tanto, la relación de trabajo del par ( $T_1, T_2$ ) es:

$$\delta_1 = \frac{t_{on}}{Tp} = \frac{1}{2} \left( 1 + \frac{v_{control}}{\hat{V}_{tri}} \right) \quad (3.4)$$

La relación de trabajo del par de transistores ( $T_3, T_4$ ) es:

$$\delta_2 = 1 - \delta_1 \quad (3.5)$$

A partir de éstas relaciones de trabajo, se obtiene el voltaje medio  $V_o$  :

$$V_o = V_{AN} - V_{BN} = \delta_1 E - \delta_2 E = (2\delta_1 - 1)E \quad (3.6)$$

Como datos previos se tiene:  $S_o = 34 \text{ VA}$  ;  $E = 17 \text{ VDC}$

PARAMETROS	PWM DE DOS NIVELES DE VOLTAJE			
	CARGA RESISTIVA		CARGA INDUCTIVA	
$V_o(\text{RMS})$	E	17V	E	17V
$I_o(\text{RMS})$	$S_o/V_o(\text{RMS})$	2.0A	$S_o(\text{RMS})/V_o(\text{RMS})$	2.0A
X	$V_o(\text{RMS})/I_o(\text{RMS})$	$8.5\Omega$	$(\pi/2\sqrt{3})*[E/I_o(\text{RMS})]$	$7.7\Omega$
$I_o(\text{máx})$			$\sqrt{3}*I_o(\text{RMS})$	3.5A
$I_T(\text{DC})$	$I_o(\text{RMS})/2$	1.0A	$(\sqrt{3}/8)*I_o(\text{RMS})$	0.4A
$I_T(\text{RMS})$	$I_o(\text{RMS})/\sqrt{2}$	1.4A	$I_o(\text{RMS})/2$	1.0A
$I_T(\text{máx})$	$I_o(\text{RMS})$	2.0A	$I_o(\text{máx})$	3.5A
$I_D(\text{DC})$		0.0A	$(\sqrt{3}/8)*I_o(\text{RMS})$	0.4A
$I_D(\text{RMS})$		0.0A	$I_o(\text{RMS})/2$	1.0A
$I_D(\text{máx})$		0.0A	$I_o(\text{máx})$	3.5A
$V_T(\text{DC}) = -V_D(\text{DC})$	E/2	8.5V	E/2	8.5V
$V_T(\text{RMS}) = V_D(\text{RMS})$	$E/\sqrt{2}$	12.0V	$E/\sqrt{2}$	12.0V
$V_T(\text{máx}) = V_D(\text{máx})$	E	17.0V	E	17.0V
$I_{in}(\text{DC})$	$I_o(\text{RMS})$	2.0A		0.0A
$I_{in}(\text{RMS})$	$I_o(\text{RMS})$	2.0A	$I_o(\text{RMS})$	2.0A
$I_{in}(\text{AC})$	$\sqrt{[I_{in}^2(\text{RMS}) - I_{in}^2(\text{DC})]}$	0.0A	$I_o(\text{RMS})$	2.0A

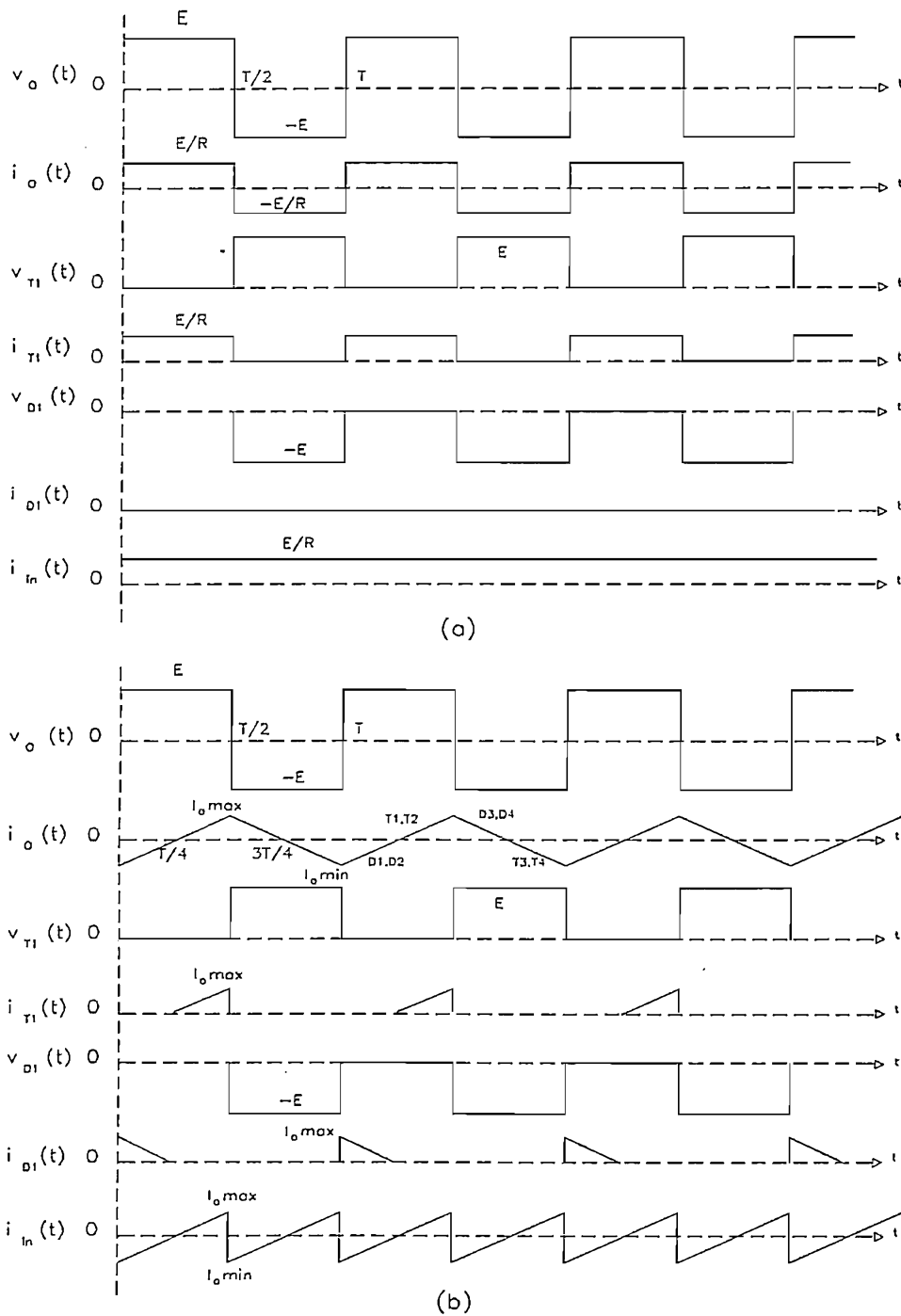
Como especificaciones mínimas de trabajo de los elementos de potencia se toman los valores máximos calculados para las dos situaciones de carga; así tenemos:

**Para los transistores**

$$I_T(\text{DC}) = I_C > 1.0 \text{ A}$$

$$I_T(\text{RMS}) > 1.4 \text{ A.}$$

$$I_T(\text{máx}) > 3.5 \text{ A.}$$



**Figura 3-7:** Formas de onda de voltajes y corrientes para los elementos del convertor d.c.-d.c con control PWM de dos niveles: (a) con carga púramente resistiva y, (b) con carga púramente inductiva.

$$V_T (\text{DC}) > 8.5 \text{ V.}$$

$$V_T (\text{RMS}) > 12.0 \text{ V.}$$

$$V_T (\text{máx}) = V_{\text{CE RUPTURA}} = V_{\text{CB}} > 17.0 \text{ VDC}$$

$$f_{\text{TRABAJO}} > 5 \text{ KHz}$$

#### Para los diodos antiparalelo

$$I_D (\text{DC}) > 0.4 \text{ A.}$$

$$I_D (\text{RMS}) = I_F > 1.0 \text{ A.}$$

$$I_D (\text{máx}) = I_{\text{FRM}} > 3.5 \text{ A.}$$

$$V_D (\text{DC}) > 8.5 \text{ V.}$$

$$V_D (\text{RMS}) > 12.0 \text{ V.}$$

$$\text{PRV} > 17.0 \text{ VDC.}$$

$$t_{\text{rr}} \gg 200 \mu\text{seg.}$$

En base a estas especificaciones mínimas de trabajo se seleccionaron como elementos de potencia al transistor **2N3055** de propósito general y al diodo de conmutación **NTE506** que es de recuperación rápida, se adjunta las especificaciones técnicas en el **ANEXO 4**.

#### 3.2.3.5 Circuito de disparo del amplificador de potencia

A partir de la figura 3-4 vemos que el circuito de disparo del amplificador está formado por cuatro unidades de mando. Las fuentes de potencia auxiliares necesarias para alimentar cada una de las unidades de mando tienen como referencia de potencial al emisor de sus respectivos transistores y son alimentadas a través de transformadores de aislamiento. Cada

puede ser provisto donde ambos voltajes de alimentación positivo y negativo con respecto al emisor son usados.

Se utilizan los transistores de señal **NTE 128 (QB<sub>1</sub>)** y **NTE 129 (QB<sub>2</sub>)** para manejar el encendido y apagado del transistor de potencia **2N3055** respectivamente. Con **R<sub>4</sub> = 2K** se logra la saturación de **QB<sub>1</sub>**. Estos transistores de señal son controlados por el comparador **LM311** (ver especificaciones técnicas en el **ANEXO 4**), el cual nos permite

unidad es responsable de manejar la corriente de base de su respectivo transistor para su encendido. La unidad de mando de la corriente de base de un BJT se diseña tomando los criterios considerados en la referencia [6], razón por la no se profundiza en su explicación, si se desea tener una mayor información al respecto se recomienda la lectura de la referencia citada. En la figura 3-8 se muestra el circuito de mando empleado para manejar la corriente de base del transistor de potencia con la técnica de modulación por ancho de pulso. Los voltajes  $+V_{BB}$  y  $-V_{BB}$  son proporcionados mediante la utilización de reguladores de voltaje de  $+5V$  y  $-5V$  respectivamente. En éste tipo de circuito de mando un apagado más rápido puede ser provisto donde ambos voltajes de alimentación positivo y negativo con respecto al emisor son usados.

Se utilizan los transistores de señal NTE 128 ( $QB_1$ ) y NTE 129 ( $QB_2$ ) para manejar el encendido y apagado del transistor de potencia 2N3055 respectivamente. Con  $R_4 = 2K$  se logra la saturación de  $QB_1$ . Estos transistores de señal son controlados por el comparador LM311 (ver especificaciones técnicas en el ANEXO 4), el cual nos permite tener tiempos de encendido y apagado lo más pequeños posibles con una salida con flancos prácticamente perpendiculares, la salida del LM311 es de colector abierto. Durante el intervalo de encendido del BJT, el transistor de salida del comparador está apagado, así enciende el transistor  $QB_1$ .

La corriente de base en estado de encendido es:

$$I_{B(on)} = \frac{+V_{BB} - V_{CE(sat)QB_1} - V_{BE(on)T_1}}{R_5} \quad (3.8)$$



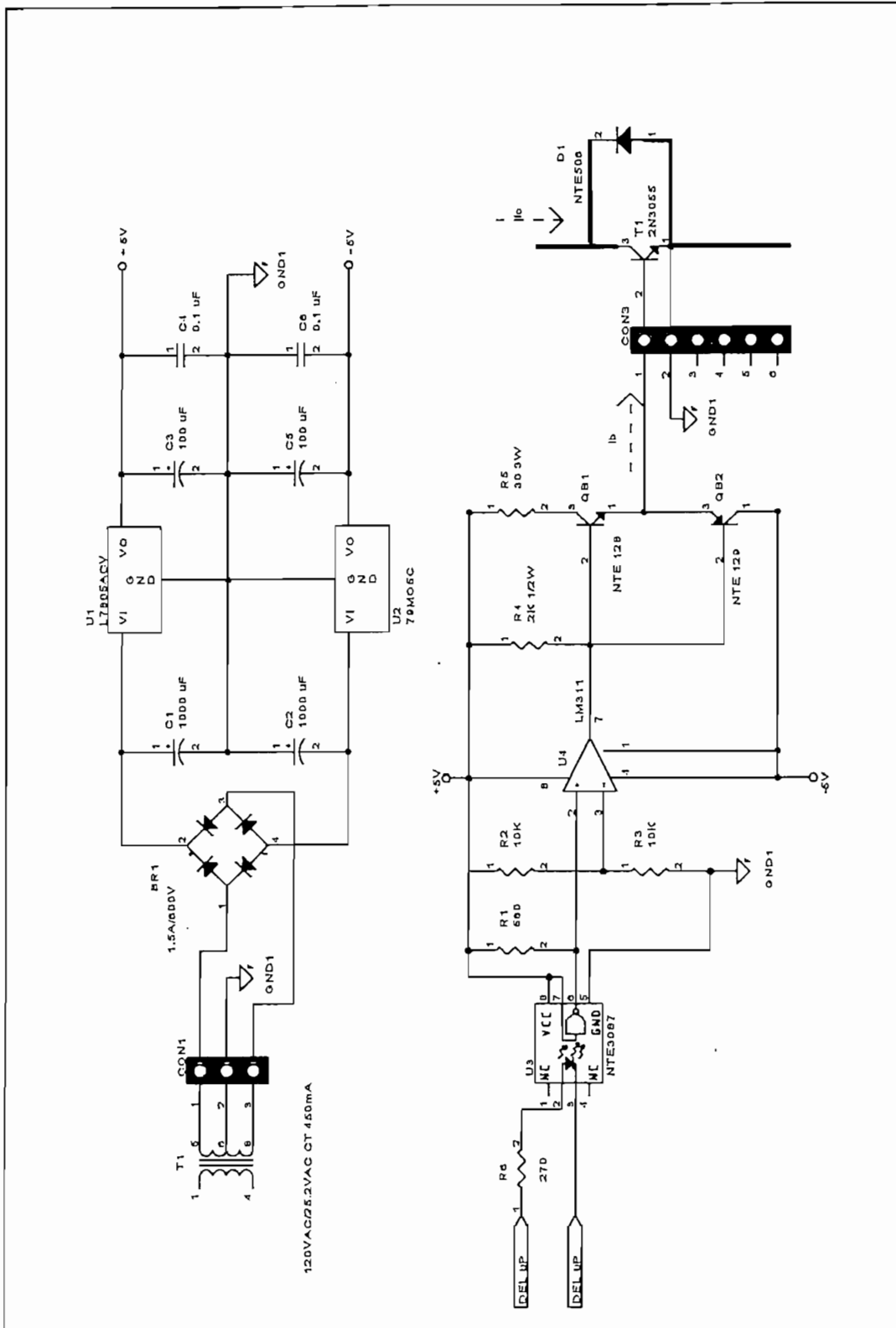


Figura 3-8: Unidad de mando de la corriente de base de un BJT de potencia para control PWM

Las pérdidas en estado de encendido en el circuito de mando son aproximadamente igual a  $+V_{BB} \cdot I_B$  lo cual sugiere que  $+V_{BB}$  debe ser pequeña. En cambio, para reducir la influencia de variaciones en  $V_{BE(on)}$  de  $T_1$ ,  $+V_{BB}$  debe ser grande. En la práctica un  $V_{BB}$  alrededor de **8 Voltios** es óptimo. En el apagado del BJT, el transistor de salida interno del comparador está encendido, así enciende el transistor  $QB_2$ . Para un apagado rápido, ninguna resistencia externa es usada en serie con  $QB_2$ . La magnitud del voltaje  $-V_{BB}$  debe ser menor que el voltaje de ruptura B-E del transistor ( $V_{BER} = 7 \text{ Vdc}$  para **2N3055**). Lo mencionado anteriormente justifica la utilización de los reguladores de voltajes de  $+5\text{V}$  y  $-5\text{V}$  para el circuito de mando. La corriente de base que alimenta la unidad de mando al transistor de potencia es:

$$I_{B(on)} = \frac{+5V - 0.6V - 0.6V}{30\Omega} = 126mA$$

De la curva  $V_{CE}$  vs  $I_B$  que se presenta en la hoja de especificaciones del transistor **2N3055** vemos que esta corriente es suficiente para mantener al transistor en saturación aún cuando la corriente de colector sea sobre los **2 A**.

La señal de control es alimentada por un circuito lógico conectado entre  $+V_{BB}$  y el emisor del transistor, por lo que la entrada de referencia al comparador se fijó en el potencial medio entre  $+V_{BB}$  y el emisor del transistor, por tanto  $R_2 = R_3 = 10K$ .

Para tener un aislamiento eléctrico del microcomputador con cada una de las unidades de mando de disparo de los transistores se emplearon optoacopladores de alta velocidad, para nuestro caso se seleccionó el **CI NTE 3087** que se ajusta a los requerimientos del equipo ( ver **ANEXO 4**) y trabaja sin ningún problema a la frecuencia

57

considera que  $I_F = 15 \text{ mA}$ , por lo tanto tenemos:

$$R_6 = \frac{5V - 0.7V}{15mA} = 287\Omega$$

Normalizando se tiene:  $R_6 = 270 \Omega$

### 3.2.3.6 Implementación del circuito de disparo y secuencia de operación de las unidades de mando

de los 5 KHz. El NTE 3087 opera con niveles TTL y su salida es de colector abierto por lo que requiere una resistencia externa  $R_1$  para conseguir el nivel alto de voltaje:

$$R_1 = \frac{+V_{BB}}{I_0} = \frac{5V}{9mA} = 555\Omega$$

Normalizando el valor tenemos:  $R_1 = 560 \Omega$ .

La señal que llega del microprocesador a la unidad de mando es TTL, por lo que la corriente a través de  $R_6$  debe ser tal que asegure el encendido del led del optoacoplador, se considera que  $I_F = 15 \text{ mA}$ , por lo tanto tenemos:

$$R_6 = \frac{5V - 0.7V}{15mA} = 287\Omega$$

Normalizando se tiene:  $R_6 = 270 \Omega$

### 3.2.3.6 Implementación del circuito de disparo y secuencia de operación de las unidades de mando

El circuito de disparo del amplificador está formado por dos tarjetas idénticas **DRIVER** (VER ANEXO 1), una para cada ramal del puente, esta tarjeta contiene dos unidades de mando de corrientes de base .

Las configuraciones de las dos unidades de mando implementadas en la tarjeta DRIVER son casi idénticas, solo difieren en la forma de comparar la salida del optoacoplador NTE3087 con la referencia conectada al comparador LM311. Para la unidad

de mando de T1 ó T3 la conexión es sin inversión de fase en cambio para la unidad de mando de T2 ó T4 la conexión es con inversión de fase. Esto se realiza para evitar que se produzca un cortocircuito de la fuente  $E$  cuando se dañe cualquier optoacoplador de la tarjeta. Por lo tanto se tiene que la señal de salida de la unidad de mando de T1 ó T3 es complementaria a la señal de salida de la unidad de mando de T2 ó T4.

El encendido y apagado de los transistores del puente con el microprocesador es:

NIVEL LOGICO ( $\mu$ P)	T4	T3	T2	T1
0L	OFF	ON	OFF	ON
1L	ON	OFF	ON	OFF

Para tener un control PWM de dos niveles de voltajes, la secuencia de operación de las unidades de mando a través del microprocesador es:

OUT13 (T4)	OUT12 (T3)	OUT9 (T2)	OUT8 (T1)	
ROJO	ANARANJADO	AMARILLO	CAFE	
0L	1L	1L	0L	T1,T2= ON T3,T4=OFF
1L	0L	0L	1L	T1,T2=OFF T3,T4=ON
0L	1L	0L	1L	T1,2,3,4 = OFF

### 3.2.3.7 Fuente de alimentación del amplificador de potencia

En el diseño de la fuente de alimentación para el amplificador de potencia del sistema servo incremental se consideraron los siguientes parámetros de operación:

$$E \text{ (DC)} = 17 \text{ V.}$$

$$S_o = 34 \text{ VA.}$$

$$I_{\text{máx}}(\text{DC}) = 2 \text{ A.}$$

$$I_{\text{pico máx instantánea}} = E/R_a = 17/4 = 4.25 \text{ A}$$

Para proteger el transformador de alimentación de la fuente contra corto circuito se prevee también el empleo de un fusible (F1) de 2.5 A. La tarjeta del circuito implementado se presenta en el **ANEXO 1**.

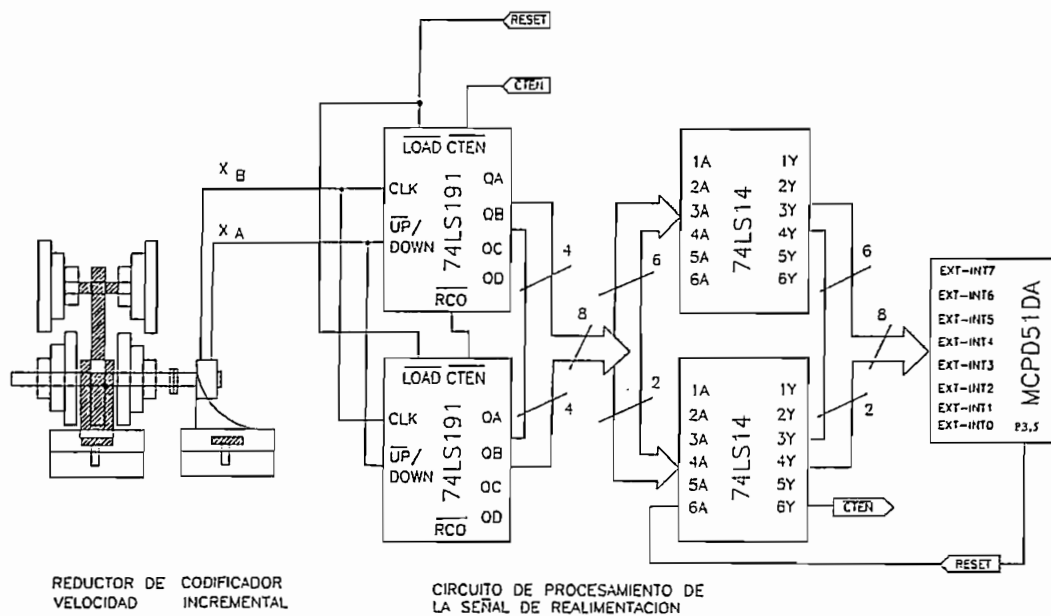
### 3.2.4 Sensor de posición

El bloque del sensor de posición está formado por el reductor de velocidad, el codificador incremental y el circuito de procesamiento de la señal de realimentación que es implementado en la tarjeta TEDISCO. En la figura 3-9 se presentan mediante diagramas de bloques como están conectados los elementos utilizados para sensar la posición del eje del motor.

El codificador incremental montado en el eje del motor es el CI. **HEDS-5500** que es un codificador óptico de alta resolución. Entre las características más importantes del codificador incremental HEDS-5500 podemos mencionar las siguientes:

- dos canales de salidas en cuadratura
- Montaje fácil y rápido
- Resolución: 360 conteos por revolución
- Salida digital compatible TTL
- Fuente de alimentación de + 5V.
- Amplio rango de temperatura
- Baja inercia
- Bajo costo

Para mayor detalle de las características y del montaje del codificador en el eje del motor se adjunta la hoja de especificaciones técnicas en el **ANEXO 4**.



**Figura 3-9:** Sensor de posición del Sistema Servo Incremental

Las dos señales de pulsos ( $X_A$  y  $X_B$ ) desfasadas 90 grados eléctricos del CI HEDS-5500, deben ser procesadas digitalmente para obtener un valor digital de la posición del eje del motor, con este fin se diseñó el circuito de procesamiento de las señales del codificador incremental, el cual es una configuración de dos contadores UP/DOWN 74LS191 conectados en cascada a través de alimentar la salida de fin de conteo (RCO) a la entrada de habilitación (CTEN) del siguiente contador cuando se emplea la misma señal de reloj para los dos contadores. La señal  $X_A$  del codificador incremental es conectado a la entrada UP/DOWN de cada contador y la señal  $X_B$  se utiliza como señal de reloj de los contadores (CLK). Con este tipo de conexión se logra discriminar el sentido de rotación del eje del motor, por lo que el conteo puede ser para arriba y para abajo. Las salidas de los contadores están conectadas a dos CI. 74LS14, que son CI que contienen seis inversores Smith Trigger y sirven para acoplar la salida digital de 8 bits del circuito de procesamiento al pórtico de entrada EXT-INT7..EXT-INT0 disponible en el conector H6 de la tarjeta MCPD51DA.

El circuito de procesamiento de la señales del codificador incremental dispone de una señal de reset ( P3.5) proveniente del microcontrolador para encerrar los contadores a cero. La función de transferencia del sensor de posición está dada por la siguiente expresión:

$$V_{out\ sensor}[conteos] = K_{contador} * \theta \quad \text{donde: } 0 \leq \theta \leq 360 \text{ grados mecánicos} \quad (3.9)$$

Como la resolución del codificador es de 360 conteos/revolución se tiene que la ganancia del sensor es:

$$K_{contador} = 1 \text{ [conteos/grados mecánicos]}$$

## **CAPITULO IV**

### **DISEÑO DEL PROGRAMA PARA EL SISTEMA SERVO INCREMENTAL BASADO EN MICROPROCESADOR**

#### **4.1 ESTRUCTURA DEL PROGRAMA PARA EL SISTEMA SERVO INCREMENTAL**

En la figura 4-1 se presenta un diagrama general de bloques de los programas utilizados para analizar el sistema servo incremental construido. A partir de la figura 4-1 estos programas son:

- **TESIS.EXE**: Fue implementado en lenguaje “C” y debe ejecutarse en un computador personal. Se lo estructuró en forma modular para facilidad de diseño y mantenimiento, los archivos que lo componen se presentan en el diagrama de bloques de la figura 4-2.



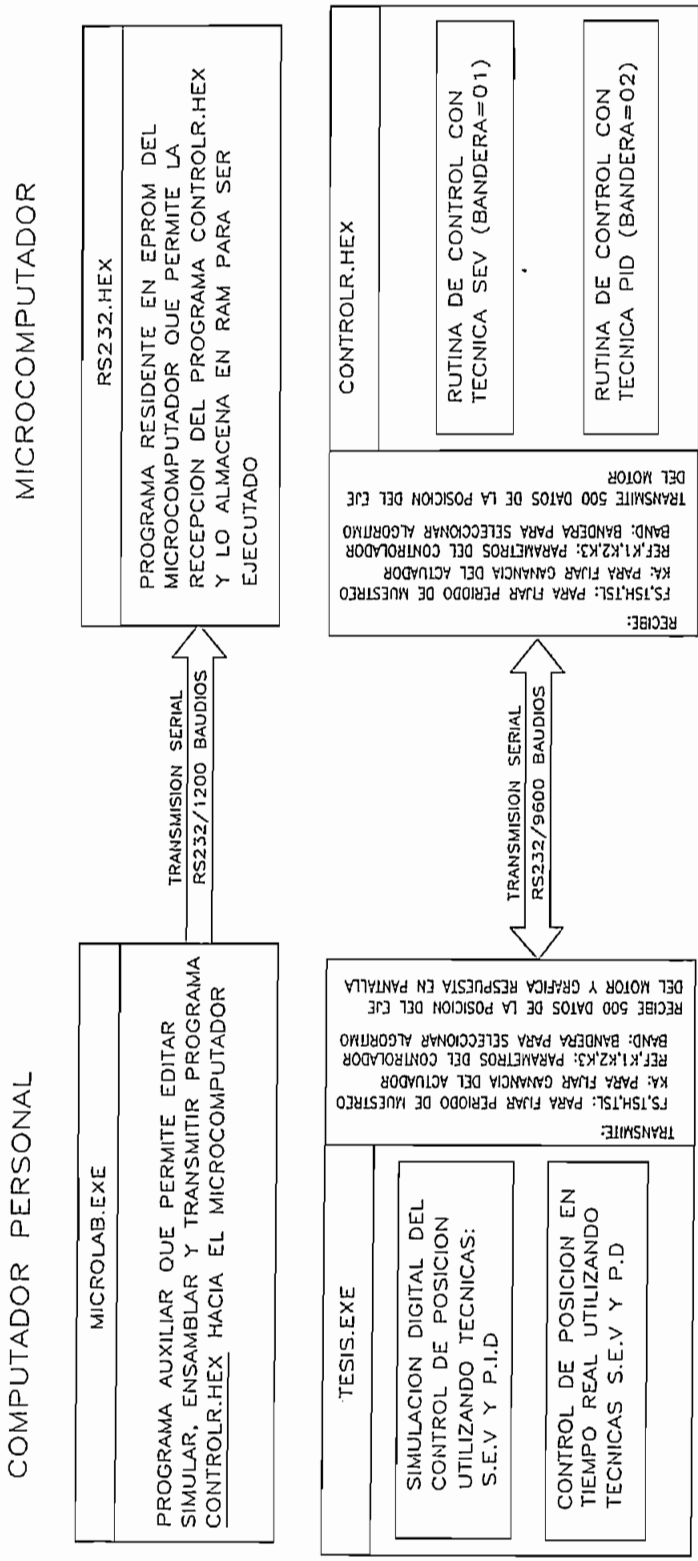


Figura 4-1: DIAGRAMA GENERAL DE BLOQUES DE LOS PROGRAMAS UTILIZADOS EN EL SISTEMA SERVO INCREMENTAL

Permite realizar la simulación digital del control de posición aplicando las técnicas SEV y PID . Adicionalmente tiene la opción de ofrecer control *off-line* con el microcomputador para estudiar la respuesta de posición en tiempo real cuando se trabaja conjuntamente con el programa CONTROLR.HEX, los que se comunican entre sí en forma serial RS232 a 9600 baudios.

- **CONTROLR.HEX**: Desarrollado en lenguaje de máquina para ser cargado en el microcomputador. Contiene los algoritmos de control de las técnicas SEV y PD, comienza a ejecutarse una vez recibidos los parámetros del sistema enviados por el programa TESIS.EXE. Las rutinas que conforman el programa CONTROLR.HEX se presentan en el diagrama de bloques de la figura 4-3.

Adicionalmente se tienen los programas auxiliares **MICROLAB.EXE** y **RS232.HEX** los cuales permiten cargar el programa CONTROLR.HEX desde un computador personal hacia el microcomputador.

- **MICROLAB.EXE**: Fue desarrollado por el Ing. Bolívar Ledesma y está disponible en el Laboratorio de Control con Microprocesadores. Este programa nos permite editar, ensamblar, simular y transmitir el programa CONTROLR.HEX

- **RS232.HEX**: Es un pequeño programa desarrollado en lenguaje de máquina residente en la EPROM del microcontrolador INTEL 8751H que nos permite realizar la comunicación serial RS232 a 1.200 baudios con el programa MICROLAB.EXE para cargar el programa CONTROLR.HEX en la RAM de 2Kbytes del microcomputador para ser ejecutado.

## 4.2 DESARROLLO DE RUTINAS PARA EL SISTEMA SERVO INCREMENTAL Y PROGRAMACION EN ASSEMBLER PARA EL MICROPROCESADOR.

### 4.2.1 RUTINAS DEL PROGRAMA TESIS.EXE

Para desarrollar el programa TESIS.EXE se utilizó la versión BORLANDC ++ 3.1, se lo estructuró en forma modular donde TESIS.PRJ contiene los archivos fuentes que agrupan las funciones utilizadas. El modelo de memoria utilizado fue el COMPACTO. En la figura 4-2 se presenta mediante diagrama de bloques la estructura del programa. A continuación se pasa a describir cada una de las funciones que conforman el programa:

#### TESIS.CPP

MAIN: Función principal desde donde se ejecuta todo el programa.

TITULO: Coloca en pantalla carátula de presentación del programa.

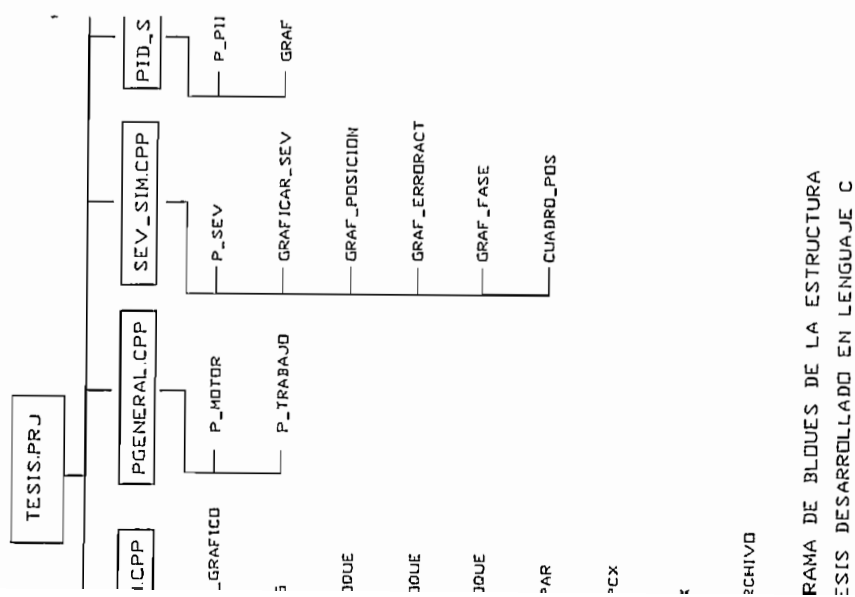
#### FUNAU.X.CPP

INICIAR: Detecta tarjeta de video y pone el sistema en modo gráfico.

FIN: Restituye al sistema el modo texto normal

GPRINTXY:

Se usa como printf excepto que la salida se envía a la pantalla en modo gráfico en unas coordenadas específicas que son pasadas por valor.



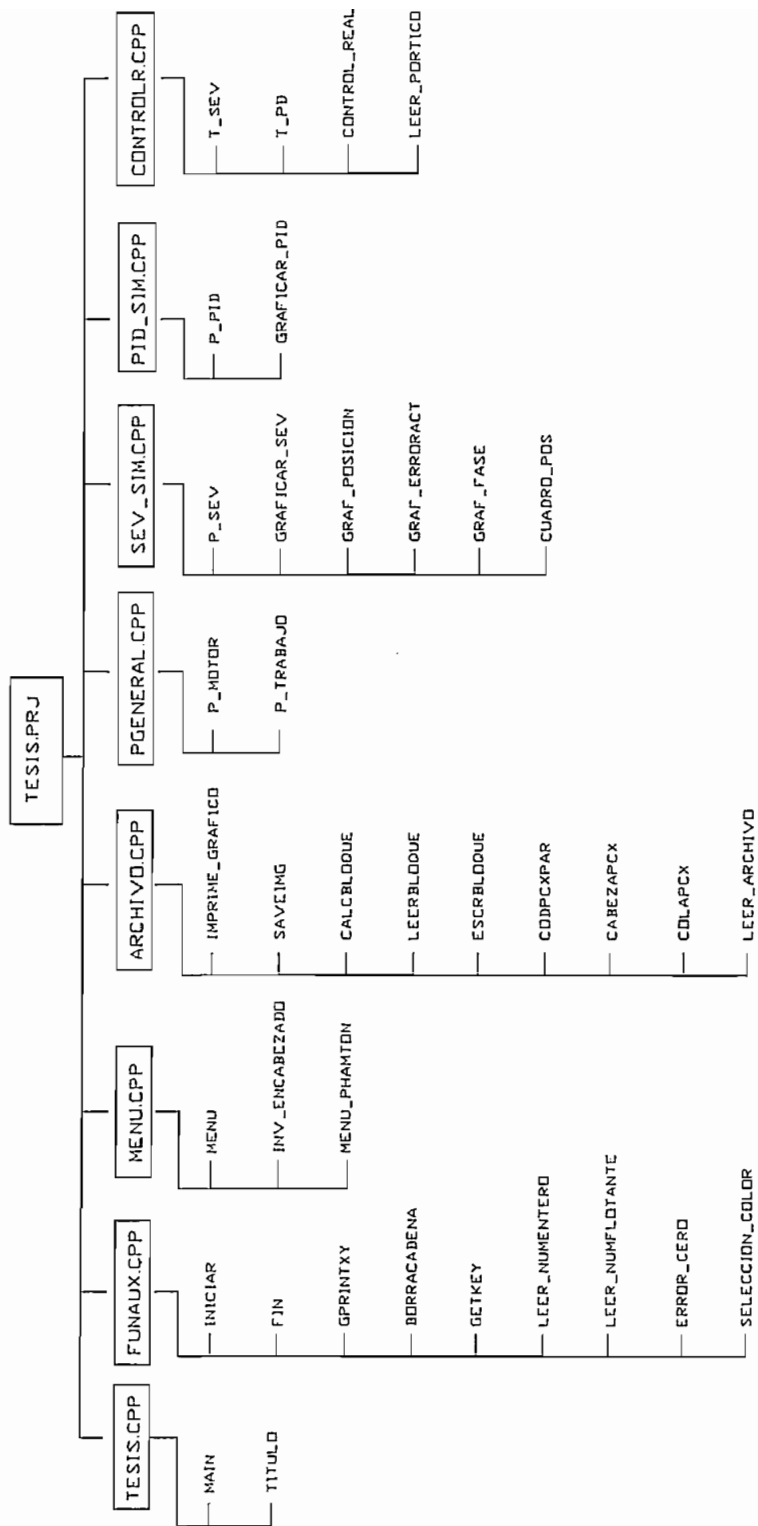


Figura 4-2: DIAGRAMA DE BLOQUES DE LA ESTRUCTURA DEL PROGRAMA TESIS DESARROLLADO EN LENGUAJE C

#### BORRACADENA:

Usada para borrar una parte de la pantalla antes de que una nueva cadena sea escrita en ella o simplemente para borrar una cadena de la pantalla.

#### GETKEY:

Esta función nos permite leer una tecla del teclado y retornar su valor ASCII. Si la tecla es una función o tecla especial, retorna el valor especificado en la Guía de Programadores de Norton + 256.

#### LEER\_NUMENTERO:

Función para leer y presentar en la pantalla en modo gráfico un número entero de cuatro dígitos en la posición (x,y)

#### LEER\_NUMFLOTANTE:

Función para leer y presentar en la pantalla en modo gráfico un número flotante de seis dígitos incluido el punto decimal en la posición (x,y)

#### ERROR\_CERO:

Presenta en pantalla mensaje de error que indica que el valor no debe ser cero.

#### SELECCION\_COLOR:

Presenta una ventana para seleccionar el color que se desea para el gráfico.

### **MENU.CPP**

**MENU:** Esta función maneja la presentación del menú del sistema. En el diagrama de bloques de la figura 4-3 se presenta como está estructurado el menú del programa.

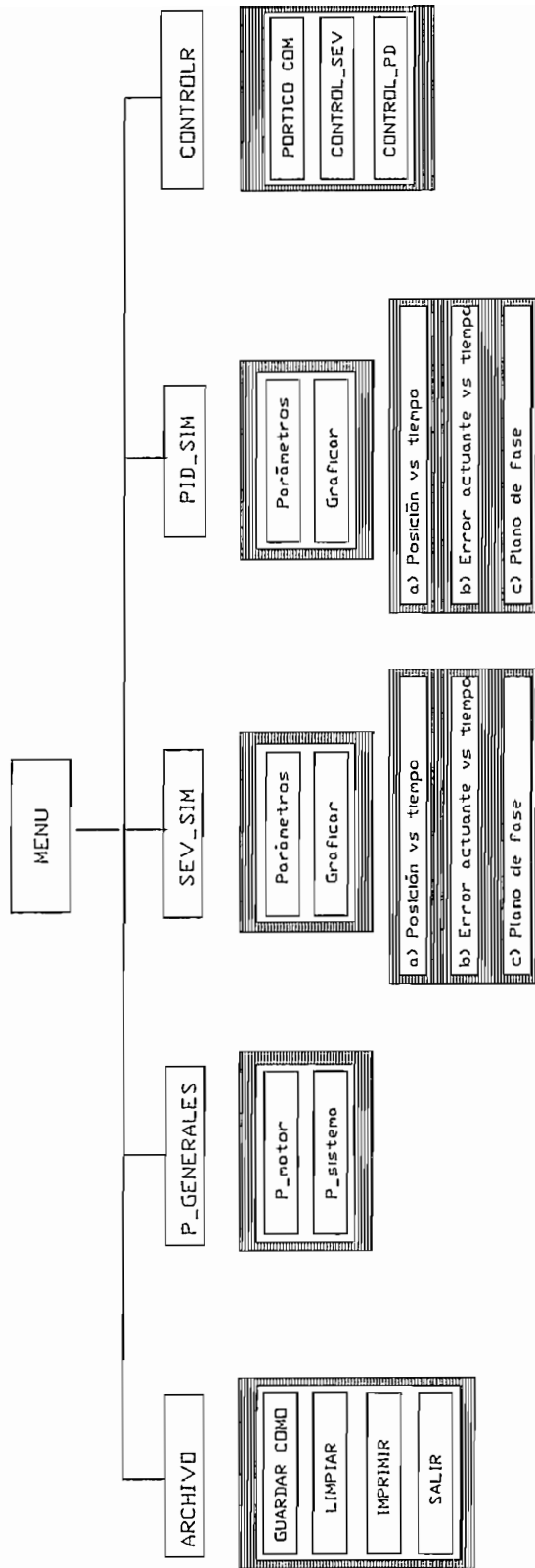


Figura 4-3: DIAGRAMA DE BLOQUES DE LA ESTRUCTURA DE PRESENTACION DEL MENU DEL PROGRAMA TESIS.EXE

INV\_ENCABEZADO: Invierte opción seleccionada de la barra principal del menú.

MENU\_PHAMTON:

Esta función se encarga de desplegar el pull-down menú, luego pone en reverso las opciones que el usuario selecciona del menú, finalmente devuelve un número que representa la opción seleccionada.

## ARCHIVO.CPP

IMPRIME\_GRAFICO:

Controlador de salida de gráficos para impresoras matriciales.

SAVEIMG:

Función que guarda en archivo especificado el gráfico de la pantalla en formato PCX.

CALC\_BLOQUE:

Determina el tamaño del bloque en bytes en función de filas y columnas.

LEERBLOQUE:

Lee una porción de una imagen almacenada en un archivo ARHLEER y lo almacena en TEMPORAL con un máximo de 65536 datos.

ESCRBLOQUE:

Escribe una porción de datos en el archivo indicado por ARCHLEER, los datos a escribirse están en el puntero TEMPORAL.

CODPCXPAR:

Función que codifica una imagen o parte de ella con formato PCX de una imagen cuyo número de columnas es par.

COLAPCX:

Función que copia la cola de archivo .PCX en un archivo destino.

LEER\_ARCHIVO:

Permite leer y presentar en la pantalla en modo gráfico el PATH del archivo donde se grabará la imagen.

**CABEZAPCX:**

Función que copia cabecera de un archivo .PCX hacia un archivo destino.

**COLAPCX:**

Función que copia la cola de archivo .PCX en un archivo destino.

**LEER\_ARCHIVO:**

Permite leer y presentar en la pantalla en modo gráfico el PATH del archivo donde se grabará la imagen.

### **PGENERAL.CPP**

**P\_MOTOR:**

Función que presenta una ventana en la pantalla en modo gráfico para ingresar parámetros correspondientes al motor d.c para simulación.

**P\_TRABAJO:**

Función que presenta una ventana en la pantalla en modo gráfico para ingresar parámetros de trabajo del sistema servo incremental para la simulación del control de posición.

### **SEV\_SIM.CPP**

**P\_SEV:**

Función que presenta una ventana en la pantalla en modo gráfico para ingresar parámetros SEV utilizados en la simulación del control de posición.



#### GRAFICAR\_SEV:

Esta función contiene el algoritmo de simulación digital del sistema servo incremental con la técnica SEV (ver diagrama de flujo en la figura 2.7). Presenta en la pantalla una ventana en donde se deja la opción de seleccionar uno de los siguientes gráficos:

- a) Posición vs tiempo
- b) Error actuante vs tiempo
- c) Plano de fase.

#### GRAF\_POSICION:

Función que grafica la respuesta de posición vs tiempo para la entrada paso.

#### GRAF\_ERRORACT:

Función que grafica la señal de error actuante vs tiempo.

#### GRAF\_FASE:

Función que grafica plano de fase.

#### CUADRO\_POS:

Función que grafica cuadro de presentación cuando se traza la respuesta de posición a entrada paso.

### **PID\_SIM.CPP**

#### P\_PID:

Función que presenta una ventana en la pantalla en modo gráfico para ingresar parámetros PID utilizados en la simulación del control de posición.

## GRAFICAR\_PID:

Esta función contiene el algoritmo de simulación digital del sistema servo incremental con la técnica PID ( ver diagrama de flujo en la figura 2.9). Presenta en la pantalla una ventana en donde se deja la opción de seleccionar uno de los siguientes gráficos:

- a) Posición vs tiempo
- b) Error actuante vs tiempo
- c) Plano de fase.

## CONTROLR.CPP

### T\_SEV:

Función que presenta una ventana en la pantalla en modo gráfico para ingresar parámetros SEV a transmitirse hacia el microcomputador para ejecutar control off-line en tiempo real e inicia control.

### T\_PD:

Función que presenta una ventana en la pantalla en modo gráfico para ingresar parámetros PD a transmitirse hacia el microcomputador para ejecutar control off-line en tiempo real e inicia control.

### CONTROL\_REAL:

Esta función transmite los parámetros SEV o PD hacia el microcomputador, recibe 500 datos de la posición del eje del motor transmitidos por el microcomputador y grafica en la pantalla la respuesta de posición en tiempo real.

#### LEER\_PORTICO:

Esta función presenta en la pantalla una ventana que permite seleccionar el pórtico de comunicaciones.

#### 4.2.2 RUTINAS DEL PROGRAMA CONTROLR.HEX

El programa desarrollado en lenguaje de máquina CONTROLR.HEX contiene los algoritmos de control a implementarse en el microcontrolador INTEL 8751H. En la figura 4-4 se presenta mediante diagrama de bloques todas las rutinas desarrolladas, las cuales se pasan a describir a continuación:

#### RECEPCION\_P:

Esta rutina permite la recepción de los parámetros transmitidos por el programa TESIS.EXE (ver diagrama de flujo en la figura 4-10)

#### CONTROL\_SEV:

Esta rutina contiene el algoritmo de control con técnica SEV (ver diagrama de flujo de la figura 4-7) y el algoritmo PWM (ver diagrama de flujo de la figura 4.9).

#### CONTROL\_PD:

Esta rutina contiene el algoritmo de control con técnica PD (ver diagrama de flujo de la figura 4.8) y el algoritmo PWM.

El diagrama de flujo de las rutinas CONTROL\_SEV y CONTROL\_PD se presenta en la figura 4-6.

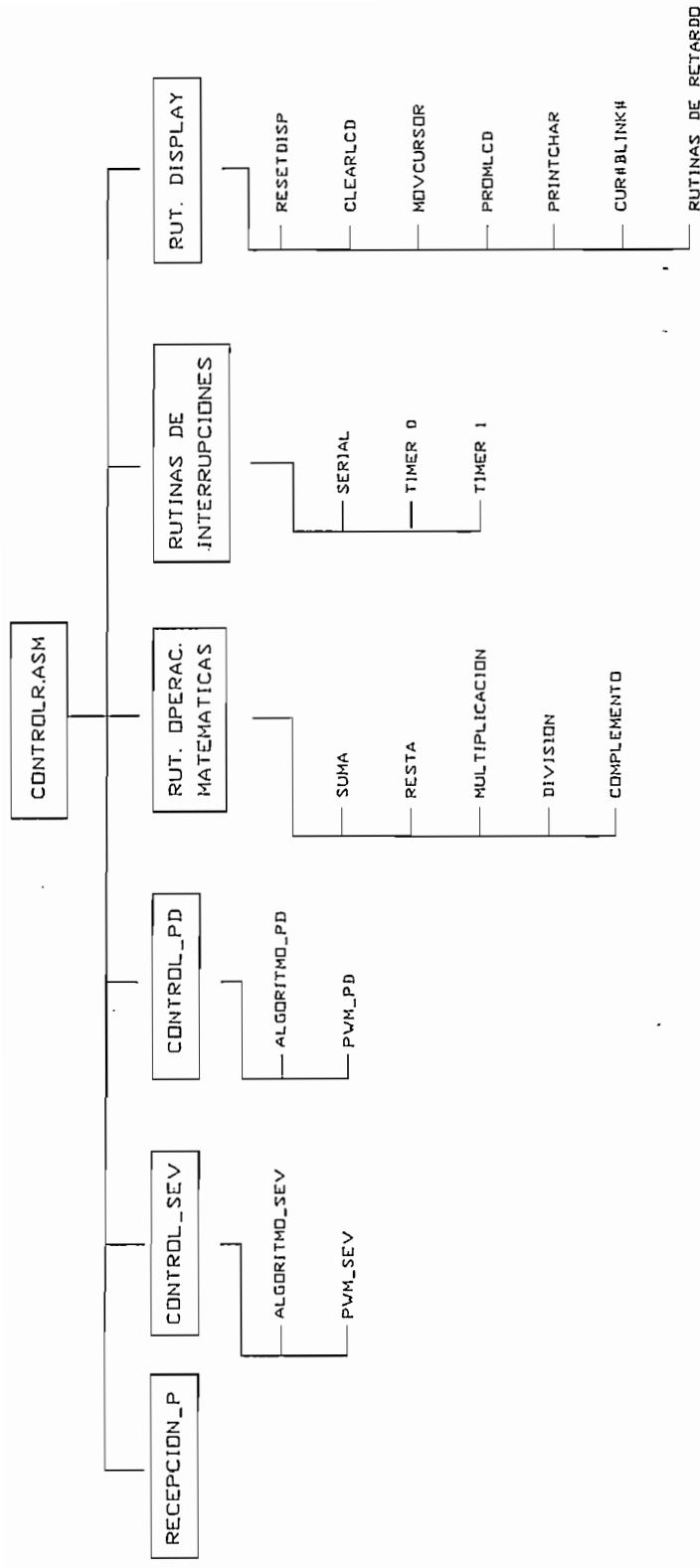


Figura 4-4: DIAGRAMA DE BLOQUES DE LAS RUTINAS DEL PROGRAMA CONTROLR.ASM IMPLEMENTADO EN EL MICROCOMPUTADOR

## RUTINAS DE OPERACIONES MATEMATICAS

SUMA:  $A = A + B$

Realiza la suma de dos números binarios de N bytes. R0 tiene la dirección del byte menos significativo del operador A y R1 la dirección del byte menos significativo del operador B, el resultado se almacena en la dirección indicada por R0, mientras R2 tiene el número de bytes con los que se va a trabajar.

RESTA:  $A = A - B$

Realiza la resta de dos números binarios de N bytes. R0 tiene la dirección del byte menos significativo del minuendo A y R1 la dirección del byte menos significativo del sustraendo B, el resultado se almacena en la dirección indicada por R0, mientras R2 tiene el número de bytes con los que se va a trabajar.

MULTIPLICACION:

Realiza la multiplicación de un número de dos bytes con signo almacenado en las localidades MUL11, MULT10 por otro de dos bytes con signo almacenado en las localidades MULT20, MULT21, el resultado de la multiplicación se lo almacena en RMULT1, RMULT0.

DIVISION:

Realiza la división:  $A = A/2^n$ , donde A es un número de dos bytes sin signo almacenado en las localidades DIVIDEN1, DIVIDEN0 y n es almacenado en la localidad DIVISOR0.

## COMPLEMENTO:

Ejecuta el complemento a dos de un número de dos bytes. Se utilizan las localidades AUX1,AUX0.

## RUTINAS DE INTERRUPCIONES

- SERIAL:** Lee el dato recibido por el microcontrolador a través del pórtico RS232.
- TC0:** Lee el dato de posición del eje del motor dado por el sensor de posición cada tiempo de muestreo.
- TC1:** Genera una señal PWM a una frecuencia de portadora de 5Khz. Intercambia datos entre TH1 (ton) con R7 (toff), complementa dato en R6 (T1T2 ON T3T4 OFF = 12H ó T1T2 OFF T3T4 ON= 21H).

## RUTINAS DEL DISPLAY

- RESETDISP:** Esta rutina inicializa al display.
- CLEARLCD:** Borra el contenido de la RAM del display y posiciona al cursor en la localidad 0.
- MOVCURSOR:**
- Posiciona el cursor en la localidad deseada 0-31 para el display de dos filas, haciendo transparente para el usuario el cambio de dirección en la mitad del display. Para utilizarlo basta con poner en la localidad de RAM interna CURSOR la posición deseada y hacer un llamado a la rutina.

#### PROMLCD:

Esta rutina hace una escritura en pantalla de un grupo de 16 caracteres leídos en la ROM o parte del programa, creado como tabla, es ideal para escribir mensajes. Para utilizarla se asigna el número de fila que queremos mostrar en pantalla a la localidad de RAM interna ROMLCD, luego se hace el llamado a la rutina. Cuando se trata del display de dos filas es necesario además posicionar el cursor en la posición 0 para la primera fila o en el 16 para la segunda fila.

#### PRINTCHAR:

Esta rutina escribe en la posición en la que se encuentra el cursor un caracter de los que se encuentran en la tabla de caracteres del display. Para utilizarla se carga en la localidad CHARACTER el número correspondiente al código ASCII del caracter y luego se llama a la rutina.

CUR0BLINK0: Apaga el cursor y no aparece en forma intermitente.

### **RUTINAS DE RETARDO**

RETARDO, RETARDOTEP y RETARDOTE

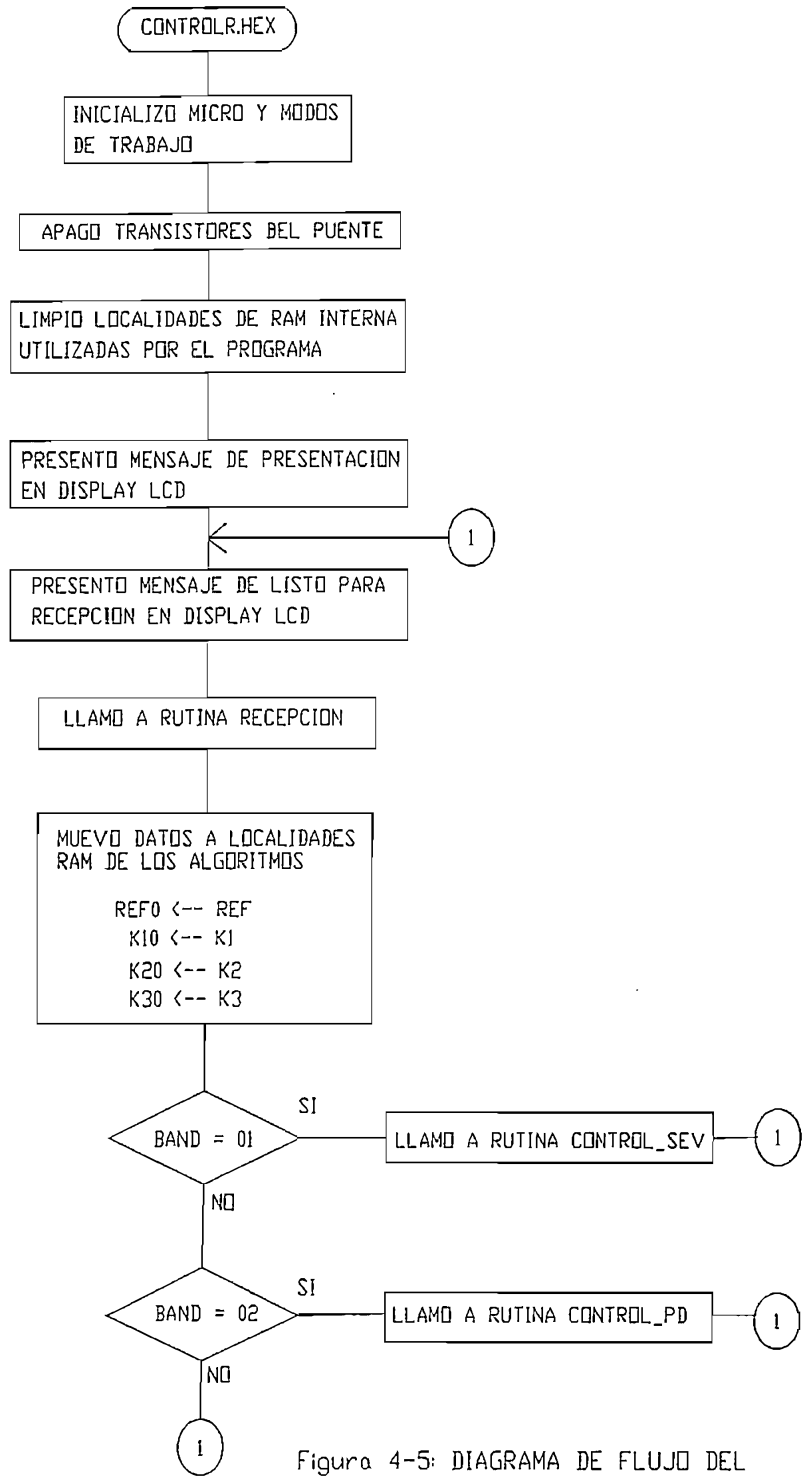


Figura 4-5: DIAGRAMA DE FLUJO DEL PROGRAMA CONTROLR.HEX



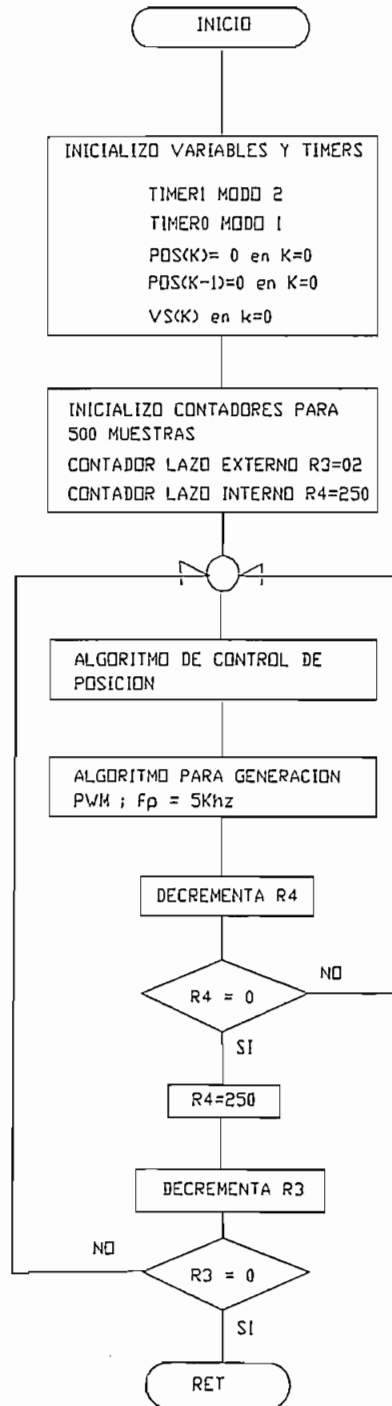


Figura 4-6: DIAGRAMA DE FLUJO PARA LAS RUTINAS: CONTROL\_SEV Y CONTROL\_PD

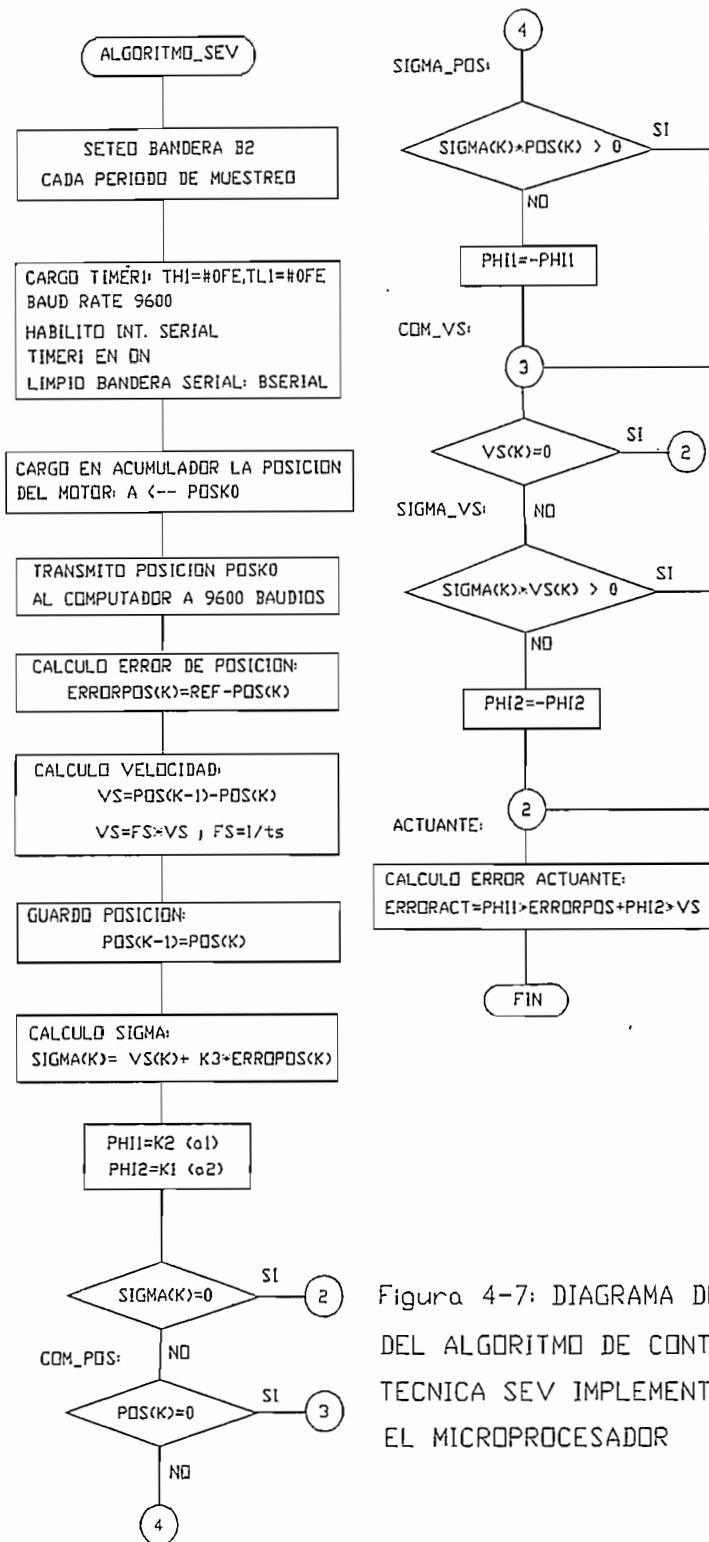


Figura 4-7: DIAGRAMA DE FLUJO DEL ALGORITMO DE CONTROL CON TECNICA SEV IMPLEMENTADO EN EL MICROPROCESADOR

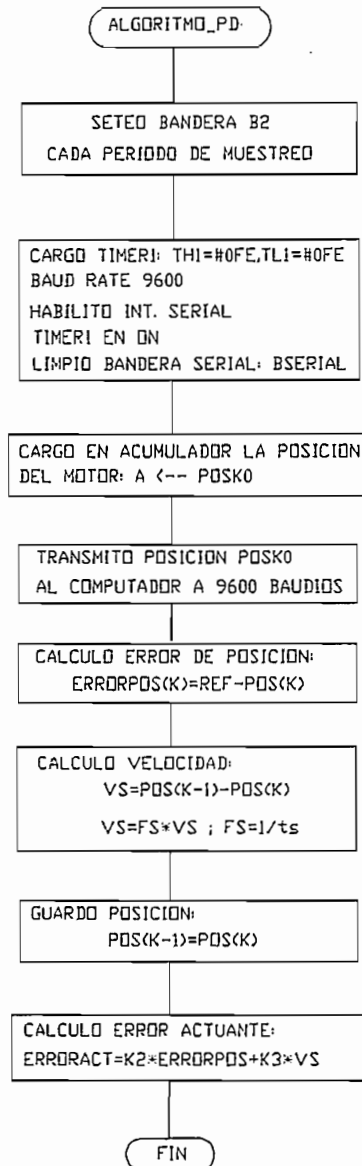


Figura 4-8: DIAGRAMA DE FLUJO DEL ALGORITMO DE CONTROL CON TECNICA PD IMPLEMENTADO EN EL MICROPROCESADOR

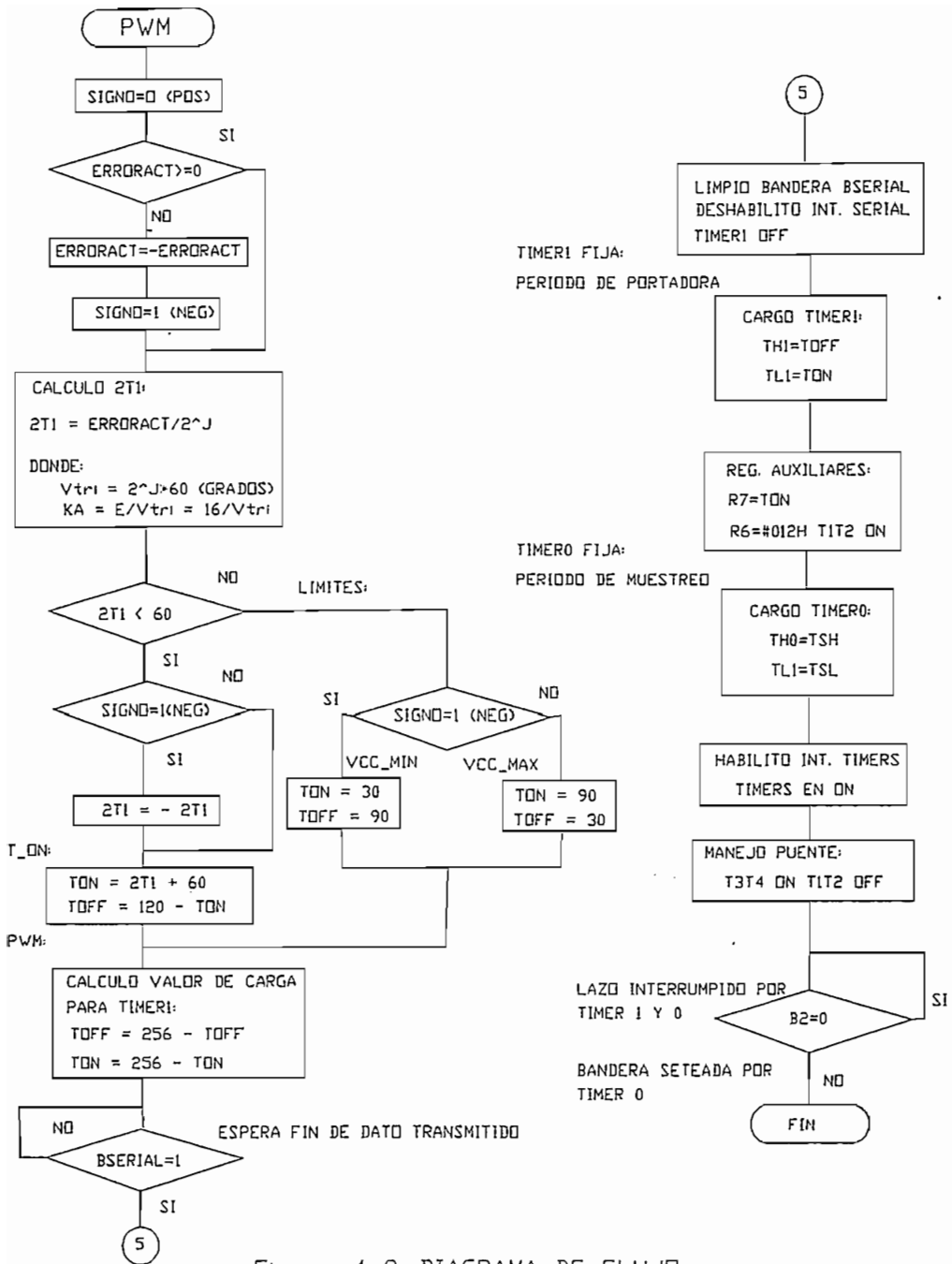


Figura 4-9: DIAGRAMA DE FLUJO DEL ALGORITMO PWM IMPLEMENTADO EN EL MICROPROCESADOR

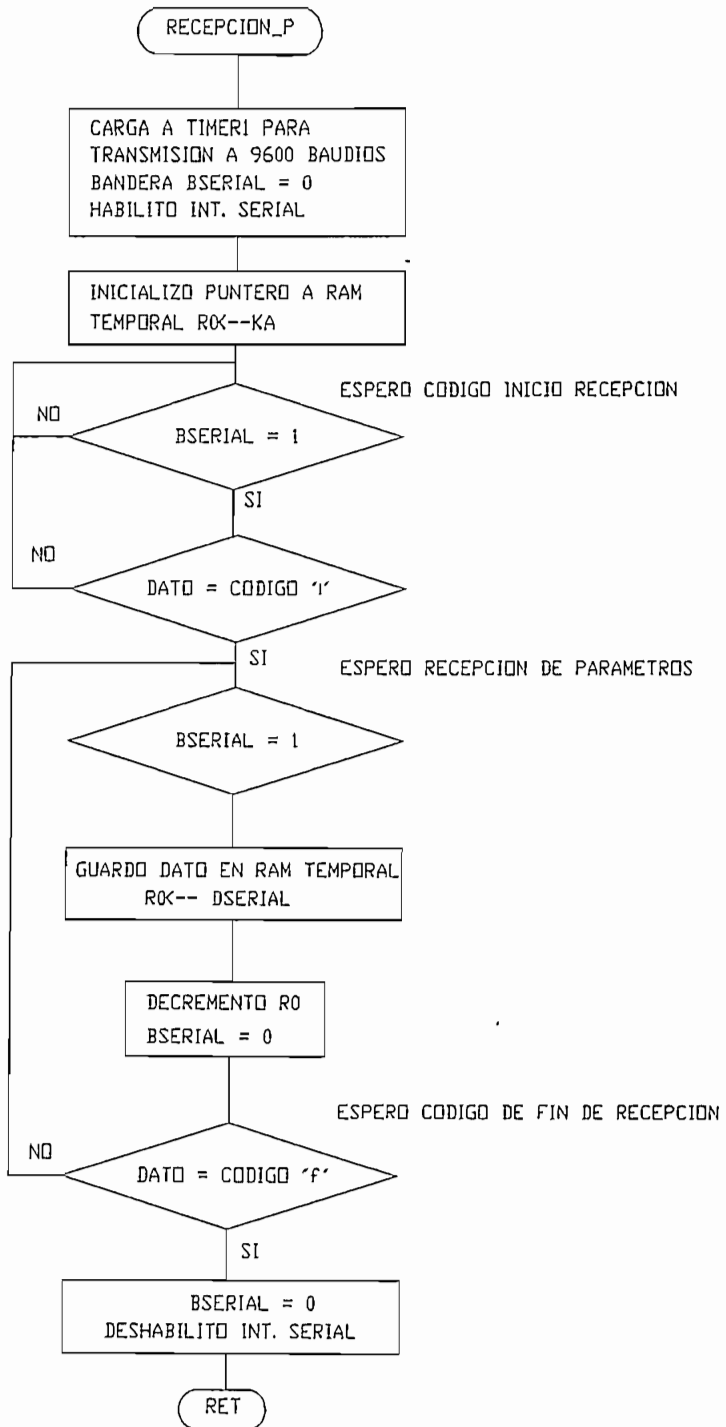


Figura 4-10: DIAGRAMA DE FLUJO DE LA RUTINA RECEPCION\_P

# CAPITULO V

## RESULTADOS EXPERIMENTALES Y CONCLUSIONES

### 5.1 ANALISIS DE LOS RESULTADOS OBTENIDOS: SIMULACION Y EXPERIMENTALES.

Para comprobar la funcionalidad del Sistema Servo Incremental frente a posibles cambios de los parámetros del sistema y de esta manera analizar la respuesta del control de posición en tiempo real del motor de d.c aplicando la técnica de estructura variable, se realizaron distintas pruebas variando para ello los siguientes parámetros:

- a) período de muestreo ( $t_s$ )
- b) ganancia del actuador ( $K_a$ )
- c) relación del reductor ( $N$ ) y
- d) cada una de las constantes del controlador.

Primeramente se pasó a obtener mediante simulación digital una respuesta de posición en el que se tenga el modo deslizamiento cuando los parámetros del sistema sean:

- período de muestreo ( $t_s$ ) = 5ms
- relación del reductor ( $N$ ) = 0.111 ( 1/9 )
- ganancia del actuador ( $K_a$ ) = 0.49 voltios/rad
- entrada escalón (REF) = 900 grados

Utilizando el programa TESIS.EXE las respuestas de la simulación se presentan en las figuras 5-1, 5-2 y 5-3 para la posición, la señal de error actuante y el plano de fase.

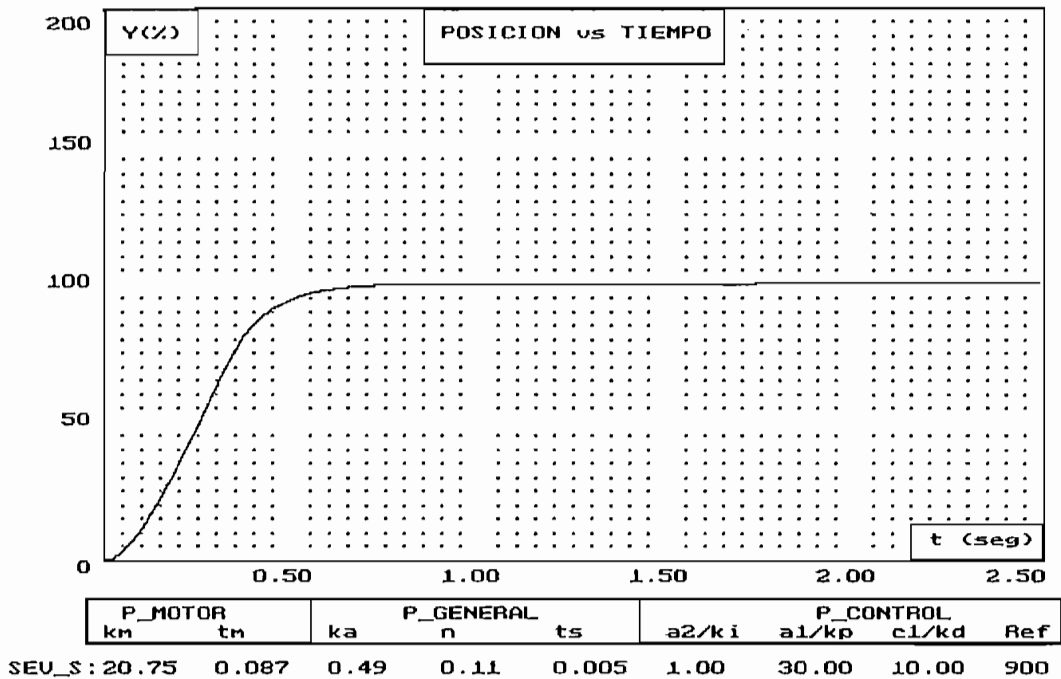


Figura 5-1

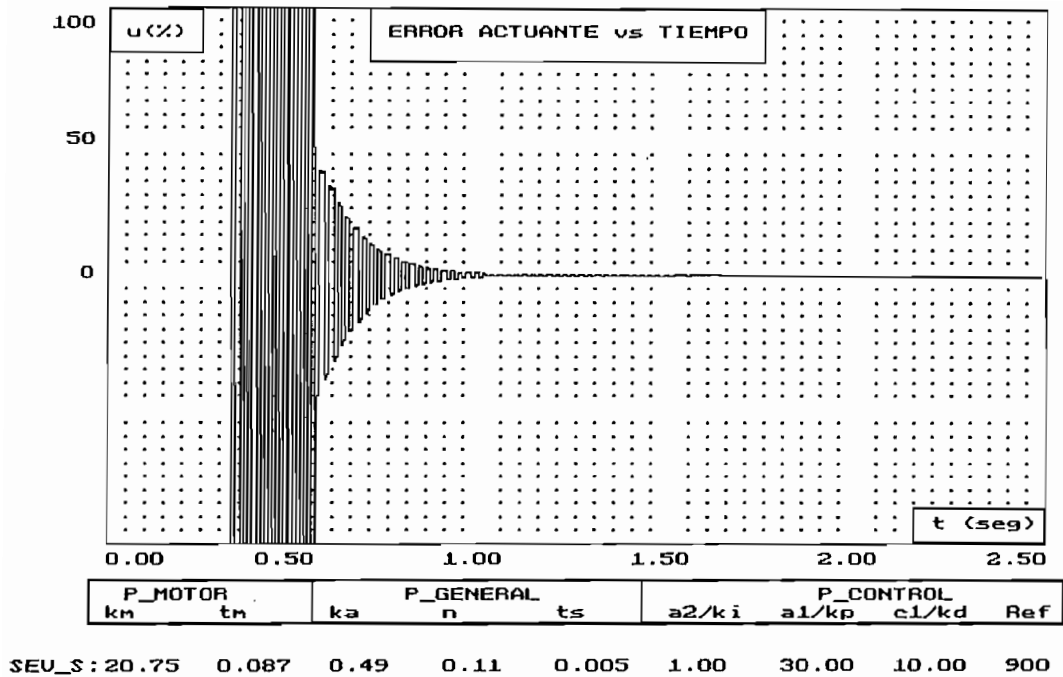


Figura 5-2

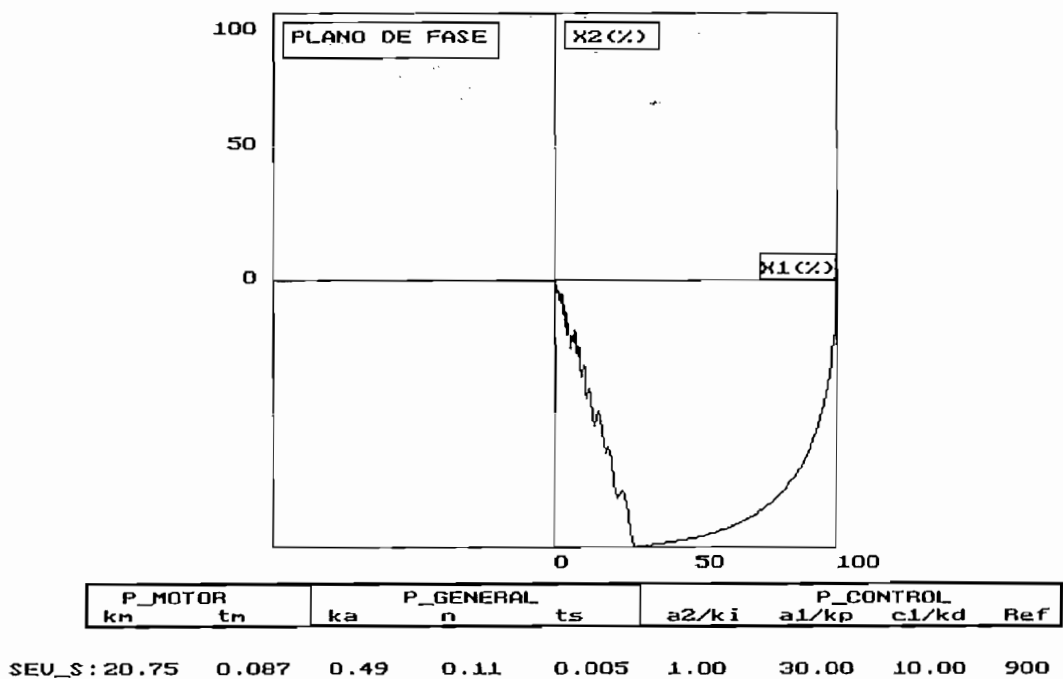


Figura 5-3



La respuesta de posición de la figura 5-1 es sobre amortiguada sin sobre impulso debido a que se tiene una operación en modo deslizamiento en donde el sistema está gobernado por la ecuación de diferencia de primer orden:  $s = cI\varepsilon + \dot{\varepsilon} = 0$ . Esto puede verse claramente en el plano de fase de la figura 5-3 donde el estado del sistema se desplaza a lo largo de una recta cuya pendiente está dada por  $-cI$ . En la figura 5-4 se presentan las respuestas: simulada y experimental para esta misma situación, donde la respuesta real es muy similar a la obtenida por simulación pero presenta un error de posición en estado estable. Esto es explicable ya que en el modelo matemático propuesto para la simulación digital se consideró que todos los elementos del sistema son lineales y se aproximó la función de transferencia del motor d.c a una de primer orden, razón por la que se tiene un *sistema de orden uno* en donde el error de posición en estado estable para una entrada paso es cero.

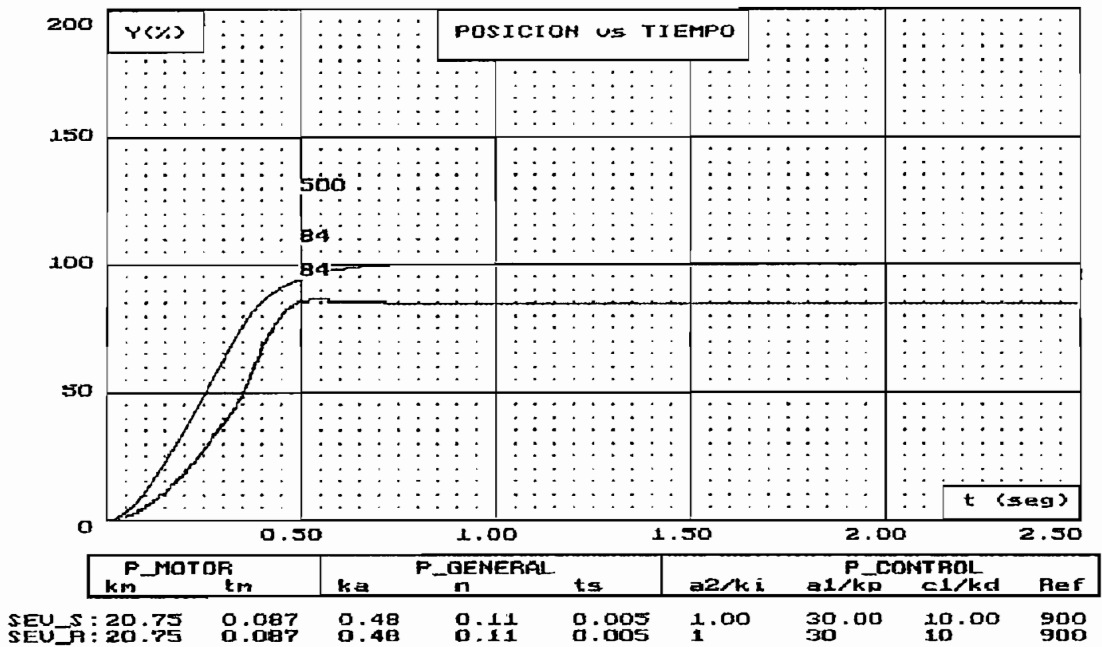


Figura 5-4

Esto no ocurre en el caso real en donde se tienen efectos no lineales presentes en el reductor, en las escobillas del motor, en la saturación del actuador, en el tiempo muerto para la ejecución del algoritmo de control, lo que se refleja en la respuesta real obtenida. A continuación presentamos las respuestas de posición en tiempo real cuando se varía cada una de las constantes SEV para observar su efecto sobre la estabilidad del sistema.

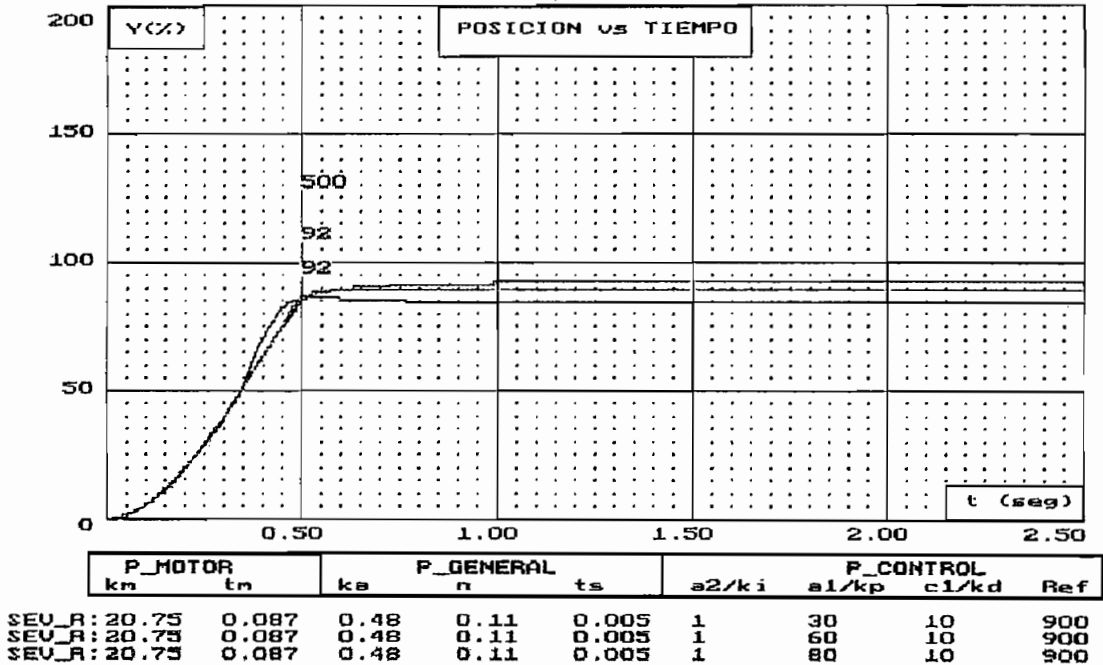


Figura 5-5:  $a_1$  variable,  $a_2$  y  $c_1$  fijos

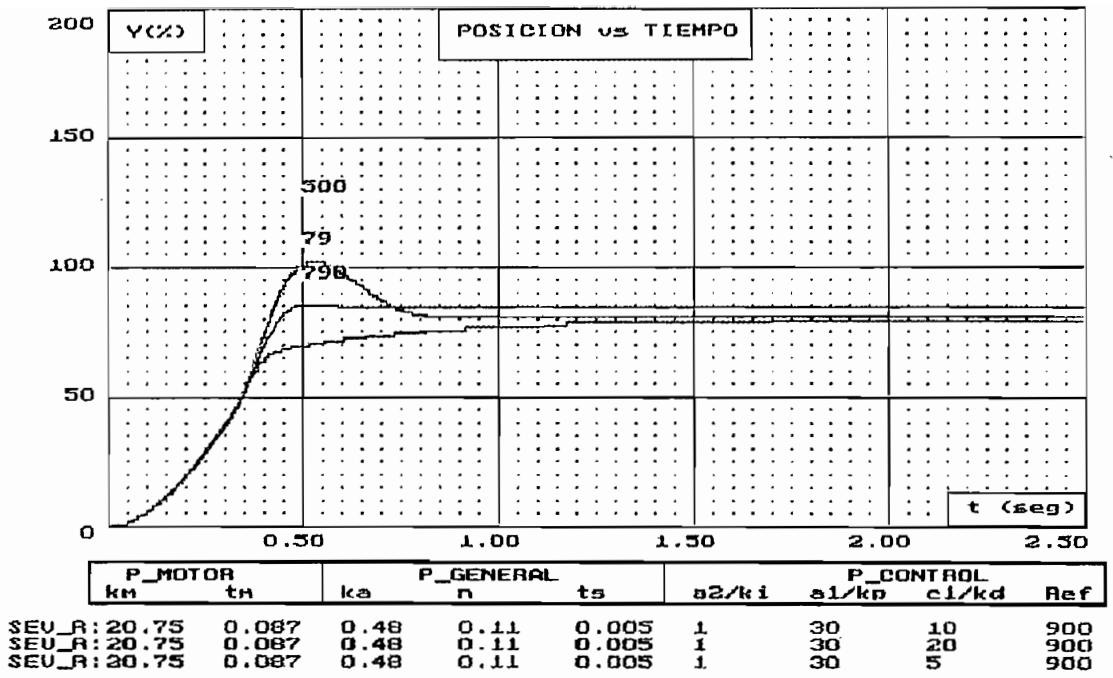


Figura 5-6: c1 variable, a2 y a1 fijos

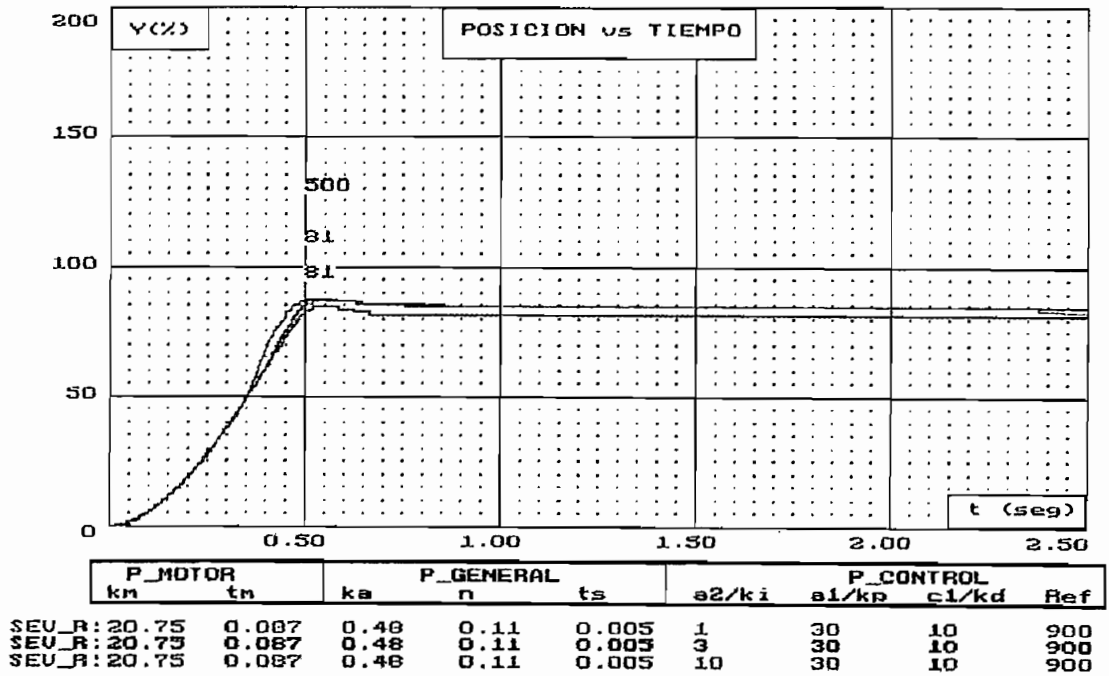
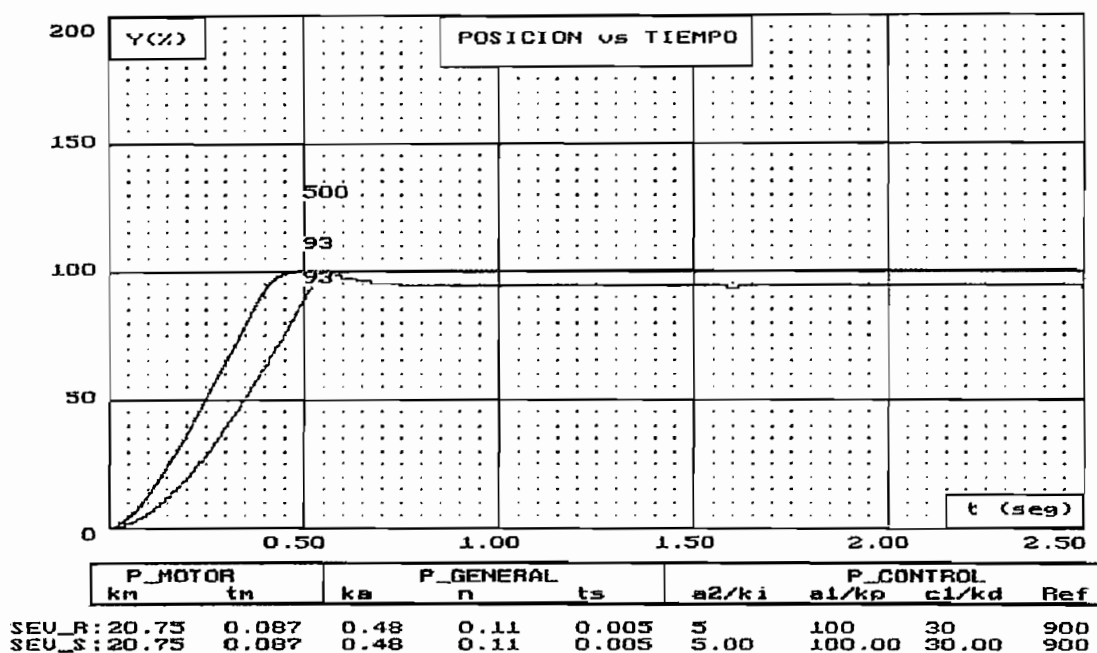


Figura 5-7: a2 variable, a1 y c1 fijos

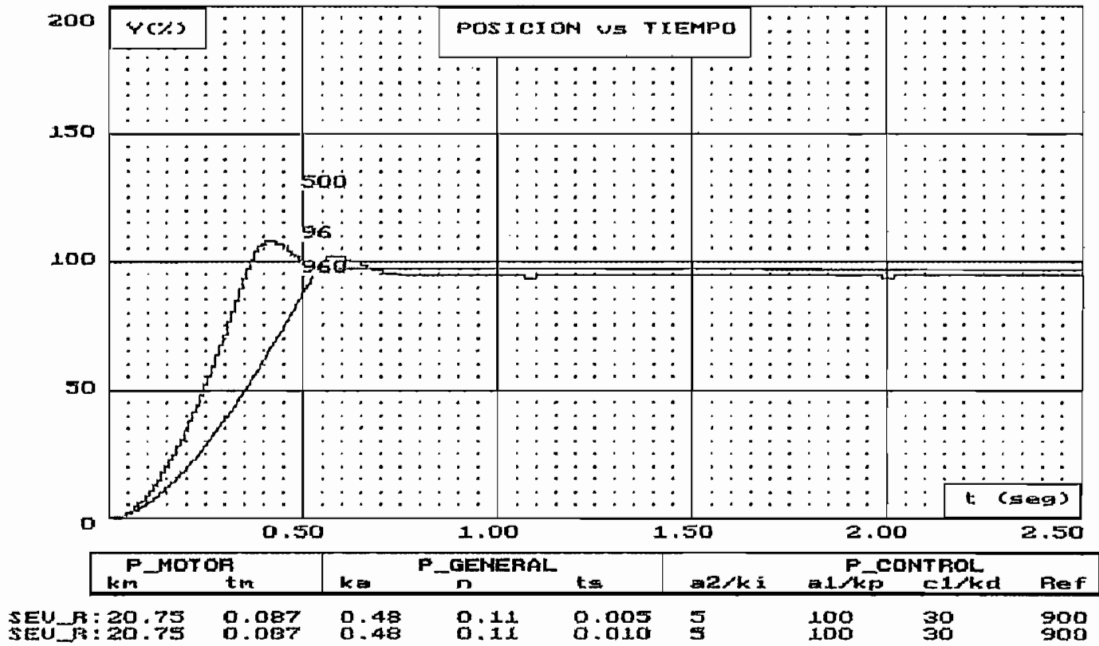
En la figura 5-5 podemos observar que el error en estado estable disminuye a medida que aumenta la ganancia de posición  $a1$  al mantenerse las ganancias  $a2$  y  $c1$  fijos, sin que esta variación afecte la estabilidad de la respuesta de posición, siendo siempre sobre amortiguada. Esto no ocurre al aumentar  $c1$ , en donde se obtiene una respuesta subamortiguada (ver figura 5-6). La variación de la ganancia  $a2$  no tiene mayor incidencia



en la estabilidad de la respuesta como se puede observar en la figura 5-7.

**Figura 5-8**

En la figura 5-8 se presentan las respuestas de posición simulada y real para una entrada paso con nuevos valores de ganancias SEV. Con estos valores se logra reducir significativamente el error en estado estable al 5% aumentando  $a1$  y  $a2$ , con un sobre impulso del 7% y un tiempo de establecimiento de 70 mseg aproximadamente.



**Figura 5-9**

En la figura 5-9 se ve el efecto de variar el período de muestreo sobre la estabilidad de la respuesta de posición en tiempo real cuando los demás parámetros del sistema se mantienen fijos incluyendo las ganancias SEV, se puede observar que el error en estado estable disminuye del 5% al 2.5% aproximadamente, que no existe un mayor efecto sobre el sobre impulso y que el tiempo de establecimiento disminuye de 70 mseg a 55 mseg aproximadamente.

Seguidamente se procede a estudiar el efecto sobre la respuesta de posición para una entrada paso (REF) de 100 grados, cuando la relación del reductor de velocidad (N) es 1. En la relación N=1, el sensor de posición puede medir hasta 255 grados como máximo, razón por lo que se debe tener cuidado para que la amplitud de la entrada paso no exceda este valor ya que producirá una respuesta de posición no deseada.

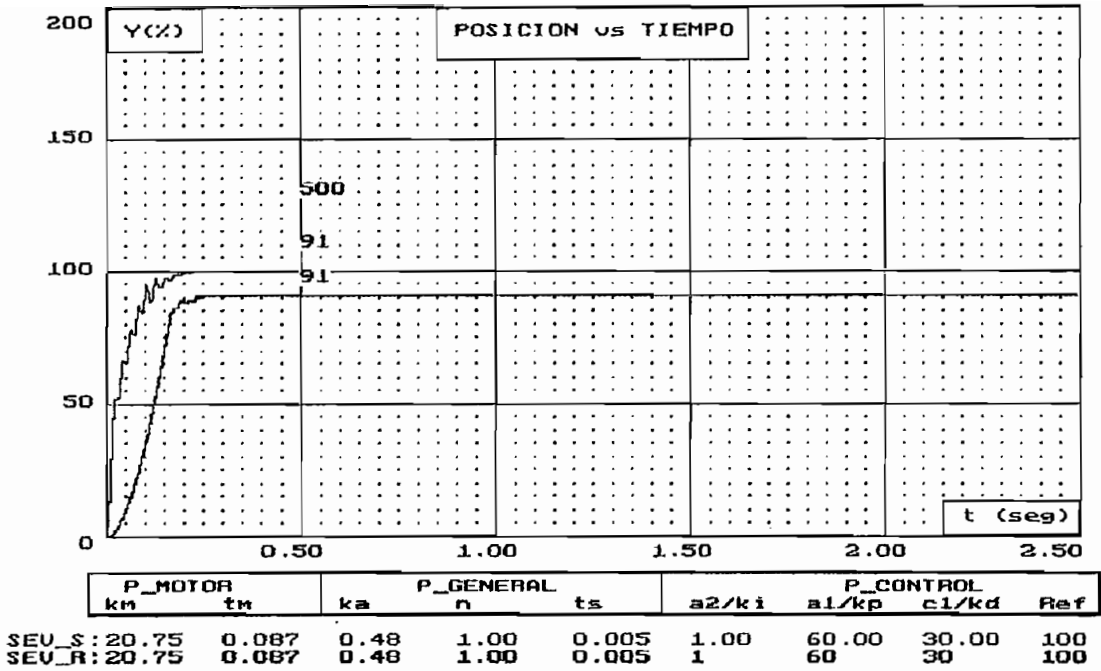


Figura 5-10

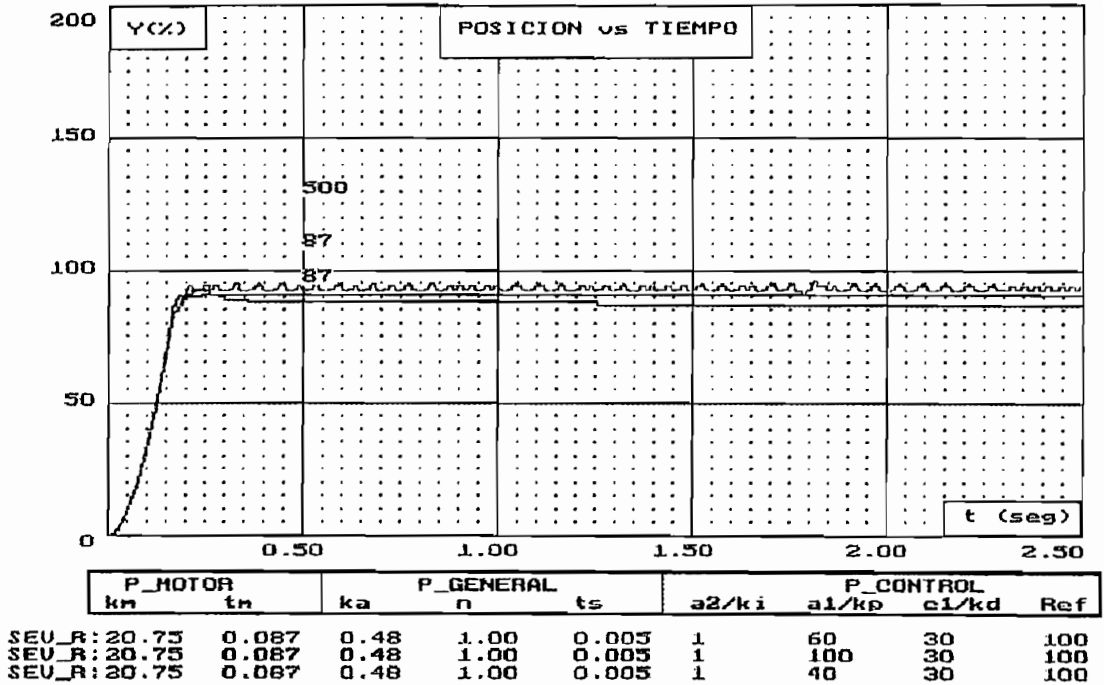


Figura 5-11

Para la relación de reductor  $N=1$ , fue difícil conseguir por medio de la simulación digital valores de ganancias  $a1$ ,  $a2$  y  $c1$  para tener una operación en modo deslizamiento. Los valores de  $a1$ ,  $a2$  y  $c1$  de las figuras 5-10 y 5-11 fueron los más adecuados para conseguir una respuesta de posición en estado estable sobre amortiguada. La respuesta real presenta un error de estado estable con respecto a la simulada como era de esperarse. En la figura 5-11 se presentan las respuestas cuando se aumenta la ganancia de posición  $a1$  con el fin de disminuir el error de posición. En este caso se puede observar que al aumentar  $a1$

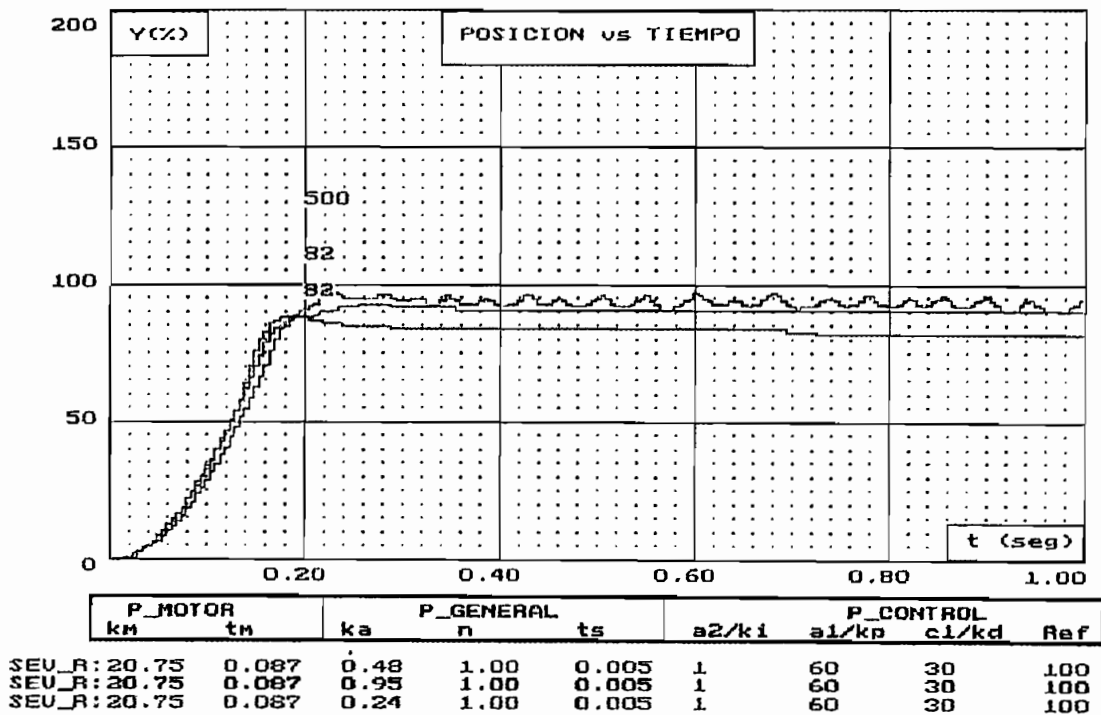


Figura 5-12:  $Ka$  variable;  $a1, a2$  y  $c1$  fijos

aparece una pequeña oscilación alrededor del punto de equilibrio, lo que no se desea en un control de posición. Se observa en la figura 5-12 que al aumentar  $Ka$  disminuye el error en estado estable, al disminuir ocurre lo contrario, esta variación no tiene mayor efecto en el tipo de respuesta que es sobre amortiguada ni sobre el tiempo de establecimiento.

## 5.2 COMPARACION CON OTRAS TECNICAS DE CONTROL

Uno de los métodos de compensación más conocidos dentro de los sistemas de control es la técnica PID y con el fin de tener las mismas condiciones de operación en la comparación con la técnica SEV, se consideró conveniente implementar el control PID en el microprocesador para analizar sus respuestas de posición en tiempo real con las respuestas obtenidas con la técnica SEV, con lo cual se tiene un mejor criterio para diferenciar las ventajas que ofrece el control basado en los sistemas de estructura variable.

Una de las condiciones impuestas para la implementación de los algoritmos de control en el microprocesador, era en tener un tiempo de ejecución del cálculo de la acción de control lo más pequeño posible en relación al mínimo tiempo de muestreo de 5 mseg, por esta razón no se consideró la acción integral ( $KI=0$ ), para evitar la utilización de una rutina de división que toma un tiempo relativamente grande durante el cálculo. Se creyó conveniente solo implementar el controlador proporcional-derivativo (PD), con el cual se puede obtener una respuesta con un tiempo de subida rápido y un sobre impulso insignificante con una selección apropiada de las constantes  $KP$  y  $KD$ .

Al igual que en el numeral 5.1, se procedió a obtener la respuesta de posición para:

$$K_a = 0.48 \text{ voltios/rad}$$

$$N = 0.111 (1/9)$$

$$t_s = 5 \text{ mseg}$$

$$REF = 900 \text{ grados}$$



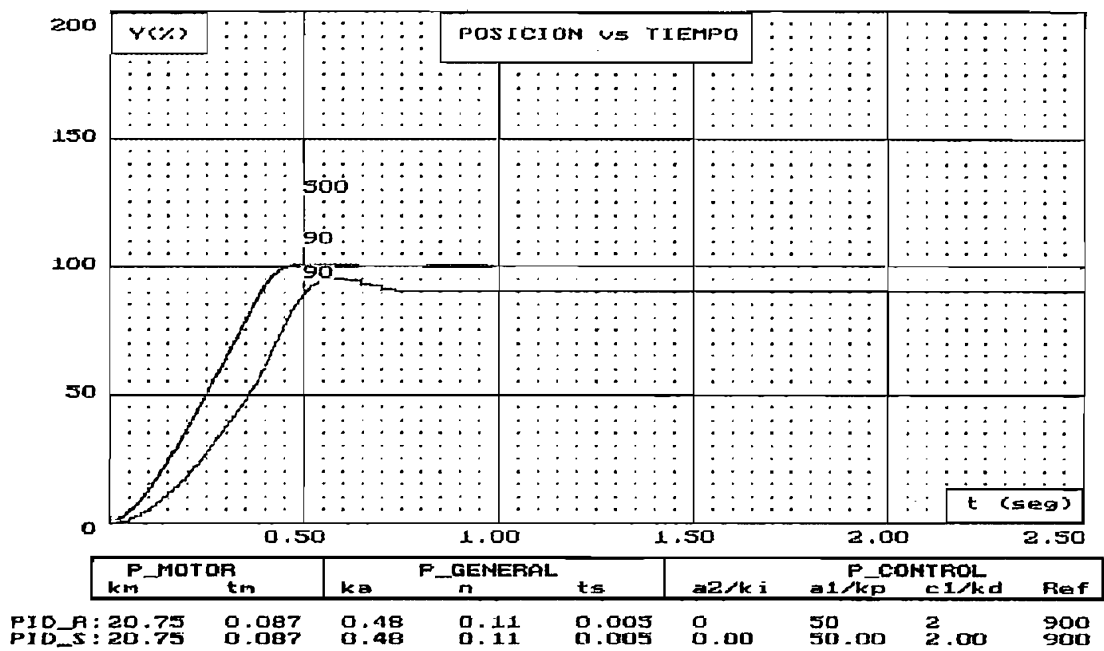


Figura 5-13

Con los valores de  $k_p = 50$  y  $k_d = 2$ , se obtiene una buena respuesta de posición en tiempo real, la cual es muy parecida a la simulada como puede observarse en la figura 5-13, donde se tiene un error de estado estable del 10%, un sobre impulso del 5% y un tiempo de establecimiento de 75 mseg . En la figura 5-14 se muestra como varía la respuesta de posición cuando se cambian los valores de  $k_p$  y  $k_d$ . Cuando aumenta  $k_p$  se disminuye el error en estado estable pero se pierde estabilidad ya que el sobre impulso aumenta. Esto se contraresta con la constante  $k_d$ , la cual debe disminuir conforme se aumenta  $k_p$ . En la figura 5-15 se muestra el efecto de variar el período de muestreo, donde se tiene que el error en estado estable disminuye al 5%, el sobre impulso aumenta al 10% y el tiempo de establecimiento disminuye a 65 mseg.

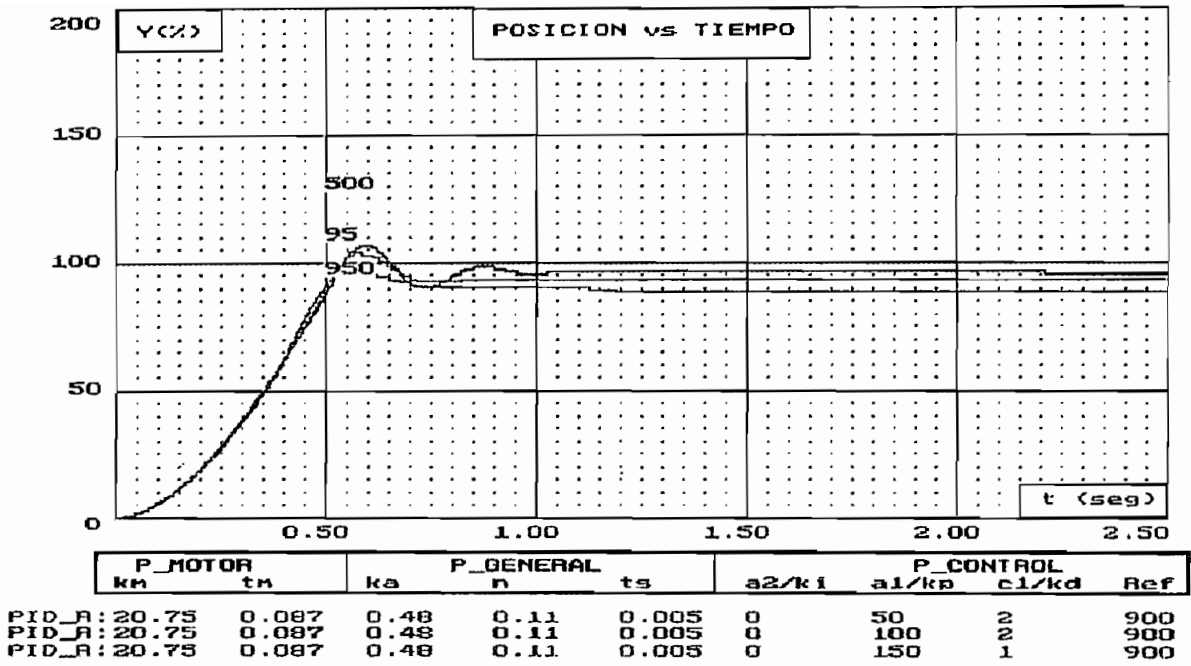


Figura 5-14

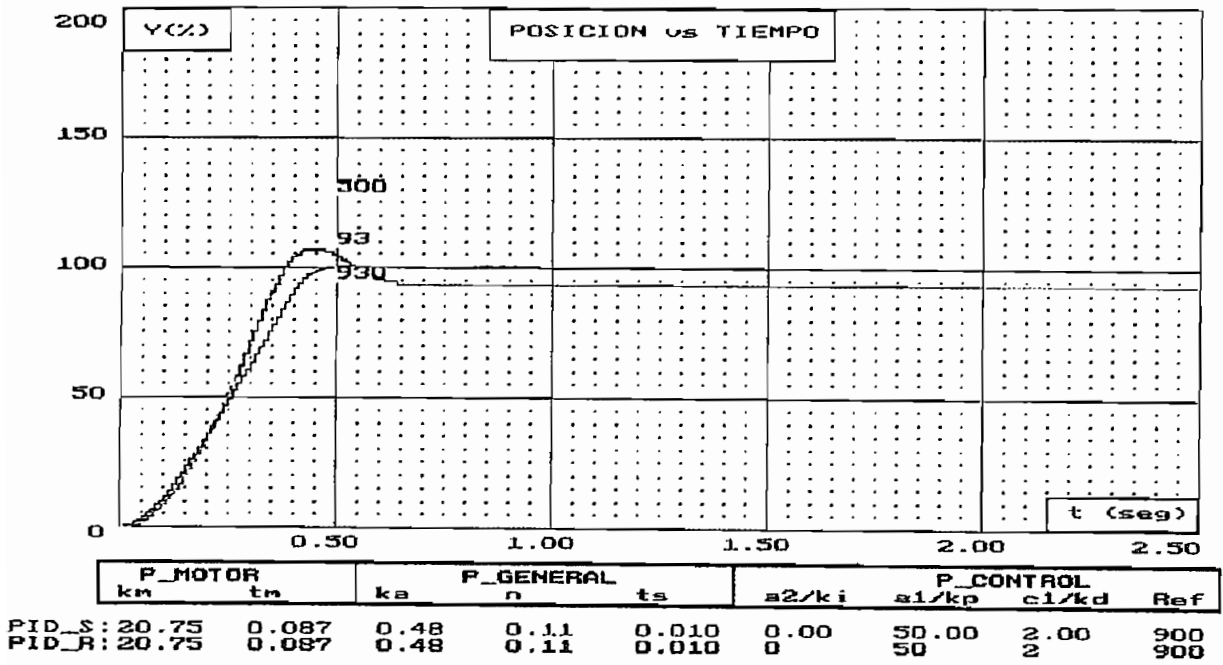


Figura 5-15

97

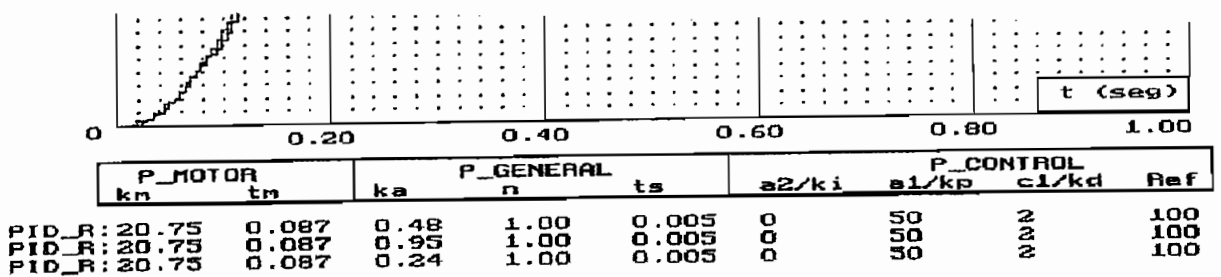


Figura 5-17

Las figuras 5-16 y 5-17 muestran las respuestas de posición para cuando la relación del reductor es 1. En la figura 5-16 se tiene una respuesta sobre amortiguada con un error del 10%, con un tiempo de establecimiento de 40 mseg. En la figura 5-17 se puede comprobar el efecto de variar la ganancia del actuador, la misma que afecta al error de posición el cual disminuye al aumentar  $K_a$  teniéndose siempre una respuesta sobre amortiguada.

### 5.3 DISCUSION

En la presente tesis el análisis del sistema servo incremental se lo hizo en el dominio del tiempo, en donde las características del sistema están representadas por las respuestas transitorias y de estado estable cuando se aplica la función paso escalón, por lo que se usan los conceptos de porcentaje de sobrepaso, tiempo de subida y tiempo de establecimiento para evaluar el desempeño del sistema. Como es un método de tanteo y ajuste de parámetros, para facilitar el análisis, se estableció un modelo matemático del sistema con el fin de realizar la simulación digital del control de posición para determinados valores de las ganancias del compensador y de esta manera tener una idea clara del tipo de respuesta que se iba a obtener experimentalmente.

Se pretendió la comparación de los resultados experimentales obtenidos mediante el método de control de estructura variable con aquellos desarrollados en tesis anteriores, lo cual no fue posible porque no existen las mismas condiciones de trabajo, principalmente porque en el sistema servo incremental el control digital lo realiza un microprocesador con una frecuencia de cristal de 7.372818 MHz, por lo que el tiempo de ejecución del algoritmo es de 0.9 mseg, obteniéndose tiempos de muestreo mucho más pequeños que los de otras tesis

donde se realiza control digital. Por esta razón se creyó conveniente implementar adicionalmente el algoritmo de control PD para tener un mejor parámetro de comparación para concluir las ventajas que puede ofrecer el control con técnica SEV..

#### 5.4 CONCLUSIONES Y RECOMENDACIONES

- Se puede concluir a partir de las figuras del numeral 5.1, que con la implementación de la técnica de estructura variable en el sistema servo incremental se puede obtener un sistema con una alta velocidad de repuesta, una buena precisión de estado estable y un bajo sobre impulso para ciertas especificaciones de funcionamiento. Además si las constantes  $a1$ ,  $a2$  y  $c1$  se escogen de tal manera que tengamos una operación en el modo deslizamiento donde el movimiento es descrito por la ecuación de primer orden  $\dot{\epsilon} + c1\epsilon = 0$ , la respuesta no tendrá sobre impulso, es decir será sobre amortiguada.

- Las ganancias  $a1$  y  $a2$  pueden ser muy grandes para los sistemas de estructura variable con el propósito de disminuir el error en estado estable, sin que esto afecte la estabilidad del sistema. Un valor grande de  $c1$  hace que la respuesta sea más rápida, pero conforma aumenta la respuesta tiende a ser subamortiguada con un aumento del sobre impulso.

- La variación del período de muestreo ( $ts$ ) y de la ganancia del actuador ( $Ka$ ) en el control de posición en base a los sistemas de estructura variable tiene mayor incidencia en el error de estado estable, el cual disminuye conforme los dos parámetros antes mencionados aumentan.

LOS RESULTADOS OBTENIDOS DE LA EXPERIENCIA, COMO ASÍ MISMA EN EL CONTROL en tiempo real con la utilización de un microprocesador. Como los sistemas de estructura variable presentan la característica de ser invariantes en el tiempo, se recomienda completar el estudio en esta característica para analizar las ventajas en tener un control de tipo adaptivo.

## REFERENCIAS

- [1] Jorge Bastidas Castro, "Estudio teórico experimental de un servomecanismo de velocidad y posición", Tesis de Grado, Escuela Politécnica Nacional, Quito, 1981.
- [2] Motomatic, Servo Control Course Manual, Electro-Craft Corporation, 1971.
- [3] Motomatic Control System Laboratory, Electro-Craft Corporation, 1968.
- [4] Rafael O. Fierro Brito, "Control remoto de un motor", Tesis de Grado, Escuela Politécnica Nacional, Quito, 1987.
- [5] Lucía Isabel Soto Aymar, "Control lineal con microprocesador para el Servomecanismo Motomatic MCSL-100", Tesis de Grado, Escuela Politécnica Nacional, Quito, 1986.
- [6] Marco A. Copo Córdova, "Diseño y construcción de un inversor monofásico tipo puente controlado mediante microprocesador con técnicas de modulación senoidal PWM de dos y tres niveles", Tesis de Grado, Escuela Politécnica Nacional, Quito, 1993.

## BIBLIOGRAFIA

- Vadim I. Utkin, "Variable structure systems with sliding modes", IEEE Trans. Auto. Cont. , vol. AC-22, no. 2, pp 212-222, Apr. 1977.
- N. N. Bengiamin and B. Kauffmann, "Variable structure posicion control", IEEE, Control systems magazine, pp 3-8, August 1984.
- Shih-Chang Lin and Song-Jau Tsai, "A microprocessor-based incremental servo system with variable structure", IEEE Trans. on industrial electronics, vol IE-31, no. 4, pp 313-316, Nov. 1984.
- Julio Alberto Idrovo Andrade, "Análisis de sistemas de segundo orden en el plano de fase", Tesis de Grado, Escuela Politécnica Nacional, Quito, 1984.
- Patricio Raúl Fustillos Proaño, "Algoritmos para control digital directo", Tesis de Grado, Escuela Politécnica Nacional, Quito, 1994.
- Ester Julia Hernández Arias, "Programa de entrenamiento para ajuste de reguladores PID en procesos industriales", Tesis de Grado, Escuela Politécnica Nacional, Quito, 1994.
- Benjamin C. Kuo, "Sistemas automáticos de control", Compañía Editorial Continental S.A., Segunda edición, 1991.

- Herbert Schildt, "Turbo C/C++ 3.1: Manual de referencia", Editorial Osborne/MacGraw-Hill, Segunda edición, 1994.
- Ben Ezzell, "Programación de gráficos en Turbo C++", Editorial Addison-Wesley/Diaz de Santos, 1993.

# **ANEXOS**



# **ANEXO 1**

Equipo y tarjetas electrónicas

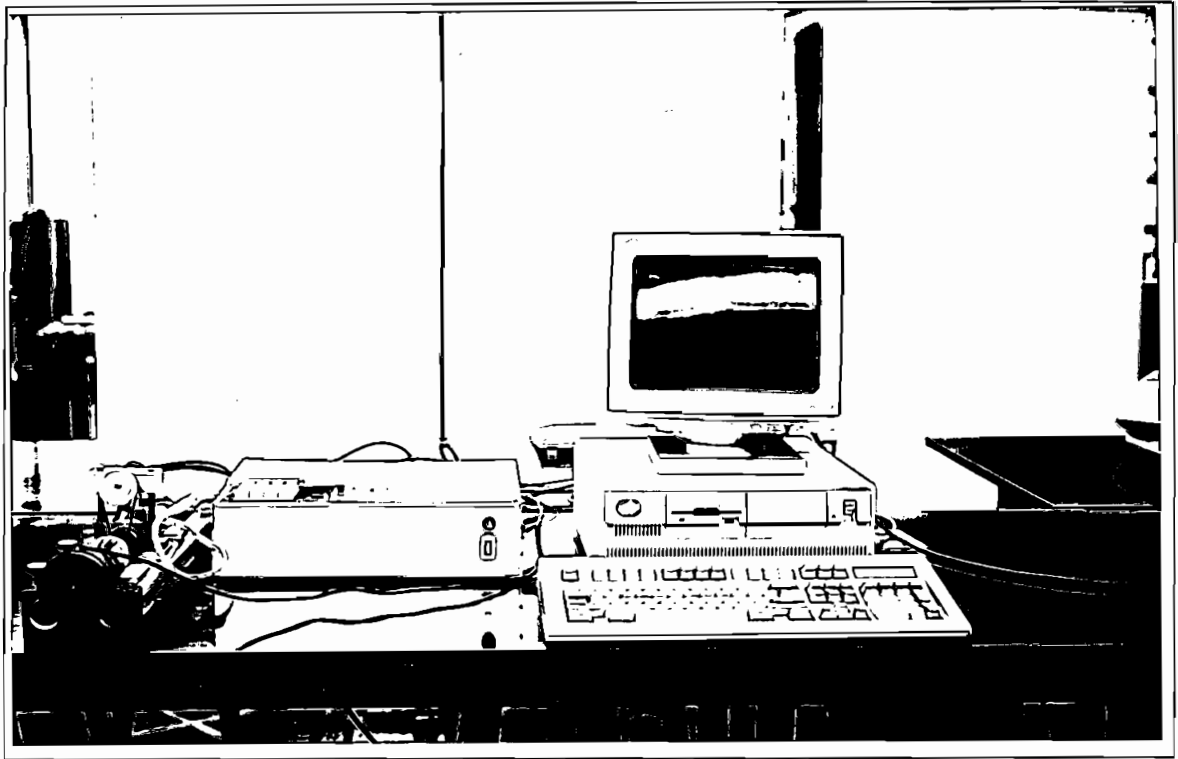


Foto No. 1

Vista general del Sistema Servo Incremental Basado en Microprocesador, constan en la foto: el motor d.c junto con el reductor de velocidad y el sensor de posición, el módulo didáctico y un computador personal. Las dimensiones del módulo didáctico construido son: 400x300x100 mm.

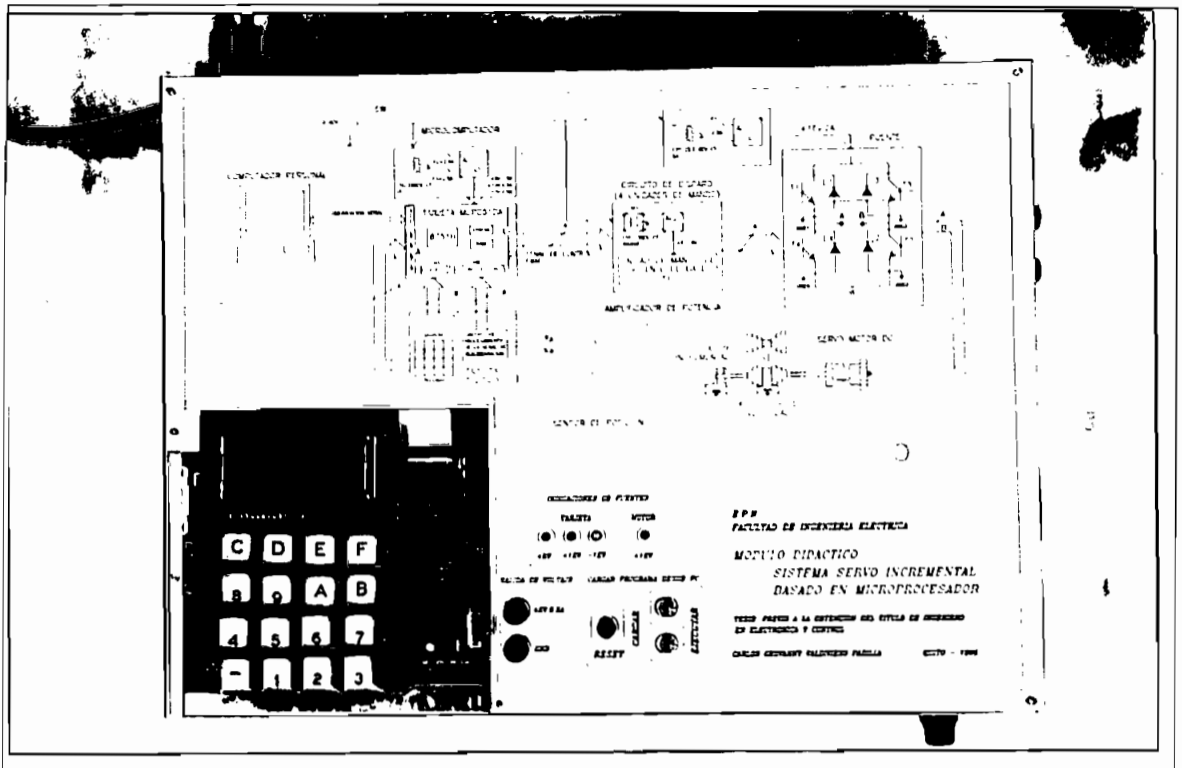


Foto No. 2: Vista superior - Panel de presentación del módulo didáctico

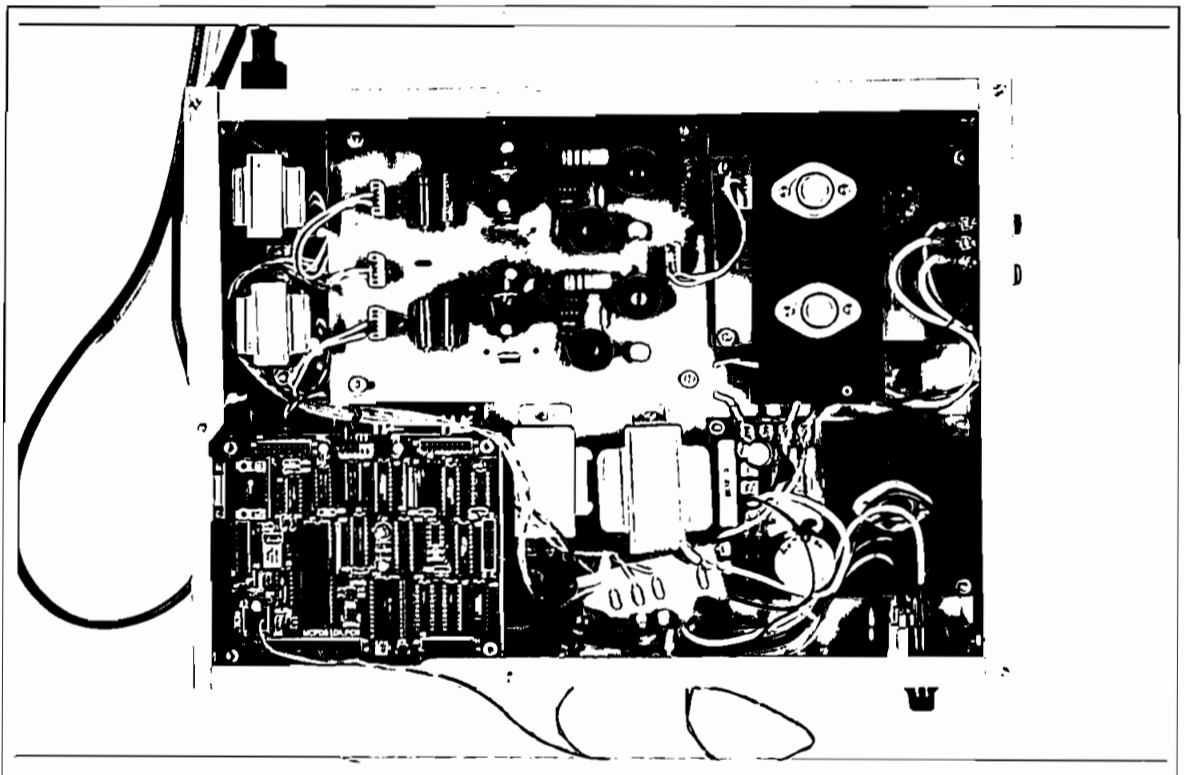


Foto No. 3: Vista superior - Montaje del módulo didáctico

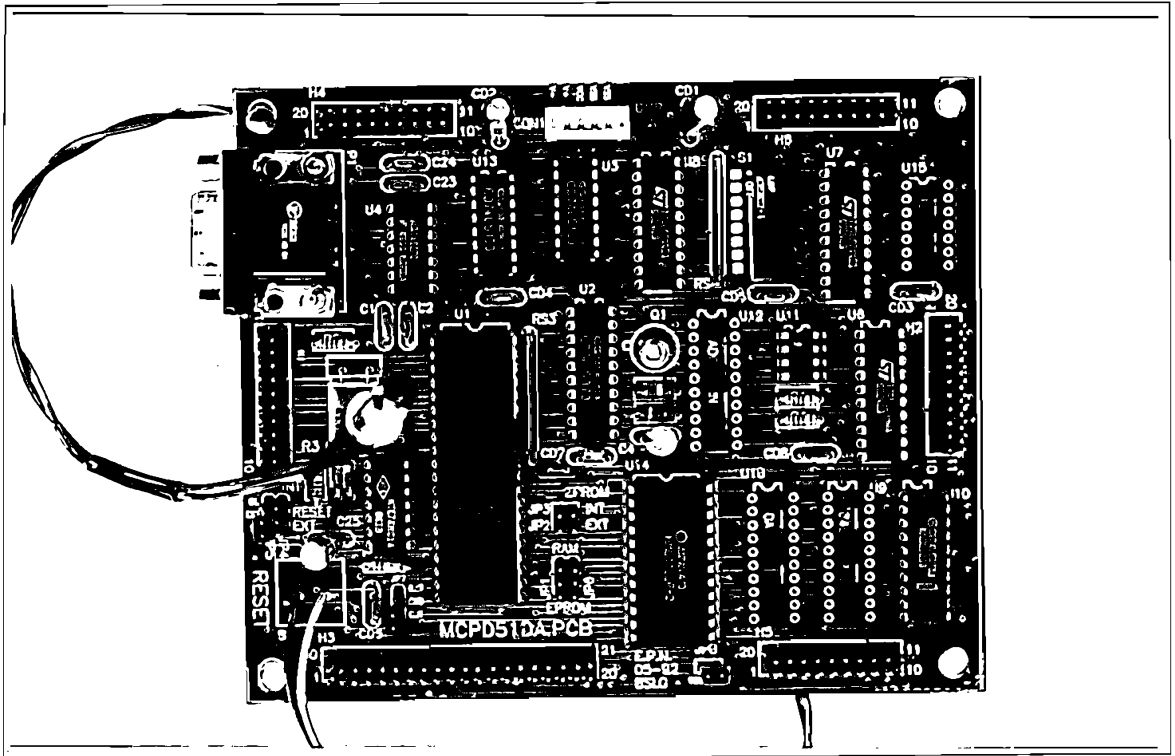


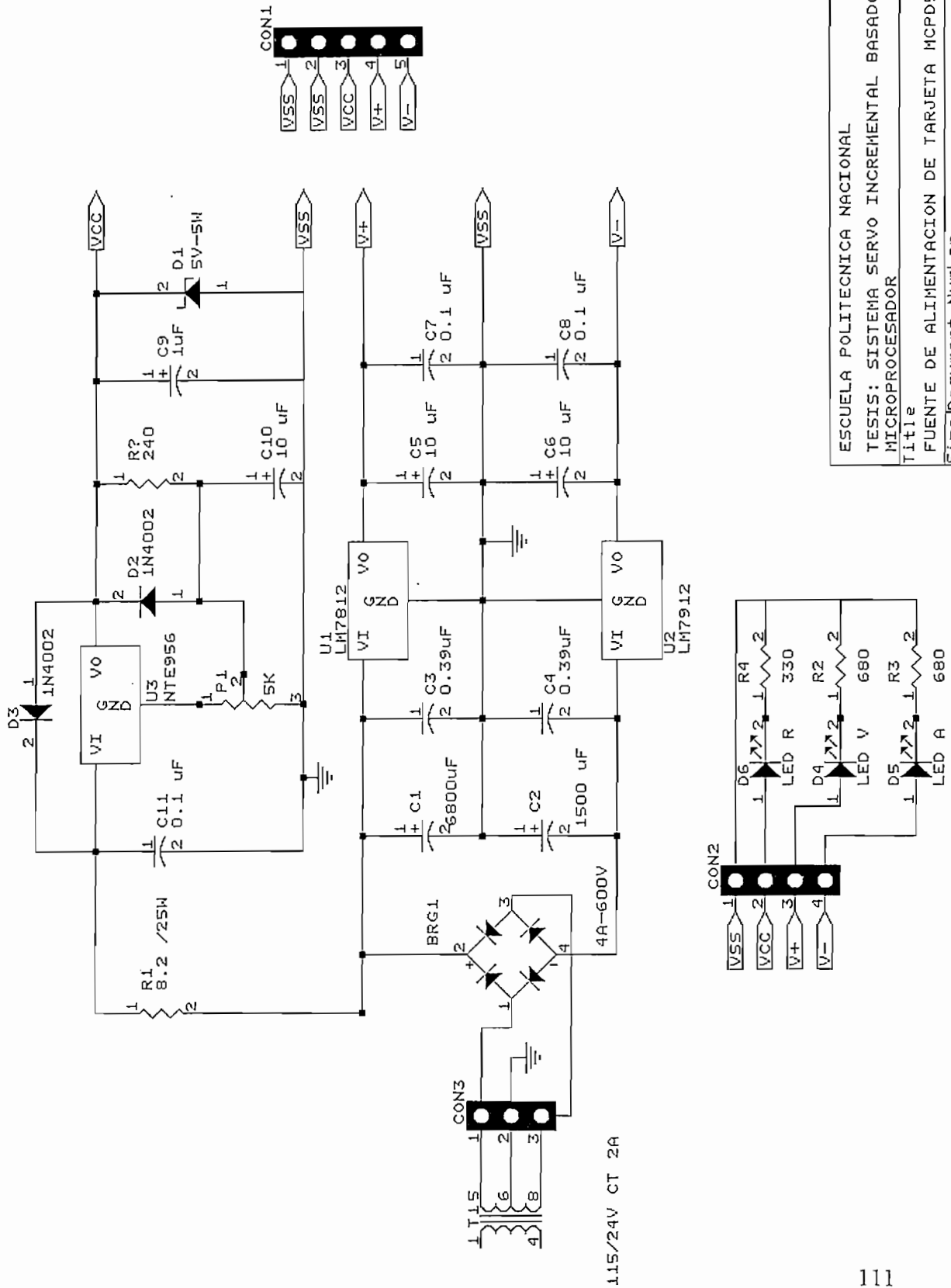
Foto No. 4

Tarjeta MCPD51DA



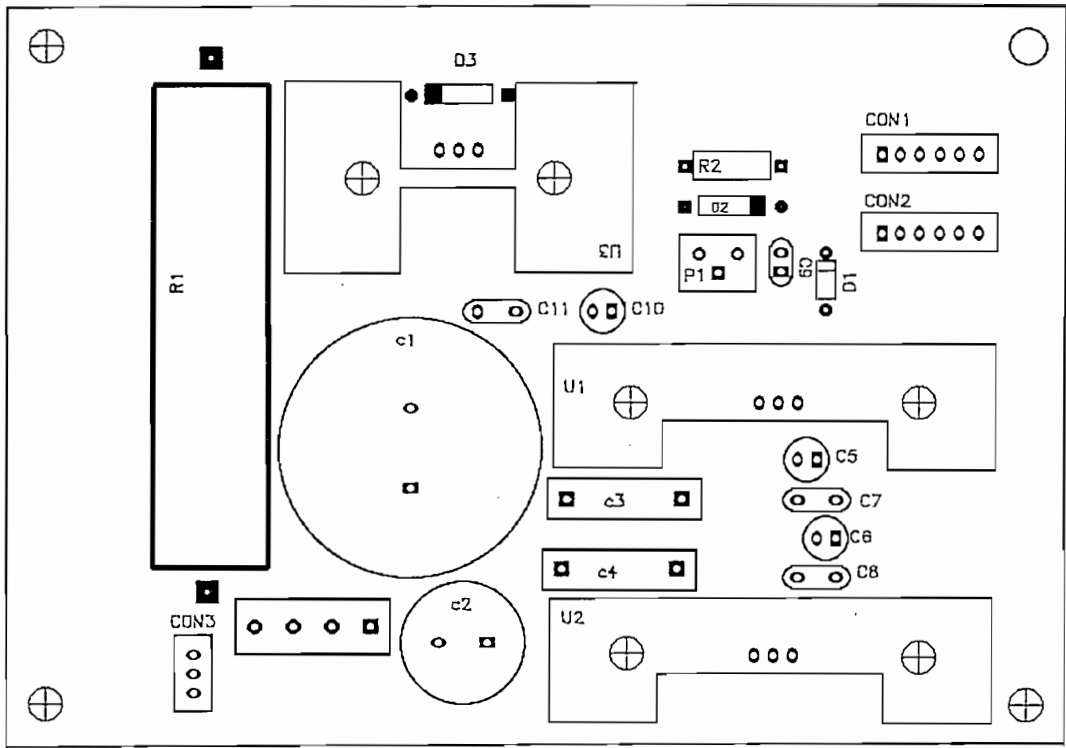
Foto No. 5

Tarjeta Fuente-1: Fuente de alimentación de la tarjeta MCPD51DA

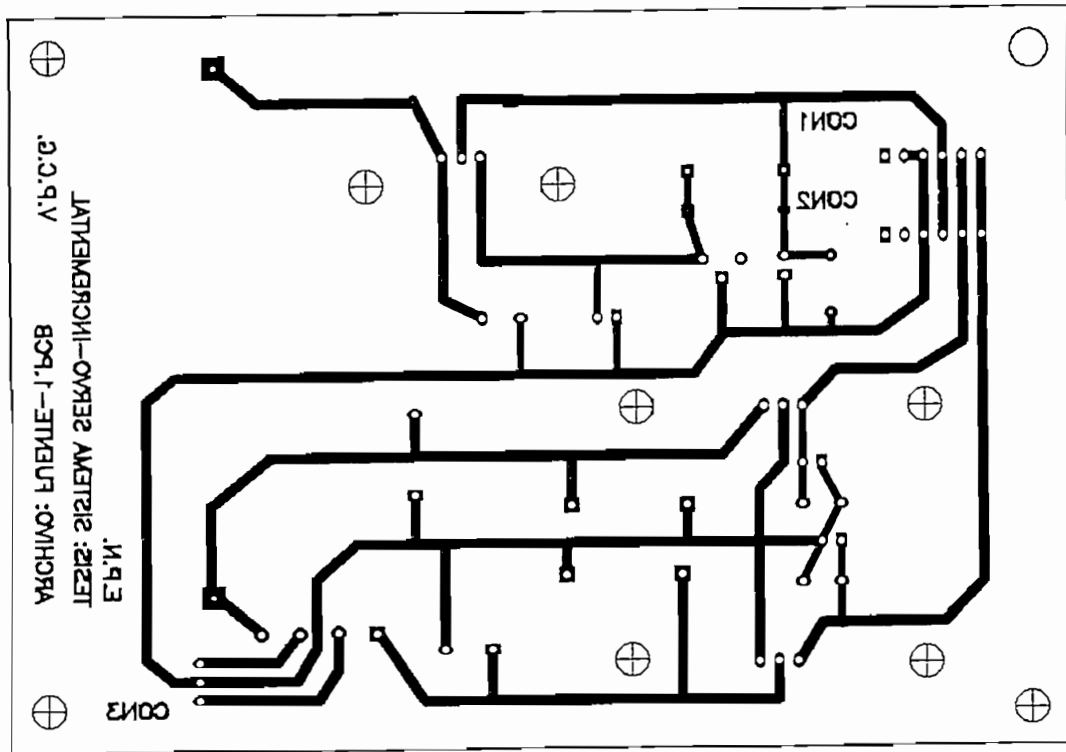


1.15/24V CT 2A

ESCUOLA POLITECNICA NACIONAL	
TESIS: SISTEMA SERVO INCREMENTAL BASADO EN MICROPROCESADOR	
Title	
FUENTE DE ALIMENTACION DE TARJETA MCPDS1DA	REV
Size Document Number	CV
A	ARCHIVO FUENTE-1.SCH
Date: July 8, 1996	Sheet 1 of 5



(a)



(b)

Figura 1: Tarjeta impresa Fuente-1, (a) lado de elementos y (b) lado de soldadura

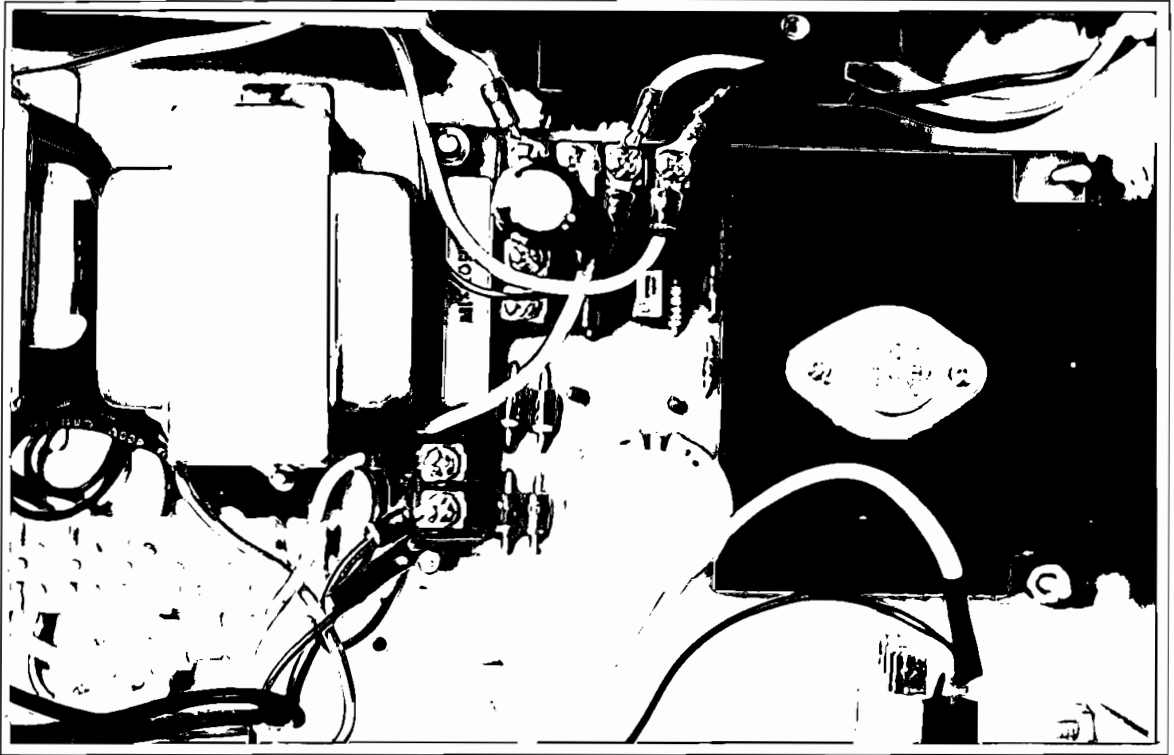
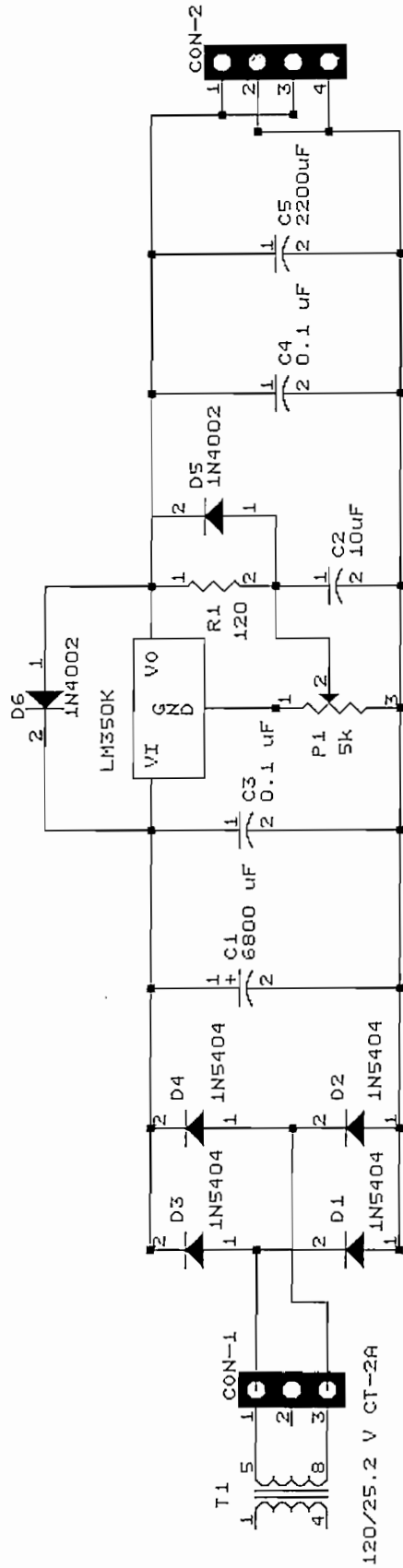


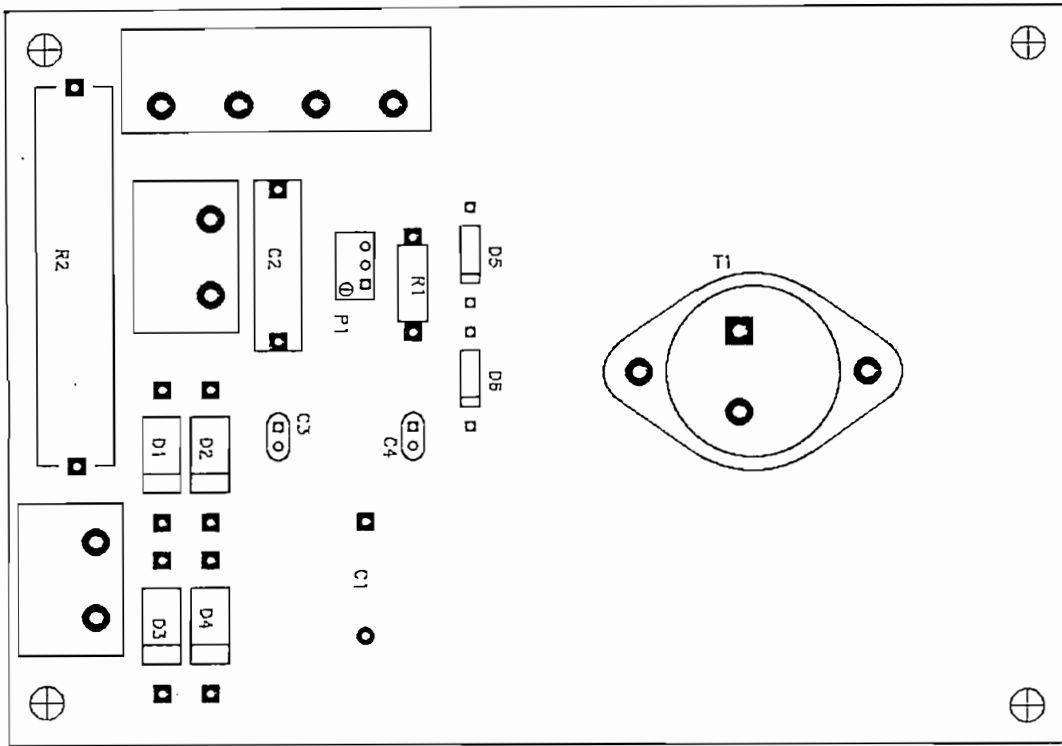
Foto No. 6

Tarjeta Fuente-2: Fuente de alimentación del motor d.c

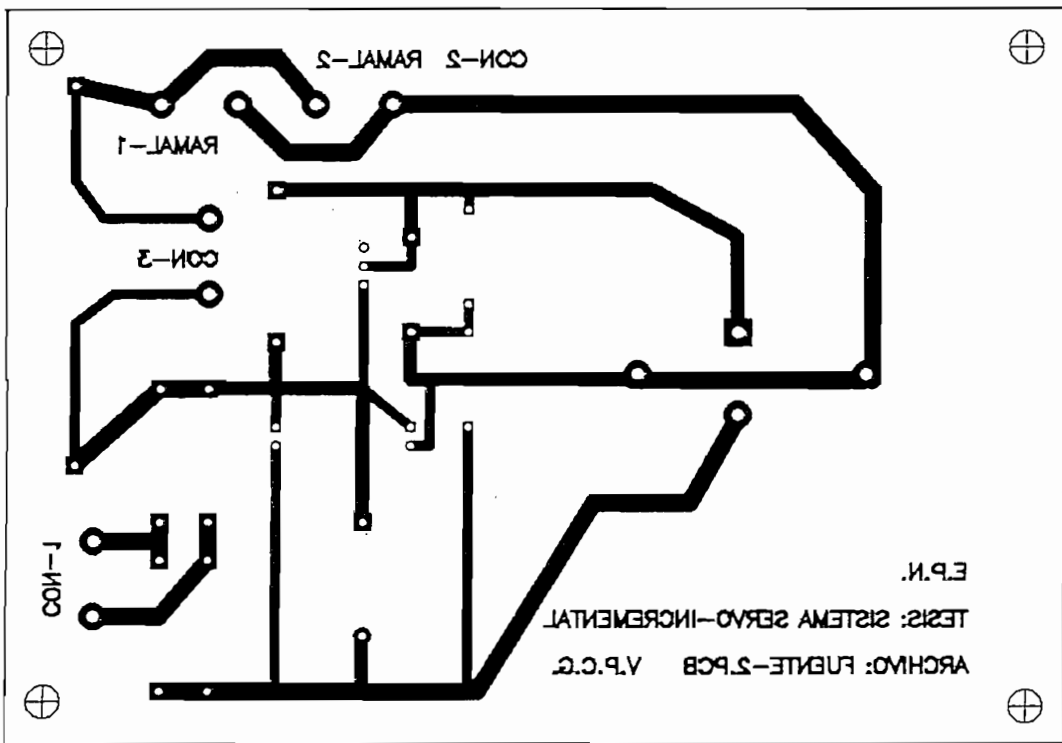




ESCUELA POLITECNICA NACIONAL	
TESIS: SISTEMA SERVO INCREMENTAL BASADO EN MICROPROCESADOR	
Title	FUENTE DE ALIMENTACION DEL MOTOR DC
Size	Document Number
REV	A
CV	ARCHIVO FUENTE-2.SCH
Date:	July 8, 1996
Sheet	2 of 5



(a)



(b)

Figura 2: Tarjeta impresa Fuente-2, (a) lado de elementos y (b) lado de soldadura

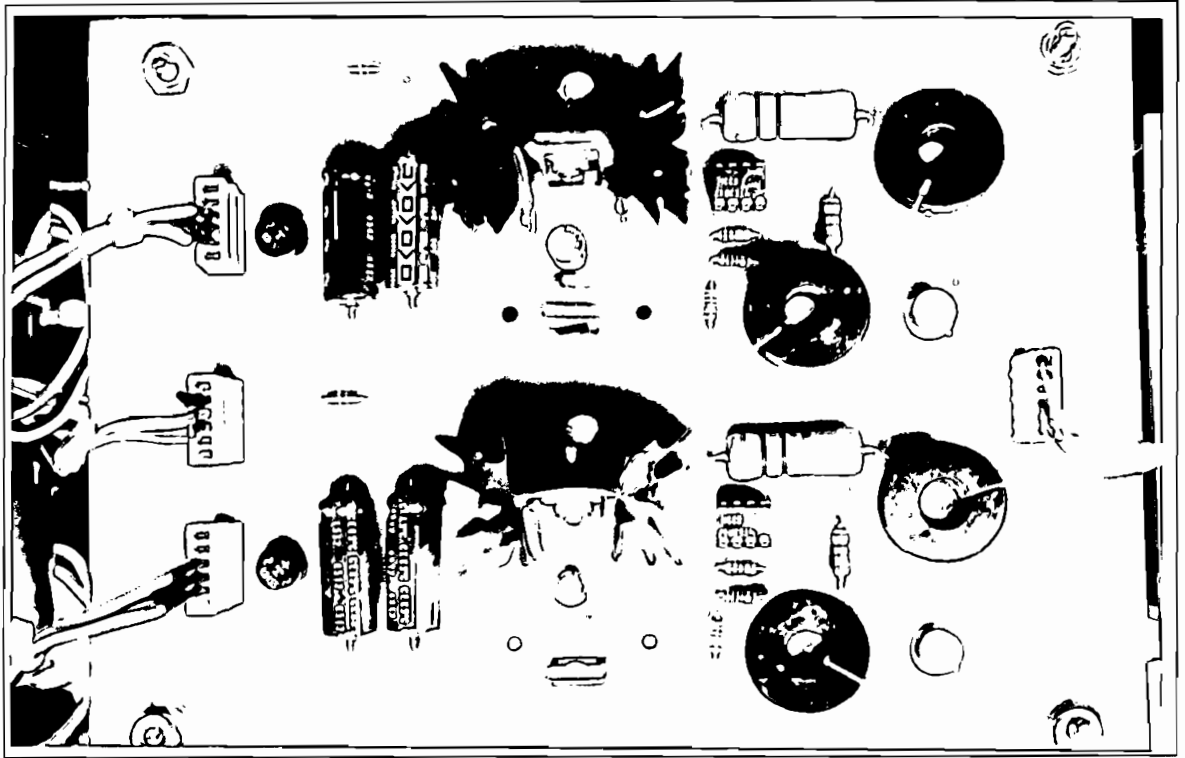
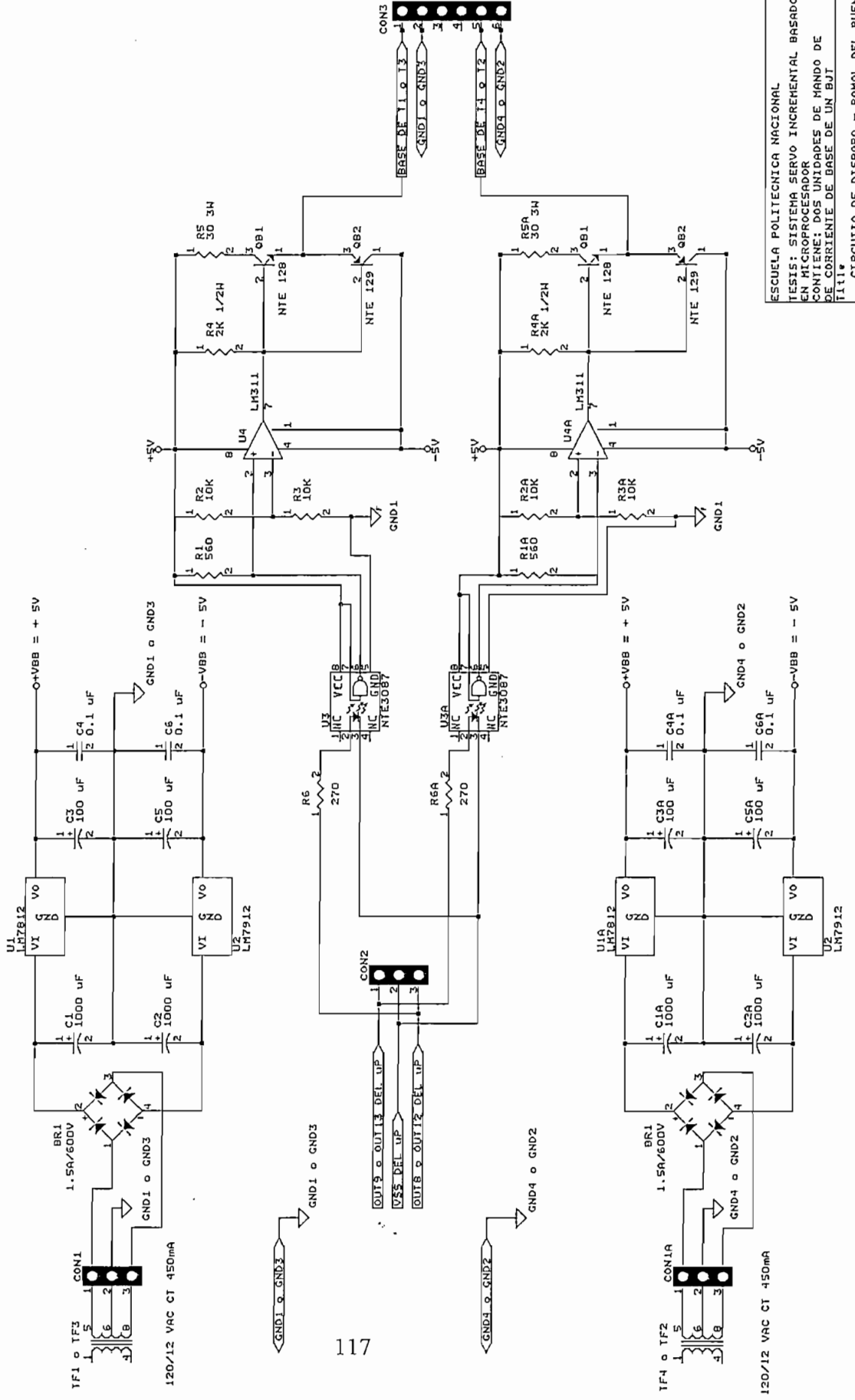


Foto No. 7

Tarjeta Driver: Contiene dos unidades de mando para manejar los transistores de un ramal del puente .



ESCUOLA POLITECNICA NACIONAL  
 TESIS: SISTEMA SERVO INCREMENTAL BASADO  
 EN MICROPROCESADOR  
 CONTIENE: DOS UNIDADES DE MANO DE  
 DE CORRIENTE DE BASE DE UN BJT  
 Titulo: CIRCUITO DE DISPARO - RAMAL DEL PUENTE  
 Size: 1000x1000  
 Archivo: DRIVER.SCH  
 Date: JULY 6, 1995 5:51 3 of 3

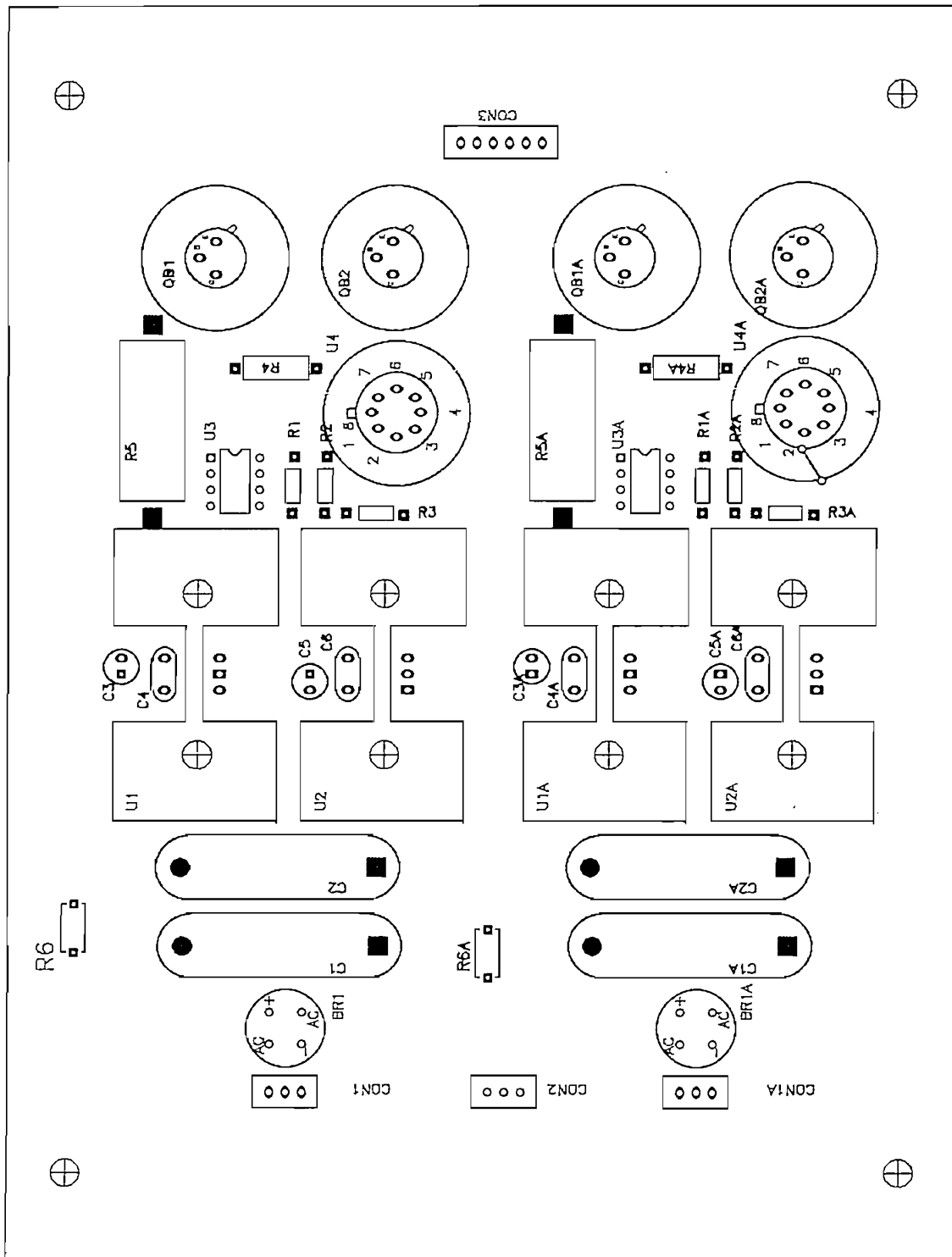


Figura 3: Tarjeta impresa Driver, lado de elementos

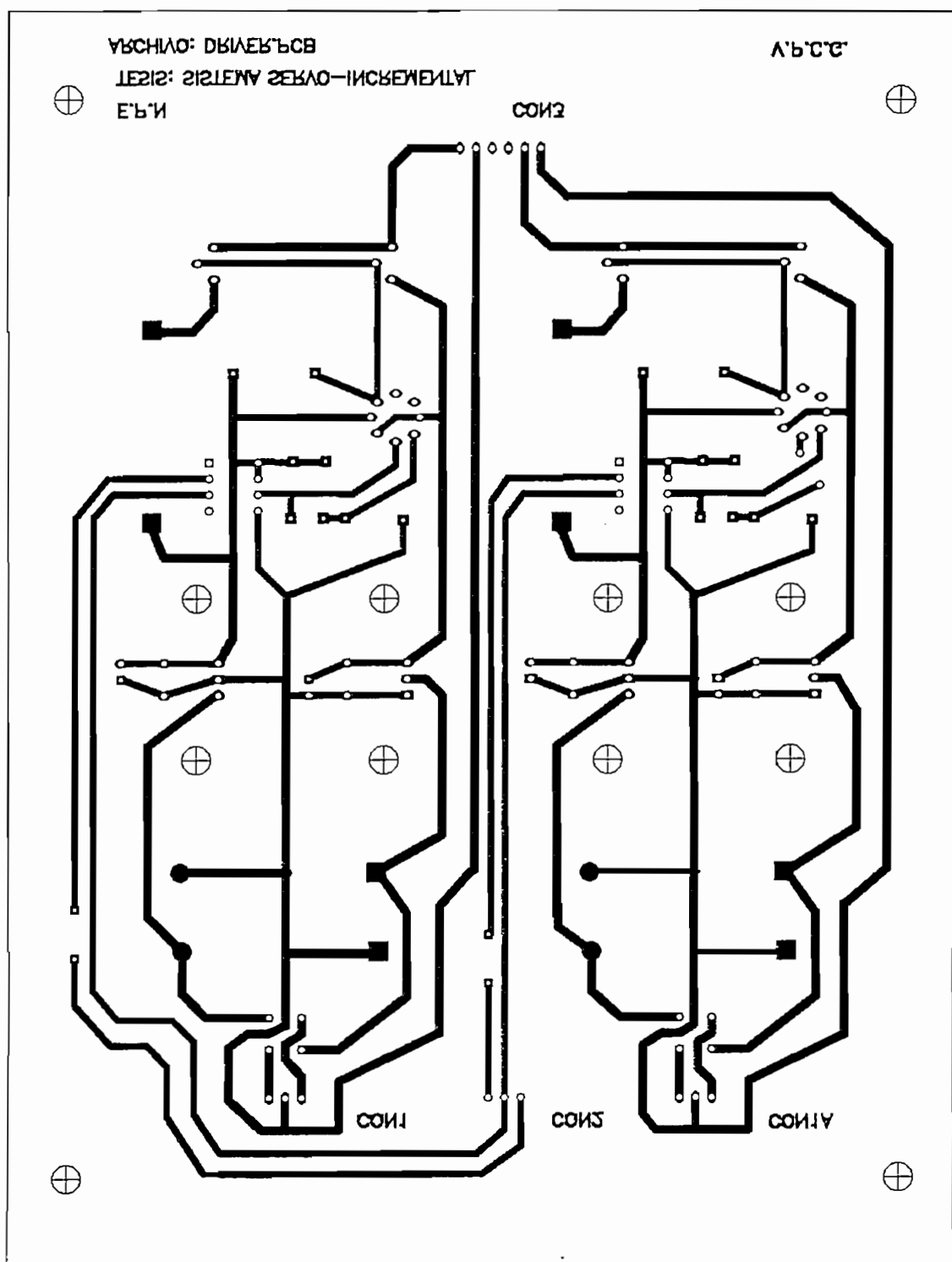


Figura 4: Tarjeta impresa Driver, lado de soldadura

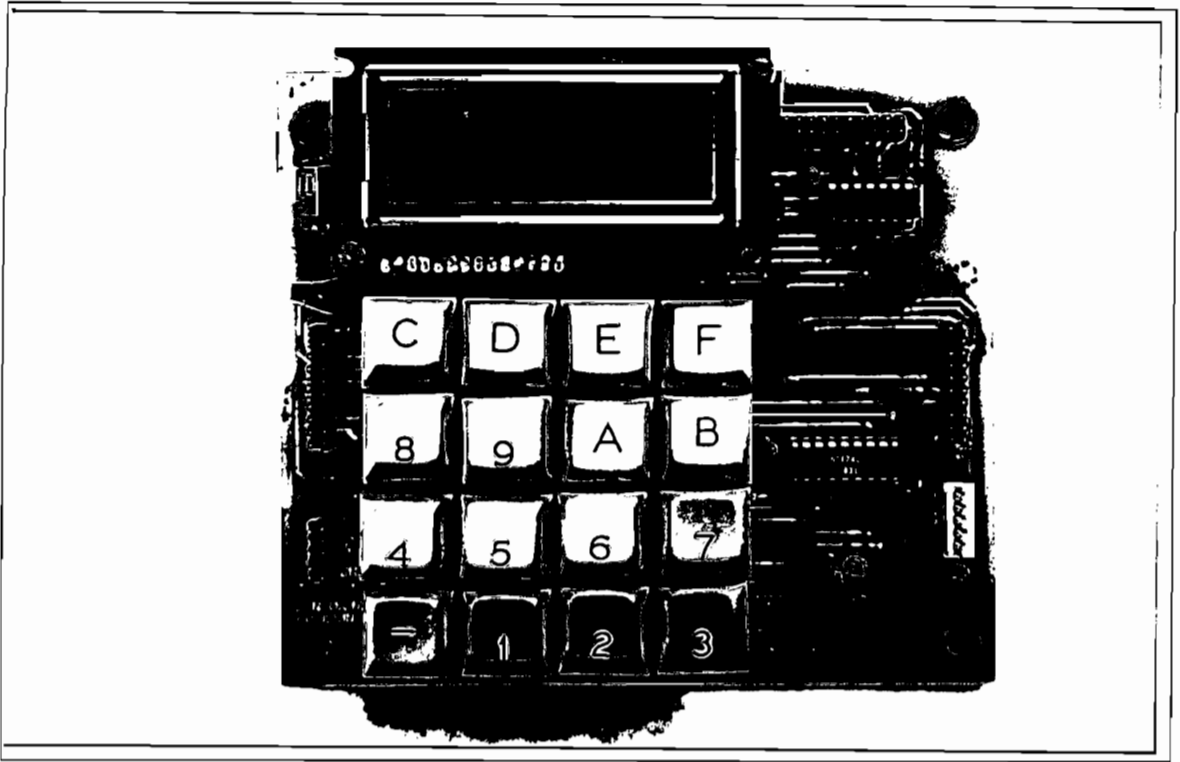
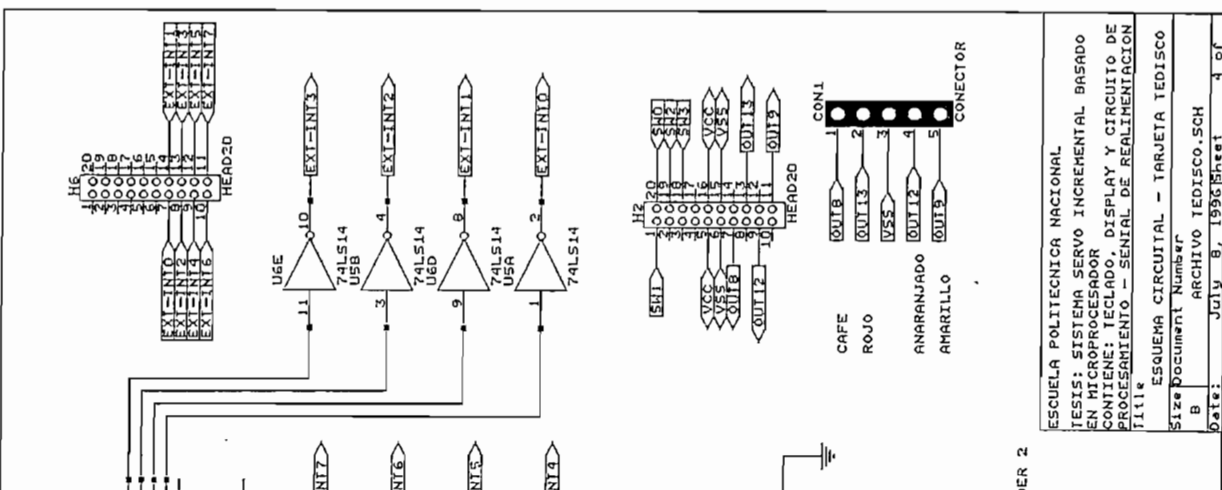
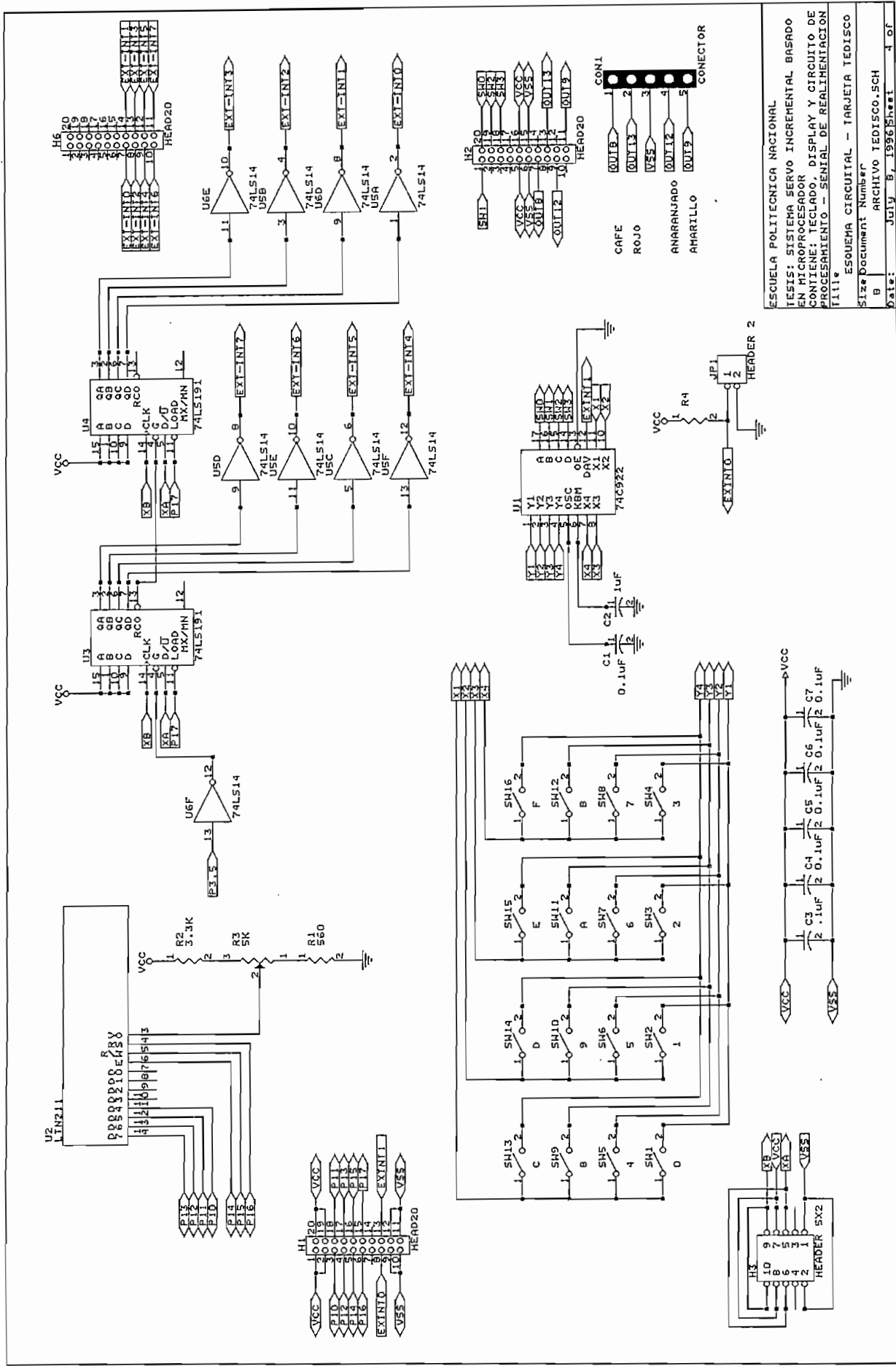


Foto No. 8

Tarjeta Tedisco: Contiene los circuitos de display, de teclado y de procesamiento de la señal de realimentación.



ESUELA POLITECNICA NACIONAL  
 TESIS: SISTEMA SERVO INCREMENTAL BASADO  
 EN MICROPROCESADOR  
 CONTIENE: TECLADO, DISPLAY Y CIRCUITO DE  
 PROCESAMIENTO - SENIAL DE REALIMENTACION  
 Title: ESQUEMA CIRCUITAL - TARJETA TEDISCO  
 Size: Document Number  
 B ARCHIVO TEDISCO.SCH  
 Date: July 8, 1996 Sheet 4 of 4



ESCUOLA POLITECNICA NACIONAL  
 TESTIS: SISTEMA SERVO INCREMENTAL BASADO  
 EN MICROPROCESADOR  
 CONTIENE: TECLADO, DISPLAY Y CIRCUITO DE  
 PROCESAMIENTO - SENIAL DE REALIMENTACION  
 Title  
 ESQUEMA CIRCUITAL - TARJETA TEDISCO  
 Size Document Number  
 B ARCHIVO TEDISCO.SCH  
 Date: July 8, 1986 Sheet 1 of 1



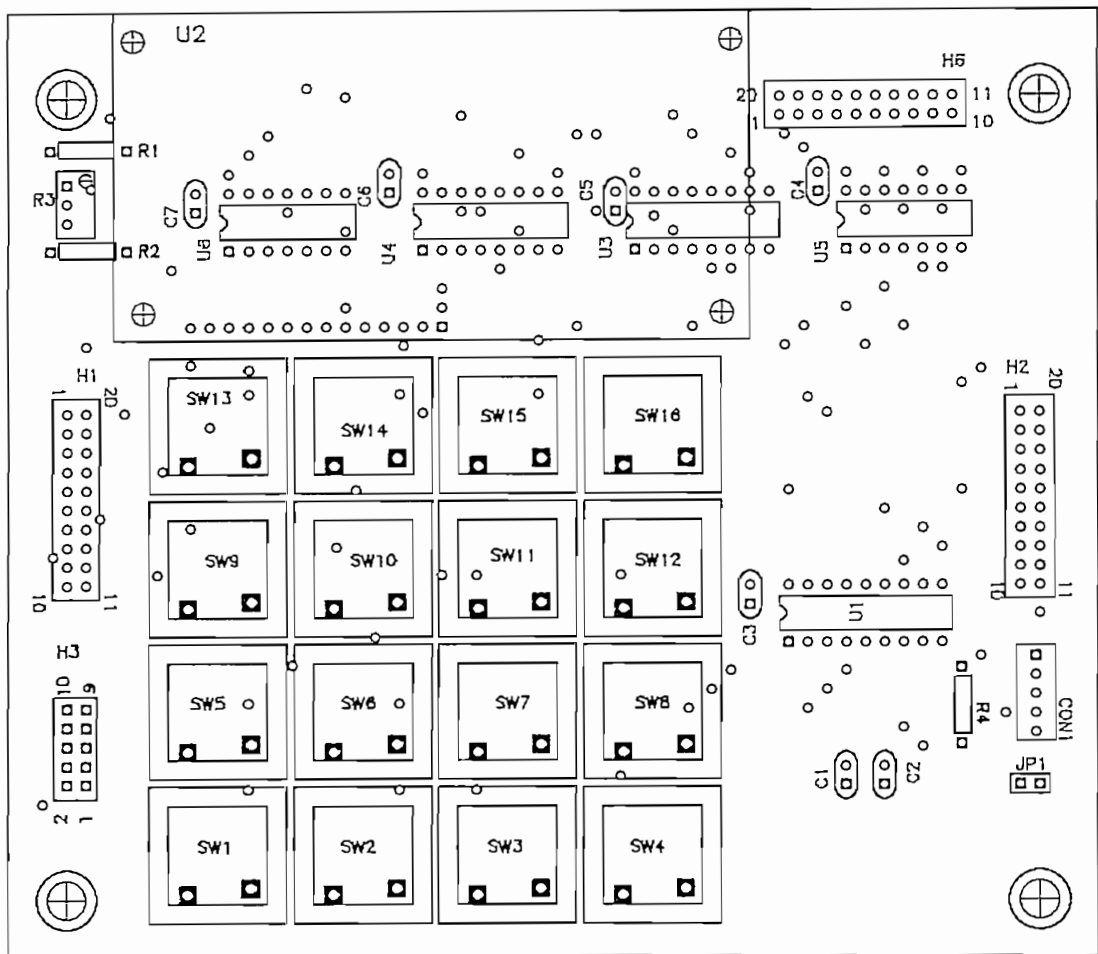


Figura 5: Tarjeta impresa Tedisco , top - silueta de elementos

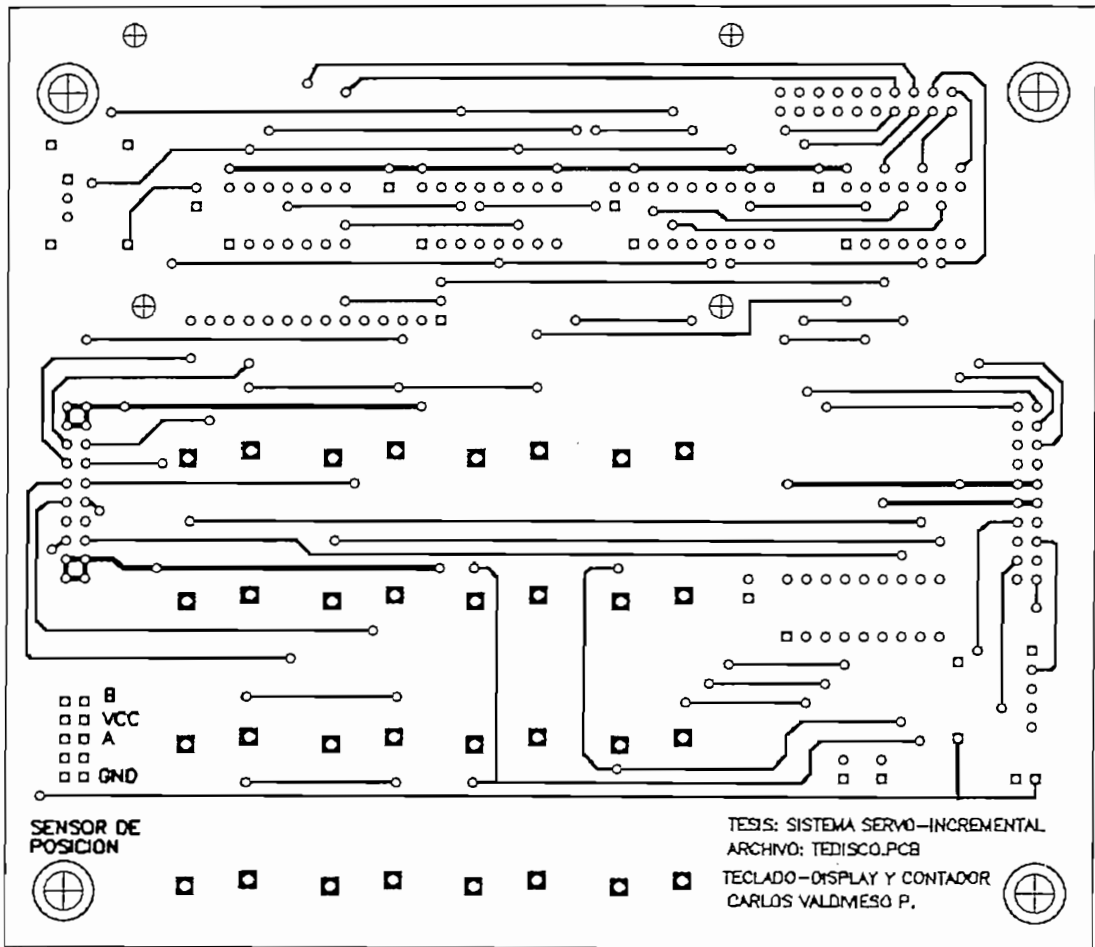


Figura 6: Tarjeta impresa Tedisco , top - soldadura

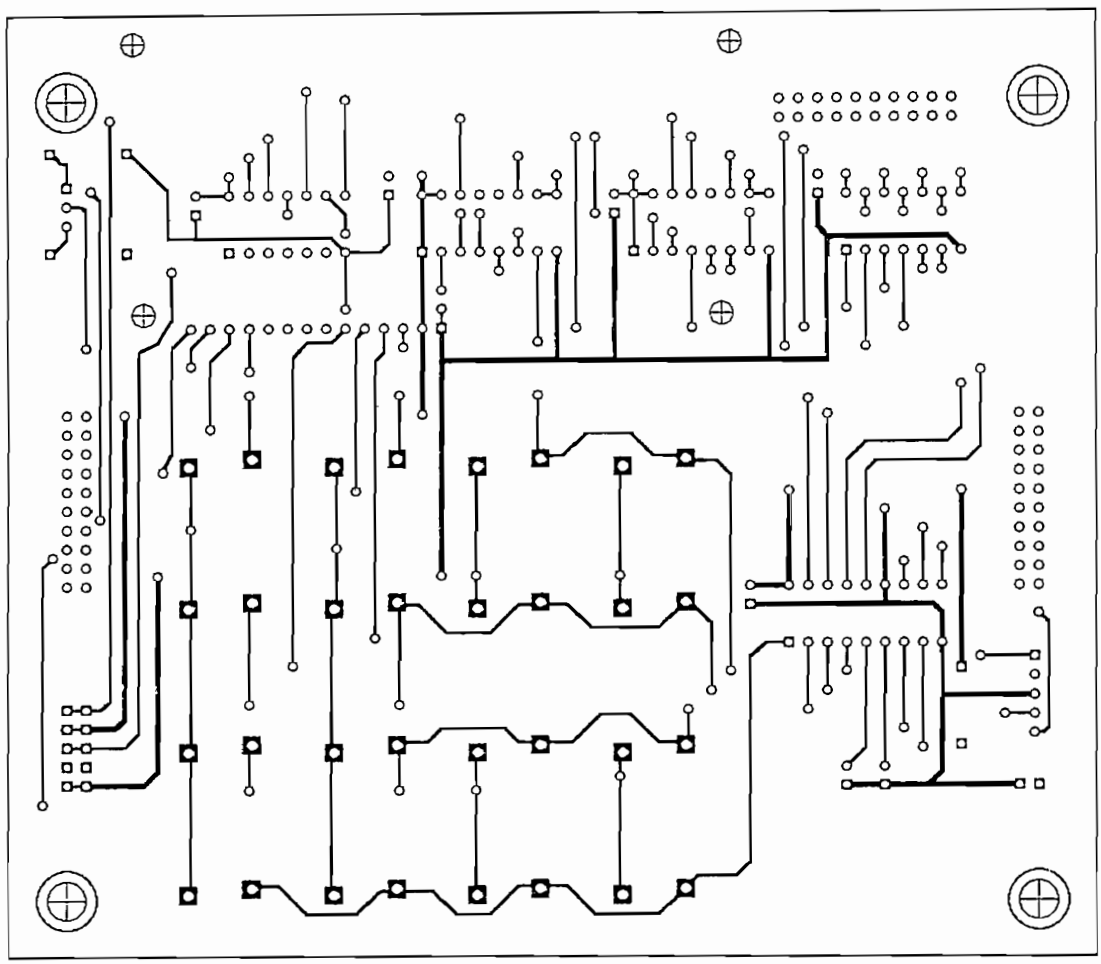


Figura 7: Tarjeta impresa Tedisco , bottom - soldadura

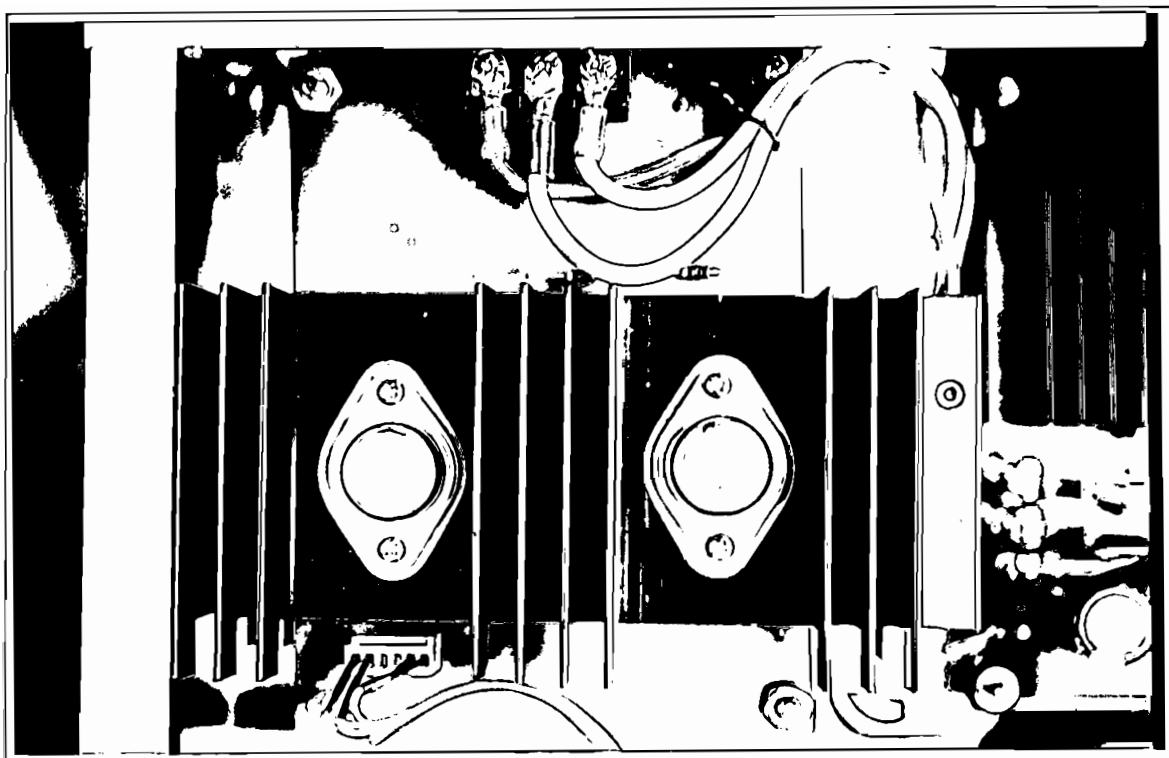
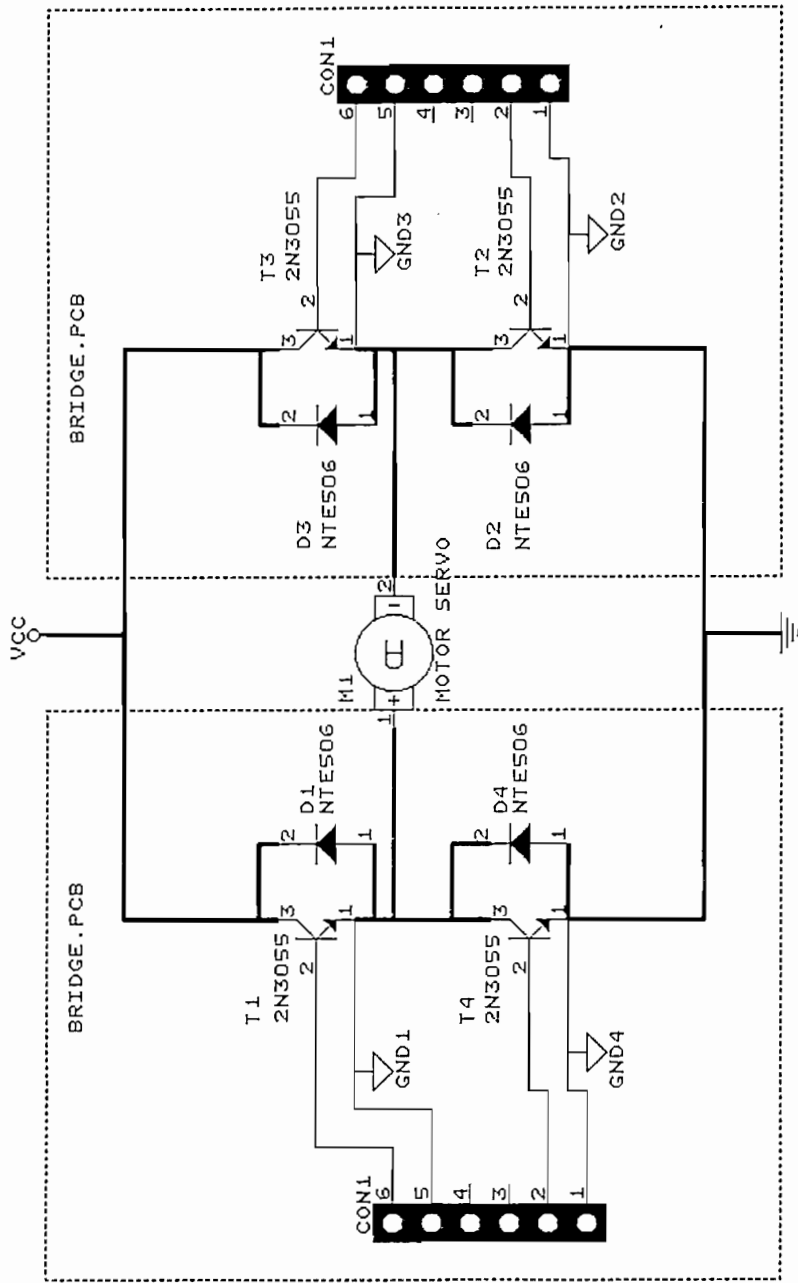
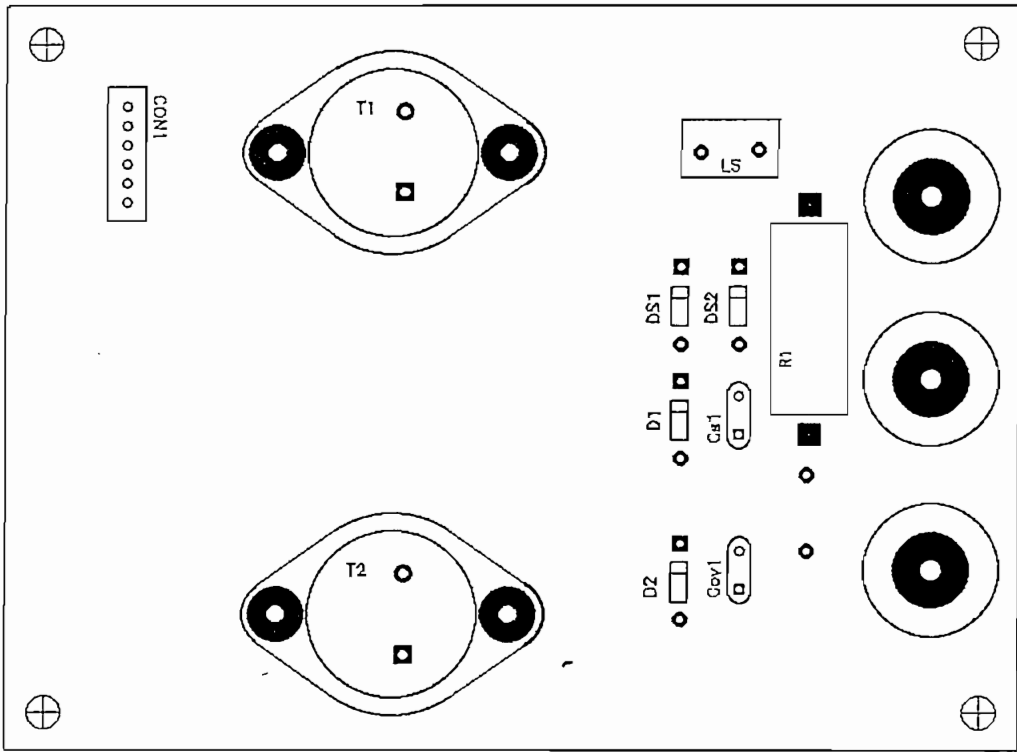


Foto No. 9

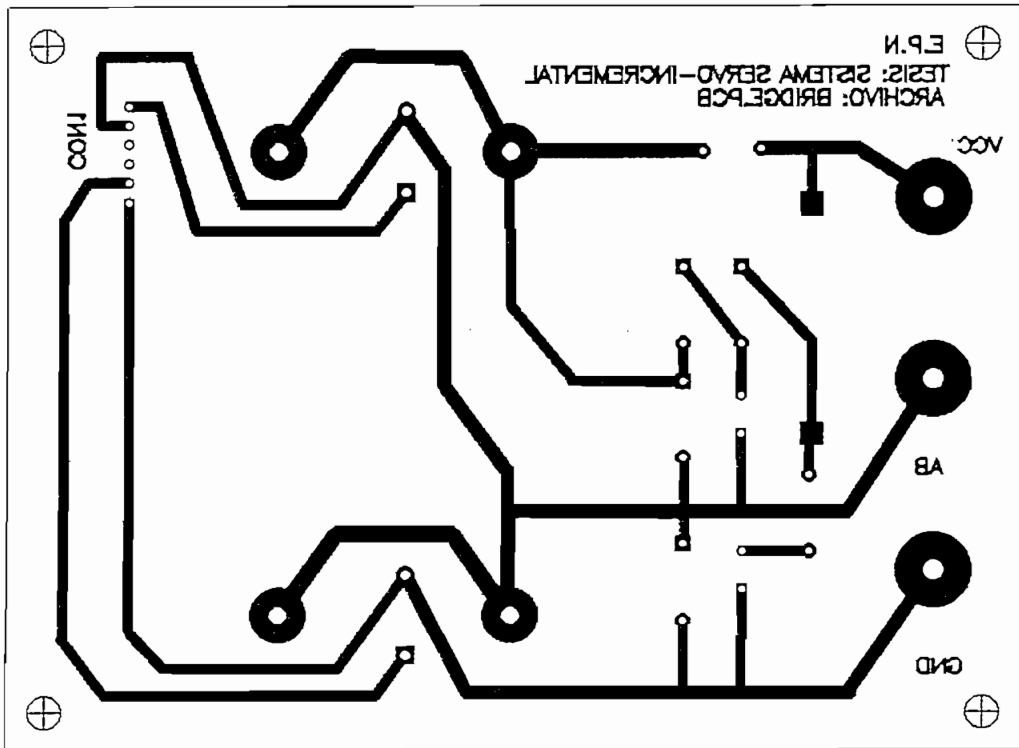
Tarjeta Bridge: Contiene un ramal del puente de transistores.



ESCUOLA POLITECNICA NACIONAL	
TESIS: SISTEMA SERVO INCREMENTAL BASADO EN MICROPROCESADOR	
Title PUENTE DE TRANSISTORES	
Size Document Number	REV
A	CV
Date: July 8, 1996	Sheet 5 of 5



(a)



(b)

Figura 8: Tarjeta impresa Bridge, (a) lado de elementos y (b) lado de soldadura

# **ANEXO 2**

Características técnicas y guía de uso de la Tarjeta MCPD51DA

CARACTERÍSTICAS TÉCNICAS  
Y GUÍA DE USO

TARJETA MCPD51DA

PARA DESARROLLO DE PROYECTOS CON  
MICROCONTROLADORES INTEL 8051

Preparado por:

Ing. Bolívar Ledema G.

Quito, Septiembre de 1992



La figura 1 muestra el diagrama de bloques simplificado de la tarjeta MCPD51DA, la misma que ha sido diseñada para permitir el desarrollo de proyectos y aplicaciones de caracter general, en base a los microcontroladores INTEL de la familia MCS-51.

La tarjeta pone a disposición del usuario los siguientes recursos:

- 1 pörtico digital bidireccional de 8 bits (P1.7 a P1.0).
- 2 pörticos digitales de salida de 8 bits (OUT0 a OUT15).
- 1 pörtico digitales de entrada de 8 bits (SW0 a SW7).
- 1 pörtico digital de entrada de 8 bits con opción de colocar un dipswitch-8 en la tarjeta (INP0 a INP7).
- 1 pörtico digital de entrada de 8 bits con opción de generar interrupción externa (EXT-INT0 a EXT-INT7).
- 1 entrada analógica (0 a 5 V) y conversor A/D de 8 bits.
- 1 salida analógica (0 a 5 V) proveniente de un conversor D/A de 8 bits.
- 1 pörtico de comunicación serial RS232 (conector DB9).
- 1 Bus de datos del microcontrolador (D7 a D0).
- 1 Bus de direcciones del microcontrolador (A15 a A0).
- 1 Bus de señales de control del microcontrolador (RD, WR, T0, T1, ALE, PSEN, RESET, INT0, INT1).
- 1 Bus de señales de control para habilitación de dispositivos externos:  
3 de entrada: SELIN5,6,7 y 4 de salida: SELOUT3,5,6,7.
- Memoria RAM de 2 Kbytes.
- Circuito de reset interno con pulsador.

## CONFIGURACIONES:

La tarjeta MCPD51DA incluye toda la circuitería básica asociada a un microcontrolador MCS-51, permitiendo al usuario configurar la tarjeta para sus aplicaciones específicas. Para el efecto la tarjeta tiene 8 "jumpers" de configuración (JP1 a JP8) que permiten seleccionar las alternativas de la tabla No. 1.

La nomenclatura utilizada para los jumpers de dos puntos hace referencia a la colocación física del "jumper" cuando se tiene "ON" y su ausencia física cuando se tiene "OFF". Los jumpers de 3 puntos funcionan como switches de dos posiciones, donde el punto central es el común. Por ejemplo, JP6 es un jumper de 3 puntos donde los extremos se denominan "RAM" y "EPROM" respectivamente. Cuando la tabla No. 1 dice que JP6 = "RAM" esto significa que se debe colocar un jumper entre el punto central de JP6 y el extremo "RAM".

JUMPERS	POSICION	FUNCION
JP1 y JP6	RAM	El microcontrolador trata a U14 como RAM (memoria de datos).
JP1 y JP6	EPROM	El microcontrolador trata a U14 como ROM (memoria de programa).
JP2 y JP3	JP2 = "ON" JP3 = "OFF"	El microcontrolador ejecuta el programa que reside en memoria externa.
JP2 y JP3	JP2 = "OFF" JP3 = "ON"	El microcontrolador ejecuta el programa que reside en su memoria ROM interna.
JP4	INT-RESET	El RESET del microcontrolador queda conectado al circuito "power on reset" y al pulsador internos.
JP4	EXT-RESET	El RESET del microcontrolador queda conectado a una entrada exterior del conector H3 (H3.3 EXRST).
JP5	0L-EX1	Interrupción externa 1 del microcontrolador activa con 0L, accesible desde conector H3.38 y H1.13.
JP5	1L-EX1	Interrupción externa 1 del microcontrolador activa con 1L, accesible desde conector H3.38 y H1.13.
JP7	0..7-EX0	Interrupción externa 0 del microcontrolador activa con 0L, accesible desde cualquier línea del pórtico EXT-INT0..7, conector H6.
JP7	EXT-EX0	Interrupción externa 0 del microcontrolador activa con 0L y accesible desde conector H3.39.
JP8	"ON"	U14 se polariza con la fuente VCC de la tarjeta.
JP8	"OFF"	U14 recibe polarización externa VCCX desde el conector H5.20.

Tabla No. 1

Alrededor de la arquitectura de la tarjeta MCPD51DA se puede desarrollar proyectos de aplicación específica, utilizando componentes de la familia MCS-51 con memoria interna de programa, como el 8051 ó el 8751, en cuyo caso el zócalo U14 queda disponible para un chip de RAM de 2 Kbytes. Si se utiliza el microcontrolador 8031 que carece de memoria interna de programa, el zócalo U14 necesariamente deberá alojar una memoria de programa como la 2716 ó 2732.



La tabla No. 2 muestra la manera de configurar la tarjeta en función del tipo de microcontrolador y de la disposición de la memoria de programa.

INTEL MCS-	JUMPERS	U14	DESCRIPCION
8051 ó 8751	JP3 = "ON" JP2 = "OFF" JP1 = "RAM" JP6 = "RAM"	RAM 2 Kb (6116)	El micro ejecuta el programa residente en su ROM interna. U14 puede alojar una memoria RAM o no ser utilizado.
8051 ó 8751	JP3 = "OFF" JP2 = "ON" JP1 = "EPROM" JP6 = "EPROM"	EPROM 4 Kb (2732)	El micro ejecuta el programa residente en la EPROM externa colocada en U14.
8051 ó 8751	JP3 = "OFF" JP2 = "ON" JP1 = "EPROM" JP6 conectado a "INT" de JP3.	RAM 2 Kb (6116)	El micro ejecuta el programa residente en la RAM externa colocada en U14.
8031	JP3 = "OFF" JP2 = "ON" JP1 = "EPROM" JP6 = "EPROM"	EPROM 4 Kb (2732)	El micro ejecuta el programa residente en la EPROM externa colocada en U14.

Tabla No. 2

Por otro lado, la tarjeta puede utilizarse como un sistema de desarrollo y depuración de programas de aplicación que se pueden descargar a través del puerto serial, desde un computador personal hacia la memoria RAM de la tarjeta. Luego, se reconfigura la tarjeta para que ejecute el programa residente en RAM. De esta manera se agiliza la realización de pruebas de operación sin necesidad de borrar y reprogramar EPROMS.

### MAPA DE MEMORIA:

Los microcontroladores Intel de la familia MCS-51 tienen posibilidad de direccionar 64 K localidades externas a través del bus de direcciones de 16 bits. En la tarjeta MCPD51DA se ha incluido toda la circuitería que se requiere para direccionar independientemente a 8 dispositivos de entrada y 8 dispositivos de salida, dividiendo los 64K en páginas de 8K. Las líneas decodificadas para habilitación de dispositivos de entrada (lectura) se denominan SELIN0 a SELIN7. Las líneas para habilitación de dispositivos de salida (escritura), se denominan SELOUT0 a SELOUT7. Para la decodificación del bus de direcciones y la correspondiente división en páginas de 8K, se han utilizado los tres bits más

2 3

-12 0

PARA COM

2 3

H.



significativos A15, A14 y A13 los cuales, en combinación con las señales READ y WRITE del micro, determinan la activación de la correspondiente señal de habilitación.

Por ejemplo, si A15, A14 y A13 tienen el valor 0L, cuando el micro ejecuta una instrucción de escritura en memoria externa (MOVX @DPTR, A), la línea que se habilitará será SELOUT0. Si el micro ejecuta una instrucción de lectura de memoria externa (MOVX A,@DPTR), la línea que se habilitará será SELIN0.

De las 8 líneas de habilitación de entrada y 8 de salida existentes, varias están utilizadas para los pórtilos de entrada, salida, conversor A/D y otros recursos disponibles en la tarjeta. Las restantes están accesibles para el usuario a través del conector H4.

La tabla No. 3 muestra la distribución de memoria y las líneas disponibles para el usuario.

DIRECCIONES	HABILITACION	DISPOSITIVO DE ENTRADA (LECTURA)	DISPOSITIVO DE SALIDA (ESCRITURA)
0000H-1FFFFH	SELIN0/SELOUT0	Pórt.SW0-SW7	Pórt.OUT0-OUT7
2000H-3FFFFH	SELIN1/SELOUT1	Pórt.EXT-INT0 a EXT-INT7	Pórt.OUT8-OUT15
4000H-5FFFFH	SELIN2/SELOUT2	Pórt.INP0-INP7	Conv. D/A.
6000H-7FFFFH	SELIN3/SELOUT3	Conv. A/D.	DISPONIBLE
8000H-8FFFFH	SELIN4/SELOUT4	MEMORIA RAM	MEMORIA RAM
A000H-BFFFFH	SELIN5/SELOUT5	DISPONIBLE	DISPONIBLE
C000H-DFFFFH	SELIN6/SELOUT6	DISPONIBLE	DISPONIBLE
E000H-FFFFFH	SELIN7/SELOUT7	DISPONIBLE	DISPONIBLE

Tabla No. 3

**DISTRIBUCION DE COMPONENTES DE LA TARJETA:**

En la figura 2 se puede apreciar la distribución de los componentes en la tarjeta.

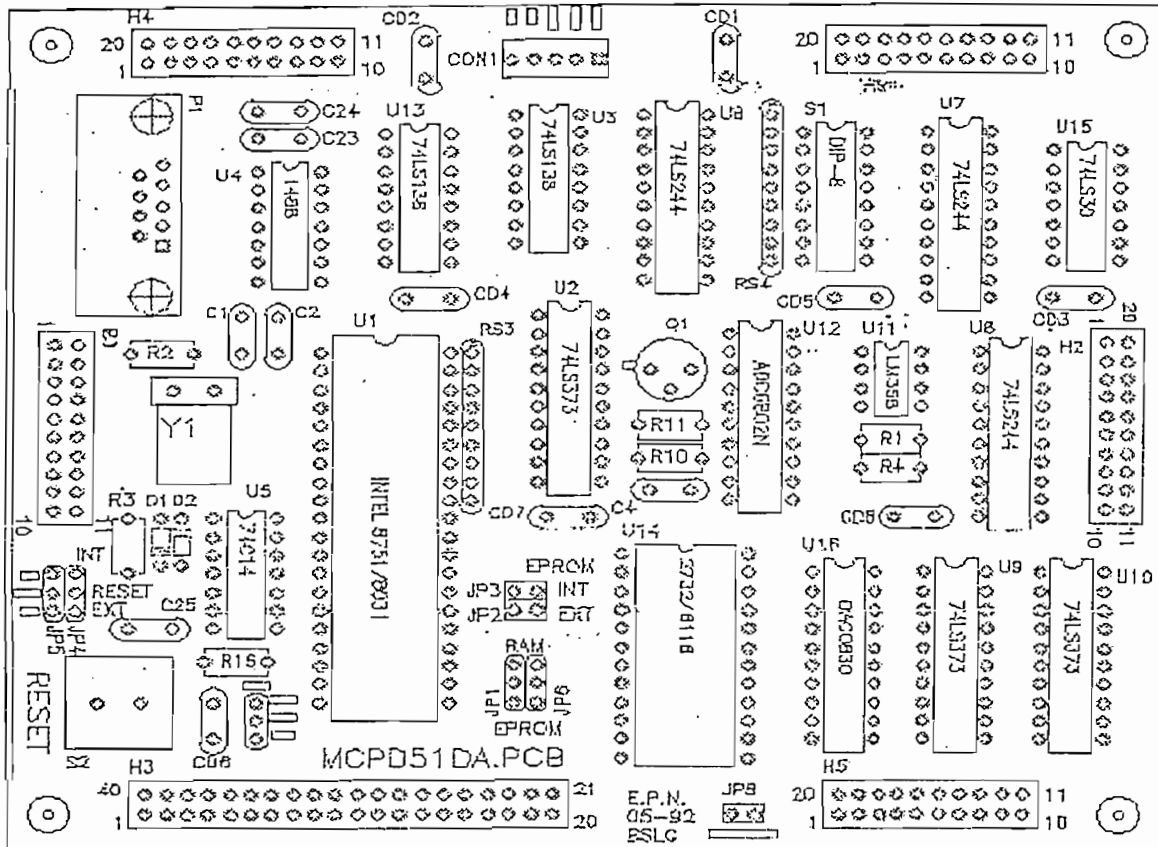


Fig. 2 TARJETA MCPD51DA.PCB

**DISTRIBUCION DE SEÑALES EN LOS CONECTORES:**

La tarjeta tiene seis conectores (H1 a H6) a través de los cuales entrega y recibe señales y datos. Prácticamente en todos los conectores se tiene acceso a las fuentes principales de polarización del circuito lógico a través de los pines VCC y VSS.

Existe un conector especial denominado "CON1" que sirve para conectar la tarjeta con la fuente de polarización principal, donde se tiene que:

VCC = + 5 V;
VSS = 0 V;
V+ = + 12 V;
V- = - 12 V.

#### CONECTOR H1:

P17..P10:	Pórtico P1 del microcontrolador (8 bits bidireccional).
EXINT0:	Acceso a la interrupción externa 0 del micro.
EXINT1:	Acceso a la interrupción externa 1 del micro.
T0:	Entrada al timer/counter 0 del micro.
T1:	Entrada al timer/counter 1 del micro.

#### CONECTOR H2:

SW7..SW0:	Pórtico digital de entrada de 8 bits.
OUT15..OUT8:	Pórtico digital de salida de 8 bits.

#### CONECTOR H3:

El conector H3 permite el acceso directo hacia el microcontrolador: el bus de datos, el bus de direcciones y todas las señales de control: ALE, READ, WRITE, PSEN.

D7..D0:	Bus de datos del micro.
A15..A0:	Bus de direcciones del micro.
T0:	Entrada al timer/counter 0 del micro.
T1:	Entrada al timer/counter 1 del micro.
EXRST:	Entrada para ingreso de señal de reset externo.
EXINT0:	Acceso a la interrupción externa 0 del micro.
EXINT1:	Acceso a la interrupción externa 1 del micro.



**CONECTOR H4:**

SELIN5,6,7:	Señales de habilitación para dispositivos externos de entrada (lectura).
SELOUT3,5,6,7:	Señales de habilitación para dispositivos externos de salida (escritura).
RXD:	Línea de recepción para comunicación serial del microcontrolador (niveles TTL).
TXD:	Línea de transmisión para comunicación serial del microcontrolador (niveles TTL).
RXIN:	Línea de recepción serial RS232 (conector DB9) de la tarjeta (niveles de voltaje $\pm 12V$ ).
TXOUT:	Línea de transmisión serial RS232 (conector DB9) de la tarjeta (niveles de voltaje $\pm 12V$ ).
TOPWM:	Señal de salida correspondiente al complemento lógico del pin T0 del microcontrolador y en niveles lógicos $\pm 12 V$ .
T1PWM:	Señal de salida correspondiente al complemento lógico del pin T1 del microcontrolador y en niveles lógicos $\pm 12 V$ .

**CONECTOR H5:**

OUT7..OUT0:	Pórtico digital de salida de 8 bits.
OUT15..OUT8:	Pórtico digital de salida de 8 bits.
VCCX:	Entrada externa para polarización de U14.

**CONECTOR H6:**

EXT-INT7..EXT-INT0:	Pórtico digital de entrada de 8 bits con opción a generar interrupción externa 0 en el microcontrolador.
INP7..INP0:	Pórtico digital de entrada de 8 bits con opción de colocar un dip-switch 8 en la tarjeta.
AN-OUT:	Salida analógica (0 a +5V) proveniente del convertor D/A (DAC0830).
RFB:	Salida analógica (0 a -5V) correspondiente a la señal invertida que viene del convertor D/A.
AN-IN:	Entrada analógica (0 a +5V) hacia el convertor A/D (ADC0804).

ESQUEMA DE CONECTORES:

**H1**

VCC	1	20	VCC
VCC	2	19	VCC
P10	3	18	P11
P12	4	17	P13
P14	5	16	P15
P16	6	15	P17
TO	7	14	T1
EXINT0	8	13	EXINT1
VSS	9	12	VSS
VSS10	10	11	VSS

**H2**

SW1	1	20	SW0
SW7	2	19	SW2
SW6	3	18	SW3
SW5	4	17	SW4
VCC	5	16	VCC
VSS	6	15	VSS
OUT8	7	14	OUT15
OUT14	8	13	OUT13
OUT12	9	12	OUT10
OUT11	10	11	OUT9

**H4**

TXOUT	1	20	RXIN
TXD	2	19	RXD
V+	3	18	V-
TOPWM	4	17	T1PWM
VSS	5	16	VSS
SELIN7	6	15	SELIN6
SELIN5	7	14	VCC
SELOUT7	8	13	SELOUT6
SELOUT5	9	12	SELOUT3
VCC	10	11	VCC

**H3**

VCC	1	40	VCC
VCC	2	39	EXINT0
EXRST	3	38	EXINT1
TO	4	37	T1
WRITE	5	36	READ
D0	6	35	D1
D2	7	34	D3
D4	8	33	D5
D6	9	32	D7
ALE	10	31	PSEN
A15	11	30	A14
A13	12	29	A12
A11	13	28	A10
A9	14	27	A8
A6	15	26	A7
A4	16	25	A5
A2	17	24	A3
A0	18	23	A1
VSS	19	22	VSS
VSS	20	21	VSS

**H5**

VCC	1	20	VCC
OUT2	2	19	OUT3
OUT0	3	18	OUT1
OUT6	4	17	OUT7
OUT4	5	16	OUT5
VSS	6	15	VSS
OUT10	7	14	OUT11
OUT8	8	13	OUT9
OUT14	9	12	OUT15
OUT12	10	11	OUT13

**H6**

INP6	1	20	INP7
INP4	2	19	INP5
INP2	3	18	INP3
INP0	4	17	INP1
RFB	5	16	AN-IN
VSS	6	15	AN-OUT
EXT-INT0	7	14	EXT-INT1
EXT-INT2	8	13	EXT-INT3
EXT-INT4	9	12	EXT-INT5
EXT-INT6	10	11	EXT-INT7

# **ANEXO 3**

Características técnicas del LTN211



Electronic  
components  
and materials

DIGI-KEY 800 344-4539

PHILIPS DATA FOR LCD MODULE		
FACT ID AMXDS-ND		1
		138
TYPE ID AMXDS		CF-4370
		1723672

## Character type LCD modules

The visual part of an LCD is only one of several components used to produce it. The shape of the display contents needs to be defined (usually from a character generator), the sequence and position of that display needs to be controlled (timer) and changes to the display must be stored and incorporated (RAM). As can be seen from this publication, our character LCD modules have all the controls and display built into one IC. They can operate under the control of either a 4-bit or 8-bit microcomputer to display alphanumeric characters, symbols and other signs. The module provides the user with a character type dot-matrix display panel featuring simple interface circuitry.

The LCD module receives character codes (8 bits per character) from a microprocessor or microcomputer, latches the codes to its Display Data RAM (80-byte DD RAM for storing 80 characters), transforms each character code into a 5 x 7 dot-matrix character pattern, and displays the characters on its LCD screen.

The module incorporates a character generator ROM which produces 160 different 5 x 7 dot-matrix character patterns. It also provides a character generator RAM (64 bytes) through which the user may define up to eight additional 5 x 7 dot-matrix character patterns, as required by the application.

To display a character, positional data is sent via the data bus from the microprocessor to the LCD module, where it is written into the instruction register. A character code is then sent and written into the data register. The module displays the corresponding character pattern in the specified position. It can either increment or decrement the display position automatically after each character entry, so that only successive characters codes need to be entered to

display a continuous character string. The display/cursor shift instruction allows the entry of characters in either the left-to-right or right-to-left direction. Since the display data RAM (DD RAM) and the character generator RAM (CG RAM) may be accessed by the microprocessor, unused portions of each RAM may be used as general purpose data areas. The module may be operated with either dual 4-bit or single 8-bit data transfers, to accommodate interfaces with both 4-bit and 8-bit microprocessors. It can operate from logic supply voltages as low as 5V which makes it ideal for use with CMOS microprocessors.

### Features

- Interface with either 4-bit or 8-bit microprocessor.
- Display data RAM  
80 x 8 bits (80 characters).
- Character generator ROM.  
160 different 5 x 7 dot-matrix character patterns.
- Character generator RAM  
8 different user programmed 5 x 7 dot-matrix patterns.
- Display data RAM and character generator RAM may be accessed by the microprocessor.
- Numerous instructions  
Clear Display, Cursor Home, Display ON/OFF, Cursor ON/OFF, Blink Character, Cursor Shift, Display Shift.
- Built-in reset circuit is triggered at power ON.
- Built-in oscillator.

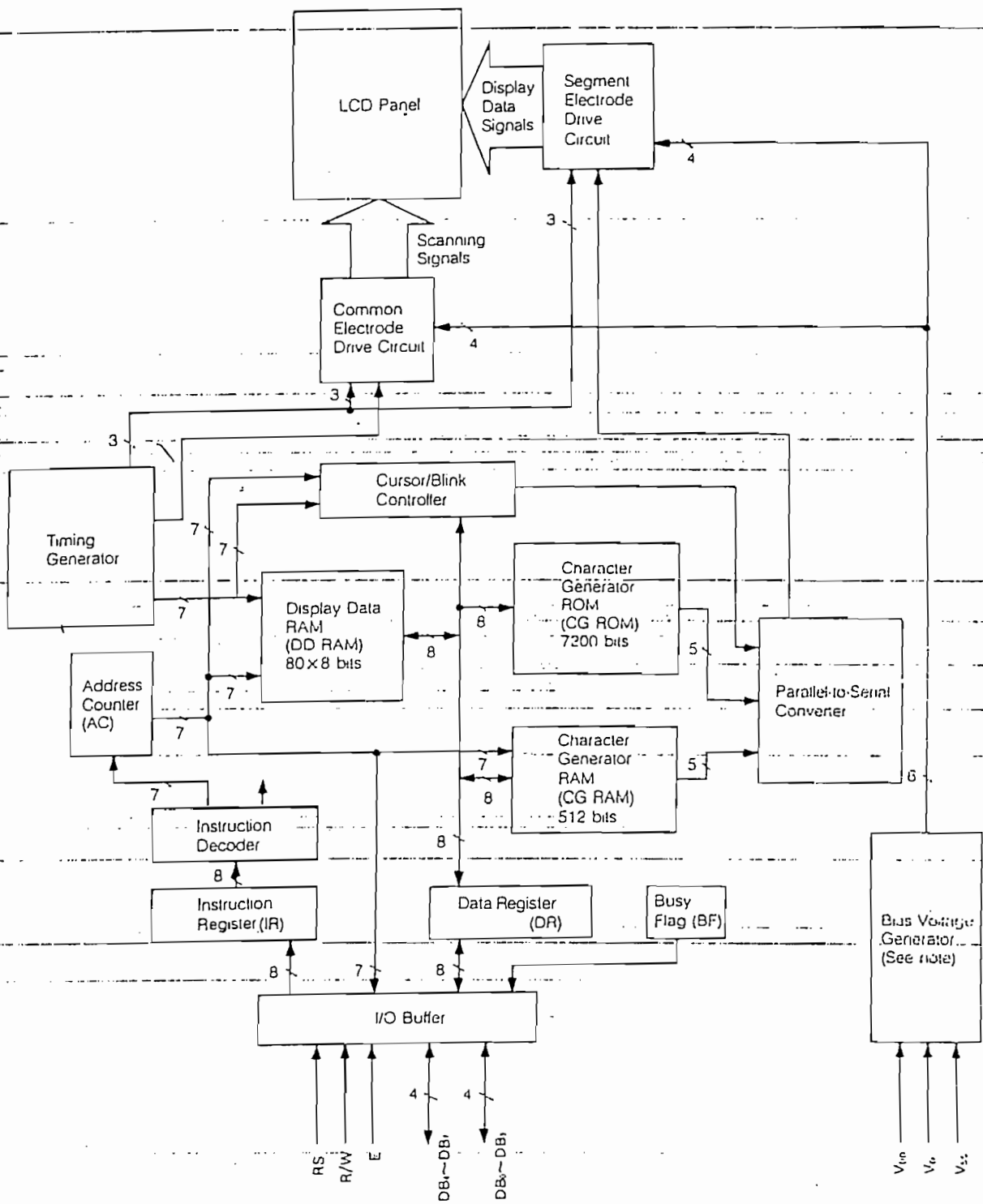


Fig. 1 Functional Block Diagram

model	display format	character format	outline dimensions W x H x D (mm)	effective display area W x H (mm)	character size W x H (mm)	dot size W x H (mm)	operating temperature (°C)	storage temperature (°C)	supply voltage (V)	power (mW)
LTN111R-10	16 x 1	5 x 7 dot with cursor	80 x 36 x 12	64,5 x 13,8	3,07 x 5,73	0,55 x 0,75	0 to +50	-25 to +70	+5	7,5
LTN211R-10	16 x 2	5 x 7 dot with cursor	84 x 44 x 12	61 x 15,8	2,96 x 4,86	0,56 x 0,66	0 to +50	-25 to +70	+5	8
LTN241R-10	40 x 2	5 x 7 dot with cursor	182 x 33,5 x 11	154,4 x 15,8	3,2 x 4,85	0,6 x 0,65	0 to +50	-25 to +55	+5, -5	11

## HARDWARE

### Functional blocks

#### Registers

The LCD module has two 8-bit registers — an instruction register (IR) and a data register (DR).

The instruction register stores instruction codes such as "clear display" or "shift cursor", and also stores address information for the display data RAM and character generator RAM. The IR can be accessed by the microprocessor only for writing.

The data register is used for temporarily storing data during data transactions with the microprocessor. When writing data to the module, the data is initially stored in the data register, and is then automatically written into either the display data RAM or character generator RAM, as

determined by the current operation. The data register is also used as a temporary storage area when reading data from the display data RAM or character generator RAM. When address information is written into the instruction register, the corresponding data from the display data RAM or character generator RAM is moved to the data register. Data transfer is completed when the microprocessor reads the contents of the data register by the next instruction. After the transfer is complete, data from the next address position of the appropriate RAM is moved to the data register, in preparation for subsequent reading operations by the microprocessor.

One of the two registers is selected by the register select (RS) signal.

TABLE 2  
Interface signals

signal name	input/output	external connection	function
RS	input	MPU	Register select signal "0": instruction register (when writing) busy flag and address counter (when reading) "1": data register (when writing and reading)
R/W	input	MPU	Read/write select signal "0": writing "1": reading
I	input	MPU	Operation (data read/write) enable signal
D4-D7	input/output	MPU	High-order lines of data bus with three-state, bidirectional function for use in data transactions with the MPU.
D0 to D3	input/output	MPU	Low-order lines of data bus with three-state, bidirectional function for use in data transactions with the MPU. These lines are not used when interfacing with a 4-bit microprocessor.
V <sub>DD</sub> , V <sub>SS</sub>		Supply voltage (logic)	V <sub>DD</sub> : +5 V, V <sub>SS</sub> : 0 V
V <sub>0</sub>		Power supply	Contrast adjustment voltage (V <sub>LCD</sub> = V <sub>DD</sub> - V <sub>0</sub> )

When the busy flag is set at a logical "1", the module is executing an internal operation, and no instruction will be accepted. The state of the busy flag is output on data line D7 in response to the register selection signals RS=0, R/W=1 as shown in Table 3. The next instruction may be entered after the busy flag is reset to logical "0".

**Address counter (AC)**

The address counter generates the address for the display data RAM and character generator RAM. When the address set instruction is written into the instruction register, the address information is sent to the address counter. The same instruction also determines which of the two RAMs is to be selected.

After data has been written to or read from the display data RAM or character generator RAM, the address counter is automatically incremented or decremented by one. The contents of the address counter are output on data lines D0 - D6 in response to the register selection signals RS=0, R/W=1 as shown in Table 3.

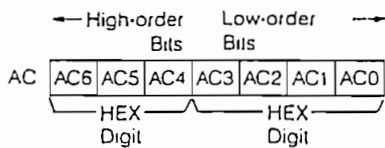
**TABLE 3**  
**Register selection**

RS	R/W	operation
0	0	Write to instruction register, and execute internal operation (clear display, etc)
0	1	Read busy flag (D7) and address counter (D0-D6)
1	0	Write to data register, and execute internal operation (DR → DD RAM or DR → CG RAM)
1	1	Read data register, and execute internal operation (DD RAM → DR or CG RAM → DR)

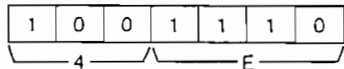
**Display data RAM (DD RAM)**

This 80 x 8-bit RAM stores up to 80 8-bit character codes as display data. The unused area of the RAM may be used by the microprocessor as a general purpose RAM area.

The display data RAM address, set in the address counter, is expressed in hexadecimal (HEX) numbers as follows:



Example: DD RAM address "4E"



**i) Address type a For dual-line display**

Digit	Display Position										
	1	2	3	4	5	6	7	8	9	39	40
Line 1	00 <sub>H</sub>	01 <sub>H</sub>	02 <sub>H</sub>	03 <sub>H</sub>	04 <sub>H</sub>	05 <sub>H</sub>	06 <sub>H</sub>	07 <sub>H</sub>	08 <sub>H</sub>		26 <sub>H</sub> , 27 <sub>H</sub>
Line 2	40 <sub>H</sub>	41 <sub>H</sub>	42 <sub>H</sub>	43 <sub>H</sub>	44 <sub>H</sub>	45 <sub>H</sub>	46 <sub>H</sub>	47 <sub>H</sub>	48 <sub>H</sub>		66 <sub>H</sub> , 67 <sub>H</sub>

DD RAM Address (HEX)

When a display shift takes place, the addresses shift as follows:

Left Shift	Display Position										
	1	2	3	4	5	6	7	8	9	39	40
	01 <sub>H</sub>	02 <sub>H</sub>	03 <sub>H</sub>	04 <sub>H</sub>	05 <sub>H</sub>	06 <sub>H</sub>	07 <sub>H</sub>	08 <sub>H</sub>	09 <sub>H</sub>		27 <sub>H</sub> , 28 <sub>H</sub>
	41 <sub>H</sub>	42 <sub>H</sub>	43 <sub>H</sub>	44 <sub>H</sub>	45 <sub>H</sub>	46 <sub>H</sub>	47 <sub>H</sub>	48 <sub>H</sub>	49 <sub>H</sub>		67 <sub>H</sub> , 68 <sub>H</sub>

Right Shift	Display Position										
	1	2	3	4	5	6	7	8	9	39	40
	27 <sub>H</sub>	00 <sub>H</sub>	01 <sub>H</sub>	02 <sub>H</sub>	03 <sub>H</sub>	04 <sub>H</sub>	05 <sub>H</sub>	06 <sub>H</sub>	07 <sub>H</sub>		25 <sub>H</sub> , 26 <sub>H</sub>
	67 <sub>H</sub>	40 <sub>H</sub>	41 <sub>H</sub>	42 <sub>H</sub>	43 <sub>H</sub>	44 <sub>H</sub>	45 <sub>H</sub>	46 <sub>H</sub>	47 <sub>H</sub>		65 <sub>H</sub> , 66 <sub>H</sub>

The addresses for the second line are not consecutive with the addresses for the first line. A 40-character RAM area is assigned to each of the two lines as follows:

line 1: 00<sub>H</sub> - 27<sub>H</sub>

line 2: 40<sub>H</sub> - 67<sub>H</sub>

For an LCD module with a display capacity of less than 40 characters per line, characters equal in number to the display capacity, as counted from display position 1, are displayed.

**ii) Address type b For single-line display with logically dual-line addressing**

Digit	Display Position															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Line 1	00 <sub>H</sub>	01 <sub>H</sub>	02 <sub>H</sub>	03 <sub>H</sub>	04 <sub>H</sub>	05 <sub>H</sub>	06 <sub>H</sub>	07 <sub>H</sub>	08 <sub>H</sub>	09 <sub>H</sub>	0A <sub>H</sub>	0B <sub>H</sub>	0C <sub>H</sub>	0D <sub>H</sub>	0E <sub>H</sub>	0F <sub>H</sub>

DD RAM Address (HEX)

When a display shift takes place, the addresses shift as follows:

Left Shift	Display Position															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	01 <sub>H</sub>	02 <sub>H</sub>	03 <sub>H</sub>	04 <sub>H</sub>	05 <sub>H</sub>	06 <sub>H</sub>	07 <sub>H</sub>	08 <sub>H</sub>	09 <sub>H</sub>	0A <sub>H</sub>	0B <sub>H</sub>	0C <sub>H</sub>	0D <sub>H</sub>	0E <sub>H</sub>	0F <sub>H</sub>	10 <sub>H</sub>

Right Shift	Display Position															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	27 <sub>H</sub>	00 <sub>H</sub>	01 <sub>H</sub>	02 <sub>H</sub>	03 <sub>H</sub>	04 <sub>H</sub>	05 <sub>H</sub>	06 <sub>H</sub>	07 <sub>H</sub>	08 <sub>H</sub>	09 <sub>H</sub>	0A <sub>H</sub>	0B <sub>H</sub>	0C <sub>H</sub>	0D <sub>H</sub>	0E <sub>H</sub>

The right-hand eight characters, for the purposes of addressing and shifting, may be considered as a second display line.

For the address type of each module, see Table 10.

This ROM generates a 5 x 7 dot-matrix character pattern for each of 160 different 8-bit character codes. The correspondence between character codes and character patterns is shown in Tables 4 and 5. Inquiries are invited for units with custom character patterns.

TABLE 4  
Character codes

High-Order Low-Order 4 bit 4 bit	0000	0010	0011	0100	0101	0110	0111	1010	1011	1100	1101	1110	1111
CG RAM (1)	0	a	P	'	P	—	9	E	0	0			
(2)	!	1	A	Q	a	q	=	7	7	4	3	Q	Q
(3)	"	2	B	R	b	r	"	7	7	x	x	E	E
(4)	#	3	C	S	c	s	7	7	E	E	E	E	E
(5)	\$	4	D	T	d	t	7	7	E	E	E	E	E
(6)	%	5	E	U	e	u	=	7	7	1	0	0	0
(7)	&	6	F	V	f	v	7	7	0	0	0	0	0
(8)	'	7	G	W	g	w	7	7	7	7	7	7	7
(1)	(	8	H	X	h	x	7	7	7	7	7	7	7
(2)	)	9	I	Y	i	y	7	7	7	7	7	7	7
(3)	*	:	J	Z	j	z	7	7	7	7	7	7	7
(4)	+	;	K	[	k	[	7	7	7	7	7	7	7
(5)	,	<	L	]	l	]	7	7	7	7	7	7	7
(6)	—	=	M	^	m	^	7	7	7	7	7	7	7
(7)	.	>	N	_	n	_	7	7	7	7	7	7	7
(8)	/	?	O	`	o	`	7	7	7	7	7	7	7

Notes: 1) The Character Generator RAM (CG RAM) generates character patterns in accordance with the user's program.  
2) Last two columns indicate 5 x 8 dot character patterns (including the cursor line).



TABLE 5  
Character codes

High-Order Low-Order 4 bit / 4 bit	0000	0010	0011	0100	0101	0110	0111	1010	1011	1100	1101	1110	1111
xxxx0000	CG RAM (1)		0	e	P	\	p	-	-	9	3	a	p
xxxx0001	(2)		l	A	Q	a	q	.	T	+	L	2	q
xxxx0010	(3)	"	z	B	R	b	r	f	イ	ツ	ノ	β	θ
xxxx0011	(4)	#	-	C	S	c	s	J	2	+	+	ε	∞
xxxx0100	(5)	\$	+	D	T	d	t	.	ユ	ト	+	μ	D
xxxx0101	(6)	%	s	E	U	e	u	.	オ	+	ユ	σ	ü
xxxx0110	(7)	&	d	F	V	f	v	ヲ	カ	=	-	ρ	Δ
xxxx0111	(8)	.	7	G	W	g	w	7	+	+	+	π	
xxxx1000	(1)	(	8	ll	N	h	λ	+	+	+	+	1	x
xxxx1001	(2)	)	9	l	Y	i	y	.	π	ノ	ノ	-1	γ
xxxx1010	(3)	*	:	J	%	j	r	x	コ	ハ	シ	1	f
xxxx1011	(4)	+	:	K	(	k	(	.	+	+	+	x	γ
xxxx1100	(5)	.	<	L	Y	l	l	+	シ	ツ	ノ	σ	Π
xxxx1101	(6)	-	=	M	)	m	)	-	ス	ヘ	シ	2	+
xxxx1110	(7)	.	>	N	^	n	-	.	セ	π	+	n	
xxxx1111	(8)	/	?	U	-	u	-	7	ツ	ツ	7	σ	■

Notes: 1) The CG RAM is a Character Generator RAM which generates character patterns in accordance with the user's program.  
2) Last two columns indicate 5 x 8 dot character patterns (including cursor line).

### Microprocessor interface

The LCD module performs either dual 4-bit or single 8-bit data transfers, allowing the user to interface with either a 4-bit or 8-bit microprocessor.

#### 4-bit microprocessor interface (Fig.2)

Only data lines D4–D7 are used for data transfers. Data transactions with the external microprocessor take place in two 4-bit data transfer operations. The high-order 4 bits (corresponding to D4–D7 in an 8-bit transfer) are transferred first, followed by the low-order 4 bits (corresponding to D0–D3 in an 8-bit transfer). The busy flag is to be checked on completion of the second 4-bit data transfer. Busy flag and address counter are output in two operations.

#### 8-bit microprocessor interface

Each 8-bit piece of data is transferred in a single operation using the entire data bus D0–D7.

### Reset function

#### Initialization by internal reset circuit

The module has an internal reset circuit for implementing an automatic reset operation at power-on. During the

initialization operation, the busy flag is set. The busy state lasts for 10 ms after VDD reaches 4.5 V. The following instructions are executed in initializing the module.

- 1) Clear Display  
DL = 1 . . . . . 8-bit data length for interface  
N = 0 . . . . . Single-line display  
F = 0 . . . . . 5 x 7 dot-matrix character font
- 3) Display ON/OFF Control  
D = 0 . . . . . Display OFF  
C = 0 . . . . . Cursor OFF  
B = 0 . . . . . Blink function OFF
- 4) Entry Mode Set  
I/D = 1 . . . . . Increment Mode  
S = 0 . . . . . Display shift OFF.

Caution: If the power conditions stated in the section called "Power conditions applicable when internal reset circuit is used", are not satisfied, the internal reset circuit will not operate properly and the LCD module will not be initialized. In this case, the initialization procedure must be executed by the external microprocessor. See section entitled "Initialization by instructions".

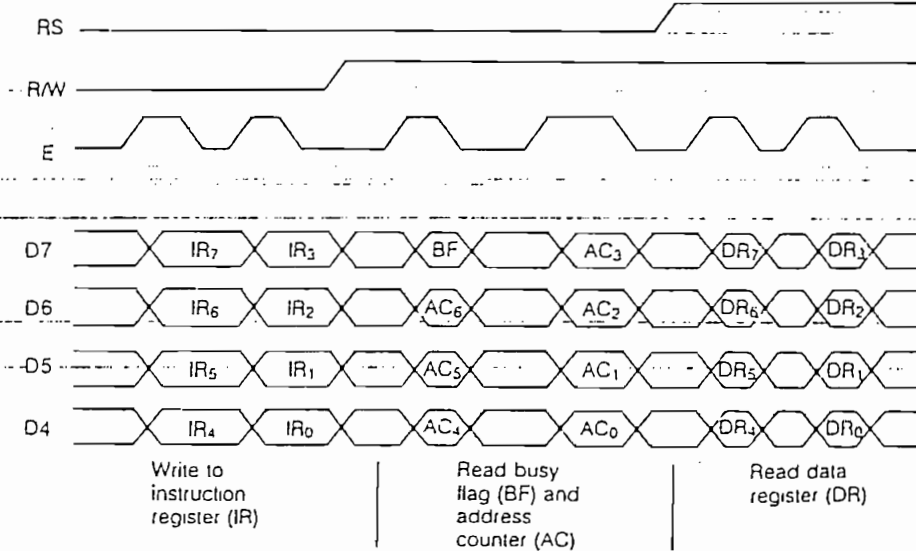


Fig. 2 4-bit Data Transfer

**Initialization by instructions**

If the power conditions for the normal operation of the internal reset circuit are not satisfied (see section entitled "Power conditions applicable when internal reset circuit is

used"), the module must be initialized by executing series of instructions. The procedure for this initialization process is shown in Figs 3 and 4.

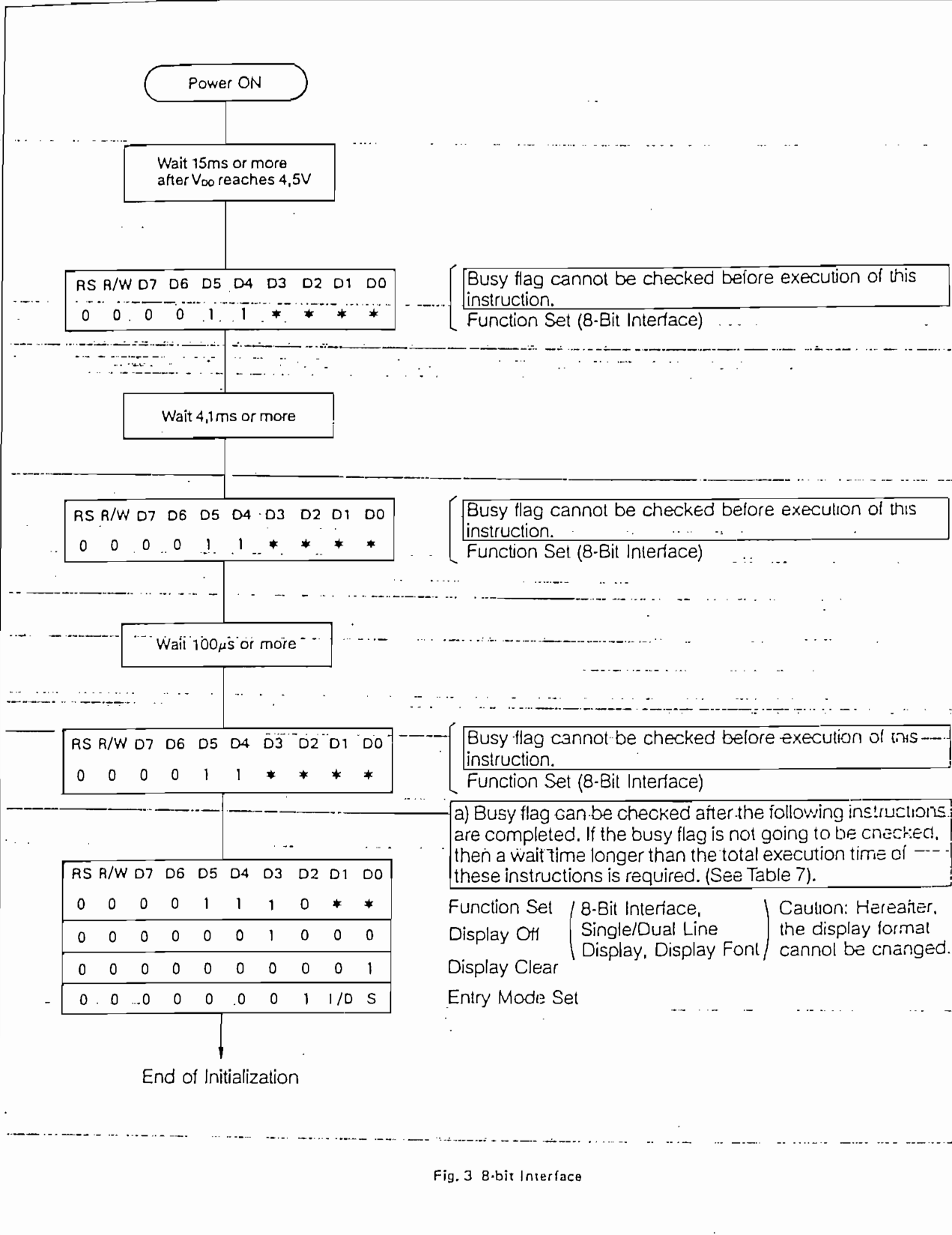


Fig. 3 8-bit Interface

TABLE 7  
Instruction set

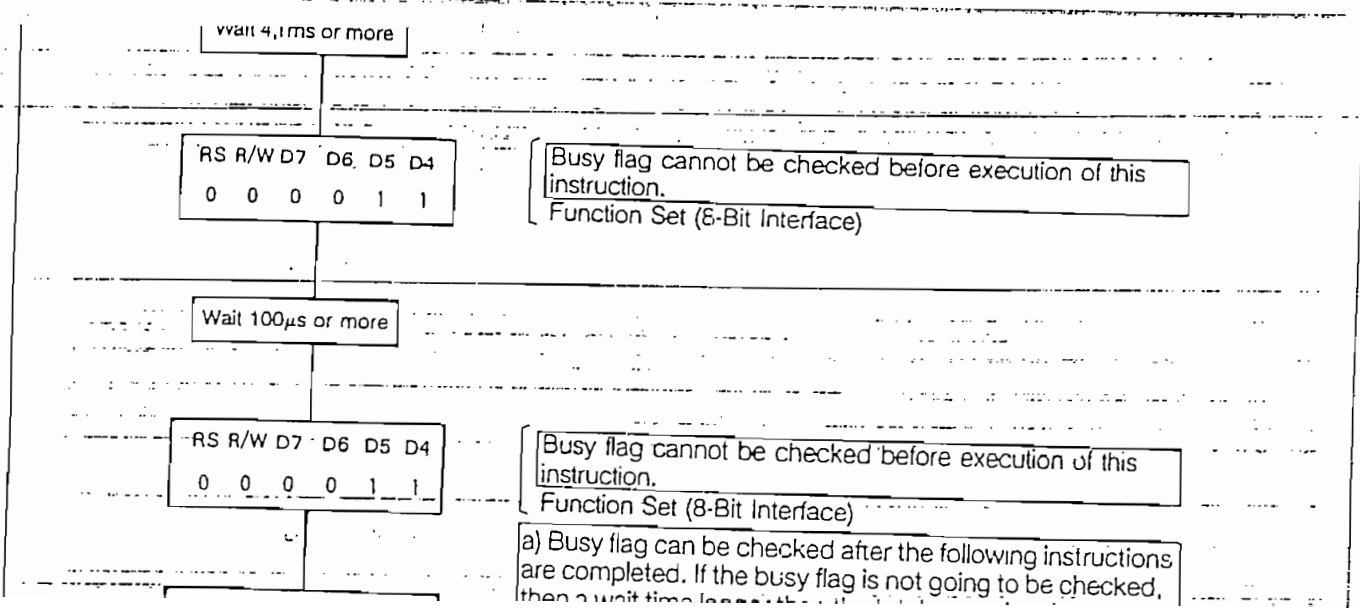
instruction	code											function	execution time (max) ( $t_{cp}$ or $t_{osc} = 250 \text{ kHz}$ )
	RS	R/W	D7	D6	D5	D4	D3	D2	D1	D0			
Display clear	0	0	0	0	0	0	0	0	0	0	1	Clear entire display area, restore display from shift, and load address counter with DD RAM address 00H.	1.64 $\mu\text{s}$
Display/cursor home	0	0	0	0	0	0	0	0	0	1	*	Restore display from shift and load address counter with DD RAM address 00H.	1.64 $\mu\text{s}$
Entry mode set	0	0	0	0	0	0	0	1	I/D	S		Specify cursor advance direction and display shift mode. This operation takes place after each data transfer.	40 $\mu\text{s}$
Display ON/OFF	0	0	0	0	0	0	1	D	C	B		Specify activation of display (D), cursor (C), and blinking of character at cursor position (B).	40 $\mu\text{s}$
Display/cursor shift	0	0	0	0	0	1	S/C	R/L	*	*		Shift display or move cursor.	40 $\mu\text{s}$
Function set	0	0	0	0	1	DL	N	0	*	*		Set interface data length (DL) and number of display lines (N).	40 $\mu\text{s}$
CG RAM address set	0	0	0	1							ACG	Load the address counter with a CG RAM address. Subsequent data is CG RAM data.	40 $\mu\text{s}$
DD RAM address set	0	0	1								ADD	Load the address counter with a DD RAM address. Subsequent data is DD RAM data.	40 $\mu\text{s}$
Busy flag/address counter read	0	1	BF								AC	Read busy flag (BF) and contents of address counter (AC).	0 $\mu\text{s}$
CG RAM/DD RAM data write	1	0									write data	Write data to CG RAM or DD RAM.	40 $\mu\text{s}$
CG RAM/DD RAM data read	1	1									read data	Read data from CG RAM or DD RAM.	40 $\mu\text{s}$

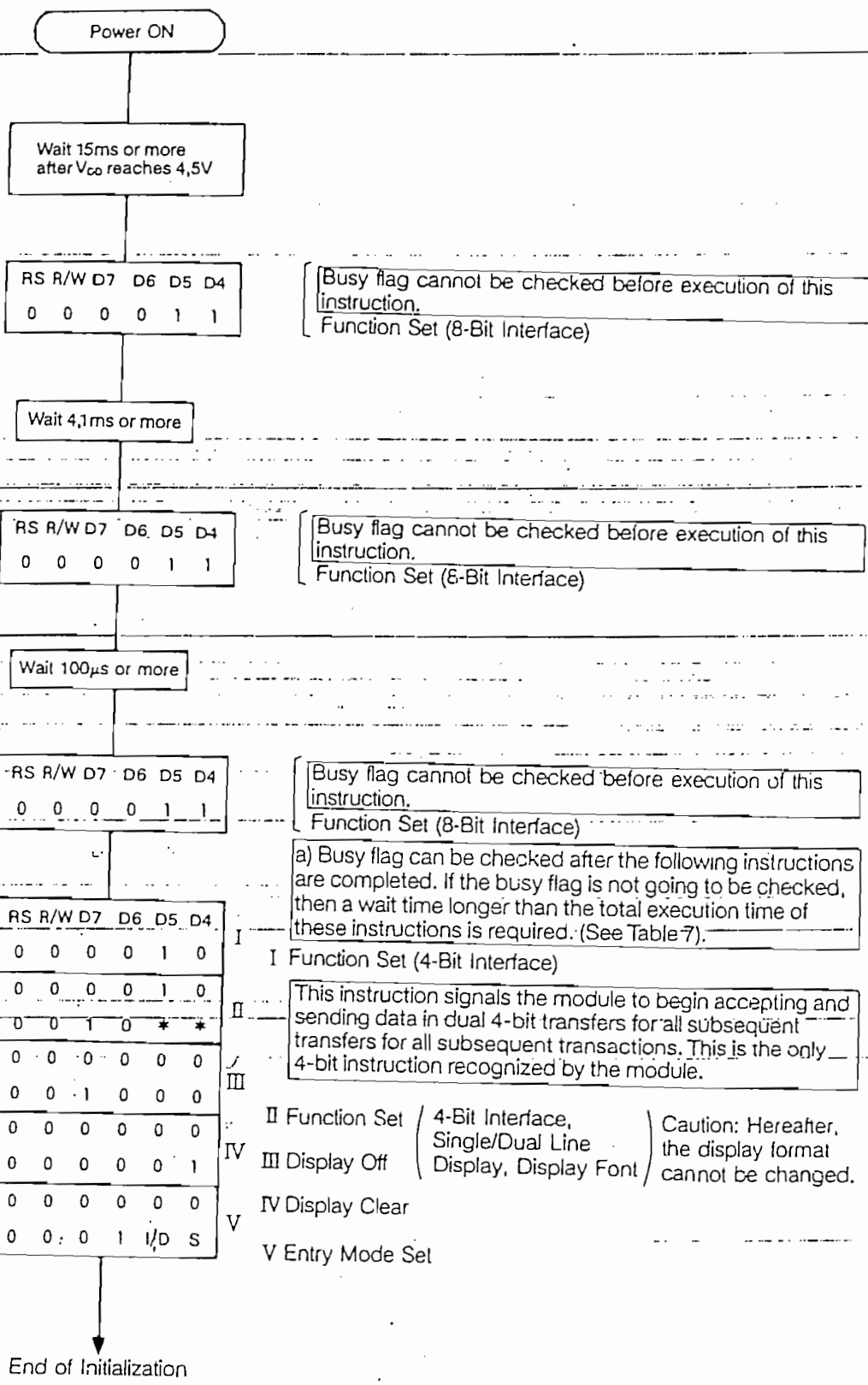
I/D=1: Increment, I/D=0: Decrement  
 S =1: Display shift on  
 S/C=1: Shift display, S/C=0: Move cursor  
 R/L=1: Shift right, R/L=0: Shift left  
 DL=1: 8-bit, DL=0: 4-bit  
 N =1: Dual line, N=0: Single line  
 BF =1: Internal operation, BF=0: Ready for instruction

DD RAM: Display data RAM  
 CG RAM: Character generator RAM  
 ACG : Character generator RAM Address  
 ADD : Display data RAM Address  
 AC : Address counter

Note 1: Symbol "\*" signifies a "don't care" bit.

Note 2: Correct input value for "N" is predetermined for each model. (see Table 10).





Busy flag cannot be checked before execution of this instruction.  
Function Set (8-Bit Interface)

Busy flag cannot be checked before execution of this instruction.  
Function Set (8-Bit Interface)

Busy flag cannot be checked before execution of this instruction.  
Function Set (8-Bit Interface)

a) Busy flag can be checked after the following instructions are completed. If the busy flag is not going to be checked, then a wait time longer than the total execution time of these instructions is required. (See Table 7).

I Function Set (4-Bit Interface)

This instruction signals the module to begin accepting and sending data in dual 4-bit transfers for all subsequent transfers for all subsequent transactions. This is the only 4-bit instruction recognized by the module.

II Function Set (4-Bit Interface, Single/Dual Line Display, Display Font) Caution: Hereafter, the display format cannot be changed.

III Display Off

IV Display Clear

V Entry Mode Set

Fig. 4 4-bit Interface

## MODULE DESCRIPTION

LTN211 is a 32 character LCD module, each character consisting of a 5 x 7 dot matrix and cursor. CMOS controller/driver integrated circuits are incorporated. The module reads 4-bit or 8-bit character and instruction codes to display a full range of fixed, and user defined, characters and symbols on the LCD. Instructions for editing and shifting text are also featured.

Complete information regarding the operation of this LCD module is available in Philips Technical Publication #238 [TP 238]. Please contact Amperex for a copy.

Several types are available, as follows :

- LTN211R-10 - Reflective.
- LTN211F-10 - Transflective (for use with EL backlight).
- LPH3511-1 - Black bezel.
- LP-3511-E - 12 o'clock viewing direction.

Type LTN211F-10 is designed to accommodate an electroluminescent (EL) backlight lamp. The recommended EL lamp is available separately as Philips Type LXL211-G, or directly from the supplier as NEC Type NEL-5L-042-G. The recommended backlight power supply (DC-to-AC inverter) is NEC Type NEL-D5-006.

## QUICK REFERENCE DATA

Outline Dimensions	84 x 44 x 12 mm
Viewing Area	61.0 x 15.8 mm
Character Format	5 x 7 dots and cursor
Character Size	4.86 x 2.96 mm
Dot Size (Spacing : 0.04 mm)	0.66 x 0.56 mm
Drive Method	Multiplex 1:16
Supply Voltage	+5 V
Power Consumption	8.0 mW (typ)
Viewing Mode	R-10 : Reflective F-10 : Transflective
Optimal Viewing Direction	6 o'clock
Data Interface	4- or 8-bit parallel
Character Generator	Built-in
Mass	≈ 28 g
Reliability Grade	Commercial

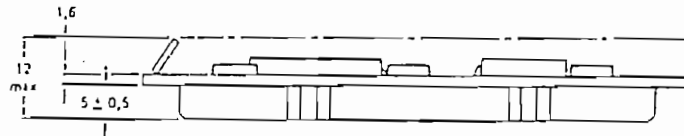
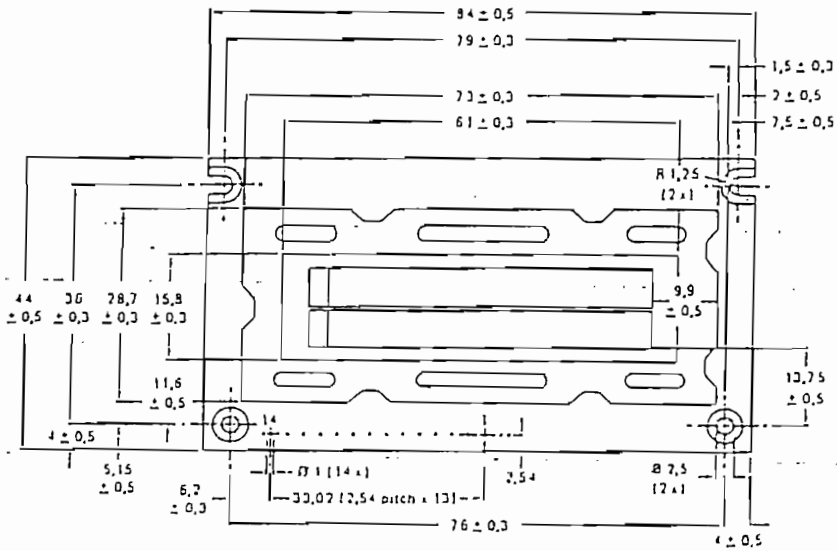
AMPEREX ELECTRONIC COMPANY  
A DIVISION OF NORTH AMERICAN PHILIPS CORP.  
OPTOELECTRONICS BUSINESS UNIT  
SMITHFIELD, RI 02917  
(401) 232 - 0500

JULY 1988

31

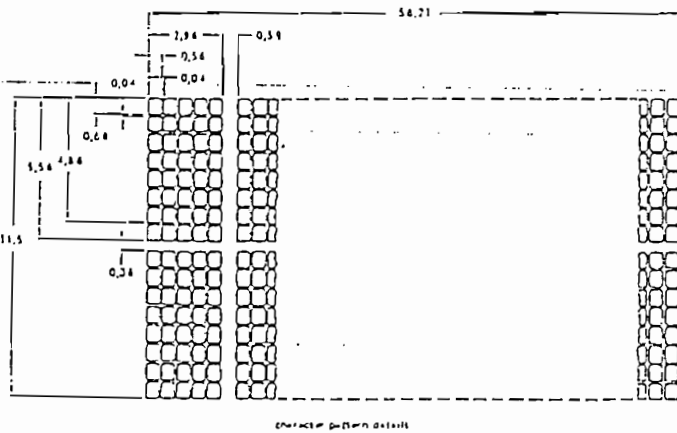
MECHANICAL DATA

Dimensions in mm



PIN DESCRIPTION

Pin #	Symbol	Name and Function
1	V <sub>ss</sub>	Ground
2	V <sub>dd</sub>	Power Supply
3	-Vo	Contrast Adjustment Voltage
4	RS	Register Select
5	R/W	Read/Write Select
6	E	Enable (Data Latch)
7	D0	I/O Data LSB
8	D1	I/O Data 2nd Bit
9	D2	I/O Data 3rd Bit
10	D3	I/O Data 4th Bit
11	D4	I/O Data 5th Bit
12	D5	I/O Data 6th Bit
13	D6	I/O Data 7th Bit
14	D7	I/O Data MSB



**RATINGS** Limiting values in accordance with Absolute Maximum System (IEC134).

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage (logic)	Vdd - Vss	- 0.3	-	7.0	V
Supply voltage (LCD)	Vdd - Vo	0	-	13.5	V
Input voltage	Vi	- 0.3	-	Vdd + 0.3	V
Storage temperature	Tstg	- 25	-	+ 70	°C
Operating ambient temperature	Tamb	0	-	+ 50	°C

**OPERATING CHARACTERISTICS** Tamb = 25 °C unless otherwise stated.

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage (logic)	Vdd - Vss	4.75	5.0	5.25	V
Contrast adjustment voltage	Vo - Vss	-	0.6	-	V
LOW level input voltage	Vil	- 0.3	-	0.6	V
HIGH level input voltage	Vih	2.2	-	Vdd	V
LOW level output voltage (Note 1)	Vol	-	-	0.4	V
HIGH level output voltage (Note 2)	Voh	2.4	-	-	V
Input leakage current	Ii	-	-	1.0	μA
Internal oscillator frequency	fosc	-	250	-	kHz
Supply current (logic) (Note 3)	Idd	-	1.6	2.2	mA
Power dissipation (Note 3)	Pd	-	8.0	11.0	mW

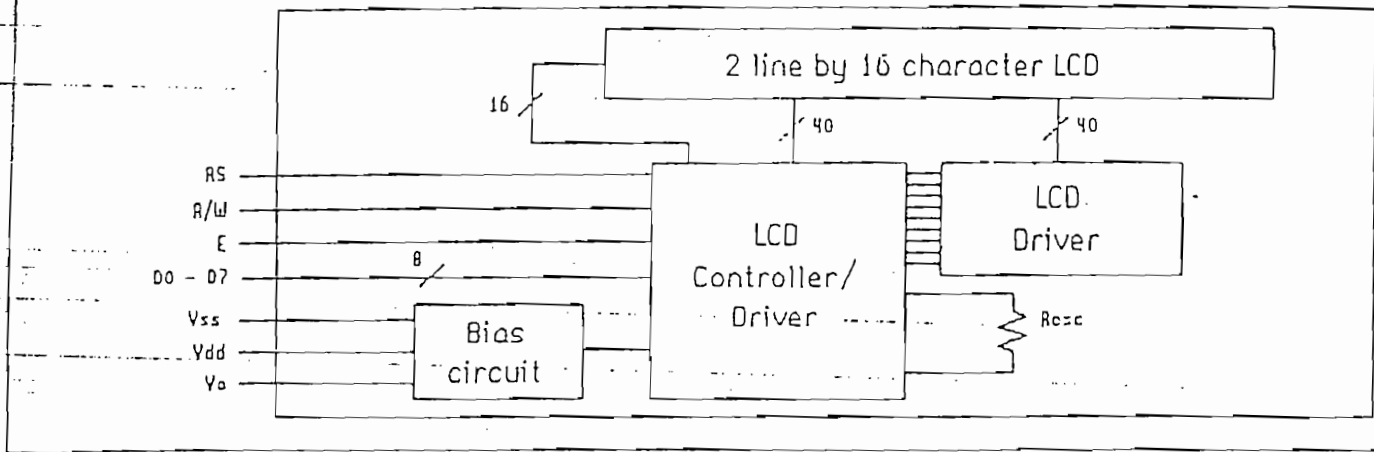
Note 1 : Iol = 1.2 mA.

Note 2 : -Ioh = 0.205 mA.

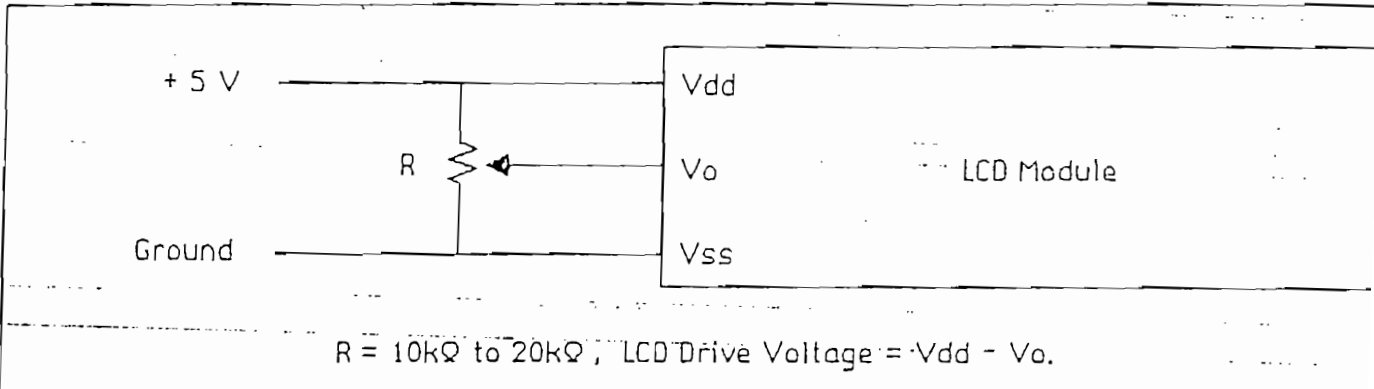
Note 3 : Vdd = 5 V, Vo = 0 V.



LCD MODULE CIRCUIT DIAGRAM



CONTRAST ADJUSTMENT CIRCUIT



ADDRESSING SCHEME

Display Position	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Line 1	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F
Line 2	40	41	42	43	44	45	46	47	48	49	4A	4B	4C	4D	4E	4F

DDRAM Address (HEX)

This represents the unshifted display addressing. See TP 238 for details.

## MODULE DESCRIPTION

LTN221 is a 40 character LCD module, each character consisting of a 5 x 7 dot matrix and cursor. CMOS controller/driver integrated circuits are incorporated. The module reads 4-bit or 8-bit character and instruction codes to display a full range of fixed and user defined characters and symbols on the LCD. Instructions for editing and shifting text are also featured.

Complete information regarding the operation of this LCD module is available in Philips Technical Publication #238 (TP 238). Please contact Amperex for a copy.

Two types are available, as follows:

LTN221R-10 - Reflective.

LTN221F-10 - Transflective (for use with EL backlight).

Type LTN221F-10 is designed to accommodate an electroluminescent (EL) backlight lamp. The recommended EL lamp is available separately as Philips Type LXL221-G, or directly from the supplier as NEC Type NEL-5L-329-G. The recommended backlight power supply (DC-to-AC inverter) is NEC Type NEL-D5-006.

## QUICK REFERENCE DATA

Outline Dimensions	116 x 37 x 8.3 mm
Viewing Area	83 x 18.6 mm
Character Format	5 x 7 dots and cursor
Character Size	5.55 x 3.20 mm
Dot Size (Spacing : 0.05 mm)	0.65 x 0.60 mm
Drive Method	Multiplex 1:16
Supply Voltage	+5 V
Power Consumption	7.5 mW (typ)
Viewing Mode	R-10 : Reflective F-10 : Transflective
Optimal Viewing Direction	6 O'clock
Data Interface	4- or 8-bit parallel
Character Generator	Built-in
Mass	≈ 50 g
Reliability Grade	Commercial

AMPEREX ELECTRONIC COMPANY  
A DIVISION OF NORTH AMERICAN PHILIPS CORP.  
OPTOELECTRONICS BUSINESS UNIT  
SMITHFIELD, RI 02917  
[401] 232 - 0500

JULY 1988

35

## **ANEXO 4**

Características técnicas de los C.I. más principales utilizados en las tarjetas.

# Quick Assembly Two and Three Channel Optical Encoders

## Technical Data

HEDS-5500/5540  
HEDS-5600/5640

### Features

- Two Channel Quadrature Output with Optional Index Pulse
- Quick and Easy Assembly
- No Signal Adjustment Required
- External Mounting Ears Available
- Low Cost
- Resolutions Up to 512 Counts Per Revolution
- Small Size
- -40°C to 100°C Operating Temperature
- TTL Compatible
- Single 5 V Supply

### Description

The HEDS-5500/5540 and 5600/5640 are high performance, low cost, two and three channel optical incremental encoders. These encoders emphasize high reliability, high resolution, and easy assembly.

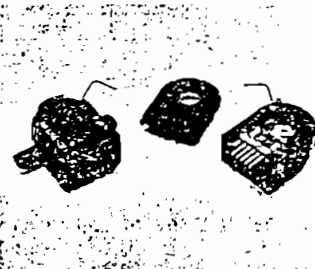
Each encoder contains a lensed LED source, an integrated circuit with detectors and output

circuitry, and a codewheel which rotates between the emitter and detector IC. The outputs of the HEDS-5500 and 5600 are two square waves in quadrature. The HEDS-5540 and 5640 also have a third channel index output in addition to the two channel quadrature. This index output is a 90 electrical degree, high true index pulse which is generated once for each full rotation of the codewheel.

These encoders may be quickly and easily mounted to a motor. For larger diameter motors, the HEDS-5600/5640 feature external mounting ears.

The quadrature signals and the index pulse are accessed through five 0.025 inch square pins located on 0.1 inch centers.

Standard resolutions between 96 and 512 counts per revolution are presently available. Consult local Hewlett-Packard sales representatives for other resolutions.



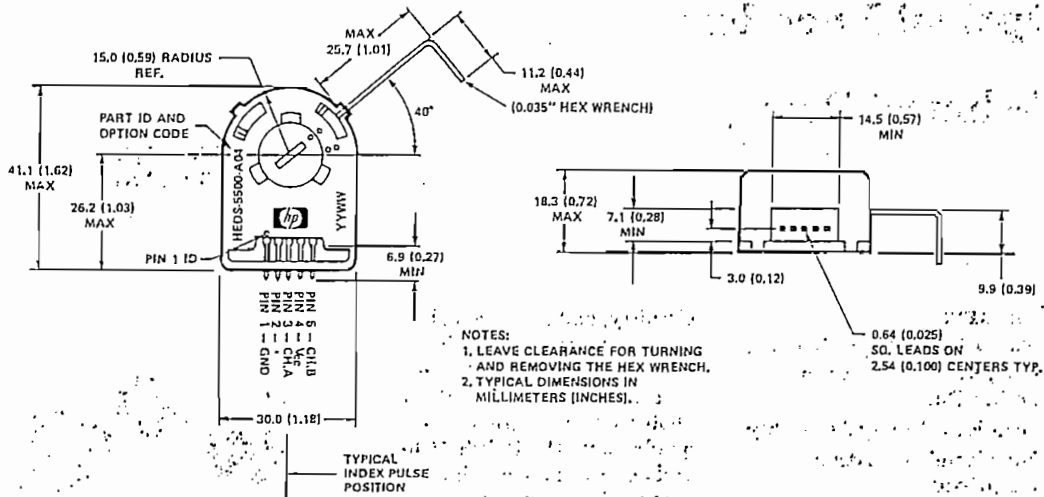
### Applications

The HEDS-5500, 5540, 5600, and 5640 provide motion detection at a low cost, making them ideal for high volume applications. Typical applications include printers, plotters, tape drives, positioning tables, and automatic handlers.

ESD WARNING; NORMAL HANDLING PRECAUTIONS SHOULD BE TAKEN TO AVOID STATIC DISCHARGE.

# Package Dimensions

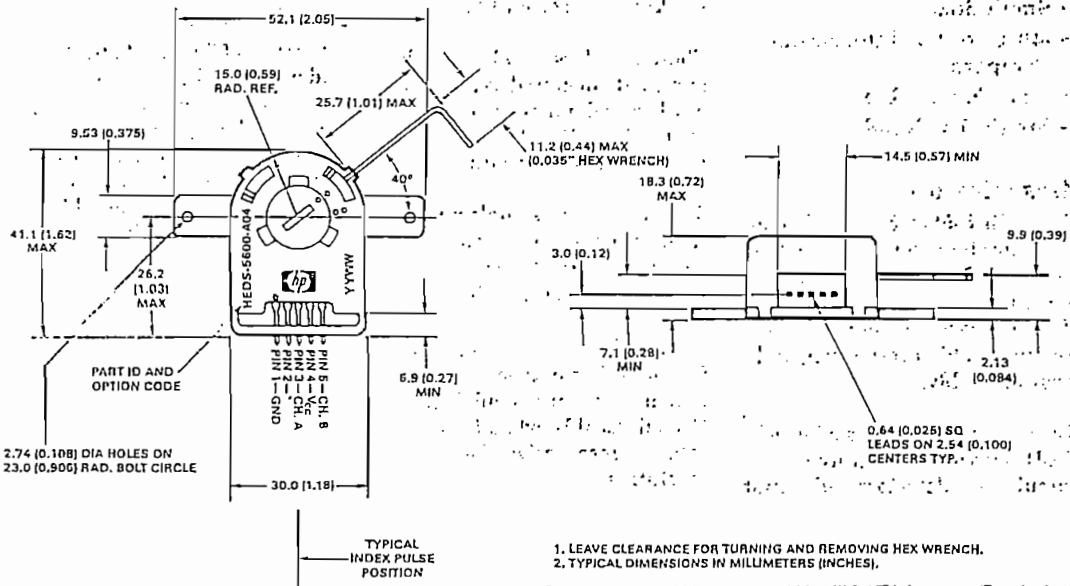
HEDS-5500/5540



NOTES:  
 1. LEAVE CLEARANCE FOR TURNING AND REMOVING THE HEX WRENCH.  
 2. TYPICAL DIMENSIONS IN MILLIMETERS (INCHES).  
 0.64 (0.025) SQ. LEADS ON 2.54 (0.100) CENTERS TYP.

\*Note: For the HEDS-5500, Pin #2 is a No Connect. For the HEDS-5540, Pin #2 is CH. I, the index output.

HEDS-5600/5640



1. LEAVE CLEARANCE FOR TURNING AND REMOVING HEX WRENCH.  
 2. TYPICAL DIMENSIONS IN MILLIMETERS (INCHES).  
 0.64 (0.025) SQ. LEADS ON 2.54 (0.100) CENTERS TYP.

\*Note: For the HEDS-5600, Pin #2 is a No Connect. For the HEDS-5640, Pin #2 is CH. I, the index output.

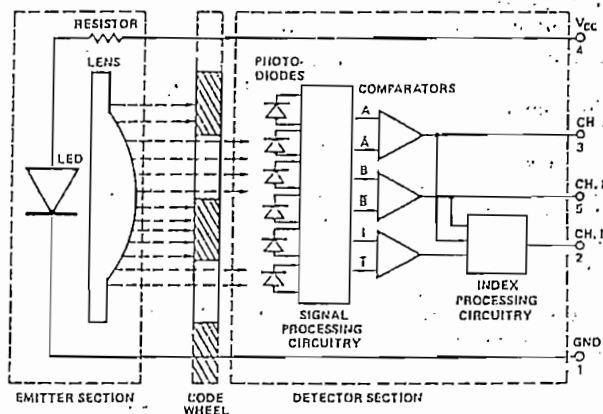
## Theory of Operation

The HEDS-5500, 5540, 5600, and 5640 translate the rotary motion of a shaft into either a two- or a three-channel digital output.

As seen in the block diagram, these encoders contain a single Light Emitting Diode (LED) as its light source. The light is collimated into a parallel beam by means of a single polycarbonate lens located directly over the LED. Opposite the emitter is the integrated detector circuit. This IC consists of multiple sets of photodetectors and the signal processing circuitry necessary to produce the digital waveforms.

The codewheel rotates between the emitter and detector, causing the light beam to be interrupted by the pattern of spaces and bars on the codewheel. The photodiodes which detect these interruptions are arranged in a pattern that corresponds to the radius and design of the codewheel. These detectors are also spaced such that a light period on one pair of detectors corresponds to a dark period on the adjacent pair of detectors. The photodiode outputs are then fed through the signal processing circuitry resulting in A,  $\bar{A}$ , B and  $\bar{B}$  (also I and  $\bar{I}$  in the HEDS-5540 and 5640). Comparators receive these signals and produce the final outputs for channels A and B. Due to this integrated phasing technique, the digital output of channel A is in quadrature with that of channel B (90 degrees out of phase).

## Block Diagram



NOTE: CIRCUITRY FOR CH. I IS ONLY IN HEDS-5540 AND 5640 THREE CHANNEL ENCODERS.

In the HEDS-5540 and 5640, the output of the comparator for I and  $\bar{I}$  is sent to the index processing circuitry along with the outputs of channels A and B. The final output of channel I is an index pulse  $P_0$  which is generated once for each full rotation of the codewheel. This output  $P_0$  is a one state width (nominally 90 electrical degrees), high true index pulse which is coincident with the low states of channels A and B.

**Position Error ( $\Delta\theta$ ):** The normalized angular difference between the actual shaft position and the position indicated by the encoder cycle count.

**Cycle Error ( $\Delta C$ ):** An indication of cycle uniformity. The difference between an observed shaft angle which gives rise to one electrical cycle, and the nominal angular increment of  $1/N$  of a revolution.

**Pulse Width (P):** The number of electrical degrees that an output is high during 1 cycle. This value is nominally  $180^\circ$  or  $1/2$  cycle.

**Pulse Width Error ( $\Delta P$ ):** The deviation, in electrical degrees, of the pulse width from its ideal value of  $180^\circ$ .

**State Width (S):** The number of electrical degrees between a transition in the output of channel A and the neighboring transition in the output of channel B. There are 4 states per cycle, each nominally  $90^\circ$ .

## Definitions

**Count (N):** The number of bar and window pairs or counts per revolution (CPR) of the codewheel.

**One Cycle (C):** 360 electrical degrees ( $^\circ e$ ), 1 bar and window pair.

**One Shaft Rotation:** 360 mechanical degrees, N cycles.

**State Width Error ( $\Delta S$ ):** The deviation, in electrical degrees, of each state width from its ideal value of  $90^\circ$ .

**Phase ( $\phi$ ):** The number of electrical degrees between the center of the high state of channel A and the center of the high state of channel B. This value is nominally  $90^\circ$  for quadrature output.

**Phase Error ( $\Delta\phi$ ):** The deviation of the phase from its ideal value of  $90^\circ$ .

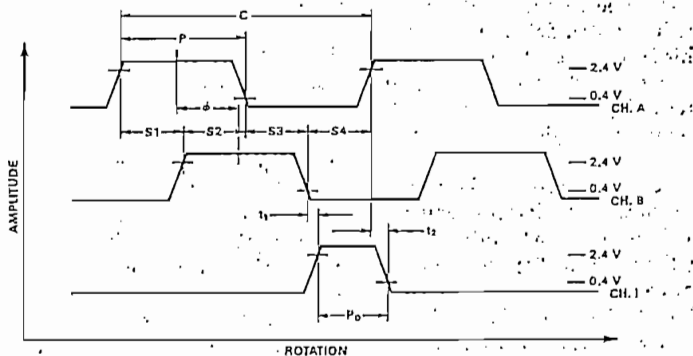
**Direction of Rotation:** When the codewheel rotates in the counterclockwise direction (as viewed from the encoder end of the motor), channel A will lead channel B. If the codewheel rotates in the clockwise direction, channel B will lead channel A.

**Index Pulse Width ( $P_o$ ):** The number of electrical degrees that an index output is high during one full shaft rotation. This value is nominally  $90^\circ$  or  $1/4$  cycle.

### Absolute Maximum Ratings

Storage Temperature, $T_s$	-40°C to 100°C
Operating Temperature, $T_A$	-40°C to 100°C
Supply Voltage, $V_{CC}$	-0.5 V to 7 V
Output Voltage, $V_o$	-0.5 V to $V_{CC}$
Output Current per Channel, $I_{OUT}$	-1.0 mA to 5 mA
Vibration	20 g, 5 to 1000 Hz
Shaft Axial Play	$\pm 0.25$ mm ( $\pm 0.010$ in.)
Shaft Eccentricity Plus Radial Play	0.1 mm (0.004 in.) TIR
Velocity	30,000 RPM
Acceleration	250,000 rad/sec <sup>2</sup>

### Output Waveforms



### Recommended Operating Conditions

Parameter	Symbol	Min.	Typ.	Max.	Units	Notes
Temperature	$T_A$	-40		100	°C	
Supply Voltage	$V_{CC}$	4.5	5.0	5.5	Volts	Ripple < 100 mV <sub>PP</sub>
Load Capacitance	$C_L$			100	pF	2.7 k $\Omega$ pull-up
Count Frequency	$f$			100	kHz	Velocity (rpm) x N/60
Shaft Perpendicularity Plus Axial Play				$\pm 0.25$ ( $\pm 0.010$ )	mm (in.)	6.9 mm (0.27 in.) from mounting surface
Shaft Eccentricity Plus Radial Play				0.04 (0.0015)	mm (in.) TIR	6.9 mm (0.27 in.) from mounting surface.

Note: The module performance is guaranteed to 100 kHz but can operate at higher frequencies. 2.7 k $\Omega$  pull-up resistors required for HEDS-5540 and 5640.

**Encoding C**  
Encoding Char  
unless otherwis

Part No.
HEDS-5500 HEDS-5600 (Two Channel)

Part No.
HEDS-5540 HEDS-5640 (Three Channel)

Note: See Mechan

**Electrical C**  
Electrical Char

Part No.
HEDS-5500 HEDS-5600

Part No.
HEDS-5540 HEDS-5640

\*Typical values sp

### Encoding Characteristics

Encoding Characteristics over Recommended Operating Range and Recommended Mounting Tolerances unless otherwise specified. Values are for the worst error over the full rotation.

Part No.	Description	Sym.	Min.	Typ.*	Max.	Units	
HEDS-5500	Pulse Width Error	$\Delta P$		7	45	$^{\circ}e$	
HEDS-5600 (Two Channel)	Logic State Width Error	$\Delta S$		5	45	$^{\circ}e$	
	Phase Error	$\Delta\phi$		2	20	$^{\circ}e$	
	Position Error	$\Delta\Theta$		10	40	min. of arc	
	Cycle Error	$\Delta C$		3	5.5	$^{\circ}e$	
HEDS-5540	Pulse Width Error	$\Delta P$		5	35	$^{\circ}e$	
HEDS-5640 (Three Channel)	Logic State Width Error	$\Delta S$		5	35	$^{\circ}e$	
	Phase Error	$\Delta\phi$		2	15	$^{\circ}e$	
	Position Error	$\Delta\Theta$		10	40	min. of arc	
	Cycle Error	$\Delta C$		3	5.5	$^{\circ}e$	
	Index Pulse Width	$P_0$	55	90	125	$^{\circ}e$	
	CH. I rise after	-25°C to +100°C	$t_1$	10	100	250	ns
	CH. A or CH. B fall	-40°C to +100°C	$t_1$	-300	100	250	ns
	CH. I fall after	-25°C to +100°C	$t_2$	70	150	300	ns
	CH. B or CH. A rise	-40°C to +100°C	$t_2$	70	150	1000	ns

Note: See Mechanical Characteristics for mounting tolerances.

### Electrical Characteristics

Electrical Characteristics over Recommended Operating Range.

Part No.	Parameter	Sym.	Min.	Typ.*	Max.	Units	Notes
HEDS-5500	Supply Current	$I_{CC}$		17	40	mA	
HEDS-5600	High Level Output Voltage	$V_{OH}$	2.4			V	$I_{OH} = -40 \mu A$ max.
	Low Level Output Voltage	$V_{OL}$			0.4	V	$I_{OL} = 3.2$ mA
	Rise Time	$t_r$		200		ns	$C_L = 25$ pF
	Fall Time	$t_f$		50		ns	$R_L = 11$ k $\Omega$ pull-up
HEDS-5540	Supply Current	$I_{CC}$	30	57	85	mA	
HEDS-5640	High Level Output Voltage	$V_{OH}$	2.4			V	$I_{OH} = -200 \mu A$ max.
	Low Level Output Voltage	$V_{OL}$			0.4	V	$I_{OL} = 3.86$ mA
	Rise Time	$t_r$		180		ns	$C_L = 25$ pF
	Fall Time	$t_f$		40		ns	$R_L = 2.7$ k $\Omega$ pull-up

\*Typical values specified at  $V_{CC} = 5.0$  V and 25°C.



## Mechanical Characteristics

Parameter	Symbol	Dimension	Tolerance <sup>(1)</sup>		Units
			HEDS-5X00	HEDS-5X40	
Codewheel Fits These Standard		2 3 4	+0.000	+0.000	mm
		5 6 8	-0.015	-0.015	
Shaft Diameters		5/32 1/8	+0.0000	+0.0000	in
		3/16 1/4	-0.0007	-0.0007	
Moment of Inertia	J	0.6 (8.0 x 10 <sup>-6</sup> )			g-cm <sup>2</sup> (oz-in-s <sup>2</sup> )
Required Shaft Length <sup>(2)</sup>		14.0 (0.55)	±0.5 (±0.02)	±0.5 (±0.02)	mm (in.)
Bolt Circle <sup>(3)</sup>	2 screw mounting	19.05 (0.750)	±0.13 (±0.005)	±0.13 (±0.005)	mm (in.)
	3 screw mounting	20.90 (0.823)	±0.13 (±0.005)	±0.13 (±0.005)	mm (in.)
	ext. mtg. ears	46.0 (1.811)	±0.13 (±0.005)	±0.13 (±0.005)	mm (in.)
Mounting Screw Size <sup>(4)</sup>	2 screw mounting	M 2.5 or (2-56)			mm (in.)
	3 screw mounting	M 1.6 or (0-80)			mm (in.)
	ext. mtg. ears	M 2.5 or (2-56)			mm (in.)
Encoder Base Plate Thickness		0.33 (0.130)			mm (in.)
Hub Set Screw		(2-56)			(in.)

### Notes:

- These are tolerances required of the user.
- The HEDS-55X5 and 56X5 provide an 8.9 mm (0.35 inch) diameter hole through the housing for longer motor shafts. See Ordering Information.
- The HEDS-5540 and 5640 must be aligned using the aligning pins as specified in Figure 3, or using the alignment tool as shown in "Encoder Mounting and Assembly". See also "Mounting Considerations."
- The recommended mounting screw torque for 2 screw and external ear mounting is 1.0 kg-cm (0.88 in-lbs). The recommended mounting screw torque for 3 screw mounting is 0.50 kg-cm (0.43 in-lbs).

## Electrical Interface

To insure reliable encoding performance, the HEDS-5540 and 5640 three channel encoders require 2.7 kΩ (±10%) pull-up resistors on output pins 2, 3, and 5 (Channels I, A, and B) as shown in Figure 1. These

pull-up resistors should be located as close to the encoder as possible (within 4 feet). Each of the three encoder outputs can drive a single TTL load in this configuration.

The HEDS-5500 and 5600 two channel encoders do not

normally require pull-up resistors. However, pull-up resistors on output pins 3 and 5 (Channels A and B) are recommended to improve rise times.

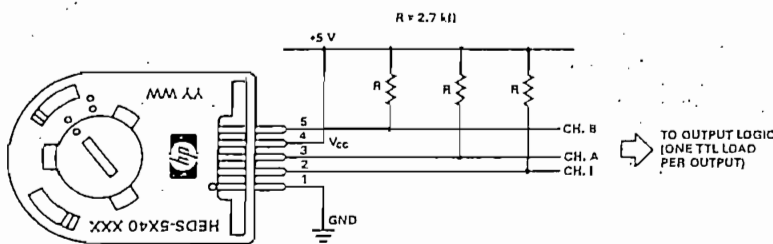


Figure 1. Pull-up Resistors on HEDS-5X40 Encoder Outputs.

Mounting  
Considerations  
The HEDS-5500  
channel encoder  
aligned using  
as specified in  
the HEDS-5500  
as shown in  
and Assembly

The use of  
alignment pins  
but not required  
HEDS-5500

MOTOR SHAFT CENTER

—A—

2 SCREW MOUNTING  
M2.5 (2-56 UNF)  
2 PLCS-EQUAL  
SPACED ON  
19.05 (0.750 IN)  
BOLT CIRCLES

⊕ A ⊕

Figure 1

DIMENSIONS

### Mounting Considerations

The HEDS-5540 and 5640 three channel encoders must be aligned using the aligning pins as specified in Figure 3, or using the HEDS-8910 Alignment Tool as shown in Encoder Mounting and Assembly.

The use of aligning pins or alignment tool is recommended but not required to mount the HEDS-5500 and 5600. If these

two channel encoders are attached to a motor with the screw sizes and mounting tolerances specified in the mechanical characteristics section without any additional mounting bosses, the encoder output errors will be within the maximums specified in the encoding characteristics section.

The HEDS-5500 and 5640 can be mounted to a motor using either the two screw or three

screw mounting option as shown in Figure 2. The optional aligning pins shown in Figure 3 can be used with either mounting option.

The HEDS-5600 and 5640 have external mounting ears which may be used for mounting to larger motor base plates. Figure 4 shows the necessary mounting holes with optional aligning pins and motor boss.

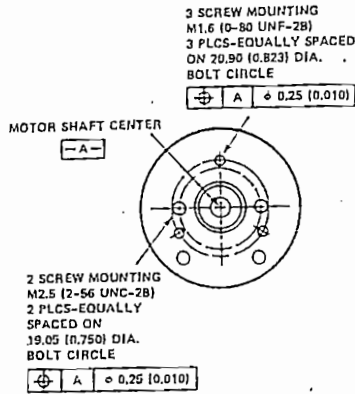


Figure 2. Mounting Holes.

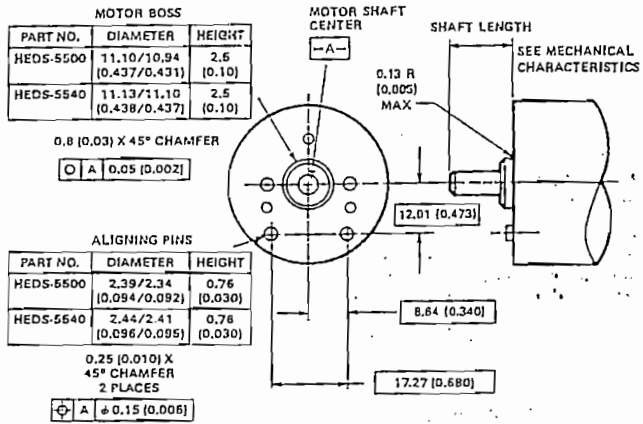


Figure 3. Optional Mounting Aids.

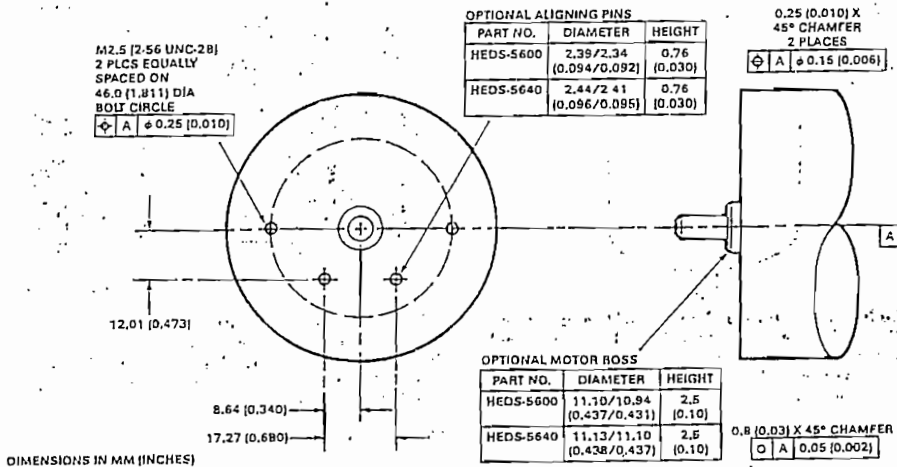
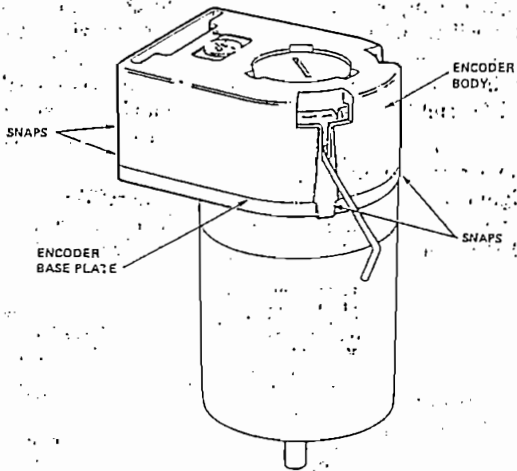
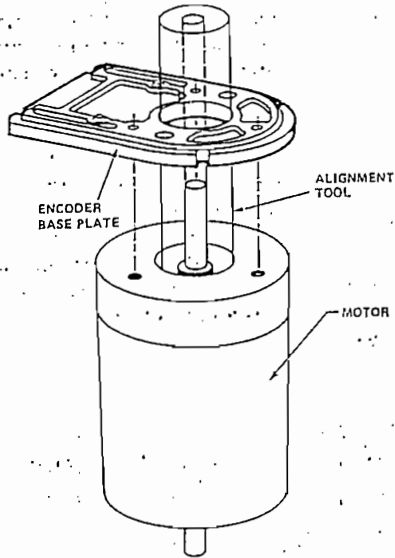


Figure 4. Mounting with External Ears.

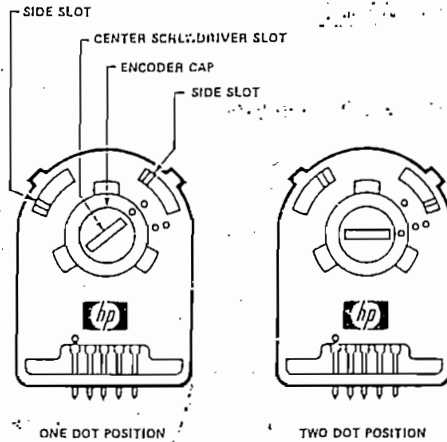
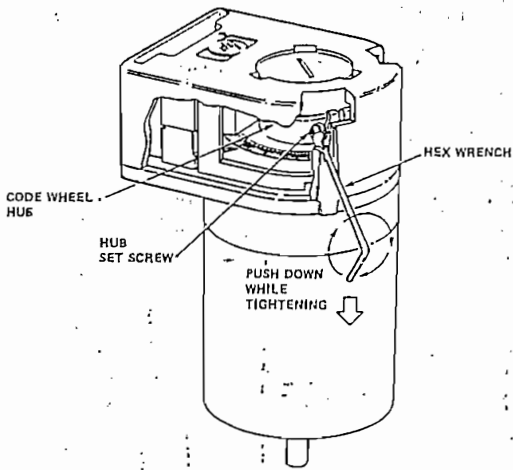
# Encoder Mounting and Assembly



1. For HEDS-5500 and 5600: Mount encoder base plate onto motor. Tighten screws. Go on to step 2.

2. Snap encoder body onto base plate locking all 4 snaps.

1a. For HEDS-5540 and 5640: Slip alignment tool onto motor shaft. With alignment tool in place, mount encoder baseplate onto motor as shown above. Tighten screws. Remove alignment tool.



3a. Push the hex wrench into the body of the encoder to ensure that it is properly seated into the code wheel hub set screws. Then apply a downward force on the end of the hex wrench. This sets the code wheel gap by levering the code wheel hub to its upper position.

4. Use the center screwdriver slot, or either of the two side slots, to rotate the encoder cap dot clockwise from the one dot position to the two dot position. Do not rotate the encoder cap counterclockwise beyond the one dot position.

3b. While continuing to apply a downward force, rotate the hex wrench in the clockwise direction until the hub set screw is tight against the motor shaft. The hub set screw attaches the code wheel to the motor's shaft.

The encoder is ready for use!

3c. Remove the hex wrench by pulling it straight out of the encoder body.

Connecto

Manufact
AMP
Berg
HP
Molex

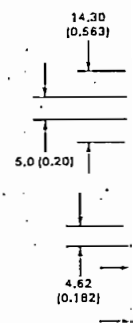


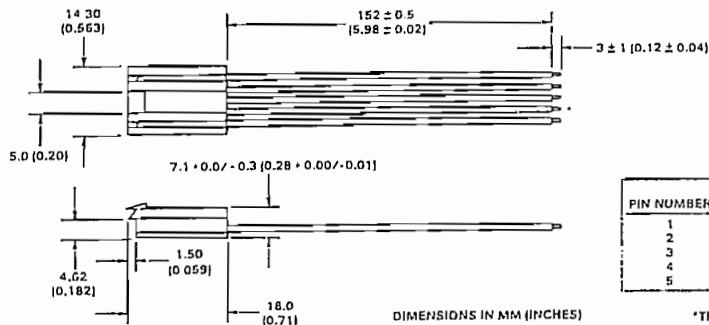
Figure 5. HED

Typical I

HEDS-55XX OR HEDS-56XX
HEDS-55XX OR HEDS-56XX

### Connectors

Manufacturer	Part Number
AMP	103686-4 640442-5
Berg	65039-032 with 4825X-000 term.
HP	HEDS-8902 (2 ch.) with 4-wire leads
	HEDS-8903 (3 ch.) with 5-wire leads
Molex	2695 series with 2759 series term.

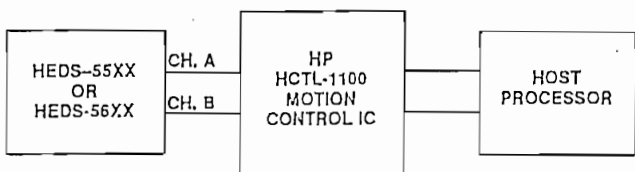
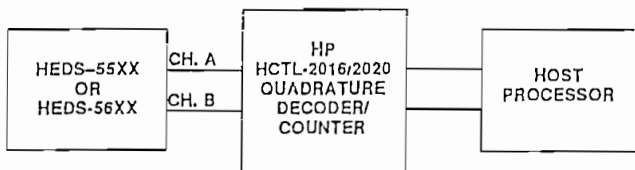


PIN NUMBER	PARAMETER	HEDS-8902 COLORS	HEDS-8903 COLORS
1	GROUND	BLACK	BLACK
2	CH. I	N/A*	BLUE
3	CH. A	WHITE	WHITE
4	V <sub>cc</sub>	RED	RED
5	CH. B	BROWN	BROWN

\*THIS WIRE IS NOT ON HEDS-8902.

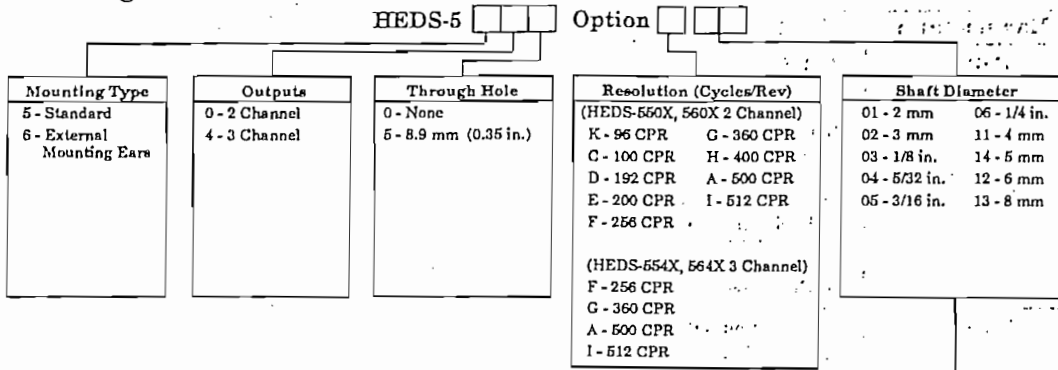
Figure 5. HEDS-8902 and 8903 Connectors.

### Typical Interfaces



HEDS-5500 G12

## Ordering Information



HEDS-8910 0   Alignment Tool

(Included with each order of HEDS-554X/564X three channel encoders)

## Miniature Optical Technique

### Features

- Miniature
- Smooth T
- Detented
- Multiple Options
- Uses Opt
- Technolo
- Quadratu
- Small Fo
- Versatile
- TTL Com

### Description

The HRPG is a miniature pulse generator encoders, all digital potentiometers. The HRPG is designed on a front panel rotary, data HRPG is versatile with numerous applications. The many configurations available. The HRPG is available with detents or smooth termination and different mounting configurations.

**NPN**      **PNP**  
**2N3055**   **MJ2955**



2N3055

1.3

**COMPLEMENTARY SILICON POWER TRANSISTORS**

... designed for general-purpose switching and amplifier applications.

- DC Current Gain —  $h_{FE} = 20-70$  @  $I_C = 4$  Adc
- Collector-Emitter Saturation Voltage —  $V_{CE(sat)} = 1.1$  Vdc (Max) @  $I_C = 4$  Adc
- Excellent Safe Operating Area

**15 AMPERE  
POWER TRANSISTORS  
COMPLEMENTARY SILICON**

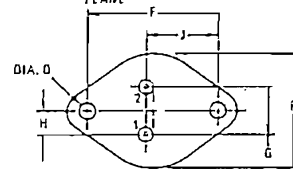
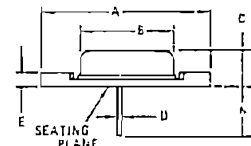
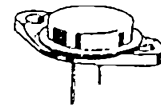
**60 VOLTS  
115 WATTS**

**MAXIMUM RATINGS**

Rating	Symbol	Value	Unit
Collector-Emitter Voltage	$V_{CEO}$	60	Vdc
Collector-Emitter Voltage	$V_{CER}$	70	Vdc
Collector-Base Voltage	$V_{CB}$	100	Vdc
Emitter-Base Voltage	$V_{EB}$	7	Vdc
Collector Current — Continuous	$I_C$	15	Aadc
Base Current	$I_B$	7	Aadc
Total Power Dissipation @ $T_C = 25^\circ\text{C}$ Derate above $25^\circ\text{C}$	$P_D$	115 0.657	Watts W/°C
Operating and Storage Junction Temperature Range	$T_J, T_{stg}$	$-65$ to $+200$	$^\circ\text{C}$

**THERMAL CHARACTERISTICS**

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Case	$R_{\theta JC}$	1.52	$^\circ\text{C}/\text{W}$



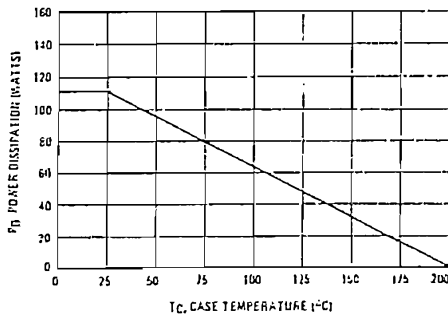
NOTE:  
1 DIM "0" IS DIA

STYLE 1:  
1 PIN 1 BASE  
2 EMITTER  
CASE COLLECTOR

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	—	59.37	—	1.550
B	—	21.08	—	0.830
C	0.35	2.57	0.014	0.102
D	0.99	1.05	0.039	0.041
E	—	3.31	—	0.131
F	29.80	30.40	1.173	1.197
G	10.67	11.18	0.420	0.440
H	5.33	5.59	0.210	0.220
J	16.64	17.15	0.655	0.675
K	11.18	12.19	0.440	0.483
L	3.84	4.09	0.151	0.161
M	—	26.67	—	1.050

Collector Connected to Case  
CASE 11 01  
(TO-3)

**FIGURE 1 — POWER DERATING**



ELEC  
\*OFF  
Coul  
II  
Cover  
II  
Cote  
(  
(  
(  
(  
(  
(  
\*ON C  
DC C  
(  
(  
Coul  
(  
(  
Base  
(  
SECC  
Sinc  
(  
DYN  
Coul  
(  
\*Sinc  
(  
\*Sinc  
(  
\*Inac  
(11)Pur

20  
10  
E  
E  
7  
1  
0.4  
0.2  
E

2N3055 NPN/MJ2955 PNP

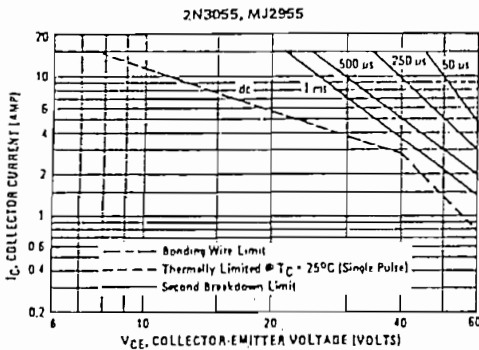
1.3

ELECTRICAL CHARACTERISTICS ( $T_C = 25^\circ\text{C}$  unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
<b>*OFF CHARACTERISTICS</b>				
Collector-Emitter Sustaining Voltage (1) ( $I_C = 200\text{ mA dc}, I_B = 0$ )	$V_{CEO(sus)}$	60	—	Vdc
Collector-Emitter Sustaining Voltage (1) ( $I_C = 200\text{ mA dc}, R_{BE} = 100\text{ Ohms}$ )	$V_{CER(sus)}$	70	—	Vdc
Collector Cutoff Current ( $V_{CE} = 30\text{ Vdc}, I_B = 0$ )	$I_{CEO}$	—	0.7	mA dc
Collector Cutoff Current ( $V_{CE} = 100\text{ Vdc}, V_{BE(off)} = 1.5\text{ Vdc}$ ) ( $V_{CE} = 100\text{ Vdc}, V_{BE(off)} = 1.5\text{ Vdc}, T_C = 150^\circ\text{C}$ )	$I_{CEX}$	—	1.0 5.0	mA dc
Emitter Cutoff Current ( $V_{BE} = 7.0\text{ Vdc}, I_C = 0$ )	$I_{EBO}$	—	5.0	mA dc
<b>*ON CHARACTERISTICS (1)</b>				
DC Current Gain ( $I_C = 4.0\text{ A dc}, V_{CE} = 4.0\text{ Vdc}$ ) ( $I_C = 10\text{ A dc}, V_{CE} = 4.0\text{ Vdc}$ )	$h_{FE}$	20 5.0	70 —	—
Collector-Emitter Saturation Voltage ( $I_C = 4.0\text{ A dc}, I_B = 400\text{ mA dc}$ ) ( $I_C = 10\text{ A dc}, I_B = 3.3\text{ A dc}$ )	$V_{CE(sat)}$	—	1.1 3.0	Vdc
Base-Emitter On Voltage ( $I_C = 4.0\text{ A dc}, V_{CE} = 4.0\text{ Vdc}$ )	$V_{BE(on)}$	—	1.5	Vdc
<b>SECOND BREAKDOWN</b>				
Second Breakdown Collector Current with Base Forward Biased ( $V_{CE} = 40\text{ Vdc}, t = 1.0\text{ s}$ ; Nonrecipitave)	$I_{s/b}$	2.87	—	A dc
<b>DYNAMIC CHARACTERISTICS</b>				
Current Gain — Bandwidth Product ( $I_C = 0.5\text{ A dc}, V_{CE} = 10\text{ Vdc}, f = 1.0\text{ MHz}$ )	$f_T$	2.5	—	MHz
*Small-Signal Current Gain ( $I_C = 1.0\text{ A dc}, V_{CE} = 4.0\text{ Vdc}, f = 1.0\text{ kHz}$ )	$h_{fe}$	15	120	—
*Small-Signal Current Gain Cutoff Frequency ( $V_{CE} = 4.0\text{ Vdc}, I_C = 1.0\text{ A dc}, f = 1.0\text{ kHz}$ )	$f_{hfe}$	10	—	kHz

\* Indicates Within JEDEC Registration. (2N3055)  
(1) Pulse Test: Pulse Width < 300  $\mu\text{s}$ , Duty Cycle < 2.0%.

FIGURE 2 — ACTIVE REGION SAFE OPERATING AREA



There are two limitations on the power handling ability of a transistor, average junction temperature and second breakdown. Safe operating area curves indicate  $I_C$ - $V_{CE}$  limits of the transistor that must be observed for reliable operation; i.e., the transistor must not be subjected to greater dissipation than the curves indicate. The data of Figure 2 is based on  $T_C = 25^\circ\text{C}$ ;  $T_{J(pk)}$  is variable depending on power level. Second breakdown pulse limits are valid for duty cycles to 10% but must be derated for temperature according to Figure 1.

2N3055 NPN/MJ2955 PNP

1.3

NPN  
2N3055

PNP  
MJ2955

FIGURE 3 - DC CURRENT GAIN

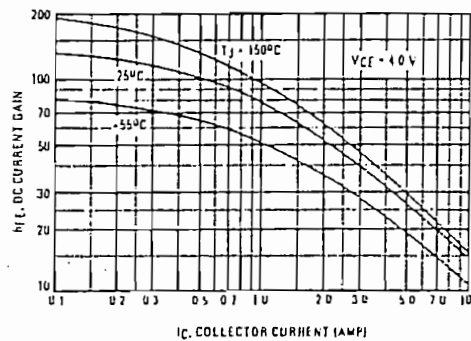
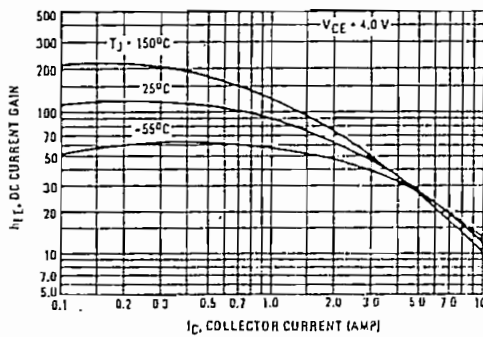


FIGURE 4 - COLLECTOR SATURATION REGION

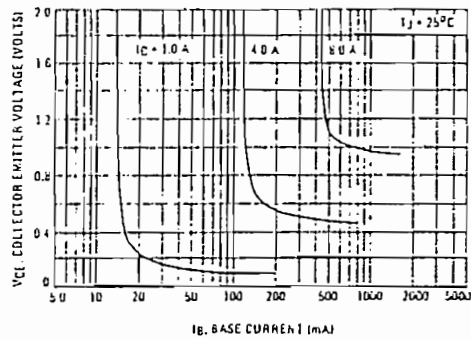
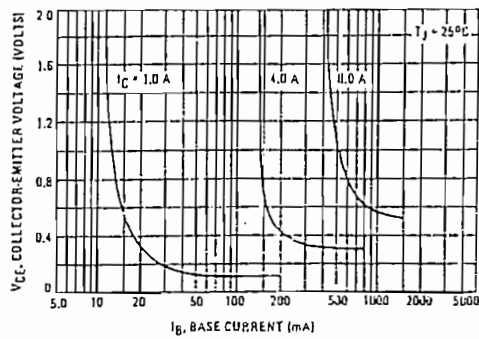
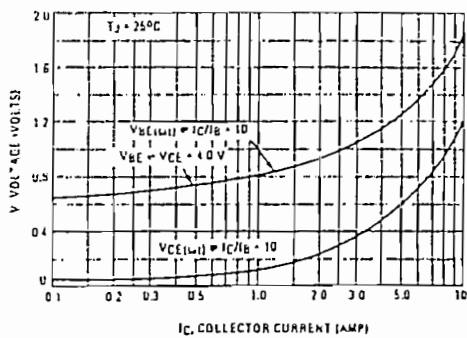
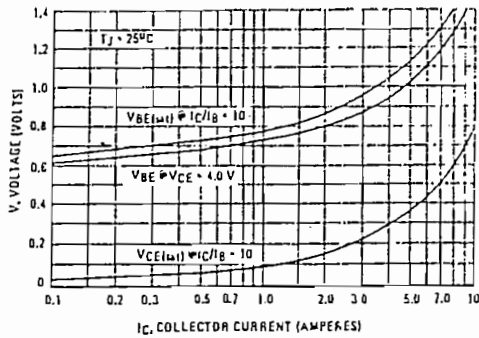


FIGURE 5 - "ON" VOLTAGES





### General Description

MM54C920/MM74C920 256 x 4 random access read/write memory is manufactured using silicon gate CMOS technology. Data output is the same polarity as data internal latches store address inputs, CES and output. This RAM is specifically designed to operate at standard 54/74 TTL power supplies. All inputs and outputs are TTL compatible.

MM54C921/MM74C921 is identical to the MM54C920, except data inputs are internally connected to outputs; the number of package leads is thereby reduced to 18.

Address decoding as well as 2-chip select function and CES, and TRI-STATE outputs allow easy interfacing with a minimum of external components. Ver-

satellite plus high speed and low power make these RAMs ideal elements for use in microprocessor, minicomputer, as well as main frame memory applications.

### Features

- 256 x 4-bit organization
- Access time
  - 250 ns max. MM74C920, MM74C921
  - 275 ns max. MM54C920, MM54C921
  - 300 ns max. MM74C920-3, MM74C921-3
- TRI-STATE outputs
- Low power
- On-chip registers
- Single 5V supply
- Data retained with  $V_{CC}$  as low as 2V

See page 4-15  
for detailed  
specifications

### General Description

These CMOS key encoders provide all the necessary logic to fully encode an array of SPST switches. The keyboard scan can be implemented by either an external clock or external capacitor. These encoders also have on-chip pull-up devices which permit switches with up to 50 k $\Omega$  on resistance to be used. No diodes in the switch array are needed to eliminate ghost switches. The internal debounce circuit needs only a single external capacitor and can be defeated by omitting the capacitor. A Data Available output goes to a high level when a valid keyboard entry has been made. The Data Available output returns to a low level when the entered key is released, even if another key is depressed. The Data Available will return high to indicate acceptance of the new key after a normal debounce period; this two key roll over is provided between any two switches.

An internal register remembers the last key pressed even after the key is released. The TRI-STATE outputs

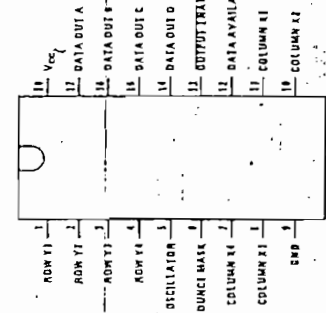
provide for easy expansion and bus operation and are LPTTL compatible.

### Features

- 50 k $\Omega$  maximum switch on resistance
- On or off chip clock
- On chip row pull-up devices
- 2 key roll-over
- Keybounce elimination with single capacitor
- Last key register at outputs
- TRI-STATE outputs LPTTL compatible
- Wide supply range
- Low power consumption

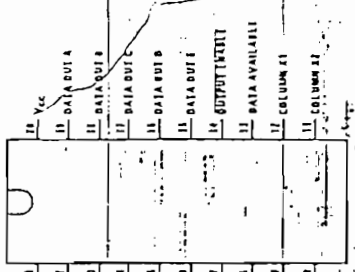
### Connection Diagrams

Dual-In-Line Package



TOP VIEW

Dual-In-Line Package



Order Number MM54C922N  
or MM74C922N  
See Package 20A

Order Number MM54C923N  
or MM74C923N  
See Package 20A



PARAMETER	CONDITIONS	MIN	TYP	MAX	UNIT
Output Source Current (P-Channel)	VCC = 5V, VOUT = 0V, TA = 25°C	-1.75	-3.3		mA
Output Source Current (N-Channel)	VCC = 10V, VOUT = 0V, TA = 25°C	-8	-15		mA
Output Sink Current (P-Channel)	VCC = 5V, VOUT = VCC, TA = 25°C	1.75	3.6		mA
Output Sink Current (N-Channel)	VCC = 10V, VOUT = VCC, TA = 25°C	8	10		mA

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNIT
Propagation Delay Time to Logical "0" or Logical "1" from D.A.	CL = 50 pF, (Figure 1) VCC = 5V VCC = 10V VCC = 15V	60	35	150	ns
Propagation Delay Time from Logical "0" or Logical "1" into High Impedance State	RL = 10k, CL = 10pF (Figure 2) VCC = 5V, RL = 10k VCC = 10V, CL = 10 pF VCC = 15V	80	65	200	ns
Propagation Delay Time from High Impedance State to a Logical "0" or Logical "1"	RL = 10k, CL = 50 pF, (Figure 2) VCC = 5V, RL = 10k VCC = 10V, CL = 50 pF VCC = 15V	100	55	125	ns
Input Capacitance	Any Input, (Note 2)	40	90	110	ns
TRI-STATE Output Capacitance	Any Output, (Note 2)	5	7.5		pF

**AC Electrical Characteristics** TA = 25°C, CL = 50 pF, unless otherwise noted

Notes: 1) "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range", they do not mean to imply that the device should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.  
 Note 2: Capacitance is guaranteed by periodic testing.

**Switching Time Waveforms**

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNIT
Logical "1" Input Voltage, Except Otc and KBM Inputs	VCC = 5V, IIN ≥ 0.7 mA VCC = 10V, IIN ≥ 1.4 mA VCC = 15V, IIN ≥ 2.1 mA	3	3.6	4.3	V
Logical "0" Input Voltage, Except Otc and KBM Inputs	VCC = 5V, IIN ≥ 0.7 mA VCC = 10V, IIN ≥ 1.4 mA VCC = 15V, IIN ≥ 2.1 mA	0.7	1.4	2	V
Logical "1" Output Voltage	VCC = 5V, IO = 10µA VCC = 10V, IO = 10µA VCC = 15V, IO = 10µA	3.5	4.5	5	V
Logical "0" Output Voltage	VCC = 5V, IO = 10µA VCC = 10V, IO = 10µA VCC = 15V, IO = 10µA	0.5	1.5	2	V
Column "ON" Resistance at X1, X2, X3 and X4 Outputs	VCC = 5V, VIO = 0.1 VCC VCC = 10V VCC = 15V	4.5	9	15	Ω
Supply Current	VCC = 5V, Osc at 0V VCC = 10V VCC = 15V	0.55	1.1	1.9	mA
Logical "1" Input Current at Output Enable	VCC = 15V, VIN = 15V	1.0	1.7	2.6	mA
Logical "0" Input Current at Output Enable	VCC = 15V, VIN = 0V	1.0	0.005	0.005	mA

**LPTTL INTERFACE**

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNIT
Logical "1" Input Voltage, Except Otc and KBM Inputs	54C, VCC = 4.5V 74C, VCC = 4.75V	VCC-1.5			V
Logical "0" Input Voltage, Except Otc and KBM Inputs	54C, VCC = 4.5V 74C, VCC = 4.75V	VCC-1.5			V
Logical "1" Output Voltage	54C, VCC = 4.5V, IO = 360µA 74C, VCC = 4.75V, IO = 360µA	2.4			V
Logical "0" Output Voltage	54C, VCC = 4.5V, IO = 360µA 74C, VCC = 4.75V, IO = 360µA	2.4			V

# LM311 Voltage Comparator

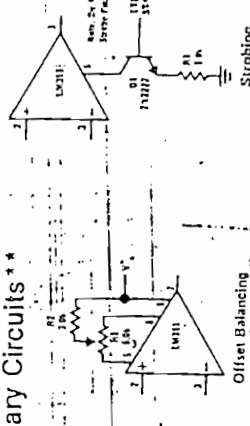
## General Description

LM311 is a voltage comparator that has input currents more than a hundred times lower than devices like the LM306 or LM710C. It is also designed to operate over a wider range of supply voltages: from standard  $\pm 15V$  op amp supplies down to the single 5V supply used for IC logic. Its output is compatible with RTL, DTL and TTL as well as MOS circuits. Further, it can drive lamps or relays, switching voltages up to 40V at currents as high as 50 mA.

## Features

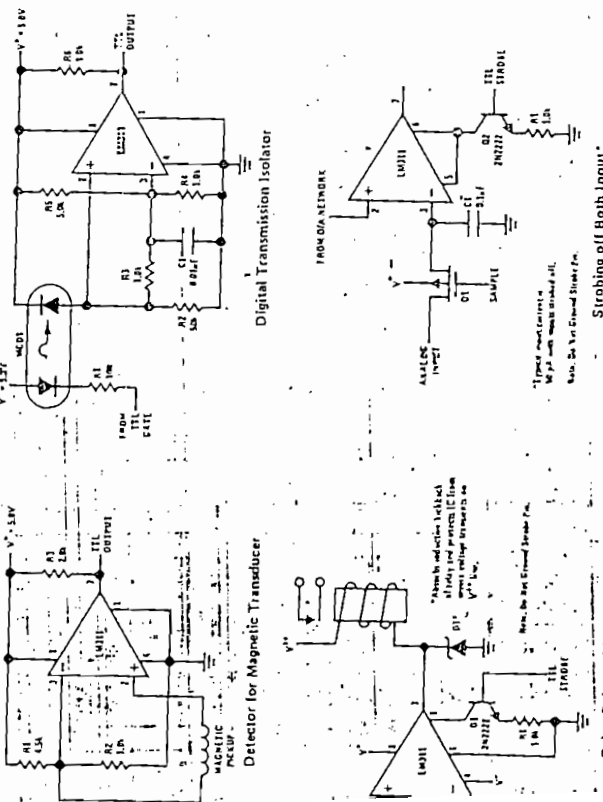
- Operates from single 5V supply
- Maximum input current: 250 nA
- Maximum output current: 50 mA

## Auxiliary Circuits



Note: Pin connections shown on schematic diagram and typical applications are for TO-5 package.

## Typical Applications



## NTE 922

- Differential input voltage range:  $\pm 30V$
- Power consumption: 135 mW at  $\pm 15V$

Both the input and the output of the LM311 can be isolated from system ground, and the output can drive loads referred to ground, the positive supply or the negative supply. Offset balancing and strobe capability are provided and outputs can be wired OR'ed. Although slower than the LM306 and LM710C (200 ns response time vs 40 ns) the device is also much less prone to spurious oscillations. The LM311 has the same pin configuration as the LM306 and LM710C. See the "application hints" of the LM311 for application help.

## Absolute Maximum Ratings

- Total Supply Voltage ( $V_{S+}$ ): 36V
- Output to Negative Supply Voltage ( $V_{S-}$ ): 40V
- Ground to Negative Supply Voltage ( $V_{I-}$ ): 30V
- Differential Input Voltage:  $\pm 30V$
- Input Voltage (Note 1):  $\pm 15V$
- Power Dissipation (Note 2): 500 mW
- Output Short Circuit Duration: 10 sec
- Operating Temperature Range:  $0^\circ C$  to  $70^\circ C$
- Storage Temperature Range:  $-65^\circ C$  to  $150^\circ C$
- Lead Temperature (Soldering, 10 sec):  $300^\circ C$
- Voltage at Strobe Pin:  $V^+ - 5V$

## Electrical Characteristics (Note 3)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Input Offset Voltage (Note 4)	$T_A = 25^\circ C, R_S \leq 50k$		2.0	7.5	mV
Input Offset Current (Note 4)	$T_A = 25^\circ C$		6.0	50	nA
Input Bias Current	$T_A = 25^\circ C$		100	250	nA
Voltage Gain	$T_A = 25^\circ C$	40	200		V/mV
Response Time (Note 5)	$T_A = 25^\circ C$		200		ns
Saturation Voltage	$V_{IN} \leq -10 mV, I_{OUT} = 50 mA$ $T_A = 25^\circ C$		0.75	1.5	V
Strobe ON Current	$T_A = 25^\circ C$		3.0		mA
Output Leakage Current	$V_{IN} \geq 10 mV, V_{OUT} = 35V$ $T_A = 25^\circ C, I_{STROBE} = 3 mA$		0.2	50	nA
Input Offset Voltage (Note 4)	$R_S \leq 50k$			10	mV
Input Offset Current (Note 4)				70	nA
Input Bias Current				300	nA
Input Voltage Range		-14.5	13.8-14.7	13.0	V
Saturation Voltages	$V^+ \geq 4.5V, V^- = 0$ $V_{IN} \leq -10 mV, I_{SINK} \leq 8 mA$		0.23	0.4	V
Positive Supply Current	$T_A = 25^\circ C$		5.1	7.5	mA
Negative Supply Current	$T_A = 25^\circ C$		4.1	5.0	mA

Note 1: This rating applies for  $\pm 15V$  supplies. The positive input voltage limit is 30V above the negative supply. The negative input voltage limit is equal to the negative supply voltage or 30V below the positive supply, whichever is less.

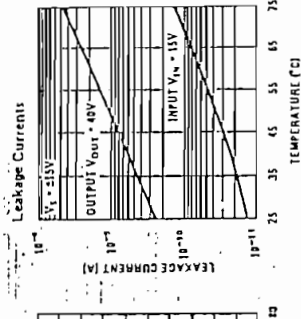
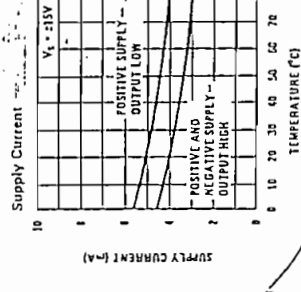
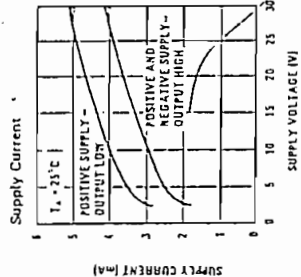
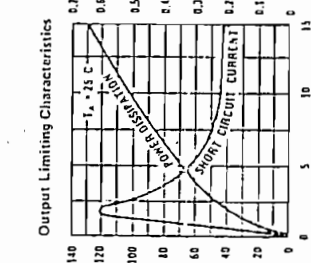
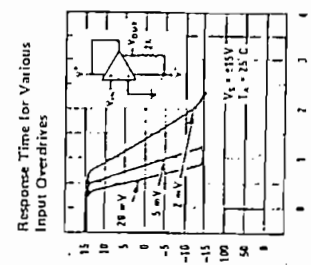
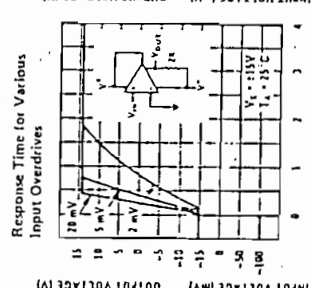
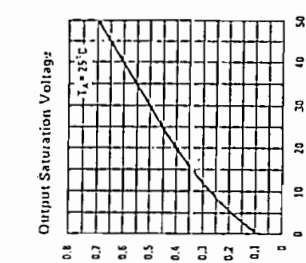
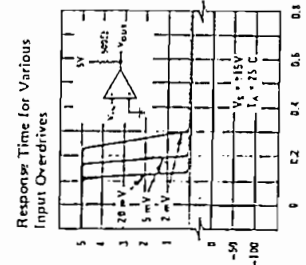
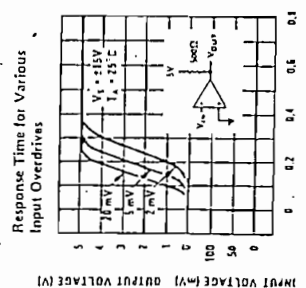
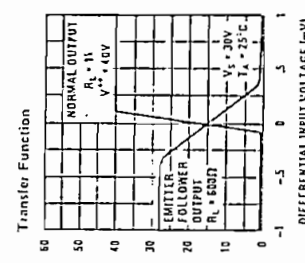
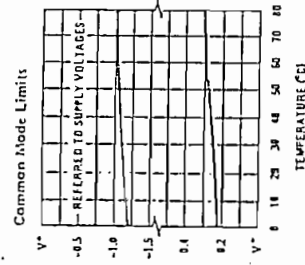
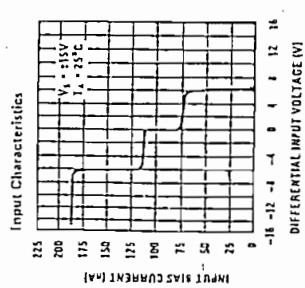
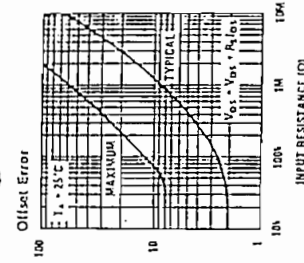
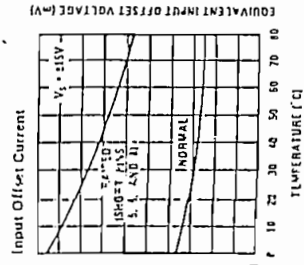
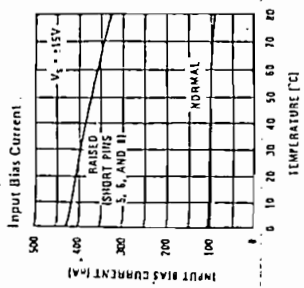
Note 2: The maximum junction temperature of the LM311 is  $110^\circ C$ . For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150  $^\circ C/W$ , junction to ambient, or 45  $^\circ C/W$ , junction to case. The thermal resistance of the dual-in-line package is 100  $^\circ C/W$ , junction to ambient.

Note 3: These specifications apply for  $V_S = \pm 15V$  and the Ground pin at ground, and  $0^\circ C < T_A < 70^\circ C$ , unless otherwise specified. The offset voltage, offset current and bias current specifications apply for any supply voltage from a single 5V supply up to  $\pm 15V$  supplies.

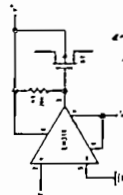
Note 4: The offset voltages and offset currents given are the maximum values required to drive the output within a volt of either supply with 1 mA load. Thus, these parameters define an error band and take into account the worst-case effects of voltage gain and input impedance.

Note 5: The response time specified (see definition) is for a 100 mV input step with 5 mV overdrive.

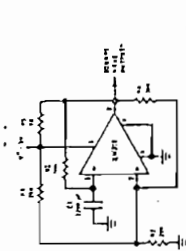
Note 6: Do not short the strobe pin to ground; it should be current driven at 3 to 5 mA.



Typical Applications

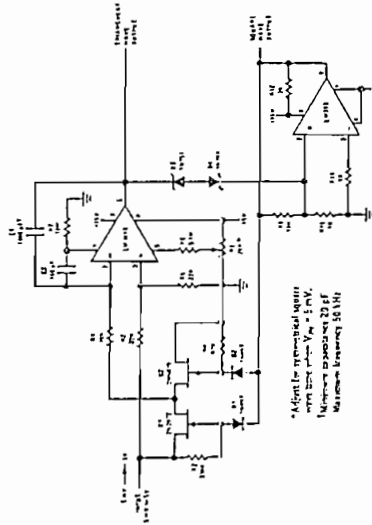


Zero Crossing Detector Driving MOS Switch



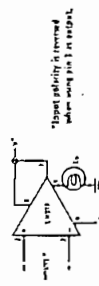
100 kHz Free Running Multivibrator

TTL = 0.1μs (max)



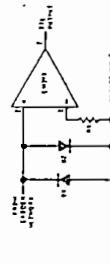
10 Hz to 10 kHz Voltage Controlled Oscillator

\*Adjust for symmetrical output by varying R1, R2, R3, R4. Maximum frequency 10 kHz.

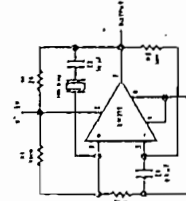


Driving Ground-Referenced Load

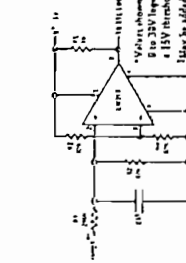
\*Input polarity is inverted when using pin 3 as input.



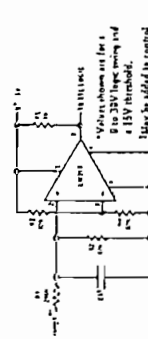
Using Clamp Diodes to Improve Response



Comparator and Solenoid Driver



Crystal Oscillator



TTL Interface with High Level Logic

\*Adjust for symmetrical output by varying R1, R2, R3, R4. Maximum frequency 10 kHz.

\*Input polarity is inverted when using pin 3 as input.

## CIRCUIT TECHNIQUES FOR AVOIDING OSCILLATIONS IN COMPARATOR APPLICATIONS

When a high-speed comparator such as the LM111 is used with fast input signals and low source impedances, the output response will normally be fast and stable, assuming that the power supplies have been bypassed (with 0.1  $\mu$ F disc capacitors), and that the output signal is routed well away from the inputs (pins 2 and 3) and also away from pins 5 and 6.

However, when the input signal is a voltage ramp or a slow sine wave, or if the signal source impedance is high (1 k $\Omega$  to 100 k $\Omega$ ), the comparator may burst into oscillation near the crossing-point. This is due to the high gain and wide bandwidth of comparators like the LM111. To avoid oscillation or instability in such a usage, several precautions are recommended, as shown in Figure 7 below.

1. The trim pins (pins 5 and 6) act as unwanted auxiliary inputs. If these pins are not connected to a trim-pot, they should be shorted together. If they are connected to a trim-pot, a 0.01  $\mu$ A capacitor C1 between pins 5 and 6 will minimize the susceptibility to AC coupling. A smaller capacitor is used if pin 5 is used for positive feedback as in Figure 1.

2. Certain sources will produce a cleaner comparator output waveform if a 100 pF to 1000 pF capacitor C2 is connected directly across the input pins.

3. When the signal source is applied through a resistive network,  $R_S$ , it is usually advantageous to choose an  $R_S$  of substantially the same value, both for DC and for dynamic (AC) considerations. Carbon, tin-oxide, and metal-film resistors have all been used successfully in comparator input circuitry. Inductive wirewound resistors are not suitable.

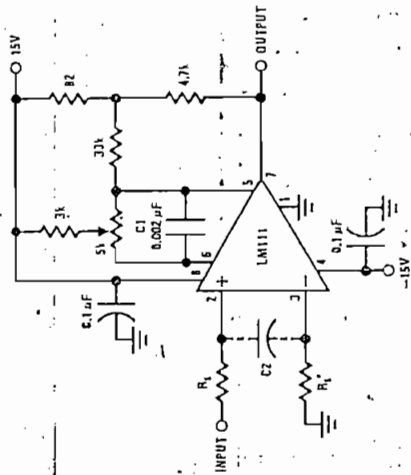


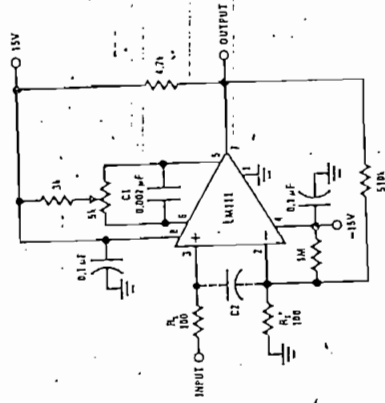
FIGURE 1 Inverted Positive Feedback

4. When comparator circuits use input resistors (eg. summing resistors), their value and placement are particularly important. In all cases the body of the resistor should be close to the device or socket. In other words there should be very little lead length or printed-circuit foil run between comparator and resistor to radiate or pick up signals. The same applies to capacitors, pots, etc. For example, if  $R_S = 10$  k $\Omega$ , a little as 5 inches of lead between the resistors and the input pins can result in oscillations that are very hard to damp. Twisting these input leads tightly is the only (second best) alternative to placing resistors close to the comparator.

5. Since feedback to almost any pin of a comparator can result in oscillation, the printed-circuit layout should be engineered thoughtfully. Preferably there should be a groundplane under the LM111 circuitry, for example, one side of a double-layer circuit card. Ground foil (or, positive supply or negative supply foil) should extend between the output and the inputs, to act as a guard. The foil connections for the inputs should be as small and compact as possible, and should be essentially surrounded by ground foil on all sides, to guard against capacitive coupling from any high-level signals (such as the output). If pins 5 and 6 are not used, they should be shorted together. If they are connected to a trim-pot, the trim-pot should be located, at most, a few inches away from the LM111, and the 0.01  $\mu$ F capacitor should be installed. If this capacitor cannot be used, a shielding printed-circuit foil may be advisable between pins 6 and 7. The power supply bypass capacitors should be located within a couple inches of the LM111. (Some other comparators require the power-supply bypass to be located immediately adjacent to the comparator.)

6. It is a standard procedure to use hysteresis (positive feedback) around a comparator, to prevent oscillation, and to avoid excessive noise on the output because the comparator is a good amplifier for its own noise. In the circuit of Figure 2, the feedback from the output to the positive input will cause about 3 mV of hysteresis. However, if  $R_S$  is larger than 100 $\Omega$ , such as 50 k $\Omega$ , it would not be reasonable to simply increase the value of the positive feedback resistor above 510 k $\Omega$ . The circuit of Figure 3 could be used, but it is rather awkward. See the notes in paragraph 7 below.

7. When both inputs of the LM111 are connected to active signals, or if a high-impedance signal is driving the positive input of the LM111 so that positive feedback would be disruptive, the circuit of Figure 1 is



Pin connections shown are for LM111H in 8-lead TO-5 hermetic package

FIGURE 2. Conventional Positive Feedback

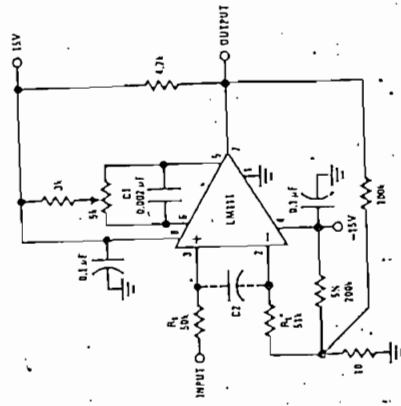


FIGURE 3. Positive Feedback With High Source Resistance

ideal. The positive feedback is to pin 5 (one of the offset adjustment pins). It is sufficient to cause 1 to 2 mV hysteresis and sharp transitions with input triangle waves from a few Hz to hundreds of kHz. The positive feedback signal across the 82 $\Omega$  resistor swings 240 mV below the positive supply. This signal is centered around the nominal voltage at pin 5, so this feedback does not add to the  $V_{OS}$  of the comparator. As much as 8 mV of  $V_{OS}$  can be trimmed out, using the 5-k $\Omega$  pot and 3 k $\Omega$  resistor as shown.

8. These application notes apply specifically to the LM111, LM211, LM311, and LF111 families of comparators, and are applicable to all high-speed comparators in general, (with the exception that not all comparators have trim pins).



LM138/LM238/LM338



## Voltage Regulators

### LM138/LM238/LM338 5 Amp Adjustable Power Regulators

#### General Description

The LM138/LM238/LM338 are adjustable 3-terminal positive voltage regulators capable of supplying in excess of 5A over a 1.2V to 32V output range. They are exceptionally easy to use and require only 2 resistors to set the output voltage. Careful circuit design has resulted in outstanding load and line regulation, comparable to many commercial power supplies. The LM138 family is supplied in a standard 3-lead transistor package.

A unique feature of the LM138 family is time-dependent current limiting. The current limit circuitry allows peak currents of up to 12A to be drawn from the regulator for short periods of time. This allows the LM138 to be used with heavy transient loads and speeds start-up under full-load conditions. Under sustained loading conditions, the current limit decreases to a safe value protecting the regulator. Also included on the chip are thermal overload protection and safe area protection for the power transistor. Overload protection remains functional even if the adjustment pin is accidentally disconnected.

Normally, no capacitors are needed unless the device is situated far from the input filter capacitors in which case an input bypass is needed. An optional output capacitor can be added to improve transient response. The adjustment terminal can be bypassed to achieve

very high ripple rejections ratios which are difficult to achieve with standard 3-terminal regulators.

Besides replacing fixed regulators or discrete designs, the LM138 is useful in a wide variety of other applications. Since the regulator is "floating" and sees only the input-to-output differential voltage, supplies of several hundred volts can be regulated as long as the maximum input to output differential is not exceeded.

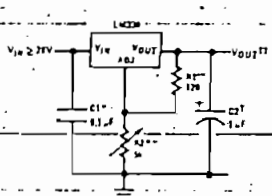
The LM138/LM238/LM338 are packaged in standard steel TO-3 transistor packages. The LM138 is rated for operation from -55°C to +150°C, the LM238 from -25°C to +150°C and the LM338 from 0°C to +125°C.

#### Features

- Guaranteed 7A peak output current
- Guaranteed 5A output current
- Adjustable output down to 1.2V
- Line regulation typically 0.005%/V
- Load regulation typically 0.1%
- Guaranteed thermal regulation
- Current limit constant with temperature
- 100% electrical burn-in in thermal limit
- Standard 3-lead transistor package

#### Typical Applications

1.2V-25V Adjustable Regulator

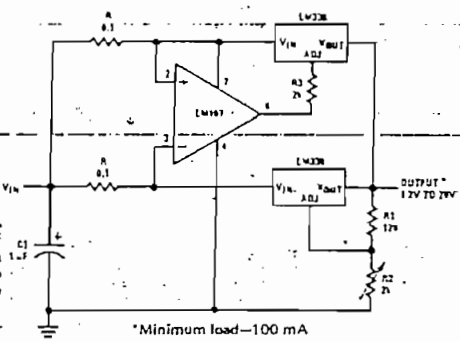


Optional—improves transient response. Output capacitors in the range of 1 μF to 1000 μF of aluminum or tantalum electrolytic are commonly used to provide improved output impedance and rejection of transients.  
\*Needed if device is far from filter capacitors.

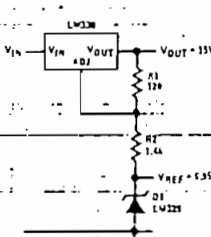
$$V_{OUT} = 1.25V \left( 1 + \frac{R2}{R1} \right)$$

\*R1 = 240Ω for LM138 and LM238  
R1, R2 as an assembly can be ordered from Bourns

10A Regulator



Regulator and Voltage Reference



#### Absolute Maximum Ratings

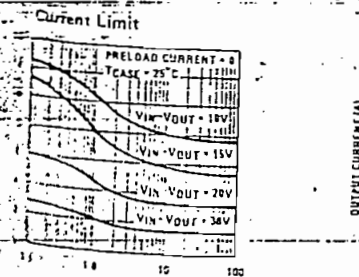
Power Dissipation	Internals
Output Voltage Differential	
Operating Junction Temperature Range	
LM138	-55°C to +150°C
LM238	-25°C to +150°C
LM338	0°C to +125°C
Storage Temperature	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	260°C

#### Electrical Characteristics (Note 1)

PARAMETER	CONDITIONS
Line Regulation	TA = 25°C, 3V ≤ VOUT ≤ 32V (Note 2)
Load Regulation	TA = 25°C, 10 mA ≤ IOUT ≤ 5A, VOUT ≤ 5V, (Note 2)
Normal Regulation	VOUT ≥ 5V, IOUT ≤ 5A, Pulse = 20 ms
Adjustment Pin Current	
Adjustment Pin Current Change	10 mA ≤ IL ≤ 5A, 3V ≤ (VIN - VOUT) ≤ 32V
Reference Voltage	3V ≤ (VIN - VOUT) ≤ 32V
Line Regulation	10 mA ≤ IOUT ≤ 5A, VOUT ≤ 5V
Load Regulation	3V ≤ VIN - VOUT ≤ 32V, VOUT ≤ 5V
Temperature Stability	TMIN ≤ Tj ≤ TMAX
Minimum Load Current	VIN - VOUT ≤ 35V, VIN - VOUT ≤ 10V, DC
Current Limit	0.5 ms Peak, VIN = VOUT = 30V
Output Impedance of VOUT	TA = 25°C, 10 Hz ≤ f ≤ 100 Hz, VOUT = 10V, RL = 10Ω
Output Resistance, Junction	GADJ = 10 μF, TA = 125°C, K Package

1. Unless otherwise specified, these specifications are for TA = 25°C for the LM338, VIN - VOUT = 5V and are applicable for power dissipations up to 50W.  
2. Regulation is measured at constant junction temperature for normal regulation.

#### Typical Performance Characteristics





# Regulators

ratios which are difficult in minimal regulators.

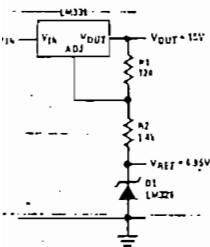
ators or discrete designs, a variety of other applications "floating" and sees only the voltage, supplies of several d as long as the maximum not exceeded.

are packaged in standard s. The LM138 is rated for 150°C, the LM238 from 338 from 0°C to +125°C.

t current  
ent  
1.2V  
0.25%/V

ion  
temperature  
thermal limit  
package

Regulator and Voltage Reference



## Absolute Maximum Ratings

Power Dissipation	Internally Limited
Output Voltage Differential	35V
Operating Junction Temperature Range	
LM138	-55°C to +150°C
LM238	-25°C to +150°C
LM338	0°C to +125°C
Storage Temperature	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

## Preconditioning

Burn-In Thermal Limit

All Devices 100%

## Electrical Characteristics (Note 1)

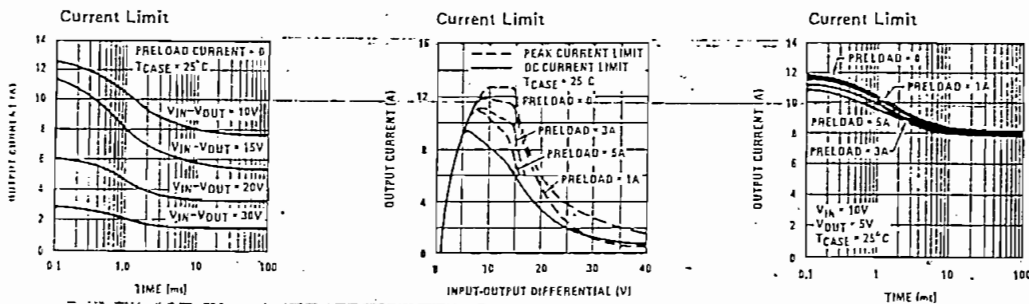
PARAMETER	CONDITIONS	LM138/LM238			LM338			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Line Regulation	$T_A = 25^\circ\text{C}$ , $5V \leq V_{IN}$ , $V_{OUT} \leq 25V$ , (Note 2)		0.005	0.01		0.005	0.03	%/V
Load Regulation	$T_A = 25^\circ\text{C}$ , $10\text{ mA} \leq I_{OUT} \leq 5A$ , $V_{OUT} \leq 5V$ , (Note 2) $V_{OUT} \geq 5V$ , (Note 2)		5	15		5	25	mV
Transient Regulation	Pulse = 20 ms		0.007	0.01		0.002	0.02	%/V
Quiescent Pin Current			45	100		45	100	$\mu\text{A}$
Quiescent Pin Current Change	$10\text{ mA} \leq I_L \leq 5A$ , $3V \leq (V_{IN} - V_{OUT}) \leq 35V$		0.2	5		0.2	5	$\mu\text{A}$
Reference Voltage	$3 \leq (V_{IN} - V_{OUT}) \leq 35V$ , (Note 3) $10\text{ mA} \leq I_{OUT} \leq 5A$ , $P \leq 50W$	1.19	1.24	1.29	1.19	1.24	1.29	V
Line Regulation	$3V \leq V_{IN} - V_{OUT} \leq 25V$ , (Note 2)		0.02	0.04		0.02	0.06	%/V
Load Regulation	$10\text{ mA} \leq I_{OUT} \leq 5A$ , (Note 2) $V_{OUT} \leq 5V$ $V_{OUT} \geq 5V$		20	30		20	50	mV
Temperature Stability	$T_{MIN} \leq T_J \leq T_{MAX}$		1			1		%
Maximum Load Current	$V_{IN} - V_{OUT} = 35V$		3.5	5		3.5	10	mA
Current Limit	$V_{IN} - V_{OUT} \leq 10V$ DC 0.5 ms Peak	50	8		50	8		A
	$V_{IN} - V_{OUT} = 30V$	7	12		7	12		A
			1			1		A
Output Noise, % of $V_{OUT}$	$T_A = 25^\circ\text{C}$ , $10\text{ Hz} < f < 10\text{ kHz}$		0.003			0.003		%
PSRR	$V_{OUT} = 10V$ , $f = 120\text{ Hz}$ $C_{ADJ} = 10\text{ }\mu\text{F}$		60			60		dB
		60	75		60	75		dB
Long Term Stability	$T_A = 125^\circ\text{C}$		0.3	1		0.3	1	%
Thermal Resistance, Junction	K Package			1.0			1.0	$^\circ\text{C/W}$

Note 1: Unless otherwise specified, these specifications apply  $-55^\circ\text{C} \leq T_J \leq +150^\circ\text{C}$  for the LM138,  $-25^\circ\text{C} \leq T_J \leq +150^\circ\text{C}$  for the LM238 and  $0^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$  for the LM338,  $V_{IN} - V_{OUT} = 5V$  and  $I_{OUT} = 2.5A$ . Although power dissipation is internally limited, these specifications are applicable for power dissipations up to 50W.

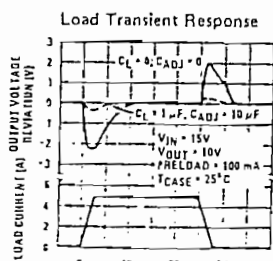
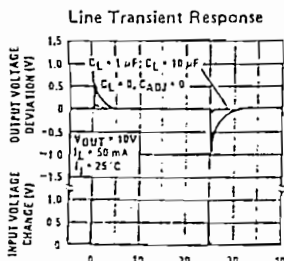
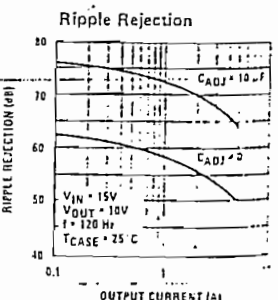
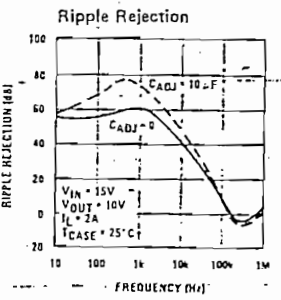
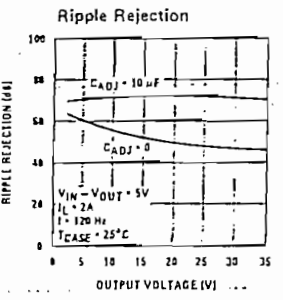
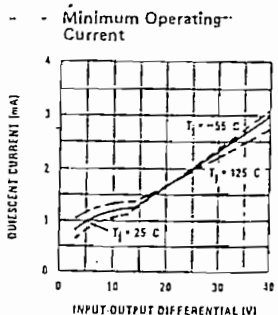
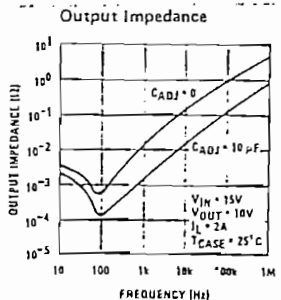
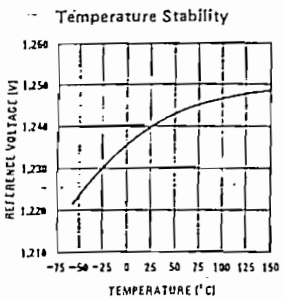
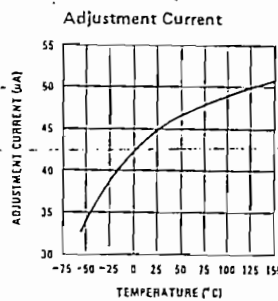
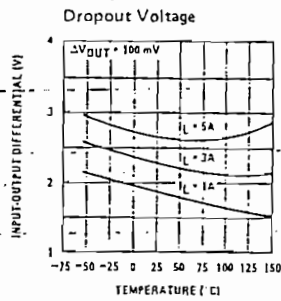
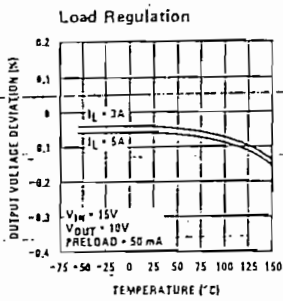
Note 2: Regulation is measured at constant junction temperature. Changes in output voltage due to heating effects are taken into account separately by thermal regulation.

Note 3: Selected devices with tightened tolerance reference voltage available.

## Typical Performance Characteristics



Typical Performance Characteristics (Continued)



Application Hints

In operation, the LM138 develops a no-load reference voltage,  $V_{REF}$ , between the adjustment terminal. The reference voltage is across-program resistor  $R1$  and, since the voltage is constant, a constant current  $I_{ADJ}$  then flows through output set resistor  $R2$ , giving an output

$$V_{OUT} = V_{REF} \left( 1 + \frac{R2}{R1} \right) + I_{ADJ} R2$$

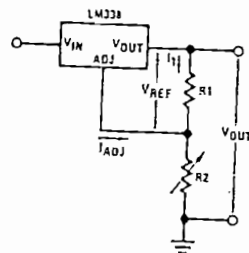


FIGURE 1

Since the 50 µA current from the adjustment terminal represents an error term, the LM138 was designed to minimize  $I_{ADJ}$  and make it very constant over load changes. To do this, all quiescent current is returned to the output establishing a minimum load current requirement. If there is no load on the output, the output will rise.

External Capacitors

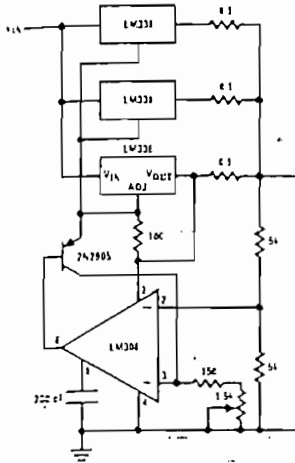
An input bypass capacitor is recommended. A 10 µF or 1 µF solid tantalum on the input is suitable for almost all applications. The device is very sensitive to the absence of input bypassing when input or output capacitors are used but the above will eliminate the possibility of problems.

The adjustment terminal can be bypassed to ground with the LM138 to improve ripple rejection. This capacitor prevents ripple from being amplified. Output voltage is increased. With a 10 µF bypass capacitor, 75 dB ripple rejection is obtainable at any load level. Increases over 20 µF do not appreciably improve ripple rejection at frequencies above 120 Hz. If a bypass capacitor is used, it is sometimes necessary to include protection diodes to prevent the capacitor from discharging through internal low current paths and damaging the device.

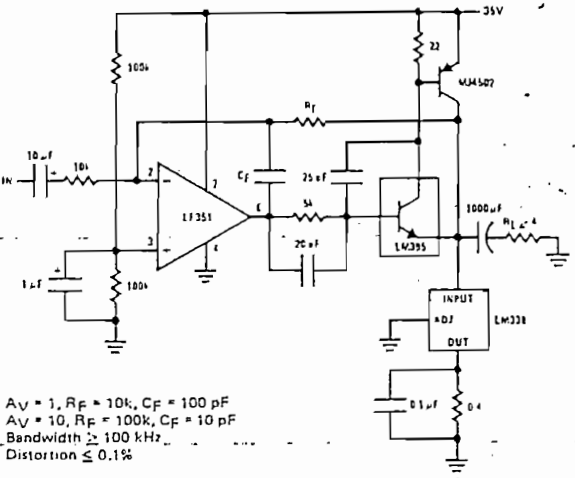
In general, the best type of capacitors to use are tantalum. Solid tantalum capacitors have low impedance at high frequencies. Depending upon capacitor construction, it takes about 25 µF in aluminum electrolytic to equal 1 µF solid tantalum.

Typical Applications (Continued)

Adjustable 15A Regulator

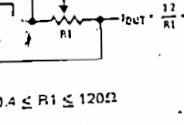


Power Amplifier



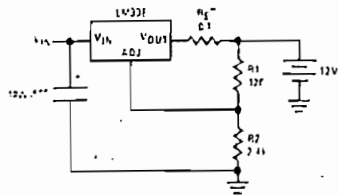
$A_v = 1, R_F = 10k, C_F = 100 \mu F$   
 $A_v = 10, R_F = 100k, C_F = 10 \mu F$   
 Bandwidth  $\geq 100 \text{ kHz}$   
 Distortion  $\leq 0.1\%$

Current Limiter



$0.4 \leq R1 \leq 120 \Omega$

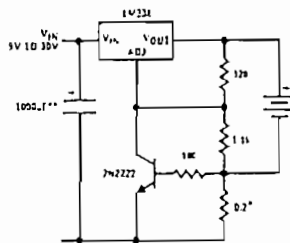
Simple 12V Battery Charger



$R_{SC}$  sets output impedance of charger  $Z_{OUT} = R_S \left( 1 + \frac{R_2}{R_1} \right)$   
 Use of  $R_S$  allows low charging rates with fully charged battery.

The 1000µF is recommended to filter out input transients

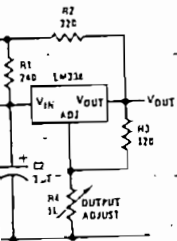
Current Limited 6V Charger



\* Sets max charge current to 3A

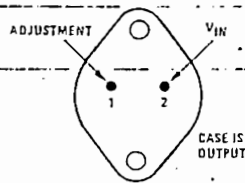
\*\* The 1000µF is recommended to filter out input transients

Preregulator



Connection Diagram

Metal Can Package



BOTTOM VIEW

Order Number  
 LM138K STEEL  
 LM238K STEEL  
 LM338K STEEL  
 See NS Package KO2A

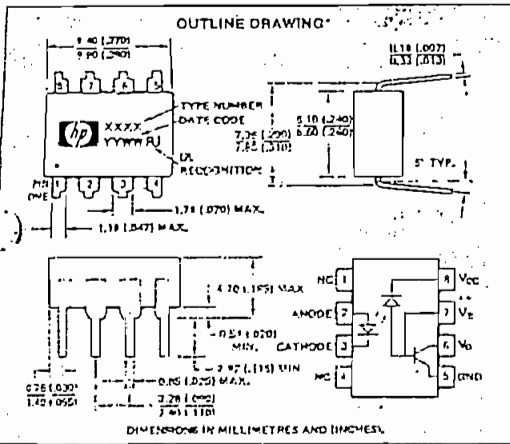


# HIGH SPEED OPTOCOUPERS

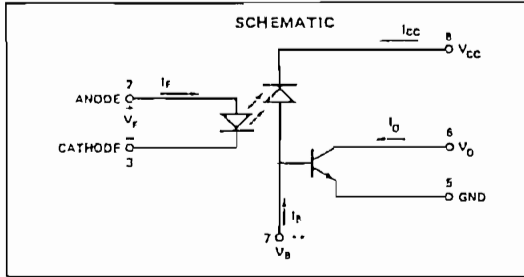
6N135  
6N136  
HCPL-2502  
HCPL-4502

TECHNICAL DATA JANUARY 1986

OUTLINE DRAWING\*



SCHEMATIC



\*\* Note: For HCPL-4502, pin 7 is not connected.

OPTOCOUPERS

## Applications

- Line Receivers — High common mode transient immunity (>1000V/ $\mu$ s) and low input-output capacitance (0.6pF).
- High Speed Logic Ground Isolation — TTL/TTL, TTL/LTTL, TTL/CMOS, TTL/LSTTL.
- Replace Slow Phototransistor Isolators — Pins 2-7 of the 6N135/6 series conform to pins 1-6 of 6 pin phototransistor couplers. Pin 8 can be tied to any available bias voltage of 1.5V to 30V for high speed operation.
- Replace Pulse Transformers — Save board space and weight.
- Analog Signal Ground Isolation — Integrated photon detector provides improved linearity over phototransistor type.

## Absolute Maximum Ratings

Storage Temperature*	-55°C to +125°C
Operating Temperature*	-55°C to 100°C
Lead Solder Temperature*	260°C for 10s (1.6mm below seating plane)
Average Input Current — $I_F$ *	25mA <sup>11</sup>
Peak Input Current — $I_F$ *	50mA <sup>12</sup> (50% duty cycle, 1 ms pulse width)
Peak Transient Input Current — $I_F$ *	1.0A ( $\leq 1\mu$ s pulse width, 300pps)
Reverse Input Voltage — $V_R$ * (Pin 3-2)	5V
Input Power Dissipation*	45mW <sup>13</sup>
Average Output Current — $I_O$ * (Pin 6)	8mA
Peak Output Current*	16mA
Emitter-Base Reverse Voltage* (Pin 5-7, except -4502)	5V
Output Voltage* — $V_O$ (Pin 6-5)	-0.5V to 15V
Supply Voltage* — $V_O$ (Pin 6-5)	-0.5V to 15V
Output Voltage — $V_O$ (Pin 6-5)	-0.5V to 20V
Supply Voltage — $V_{CC}$ (Pin 8-5)	-0.5V to 30V
Base Current — $I_B$ * (Pin 7, except HCPL-4502)	5mA
Output Power Dissipation*	100mW <sup>14</sup>

**CAUTION:** The small junction sizes inherent to the design of this bipolar component increases the component's susceptibility to damage from electrostatic discharge (ESD). It is advised that normal static precautions be taken in handling and assembly of this component to prevent damage and/or degradation which may be induced by ESD.

See notes, following page.

## Features

- HIGH SPEED: 1 Mbit/s
- TTL COMPATIBLE
- HIGH COMMON MODE TRANSIENT IMMUNITY: >1000V/ $\mu$ s TYPICAL
- 2 MHz BANDWIDTH
- OPEN COLLECTOR OUTPUT
- RECOGNIZED UNDER THE COMPONENT PROGRAM OF U.L. (FILE NO. E55361) FOR DIELECTRIC WITHSTAND PROOF TEST VOLTAGES OF 1440 Vac, 1 MINUTE AND 2500 Vac, 1 MINUTE (OPTION 010).

## Description

These diode-transistor optocouplers use an insulating layer between the light emitting diode and an integrated photon detector to provide electrical insulation between input and output. Separate connection for the photodiode bias and output transistor collector increases the speed up to a hundred times that of a conventional photo-transistor coupler by reducing the base-collector capacitance.

The 6N135 is for use in TTL/CMOS, TTL/LSTTL or wide bandwidth analog applications. Current transfer ratio (CTR) for the 6N135 is 7% minimum at  $I_F = 16$  mA.

The 6N136 is designed for high speed TTL/TTL applications. A standard 16 mA TTL sink current through the input LED will provide enough output current for 1 TTL load and a 5.6 k $\Omega$  pull-up resistor. CTR of the 6N136 is 19% minimum at  $I_F = 16$  mA.

The HCPL-2502 is suitable for use in applications where matched or known CTR is desired. CTR is 15 to 22% at  $I_F = 16$  mA.

The HCPL-4502 provides the electrical and switching performance of the 6N136 and increased ESD protection.

JEDEC Registered Data (The HCPL-2502 and HCPL-4502 are not registered.)

# Electrical Specifications

Over recommended temperature ( $T_A = 0^\circ\text{C}$  to  $70^\circ\text{C}$ ) unless otherwise specified.

Parameter	Sym.	Device	Min.	Typ.**	Max.	Units	Test Conditions	Fig.	Note
Current Transfer Ratio	CTR*	6N135	7	18		%	$I_F = 16\text{mA}$ , $V_O = 0.4\text{V}$ , $V_{CC} = 4.5\text{V}$ , $T_A = 25^\circ\text{C}$	1,2,4	5,12
		6N136	19	24		%			
		HCPL-2502	15	18	22	%			
	CTR	6N135	5	19		%	$I_F = 16\text{mA}$ , $V_O = 0.5\text{V}$ , $V_{CC} = 4.5\text{V}$		5
6N136	15	25		%					
Logic Low Output Voltage	$V_{OL}$	6N135		0.1	0.4	V	$I_F = 18\text{mA}$ , $I_O = 1.1\text{mA}$ , $V_{CC} = 4.5\text{V}$ , $T_A = 25^\circ\text{C}$		
		6N136		0.1	0.4	V			
		HCPL-2502		0.1	0.4	V			
Logic High Output Current	$I_{OH}$ *			3	500	nA	$I_F = 0\text{mA}$ , $V_O = V_{CC} = 5.5\text{V}$ , $T_A = 25^\circ\text{C}$	6	
				0.01	1	$\mu\text{A}$			
	$I_{OH}$				50	$\mu\text{A}$	$I_F = 0\text{mA}$ , $V_O = V_{CC} = 15\text{V}$		
Logic Low Supply Current	$I_{CCL}$			50		$\mu\text{A}$	$I_F = 16\text{mA}$ , $V_O = \text{Open}$ , $V_{CC} = 15\text{V}$		
Logic High Supply Current	$I_{CCH}$ *			0.02	1	$\mu\text{A}$	$I_F = 0\text{mA}$ , $V_O = \text{Open}$ , $V_{CC} = 15\text{V}$ , $T_A = 25^\circ\text{C}$		
	$I_{CCH}$				2	$\mu\text{A}$			
Input Forward Voltage	$V_F$ *			1.5	1.7	V	$I_F = 16\text{mA}$ , $T_A = 25^\circ\text{C}$	3	
Temperature Coefficient of Forward Voltage	$\frac{\Delta V_F}{\Delta T_A}$			-1.6		$\text{mV}/^\circ\text{C}$	$I_F = 16\text{mA}$		
Input Reverse Breakdown Voltage	$BV_R$ *			5		V	$I_R = 10\mu\text{A}$ , $T_A = 25^\circ\text{C}$		
Input Capacitance	$C_{IN}$			60		pF	$f = 1\text{MHz}$ , $V_F = 0$		
Input-Output Insulation	$I_{I-O}$ *				1	$\mu\text{A}$	45% RH, $t = 5\text{s}$ , $V_{I-O} = 3\text{kV dc}$ , $T_A = 25^\circ\text{C}$	6, 11	
	OPT. 010 $V_{I-O}$		2500			$V_{RMS}$	RH $\leq 50\%$ , $t = 1\text{min}$ .	13	
Resistance (Input-Output)	$R_{I-O}$			10 <sup>12</sup>		$\Omega$	$V_{I-O} = 500\text{Vdc}$	8	
Capacitance (Input-Output)	$C_{I-O}$			0.6		pF	$f = 1\text{MHz}$	6	
Transistor DC Current Gain	$h_{FE}$			150		—	$V_O = 5\text{V}$ , $I_O = 3\text{mA}$		

\*For JEDEC registered parts.

\*\*All typicals at  $T_A = 25^\circ\text{C}$

# Switching Specifications at $T_A = 25^\circ\text{C}$

$V_{CC} = 5\text{V}$ ,  $I_F = 16\text{mA}$ , unless otherwise specified

Parameter	Sym.	Device	Min.	Typ.**	Max.	Units	Test Conditions	Fig.	Note
Propagation Delay Time to Logic Low at Output	$t_{PHL}$	6N135		0.2	1.5	$\mu\text{s}$	$R_L = 4.1\text{k}\Omega$	5,9	8,9
		6N136		0.2	0.8	$\mu\text{s}$	$R_L = 1.9\text{k}\Omega$		
		HCPL-2502							
Propagation Delay Time to Logic High at Output	$t_{PLH}$	6N135		1.3	1.5	$\mu\text{s}$	$R_L = 4.1\text{k}\Omega$	5,9	8,9
		6N136		0.3	0.8	$\mu\text{s}$	$R_L = 1.9\text{k}\Omega$		
		HCPL-2502							
Common Mode Transient Immunity at Logic High Level Output	$CM_H$	6N135		1000		$\text{V}/\mu\text{s}$	$I_F = 0\text{mA}$ , $V_{CM} = 10\text{V}_{p-p}$ , $R_L = 4.1\text{k}\Omega$	10	7,8,9
		6N136		1000		$\text{V}/\mu\text{s}$	$I_F = 0\text{mA}$ , $V_{CM} = 10\text{V}_{p-p}$ , $R_L = 1.9\text{k}\Omega$		
		HCPL-2502							
Common Mode Transient Immunity at Logic Low Level Output	$CM_L$	6N135		1000		$\text{V}/\mu\text{s}$	$V_{CM} = 10\text{V}_{p-p}$ , $R_L = 4.1\text{k}\Omega$	10	7,8,9
		6N136		1000		$\text{V}/\mu\text{s}$	$V_{CM} = 10\text{V}_{p-p}$ , $R_L = 1.9\text{k}\Omega$		
		HCPL-2502							
Bandwidth	BW			2		MHz	$R_L = 100\Omega$	8	10

- NOTES:
- Derate linearly above  $70^\circ\text{C}$  free-air temperature at a rate of  $0.8\text{mA}/^\circ\text{C}$ .
  - Derate linearly above  $70^\circ\text{C}$  free-air temperature at a rate of  $1.5\text{mA}/^\circ\text{C}$ .
  - Derate linearly above  $70^\circ\text{C}$  free-air temperature at a rate of  $0.5\text{mW}/^\circ\text{C}$ .
  - Derate linearly above  $70^\circ\text{C}$  free-air temperature at a rate of  $2.0\text{mW}/^\circ\text{C}$ .
  - CURRENT TRANSFER RATIO is defined as the ratio of output collector current,  $I_O$ , to the forward LED input current,  $I_F$ , times 100%.
  - Device considered a two-terminal device: Pins 1, 2, 3, and 4 shorted together and Pins 5, 6, 7, and 8 shorted together.
  - Common mode transient immunity in Logic High level is the maximum tolerable (positive)  $dV_{CM}/dt$  on the leading edge of the common mode

- pull  $V_{CM}$  to assure that the output will remain in a Logic High state ( $V_O = 2.0\text{V}$ ).
- Common mode transient immunity in Logic Low level is the minimum (negative)  $dV_{CM}/dt$  on the trailing edge of the common mode pulse signal,  $V_{CM}$  to assure that the output will remain in a Logic Low state ( $V_O = 0.8\text{V}$ ).
- The  $1.9\text{k}\Omega$  load represents 1 TTL unit load of  $1.6\text{mA}$  and the  $5.6\text{k}\Omega$  pull-up resistor.
- The  $4.1\text{k}\Omega$  load represents 1 LS TTL unit load of  $0.36\text{mA}$  and  $6.1\text{k}\Omega$  pull-up resistor.
- The frequency at which the ac output voltage is 3dB below the low frequency asymptote.
- This is a proof test. This rating is equally validated by a 2500 VAC, 1 sec test.
- The JEDEC registration for the 6N136 specifies a minimum CTR of 15%. HP guarantees a minimum CTR of 19%.
- See Option 010 data sheet for more information.

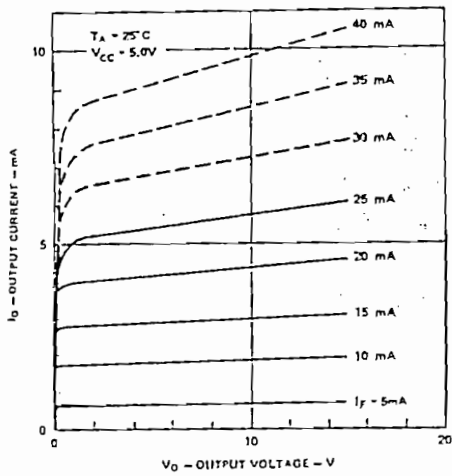


Figure 1. DC and Pulsed Transfer Characteristics.

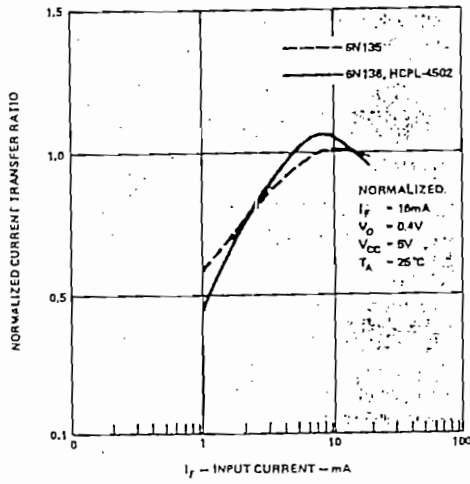


Figure 2. Current Transfer Ratio vs. Input Current.

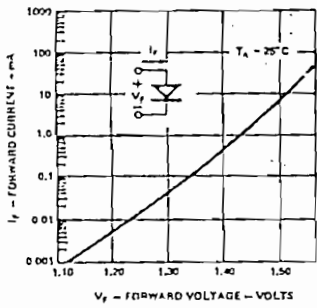


Figure 3. Input Current vs. Forward Voltage.

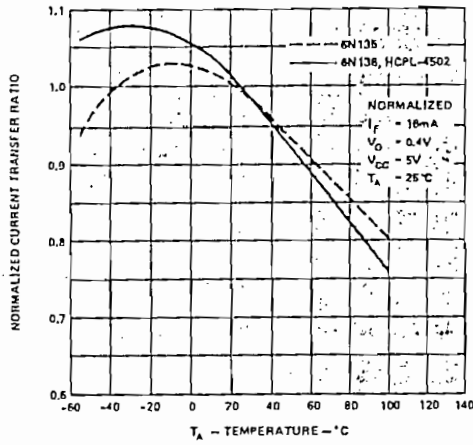


Figure 4. Current Transfer Ratio vs. Temperature.

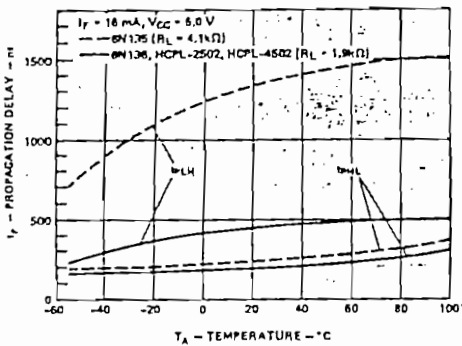


Figure 5. Propagation Delay vs. Temperature.

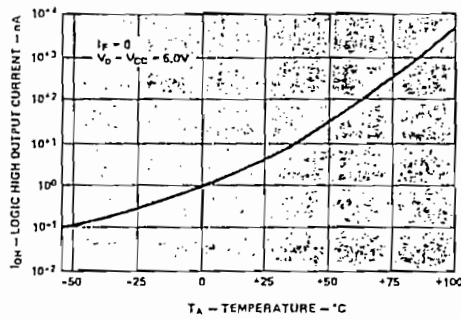


Figure 6. Logic High Output Current vs. Temperature.

OPTOCOUPLED

# **ANEXO 5**

Presupuesto del equipo y Manual del Usuario

## PRESUPUESTO POR TARJETA

FECHA: 31 DE DICIEMBRE DE 1995

### TARJETA FUENTE-1

DESCRIPCION	CANTIDAD	P.U.	TOTAL
TRANSF. 115/24 VCT-2A	1	16,500.00	16,500.00
PUENTE 4A-600V	1	2,800.00	2,800.00
DIODO 1N4002	2	300.00	600.00
DIODO ZENER 5V/5W	1	600.00	600.00
REGULADOR VOLTAJE NTE 956	1	4,000.00	4,000.00
REGULADOR VOLTAJE ECG 966	1	2,500.00	2,500.00
REGULADOR VOLTAJE ECG 967	1	3,800.00	3,800.00
DIODO LED	3	400.00	1,200.00
CAPACITOR DE 6800uF	1	6,050.00	6,050.00
CAPACITOR DE 1500uF	1	3,190.00	3,190.00
CAPACITOR DE 0.39uF	2	600.00	1,200.00
CAPACITOR DE 10uF	3	300.00	900.00
CAPACITOR DE 1uF	1	300.00	300.00
CAPACITOR DE 0.1uF	3	300.00	900.00
RESISTENCIA DE 8ohmios/25W	1	3,575.00	3,575.00
RESISTENCIA DE 240ohmios-1/4W	1	100.00	100.00
RESISTENCIA DE 680ohmios-1/4W	2	400.00	800.00
RESISTENCIA DE 330ohmios-1/4W	1	100.00	100.00
CONECTOR DE 6 PINES	3	5,000.00	15,000.00
DISIPADOR DE CALOR	3	4,000.00	12,000.00
BAQUELITA 10x15 cm	1	3,930.00	3,930.00
IMPRESO	1	18,000.00	18,000.00
		<b>TOTAL:</b>	<b>98,045.00</b>

### TARJETA FUENTE-2

DESCRIPCION	CANTIDAD	P.U.	TOTAL
TRANSF. 120/25.2 VCT-2A	1	41,800.00	41,800.00
DIODO 1N5404	4	900.00	3,600.00
CAPACITOR DE 6800uF	1	6,050.00	6,050.00
CAPACITOR DE 2200uF	1	4,433.00	4,433.00
CAPACITOR DE 0.1uF	2	300.00	600.00
CAPACITOR ELECT. DE 10uF	1	110.00	110.00
DIODO 1N4002	2	300.00	600.00
REGULADOR DE VOLTAJE LM350K	1	52,800.00	52,800.00
CONECTOR DE 6 PINES	2	5,000.00	10,000.00
DISIPADOR	1	6,900.00	6,900.00
RESISTENCIA DE 120 ohmios-1/4W	1	100.00	100.00
POTENCIOMETRO DE 5K	1	2,500.00	2,500.00
BAQUELITA 10x15cm	1	3,300.00	3,300.00
IMPRESO	1	18,000.00	18,000.00
		<b>TOTAL:</b>	<b>132,793.00</b>



**TARJETA DRIVER**

DESCRIPCION	CANTIDAD	P.U.	TOTAL
TRANSF. 120/12 V CT-450mA	2	18,117.00	36,234.00
PUENTE DE 1.5A-600V	2	3,160.00	6,320.00
CAPACITOR DE 1000uF	4	370.00	1,480.00
REGULADOR DE VOLTAJE ECG 966	2	1,650.00	3,300.00
REGULADOR DE VOLTAJE ECG 967	2	1,650.00	3,300.00
CAPACITOR DE 100uF	4	320.00	1,280.00
CAPACITOR DE 0.1uF	4	680.00	2,720.00
OPTOACOPLADORES NTE 3087	2	33,231.00	66,462.00
RESISTENCIA DE 270ohmios-1/4W	2	100.00	200.00
COMPARADOR NTE 922	2	5,731.00	11,462.00
RESISTENCIA DE 10K-1/4W	4	100.00	400.00
RESISTENCIA DE 560ohmios-1/4W	2	100.00	200.00
RESISTENCIA DE 2K-1/2W	2	150.00	300.00
TRANSISTOR NTE 129	2	1,188.00	2,376.00
TRANSISTOR NTE 128	2	5,203.00	10,406.00
RESISTENCIA DE 30 ohmios-3W	2	1,133.00	2,266.00
CONECTOR DE 6 PINES	4	5,000.00	20,000.00
DISIPADOR TIPO 1	2	4,730.00	9,460.00
DISIPADOR TIPO 2	4	1,030.00	4,120.00
ZOCALO DE 8 PINES	2	400.00	800.00
BAQUELITA 20x15cm	1	8,250.00	8,250.00
IMPRESO	1	36,000.00	36,000.00
		<b>TOTAL:</b>	<b>227,336.00</b>

**TARJETA TEDISCO**

DESCRIPCION	CANTIDAD	P.U.	TOTAL
DISPLAY LTN211	1	70,000.00	70,000.00
C.I. 74C922	1	63,019.00	63,019.00
C.I. 74LS14	2	2,200.00	4,400.00
C.I. 74LS191	2	3,795.00	7,590.00
CONECTOR DE 6 PINES	1	5,000.00	5,000.00
POTENCIOMETRO DE 5K	1	2,500.00	2,500.00
RESISTENCIA DE 3.3K-1/4W	1	140.00	140.00
RESISTENCIA DE 560 ohmios-1/4W	1	140.00	140.00
HEAD 5x2	1	3,000.00	3,000.00
CAPACITOR DE 0.1uF	5	600.00	3,000.00
CAPACITOR DE 1uF	1	600.00	600.00
CONECTOR DE 12 PINES	1	10,000.00	10,000.00
REGLETA DE 40 PINES	2	5,000.00	10,000.00
ZOCALO DE 16 PINES	2	1,000.00	2,000.00
ZOCALO DE 14 PINES	2	1,200.00	2,400.00
ZOCALO DE 18 PINES	1	750.00	750.00
CABLE MULTIFILAR PLANO DE 25	3	6,798.00	20,394.00
ENCODER HEDS 5500	1	248,000.00	248,000.00
BAQUELITA E IMPRESO	1	55,000.00	55,000.00
		<b>TOTAL:</b>	<b>507,933.00</b>

**TARJETA BRIDGE**

DESCRIPCION	CANTIDAD	P.U.	TOTAL
TRANSISTORES 2N3055	2	8,200.00	16,400.00
DIODOS DE RECUPERACION NTE 50	2	3,531.00	7,062.00
CONECTOR DE 6 PINES	1	5,000.00	5,000.00
DISIPADOR	1	11,500.00	11,500.00
BAQUELITA 10x15cm	1	3,300.00	3,300.00
IMPRESO	1	18,000.00	18,000.00
	<b>TOTAL:</b>		<b>61,262.00</b>

**TARJETA MCPD51DA**

DESCRIPCION	CANTIDAD	P.U.	TOTAL
CAPACITOR DE 22uF, 25V	1	350.00	350.00
CAPACITOR DE 30pF	2	400.00	800.00
CAPACITORES DE 0.1uF	8	400.00	3,200.00
CAPACITORES ELECT. 47uF, 15V	2	350.00	700.00
CONECTOR DE 5 PINES	1	3,500.00	3,500.00
DIODO ZENER DE 5.1-1/2W	1	450.00	450.00
CONECTOR DB9 PARA TARJETA	1	3,500.00	3,500.00
RESISTENCIA DE 10K-1/4W	2	100.00	200.00
RESISTENCIA DE 100K-1/4W	1	100.00	100.00
RESISTENCIA DE 9 PINES DE 4.7K	2	1,200.00	2,400.00
PULSADOR PARA TARJETA	1	1,500.00	1,500.00
MICROCONTROLADOR INTEL 8751H	1	85,000.00	85,000.00
C.I. 74LS373	3	3,600.00	10,800.00
C.I. 74LS138	2	2,600.00	5,200.00
C.I. 1488	1	3,200.00	3,200.00
C.I. 40106	1	3,300.00	3,300.00
C.I. 74LS244	3	3,300.00	9,900.00
C.I. 6116 RAM DE 2K	1	12,000.00	12,000.00
CRISTAL DE 7.3728 Mhz	1	5,800.00	5,800.00
ZOCALO DE 40 PINES	1	2,079.00	2,079.00
ZOCALO DE 20 PINES	6	3,890.00	23,340.00
ZOCALO DE 16 PINES	2	550.00	1,100.00
ZOCALO DE 14 PINES	2	2,710.00	5,420.00
ZOCALO DE 24 PINES	1	4,620.00	4,620.00
HEAD DE 40 PINES	2	5,000.00	10,000.00
TARJETA IMPRESA	1	50,000.00	50,000.00
	<b>TOTAL:</b>		<b>248,459.00</b>

## PRESUPUESTO TOTAL DEL MODULO DIDACTICO

FECHA: 31 DE DICIEMBRE DE 1995

DESCRIPCION	CANTIDAD	P.U.	TOTAL
FUENTE-1	1	98,045.00	98,045.00
FUENTE-2	1	132,793.00	132,793.00
DRIVER	2	227,336.00	454,672.00
TEDISCO	1	507,933.00	507,933.00
BRIDGE	2	61,262.00	122,524.00
MCPD51DA	1	248,459.00	248,459.00
CHASIS METALICO	1	150,000.00	150,000.00
VARIOS	1	100,000.00	100,000.00
<b>TOTAL DEL PRESUPUESTO :</b>			<b>1,814,426.00</b>

NOTA: El presupuesto NO INCLUYE costos por diseño y construcción del módulo

## MANUAL DEL USUARIO

Esta sección tiene por objeto informar la operación del equipo . En el panel de presentación del módulo (ver Foto No. 2 del anexo 1) se presenta un diagrama esquemático de los componentes y como están conectados entre sí.

En el lado derecho del módulo se presentan dos conectores tipo plug (**A, B**) donde se conectará el motor d.c. El cable plano multicolor que proviene del encoder incremental que se encuentra acoplado al eje del motor a través del reductor de velocidad, se conectará en la tarjeta TEDISCO en el lugar donde se indica *sensor de posición*. **Se debe tomar en cuenta la referencia para conectar correctamente este cable ( COLOR VERDE corresponde a GND).**

En el lado frontal del módulo se encuentra el interruptor de encendido, el cual tiene un led indicador para saber si el equipo está en ON o en OFF. Sobre este interruptor se tiene un fusible, que es la protección de la fuente que alimenta al motor , se lo ha dejado accesible porque es más susceptible de actuar ya sea cuando los transistores de un mismo ramal del puente están encendidos por un largo tiempo o por la presencia de una corriente de sobrecarga del motor.

Si los leds indicadores del panel están encendidos significa que están funcionando las fuentes de alimentación del motor y de la tarjeta MCPD51DA. Si están apagados alguno de ellos nos indica que existió una falla de cortocircuito y actuó el correspondiente fusible