

ESCUELA POLITECNICA NACIONAL  
FACULTAD DE INGENIERIA ELECTRICA

CONTROL LINEAL CON MICROPROCESADOR PARA EL SERVOMECANISMO MOTOMATIC  
MCSL - 100

ISABEL LUCIA SOTO AYMAR



TESIS PREVIA A LA OBTENCION DEL TITULO DE  
INGENIERO EN ELECTRONICA Y CONTROL

AGOSTO - 1986

A MIS PADRES Y HERMANOS

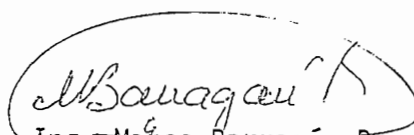


#### AGRADECIMIENTO

Al Ing. Marco Barragán, por sus acertados y oportunos consejos en la elaboración de esta Tesis.

Al Ing. Jaime Velarde y a todas las personas que de una u otra manera colaboraron con el desarrollo de la misma.

Certifico que el presente trabajo  
ha sido realizado en su totalidad  
por la Srta. Isabel Lucía Soto A.

  
Ing. Marco Barragán B.

Director .

## INDICE

	Pág.
Capítulo I : INTRODUCCION	1
Capítulo II : DESCRIPCION DE LOS ELEMENTOS UTILIZADOS	
2.1. El servomecanismo MCSL - 100 -----	5
2.1.1. Análisis y función de transferencia de posición y velocidad -----	7
2.1.2. Características de funcionamiento -----	12
2.2. Los conversores y los circuitos S/H -----	13
2.2.1. Conversores A/D -----	14
2.2.2. Conversores D/A -----	18
2.2.3. Circuitos S/H -----	22
2.3. El Micro - Professor -----	25
2.3.1. Funcionamiento de la Z-80 -----	28
Capítulo III: CONTROLADORES DIGITALES	
3.1. Tipos de controladores digitales -----	35
3.1.1. Controlador P -----	37
3.1.2. Controladores PI y PD -----	37
3.1.3. Controlador PID -----	41
3.2. Estudio de estabilidad en el control de velocidad-	42
3.3. Estudio de estabilidad en el control de posición--	52

## Capítulo IV : DISEÑO; PROGRAMA E IMPLEMENTACION

4.1.	Circuito de interface entre el Micro - Professor y el servomecanismo MCSL - 100 -----	85
4.2.	Implementación del programa -----	98
4.2.1.	Programas Auxiliares -----	99
4.2.2.	Programa PID -----	108
4.2.3.	Programa principal -----	110
4.3.	Pruebas sobre el prototipo -----	113

## Capítulo V : CONCLUSIONES

5.1.	Efectos de la compensación sobre la velocidad ----	132
5.2.	Efectos de la compensación sobre la posición ----	134
5.3.	Problemas encontrados al realizar los programas y la implementación -----	136
5.4.	Valores óptimos encontrados para realizar una mejor compensación -----	138
5.5.	Recomendaciones -----	139

## APENDICES:

- A. Instrucciones de la Z - 80.
- B. Características de los elementos.
- C. Esquema de la parte análoga.
- D. Manual de uso del programa.
- F. Tabla de la transformada Z.

## BIBLIOGRAFIA

Capítulo I : INTRODUCCION

En la actualidad el uso de microprocesadores <sup>en</sup> ~~es~~ procesos industria les es cada vez más alto, debido a su versatilidad.

En un determinado proceso industrial, controlado por microprocesa-  
dor, se pueden modificar sus funciones con pequeños cambios en  
software y hardware.

Una aplicación de un microprocesador para procesos industriales es  
el objetivo de la presente tesis, en la cual se desarrolla un sis  
tema para controlar un servomecanismo.

En este campo, las posibilidades que se presentan son muchas; por  
esto, el objetivo central de esta tesis es exclusivamente realizar  
un control lineal por medio de una acción de control digital, para  
controlar un servomecanismo.

Con el objeto de que el microprocesador Z-80 sirva para una demos  
tración práctica en una aplicación industrial, se realiza un cir-  
cuito que permite el control de velocidad y posición del servomeca-  
nismo Motomatic MCSL - 100 por medio del microprocesador Z-80, que  
se encuentra implementado en el Micro - Proffessor (MPF - IP), que  
es un pequeño microcomputador de bajo costo. El Micro - Professor  
posee teclado, display y programas monitor para su funcionamiento.

También, se realizan programas para hacer el controlador digital y  
escribir algunas leyendas, las cuales permiten que el funcionamien  
to del sistema se realice con mayor facilidad.



Si bien los programas y el circuito de interface se han realizado para implementar un control lineal, es posible, según se ha mencionado, con ligeras modificaciones la creación de otros tipos de control para este mismo sistema. También, mediante un adecuado a coplamiento y tomando las consideraciones necesarias, es posible realizar el control de un sistema diferente al Motomatic MCSL-100.

Además, el controlador digital será variable en su tipo y en el valor de sus parámetros, pudiéndose así observar el comportamiento del sistema con diferentes controladores.

De esta manera, la presente tesis servirá para dar una demostración práctica de los microprocesadores aplicados a un proceso de control, con elementos que existen en los laboratorios de Sistemas de Control y Sistemas Digitales de la Facultad. Se cree, que así hay un aporte para los dos laboratorios antes mencionados.

En esta tesis se han utilizado datos obtenidos por el Ing. Jorge Bastidas en su tesis titulada: "Estudio teórico - experimental de un servomecanismo de velocidad y posición", realizada en el año 1981; en la que hace el estudio del servomecanismo MOTOMATIC MCSL 100 sobre el que se realiza el control.

También se ha revisado la tesis del Ing. Galo Acosta en la que realiza un programa para el Lugar Geométrico de las Raíces para Sistemas Discretos, el cual sirvió para tener una idea más exacta del funcionamiento del sistema digital y conocer su respuesta en el tiempo.

En lo referente al contenido mismo de este trabajo, en el Capítulo II se da una descripción breve de los principales elementos utilizados en el desarrollo de esta tesis. Además, los detalles más importantes y los conocimientos que ayudarán a la comprensión del desarrollo de esta tesis.

En el Capítulo III se describen los tipos de controladores que se implementarán, así como una explicación de cuando se debe usar cada uno. También se realiza un estudio teórico de estabilidad para velocidad y posición. Esto sirve para conocer el tipo de controlador más adecuado para el sistema y los posibles valores que deben tener las constantes del controlador para que el sistema sea estable y en general de una calidad adecuada.

Las consideraciones de diseño y una explicación del funcionamiento del circuito se lo realiza en el Capítulo IV. Además se dan a conocer los algoritmos utilizados para los programas.

En este mismo capítulo se presentan los resultados de las pruebas realizadas al sistema de control digital.

En el capítulo V, se analizan los resultados sobre el prototipo en comparación con los resultados obtenidos en el Capítulo III; presentándose además un resumen de las experiencias adquiridas en el control con microprocesadores.

Se tiene cinco apéndices en esta tesis, los cuales se han considerado como un complemento necesario para el mejor entendimiento de

la misma.

Uno de los apéndices es el manual de uso del programa en el cual se da en forma detallada los pasos a seguirse para el correcto funcionamiento del sistema de control digital construído. También, en esta parte se adjunta el listado de las instrucciones del programa.

Cabe anotar que el Motomatic tiene un rango de control de velocidad de 0 a 5000 R.P.M. En esta tesis se controlará de 0 a 1200 R.P.M. por limitaciones de voltaje en la construcción de la parte análoga.

En posición se controlará de 0 a 320°.

## Capítulo II : DESCRIPCION DE LOS ELEMENTOS UTILIZADOS

### 2.1. El servomecanismo MCSL - 100

2.1.1. Análisis y función de transferencia de posición y velocidad.

2.1.2. Características de funcionamiento.

### 2.2. Los conversores y los circuitos S/H.

2.2.1. Conversores A/D

2.2.2. Conversores D/A.

2.2.3. Circuitos S/H.

### 2.3. El Micro - Professor.

2.3.1. Funcionamiento de la Z - 80.

## INTRODUCCION

Antes de explicar como se realiza el control lineal con un microprocesador sobre el servomecanismo, se ha creído conveniente dar algunos conceptos y principios básicos de funcionamiento de los elementos utilizados. Los principales son: el servomecanismo MCSL - 100, el Micro - Professor, los conversores análogo digital (A/D), digital - análogo (D/A) y retenedores (S/H).

### 2.1. EL SERVOMECAÑISMO MCSL - 100

En esta parte se dará un breve resumen de la tesis del Ing. Bastidas realizada en el año 1981, en la cual realiza un estudio sobre el servomecanismo MCSL - 100.

Un servomecanismo es un sistema electromecánico de control realimentado en el cual la respuesta es la posición, velocidad o aceleración mecánica.

El Motomatic Control System Laboratory MCSL - 100, consta de una unidad de control que permite trabajar con dispositivos de estado sólido, los cuáles proporcionan en conjunto energía y compensación para los componentes electromecánicos.

El chasis de aluminio de 25 cm x 40 cm, tiene cuatro propósitos fundamentales que son:

- Contiene la fuente de poder, un sumador (usado normalmente como amplificador de error), un amplificador de potencia para el motor, generador de función pasó y circuitos e indicadores de sobrecarga.
- Provee terminales para la conexión de los instrumentos de medida.
- Proporciona terminales eléctricos para el acoplamiento de los componentes mecánicos.
- Provee terminales de entrada eléctrica, tanto para señales como para potencia.

Además el motomatic posee un chasis con los medidores (amperímetro, tacómetro, voltímetro).

La distribución funcional de las unidades que conforman el MCSL - 100 se muestra en el diagrama de bloques de la figura 2.1.

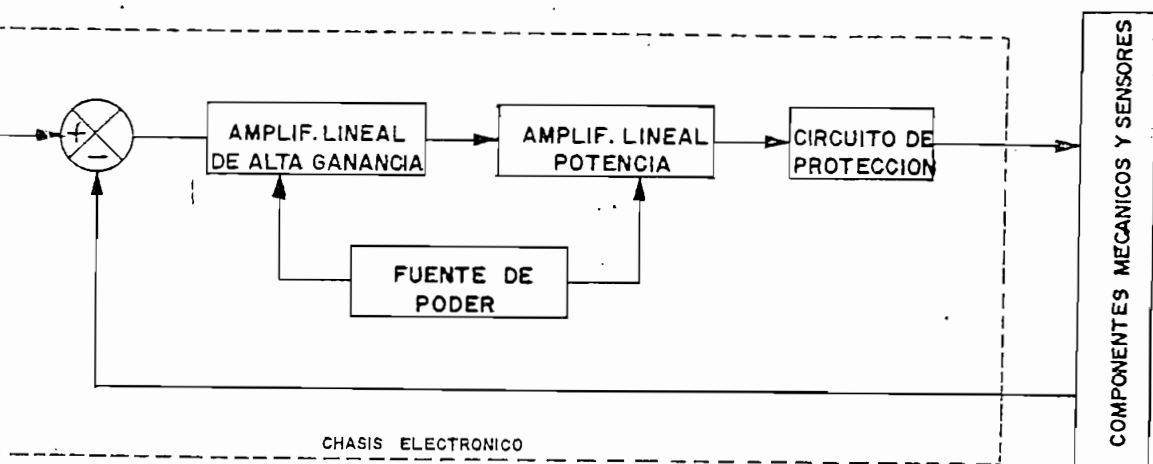


Fig. 2.1. Diagrama de bloques del servomecanismo MCSL - 100

### 2.1.1. Análisis y Función de Transferencia de Posición y Velocidad

Un diagrama de bloques más detallado del servomecanismo MCSL - 100 es el mostrado en la figura 2.2.

La función de transferencia del motor es conocida y es igual a:

$$G(s) = \frac{K_T \cdot K_a}{L_a J S^2 + (R_a J + L_a D)S + (R_a D + K_E K_T)} \quad (2.1)$$

y haciendo:

$$Q(s) = \frac{R_a + S L_a}{K_T \cdot K_a} \quad (2.2)$$

Donde  $K_a$  es la constante del amplificador de potencia, la cual multiplica al lazo directo y divide el lazo de realimentación en el diagrama del motor.

Las constantes características de este sistema y sus valores son las siguientes:

$K_g$  = constante de velocidad = 0,0154 Volt/RPM = 0,148 V/rad/seg.

$K'_p$  = constante de posición = 0.118 Volt/grado = 0.74 Volt/rad.

$K_a$  = ganancia del amperímetro de potencia = 5.3.

$J$  = momento de inercia =  $36.58 \times 10^{-6}$  Kg m<sup>2</sup>.

$K_T$  = constante de torque = 0.0375 N-m/Amp.

$K_E$  = constante de FEM = 0.004 Volt/RPM = 0.0382 Volt/rad/seg.

$R$  = resistencia del motor = 2.8  $\Omega$

$L_a$  = inductancia del motor = 2.1 mH.

$D$  = coeficiente de fricción viscosa =  $15.3 \times 10^{-6}$  N-m/rad/seg.

$T_L$  = perturbaciones de torque.

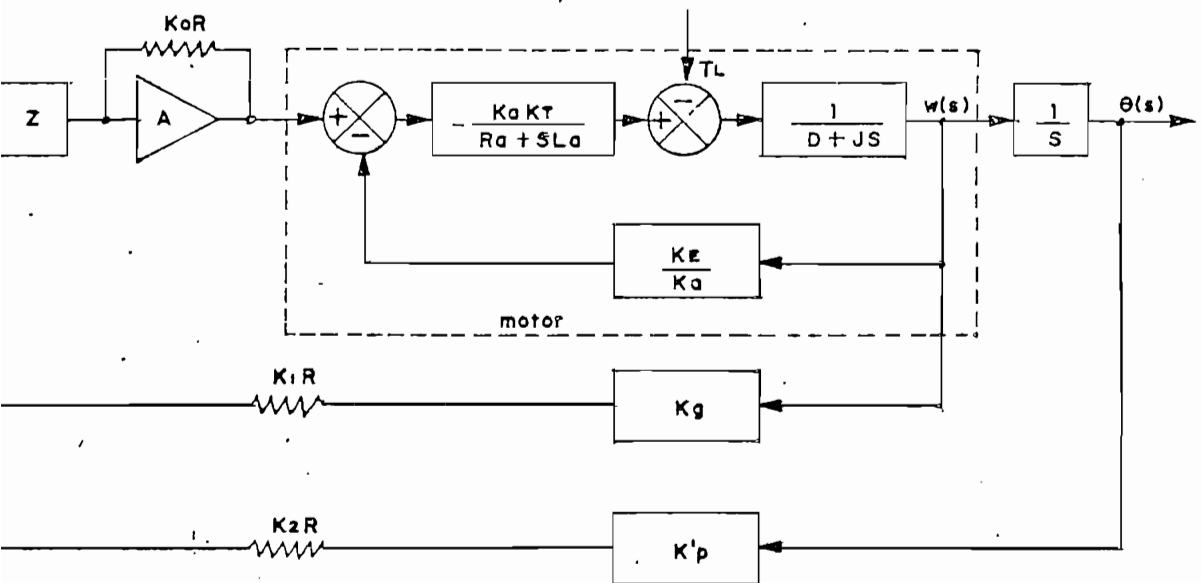


Fig. 2.2. Diagrama detallado del MCSL - 100

Despreciando el efecto de  $T_L$  y simplificando el diagrama anterior, se



tiene la figura 2.3.

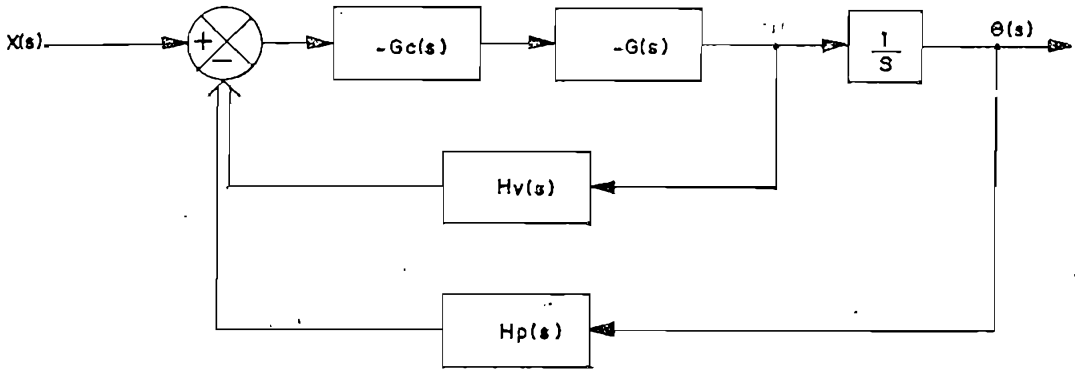


Fig. 2.3. Diagrama simplificado del MSSL - 100

Donde  $G(s)$  es conocido, está dado por la ecuación 2.1.

$$H_v(s) = \frac{K_g}{K_1} \quad (2.3)$$

$$H_p(s) = \frac{K_p}{K_2} + \frac{K_g}{K_1} s \quad (2.4)$$

$$G_c(s) = K \frac{Z'}{Z} \quad (2.5)$$

$Z'$  para velocidad es tal que:

$$\frac{1}{Z'} = \frac{1}{Z_3 R} + \frac{1}{Z} + \frac{1}{Z_1 R} \quad (2.6)$$

y para posición es:

$$\frac{1}{Z'} = \frac{1}{K_1 R} + \frac{1}{Z} + \frac{1}{K_2 R} + \frac{1}{R K_3} \quad (2.7)$$

Reemplazando por los valores respectivos los parámetros y haciendo

$$K_0 = 1, K_1 = 1, K_2 = 1, K_3 = 1, Z = 0.$$

$$G_C(s) = 1, \text{ tanto para velocidad como para posición.}$$

$$H_V(s) = 0.148$$

$$H_P(s) = 6.74$$

$$G(s) = \frac{2586789.22}{(S + 1319.19)(S + 14.56)}, \text{ para velocidad.}$$

$$G(s) = \frac{2586789.22}{S(S + 1319.19)(S + 14.56)}, \text{ para posición.}$$

La función de transferencia de lazo abierto será igual a:

$$F.T.L.A. = G(s) \cdot G_C(s) \cdot H(s) \tag{2.8}$$

Por lo tanto la función de transferencia de lazo abierto; será:

$$F.T.L.A. = \frac{K}{(S + 1319.19)(S + 14.56)} \tag{2.9}$$

para velocidad; y,

*Handwritten notes:*  
 $\frac{K}{S(S + 1319.19)}$   
 $\frac{K}{S + 1319.19}$

$$F.T.L.A. = \frac{K}{S(S + 1319.19)(S + 14.56)} \tag{2.10}$$

para posición.

Para obtener las características de un sistema más real, es necesario encontrar la función de transferencia para las condiciones reales de trabajo; pues en los datos anteriormente se consideraban cada parámetro por separado y esto ocasiona una función algo diferente a la que se presenta en el momento de trabajo.

Aplicando el criterio de los polos dominantes y encontrando la característica velocidad versus tiempo del motor, y dando valores a la entrada para encontrar la constante K, se llega a deducir que la función de transferencia del motor en condiciones reales de trabajo es:

$$G(s) = \frac{228.46}{s + 3.45} \quad (2.11)$$

que es la función con la cual se trabajará por ser la más aproximada al circuito en condiciones de trabajo. Los valores de  $G_c(s)$  y  $H(s)$  se mantienen.

Las funciones de transferencia de lazo cerrado serán:

$$\frac{w(s)}{x(s)} = \frac{228.46}{s + 37.26} \quad (2.12)$$

para velocidad; y,

$$\frac{\theta(s)}{x(s)} = \frac{228.46}{s^2 + 3.459s + 171.12} \quad (2.13)$$

para posición.

### 2.1.2. Características de Funcionamiento

Las características de funcionamiento medidas, en la tesis son las siguientes:

Para control de velocidad:

En el tiempo :  $t_r = 0.071 \text{ seg}$  = tiempo de subida

$t_s \cong t_r$  = tiempo de estabilización

sobretiro = 0

$E_{SS} = 9.26\%$

En la frecuencia:  $MF = 97^\circ$

$MG = \infty$

$A.B = 35 \text{ rad/seg}$

Para control de posición sin tacómetro:

En el tiempo :  $t_r = 0.15 \text{ seg.}$

$t_s = 1.65 \text{ seg.}$

sobretiro = 41.79%

En la frecuencia :  $MF = 21^\circ$

$$MG = \infty$$

$$MR = 11 \text{ db}$$

$$AB = 25 \text{ rad/seg}$$

$$WR = 13 \text{ rad/seg.}$$

En este sistema se puede realizar control de posición con tacómetro, pero en el circuito práctico a realizarse en esta tesis, esto no es posible; por lo tanto, no se dará a conocer estos parámetros.

## 2.2. CONVERSORES Y CIRCUITOS S/H

Para procesar una señal continua utilizando métodos digitales, es necesario que la variable analógica aplicada sea convertida al número digital equivalente, esta es la finalidad del conversor analógico digital (A/D o ADC); además es necesario que este proceso sea reversible y para esto se utiliza un conversor digital - analógico (D/A o DAC) cuya función es la de transformar un número digital a su tensión proporcional analógica. Además de estos dos dispositivos, cuando se tienen señales continuas y digitales es necesario el uso de muestreadores retenedores, que muestran una señal y la mantienen durante un instante de tiempo determinado.

### 2.2.1. Conversores Analógicos - Digitales

El propósito de estos es el de transformar una tensión analógica de entrada en un número digital proporcional. Hay tres métodos de conversión diferentes y son:

- El método paralelo (palabra cada vez).
- El método ponderado (dígito cada vez).
- El método de contador (nivel cada vez).

El método paralelo realiza  $n$  comparaciones de la tensión de entrada y las tensiones de referencia, determinando así en los dos niveles de referencia en los que está el valor de la tensión de entrada. El número resultante se lo obtiene en una sola operación.

El método ponderado (aproximaciones sucesivas) determina cada vez un bit del número binario natural correspondiente.

El más sencillo es el método de contador, cuenta el número de veces que debe ser sumada la tensión de referencia para que sea igual a la entrada; el número de operaciones es el resultado buscado. Este método es el más lento de los tres, por el número de operaciones - que se realiza.

El método paralelo utiliza comparadores análogos y se tienen tanto

comparadores como números se pueden formar.

Por ejemplo, con 3 bits se pueden formar 8 números diferentes incluyendo el cero, para lo cual se requieren 7 comparadores, y sus salidas irán conectadas a un decodificador de prioridad, a través de flip - flops activados por un reloj externo. Es necesario que la entrada analógica se mantenga fija para evitar errores en la conversión. Este es el método más rápido de conversión, el instante de conversión es determinado por el flanco de disparo del reloj más el tiempo de retardo del comparador.

El método ponderado es una técnica muy popular porque puede combinar resoluciones útiles hasta 12 bits, y más allá, con un tiempo de conversión bastante breve. Además, el tiempo de conversión es el mismo, independientemente de la magnitud de entrada, permitiendo una interface eficiente con los microprocesadores. La entrada debe mantenerse fija durante todo el período de conversión.

Un convertidor A/D de aproximaciones sucesivas consta de: un DAC, un comparador de voltaje o corriente, un reloj, un registrador de cambios, lógica de control y un registro de salida; como los datos de salida no son válidos hasta que se realiza la conversión, una línea de estado de conversión indica cuando la conversión está completa.

En la figura 2.4., tenemos un diagrama de bloques de un ADC. Su funcionamiento se realiza a través de la lógica de control, la cual pone el registro en cero al comienzo de la conversión. Después pone

1<sub>L</sub> en el bit más significativo y si la tensión de entrada es más alta que esta tensión, el bit se mantiene en uno; si es más pequeña, se pone en cero y así sigue comparando sucesivamente bit por bit hasta llegar al último bit.

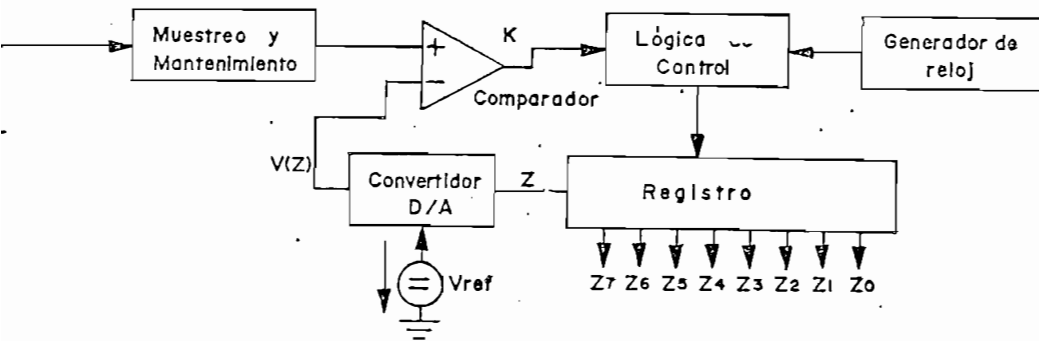


Fig. 2.4. Convertidor A/D ponderado

Con el método del Contador, se puede alcanzar una alta precisión y los circuitos son mucho más simples que los dos casos anteriores; pero el tiempo de conversión es considerablemente más largo que en los otros métodos lo cual los hace que no sean muy útiles en aplicaciones con microprocesadores.

El método de contador más utilizado es el de doble pendiente, en el cual se integra la tensión de entrada por un tiempo determinado y después se pasa a integrar una tensión de referencia de signo contrario al de la tensión de entrada y se evalúa el tiempo en que la integral de la tensión de referencia se hace cero por medio del contador y así se realiza la conversión.



El error de cuantificación es inherente a los conversores A/D debido a la resolución limitada. De acuerdo con la figura 2.5. es  $\pm 1/2$  LSB. El único modo seguro de reducir esta incertidumbre de cuantificación es aumentar el número de bits.

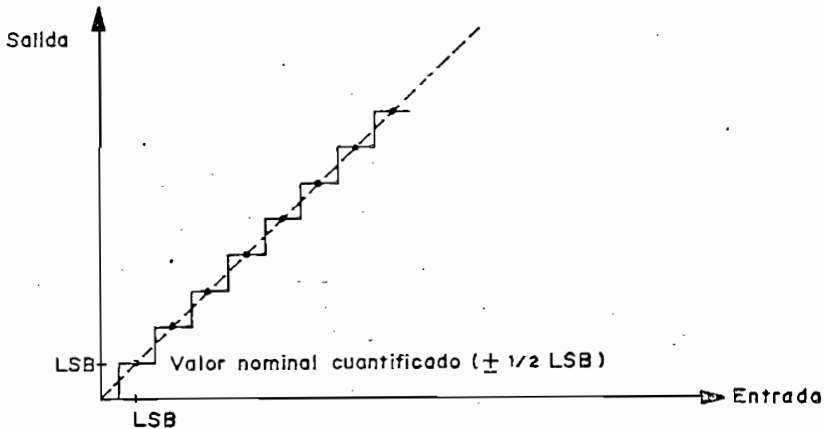


Fig. 2.5. Error de cuantificación

El ADC también puede tener un error de escala (ganancia), cuando la diferencia entre los valores a los que se producen la primera transición y la última no es igual a  $FS(1 - 2 \text{ LSB})$  donde FS es el máximo valor analógico a convertirse.

Un error de linealidad cuando las diferencias entre valores de transición no son todas iguales ni varían uniformemente; si la no linealidad es suficientemente grande, existirá la posibilidad de que se omitan uno o más códigos; a esto se llama conversión no monotónica.

Para que una lectura sea válida, la frecuencia de muestreo  $f_s$  debe ser por lo menos el doble que la frecuencia más alta de la señal  $f_{\text{máx}}$ .

Entre las especificaciones fundamentales de los conversores A/D se tienen las siguientes:

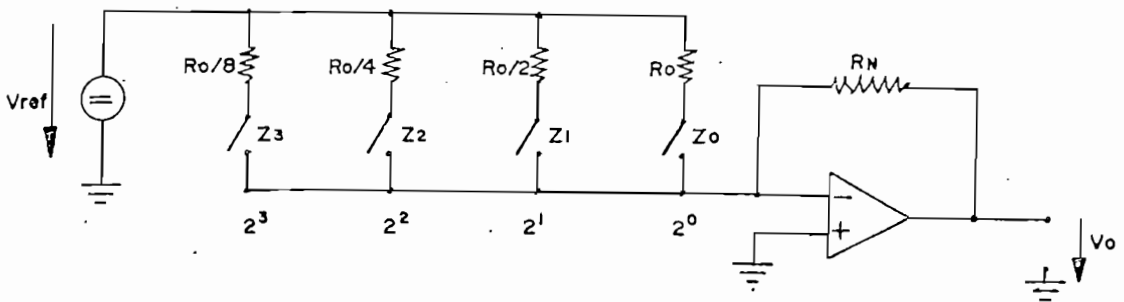
- Señal de entrada: es el máximo valor de entrada analógica que puede darse al conversor.
- Tiempo de conversión: depende del tipo de conversor.
- Exactitud: la exactitud incluye errores de las partes analógicas y digitales del circuito. El error digital es debido a la cuantificación y a los otros errores que pueden existir como son: linealidad, monotonjidad y de ganancia. El error analógico es debido a los comparadores.

### 2.2.2. Conversores Digital- Analógico (D/A)

El objeto del conversor D/A es la reconversión de un número digital a una tensión analógica proporcional.

Un circuito sencillo para la conversión D/A es el representado en la figura 2.6. Las resistencias están calculadas para que cuando se cierran los interruptores pasen por ellos las corrientes correspondientes al valor de cada bit; cuando el bit es 1, el interruptor está cerrado.

Una desventaja de este circuito es que entre los terminales de los conmutadores se producen grandes tensiones; por esta razón se utili



$$V_0 = - V_{ref} \frac{R_N}{R_0} (8 Z_3 + 4 Z_2 + 2 Z_1 + Z_0)$$

Fig. 2.6. Circuito elemental de un conversor D/A.

zan conmutadores electrónicos; además impone una gran carga variable sobre el punto de suma del amplificador operacional cuando están encendidos o apagados. Para solucionar esto se utilizan conmutadores de dos posiciones; de manera que, cuando el bit esté en cero el interruptor envía la corriente a tierra y de esta forma la carga se mantiene constante. Otro problema de este circuito es que resulta muy difícil encontrar resistencias exactas de los valores que se necesita, esto se soluciona utilizando la red en escalera y la ponderación de los bits se realiza por divisiones sucesivas.

El conmutador electrónico puede ser de varios tipos: transistor, fets, amplificadores operacionales, compuertas lógicas, diodos, etc.

La precisión del circuito así formado, está afectada por la caída de tensión en los conmutadores, este efecto se evita generando corrien-

tes con fuentes de corriente constante.

En la figura 2.7. se muestra un modelo muy aproximado del circuito utilizado para el conversor A/D de esta tesis.

En este modelo si se aplica una tensión positiva a la entrada binaria, el diodo de entrada está polarizado en sentido directo y el otro en sentido inverso, de esta manera fluye corriente constante a través de la entrada de control binario; con tensión negativa, el diodo que está en la entrada está bloqueado y el otro está conduciendo, por lo tanto en el punto de suma circula corriente constante.

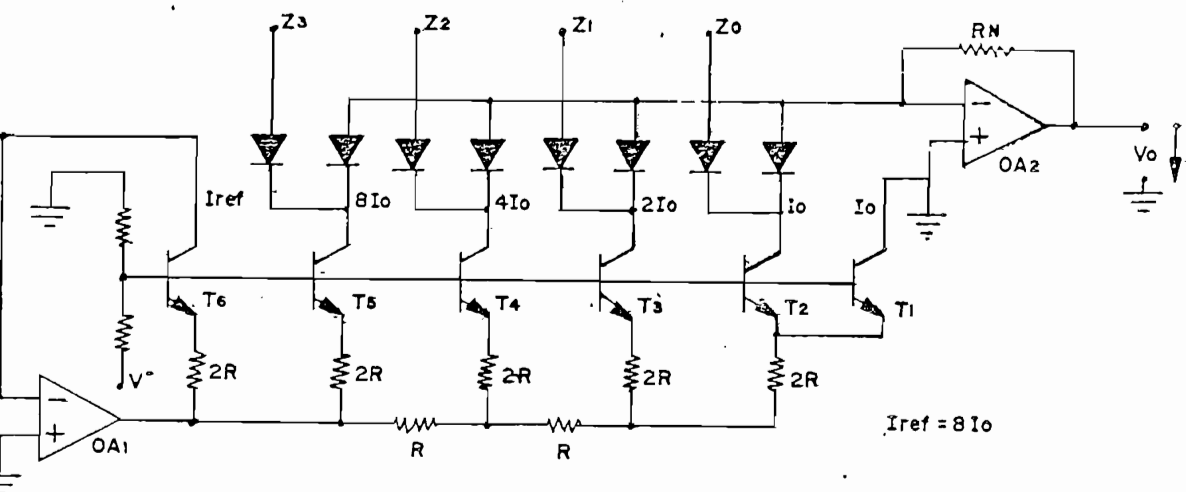


Fig. 2.7. Conversor D/A

Las corrientes ponderadas son generadas por la red en escalera; diferentes tensiones base emisor de los transistores  $T_1$  a  $T_6$  alterarían o distorsionarían la ponderación de la red en escalera; para obtener iguales tensiones base - emisor, a pesar de que las corrientes de co

lector sean diferentes, los transistores tienen áreas de emisor dadas de las cuales dependen los factores de ponderación.

Los errores que pueden existir en la conversión D/A son los mismos que se observan en la conversión A/D.

Entre las principales características de los conversores D/A se tiene:

- Resolución: un convertidor binario de  $n$  bits debe poder proporcionar  $2^n$  valores analógicos de salida distintos y claros, correspondientes al conjunto de palabras binarias de  $n$  bits.
- Exactitud: depende de la diferencia entre la salida análoga de voltaje y la salida teórica; es función de la precisión de los resistores usados de carga y la precisión de la fuente de voltaje de referencia.
- Linealidad: ya definida en los conversores A/D.
- Tiempo de ajuste: es el tiempo necesario después de un cambio prefijado de los datos digitales para que la salida del DAC alcance y permanezca dentro de una fracción dada ( $\pm 1/2$  LSB) del valor final. El tiempo de ajuste de un DAC de salida de corriente es corto.
- Coeficiente de temperatura: es el cambio de un parámetro dividido por el cambio de temperatura correspondiente. Se expresan las ines

stabilidades de temperatura en ppm/°C, fracciones de LSB/°C o el cambio de un parámetro sobre una gama dada de temperatura. La temperatura afecta a los resistores y a los amplificadores operacionales.

### 2.2.3. Circuitos Muestreadores - Retenedores (S/H)

Los circuitos S/H son utilizados para muestrear una señal análoga en un instante determinado y retenerla durante un período de tiempo. También se pueden retener señales digitales mediante flip - flops tipo D y el período de retención en estos casos está dado por la señal de reloj CK. Generalmente, los circuitos S/H son utilizados para señales análogas. En los conversores A/D se usan de este tipo para mantener fija la señal de entrada a convertirse. En los conversores D/A en cambio es necesario mantener la señal digital durante el tiempo que se necesita que cierta señal análoga esté a la salida; en este caso se utilizan retenedores digitales.

Los circuitos S/H para señales análogas, en su funcionamiento básico utilizan un condensador para retener un voltaje muestreado. Un interruptor electrónico controla la carga rápida del condensador, la retención y, por último la descarga del condensador. Un circuito muy elemental es el mostrado en la figura 2.8.a., en la cual durante el intervalo de retención el interruptor está abierto y el condensador C está cargado y si el interruptor está cerrado, el condensador se carga al valor muestreado, como se indica en la figura 2.8.b.

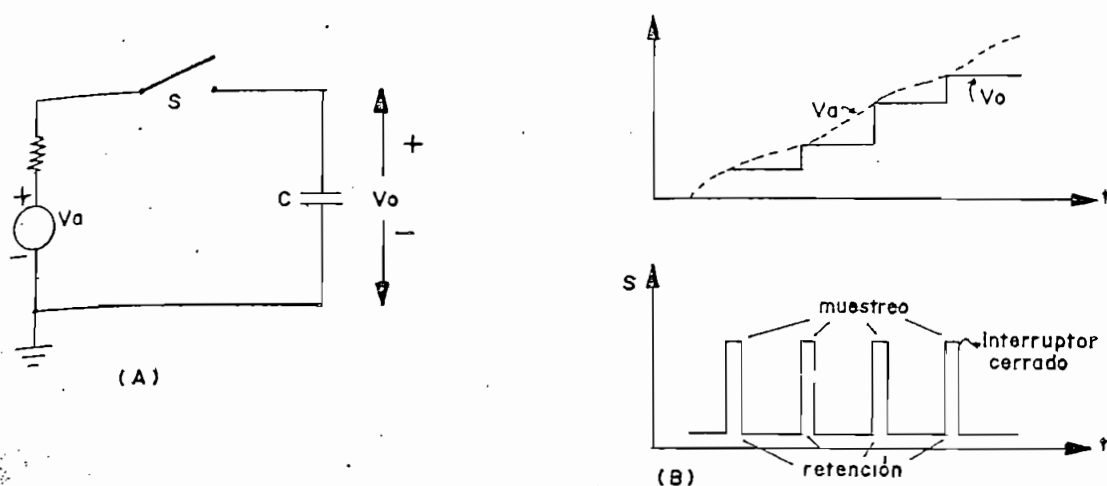


Fig. 2.8. Circuito S/H análogo. a) Circuito simple. b) Formas de onda.

Este circuito no es muy utilizado debido a que es inexacto y existen problemas con el condensador y el interruptor; por esto se utilizan elementos electrónicos para realizar el S/H.

En los S/H digitales se tienen los flip - flop D; en este caso, la señal muestreada va a ser un  $1_L$  o  $0_L$  y la retención va a depender de señales de habilitación y de la señal de reloj.

Se analizará la tabla de función del 74HC74:

PR	CL	CK	D	Q	$\bar{Q}$
0	1	x	x	1	0
1	0	x	x	0	1
0	0	x	x	no es estable (alta impedancia)	
1	1	↑	1	1	0
1	1	↑	0	0	1
1	1	0	x	$Q_0$	$\bar{Q}_0$

Tabla 2.1. Tabla de funciones del 74HC74.

De esta tabla se deduce que cuando PR y CL están en  $1_L$ , el circuito puede funcionar como retenedor, cargándose los valores con la transición positiva del reloj y con la transición negativa y mientras se mantiene en  $0_L$  los valores son retenidos. Si PR y CL están en  $0_L$  se tiene una condición de alta impedancia a la salida. Las otras combinaciones posibles para PR y CL dan valores fijos a la salida y no interesan para el retenedor utilizado.

La tabla 2.2. muestra el funcionamiento de otro tipo de flip - flop D, siendo en esencia los mismos; lo que varía son las señales de habilitación.

En este elemento, la señal de habilitación es O.E. (output enable) y si O.E. es  $1_L$  el circuito presenta condición de alta impedancia y cuando O.E. está en  $0_L$  se observa que el comportamiento es el mismo que con el elemento anterior; es decir con la transición positiva del reloj se cargan los datos y con el reloj en transición negativa o en  $0_L$  los valores cargados se mantienen.

O.E.	CK	D	Q
0	↑	0	0
0	↑	1	1
0	$0_L, 1_L, ↓$	x	$Q_0$
1	x	x	H.Z.



(alta impedancia)

Tabla 2.2. Tabla de funciones del 74 HC 374



### 2.3. EL MICRO - PROFESSOR

El Micro - Professor I Plus (MPF - IP) es un versátil sistema de microcomputador de bajo costo, caracterizado por sus sofisticadas capacidades de hardware y software. Puede ser utilizado para familiarizarse con los microcomputadores de hardware y software más avanzados; además, se puede emplear en aplicaciones de control industrial e instrumentación.

Como unidad de proceso central utiliza la Z-80.

El MPF-IP tiene su hardware constituido por las siguientes secciones:

- Unidad procesadora central (U1): La CPU Zilog Z-80 tiene 158 instrucciones y puede operar a 2.5 MHz.
- ROM (U2): El MPF-IP tiene una EPROM 2764 de 8 Kbytes, en donde resíde el monitor y cuyas direcciones están comprendidas entre 0000 y 1FFF.
- RAM (U4-U5): Existen 2 RAMs estáticas HM6116, cada una tiene la capacidad de 2 Kbytes. Las direcciones van desde F000 hasta FFFF.
- Area de Expansión de la Memoria (U3): Esta área está reservada para utilizar una EPROM 2764 o 2732 y su direccionamiento está desde 2000 hasta 3FFF.

- Pórticos de Entrada - Salida (U13 - U14): Los pórticos de E/S consisten en dos circuitos integrados 8255, los cuales tienen 48 líneas paralelas de E/S.
- Display: El display del MPF-IP es un panel indicador fluorescente que puede mostrar 20 caracteres de 16 segmentos.
- Teclado: El MPF-IP tiene 49 teclas, en las que se incluyen teclas alfanuméricas (de A a la Z y de 0 al 9) y teclas de función.
- Parlante: Un pequeño parlante está instalado en el circuito impreso del MPF-IP.
- Interface para Cinta Magnética: El MPF-IP puede conectarse a la mayoría de grabadores de cassette. La velocidad de transferencia de datos es de 165 bits por segundo.
- Reloj del Sistema: Existe un oscilador de cristal a la frecuencia de 3.5795 MHz, la cual se divide por 2 mediante el CI 74LS74 para obtener la frecuencia de trabajo de 1.79 MHz (período: 0.56 useg).
- Impresora Térmica: El MPF-IP puede trabajar acoplado a la impresora de papel térmico PRT-MPF, en la cual se puede obtener resultados impresos en líneas de 20 caracteres con una velocidad de 48 líneas por minuto.

El software del MPF-IP, está dado por el programa monitor ejecuta

y realiza las siguientes tareas:

- Inicializa un ciclo de RESET, dejando listo al MPF-IP para ejecutar los programas del usuario.
- Examina el teclado y responde de acuerdo a la tecla presionada.
- Refresca los buffers del display y puede mostrar cualquier carácter contenido en el conjunto de 64 caracteres ASCII.
- Almacena y recupera datos a través del interface para cinta magnética.
- Muestra y altera los datos almacenados en memoria o en los registros.
- Inserta y retira puntos de parada en un programa.
- Ejecuta programas en el modo de paso a paso para depurarlos.
- Calcula las direcciones relativas para ser usadas por las instrucciones JR o DJNZ.
- Editor: con el cual se puede ingresar, cambiar o listar un programa fuente.
- Assembler de Línea: que convierte una línea de programa escrito

en mnemónico al respectivo código de máquina.

- Assembler de dos Pasos: que convierte un programa fuente en código de máquina.
- Desassembler: que convierte el código de máquina en mnemónico.

Existen comandos y más instrucciones de manejo del MPF-IP.

Se pueden obtener más detalles en el manual de uso del MPF-IP.

### 2.3.1. Funcionamiento de la Z-80

La Z-80 contiene 158 instrucciones, repartidas de la siguiente manera: 21 para comandos de carga de 8 bits, 20 comandos para carga de 16 bits, 14 comandos para cambios, transferencia de bloques e instrucciones de búsqueda, 17 comandos para operaciones de 8 bits aritméticas y lógicas, 11 instrucciones para operaciones lógicas y aritméticas de 16 bits, 12 comandos para propósitos generales, 16 funciones de desplazamiento y rotación, 11 instrucciones de salto, 12 operaciones de E/S, 7 Call/Return directos.

Desde el punto de vista del programador, posee los siguientes registros:

- Contador de Programa (PC): Es un registro de 16 bits y cuyo contenido corresponde a la dirección de la siguiente instrucción que debe ser ejecutada. Se incrementa automáticamente.

- Stack Pointer: Es un registro de 16 bits que se halla localizado en cualquier sistema externo de memoria RAM. El stack es tipo LIFO. Permite una implementación simple de múltiples niveles de interrupción, de subrutinas y simplificación de muchos tipos de manipulación de datos.
  
- Registros Índice: Posee dos registros índices (IX e IY), cada uno de 16 bits y son usados en el modo de direccionamiento indicado. Este modo de direccionamiento se usa especialmente cuando se fabrica tablas de datos.
  
- Registro de dirección de página de interrupción (I): Es un registro de 8 bits, en donde se almacenan los 8 bits más significativos de la dirección donde se halla almacenada la llamada de interrupción; los 8 bits menos significativos los provee el instrumento de la interrupción.
  
- Registro de refresco de memoria (R): Posee un dispositivo de refresco de memorias para memorias dinámicas. Este registro de 7 bits se incrementa automáticamente. El dato para este registro es enviado del bus de addresses.
  
- Acumuladores y Registros de Bandera: La Z-80 tiene dos acumuladores independientes de 8 bits cada uno, asociados con un registro de banderas de 8 bits. El acumulador contiene el resultado de 8 bits de operaciones aritméticas y lógicas; mientras que el registro de banderas indica las condiciones específicas de operaciones de 8 o 16 bits.

Las banderas son: carry (C), cero (Z), signo (S), paridad y fuera de rango (PV), half carry (M), add/subtract (N).

Existen dos grupos generales de registros, cada grupo contiene 6 registros de 8 bits que pueden ser utilizados individualmente como registros de 8 bits o como pares de 16 bits. Un grupo es llamado BC, DE, HL; mientras que el grupo complemento es llamado B'C', D'E', H'L'.

Los pines de E/S de la Z-80 son mostrados en la figura 2.9. y las funciones de cada uno de ellos se describe a continuación.

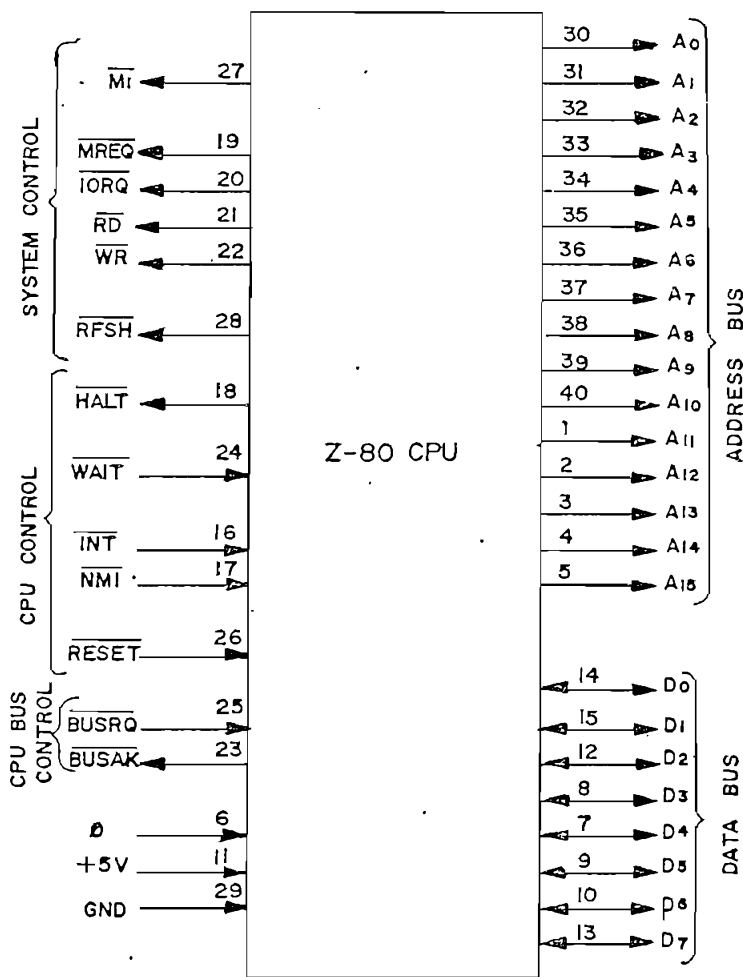


Fig. 2.9. Configuración de los pines de la Z-80

- Bus de Addresses ( $A_0 - A_{15}$ ): son salidas de 3 estados que se activan en  $1_L$ . Constituyen un bus de addresses de 16 bits. El bus de addresses provee la dirección para datos de memoria y para intercambio de datos con instrumentos E/S.
- Bus de Datos ( $D_0 - D_7$ ): son líneas bidireccionales de 3 estados - que se activan en  $1_L$ . Tiene 8 bits y es usado para intercambiar datos con memoria y con instrumentos de E/S.
- $\overline{M}_1$  : es una salida de 3 estados que se activa en  $0_L$ ; indica que la máquina se halla en la fase de traída.
- $\overline{MREQ}$ : es una salida de 3 estados que se activa en  $0_L$ . Esta señal indica que el bus de addresses tiene una dirección válida para ser leída de memoria o escrita en memoria.
- $\overline{IORQ}$ : es una salida de 3 estados que se activa en bajo. Esta señal indica que el bus de addresses se dirige a E/S. Esta señal es también generada cuando una interrupción está siendo reconocida para indicar que una respuesta a la interrupción puede ser colocada en el bus de datos.
- $\overline{RD}$ : es una salida de 3 estados que se activa en  $0_L$ , indica que la CPU desea leer un dato de memoria o de E/S.
- $\overline{WR}$ : es una salida de 3 estados que se activa en  $0_L$ , indica que la CPU en su bus de entrada tiene un dato válido para ser almacenado.

- $\overline{\text{RFSH}}$ : es una salida que se activa en  $O_L$ , indica que los 7 bits menos significativos del bus de addresses contiene la dirección de refresco.
- $\overline{\text{HALT}}$ : es una salida que se activa en  $O_L$ , indica que la CPU ha ejecutado una instrucción halt de software y está esperando por una llamada de interrupción.
- $\overline{\text{WAIT}}$ : indica a la CPU que la dirección de memoria o del instrumento de E/S no tiene el dato a ser transferido. Se activa con  $O_L$ .
- $\overline{\text{INT}}$ : es una entrada que se activa con  $O_L$ . Esta señal es generada por los instrumentos de E/S. En esta llamada de interrupción se puede poner máscara.
- $\overline{\text{NMI}}$ : es una entrada que se activa con  $O_L$ . Es una llamada de interrupción en la que no se puede poner máscara y tiene mayor prioridad que  $\overline{\text{INT}}$ .
- $\overline{\text{RESET}}$ : se activa con  $O_L$ . Inicializa a la CPU. Durante el tiempo de reset, el bus de datos y de addresses van a alta impedancia y todas las señales de control van a su estado inactivo.
- $\overline{\text{BUSRQ}}$ : es una entrada que se activa en  $O_L$ . Esta señal pone en alta impedancia el bus de addresses, de datos y a las señales de control para que instrumentos periféricos puedan controlar esos buses.
- $\overline{\text{BUSAK}}$ : es una salida que se activa en  $O_L$ . Esta salida indica que



los buses de datos; de addresses y las señales de control están en alta impedancia y que los instrumentos periféricos pueden controlar esos buses.

- $\phi$ : es un reloj con niveles TTL el cual requiere solamente una fuente de  $330 \Omega$  a + 5 Volt.

### Capítulo III: CONTROLADORES DIGITALES

- 3.1. Tipos de controladores digitales.
  - 3.1.1. Controlador P.
  - 3.1.2. Controladores PI y PD.
  - 3.1.3. Controlador PID.
- 3.2. Estudio de estabilidad en el control de velocidad.
- 3.3. Estudio de estabilidad en el control de posición.

## INTRODUCCION

Una de las maneras de compensar y controlar un sistema de control es por medio de las llamadas acciones de control. En esta tesis se utiliza un controlador digital para que actúe sobre un sistema continuo.

Los controladores digitales pueden ser implementados por redes digitales o computadores digitales, aventajando a los controladores continuos, porque puede cambiarse el tipo de controlador cambiando el programa del computador.

Se puede representar el controlador digital por el siguiente diagrama de bloques:

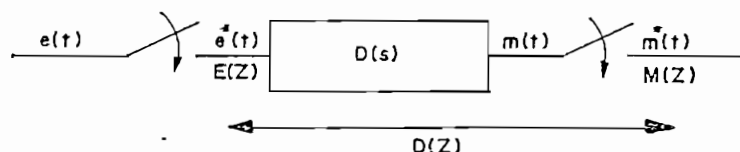


Fig. 3.1. Diagrama de bloques de un controlador digital.

La entrada al controlador digital  $e^*(t)$  esta en forma discreta (es decir como una secuencia de números)  $e(KT)$ ; analíticamente representados como muestreadores de  $e(t)$ .

El controlador envía la secuencia de salida  $m(KT)$  como respuesta a la entrada  $e(KT)$ , pues a la salida la señal también es discreta. La función de transferencia del controlador digital será:

$$D(z) = \frac{M(z)}{E(z)} \quad (3.1)$$

Para este desarrollo se consideran conocidos los fundamentos de la transformada de Laplace y la transformada Z, así como las propiedades de cada una de ellas.

Brevemente se indicará los algoritmos de los controladores P, P - I, P - D y PID.

También se realiza un estudio teórico de la estabilidad del sistema digital como un sistema de datos muestreados. Esta última parte se basa en la tesis del Ing. Galo Acosta realizada el año de 1984 y que trata del Lugar Geométrico de las Raíces para Sistemas Discretos, y que también da una explicación sobre los otros métodos que existen para el análisis de la estabilidad de sistemas discretos.

### 3.1. TIPOS DE CONTROLADORES DIGITALES

Como se dijo anteriormente se estudiarán los controladores digitales: P, P - I, P - D y PID.

Para poder implementar el controlador como programa en el MPF - IP es necesario expresar el controlador como una ecuación de diferencias en función de  $KT$ . Para esto se utilizarán las relaciones básicas siguientes:

$$Z \left\{ f[(k-1)T] \right\} = Z^{-1} F(z) \quad (3.2)$$

para el retardo, y

$$Z \left\{ f(KT) \right\} = F(z) \quad (3.3)$$

donde  $F(z)$  es la transformada  $Z$  de la función  $f(KT)$  y la multiplicación de la transformada  $Z$  por  $Z^{-1}$  corresponde a un desplazamiento en tiempo de un período hacia atrás.

Para encontrar la transformada  $Z$  de una función  $f(t)$  deben realizarse las siguientes consideraciones:

1. Muestrear  $f(t)$  obteniéndose  $f^*(t)$ .
2. Tomar la transformada de Laplace de  $f^*(t)$ .

$$F^*(s) = L \left\{ f^*(t) \right\}$$

$$F^*(s) = \sum_{n=0}^{\infty} f(KT) e^{-KTS} \quad (3.4)$$

3. Reemplazar  $e^{TS}$  por  $Z$  en  $F^*(s)$  para obtener  $F(z)$

$$F(z) = \sum_{n=0}^{\infty} f(KT) Z^{-K} \quad (3.5)$$

En el Apéndice E se puede encontrar las equivalencias de ciertas funciones en el tiempo, transformada de Laplace y transformada  $Z$ .

### 3.1.1. Control Proporcional (P)

En este tipo de control, la acción correctiva es proporcional al error.

En forma matemática se tiene:

$$m(t) = K_p e(t) \quad (3.6)$$

donde  $e(t)$  será la señal de error sobre la que actúa el control,  $m(t)$  será la respuesta a ese control proporcional sobre  $e(t)$ ; y,  $K_p$  la ganancia de control proporcional.

Este tipo de control proporciona estabilidad dentro de un cierto rango, pero mantiene el error de estado estable.

Tomando la transformada Z de la ecuación (3.6), se tiene:

$$M(z) = K_p E(z) \quad (3.7)$$

y como ecuación de diferencias da:

$$m(KT) = K_p e(KT) \quad (3.8)$$

### 3.1.2. Controladores P - I y P - D

Estos controladores se caracterizan porque se realizan mediante la suma del control proporcional más el control integral o derivativo.

### Control Proporcional Integral (P - I)

En el control integral, la acción correctiva es proporcional a la integral del error respecto al tiempo. Su forma matemática es la siguiente:

$$m(t) = K_i \int_0^t e(t) dt \quad (3.9)$$

Siendo  $K_i$  la ganancia de control integral.

De la ecuación (3.9) se deduce que la rapidez de cambio de la corrección se hace en forma proporcional al error.

Con este tipo de control se tiende a eliminar el error de estado estable, porque la señal se va reajustando continuamente para mántener el error en cero, pero puede causar inestabilidad debido a su tendencia a sobre corregir el mismo error. Para estabilizar este tipo de control, se suma el control proporcional y su forma matemática es la siguiente:

$$m(t) = K_p e(t) + K_i \int e(t) dt \quad (3.10)$$

La acción integral puede ser aproximada por la transformada Z usando la integración polinomial (regla trapezoidal).

De la figura 3.2. se deduce que:

$$\dot{c}(kT) = \dot{c} \cdot [ (k-1)T ] + \frac{T}{2} \left\{ r(kT) + r [ (k-1) T ] \right\} \quad (3.11)$$

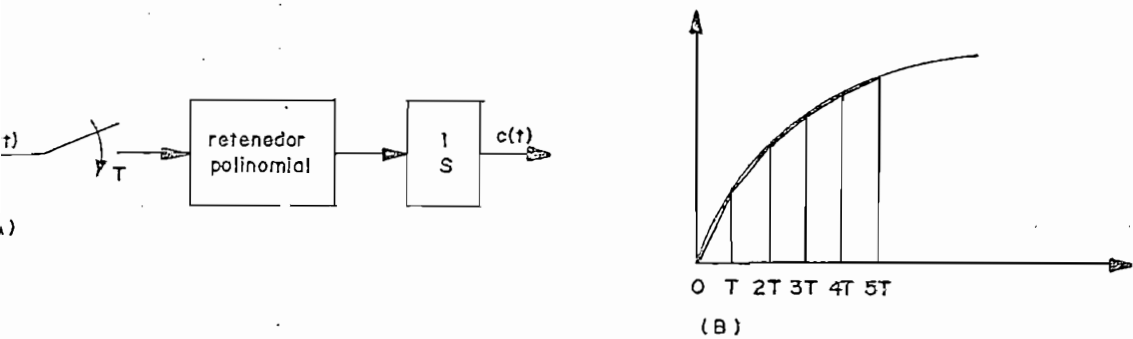


Fig. 3.2. a) Diagrama de bloques del integrador. b) Señal a integrarse

donde  $K = 1, 2, 3, \dots$  y  $C(0) = 0$

Pasando al dominio de  $Z$  mediante las relaciones (3.2) y (3.3):

$$C(z) = C(z) \cdot Z^{-1} + \frac{T}{2} [ R(z) \cdot Z^{-1} + R(z) ]$$

$$C(z) = \frac{T}{2} \left( -\frac{Z+1}{Z-1} \right) R(z) \quad (3.12)$$

La transformada  $Z$  de la ec. (3.10) será:

$$M(z) = K_p E(z) + \frac{K_i \cdot T}{2} \left( -\frac{Z+1}{Z-1} \right) E(z) \quad (3.13)$$

### Control Proporcional - Derivativo (P - D)

En el control derivativo, la acción correctiva es proporcional a la derivada del error con respecto al tiempo. En forma matemática se



tiene:

$$m(t) = K_d \frac{d}{dt} e(t) \quad (3.14)$$

$K_d$  es la ganancia del control derivativo. Este tipo de control se anticipa al error y la corrección se realiza antes de que la magnitud de éste sea grande; es decir, actúa sobre el error de estado transitorio.

El control derivativo tiende a hacer a los sistemas inestables y no dará respuesta a un error de estado estable, por esto se lo utiliza en combinación con el proporcional, formándose así el control proporcional derivativo, cuya expresión matemática es la siguiente:

$$m(t) = K_p e(t) + K_d \frac{d}{dt} e(t) \quad (3.15)$$

La derivada puede ser aproximada por la siguiente ecuación:

$$c(kT) = \frac{r(kT) - r[(k-1)T]}{T} \quad (3.16)$$

Tomando la transformada Z a ambos lados:

$$C(z) = \frac{1}{T} \left\{ R(z) - R(z) \cdot Z^{-1} \right\}$$

$$C(z) = \frac{1}{T} \cdot \left( \frac{Z - 1}{Z} \right) \quad (3.18)$$

Luego la transformada Z, para el control P - D será:

$$M(z) = K_p E(z) + \frac{K_d}{T} \left( \frac{Z - 1}{Z} \right) E(z) \quad (3.18)$$

### 3.1.3. Controlador PID

Si se quiere corregir un error de estado transitorio y un error de estado estable, se utiliza un control que reuna los dos controladores anteriores, y éste es el control PID; su expresión matemática es:

$$m(t) = K_p e(t) + K_i \int e(\tau) dt + K_d \frac{d}{dt} e(t) \quad (3.19)$$

Tomando la transformada Z, reemplazando por los equivalentes de la integral y la derivada dados en las ecuaciones (3.12) y (3.17) se tiene:

$$M(z) = K_p E(z) + \frac{K_i \cdot T}{Z} \left( \frac{Z + 1}{Z - 1} \right) E(z) + \frac{K_d}{T} \left( \frac{Z - 1}{Z} \right) E(z) \quad (3.20)$$

En la figura 3.3. se muestra el controlador PID en diagrama de bloques.

El diseño del controlador PID esencialmente envuelve la determinación de los valores de  $K_p$ ,  $K_i$  y  $K_d$ .

La utilización de un tipo determinado de controlador para un sistema de control, dependerá de las exigencias pedidas y del tipo de sistema a controlarse.

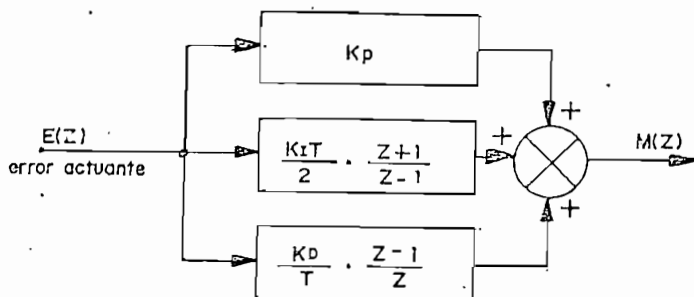


Fig. 3.3. Diagrama de Bloques del Controlador Digital PID.

### 3.2. ESTUDIO DE ESTABILIDAD EN EL CONTROL DE VELOCIDAD

Para realizar el estudio teórico de la estabilidad del sistema es necesario conocer su función de transferencia.

La figura 3.4. muestra un diagrama de bloques del sistema. Su funcionamiento se lo explicará más adelante en el numeral 4.1.

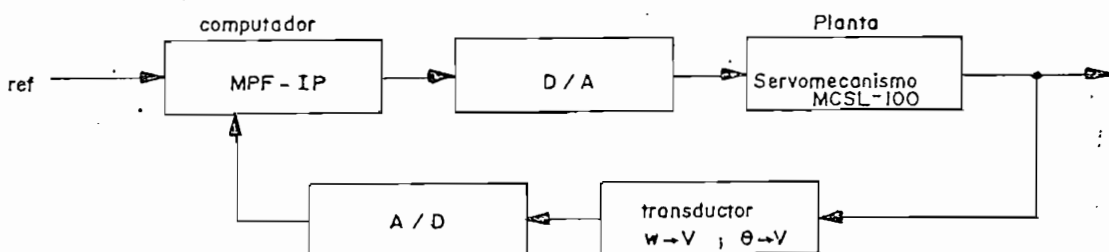


Fig. 3.4. Diagrama de bloques del sistema de control digital.

La señal de referencia es puesta por medio del computador; el controlador digital es realizado también por el MPF - IP; en cambio tanto

el servomecanismo como el transductor pertenecen al conjunto que forma el motomatic MCSL - 100.

El sistema mostrado en la figura 3.4. es un sistema de control digital porque, como se indicó, tiene en su estructura un controlador digital que es generado por un computador digital (MPF - IP).

Un sistema de control por muestreo de datos, es una clase más general de sistemas, en el cual los datos muestreados son señales pulsantes moduladas en amplitud, es decir un tren de pulsos que lleva la información en la amplitud de los mismos; la figura 3.5. representa al sistema de datos muestreados del diagrama de bloques del sistema digital de la figura 3.4.

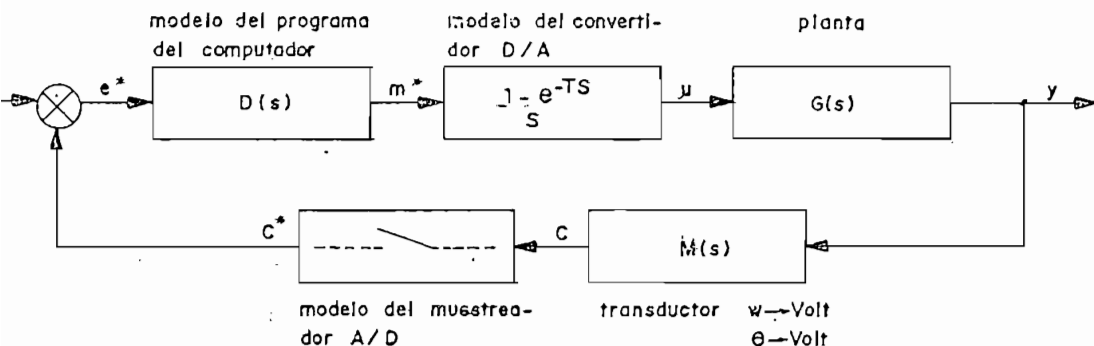


Fig. 3.5. Diagrama de bloques del control digital como un sistema de datos muestreados.

En la figura 3.5. se tiene modelado el convertidor A/D, el programa del computador y el convertidor D/A como un modulador de impulsos; el programa del computador procesa los muestreos. Existe también

un retenedor de orden cero, el cual constituye una pieza muy importante del conversor D/A, para que su salida se mantenga constante cuando entran las señales  $m^*$ .

El computador en este caso y como ya se indicó es el MPF - IP y en su programa manipula los muestreos de  $e(t)$  mediante una ecuación de diferencias cuyo efecto de entrada - salida es descrito por la transformada Z de la función de transferencia del controlador ( $D(z)$ ). Esto se estudiará con más detalle en el numeral 4.2.2. del Capítulo IV.

Se supone conocida la función de transferencia de un retenedor de orden cero; su función de transferencia es:

$$G_{Zho} = \frac{1 - e^{-TS}}{S} \quad (3.21)$$

Analizando la figura 3.5. se observa que se cumplen las siguientes relaciones:

$$E^*(s) = R^*(s) - C^*(s) \quad (3.22)$$

$$M^*(s) = E^*(s) \cdot D^*(s) \quad (3.23)$$

$$C(s) = H(s) \cdot Y(s) \quad (3.24)$$

$$Y(s) = G(s) \cdot U(s) \quad (3.25)$$

$$U(s) = M^*(s) \cdot \frac{1 - e^{-TS}}{S} \quad (3.26)$$

discretizando las ecuaciones: (3.26), (3.25) y (3.24)

$$C^*(s) = [H \cdot Y]^* \quad (3.27)$$

$$Y^*(s) = [GU]^* \quad (3.28)$$

$$U^*(s) = M^*(s) \quad (3.29)$$

reemplazando (3.25) y (3.26) en (3.27)

$$C^*(s) = \left[ H(s) \cdot G(s) \cdot M^*(s) \left( \frac{1 - e^{-TS}}{S} \right) \right]^* \quad (3.30)$$

separando la parte periódica

$$C^*(s) = (1 - e^{-TS}) M^*(s) \left[ \frac{H(s) \cdot G(s)}{S} \right]^* \quad (3.31)$$

Se reemplaza (3.26) en (3.28) y se tiene:

$$Y^*(s) = \left[ G(s) \cdot M^*(s) \left( \frac{1 - e^{-TS}}{S} \right) \right]^* \quad (3.32)$$

separando la parte periódica:

$$Y^*(s) = (1 - e^{-TS}) M^*(s) \left[ \frac{G(s)}{S} \right]^* \quad (3.33)$$

sustituyendo (3.23) en (3.33)

$$Y^*(s) = (1 - e^{-TS}) E^*(s) \cdot D^*(s) \left[ \frac{G(s)}{S} \right]^* \quad (3.34)$$

sustituyendo (3.23) en (3.31)

$$C^*(s) = (1 - e^{-TS}) E^*(s) \cdot D^*(s) \cdot \left[ \frac{H(s) \cdot G(s)}{S} \right]^* \quad (3.35)$$

reemplazando (3.35) en (3.22)

$$E^*(s) = R^*(s) - (1 - e^{-TS}) E^*(s) D^*(s) \left[ \frac{H(s) \cdot G(s)}{S} \right]^* \quad (3.36)$$

despejando el error:

$$E^*(s) = \frac{R^*(s)}{1 + (1 - e^{-TS}) \cdot D^*(s) \cdot \left[ \frac{H(s) \cdot G(s)}{S} \right]^*} \quad (3.37)$$

si la ecuación (3.34) reemplazamos (3.37)

$$Y^*(s) = (1 - e^{-TS}) \cdot \frac{R^*(s) \cdot D^*(s) \cdot \left[ \frac{G(s)}{S} \right]^*}{1 + (1 - e^{-TS}) \cdot D^*(s) \cdot \left[ \frac{H(s) \cdot G(s)}{S} \right]^*} \quad (3.38)$$

llamando

$$X^*(s) = (1 - e^{-TS}) D^*(s)$$

y reemplazando en (3.38), se tiene:

$$Y^*(s) = \frac{X^*(s) \left[ \frac{G(s)}{S} \right]^*}{1 + X^*(s) \left[ \frac{G(s) \cdot H(s)}{S} \right]^*} R^*(s) \quad (3.39)$$

esta es la función de transferencia del sistema utilizado.

$G(s)$  es conocido y está dado por la ecuación (2.11).

$H(s)$  es una constante que depende del tipo de control si es de velocidad será Kg y para posición  $K^"p$ ; los valores de estas constantes están dados en el numeral 2.1.1.

En la ecuación (3.39) se necesita discretizar la función  $[G(s)/S]^*$  y buscando en las tablas de la transformada Z en el apéndice E, se tiene que:

$$\left[ \frac{G(s)}{S} \right]^* = \left[ \frac{228.46}{S(S + 3.45)} \right]^* = \frac{66.22 \cdot Z \cdot (1 - e^{-3.45T})}{(Z - 1)(Z - e^{-3.45T})} \quad (3.40)$$

es la función discretizada para velocidad; para posición en cambio se tiene:

$$\left[ \frac{G(s)}{S} \right]^* = \left[ \frac{228.46}{S^2(S + 3.45)} \right]^* = \frac{66.22 Z \left\{ (3.45T - 1 + e^{-3.45T})Z + 1 - e^{-3.45T}(1 + 3.45T) \right\}}{3.45(Z - 1)^2 (Z - e^{-3.45T})} \quad (3.41)$$

Una vez definida la función de transferencia se procede al análisis de estabilidad.

Un sistema estable se define como aquel que tiene una respuesta limitada, estando sujeto a una entrada o perturbación limitada.

La estabilidad absoluta en sistemas discretos exige que los polos del sistema están localizados al interior del círculo unitario en el plano Z.



Para analizarse el sistema es estable o no, se utiliza el criterio del L.G.R. para sistemas discretos y el criterio de Routh-Hurwitz, para esto se utiliza la tesis del Ing. Galo Acosta como ya se indicó.

La función de transferencia de la ec. (3.39) da la relación de una entrada de voltaje a una salida velocidad en rad/seg. Para analizar con más facilidad se utiliza la función de transferencia como relación de voltaje a voltaje y para esto, basta multiplicar por la constante de cambio de velocidad a voltaje  $K_g$ . La ecuación (3.39) queda:

$$Y^*(s) = \frac{X^*(s) \left[ G(s) \cdot H(s)/S \right]^*}{1 + X^*(s) \left[ G(s) \cdot H(s) / S \right]^*} R^*(s) \quad (3.42)$$

$H(s)$  es igual a  $K_g$  para velocidad, como ya se explicó anteriormente. La ecuación (3.42) describe a un sistema con realimentación unitaria.

Para determinar si el sistema digital exige o no la presencia de un controlador, primero se estudia el sistema digital sin controlador. (El programa realizado en el MPF - IP ofrece esta posibilidad. Ver numeral 4.2.).

En el numeral 4.2. se ofrece un cálculo aproximado del tiempo mínimo que se requiere para que esta condición se cumpla, y es igual a  $T = 0.034$  seg.

La ecuación característica del sistema digital es:

$$1 + X^*(s) \left[ G(s) \cdot H(s)/S \right]^* = 0 \quad (3.43)$$

Para la condición sin controlador,  $D^*(s) = 1$  y por lo tanto, reemplazando en  $X^*(s)$  se tiene:

$$X^*(s) = 1 - e^{-TS} \quad X(z) = 1 - Z^{-1}$$

reemplazando en (3.43) por sus respectivos valores y para  $T = 0.034$  seg., la ecuación característica es:

$$1 + \frac{1.0847}{Z - 0.8893} = 0 \quad (3.44)$$

Observando la ec. (3.44) se puede deducir que el sistema es estable, pues el polo está dentro del círculo unitario.

Otro criterio que debe analizarse es el error de estado estable, definido como:

$$E_{SS}^* = \frac{R}{1 + \lim_{Z \rightarrow 1} GH(z)} \quad (3.45)$$

$$E_{SS}^* = 0.093$$

Por lo tanto, si bien el sistema es estable, existe un error de estado estable del 9.3%. Para eliminar este error de estado estable, se utiliza un controlador tipo P-I (ver numeral 3.1.2). Cuando se utiliza el controlador tipo P-I se tiene un tiempo mínimo de realización del programa igual a  $T = 0.066$  seg (ver cálculo del tiempo en

el numeral 4.2.).

De la ec. (3.13) la función de transferencia del controlador P-I es

$$G_{CP-I}(z) = \frac{2 K_p + K_I T}{2} \times \frac{Z + \frac{K_I T - 2 K_p}{K_I T + 2 K_p}}{Z - 1} \quad (3.46)$$

La ecuación característica para  $T = 0.066$  seg será entonces:

$$0 = 1 + \frac{2}{Z-0.796} \times \frac{2K_p+0.066K_I}{2} \times \frac{Z + \left[ \frac{(0.066K_I - 2K_p)}{(0.066K_I + 2K_p)} \right]}{Z - 1}$$

Se hace:

$$\frac{0.066 K_I - 2 K_p}{0.066 K_I + 2 K_p} = - 0.796$$

de donde:

$$K_I = 3.442 K_p \quad (3.47)$$

y la ecuación característica queda:

$$0 = 1 + \frac{2}{Z-0.796} \times \frac{2 K_p + 0.066 K_I}{2} \times \frac{1}{Z - 1} \quad (3.48)$$

se necesita que el sistema sea estable y para esto hay que encontrar el polo del sistema; de la ec. (3.48) y reemplazando en esta (3.47); se tiene:

$$Z = 1 - 2.23 K_p$$

para que el sistema sea estable el polo debe estar dentro del círculo unitario, por lo tanto:

$$K_p < 0.8968 \quad (3.49)$$

La función de transferencia del sistema en lazo cerrado será:

$$\frac{Y^*(s)}{R^*(s)} = \frac{2.227 \times K_p}{Z + (2.227 K_p - 1)} \quad (3.50)$$

en la cual la ganancia dinámica es: 1.1135  $K_p$  y la ganancia estática es: 2 y deben cumplirse las condiciones (3.49) y (3.48) para que el sistema sea estable y también tenga un error de estado estable cero.

Realizando el estudio de la respuesta en el tiempo a una función es calón unitario, la ecuación (3.50) en el dominio del tiempo se transforma a:

$$y(kT) = 2.227K_p \cdot r \left[ (k-1)T \right] - (2.227 K_p - 1) y \left[ (k-1) T \right] \quad (3.51)$$

donde  $r(kT)$  es la función paso unitario y es igual a:

$$1 \quad kT \geq 0$$

$$0 \quad kT < 0$$

$$y \quad y(0) = 0$$

el máximo valor de  $K_p$  es: 0.89 y para este valor  $y(1) = 1.982$ .

y existe un sobretiro del 98.2%.

El sobretiro en este caso depende únicamente de  $K_p$ , si se quiere un sobretiro del 5%:

$$K_p \leq 0.471 \quad (3.51)$$

y para un sobretiro del 0%, es decir sin sobretiro,  $K_p$  será menor que 0.45. De esta manera se tiene un sistema estable, sin error de estado estable y sin sobretiro para velocidad.

Se puede compensar también con el controlador PID, pero en este caso se aumentaría un polo en el origen y un cero a criterio del diseñador del controlador. No se ha creído conveniente el análisis de este sistema con el controlador PID, ya que con el controlador P - I se pueden obtener las condiciones deseadas.

Las condiciones para el mejor funcionamiento del sistema para velocidad con controlador P - I están dadas por las ecuaciones (3.51) y (3.47).

### 3.3. ESTUDIO DE ESTABILIDAD PARA EL CONTROL DE POSICION

El estudio de estabilidad para el control de posición es similar al del control de velocidad.

La planta en este caso está dada por la ecuación (3.41); y para la condición del sistema digital sin controlador, la ecuación caracterís

ca es la dada en la ec. (3.52); el  $T = 0.034$  seg. es calculado en el numeral 4.2.  $H(s) = Kp^1 = 6.74$  Volt/rad.

La ecuación característica es:

$$1 + \frac{0.8538 (Z + 0.9674)}{(Z - 1)(Z - 0.8893)} = 0 \quad (3.52)$$

Este sistema tiene un error de estado estable cero. Se encuentra la función de transferencia de lazo cerrado, para analizar si el sistema es estable o no.

$$\frac{Y^*(s)}{R^*(s)} = \frac{0.8538 (Z + 0.9674)}{(Z - 0.52 - j 1.2035) (Z - 0.52 + j 1.2035)} \quad (3.53)$$

De la ecuación (3.53) se deduce que el sistema es inestable puesto que las raíces de la ecuación característica, es decir los polos del sistema no están dentro del círculo unidad.

Como el error de estado estable es cero para estabilizar el sistema, se utiliza un controlador P - D; puesto que no tiene objeto el control P - I ya que el error de estado estable es cero.

Cuando se utiliza el control P - D el período es igual a  $T = 0.066$  seg.

De la ecuación (3.18) la función de transferencia del controlador P - D es:

$$G_{CP-D}(z) = \frac{K_p T + K_D}{T} \times \frac{Z - \frac{K_D}{K_D + K_p T}}{Z} \quad (3.54)$$

La ecuación característica será:

$$0 = 1 + \frac{3.12 (Z+0.9236)}{(Z-1)(Z-0.7964)} \times (K_p + 15.15 K_D) \times \frac{Z - \frac{K_D}{K_D + 0.066 K_p}}{Z}$$

Se hace:

$$- \frac{K_D}{K_D + 0.066 K_p} = - 0.7964$$

de donde:

$$K_D = 0.2582 K_p \quad (3.55)$$

y con esta condición, la ecuación característica es:

$$1 + 3.2 \times 4.912 K_p \times \frac{(Z + 0.9236)}{Z(Z - 1)} = 0 \quad (3.56)$$

Aplicando el criterio de Routh-Hurwitz modificado sobre la ecuación característica se tiene:

$$Z = \frac{\lambda + 1}{\lambda - 1} \quad ;$$

$$y \quad Z^2 + (15.3254 K_p - 1) Z + 14.1545 K_p = 0$$

reemplazando Z en función de  $\lambda$ :

$$29.9474 K_p \lambda^2 + (2 - 28.8612 K_p)\lambda + (2 - 1.0862 K_p) = 0$$

aplicando el criterio de Routh - Hurwitz para que el sistema estable, se tiene:

$$K_p < 0.06929 \quad (3.57)$$

La función de transferencia de lazo cerrado será:

$$\frac{Y^*(s)}{R^*(s)} = \frac{15.3254 K_p (Z + 0.9236)}{Z^2 + (15.3254 K_p - 1) Z + 14.1545 K_p} \quad (3.58)$$

en la cual la ganancia estática es: 3.12 y la ganancia dinámica es 4.912 Kp. Para que el sistema sea estable deben cumplirse las ecuaciones (3.57) y (3.55).

Se realiza el estudio de la respuesta en el tiempo a una función escalón unitario, la ecuación (3.58) en el dominio del tiempo es

$$y(kT) = 15.3254 K_p r \left[ (k - 1)T \right] + 14.43 K_p r \left[ (k - 2)T \right] + \\ - (15.5168 K_p - 1) y \left[ (k - 1)T \right] - 14.4306 K_p y \left[ (k - 2)T \right] \quad (3.59)$$

donde  $r(kT)$  es la función paso unitaria y es igual a:

$$1 \quad kT \geq 0 \quad ; \quad 0 \quad kT < 0$$

y  $C(kT)$  es cero para todo  $kT$  menor o igual a uno:



El sobretiro depende también de  $K_p$  y para tener un sobretiro menor a 5%;  $K_p$  debe cumplir que:

$$K_p \leq 0.015 \quad (3.60)$$

Para  $K_p = 0.015$ , el coeficiente de amortiguamiento es  $\zeta = 0.768$ , el  $T_{m\acute{a}x} = 0.5447$  seg y el sobretiro es del 2.3%.

A continuación se dan los gráficos del lugar geométrico de las raíces para el sistema sin controlador y el sistema ya compensado. También se dan las respuestas en el tiempo para diferentes valores de  $K_p$ , en las cuales se observa que el sistema siempre tiende a estabilizarse; las hojas adjuntas también justifican lo anteriormente expuesto que el sistema es estable: Esto se realizó con el programa del L.G.R. para sistemas discretos.

Cuando se analizó velocidad no se presenta esta justificación ya que por ser un sistema sencillo el programa no da resultados escritos del L.G.R. y no analiza la respuesta en el tiempo para este orden de sistema.

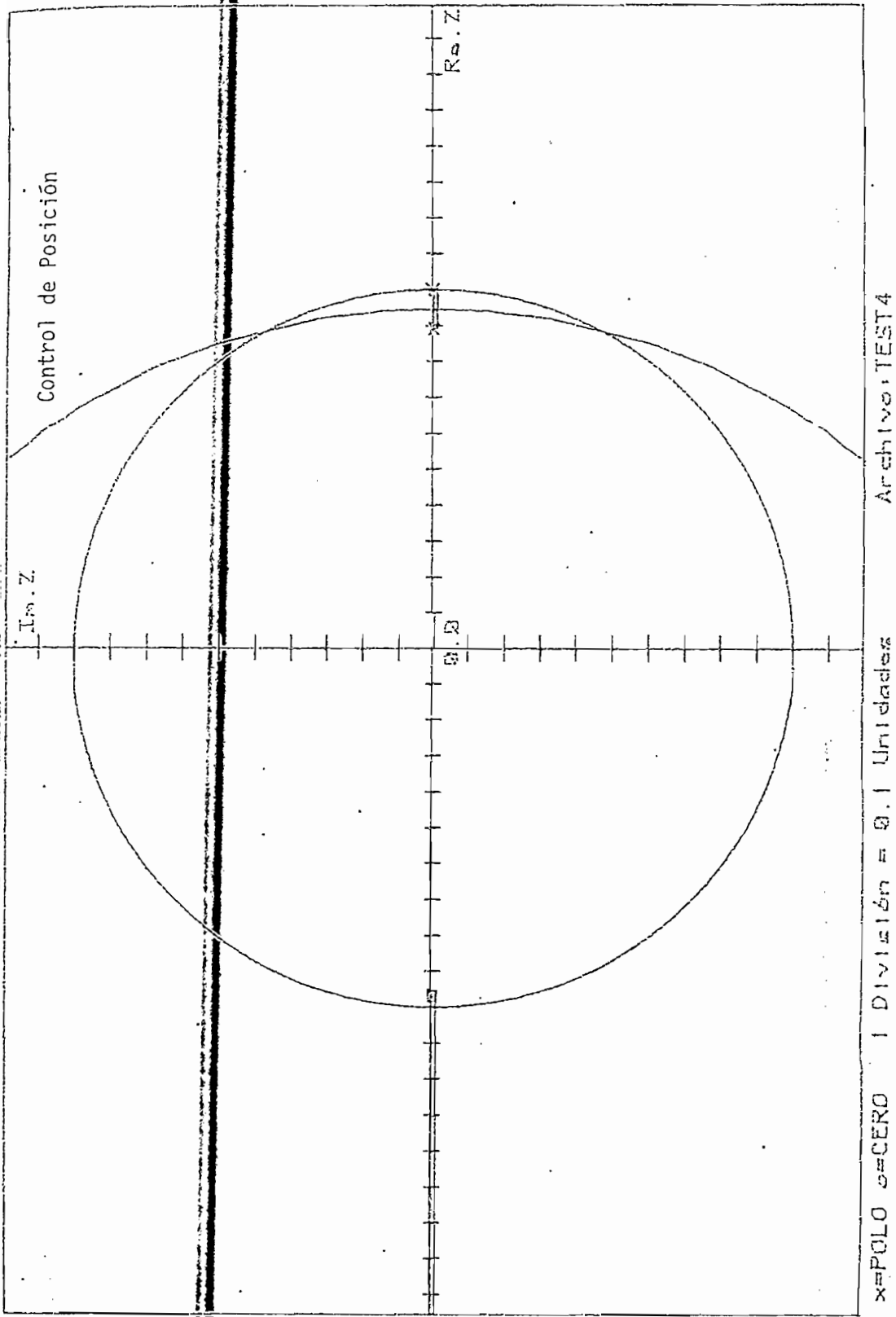


Fig. 3.6. Sin controlador en cascada ( $T=0,034$  seg).

ESCUELA POLITECNICA NACIONAL  
 FACULTAD DE INGENIERIA ELECTRICA  
 SISTEMAS DE CONTROL .

GALO ACOSTA VA

FECHA : 24-JUL-86 04:07:48

LUGAR GEOMETRICO DE LAS RAICES\*\*SISTEMAS DISCRETOS

Archivo : TEST4

L.G.R Corte el círculo unitario sobre eje real

Diferencia en suma de argumentos = 0.000000 grados

ganancia Crítica Kc = 115.908

argen de Ganancia MG = 135.755

NOTA : Para que un punto sea del LGR; la diferencia  
 en la suma de argumentos debe tender a cero

Punto de corte del L.G.R con la  
 circunferencia unitaria es: EJE REAL : -1  
 EJE IMAG.: 0

=====

Diferencia en suma de argumentos = 0.750540 grados

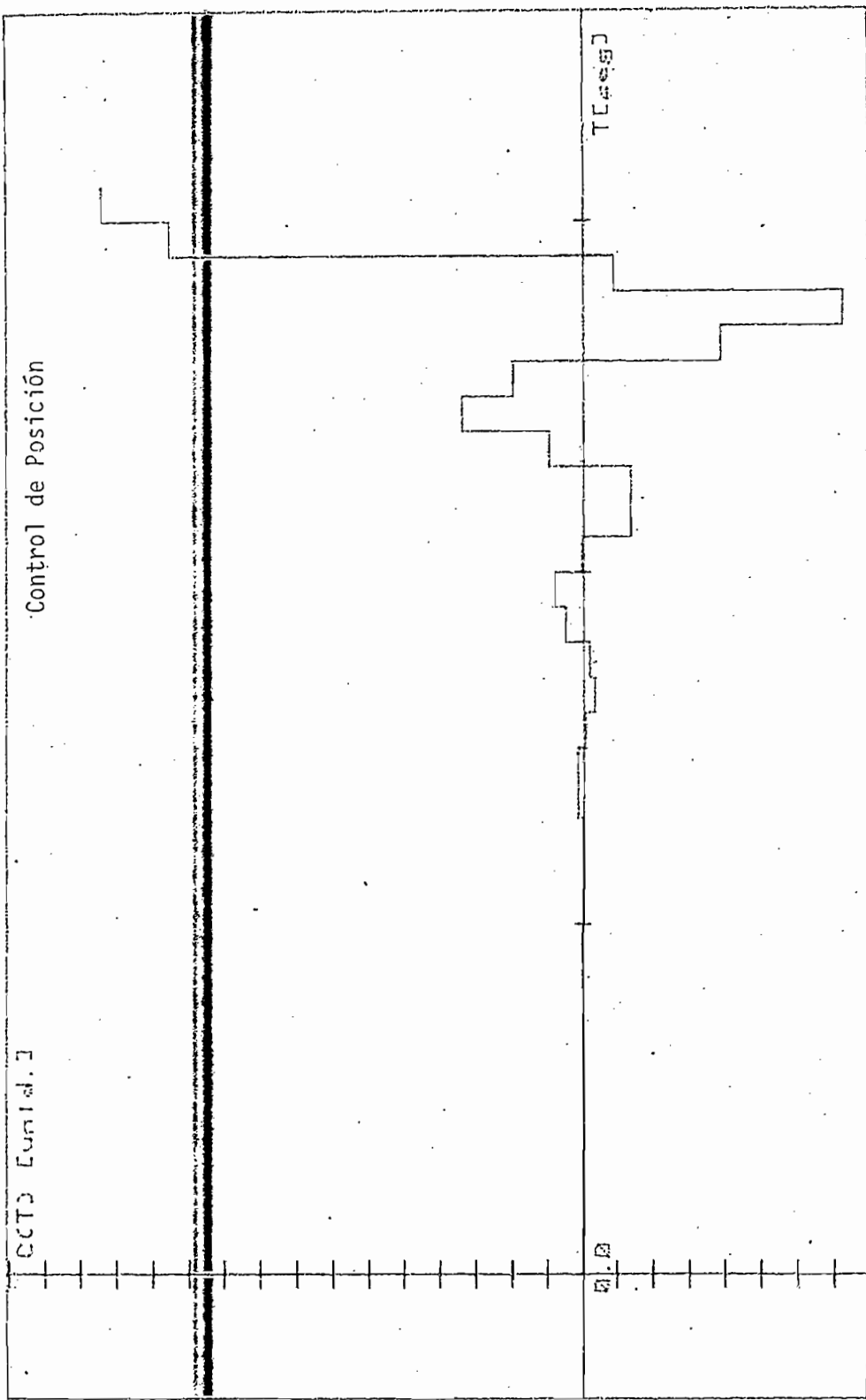
ganancia Crítica Kc = 0.121

argen de Ganancia MG = 0.142

NOTA : Para que un punto sea del LGR; la diferencia  
 en la suma de argumentos debe tender a cero

Punto de corte del L.G.R con la  
 circunferencia unitaria es: EJE REAL : 0.981152977972  
 EJE IMAG.: 0.472797094791

=====



EJE X: 1DIV. = 0.3 EJE Y: 1DIV. = 1000.00 ARCHIVO : TEST4

Fig. 3.7. Sin controlador en cascada (T=0,034 seg.)

UNIVERSIDAD POLITÉCNICA NACIONAL  
 FACULTAD DE INGENIERÍA ELÉCTRICA  
 TEMAS DE CONTROL

GALO ACOSTA V.

FECHA : 24-JUL-86 04:14:58

PROGRAMA GEOMETRICO DE LAS RAICES\*\*SISTEMAS DISCRETOS

Archivo : TEST4

ANALISIS DE ESTABILIDAD ABSOLUTA, (CRITERIO DE RAIBLE)

=====

MARGEN DE GANANCIA TOTAL = 0.6538

MARGEN DE GANANCIA DINAMICA = 1

COEFICIENTES DE LA ECUACION CARACTERISTICA

z**2	z**1	z**0
1.00	-1.04	1.72

ANALISIS DE ESTABILIDAD

EXISTEN 0 RAICES ESTABLES Y

2 RAICES INESTABLES

EL SISTEMA ES INESTABLE

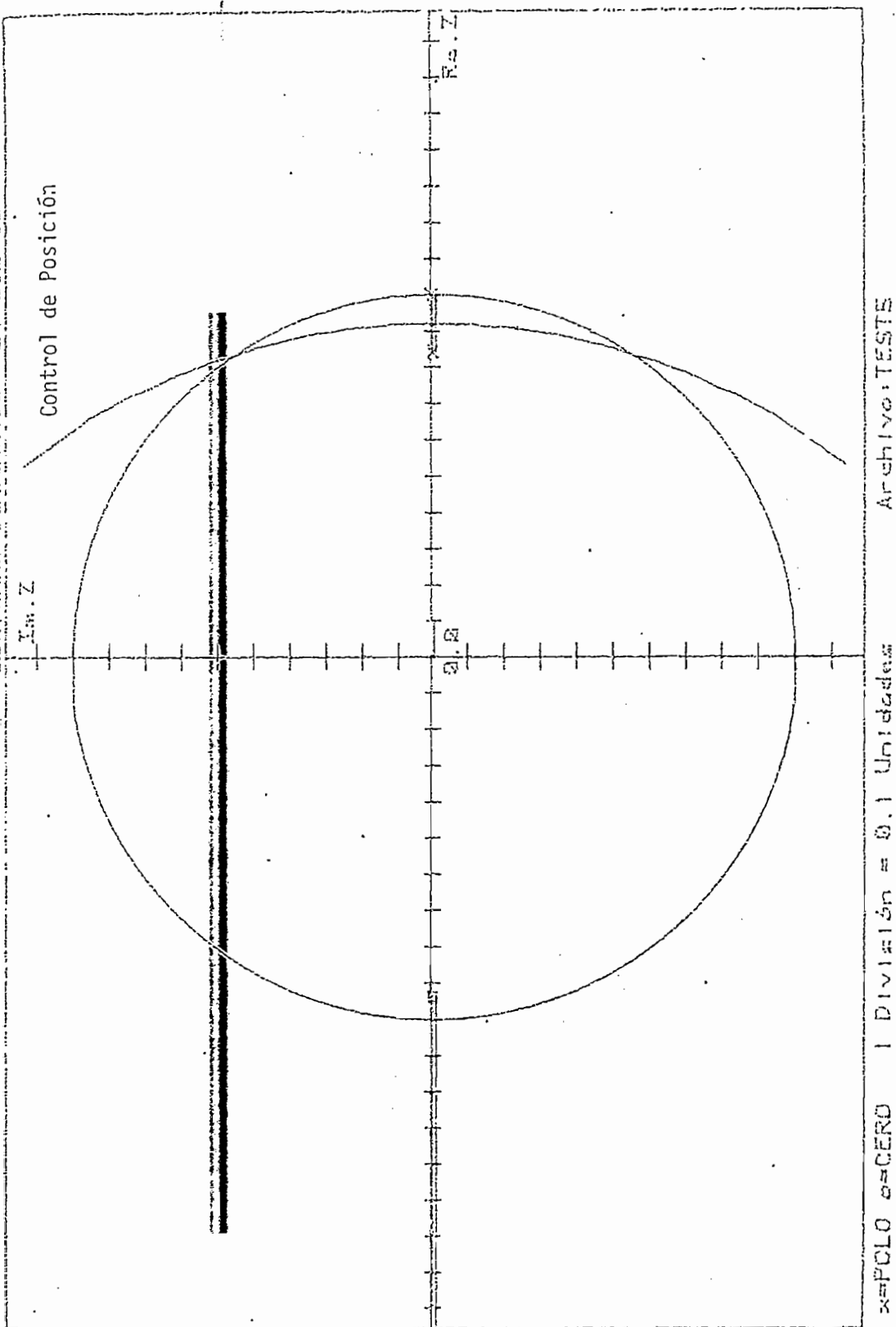


Fig. 3.8. Con controlador P en cascada ( $K_p=0,1111$ )

ESCUELA POLITECNICA NACIONAL  
FACULTAD DE INGENIERIA ELECTRICA  
SISTEMAS DE CONTROL

GALO ACOSTA V.

FECHA : 24-JUL-86 04:51:11

PROGRAMA GEOMETRICO DE LAS RAICES\*\*SISTEMAS DISCRETOS

Archivo : TEST5

L.G.R Corta el circulo unitario sobre eje real

Diferencia en suma de argumentos = 0,000000 grados

Gainancia Critica Kc = 59,311

Orden de Ganancia MG = 32,515

NOTA : Para que un punto sea del LGR; la diferencia  
en la suma de argumentos debe tender a cero

Punto de corte del L.G.R con la  
circunferencia unitaria es: EJE REAL : -1  
EJE IMAG.: 0

=====

Diferencia en suma de argumentos = 0,700566 grados

Gainancia Critica Kc = 0,177

Orden de Ganancia MG = 0,097

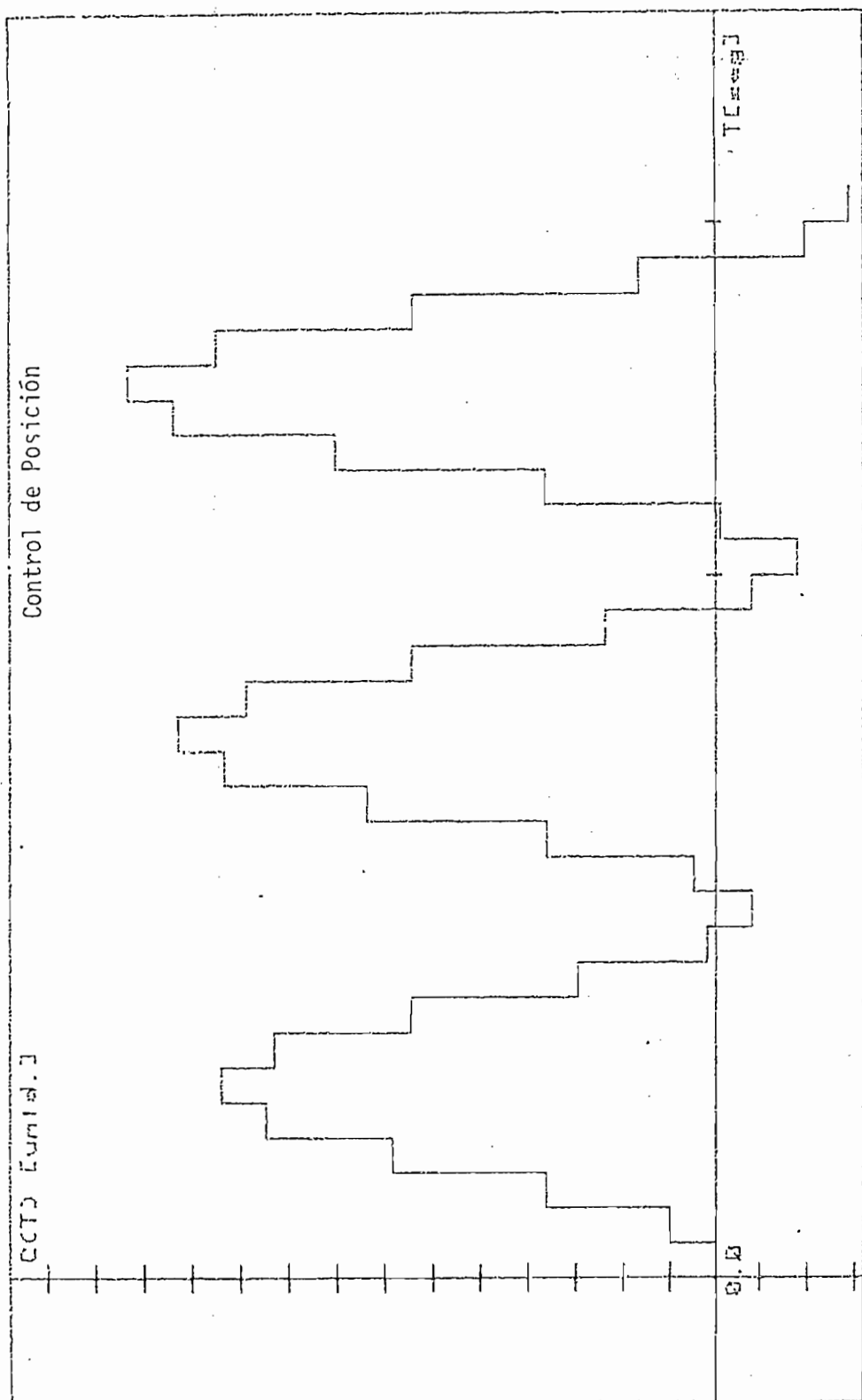
NOTA : Para que un punto sea del LGR; la diferencia  
en la suma de argumentos debe tender a cero

Punto de corte del L.G.R con la  
circunferencia unitaria es: EJE REAL : 0,829042122958  
EJE IMAG.: 0,5595938449

=====

Control de Posición

CCTD [umid.]



EJE X: 1DIV.= 0.5      EJE Y: 1DIV.= 1.00      ARCHIVO : TESTS

Fig. 3.9. Con Controlador P en cascada. (Kp=0,1111)



UNIVERSIDAD POLITÉCNICA NACIONAL  
 FACULTAD DE INGENIERÍA ELÉCTRICA  
 SISTEMAS DE CONTROL

GALO ACOSTA V.

FECHA : 24-JUL-86 05:08:53

ANÁLISIS GEOMÉTRICO DE LAS RAÍCES\*\*SISTEMAS DISCRETOS

Archivo : TEST5

ANÁLISIS DE ESTABILIDAD ABSOLUTA, (CRITERIO DE RAISLE)

GANANCIA TOTAL = 0.20265751

GANANCIA DINÁMICA = 0.1111

COEFICIENTES DE LA ECUACIÓN CARACTERÍSTICA

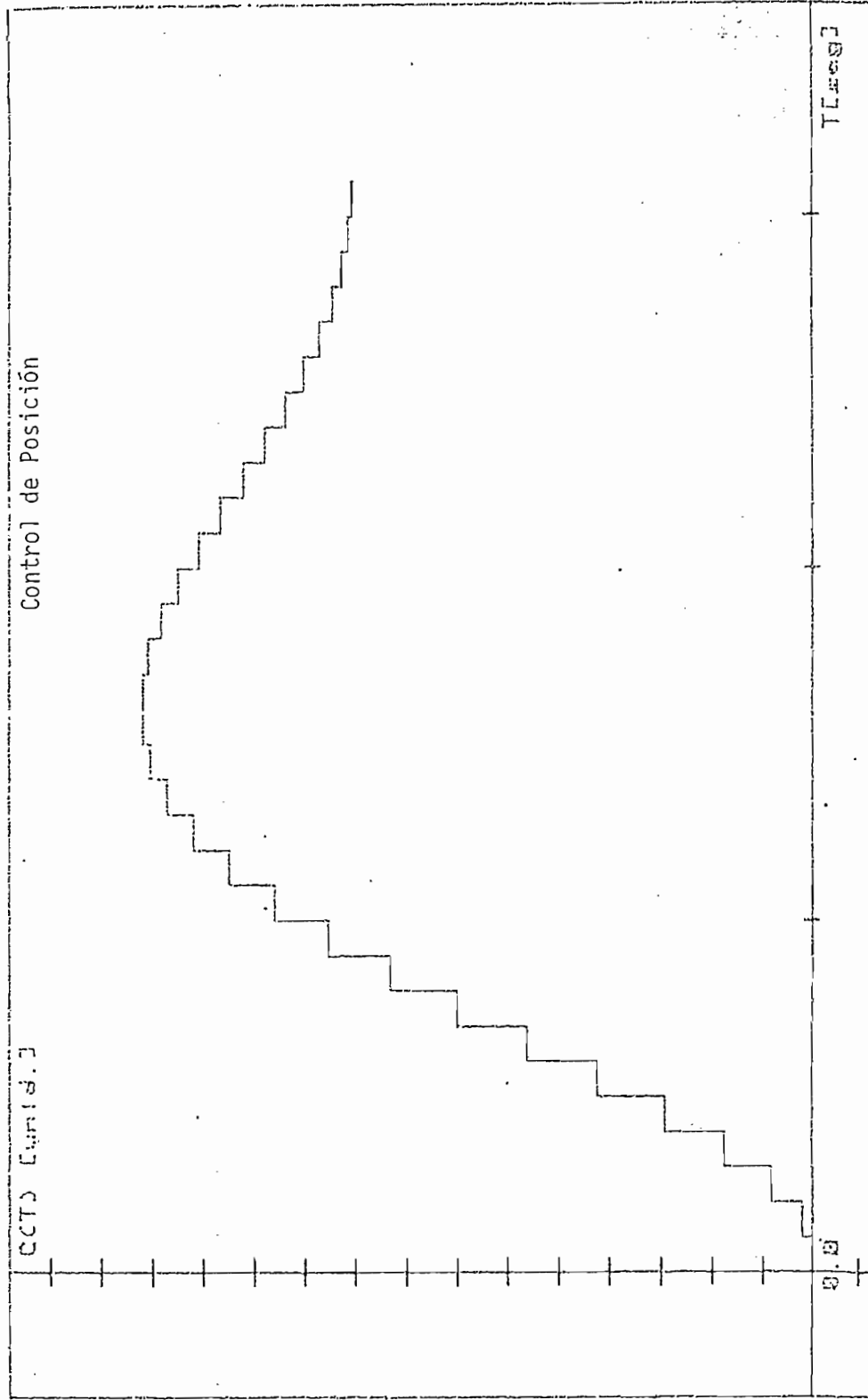
z**2	z**1	z**0
1.00	-1.64	1.03

ANÁLISIS DE ESTABILIDAD

EXISTEN 0 RAÍCES ESTABLES Y

2 RAÍCES INESTABLES

EL SISTEMA ES INESTABLE



EJE X: 1DIV. = 0.5      EJE Y: 1DIV. = 0.50      ARCHIVO : TESTE

Fig. 3.10. Con Controlador P en cascada ( $K_p=0,0123$ )

ESCUELA POLITECNICA NACIONAL  
 FACULTAD DE INGENIERIA ELECTRICA  
 SISTEMAS DE CONTROL

GALD ACOSTA V.

FECHA : 24-JUL-86 05:09:15

PLANO GEOMETRICO DE LAS RAICES\*\*SISTEMAS DISCRETOS

Archivo : TEST5

ANALISIS DE ESTABILIDAD ABSOLUTA, (CRITERIO DE RAIBLE)

VALOR DE GANANCIA TOTAL = 0.02243643

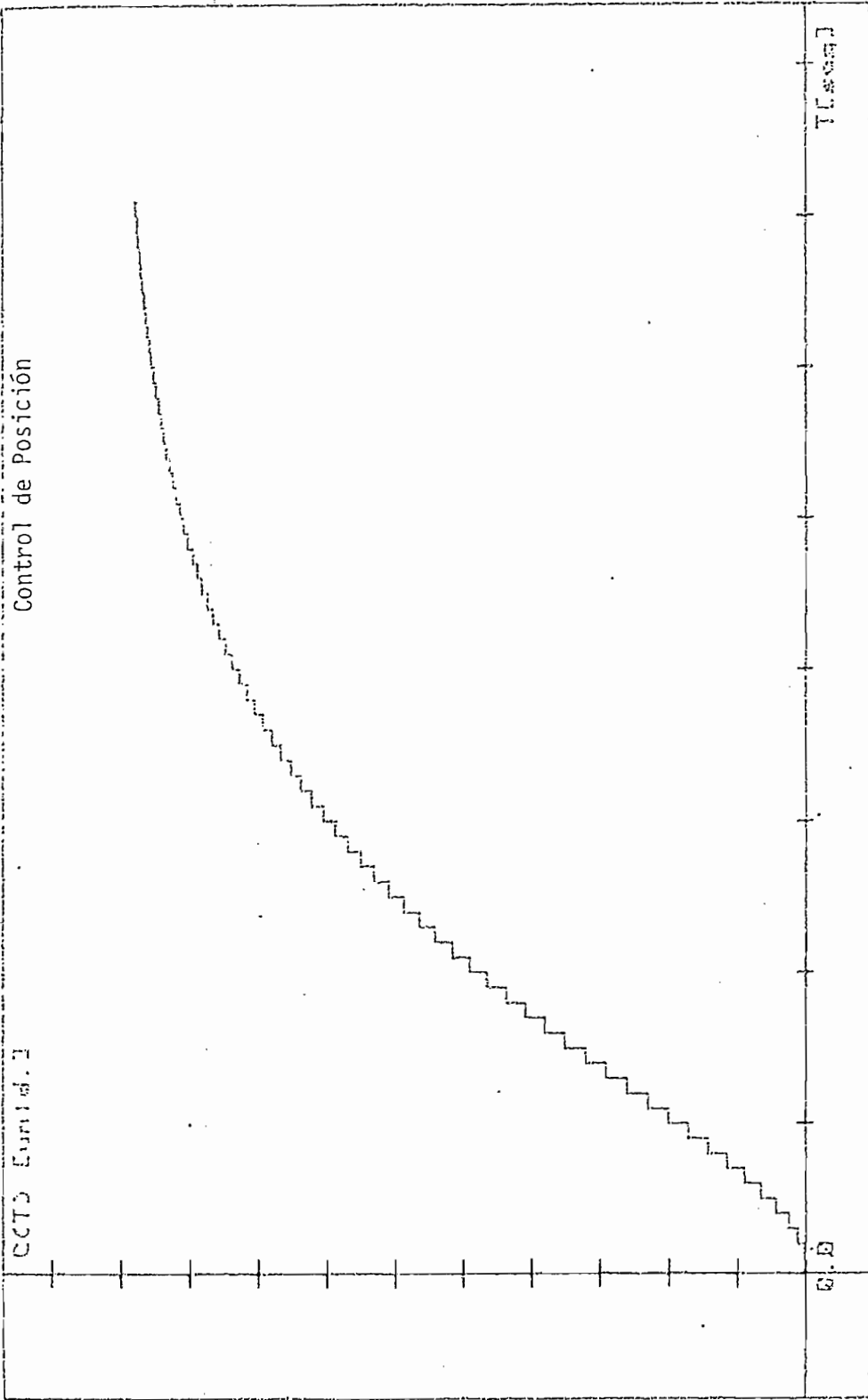
VALOR DE GANANCIA DINAMICA = 0.0123

COEFICIENTES DE LA ECUACION CARACTERISTICA

z**2	z**1	z**0
1.00	-1.82	0.96

ANALISIS DE ESTABILIDAD

EL SISTEMA ES ESTABLE



EJE X: 1DIV. = 3.5

EJE Y: 1DIV. = 0.58

ARCHIVO : TESTS

Fig. 3.11. Con Controlador P en cascada ( $K_p=0,0018$ )

ESCUELA POLITECNICA NACIONAL  
 FACULTAD DE INGENIERIA ELECTRICA  
 SISTEMAS DE CONTROL

GALO ACOSTA V.

FECHA : 24-JUL-86 05:09:43

UBAR GEOMETRICO DE LAS RAICES\*\*SISTEMAS DISCRETOS

Archivo : TEST5

ANALISIS DE ESTABILIDAD ABSOLUTA, (CRITERIO DE RAIBLE)

=====

VALOR DE GANANCIA TOTAL = 0.00328338

VALOR DE GANANCIA DINAMICA = 0.0018

COEFICIENTES DE LA ECUACION CARACTERISTICA.

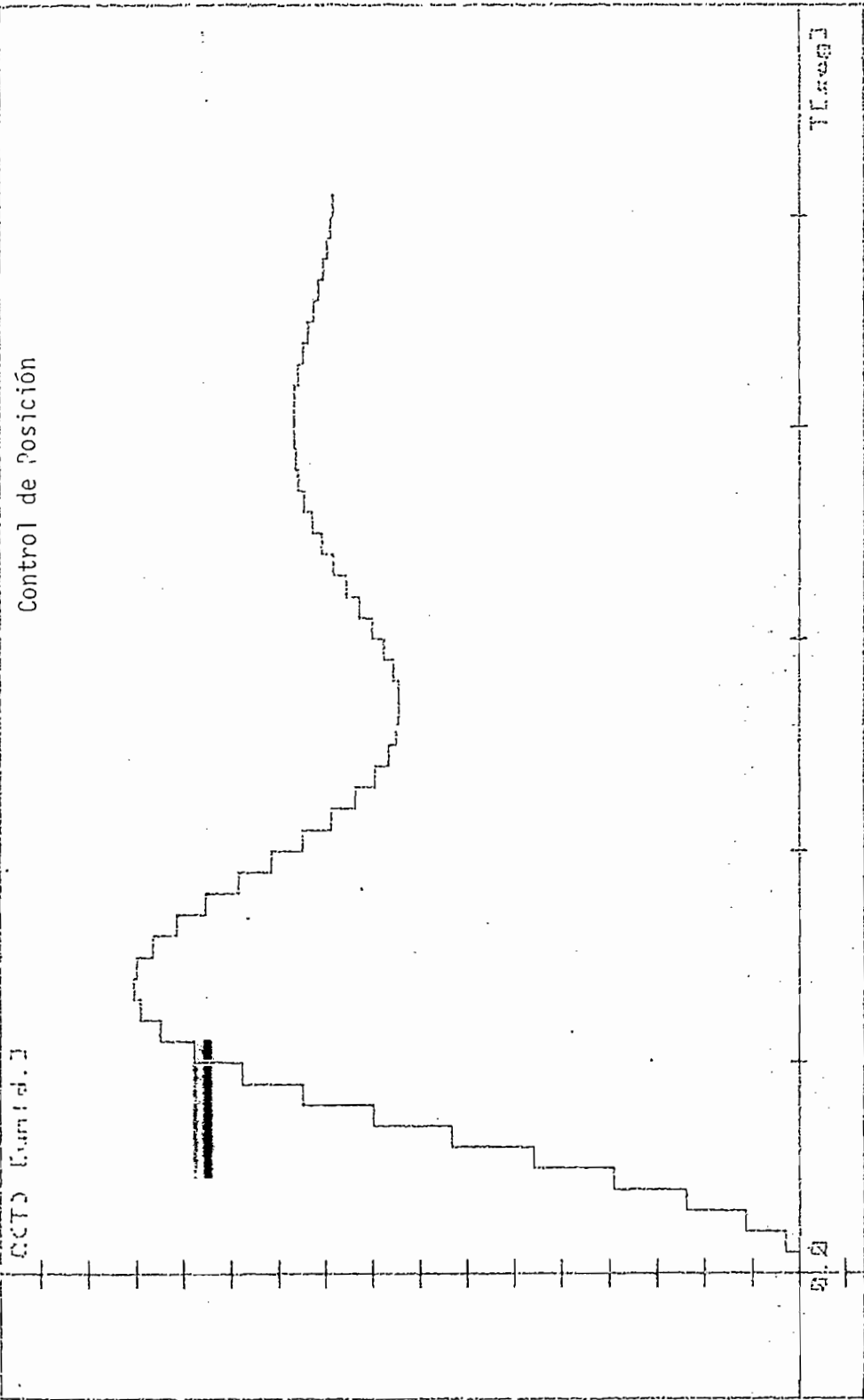
-----

z**2	z**1	z**0
1.00	-1.84	0.84

ANALISIS DE ESTABILIDAD

-----

EL SISTEMA ES ESTABLE



EJE X: 1DIV.= 0.5 EJE Y: 1DIV.= 0.50 ARCHIVO : TESTS

Fig. 3.12. Con Controlador P en cascada (Kp=0,0166)

ESCUELA POLITÉCNICA NACIONAL  
 FACULTAD DE INGENIERÍA ELÉCTRICA  
 SISTEMAS DE CONTROL

GALO ACOSTA V.

FECHA : 24-JUL-86 05:10:07

TÍTULO GEOMÉTRICO DE LAS RAÍCES\*\*SISTEMAS DISCRETOS

Archivo : TEST5

ANÁLISIS DE ESTABILIDAD ABSOLUTA, (CRITERIO DE RAIBLE)

=====

GANANCIA TOTAL = 0.03028006

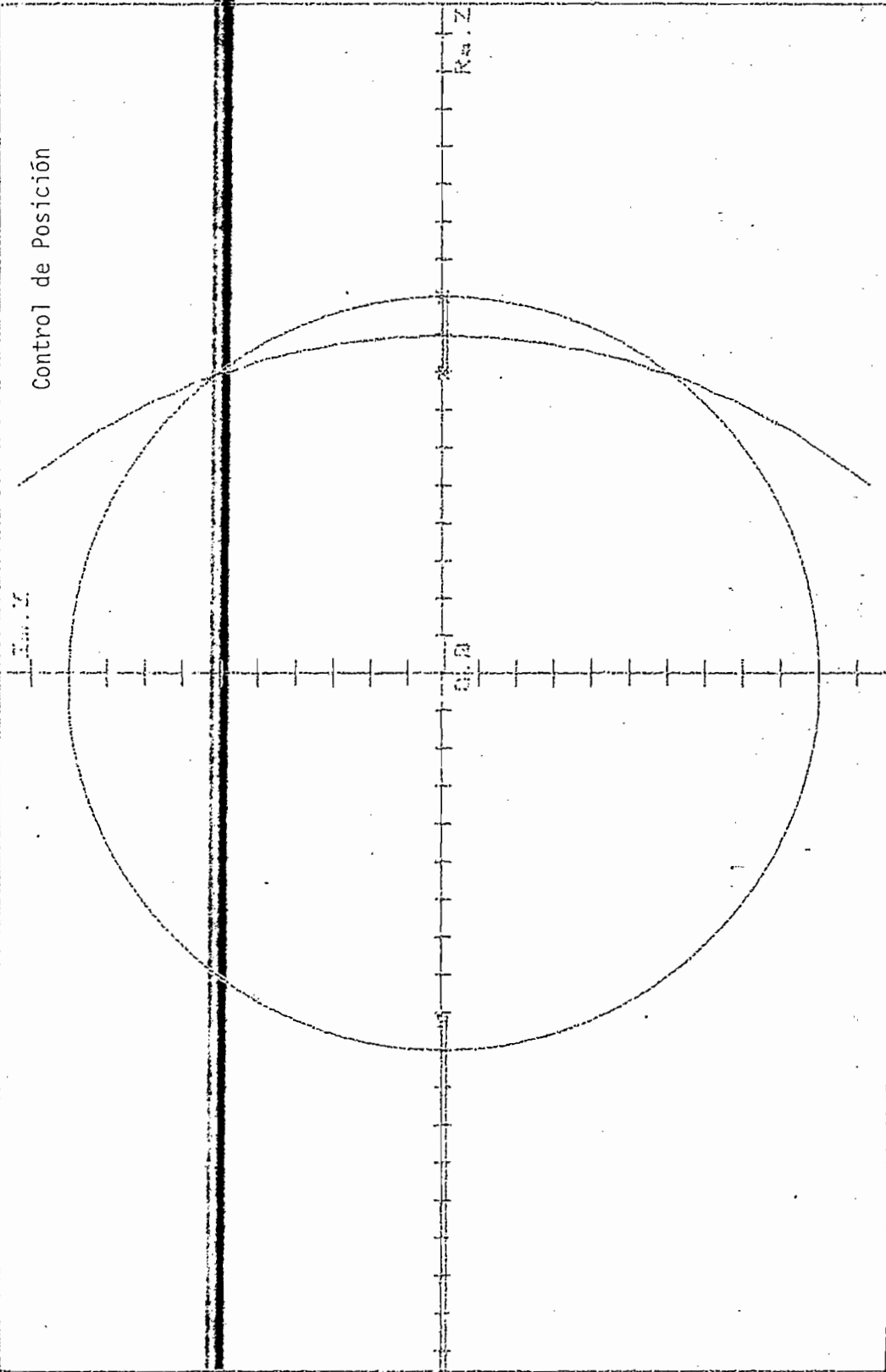
GANANCIA DINÁMICA = 0.0166

COEFICIENTES DE LA ECUACION CARACTERÍSTICA

z**2	z**1	z**0
1.00	-1.81	0.87

ANÁLISIS DE ESTABILIDAD

-----  
 EL SISTEMA ES ESTABLE



x=FOLLO s=CERO | Distancia = 0.1 Unidades Archivo:TESTS

Fig. 3.13. Con Controlador P en cascada ( $T=0,066$ )



CUELA POLITECNICA NACIONAL  
 CULTAD DE INGENIERIA ELECTRICA  
 TEMAS DE CONTROL

GALO ACOSTA V.

FECHA : 24-JUL-86 05:33:26

LGR GEOMETRICO DE LAS RAICES\*\*SISTEMAS DISCRETOS

Archivo : TEST6

L.G.R Corte el círculo unitario sobre eje real

diferencia en suma de argumentos = 0.000000 grados

ganancia Critica Kc = 47.026

arsen de Ganancia MG = 15.121

NOTA : Para que un punto sea del LGR; la diferencia  
 en la suma de argumentos debe tender a cero

el punto de corte del L.G.R con la  
 circunferencia unitaria es: EJE REAL : -1  
 EJE IMAG.: 0

=====

diferencia en suma de argumentos = 0.337961 grados

ganancia Critica Kc = 0.217

arsen de Ganancia MG = 0.070

NOTA : Para que un punto sea del LGR; la diferencia  
 en la suma de argumentos debe tender a cero

el punto de corte del L.G.R con la  
 circunferencia unitaria es: EJE REAL : 0.791567798668  
 EJE IMAG.: 0.611333538342

=====

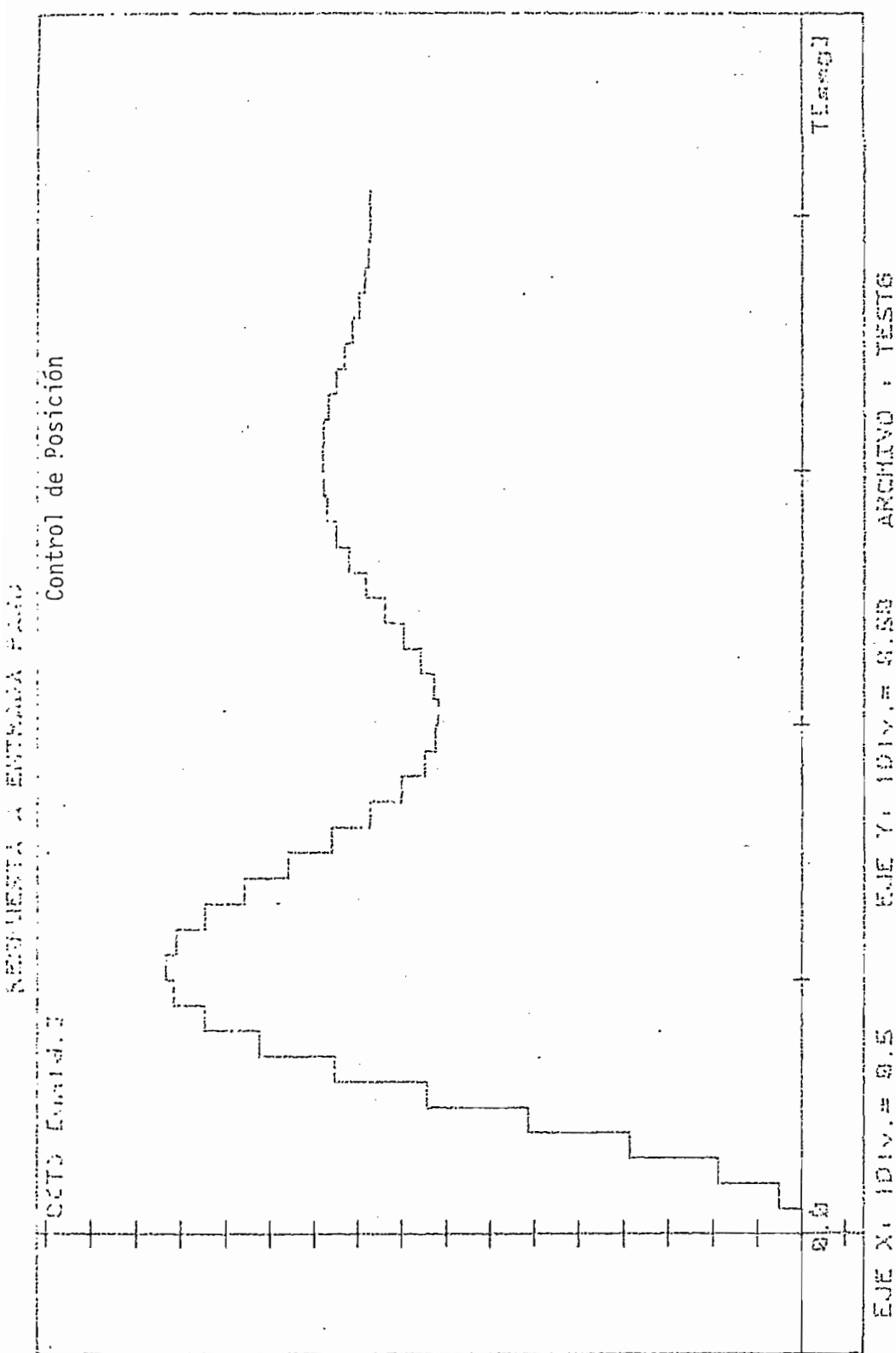


Fig. 3.14. Con Controlador P en cascada ( $K_p=0,0166$ )

CUELA POLITECNICA NACIONAL  
 CULTAD DE INGENIERIA ELECTRICA  
 SISTEMAS DE CONTROL

GALO ACOSTA V.

FECHA : 24-JUL-86 05:40:27

GAR GEOMETRICO DE LAS RAICES\*\*SISTEMAS DISCRETOS

Archivo : .TEST6

ANALISIS DE ESTABILIDAD ABSOLUTA, (CRITERIO DE RAIBLE)

LOR DE GANANCIA TOTAL = 0.051626

LOR DE GANANCIA DINAMICA = 0.0166

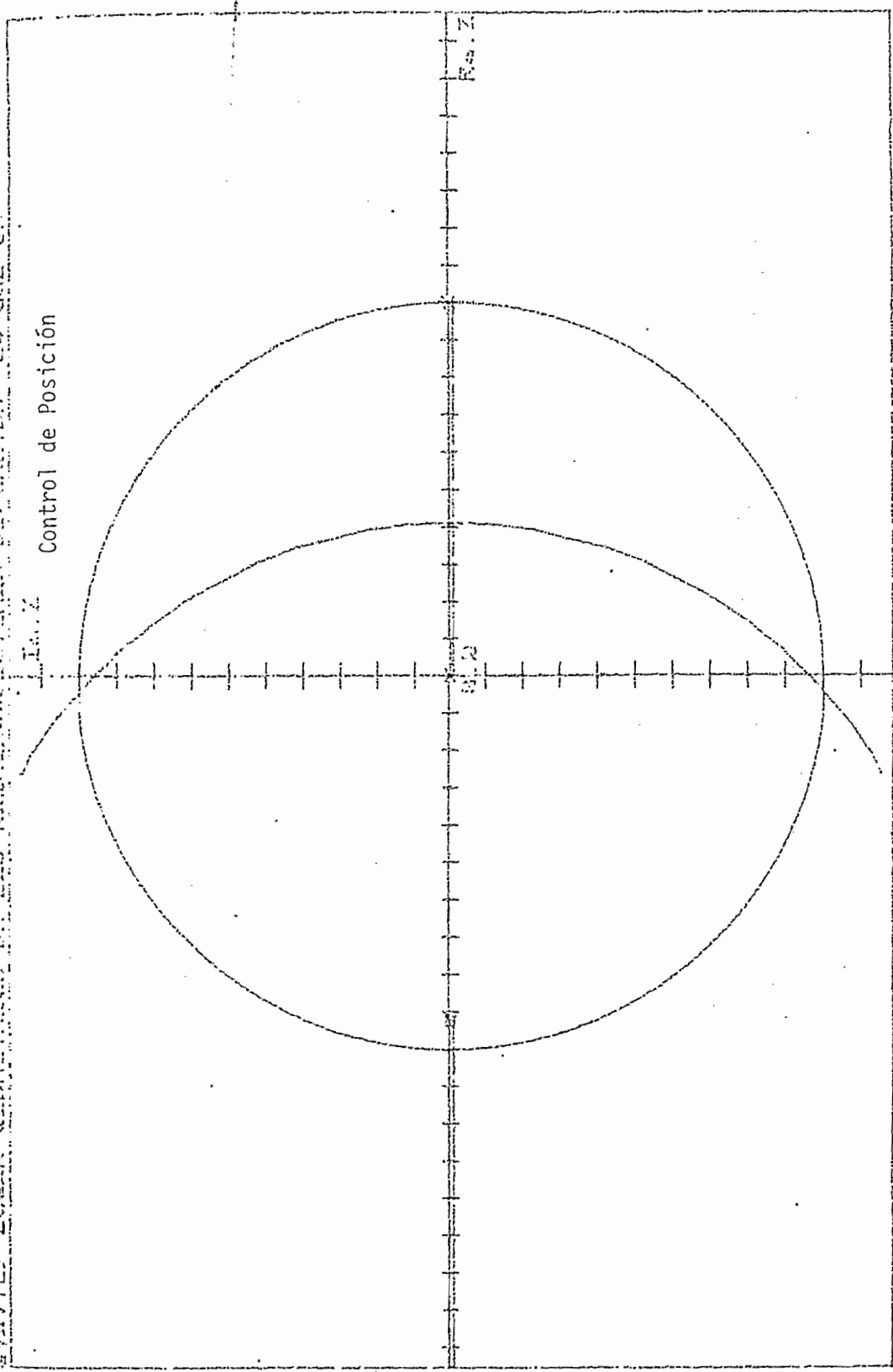
COEFICIENTES DE LA ECUACION CARACTERISTICA

***2	***1	***0
1.00	-1.74	0.84

ANALISIS DE ESTABILIDAD

EL SISTEMA ES ESTABLE

Control de Posición



x=POLO o=CERO | División = 0.1 Unidades Archivo:TEST7

Fig. 3.15. Con Controlador P-D en cascada (T=0,066)

ESCUELA POLITÉCNICA NACIONAL  
 FACULTAD DE INGENIERÍA ELÉCTRICA  
 SISTEMAS DE CONTROL

GALD ACOSTA V.

FECHA : 24-JUL-86 05:50:17

LGR GEOMETRICO DE LAS RAICES\*\*SISTEMAS DISCRETOS

Archivo : TEST7

L.G.R Corta el círculo unitario sobre eje real

Diferencia en suma de argumentos = 0.000000 grados

Atenuación Crítica Kc = 26.178

Índice de Ganancia MG = 1.700

NOTA : Para que un punto sea del LGR la diferencia  
 en la suma de argumentos debe tender a cero

Punto de corte del L.G.R con la  
 circunferencia unitaria es: EJE REAL : -1  
 EJE IMAG. : 0

=====

Diferencia en suma de argumentos = 0.076721 grados

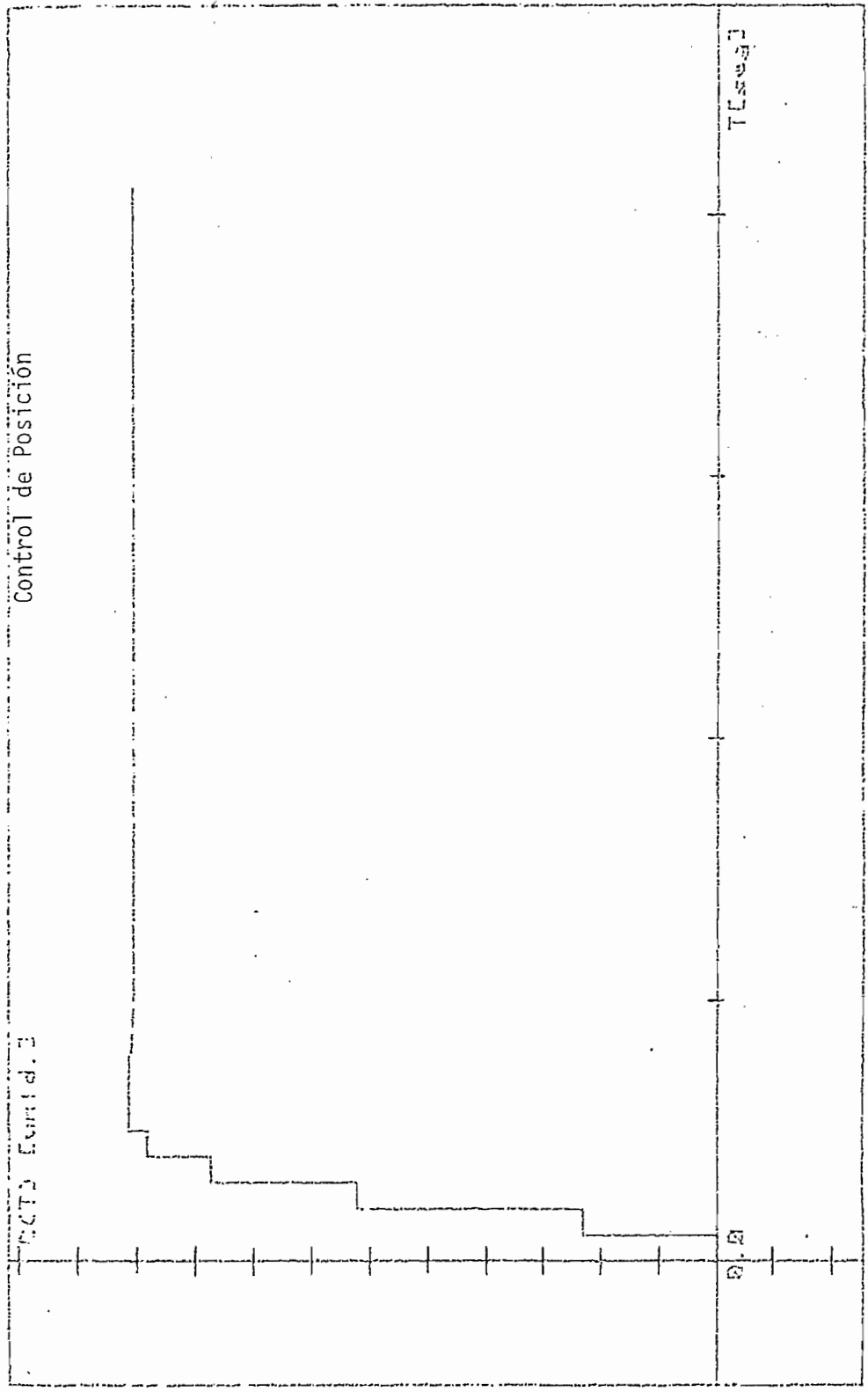
Atenuación Crítica Kc = 1.084

Índice de Ganancia MG = 0.070

NOTA : Para que un punto sea del LGR la diferencia  
 en la suma de argumentos debe tender a cero

Punto de corte del L.G.R con la  
 circunferencia unitaria es: EJE REAL : -0.0426937073343  
 EJE IMAG. : 0.999031145883

=====



EJE X: 101V. = 0.7      EJE Y: 101V. = 0.50      ARCHIVO : TEST7

Fig. 3.16. Con Controlador P-D en cascada (Kp=0,015)

ESCUELA POLITÉCNICA NACIONAL  
 FACULTAD DE INGENIERÍA ELÉCTRICA  
 SISTEMAS DE CONTROL

GALO ACOSTA V.

FECHA : 24-JUL-88 05:53:10

LUGAR GEOMÉTRICO DE LAS RAÍCES\*\*SISTEMAS DISCRETOS

Archivo : TEST7

ANÁLISIS DE ESTABILIDAD ABSOLUTA: (CRITERIO DE RAIBLE)

=====

VALOR DE GANANCIA TOTAL = 0.231

VALOR DE GANANCIA DINÁMICA = 0.015

COEFICIENTES DE LA ECUACION CARACTERÍSTICA

***2	***1	***0
1.00	-0.77	0.21

ANÁLISIS DE ESTABILIDAD

EL SISTEMA ES ESTABLE

POLITECNICA NACIONAL  
 DE INGENIERIA ELECTRICA  
 DE CONTROL

GALO ACOSTA V.

FECHA : 24-JUL-86 05:52:51

GEOMETRICO DE LAS RAICES\*\*SISTEMAS DISCRETOS

Archivo : TEST7

ANALISIS DE ESTABILIDAD ABSOLUTA, (CRITERIO DE RAIBLE)

DE GANANCIA TOTAL = 0.25564

DE GANANCIA DINAMICA = 0.0166

DEFICIENTES DE LA ECUACION CARACTERISTICA

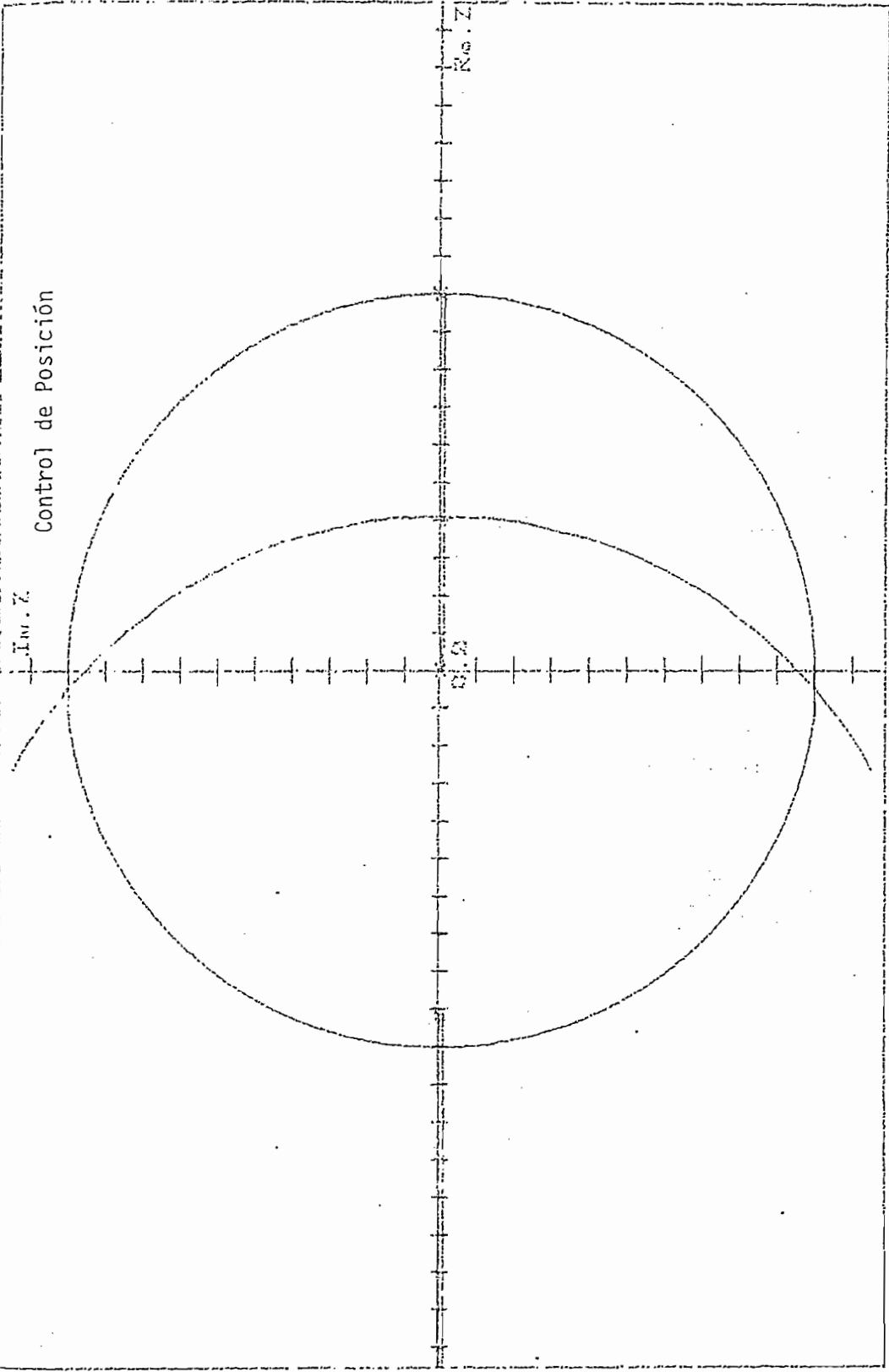
z**2	z**1	z**0
1.00	-0.74	0.24

ANALISIS DE ESTABILIDAD

EL SISTEMA ES ESTABLE



SVAV12/ LUSAN REEMETIKOR DE LAS RAJONEN. FORMAS PASADIAS. M. J. J. J. J. J.



x=POLO o=CERO 1 División = 0.1 Unidades Archivo: TESTS

Fig. 3.17. Con Controlador P-D en cascada

UNIVERSIDAD NACIONAL  
DE INGENIERIA ELECTRICA  
DE CONTROL

GALO ACOSTA V. 11

FECHA : 24-JUL-86 06:09:50

METRICO DE LAS RAICES\*\*SISTEMAS DISCRETOS

Archivo : TESTS

Corta el círculo unitario sobre eje real  
e en suma de argumentos = 0.000000 grados

Critica Kc = 22.989

Genancia MG = 1.201

Para que un punto sea del LGR: la diferencia  
en la suma de argumentos debe tender a cero

de corte del L.G.R con la  
funcion unitaria es: EJE REAL : -1  
EJE IMAG.: 0

\*\*\*\*\*

ie en suma de argumentos = 0.190749 grados

Critica Kc = 1.092

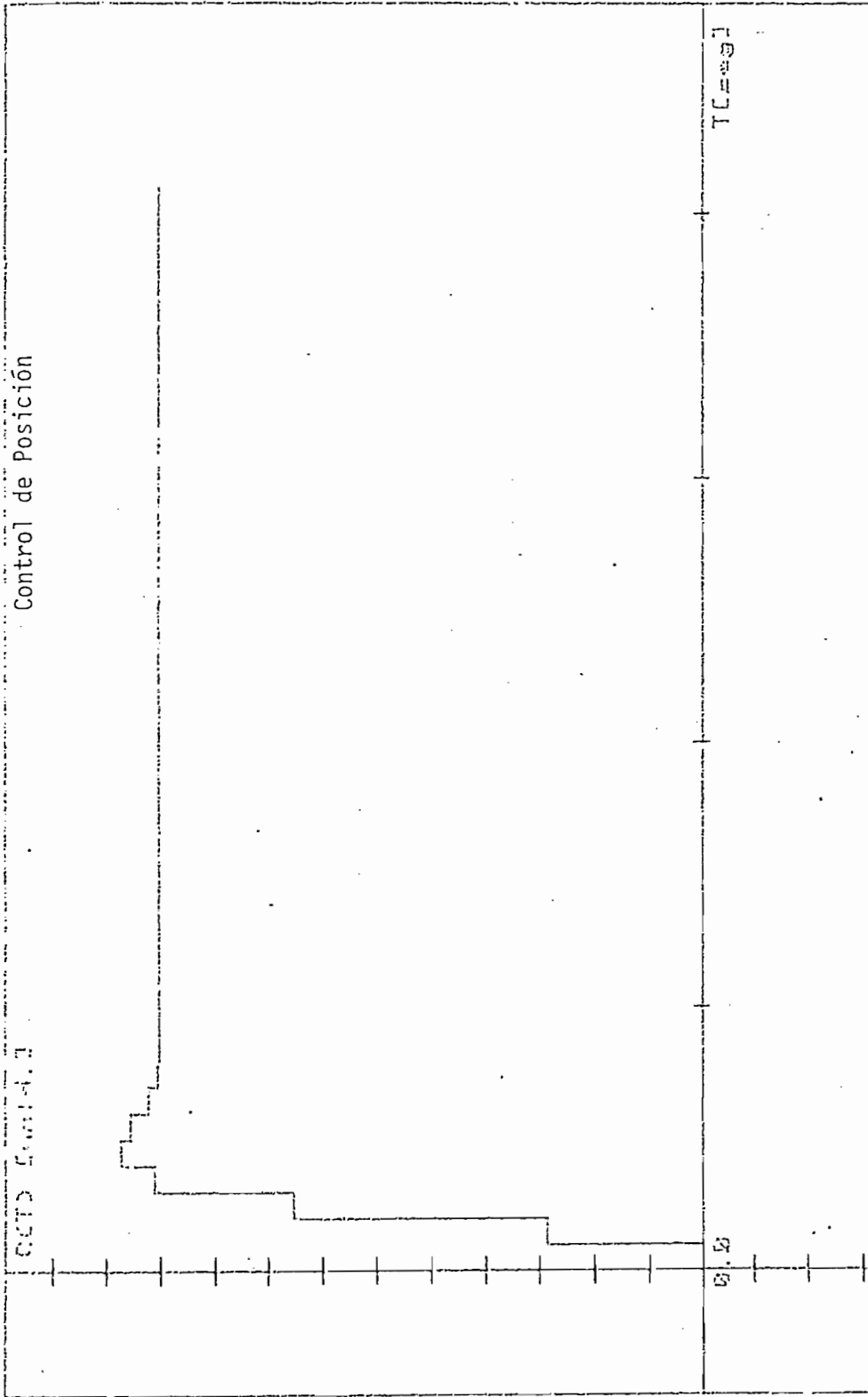
Genancia MG = 0.057

Para que un punto sea del LGR: la diferencia  
en la suma de argumentos debe tender a cero

de corte del L.G.R con la  
funcion unitaria es: EJE REAL : -0.0441878931602  
EJE IMAG.: 0.999054887333

\*\*\*\*\*

Control de Posición



EJE X: 1 DIV. = 2.5      EJE Y: 1 DIV. = 0.50      ARCHIVO : TESTS

Fig. 3.18. Con Controlador P-D en cascada ( $K_p=0,015$ )

POLITECNICA NACIONAL  
 DE INGENIERIA ELECTRICA  
 DE CONTROL

GALO AGOSTA V.

FECHA : 24-JUL-86 06:11:31

ASIMETRICO DE LAS RAICES\*\*SISTEMAS DISCRETOS

Archivo : TESTS

ANALISIS DE ESTABILIDAD ABSOLUTA, (CRITERIO DE RAIBLE)

GANANCIA TOTAL = 0.287004

GANANCIA DINAMICA = 0.015

COCIENTES DE LA ECUACION CARACTERISTICA

K2	Z**1	Z**0
00	-0.71	0.26

ANALISIS DE ESTABILIDAD

EL SISTEMA ES ESTABLE

ESCUELA POLITÉCNICA NACIONAL  
 FACULTAD DE INGENIERÍA ELÉCTRICA  
 SISTEMAS DE CONTROL

GALU ACOSTA V.

FECHA : 24-JUL-86 06:11:50

PROGRAMA GEOMETRICO DE LAS RAICES Y SISTEMAS DISCRETOS

Archivo : TEST8

ANALISIS DE ESTABILIDAD ABSOLUTA, (CRITERIO DE RAIBLE)

=====

VALOR DE GANANCIA TOTAL = 0.31761776

VALOR DE GANANCIA DINAMICA = 0.0166

COEFICIENTES DE LA ECUACION CARACTERISTICA

z**2	z**1	z**0
1.00	-0.68	0.29

ANALISIS DE ESTABILIDAD

EL SISTEMA ES ESTABLE

## Capítulo IV : DISEÑO, PROGRAMA E IMPLEMENTACION

- 4.1. Circuito de interface entre el Micro - Professor y el servo mecanismo MCSL - 100.
- 4.2. Implementación del programa.
  - 4.2.1. Programas auxiliares.
  - 4.2.2. Programa PID.
  - 4.2.3. Programa principal.
- 4.3. Pruebas sobre el prototipo.

## INTRODUCCION

En este capítulo se da en forma analítica el funcionamiento del circuito de interface entre el MPF - IP y el servomecanismo Motomatic MCSL -100.

Cabe anotar, que no se habla de diseño, por cuanto los elementos necesarios para la implementación del circuito de interface son conocidos; y las conexiones de cada uno de ellos son dadas en las hojas características.

También se dan los algoritmos empleados al realizar los programas del MPF-IP. En esta parte ha sido necesario realizar algoritmos para multiplicación y división de números decimales tanto positivos como negativos. Además se explicará la función de cada uno de los programas y la manera como se realiza.

El listado de los programas se lo presenta en el apéndice D a continuación del manual de uso del programa. Las pruebas realizadas sobre el prototipo y su justificación son dadas a conocer en este capítulo, ya que en el capítulo V se dan los comentarios respecto a estos resultados.

### 4.1. CIRCUITO DE INTERFACE ENTRE EL MICRO-PROFESSOR Y EL SERVOMECA- NISMO MCSL - 100

En el apéndice C se presenta un esquema total del circuito, construido con los elementos cuyo funcionamiento se explicó en el capítulo II.

diagrama de bloques de la figura 3.4, en el capítulo 3; represente al sistema digital empleado; y para dar una explicación de su funcionamiento con más facilidad, se lo va a dibujar nuevamente.

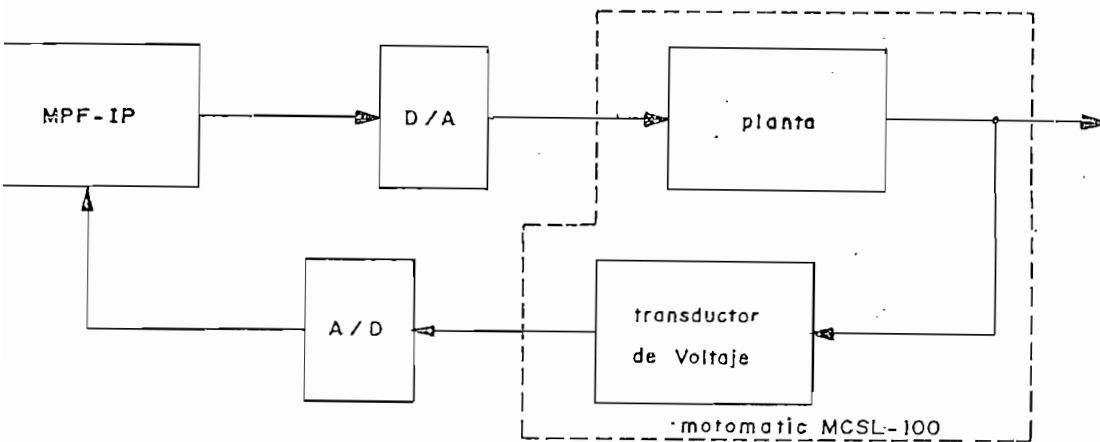


Fig. 4.1.- Diagrama de bloques del sistema digital.

En la figura 4.1. la referencia de velocidad o posición entrará a través del teclado del MPF-IP; a más de esto, el MPF-IP debe preguntar si se desea introducir o no la acción de control, el tipo de controlador y sus parámetros respectivos. Otra de las funciones del MPF-IP es la de calcular el error y evaluarlo de acuerdo al tipo de controlador.

El convertidor D/A transforma el valor resultante (respuesta del controlador) a su correspondiente análogo y lo aplica a la planta durante todo el período de muestreo. La planta es el servomecanismo Automatic MCSL-100, como ya se indicó anteriormente, y que es sobre el cual se realiza el control digital.



El conversor A/D toma el valor resultante de haber aplicado el valor muestreado, por el conversor D/A, a la planta y lo transforma a su correspondiente valor digital para que sea leído por el MPF-IP.

Cuando se realiza el control de posición, el MPF-IP está en capacidad de leer y escribir datos positivos y negativos. En el control de velocidad, sólo se pueden leer valores positivos, pero se escriben valores positivos y negativos.

El circuito está diseñado para que en velocidad salgan valores positivos y entren en la realimentación valores negativos, debido al funcionamiento interno del motomatic, que hace que la señal de realimentación sea de signo contrario a la entrada. Es necesario mantener el cambio de signo en la realimentación, cuando se controla la posición; por esto, el interruptor de realimentación debe estar en (-).

#### Circuitos de Acoplamiento de la señal del Motomatic al Conversor A/D

Se utilizan amplificadores operacionales, para acoplar la señal de salida del motomatic a las entradas del conversor A/D.

Para velocidad se tiene el siguiente circuito:

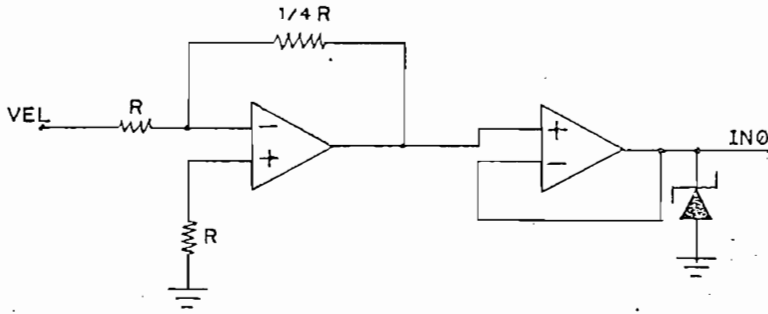


Fig. 4.2. Entrada de velocidad al conversor A/D.

El rango de velocidad que se va a controlar es de 0 RPM a 1.200 RPM, como ya se indicó en la introducción; esto equivale a un rango de voltaje de 0 a 18 volts. El conversor A/D utilizado, recibe únicamente voltajes positivos hasta 5V; por esto, es necesario adecuar la señal que va a ser transformada a su correspondiente valor digital, por medio de un divisor de tensión de ganancia igual a 0,25; de esta manera el máximo voltaje de entrada hacia el conversor A/D será de 4,5 Volts.

Como ya se explicó anteriormente, la señal de entrada será negativa, y el divisor de tensión también sirve para cambiar de signo a esta señal.

Por motivos de diseño y por razones de estabilidad, se utiliza un seguidor de tensión para acoplar la señal que sale del divisor de tensión a la entrada IN0 del conversor A/D. A la salida del seguidor de tensión se encuentra un diodo zener de 5,1 Volts., para proteger la entrada del conversor de valores sobre los 5,1 Volts, y de voltajes negativos.

El circuito para la entrada de los valores de posición se dá en la fig. 4.3.

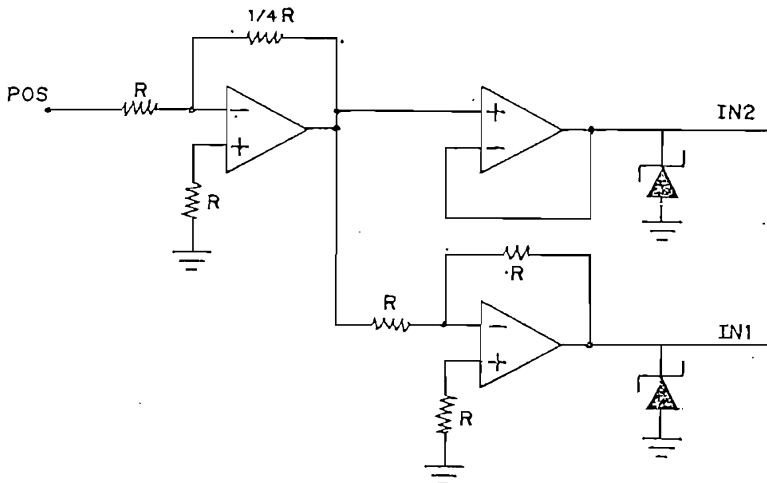


Fig. 4.3. Entrada de Posición al Conversor A/D.

En este caso, el rango de posición a controlarse es de  $0^\circ$  a  $320^\circ$ , lo cual equivale a una variación de  $-19$  Volts. a  $+19$  Volts. en el indicador de posición del Motomatic; y por esto, al igual que en velocidad, se utiliza un divisor de tensión de ganancia 0,25.

Cuando el rango de voltaje de realimentación está dentro de los valores positivos, el valor a la salida del divisor será negativo; por lo tanto, la salida IN2 será negativa ( $-0,7$  Volts.), la salida IN1 se rá el valor que reconocerá el conversor A/D; si el voltaje de entrada de realimentación es negativo se tiene el caso inverso, la señal

válida será IN2. Al igual que para velocidad se utilizan los zener de 5,1 Volts para protección; cuando están polarizados directamente, se tiene un valor de -0,7 Volts., el cual no daña las entradas del conversor A/D y es leído como 0 Volts.

### Conversor A/D

En esta tesis se utiliza el conversor ADC 0809CCN, el cual permite una fácil interface con el microprocesador Z-80. Para su funcionamiento necesita un reloj de una frecuencia máxima igual a 1200 KHz y una frecuencia mínima de 10KHz (esto se puede observar en las hojas de características de datos de este conversor, que se encuentran en el apéndice B), para tener una buena sincronización con el MPF-IP se toma el mismo reloj del MPF-IP pero con la frecuencia dividida por dos, por medio de un flip-flop tipo D (74HC74).

La tabla 2.1. muestra el funcionamiento de este flip-flop. y para utilizarlo como divisor de frecuencia, se tiene la siguiente configuración:

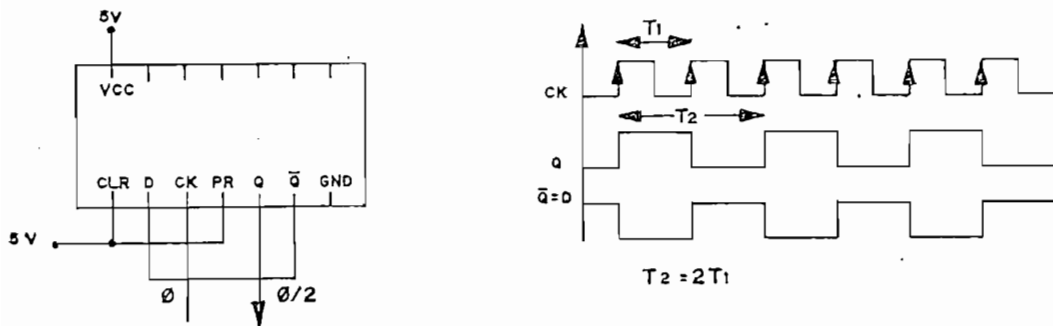


Fig. 4.4. a) Flip-Flop tipo D como divisor de frecuencia.  
b) Diagrama de tiempos.

Del diagrama de tiempos de la figura 4.4. b) se deduce el funcionamiento del divisor de frecuencia para dos. Inicialmente Q está en  $0_L$  y  $\bar{Q}$  en  $1_L$ ; al realizarse la primera transición positiva del reloj, la entrada D está en  $1_L$  por lo tanto Q se pone en  $1_L$ ; cuando se realiza la transición negativa y al ponerse en  $0_L$  la salida Q se mantiene en el mismo estado. Durante el tiempo que Q está en  $1_L$ ,  $\bar{Q}$  estará en  $0_L$ . Al realizarse la transición positiva siguiente el circuito ve como entrada  $0_L$  y durante este período la salida Q baja a  $0_L$  y  $\bar{Q}$  se pone en  $1_L$ .

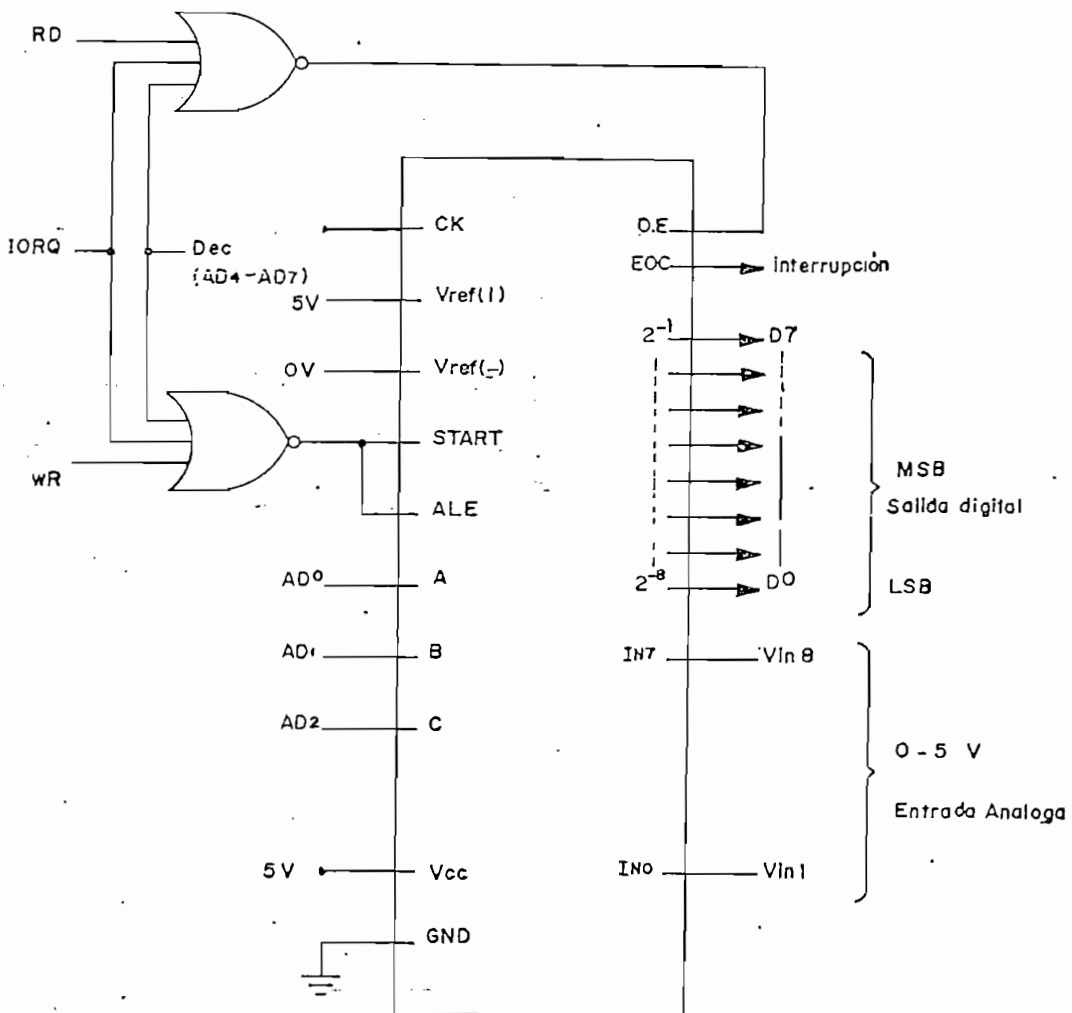


Fig. 4.4.c. Diagrama de conexión del convertidor A/D.

El diagrama de tiempos del funcionamiento de este conversor se lo puede observar en las hojas de características del conversor, el diagrama de conexiones también se lo toma de aquí, con ligeras modificaciones que se utilizan para este caso particular, se lo muestra en la figura 4.4.c.

La señal de interrupción que es la que indica que la conversión terminó, no se la utiliza porque una vez dada la señal de comienzo de la conversión transcurre por lo menos 0,001 seg. antes de leer el valor convertido. El tiempo aproximado de conversión con el reloj de 95 KHz. es de 100useg; que es 10 veces menor al tiempo de conversión dado (0,001 seg), con lo que se asegura que el valor leído es el correcto y que corresponde a su equivalente análogo.

El MPF-IP da la señal de escritura (pone  $\overline{WR}$  en 0L) con la instrucción de salida de un dato a un pòrtico determinado.

La dirección del pòrtico la dan:  $A_7, A_6, A_5, A_4$ ; y la dirección del dato que se va a convertir la dan:  $A_3, A_2, A_1, A_0$ ; las cuales están repartidas de la siguiente manera:

00H: para velocidad

01H: para posición, cuando se tienen valores negativos de referencia y valores positivos en la realimentación.

02H; para posición, cuando se tienen valores positivos de referencia y negativos en la realimentación.

Para direccionar el pòrtico con los 4 bits, se utiliza el decodifi-

cador 74HC 138E, el cual tiene su salida activa en bajo. (La salida que se utiliza es  $\overline{Y}_0$ ). Los direccionamientos varían continuamente conforme se ejecuta un programa; con las instrucciones de carga de datos de memoria también se activan las señales de  $\overline{RD}$  y  $\overline{WR}$ . Para evitar confusiones con escrituras internas, se utiliza la señal  $\overline{IORQ}$ , la cual cuando se encuentra en estado bajo ( $0_L$ ) indica que el bus de addresses se utiliza para direcciones de entrada salida.

Se necesita un pulso positivo ( $\uparrow$ ) de pequeña duración (200ns) para activar la entrada del dato a convertirse; este pulso debe ser proporcionado a la entrada de ALE y START, y va a estar determinado por:

$$START = \overline{\overline{WR} + \overline{IORQ} + \overline{Y}_0}$$

Cuando las tres señales estén en  $0_L$ , la señal de START tendrá un  $1_L$ .

De manera similar se realiza la lectura del dato digital, para esto se utiliza la instrucción IN, la cual pone un  $0_L$  en la salida  $\overline{RD}$  y el direccionamiento será el mismo. La entrada O.E. del conversor A/D debe estar en  $1_L$  para poder realizar la lectura, y por lo indicado anteriormente va a estar dada por:

$$O.E. = \overline{\overline{RD} + \overline{IORQ} + \overline{Y}_0}$$

cuando se realiza la lectura no es necesario direccionar la entrada del conversor A/D

Este convertidor permite la conversión de una entrada de 5 Volts. a un número digital de 8 bits, es decir se tiene 51 bits/voltio.

Para dar una idea de la exactitud del control se obtienen las siguientes relaciones dadas por las constantes  $K_p'$  y  $K_g$ . Se tiene: -0,273 RPM/bit y  $0,166^\circ$ /bit.

Convertidor D/A

Como ya se explicó en el capítulo 2, este convertidor necesita de regeneradores digitales a su entrada.

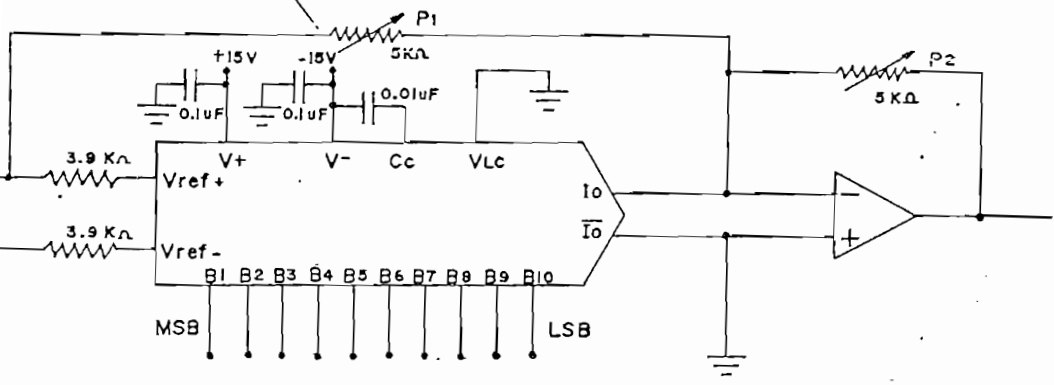


Fig. 4.5. Diagrama de conexiones del convertidor D/A.

El convertidor utilizado es el DAC-10, que tiene 10 dígitos de entrada, el primero ( $B_1$ ) que lleva el signo del voltaje de salida ( $1_L$  para voltajes positivos,  $0_L$  para voltajes negativos) y los nueve res-



tantes llevan la información para la señal de salida; si el número es negativo, la información debe estar en complemento de dos.

El MPF-IP tiene un bus de datos de 8 bits, por lo tanto la salida de datos se realizará en dos partes: primero se sacan los dos bits más significativos y luego paso los ocho bits restantes. Para esto se utilizan dos retenedores digitales, uno de dos flip-flop D (74HC74) y otro de 8 flip-flop D(74HC374), cuyo funcionamiento ya se explicó en el numeral 2.2.3.

Además, el circuito de la figura 4.5 permite calibrar los valores máximos (topes) que van a salir; así  $\pm 5$  Volts se ajustan con el potenciómetro  $P_2$  y el cero se ajusta calibrando el potenciómetro  $P_1$ .

La salida de datos desde el MPF-IP, se realiza con la instrucción -OUT y se direcciona con  $A_7$ ,  $A_6$ ,  $A_5$  y  $A_4$ . Se puede poner un direccionamiento diferente al utilizado por el conversor A/D, pero esto implicaría el uso extra de dos compuertas NOR. Para simplificar el circuito, se usa la misma señal que activa la entrada de un dato al conversor A/D como señal de reloj del retenedor de los 8 bits menos significativos del conversor D/A, pues los datos se cargan con la transición positiva del reloj al igual que la señal START.

Los dos bits más significativos se cargan con la señal de reloj igual a:

$$CK = \overline{WR} + \overline{IORQ} + Y_1$$

La cual permite cargar los datos, sin afectar al circuito, es decir, no interviene en la habilitación del conversor A/D. La resolución de este conversor va a estar dada por: 102.2 bit/volt. porque el número va a estar formado por nueve bits.

Para la salida de datos se tiene: 0.637 RPM/bit y 0.083°/bit.

#### Entrada de datos al motomatic:

Como se explicó anteriormente, la señal de entrada al circuito es dividida para cuatro; es decir, todos los cálculos y operaciones se realizan con estos valores; por lo tanto, para que la realimentación sea válida, es necesario multiplicar la señal de salida del conversor D/A por cuatro y para esto se necesita una etapa de amplificación con fuentes de  $\pm 20V$ . Para evitar el aumento de la circuitería y de dos fuentes extras se utiliza el amplificador operacional que posee el motomatic, al cual se le pone una ganancia de cuatro, con una resistencia de  $40 K\Omega$ ; puesto que, el motomatic en la entrada 2 tiene una resistencia de  $10 K\Omega$ .

#### Fuente de voltaje

El circuito necesita de fuentes de voltaje de  $\pm 15$  Volts, + 5Volts, con una capacidad total de corriente de 150 mA.

Para esto se utiliza un transformador con tap central de 200 mA de capacidad de corriente en el secundario y con una transformación de voltaje de  $110 V_{RMS}/19V_{RMS}$ ; reguladores de voltaje de +15V, -15V, +5V de 1 Amp de corriente; condensadores y diodos para el puente rectifi-

gador.

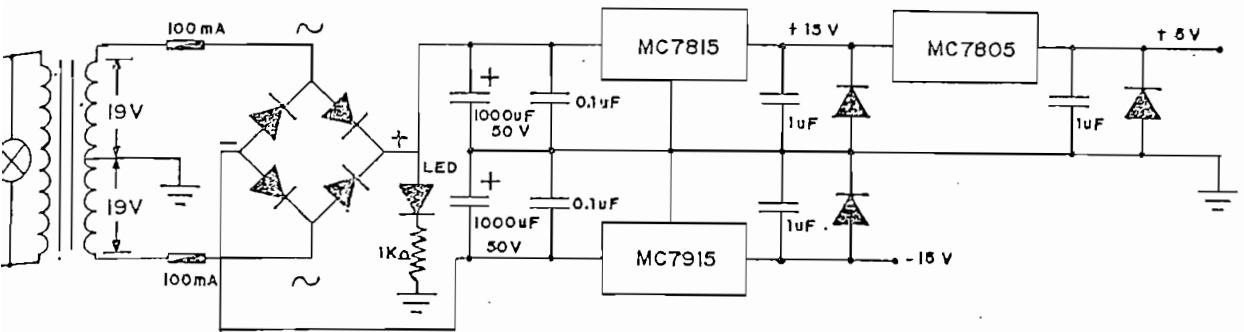


Fig. 4.6. Diagrama de la fuente de voltaje

En el secundario del transformador se utiliza un rectificador de on da completa tipo puente. La tierra del circuito va a ser la toma central. Para tener una señal continua sin rizado a la entrada de los reguladores se utiliza condensadores de 1000µF/50V, y 0.1µF; es recomendable poner a la salida de los reguladores un condensador de 1 µF para filtrar ruido y un diodo para proteger la salida del re gulador de picos de voltaje negativos.

Como protección se utilizan fusibles de 100 mA, por cada tap del se cundario (el consumo normal es de 75 mA); no se la pone en el prima rio debido a que la corriente es muy baja.

Cabe anotar que, al realizar las conexiones del circuito con el MPF-IP y con el motomatic, es necesario mantener una tierra común para todo el circuito.

## 4.2. Implementación de los Programas

Para una mejor explicación de como se realizaron los programas, se los ha dividido en tres grupos:

- Programas Auxiliares
- Programa del controlador PID.
- Programa Principal

Además se utilizan algunas subrutinas propias del MPF-IP, para construir los programas que se utilizan para entrada y salida de datos. (Entrada de datos por teclado y salida por el display).

Los programas auxiliares son todos aquellos que sirven para implementar el programa principal o el programa del PID. También se consideran como programas auxiliares aquellos que permiten la entrada de datos numéricos en forma ordenada y su transformación a binario.

El programa del controlador PID, realiza las acciones de control P, PI, PD y PID. Además ofrece la posibilidad de no implementar ninguna acción de control, y en este caso se tiene solo realimentación unitaria sin ninguna compensación en cascada.

El programa principal es el que une los programas auxiliares y el de el PID para realizar el control del sistema digital. Este programa también permite la entrada de datos para formar el controlador.

#### 4.2.1. Programas auxiliares

Los programas auxiliares que se utilizan, son los siguientes:

- Entrada de números decimales
- Escritura de leyendas de 20 caracteres
- Conversión de un número BCD a binario
- Retardo.
- Multiplicación de números decimales
- División de números decimales.

Entrada de números decimales.- En el programa se necesitan ingresar datos numéricos que tienen parte decimal y parte entera. Se ha considerado que es suficiente con introducir números con cuatro cifras enteras y cuatro decimales, por que al entrar referencias, el máximo valor es 1.200 y las constantes de los controladores son valores menores que uno.

No se necesita completar los cuatro números enteros o decimales para que el dato sea entendido. Está diseñado de tal manera que funcione de forma similar a una calculadora y ofrece la posibilidad de borrarlo, si el número no es el correcto. Además, solo acepta caracteres numéricos. Con el punto se indica que comienza la parte decimal. Se utiliza C para el borrado y retorno de carro (↵) para indicar que el número está completo.

El programa llena con ceros todos los espacios que no se ocuparon, dejando un número de cuatro enteros y cuatro decimales para ser procesado.

Para guardar los números en BCD se utilizan las siguientes localidades de memoria:

FD00 H: miles  
 FD01 H: centenas  
 FD02 H: decenas  
 FD03 H: unidades  
 FD04 H: décimas  
 FD05 H: centésimas  
 FD06 H: milésimas  
 FD07 H: diez milésimas

Una vez que se tiene el número en BCD se procede a transformarlo a binario.

Conversión de un número BCD a binario.- Este programa toma el número BCD, dado al ejecutarse el programa anterior, como un solo número entero y lo transforma a binario. Esto equivale a multiplicar por 10.000 todos los datos que entrán.

El algoritmo de conversión es el siguiente:

1. Se divide para dos los miles, se guarda el carry y el número respectivo.
2. Si el carry de los miles es 1, se suma 10 a las centenas y se las divide para dos. Se guarda el carry y el número.
3. Se repite este proceso con las decenas, unidades, décimas, centésimas, milésimas y diez milésimas.
4. El carry de las diez milésimas se lo guarda en la memoria reservada para el número binario, pero el número entra por la izquierda.

5. Se compara si el número total es cero, sino lo es, se vuelve a repetir el paso uno.
6. Una vez que el número total es cero, se hace rotar el número formado por los carries de las diez milésimas hacia la izquierda, - hasta que el primer bit que entró sea el bit menos significativo.

El número es binario es almacenado en las localidades:

FDOA H: N4

FDOB H: N3

FDOC H: N2

FDOD H: N1

el resultado tendrá la siguiente forma N1 N2 N3 N4, es decir N1 es el byte más significativo.

Escritura de Leyendas de 20 caracteres.- Se utiliza para pedir datos necesarios para el desarrollo del programa. Esta subrutina requiere que se direccionen el lugar donde está la leyenda a escribirse mediante el registro IY. Una vez que se escribe la leyenda, es necesario presionar la tecla de espacio (⇐) para que el programa continúe; de lo contrario el programa permanecerá parado en esta parte.

Subrutina de Retardo.- Esta a su vez utiliza dos subrutinas:

La SCAN1, que tiene por objeto chequear si es presionada una tecla durante un período corto de tiempo (0,9mseg); es un caso particular de la subrutina SCAN1 del MPF-IP la cual muestra en el display el código ASCII almacenado en el buffer del display y chequea durante 15,7 mseg si es presionada una tecla.

La subrutina TIME, la cual tiene por objeto calcular las veces que se repetirá la subrutina retard, de acuerdo al tipo de controlador o al período de muestreo dado. Es decir, la subrutina de retardo se crea para demorar el programa y cumplir el período de muestreo pedido. También sirve para alterar las condiciones de funcionamiento, al salir del lazo de realimentación para cambiar de datos.

La subrutina tiene un tiempo de duración de aproximadamente 1mseg, y se repite por lo menos dos veces en el lazo de realimentación.

Multiplicación de números decimales.- Esta subrutina sirve para multiplicar números positivos y negativos. Los números que se van a multiplicar están almacenados en las siguientes memorias:

FD30H: M4	FD34H: M8	FD38H: AC4
FD31H: M3	FD35H: M7	FD39H: AC3
FD32H: M2	FD36H: M6	FD3AH: AC2
FD33M: M1 MSB	FD37H: M5 MSB	FD3BH: AC1 MSB

en donde M1 M2 M3 M4 es el multiplicador, M5 M6 M7 M8 es el multiplicando y AC1 AC2 AC3 AC4 es el acumulador, (son memorias auxiliares para realizar la multiplicación).

El algoritmo de multiplicación es el siguiente:

1. Los números que se van a multiplicar deben estar almacenados en las respectivas memorias del multiplicando y multiplicador. Si



el número es negativo debe estar en complemento de 2.

2. Se inicializa el acumulador (se pone en cero),
3. El número de rotaciones es igual al número de bits de cada número. En este caso es 32. (4 bytes).
4. Si el dígito menos significativo del multiplicando es igual a 1, entonces al acumulador se le suma el multiplicador y luego se rota a la derecha el acumulador y el multiplicando como si fuera un solo número. El bit menos significativo del multiplicando, corresponde al bit 0 de la memoria FD34H.
5. Si el dígito menos significativo del multiplicando es cero, se rota a la derecha el acumulador y el multiplicando.
6. La respuesta de la multiplicación se obtiene en las localidades del multiplicando.

El siguiente ejemplo, aclarará el algoritmo dado:

Se multiplicará  $2 \times 4$ , y utilizando números de 4 bits para que el proceso no sea muy largo, llevando los resultados en 3 columnas.

multiplicador	acumulador	multiplicando
0100	0000	0010

El número de rotaciones será cuatro.

El bit menos significativo es cero, por lo tanto se rota a la derecha	0000	0001	(1)
---	------	------	-----

El  $dn=1$ , se suma el acumulador al multiplicador.

0100	0100	0001
------	------	------

Se rota a la derecha:

0100	0010	0000	(2)
------	------	------	-----

El dms=0, se rota a la derecha.

0100	0001	0000	(3)
------	------	------	-----

El dms=0, se rota a la derecha.

0100	0000	1000	(4)
------	------	------	-----

Ya se completaron las cuatro rotaciones, y el resultado es: 1000 que es igual a ocho.

Al multiplicar los dos números por este procedimiento, hay que recordar que los números están multiplicados por 10.000 cada uno, por lo tanto el resultado está multiplicado por 100.000.000. Para conservar la ponderación realizada, es necesario que al resultado de la multiplicación se divida para 10.000.

Se aclara esto con el siguiente ejemplo:

datos de entrada a multiplicarse:

multiplicando : 6,3871

multiplicador : 2,0971

datos que son leídos por el programa de multiplicación como números enteros, que son:

multiplicando : 63.871

multiplicador : 20.971

El producto de los datos de entrada es: 13,3943; y el resultado de los números leídos por el programa es: 1.339.438.741, si se divide

...

para 10.000 se tiene 13.349, cantidad que se obtiene al pasar a número entero el resultado de la multiplicación.

Para encontrar el tiempo que se demora en ejecutarse este programa, se cuenta el número de períodos de reloj en el que se realizan cada una de las instrucciones. La multiplicación se realiza en 12.728 períodos de reloj y realizando la división para 10.000 el proceso completo se realiza en 28.144 períodos de reloj aproximadamente, lo que equivale a un tiempo de 15,76 mseg.

División de números decimales.- Esta subrutina se la realiza para que sirva para números positivos y negativos.

En ella, el dividendo utiliza las mismas memorias que el multiplicando, el acumulador es el mismo y para el divisor se utilizan las siguientes memorias:

FD40 H: D4  
 FD41 H: D3  
 FD42 H: D2  
 FD43 H: D1      MSB

donde D1 D2 D3 D4 será el divisor. El algoritmo de división es el siguiente:

1. Los números a dividirse deben encontrarse en las memorias respectivas para la división. Si el número es negativo debe estar en complemento de 2.

2. Se chequea si el divisor es cero, si lo es, se da una indicación al respecto en el display.
3. Se chequea si los números a dividirse son negativos. Si lo son se los hace positivos y se guarda una indicación de los signos de los números, para que la respuesta de la división sea positiva o negativa según el caso.
4. El acumulador debe ser cero.
5. Las rotaciones son el número de bits de cada número más uno, es decir, el número de rotaciones será 33.
6. Se comparan el divisor con el acumulador. Si el divisor es mayor que el acumulador, se rota el dividendo hacia la izquierda poniendo un cero.
7. Si el divisor es menor o igual que el acumulador, entonces se resta el divisor al acumulador y se rota a la izquierda, pero poniendo un uno.
8. El resultado se encuentra en la memoria del dividendo.

Un ejemplo aclarará el algoritmo dado:

$$8 \div 4 = 2$$

divisor (DVS)	acumulador (AC)	dividendo (DVN)
0100	0000	1000

Los dos números son positivos y el divisor no es cero, por lo tanto es posible la división.

El número de rotaciones será cinco.

DVS > AC, se rota a la izquierda poniendo cero:

$$\begin{array}{r} 0001 \\ 0000 \end{array} \quad (1)$$

DVS > AC, se rota a la izquierda poniendo un cero

$$\begin{array}{r} 0010 \\ 0000 \end{array} \quad (2)$$

DVS > AC, se rota a la izquierda poniendo un cero.

$$\begin{array}{r} 0100 \\ 0000 \end{array} \quad (3)$$

DVS = AC, se resta del AC el DVS

$$\begin{array}{r} 0000 \\ 0000 \end{array}$$

se rota a la izquierda poniendo un uno

$$\begin{array}{r} 0000 \\ 0001 \end{array} \quad (4)$$

DVS > AC, se rota a la izquierda poniendo un cero

$$\begin{array}{r} 0000 \\ 0010 \end{array} \quad (5)$$

el número de rotaciones es cinco, el resultado será: 0010 que es 2.

En este caso, los números que se dividen, también están multiplicados por 10.000, y la respuesta se va a alterar pues se tiene:

$$ab, cde \times 10.000 \div hg, hijk \times 10.000$$

Es decir, el resultado se lo debe multiplicar por 10.000 para conservar la ponderación deseada; al dividendo se lo multiplicará por 10.000 antes de realizarse la división, lo que da:

$$ab, cde \times 10.000 \times 10.000 \div hg, hijk \times 10.000$$

y el resultado será equivalente a dividir los números dados. El programa de división se realiza en 15.471 períodos de reloj, y el total con el ajuste de los números en 28.144, que da un tiempo de 15,76 mseg.

#### 4.2.2 Programa del PID.

Para realizar los programas de cada uno de los controladores, es necesario expresarlos como ecuaciones de diferencias y para esto se utilizan las relaciones (3.2) y (3.3) dadas anteriormente.

Expresado como ecuaciones de diferencias el controlador P, de la ecuación (3.7) es:

$$m(kT) = K_p e(kT) \quad (4.1)$$

Para los controladores compuestos, es necesario tener en cuenta que están en paralelo.

Así el controlador P-I, expresado en la ecuación (3.13) es:

$$m(kT) = K_p e(kT) + m[(k-1)T] + \frac{K_I T}{2} \left\{ e(kT) + e[(k-1)T] \right\} \quad (4.2)$$

en este controlador es necesario observar que  $m[(k-1)T]$  se refiere exclusivamente a la respuesta del controlador P-I.

El controlador P-D; de la ecuación (3.18) es:

$$m(kT) = K_p e(kT) + \frac{K_D}{T} \left\{ e(kT) - e[(k-1)T] \right\} \quad (4.3)$$

y el controlador P-I-D, de la ecuación (3.20) tendrá la siguiente forma:

$$m(KT) = K_p e(KT) + \frac{K_D}{T} \left\{ e(KT) - e[(K-1)T] \right\} + m_I [(K-1)T] + \frac{K_I T}{2} \left\{ e(KT) + e[(K-1)T] \right\} \quad (4.4)$$

Para el controlador PID se realiza un solo programa, y luego se realiza una división del programa para cada tipo de controlador. Para esto, se utilizan banderas que indican el tipo de controlador.

Las direcciones de memoria utilizadas y su función son las siguientes:

- FD53H a FD57H : constante  $K_p$ .
- FD54H a FD57H : constante  $K_I$ .
- FD58H a FD5BH : constante  $K_D$ .
- FD5CH a FD5FH : período de muestreo.
- FD7CH a FD7FH : constante  $AUXD = K_I/T$ .
- FD80H a FD83H : constante  $AUXI = K_I T/2$ .
- FD84H a FD87H : valor de salida del controlador proporcional.
- FD88H a FD8BH : valor de salida del controlador derivativo.
- FD8CH a FD8FH : valor de salida del controlador integral.
- FD70H a FD73H : valor del error.
- FD60H a FD63H : valor del error del período anterior.
- FD64H a FD67H : valor de la salida del controlador integral del período anterior.
- FD90H a FD93H : valor total del controlador.

‡

Cabe indicar además lo siguiente:

- Es necesario inicializar  $U_I[(K-1)T]$  y  $e[(K-1)T]$  con cero.
- Las constantes  $AUXD$  y  $AUXI$  son calculadas previamente para disminuir el período de ejecución del lazo.
- Las constantes propias de cada controlador entran por teclado del MPF-IP.

#### 4.2.3 Programa Principal

El programa principal se divide en tres partes:

- Inicialización
- Programa principal
- Entrada y salida de datos.

La inicialización como primer paso pone en la salida OUT cero voltios. Luego realiza las preguntas pertinentes a la entrada de datos para la ejecución del programa.

Las preguntas que se realizan son las siguientes:

1. Qué desea controlar? La bandera utilizada es la memoria FD68H y se hace 00 para posición y FF para velocidad.
2. Valor de referencia: En este caso no hay banderas; el valor de referencia es transformado a voltios y dividido para cuatro (debido a que la entrada del motomatic al circuito se la divide para cuatro, es necesario mantener esta relación para la comparación). El valor de referencia es almacenado en las localidades de la FD6CH a la FD6FH.

También, se realiza un control del valor de referencia limitándo se solamente al rango que se puede controlar en este circuito, es decir hasta 1.200 RPM y 320°.

3. Desea controlar? Esta pregunta se la realiza para saber si se desea implementar algún tipo de controlador o simplemente se realiz



za una realimentación unitaria. La respuesta se almacena en la localidad de memoria utilizada para el tipo de controlador y para este caso su valor es EE.

4. Tipo de controlador? Se utiliza la memoria FD69H para indicar con 00 el PID; FF el P; FE el PD; y, FD para el PI. En esta parte también se ha incorporado al programa una leyenda en caso de no ser el controlador adecuado para este tipo de sistema; sin embargo, permite la posibilidad de que se realice el programa con cualquier tipo de controlador.
5. Entrada de parámetros.- De acuerdo al tipo de controlador que se va a implementar, se piden los datos respectivos. Los parámetros que no pertenecen al controlador se ponen en cero. Las localidades de memoria utilizadas para esto, se dieron a conocer en el numeral anterior.

Después del ingreso de todos los datos, se comienza el programa principal que como primer paso, llama a la subrutina TIME, cuya función se explicó anteriormente y calcula las constantes AUXD o AUXI según el caso. También se ponen en cero los valores de salida de los controladores que no se utilizan.

Luego se realiza la salida del primer valor que es igual al valor de referencia, y se llama a una subrutina de entrada y salida de datos de acuerdo al caso, según el control sea de posición o velocidad. Se encuentra el valor del error y con este valor se llama a la subrutina PID y se regresa nuevamente a la salida de

datos para cerrar el lazo de realimentación. Se puede salir de este lazo presionando una de las teclas reconocidas por la subrutina de retardo.

Respecto a la entrada y salida de datos del programa principal, las subrutinas para posición y velocidad son diferentes.

Para la salida de datos se tiene una resolución de 0,00978 Volt/bit, es decir 102,2 bit/Volt; por lo tanto para que el número en voltios se transforme a su valor análogo correspondiente es necesario multiplicar por 102 sin ponderación. (es decir sin multiplicar 102 por 10.000).

Respecto a la resolución del conversor A/D, es de 0,0196 Volt/bit es decir 51 bit/Volt, en este caso el número que se lee del conversor es necesario dividirlo para 51 para tener el valor en voltios, el que será reconocido por el programa como el valor de realimentación. En el numeral 4.1 se explica como se realiza la conversión de los datos y la entrada y salida de los mismos.

En velocidad se tiene la posibilidad de sacar datos positivos y negativos, pero solo lee datos positivos ya que solo se controla el giro del motor en un sentido.

Para posición se tiene la posibilidad de entrada y salida de datos positivos y negativos; por esto, se realiza dos lecturas una para datos positivos y otra para datos negativos, se entiende como entrada 0V, únicamente cuando en las dos entradas se marca 0.

El listado de los programas de manera detallada se lo presenta en el apéndice D; no se presentan diagramas de flujo por cuanto se considera que los algoritmos y la explicación es lo suficientemente clara para el entendimiento de la realización de los programas.

#### 4.3. PRUEBAS SOBRE EL PROTOTIPO

En este numeral se dan a conocer las pruebas realizadas al prototipo.

Cabe anotar que estas son las que se ha creído conveniente poder observar el funcionamiento del sistema.

Se las divide en pruebas de posición y velocidad para comparar los resultados por separado.

##### Control de velocidad

Todas las pruebas para velocidad se las realiza a 400 RPM; es decir, se obtiene la respuesta del sistema digital a una señal escalón de entrada de 6.16 Voltios. El sistema siempre está en lazo cerrado y se varían las condiciones del controlador en cascada para observar su comportamiento.

Primero se realiza el gráfico de la respuesta del sistema cuando no existe ningún tipo de acción de control.

Por análisis similar al realizado para el controlador P - I, se en

cuentra que para que el controlador P sea estable y no tenga sobretiro se debe tener:

$$K_p < 0.6444$$

Un gráfico de la respuesta del sistema con un controlador tipo P con  $K_p = 0.4$  se lo muestra en la figura 4.8., de la cual se puede observar que el sistema es inestable; por lo tanto se realiza una nueva prueba al circuito con un  $K_p = 0.3$ , la cual se muestra en la figura 4.9. En esta se puede observar que el sistema tiende a estabilizarse, pero en un tiempo bastante grande (3.5 seg).

Se hace  $K_p = 0.2$  para observar si el sistema mejora las características. Esto se muestra en la figura 4.10.

Es necesario notar que si bien para  $K_p = 0.2$  el sistema presenta buenas características de funcionamiento, el error de estado estable es muy grande (aproximadamente 41%).

Con estos gráficos se puede concluir el comportamiento del circuito al variar  $K_p$ . La interpretación de estas pruebas se las da en el numeral 5.1.

También se puede analizar el comportamiento del circuito al variar el período de muestreo. La mejor respuesta con control tipo P se la obtiene con  $K_p = 0.2$ ; para este caso se le da un  $T = 0.066$  seg. y su respuesta se la obtiene en la figura 4.11.

Del análisis teórico realizado en el numeral 3.2., se concluyó que el controlador más adecuado para este sistema, es el P - I.

Recomendando los parámetros con las relaciones (3.47) y (3.51) que son:

$$K_I = 3.442 K_p$$

$$K_p \leq 0.471$$

Además se concluyó que el sobretiro depende de  $K_p$ , por esto tomamos  $K_p = 0.2$  y  $K_I = 0.6884$  para tener la respuesta al controlador tipo P - I; la cual se la da en la figura 4.12.

Para observar la respuesta del sistema al variar el período de muestreo, se toman estos mismos valores del controlador P - I y se grafica la respuesta para  $T = 0,08$  seg en la figura 4.13 y para  $T = 0.09$  seg en la figura 4.14.

La salida del circuito de interface presenta una oscilación constante de 0.04 Volts, lo que nos da una variación de 2.6 RPM.

### Control de posición

Para poder comparar y analizar los resultados, es necesario tener siempre la misma variación en grados y comenzar desde el mismo punto inicial. Se ha considerado como punto inicial los  $160^\circ$  (0 Volts) y como punto final los  $240^\circ$  (9.44 Volts).

no se tiene ningún tipo de controlador y las reducciones de  $K$  están en uno, éste es inestable, como se observa en la figura 4.15. que es la respuesta teórica para este caso.

En este caso se puede bajar la ganancia del lazo principal con las reducciones propias del Motomatic. A esta ganancia se la llamará  $K_{min}$ .

La figura 4.15. muestra la respuesta del sistema sin controlador para la máxima reducción posible usando dos reductores que es  $K = 0.0123$  y para este caso se observa que el sistema es estable.

Al igual que para velocidad se observa el comportamiento del sistema al variar  $K_p$  y  $T$ . Esto se muestra en la figura 4.17. con  $K_p = 0.15$  y un solo reductor de velocidad ( $K = 0.1111$ ).

La figura 4.16. muestra la respuesta del sistema para un  $K_p = 0.15$  y dos reductores en su máxima posición ( $K = 0.0123$ ), en este caso se observa que la señal no llega al valor final debido a la constante ganancia muy baja.

El mejor caso para controlador P es el mostrado en la figura 4.17. ; sin embargo, siempre se observa que el sobretiro es considerable. Para solucionar esto, el análisis teórico recomienda el uso de un controlador P - D, con:

$$K_p \leq 0.015$$

$$K_D = 0.2582 K_p$$

Para poder comparar si el sobretiro disminuye, se presenta la figura 4.18., la cual contiene la respuesta del sistema a un controlador Proporcional con  $K_p = 0.15$  con un solo reductor  $K = 0.111$  y con un  $T = 0.066$  seg.

En realidad, la constante  $K_p$  debería ser menor que 0,015, por esto se utiliza el reductor con  $K = 0.111$  y  $K_p = 0.15$  lo que da una constante  $K_p$  efectiva de 0.01665, que es la que va a actuar sobre el circuito.

La figura 4.19. muestra la respuesta del sistema a un controlador tipo P - D con  $K_p = 0.15$ ,  $K = 0.1111$ ,  $K_D = 0.039$  y  $T = 0.066$  seg.

También se obtiene en la figura 4.20. la respuesta del sistema a un controlador tipo P - D con los mismos parámetros, pero para un  $T = 0.08$  seg.

Como antes se indicó, la interpretación de estos resultados se da en el Capítulo V.

Fig. 4.7. Respuesta del Sistema Digital a una función escalón, sin acción de control. ( $K_p=1$  y  $T=0,034$  seg)

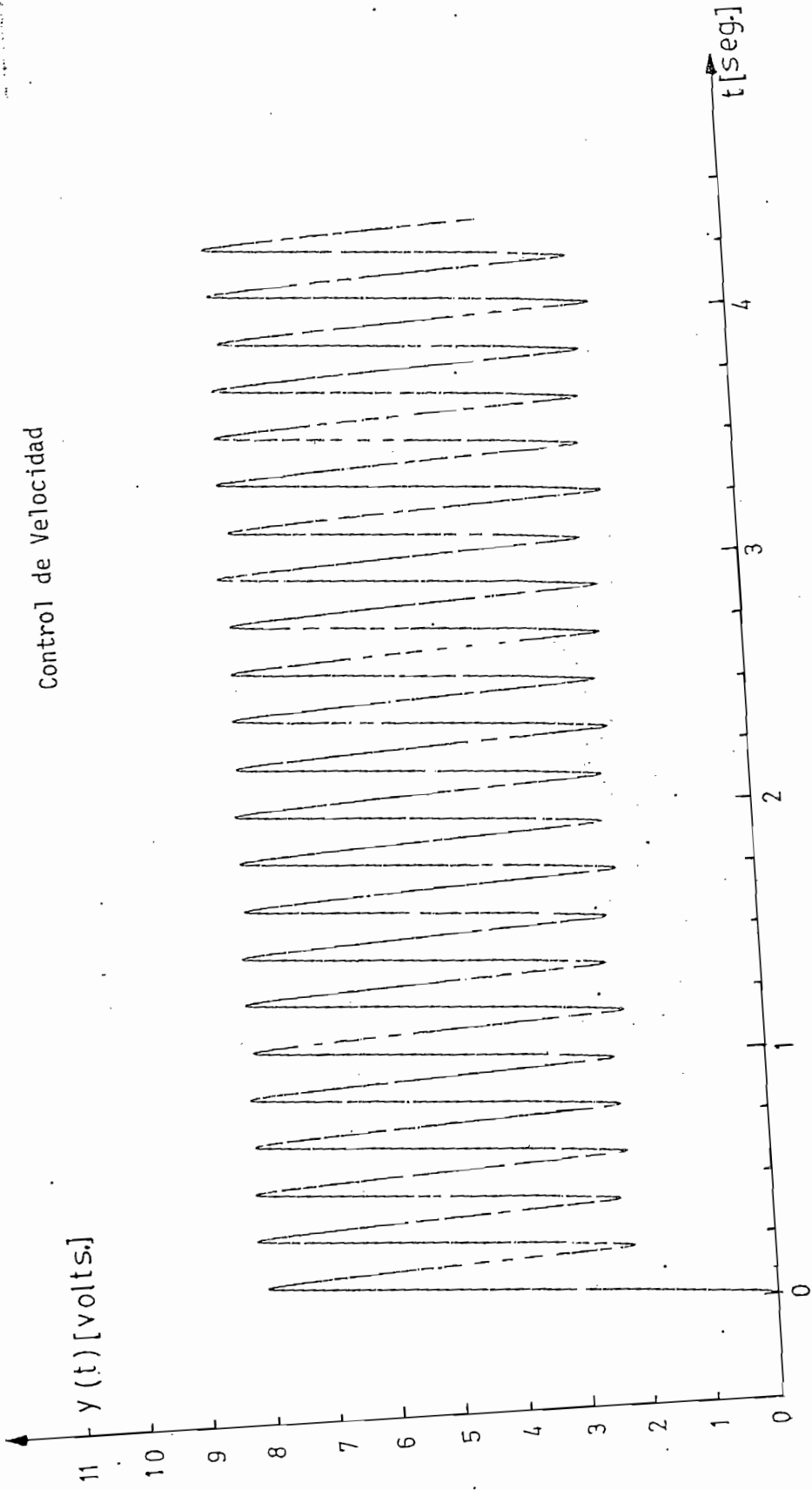




Fig. 4.8. Respuesta del Sistema Digital a una función escalón, con controlador tipo P ( $k_p=0,4$  y  $T=0,05$  seg)

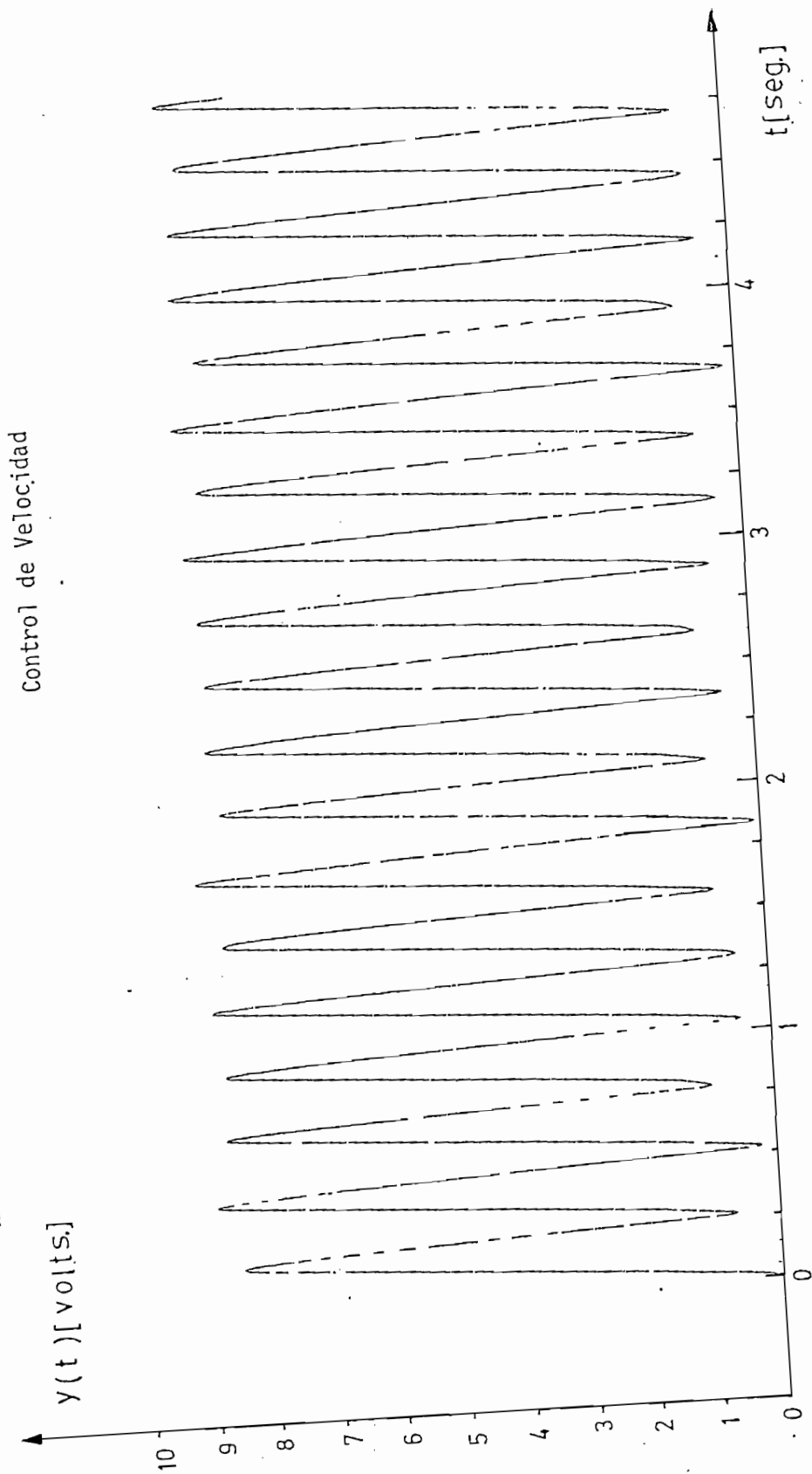
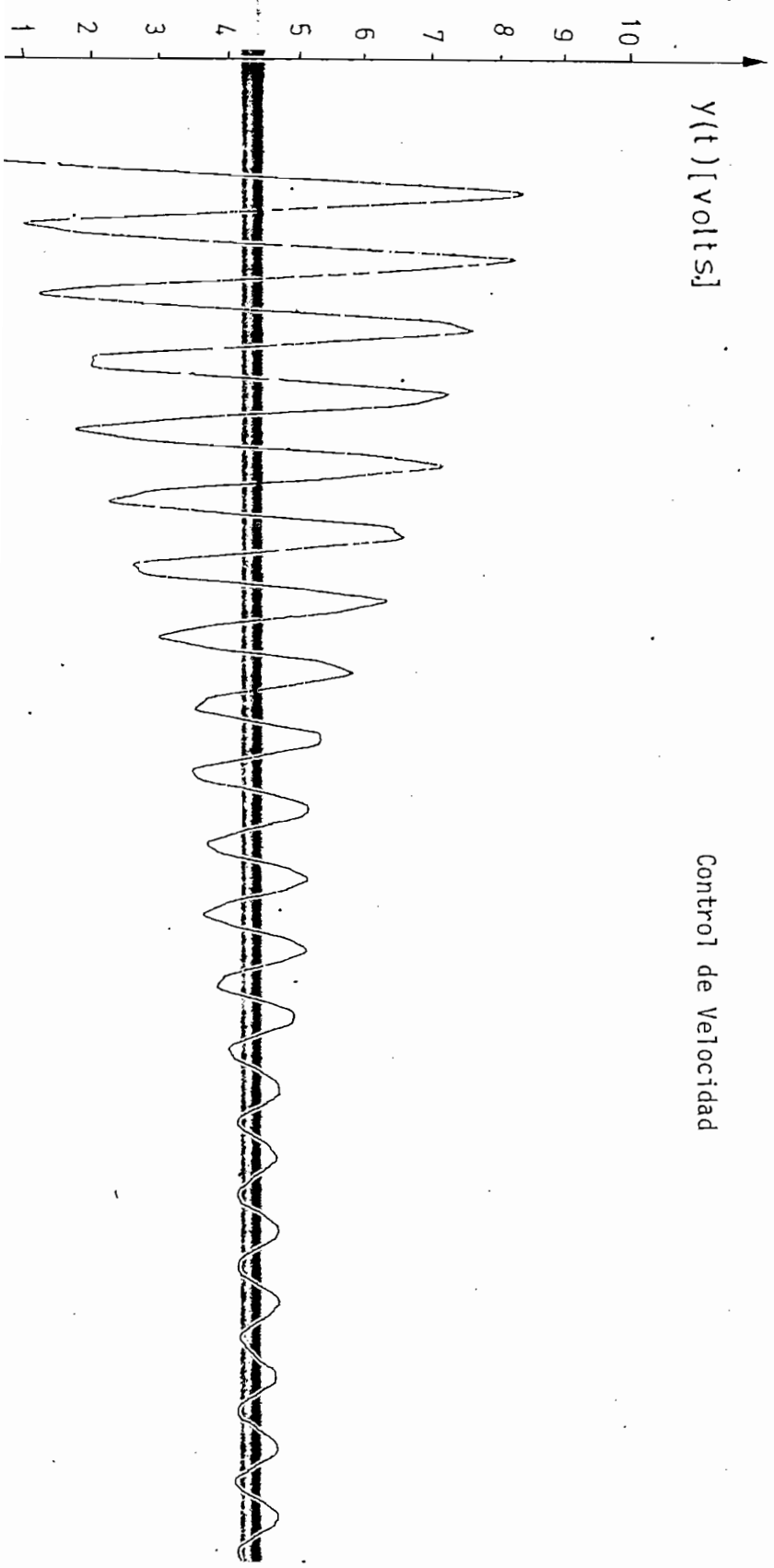


Fig. 4.9. Respuesta del Sistema Digital a una función escalón, con controlador tipo P ( $K_p=0,3$  y  $T=0,05$  seg)



$y(t)$  [volts.]

Control de Velocidad

Fig. 4.10. Respuesta del Sistema Digital a una función escalón, con controlador tipo P ( $k_p=0,2$  y  $T=0,05$  seg)

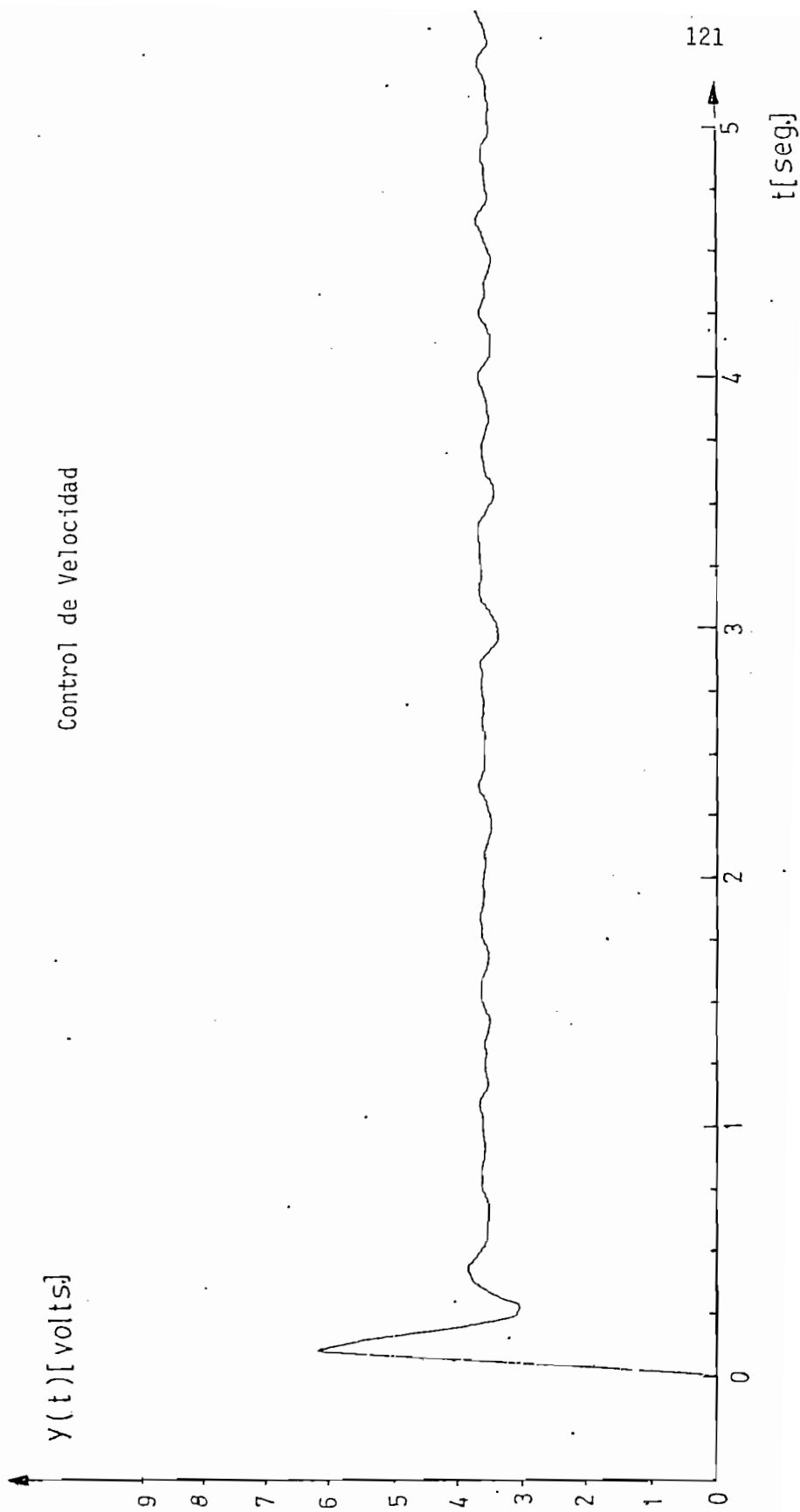


Fig. 4.11. Respuesta del Sistema Digital a una función escalón, con controlador tipo P ( $K_p=0,2$  y  $T=0,066$  seg)

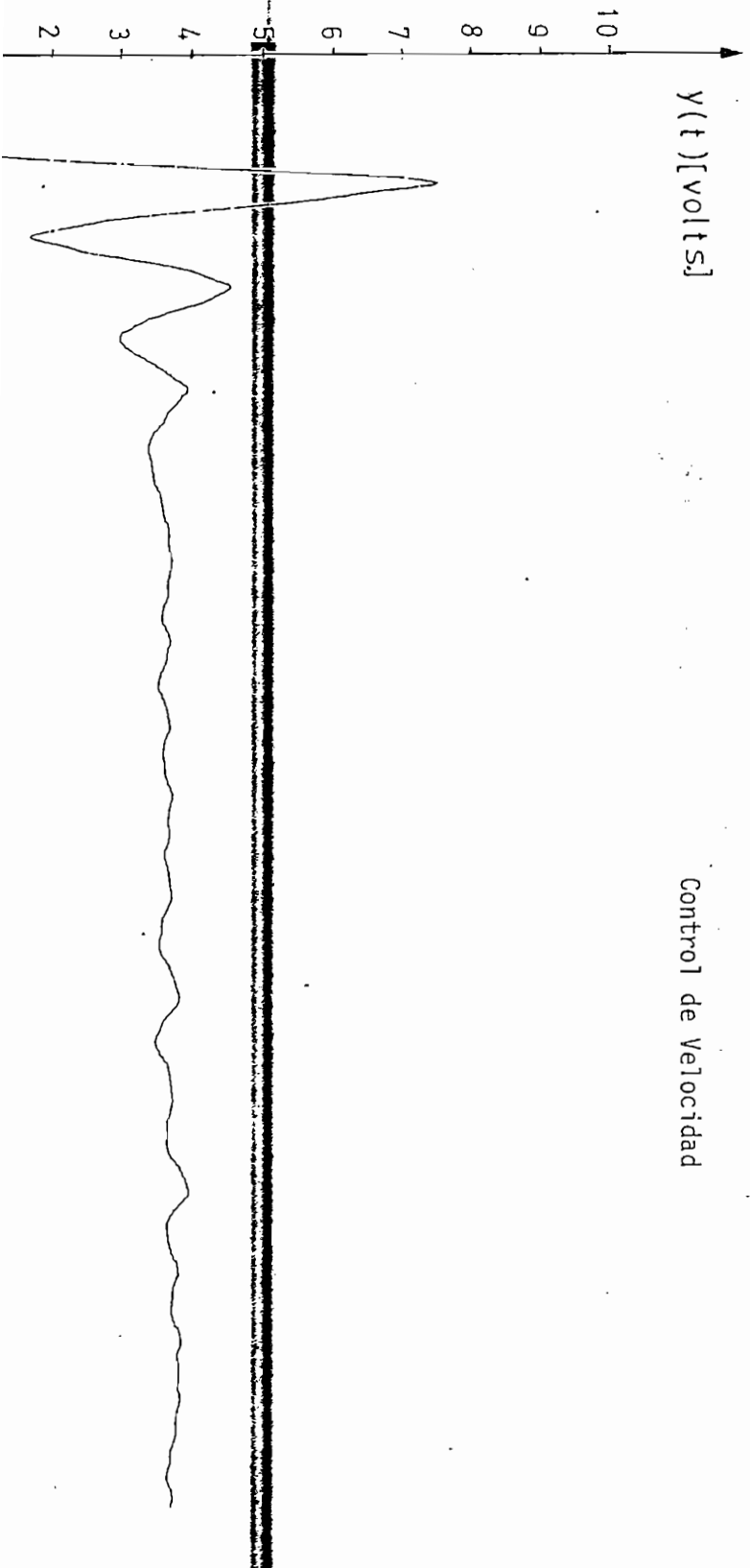
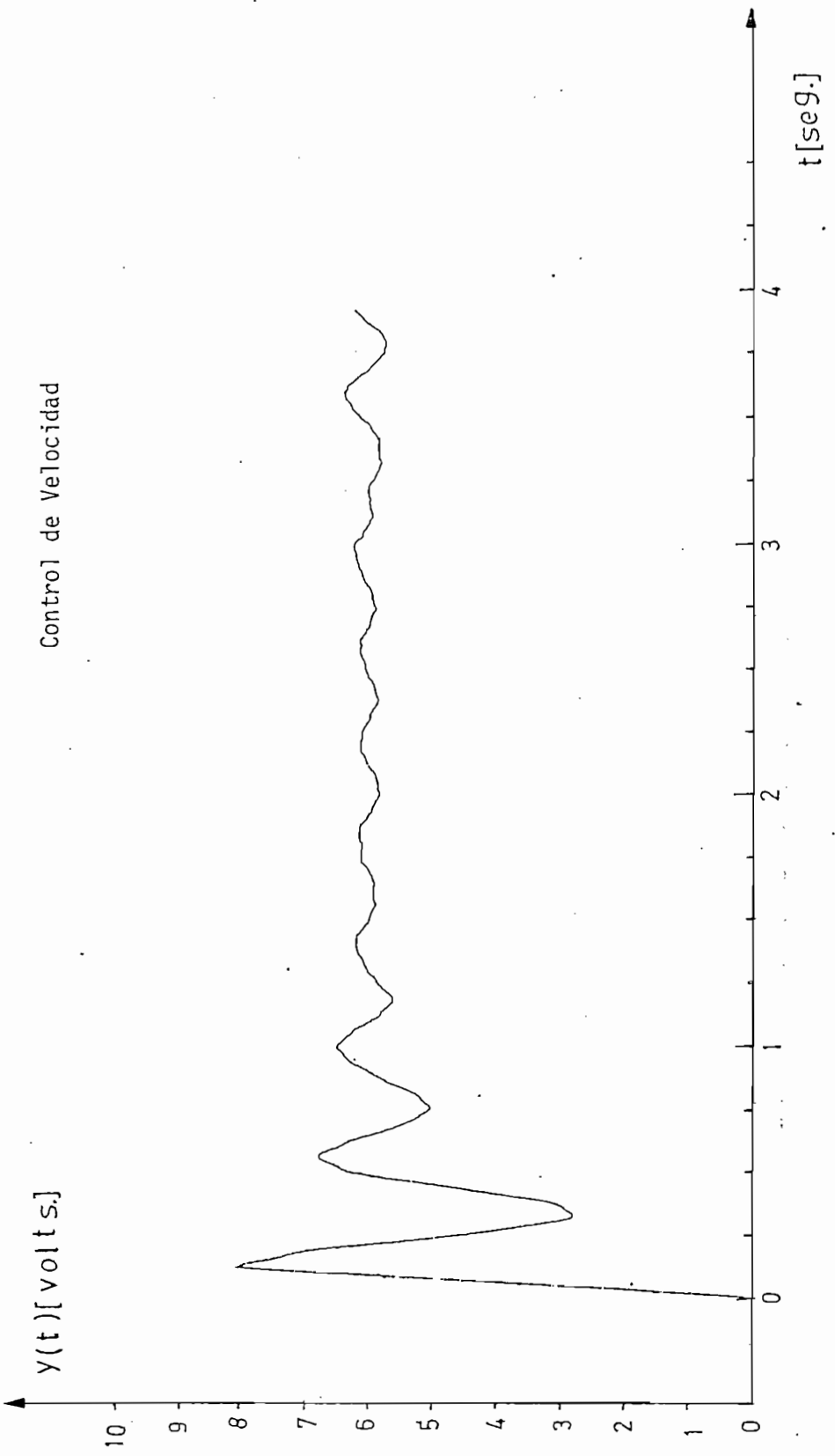
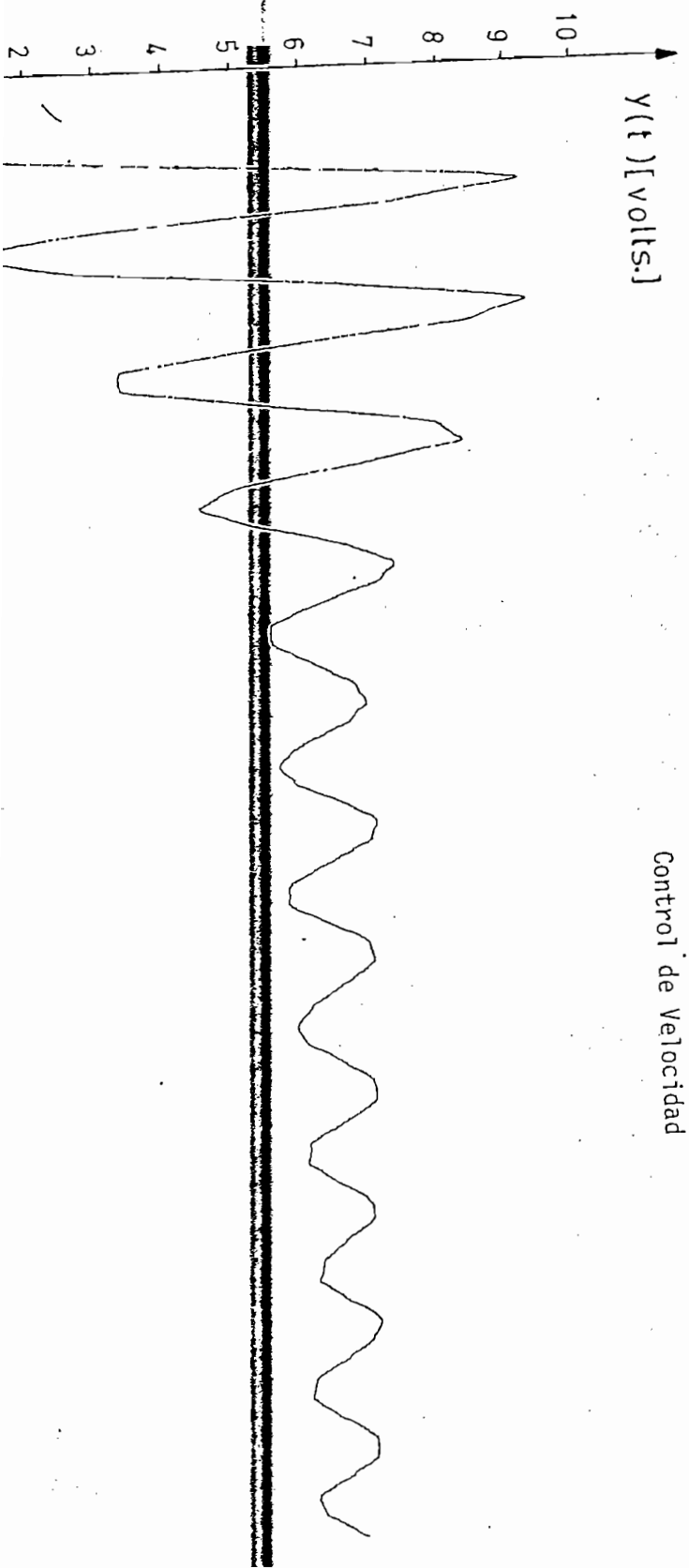


Fig. 4.12. Respuesta del Sistema Digital a una función escalón, con controlador tipo P-I ( $K_p=0,2$ ;  $K_i=0.6884$  y  $T=0,066$  seg).

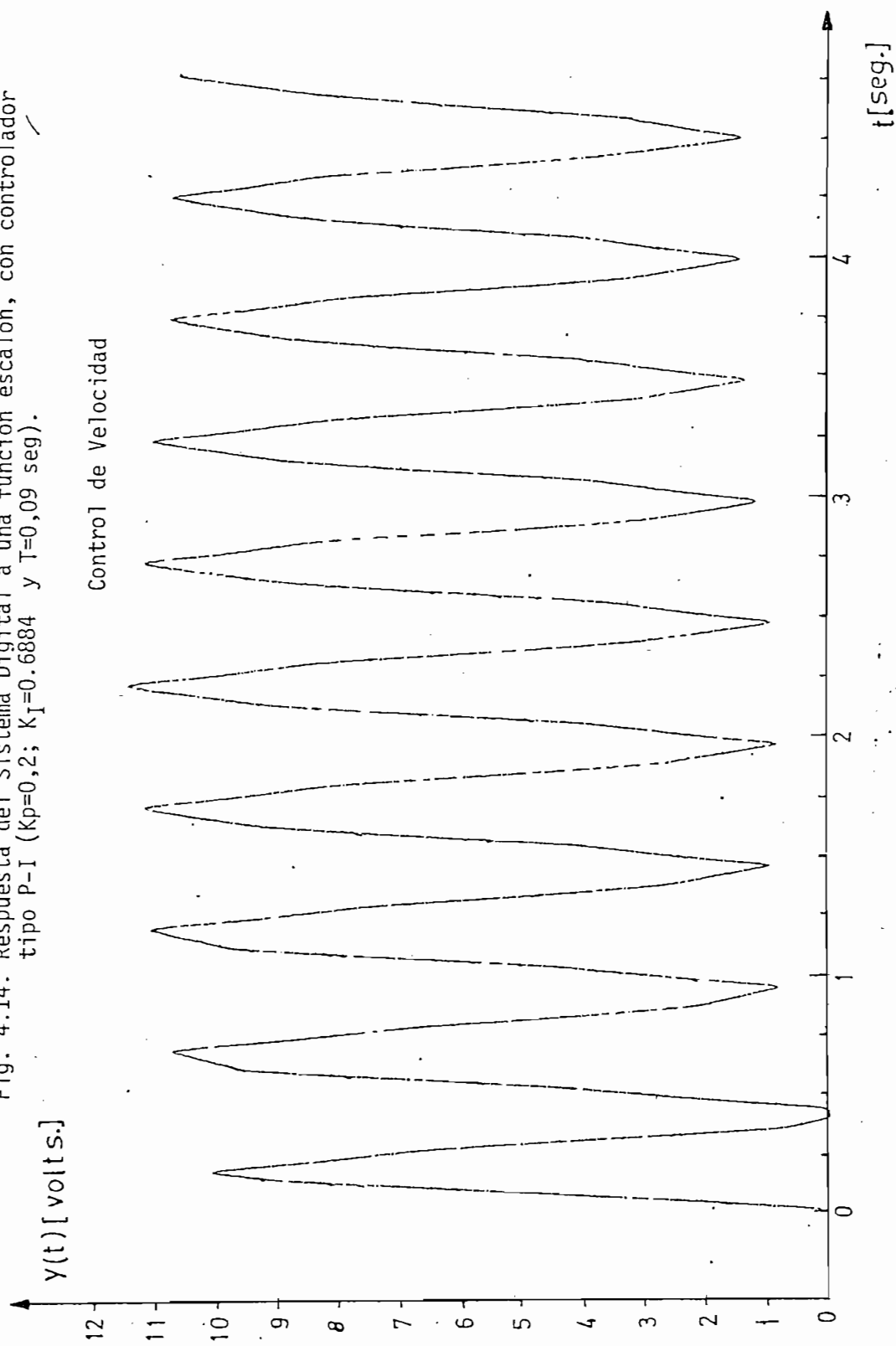




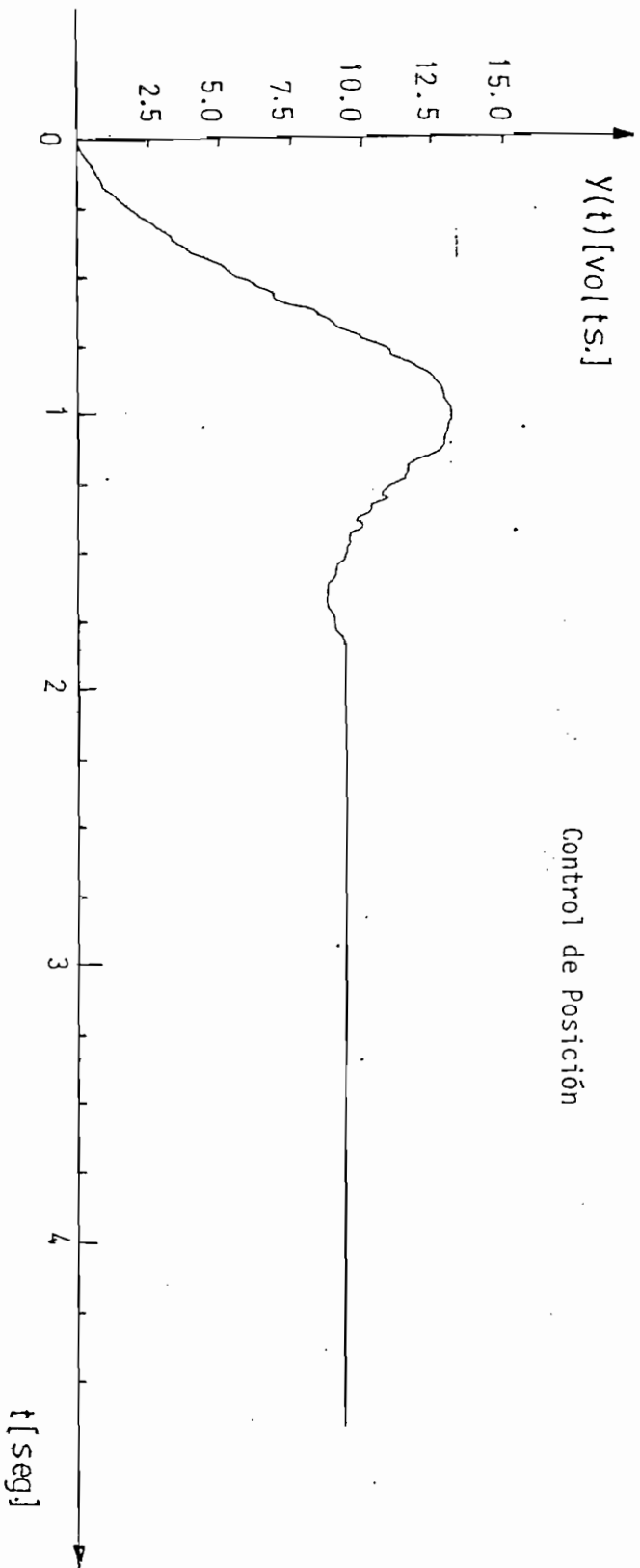
Control de Velocidad

Fig. 4.13. Respuesta del Sistema Digital a una función escalón, con controlador tipo P-I ( $K_p=0,2$ ;  $K_I=0,6884$  y  $T=0,08$  seg).

Fig. 4.14. Respuesta del Sistema Digital a una función escalón, con controlador tipo P-I ( $K_p=0,2$ ;  $K_I=0,6884$  y  $T=0,09$  seg).



Control de Posición





Control de Posición

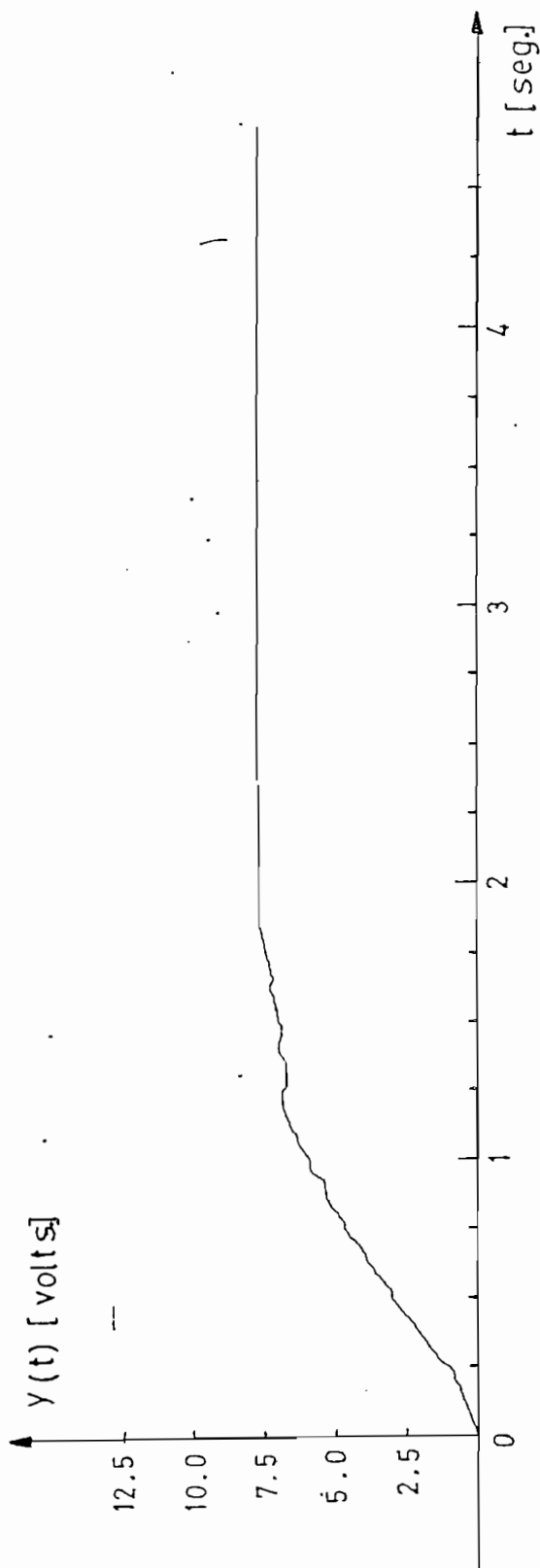


Fig. 4.16. Respuesta del sistema digital, a una función escalón con controlador P.  
( $K=0,0123$ ;  $K_p=0,15$  y  $T=0,05$  seg).

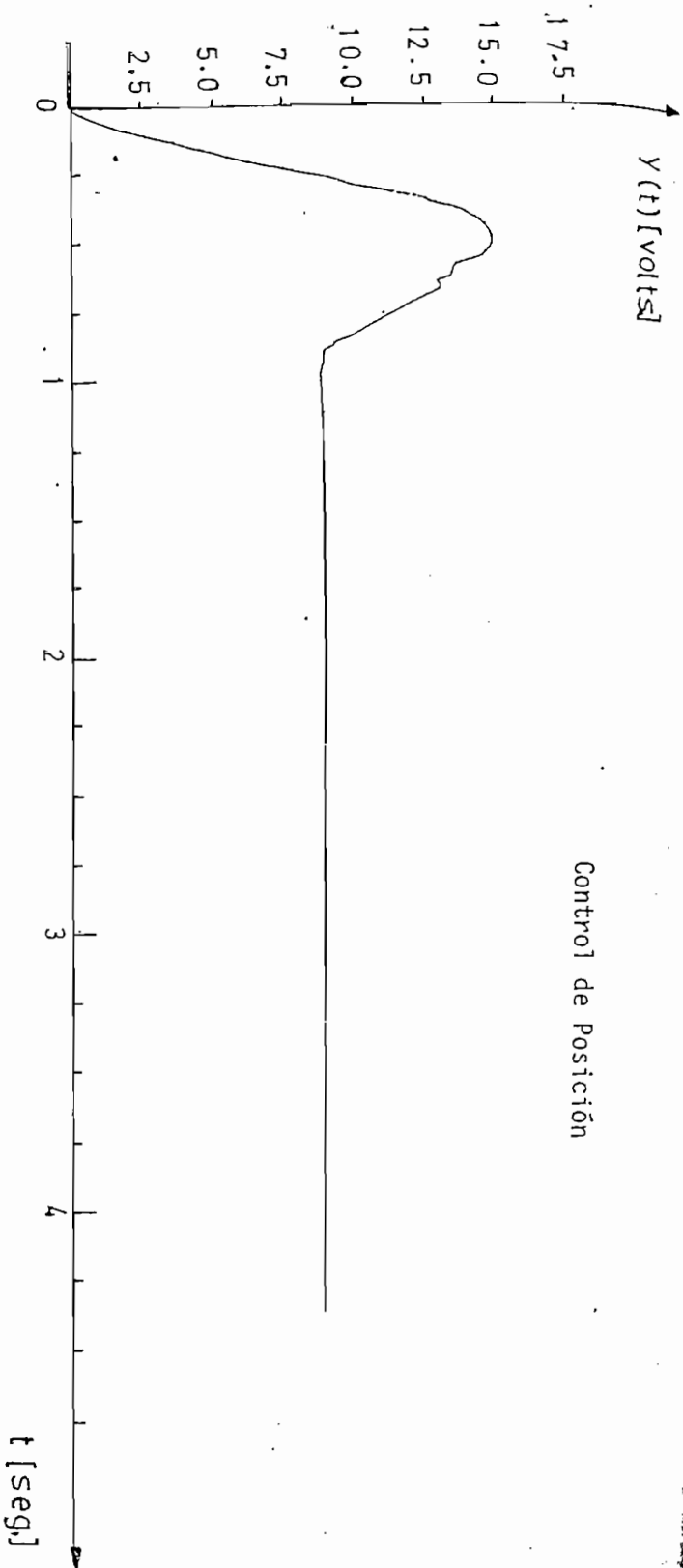
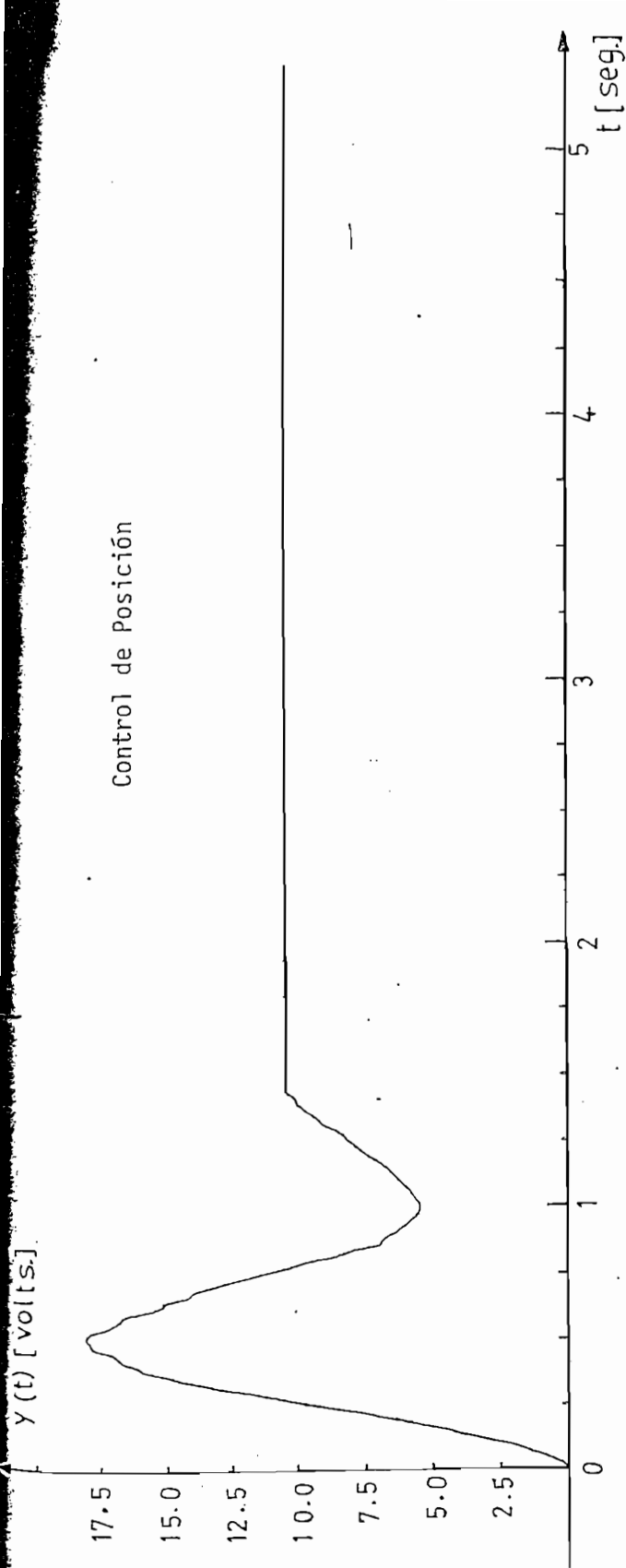
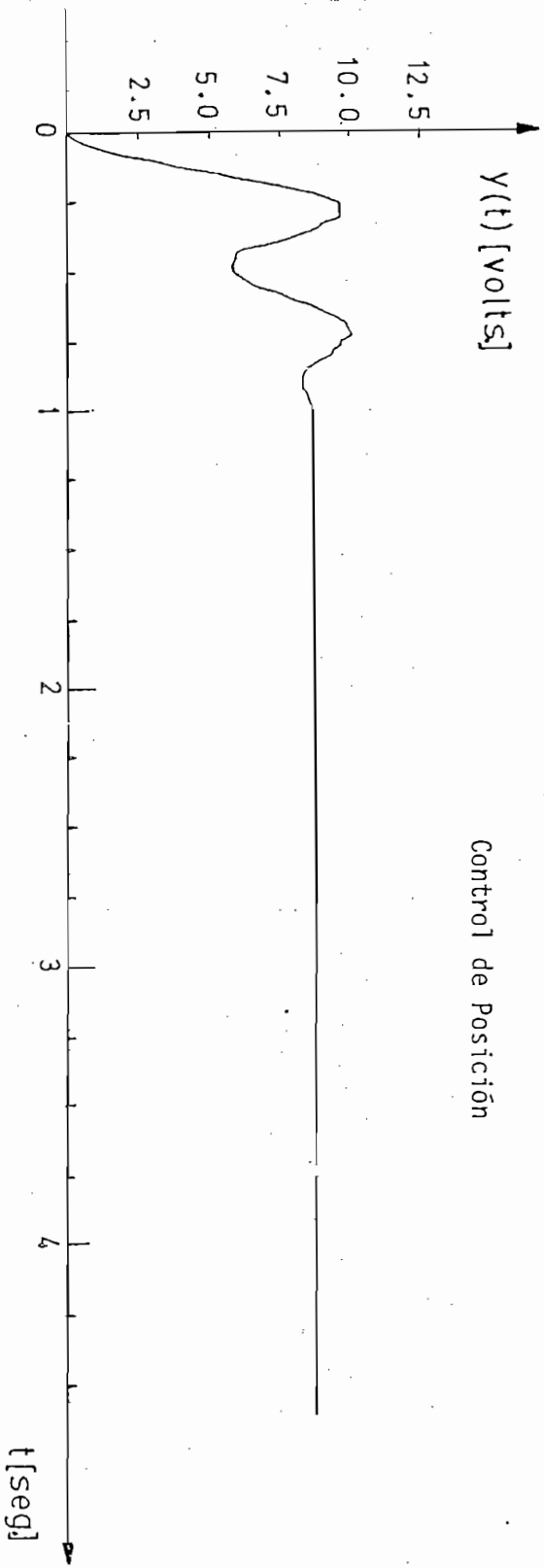


Fig. 4.17. Respuesta del sistema digital, a una función escalón con controlador P ( $K=0,1111$ ;  $K_p=0,15$  y  $T=0,05$  seg.)



Control de Posición

Fig. 4.18. Respuesta del sistema digital a una función escalón con controlador  $P(K=0,1111; k_p=0,15 \text{ y } T=0,066 \text{ seg})$ .



Control de Posición

Fig. 4.19. Respuesta del sistema digital a una función escalón con controlador P-D  
( $K=0,1111$ ;  $k_p=0,15$ ;  $K_D=0,039$  y  $T=0,066$  seg)

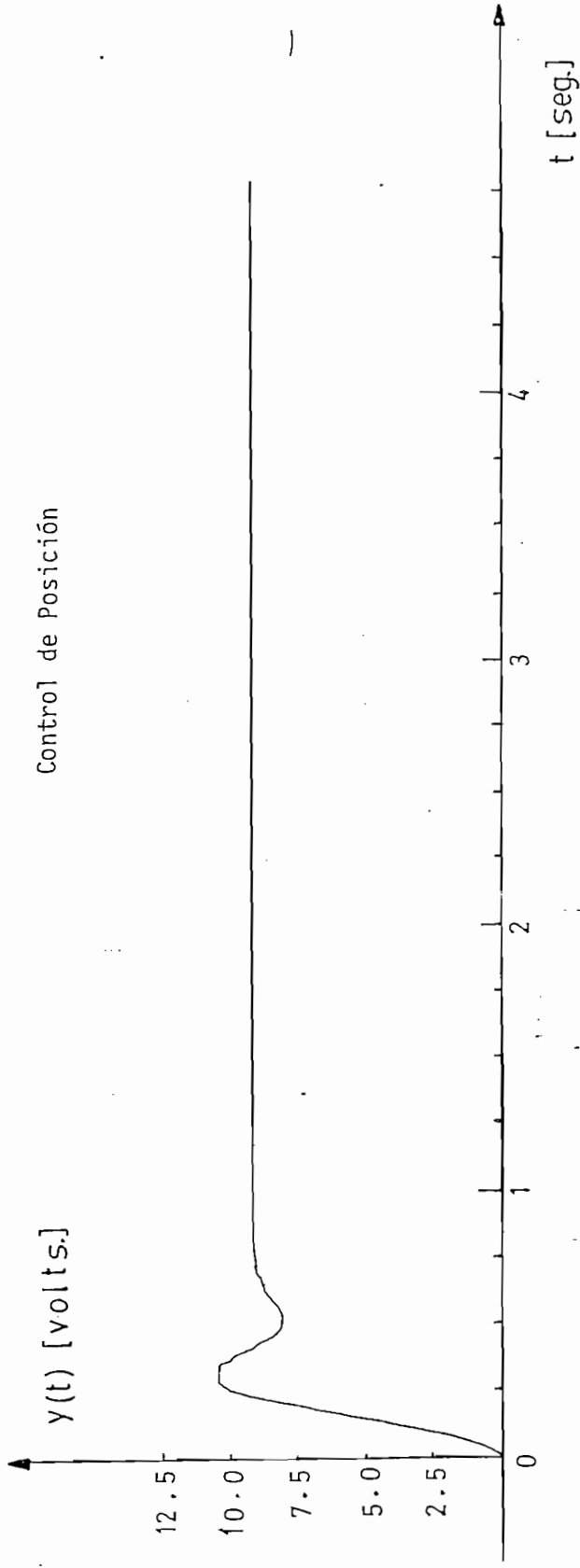


Fig. 4.20. Respuesta del sistema digital a una función escalón con controlador P-D  
( $K=0,1111$ ;  $K_p=0,15$ ;  $K_D=0,039$  y  $T=0,08$  seg)

## Capítulo V : CONCLUSIONES

- 5.1. Efectos de la compensación sobre la velocidad.
- 5.2. Efectos de la compensación sobre la posición.
- 5.3. Problemas encontrados al realizar los programas y la implementación.
- 5.4. Valores óptimos encontrados para realizar una mejor compensación..
- 5.5. Recomendaciones.

En este capítulo se dan las experiencias y los resultados obtenidos en el desarrollo de esta tesis, para lo cual se divide en cinco numerales que abarcan las conclusiones de la misma, en forma ordenada.

### 5.1. EFECTOS DE LA COMPENSACION SOBRE LA VELOCIDAD

Antes de realizar el análisis de los resultados obtenidos, es necesario recordar que la función de transferencia de la planta, dada en la ecuación (2.11) es aproximada a la real por el criterio de los polos dominantes y al discretizar el sistema total se tiene una nueva aproximación de la planta y de todo el sistema.

Además, el análisis teórico para el L. G. R. se lo hace para una señal escalón de la misma amplitud que la señal de referencia en el sistema práctico; es decir a 400 RPM que equivalen a 6.16 Volts.

Con estas consideraciones se analizan las respuestas del sistema de velocidad para diferentes casos.

El programa utilizado no permite la presentación de gráficos teóricos de la respuesta del sistema, pero si se tienen los valores teóricos de  $K_p$  y  $K_I$  para que el sistema sea estable y no tenga sobretiro.

Cuando el sistema funciona sin controlador, se espera que este sea estable, pero en la práctica esto no se cumple. Al encontrar la respuesta del sistema con un controlador proporcional en cascada, se hace estable con un valor aproximado igual a un medio del valor es

perado. Esto se debe a que el sistema práctico no es exactamente igual a su forma teórica, debido a las aproximaciones realizadas al encontrar el modelo discreto del sistema.

En este caso es necesario que la forma de la planta sea la más exacta posible pues se tiene una respuesta del motor bastante comparable al período del sistema (El motor tiene un tiempo de estabilización de 0.07 seg y se tienen períodos de muestreo de  $T=0.034$  seg y  $T = 0.05$  seg).

Sin embargo, se observa claramente que el sobretiro depende de  $K_p$ , pues un menor sobretiro se encuentra con el  $K_p$  más bajo.

También se observa que para un mayor período de muestreo y con un  $K_p$  igual en los dos casos el sistema tiende a la inestabilidad; en este caso no es posible disminuir el tiempo de muestreo mínimo, ya que depende exclusivamente del reloj del MPF - IP.

En cuanto al error de estado estable, éste es mayor cuando  $K_p$  disminuye, esto es lógico puesto que la acción de control proporcional mantiene el error de estado estable y en este caso la salida está multiplicada por  $K_p$ .

Para eliminar el error de estado estable, se lo hace con el controlador P - I. En estos casos el valor pico (sobretiro) es el mismo que cuando se tiene el mismo  $K_p$  con un período igual al utilizado al realizarse en el controlador P - I ( $T = 0.066$  seg); con lo que se ratifica lo anteriormente expuesto, que el sobretiro depende de  $K_p$ .



Las comparaciones se las hace siempre al mismo período de muestreo, pues la estabilidad depende de éste también.

Al observar y comparar las figuras 4.10. con 4.11. y 4.12. con 4.13 y 4.14.; en las cuales se tiene los mismos parámetros de  $K_p$  y  $K_I$ , pero un período de muestreo diferente, se deduce que el sobretiro y el tiempo de estabilización también dependen del período de muestreo, llegándose al extremo de que se hace inestable el sistema para un  $T = 0.09$  seg.

Quando se hizo el análisis teórico del controlador P - I, se tomó como condición que el polo de la planta, se anule con el cero del controlador; esta condición bien puede no darse en la realidad y se tendrá un polo y un cero muy cercanos. Este caso se analiza teóricamente en las figuras 5.1., 5.2., 5.3., 5.4. y 5.5.; y se observa que el comportamiento del sistema no varía mucho de la condición cuando se anula el polo y el cero. Entonces el parámetro crítico que debe conocerse con exactitud es el tiempo de subida del motor, para realizar un control que tenga más analogía entre el análisis teórico y práctico.

## 5.2. EFECTOS DE COMPENSACION SOBRE LA POSICION

Para posición se realiza el análisis para una respuesta escalón desde 0 Volts ( $160^\circ$ ) a 9.44 Volts ( $240^\circ$ ).

En la práctica, el sistema para posición es inestable, cuando no se tiene la compensación en cascada; así para  $K = 1$  y  $K = 0.1111$  el sistema es también inestable, lo cual afianza los resultados teóri

cos para estos valores, dados en las figuras 3.7. y 3.9. en los cuales se observa también que el sistema es inestable para estos valores de ganancia.

Para posición, el sistema es mucho más lento que en velocidad, y por eso en este caso las curvas teóricas son bastante parecidas a las prácticas, aunque en las prácticas existe un sobretiro más grande.

En posición, cuando se tiene una constante  $K_p$  muy pequeña el sistema no controla como se puede observar en la figura 4.16. que corresponde a un  $K_p = 0.0018$ , en la cual el sistema no llega a su valor final y no controla la posición, pues gira libremente. Esto se debe a que una constante muy baja, aumenta la zona muerta a la salida del control de posición, debido a que el error se multiplica por ésta y si es muy pequeña aunque el error sea muy grande la salida se va a mantener en cero. Por ejemplo, para  $K_p = 0.0018$ , el máximo error que se puede tener será 40 Volts, el cual dará una salida de voltaje a la planta de 0.072 Volts, por lo tanto no existe control.

Para  $K_p = 0.0165$  la zona muerta alrededor del valor de referencia será de  $\pm 6^\circ$ .

En la figura 4.19. se muestra la respuesta del sistema con un controlador P - D; en ella se puede observar claramente que el sobretiro disminuye notablemente para la misma señal de entrada.

En el control de posición, al igual que en el de velocidad el sobretiro depende, a más del  $K_p$ , del período de muestreo del sistema, es to se observa al comparar las figuras 4.17. con 4.18.; y 4.19. con 4.20. en los cuales se observa que para los mismos parámetros del controlador, el sobretiro aumenta, al tener un período de muestreo más grande.

En el control de posición, existe una limitación dada por el progra ma del controlador y a los rangos de salida, pues la salida no puede exceder de 5 Volts (20 Volts al motor) y por esto, si se pone una variación mayor a  $80^\circ$  al partir de un valor inicial diferente a  $160^\circ$  (0 Volts), el sistema no responde.

### 5.3. PROBLEMAS ENCONTRADOS AL REALIZAR LOS PROGRAMAS Y LA IMPLEMENTACION

Entre los problemas encontrados en la implementación de la parte análoga, es decir del circuito de interfaz, se pueden mencionar los siguientes:

- Como ya se recalcó en el numeral anterior, una de las principales limitaciones constituye los rangos de voltaje que pueden entrar y salir del circuito a través de los conversores. Se pueden aumentar los rangos de voltaje bajando la ganancia del divisor de vol taje a la entrada, pero esto disminuiría la exactitud del sistema.
- El Motomatic MCSL - 100, cuando se controla como sistema continuo, ya presenta un rizado grande a su salida, dependiendo de la gan gan

que tenga el amplificador operacional utilizando como sumador, este mismo efecto se observa al controlar digitalmente el automático y darle una ganancia de 4 a este amplificador.

El reloj del MPF - IP, es otra de las grandes y más serias limitaciones de esta tesis, ya que no se lo puede mejorar y por lo tanto no se puede disminuir el período de muestreo, que influye directamente en la respuesta del sistema.

Para tener una comparación del sobretiro se lo ha tomado a este considerando desde cero, hasta su máximo valor. No se da su valor en porcentaje debido a que en el control proporcional, el error de estado estable aumenta al disminuir  $K_p$  y el valor referencial para tomar el porcentaje sería variable. Por esto cuando se hable de sobretiro se considera su valor máximo tomándolo desde el nivel de referencia.

En cuanto a la implementación de los programas, se encontraron los siguientes problemas:

Debido a que el período de muestreo es crítico, para minimizarlo es necesario optimizar los programas para que el período de muestreo sea lo menor posible.

Además para este tipo de control es necesario mantener el período de muestreo lo más constante posible. Para dar el tiempo de muestreo mínimo se realiza una aproximación de cada una de las subrutinas, pues no siempre se tiene el mismo período de muestreo

Se ha tratado de minimizar para que la variación entre uno y otro período no sea muy grande.

- En el controlador digital se pueden introducir constantes muy bajas, lo cual en la contraparte análoga no es posible debido a ruido y para esto se necesita implementar programas con la suficiente exactitud. Los programas implementados trabajan con 4 cifras decimales, es decir con la exactitud necesaria.

#### 5.4. VALORES OPTIMOS ENCONTRADOS PARA REALIZAR UNA MEJOR COMPENSA- CION

De los resultados prácticos, dados en el Capítulo IV, se observa que la mejor condición de funcionamiento del sistema de velocidad para tener un menor sobretiro, el tiempo de estabilización sea corto (1.25 seg) y el error de estado estable sea cero, las constantes deben ser igual a:

$$K_p = 0.2$$

$$K_I = 0.6884$$

$$T = 0.066 \text{ seg.}$$

Para el sistema de posición se tiene con el control P - D, una meyor respuesta del sistema y sus parámetros son iguales a:

$$K_p = 0.15 \quad \text{y} \quad K = 0.1111$$

$$K_D = 0.039$$

$$T = 0.066$$

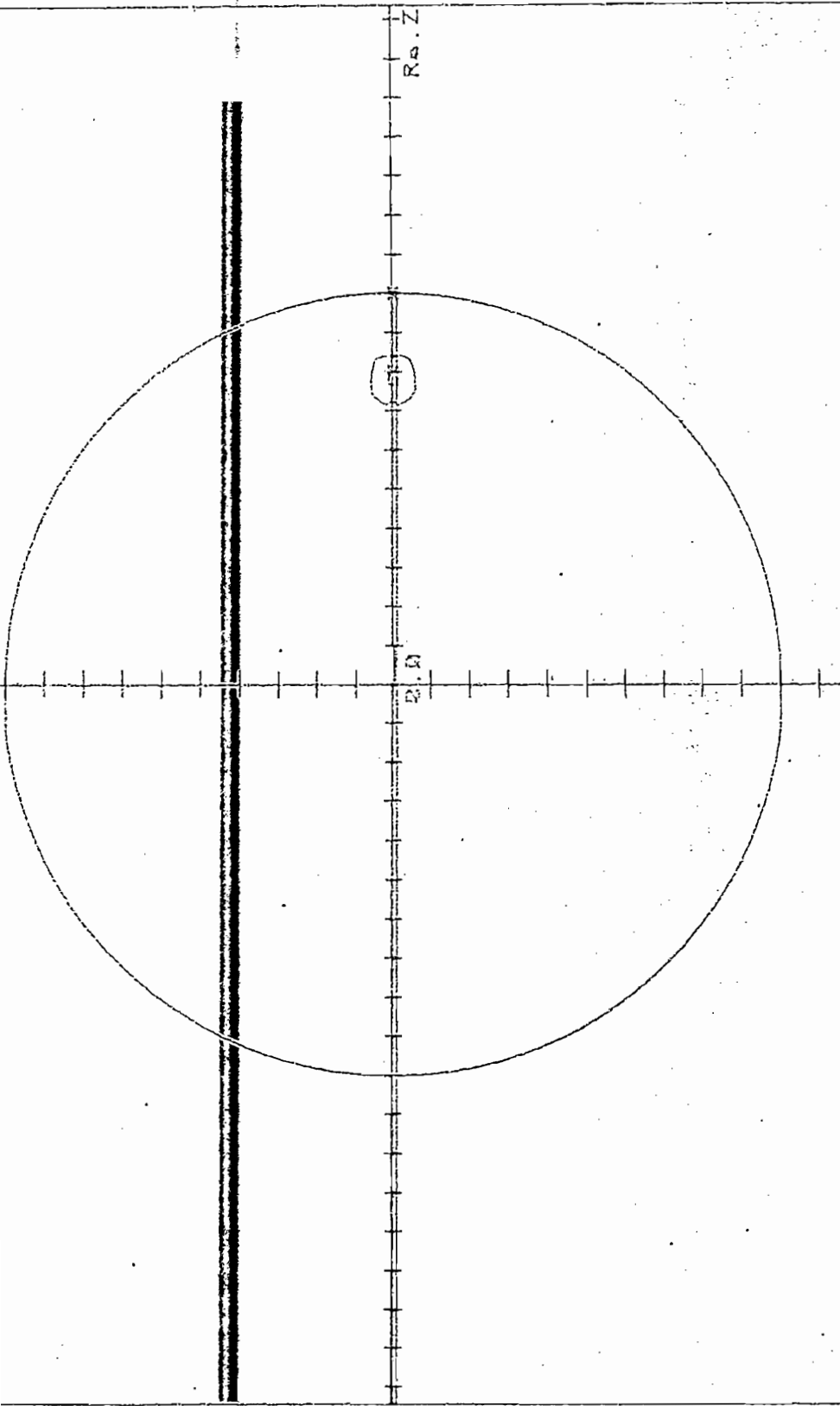
ya que si  $K_p$  es muy pequeño el sistema no controla y si  $K_p$  es muy grande el sistema es inestable y la salida tiende a salirse del rango de los 5 V que acepta o envía el circuito realizado.

Cabe anotar que el  $K_p$  considerado por el circuito será: 0.0166.

### 5.5. RECOMENDACIONES

- Si bien este sistema digital realiza un control de velocidad y posición, obteniéndose resultados satisfactorios; se recomienda que si el microprocesador es muy lento, se lo utilice como supervisor del proceso continuo para dar una indicación o actuar en caso de pérdida de realimentación y usar uno más rápido con fines de control.
  - El sistema diseñado se puede adaptar mejor para el control con motores más grandes, con la adecuada interface para poder utilizar el circuito o utilizando conversores de mayor resolución.
- Este sistema por ser más lento, proporcionará una mejor respuesta al control digital.
- Para evaluar con más exactitud en forma teórica el sistema digital, es necesario conocer la respuesta del sistema al variar  $K_p$

y  $T$ . Por lo tanto, sería interesante realizar un estudio del comportamiento del sistema discreto al variar las constantes  $K_p$  y  $T$ .



Archivos TEST I

1 DIVISION = 0.1 Unidades

Fig. 5.1. Con Controlador P-I en cascada ( $T=0,066$  seg)



FECHA : 24-JUL-84 03:06:12

GEOMETRICO DE LAS RAICES\*\*SISTEMAS DISCRETOS

Archivo : TEST1

R Corte el círculo unitario sobre eje real

Angulo en suma de argumentos = 0.000000 grados

Factor Critico Kc = 2.018

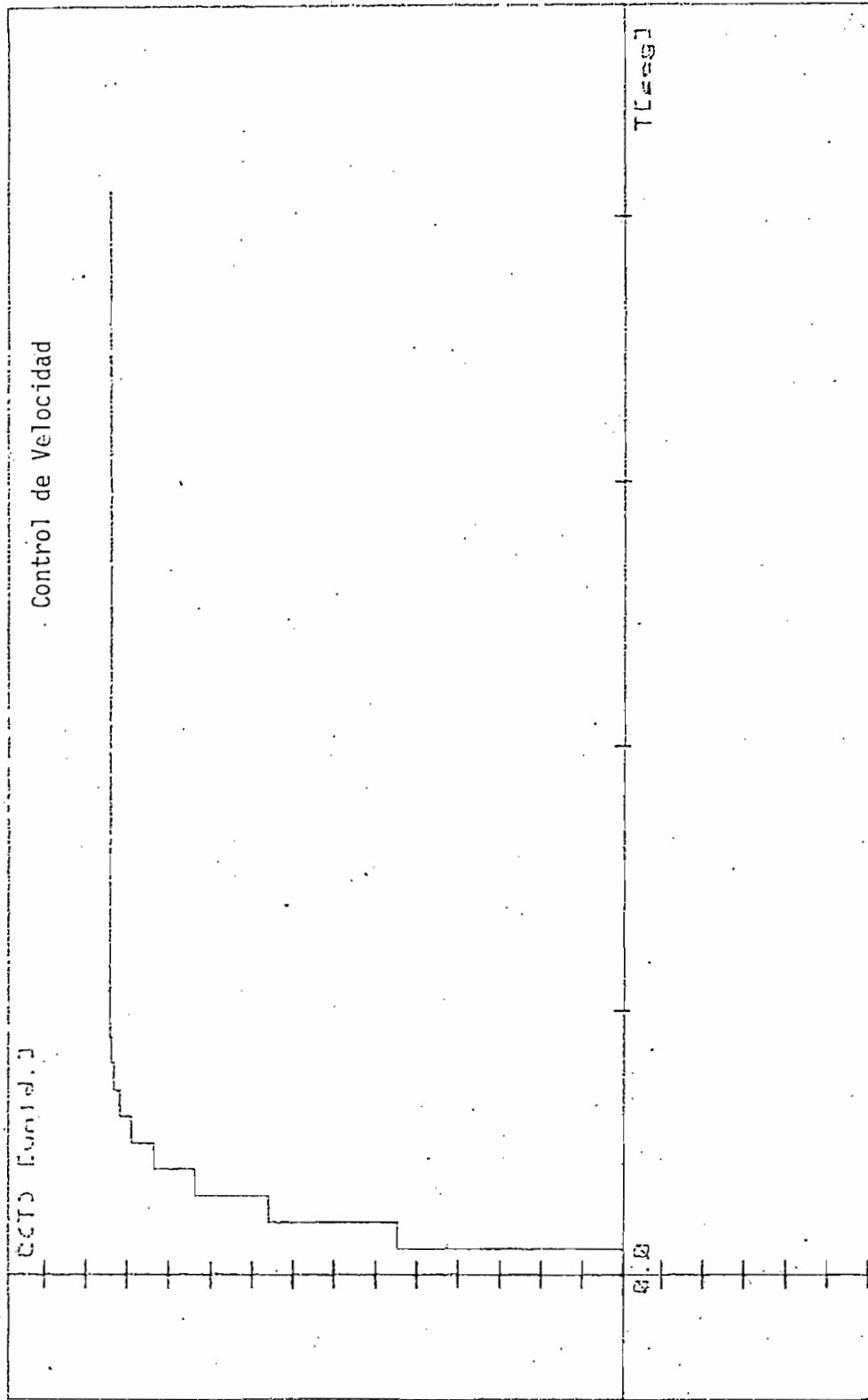
Factor de Ganancia MG = 0.909

Nota: Para que un punto sea del LGR; la diferencia  
en la suma de argumentos debe tender a cero

Angulo de corte del L.G.R con la

circunferencia unitaria es: EJE REAL : -1  
EJE IMAG.: 0

=====



EJE X: IDIV.= 0:7      EJE Y: IDIV.= 0:50      ARCHIVO : TEST1

Fig. 5.2. Con Controlador P-I en cascada (Kp=0;2)

ANÁLISIS DE ESTABILIDAD ABSOLUTA, (CRITERIO DE RAIBLE)

GANANCIA TOTAL = 0.44428

GANANCIA DINÁMICA = 0.2

COEFICIENTES DE LA ECUACION CARACTERÍSTICA

---

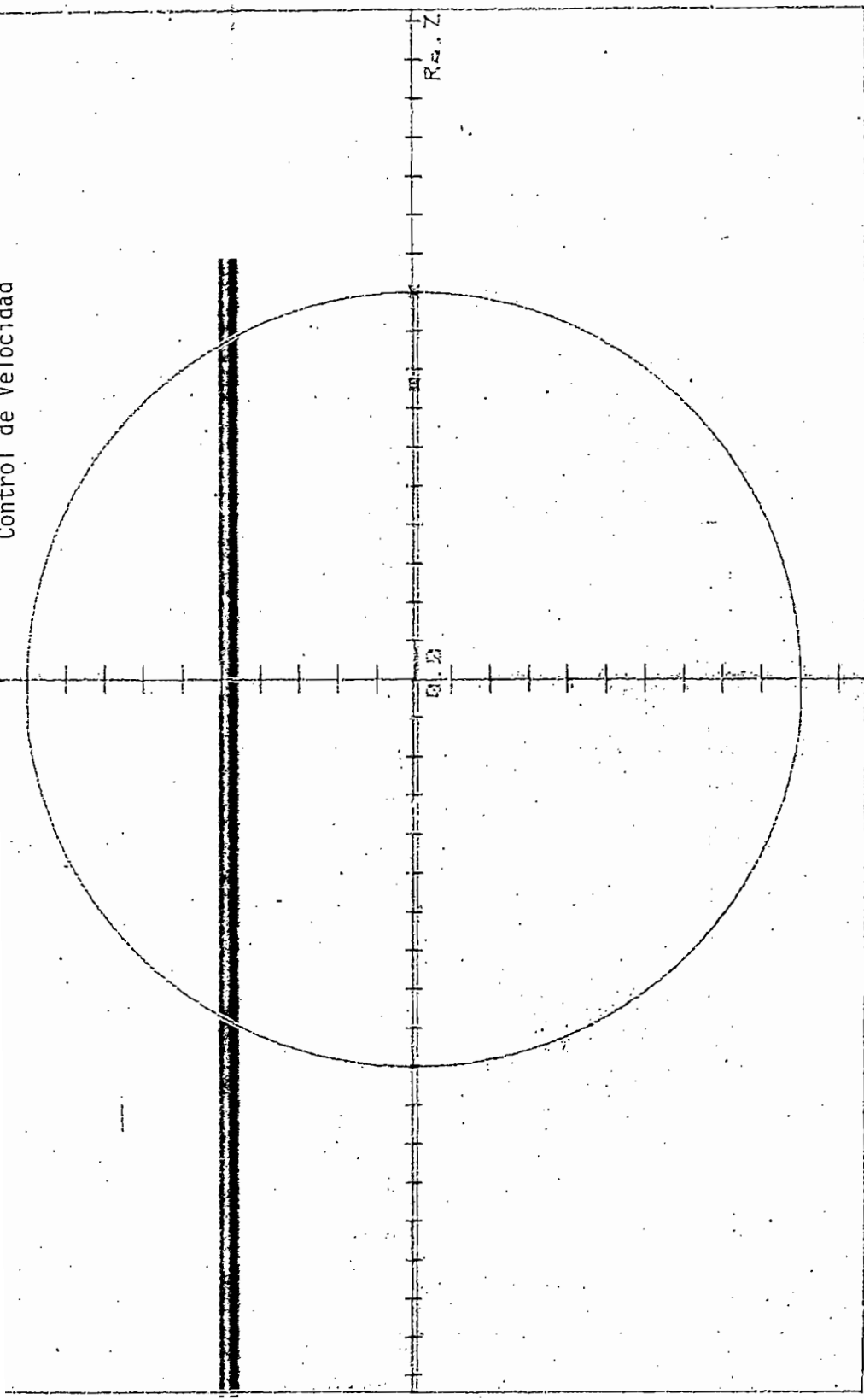
z**2	z**1	z**0
1.00	-1.35	0.45

ANÁLISIS DE ESTABILIDAD

---

EL SISTEMA ES ESTABLE

Control de Velocidad



x=POLO e=CERO 1 División = 0.1 Unidades Archivo TEST2

Fig. 5.3. Con Controlador P-I en cascada (T=0,08 seg)

UNIVERSIDAD POLITÉCNICA NACIONAL  
 ESCUELA DE INGENIERÍA ELÉCTRICA  
 SISTEMAS DE CONTROL

GALO ACOSTA V.

FECHA : 24-JUL-86 03:32:17

ANÁLISIS GEOMÉTRICO DE LAS RAÍCES\*\*SISTEMAS DISCRETOS

Archivo : TEST2

El L.G.R. corta el círculo unitario sobre eje real

Diferencia en suma de argumentos = 0.000000 grados

Orden de Cero  $K_c = 2.000$

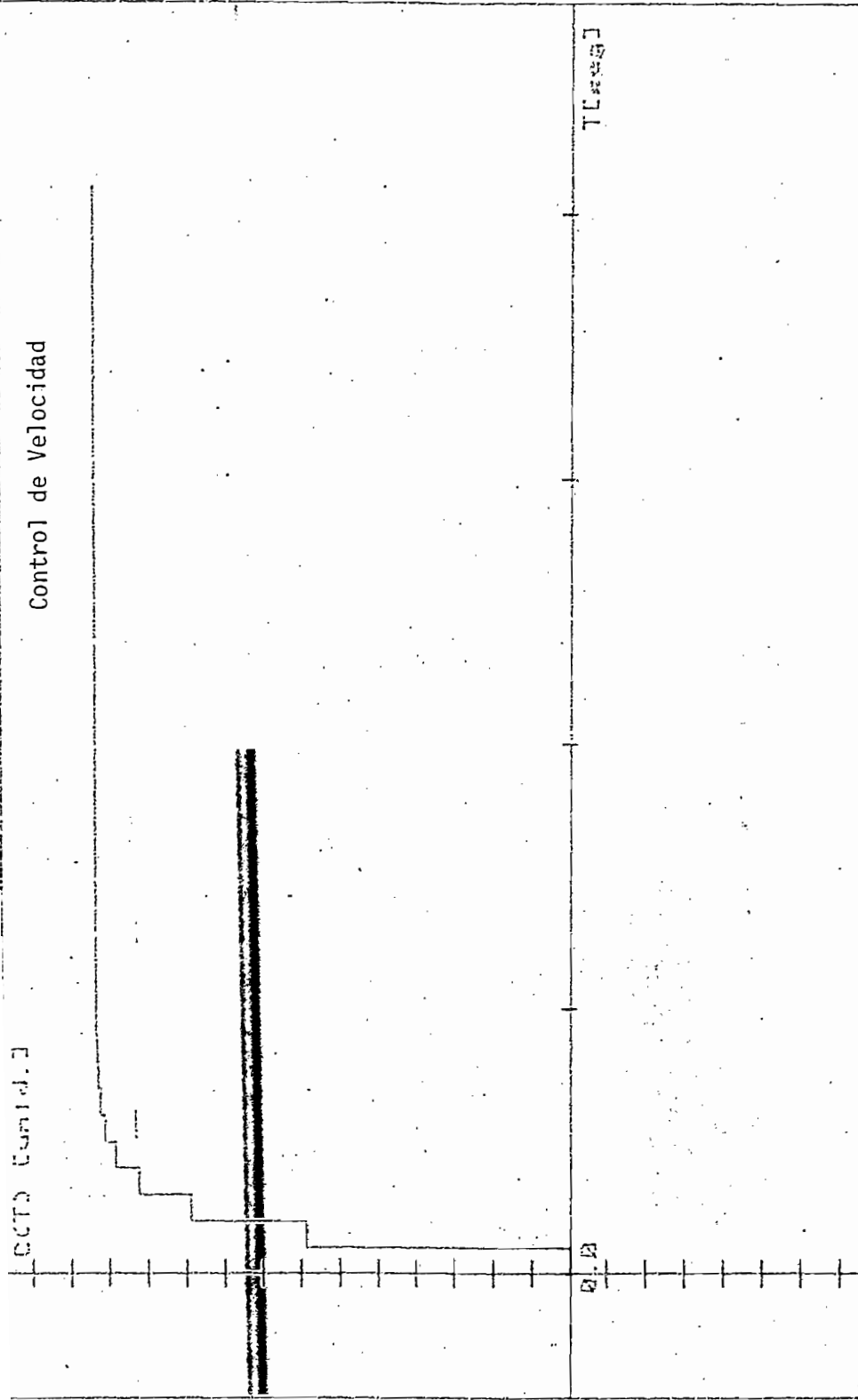
Orden de Ganancia  $M_G = 0.718$

Nota : Para que un punto sea del LGR; la diferencia  
 en la suma de argumentos debe tender a cero

Punto de corte del L.G.R con la

Diferencia unitaria es: EJE REAL : -1  
 EJE IMAG. : 0

=====



EJE X: 1DIV. = 0.7      EJE Y: 1DIV. = 0.50      ARCHIVO : TEST2

Fig. 5.4. Con Controlador P-I en cascada ( $K_p=0,2$ )

POLITECNICA NACIONAL  
D DE INGENIERIA ELECTRICA  
S DE CONTROL

GALO ACOSTA V.

FECHA : 24-JUL-86 03:42:21

GEOMETRICO DE LAS RAICES\*\*SISTEMAS DISCRETOS

Archivo : TEST2

ANALISIS DE ESTABILIDAD ABSOLUTA, (CRITERIO DE RAIBLE)  
=====

GANANCIA TOTAL = 0.5573

GANANCIA DINAMICA = 0.2

EFICIENTES DE LA ECUACION CARACTERISTICA

-----  
z\*\*2      z\*\*1      z\*\*0  
1.00      -1.20      0.34

ANALISIS DE ESTABILIDAD  
-----

EL SISTEMA ES ESTABLE

INSTITUTO NACIONAL  
DE INGENIERIA ELECTRICA  
DE CONTROL

GALO ACOSTA V.

FECHA : 24-JUL-86 03:42:39

ANALISIS DE LAS RAICES\*\*SISTEMAS DISCRETOS

Archivo : TEST2

ANALISIS DE ESTABILIDAD ABSOLUTA: (CRITERIO DE RAIBLE)  
=====

GANANCIA TOTAL = 1.39325

GANANCIA DINAMICA = 0.5

RAICES DE LA ECUACION CARACTERISTICA  
-----

z**1	z**0
-0.37	-0.30

ANALISIS DE ESTABILIDAD  
-----

EL SISTEMA ES ESTABLE



LA POLITECNICA NACIONAL  
 TAB DE INGENIERIA ELECTRICA  
 MAS DE CONTROL

GALO ACOSTA V.

FECHA : 24-JUL-86 03:54:17

GÉOMETRICO DE LAS RAICES\*\*SISTEMAS DISCRETOS

Archivo : .TEST3

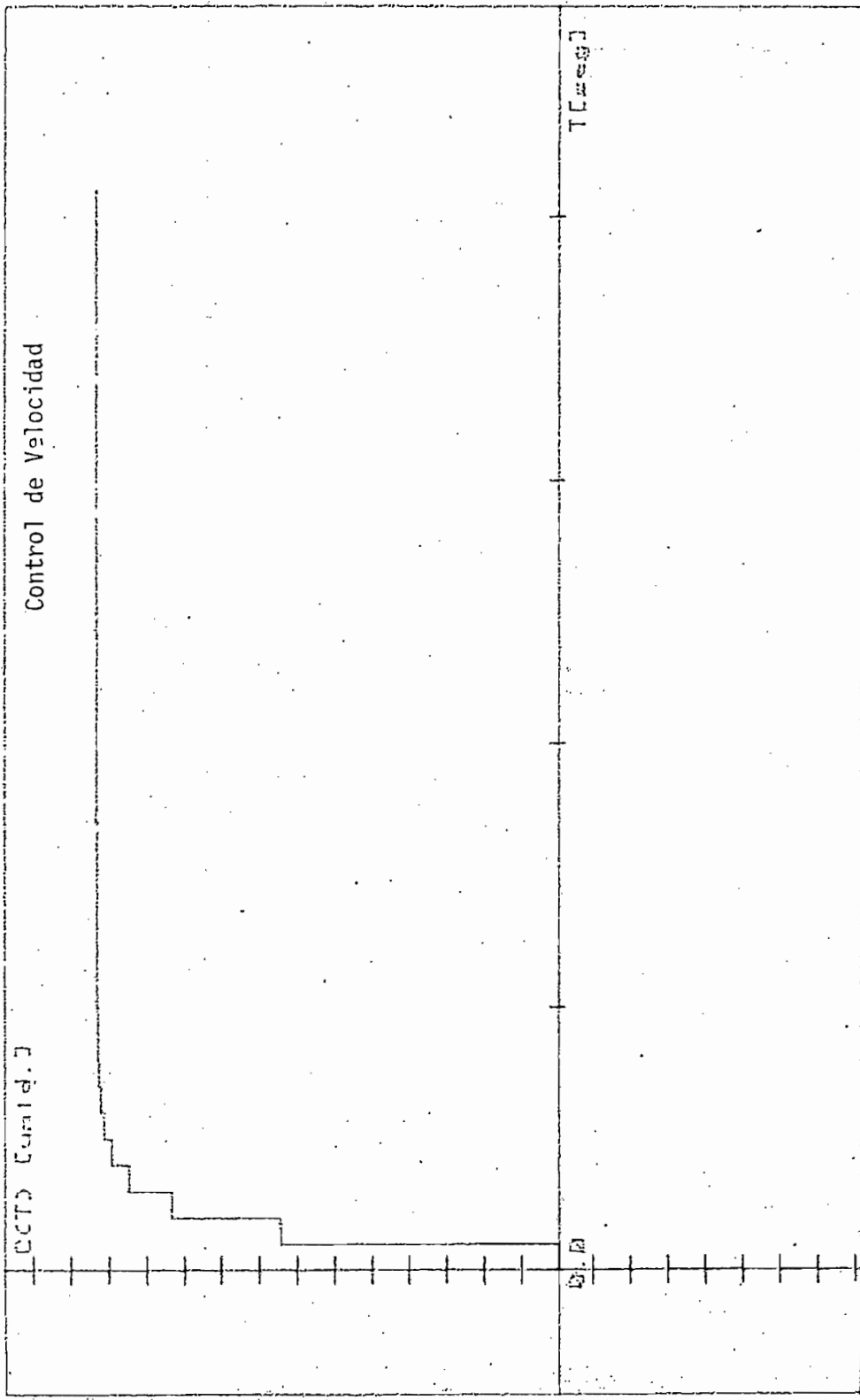
L.G.R Corta el círculo unitario sobre eje real  
 diferencia en suma de argumentos = 0.000000 grados  
 frecuencia crítica  $K_c = 1.992$   
 margen de ganancia MG = 0.660

Nota : Para que un punto sea del LGR la diferencia  
 en la suma de argumentos debe tender a cero

Punto de corte del L.G.R con la  
 diferencia unitaria es: EJE REAL : -1  
 EJE IMAG. : 0

=====

RESPUESTA A ENTRADA PASO



EJE X: 1DIV.= 0.7 EJE Y: 1DIV.= 0.50 ARCHIVO: TESTS.

Fig. 5.5. Con Controlador P-I en cascada (T=0,09seg; Kp=0,2)

ESCUELA POLITECNICA NACIONAL  
 FACULTAD DE INGENIERIA ELECTRICA  
 SISTEMAS DE CONTROL

GALO ACOSTA V.

FECHA : 24-JUL-86 03:57:25

ANALISIS GEOMETRICO DE LAS RAICES\*\*SISTEMAS DISCRETOS Archivo : TEST3

---

ANALISIS DE ESTABILIDAD ABSOLUTA, (CRITERIO DE RAIBLE)

=====

VALOR DE GANANCIA TOTAL = 0.604

VALOR DE GANANCIA DINAMICA = 0.2

COEFICIENTES DE LA ECUACION CARACTERISTICA

z**2	z**1	z**0
1.00	-1.13	0.29

ANALISIS DE ESTABILIDAD

EL SISTEMA ES ESTABLE

POLITECNICA NACIONAL  
 DE INGENIERIA ELECTRICA  
 DE CONTROL

GALO ACOSTA V;

FECHA : 24-JUL-86 03:58:37

OMETRICO DE LAS RAICES\*\*SISTEMAS DISCRETOS

Archivo : TEST3

ANALISIS DE ESTABILIDAD ABSOLUTA, (CRITERIO DE RAIBLE)

=====

E GANANCIA TOTAL = 1.51

E GANANCIA DINAMICA = 0.5

EFICIENTES DE LA ECUACION CARACTERISTICA

-----  
 z\*\*2      z\*\*1      z\*\*0  
 0.00      -0.22      -0.38

ANALISIS DE ESTABILIDAD

-----

EL SISTEMA ES ESTABLE

LA POLITECNICA NACIONAL  
 TAD DE INGENIERIA ELECTRICA  
 MAS DE CONTROL

GALO ACOSTA V.

FECHA : 24-JUL-86 03:58:55

R GEOMETRICO DE LAS RAICES\*\*SISTEMAS DISCRETOS

Archivo : TEST3

ANALISIS DE ESTABILIDAD ABSOLUTA, (CRITERIO DE RAIBLE)

=====

R DE GANANCIA TOTAL = 3.02

R DE GANANCIA DINAMICA = 1

COEFICIENTES DE LA ECUACION CARACTERISTICA

z**2	z**1	z**0
1.00	1.29	-1.50

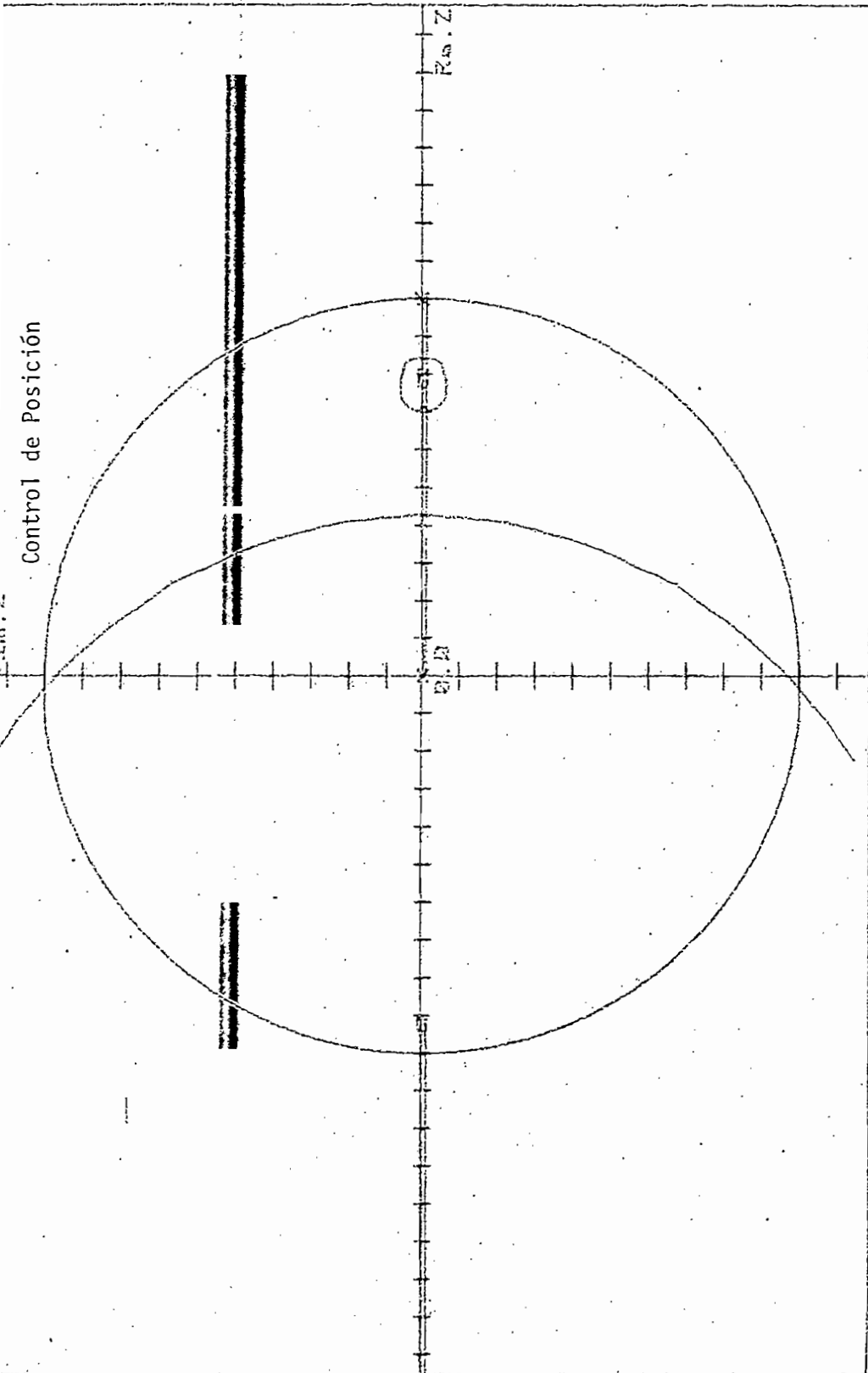
ANALISIS DE ESTABILIDAD

EXISTEN 1 RAICES ESTABLES Y

1 RAICES INESTABLES

EL SISTEMA ES INESTABLE

Control de Posición

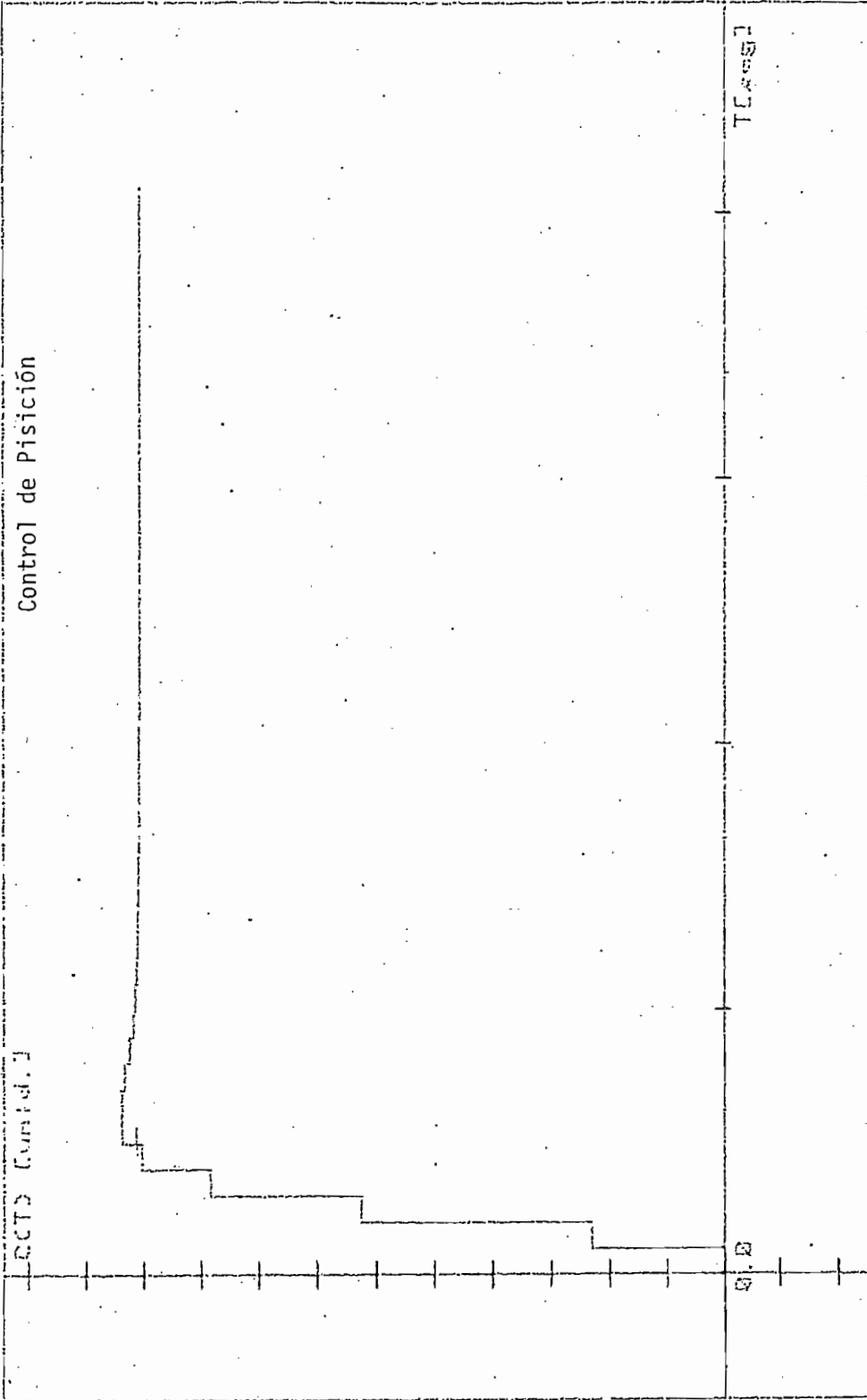


x=FOLLO o=CERD | División = 0.1 Unidades | Archivo: TESTS

Fig. 5.6. Con Controlador P-D en cascada (T=0,066 seg)

RESPUESTA A ENTRADA PASO

Control de Posición



EJE X: 1 DIV. = 0.7

EJE Y: 1 DIV. = 0.50

ARCHIVO : TEST9

Fig. 5.7. Con Controlador P-D en cascada ( $K_p=0,015$ )

INSTITUTO TECNICO NACIONAL  
INGENIERIA ELECTRICA  
CONTROL

GALO ACOSTA V.

FECHA : 24-JUL-86 06:37:56

ANALISIS DE LAS RAICES\*\*SISTEMAS DISCRETOS

Archivo : TEST9

ANALISIS DE ESTABILIDAD ABSOLUTA, (CRITERIO DE RAIBLE)

MARGEN DE ESTABILIDAD TOTAL = 0.231

MARGEN DE ESTABILIDAD DINAMICA = 0.015

RAICES DE LA ECUACION CARACTERISTICA

z**2	z**1	z**0
-1.54	0.83	-0.17

ANALISIS DE ESTABILIDAD

SISTEMA ES ESTABLE



APENDICES

A. INSTRUCCIONES DE LA z-80

The Z80 microprocessor has one of the most powerful and versatile instruction sets available in any 8-bit microprocessor. It includes such unique operations as a block move for fast, efficient data transfers within memory or between memory and I/O. It also allows operations on any bit in any location in memory.

The following is a summary of the Z80 instruction set and shows the assembly language mnemonic, the operation, the flag status, and gives comments on each instruction. The *Z80 CPU Technical Manual* (03-0029-01) and *Assembly Language Programming Manual* (03-0002-01) contain significantly more details for programming use.

The instructions are divided into the following categories:

- 8-bit loads
- 16-bit loads
- Exchanges, block transfers, and searches
- 8-bit arithmetic and logic operations
- General-purpose arithmetic and CPU control

- 16-bit arithmetic operations
- Rotates and shifts
- Bit set, reset, and test operations
- Jumps
- Calls, returns, and restarts
- Input and output operations

A variety of addressing modes are implemented to permit efficient and fast data transfer between various registers, memory locations, and input/output devices. These addressing modes include:

- Immediate
- Immediate extended
- Modified page zero
- Relative
- Extended
- Indexed
- Register
- Register indirect
- Implied
- Bit

Mnemonic	Symbolic Operation	S	Z	Flags				Opcode				No. of Bytes	No. of M Cycles	No. of T States	Comments		
				H	P/V	N	C	78	543	210	Hex						
LD r, r'	r - r'	•	•	X	•	X	•	•	•	01	r	r'	1	1	4	r, r' Reg.	
LD r, n	r - n	•	•	X	•	X	•	•	•	00	r	110	2	2	7	000 B	
											-	n				001 C	
LD r, (HL)	r - (HL)	•	•	X	•	X	•	•	•	01	r	110	1	2	7	010 D	
LD r, (IX+d)	r - (IX+d)	•	•	X	•	X	•	•	•	11	011	101	3	5	19	011 E	
											01	r	101			100 H	
											-	d				101 L	
LD r, (IY+d)	r - (IY+d)	•	•	X	•	X	•	•	•	11	111	101	3	5	19	111 A	
											01	r	110				
											-	d					
LD (HL), r	(HL) - r	•	•	X	•	X	•	•	•	01	110	r	1	2	7		
LD (IX+d), r	(IX+d) - r	•	•	X	•	X	•	•	•	11	011	101	3	5	19		
											01	110	r				
											-	d					
LD (IY+d), r	(IY+d) - r	•	•	X	•	X	•	•	•	11	111	101	3	5	19		
											01	110	r				
											-	d					
LD (HL), n	(HL) - n	•	•	X	•	X	•	•	•	00	110	110	36	2	3	10	
											-	n					
LD (IX+d), n	(IX+d) - n	•	•	X	•	X	•	•	•	11	011	101	DD	4	5	19	
											00	110	110	36			
											-	d					
											-	n					
LD (IY+d), n	(IY+d) - n	•	•	X	•	X	•	•	•	11	111	101	FD	4	5	19	
											00	110	110	36			
											-	d					
											-	n					
LD A, (BC)	A - (BC)	•	•	X	•	X	•	•	•	00	001	010	0A	1	2	7	
LD A, (DE)	A - (DE)	•	•	X	•	X	•	•	•	00	011	010	1A	1	2	7	
LD A, (nn)	A - (nn)	•	•	X	•	X	•	•	•	00	111	010	3A	3	4	13	
											-	n					
											-	n					
LD (BC), A	(BC) - A	•	•	X	•	X	•	•	•	00	000	010	02	1	2	7	
LD (DE), A	(DE) - A	•	•	X	•	X	•	•	•	00	010	010	12	1	2	7	
LD (nn), A	(nn) - A	•	•	X	•	X	•	•	•	00	110	010	32	3	4	13	
											-	n					
											-	n					
LD A, I	A - I	•	•	X	0	X	IFF	0	•	11	101	101	ED	2	2	9	
											01	010	111	57			
LD A, R	A - R	•	•	X	0	X	IFF	0	•	11	101	101	ED	2	2	9	
											01	011	111	5F			
LD I, A	I - A	•	•	X	•	X	•	•	•	11	101	101	ED	2	2	9	
											01	000	111	47			
LD R, A	R - A	•	•	X	•	X	•	•	•	11	101	101	ED	2	2	9	
											01	001	111	4F			

NOTES: r, r' means any of the registers A, B, C, D, E, H, L.  
 IFF the content of the interrupt enable flip-flop. IFF is copied into the P/V flag.  
 For an explanation of the notation and symbols see mnemonic tables. See Symbolic Notation section following tables.

Mnemonic	Symbolic Operation	Flags						Opcode 7 6 5 4 3 2 1 0 Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments		
		S	Z	H	P/V	N	C							
LD dd, nn	dd - nn	.	.	X	.	X	.	.	00 d d 0 0 0 1	3	3	10	dd	Pair
									- n -				00	BC
									- n -				01	DE
									- n -				10	HL
									- n -				11	SP
LD IX, nn	IX - nn	.	.	X	.	X	.	.	11 0 1 1 1 0 1 D D	4	4	14		
									00 1 0 0 0 0 1 2 1					
									- n -					
									- n -					
LD IY, nn	IY - nn	.	.	X	.	X	.	.	11 1 1 1 1 0 1 F D	4	4	14		
									00 1 0 0 0 0 1 2 1					
									- n -					
									- n -					
LD HL, (nn)	H - (nn + 1) L - (nn)	.	.	X	.	X	.	.	00 1 0 1 0 1 0 2 A	3	5	18		
									- n -					
									- n -					
LD dd, (nn)	dd <sub>H</sub> - (nn + 1) dd <sub>L</sub> - (nn)	.	.	X	.	X	.	.	11 1 0 1 1 0 1 E D	4	8	20		
									01 d d 1 0 1 1					
									- n -					
									- n -					
LD IX, (nn)	IX <sub>H</sub> - (nn + 1) IX <sub>L</sub> - (nn)	.	.	X	.	X	.	.	11 0 1 1 1 0 1 D D	4	6	20		
									00 1 0 1 0 1 0 2 A					
									- n -					
									- n -					
LD IY, (nn)	IY <sub>H</sub> - (nn + 1) IY <sub>L</sub> - (nn)	.	.	X	.	X	.	.	11 1 1 1 1 0 1 F D	4	6	20		
									00 1 0 1 0 1 0 2 A					
									- n -					
									- n -					
LD (nn), HL	(nn + 1) - H (nn) - L	.	.	X	.	X	.	.	00 1 0 0 0 1 0 2 2	3	5	16		
									- n -					
									- n -					
LD (nn), dd	(nn + 1) - dd <sub>H</sub> (nn) - dd <sub>L</sub>	.	.	X	.	X	.	.	11 1 0 1 1 0 1 E D	4	6	20		
									01 d d 0 0 1 1					
									- n -					
									- n -					
LD (nn), IX	(nn + 1) - IX <sub>H</sub> (nn) - IX <sub>L</sub>	.	.	X	.	X	.	.	11 0 1 1 1 0 1 D D	4	6	20		
									00 1 0 0 0 1 0 2 2					
									- n -					
									- n -					
LD (nn), IY	(nn + 1) - IY <sub>H</sub> (nn) - IY <sub>L</sub>	.	.	X	.	X	.	.	11 1 1 1 1 0 1 F D	4	6	20		
									00 1 0 0 0 1 0 2 2					
									- n -					
									- n -					
LD SP, HL	SP - HL	.	.	X	.	X	.	.	11 1 1 1 0 0 1 F 9	1	1	6		
LD SP, IX	SP - IX	.	.	X	.	X	.	.	11 0 1 1 1 0 1 D D	2	2	10		
									11 1 1 1 0 0 1 F 9					
LD SP, IY	SP - IY	.	.	X	.	X	.	.	11 1 1 1 1 0 1 F D	2	2	10		
									11 1 1 1 0 0 1 F 9					
PUSH qq	(SP - 2) - qq <sub>L</sub> (SP - 1) - qq <sub>H</sub> SP - SP - 2	.	.	X	.	X	.	.	11 qq 0 1 0 1	1	3	11	qq	Pair
													00	BC
													01	DE
													10	HL
													11	AF
PUSH IX	(SP - 2) - IX <sub>L</sub> (SP - 1) - IX <sub>H</sub> SP - SP - 2	.	.	X	.	X	.	.	11 0 1 1 1 0 1 D D	2	4	15		
									11 1 0 0 1 0 1 E S					
PUSH IY	(SP - 2) - IY <sub>L</sub> (SP - 1) - IY <sub>H</sub> SP - SP - 2	.	.	X	.	X	.	.	11 1 1 1 1 0 1 F D	2	4	15		
									11 1 0 0 1 0 1 E S					
POP qq	qq <sub>H</sub> - (SP + 1) qq <sub>L</sub> - (SP) SP - SP + 2	.	.	X	.	X	.	.	11 qq 0 0 0 1	1	3	10		
POP IX	IX <sub>H</sub> - (SP + 1) IX <sub>L</sub> - (SP) SP - SP + 2	.	.	X	.	X	.	.	11 0 1 1 1 0 1 D D	2	4	14		
									11 1 0 0 0 0 1 E 1					
POP IY	IY <sub>H</sub> - (SP + 1) IY <sub>L</sub> - (SP) SP - SP + 2	.	.	X	.	X	.	.	11 1 1 1 1 0 1 F D	2	4	14		
									11 1 0 0 0 0 1 E 1					

NOTES: dd is any of the register pairs BC, DE, HL, SP.  
qq is any of the register pairs AF, BC, DE, HL.  
(PAIR)<sub>H</sub>, (PAIR)<sub>L</sub> refer to high order and low order eight bits of the register pair respectively.  
e.g., BC<sub>L</sub> = C, AF<sub>H</sub> = A.

EX DE, HL	DE - HL	.	.	X	.	X	.	.	11 1 0 1 0 1 1 E B	1	1	4		
EX AF, AF	AF - AF	.	.	X	.	X	.	.	00 0 0 1 0 0 0 0 8	1	1	4		
EXX	BC - BC' DE - DE' HL - HL'	.	.	X	.	X	.	.	11 0 1 1 0 0 1 D 9	1	1	4		Register bank and auxiliary register bank exchange
EX (SP), HL	H - (SP + 1) L - (SP)	.	.	X	.	X	.	.	11 1 0 0 0 1 1 E 3	1	5	19		
EX (SP), IX	IX <sub>H</sub> - (SP + 1) IX <sub>L</sub> - (SP)	.	.	X	.	X	.	.	11 0 1 1 1 0 1 D D	2	6	23		
									11 1 0 0 0 1 1 E 3					
EX (SP), IY	IY <sub>H</sub> - (SP + 1) IY <sub>L</sub> - (SP)	.	.	X	.	X	.	.	11 1 1 1 1 0 1 F D	2	6	23		
									11 1 0 0 0 1 1 E 3					
LDI	(DE) - (HL) DE - DE + 1 HL - HL + 1 BC - BC - 1	.	.	X	0	X	1	0	11 1 0 1 1 0 1 E D	2	4	16		Load (HL) into (DE), increment the pointers and decrement the byte counter (BC)
									10 1 0 0 0 0 0 A 0					
LDIR	(DE) - (HL) DE - DE + 1 HL - HL + 1 BC - BC - 1 Repeat until BC = 0	.	.	X	0	X	0	0	11 1 0 1 1 0 1 E D	2	5	21		If BC ≠ 0
									10 1 1 0 0 0 0 B 0	2	4	16		If BC = 0

ing  
Search  
ued)

Mnemonic	Symbolic Operation	S	Z	Flags				Opcode				No. of Bytes	No. of M Cycles	No. of T States	Comments	
				H	P/V	N	C	7h	543	210	Hex					
LDD	(DE) ← (HL) DE ← DE-1 HL ← HL-1 BC ← BC-1	•	•	X	0	X	1	0	•	11 101 101 ED 10 101 000 A8	2	4	16			
LDDR	(DE) ← (HL) DE ← DE-1 HL ← HL-1 BC ← BC-1 Repeat until BC = 0	•	•	X	0	X	0	0	•	11 101 101 ED 10 111 000 B8	2 2	5 4	21 16	if BC ≠ 0 if BC = 0		
CPI	A ← (HL) HL ← HL+1 BC ← BC-1	1	1	X	1	X	1	1	•	11 101 101 ED 10 100 001 A1	2	4	16			
CPIR	A ← (HL) HL ← HL+1 BC ← BC-1 Repeat until A = (HL) or BC = 0	1	1	X	1	X	1	1	•	11 101 101 ED 10 110 001 B1	2 2	5 4	21 16	if BC ≠ 0 and A ≠ (HL) if BC = 0 or A = (HL)		
CPD	A ← (HL) HL ← HL-1 BC ← BC-1	1	1	X	1	X	1	1	•	11 101 101 ED 10 101 001 A9	2	4	16			
CPDR	A ← (HL) HL ← HL-1 BC ← BC-1 Repeat until A = (HL) or BC = 0	1	1	X	1	X	1	1	•	11 101 101 ED 10 111 001 B9	2 2	5 4	21 16	if BC ≠ 0 and A ≠ (HL) if BC = 0 or A = (HL)		

NOTES: ① P/V flag is 0 if the result of BC-1 = 0, otherwise P/V = 1.  
② Z flag is 1 if A = (HL), otherwise Z = 0.

arithmetic  
logical

ADD A, r	A ← A + r	1	1	X	1	X	V	0	1	10 100 r	1	1	4	r Reg.		
ADD A, n	A ← A + n	1	1	X	1	X	V	0	1	11 000 110 - n -	2	2	7	000 B 001 C 010 D 011 E 100 H 101 L 111 A		
ADD A, (HL)	A ← A + (HL)	1	1	X	1	X	V	0	1	10 000 110	1	2	7			
ADD A, (IX+d)	A ← A + (IX+d)	1	1	X	1	X	V	0	1	11 011 101 DD 10 000 110 - d -	3	5	19			
ADD A, (IY+d)	A ← A + (IY+d)	1	1	X	1	X	V	0	1	11 111 101 FD 10 000 110 - d -	3	5	19			
ADC A, s	A ← A + s - CY	1	1	X	1	X	V	0	1	001				s is any of r, n, (HL), (IX+d), (IY+d) as shown for ADD instruction. The indicated bits replace the 000 in the ADD set above.		
SUB s	A ← A - s	1	1	X	1	X	V	1	1	011						
SBC A, s	A ← A - s - CY	1	1	X	1	X	V	1	1	011						
AND s	A ← A ∧ s	1	1	X	1	X	P	0	0	100						
OR s	A ← A ∨ s	1	1	X	0	X	P	0	0	110						
XOR s	A ← A ⊕ s	1	1	X	0	X	P	0	0	001						
CP s	A ← s	1	1	X	1	X	V	1	1	011						
INC r	r ← r + 1	1	1	X	1	X	V	0	•	00 r 100	1	1	4			
INC (HL)	(HL) ← (HL) + 1	1	1	X	1	X	V	0	•	00 110 100	1	3	11			
INC (IX+d)	(IX+d) ← (IX+d) + 1	1	1	X	1	X	V	0	•	11 011 101 DD 00 110 100 - d -	3	6	23			
INC (IY+d)	(IY+d) ← (IY+d) + 1	1	1	X	1	X	V	0	•	11 111 101 FD 00 110 100 - d -	3	6	23			
DEC m	m ← m - 1	1	1	X	1	X	V	1	•	101				m is any of r, (HL), (IX+d), (IY+d) as shown for INC. DEC same format and states as INC. Replace 100 with 101 in opcode.		

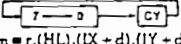

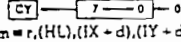

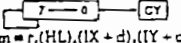

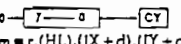


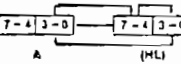
opcode	Symbolic Operation	S	Z	Flags				Opcode				No. of Bytes	No. of M Cycles	No. of T States	Comments		
				H	P	N	C	78	543	110	Hex						
	Converts acc. content into packed BCD following add or subtract with packed BCD operands.	1	1	X	1	X	P	•	1	00	100	111	27	1	1	4	Decimal adjust accumulator.
	$A - \bar{A}$	•	•	X	1	X	•	1	•	00	101	111	2F	1	1	4	Complement accumulator (one's complement).
	$A - 0 - A$	1	1	X	1	X	V	1	1	11	101	101	ED	2	2	8	Negate acc. (two's complement).
	$CY - \bar{CY}$	•	•	X	X	X	•	0	1	00	111	111	3F	1	1	4	Complement carry flag.
	$CY - 1$	•	•	X	0	X	•	0	1	00	110	111	37	1	1	4	Set carry flag.
	No operation	•	•	X	•	X	•	•	•	00	000	000	00	1	1	4	
	CPU halted	•	•	X	•	X	•	•	•	01	110	110	76	1	1	4	
	IFF = 0	•	•	X	•	X	•	•	•	11	110	011	F3	1	1	4	
	IFF = 1	•	•	X	•	X	•	•	•	11	111	011	FB	1	1	4	
	Set interrupt mode 0	•	•	X	•	X	•	•	•	11	101	101	ED	2	2	8	
	Set interrupt mode 1	•	•	X	•	X	•	•	•	01	000	110	46				
	Set interrupt mode 2	•	•	X	•	X	•	•	•	11	101	101	ED	2	2	8	
	Set interrupt mode 2	•	•	X	•	X	•	•	•	01	010	110	56				
	Set interrupt mode 2	•	•	X	•	X	•	•	•	11	101	101	ED	2	2	8	
	Set interrupt mode 2	•	•	X	•	X	•	•	•	01	011	110	5E				








S: IFF indicates the interrupt enable flip-flop.  
 CY indicates the carry flip-flop.  
 • indicates interrupts are not sampled at the end of EI or DI.

HL, ss	HL - HL + ss	•	•	X	X	X	•	0	1	00	ss1	001		1	3	11	ss Reg. 00 BC
HL, ss	HL - HL + ss + CY	1	1	X	X	X	V	0	1	11	101	101	ED	2	4	15	01 DE 10 HL 11 SP
HL, ss	HL - HL - ss - CY	1	1	X	X	X	V	1	1	11	101	101	ED	2	4	15	
IX, pp	IX - IX + pp	•	•	X	X	X	•	0	1	11	011	101	DD	2	4	15	pp Reg. 00 BC 01 DE 10 IX 11 SP
IX, pp	IX - IX + pp	•	•	X	X	X	•	0	1	01	pp1	001					
IY, rr	IY - IY + rr	•	•	X	X	X	•	0	1	11	111	101	FD	2	4	15	rr Reg. 00 BC 01 DE 10 IY 11 SP
IX	IX - IX + 1	•	•	X	•	X	•	•	•	00	ss0	011		1	1	6	
IX	IX - IX + 1	•	•	X	•	X	•	•	•	11	011	101	DD	2	2	10	
IY	IY - IY + 1	•	•	X	•	X	•	•	•	11	111	101	FD	2	2	10	
IX	IX - IX - 1	•	•	X	•	X	•	•	•	00	ss1	011		1	1	6	
IX	IX - IX - 1	•	•	X	•	X	•	•	•	11	011	101	DD	2	2	10	
IY	IY - IY - 1	•	•	X	•	X	•	•	•	00	101	011	2B				
IY	IY - IY - 1	•	•	X	•	X	•	•	•	11	111	101	FD	2	2	10	
IY	IY - IY - 1	•	•	X	•	X	•	•	•	00	101	011	2B				

ss: ss is any of the register pairs BC, DE, HL, SP.  
 pp: pp is any of the register pairs BC, DE, IX, SP.  
 rr: rr is any of the register pairs BC, DE, IY, SP.

CA		•	•	X	0	X	•	0	1	00	000	111	07	1	1	4	Rotate left circular accumulator.
CA		•	•	X	0	X	•	0	1	00	010	111	17	1	1	4	Rotate left accumulator.
CA		•	•	X	0	X	•	0	1	00	001	111	0F	1	1	4	Rotate right circular accumulator.
CA		•	•	X	0	X	•	0	1	00	011	111	1F	1	1	4	Rotate right accumulator.
Cr		1	1	X	0	X	P	0	1	11	001	011	CB	2	2	8	Rotate left circular register r.
C(HL)		1	1	X	0	X	P	0	1	11	001	011	CB	2	4	15	r Reg. 000 B 001 C 010 D 011 E 100 H 101 L 111 A
C(IX+d)		1	1	X	0	X	P	0	1	11	011	101	DD	4	6	23	
C(IY+d)		1	1	X	0	X	P	0	1	11	111	101	FD	4	6	23	
m	$m = r, (HL), (IX + d), (IY + d)$	1	1	X	0	X	P	0	1	00	000	110					Instruction format and states are as shown for RLC's. To form new opcode replace 000 or RLC's

Mnemonic	Symbolic Operation	S Z		Flags H P/V M C				Opcode			No. of Bytes	No. of M Cycles	No. of T States	Comments	
		7	6	5	4	3	2	78	543	210					Hex
RR m	 m = r, (HL), (IX + d), (IY + d)	1	1	X	0	X	P	0	1						
SRLA m	 m = r, (HL), (IX + d), (IY + d)	1	1	X	0	X	P	0	1						
SRA m	 m = r, (HL), (IX + d), (IY + d)	1	1	X	0	X	P	0	1						
SRL m	 m = r, (HL), (IX + d), (IY + d)	1	1	X	0	X	P	0	1						
RLD	 A (HL)	1	1	X	0	X	P	0	•	11 101 101 01 101 111	ED 6F	2	5	18	Rotate digit left and right between the accumulator and location (HL).
RRD	 A (HL)	1	1	X	0	X	P	0	•	11 101 101 01 100 111	ED 67	2	5	18	The content of the upper half of the accumulator is unaffected.

BIT b, r	Z - $\bar{r}_b$	X	1	X	1	X	X	0	•	11 001 011 01 b r	CB	2	2	8	r Reg. 000 B 001 C 010 D 011 E 100 H 101 L 111 A b Bit Tested
BIT b, (HL)	Z - $(HL)_b$	X	1	X	1	X	X	0	•	11 001 011 01 b 110	CB	2	3	12	
BIT b, (IX + d)	Z - $(IX + d)_b$	X	1	X	1	X	X	0	•	11 011 101 11 001 011 - d - 01 b 110	DD CB	4	5	20	
BIT b, (IY + d)	Z - $(IY + d)_b$	X	1	X	1	X	X	0	•	11 111 101 11 001 011 - d - 01 b 110	FD CB	4	5	20	
SET b, r	$r_b - 1$	•	•	X	•	X	•	•	•	11 001 011  b r	CB	2	2	8	
SET b, (HL)	$(HL)_b - 1$	•	•	X	•	X	•	•	•	11 001 011  b 110	CB	2	4	15	
SET b, (IX + d)	$(IX + d)_b - 1$	•	•	X	•	X	•	•	•	11 011 101 11 001 011 - d -  b 110	DD CB	4	6	23	
SET b, (IY + d)	$(IY + d)_b - 1$	•	•	X	•	X	•	•	•	11 111 101 11 001 011 - d -  b 110	FD CB	4	6	23	
RES b, m	$m_b - 0$ m = r, (HL), (IX + d), (IY + d)	•	•	X	•	X	•	•	•	 b 110					To form new opcode replace  of SET b, s with  . Flags and time states for SET instruction.

NOTES: The notation  $m_b$  indicates bit b (0 to 7) or location m.

JP nn	PC - nn	•	•	X	•	X	•	•	•	11 000 011 - n - - n -	C3	3	3	10	
JP cc, nn	If condition cc is true PC - nn, otherwise continue	•	•	X	•	X	•	•	•	11 cc 010 - n - - n -		3	3	10	cc Condition 000 NZ non-zero 001 Z zero 010 NC non-carry 011 C carry 100 PO parity odd 101 PE parity even 110 P sign positive 111 M sign negative
JR e	PC - PC + e	•	•	X	•	X	•	•	•	00 011 000 - e - 2 -		2	3	12	
JR C, e	If C = 0, continue If C = 1, PC - PC + e	•	•	X	•	X	•	•	•	00 111 000 - e - 2 -		2	2	7	If condition not met.
JR NC, e	If C = 1, continue If C = 0, PC - PC + e	•	•	X	•	X	•	•	•	00 110 000 - e - 2 -		2	2	7	If condition not met.
JP Z, e	If Z = 0, continue If Z = 1, PC - PC + e	•	•	X	•	X	•	•	•	00 101 000 - e - 2 -		2	2	7	If condition not met.
JR NZ, e	If Z = 1, continue If Z = 0, PC - PC + e	•	•	X	•	X	•	•	•	00 100 000 - e - 2 -		2	2	7	If condition not met.
JP (HL)	PC - HL	•	•	X	•	X	•	•	•	11 101 001	E9	1	1	4	

Mnemonic	Symbolic Operation	S		Z		Flags				Opcode		No. of Bytes	No. of M Cycles	No. of T States	Comments	
		0	1	0	1	H	P/V	N	C	78 543 210 Hex						
IP (IY)	PC - IY	.	.	X	.	X	.	.	.	.	.	11 111 101 FD	2	2	8	
DINZ, e	B - B - 1	.	.	X	.	X	.	.	.	.	.	11 101 001 E9	2	2	8	If B = 0.
	If B = 0, continue If B ≠ 0, PC - PC + e											00 010 000 10 - e - 2 -				

NOTES: e represents the extension in the relative addressing mode.  
 e is a signed two's complement number in the range < -126, 123 >.  
 e-2 in the opcode provides an effective address of PC+e as PC is incremented by 2 prior to the addition of e.

CALL nn	(SP-1) - PC <sub>H</sub>	.	.	X	.	X	.	.	.	.	.	11 001 101 CD	3	5	17	
	(SP-2) - PC <sub>L</sub>											- n -				
	PC - nn											- n -				
CALL cc, nn	If condition cc is false continue, otherwise same as CALL nn	.	.	X	.	X	.	.	.	.	.	11 cc 100	3	3	10	If cc is false.
												- n - - n -	3	5	17	If cc is true.
RET	PC <sub>L</sub> - (SP) PC <sub>H</sub> - (SP+1)	.	.	X	.	X	.	.	.	.	.	11 001 001 C9	1	3	10	
RET cc	If condition cc is false continue, otherwise same as RET	.	.	X	.	X	.	.	.	.	.	11 cc 000	1	1	5	If cc is false.
												- n - - n -	1	3	11	If cc is true.
RETI	Return from Interrupt	.	.	X	.	X	.	.	.	.	.	11 101 101 ED 01 001 101 4D	2	4	14	000 NZ non-zero 001 Z zero 010 NC non-carry 011 C carry 100 PO parity odd 101 PE parity even 110 P sign positive 111 M sign negative
RETI	Return from non-maskable Interrupt	.	.	X	.	X	.	.	.	.	.	11 101 101 ED 01 000 101 45	2	4	14	
RST p	(SP-1) - PC <sub>H</sub> (SP-2) - PC <sub>L</sub> PC <sub>H</sub> - 0 PC <sub>L</sub> - p	.	.	X	.	X	.	.	.	.	.	11 1 111	1	3	11	p = 000 30H 001 08H 010 10H 011 18H 100 20H 101 28H 110 30H 111 38H

NOTE: RETN loads IFF<sub>2</sub> - IFF<sub>1</sub>

IN A, (n)	A - (n)	.	.	X	.	X	.	.	.	.	.	11 011 011 DB	2	3	11	n to A <sub>0</sub> - A <sub>7</sub> Acc. to A <sub>8</sub> - A <sub>15</sub>
												- n -				
IN r, (C)	r - (C)	.	.	X	.	X	.	.	.	.	.	11 101 101 ED	2	3	12	C to A <sub>0</sub> - A <sub>7</sub> B to A <sub>8</sub> - A <sub>15</sub>
	If r = 110 only the flags will be affected											01 r 000				
INI	(HL) - (C) B - B - 1	X	1	X	X	X	X	1	X			11 101 101 ED 10 100 010 A2	2	4	16	C to A <sub>0</sub> - A <sub>7</sub> B to A <sub>8</sub> - A <sub>15</sub>
	HL - HL + 1											11 101 101 ED 10 110 010 B2				
INR, B	(HL) - (C) B - B - 1 HL - HL + 1 Repeat until B = 0	X	1	X	X	X	X	1	X			11 101 101 ED 10 110 010 B2	2	5 (If B ≠ 0) 4 (If B = 0)	21	C to A <sub>0</sub> - A <sub>7</sub> B to A <sub>8</sub> - A <sub>15</sub>
												11 101 101 ED 10 111 010 BA				
IND	(HL) - (C) B - B - 1 HL - HL - 1	X	1	X	X	X	X	1	X			11 101 101 ED 10 101 010 AA	2	4	16	C to A <sub>0</sub> - A <sub>7</sub> B to A <sub>8</sub> - A <sub>15</sub>
												11 101 101 ED 10 111 010 BA				
INDR	(HL) - (C) B - B - 1 HL - HL - 1 Repeat until B = 0	X	1	X	X	X	X	1	X			11 101 101 ED 10 111 010 BA	2	5 (If B ≠ 0) 4 (If B = 0)	21	C to A <sub>0</sub> - A <sub>7</sub> B to A <sub>8</sub> - A <sub>15</sub>
												11 010 011 D3 - n -				
OUT (n), A	(n) - A	.	.	X	.	X	.	.	.	.	.	11 010 011 D3	2	3	11	n to A <sub>0</sub> - A <sub>7</sub> Acc. to A <sub>8</sub> - A <sub>15</sub>
OUT (C), r	(C) - r	.	.	X	.	X	.	.	.	.	.	11 101 101 ED 01 r 001	2	3	12	C to A <sub>0</sub> - A <sub>7</sub> B to A <sub>8</sub> - A <sub>15</sub>
OUTI	(C) - (HL) B - B - 1	X	1	X	X	X	X	1	X			11 101 101 ED 10 100 011 A3	2	4	16	C to A <sub>0</sub> - A <sub>7</sub> B to A <sub>8</sub> - A <sub>15</sub>
	HL - HL + 1											11 101 101 ED 10 110 011 B3				
OTIR	(C) - (HL) B - B - 1 HL - HL + 1 Repeat until B = 0	X	1	X	X	X	X	1	X			11 101 101 ED 10 110 011 B3	2	5 (If B ≠ 0) 4 (If B = 0)	21	C to A <sub>0</sub> - A <sub>7</sub> B to A <sub>8</sub> - A <sub>15</sub>
												11 101 101 ED 10 101 011 AB				
OUTD	(C) - (HL)	X	1	X	X	X	X	1	X			11 101 101 ED 10 101 011 AB	2	4	16	C to A <sub>0</sub> - A <sub>7</sub> B to A <sub>8</sub> - A <sub>15</sub>



Group  
(continued)

Mnemonic	Symbolic Operation	Flags		Flags				Opcode			No. of Bytes	No. of M Cycles	No. of T States	Comments		
		S	Z	H	P/V	N	C	78	543	210 Hex						
OTDR	(C) - (HL)	X	1	X	X	X	1	X	11	101	101	ED	2	5 (If B = 0)	21	C to A <sub>0</sub> - A <sub>7</sub> B to A <sub>8</sub> - A <sub>15</sub>
	B - B - 1 HL - HL - 1. Repeat until B = 0								10	111	011					

ary of  
ation

Instruction	D <sub>7</sub> S	Z	H	P/V	N	D <sub>0</sub> C	Comments		
ADD A, s; ADC A, s	1	1	X	1	X	V	0	1	8-bit add or add with carry.
SUB s; SBC A, s; CP s; NEG	1	1	X	1	X	V	1	1	8-bit subtract, subtract with carry, compare and negate accumulator.
AND s	1	1	X	1	X	P	0	0	Logical operations.
OR s, XOR s	1	1	X	0	X	P	0	0	
INC s	1	1	X	1	X	V	0	0	
DEC s	1	1	X	1	X	V	1	0	8-bit decrement.
ADD DD, ss	0	0	X	X	X	0	0	1	16-bit add.
ADC HL, ss	1	1	X	X	X	V	0	1	16-bit add with carry.
SBC HL, ss	1	1	X	X	X	V	1	1	16-bit subtract with carry.
RLA, RLCA, RRA; RRCA	0	0	X	0	X	0	0	1	Rotate accumulator.
RL m; RLC m; RR m; RRC m; SLA m; SRA m; SRL m	1	1	X	0	X	P	0	1	Rotate and shift locations.
RLD; RRD	1	1	X	0	X	P	0	0	Rotate digit left and right.
DAA	1	1	X	1	X	P	0	1	Decimal adjust accumulator.
CPL	0	0	X	1	X	0	1	0	Complement accumulator.
SCF	0	0	X	0	X	0	0	1	Set carry.
CCF	0	0	X	X	X	0	0	1	Complement carry.
IN r (C)	1	1	X	0	X	P	0	0	Input register indirect.
INI, IND, OUTI; OUTD	X	1	X	X	X	X	1	0	Block input and output, Z = 0 if B = 0 otherwise Z = 0.
INIR; INDR; OTIR; OTDR	X	1	X	X	X	X	1	0	
LDI; LDD	X	X	X	0	X	1	0	0	
LDIR; LDDR	X	X	X	0	X	0	0	0	Block transfer instructions. P/V = 1 if BC = 0, otherwise P/V = 0.
CPI; CPIR; CPD; CPDR	X	1	X	X	X	1	1	0	
LD A, i; LD A, R	1	1	X	0	X	IFF	0	0	The content of the interrupt enable (IIP-IOP (IFF)) is copied into the P/V flag. The state of bit b of location s is copied into the Z flag.
BIT b, s	X	1	X	1	X	X	0	0	

Symbol  
ation

Symbol	Operation	Symbol	Operation
S	Sign flag. S = 1 if the MSB of the result is 1.	1	The flag is affected according to the result of the operation.
Z	Zero flag. Z = 1 if the result of the operation is 0.	0	The flag is unchanged by the operation.
P/V	Parity or overflow flag. Parity (P) and overflow (V) share the same flag. Logical operations affect this flag with the parity of the result while arithmetic operations affect this flag with the overflow of the result. If P/V holds parity, P/V = 1 if the result of the operation is even, P/V = 0 if result is odd. If P/V holds overflow, P/V = 1 if the result of the operation produced an overflow.	1	The flag is reset by the operation.
H	Half-carry flag. H = 1 if the add or subtract operation produced a carry into or borrow from bit 4 of the accumulator.	X	The flag is set by the operation.
N	Add/Subtract flag. N = 1 if the previous operation was a subtract.	X	The flag is a "don't care."
H & N	H and N flags are used in conjunction with the decimal adjust instruction (DAA) to properly correct the result into packed BCD format following addition or subtraction using operands with packed BCD format.	V	P/V flag affected according to the overflow result of the operation.
C	Carry/Link flag. C = 1 if the operation produced a carry from the MSB of the operand or result.	P	P/V flag affected according to the parity result of the operation.
		r	Any one of the CPU registers A, B, C, D, E, H, L.
		s	Any 8-bit location for all the addressing modes allowed for the particular instruction.
		ss	Any 16-bit location for all the addressing modes allowed for that instruction.
		ii	Any one of the two index registers IX or IY.
		R	Refresh counter.
		n	8-bit value in range < 0, 255 >.
		nn	16-bit value in range < 0, 65535 >.

B. CARACTERISTICAS DE LOS ELEMENTOS

c/



# DAC-10

## 10-BIT HIGH SPEED MULTIPLYING D/A CONVERTER UNIVERSAL DIGITAL LOGIC INTERFACE

### FEATURES

- Fast Settling ..... 85ns
- Low Full Scale Drift ..... 10ppm/°C
- Nonlinearity to 0.05% Max Over Temp Range
- Differential Current Outputs ..... 0 to 4mA
- Wide Range Multiplying Capability ... 1MHz Bandwidth
- Wide Power Supply Range ... +5, -7.5 Min to ±18V Max
- Direct Interface to TTL, CMOS, ECL, PMOS, NMOS

### GENERAL DESCRIPTION

The DAC-10 series of 10-bit monolithic multiplying Digital-to-Analog Converters provide high-speed performance and full-scale accuracy.

Advanced circuit design achieves 85ns settling times with very low 'glitch' and low power consumption. Direct interface to all-popular logic families with full noise immunity is provided by the high-swing, adjustable threshold logic inputs.

All DAC-10 series models guarantee full 10-bit monotonicity, and nonlinearities as tight as  $\pm 0.05\%$  over the entire operating temperature range are available. Device performance is essentially unchanged over the  $\pm 18V$  power supply range, with 85mW power consumption attainable at lower supplies.

A highly stable, unique trim method is used, which selectively shorts zener diodes, to provide  $\frac{1}{2}$  LSB full scale accuracy without the need for laser trimming.

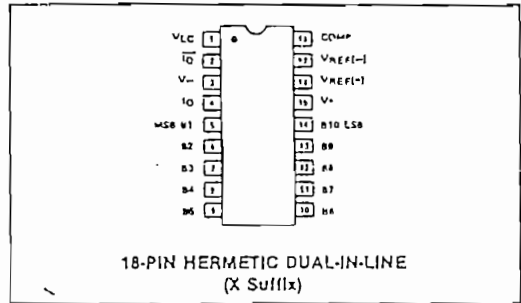
Single-chip reliability coupled with low cost and outstanding flexibility make the DAC-10 device an ideal building block for A/D converters, Data Acquisition systems, CRT display, programmable test equipment, and other applications where low power consumption, input/output versatility, and long-term stability are required.

### ORDERING INFORMATION†

I.N.L. L.S.B.	DUAL-IN-LINE PACKAGE 18 PIN HERMETIC	
	MILITARY TEMP.*	COMMERCIAL TEMP.
$\pm 1/2$	DAC10BX*	DAC10FX
$\pm 1$	DAC10CX*	DAC10GX

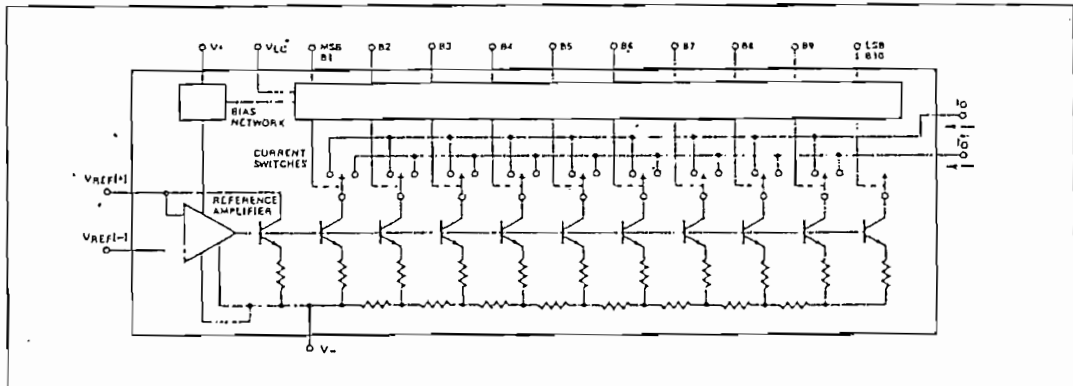
\* Also available with MIL-STD-883B processing. To order add/883 as a suffix to the part number.  
† All listed parts are available with 160 hour burn-in. See Ordering Information, Section 2.

### PIN CONNECTIONS



18-PIN HERMETIC DUAL-IN-LINE  
(X Suffix)

### SIMPLIFIED SCHEMATIC



Manufactured under one or more of the following patents:  
4,055,770, 4,056,740, 4,092,639

OPERATING CONDITIONS

Operating Temperature	-55°C to +125°C
Storage Temperature	0°C to +70°C
Temperature Range (T <sub>J</sub> )	-65°C to +150°C
Power Dissipation	-65°C to +150°C
Power Dissipation (500mW)	500mW
Power Dissipation (10mW/°C)	10mW/°C
Power Dissipation (300°C)	300°C
Power Dissipation (36V)	36V

Logic Inputs	V- to V- plus 36V
V <sub>LC</sub>	V- to V+
Analog Current Outputs	+18 to -18V
Reference Inputs (V <sub>14</sub> to V <sub>15</sub> )	V- to V+
Reference Input Differential Voltage (V <sub>14</sub> to V <sub>15</sub> )	±18V
Reference Input Current (I <sub>14</sub> )	2.5mA

NOTE: Ratings apply to both packaged parts and DICE unless otherwise noted.  
\*Over full operating range

CHARACTERISTICS at V<sub>S</sub> = ±15V; I<sub>REF</sub> = 2.0mA; -55°C ≤ T<sub>A</sub> ≤ 125°C for DAC-10B and DAC-10C, 0°C ≤ T<sub>A</sub> unless otherwise noted. Output characteristics apply to both I<sub>OUT</sub> and I<sub>OUT</sub>.

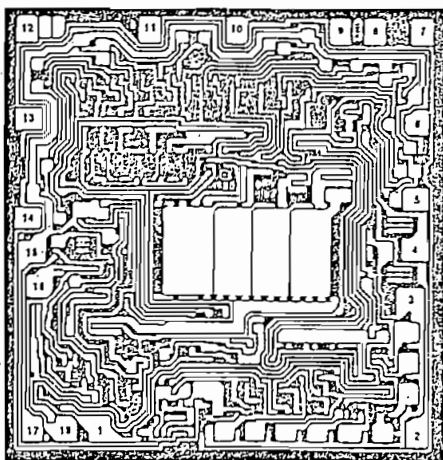
SYMBOL	CONDITIONS	DAC-10B/F			DAC-10C/G			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
		10	—	—	10	—	—	Bits
INL		—	0.3	0.5	—	0.8	1	LSB
INL		—	0.3	1.0	—	0.7	—	LSB
Settle	All Bits Switched ON or OFF Settle to 0.05% of FS (See Note)	—	85	135	—	85	150	ns
Capacitance		—	18	—	—	18	—	pF
Propagation Delay (HLH)	All Bits Switched R <sub>L</sub> = 5kΩ R <sub>L</sub> = 0	—	50	—	—	50	—	ns
Full Scale Current Change	Full Scale Current Change < 1 LSB	—	-5.5	—	—	-5.5	—	V
Gain Error	(See Note)	—	±10	±25	—	±10	±50	ppm/°C
Offset Error	I <sub>FR</sub> - I <sub>FR</sub>	—	0.1	4.0	—	0.1	4.0	μA
Offset Error		—	0.01	0.5	—	0.01	0.5	μA
Reference Current	(See Note)	3.968	3.996	4.024	3.936	3.996	4.056	mA
Reference Current		—	8	—	—	6	—	mA/μs
Reference Current		—	-1	-3	—	-1	-3	nA
Gain Error	4.5V ≤ V <sub>S</sub> ≤ 18V -18V ≤ V <sub>S</sub> ≤ -4.5V	—	0.001	0.01	—	0.001	0.01	% ΔI <sub>FS</sub> /ΔV
Gain Error		—	0.0012	0.01	—	0.0012	0.01	% ΔI <sub>FS</sub> /ΔV
Gain Error	V <sub>S</sub> = +5V/-7.5V; I <sub>REF</sub> = 1.0mA	—	2.3	4.0	—	2.3	4.0	mA
Gain Error		—	9.0	15	—	9.0	15	mA
Gain Error		—	1.8	4.0	—	1.8	4.0	mA
Gain Error		—	5.9	9	—	5.9	9	mA
Gain Error	V <sub>S</sub> = +5V/-7.5V; I <sub>REF</sub> = 1.0mA	—	231	276	—	231	276	mW
Gain Error		—	85	107	—	85	107	mW
Common Mode Voltage	V <sub>LC</sub> = 0	—	—	0.8	—	—	0.8	V
Common Mode Voltage		2.0	—	—	2.0	—	—	V
Common Mode Voltage	V <sub>LC</sub> = 0; -5V ≤ V <sub>IN</sub> ≤ 0.8V 2.0V ≤ V <sub>IN</sub> ≤ 18V	-10	-5	—	-10	-5	—	μA
Common Mode Voltage		—	0.001	10	—	0.001	10	μA

CHARACTERISTICS at V<sub>S</sub> = ±15V; I<sub>REF</sub> = 2.0mA; T<sub>A</sub> = 25°C, unless otherwise noted. Output characteristics

SYMBOL	CONDITIONS	DAC-10B/C/F			DAC-10G			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
		10	—	—	10	—	—	Bits
INL		—	0.3	0.5	—	0.8	1	LSB
INL		—	0.3	1.0	—	0.7	—	LSB
Full Scale Current Change	Full Scale Current Change < 1 LSB	-5	-8/+18	+10	-5	-8/+15	+10	V
Reference Current	V <sub>REF</sub> = 10.000V, R <sub>14</sub> = R <sub>15</sub> = 5.000kΩ	3.978	3.996	4.014	3.956	3.996	4.036	mA
Offset Error	I <sub>FR</sub> - I <sub>FR</sub>	—	0.1	4.0	—	0.1	4.0	μA
Offset Error		—	0.01	0.5	—	0.01	0.5	μA

10 DAC-10 D/A CONVERTERS

DICE CHARACTERISTICS



DIE SIZE 0.086 x 0.090 Inch

1.  $V_{LC}$  (LOGIC) THRESHOLD CONTROL
2.  $I_O$
3.  $V^-$
4.  $I_O$
5. B1 (MSB)
6. B2
7. B3
8. B4
9. B5
10. B6
11. B7
12. B8
13. B9
14. B10 (LSB)
15.  $V^+$
16.  $V_{REF} (+)$
17.  $V_{REF} (-)$
18. COMPENSATION

Refer to Section 2 for additional DICE Information.

ELECTRICAL CHARACTERISTICS at  $V_S = \pm 15V$ ,  $I_{REF} = 0.5mA$ , and  $T_A = 25^\circ C$ , unless otherwise specified. Output characteristics refer to both  $I_{OUT}$  and  $\overline{I_{OUT}}$ .

PARAMETER	SYMBOL	CONDITIONS	DAC-10-N LIMIT	DAC-10-G LIMIT	UNITS
Resolution			10	10	Bits MIN
Monotonicity			10	10	Bits MIN
Nonlinearity	NL		$\pm 0.5$	$\pm 1.0$	LSB MAX
Output Voltage Compliance	$V_{OC}$	True 1/2 LSB	+10.0 -5.0	+10.0 -5.0	V MAX V MIN
Output Current Range		$I_{FS} \pm 3.996 MA$	$\pm 18$	$\pm 40$	$\mu A$ MAX
Zero Scale Current	$I_{ZS}$	All Bits OFF	0.5	0.5	$\mu A$ MAX
Logic Input "1"	$V_{IH}$	$I_{IN} = 100nA$	2.0	2.0	V MIN
Logic Input "0"	$V_{IL}$	$V_{LC}$ @ Ground $I_{IN} = -100\mu A$	0.8	0.8	V MAX
Positive Supply Current	$I^+$	$V^+ = 15V$	14.0	14.0	mA MAX
Negative Supply Current	$I^-$	$V^- = -15V$	15.0	15.0	mA MAX

TYPICAL ELECTRICAL CHARACTERISTICS at  $V_S \pm 15V$  and  $I_{REF} = 0.5mA$ , unless otherwise specified. Output characteristics refer to both  $I_{OUT}$  and  $\overline{I_{OUT}}$ .

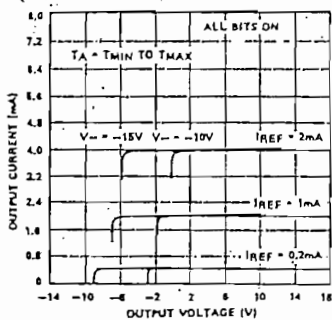
PARAMETER	SYMBOL	CONDITIONS	DAC-10-N TYP	DAC-10-G TYP	UNITS
Settling Time	$t_s$	To $\pm 1/2$ LSB When Output is Switched from 0 to FS	85	85	ns
Gain Temperature Coefficient (TC)		$V_{REF}$ Tempco Excluded	$\pm 10$	$\pm 10$	ppm FS/ $^\circ C$
Output Capacitance			18	18	pF
Output Resistance			10	10	M $\Omega$

CURVES

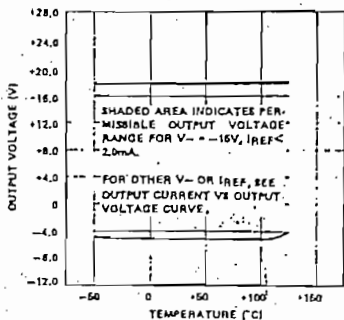
ARY



OUTPUT CURRENT vs OUTPUT VOLTAGE (OUTPUT VOLTAGE COMPLIANCE)



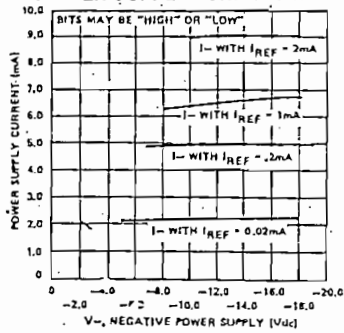
OUTPUT VOLTAGE COMPLIANCE vs TEMPERATURE



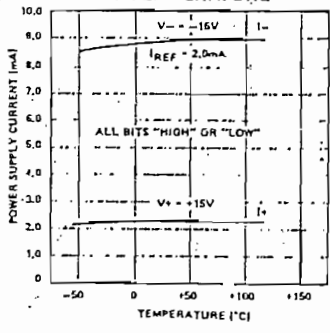
vs V+



POWER SUPPLY CURRENT vs V-



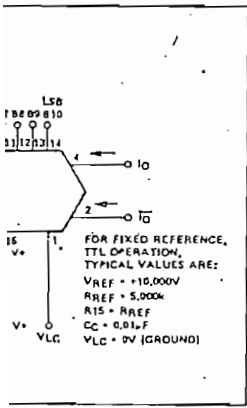
POWER SUPPLY CURRENT vs TEMPERATURE



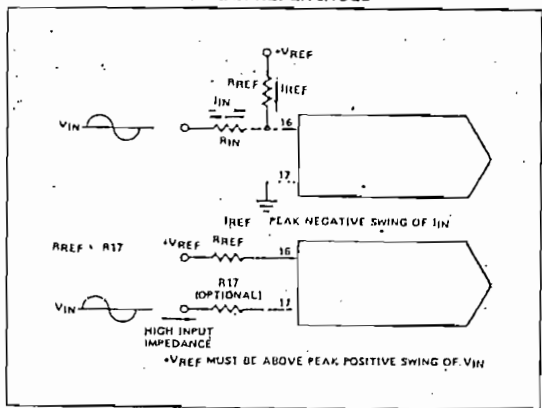
10

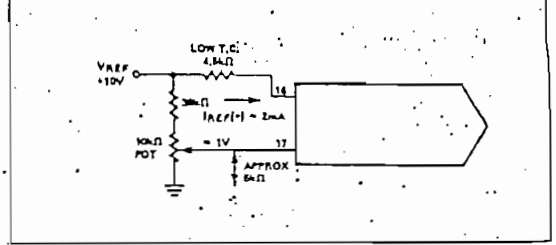
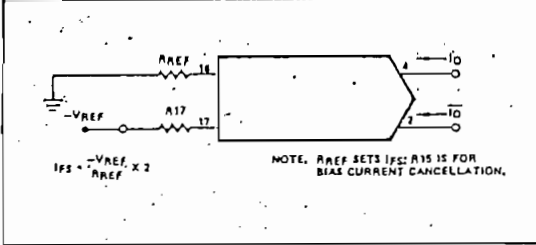
D/A CONVERTERS DAC-10

PERATION



ACCOMMODATING BIPOLAR REFERENCES





**BASIC UNIPOLAR NEGATIVE OPERATION**

	B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	$I_{Omax}$	$\overline{I_{Omax}}$	$E_0$	$\overline{E_0}$
FULL RANGE	1	1	1	1	1	1	1	1	1	1	3.998	0.000	-4.995	-0.000
HALF SCALE + LSB	1	0	0	0	0	0	0	0	0	0	2.004	1.992	-2.505	-2.490
HALF SCALE	1	0	0	0	0	0	0	0	0	0	2.000	1.996	-2.500	-2.495
HALF SCALE - LSB	0	1	1	1	1	1	1	1	1	1	1.998	2.000	-2.495	-2.500
ZERO SCALE + LSB	0	0	0	0	0	0	0	0	0	1	0.004	3.992	-0.005	-4.990
ZERO SCALE	0	0	0	0	0	0	0	0	0	0	0.000	3.996	-0.000	-4.995

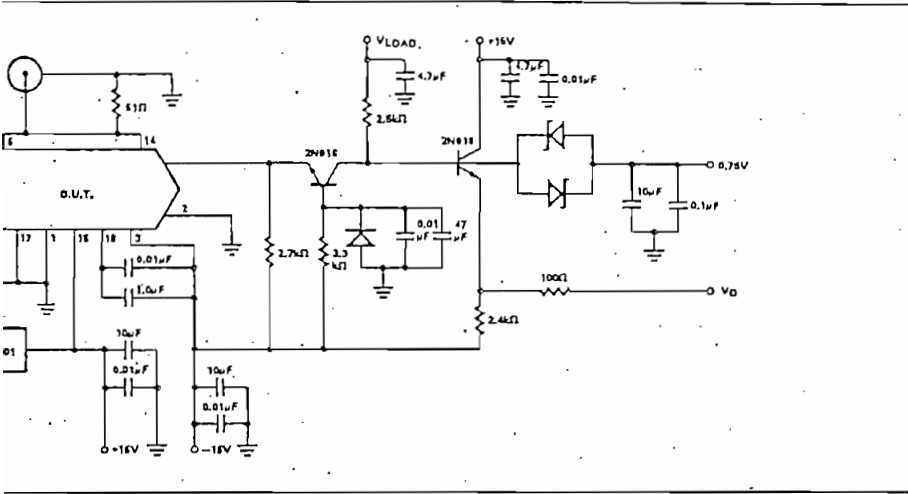
**BASIC BIPOLAR OUTPUT OPERATION**

	B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	$E_0$	$\overline{E_0}$
POS FULL RANGE	1	1	1	1	1	1	1	1	1	1	-4.990	+5.000
POS FULL RANGE - LSB	1	1	1	1	1	1	1	1	1	0	-4.980	+4.990
ZERO SCALE + LSB	1	0	0	0	0	0	0	0	0	1	-0.010	+0.020
ZERO SCALE	1	0	0	0	0	0	0	0	0	0	0.000	+0.010
ZERO SCALE - LSB	0	1	1	1	1	1	1	1	1	1	+0.010	0.000
NEG FULL SCALE + LSB	0	0	0	0	0	0	0	0	0	1	+4.990	-4.980
NEG FULL SCALE	0	0	0	0	0	0	0	0	0	0	+5.000	-4.990

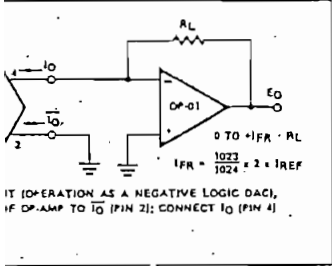
**OFFSET BINARY OPERATION**

	B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	$E_0$
POS FULL RANGE	1	1	1	1	1	1	1	1	1	1	+4.990
ZERO SCALE	1	0	0	0	0	0	0	0	0	0	0.00
NEG FULL SCALE + 1 LSB	0	0	0	0	0	0	0	0	0	1	-4.990
NEG FULL SCALE	0	0	0	0	0	0	0	0	0	0	-5.000

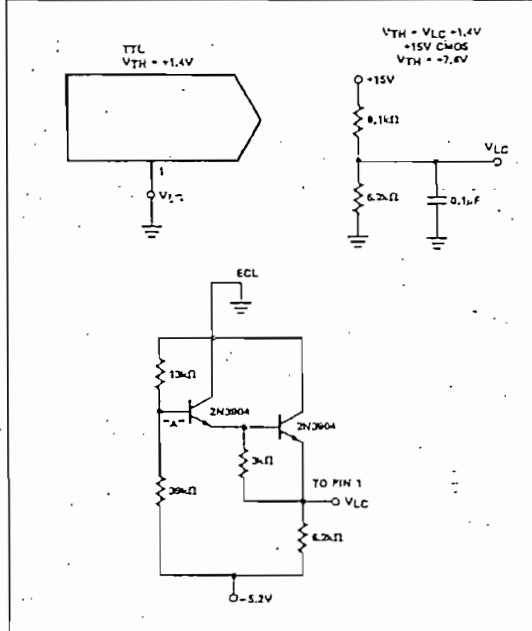
MEASUREMENT



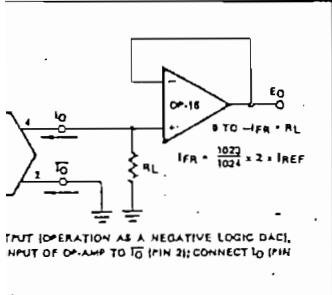
OP-01 RANGE OUTPUT OPERATION



INTERFACING WITH VARIOUS LOGIC FAMILIES



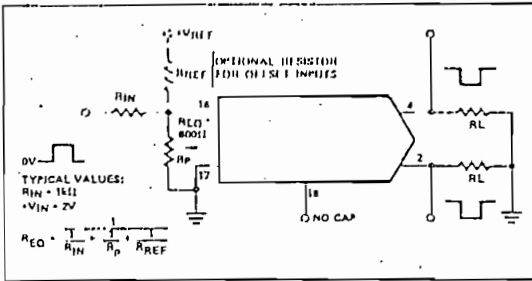
OP-16 RANGE OUTPUT OPERATION



D/A CONVERTERS DAC-10



PULSED REFERENCE OPERATION



APPLICATIONS INFORMATION

REFERENCE AMPLIFIER SETUP

The DAC-10 is a multiplying D/A converter in which the output current is the product of a digital number and the input reference current. The reference current may be fixed or may vary from nearly zero to +4.0mA. The full scale output current is a linear function of the reference current and is given by:

$$I_{FR} = \frac{1023}{1024} \times 2 \times (I_{REF}) \text{ where } I_{REF} = I_{16}$$

In positive reference applications, an external positive reference voltage forces current through R16 into the  $V_{REF(+)}$  terminal (pin 16) of the reference amplifier. Alternatively, a negative reference may be applied to  $V_{REF(-)}$  at pin 17; reference current flows from ground through R16 into  $V_{REF(+)}$  as in the positive reference case. This negative reference connection has the advantage of a very high impedance presented at pin 17. The voltage at pin 18 is equal to and tracks the voltage at pin 17 due to the high gain of the internal reference amplifier. R17 (nominally equal to R16) is used to cancel bias current errors; R17 may be eliminated with only a minor increase in error.

Bipolar references may be accommodated by offsetting  $V_{REF}$  or pin 17. The negative common mode range of the reference amplifier is given by:  $V_{CM} = -V$  plus  $(I_{REF} \times 2k\Omega)$  plus 2V. The positive common mode range is  $V+$  less 1.8V.

When a DC reference is used, a reference bypass capacitor is recommended. A 5.0V TTL logic supply is not recommended as a reference. If a regulated power supply is used as a reference, R16 should be split into two resistors with the junction bypassed to ground with a 0.1  $\mu$ F capacitor.

For most applications the tight relationship between  $I_{REF}$  and  $I_{FS}$  will eliminate the need for trimming  $I_{REF}$ . If required, full scale trimming may be accomplished by adjusting the value of R16, or by using a potentiometer for R16. An improved method of full scale trimming which eliminates potentiometer T.C. effects is shown in the Recommended Full Scale Adjustment circuit.

The reference amplifier must be compensated by using a capacitor from pin 18 to  $V-$ . For fixed reference operation, a 0.01  $\mu$ F capacitor is recommended. For variable reference applications, see section entitled "Reference Amplifier Compensation for Multiplying Applications."

MULTIPLYING OPERATION

The DAC-10 provides excellent multiplying performance with an extremely linear relationship between  $I_{FS}$  and  $I_{REF}$  over a range of 4mA to 4  $\mu$ A. Monotonic operation is maintained over a typical range of  $I_{REF}$  from 100  $\mu$ A to 4.0mA.

REFERENCE AMPLIFIER COMPENSATION FOR MULTIPLYING APPLICATIONS

AC reference applications will require the reference amplifier to be compensated using a capacitor from pin 18 to  $V-$ . The value of this capacitor depends on the impedance presented to pin 16 for R16 values of 1.0, 2.5 and 5.0k $\Omega$ . Minimum values of  $C_C$  are 15, 37, and 75pF. Larger values of R16 require proportionately increased values of  $C_C$  for proper phase margin.

For fastest response to a pulse, low values of R16 enabling small  $C_C$  values should be used. If pin 16 is driven by a high impedance such as a transistor current source, none of the above values will suffice and the amplifier must be heavily compensated which will decrease overall bandwidth and slew rate. For R16 = 1 k $\Omega$  and  $C_C$  = 15pF, the reference amplifier slews at 4mA/ $\mu$ s enabling a transition from  $I_{REF} = 0$  to  $I_{REF} = 2mA$  in 500ns.

Operation with pulse inputs to the reference amplifier may be accommodated by an alternate compensation scheme. This technique provides lowest full scale transition times. An internal clamp allows quick recovery of the reference amplifier from a cutoff ( $I_{REF} = 0$ ) condition. Full scale transition (0 to 2mA) occurs in 120ns when the equivalent impedance at pin 16 is 200 $\Omega$  and  $C_C = 0$ . This yields a reference slew rate of 16mA/ $\mu$ s which is relatively independent of  $R_{IN}$  and  $V_{IN}$  values.

LOGIC INPUTS

The DAC-10 design incorporates a unique logic input circuit which enables direct interface to all popular logic families and provides maximum noise immunity. This feature is made possible by the large input swing capability, 2  $\mu$ A logic input current and completely adjustable logic threshold voltage. For  $V- = -15V$ , the logic inputs may swing between -5 and +18V. This enables direct interface with +15V CMOS logic, even when the DAC-10 is powered from a +5V supply. Minimum input logic swing and minimum logic threshold voltage are given by:  $V- \text{ plus } (I_{REF} \times 2k\Omega) \text{ plus } 3V$ . The logic threshold may be adjusted over a wide range by placing an appropriate voltage at the logic threshold control pin (pin 1,  $V_{LC}$ ). The appropriate graph shows the relationship between  $V_{LC}$  and  $V_{TH}$  over the temperature range, with  $V_{TH}$  nominally 1.4 above  $V_{LC}$ . For TTL interface, simply ground pin 1. When interfacing ECL, an  $I_{REF} = 1mA$  is recommended. For interfacing other logic families, see previous page. For general setup of the logic control circuit, it should be noted that pin 1 will sink 1.1mA typical; external circuitry should be designed to accommodate this current.

Fastest settling times are obtained when pin 1 sees a low impedance. If pin 1 is connected to a 1k $\Omega$  divider, for example, it should be bypassed to ground by a 0.01  $\mu$ F capacitor.

## CURRENTS

emented output sink currents are provided. Current appears at the "true" output when each logic input. As the binary count current at pin 4 increases proportionally, in a positive logic "D/A converter. When a "0" is bit, that current is turned off at pin 4 and decreasing logic count increases  $I_O$  as in a negative logic D/A converter. Both outputs may be used. If one of the outputs is not required it should be connected to ground or to a point capable of sinking the current. DO NOT LEAVE AN UNUSED OUTPUT PIN UNCONNECTED.

The DAC-10 has an extremely wide voltage compliance. The current-to-voltage conversion through a load resistor and/or other voltage source. Positive compliance is  $+10V$  above  $V_-$  and is independent of the positive compliance. Negative compliance is  $+10V$  above  $V_-$ .

The DAC-10 can handle double the usual peak-to-peak load current in quasi-differential fashion. This is useful in cable driving, CRT deflection and applications such as driving center-tapped transformers.

The DAC-10 operates over a wide range of power supply voltage. The supply voltage range is 9V to 36V. When operating with a supply voltage of 9V or less,  $I_{REF} \leq 1mA$  is recommended. Low power operation decreases power consumption. The DAC-10 has a wide voltage compliance, reference amplifier negative range, negative logic input range, and output range; consult the various figures for details. For example, operation at  $-9V$  with  $I_{REF} = 2mA$  is possible because negative output compliance would be zero. Operation from lower supplies is possible if at least 1V total must be applied to insure proper bias network.

External components are not required, as the DAC-10 is quite tolerant of variations in supply voltage. Battery operation is possible and connection is required; however, an external resistor may be used to insure logic swings, etc. within acceptable limits.

## PERFORMANCE

The DAC-10 meets and exceeds monotonicity specifications of the DAC-10 and is used to apply over the entire rated operating range. Full scale output current drift is light,  $\pm 0.1\%$ , with zero scale output current and drift error compared to  $1/2$  LSB.

The DAC-10 has a coefficient of the reference resistor  $R_{14}$  that is less than that of the output resistor for minimum

overall full scale drift. Settling times of the DAC-10 decrease approximately 10% at  $-55^\circ C$ ; at  $+125^\circ C$  an increase of about 15% is typical.

## SETTLING TIME

The DAC-10 is capable of extremely fast settling times; typically 85ns at  $I_{REF} = 2.0mA$ . Judicious circuit design and careful board layout must be employed to obtain full performance potential during testing and application. The logic switch design enables propagation delays of only 35ns for each of the 10 bits. Settling time to within  $1/2$  LSB of the LSB is therefore 35ns, with each progressively larger bit taking successively longer. The MSB settles in 130ns, thus determining the overall settling time of 85ns. Settling to 8-bit accuracy requires about 60 to 78ns. The output capacitance of the DAC-10 including the package is approximately 18pF; therefore the output RC time constant dominates settling time if  $R_L > 500\Omega$ .

Settling time and propagation delay are relatively insensitive to logic input amplitude and rise and fall times, due to the high gain of the logic switches. Settling time also remains essentially constant for  $I_{REF}$  values down to 1.0mA, with gradual increases for lower  $I_{REF}$  values. The principal advantage of higher  $I_{REF}$  values lies in the ability to attain a given output level with lower load resistors, thus reducing the output RC time constant.

Measurement of settling time requires the ability to accurately resolve  $\pm 2\mu A$ , therefore a 2.5k $\Omega$  load is needed to provide adequate drive for most oscilloscopes. The settling time fixture of schematic titled "Settling Time Measurement" uses a cascode design to permit driving a 2.5k $\Omega$  load with less than 5pF of parasitic capacitance at the measurement node. At  $I_{REF}$  values of less than 1.0mA, excessive RC damping of the output is difficult to prevent while maintaining adequate sensitivity. However, the major carry from 011111111 to 1000000000 provides an accurate indicator of settling time. This code changes does not require the normal 6.2 time constants to settle to within  $\pm 0.2\%$  of the final value, and thus settling times may be observed at lower values of  $I_{REF}$ .

DAC-10 switching transients or "glitches" are very low and may be further reduced by small capacitive loads at the output at a minor sacrifice in settling time.

Fastest operation can be obtained by using short leads, minimizing output capacitance and load resistor values, and by adequate bypassing at the supply, reference and  $V_{LC}$  terminals. Supplies do not require large electrolytic bypass capacitors as the supply current drain is independent of input logic states; 0.1 $\mu F$  capacitors at the supply pins provide full transient protection.



D/A CONVERTERS DAC-10

ADC0808, ADC0809 8-Bit  $\mu$ P Compatible A/D Converters  
8-Channel Multiplexer

Description

ADC0809 data acquisition component is a  $\mu$ OS device with an 8-bit analog-to-digital channel multiplexer and microprocessor control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The device uses a high impedance chopper stabilized 256R voltage divider with analog switch tree and five approximation register. The 8-channel multiplexer directly access any of 8 single-ended ana-

eliminates the need for external zero and full-scale inputs. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address and latched TTL TRI-STATE<sup>®</sup> outputs.

The ADC0808, ADC0809 has been optimized for the most desirable aspects of several conversion techniques. The ADC0808, ADC0809 offer high accuracy, minimal temperature drift, excellent long-term accuracy and repeatability, and minimal power. These features make them ideally suited to applications from process control to consumer and automotive applications. The 8-channel multiplexer with common output port (see ADC0816 data sheet).

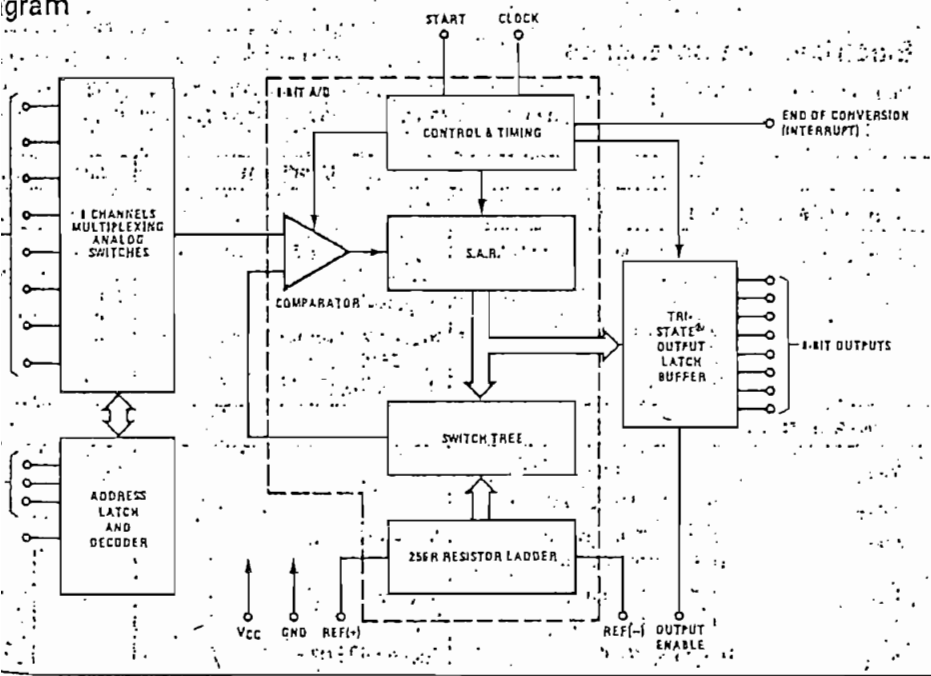
Features

- Resolution — 8-bits
- Total unadjusted error. —  $\pm 1/2$  LSB and  $\pm 1$  LSB
- No missing codes
- Conversion time — 100  $\mu$ s
- Single supply — 5 V<sub>DC</sub>
- Operates ratiometrically or with 5 V<sub>DC</sub> or analog span adjusted voltage reference
- 8-channel multiplexer with latched control logic
- Easy Interface to all microprocessors, or operates "stand alone"
- Outputs meet T<sup>2</sup>L voltage level specifications
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Standard hermetic or molded 28-pin DIP package
- Temperature range — 40°C to +85°C or —55°C to +125°C
- Low power consumption — 15 mW
- Latched TRI-STATE<sup>®</sup> output

ADC0808, ADC0809

5

Diagram



Typical Applications (Continued)

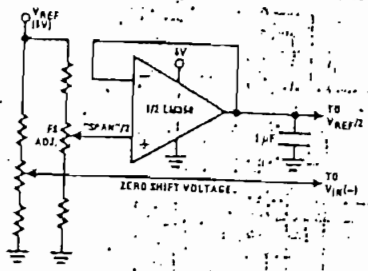


FIGURE 19. Offsetting the Zero of the ADC0801 and Performing an Input Range (Span) Adjustment

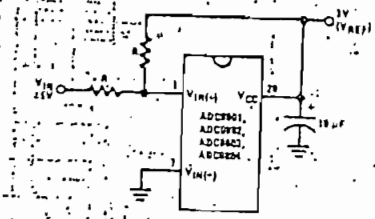


FIGURE 20. Handling ±5V Analog Input Range

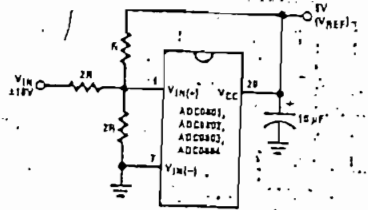


FIGURE 21. Handling ±10V Analog Input Range

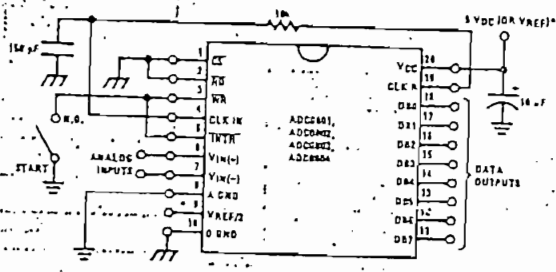


FIGURE 22. Free Running Connection

Ordering Information

TEMPERATURE RANGE		0°C TO +70°C	-40°C TO +85°C	-55°C TO +125°C
ERROR	±1/4 Bit Adjusted	ADC0801LCN	ADC0801LCD	ADC0801LD
	±1/2 Bit Unadjusted	ADC0802LCN	ADC0802LCD	ADC0802LD
	±1/2 Bit Adjusted	ADC0803LCN	ADC0803LCD	ADC0803LD
	±1 Bit Unadjusted	ADC0804LCN	ADC0804LCD	
PACKAGE OUTLINE		N20A—MOLDED DIP	D20A—CAVITY DIP	D20A—CAVITY DIP

**Absolute Maximum Ratings (Notes 1 and 2)**

Supply Voltage (V <sub>CC</sub> ) (Note 3)	8.5V
Voltage at Any Pin Except Control Inputs	-0.3V to (V <sub>CC</sub> + 0.3V)
Voltage at Control Inputs (START, OE, CLOCK, ALE, ADD A, ADD B, ADD C)	-0.3V to +15V
Storage Temperature Range	-85°C to +150°C
Package Dissipation at T <sub>A</sub> = 25°C	875 mW
Lead Temperature (Soldering, 10 seconds)	300°C

**Operating Ratings (Notes 1 and 2)**

Temperature Range (Note 1)	T <sub>MIN</sub> ≤ T <sub>A</sub> ≤ T <sub>MAX</sub>
ADC0808CJ	-55°C ≤ T <sub>A</sub> ≤ +125°C
ADC0808CCJ, ADC0808CCN, ADC0809CCN	-40°C ≤ T <sub>A</sub> ≤ +85°C
Range of V <sub>CC</sub> (Note 1)	4.5 V <sub>DC</sub> to 5.25 V <sub>DC</sub>

**Electrical Characteristics**

Converter Specifications: V<sub>CC</sub> = 5 V, V<sub>DC</sub> = V<sub>REF(+)</sub>, V<sub>REF(-)</sub> = GND, T<sub>MIN</sub> ≤ T<sub>A</sub> ≤ T<sub>MAX</sub> and f<sub>CLK</sub> = 640 kHz unless otherwise stated.

Parameter	Conditions	Min	Typ	Max
ADC0808 Total Unadjusted Error (Note 5)	25°C, T <sub>MIN</sub> to T <sub>MAX</sub>			± 1/2 ± 3/4
ADC0809 Total Unadjusted Error (Note 5)	0°C to 70°C, T <sub>MIN</sub> to T <sub>MAX</sub>			± 1 ± 1-1/4
Input Resistance	From Ref(+), to Ref(-)	1.0	2.5	
Analog Input Voltage Range	(Note 4) V(+), or V(-)	GND-0.10		V <sub>CC</sub> +0.10
V <sub>REF(+)</sub> Voltage, Top of Ladder	Measured at Ref(+)		V <sub>CC</sub>	V <sub>CC</sub> +0.1
$\frac{V_{REF(+)} + V_{REF(-)}}{2}$ Voltage, Center of Ladder		V <sub>CC</sub> /2-0.1	V <sub>CC</sub> /2	V <sub>CC</sub> /2+0.1
V <sub>REF(-)</sub> Voltage, Bottom of Ladder	Measured at Ref(-)	-0.1	0	
Comparator Input Current	I <sub>C</sub> = 640 kHz, (Note 6)	-2	± 0.5	2

**Electrical Characteristics**

Digital Levels and DC Specifications: ADC0808CJ 4.5V ≤ V<sub>CC</sub> ≤ 5.5V, -55°C ≤ T<sub>A</sub> ≤ +125°C unless otherwise noted; ADC0808CCJ; ADC0808CCN, and ADC0809CCN 4.75V ≤ V<sub>CC</sub> ≤ 5.25V, -40°C ≤ T<sub>A</sub> ≤ +85°C unless otherwise noted

Parameter	Conditions	Min	Typ	Max
<b>ANALOG MULTIPLEXER</b>				
I <sub>OFF(+)</sub> OFF Channel Leakage Current	V <sub>CC</sub> = 5V, V <sub>IN</sub> = 5V, T <sub>A</sub> = 25°C, T <sub>MIN</sub> to T <sub>MAX</sub>		10	200 1.0
I <sub>OFF(-)</sub> OFF Channel Leakage Current	V <sub>CC</sub> = 5V, V <sub>IN</sub> = 0, T <sub>A</sub> = 25°C, T <sub>MIN</sub> to T <sub>MAX</sub>	-200 -1.0	-10	
<b>CONTROL INPUTS</b>				
V <sub>IN(1)</sub> Logical "1" Input Voltage			V <sub>CC</sub> -1.5	
V <sub>IN(0)</sub> Logical "0" Input Voltage				1.5
I <sub>IN(1)</sub> Logical "1" Input Current (The Control Inputs)	V <sub>IN</sub> = 15V			1.0
I <sub>IN(0)</sub> Logical "0" Input Current (The Control Inputs)	V <sub>IN</sub> = 0	-1.0		
I <sub>CC</sub> Supply Current	f <sub>CLK</sub> = 640 kHz		0.3	3.0

Characteristics (Continued)

Applications: ADC0808CJ  $4.5V \leq V_{CC} \leq 5.5V$ ,  $-55^{\circ}C \leq T_A \leq +125^{\circ}C$  unless otherwise noted  
 CN, and ADC0809CCN  $4.75 \leq V_{CC} \leq 5.25V$ ,  $-40^{\circ}C \leq T_A \leq +85^{\circ}C$  unless otherwise noted

Parameter	Conditions	Min	Typ	Max	Units
<b>(INTERRUPT)</b>					
Output Voltage	$I_O = -360 \mu A$	$V_{CC}-0.4$			V
Output Voltage	$I_O = 1.6 \text{ mA}$			0.45	V
Output Voltage EOC	$I_O = 1.2 \text{ mA}$			0.45	V
Output Current	$V_O = 5V$ $V_O = 0$	-3		3	$\mu A$ $\mu A$

Characteristics

$V_{CC} = V_{REF(+)} = 5V$ ,  $V_{REF(-)} = GND$ ,  $t_r = t_f = 20 \text{ ns}$  and  $T_A = 25^{\circ}C$  unless otherwise noted.

Parameter	Conditions	Min	Typ	Max	Units
Start Pulse Width	(Figure 5)		100	200	ns
ALE Pulse Width	(Figure 5)		100	200	ns
Address Set-Up Time	(Figure 5)		25	50	ns
Address Hold Time	(Figure 5)		25	50	ns
MUX Delay Time t <sub>DE</sub>	$R_S = 0\Omega$ (Figure 5)		1	2.5	$\mu s$
Control to Q Logic State	$C_L = 50 \text{ pF}$ , $R_L = 10k$ (Figure 8)		125	250	ns
Control to Hi-Z	$C_L = 10 \text{ pF}$ , $R_L = 10k$ (Figure 8)		125	250	ns
Conversion Time	$f_c = 640 \text{ kHz}$ , (Figure 5) (Note 7)	90	100	116	$\mu s$
Conversion Frequency		10	640	1280	kHz
Setup Time	(Figure 5)	0		$8 \pm 2 \mu s$	Clock Periods
Capacitance	At Control Inputs		10	15	pF
Tri-State <sup>®</sup> Output Capacitance	At TRI-STATE <sup>®</sup> Outputs, (Note 12)		10	15	pF



Values are those values beyond which the life of the device may be impaired.

Diodes are connected with respect to GND, unless otherwise specified.

Diodes are internally connected from  $V_{CC}$  to GND and has a typical breakdown voltage of  $7 V_{CC}$ .

Diodes are connected to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop above  $V_{CC}$ . This means that as long as the analog  $V_{IN}$  does not exceed the supply voltage, the output code will be correct. To achieve an absolute 0  $V_{DC}$  to 5  $V_{DC}$  input voltage range will therefore require a minimum supply voltage of 100 mV forward bias of either diode. Initial tolerance and loading.

Diodes affect, full-scale, linearity, and multiplexer errors. See Figure 3. None of these A/Ds requires a zero or full-scale adjustment. For an analog input other than 0.0V, or if a narrow full-scale span exists (for example: 0.5V to 4.5V full-scale) the reference voltage must be adjusted. See Figure 13.

Diodes are a bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and is shown in Figure 6. See paragraph 4.0.

Registers are updated one clock cycle before the rising edge of EOC.

## Functional Description

**Multiplexer:** The device contains an 8-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. Table I shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE I

SELECTED ANALOG CHANNEL	ADDRESS LINE		
	C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

### CONVERTER CHARACTERISTICS

#### The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed

to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach (Figure 1) was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in Figure 1 are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached +1/2 LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs iterations to approximate the input voltage. For any SAR type converter, n-iterations are required for an n-bit converter. Figure 2 shows a typical example of a 3-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 8 bits using the 256R network.

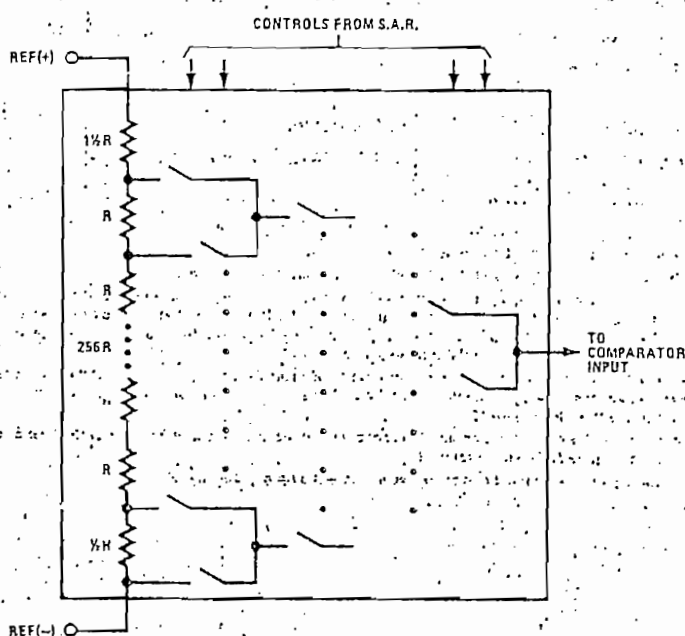
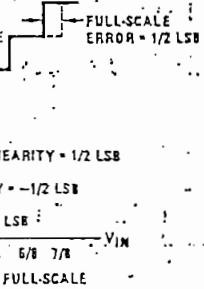


FIGURE 1. Resistor Ladder and Switch Tree

tion (Continued)

ive approximation register  
edge of the start conversion  
begun on the falling edge of  
conversion in process will be  
new start conversion pulse.  
e accomplished by tying the  
ut to the SC input. If used in  
conversion pulse should be  
of-conversion will go low be-  
after the rising edge of start

of the A/D converter is the  
which is responsible for the  
the converter. It is also the



Transfer Curve

comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed through a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

Figure 4 shows a typical error curve for the ADC0808 as measured using the procedures outlined in AN-179.

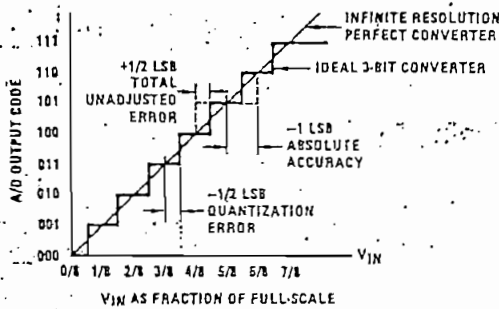


FIGURE 3. 3-Bit A/D Absolute Accuracy Curve

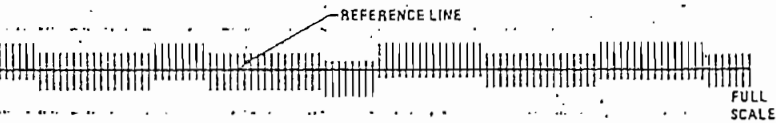


FIGURE 4. Typical Error Curve

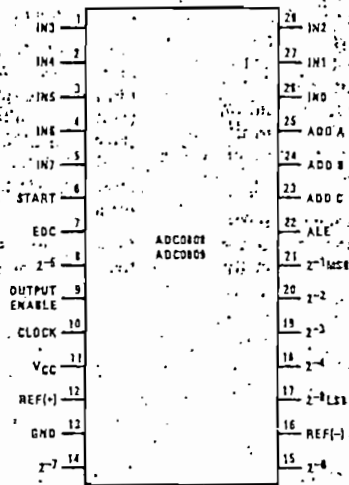
ADC0808, ADC0809

5



Connection Diagram

Dual-In-Line Package



TOP VIEW

Timing Diagram

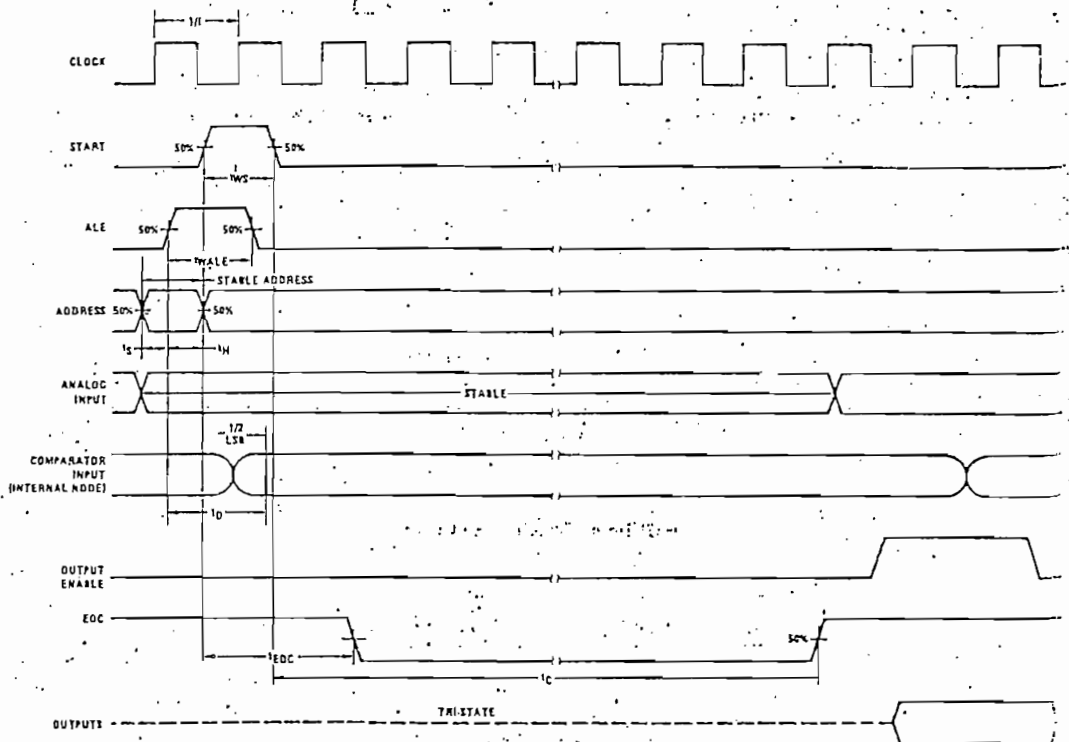
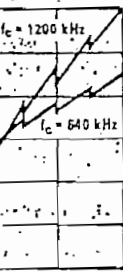


FIGURE 5

Characteristics



for  $I_{IN}$  vs  $V_{IN}$

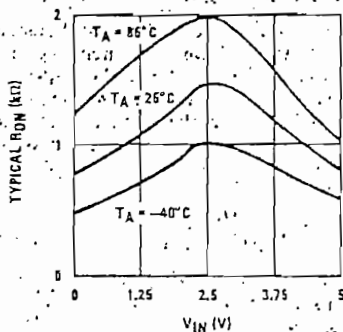


FIGURE 7: Multiplexer  $R_{ON}$  vs  $V_{IN}$  ( $V_{CC} = V_{REF} = 5\text{V}$ )

Timing Diagrams

5

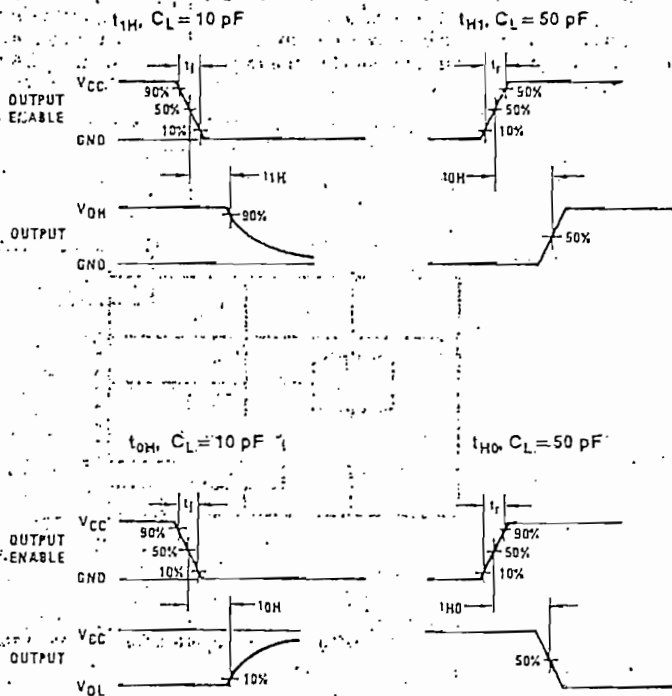


FIGURE 8

ADCC0808, ADCC0809

needs less than a millamp of supply current. The supply from the reference is readily obtained. In Figure 11 a ground referenced system is shown which generates the supply from the reference. The op amp can be an op amp of sufficient drive to supply a millamp of supply current and the desired bus capacitance bus is driven by the outputs a large capacitor will supply the transient supply current as seen in Figure 12. The LM301 is overcompensated to insure when loaded by the 10  $\mu$ F output capacitor.

The top and bottom ladder voltages cannot exceed  $V_{CC}$  and ground, respectively, but they can be symmetrically less than  $V_{CC}$  and greater than ground. The center of the ladder voltage should always be near the center of the supply. The sensitivity of the converter can be increased, (i.e., size of the LSB steps decreased) by using a symmetrical reference system. In Figure 13, a 2.5V reference is symmetrically centered about  $V_{CC}/2$  since the same current flows in identical resistors. This system with a 2.5V reference allows the LSB bit to be half the size of a 5V reference system.

ADC0808, ADC0809

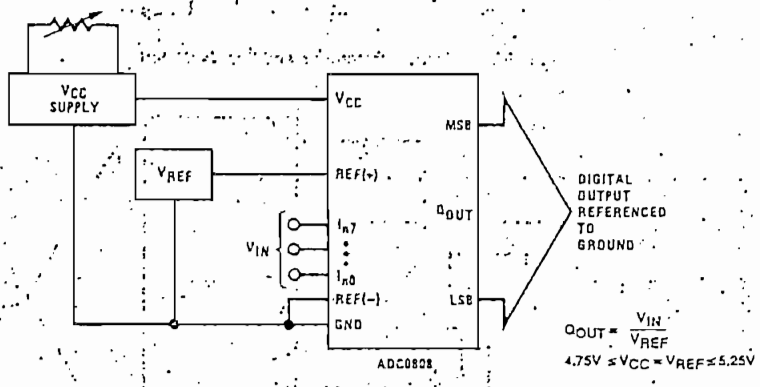


FIGURE 10. Ground Referenced Conversion System Using Trimmed Supply

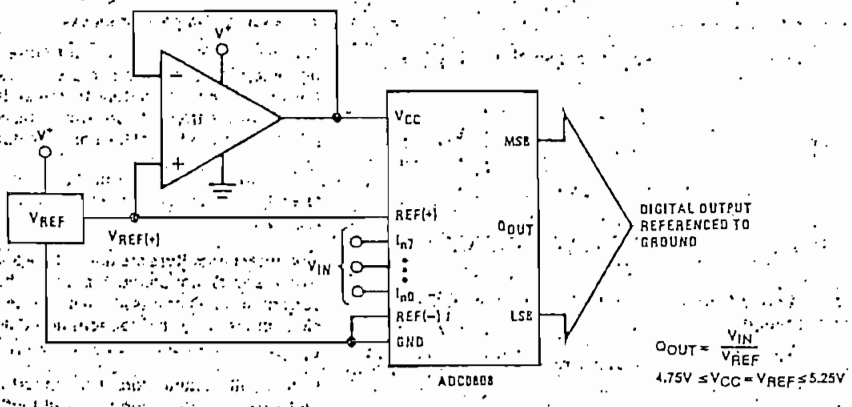


FIGURE 11. Ground Referenced Conversion System with Reference Generating  $V_{CC}$  Supply

Information (Continued)

less than a milliamper of supply current. The supply from the reference is readily available. In Figure 11 a ground referenced system is used where the supply from the reference. The use of an op amp of sufficient drive to provide the supply current and the desired bus voltage. The bus is driven by the outputs a large transient supply current as seen in Figure 10. The system is overcompensated to insure stability by the 10 $\mu$ F output capacitor.

The top and bottom ladder voltages cannot exceed V<sub>CC</sub> and ground, respectively, but they can be symmetrically less than V<sub>CC</sub> and greater than ground. The center of the ladder voltage should always be near the center of the supply. The sensitivity of the converter can be increased, (i.e., size of the LSB steps decreased) by using a symmetrical reference system. In Figure 13, a 2.5V reference is symmetrically centered about V<sub>CC</sub>/2 since the same current flows in identical resistors. This system with a 2.5V reference allows the LSB bit to be half the size of a 5V reference system.

ADC0808, ADC0809

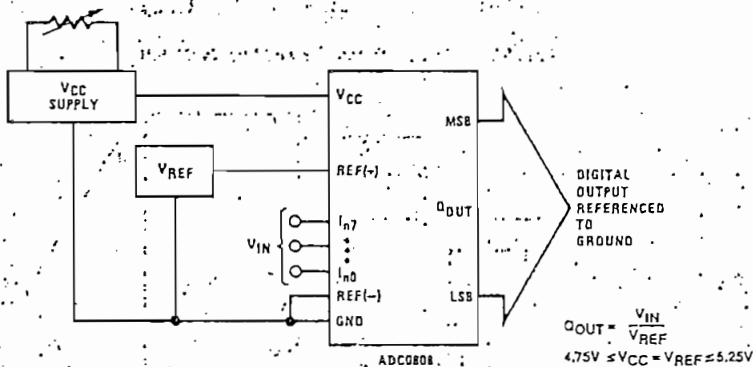


FIGURE 10. Ground Referenced Conversion System Using Trimmed Supply

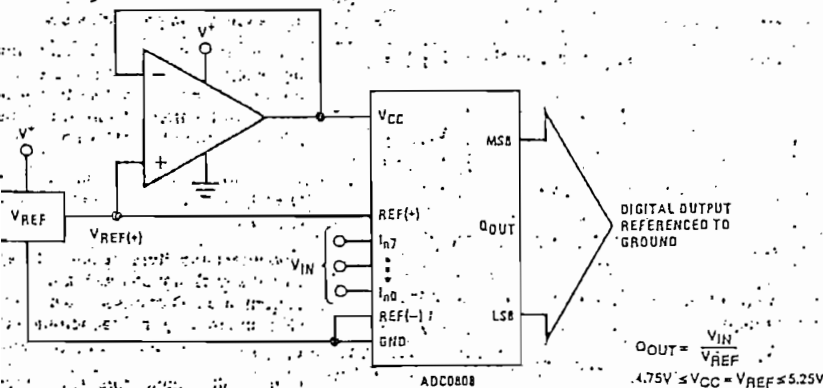
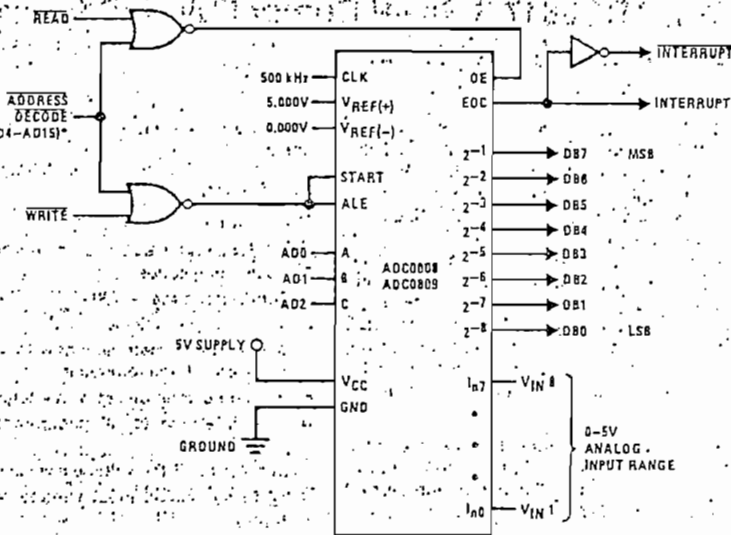


FIGURE 11. Ground Referenced Conversion System with Reference Generating V<sub>CC</sub> Supply

# Application

ADC0808, ADC0809



Address latches needed for 8085 and SC/MP Interfacing the ADC0808 to a microprocessor

MICROPROCESSOR INTERFACE TABLE

PROCESSOR	READ	WRITE	INTERRUPT (COMMENT)
8080	MEMR	MEMW	INTR (Thru RST Circuit)
8085	RD	WR	INTR (Thru RST Circuit)
Z-80	RD	WR	INT (Thru RST Circuit, Mode 0)
SC/MP	NRDS	NWDS	SA (Thru Sense A)
6800	VMA*2/RW	VMA*2/RW	IROA or IROB (Thru PIA)

# Operating Information

TEMPERATURE RANGE		-40°C to +85°C	-55°C to +125°C
Error	± 1/2 Bit Unadjusted	ADC0808CCN	ADC0808CCJ
	± 1 Bit Unadjusted	ADC0809CCN	ADC0808CJ
Package Outline		N28A Molded DIP	J28A Hermetic DIP

electrical characteristics over recommended operating free-air temperature range (unless noted)

PARAMETER	TEST CONDITIONS	VCC		TA = 25°C		SN64HC*		SN74HC*	
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	MAX
VOH (Totem-pole outputs)	VI = VIH or VIL, IOH = -20 µA	2 V	1.9	1.998	1.9			1.9	
		4.5 V	4.4	4.499	4.4			4.4	
		6 V	5.9	5.999	5.9			5.9	
VOL	VI = VIH or VIL, IOH = -4 mA	4.5 V	3.98	4.30	3.7			3.84	
		6 V	5.48	5.80	5.2			5.34	
		6 V	0.01	0.5				10	
VOH (Open-drain outputs)	VI = VIH or VIL, IO = VCC	2 V	0.002	0.1				0.1	
		4.5 V	0.001	0.1				0.1	
		6 V	0.001	0.1				0.1	
VOL	VI = VIH or VIL, IOH = 20 µA	4.5 V	0.17	0.26				0.4	
		6 V	0.15	0.26				0.4	
		6 V	0.8	1.2	1.5				
VT+1	VI = VIH or VIL, IOH = 4 mA	2 V	2	2.5	3.15				
		4.5 V	2.5	3.3	4.2				
		6 V	0.3	0.6	0.8				
VT-1	VI = VIH or VIL, IOH = 5.2 mA	2 V	0.9	1.6	2				
		4.5 V	1.2	2	2.5				
		6 V	0.2	0.6	1				
VT+ - VT-1	VI = 0 to VCC	2 V	0.4	0.9	1.4				
		4.5 V	0.5	1.3	1.7				
		6 V	±0.1	±100				±1000	
II	VI = VCC or 0, IO = 0	6 V						±1000	
ICC	VI = VCC or 0, IO = 0	6 V						±1000	
CI	VI = VCC or 0, IO = 0	2 to 6 V						20	
			3	10				10	

\*This parameter applies only for Schmitt-trigger inputs.

switching characteristics  
See individual circuit pages.

Supply voltage range, VCC ..... -0.5 V to 7 V  
 Input diode current, I<sub>IK</sub> (VI < 0 or VI > VCC) ..... ±20 mA  
 Output diode current, I<sub>OK</sub> (VO < 0 or VO > VCC) ..... ±20 mA  
 Continuous output current, IO (VO = 0 to VCC) ..... ±25 mA  
 Continuous current through VCC or GND pins ..... ±50 mA  
 Lead temperature 1.6 mm (1/16 inch) from case for 60 seconds: FH, FK, or J package ..... 300 °C  
 Storage temperature 1.6 mm (1/16 inch) from case for 10 seconds: FN or N package ..... 260 °C  
 Storage temperature range ..... -65 °C to 150 °C

Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

recommended operating conditions

	SN64HC*			SN74HC*			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
DC Supply voltage	2	5	6	2	5	6	V
High-level input voltage	VCC = 2 V	1.5		1.5			
	VCC = 4.5 V	3.15		3.15			
	VCC = 6 V	4.2		4.2			
Low-level input voltage	VCC = 2 V	0	0.3	0	0.3		V
	VCC = 4.5 V	0	0.9	0	0.9		
	VCC = 6 V	0	1.2	0	1.2		
Input voltage	0	VCC	0	VCC	0	VCC	V
Output voltage	0	VCC	0	VCC	0	VCC	V
Input transition (rise and fall) times (except Schmitt-trigger inputs)	VCC = 2 V	0	1000	0	1000		V
	VCC = 4.5 V	0	500	0	500		
	VCC = 6 V	0	400	0	400		ns
Operating free-air temperature	-55		125	-40		85	°C

TYPES SN54HC02, SN74HC02  
QUADRUPLE 2-INPUT POSITIVE-NOR GATES

D2884, DECEMBER 1982 - REVISED MARCH 1984

Package Options Include Both Plastic and Ceramic Chip Carriers in Addition to Plastic and Ceramic DIPs

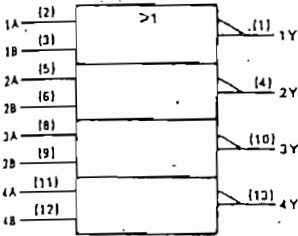
Dependable Texas Instruments Quality and Reliability

Description

These devices contain four independent 2-input NOR gates. They perform the Boolean functions  $Y = \overline{A+B}$  or  $Y = \overline{A \cdot B}$  in positive logic.

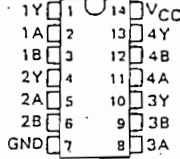
The SN54HC02 is characterized for operation over the full military temperature range of  $-55^{\circ}\text{C}$  to  $125^{\circ}\text{C}$ . The SN74HC02 is characterized for operation from  $-40^{\circ}\text{C}$  to  $85^{\circ}\text{C}$ .

Symbol

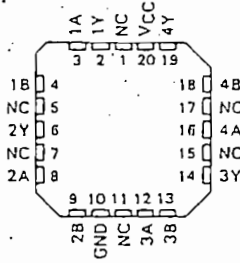


Inputs shown are for J and N packages.

SN54HC02...J PACKAGE  
SN74HC02...J OR N PACKAGE  
(TOP VIEW)



SN54HC02...FH OR FK PACKAGE  
SN74HC02...FH OR FN PACKAGE  
(TOP VIEW)



NC - No internal connection

FUNCTION TABLE (each gate)

INPUTS		OUTPUT
A	B	Y
H	X	L
X	H	L
L	L	H



HCMOS DEVICES

For ratings, recommended operating conditions, and electrical characteristics

See Table I, page 2-3.

TEXAS  
INSTRUMENTS

POST OFFICE BOX 225012 • DALLAS, TEXAS 75285

Copyright ©1982 by Texas Instruments Incorporated

TYPES SN54HC02, SN74HC02  
 QUADRUPLE 2-INPUT POSITIVE-NOR GATES

switching characteristics over recommended operating free-air temperature range (unless otherwise noted),  
 $C_L = 50 \text{ pF}$  (see Note 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	$V_{CC}$	$T_A = 25^\circ\text{C}$			SN54HC02		SN74HC02		UNIT
				MIN	TYP	MAX	MIN	MAX	MIN	MAX	
$t_{pd}$	A or B	Y	2 V		45	90		135		115	ns
			4.5 V		9	18		27		23	
			6 V		8	15		23		20	
$t_t$		Y	2 V		38	75		110		95	ns
			4.5 V		8	15		22		19	
			6 V		8	13		19		18	

$C_{pd}$	Power dissipation capacitance per gate	No load, $T_A = 25^\circ\text{C}$	22 pF typ
----------	--	-----------------------------------	-----------

NOTE 1: For load circuit and voltage waveforms, see page 1-14.

HIGH-S  
 CMOS

- Pack  
 Carc  
 and
- Dep  
 and

description

These  
 gates.  
 or Y  
 requir  
 may l  
 impl  
 AND  
 The S  
 full m  
 The S  
 -40

logic sys

Pin numbe

maximu

See

HCMOS DEVICES



HIGH-SPEED  
CMOS LOGIC

TYPES SN54HC08, SN74HC08  
QUADRUPLE 2-INPUT POSITIVE-AND GATES

D2684, DECEMBER 1982 - REVISED MARCH 1984

- Package Options Include Both Plastic and Ceramic Chip Carriers in Addition to Plastic and Ceramic DIPs

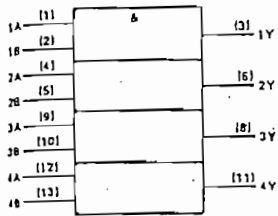
- Dependable Texas Instruments Quality and Reliability

description

These devices contain four independent 2-input AND gates. They perform the Boolean functions  $Y = A \cdot B$  or  $Y = \overline{A} + \overline{B}$  in positive logic.

The SN54HC08 is characterized for operation over the full military temperature range of  $-55^{\circ}\text{C}$  to  $125^{\circ}\text{C}$ . The SN74HC08 is characterized for operation from  $-40^{\circ}\text{C}$  to  $85^{\circ}\text{C}$ .

logic symbol



FUNCTION TABLE  
(each gate)

INPUTS		OUTPUT
A	B	Y
H	H	H
L	X	L
X	L	L

Pin numbers shown are for J and N packages.

maximum ratings, recommended operating conditions, and electrical characteristics

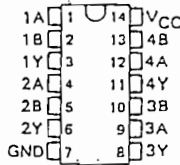
See Table I, page 2-4.

switching characteristics over recommended operating free-air temperature range (unless otherwise noted).  $C_L = 50 \text{ pF}$  (see Note 1)

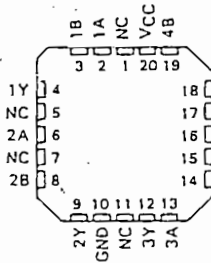
PARAMETER	FROM (INPUT)	TO (OUTPUT)	VCC	$T_A = 25^{\circ}\text{C}$			SN54HC08		SN74HC08		UNIT
				MIN	TYP	MAX	MIN	MAX	MIN	MAX	
$t_{pd}$	A or B	Y	2 V	50	100	150	125	ns			
			4.5 V	10	20	30	25				
			6 V	8	17	25	21				
$t_t$		Y	2 V	38	75	110	95	ns			
			4.5 V	8	15	22	19				
			6 V	6	12	19	16				
$C_{pd}$	Power dissipation capacitance per gate			No load, $T_A = 25^{\circ}\text{C}$				20 pF typ			

NOTE 1: For load circuit and voltage waveforms, see page 1-14.

SN54HC08 ... J PACKAGE  
SN74HC08 ... J OR N PACKAGE  
(TOP VIEW)



SN54HC08 ... FH OR FK PACKAGE  
SN74HC08 ... FH OR FN PACKAGE  
(TOP VIEW)



NC - No internal connection

HCMOS DEVICES

electrical characteristics over recommended, operating free-air temperature range (unless noted)

PARAMETER	TEST CONDITIONS	VCC	TA = 25°C			SN74HC		SN74HC	
			MIN	TYP	MAX	MIN	MAX	MIN	MAX
VOH	VI = VIH or VIL, IOH = -20 µA	2 V	1.9	1.998		1.9		1.9	
		4.5 V	4.4	4.499	4.4		4.4		
		6 V	5.9	5.999	5.9		5.9		
VOL	VI = VIH or VIL, IOL = 4 mA	2 V	0.002	0.1		0.1		0.1	
		4.5 V	0.001	0.1	0.001	0.1	0.1	0.1	
		6 V	0.17	0.26	0.15	0.26	0.4	0.4	
I <sub>I</sub>	VI = 0 to VCC	2 V							
		6 V							
C <sub>I</sub>	VI = VCC or 0, IO = 0	2 V							
		6 V							

switching characteristics

See individual circuit pages.

absolute maximum ratings over operating free-air temperature range †

- Supply voltage range, VCC ..... -0.5 V to 7 V
- Input diode current, I<sub>I</sub>(VI < 0 or VI > VCC) ..... ± 20 mA
- Output diode current, I<sub>O</sub>(VO < 0 or VO > VCC) ..... ± 20 mA
- Continuous output current, IO (VO = 0 to VCC) ..... ± 25 mA
- Continuous current through VCC or GND pins ..... ± 50 mA
- Lead temperature 1.6 mm (1/16 inch) from case for 60 seconds: FH, FK, or J package ..... 300°C
- Lead temperature 1.6 mm (1/16 inch) from case for 10 seconds: FN or N package ..... 260°C
- Storage temperature range ..... -65°C to 150°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

recommended operating conditions

	SN54HC			SN74HC			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
VCC Supply voltage	2	5	6	2	5	6	V
VIH High-level input voltage	1.5			1.5			V
	3.15			3.15			
	4.2			4.2			
VIL Low-level input voltage	0		0.3	0		0.3	V
	0		0.9	0		0.9	
	0		1.2	0		1.2	
VI Input voltage	0		VCC	0		VCC	V
VO Output voltage	0		VCC	0		VCC	V
t <sub>t</sub> Input transition (rise and fall) times	0		1000	0		1000	ns
	0		500	0		500	
	0		400	0		400	
TA Operating free-air temperature	-55		125	-40		85	°C

See individual circuits for additional timing requirements.

TYPES SN54HC74, SN74HC74  
DUAL D-TYPE POSITIVE-EDGE-TRIGGERED  
FLIP-FLOPS WITH CLEAR AND PRESET

D2684, DECEMBER 1982 - REVISED JUNE 1984

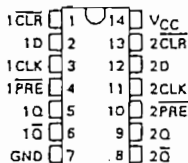
- Package Options Include Both Plastic and Ceramic Chip Carriers in Addition to Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

Description

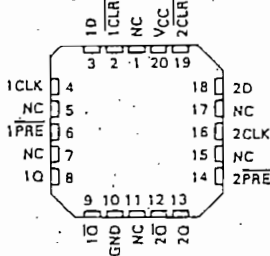
These devices contain two independent D-type positive-edge-triggered flip-flops. A low level at the Preset or Clear inputs sets or resets the outputs regardless of the levels of the other inputs. When Preset and Clear are inactive (high), data at the D input meeting the setup time requirements are transferred to the outputs on the positive-going edge of the clock pulse. Clock triggering occurs at a voltage level and is not directly related to the rise time of the clock pulse. Following the hold time interval, data at the D input may be changed without affecting the levels at the outputs.

The SN54HC74 is characterized for operation over the full military temperature range -55°C to 125°C. The SN74HC74 is characterized for operation from -40°C to 85°C.

SN54HC74 ... J PACKAGE  
SN74HC74 ... J OR N PACKAGE  
(TOP VIEW)



SN54HC74 ... FH OR FK PACKAGE  
SN74HC74 ... FH OR FN PACKAGE  
(TOP VIEW)



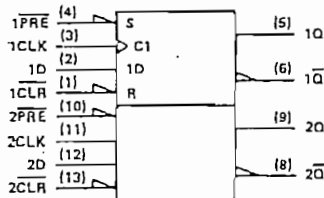
NC—No internal connection

FUNCTION TABLE

INPUTS				OUTPUTS	
PRE	CLR	CLK	D	Q	Q̄
L	H	X	X	H	L
L	L	X	X	L	H
L	L	X	X	H <sup>†</sup>	H <sup>†</sup>
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q <sub>0</sub>	Q <sub>0</sub>

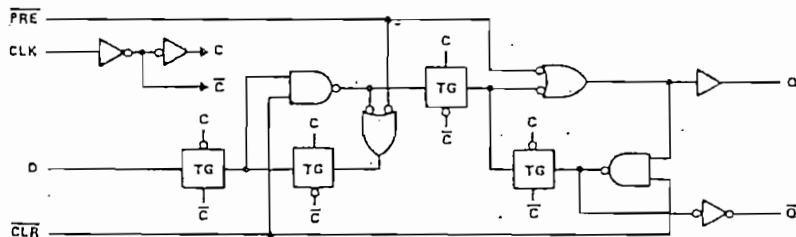
<sup>†</sup>This configuration is nonstable; that is, it will not persist when Preset or Clear returns to its inactive (high) level.

logic symbol



Pin numbers shown are for J and N packages.

Logic diagram, each flip-flop (positive logic)



CMOS DEVICES

TYPES SN54HC74, SN74HC74  
 DUAL D-TYPE POSITIVE-EDGE-TRIGGERED  
 FLIP-FLOPS WITH CLEAR AND PRESET

maximum ratings, recommended operating conditions, and electrical characteristics

See Table II, page 2-6.

timing requirements over recommended operating free-air temperature range (unless otherwise noted)

	V <sub>CC</sub>	T <sub>A</sub> = 25°C		SN54HC74		SN74HC74		UNIT
		MIN	MAX	MIN	MAX	MIN	MAX	
f <sub>clock</sub> Clock frequency	2 V	0	6	0	4.2	0	5	MHz
	4.5 V	0	31	0	21	0	25	
	6 V	0	36	0	25	0	29	
t <sub>w</sub> Pulse duration	PRE or CLR low	2 V	100	150	125	125	125	ns
		4.5 V	20	30	25	25		
		6 V	17	25	21	21		
	CLK high or low	2 V	80	120	100	100		
		4.5 V	16	24	20	20		
		6 V	14	20	17	17		
t <sub>su</sub> Setup time before CLK †	Data	2 V	100	150	125	125	125	ns
		4.5 V	20	30	25	25		
		6 V	17	25	21	21		
	PRE or CLR Inactive	2 V	25	40	30	30		
		4.5 V	5	8	6	6		
		6 V	4	7	5	5		
t <sub>h</sub> Hold time data after CLK †	2 V	0	0	0	0	0	ns	
	4.5 V	0	0	0	0			
	6 V	0	0	0	0			

switching characteristics over recommended operating free-air temperature range (unless otherwise noted), C<sub>L</sub> = 50 pF (see Note 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V <sub>CC</sub>	T <sub>A</sub> = 25°C			SN54HC74		SN74HC74		UNIT
				MIN	TYP	MAX	MIN	MAX	MIN	MAX	
f <sub>max</sub>			2 V	6	10	4.2	5	5	5	MHz	
			4.5 V	31	50	20	25	25	25		
			6 V	36	60	25	29	29	29		
t <sub>pd</sub>	PRE or CLR	Q or Q̄	2 V	70	230	345	290	290	290	ns	
			4.5 V	20	46	89	58	58			
			6 V	15	39	59	49	49			
	CLK	Q or Q̄	2 V	70	175	250	220	220			
			4.5 V	20	35	50	44	44			
			6 V	15	30	42	37	37			
t <sub>t</sub>		Q or Q̄	2 V	28	75	110	95	95	ns		
			4.5 V	8	15	22	19	19			
			6 V	8	13	19	16	16			

C <sub>pd</sub>	Power dissipation capacitance per flip-flop	No load, T <sub>A</sub> = 25°C	35 pF typ
-----------------	---	--------------------------------	-----------

NOTE 1: For load circuit and voltage waveforms, see page 1-14.

HIGH-CMO:

- Cor.
- Pac and Plas
- Dep. and

descriptio

These temp betw indic (D) in the e follow rema: inforr at the at the go hr The S over -55 chara: 85°C.

logic diag:

3 HCMOS DEVICES

absolute maximum ratings over operating free-air temperature range<sup>1</sup>

Supply voltage range, $V_{CC}$ .....	-0.5 V to 7.0 V
Input diode current, $I_{IK}(V_I < 0 \text{ or } V_I > V_{CC})$ .....	$\pm 20$ mA
Output diode current, $I_{OK}(V_O < 0 \text{ or } V_O > V_{CC})$ .....	$\pm 20$ mA
Continuous output current, $I_O (V_O = 0 \text{ to } V_{CC})$ .....	$\pm 35$ mA
Continuous current through $V_{CC}$ or GND pins .....	$\pm 70$ mA
Lead temperature 1.6 mm (1/16 inch) from case for 60 seconds; FH, FK, or J package .....	300 °C
Lead temperature 1.6 mm (1/16 inch) from case for 10 seconds; FN or N package .....	260 °C
Storage temperature range .....	-65 °C to 150 °C

<sup>1</sup>Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

recommended operating conditions

	SN54HC <sup>†</sup>			SN74HC <sup>†</sup>			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
$V_{CC}$ Supply voltage	2	5	6	2	5	6	V
$V_{IH}$ High-level input voltage	$V_{CC} = 2$ V	1.5		1.5			V
	$V_{CC} = 4.5$ V	3.15		3.15			
	$V_{CC} = 6$ V	4.2		4.2			
$V_{IL}$ Low-level input voltage	$V_{CC} = 2$ V	0	0.3	0	0	0.3	V
	$V_{CC} = 4.5$ V	0	0.9	0	0	0.9	
	$V_{CC} = 6$ V	0	1.2	0	0	1.2	
$V_I$ Input voltage		0	$V_{CC}$	0	$V_{CC}$	$V_{CC}$	V
	Output voltage	0	$V_{CC}$	0	$V_{CC}$	$V_{CC}$	
Input transition (rise and fall times except Schmitt-trigger inputs)	$V_{CC} = 2$ V	0	1000	0	0	1000	ns
	$V_{CC} = 4.5$ V	0	500	0	0	500	
	$V_{CC} = 6$ V	0	400	0	0	400	
A Operating/free-air temperature	-55		125	-40		85	°C

electrical characteristics over recommended operating free-air temperature range (unless noted)

PARAMETER	TEST CONDITIONS	$V_{CC}$	$T_A = 25^\circ\text{C}$			SN54HC <sup>†</sup>	SN74HC <sup>†</sup>
			MIN	TYP	MAX		
$V_{OH}$	$V_I = V_{IH}$ or $V_{IL}$ , $I_{OH} = -20 \mu\text{A}$	2 V	1.9	1.998		1.9	1.9
		4.5 V	4.4	4.499		4.4	4.4
		6 V	5.9	5.999		5.9	5.9
$V_{OL}$	$V_I = V_{IH}$ or $V_{IL}$ , $I_{OH} = \text{See Notes 1 and 5}$	4.5 V	3.98	4.30		3.7	3.84
		6 V	5.48	5.80		5.2	5.34
		2 V	0.002	0.1		0.1	0.1
$I_{CC1}$	$V_I = -V_{IH}$ or $V_{IL}$ , $I_{OL} = 20 \mu\text{A}$	4.5 V	0.001	0.1		0.1	0.1
		6 V	0.001	0.1		0.1	0.1
		4.5 V	0.17	0.26		0.4	0.4
$I_{CC2}$	$V_I = V_{IH}$ or $V_{IL}$ , $I_{OL} = \text{See Notes 3 and 5}$	6 V	0.15	0.26		0.4	0.4
		6 V	$\pm 0.1$	$\pm 100$		$\pm 1000$	$\pm 1000$
		6 V	$\pm 0.01$	$\pm 0.5$		$\pm 10$	$\pm 10$
$C_{I1}$	$V_I = V_{CC}$ or 0, $I_O = 0$	6 V		8		160	160
		5 V		8		160	160
		2 to 6 V		3	10		10

<sup>†</sup>This parameter,  $I_{OZ}$ , the high-impedance-state output current, applies only to three-state outputs and transceiver I/O pins. This parameter,  $C_I$ , does not apply to transceiver I/O ports.

- NOTES: 1.  $I_{OH} = -4$  mA for standard outputs and  $-6$  mA for high-current outputs.  
 2.  $I_{OH} = -5.2$  mA for standard outputs and  $-7.8$  mA for high-current outputs.  
 3.  $I_{OL} = 4$  mA for standard outputs and  $6$  mA for high-current outputs.  
 4.  $I_{OL} = 5.2$  mA for standard outputs and  $7.8$  mA for high-current outputs.  
 5. High-current outputs are indicated by the P in the logic symbol. All 3-state outputs (indicated by the V in the logic symbol) are also high-current outputs.

switching characteristics

See individual circuit pages.

# TYPES SN54HC138, SN74HC138 3-LINE TO 8-LINE DECODERS/DEMULTIPLEXERS

D2684, DECEMBER 1982—REVISED MARCH 1984

Specifically for High-Speed  
Decoders and Data Transmission

3 Enable Inputs to Simplify  
and/or Data Reception

Options Include Both Plastic and  
Chip Carriers In Addition to Plastic  
Ceramic DIPs

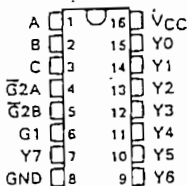
Available Texas Instruments Quality and  
Reliability

The SN54HC138 circuit is designed to be used in high-performance memory-decoding or data-reception applications requiring very short propagation delay times. In high-performance systems this decoder can be used to minimize the effects of system decoding. When employed with high-speed memories and a fast enable circuit, the delay times of the decoder and the enable time of the memory are less than the typical access time of the memory. This means that the effective propagation delay introduced by the decoder is negligible.

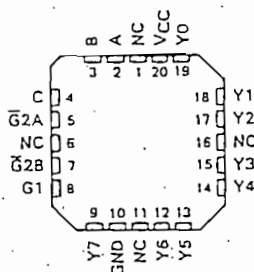
Connections at the binary select inputs at the enable inputs select one of eight input combinations to active-low and one active-high enable inputs. This reduces the need for external gates or inverters when expanding. A 24-line decoder can be implemented without external inverters and a 24-line decoder requires only one inverter. An output can be used as a data input for expanding applications.

The SN54HC138 is characterized for operation over the full military temperature range of -55°C to 125°C. The SN74HC138 is characterized for operation from -40°C to 125°C.

SN54HC138 . . . J PACKAGE  
SN74HC138 . . . J OR N PACKAGE  
(TOP VIEW)



SN54HC138 . . . FH OR FK PACKAGE  
SN74HC138 . . . FH OR FN PACKAGE  
(TOP VIEW)

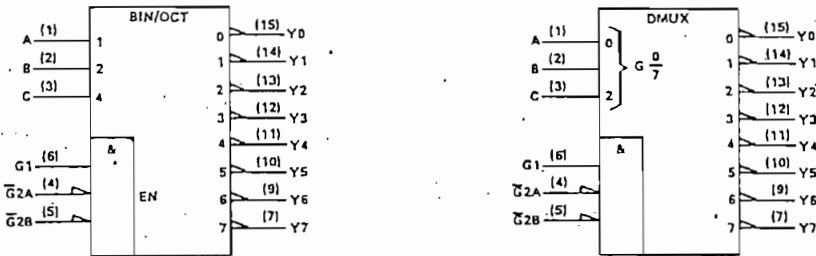


NC—No internal connection

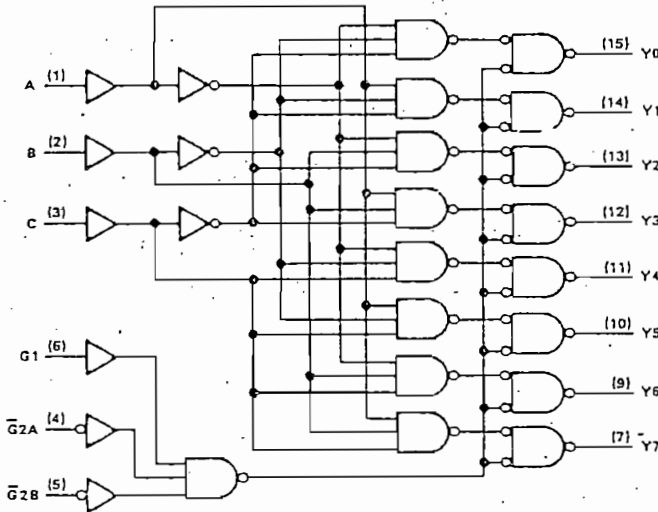
HCMOS DEVICES

TYPES SN54HC138, SN74HC138  
3-LINE TO 8-LINE DECODERS/DEMULTIPLEXERS

logic symbols (alternatives)



logic diagram (positive logic)



Pin numbers shown are for J and N packages.

maximum rat  
See Table  
switching ch  
noted),  $C_L =$

PARAMETER
$t_{pd}$
$t_{pd}$
$t_t$
$C_{pd}$

NOTE 1: For Ir

HCMOS DEVICES

TYPES SN54HC138, SN74HC138  
3-LINE TO 8-LINE DECODERS/DEMULTIPLEXERS

FUNCTION TABLE

ENABLE INPUTS		SELECT INPUTS			OUTPUTS							
G2A	G2B	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
H	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	H	H	H	H	H	H	H	H
X	X	X	X	X	H	H	H	H	H	H	H	H
L	L	L	L	L	L	H	H	H	H	H	H	H
L	L	L	L	H	H	L	H	H	H	H	H	H
L	L	L	H	L	H	H	L	H	H	H	H	H
L	L	L	H	H	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	L	H	H	H
L	L	H	L	H	H	H	H	H	H	L	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L

Recommended operating conditions, and electrical characteristics

Page 2-10.

Statistics over recommended operating free-air temperature range (unless otherwise specified) (see Note 1)

FROM (INPUT)	TO (OUTPUT)	V <sub>CC</sub>	T <sub>A</sub> = 25°C			SN54HC138		SN74HC138		UNIT
			MIN	TYP	MAX	MIN	MAX	MIN	MAX	
C	Any Y	2 V	67	180		270		225	ns	
		4.5 V	18	36		54		45		
		6 V	15	31		46		38		
B	Any Y	2 V	66	155		235		195	ns	
		4.5 V	18	31		47		39		
		6 V	15	26		40		33		
A	Any	2 V	38	75		110		95	ns	
		4.5 V	8	15		22		19		
		6 V	6	13		19		16		

Power dissipation capacitance	No load, T <sub>A</sub> = 25°C	85 pF typ
-------------------------------	--------------------------------	-----------

Input voltage waveforms, see page 1-14.

HCMOS DEVICES



absolute maximum ratings over operating free-air temperature range †

Supply voltage range, $V_{CC}$ .....	-0.5 V to 7 V.
Input diode current, $I_{IK}(V_I < 0 \text{ or } V_I > V_{CC})$ .....	$\pm 20$ mA
Output diode current, $I_{OK}(V_O < 0 \text{ or } V_O > V_{CC})$ .....	$\pm 20$ mA
Continuous output current, $I_O$ ( $V_O = 0$ to $V_{CC}$ ) .....	$\pm 25$ mA
Continuous current through $V_{CC}$ or GND pins .....	$\pm 50$ mA
Lead temperature 1,6 mm (1/16 inch) from case for 60 seconds: FH, FK, or J package .....	300°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds: FN or N package .....	260°C
Storage temperature range .....	-65°C to 150°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

recommended operating conditions

	SN5411C			SN74HC			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
$V_{CC}$ Supply voltage	2	5	6	2	5	6	V
$V_{IH}$ High-level input voltage	$V_{CC} = 2$ V	1.5		1.5			V
	$V_{CC} = 4.5$ V	3.15		3.15			
	$V_{CC} = 6$ V	4.2		4.2			
$V_{IL}$ Low-level input voltage	$V_{CC} = 2$ V	0	0.3	0	0	0.3	V
	$V_{CC} = 4.5$ V	0	0.9	0	0	0.9	
	$V_{CC} = 6$ V	0	1.2	0	1.2	1.2	
$V_I$ Input voltage	0		$V_{CC}$	0		$V_{CC}$	V
$V_O$ Output voltage	0		$V_{CC}$	0		$V_{CC}$	V
$t_t$ Input transition (rise and fall) times (except Schmitt-trigger inputs)	$V_{CC} = 2$ V	0	1000	0	1000	0	ns
	$V_{CC} = 4.5$ V	0	500	0	500	0	
	$V_{CC} = 6$ V	0	400	0	400	0	
$T_A$ Operating free-air temperature	-55		125	-40		85	°C

electrical characteristics over recommended operating free-air temperature range (unless noted)

PARAMETER	TEST CONDITIONS	$V_{CC}$	$T_A = 25^\circ\text{C}$			SN5411C		SN74HC	
			MIN	TP	MAX	MIN	MAX	MIN	MAX
$V_{OH}$	$V_I = V_{IH}$ or $V_{IL}$ , $I_{OH} = -20 \mu\text{A}$	2 V	1.9	1.988		1.9		1.9	
		4.5 V	4.4	4.499		4.4		4.4	
		6 V	5.9	5.999		5.9		5.9	
$V_{OL}$	$V_I = V_{IH}$ or $V_{IL}$ , $I_{OH} = -4 \text{ mA}$	4.5 V	3.98	4.30		3.7		3.84	
	$V_I = V_{IH}$ or $V_{IL}$ , $I_{OH} = -5.2 \text{ mA}$	6 V	5.48	5.80		5.2		5.34	
	$V_I = V_{IH}$ or $V_{IL}$ , $I_{OL} = 20 \mu\text{A}$	2 V	0.002	0.1		0.1		0.1	
$I_L$	$V_I = V_{IH}$ or $V_{IL}$ , $I_{OL} = 4 \text{ mA}$	4.5 V	0.001	0.1		0.1		0.1	
	$V_I = V_{IH}$ or $V_{IL}$ , $I_{OL} = 4 \text{ mA}$	6 V	0.001	0.1		0.1		0.1	
	$V_I = V_{IH}$ or $V_{IL}$ , $I_{OL} = 5.2 \text{ mA}$	4.5 V	0.17	0.26		0.4		0.4	
$I_{Steff}$	$V_I = V_{IH}$ or $V_{IL}$ , $I_{OL} = 5.2 \text{ mA}$	6 V	0.15	0.26		0.4		0.4	
	$V_I = 0$ to $V_{CC}$	6 V	$\pm 0.1$	$\pm 100$		$\pm 1000$		$\pm 1$	
	$V_I = V_{CC}$ or 0, $V_S = \pm V_{CC}$	6 V	$\pm 0.1$	$\pm 0.1$		$\pm 1$		$\pm 1$	
$V_{T+}$		2 V	0.8	1.2	1.5				
		4.5 V	2	2.5	3.15				
		6 V	2.5	3.3	4.2				
$V_{T-}$		2 V	0.3	0.6	0.8				
		4.5 V	0.9	1.6	2				
		6 V	1.2	2	2.5				
$V_{T+} - V_{T-}$		2 V	0.2	0.6	1				
		4.5 V	0.4	0.9	1.4				
		6 V	0.5	1.3	1.7				
$I_{CC}$	$V_I = V_{CC}$ or 0, $I_O = 0$	6 V			8		160		
$C_1$		2 to 6 V	3	10			10		

† This parameter,  $I_{Steff}$ , is for analog switches only.  
 † These threshold parameters apply only to Schmitt-trigger inputs.  
 switching characteristics  
 See individual circuit pages.

SPEED  
S LOGIC

# TYPES SN54HC374, SN74HC374 OCTAL D-TYPE EDGE-TRIGGERED FLIP-FLOPS WITH 3-STATE OUTPUTS

D2684, DECEMBER 1982—REVISED MARCH 1984

D-Type Flip-Flops in a Single Package

High-Current 3-State True Outputs Can  
Drive up to 15 LSTTL Loads

Full Parallel Access for Loading

Package Options Include Both Plastic and  
Ceramic Chip Carriers In Addition to Plastic  
and Ceramic DIPs

Dependable Texas Instruments Quality and  
Reliability

These 8-bit flip-flops feature three-state outputs  
designed specifically for driving highly capacitive  
relatively low-impedance loads. They are  
particularly suitable for implementing buffer  
drivers, I/O ports, bidirectional bus drivers, and  
latching registers.

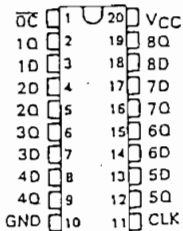
Each package contains eight flip-flops of the 'HC374 are edge-  
triggered D-type flip-flops. On the positive  
edge of the clock the Q outputs will be set  
to the logic levels that were set up at the D  
inputs.

The output-control input can be used to place the  
outputs in either a normal logic state (high  
or low logic levels) or a high-impedance state.  
The high-impedance state the outputs neither  
drive nor drive the bus lines significantly. The  
high-impedance third state and increased drive  
current provide the capability to drive the bus lines in a  
well-organized system without need for interface  
pull-up components.

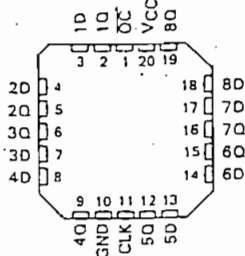
The output-control ( $\overline{OC}$ ) does not affect the  
normal operation of the flip-flops. Old data can  
be retained or new data can be entered while the  
outputs are in the high-impedance state.

SN54HC374 is characterized for operation  
over the full military temperature range of  
-55°C to 125°C. The SN74HC374 is  
characterized for operation from -40°C to  
125°C.

SN54HC374 ... J PACKAGE  
SN74HC374 ... J OR N PACKAGE  
(TOP VIEW)

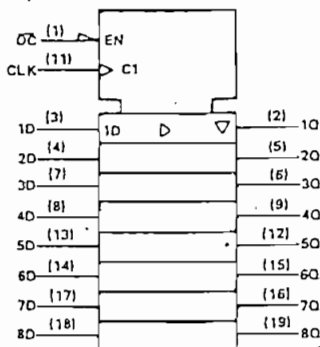


SN54HC374 ... FH OR FK PACKAGE  
SN74HC374 ... FH OR FN PACKAGE  
(TOP VIEW)



HCMOS DEVICES

logic symbol



FUNCTION TABLE (EACH FLIP-FLOP)

INPUTS			OUTPUT
$\overline{OC}$	CLK	D	Q
L	↑	H	H
L	↑	L	L
L	L	X	$Q_0$
H	X	X	Z

Copyright ©1982 by Texas Instruments Incorporated

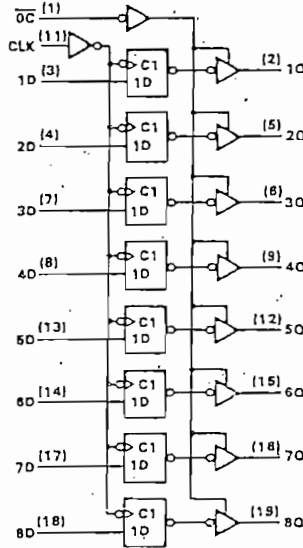
TEXAS  
INSTRUMENTS

POST OFFICE BOX 225612 • DALLAS, TEXAS 75265

3-265

TYPES SN54HC374, SN74HC374  
 OCTAL D-TYPE EDGE-TRIGGERED FLIP-FLOPS  
 WITH 3-STATE OUTPUTS

logic diagram (positive logic)



maximum ratings, recommended operating conditions, and electrical characteristics

See Table III, page 2-8.

HCMOS DEVICES

Timing res.

$f_{clock}$

$t_w$

$t_{su}$

$t_h$

switching (noted),

PARAM

$f_{in}$

$t_{pr}$

$t_n$

$t_{ri}$

$t_t$

C

NOTE 1:

19

TYPES SN54HC374, SN74HC374  
 OCTAL D-TYPE EDGE-TRIGGERED FLIP-FLOPS  
 WITH 3-STATE OUTPUTS

Characteristics over recommended operating free-air temperature range (unless otherwise noted)

		V <sub>CC</sub>	T <sub>A</sub> = 25°C		SN54HC374		SN74HC374		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	
Frequency		2 V	0	6	0	4	0	5	MHz
		4.5 V	0	30	0	20	0	24	
		6 V	0	35	0	24	0	28	
Propagation delay, data before CLK†	CLK high or low	2 V	80		120		100		ns
		4.5 V	16		24		20		
		6 V	14		20		17		
Propagation delay, data after CLK†		2 V	100		150		125		ns
		4.5 V	20		30		25		
		6 V	17		25		21		
Setup time, data after CLK†		2 V	5		5		5		ns
		4.5 V	5		5		5		
		6 V	5		5		5		

Characteristics over recommended operating free-air temperature range (unless otherwise noted)  
 Load capacitance C<sub>L</sub> = 10 pF (see Note 1)

FROM (INPUT)	TO (OUTPUT)	V <sub>CC</sub>	T <sub>A</sub> = 25°C			SN54HC374		SN74HC374		UNIT
			MIN	TYP	MAX	MIN	MAX	MIN	MAX	
		2 V	6	12		4		5	MHz	
		4.5 V	30	60		20		24		
		6 V	35	70		24		28		
CLK	Any	2 V	63	180		270		225	ns	
		4.5 V	17	36		54		45		
		6 V	15	31		46		38		
OC	Any	2 V	60	150		225		190	ns	
		4.5 V	18	30		45		38		
		6 V	14	26		38		32		
OC	Any	2 V	36	150		225		190	ns	
		4.5 V	17	30		45		38		
		6 V	16	26		38		32		
	Any	2 V	28	60		90		75	ns	
		4.5 V	8	12		18		15		
		6 V	6	10		15		13		

Power dissipation capacitance per flip-flop	No load, T <sub>A</sub> = 25°C	100 pF typ
---	--------------------------------	------------

Circuit and voltage waveforms, see page 1-14.



HCMOS DEVICES



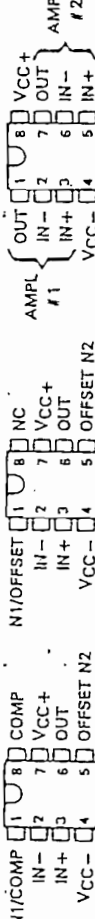
- Low Power Consumption
- Wide Common-Mode and Differential Voltage Ranges
- Low Input Bias and Offset Currents
- Output Short-Circuit Protection
- Low Total Harmonic Distortion
- 0.003% Typ
- Low Noise . . .  $V_n = 18 \text{ nV}/\sqrt{\text{Hz}}$  Typ
- High Input Impedance . . . JFET-Input Stage
- Internal Frequency Compensation (Except TL070, TL070A)
- Latch-Up-Free Operation
- High Slew Rate . . .  $13 \text{ V}/\mu\text{s}$  Typ

**description**

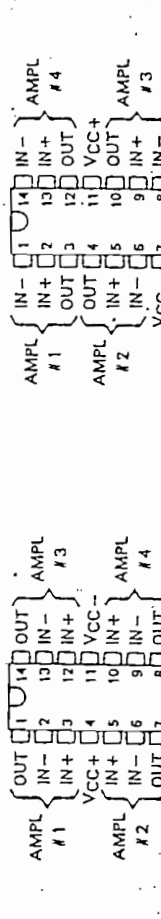
The JFET-input operational amplifiers on the TL07\_\_ series are designed as low-noise versions of the TL08\_\_ series amplifiers with low input bias and offset currents and fast slew rate. The low harmonic distortion and low noise make the TL07\_\_ series ideally suited as amplifiers for high-fidelity and audio preamplifier applications. Each amplifier feature: JFET-inputs (for high input impedance) coupled with bipolar output stages all integrated on a single monolithic chip.

Device types with an "M" suffix are characterized for operation over the full military temperature range of  $-55^\circ\text{C}$  to  $125^\circ\text{C}$ , those with an "I" suffix are characterized for operation from  $-25^\circ\text{C}$  to  $65^\circ\text{C}$ , and those with a "C" suffix are characterized for operation from  $0^\circ\text{C}$  to  $70^\circ\text{C}$ .

TL070, TL070A TL071, TL071A, TL071B TL072, TL072A, TL072B  
 D, JG, OR P DUAL-IN-LINE PACKAGE D, JG, OR P DUAL-IN-LINE PACKAGE  
 (TOP VIEW) (TOP VIEW)



TL074, TL074A, TL074B  
 D, J, OR N DUAL-IN-LINE OR W FLAT PACKAGE  
 (TOP VIEW)



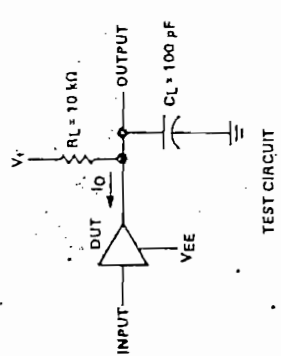
NC—No Internal connection

PARAMETER	TEST CONDITIONS		
	MIN	TYP	MAX
$V_{IO}$ Input offset voltage		3	15
$I_B$ Input bias current	$T_A = 25^\circ\text{C}$	30	400
	$T_A = 0^\circ\text{C}$ to $70^\circ\text{C}$	10	10
$V_{IR}$ Input voltage range	$V_{EE} = -15 \text{ V}, V_+ = 15 \text{ V}, R_L = 10 \text{ k}\Omega$	12	13.5
		-11.5	-12
$V_V$ Large-signal voltage amplification	$V_{EE} = -15 \text{ V}, V_+ = 15 \text{ V}, R_L = 10 \text{ k}\Omega$	0.999	0.9997
$SVR$ Supply voltage rejection ratio	$V_{EE} = -15 \text{ V}$ to $+10 \text{ V}$	70	78
$LC_{50\text{dB}}$ Load-circuit sensitivity ( $\Delta V_{IO}/\Delta I_O$ )	$I_O = 0.5 \text{ mA}$ to $5 \text{ mA}$	2	4
$DS$ Short-circuit output current		25	
$IE$ Supply current		-125	-300

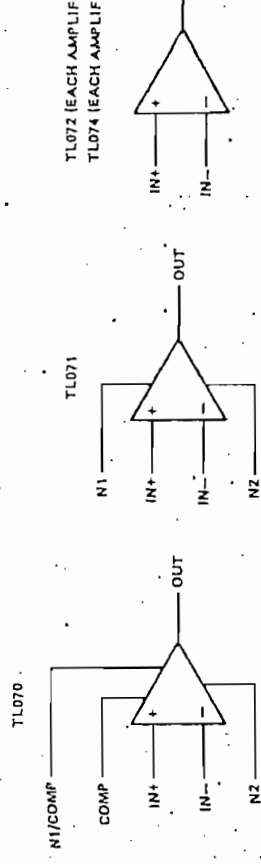
Operating characteristics,  $V_{EE} = -15 \text{ V}, V_+ = 15 \text{ V}, T_A = 25^\circ\text{C}, R_L = 10 \text{ k}\Omega, C_L = 100 \text{ pF}$

PARAMETER	TEST CONDITIONS		
	MIN	TYP	MAX
bandwidth		1	
slew rate	$V_O = \pm 10 \text{ V}$	7	
rise time	$V_O = 100 \text{ mV}$	100	
overshoot		130	
		20%	

**PARAMETER MEASUREMENT INFORMATION**



symbols



DEVICE TYPES, SUFFIX VERSIONS, AND PACKAGES

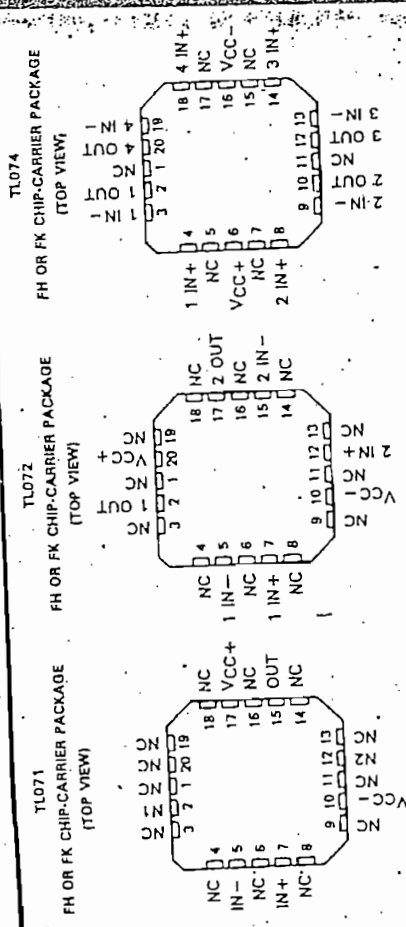
TL070	TL071	TL072	TL074	TL075
TL07_M	FH, FK, JG, FH, FK, JG	FH, FK, JG, FH, FK, JG	FH, FK, J, W	
TL07_I	D, JG, P	D, JG, P	D, J, N	
TL07_C	D, JG, P	D, JG, P	D, J, N	N
TL07_AC	D, JG, P	D, JG, P	D, J, N	
TL07_BC	D, JG, P	D, JG, P	D, J, N	

\*These combinations are not defined by this data sheet.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

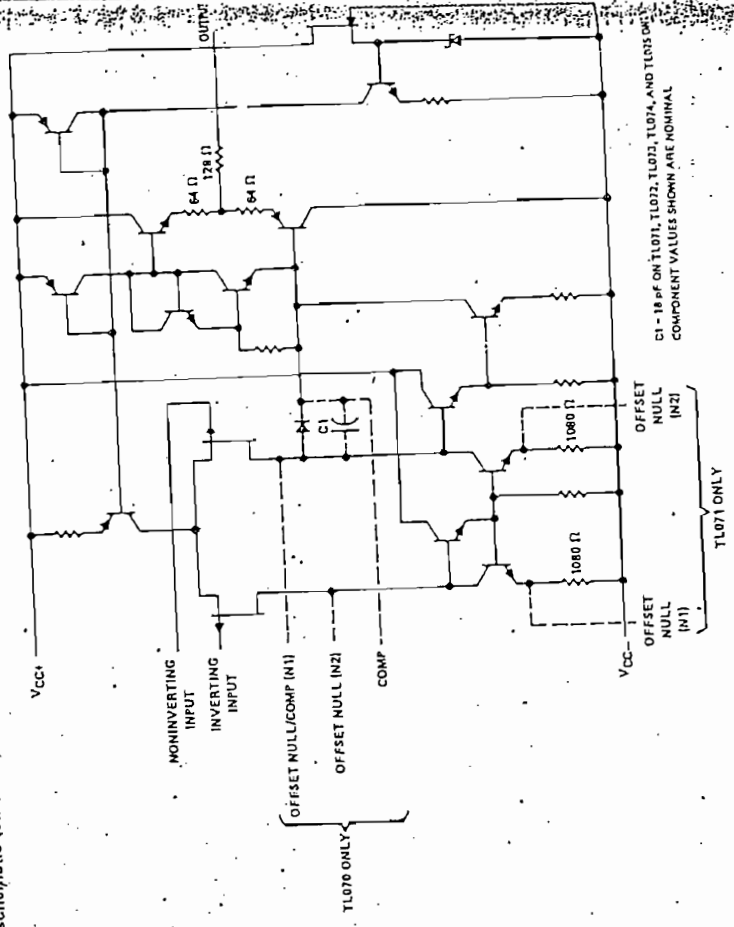
Supply voltage, V <sub>CC+</sub> (see Note 1)	TL07_M	TL07_C
Supply voltage, V <sub>CC-</sub> (see Note 1) <td>-18</td> <td>-18</td>	-18	-18
Differential input voltage (see Note 2) <td>±30</td> <td>±30</td>	±30	±30
Input voltage (see Notes 1 and 3) <td>±15</td> <td>±15</td>	±15	±15
Duration of output short circuit (see Note 4) <td>unlimited</td> <td>unlimited</td>	unlimited	unlimited
Continuous total dissipation at (or below) 25°C free-air temperature (see Note 5) <td>680</td> <td>680</td>	680	680
Operating free-air temperature range <td>-55 to 125</td> <td>-25 to 85</td>	-55 to 125	-25 to 85
Storage temperature range <td>-65 to 150</td> <td>-65 to 150</td>	-65 to 150	-65 to 150
Lead temperature 1.6 mm (1/16 inch) from case for 60 seconds <td>300</td> <td>300</td>	300	300
Lead temperature 1.6 mm (1/16 inch) from case for 10 seconds <td>D, N, or P package</td> <td>260</td>	D, N, or P package	260

NOTES: 1. All voltage values, except differential voltages, are with respect to the midpoint between V<sub>CC+</sub> and V<sub>CC-</sub>.  
 2. Differential voltages are at the noninverting input terminal with respect to the inverting input terminal.  
 3. The magnitude of the input voltage must never exceed the magnitude of the supply voltage or 15 volts, whichever is less.  
 4. The output may be tied to ground or to either supply. Temperature and/or supply voltages must be limited to ensure that the dissipation is not exceeded.  
 5. For operation above 25°C free-air temperature, refer to Dissipation Derating Curves, Section 2, in the J and JG packages, TL07\_M alloy-mounted; TL07\_I, TL07\_C, TL07\_AC, and TL07\_BC chips are glass mounted.



NC—No internal connection

schematic (each amplifier)



C1 = 18 pF ON TL071, TL072, TL074, AND TL075 ONLY  
 COMPONENT VALUES SHOWN ARE NOMINAL

Operational Amplifiers

electrical characteristics,  $V_{CC} \pm 15$  V (unless otherwise noted)

PARAMETER	TEST CONDITIONS <sup>1</sup>		TL071M, TL072M		TL071C, TL072C		UNIT	
	MIN	TYP	MAX	MIN	TYP	MAX		
Input offset voltage	$V_O = 0$ , $R_S = 50 \Omega$	3	6	3	3	9	mV	
Temperature coefficient of input offset voltage	$V_O = 0$ , $T_A = -55^\circ\text{C}$ to $125^\circ\text{C}$	10		10	10	10	$\mu\text{V}/^\circ\text{C}$	
Input offset current <sup>1</sup>	$V_O = 0$ , $T_A = -55^\circ\text{C}$ to $125^\circ\text{C}$	5	100	5	100	5	100	$\mu\text{A}$
Common-mode input voltage range	$T_A = 25^\circ\text{C}$ , $R_L = 10 \text{ k}\Omega$	$\pm 12$	$\pm 13.5$	$\pm 12$	$\pm 13.5$	$\pm 12$	$\pm 13.5$	V
Maximum peak output voltage swing	$V_O = 0$ , $T_A = -55^\circ\text{C}$ to $125^\circ\text{C}$	36	200	35	200	35	200	V <sub>PK</sub>
Large-signal differential voltage amplification	$V_O = \pm 10$ V, $T_A = 25^\circ\text{C}$	16		15		15		$\mu\text{V}/\text{V}$
Unity-gain bandwidth	$T_A = 25^\circ\text{C}$	10 <sup>12</sup>		10 <sup>12</sup>		10 <sup>12</sup>		Hz
Input resistance	$T_A = 25^\circ\text{C}$ , $V_O = 0$ , $V_{IC} = V_{ICR \text{ min}}$ , $R_S = 50 \Omega$	80	86	80	86	80	86	$\Omega$
Common-mode rejection ratio	$V_{CC} = \pm 15$ V to $\pm 9$ V, $V_O = 0$ , $R_S = 50 \Omega$ , $T_A = 25^\circ\text{C}$	80	86	80	86	80	86	dB
Supply current (per amplifier)	No load, $T_A = 25^\circ\text{C}$	1.4	2.5	1.4	2.5	1.4	2.5	mA
$V_{O1}/V_{O2}$ Crosstalk attenuation	$A_{VD} = 100$ , $T_A = 25^\circ\text{C}$	170		170		170		dB

<sup>1</sup> Characteristics are measured under open-loop conditions with zero common-mode input voltage unless otherwise specified. Input bias currents of a FET-input operational amplifier are normal junction reverse currents, which are temperature sensitive as shown in Figure 18. Pulse techniques must be used that will maintain the junction temperatures as close to the ambient temperature as possible.

PARAMETER	TEST CONDITIONS <sup>1</sup>		TL070C		TL071C		TL072C		TL074C		TL075C	
	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX
$V_{IO}$ Input offset voltage	$V_O = 0$ , $T_A = 25^\circ\text{C}$	3	6	3	3	10	3	3	10	3	3	10
Temperature coefficient of input offset voltage	$V_O = 0$ , $R_S = 50 \Omega$ , $T_A = \text{full range}$	8		8		13	8	8	13	8	8	13
$\rho_{VIO}$ coefficient of input offset voltage	$V_O = 0$ , $T_A = \text{full range}$	10		10		10	10	10	10	10	10	10
$I_{IO}$ Input offset current <sup>1</sup>	$V_O = 0$ , $T_A = 25^\circ\text{C}$	5	100	5	100	5	100	5	100	5	100	5
$I_{IB}$ Input bias current <sup>1</sup>	$V_O = 0$ , $T_A = 25^\circ\text{C}$	30	200	30	200	30	200	30	200	30	200	30
$V_{ICR}$ Common-mode input voltage range	$T_A = 25^\circ\text{C}$	$\pm 11$	$\pm 12$	$\pm 11$	$\pm 12$	$\pm 11$	$\pm 12$	$\pm 11$	$\pm 12$	$\pm 11$	$\pm 12$	$\pm 11$
Maximum peak output voltage swing	$T_A = 25^\circ\text{C}$ , $R_L = 2 \text{ k}\Omega$ , $R_{L2} = 10 \text{ k}\Omega$	$\pm 12$	$\pm 13.5$	$\pm 12$	$\pm 13.5$	$\pm 12$	$\pm 13.5$	$\pm 12$	$\pm 13.5$	$\pm 12$	$\pm 13.5$	$\pm 12$
$V_{OM}$ output voltage swing	$T_A = \text{full range}$ , $R_L = 2 \text{ k}\Omega$	$\pm 10$	$\pm 12$	$\pm 10$	$\pm 12$	$\pm 10$	$\pm 12$	$\pm 10$	$\pm 12$	$\pm 10$	$\pm 12$	$\pm 10$
Large-signal differential voltage amplification	$V_O = \pm 10$ V, $T_A = 25^\circ\text{C}$ , $R_L = 2 \text{ k}\Omega$ , $R_{L2} = 2 \text{ k}\Omega$	50	200	50	200	50	200	50	200	50	200	50
$B_1$ Unity-gain bandwidth	$T_A = 25^\circ\text{C}$ , $T_A = \text{full range}$	3		3		3		3		3		3
$\eta$ Input resistance	$T_A = 25^\circ\text{C}$	10 <sup>12</sup>		10 <sup>12</sup>		10 <sup>12</sup>		10 <sup>12</sup>		10 <sup>12</sup>		10 <sup>12</sup>
Common-mode rejection ratio	$V_{IC} = V_{ICR \text{ min}}$ , $V_O = 0$ , $R_S = 50 \Omega$ , $T_A = 25^\circ\text{C}$	80	86	70	86	80	86	80	86	80	86	80
Supply voltage rejection ratio	$V_{CC} = \pm 15$ V to $\pm 9$ V, $V_O = 0$ , $R_S = 50 \Omega$ , $T_A = 25^\circ\text{C}$	80	86	70	86	80	86	80	86	80	86	80
$\rho_{V_{CC}}$ Supply current rejection ratio	No load, $T_A = 25^\circ\text{C}$	1.4	2.5	1.4	2.5	1.4	2.5	1.4	2.5	1.4	2.5	1.4
$I_{CC}$ Supply current (per amplifier)	No load, $T_A = 25^\circ\text{C}$	1.4	2.5	1.4	2.5	1.4	2.5	1.4	2.5	1.4	2.5	1.4
$V_{O1}/V_{O2}$ Crosstalk attenuation	$A_{VD} = 100$ , $T_A = 25^\circ\text{C}$	170		170		170		170		170		170

All characteristics are measured under open-loop conditions with zero common-mode input voltage unless otherwise specified. Full range for  $T_A$  is  $25^\circ\text{C}$  to  $85^\circ\text{C}$  for TL071 and 0 to  $120^\circ\text{C}$  for TL072. TL071-AC, and TL071-BC. Input bias currents of a FET-input operational amplifier are normal junction reverse currents, which are temperature sensitive as shown in Figure 18. Pulse techniques must be used to maintain the junction temperatures as close to the ambient temperature as possible.



TYPICAL CHARACTERISTICS

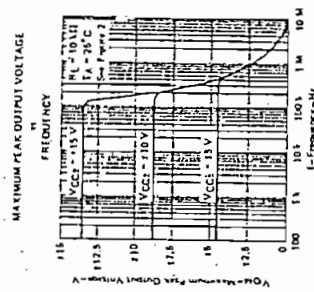


FIGURE 6

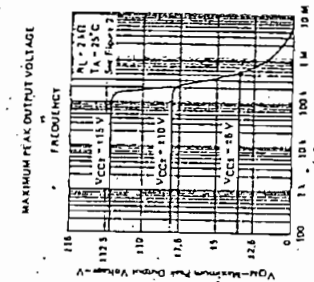


FIGURE 7

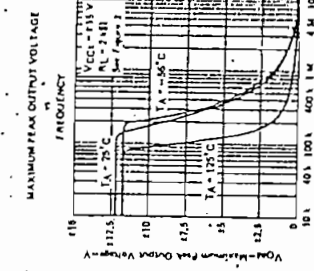


FIGURE 8

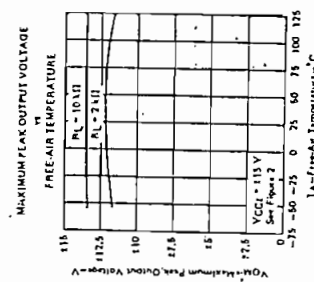


FIGURE 9

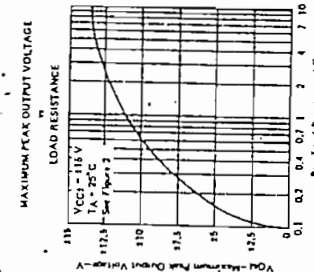


FIGURE 10

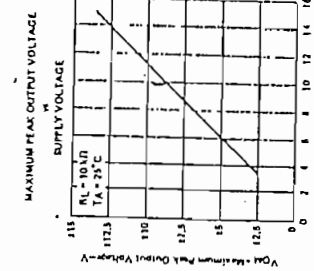


FIGURE 11

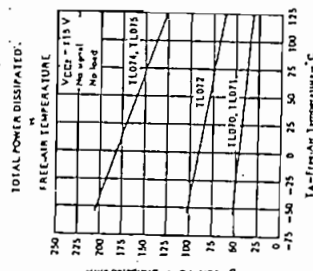


FIGURE 12

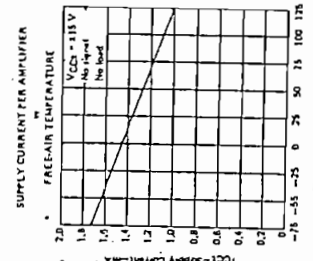


FIGURE 13

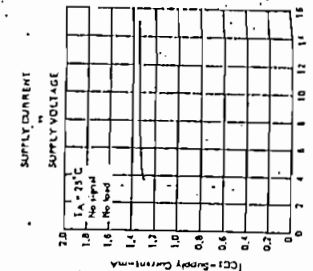


FIGURE 14

Data at high and low temperatures are applicable only within the rated operating free-air temperature ranges of the various devices. A 18-pF compensation capacitor is used with TL070 and TL070A.

operating characteristics,  $V_{CC} \pm 15V$ ,  $T_A = 25^\circ C$

PARAMETER	TEST CONDITIONS		TL07_M		ALL OTHERS	
	MIN	TYP	MAX	TYP	MAX	MAX
SR Slew rate at unity gain	10	13			8	13
$V_i$ Rise time	0.1				0.1	
Overhoot factor	10				10	
$V_n$ Equivalent input noise voltage	18				18	
$I_n$ Equivalent input noise current	4				4	
THD Total harmonic distortion	0.01				0.01	
	0.003				0.003	

PARAMETER MEASUREMENT INFORMATION

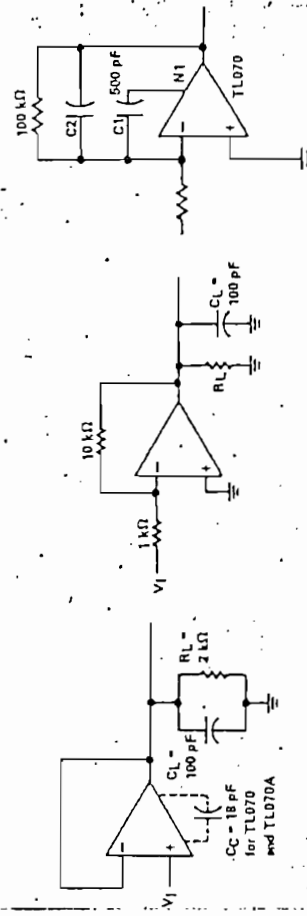


FIGURE 1—UNITY-GAIN AMPLIFIER  
FIGURE 2—GAIN-OF-10 INVERTING AMPLIFIER  
FIGURE 3—FEED-FORWARD COMPENSATION

INPUT OFFSET VOLTAGE NULL CIRCUITS

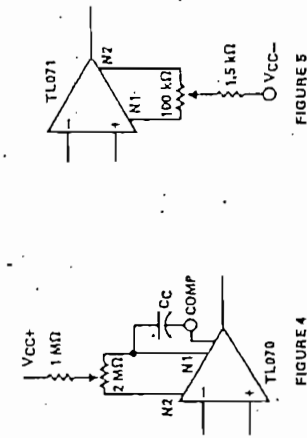


FIGURE 4

FIGURE 5

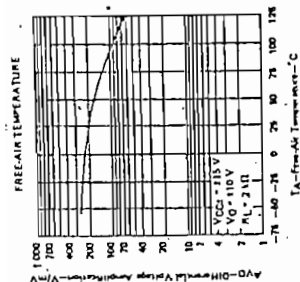


FIGURE 15

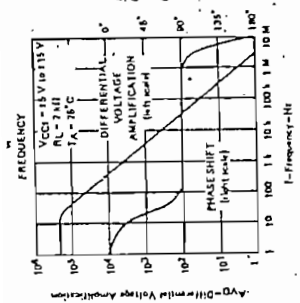


FIGURE 16

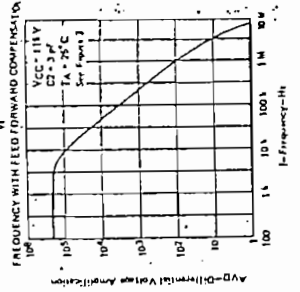


FIGURE 17

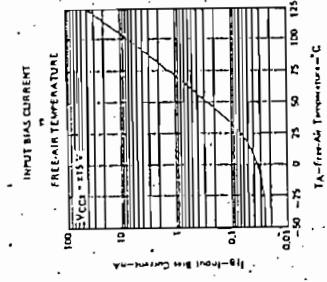


FIGURE 18

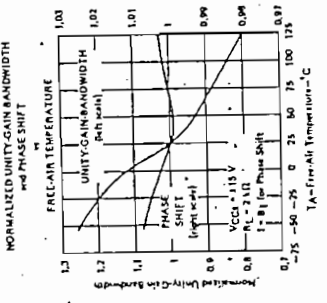


FIGURE 19

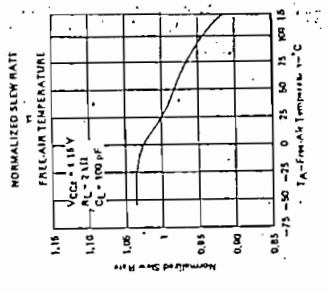


FIGURE 20

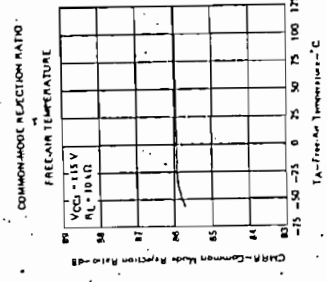


FIGURE 21

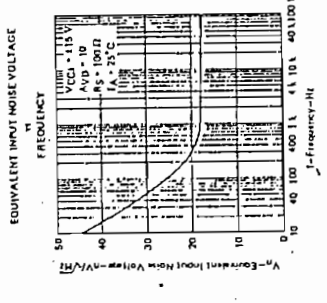


FIGURE 22

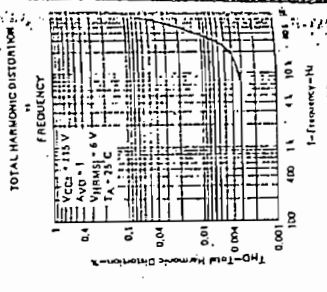


FIGURE 23

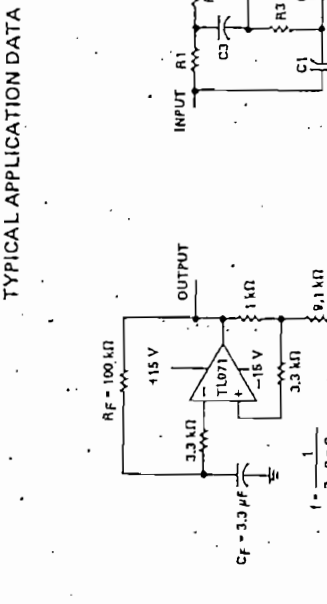


FIGURE 24—0.5-Hz SQUAREWAVE OSCILLATOR

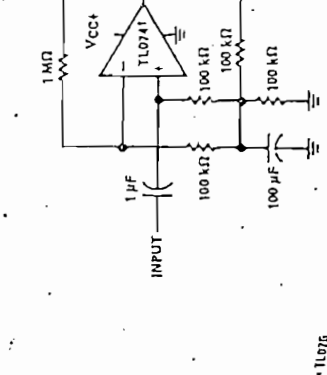


FIGURE 25—HIGH-Q NOTCH FILTER

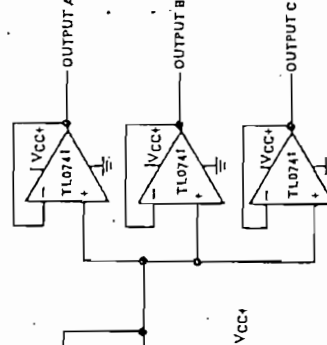


FIGURE 26—AUDIO DISTRIBUTION AMPLIFIER

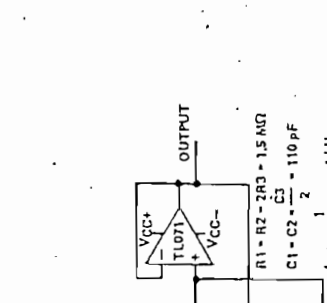


FIGURE 27

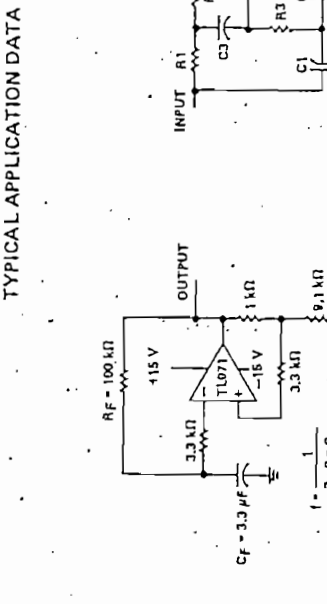


FIGURE 28

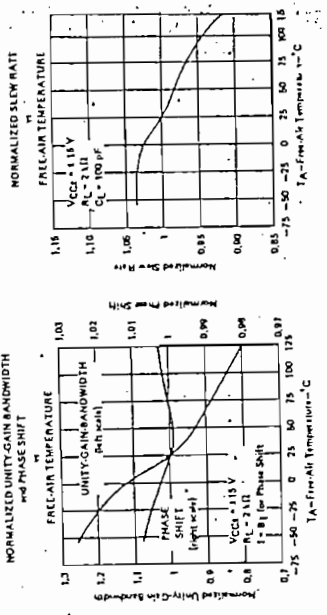


FIGURE 29

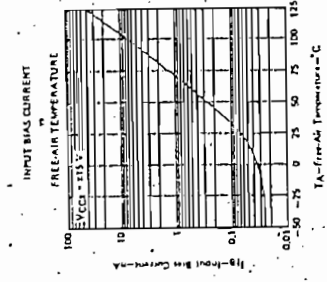
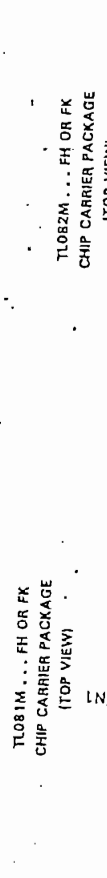
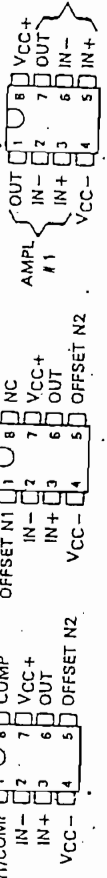
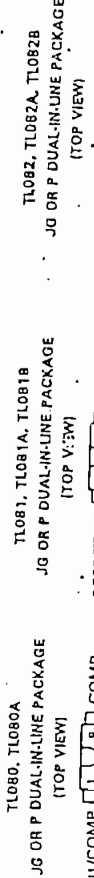


FIGURE 30

24 DEVICES COVER MILITARY, INDUSTRIAL AND COMMERCIAL TEMPERATURE RANGES

- Low-Power Consumption
- High Input Impedance . . . JFET-Input Stage
- Wide Common-Mode and Differential Voltage Ranges
- Internal Frequency Compensation (Except TL080, TL080A)
- Low Input Bias and Offset Currents
- Latch-Up-Free Operation
- Output Short-Circuit Protection
- Low Total Harmonic Distortion . . . 0.003% TYP
- High Slew Rate . . . 13 V/ $\mu$ s Typ



NC—No Internal connection.

DEVICE TYPES, SUFFIX VERSIONS, AND PACKAGES

TL080	TL081	TL082	TL083	TL084	TL085
TL08-M	JG	FH, FK, JG	FH, FK, JG	FH, FK, J	FH, FK, J, W
TL08-I	JG, P	JG, P	JG, P	J, N	J, N
TL08-C	JG, P	JG, P	JG, P	J, N	J, N
TL08-AC	JG, P	JG, P	JG, P	J, N	J, N
TL08-BC	JG, P	JG, P	JG, P	J, N	J, N

\*These combinations are not defined by this data sheet.

TYPICAL APPLICATION DATA

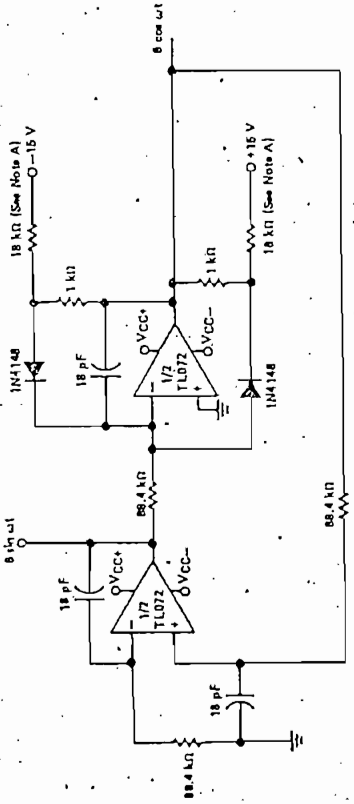


FIGURE 28—100-KHz QUADRATURE OSCILLATOR

Note: A: These resistor values may be adjusted for a symmetrical output.

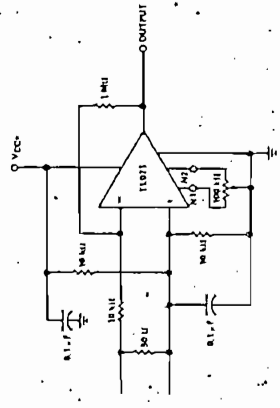
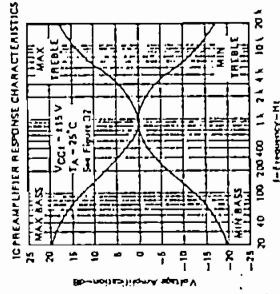


FIGURE 30—AC AMPLIFIER

FIGURE 31

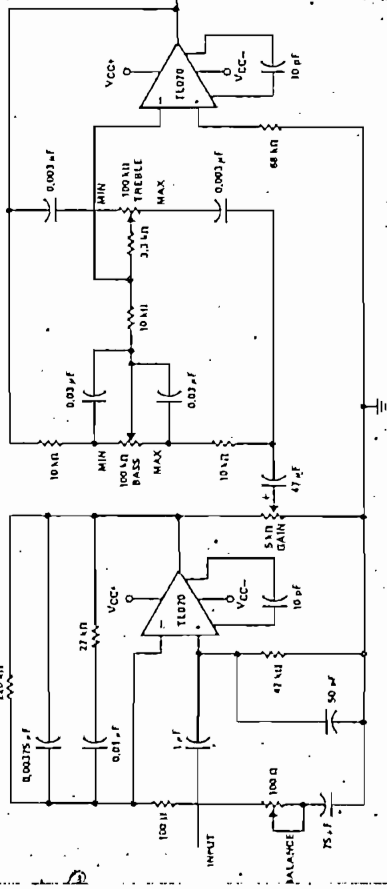


FIGURE 32—IC PREAMPLIFIER

# LINEAR INTEGRATED CIRCUITS

# SERIES $\mu$ A7800 POSITIVE-VOLTAGE REGULATORS

BULLETIN NO. DL-S 12386, MAY 1976—REVISED SEPTEMBER 1977

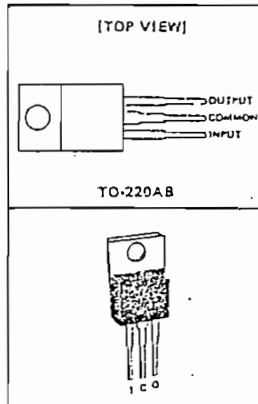
- 3-Terminal Regulators
- Output Current up to 1.5 A
- No External Components
- Internal Thermal Overload Protection
- Direct Replacements for Fairchild  $\mu$ A7800 Series
- High Power Dissipation Capability
- Internal Short-Circuit Current Limiting
- Output Transistor Safe-Area Compensation

NOMINAL OUTPUT VOLTAGE	REGULATOR
5 V	$\mu$ A7805C
6 V	$\mu$ A7806C
8 V	$\mu$ A7808C
8.5 V	$\mu$ A7885C
10 V	$\mu$ A7810C
12 V	$\mu$ A7812C
15 V	$\mu$ A7815C
18 V	$\mu$ A7818C
22 V	$\mu$ A7822C
24 V	$\mu$ A7824C

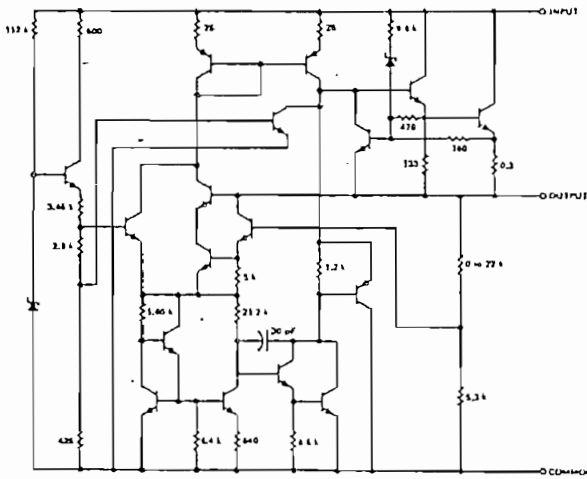
## Description

This series of fixed-voltage monolithic integrated-circuit voltage regulators is designed for a wide range of applications. These applications include on-card regulation for elimination of noise and distribution problems associated with single-point regulation. One of these regulators can deliver up to 1.5 amperes of output current. The internal current limiting and thermal shutdown features of these regulators make them essentially immune to overload. In addition to use as fixed-voltage regulators, these devices can be used with external components to obtain adjustable output voltages and currents and also as the power-pass element in precision regulators.

## KC PACKAGE



## Schematic



Resistor values shown are nominal and in ohms.

Copyright ©1977 by Texas Instruments Incorporated

**TEXAS INSTRUMENTS**  
INCORPORATED  
POST OFFICE BOX 5012 - DALLAS, TEXAS 75222

# SERIES $\mu$ A7800 POSITIVE-VOLTAGE REGULATORS

absolute maximum ratings over operating temperature range (unless otherwise noted)

	$\mu$ A78__C	UNIT
Input voltage	$\mu$ A7822C, $\mu$ A7824C	40
	All others	35
Continuous total dissipation at 25°C free-air temperature (see Note 1)		2
Continuous total dissipation at (or below) 25°C case temperature (see Note 1)		15
Operating free-air, case, or virtual junction temperature range		0 to 150
Storage temperature range		-65 to 150
Lead temperature 1/16 inch from case for 10 seconds		260

Note 1: For operation above 25°C free-air or case temperature, refer to Dissipation Derating Curves, Figure 1 and Figure 2.

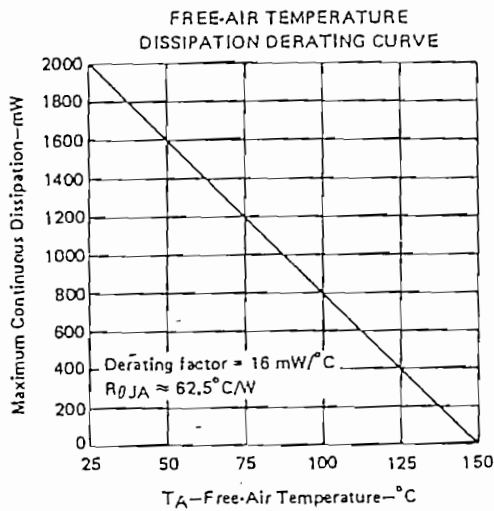


FIGURE 1

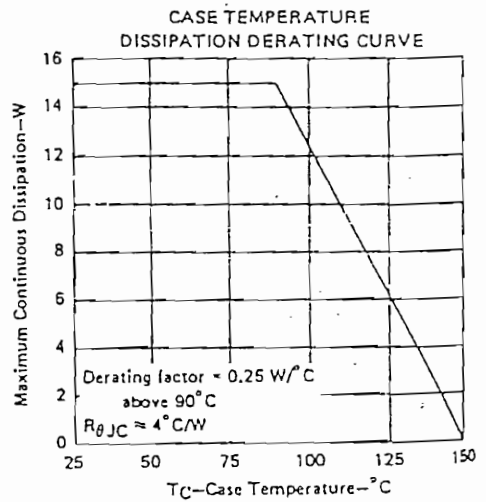


FIGURE 2

recommended operating conditions

	MIN	MAX	UNIT
Input voltage, $V_i$	$\mu$ A7805C	7	25
	$\mu$ A7806C	8	25
	$\mu$ A7808C	10.5	25
	$\mu$ A7895C	10.5	25
	$\mu$ A7810C	12.5	28
	$\mu$ A7812C	14.5	30
	$\mu$ A7815C	17.5	30
	$\mu$ A7818C	21	33
Output current, $I_O$	$\mu$ A7822C	25	36
	$\mu$ A7824C	27	38
Operating virtual junction temperature, $T_J$	0	125	°C

**TEXAS INSTRUMENTS**  
INCORPORATED  
POST OFFICE BOX 5013 • DALLAS, TEXAS 75222

## TYPES $\mu$ A7805C, $\mu$ A7806C POSITIVE-VOLTAGE REGULATORS

$\mu$ A7805C electrical characteristics at specified virtual junction temperature,  
 $V_I = 10\text{ V}$ ,  $I_O = 500\text{ mA}$  (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	$\mu$ A7805C			UNIT	
		MIN	TYP	MAX		
Output voltage	$I_O = 5\text{ mA to }1\text{ A}$ , $P < 15\text{ W}$	$25^\circ\text{C}$	4.8	5	5.2	V
	$V_I = 7\text{ V to }20\text{ V}$ , $0^\circ\text{C to }125^\circ\text{C}$		4.75		5.25	
Input regulation	$V_I = 7\text{ V to }25\text{ V}$	$25^\circ\text{C}$		3	100	mV
	$V_I = 8\text{ V to }12\text{ V}$			1	50	
Ripple rejection	$V_I = 8\text{ V to }18\text{ V}$ , $f = 120\text{ Hz}$	$0^\circ\text{C to }125^\circ\text{C}$	62	78		dB
Output regulation	$I_O = 5\text{ mA to }1.5\text{ A}$	$25^\circ\text{C}$		15	100	mV
	$I_O = 250\text{ mA to }750\text{ mA}$			5	50	
Output resistance	$f = 1\text{ kHz}$	$0^\circ\text{C to }125^\circ\text{C}$		0.017		$\Omega$
Temperature coefficient of output voltage	$I_O = 5\text{ mA}$	$0^\circ\text{C to }125^\circ\text{C}$		-1.1		mV/°C
Output noise voltage	$f = 10\text{ Hz to }100\text{ kHz}$	$25^\circ\text{C}$		40		$\mu\text{V}$
Dropout voltage	$I_O = 1\text{ A}$	$25^\circ\text{C}$		2.0		V
Bias current		$25^\circ\text{C}$		4.2	8	mA
Bias current change	$V_I = 7\text{ V to }25\text{ V}$	$0^\circ\text{C to }125^\circ\text{C}$			1.3	mA
	$I_O = 5\text{ mA to }1\text{ A}$				0.5	
Short-circuit output current		$25^\circ\text{C}$		750		mA
Peak output current		$25^\circ\text{C}$		2.2		A

$\mu$ A7806C electrical characteristics at specified virtual junction temperature,  
 $V_I = 11\text{ V}$ ,  $I_O = 500\text{ mA}$  (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	$\mu$ A7806C			UNIT	
		MIN	TYP	MAX		
Output voltage	$I_O = 5\text{ mA to }1\text{ A}$ , $P < 15\text{ W}$	$25^\circ\text{C}$	5.75	6	6.25	V
	$V_I = 8\text{ V to }21\text{ V}$ , $0^\circ\text{C to }125^\circ\text{C}$		5.7		6.3	
Input regulation	$V_I = 8\text{ V to }25\text{ V}$	$25^\circ\text{C}$		5	120	mV
	$V_I = 9\text{ V to }13\text{ V}$			1.5	60	
Ripple rejection	$V_I = 9\text{ V to }19\text{ V}$ , $f = 120\text{ Hz}$	$0^\circ\text{C to }125^\circ\text{C}$	59	75		dB
Output regulation	$I_O = 5\text{ mA to }1.5\text{ A}$	$25^\circ\text{C}$		14	120	mV
	$I_O = 250\text{ mA to }750\text{ mA}$			4	60	
Output resistance	$f = 1\text{ kHz}$	$0^\circ\text{C to }125^\circ\text{C}$		0.019		$\Omega$
Temperature coefficient of output voltage	$I_O = 5\text{ mA}$	$0^\circ\text{C to }125^\circ\text{C}$		-0.8		mV/°C
Output noise voltage	$f = 10\text{ Hz to }100\text{ kHz}$	$25^\circ\text{C}$		45		$\mu\text{V}$
Dropout voltage	$I_O = 1\text{ A}$	$25^\circ\text{C}$		2.0		V
Bias current		$25^\circ\text{C}$		4.3	8	mA
Bias current change	$V_I = 8\text{ V to }25\text{ V}$	$0^\circ\text{C to }125^\circ\text{C}$			1.3	mA
	$I_O = 5\text{ mA to }1\text{ A}$				0.5	
Short-circuit output current		$25^\circ\text{C}$		550		mA
Peak output current		$25^\circ\text{C}$		2.2		A

† All characteristics are measured with a capacitor across the input of  $0.33\ \mu\text{F}$  and a capacitor across the output of  $0.1\ \mu\text{F}$ . All characteristics except noise voltage and ripple rejection ratio are measured using pulse techniques ( $t_w < 10\text{ ms}$ , duty cycles  $< 5\%$ ). Output voltage changes due to changes in internal temperature must be taken into account separately.

TEXAS INSTRUMENTS  
INCORPORATED  
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

# TYPES $\mu$ A7815C, $\mu$ A7818C

## POSITIVE-VOLTAGE REGULATORS

$\mu$ A7815C electrical characteristics at specified virtual junction temperature,  
 $V_I = 23$  V,  $I_O = 500$  mA (unless otherwise noted)

PARAMETER	TEST CONDITIONS†		$\mu$ A7815C			UNIT
			MIN	TYP	MAX	
Output voltage	$I_O = 5$ mA to 1 A, $P < 15$ W	$V_I = 17.5$ V to 30 V, $0^\circ\text{C}$ to $125^\circ\text{C}$	14.4	15	15.6	V
		$25^\circ\text{C}$	14.25	15.75		
Input regulation	$V_I = 17.5$ V to 30 V	$25^\circ\text{C}$		11	300	mV
	$V_I = 20$ V to 26 V		3	150		
Ripple rejection	$V_I = 18.5$ V to 28.5 V, $f = 120$ Hz	$0^\circ\text{C}$ to $125^\circ\text{C}$	54	70		dB
Output regulation	$I_O = 5$ mA to 1.5 A	$25^\circ\text{C}$		12	300	mV
	$I_O = 250$ mA to 750 mA		4	150		
Output resistance	$f = 1$ kHz	$0^\circ\text{C}$ to $125^\circ\text{C}$	0.019			$\Omega$
Temperature coefficient of output voltage	$I_O = 5$ mA	$0^\circ\text{C}$ to $125^\circ\text{C}$	-1.0			mV/°C
Output noise voltage	$f = 10$ Hz to 100 kHz	$25^\circ\text{C}$	90			$\mu$ V
Dropout voltage	$I_O = 1$ A	$25^\circ\text{C}$	2.0			V
Bias current		$25^\circ\text{C}$	4.4		8	mA
Bias current change	$V_I = 17.5$ V to 30 V	$0^\circ\text{C}$ to $125^\circ\text{C}$			1	mA
	$I_O = 5$ mA to 1 A				0.5	
Short-circuit output current		$25^\circ\text{C}$	230			mA
Peak output current		$25^\circ\text{C}$	2.1			A

$\mu$ A7818C electrical characteristics at specified virtual junction temperature,  
 $V_I = 27$  V,  $I_O = 500$  mA (unless otherwise noted)

PARAMETER	TEST CONDITIONS†		$\mu$ A7818C			UNIT
			MIN	TYP	MAX	
Output voltage	$I_O = 5$ mA to 1 A, $P < 15$ W	$V_I = 21$ V to 33 V, $0^\circ\text{C}$ to $125^\circ\text{C}$	17.3	18	18.7	V
		$25^\circ\text{C}$	17.1	18.9		
Input regulation	$V_I = 21$ V to 33 V	$25^\circ\text{C}$		15	360	mV
	$V_I = 24$ V to 30 V		5	180		
Ripple rejection	$V_I = 22$ V to 32 V, $f = 120$ Hz	$0^\circ\text{C}$ to $125^\circ\text{C}$	53	69		dB
Output regulation	$I_O = 5$ mA to 1.5 A	$25^\circ\text{C}$		12	360	mV
	$I_O = 250$ mA to 750 mA		4	180		
Output resistance	$f = 1$ kHz	$0^\circ\text{C}$ to $125^\circ\text{C}$	0.022			$\Omega$
Temperature coefficient of output voltage	$I_O = 5$ mA	$0^\circ\text{C}$ to $125^\circ\text{C}$	-1.0			mV/°C
Output noise voltage	$f = 10$ Hz to 100 kHz	$25^\circ\text{C}$	110			$\mu$ V
Dropout voltage	$I_O = 1$ A	$25^\circ\text{C}$	2.0			V
Bias current		$25^\circ\text{C}$	4.5		8	mA
Bias current change	$V_I = 21$ V to 33 V	$0^\circ\text{C}$ to $125^\circ\text{C}$			1	mA
	$I_O = 5$ mA to 1 A				0.5	
Short-circuit output current		$25^\circ\text{C}$	200			mA
Peak output current		$25^\circ\text{C}$	2.1			A

† All characteristics are measured with a capacitor across the input of 0.33  $\mu$ F and a capacitor across the output of 0.1  $\mu$ F. All characteristics except noise voltage and ripple rejection ratio are measured using pulse techniques ( $t_w < 10$  ms, duty cycles  $< 5\%$ ). Output voltage changes due to changes in internal temperature must be taken into account separately.

TEXAS INSTRUMENTS  
 INCORPORATED  
 POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

# LINEAR INTEGRATED CIRCUITS

# SERIES $\mu$ A7900 NEGATIVE-VOLTAGE REGULATORS

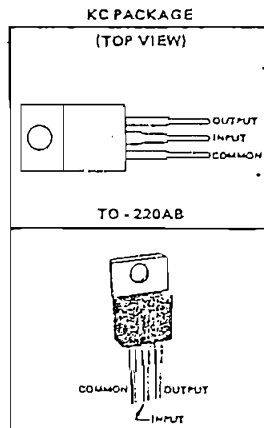
BULLETIN NO. DL-5 12404, JUNE 1976—REVISED SEPTEMBER 1977

- 3-Terminal Regulators
- Output Current up to 1.5 A
- No External Components
- Internal Thermal Overload Protection
- Direct Replacements for Fairchild  $\mu$ A7900 Series
- Essentially Equivalent to National LM320 Series
- High Power Dissipation Capability
- Internal Short-Circuit Current Limiting
- Output Transistor Safe-Area Compensation

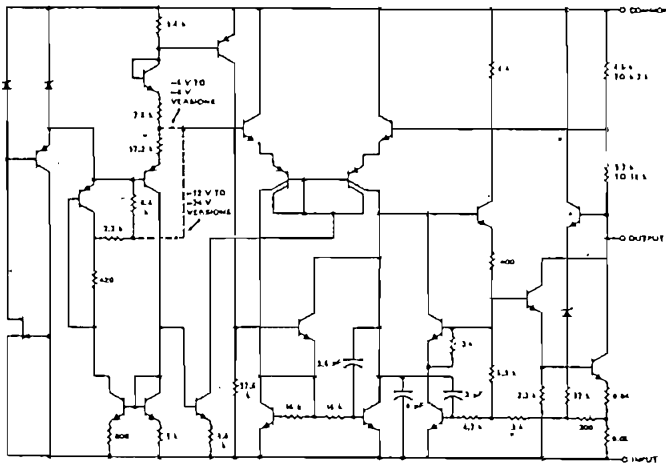
NOMINAL OUTPUT VOLTAGE	REGULATOR
-5 V	$\mu$ A7905C
-5.2 V	$\mu$ A7952C
-6 V	$\mu$ A7906C
-8 V	$\mu$ A7908C
-12 V	$\mu$ A7912C
-15 V	$\mu$ A7915C
-18 V	$\mu$ A7918C
-24 V	$\mu$ A7924C

## description

This series of fixed-negative-voltage monolithic integrated-circuit voltage regulators is designed to complement Series  $\mu$ A7800 in a wide range of applications. These applications include on-card regulation for elimination of noise and distribution problems associated with single-point regulation. One of these regulators can deliver up to 1.5 amperes of output current. The internal current limiting and thermal shutdown features of these regulators make them essentially immune to overload. In addition to use as fixed-voltage regulators, these devices can be used with external components to obtain adjustable output voltages and currents and also as the power pass element in precision regulators.



## schematic



Resistor values shown are nominal and in ohms.

Copyright © 1977 by Texas Instruments Incorporated

TEXAS INSTRUMENTS  
INCORPORATED  
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222



# SERIES $\mu$ A7900 POSITIVE-VOLTAGE REGULATORS

absolute maximum ratings over operating temperature range (unless otherwise noted)

		$\mu$ A7905C THRU $\mu$ A7924C	UNIT
Input voltage	$\mu$ A7924C	-40	V
	All others	-35	
Continuous total dissipation at 25°C free-air temperature (see Note 1)		2	W
Continuous total dissipation at (or below) 25°C case temperature (see Note 1)		15	W
Operating free-air, case, or virtual junction temperature range		0 to 150	°C
Storage temperature range		-65 to 150	°C
Lead temperature 1/8 inch from case for 10 seconds		260	°C

NOTE 1: For operation above 25°C free-air or case temperature, refer to Dissipation Derating Curves, Figure 1 and Figure 2.

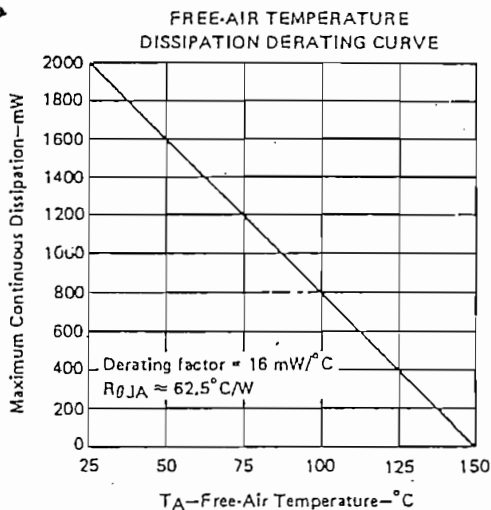


FIGURE 1

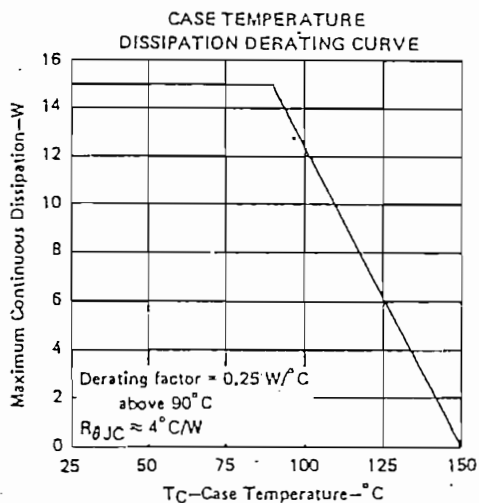


FIGURE 2

recommended operating conditions

		MIN	MAX	UNIT
Input voltage, $V_I$	$\mu$ A7905C	-7	-25	V
	$\mu$ A7952C	-7.2	-25	
	$\mu$ A7905C	-8	-25	
	$\mu$ A7908C	-10.5	-25	
	$\mu$ A7912C	-14.5	-30	
	$\mu$ A7915C	-17.5	-30	
	$\mu$ A7918C	-21	-33	
	$\mu$ A7924C	-27	-38	
Output current, $I_O$			1.5	A
Operating virtual junction temperature, $T_J$		0	125	°C

TEXAS INSTRUMENTS  
INCORPORATED  
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

55

## TYPES $\mu$ A7912C, $\mu$ A7915C NEGATIVE-VOLTAGE REGULATORS

$\mu$ A7912C electrical characteristics at specified virtual junction temperature,  
 $V_I = -19$  V,  $I_O = 500$  mA (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	$\mu$ A7912C			UNIT		
		MIN	TYP	MAX			
Output voltage	$I_O = 5$ mA to 1 A, $V_I = -14.5$ V to $-27$ V, $P < 15$ W	25°C		-11.5	-12	-12.5	V
		0°C to 125°C		-11.4		-12.6	
Input regulation	$V_I = -14.5$ V to $-30$ V	25°C			10	240	mV
	$V_I = -16$ V to $-22$ V				3	120	
Ripple rejection	$V_I = -15$ V to $-25$ V, $f = 120$ Hz	0°C to 125°C		54	60		dB
Output regulation	$I_O = 5$ mA to 1.5 A	25°C			12	240	mV
	$I_O = 250$ mA to 750 mA				4	120	
Temperature coefficient of output voltage	$I_O = 5$ mA	0°C to 125°C			-0.8		mV/°C
Output noise voltage	$f = 10$ Hz to 100 kHz	25°C			300		$\mu$ V
Dropout voltage	$I_O = 1$ A	25°C			1.1		V
Bias current		25°C			1.5	3	mA
Bias current change	$V_I = -14.5$ V to $-30$ V	0°C to 125°C				1	mA
	$I_O = 5$ mA to 1 A					0.5	
Peak output current		25°C			2.1		A

$\mu$ A7915C electrical characteristics at specified virtual junction temperature,  
 $V_I = -23$  V,  $I_O = 500$  mA (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	$\mu$ A7915C			UNIT		
		MIN	TYP	MAX			
Output voltage	$I_O = 5$ mA to 1 A, $V_I = -17.5$ V to $-30$ V, $P < 15$ W	25°C		-14.4	-15	-15.5	V
		0°C to 125°C		-14.25		-15.75	
Input regulation	$V_I = -17.5$ V to $-30$ V	25°C			11	300	mV
	$V_I = -20$ V to $-25$ V				3	150	
Ripple rejection	$V_I = -18.5$ V to $-28.5$ V, $f = 120$ Hz	0°C to 125°C		54	60		dB
Output regulation	$I_O = 5$ mA to 1.5 A	25°C			12	300	mV
	$I_O = 250$ mA to 750 mA				4	150	
Temperature coefficient of output voltage	$I_O = 5$ mA	0°C to 125°C			-1		mV/°C
Output noise voltage	$f = 10$ Hz to 100 kHz	25°C			375		$\mu$ V
Dropout voltage	$I_O = 1$ A	25°C			1.1		V
Bias current		25°C			1.5	3	mA
Bias current change	$V_I = -17.5$ V to $-30$ V	0°C to 125°C				1	mA
	$I_O = 5$ mA to 1 A					0.5	
Peak output current		25°C			2.1		A

† All characteristics are measured with a capacitor across the input of 0.33  $\mu$ F and a capacitor across the output of 0.1  $\mu$ F. All characteristics except noise voltage and ripple rejection ratio are measured using pulse techniques ( $t_w < 10$  ms, duty cycle  $< 5\%$ ). Output voltage changes due to changes in internal temperature must be taken into account separately.

TEXAS INSTRUMENTS  
INCORPORATED

POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

177

C. ESQUEMA DE LA PARTE ANALOGA

D. MANUAL DE USO DEL PROGRAMA

## MANUAL DE USO DEL EQUIPO

1. Se conecta el circuito de interface con el MPF - IP, mediante el cable de conexión que va desde el zócalo de 40 patas del circuito de interface al MPF - IP.

Es necesario tomar en cuenta cual es la pata 1 del conector y la correspondiente del MPF - IP. En el circuito la pata 1 está señalada por un punto, como se observa en la figura D.1.

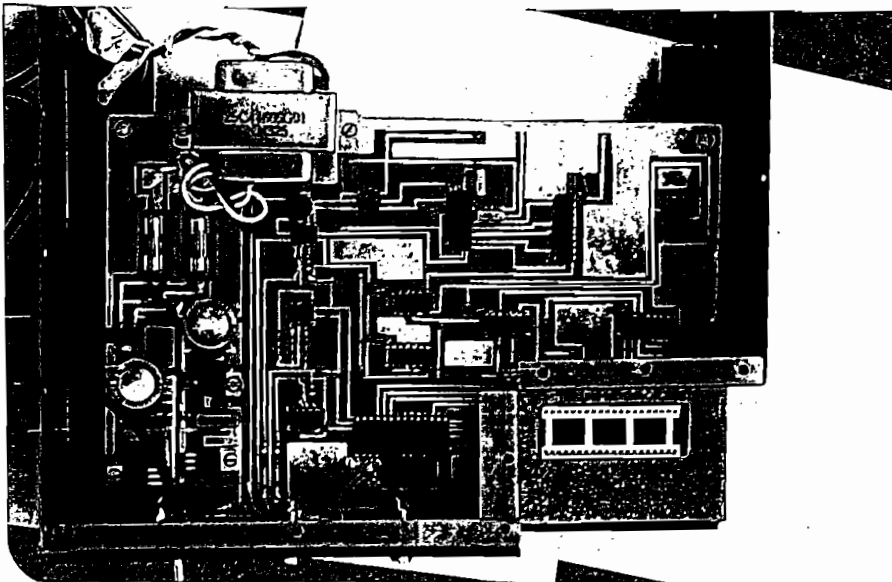


Fig. D.1. Esquema del circuito implementado

2. Se coloca la EPROM en el zócalo que existe en el MPF - IP para este objeto. El programa comienza en la memoria 2000 H.
3. Se mide que el potenciómetro entre los dos conectores externos tenga un valor de 40 K , y se lo coloca en la posición superior del amplificador operacional ( $G_I(s)$ ) y se pone un puente en el lugar de  $G_I(s)$ , de la manera mostrada en la figura D.2.

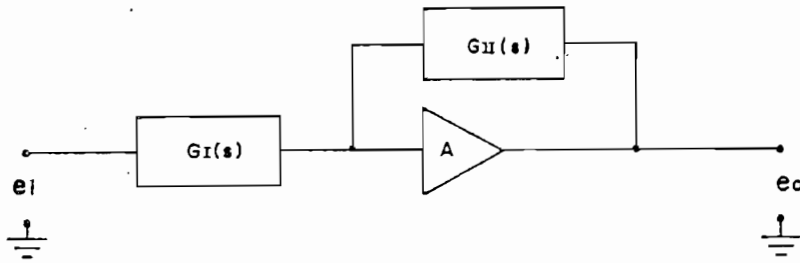


Fig. D.2. Diagrama del amplificador operacional

$G_I(s)$  es un puente, porque la entrada 2 del Motomatic tiene una resistencia interna de  $10\text{ K}\Omega$ .

4. La figura D.3. muestra el panel frontal del circuito de interfaz. Las conexiones del Motomatic al circuito se realizan de la siguiente manera:

- Se conecta la salida OUT del circuito a la entrada 2 del Motomatic.
- La salida POS se conecta a la salida de realimentación de posición. El interruptor debe estar en la posición (-).
- La salida VEL se conecta a la salida de realimentación de velocidad del Motomatic.
- La salida TIERRA se conecta a la tierra del Motomatic.



Fig. D.3. Panel Frontal del circuito de interface.

5. Se procede al encendido del equipo en el siguiente orden:

- Se enciende el circuito de interface. En la figura D.3. se observa que existe un foco para señalar si el circuito está encendido.

Además existe un LED que señala que el circuito está listo para funcionar; si este LED no se prende, es necesario revisar los fusibles de protección, los cuales se ven en la figura D.1.

- Como segundo paso se enciende el MPF - IP. El cual se conecta sin impresora. Se presiona control Q para ingresar al monitor.

Si se desea ver si el conversor D/A está calibrado correctamente se presiona:

Q

G 2F00

y se sigue el procedimiento indicado por el programa.

Una vez que se ha calibrado el conversor D/A, se presiona:

G 2000

Con esta instrucción se da comienzo al programa de control; si se presiona:

↓ el programa se termina.

Para seguir con el encendido, una vez que se ha presionado -  
G2000 y si no se desea terminar, se enciende el Motomatic.

Para dar comienzo al programa se presiona P y en el display aparecerá :

a) Qué desea controlar?, se presiona la tecla de espacio y se po  
ne la contestación: POS para posición y VEI para velocidad, y  
para dar por terminado cada escritura se presionará retorno de  
carro, y se da paso a la siguiente pregunta que es:

b) Referencia en RPM o referencia en grados, de acuerdo al caso,  
al igual que la pregunta anterior se presionará espacio para -  
pasar a escribir el valor de referencia, el cual se dá por con  
cluído al presionar retorno de carro. Si el número es equivo-

1.0



cado se presiona C y se vuelve a escribir.

c) Luego aparece en el display: Desea controlar? se presiona es pacio y si el resultado es afirmativo, se presiona S y si es negativo se presiona N. La respuesta negativa se entiende co mo un sistema realimentado sin ningún tipo de acción de control y de inmediato comienza su ejecución.

d) Si la respuesta es afirmativa, aparece en el display: Tipo de Compensación; se presiona espacio y se escribe el tipo de con trolador que se desea implementar (P, PD, PI o PID) y se pre siona retorno de carro para continuar.

e) Se preguntan los parámetros para cada tipo de controlador; pa rà entrar el número, es necesario presionar la tecla de espa cio y al terminar de entrar el número se presiona la tecla de retorno de carro.

f) Como paso final se pregunta si los parámetros introducidos son los correctos, si la respuesta es afirmativa se comienza la ejecución del programa; si no lo es se vuelve a preguntar los parámetros del controlador.

7. Para salir del lazo de realimentación, se pueden presionar las si guientes teclas:

: con ésta se da por terminado el programa.

: regresa a la pregunta a) del numeral anterior.

1 : regresa a la pregunta b) del numeral anterior.

2 : regresa a la pregunta c) del numeral anterior.

3 : regresa a la pregunta f) del numeral anterior.

7. El programa chequea algunos tipos de errores, los cuales salen en el display cuando se producen; al salir estas leyendas, se presiona la tecla de espacio y en el display aparecerá la acción a tomarse.

2000 3E LD A,02  
 2002 D3 OUT (10),A  
 2004 3E LD A,00  
 2006 D3 OUT (00),A  
 2008 DD LD IX,FF2C  
 200C CD CALL 09B9  
 200F CD CALL 0246  
 2012 FE CP 50  
 2014 CA JP Z,27E6  
 2017 FE CP 69  
 2019 CA JP Z,251F  
 201C C3 JP 2000  
 201F 00 NOP  
 2020 CD CALL 09B9  
 2023 DD LD IX,FF2C  
 2027 CD CALL 0246  
 202A FE CP 0D  
 202C CA JP Z,212A  
 202F FD LD IY,FD04  
 2033 CD CALL 212B  
 2036 FD LD IY,FD00  
 203A CD CALL 212B  
 203D FD LD IY,FD03  
 2041 FE CP 2E  
 2043 CA JP Z,20E8  
 2046 FE CP 43  
 2048 28 JR Z,2020  
 204A CD CALL 2150  
 204D FE CP FF  
 204F 28 JR Z,2027  
 2051 CD CALL 0B14  
 2054 FD LD (IY+00),A  
 2057 CD CALL 0AAD  
 205A FD DEC IY  
 205C CD CALL 0246  
 205F FE CP 0D  
 2061 CA JP Z,212A  
 2064 FE CP 2E  
 2066 CA JP Z,20E8  
 2069 FE CP 43  
 206B 28 JR Z,2020  
 206D CD CALL 2150  
 2070 FE CP FF  
 2072 28 JR Z,205C  
 2074 CD CALL 2143  
 2077 3A LD A,(FD08)  
 207A FD LD (IY+01),A  
 207D CD CALL 0AAD  
 2080 FD DEC IY  
 2082 CD CALL 0246  
 2085 FE CP 0D  
 2087 CA JP Z,212A  
 208A FE CP 2E  
 208C CA JP Z,20E8  
 208F FE CP 43  
 2091 28 JR Z,2020

## INICIALIZACION

SUBROUTINA DE ENTRADA  
DE DATOS

2093 CD CALL 2150  
2096 FE CP FF  
2098 28 JR Z,2082  
209A CD CALL 2143  
209D CD CALL 213C  
20A0 3A LD A,(FD08)  
20A3 FD LD (IY+02),A  
20A6 CD CALL 0AAD  
20A9 FD DEC IY  
20AB CD CALL 0246  
20AE FE CP 0D  
20B0 28 JR Z,212A  
20B2 FE CP 2E  
20B4 CA JP Z,20E8  
20B7 FE CP 43  
20B9 CA JP Z,2020  
20BC CD CALL 2150  
20BF FE CP FF  
20C1 28 JR Z,20AB  
20C3 CD CALL 2143  
20C6 CD CALL 213C  
20C9 FD LD A,(IY+03)  
20CC FD LD (IY+02),A  
20CF 3A LD A,(FD08)  
20D2 FD LD (IY+03),A  
20D5 CD CALL 0AAD  
20D8 CD CALL 0246  
20DB FE CP 43  
20DD CA JP Z,2020  
20E0 FE CP 0D  
20E2 28 JR Z,212A  
20E4 FE CP 2E  
20E6 20 JR NZ,20D8  
20E8 3E LD A,2E  
20EA CD CALL 0924  
20ED FD LD IY,FD04  
20F1 3E LD A,04  
20F3 32 LD (FD09),A  
20F6 CD CALL 0246  
20F9 FE CP 0D  
20FB 28 JR Z,212A  
20FD FE CP 43  
20FF CA JP Z,2020  
2102 CD CALL 2150  
2105 FE CP FF  
2107 28 JR Z,20F6  
2109 CD CALL 0B14  
210C FD LD (IY+00),A  
210F CD CALL 0AAD  
2112 FD INC IY  
2114 3A LD A,(FD09)  
2117 3D DEC A  
2118 20 JR NZ,20F3  
211A CD CALL 0246  
211D FE CP 0D  
211F CA JP Z,212A  
2122 FE CP 43  
2124 CA JP Z,2020  
2127 C3 JP 211A  
212A C9 RET

(1)

```

212B FD LD (IY+00),0
0
212F FD LD (IY+01),0
0
2133 FD LD (IY+02),0
0
2137 FD LD (IY+03),0
0
213B C9 RET
213C FD LD A,(IY+02)
213F FD LD (IY+01),A
2142 C9 RET
2143 CD CALL 0B14
2146 32 LD (FD08),A
2149 FD LD A,(IY+01)
214C FD LD (IY+00),A
214F C9 RET
2150 16 LD D,0A
2152 1E LD E,30
2154 BB CP E
2155 28 JR Z,215D
2157 1C INC E
2158 15 DEC D
2159 20 JR NZ,2154
215B 3E LD A,FF
215D C9 RET

```

## SUBROUTINA DE BORRADO

```

215E DD LD IX,FD0A
2162 FD LD IY,FD0A
2166 CD CALL 212B
2169 16 LD D,00
216B 06 LD B,07
216D FD LD IY,FD00
2171 FD LD A,(IY+00)
2174 CB SRL A
2176 FD LD (IY+00),A
2179 30 JR NC,2184
217B FD LD A,(IY+01)
217E 0E LD C,0A
2180 81 ADD A,C
2181 FD LD (IY+01),A
2184 FD INC IY
2186 10 DJNZ 2171
2188 FD LD A,(IY+00)
218B CB SRL A
218D FD LD (IY+00),A
2190 DD LD A,(IX+00)
2193 1F RRA
2194 DD LD (IX+00),A
2197 DD LD A,(IX+00)
219A 14 INC D
219B 7A LD A,D
219C FE CP 08
219E 20 JR NZ,21A4
21A0 DD INC IX
21A2 16 LD D,00
21A4 FD LD IY,FD00
21A8 06 LD B,08

```

CONVERSION DE UN  
NUMERO BCD A BINARIO

```
21AA FD LD A,(IY+00)
21AD FE CP 00
21AF 20 JR NZ,216B
21B1 FD INC IY
21B3 10 DJNZ 21AA
21B5 7A LD A,D
21B6 FE CP 00
21B9 C8 RET Z
21B9 DD LD A,(IX+00)
213C CB SRL A
21BE DD LD (IX+00),A
21C1 14 INC D
21C2 7A LD A,D
21C3 FE CP 08
21C5 20 JR NZ,21B9
21C7 C9 RET
21C8 00 NOP
21C9 3E LD A,02
21CB D3 OUT (10),A
21CD 3E LD A,00
21CF D3 OUT (00),A
21D1 FD LD IY,21E8
21D3 CD CALL 21FC
21D8 CD CALL 0246
21DB FE CP 53
21DD CA JP Z,27E6
21E0 FE CP 4E
21E2 C2 JP NZ,21C8
21E5 C3 JP 251F
21E9 50 P
21E9 4F 0
21EA 4E N
21EB 45 E
21EC 20 BLANCO
21ED 4E N
21EE 55 U
21EF 45 E
21F0 56 V
21F1 4F 0
21F2 53 S
21F3 20 BLANCO
21F4 44 D
21F5 41 A
21F6 54 T
21F7 4F 0
21F8 53 S
21F9 20 BLANCO
21FA 20 BLANCO
21FB 40 @
```

SUBROUTINA ERROR

Lh

21FC CD CALL 09B9  
 21FF DD LD IX,FF2C  
 2203 06 LD B,14  
 2205 FD LD A,(IY+00)  
 2208 CD CALL 0924  
 220B FD INC IY  
 220D 10 DJNZ 2205  
 220F CD CALL 0246  
 2212 FE CP 20  
 2214 C2 JP NZ,220F  
 2217 C9 RET

SUBROUTINA DE  
 ESCRITURA

2218 CD CALL 222B  
 221B 21 LD HL,0000  
 221E 22 LD (FD42),HL  
 2221 21 LD HL,2710  
 2224 22 LD (FD40),HL  
 2227 CD CALL 22AE  
 222A C9 RET  
 222B FD LD IY,FD38  
 222F CD CALL 212B  
 2232 3E LD A,20  
 2234 32 LD (FD3C),A  
 2237 3A LD A,(FD34)  
 223A CB BIT 0,A  
 223C 28 JR Z,225B  
 223E 37 SCF  
 223F 3F CCF  
 2240 2A LJ HL,(FD38)  
 2243 ED LD BC,(FD30)  
 2247 ED ADC HL,BC  
 2249 22 LD (FD38),HL  
 224C 2A LD HL,(FD3A)  
 224F ED LD BC,(FD32)  
 2253 ED ADC HL,BC  
 2255 22 LD (FD3A),HL  
 2258 00 NOP  
 2259 00 NOP  
 225A 00 NOP  
 225B 3A LD A,(FD3B)  
 225E CB SRL A  
 2260 32 LD (FD3B),A  
 2263 3A LD A,(FD3A)  
 2266 1F RRA  
 2267 32 LD (FD3A),A  
 226A 3A LD A,(FD39)  
 226D 1F RRA  
 226E 32 LD (FD39),A  
 2271 3A LD A,(FD38)  
 2274 1F RRA  
 2275 32 LD (FD38),A  
 2278 3A LD A,(FD37)  
 227B 1F RRA  
 227C 32 LD (FD37),A  
 227F 3A LD A,(FD36)  
 2282 1F RRA  
 2283 32 LD (FD36),A

SUBROUTINA DE  
 MULTIPLICACION

SUBROUTINA AUXILIAR  
 DE MULTIPLICACION

2286 3A LD A,(FD35)  
 2289 1F RRA  
 228A 32 LD (FD35),A  
 228D 3A LD A,(FD34)  
 2290 1F RRA  
 2291 32 LD (FD34),A  
 2294 3A LD A,(FD3C)  
 2297 3D DEC A  
 2298 20 JR NZ,2234  
 229A C9 RET  
 229B 21 LD HL,0000  
 229E 22 LD (FD32),HL  
 22A1 21 LD HL,2710  
 22A4 22 LD (FD30),HL  
 22A7 CD CALL 222B  
 22AA CD CALL 22AE  
 22AD C9 RET  
 22AE FD LD IY,FD38  
 22B2 CD CALL 212B  
 22B5 3A LD A,(FD40)  
 22B8 FE CP 00  
 22BA 20 JR NZ,22D2  
 22BC 3A LD A,(FD41)  
 22BF FE CP 00  
 22C1 20 JR NZ,22D2  
 22C3 3A LD A,(FD42)  
 22C6 FE CP 00  
 22C8 20 JR NZ,22D2  
 22CA 3A LD A,(FD43)  
 22CD FE CP 00  
 22CF CA JP Z,23A2  
 22D2 0E LD C,00  
 22D4 16 LD D,00  
 22D6 FD LD IY,FD40  
 22DA FD BIT 7,(IY+03  
 )  
 22DE C2 JP NZ,2380  
 22E1 0C INC C  
 22E2 FD LD IY,FD34  
 22E6 FD BIT 7,(IY+03  
 )  
 22EA 00 NOP  
 22EB C2 JP NZ,2380  
 22EE 7A LD A,D  
 22EF 32 LD (FD20),A  
 22F2 3E LD A,21  
 22F4 32 LD (FD4C),A  
 22F7 37 SCF  
 22F8 3F CCF  
 22F9 2A LD HL,(FD38)  
 22FC ED LD BC,(FD40)  
 2300 ED SBC HL,BC  
 2302 54 LD D,H  
 2303 5D LD E,L  
 2304 2A LD HL,(FD3A)  
 2307 ED LD BC,(FD42)  
 230B ED SBC HL,BC  
 230D 38 JR C,2319  
 230F 22 LD (FD3A),HL  
 2312 ED LD (FD38),DE

SUBROUTINA DE  
 DIVISION

SUBROUTINA AUXILIAR  
 DE DIVISION



2316 37 SCF  
2317 18 JR 231B  
2319 37 SCF  
231A 3F CCF  
231B 3A LD A,(FD34)  
231E 17 RLA  
231F 32 LD (FD34),A  
2322 3A LD A,(FD35)  
2325 17 RLA  
2326 32 LD (FD35),A  
2329 3A LD A,(FD36)  
232C 17 RLA  
232D 32 LD (FD36),A  
2330 3A LD A,(FD37)  
2333 17 RLA  
2334 32 LD (FD37),A  
2337 3A LD A,(FD38)  
233A 17 RLA  
233B 32 LD (FD38),A  
233E 3A LD A,(FD39)  
2341 17 RLA  
2342 32 LD (FD39),A  
2345 3A LD A,(FD3A)  
2348 17 RLA  
2349 32 LD (FD3A),A  
234C 3A LD A,(FD3B)  
234F 17 RLA  
2350 32 LD (FD3B),A  
2353 3A LD A,(FD4C)  
2356 3D DEC A  
2357 20 JR NZ,22F4  
2359 3A LD A,(FD20)  
235C FE CP 00  
235E C8 RET Z  
235F FE CP 02  
2361 C8 RET Z  
2362 FD LD IY,FD34  
2366 00 NOP  
2367 FD LD A,(IY+00)  
236A ED NEG  
236C 3F CCF  
236D FD LD (IY+00),A  
2370 06 LD B,03  
2372 FD INC IY  
2374 FD LD A,(IY+00)  
2377 2F CPL  
2378 CE ADC A,00  
237A FD LD (IY+00),A  
237D 10 DJNZ 2372  
237F C9 RET  
2380 FD LD A,(IY+00)  
2383 ED NEG  
2385 3F CCF  
2386 FD LD (IY+00),A  
2389 06 LD B,03  
238B FD INC IY  
238D FD LD A,(IY+00)  
2390 2F CPL  
2391 CE ADC A,00  
2393 FD LD (IY+00),A  
2396 10 DJNZ 238B

2398 14 INC D  
 2399 79 LD A,C  
 239A FE CP 01  
 239C CA JP Z,22EE  
 239F C3 JP 22E1  
 23A2 21 LD HL,0040  
 23A5 CD CALL 0872  
 23A8 FD LD IY,23B2  
 23AC CD CALL 21FC  
 23AF C3 JP 21C8  
 23B2 44 D  
 23B3 49 I  
 23B4 53 V  
 23B5 49 I  
 23B6 53 S  
 23B7 49 I  
 23B8 4F 0  
 23B9 4E M  
 23BA 20 BLANCO  
 23BB 50 P  
 23BC 41 A  
 23BD 52 R  
 23BE 41 A  
 23BF 20 BLANCO  
 23C0 43 C  
 23C1 45 E  
 23C2 52 R  
 23C3 4F 0  
 23C4 20 BLANCO  
 23C5 20 BLANCO  
 23C6 20 BLANCO  
 23C7 40 @  
 23C8 3A LD A,(FD69)  
 23C9 FE CP EE  
 23CD CA JP Z,24CC  
 23D0 01 LD BC,0004  
 23D3 21 LD HL,FD70  
 23D6 11 LD DE,FD30  
 23D9 ED LDIR  
 23DB 01 LD BC,0004  
 23DE 21 LD HL,FD50  
 23E1 11 LD DE,FD34  
 23E4 ED LDIR  
 23E6 CD CALL 2218  
 23E9 01 LD BC 0004  
 23EC 21 LD HL,FD34  
 23EF 11 LD DE,FD84  
 23F2 ED LDIR  
 23F4 3A LD A,(FD69)  
 23F7 FE CP FF  
 23F9 CA JP Z,2487  
 23FC FE CP FD  
 23FE 28 JR Z,243A  
 2400 37 SCF  
 2401 3F CCF  
 2402 2A LD HL,(FD70)  
 2405 ED LD DE,(FD60)  
 2409 ED SBC HL,DE  
 240B 22 LD (FD34),HL

SUBROUTINA PID

CONTROLADOR P

CONTROLADOR D

240E 2A LD HL,(FD72)  
 2411 ED LD DE,(FD62)  
 2415 ED SBC HL,DE  
 2417 22 LD (FD36),HL  
 241A 01 LD BC,0004  
 241D 21 LD HL,FD7C  
 2420 11 LD DE,FD30  
 2423 ED LDIR  
 2425 CD CALL 2218  
 2428 01 LD BC,0004  
 242B 21 LD HL,FD34  
 242E 11 LD DE,FD88  
 2431 ED LDIR  
 2433 3A LD A,(FD69)  
 2436 FE CP FE  
 2438 28 JR Z,2487  
 243A 37 SCF  
 243B 3F CCF  
 243C 2A LD HL,(FD70)  
 243F ED LD DE,(FD60)  
 2443 ED ADC HL,DE  
 2445 22 LD (FD34),HL  
 2448 2A LD HL,(FD72)  
 244B ED LD DE,(FD62)  
 244F ED ADC HL,DE  
 2451 22 LD (FD36),HL  
 2454 01 LD BC,0004  
 2457 21 LD HL,FD80  
 245A 11 LD DE,FD30  
 245D ED LDIR  
 245F CD CALL 2218  
 2462 37 SCF  
 2463 3F CCF  
 2464 2A LD HL,(FD34)  
 2467 ED LD DE,(FD64)  
 246B ED ADC HL,DE  
 246D 22 LD (FD8C),HL  
 2470 2A LD HL,(FD36)  
 2473 ED LD DE,(FD66)  
 2477 ED ADC HL,DE  
 2479 22 LD (FD8E),HL  
 247C 01 LD BC,0004  
 247F 21 LD HL,FD8C  
 2482 11 LD DE,FD64  
 2485 ED LDIR  
 2487 37 SCF  
 2488 3F CCF  
 2489 2A LD HL,(FD84)  
 248C ED LD DE,(FD88)  
 2490 ED ADC HL,DE  
 2492 44 LD B,H  
 2493 4D LD C,L  
 2494 2A LD HL,(FD86)  
 2497 ED LD DE,(FD8A)  
 249B ED ADC HL,DE  
 249D 50 LD D,B  
 249E 59 LD E,C  
 249F 44 LD B,H  
 24A0 4D LD C,L  
 24A1 37 SCF  
 24A2 3F CCF

CONTROLADOR I

SUMA

11

24A3 2A LD HL,(FD8C)  
 24A6 ED ADC HL,DE  
 24A8 22 LD (FD90),HL  
 24AB 50 LD D,B  
 24AC 59 LD E,C  
 24AD 2A LD HL,(FD8E)  
 24B0 ED ADC HL,DE  
 24B2 22 LD (FD92),HL  
 24B5 01 LD BC,0004  
 24B8 21 LD HL,FD90  
 24BB 11 LD DE,FD34  
 24BE ED LDIR  
 24C0 01 LD BC,0004  
 24C3 21 LD HL,FD70  
 24C6 11 LD DE,FD60  
 24C9 ED LDIR  
 24CB C9 RET  
 24CC 01 LD BC,0004  
 24CF 21 LD HL,FD70  
 24D2 11 LD DE,FD34  
 24D5 ED LDIR  
 24D7 C9 RET

24F0 2A LD HL,(FD10)

SUBROUTINA DE RETARDO

24F3 CD CALL 2BD0  
 24F6 FE CP 0E  
 24F8 28 JR Z,2514  
 24FA FE CP 0B  
 24FC 28 JR Z,251F  
 24FE FE CP 00  
 2500 28 JR Z,2528  
 2502 FE CP 03  
 2504 28 JR Z,2533  
 2506 FE CP 06  
 2508 28 JR Z,253E  
 250A 06 LD B,06  
 250C 10 DJNZ 250C  
 250E 2B DEC HL  
 250F 7D LD A,L  
 2510 B4 OR H  
 2511 20 JR NZ,24F3  
 2513 C9 RET  
 2514 3E LD A,02  
 2516 D3 OUT (10),A  
 2518 3E LD A,00  
 251A D3 OUT (00),A  
 251C C3 JP 27F6  
 251F 3E LD A,02  
 2521 D3 OUT (10),A  
 2523 3E LD A,00  
 2525 D3 OUT (00),A  
 2527 F7 RST 30H  
 2528 3E LD A,02  
 252A D3 OUT (10),A  
 252C 3E LD A,00  
 252E D3 OUT (00),A  
 2530 C3 JP 287E  
 2533 3E LD A,02  
 2535 D3 OUT (10),A  
 2537 3E LD A,00  
 2539 D3 OUT (00),A  
 253B C3 JP 29B5

FIN

```

253E 3E LD A,02
2540 D3 OUT (10),A
2542 3E LD A,00
2544 D3 OUT (00),A
2546 3A LD A,(FD69)
2549 FE CP EE
254B C2 JP NZ,2B0A
254E 21 LD HL,0040
2551 CD CALL 0872
2554 FD LD IY,2561
2558 CD CALL 21FC
255B C3 JP 2514

```

```

2561 45 E
2562 52 R
2563 52 R
2564 4F 0
2565 52 R
2566 20 BLANCO
2567 4E N
2568 4F 0
2569 20 BLANCO
256A 48 H
256B 41 A
256C 59 Y
256D 20 BLANCO
256E 50 P
256F 41 A
2570 52 R
2571 4D M
2572 54 T
2573 53 S
2574 2E .
2575 20 BLANCO
2576 40 @

```

```

2577 3A LD A,(FD35)
257A CB BIT 7,A
257C 20 JR NZ,2590
257E 37 SCF
257F 3F CCF
2580 21 LD HL,01FF
2583 ED LD BC,(FD34)
2587 ED SBC HL,BC
2589 DA JP C,27C0
258C CB SET 1,B
258E 18 JR 25A3
2590 37 SCF
2591 3F CCF
2592 2A LD HL,(FD34)
2595 01 LD BC,FE01
2598 ED SBC HL,BC
259A DA JP C,27C0
259D ED LD BC,(FD34)
25A1 CB RES 1,B
25A3 78 LD A,B
25A4 D3 OUT (10),A
25A6 79 LD A,C
25A7 D3 OUT (00),A
25A9 CD CALL 24F0
25AC DB IN A,(00)
25AE 32 LD (FD34),A
25B1 3E LD A,00
25B3 32 LD (FD35),A
25B6 32 LD (FD36),A
25B9 32 LD (FD37),A
25BC C9 RET

```

SUBROUTINA VEL

## SUBROUTINA POS

```
25BD 3A LD A,(FD35)
25C0 CB BIT 7,A
25C2 28 JR Z,25DA
25C4 37 SCF
25C5 3F CCF
25C6 2A LD HL,(FD34)
25C9 01 LD BC,FE01
25CC ED SBC HL,BC
25CE DA JP C,27C0
25D1 ED LD BC,(FD34)
25D5 CB RES 1,B
25D7 C3 JP 25EA
25DA 37 SCF
25DB 3F CCF
25DC 21 LD HL,01FF
25DF ED LD BC,(FD34)
25E3 ED SBC HL,BC
25E5 DA JP C,27C0
25E8 CB SET 1,B
25EA ED LD (FD34),BC
25EE 78 LD A,B
25EF D3 OUT (12),A
25F1 79 LD A,C
25F2 D3 OUT (02),A
25F4 21 LD HL,0001
25F7 CD CALL 24F3
25FA DB IN A,(02)
25FC FE CP 02
25FE D2 JP NC,261F
2601 3A LD A,(FD34)
2604 D3 OUT (01),A
2606 CD CALL 2639
2609 DB IN A,(01)
260B FE CP 02
260D D2 JP NC,2626
2610 32 LD (FD34),A
2613 3E LD A,00
2615 32 LD (FD35),A
2618 32 LD (FD36),A
261B 32 LD (FD37),A
261E C9 RET
261F CD CALL 2639
2622 DB IN A,(02)
2624 18 JR 2610
2626 ED NEG
2628 00 NOP
2629 00 NOP
262A 32 LD (FD34),A
262D 3E LD A,FF
262F 32 LD (FD35),A
2632 32 LD (FD36),A
2635 32 LD (FD37),A
2638 C9 RET
2639 21 LD HL,0001
263C CD CALL 24F3
263F C9 RET
```

2650 50 P  
 2651 41 A  
 2652 52 R  
 2653 41 A  
 2654 4D M  
 2655 45 E  
 2656 54 T  
 2657 52 R  
 2658 4F D  
 2659 53 S  
 265A 20 BLANCO  
 265B 43 C  
 265C 4F D  
 265D 52 R  
 265E 52 R  
 265F 45 E  
 2660 43 C  
 2661 54 T  
 2662 4F D  
 2663 53 S  
 2664 20 BLANCO  
 2665 20 BLANCO  
 2666 40 B

2673 CD CALL 0872  
 2676 FD LD IY,27AA  
 267A CD CALL 21FC  
 267D C3 JP 21C8

2680 00 NOP  
 2681 00 NOP  
 2682 00 NOP  
 2683 00 NOP  
 2684 00 NOP  
 2685 00 NOP  
 2686 00 NOP  
 2687 00 NOP  
 2688 00 NOP  
 2689 00 NOP  
 268A 00 NOP  
 268B 00 NOP  
 268C 00 NOP  
 268D 00 NOP  
 268E CD CALL 2C10  
 2691 FD LD .,FD88  
 2695 CD CALL 212B  
 2698 FD LD IY,FD8C  
 269C CD CALL 212B  
 269F 3A LD A,(FD69)  
 26A2 FE CP EE  
 26A4 CA JP Z,2712  
 26A7 FE CP FF  
 26A9 CA JP Z,2712  
 26AC FE CP FE  
 26AE CA JP Z,26EE  
 26B1 01 LD BC,0004  
 26B4 21 LD HL,FD5C  
 26B7 11 LD DE,FD30  
 26BA ED LDIR

PROGRAMA PRINCIPAL

CALCULO DE AUXI

26BC 01 LD BC,0004  
 26BF 21 LD HL,FD54  
 26C2 11 LD DE,FD34  
 26C5 ED LDIR  
 26C7 CD CALL 2218  
 26CA 3A LD A,(FD37)  
 26CD CB SRL A  
 26CF 32 LD (FD83),A  
 26D2 3A LD A,(FD36)  
 26D5 1F RRA  
 26D6 32 LD (FD82),A  
 26D9 3A LD A,(FD35)  
 26DC 1F RRA  
 26DD 32 LD (FD81),A  
 26E0 3A LD A,(FD34)  
 26E3 1F RRA  
 26E4 32 LD (FD80),A  
 26E7 3A LD A,(FD69)  
 26EA FE CP 00  
 26EC 20 JR NZ,2712  
 26EE 01 LD BC,0004  
 26F1 21 LD HL,FD5C  
 26F4 11 LD DE,FD40  
 26F7 ED LDIR  
 26F9 01 LD BC,0004  
 26FC 21 LD HL,FD58  
 26FF 11 LD DE,FD34  
 2702 ED LDIR  
 2704 CD CALL 229B  
 2707 01 LD BC,0004  
 270A 21 LD HL,FD34  
 270D 11 LD DE,FD7C  
 2710 ED LDIR  
 2712 01 LD BC,0004  
 2715 21 LD HL,FD6C  
 2718 11 LD DE,FD34  
 271B ED LDIR  
 271D 21 LD HL,0066  
 2720 22 LD (FD30),HL  
 2723 21 LD HL,0000  
 2726 22 LD (FD32),HL  
 2729 CD CALL 2218  
 272C 3A LD A,(FD68)  
 272F FE CP FF  
 2731 CC CALL Z,2577  
 2734 3A LD A,(FD68)  
 2737 FE CP 00  
 2739 CC CALL Z,25BD  
 273C 3E LD A,00  
 273E 32 LD (FD42),A  
 2741 32 LD (FD43),A  
 2744 21 LD HL,0033  
 2747 22 LD (FD40),HL  
 274A CD CALL 229B  
 274D 37 SCF  
 274E 3F CCF  
 274F 2A LD HL,(FD6C)  
 2752 ED LD DE,(FD34)  
 2756 ED SBC HL,DE  
 2758 22 LD (FD70),HL  
 275B 2A LD HL,(FD6E)  
 275E ED LD DE,(FD36)  
 2762 ED SBC HL,DE  
 2764 22 LD (FD72),HL  
 2767 CD CALL 23C8

CALCULO DE AUXD

TRANSFORMACION DEL  
NUMERO PARA EL D/A

CONVERSION DEL  
NUMERO DEL A/D A VOL

CALCULO DEL ERROR



2784 4D M  
2785 55 U  
2786 45 E  
2787 53 S  
2788 54 T  
2789 52 R  
279A 45 E  
278B 4F D  
278C 20 BLANCO  
278D 4E N  
278E 4F D  
278F 20 BLANCO  
2790 41 A  
2791 43 C  
2792 45 E  
2793 50 P  
2794 54 T  
2795 41 A  
2796 44 D  
2797 4F D  
2798 20 BLANCO  
2799 40 @

279A 21 LD HL,0040  
279D CD CALL 0872  
27A0 FD LD IY,2784  
27A4 CD CALL 21FC  
27A7 C3 JP 21C8

27AA 53 S  
27AB 41 A  
27AC 4C L  
27AD 49 I  
27AE 44 D  
27AF 41 A  
27B0 20 BLANCO  
27B1 46 F  
27B2 55 U  
27B3 45 E  
27B4 52 R  
27B5 41 A  
27B6 20 BLANCO  
27B7 44 D  
27B8 20 BLANCO  
27B9 52 R  
27BA 41 A  
27BB 4E N  
27BC 47 G  
27BD 4F D  
27BE 20 BLANCO  
27BF 40 @

27C0 3E LD A,02  
27C2 D3 OUT (10),A  
27C4 3E LD A,00  
27C6 D3 OUT (00),A  
27C8 21 LD HL,0040  
27C9 C3 JP 2673

27D0 51 Q  
 27D1 55 U  
 27D2 45 E  
 27D3 20 BLANCO  
 27D4 44 D  
 27D5 45 E  
 27D6 53 S  
 27D7 45 E  
 27D8 41 A  
 27D9 20 BLANCO  
 27DA 43 C  
 27DB 4F O  
 27DC 4E N  
 27DD 54 T  
 27DE 52 R  
 27DF 4F O  
 27E0 4C L  
 27E1 41 A  
 27E2 52 R  
 27E3 3F ?  
 27E4 20 BLANCO  
 27E5 40 @

PREGUNTA QUE DESEA  
CONTROLAR?

27E6 FD LD IY,27D0  
 27EA CD CALL 21FC  
 27ED CD CALL 09B9  
 27F0 DD LD IX,FF2C  
 27F4 FD LD IY,FDA0  
 27F8 3E LD A,00  
 27FA 32 LD (FD68),A  
 27FD 3E LD A,04  
 27FF 32 LD (FD12),A  
 2802 CD CALL 0246  
 2805 FD LD (IY+00),A  
 2808 CD CALL 0924  
 280B FD INC IY  
 280D 3A LD A,(FD12)  
 2810 3D DEC A  
 2811 20 JR NZ,27FF  
 2813 FD LD IY,FDA0  
 2817 FD LD A,(IY+00)  
 281A FE CP 50  
 281C 28 JR Z,2837  
 281E FE CP 56  
 2820 20 JR NZ,27E6  
 2822 FD LD A,(IY+01)  
 2825 FE CP 45  
 2827 20 JR NZ,27E6  
 2829 FD LD A,(IY+02)  
 282C FE CP 4C  
 282E 20 JR NZ,27E6  
 2830 3E LD A,FF  
 2832 32 LD (FD68),A  
 2835 18 JR 2845  
 2837 FD LD A,(IY+01)  
 283A FE CP 4F  
 283C 20 JR NZ,27E6  
 283E FD LD A,(IY+02)  
 2841 FE CP 53  
 2843 20 JR NZ,27E6  
 2845 FD LD A,(IY+03)  
 2848 FE CP 0D  
 284A 20 JR NZ,27E6  
 284C 18 JR 287E

284E 52 R  
 284F 45 E  
 2850 46 F  
 2851 45 E  
 2852 52 R  
 2853 45 E  
 2854 4E N  
 2855 43 C  
 2856 49 I  
 2857 41 A  
 2858 20 BLANCO  
 2859 45 E  
 285A 4E N  
 285B 20 BLANCO  
 285C 47 G  
 285D 52 R  
 285E 41 A  
 285F 44 D  
 2860 4F D  
 2861 53 S  
 2862 3A :  
 2863 20 BLANCO  
 2864 20 BLANCO  
 2865 40 @  
 2866 52 R  
 2867 45 E  
 2868 46 F  
 2869 45 E  
 286A 52 R  
 286B 45 E  
 286C 4E N  
 286D 43 C  
 286E 49 I  
 286F 41 A  
 2870 20 BLANCO  
 2871 45 E  
 2872 4E N  
 2873 20 BLANCO  
 2874 52 R  
 2875 50 P  
 2876 4D M  
 2877 3A :  
 2878 20 BLANCO  
 2879 20 BLANCO  
 287A 20 BLANCO  
 287B 20 BLANCO  
 287C 20 BLANCO  
 287D 40 @

287E 3A LD A,(FD68)  
 2881 FE CP 00  
 2883 CA JP Z,2903  
 2886 21 LD HL,0000  
 2889 22 LD (FD32),HL  
 288C 21 LD HL,009A  
 288F 22 LD (FD30),HL  
 2892 FD LD IY,2866  
 2896 CD CALL 21FC  
 2899 CD CALL 2020  
 289C CD CALL 215E

ENTRADA DEL VALOR  
 DE REFERENCIA

CONSTANTE DE VEL KP'  
 KP' = 0.0154 VOLT/RPM

289F 37 SCF  
 28A0 3F CCF  
 28A1 21 LD HL,1B00  
 28A4 ED LD BC,(FD0A)  
 28A8 ED SBC HL,BC  
 28AA 21 LD HL,00B7  
 28AD ED LD BC,(FD0C)  
 28B1 ED SBC HL,BC  
 28B3 DA JP C,2978  
 28B6 01 LD BC,0004  
 28B9 21 LD HL,FD0A  
 28BC 11 LD DE,FD34  
 28BF ED LDIR  
 28C1 CD CALL 222B  
 28C4 21 LD HL,0000  
 28C7 22 LD (FD42),HL  
 28CA 21 LD HL,2710  
 28CD 22 LD (FD40),HL  
 28D0 3E LD A,00  
 28D2 CD CALL 22EF  
 28D5 21 LD HL,0000  
 28D8 22 LD (FD42),HL  
 28DB 21 LD HL,9C40  
 28DE 22 LD (FD40),HL  
 28E1 21 LD HL,0000  
 28E4 22 LD (FD32),HL  
 28E7 21 LD HL,2710  
 28EA 22 LD (FD30),HL  
 28ED CD CALL 222B  
 28F0 3E LD A,00  
 28F2 CD CALL 22EF  
 28F5 01 LD BC,0004  
 28F8 21 LD HL,FD34  
 28FB 11 LD DE,FD6C  
 28FE ED LDIR  
 2900 C3 JP 29B5  
 2903 21 LD HL,0000  
 2906 22 LD (FD32),HL  
 2909 21 LD HL,049C  
 290C 22 LD (FD30),HL  
 290F FD LD IY,284E  
 2913 CD CALL 21FC  
 2916 CD CALL 2020  
 2919 CD CALL 215E  
 291C 37 SCF  
 291D 3F CCF  
 291E 21 LD HL,D400  
 2921 ED LD BC,(FD0A)  
 2925 ED SBC HL,BC  
 2927 21 LD HL,0030  
 292A ED LD BC,(FD0C)  
 292E ED SBC HL,BC  
 2930 DA JP C,2978  
 2933 3E LD A,00  
 2935 32 LD (FD78),A  
 2938 37 SCF  
 2939 3F CCF  
 293A 2A LD HL,(FD0A)  
 293D 11 LD DE,6A00  
 2940 ED SBC HL,DE  
 2942 22 LD (FD34),HL

CONSTANTE DE POS KG  
 KG= 0.118 VOLT/GRAD

2945 2A LD HL,(FD0C)  
2948 11 LD DE,0018  
294B ED SBC HL,DE  
294D 22 LD (FD36),HL  
2950 D2 JP NC,2952  
2953 3E LD A,FF  
2955 32 LD (FD78),A  
2958 CD CALL 2218  
295B 21 LD HL,0000  
295E 22 LD (FD42),HL  
2961 21 LD HL,9C40  
2964 22 LD (FD40),HL  
2967 CD CALL 229B  
296A 01 LD BC,0004  
296D 21 LD HL,FD34  
2970 11 LD DE,FD6C  
2973 ED LDIR  
2975 C3 JP 29B5  
2978 21 LD HL,0040  
297B CD CALL 0872  
297E FD LD IY,2988  
2982 CD CALL 21FC  
2985 C3 JP 2668

2988 52 R  
2989 45 E  
298A 46 F  
298B 2E .  
298C 20 BLANCO  
298D 46 F  
298E 55 U  
298F 45 E  
2990 52 R  
2991 41 A  
2992 20 BLANCO  
2993 44 D  
2994 45 E  
2995 20 BLANCO  
2996 52 R  
2997 41 A  
2998 4E N  
2999 4F G  
299A 20 D  
299B 20 BLANCO  
299C 20 BLANCO  
299D 40 @

21

299E 20 BLANCO  
 299F 20 BLANCO  
 29A0 44 D  
 29A1 45 E  
 29A2 53 S  
 29A3 45 E  
 29A4 41 A  
 29A5 20 BLANCO  
 29A6 43 C  
 29A7 4F D  
 29A8 4D M  
 29A9 50 P  
 29AA 45 E  
 29AB 4E N  
 29AC 53 S  
 29AD 41 A  
 29AE 52 R  
 29AF 20 BLANCO  
 29B0 3F ?  
 29B1 20 BLANCO  
 29B2 20 BLANCO  
 29B3 20 BLANCO  
 29B4 40 @

29B5 FD LD IY,299E  
 29B9 CD CALL 21FC  
 29BC DD LD IX,FF2C  
 29C0 CD CALL 09B9  
 29C3 CD CALL 0246  
 29C6 FE CP 53  
 29C8 28 JR Z,29DA  
 29CA FE CP 4E  
 29CC 20 JR NZ,29B5  
 29CE 3E LD A,EE  
 29D0 32 LD (FD69),A  
 29D3 32 LD (FD69),A  
 29D6 C3 JP 2680  
 29D9 00 NOP  
 29DA 18 JR 29F2

PREGUNTA SI SE VA A  
 IMPLEMENTAR ALGUNA  
 ACCION DE CONTROL

29DC 54 T  
 29DD 49 I  
 29DE 50 P  
 29DF 4F D  
 29E0 20 BLANCO  
 29E1 44 D  
 29E2 45 E  
 29E3 20 BLANCO  
 29E4 43 C  
 29E5 4F D  
 29E6 4D M  
 29E7 50 P  
 29E8 45 E  
 29E9 4E N  
 29EA 53 S  
 29EB 41 A  
 29EC 43 C  
 29ED 49 I  
 29EE 4F D  
 29EF 4E N  
 29F0 20 BLANCO  
 29F1 40 @

8-1

29F2 FD LD IY,29DC  
 29F6 CD CALL 21FC  
 29F9 3E LD A,00  
 29FB 32 LD (FD69),A  
 29FE CD CALL 09B9  
 2A01 DD LD IX,FF2C  
 2A05 CD CALL 0246  
 2A08 FE CP 50  
 2A0A 20 JR NZ,2A05  
 2A0C CD CALL 0924  
 2A0F CD CALL 0246  
 2A12 FE CP 0D  
 2A14 28 JR Z,2A44  
 2A16 FE CP 49  
 2A18 28 JR Z,2A2A  
 2A1A FE CP 44  
 2A1C 20 JR NZ,29F2  
 2A1E CD CALL 0924  
 2A21 CD CALL 0246  
 2A24 FE CP 0D  
 2A26 28 JR Z,2A4B  
 2A28 18 JR 29FE  
 2A2A CD CALL 0924  
 2A2D CD CALL 0246  
 2A30 FE CP 0D  
 2A32 28 JR Z,2A52  
 2A34 FE CP 44  
 2A36 20 JR NZ,29F2  
 2A38 CD CALL 0924  
 2A3B CD CALL 0246  
 2A3E FE CP 0D  
 2A40 28 JR Z,2A57  
 2A42 18 JR 29F2  
 2A44 3E LD A,FF  
 2A46 32 LD (FD69),A  
 2A49 18 JR 2A57  
 2A4B 3E LD A,FE  
 2A4D 32 LD (FD69),A  
 2A50 18 JR 2A57  
 2A52 3E LD A,FD  
 2A54 32 LD (FD69),A  
 2A57 3A LD A,(FD68)  
 2A5A FE CP FF  
 2A5C CA JP Z,2A6F  
 2A5F 3A LD A,(FD69)  
 2A62 FE CP 00  
 2A64 CA JP Z,2A7F  
 2A67 FE CP FD  
 2A69 CA JP Z,2A7F  
 2A6C C3 JP 2B0A  
 2A6F 3A LD A,(FD69)  
 2A72 FE CP 00  
 2A74 CA JP Z,2A7F  
 2A77 FE CP FE  
 2A79 CA JP Z,2A7F  
 2A7C C3 JP 2B0A  
 2A7F 21 LD HL,0040  
 2A82 CD CALL 0872  
 2A85 FD LD IY,2A9C  
 2A89 CD CALL 21FC  
 2A8C CD CALL 0246  
 2A8F FE CP 53  
 2A91 CA JP Z,2B0A  
 2A94 FE CP 4E  
 2A96 CA JP Z,29F2

PREGUNTA QUE TIPO DE  
 ACCION DE CONTROL SE  
 VA A UTILIZAR

8.2

2A9C	4E	N
2A9D	4F	D
2A9E	20	BLANCO
2A9F	41	A
2AA0	50	P
2AA1	54	T
2AA2	4F	D
2AA3	20	BLANCO
2AA4	44	D
2AA5	45	E
2AA6	53	S
2AA7	45	E
2AA8	41	A
2AA9	20	BLANCO
2AAA	53	S
2AAB	45	E
2AAC	47	G
2AAD	55	U
2AAE	49	I
2AAF	52	R
2AB0	40	E
2AB1	20	BLANCO
2AB2	20	BLANCO
2AB3	20	BLANCO
2AB4	20	BLANCO
2AB5	56	V
2AB6	41	A
2AB7	4C	L
2AB8	4F	D
2AB9	52	R
2ABA	20	BLANCO
2ABB	44	D
2ABC	45	E
2ABD	20	BLANCO
2ABE	4B	K
2ABF	50	P
2AC0	3A	:
2AC1	20	BLANCO
2AC2	20	BLANCO
2AC3	20	BLANCO
2AC4	20	BLANCO
2AC5	20	BLANCO
2AC6	40	E
2AC7	20	BLANCO
2AC8	20	BLANCO
2AC9	20	BLANCO
2ACA	20	BLANCO
2ACB	56	V
2ACC	41	A
2ACD	4C	L
2ACE	4F	D
2ACF	52	R
2AD0	20	BLANCO
2AD1	44	D
2AD2	45	E
2AD3	20	BLANCO
2AD4	4B	K
2AD5	49	I
2AD6	3A	:
2AD7	20	BLANCO
2AD8	20	BLANCO
2AD9	20	BLANCO
2ADA	20	BLANCO

x 2



2ADC	20	BLANCO
2ADD	20	BLANCO
2ADE	20	BLANCO
2ADF	20	BLANCO
2AE0	20	BLANCO
2AE1	56	V
2AE2	41	A
2AE3	4C	L
2AE4	4F	O
2AE5	52	R
2AE6	20	BLANCO
2AE7	44	D
2AE8	45	E
2AE9	20	BLANCO
2AEA	4B	K
2AEB	44	D
2AEC	3A	:
2AED	20	BLANCO
2AEE	20	BLANCO
2AEF	20	BLANCO
2AF0	20	BLANCO
2AF1	20	BLANCO
2AF2	40	@
2AF3	50	P
2AF4	45	E
2AF5	52	R
2AF6	49	I
2AF7	4F	O
2AF8	44	D
2AF9	4F	O
2AFA	20	BLANCO
2AFB	44	D
2AFC	45	E
2AFD	20	BLANCO
2AFE	4D	M
2AFF	55	U
2B00	45	E
2B01	53	S
2B02	54	T
2B03	54	R
2B04	52	E
2B05	45	O
2B06	3A	:
2B07	20	BLANCO
2B08	20	BLANCO
2B09	40	@

2B0A	FD	LD	IY,2AB1
2B0E	CD	CALL	21FC
2B11	CD	CALL	2020
2B14	CD	CALL	215E
2B17	01	LD	BC,0004
2B1A	21	LD	HL,FD0A
2B1D	11	LD	DE,FD50
2B20	ED	LDIR	
2B22	3A	LD	A,(FD69)
2B25	FE	CP	FF
2B27	28	JR	Z,2B90
2B29	FE	CP	FE
2B2B	28	JR	Z,2B4E

ENTRADA DE  
PARAMETROS DEL  
CONTROLADOR

7/11

2B2D FD LD IY,2AC7  
2B31 CD CALL 21FC  
2B34 CD CALL 2020  
2B37 CD CALL 215E  
2B3A 01 LD BC,0004  
2B3D 21 LD HL,FD0A  
2B40 11 LD DE,FD54  
2B43 ED LDIR  
2B45 3A LD A,(FD69)  
2B48 FE CP FD  
2B4A 28 JR Z,2B6F  
2B4C 18 JR 2B55  
2B4E FD LD IY,FD54  
2B52 CD CALL 212B  
2B55 FD LD IY,2ADC  
2B59 CD CALL 21FC  
2B5C CD CALL 2020  
2B5F CD CALL 215E  
2B62 01 LD BC,0004  
2B65 21 LD HL,FD0A  
2B68 11 LD DE,FD58  
2B6B ED LDIR  
2B6D 18 JR 2B76  
2B6F FD LD IY,FD58  
2B73 CD CALL 212B  
2B76 FD LD IY,2AF3  
2B7A CD CALL 21FC  
2B7D CD CALL 2020  
2B80 CD CALL 215E  
2B83 01 LD BC,0004  
2B86 21 LD HL,FD0A  
2B89 11 LD DE,FD5C  
2B8C ED LDIR  
2B8E 18 JR 2BA5  
2B90 FD LD IY,FD58  
2B94 CD CALL 212B  
2B97 FD LD IY,FD5C  
2B9B CD CALL 212B  
2B9E FD LD IY,FD54  
2BA2 CD CALL 212B  
2BA5 FD LD IY,FD60  
2BA9 CD CALL 212B  
2BAC FD LD IY,FD64  
2BB0 CD CALL 212B  
2BB3 FD LD IY,2650  
2BB7 CD CALL 21FC  
2BBA CD CALL 09B9  
2BBD DD LD IX,FF2C  
2BC1 CD CALL 0246  
2BC4 FE CP 53  
2BC6 CA JP Z,2680  
2BC9 FE CP 4E  
2BCB CA JP Z,2B0A

2BCE 18 JR 2BB3

```

2BD0 3E LD A,FF
2BD2 37 SCF
2BD3 08 EX AF,AF'
2BD4 D9 EXX
2BD5 0E LD C,00
2BD7 11 LD DE,FFFE
2BDA 6A LD L,D
2BDB 26 LD H,06
2BDD DD INC IX
2BDF 7B LD A,E
2BE0 D3 OUT (80),A
2BE2 D5 PUSH DE
2BE3 06 LD B,03
2BE5 DB IN A,(92)
2BE7 57 LD D,A
2BE8 CB RR D
2BEA 38 JR C,2BEE
2BEC 79 LD A,C
2BED 08 EX AF,AF'
2BEE 0C INC C
2BEF 10 DJNZ 2BE8
2BF1 DD INC IX
2BF3 D1 POP DE
2BF4 CB RLC E
2BF6 38 JR C,2BFA
2BF8 CB SET 0,E
2BFA CB RL D
2BFC 38 JR C,2C00
2BFE CB SET 0,D
2C00 CB RL L
2C02 25 DEC H
2C03 20 JR NZ,2BDD
2C05 11 LD DE,FFD8
2C08 DD ADD IX,DE
2C0A D9 EXX
2C0B 08 EX AF,AF'
2C0C C9 RET

```

## SUBROUTINA SCAN1

```

2C10 3A LD A,(FD69)
2C13 FE CP EE
2C15 28 JR Z,2C48
2C17 FE CP FF
2C19 28 JR Z,2C48
2C1B FE CP 00
2C1D 28 JR Z,2C4F
2C1F 01 LD BC,0294
2C22 2A LD HL,(FD5C)
2C25 ED SBC HL,BC
2C27 DA JP C,279A
2C2A 28 JR Z,2C48
2C2C 22 LD (FD34),HL
2C2F 21 LD HL,0000
2C32 22 LD (FD36),HL
2C35 22 LD (FD42),HL
2C38 21 LD HL,000A
2C3B 22 LD (FD40),HL
2C3E CD CALL 22AE
2C41 2A LD HL,(FD34)
2C44 22 LD (FD10),HL
2C47 C9 RET
2C48 21 LD HL,0002
2C4B 22 LD (FD10),HL
2C4E C9 RET

```

## SUBROUTINA TIME

46

E. TABLA DE LA TRANSFORMADA Z

24

APPENDIX A. TABLE OF LAPLACE TRANSFORMS, z-TRANSFORMS  
AND MODIFIED z-TRANSFORMS

722 Appendix A Table of Laplace Transforms, z-Transforms and Modified z-Transforms

Laplace Transform F(s)	Time Function f(t) t > 0	z-Transform F(z)	Modified z-Transform F(z,m)
1	$\delta(t)$	1	0
$e^{-kTs}$	$\delta(t - kT)$	$z^{-k}$	$z^{-k-1+m}$
$\frac{1}{s}$	$u_s(t)$	$\frac{z}{z-1}$	$\frac{1}{z-1}$
$\frac{1}{s^2}$	t	$\frac{Tz}{(z-1)^2}$	$\frac{mT}{z-1} + \frac{T}{(z-1)^2}$
$\frac{2}{s^3}$	$t^2$	$\frac{T^2 z(z+1)}{(z-1)^3}$	$T^2 \frac{m^2 z^2 + (2m - 2m^2 + 1)z + (m-1)^2}{(z-1)^3}$
$\frac{(k-1)!}{s^k}$	$t^{k-1}$	$\lim_{a \rightarrow 0} (-1)^{k-1} \frac{\partial^{k-1}}{\partial a^{k-1}} \left[ \frac{z}{z - e^{-aT}} \right]$	$\lim_{a \rightarrow 0} (-1)^{k-1} \frac{\partial^{k-1}}{\partial a^{k-1}} \left[ \frac{e^{-amT}}{z - e^{-aT}} \right]$
$\frac{1}{s+a}$	$e^{-at}$	$\frac{z}{z - e^{-aT}}$	$\frac{e^{-amT}}{z - e^{-aT}}$
$\frac{1}{(s+a)^2}$	$te^{-at}$	$\frac{Tze^{-aT}}{(z - e^{-aT})^2}$	$\frac{T e^{-amT} [e^{-aT} + m(z - e^{-aT})]}{(z - e^{-aT})^2}$
$\frac{(k-1)!}{(s+a)^k}$	$t^k e^{-at}$	$(-1)^k \frac{\partial^k}{\partial a^k} \frac{z}{z - e^{-aT}}$	$(-1)^k \frac{\partial^k}{\partial a^k} \left[ \frac{e^{-amT}}{z - e^{-aT}} \right]$
$\frac{a}{s(s+a)}$	$1 - e^{-at}$	$\frac{z(1 - e^{-aT})}{(z-1)(z - e^{-aT})}$	$\frac{(1 - e^{-amT})z + (e^{-amT} - e^{-aT})}{(z-1)(z - e^{-aT})}$

Laplace Transform F(s)	Time Function f(t) t > 0	z-Transform F(z)	Modified z-Transform F(z,m)
$\frac{1}{(s+a)(s+b)}$	$\frac{1}{(b-a)} (e^{-at} - e^{-bt})$	$\frac{1}{(b-a)} \left[ \frac{z}{z - e^{-aT}} - \frac{z}{z - e^{-bT}} \right]$	$\frac{1}{(b-a)} \left[ \frac{e^{-amT}}{z - e^{-aT}} - \frac{e^{-bmT}}{z - e^{-bT}} \right]$
$\frac{a}{s^2(s+a)}$	$t - \frac{1}{a}(1 - e^{-at})$	$\frac{Tz}{(z-1)^2} - \frac{(1 - e^{-aT})z}{a(z-1)(z - e^{-aT})}$	$\frac{T}{(z-1)^2} + \frac{amT-1}{a(z-1)} + \frac{e^{-amT}}{a(z - e^{-aT})}$
$\frac{1}{(s+a)^2}$	$te^{-at}$	$\frac{Tze^{-aT}}{(z - e^{-aT})^2}$	$\frac{T e^{-amT} [e^{-aT} + m(z - e^{-aT})]}{(z - e^{-aT})^2}$
$\frac{a}{s^3(s+a)}$	$\frac{1}{2} \left( t^2 - \frac{2}{a}t + \frac{2}{a^2} u_s(t) - \frac{2}{a^2} e^{-at} \right)$	$\frac{T^2 z}{(z-1)^3} + \frac{(aT-2)Tz}{2a(z-1)^2} + \frac{z}{a^2(z-1)} - \frac{z}{a^2(z - e^{-aT})}$	$\frac{T^2}{(z-1)^3} + \frac{T^2(m+1/2)a - T}{a(z-1)^2} + \frac{(amT)^2/2 - amT + 1}{a^2(z-1)} - \frac{e^{-amT}}{a^2(z - e^{-aT})}$
$\frac{a^2}{s(s+a)^2}$	$u_s(t) - (1 + at)e^{-at}$	$\frac{z}{z-1} - \frac{z}{z - e^{-aT}} - \frac{aTe^{-aT}z}{(z - e^{-aT})^2}$	$\frac{1}{z-1} \left[ \frac{1 + amT}{z - e^{-aT}} + \frac{aTe^{-aT}}{(z - e^{-aT})^2} \right] e^{-amT}$
$\frac{a^2}{s^2(s+a)^2}$	$t - \frac{2}{a} u_s(t) + (t + \frac{2}{a}) e^{-at}$	$\frac{1}{a} \left[ \frac{(aT+2)z}{(z-1)^2} + \frac{2z^2}{z - e^{-aT}} + \frac{aTe^{-aT}z}{(z - e^{-aT})^2} \right]$	$\frac{1}{a} \left\{ \frac{aT}{(z-1)^2} + \frac{amT-2}{z-1} + \left[ \frac{aTe^{-aT}}{(z - e^{-aT})^2} - \frac{amT-2}{z - e^{-aT}} \right] e^{-amT} \right\}$
$\frac{\omega}{s^2 + \omega^2}$	$\sin \omega t$	$z \sin \omega T$	$\frac{\sin m \omega T + \sin(1-m)\omega T}{2}$

Appendix A Table of Laplace Transforms, z-Transforms and Modified z-Transforms 723

## BIBLIOGRAFIA

- 1) ACOSTA, Galo.- "Lugar de las raíces para sistemas discretos", Tesis de grado, E.P.N., 1984.
- 2) BASTIDAS, Jorge A. .- "Estudio teórico - experimental de un servomecanismo de posición y velocidad", Tesis de grado, E.P.N. año 1981.
- 3) FRANKLIN - POWELL.- "Digital control of dynamic systems", Library of Congress Cataloging in Publication Data, 1980.
- 4) GOSLING - LAARMOVEN.- "Códigos para operadores y microprocesadores", Paraninfo, 1981.
- 5) KUO, Benjamín.- "Digital control systems", Holt - Saunders International Editions, 1980.
- 6) KUO, Benjamín.- "Sistemas automáticos de control", Compañía Editorial Continental S.A., 1973.
- 7) MICRO - PROFESSOR.- Manual de uso.
- 8) MOTOMATIC.- "Control System Laboratory", Electro - Graft, Corporation , 1968.
- 9) OGATA, Katsuhiko.- "Ingeniería de control moderna", Editorial Continental S.A., 1973.

10) RAGAZZINI, John R.- "Sampled Data Control Systems", Mc Graw-Hill  
Series in Control Systems Engineering, 1958.

11) TUO, Julius.- "Digital and Sample data Control Systems", Mc Graw  
Hill Electrical and Electronic Series, 1959.