

# ESCUELA POLITÉCNICA NACIONAL

## FACULTAD DE INGENIERÍA ELÉCTRICA Y ELECTRÓNICA

### DISEÑO, SIMULACIÓN E IMPLEMENTACIÓN DE UN GENERADOR DE ARMÓNICOS TRIFÁSICO UTILIZANDO CONTROL VECTORIAL.

PROYECTO PREVIO A LA OBTENCIÓN DEL TÍTULO DE INGENIERO EN  
ELECTRÓNICA Y CONTROL

JUAN DIEGO SOLÍS GUAMANCURI  
[juan.solis@epn.edu.ec](mailto:juan.solis@epn.edu.ec)

DAVID ALEXANDER VELASTEGUÍ LARA  
[david.velastegui@epn.edu.ec](mailto:david.velastegui@epn.edu.ec)

DIRECTOR: ING. LEONARDO DAVID ORTEGA CAMINO, MSc.  
[leonardo.ortega@epn.edu.ec](mailto:leonardo.ortega@epn.edu.ec)

Quito, Agosto 2017

## DECLARACIÓN

Nosotros, Juan Diego Solís Guamancuri y David Alexander Velasteguí Lara declaramos bajo juramento que el trabajo aquí descrito es de nuestra autoría; que no ha sido previamente presentado para ningún grado o calificación profesional; y, que hemos consultado las referencias bibliográficas que se incluyen en este documento.

A través de la presente declaración cedemos nuestros derechos de propiedad intelectual correspondientes a este trabajo, a la Escuela Politécnica Nacional, según lo establecido por la Ley de Propiedad Intelectual, por su Reglamento y por la normatividad institucional vigente.

---

Solís Guamancuri Juan Diego

---

Velasteguí Lara David Alexander

## **CERTIFICACIÓN**

Certifico que el presente trabajo fue desarrollado por Juan Diego Solís Guamancuri y David Alexander Velasteguí Lara, bajo mi supervisión.

---

MSc. Leonardo David Ortega Camino  
DIRECTOR DEL PROYECTO

## AGRADECIMIENTO

Agradezco a Dios por haberme permitido llegar hasta este punto de mi vida, de permitir encontrarme con las personas y experiencias adecuadas para hacer de mí la persona que soy ahora, agradezco por cada bendición.

A mi madre Aída luz de mi vida que sin ella nada hubiera sido posible, agradezco infinitamente a mi padre Juan que junto con mi madre han hecho de mi un hombre de bien, que la familia es lo más valioso y preciado que uno tiene en la existencia. A toda mi familia que ha sido mi motor, a ese angelito que ha estado cuidándonos, bendiciéndonos y protegiéndonos siempre... Adrianita.

Al Master Leonardo Ortega quién depositó su confianza en David y en mi persona para la realización de éste proyecto, que junto con el Doctor Marcelo Pozo Jefe del laboratorio del Electrónica de Potencia y Control de Máquinas han sabido ser guías pero principalmente calidad de personas.

A cada uno de los compañeros y amigos que a lo largo de la vida en la EPN supieron sembrar algo positivo en mi persona, quedan los recuerdos memorables. Verito, Wylliam, David T, Pablo, tío Ramiro, Lucho.

De manera especial a David Velasteguí por ser compañero, amigo y colega, por su tesón y dedicación para culminar este proyecto llamado universidad. Gracias.

*Juan*

## **AGRADECIMIENTO**

Agradezco a Dios, a mi Padre Wilfrido, a mi madre Alicia y a mi hermano Joel por haberme dado la bendición de formar parte de una familia unida llena de amor y comprensión, base fundamental para mi desarrollo personal y académico. También quiero agradecer a la Escuela Politécnica Nacional, a su planta docente a mis amigos y excompañeros de clases, a mis profesores quienes fueron mis maestros y mentores en mi vida universitaria, agradezco a mi director de tesis el Master Leonardo Ortega por haber sido la mejor guía para el desarrollo de este proyecto y finalmente quiero agradecer de forma especial a mi amigo y compañero de tesis Juan por haber dedicado todo su esfuerzo y dedicación para la culminación exitosa de este proyecto.

*David*

## DEDICATORIA

Este trabajo va dedicado a mis padres Juan Ángel y Aída Beatriz quienes han sido la piedra angular en mi existencia, a mi hermano Edwin que indirectamente estuvo apoyándome todo este tiempo a quien deseo que cumpla sus ideales de vida, a mi ñañita Adriana Nathaly que me acompañó con su presencia, a mi tío Ramiro quién me brindó su ayuda incondicional.

A mis primos y buenos amigos, que aún no inician y a quienes ya han iniciado su carrera universitaria les deseo muchos éxitos en lo personal y profesional, que no existen límites, que todo está en la mente.

*Juan*

## DEDICATORIA

Dedico este proyecto a mi madre Alicia a mi padre Wilfrido y a mi hermano Joel por haberme apoyado siempre en cada etapa de mi vida para alcanzar mis metas, así mismo una dedicatoria especial a mi sobrina Valentina quien desde que llegó a nuestro hogar se ha convertido en mi inspiración para ser cada día una mejor persona.

*David*

## CONTENIDO

<b>ÍNDICE DE FIGURAS .....</b>	<b>¡ERROR! MARCADOR NO DEFINIDO.</b>
<b>ÍNDICE DE TABLAS.....</b>	<b>¡ERROR! MARCADOR NO DEFINIDO.</b>
<b>GLOSARIO .....</b>	<b>VII</b>
<b>RESUMEN .....</b>	<b>XIII</b>
<b>PRESENTACIÓN .....</b>	<b>XIV</b>
<b>CAPITULO 1 .....</b>	<b>1</b>
<b>1. MARCO TEÓRICO .....</b>	<b>1</b>
<b>1.1 TRANSFORMADAS DE CLARK Y DE PARK .....</b>	<b>1</b>
<b>1.2 SINCRONIZACIÓN CON LA TENSIÓN DE RED .....</b>	<b>2</b>
1.2.1 DETECTORES DE CRUCE POR CERO .....	2
<b>1.3 PHASE LOCKED LOOP (PLL) .....</b>	<b>4</b>
1.3.1 PLL BASADO EN LA ARCOTANGENTE (TRASFORMADA DE CLARK).....	4
1.3.1.1 Respuesta PLL basado en arco tangente ante saltos de fase y voltaje	5
1.3.1.2 Respuesta PLL basado en arcotangente en presencia de armónicos	6
1.3.2 PLL SRF (SYNCHRONOUS REFERENCE FRAME) .....	7
1.3.2.1 Modelo del PLL SRF .....	9
1.3.2.2 Respuesta PLL SRF ante saltos de fase y voltaje .....	10
1.3.2.3 Respuesta PLL SRF en presencia de armónicos .....	11
<b>1.4 INVERSOR TRIFÁSICO .....</b>	<b>12</b>
1.4.1 TIPOS DE INVERSORES TRIFÁSICOS .....	13
1.4.1.1 Inversor trifásico en base a tres inversores monofásicos .....	13
1.4.1.2 Inversor trifásico tipo puente .....	13



<b>1.5 BUS DE DC .....</b>	<b>14</b>
1.5.1 FILTRO BUS DC.....	17
<b>1.6 MODULACIÓN SENOIDAL POR ANCHO DE PULSO SPWM.....</b>	<b>18</b>
1.6.1 SPWM EN INVERSORES TRIFÁSICOS.....	18
1.6.1.1 Relación de modulación de amplitud $m_a$ .....	20
1.6.1.2 Relación de modulación de frecuencia $m_f$ .....	20
1.6.1.3 Espectro armónico en un PWM trifásico.....	20
1.6.1.4 Frecuencia de switcheo $f_s$ .....	21
1.6.1.5 Voltaje rms Línea a Línea.....	21
1.6.1.6 Potencia de salida trifásica .....	21
 <b>CAPITULO 2.....</b>	 <b>23</b>
 <b>2. DISEÑO SIMULACIÓN E IMPLEMENTACIÓN.....</b>	 <b>23</b>
 <b>2.1 DISEÑO DE LA ETAPA DE POTENCIA.....</b>	 <b>24</b>
2.1.1 VOLTAJE DE SALIDA .....	24
2.1.2 CORRIENTE DE SALIDA .....	24
2.1.3 BUS DE DC .....	25
2.1.4 RECTIFICADOR 6 PULSOS.....	25
2.1.4.1 Voltaje de salida dc.....	25
2.1.4.2 Corriente pico.....	26
2.1.4.3 Corriente rms .....	26
2.1.4.4 Voltaje pico inverso.....	26
2.1.5 CÁLCULO FILTRO CAPACITIVO.....	27
2.1.6 CIRCUITO DE CARGA Y DESCARGA DEL CAPACITOR.....	29
2.1.6.1 Resistencia de descarga.....	29
2.1.6.1 Tiempo de descarga.....	31
2.1.6.2 Resistencia de carga.....	32
2.1.7 SELECCIÓN INTERRUPTORES DE POTENCIA.....	35
2.1.7.1 Corriente de colector.....	36
2.1.7.2 Voltaje colector emisor.....	36
2.1.8 SELECCIÓN FRECUENCIA SWITCHEO.....	36
2.1.9 DISEÑO RED SNUBBER .....	37

2.1.9.1	Medición frecuencia oscilación colector-emisor.....	38
2.1.9.2	Medición frecuencia oscilación colector-emisor con capacitor externo.....	38
2.1.9.3	Cálculo parámetros necesarios para el diseño.....	38
2.1.9.4	Potencia resistencia red snubber.....	40
2.1.10	CÁLCULO POTENCIA DE PÉRDIDAS IGBT.....	44
2.1.10.1	Pérdidas estáticas.....	46
2.1.10.2	Pérdidas dinámicas.....	47
2.1.10.3	Pérdidas totales.....	48
2.1.11	CÁLCULO DISIPADOR DE CALOR.....	48
<b>2.2</b>	<b>DISEÑO CIRCUITOS DE CONTROL.....</b>	<b>50</b>
2.2.1	CIRCUITO DE CONTROL Y SENSADO BUS DC.....	50
2.2.1.1	Divisor de voltaje.....	50
2.2.1.2	Circuito de Aislamiento.....	51
2.2.1.3	Circuito de comando del relé.....	52
2.2.1.4	Circuito completo control y sensado bus dc.....	53
2.2.2	CIRCUITO DE DISPARO DEL INVERSOR TRIFÁSICO.....	53
2.2.2.1	Circuito de aislamiento de las señales SPWM.....	54
2.2.2.2	Circuito filtrado de ruido y mejoramiento de flanco de disparo.....	55
2.2.2.3	Circuito de generación de tierras independientes.....	56
2.2.3	CIRCUITO DE ACONDICIONAMIENTO DE LAS SEÑALES TRIFÁSICAS DE LA RED.....	58
2.2.4	CIRCUITO DE SENSADO VOLTAJES DE SALIDA GENERADOS.....	59
2.2.5	FUENTES DE ALIMENTACIÓN REQUERIDAS.....	61
2.2.5.1	Fuentes de circuito de disparo.....	61
2.2.5.2	Fuentes para sensado y control carga bus dc.....	62
<b>2.3</b>	<b>DISEÑO DEL CONTROL DEL VOLTAJE RMS FUNDAMENTAL POR MEDIO DE UN PI.....</b>	<b>62</b>
2.3.1	OBTENCION DEL MODELO DE LA PLANTA.....	63
2.3.2	VALIDACIÓN DEL MODELO.....	65
2.3.3	APROXIMACIÓN MODELO DE LA PLANTA.....	66
2.3.4	DISEÑO DEL CONTROLADOR PI.....	67

2.3.5	ANÁLISIS EN MATLAB DEL PI DISEÑADO.....	69
<b>2.4</b>	<b>DISEÑO DEL PLL SRF .....</b>	<b>70</b>
2.4.1	RESPUESTA DEL MODELO PLL SRF DISEÑADO EN MATLAB.....	71
<b>2.5</b>	<b>COMPENSACIÓN DE FASE PARA SINCRONIZACIÓN CON VOLTAJES LÍNEA A LÍNEA .....</b>	<b>72</b>
<b>2.6</b>	<b>SIMULACIÓN GENERADOR DE ARMÓNICOS TRIFÁSICO .....</b>	<b>76</b>
2.6.1	SIMPOWERSYSTEMS DE SIMULINK MATLAB .....	76
2.6.2	CIRCUITO DE POTENCIA .....	76
2.6.3	CIRCUITOS DE CONTROL.....	77
2.6.3.1	Circuito de sincronización PLL SRF con la red trifásica.....	77
2.6.3.2	Generación de las señales modulantes .....	78
2.6.3.3	Circuito de disparo .....	79
2.6.3.4	Controlador PI del Vrms fundamental.....	80
2.6.4	SISTEMA COMPLETO .....	81
2.6.5	RESULTADOS SIMULACIÓN .....	83
2.6.5.1	Medición bus dc.....	83
2.6.5.2	Medición Señal PLL SRF .....	84
2.6.5.3	Medición Vrms fundamental. ....	85
2.6.5.4	Medición sincronización.....	85
2.6.5.5	Medición ángulo de fase.....	87
2.6.5.6	Medición TRUE rms y THD.....	89
<b>2.7</b>	<b>IMPLEMENTACIÓN.....</b>	<b>90</b>
2.7.1	BUS DE DC .....	90
2.7.2	INVERSOR TRIFÁSICO .....	91
2.7.3	REDES SNUBBER .....	92
2.7.4	CIRCUITO DE DISPARO.....	92
2.7.5	CIRCUITO DE SENSADO DE LAS SEÑALES TRIFÁSICAS DE LA RED Y VOLTAJES DE SALIDA GENERADOS.....	93
2.7.6	TARJETA DE CONTROL PRINCIPAL SBRIO.....	93
2.7.7	MONTAJE GABINETE METÁLICO.....	94

<b>CAPÍTULO 3.....</b>	<b>97</b>
<b>3. DISEÑO E IMPLEMENTACIÓN DEL SOFTWARE .....</b>	<b>97</b>
<b>3.1 GENERALIDADES .....</b>	<b>97</b>
<b>3.2 SELECCIÓN DE LA TARJETA PARA IMPLEMENTAR EL SOFTWARE ...</b>	<b>98</b>
<b>3.3 SOFTWARE DE DESARROLLO.....</b>	<b>103</b>
<b>3.4 IMPLEMENTACIÓN TRANSFORMADAS DE CLARK Y PARK.....</b>	<b>104</b>
<b>3.5 DISEÑO DEL PLL SRF DISCRETO .....</b>	<b>104</b>
<b>3.6 DISEÑO DEL CONTROLADOR PI DISCRETO PARA CONTROL VRMS</b>	<b>106</b>
3.6.1 MEDICIÓN VRMS.....	109
<b>3.7 DIAGRAMAS DE FLUJO DE LA PROGRAMACION IMPLEMENTADA..</b>	<b>110</b>
3.7.1 DIAGRAMA DE FLUJO DEL PROGRAMA DE LA FPGA.....	112
3.7.2 DIAGRAMA DE FLUJO DE LA INTERFAZ.....	116
3.7.3 DIAGRAMA DE FLUJO DEL PROGRAMA QUE CONTROLA LA CARGA Y DESCARGA DEL BUS DE DC.....	118
<b>3.8 INTERFAZ DE USUARIO HMI .....</b>	<b>119</b>
<b>CAPITULO 4 .....</b>	<b>122</b>
<b>4. PRUEBAS Y RESULTADOS.....</b>	<b>122</b>
<b>4.1 GENERALIDADES .....</b>	<b>122</b>
<b>4.2 MEDICIÓN VOLTAJE DEL BUS DC .....</b>	<b>123</b>
<b>4.3 MEDICIÓN SEÑAL PLL SRF .....</b>	<b>124</b>
<b>4.4 MEDICIÓN VOLTAJES RMS LÍNEA-LÍNEA GENERADOS.....</b>	<b>125</b>
4.4.1 MEDICIÓN DE VOLTAJE PRIMER ARMÓNICO.....	126
4.4.2 MEDICIÓN DE VOLTAJE TERCER ARMÓNICO .....	128
4.4.3 MEDICIÓN DE VOLTAJE QUINTO ARMÓNICO.....	130
4.4.4 MEDICIÓN DE VOLTAJE SÉPTIMO ARMÓNICO.....	131

4.4.5 MEDICIÓN DE VOLTAJE NOVENO ARMÓNICO .....	133
4.4.6 FORMAS DE ONDA DE VOLTAJES GENERADOS .....	134
<b>4.5 MEDICIÓN SINCRONIZACIÓN DE LOS ARMÓNICOS DE VOLTAJE GENERADOS CON LA RED .....</b>	<b>136</b>
<b>4.6 MEDICIÓN DE FASE.....</b>	<b>138</b>
4.6.1 FORMAS DE ONDA SEGÚN FASE SETEADA.....	141
<b>CAPITULO 5.....</b>	<b>143</b>
<b>5. CONCLUSIONES Y RECOMENDACIONES.....</b>	<b>143</b>
<b>CONCLUSIONES .....</b>	<b>143</b>
<b>RECOMENDACIONES .....</b>	<b>144</b>
<b>REFERENCIAS BIBLIOGRAFICAS.....</b>	<b>146</b>
<b>ANEXOS .....</b>	<b>148</b>

## GLOSARIO

$V_a$ : Voltaje fase A de la red.

$V_b$ : Voltaje fase B de la red.

$V_c$ : Voltaje fase C de la red.

$I_a$ : Corriente de línea

$PLL$ : Phase Locked Loop

$PLL1$ : Phase Locked Loop basado en la arcotangente

$SRF$ : Synchronous reference frame

$PD$ : Phase Detector - Detector de fase

$LPF$ : Low Pass Filter - Filtro pasa bajos

$VCO$ : Oscilador de voltaje controlado

$\alpha$ : Alfa

$\beta$ : Beta

$\alpha\beta$ : Sistema alfa-beta

$dq$ : Sistema d-q

$V_\beta$ : Voltaje beta

$V_\alpha$ : Voltaje alfa

$V_d$ : Voltaje d

$V_q$ : Voltaje q

$V_{AO}$ : Voltaje AO

$V_{control}$ : Voltaje señal de control

$V_{sensado}$ : Voltaje sensado

$V_{tri}$ : Voltaje señal triangular

$V_{FN}$ : Voltaje fase neutro

$V_{AN}$ : Voltaje AN

$\omega$ : Velocidad angular.

$P_{p\acute{e}rdidas}$  : Potencia de pérdidas

$V$ : Voltaje

$I$ : Corriente

$P$ : Potencia

$C$ : Capacitancia

$R$ : Resistencia

$RC$ : Resistor-Capacitor

$R_f$ : Resistencia de fase

$R_{descarga}$  : Resistencia de descarga bus dc

$R_d$  : Resistencia de descarga bus dc

$R_{sensor}$  : Resistencia sensor

$R_{total}$  : Resistencia sensor

$R_{carga}$  : Resistencia de carga bus dc

$R_c$  : Resistencia de carga bus dc

$R_s$  : Resistencia de red snubber

$C_s$  : Capacitor de red snubber

$f_{ring0}$ : Frecuencia de oscilación voltaje colector emisor sin red snubber

$C_{add}$ : Capacitor externo

$f_{ring1}$ : Frecuencia de oscilación voltaje colector emisor con capacitor externo

$C_{Lk}$ :Capacitancia parásita

$L_{LK}$ : Inductancia parásita

$\varepsilon$ : Coeficiente de amortiguamiento

$P_{RS}$ : Potencia resistencia red snubber

$P_{CS}$ : Potencia capacitor red snubber

$V_C$ : Voltaje en capacitor red snubber

$P_{RC}$  : Potencia Resistencia de carga

$P_{Rd}$  : Potencia Resistencia de descarga

$I_{\max des}$  : Corriente máxima de descarga

$P_{\max des}$  : Potencia máxima en resistencia de descarga

$fp$ : Factor de potencia

$P_{(3\phi)}$ : Potencia activa trifásica

$S_{(3\phi)}$ : Potencia aparente o potencia total trifásica

[V]: Voltios

[A]:Amperios

[W]: Vatios

[VA]: Voltamperios

[ $\Omega$ ]: Ohmios

[ $^\circ$ ]: Grados

[Hz]: Hertz

$V_d$ : Voltaje bus dc

$gnd$ : Tierra circuitos control

$GND$ : Tierra Potencia

$\Delta t$ : Variación de tiempo en segundos



$t$ : Tiempo

$T$ : Periodo

$C_{bus}$ : Capacitor del bus DC

$D1$ : Diodo uno

$D_A$ : Diodo A

$DC$ : Corriente directa

$AC$ : Corriente alterna

$cd$ : Corriente directa

$ca$ : Corriente alterna

$S1$ : Interruptor de potencia uno

$T_A$ : Transistor de potencia A

$IGBT$ : Insulated gate bipolar transistor

$HMI$ : Human machine interface -Interfaz humano maquina

$SBRIO$ : Single Board reconfigurable input output

$V_{CE}$ : Voltaje colector-emisor de un IGBT

$V_{CEsat}$ : Voltaje colector-emisor de saturación

$V_{CC}$ : Voltaje corriente continua

$I_C$ : Corriente de colector de un IGBT

$I_{Cmax}$ : Corriente de colector máxima

$I_{fuga}$ : Corriente de fuga del IGBT

$P_D$ : Potencia disipada

$P_{d1}$ : Potencia de pérdidas dinámicas en el encendido

$P_{d2}$ : Potencia de pérdidas dinámicas en el apagado

$P_{e on}$ : Potencia de pérdidas estáticas en el encendido

$P_{eff}$ : Potencia de pérdidas estáticas en el apagado

$\delta$ : Relación de trabajo

$T_j$ : Temperatura de juntura

$T_{jmax}$ : Temperatura de juntura máxima

$T_a$ : Temperatura ambiente

$R_{jc}$ : Resistencia térmica Juntura carcaza

$R_{cd}$ : Resistencia térmica carcaza disipador

$R_{da}$ : Resistencia térmica disipador

$I_r$ : Corriente eficaz diodo rectificador

$f$ : Frecuencia

$f_{corte}$ : Frecuencia de corte

$f_s$ : Frecuencia switcheo

$f_1$ : Frecuencia del primer armónico

$f_3$ : Frecuencia del tercer armónico

$f_5$ : Frecuencia del quinto armónico

$m_a$ : Relación de modulación de amplitud

$m_f$ : Relación de modulación de frecuencia

$V_{TRUE RMS}$ : Voltaje eficaz verdadero o voltaje eficaz total

$I_{TRUE RMS}$ : Corriente eficaz total

$(\hat{V}_{Ao})_1$ : Voltaje pico de la componente de frecuencia fundamental

$(\hat{V}_{Ao RMS})_1$ : Voltaje eficaz de la componente de frecuencia fundamental

$(V_{LL RMS})_1$ : Voltaje eficaz línea a línea de la componente de frecuencia fundamental

$V_{control}$ : Voltaje de control

$V_o$  : Voltaje salida

$i_o$ : Corriente de salida

$V_{in}$  : Voltaje de entrada

$V_{R_c}$ : Voltaje en Resistencia de carga

$V_{DC}$  : Voltaje continuo

$V_m$  : Voltaje fase pico

$I_m$  : Corriente pico

$V_{rms}$  : Voltaje eficaz

$I_{L rms}$ : Corriente de línea eficaz

*SPWM*: Modulación senoidal por ancho de pulso

*THD*: Total Harmonic Distorsion - Distorsión armónica total

*PI*: Controlador Proporcional Integral

*Ep*: Error de posición

*Mp*: Máximo sobre pico

*CI*: Circuito Integrado

*datasheet*: hoja de datos

*LCD*: Liquid Cristal Display –(Display de cristal líquido)

*S/s*: Samples per second (Muestras/segundo)

*s*: segundos

*min*: minutos

## RESUMEN

En el presente trabajo de titulación se presenta el diseño, simulación e implementación de un generador de armónicos trifásico sincronizado con la red eléctrica utilizando la teoría de control vectorial. El equipo desarrollado permite generar señales de voltaje de hasta 220 [V] para el primer, tercer, quinto y séptimo armónico con una potencia máxima entregada de 1.2 [KW]. Además el equipo es capaz de manejar el desfase de la señal generada.

Los elementos constitutivos de este proyecto son: una interfaz desarrollada en Labview 2012, una tarjeta SBRIO 9606 de National Instruments, circuito de disparo, circuito de acondicionamiento de las señales de la red, fuentes de alimentación necesarias, bus dc que a su vez incluye el circuito de carga y descarga automática del capacitor del bus, inversor trifásico tipo puente, circuito de medición del voltaje de la red y en la carga.

Para la operación de este generador existe una interfaz gráfica (HMI) que permite configurar los parámetros de “número de armónico a ser generado,” “voltaje línea-línea” y “desfase con respecto a la red.” Esta interfaz se comunica a través del puerto Ethernet a una tarjeta de desarrollo SBRIO-9606 de National Instruments que incorpora una FPGA.

En la tarjeta en mención se realiza todas las operaciones lógicas y matemáticas. Primero sensa a través de tres entradas analógicas simultáneas las tres señales de voltaje de la red previamente acondicionadas, luego estas señales son procesadas a través de las transformadas de Clark y Park de la teoría de control vectorial para obtener una señal triangular de sincronización (Phase Locked Loop).

La señal triangular diente de sierra, es manipulada de tal forma que se consiguen las tres señales sinusoidales modulantes con las características seteadas desde el HMI, que son comparadas con una portadora de 10.5 KHz, para realizar la modulación SPWM (Sinusoidal Pulse Width Modulated) y obtener las señales de disparo del inversor trifásico.

## PRESENTACIÓN

El presente proyecto trata del diseño, simulación e implementación de un generador de armónicos trifásico haciendo uso de la teoría de control vectorial (Transformadas de Clark y Park). A continuación se presenta el contenido de cada uno de los cinco capítulos que contiene este trabajo.

En el primer capítulo se desarrollan los aspectos teóricos como son: la teoría de control vectorial, específicamente las transformadas de Clark y de Park, la explicación del funcionamiento de la técnica de sincronización con la red utilizando un PLL (Phase Locked Loop) y finalmente se realiza el estudio del inversor trifásico con modulación tipo SPWM.

En el segundo capítulo se realiza el diseño, simulación e implementación del generador de armónicos. La simulación se la realiza en Matlab. El diseño e implementación del hardware comprende: bus de DC, inversor trifásico, redes snubber, circuito de sensado bus DC, circuito de disparo del inversor, circuito de sensado de la red y de los voltajes de salida generados y finalmente el diseño de las fuentes de alimentación requeridas para todo el sistema.

En el tercer capítulo se explica el diseño e implementación del software de control para generar las señales modulantes con amplitud, frecuencia y desfase configurables; además se explica el desarrollo de la HMI que ha sido desarrollada en Labview para una fácil interacción entre el usuario y el equipo.

En el cuarto capítulo se presentan los resultados de las pruebas realizadas para comprobar el correcto funcionamiento del equipo implementado.

En el quinto capítulo se presentan las conclusiones del desarrollo de éste trabajo y se realizan las pertinentes recomendaciones.

## CAPITULO 1

### MARCO TEÓRICO

En este capítulo se abordan los temas relacionados con las transformadas de Clark y Park de la teoría de control vectorial, la técnica de sincronización PLL y el análisis teórico del inversor trifásico tipo puente con modulación SPWM.

#### 1.1 TRANSFORMADAS DE CLARK Y DE PARK

Como se indica en [1] y [2], en un sistema trifásico de tensiones  $V_a, V_b$  y  $V_c$  como el de la red eléctrica se puede obtener un vector espacial de tensiones  $\bar{X}$  que se define según la ecuación (1.1).

$$\bar{X} = V_a + V_b \cdot e^{-j\frac{2}{3}\pi} + V_c \cdot e^{+j\frac{2}{3}\pi} \quad (1.1)$$

Este vector espacial puede ser representado en un sistema de coordenadas trifásico fijo  $abc$  en donde el vector espacial resulta ser un vector giratorio variable en el tiempo (Figura 1.1).

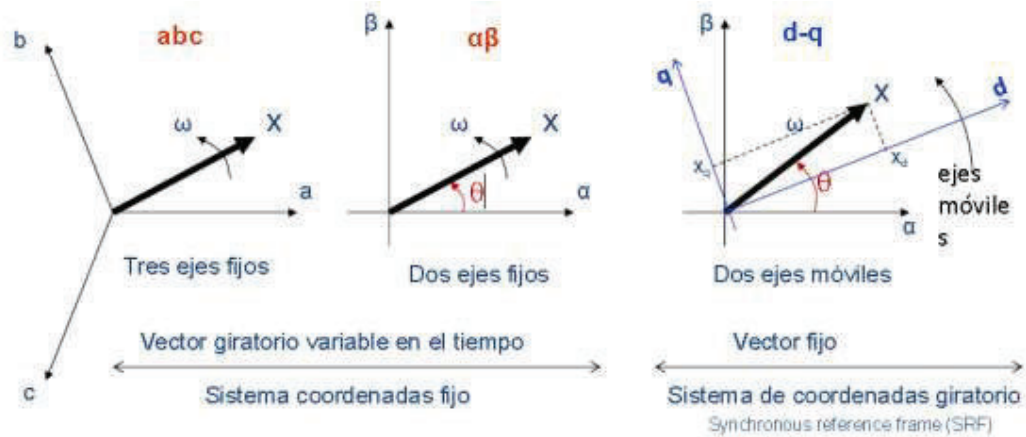
La transformada de Clark permite representar este sistema trifásico de voltaje  $abc$  en un sistema bifásico fijo  $\alpha\beta$  en cuadratura, en donde de igual manera se tiene un vector giratorio variable en el tiempo (Figura 1.1). Este sistema contiene la información del ángulo de fase así como de la velocidad con la que este se desplaza es decir  $\omega$ . La transformada  $abc$  a  $\alpha\beta$  o transformada de Clark está dada por la ecuación (1.2).

$$\begin{pmatrix} V_\alpha \\ V_\beta \end{pmatrix} = \begin{pmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{pmatrix} \cdot \begin{pmatrix} V_a \\ V_b \\ V_c \end{pmatrix} \quad (1.2)$$

La Transformada de Park [3] permite trasladar el sistema bifásico fijo ( $\alpha\beta$ ) a un sistema bifásico giratorio  $dq$  (Figura 1.1) donde la velocidad del sistema es  $\omega$ , de esta manera se tiene un vector fijo, logrando obtener dos valores constantes en el tiempo  $V_d$  y  $V_q$  que representen al sistema trifásico de tensiones, lo que resulta

muy útil al momento de realizar algún tipo de control sobre un sistema trifásico. La transformada  $\alpha\beta$  a  $dq$  o transformada de Park está dada por la ecuación (1.3).

$$\begin{pmatrix} V_d \\ V_q \end{pmatrix} = \begin{pmatrix} \cos(\theta) & \sin(\theta) \\ -\sin(\theta) & \cos(\theta) \end{pmatrix} \cdot \begin{pmatrix} V_\alpha \\ V_\beta \end{pmatrix} \quad (1.3)$$



**Figura 1.1** Representación sistemas abc,  $\alpha\beta$  y dq

La Transformada de Park también se la puede realizar directamente desde el sistema  $abc$  a  $dq$  usando la ecuación (1.4).

$$\begin{pmatrix} V_d \\ V_q \end{pmatrix} = \begin{pmatrix} \cos(\theta) & \cos\left(\theta - \frac{2}{3}\pi\right) & \cos\left(\theta + \frac{2}{3}\pi\right) \\ \sin(\theta) & \sin\left(\theta - \frac{2}{3}\pi\right) & \sin\left(\theta + \frac{2}{3}\pi\right) \end{pmatrix} \cdot \begin{pmatrix} V_a \\ V_b \\ V_c \end{pmatrix} \quad (1.4)$$

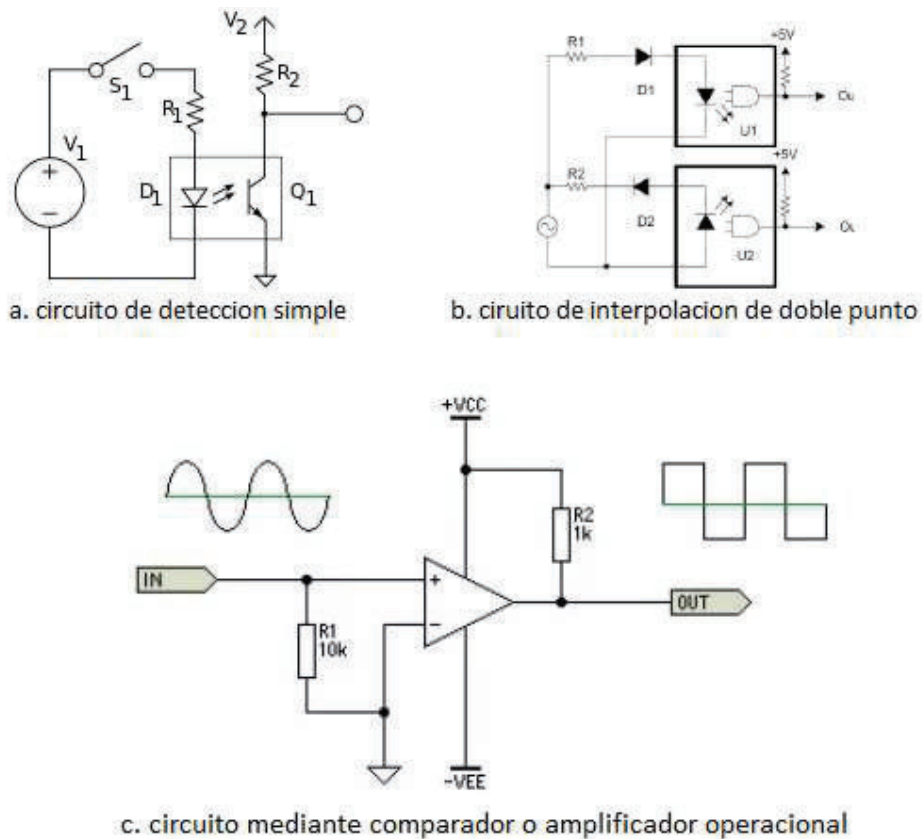
Para realizar esta transformación se requiere el valor del ángulo  $\theta$ , donde  $\theta$  es equivalente a  $\omega t$  y contiene la información de fase y periodo de la señal de la red eléctrica.

## 1.2 SINCRONIZACIÓN CON LA TENSION DE RED

### 1.2.1 DETECTORES DE CRUCE POR CERO

Existen varios circuitos que pueden determinar el cruce por cero de una señal que cambia de polaridad como es el caso de las señales de voltaje de la red eléctrica.

En la Figura 1.2 se muestran algunos circuitos típicos de detección de cruce por cero.



**Figura 1.2** Circuitos de detección cruce por cero [4]

Los detectores de cruce por cero resultan ser más simples de implementar y en los que se piensa en primera instancia al momento de querer sincronizarse con la red eléctrica. Estos circuitos suelen ser suficientes cuando se realiza aplicaciones de baja potencia y en los que no se requiere mayor exactitud, sin embargo en aplicaciones de mayor potencia, donde se requiere precisión en el control de las variables, este tipo de sincronización tiene algunas desventajas como son:

- Problemas en la detección de paso por cero en presencia de armónicos.
- Problemas en la detección de paso por cero en presencia de ruido eléctrico.
- No proporcionar información sobre la fase de la señal.

Debido a este tipo de inconvenientes la mejor forma de sincronización con la red eléctrica para aplicaciones de mayor nivel es la del Phase Locked Loop "PLL" que se explicará en el siguiente subcapítulo.



### 1.3 PHASE LOCKED LOOP (PLL)

El PLL es un sistema de seguimiento de fase y frecuencia retroalimentado, comúnmente usado en electrónica en varias aplicaciones como: comunicación celular, sintetizadores de radio frecuencia, control de motores etc. y en sistemas de sincronización con la red eléctrica [5].

#### 1.3.1 PLL BASADO EN LA ARCOTANGENTE (TRASFORMADA DE CLARK)

Para una sincronización con la red eléctrica trifásica se puede usar un PLL basado en la transformación  $abc$  a  $\alpha\beta$  o transformada de Clark según se indica en la Figura 1.3 .

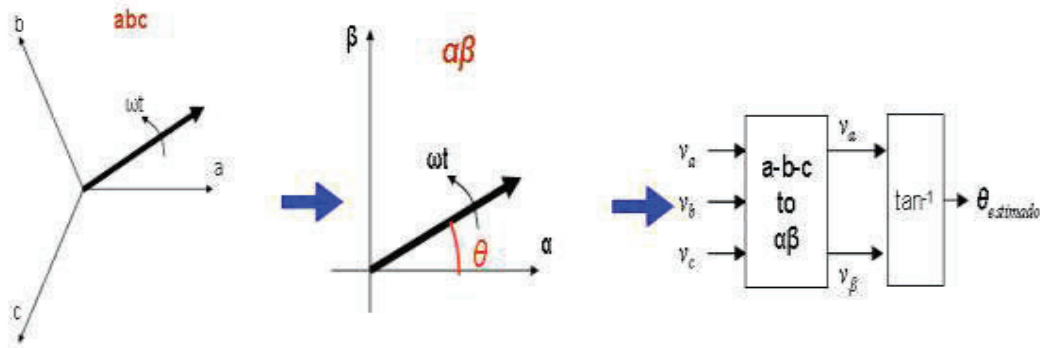
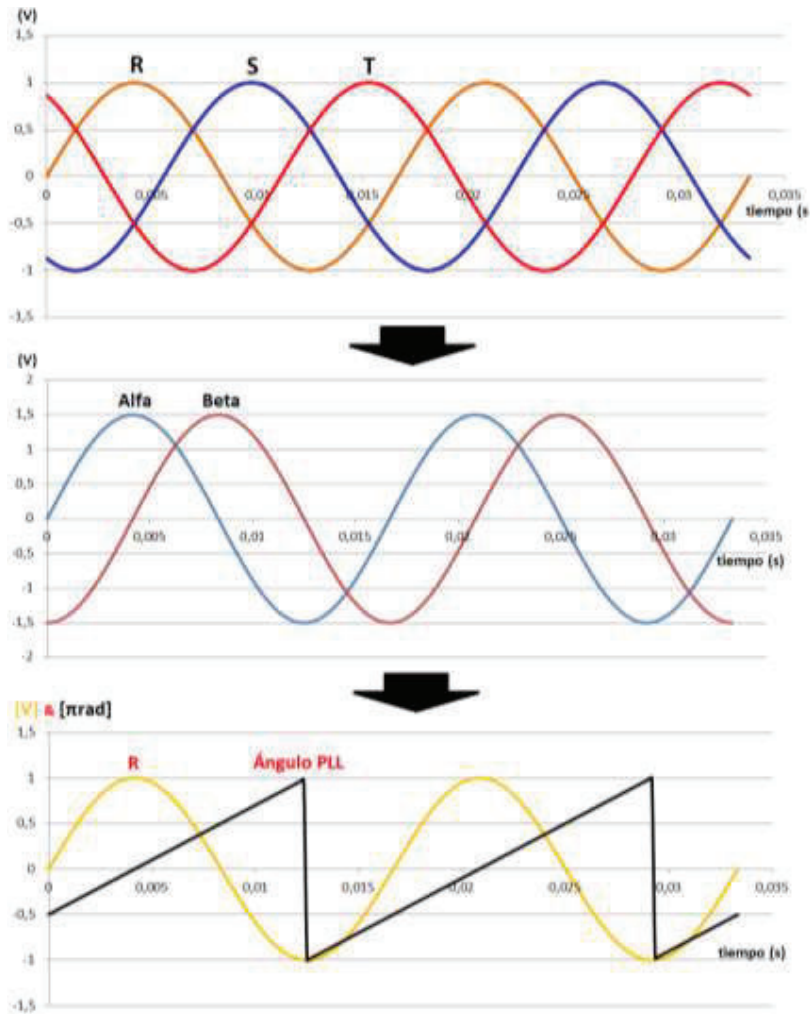


Figura 1.3 PLL basado en la arcotangente

Este PLL estima la evolución del ángulo aplicando la arcotangente del cociente beta sobre alfa como se muestra en la Figura 1.4.

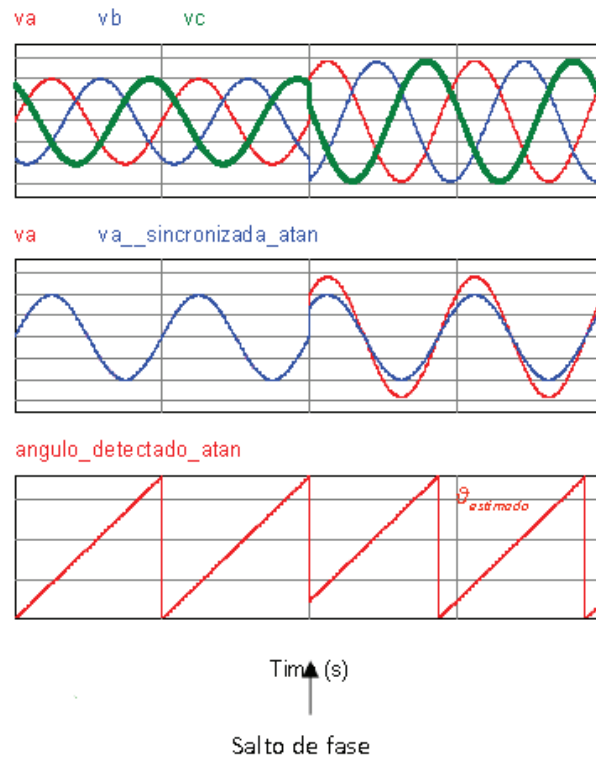


**Figura 1.4** PLL basado en la arcotangente

En la Figura 1.4 se observa que el ángulo estimado resulta ser una señal triangular sincronizada con la red que posee la información de fase y velocidad angular de la fase A del sistema trifásico, la fase variará entre  $-\pi \text{ rad}$  y  $\pi \text{ rad}$  y el tiempo que toma esta transición constituye el periodo de la señal. Se observa que esta señal empieza en  $-\pi/2 \text{ rad}$  y que la sincronización se da aplicando la función coseno a este ángulo. Esta señal triangular es la que será manipulada para obtener los diferentes armónicos del sistema generador de armónicos.

### 1.3.1.1 Respuesta PLL basado en arco tangente ante saltos de fase y voltaje

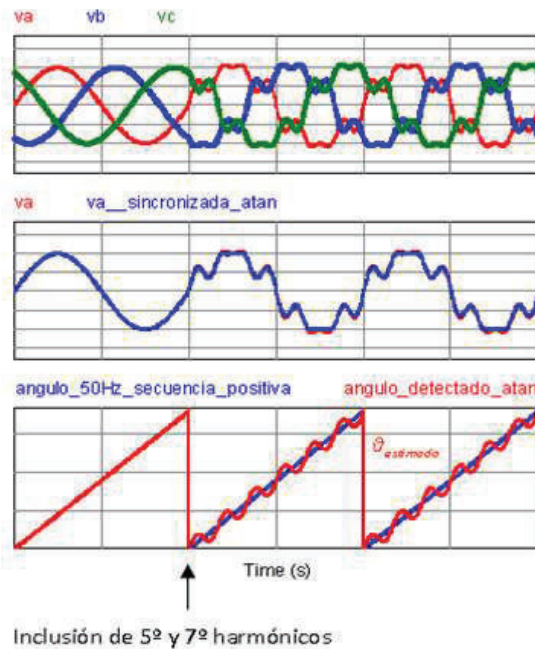
Este tipo de PLL posee una buena respuesta ante saltos de fase y cambios de la amplitud de la red eléctrica, esto se muestra en la Figura 1.5.



**Figura 1.5** Respuesta PLL basado en arcotangente ante saltos de fase

### 1.3.1.2 Respuesta PLL basado en arcotangente en presencia de armónicos

Este tipo de PLL no posee una buena respuesta cuando se tiene armónicos presentes en la red eléctrica perjudicando el seguimiento de la fase y frecuencia de la señal, por lo tanto la sincronización con la red es deficiente (Figura 1.6).



**Figura 1.6** Respuesta PLL basado en arcotangente en presencia de armónicos

### 1.3.2 PLL SRF (SYNCHRONOUS REFERENCE FRAME)

Como se señala en [6], el PLL SRF (synchronous reference frame) (sistema de referencia síncrono) es un método que usa las transformadas de Clark ( $abc$  a  $\alpha\beta$ ) y de Park ( $\alpha\beta$  a  $dq$ ) en su estructura. Este PLL obedece al esquema general que se muestra en la Figura 1.7, pues se trata de un sistema realimentado, deficiencia que posee el PLL basado en arcotangente (Figura 1.4) ya que no tiene ningún lazo de realimentación.

Un PLL consta esencialmente de tres componentes:

- El detector de fase (PD, de sus siglas en ingles).
- El filtro pasa bajas (LPF, de sus siglas en ingles).
- El oscilador de voltaje controlado (VCO, de sus siglas en ingles).

Estos tres componentes se conectan según la estructura mostrada en la Figura 1.7.

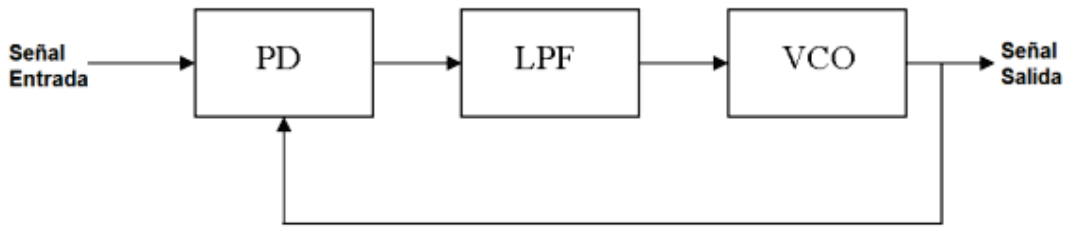


Figura 1.7 Estructura de un PLL

El detector de fase entrega una tensión proporcional a la diferencia de fases entre la señal de salida y de entrada, esta señal pasa por el filtro pasa bajos para eliminar la presencia de frecuencias altas indeseables y finalmente llega al oscilador de voltaje controlado. El oscilador de voltaje controlado genera un voltaje de salida con frecuencia dependiente del voltaje de salida del filtro, este voltaje es usado para seguir una señal periódica mediante la variación de su fase y frecuencia.

El PLL SRF a implementar consta de un bloque *abc* a *dq*, un regulador PI que actúa como filtro pasa bajos y un integrador (VCO), todo conectado según la estructura de la Figura 1.8. La ventaja de este PLL es que se efectúa una sincronización a partir de señales continuas  $V_d$  ó  $V_q$ . Este tipo de PLL es el más utilizado en conexión trifásica a la red y el que se implementa en este proyecto.

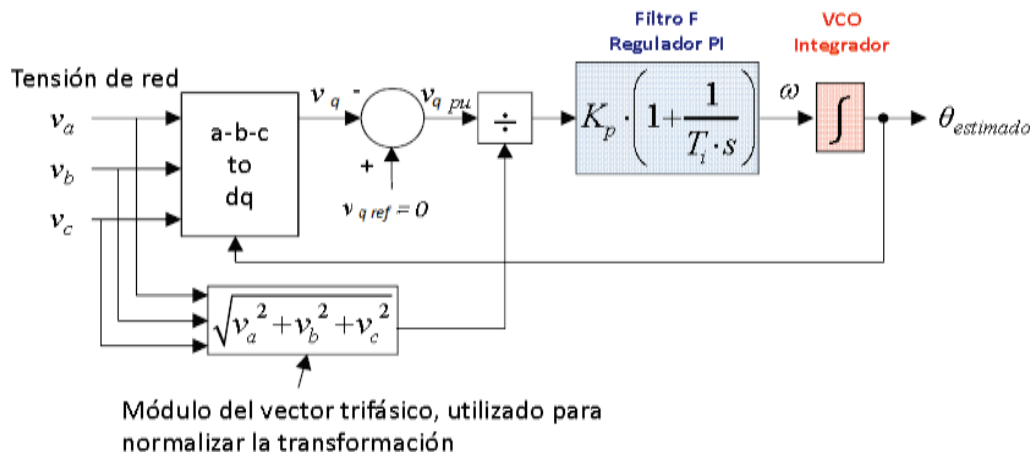
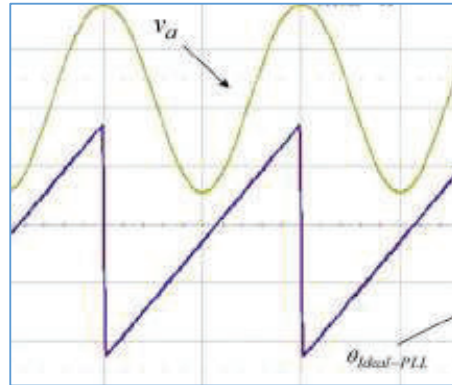


Figura 1.8 PLL SRF

El regulador hace que el ángulo theta estimado se ponga en sincronía con la red. La señal del PLL se encuentra sincronizada con la componente  $V_q$ .

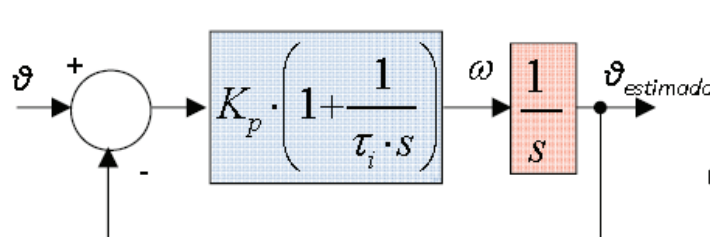
Como se observa en la Figura 1.9 la sincronización con la red se da aplicando el coseno [7] del ángulo estimado de igual manera que lo explicado en el PLL basado en la arcotangente.



**Figura 1.9** Sincronización PLL SRF [7]

### 1.3.2.1 Modelo del PLL SRF

El modelo lineal del PLL SRF [8] se indica en la Figura 1.10 y la función de transferencia en lazo cerrado del sistema corresponde a un sistema de segundo orden dado por la ecuación (1.5).



**Figura 1.10** Modelo PLL SRF [8]

$$\frac{\theta_{estimado}(s)}{\theta} = \frac{K_p \cdot s + \frac{K_p}{\tau_i}}{s^2 + K_p \cdot s + \frac{K_p}{\tau_i}} \quad (1.5)$$

Un sistema de segundo orden está dado por la función de transferencia indicada en (1.6).

$$G(s) = \frac{K_p \omega_n^2}{s^2 + 2\varepsilon\omega_n \cdot s + \omega_n^2} \quad (1.6)$$

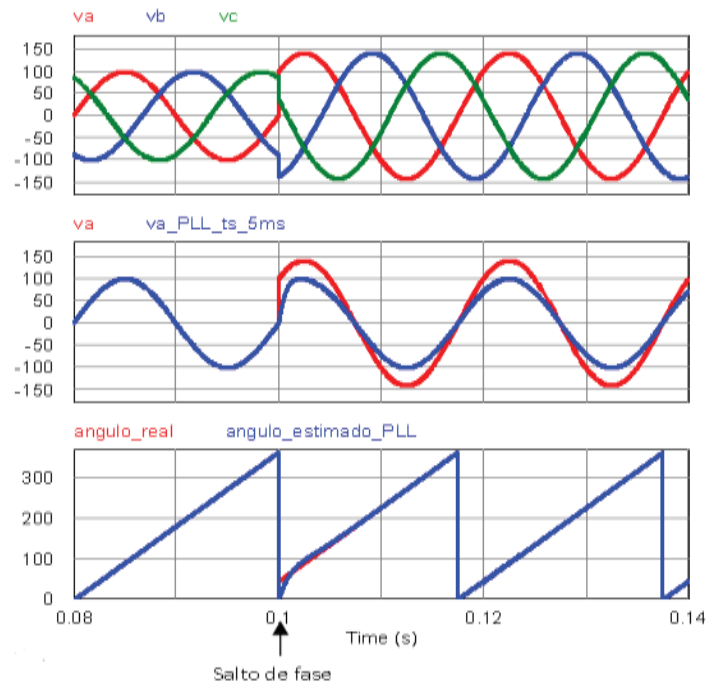
Comparando los denominadores de (1.6) y (1.5) se obtiene las ecuaciones que corresponden al factor de amortiguamiento y la frecuencia natural de oscilación dadas por (1.7) y (1.8) respectivamente, estos parámetros serán utilizados posteriormente en la parte de diseño del PLL.

$$\varepsilon = \frac{\omega_n \tau_i}{2} \quad (1.7)$$

$$\omega_n = \sqrt{\frac{K_p}{\tau_i}} \quad (1.8)$$

### 1.3.2.2 Respuesta PLL SRF ante saltos de fase y voltaje

Este PLL presenta una buena respuesta ante saltos de fase y cambios de la amplitud en la red eléctrica como se puede observar en la Figura 1.11.

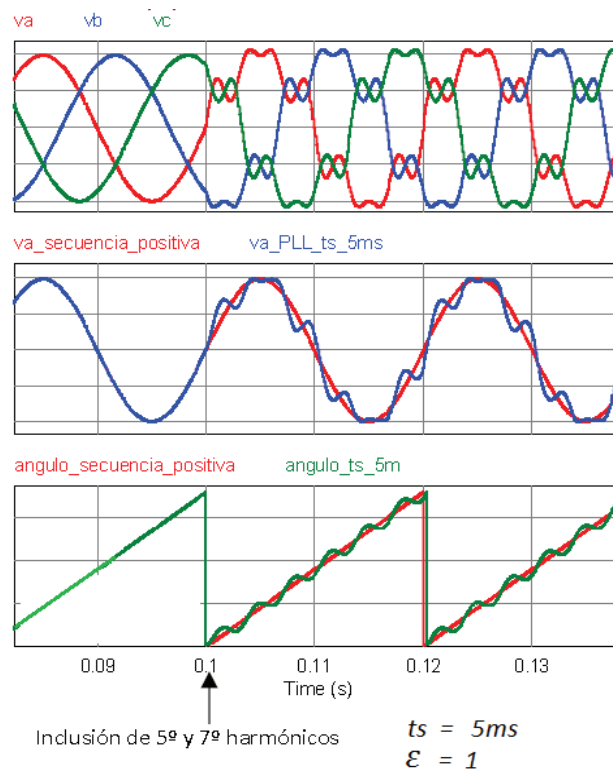


**Figura 1.11** Respuesta PLL SRF ante saltos de fase [7]

### 1.3.2.3 Respuesta PLL SRF en presencia de armónicos

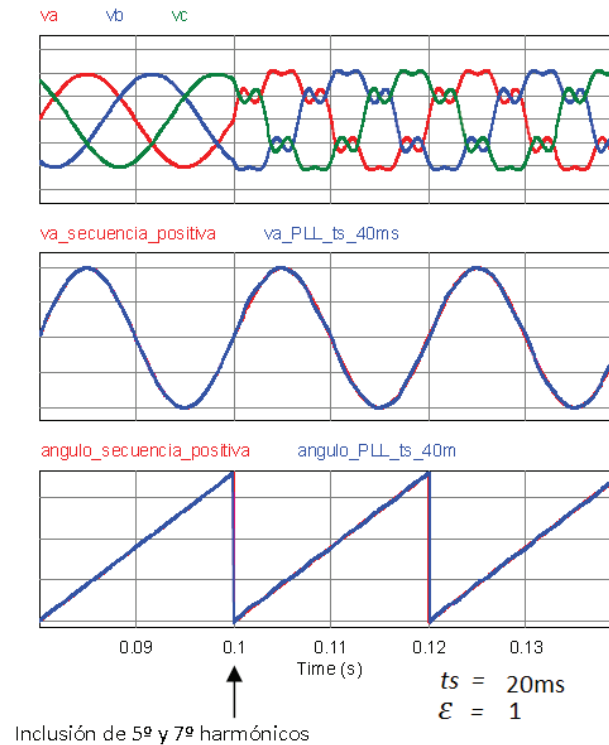
Este PLL presenta una mejor respuesta ante la presencia de armónicos en la red, esta respuesta se puede mejorar implementando en el diseño una dinámica lenta para que se filtren las componentes armónicas más eficientemente.

En la Figura 1.12 se muestra la respuesta de un PLL SRF diseñado con dinámica rápida y en la Figura 1.13 se muestra la respuesta de un PLL SRF diseñado con dinámica lenta.



**Figura 1.12** Respuesta PLL SRF con dinámica rápida en presencia de armónicos [7]





**Figura 1.13** Respuesta PLL SRF con dinámica lenta en presencia de armónicos [7]

Debido a estas ventajas indicadas del PLL SRF y a las desventajas del PLL basado en la arcotangente, en este proyecto se implementa el PLL SRF para la sincronización de las señales de control del inversor con la red eléctrica y así generar los armónicos de voltaje sincronizados con la red.

## 1.4 INVERSOR TRIFÁSICO

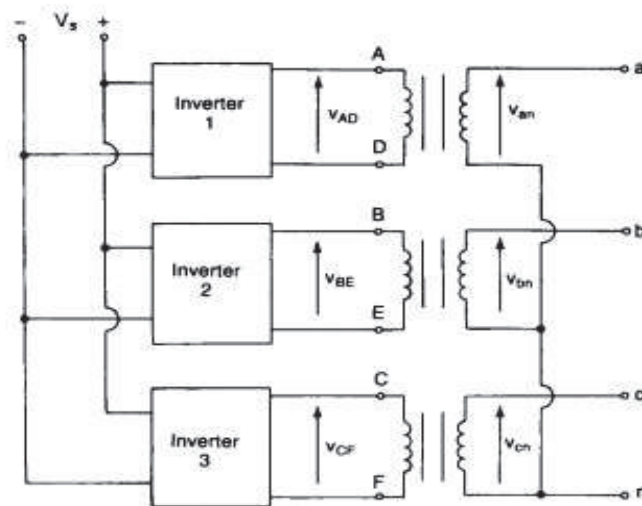
Un inversor trifásico es un convertidor estático de energía que transforma un voltaje continuo en un voltaje alterno con magnitud y frecuencia configurables [9]. Los inversores trifásicos son usados en varias aplicaciones como: fuentes ininterrumpidas de voltaje alterno, conexión a la red de fuentes de energía renovables como paneles solares o generadores eólicos, accionamiento de motores de corriente alterna, compensadores activos de potencia etc. En este proyecto se lo utiliza para generar armónicos de voltaje trifásicos sincronizados con la red eléctrica con amplitud y fase configurables.

## 1.4.1 TIPOS DE INVERSORES TRIFÁSICOS

Existen varias topologías para implementar un inversor trifásico.

### 1.4.1.1 Inversor trifásico en base a tres inversores monofásicos

Se trata de tres inversores monofásicos conectados a la misma fuente de DC como indica la Figura 1.14, donde cada inversor está desfasado  $120^\circ$  en sus señales de disparo respecto al otro para conseguir una tensión trifásica equilibrada a la salida.

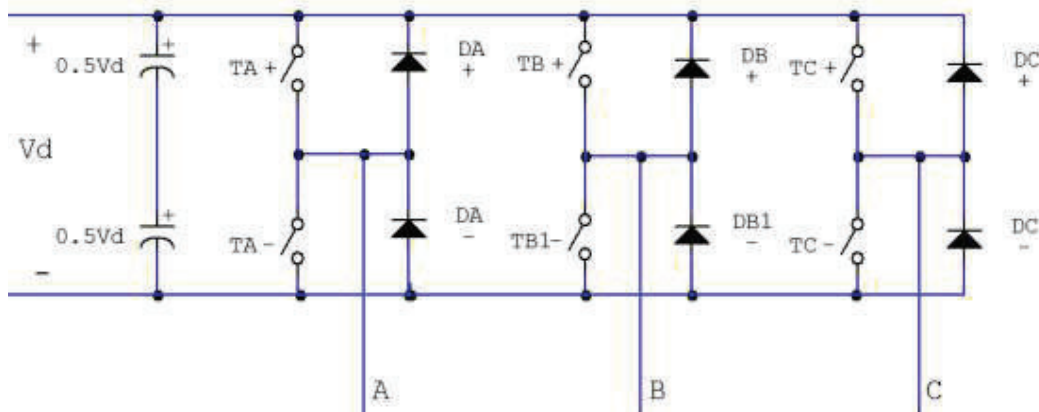


**Figura 1.14** Inversor trifásico en base a tres inversores monofásicos [10]

Este tipo de topología requiere una fuente de DC, tres transformadores monofásicos, 12 semiconductores y el circuito de control que comanda los semiconductores.

### 1.4.1.2 Inversor trifásico tipo puente

Este tipo de inversor trifásico (Figura 1.15) es el más utilizado debido a su sencilla configuración y a que requiere de menos elementos para su implementación [11], cada ramal del puente inversor se encarga de generar las señales de salida A, B, C respectivamente.

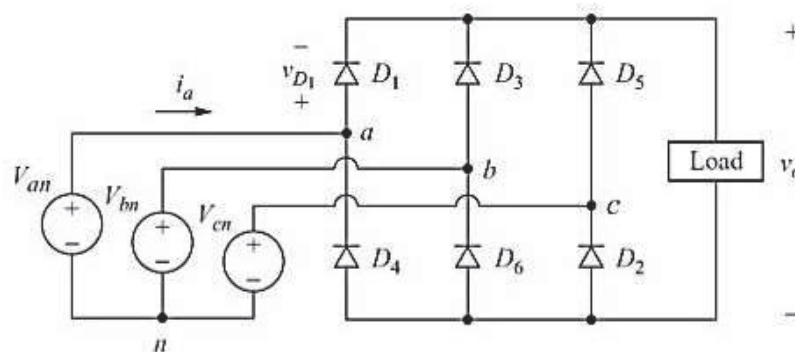


**Figura 1.15** Inversor trifásico tipo puente.

Esta configuración consta de una fuente de DC que energiza a todo el sistema, 12 semiconductores y el circuito de control que comanda los disparos de los semiconductores. Esto resulta en una ventaja en cuanto a cantidad de elementos y peso respecto a la anterior configuración, por tal motivo se escoge esta estructura para el presente proyecto.

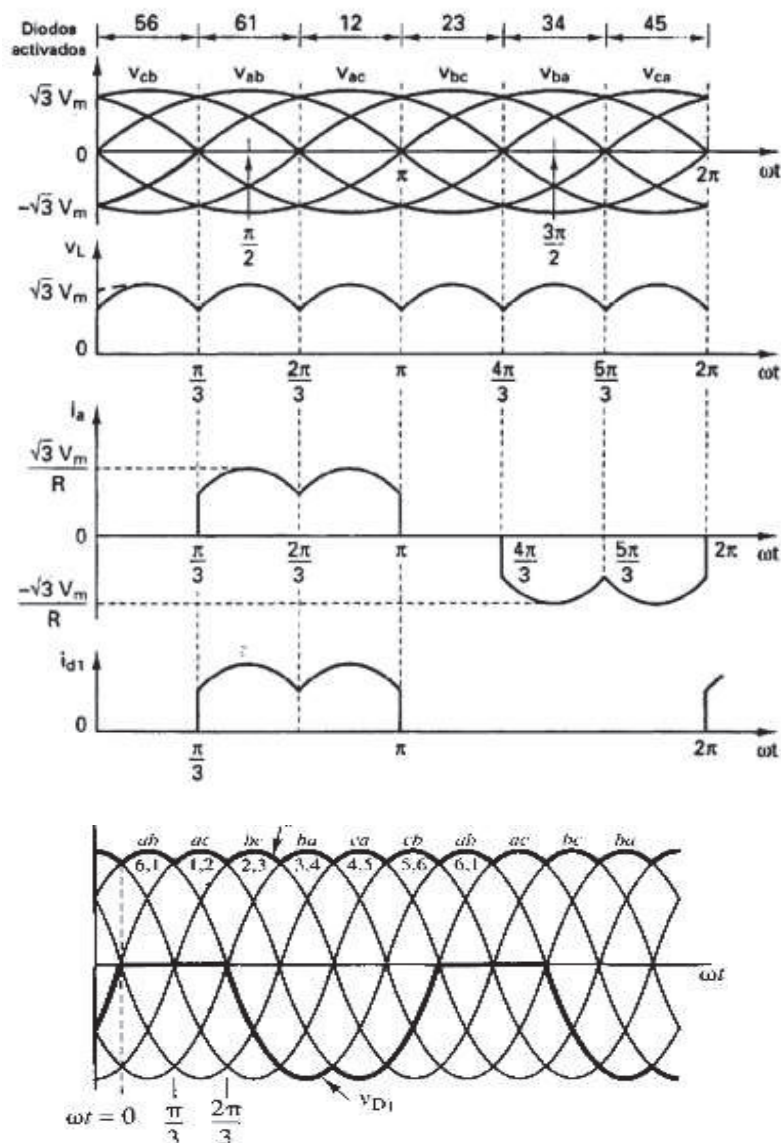
## 1.5 BUS DE DC

El bus de DC para el inversor puede consistir en un banco de baterías o un conversor AC-DC conocido como rectificador para generar el voltaje continuo a partir de la red eléctrica. Existen varios tipos de rectificadores que se usan dependiendo de la aplicación, en este proyecto se utiliza el rectificador trifásico puente (Figura 1.16) completo que es de uso común en aplicaciones de electrónica de potencia.



**Figura 1.16** Rectificador trifásico puente completo [11]

Este es un rectificador de onda completa que puede operar con o sin transformador y genera una onda de voltaje de 6 pulsos a la salida. Los diodos están enumerados en el orden de la secuencia de conducción, cada uno de ellos conduce  $120^\circ$ . El par de diodos conectados entre el par de líneas de alimentación que tengan la diferencia de potencial instantánea más alta de línea a línea serán los que entren en conducción. Para conexión de la red trifásica en estrella las formas de onda y los tiempos de conducción se muestran en la Figura 1.17.



**Figura 1.17** Formas de onda y tiempos de conducción rectificador 6 pulsos [10]

Como se indica en [10] el voltaje continuo dc a la salida se encuentra a partir de la ecuación (1.9). Donde  $V_m$  es el voltaje fase pico.

$$V_{dc} = \frac{2}{2\pi/6} \int_0^{\pi/6} \sqrt{3}V_m \cos(wt) d(wt) \quad (1.9)$$

$$V_{dc} = 1.654V_m \quad (1.10)$$

El voltaje rms de la salida está dado por (1.11).

$$V_{rms} = \left( \frac{2}{2\pi/6} \int_0^{\pi/6} (\sqrt{3}V_m \cos(wt))^2 d(wt) \right)^{1/2} \quad (1.11)$$

$$V_{rms} = 1.6554V_m \quad (1.12)$$

Si la carga es puramente resistiva la corriente pico a través de un diodo está dada por (1.13).

$$I_m = \sqrt{3}V_m/R \quad (1.13)$$

Y el valor rms de la corriente en cada diodo esta dad según (1.14).

$$I_r = \left[ \frac{4}{2\pi} \int_0^{\pi/6} (I_m \cos(wt))^2 d(wt) \right]^{1/2} \quad (1.14)$$

$$I_r = 0.5518I_m \quad (1.15)$$

El valor rms de la corriente de línea está dada por la ecuación (1.16).

$$I_a = \left[ \frac{8}{2\pi} \int_0^{\pi/6} (I_m \cdot \cos(wt))^2 d(wt) \right]^{1/2} \quad (1.16)$$

$$I_a = 0.7804I_m \quad (1.17)$$

Donde  $I_m$  es la corriente línea pico.

### 1.5.1 FILTRO BUS DC

A la salida de un rectificador se presentan componentes armónicas indeseadas debido al rizado de voltaje a la salida, que en el caso del rectificador trifásico puente completo es un rizado de 6 pulsos. Para reducir este rizado y que la onda de salida sea lo más constante posible (Figura 1.19) es necesario filtrar la onda. Los filtros de dc comúnmente son de tipo L, C, LC. Como se muestra en la Figura 1.18.

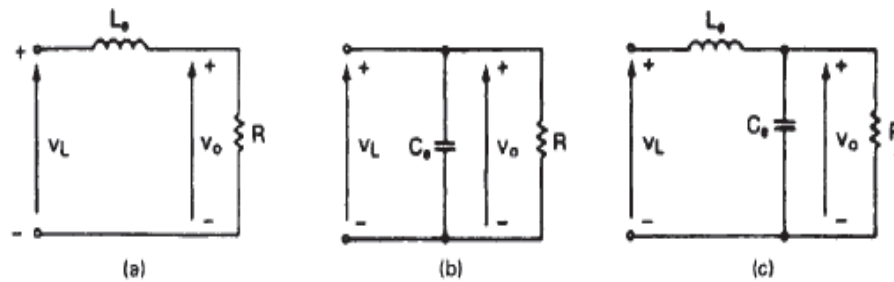


Figura 1.18 Filtros de corriente directa [10]

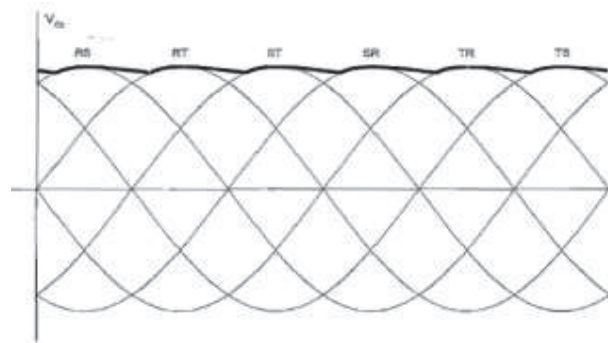


Figura 1.19 Rizado de voltaje para un rectificador de 6 pulsos con filtro [10]

Con la adición del filtro capacitivo a la salida del rectificador, el bus dc tendrá un valor medio aproximadamente igual al voltaje pico del voltaje línea a línea de la red, es decir  $\sqrt{2}V_{LL}$ , por ende si se tiene un voltaje rms línea a línea de 220 se tendrá un valor medio en el bus dc de 311V.

## 1.6 MODULACIÓN SENOIDAL POR ANCHO DE PULSO SPWM

La modulación senoidal por ancho de pulso SPWM es una técnica de conmutación usada en el control de inversores [11] para obtener una salida de voltaje y frecuencia variables. Una de las ventajas de esta técnica sobre otras es que el factor de distorsión y las armónicas de menor orden se reducen en forma significativa.

### 1.6.1 SPWM EN INVERSORES TRIFÁSICOS

El objetivo en un inversor trifásico (Figura 1.20 ) modulado por ancho de pulso es formar y controlar los voltajes de salida trifásicos en magnitud y frecuencia por medio de un voltaje de entrada  $V_d$  comúnmente constante. A fin de obtener los voltajes de salida trifásicos equilibrados se compara la onda triangular o portadora con tres voltajes de control sinusoidales denominados modulantes desfasados  $120^\circ$  cada uno como se indica en la Figura 1.21. También se puede observar que los voltajes  $V_{AN}$ ,  $V_{BN}$  y  $V_{CN}$  contienen una misma componente media de continua que se anula en los voltajes línea a línea como se muestra en la Figura 1.22. De igual forma se observa que los voltajes línea a línea tienen una forma de onda PWM de tres niveles o unipolar, este tipo de onda es la que se obtendrá a la salida del sistema generador de armónicos.

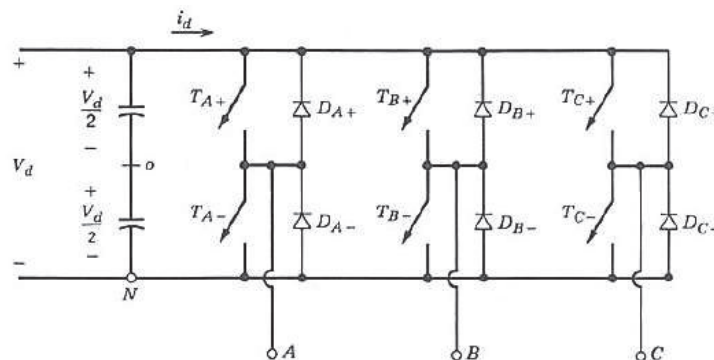
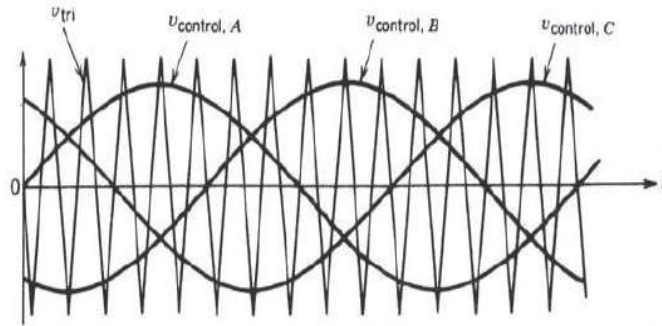
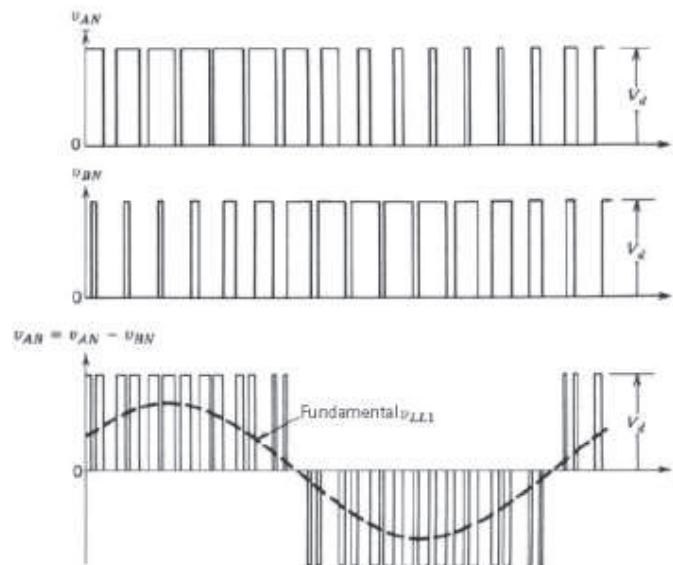


Figura 1.20 Inversor trifásico tipo puente [9]



**Figura 1.21** Señales Modulantes A, B, C y portadora  $V_{tri}$  [11]



**Figura 1.22** Voltajes Fase neutro y Voltaje línea a línea inversor trifásico [11]

La frecuencia de la onda triangular (portadora) establece la frecuencia de conmutación  $f_s$  de los transistores y por lo general se mantiene constante junto con la amplitud  $V_{tri}$ . La amplitud de la señal modulante se la denomina  $V_{control}$  y se usa para modular la relación de trabajo de los interruptores de potencia, así mismo esta señal tiene una frecuencia que se la denomina  $f_1$  que para el presente proyecto podría cambiar a  $f_3$ ,  $f_5$  y  $f_7$  dependiendo del armónico que se quiera generar. Con esto se puede establecer ciertas relaciones que son necesarias a la hora de realizar la modulación SPWM [11].



### 1.6.1.1 Relación de modulación de amplitud $m_a$

El índice de modulación de amplitud o relación de modulación de amplitud se define según (1.18):

$$m_a = \frac{V_{control}}{V_{tri}} \quad (1.18)$$

Donde  $V_{control}$  es la amplitud pico de la señal de control o modulante, y  $V_{tri}$  es la amplitud pico de la señal triangular o portadora que generalmente permanece constante.

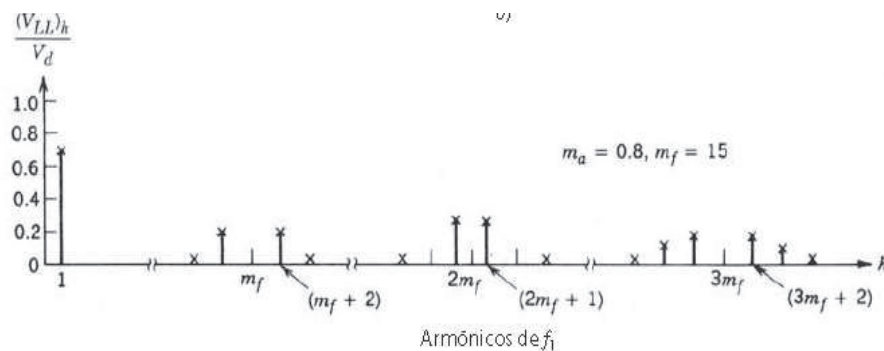
### 1.6.1.2 Relación de modulación de frecuencia $m_f$ .

La relación de modulación de frecuencia está dada por (1.19) :

$$m_f = \frac{fs}{f_1} \quad (1.19)$$

### 1.6.1.3 Espectro armónico en un PWM trifásico.

Los armónicos en la forma de onda de voltaje en la salida del inversor aparecen como bandas laterales, centradas alrededor de la frecuencia de switcheo y los múltiplos de esta es decir:  $m_f, 2m_f, 3m_f, etc$  [11]. Este patrón se cumple en forma general para un  $m_a \leq 1$ . En la Figura 1.23 se muestra el diagrama de barras de los armónicos normalizados para una modulación con  $m_a = 0.8$  y  $m_f = 15$ .



**Figura 1.23** Armónicos línea a línea inversor SPWM trifásico [11]

El hecho de que los armónicos estén ubicados a altas frecuencias lejos de la frecuencia fundamental, facilita significativamente el filtrado pues se reduce el tamaño de los elementos del filtro. La distorsión armónica total [12] se calcula mediante la ecuación (1.20).

$$THD_{[\%]} = \frac{\sqrt{(V_{rms}^2 - (V_{DC})^2 - (V_1)^2)}}{V_1} * 100 \quad (1.20)$$

#### 1.6.1.4 Frecuencia de switcheo $f_s$ .

Por la relativa facilidad de filtrar armónicos de voltaje de alta frecuencia es recomendable usar una frecuencia de conmutación lo mayor posible, pero presenta la gran desventaja de aumentar las pérdidas por conmutación en los interruptores del inversor que son directamente proporcionales a  $f_s$ . La selección de  $f_s$  implica también en el valor de  $m_f$ , por lo general se debe escoger un  $m_f$  mayor a 9 entero impar y que dé como resultado un  $f_s$  múltiplo de la frecuencia modulante para tener una conmutación sincrónica lo que impide la aparición de subarmónicos [11].

#### 1.6.1.5 Voltaje rms Línea a Línea.

El voltaje rms de la componente fundamental de una de las ramas del inversor trifásico está dado por la ecuación (1.21) [11].

$$(V_{AO\ RMS})_1 = m_a \cdot \frac{V_d}{2 \cdot \sqrt{2}} \quad (1.21)$$

El voltaje rms línea a línea fundamental viene dado por la ecuación (1.22).

$$(V_{LL\ RMS})_1 = m_a \cdot \frac{\sqrt{3}}{\sqrt{2}} \cdot \frac{V_d}{2} \quad (1.22)$$

#### 1.6.1.6 Potencia de salida trifásica

La potencia de salida trifásica respecto a la fundamental obedece a la ecuación (1.23).

$$P_{(3\phi)1} = 3 \cdot V_{LN\ RMS\ 1} \cdot I_{L1} \cdot \cos(\varphi_{V1} - \theta_{i1}) \quad (1.23)$$

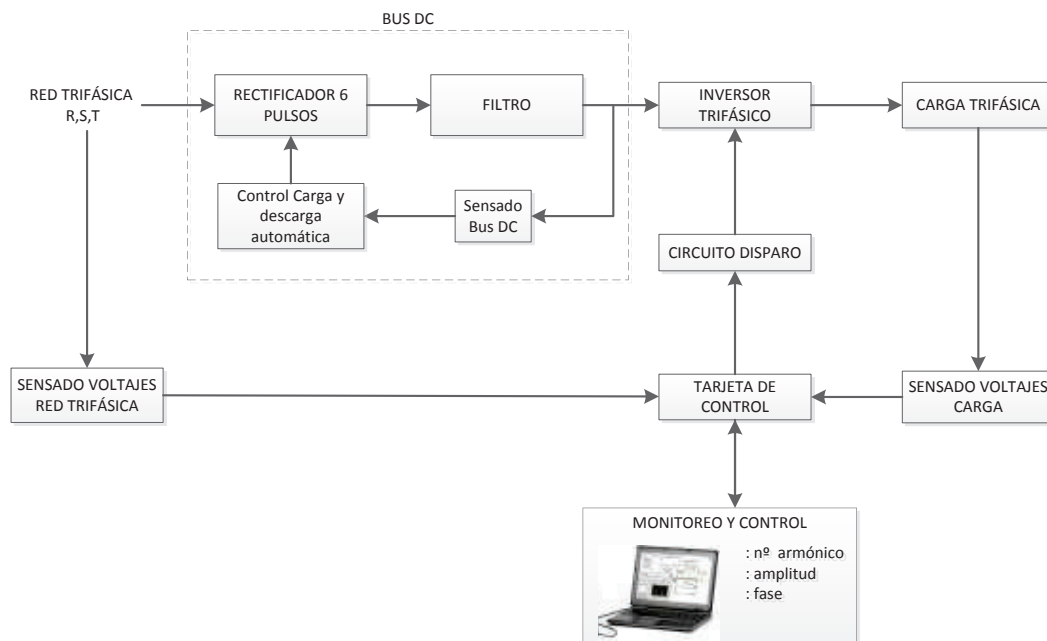
Donde  $V_{LLRMS1}$  es el voltaje rms de la fundamental es decir del armónico respectivo,  $I_{L1}$  es la corriente rms fundamental y  $(\varphi_{V1} - \theta_{i1})$  representa la diferencia del ángulo entre el voltaje y la corriente fundamentales. La potencia de salida total o potencia aparente es la que se obtiene con los valores rms totales de voltaje y corriente por lo tanto la potencia máxima trifásica de salida está dada por la ecuación (1.24) [13].

$$S_{(3\varphi)} = \sqrt{3} \cdot V_{LL-RMS} \cdot I_{L-RMS} \quad (1.24)$$

## CAPITULO 2

### DISEÑO SIMULACIÓN E IMPLEMENTACIÓN

En este capítulo se realiza el diseño, simulación e implementación del hardware del generador de armónicos. La simulación se la realiza en Matlab simulink usando la librería de SimPowerSystems que permite analizar la respuesta de circuitos de potencia. El diseño e implementación consta de los circuitos de: carga y descarga del bus de DC, inversor trifásico y redes snubber, circuito de sensado bus DC, drivers de disparo del inversor, circuito de acondicionamiento de las señales trifásicas de la red y circuito de sensado de los voltajes de salida generados. Finalmente se realiza el diseño de las fuentes de alimentación requeridas para todo el sistema. Un esquema general del sistema a implementar se indica en el diagrama de bloques de la Figura 2.1.



**Figura 2.1** Diagrama de bloques sistema generador de armónicos

## 2.1 DISEÑO DE LA ETAPA DE POTENCIA

Para empezar con el diseño de todo el sistema se definen los parámetros de voltaje, corriente de salida y la potencia máxima que se obtendrá del generador de armónicos para así dimensionar todos los elementos requeridos. Se establece una potencia máxima de salida de 1200VA y se manejará solo carga resistiva.

### 2.1.1 VOLTAJE DE SALIDA

Según la ecuación (1.22), tomando en cuenta un índice de modulación igual a 1 y que el voltaje continuo “Vd” es esencialmente constante y aproximadamente 311V se tiene:

$$V_{LL\ RMS\ 1} = 1 \cdot \frac{\sqrt{3}}{\sqrt{2}} \cdot \frac{311}{2} = 190V$$

Por lo tanto el voltaje rms fundamental máximo de salida sin sobremodulación es 190V, debido a esto se necesita sobremodular para alcanzar 220V línea a línea. Por otro lado el voltaje total rms línea a línea también aumenta desde un valor aproximado de 220V a 245V como se muestra en las simulaciones de éste capítulo y en el capítulo 4 de pruebas y resultados.

### 2.1.2 CORRIENTE DE SALIDA

Según la ecuación (1.24), reemplazando los valores de potencia y voltaje rms se obtiene:

$$1200\ VA = \sqrt{3} \cdot 245V \cdot I_{RMS}$$

$$I_{RMS} = 2.82A$$

Por lo tanto la corriente de línea que se obtiene a la salida es de alrededor de 2.82 A . Con este valor de corriente se obtiene el valor de resistencia por fase mínima que se puede colocar a la salida del generador de armónicos según la ecuación (2.1).

$$R_{fase} = \frac{V_{FN}}{I_L} \quad (2.1)$$

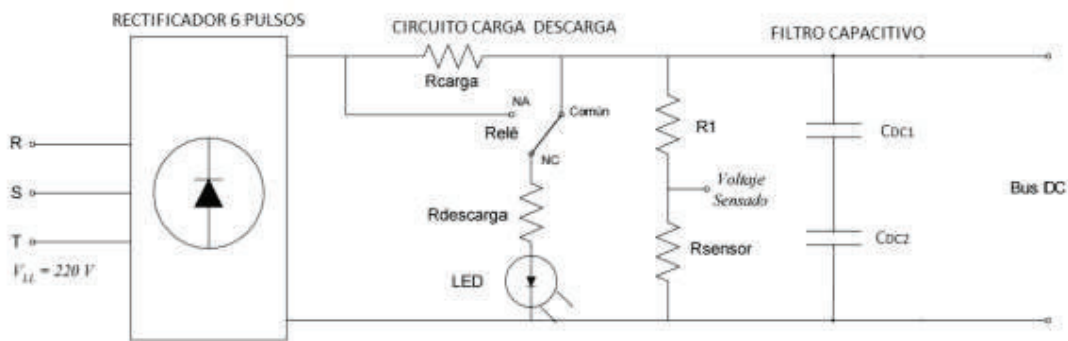
$$R_{fase} = \frac{245V/\sqrt{3}}{2.82A}$$

$$R_{fase} = 50\Omega$$

Por lo tanto la carga del sistema será  $50\Omega$  por fase conectados en estrella o su equivalente  $150\Omega$  en conexión delta [14] .

### 2.1.3 BUS DE DC

El bus DC consta de: rectificador de seis pulsos no controlado, filtro capacitivo, el circuito de carga y descarga automático, y el divisor de resistencias para el sensado de voltaje. Todo conectado como se indica en la Figura 2.2. El led sirve como indicador al momento que se conecta la resistencia de descarga.



**Figura 2.2** Esquema Bus de DC a implementar [15]

### 2.1.4 RECTIFICADOR 6 PULSOS

Como ya se mencionó en el subcapítulo 1.5 las ecuaciones que rigen al rectificador de 6 pulsos simplemente se harán uso de las mismas.

#### 2.1.4.1 Voltaje de salida dc

Según la ecuación (1.10) reemplazando el valor del voltaje fase-neutro pico se tiene el voltaje dc de salida del rectificador de 6 pulsos.

$$V_{dc} = 1.654(\sqrt{2} \cdot 127)$$

$$V_{dc} = 297V$$

#### 2.1.4.2 Corriente pico

Según la ecuación (1.13) reemplazando los valores conocidos se tiene que la corriente pico que soporta un diodo del puente es:

$$I_m = \sqrt{3} \cdot 127V / 50\Omega$$

$$I_m = 4.4A$$

#### 2.1.4.3 Corriente rms

Reemplazando los valores conocidos, el valor rms de la corriente en el diodo según la ecuación (1.15) es:

$$I_r = 0.5518 \cdot 4.4A$$

$$I_r = 2.43A$$

#### 2.1.4.4 Voltaje pico inverso

El valor de voltaje máximo que soportan los diodos es el voltaje línea a línea pico de la red es decir  $\sqrt{2} \cdot 220V$  igual a 311V.

Por lo tanto las especificaciones de los diodos del puente rectificador deben cumplir los siguientes requerimientos:

- Corriente pico  $\geq 4.4$  A
- Corriente rms  $\geq 2.43$  A
- Voltaje pico inverso  $\geq 311V$

Considerando estas especificaciones y según la disponibilidad de diodos en el mercado local se escogió el diodo 6A10 (Anexo E.6) mostrado en la Figura 2.3 que cumple con los requerimientos analizados.



**Figura 2.3** Diodo 6A10 [16]

### 2.1.5 CÁLCULO FILTRO CAPACITIVO

Para el dimensionamiento del filtro capacitivo se determina: el rizado deseado, la corriente nominal que debe entregar el bus dc a la carga y el voltaje máximo del bus [15].

La potencia de salida debe ser idealmente igual a la potencia que debe entregar el bus dc, sin embargo siempre existen pérdidas que esencialmente se dan en la conmutación de los interruptores del inversor y un porcentaje mínimo en el cableado y resto de circuitería. Por tal motivo se asume una eficiencia del 85%. Según la ecuación de potencias (2.2) se tiene:

$$P_{(3\phi TOT)} = n\% \cdot P_{DC} \quad (2.2)$$

$$P_{(3\phi TOT)} = n\% \cdot V_{DC} \cdot I_{DC} \quad (2.3)$$

$$I_{DC} = \frac{P_{(3\phi TOT)}}{0.85 \cdot V_{DC}}$$

$$I_{DC} = \frac{1200W}{0.85 \cdot 311V}$$

$$I_{DC} = 4.53A$$

Por lo tanto la corriente que debe entregar el bus dc es alrededor de 4.53A .

Para obtener la capacitancia del filtro se parte de la expresión conocida de corriente en un capacitor dada por (2.4):

$$I_C = C \cdot \frac{\Delta V}{\Delta t} \quad (2.4)$$



Donde  $\Delta V$  es el valor de rizado de voltaje y  $\Delta t$  es el periodo en el que se da el rizado. Desarrollando la ecuación anterior y usando la frecuencia  $f$  en vez del periodo se tiene:

$$C = \frac{I_c}{f \cdot \Delta V} \quad (2.5)$$

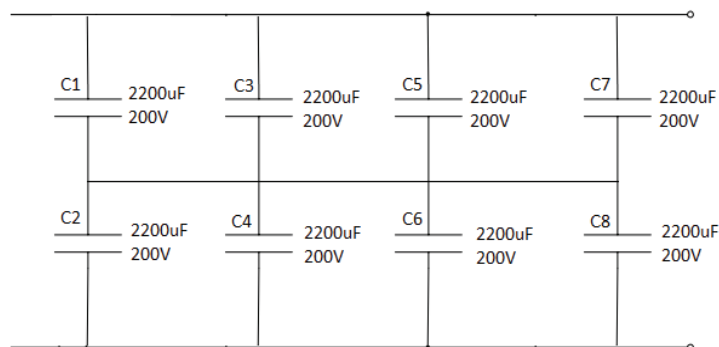
Como se trata de un rectificador de 6 pulsos la frecuencia de rizado es  $6 \times 60$  [Hz] es decir 360 Hz. Si se asume un valor de rizado del 1% se tiene un voltaje de rizado de  $0,01 \times 311V$  igual a 3,11V por lo tanto usando (2.5) la capacitancia requerida es:

$$C = \frac{4,53A}{360 \text{ Hz} \cdot 3,05 \text{ V}}$$

$$C = 4\,216.75 \text{ uF}$$

Por tal motivo la capacitancia escogida es de 4400 uF que es un valor comercial de capacitores.

Como se indicó el voltaje máximo del bus dc es  $\sqrt{2} \cdot 220V = 311V$ . Por lo que se requiere un capacitor de un valor nominal de voltaje mayor a este. En la práctica se implementó un arreglo de 8 capacitores (Figura 2.4) cada uno de 2200 uF, 200 V (Figura 2.5).



**Figura 2.4** Esquema filtro bus DC a implementar

Este arreglo de capacitores da como resultado la capacitancia requerida de 4400uF y soporta un voltaje máximo de 400V.



**Figura 2.5** Capacitor 2200uF, 200V usado en filtro del Bus DC [17]

### 2.1.6 CIRCUITO DE CARGA Y DESCARGA DEL CAPACITOR.

El circuito de carga y descarga del bus [15] esta comandado por un relé de dos posiciones como se indicó en la Figura 2.2 el cual se encarga de conectar la resistencia de carga y posteriormente cortocircuitarla para que el bus dc llegue al voltaje máximo.

#### 2.1.6.1 Resistencia de descarga.

Al momento de inactivar las señales de disparo del inversor y desenergizar el sistema, el bus dc queda cargado. Este voltaje puede resultar peligroso para el personal que manipule nuevamente el equipo, por lo tanto es necesario descargar esta energía a través de una resistencia de descarga (Figura 2.6).

Para observar la descarga del bus de dc se coloca un led indicador como se indica en la Figura 2.2. De acuerdo a la corriente máxima que soporta el led que es de 15mA y considerando el voltaje máximo del bus DC se calcula la resistencia de descarga según (2.6) .

$$R_{descarga} = \frac{V_{max\ bus\ dc}}{I_{led\ descarga}} \quad (2.6)$$

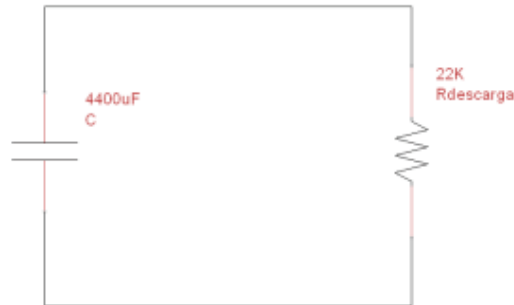
$$R_{descarga} = \frac{311\ V}{15\ mA}$$

$$R_{descarga} \approx 20.73\ K\Omega$$

Por lo tanto se escoge una resistencia comercial estándar de 22KΩ.

$$R_{descarga} = 22 \text{ K}\Omega$$

El circuito equivalente al momento de la descarga se indica en la Figura 2.6. La condición inicial de voltaje es  $V_{(t=0)} = 311V$



**Figura 2.6** Circuito equivalente de descarga bus dc

A este circuito (Figura 2.6) lo rige la ecuación diferencial mostrada en (2.7) [16].

$$R \cdot C \frac{dV_o}{dt} + V_o = 0; \quad V_{(t=0)} = 311V \quad (2.7)$$

Donde el voltaje de salida en función del tiempo está por (2.8).

$$V_o = 311 \cdot e^{-t/RC} \quad (2.8)$$

Reemplazando los valores conocidos de  $R$  y  $C$  se obtiene la función del voltaje de descarga dada por (2.9).

$$V_o = 311 \cdot e^{-t/96.8} \quad (2.9)$$

Y la corriente de descarga está dada por la ecuación (2.10).

$$i_o = 0.014 \cdot e^{-t/96.8} \quad (2.10)$$

Se conoce que la energía en un elemento pasivo está dada por la ecuación (2.11).

$$E = \int_0^t v(t) \cdot i(t) dt \quad (2.11)$$

Por lo tanto reemplazando (2.9) y (2.10) en (2.11) y desarrollando la integral se tiene que la energía disipada en la resistencia de descarga obedece a la ecuación (2.12).

$$E = 212.47[1 - e^{-t/48.4}]_0^t \quad (2.12)$$

La potencia es una medida de la relación que hay entre la energía y el tiempo como se indica en la ecuación (2.13), por lo tanto una buena estimación es usar el tiempo de la constante  $\tau = RC$ , que en este caso es de 96.8s para calcular la potencia. Reemplazando el valor de  $t = 96.8s$  en (2.12) se tiene:

$$E = 183J$$

Reemplazando los valores de la energía y el tiempo  $\tau$  en (2.13) se tiene la potencia de la resistencia de descarga.

$$P = \frac{\Delta E}{\Delta t} \quad (2.13)$$

$$P = \frac{183.7J}{96.8s}$$

$$P \approx 2W$$

Por lo que se dimensiona una potencia mayor a ésta. La resistencia utilizada en la práctica es de  $22K\Omega$  con una potencia de disipación de  $10W$  (Figura 2.7) debido a que con una de  $5W$  se observó que se generaba calor circundante alrededor de la resistencia y puesto que el módulo se encuentra en un gabinete metálico cerrado es deseable que esto no ocurra para evitar un aumento de la temperatura de todo el equipo.



**Figura 2.7** Resistencia de descarga  $22K\Omega$ ,  $10W$  [19]

#### 2.1.6.1 Tiempo de descarga.

Se puede obtener el tiempo de descarga del bus dc, considerando que el voltaje llegue a un valor del 2% del voltaje inicial, con el que se podría considerar que el capacitor se encuentra descargado. Usando la ecuación (2.9) se tiene:

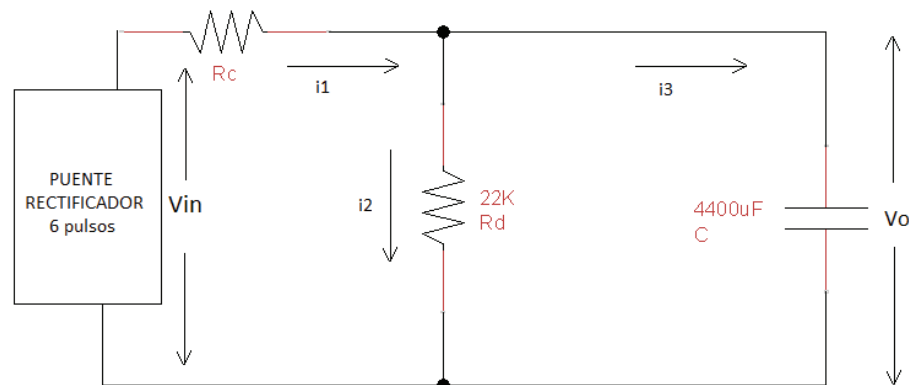
$$0.02 = e^{-t/96.8}$$

$$t = 378 \text{ s}$$

$$t = 6 \text{ min y } 18 \text{ s}$$

### 2.1.6.2 Resistencia de carga.

Al activar el paso de energía de la red el capacitor se encuentra descargado, esto provocará un crecimiento abrupto de la corriente, lo que puede causar daños a los componentes del puente rectificador e incluso al filtro. Con el fin de evitar este inconveniente se utiliza un circuito de carga del capacitor, que consiste en conectar una resistencia en serie con el capacitor, la misma que estará conectada hasta que el bus dc alcance un valor aproximado del 90% del voltaje de entrada [15]. El circuito equivalente de carga se indica en la Figura 2.8. El voltaje de entrada a  $t=0$  es de 0 V.



**Figura 2.8** Circuito equivalente de carga

Analizando el circuito se tiene:

$$V_{in} = V_{RC} + V_o \quad (2.14)$$

$$V_{in} = (i_2 + i_3) \cdot R_c + V_o \quad (2.15)$$

$$V_{in} = \left( \frac{V_o}{R_d} + C \frac{dV_o}{dt} \right) \cdot R_c + V_o \quad (2.16)$$

De esto se obtiene la ecuación diferencial que rige el circuito de carga dada por (2.17).

$$C \cdot R_c \cdot \frac{dV_o}{dt} + \left(\frac{R_c}{R_d} + 1\right) V_o = V_{in}; \quad V_o(t=0) = 0V \quad (2.17)$$

Resolviendo la ecuación diferencial (2.17) se obtiene:

$$V_o = \frac{R_d}{R_c + R_d} V_{in} \left(1 - e^{-t\left(\frac{R_c+R_d}{C \cdot R_d \cdot R_c}\right)}\right) \quad (2.18)$$

Reemplazando los valores en de capacitancia y resistencia de descarga en (2.18) se tiene la expresión del voltaje de salida en función de  $R_c$  y el tiempo según (2.19).

$$V_o = \frac{22K}{R_c + 22K} V_{in} \left(1 - e^{-t\left(\frac{R_c+22K}{4400\mu F \cdot 22K \cdot R_c}\right)}\right) \quad (2.19)$$

El voltaje de entrada es el voltaje que entrega del puente rectificador que según la ecuación (1.10) es:

$$V_{DC} = 1.654 \cdot \sqrt{2} \cdot 127V$$

$$V_{DC} = 297V$$

$$V_{in} = 297V$$

Ahora se asume un tiempo de carga de 8 segundos y que el voltaje de salida llegue a un valor del 90% del voltaje de entrada (267 V). Con lo que se tiene la expresión (2.20).

$$0.9 = \frac{22K}{R_c + 22K} \left(1 - e^{-8\left(\frac{R_c+22K}{4400\mu F \cdot 22K \cdot R_c}\right)}\right) \quad (2.20)$$

Desarrollando la expresión (2.20) se llega a la ecuación exponencial con incógnita  $R_c$  dada por (2.21).

$$e^{-\left(\frac{R_c+22000}{10.75 \cdot R_c}\right)} + 4.09 \times 10^{-5} \cdot R_c - 0.1 = 0 \quad (2.21)$$

La solución aproximada de esta ecuación es:

$$R_c \approx 700\Omega$$

En la práctica se selecciona una resistencia de 680Ω.

$$R_c = 680\Omega$$

La energía en la resistencia de carga se puede calcular usando la ecuación (2.22):

$$E_{RC} = \int_0^t V_{RC}(t) \cdot i_1(t) dt \quad (2.22)$$

Donde  $i_1$  se obtiene aplicando la ley de ohm en la resistencia de carga y  $V_{RC}$  restando los voltajes de entrada y salida según se indica en (2.23) y (2.24).

$$i_1 = \frac{V_{RC}}{R_c} \quad (2.23)$$

$$V_{RC} = V_{in} - V_o \quad (2.24)$$

Reemplazando los valores de  $R_c = 680\Omega$  y  $V_{in} = 297V$  en (2.19) se obtiene la expresión de  $V_o$  dada por la ecuación (2.25).

$$V_o = 288(1 - e^{-t(0.34)}) \quad (2.25)$$

Reemplazando  $V_o$  y el valor de  $V_{in}$  en (2.24) se obtiene la expresión del voltaje en  $V_{RC}$  dada por (2.26) así como la corriente que atraviesa  $R_c$  dada por (2.27).

$$V_{RC} = 9 + 288e^{-t(0.34)} \quad (2.26)$$

$$i_1 = 0.013 + 0.42e^{-t(0.34)} \quad (2.27)$$

Reemplazando (2.26) y (2.27) en (2.22) se tiene:

$$E_{RC} = \int_0^t (9 + 288e^{-t(0.34)}) \cdot (0.013 + 0.42e^{-t(0.34)}) dt \quad (2.28)$$

Desarrollando (2.28) se obtiene la expresión de la energía disipada en  $R_c$  dada por (2.29).

$$E_{RC} = [0.1t - 176.5e^{-0.08t} - 22.3e^{-0.34t}]_0^t \quad (2.29)$$

Considerando el tiempo de 9 segundos de carga según (2.29) se tiene:

$$E_{RC} = 104J$$

Usando la ecuación (2.13) y el tiempo de 8 segundos de carga se obtiene el valor de la potencia promedio de la resistencia de carga.

$$P = \frac{104J}{8s}$$

$$P = 13W$$

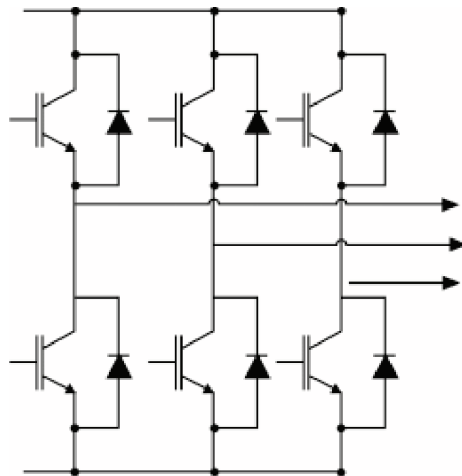
En la práctica se escogió una resistencia de  $680\Omega$  de 15 W de potencia (Figura 2.9).



**Figura 2.9** Resistencia  $680\Omega$ , 15 W para carga bus dc [20]

### 2.1.7 SELECCIÓN INTERRUPTORES DE POTENCIA.

Los interruptores de potencia escogidos son IGBTs debido su gran capacidad de manejo de potencia y buena velocidad de conmutación. El esquema del inversor a implementar es el que se muestra en la Figura 2.10.



**Figura 2.10** Esquema inversor trifásico a implementar

A continuación se indica los parámetros para la selección de los IGBTs utilizados.



### 2.1.7.1 Corriente de colector.

Como se determinó en la sección 2.1.2 la corriente de salida del sistema será 2.82 A, corriente que deberá ser capaz de soportar cada IGBT del inversor. Por lo tanto la corriente continua de colector  $I_c$  debe ser mayor a 2.82A.

### 2.1.7.2 Voltaje colector emisor.

El voltaje máximo que debe soportar el IGBT cuando este apagado ( $I_c \approx 0A$ ), será el voltaje del bus dc, es decir 311V. Sin embargo en la conmutación de semiconductores debido a la presencia de impedancias parásitas siempre existen sobre picos de voltaje durante el apagado, que pueden alcanzar valores de hasta el doble del voltaje aplicado. Estos sobrepicos serán luego mitigados colocando redes snubber (subcapítulo 2.1.9), pero en primera instancia se los considera para el dimensionamiento del interruptor de potencia. Por lo tanto el voltaje colector emisor mínimo que deberá soportar el IGBT es de al menos 622 V.

Tomando en cuenta estos dos parámetros principales y la disponibilidad de IGBTs en el mercado se adquirió los IGBTs STGW28IH125DF que cumplen con las especificaciones indicadas con un alto margen de seguridad. El datasheet del IGBT seleccionado se encuentra en el Anexo E.1.

## 2.1.8 SELECCIÓN FRECUENCIA SWITCHEO

Tomando en cuenta lo mencionado en el subcapítulo 1.6.1.4 y la capacidad de conmutación del IGBT seleccionado, la frecuencia de switcheo escogida es de 10500Hz, lo que implica una índice de modulación en frecuencia para cada armónico lo suficientemente grande. Por ejemplo para el 7mo armónico que es el caso más crítico se tiene:

$$m_f = \frac{f_s}{f_1} \quad (2.30)$$

$$m_f = \frac{10500Hz}{420Hz}$$

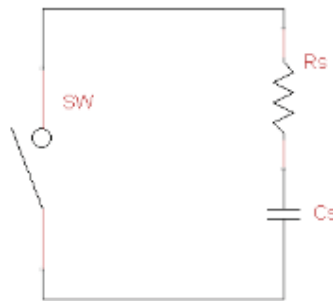
$$m_f = 25$$

Un  $m_f = 25$  es relativamente grande por lo que se tendrá una buena reconstrucción de la señal modulante y una distribución de la distorsión armónica bastante alejada de la frecuencia fundamental.

### 2.1.9 DISEÑO RED SNUBBER

La colocación de un circuito de amortiguamiento como la red snubber, es necesaria en la conmutación de semiconductores de potencia debido al alto grado de oscilación y sobrepicos que se presentan. La colocación de estos circuitos de amortiguamiento repercute en un menor esfuerzo para el semiconductor alargando su tiempo de vida útil.

El diseño de la red snubber RC de apagado (Figura 2.11) se basó en un procedimiento experimental [17] que se explica a continuación.



**Figura 2.11** Red Snubber de apagado

Para este diseño se necesita conocer los siguientes parámetros:

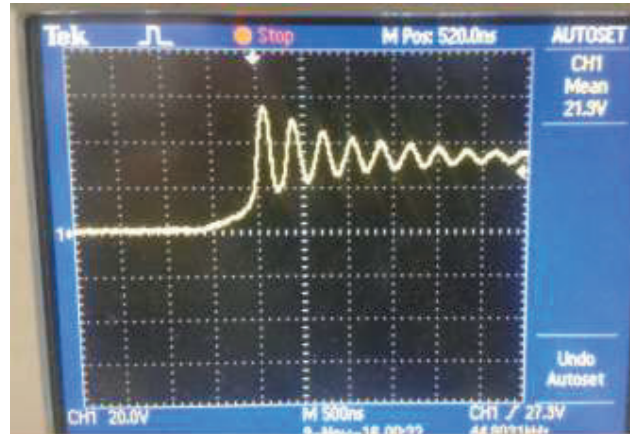
$f_{ring0}$ : Frecuencia de oscilación del voltaje colector-emisor sin red snubber.

$C_{add}$ : Capacitor externo que se conecta entre colector y emisor del IGBT para disminuir la frecuencia de oscilación de voltaje, la misma que es medida de manera experimental.

$f_{ring1}$ : Frecuencia de oscilación del voltaje colector-emisor con capacitor externo.

### 2.1.9.1 Medición frecuencia oscilación colector-emisor.

Esta es la frecuencia de oscilación propia del IGBT utilizado. Según la medición obtenida (Figura 2.12) se tiene que la frecuencia  $f_{ring0}$  es de alrededor de 3.03 MHz.



**Figura 2.12** Voltaje colector-emisor del IGBT “STGW28IH125DF” sin red snubber

### 2.1.9.2 Medición frecuencia oscilación colector-emisor con capacitor externo.

Se escoge un capacitor de valor alto en relación a la capacitancia propia del IGBT que según el datasheet es de 139 pF, por lo que se escoge un capacitor de valor 5nF. Entonces  $C_{add} = 5nF$ .

Al realizar la medición de la frecuencia con el capacitor externo conectado, se tiene un valor de  $f_{ring1} = 1.087MHz$ . Esta frecuencia es menor a  $f_{ring0}$  por lo tanto el capacitor escogido para la prueba es correcto.

### 2.1.9.3 Cálculo parámetros necesarios para el diseño.

La relación de frecuencias antes medidas está dada por (2.31).

$$x = \frac{f_{ring0}}{f_{ring1}} \quad (2.31)$$

$$x = \frac{3.03MHz}{1.087MHz} = 2.8$$

Con estos valores obtenidos, se hallan a continuación valores de capacitancia ( $C_{LK}$ ) e inductancia ( $L_{LK}$ ) parásitas utilizando las ecuaciones (2.32) y (2.33) respectivamente.

$$C_{LK} = \frac{C_{add}}{x^2 - 1} \quad (2.32)$$

$$C_{LK} = \frac{5[\text{nF}]}{2.8^2 - 1} = 0.73\text{nF}$$

$$f_{ring0} = \frac{1}{2\pi\sqrt{L_{LK}C_{LK}}} \quad (2.33)$$

$$L_{LK} = \frac{1}{C_{LK}} \left( \frac{1}{(2\pi f_{ring0})^2} \right)$$

$$L_{LK} = \frac{1}{0.73\text{n}} \left( \frac{1}{(2\pi \cdot 3.03\text{M})^2} \right)$$

$$L_{LK} = 3.78\mu\text{H}$$

El coeficiente de amortiguamiento seleccionado de acuerdo a la Figura 2.13 es  $\varepsilon = 1$ , debido a que se desea una respuesta subamortiguada en la conmutación colector-emisor.

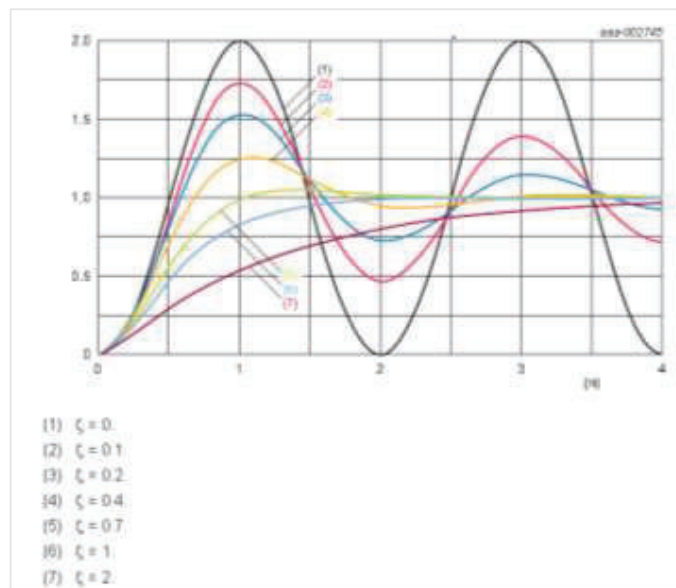


Figura 2.13 Respuesta según  $\varepsilon$  [17]

$$\varepsilon = \frac{1}{2R_s} \sqrt{\frac{L_{LK}}{C_{LK}}} \quad (2.34)$$

Despejando la expresión (2.34) y reemplazando el valor de  $\varepsilon$  se obtiene la resistencia  $R_s$  de la red snubber:

$$R_s = \frac{1}{2(1)} \sqrt{\frac{3.78\mu H}{0.73nF}} = 36\Omega$$

El valor de resistencia escogido en la práctica es un valor comercial de 39  $\Omega$ .

Finalmente se obtiene el valor del capacitor de la red con la siguiente expresión:

$$C_s = \frac{1}{2\pi R_s f_{ringo}} \quad (2.35)$$

$$C_s = \frac{1}{2\pi \cdot 36 \cdot 3.03MHz}$$

$$C_s = 1.46nF$$

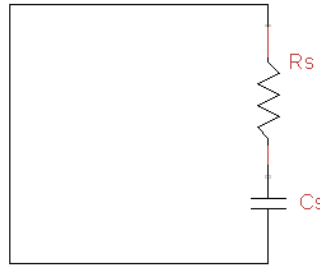
El capacitor escogido en la práctica es un capacitor comercial de 2.2nF y de 2000V.



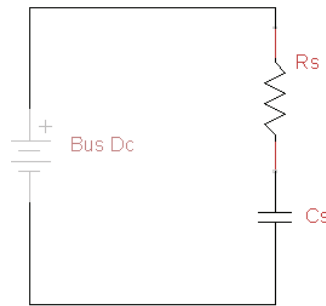
**Figura 2.14** Capacitor 2.2nF, 2000V utilizado para red snubber

#### 2.1.9.4 Potencia resistencia red snubber.

Para calcular la potencia de disipación de la resistencia de la red snubber se analiza dos casos: cuando el switch (IGBT) se cierra y se forma un circuito RC como se indica en la Figura 2.15 y cuando el switch se abre y se forma el circuito de la Figura 2.16.



**Figura 2.15** Circuito equivalente red snubber switch on



**Figura 2.16** Circuito equivalente red snubber switch off

En el primer caso (Figura 2.15), la energía que debe disipar  $R_s$  es la energía almacenada por el capacitor que se obtiene según la expresión (2.36) [18].

$$E = \frac{1}{2} C_s \cdot V_c^2 \quad (2.36)$$

Donde  $V_c$  es el voltaje al cual llega a cargarse  $C_s$  en el apagado, es decir lo que entrega el bus dc que son 311V. Reemplazando los valores conocidos de capacitancia y resistencia de la red snubber en (2.36) se tiene el valor de la energía disipada en el encendido.

$$E_{on} = \frac{1}{2} (2.2nF) \cdot (311 V)^2$$

$$E_{on} = 0.106mJ$$

En el segundo caso (Figura 2.16) cuando el switch se abre, se tiene un circuito fuente-R-C en donde el voltaje en  $R_s$  está dado por (2.37).

$$V_{R_s} = V_{in} \cdot e^{-\frac{t}{R_s \cdot C_s}} \quad (2.37)$$

Y la corriente de salida está dada por (2.38).

$$i_o = \frac{-V_{in}}{R_s} \cdot e^{-t \frac{1}{R_s \cdot C_s}} \quad (2.38)$$

Reemplazando los valores conocidos de  $R_s = 39\Omega$  y de  $C_s = 2.2nF$  en (2.37) y (2.38) se tiene las expresiones del voltaje y la corriente sobre la resistencia  $R_s$  dadas por (2.39) y (2.40) respectivamente.

$$V_{R_s} = 311 \cdot e^{-t \frac{1}{8.58 \times 10^{-8}}} \quad (2.39)$$

$$i_o = 7.97 \cdot e^{-t \frac{1}{8.58 \times 10^{-8}}} \quad (2.40)$$

Según (2.11) la energía disipada en  $R_s$  se calcula mediante la ecuación (2.41).

$$E_{off} = \int_0^t \left( 311 \cdot e^{-t \frac{1}{8.58 \times 10^{-8}}} \right) \cdot \left( 7.97 \cdot e^{-t \frac{1}{8.58 \times 10^{-8}}} \right) dt \quad (2.41)$$

Desarrollando la integral de (2.41) se tiene la expresión final de la energía disipada en la resistencia de la red snubber en el apagado dada por (2.42).

$$E_{off} = \left[ 1.06 \times 10^{-4} \cdot e^{-t \frac{1}{4.29 \times 10^{-8}}} \right]_0^t \quad (2.42)$$

Como se indicó en la sección 2.1.8 la frecuencia de switcheo es de 10500Hz esto corresponde a un periodo de 95.23us además también se analizó en el subcapítulo 1.6.1 que la modulación SPWM el valor de la relación de trabajo no es constante, ya que esta varía proporcionalmente con el valor de la amplitud instantánea de la señal modulante, por lo tanto  $\delta$  tendrá valores de 0 hasta 1. Por tal motivo se considera un  $\delta$  promedio de 0.5 para realizar todos los diseños donde se requiera este parámetro.

Entonces se considera que el tiempo que permanece cerrado el switch (IGBT) es de  $0.5 \times 95.23us = 47,6us$ . Reemplazando este valor en (2.42) se tiene el valor de la energía disipada en el apagado.

$$E_{off} = 0.106mJ$$

La energía de disipación total en  $R_s$  de la red snubber es la suma de las energías disipadas en el apagado y en el encendido según.

$$E_{R_s} = E_{on} + E_{off} \quad (2.43)$$

Reemplazando los valores de  $E_{on}$  y  $E_{off}$  hallados en (2.44) se tiene la energía total disipada en la resistencia snubber:

$$E_{R_s} = 0.213mJ$$

Según la ecuación (2.13) y considerando el tiempo de 95.23us concerniente al tiempo de periodo se tiene la potencia disipada por la resistencia de la red snubber:

$$P = \frac{0.213mJ}{95.23us}$$

$$P = 2.23W$$

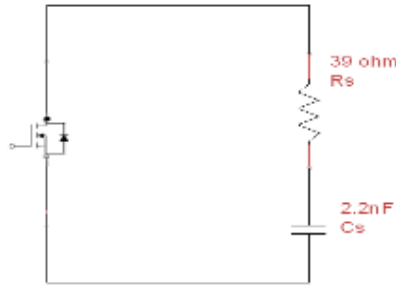
Por lo tanto se debe escoger una resistencia con una potencia mayor a esta. En la práctica se escoge una resistencia de  $39\Omega$  de 10W de disipación (Figura 2.17) debido a que con una de 5W se observó que se generaba calor circundante alrededor de la resistencia y puesto que el módulo se encuentra en un gabinete metálico cerrado es deseable que esto no ocurra para evitar un aumento de la temperatura de todo el equipo.



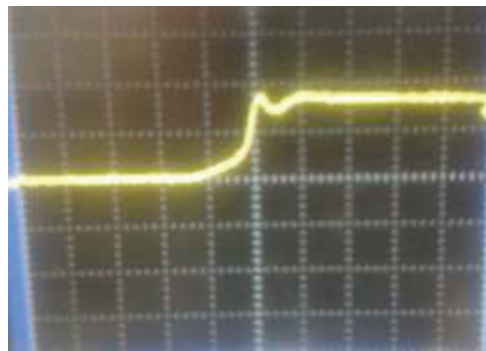
**Figura 2.17** Resistencia  $39\Omega$ , 10W usada en red snubber [20]

De esta manera se obtiene los valores finales de la resistencia y el capacitor de la red snubber a implementar (Figura 2.18) para cada IGBT del inversor trifásico. En la Figura 2.19 se muestra la forma de onda de voltaje colector-emisor de uno de los 6 IGBTs del inversor con la red snubber conectada.





**Figura 2.18** Circuito red snubber

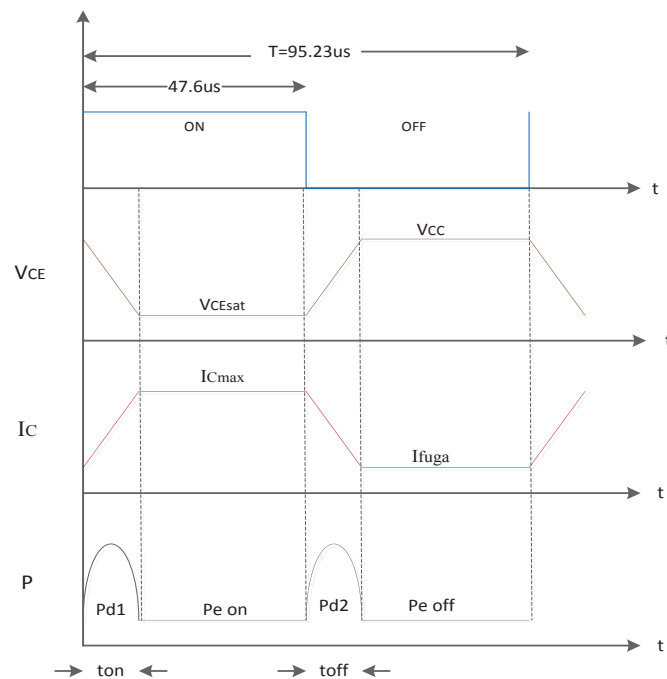


**Figura 2.19** Forma de onda Voltaje colector-emisor IGBT con red snubber

En comparación con la Figura 2.12, se puede observar que la disminución de la oscilación y el sobrevoltaje es significativa.

### 2.1.10 CÁLCULO POTENCIA DE PÉRDIDAS IGBT

Siempre existen pérdidas en los elementos de conmutación como transistores, mosfets, igbts, etc. Estas se dividen en pérdidas estáticas y perdidas dinámicas [19]. Para una carga resistiva se tienen las formas de onda de conmutación como se indica en la Figura 2.20.



**Figura 2.20** Potencia de pérdidas en la conmutación

Considerando el periodo  $T$  de  $95.23\mu\text{s}$  correspondiente a la frecuencia de switcheo escogida ( $10500\text{Hz}$ ) y una relación de trabajo  $\delta = 0.5$  (promedio) se puede obtener la forma de onda de potencia de pérdidas mostrada en la Figura 2.20. Además según las mediciones realizadas se determina el tiempo de encendido y de apagado del IGBT (STGW28IH125DF) seleccionado, dando un tiempo de encendido  $ton$  de  $800\text{ns}$  y de apagado  $toff$  de  $920\text{ns}$ . En la Figura 2.21 se indica la forma de onda del voltaje colector-emisor en el encendido y en la Figura 2.22 se indica la forma de onda del voltaje colector-emisor en el apagado.

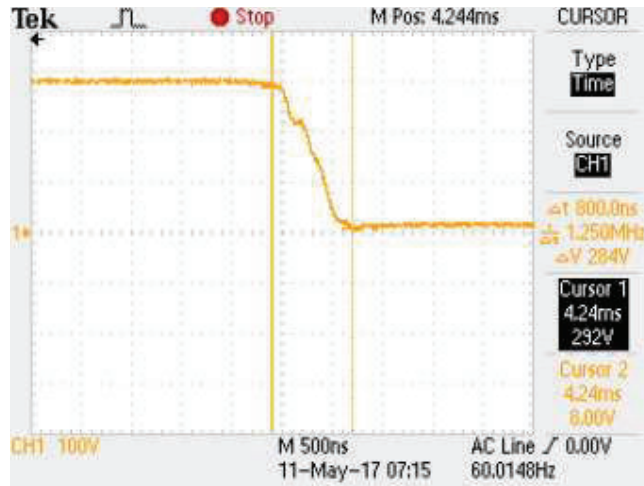


Figura 2.21 Forma de onda voltaje colector-emisor en el encendido



Figura 2.22 Forma de onda voltaje colector-emisor en el apagado

### 2.1.10.1 Pérdidas estáticas.

Según la forma de onda mostrada en la Figura 2.20 las pérdidas estáticas  $P_e$  se dividen en pérdidas estáticas en el encendido  $P_{e\ on}$  y en el apagado  $P_{e\ off}$  según se indica en las ecuaciones (2.44), (2.45) y (2.46).

$$P_e = P_{e\ on} + P_{e\ off} \quad (2.44)$$

$$P_{e\ on} = \frac{1}{T} \int_{t_{on}}^{\frac{T}{2}} I_{C\ max} \cdot V_{CE\ sat} dt \quad (2.45)$$

$$P_{e\ off} = \frac{1}{T} \int_{\frac{T}{2} + t_{off}}^T I_{C\ fuga} \cdot V_{CC} dt \quad (2.46)$$

En donde  $I_{C\ max}$  es la corriente máxima que podría circular por el IGBT que es igual a la corriente  $I_{DC}$  de aproximadamente 5A y  $V_{CC}$  es el voltaje del bus dc, 311V. Según el datasheet del IGBT STGW28IH125DF el  $V_{CE\ sat}$  es de 2.65V e  $I_{C\ fuga}$  es de 25uA. Por lo tanto reemplazando los datos conocidos en las ecuaciones (2.45) y (2.46) se tiene:

$$P_{e\ on} = \frac{1}{95.23u} \int_{800n}^{47.61u} 5 \cdot 2,65 dt = 6.51W$$

$$P_{e\ off} = \frac{1}{95.23u} \int_{47.74u+920n}^{95.23u} 25u \cdot 311 dt = 3.8mW$$

Por lo que las pérdidas estáticas totales según (2.44) son:

$$P_e = 6.51W + 3.8mW = 6.52W$$

### 2.1.10.2 Pérdidas dinámicas

Como se observa en la Figura 2.20 las pérdidas dinámicas se pueden dividir en las que se producen en el encendido  $P_{d1}$ , y en el apagado  $P_{d2}$  estas pérdidas están dadas según las ecuaciones (2.47) y (2.48) respectivamente.

$$P_{d1} = \frac{1}{T} \int_0^{t_{on}} \left( V_{CC} + \frac{V_{CE\ sat} - V_{CC}}{t_{on}} t \right) \left( I_{fuga} + \frac{I_{Cmax} - I_{fuga}}{t_{on}} t \right) dt \quad (2.47)$$

$$P_{d2} = \frac{1}{T} \int_0^{t_{off}} \left( V_{CEsat} + \frac{V_{CC} - V_{CEsat}}{t_{off}} t \right) \left( I_{Cmax} + \frac{I_{fuga} - I_{Cmax}}{t_{off}} t \right) dt \quad (2.48)$$

Reemplazando los datos conocidos en las ecuaciones (2.47) y (2.48) y sumando estos resultados se obtienen el valor de las pérdidas dinámicas.

$$P_{d1} = \frac{1}{95.23u} \int_0^{800n} \left( 311 + \frac{2.65 - 311}{800n} t \right) \left( 25u + \frac{5 - 25u}{800n} t \right) dt$$

$$P_{d1} = \frac{1}{95.23u} \left[ \left( 7.77m \cdot t - \frac{1555}{2(800n)} t^2 + \frac{1541}{3 \cdot (800n)^2} t^3 \right) \right]_0^{800n}$$

$$P_{d1} = 2.22W$$

$$P_{d2} = \frac{1}{95.23u} \int_0^{920n} \left( 2.65 + \frac{311 - 2.65}{920n} t \right) \left( 5 + \frac{25u - 5}{920n} t \right) dt$$

$$P_{d2} = \frac{1}{95.23u} \left[ \left( 12.3 \cdot t + \frac{1428}{2(920n)} t^2 - \frac{1425.73}{3 \cdot (920n)^2} t^3 \right) \right]_0^{920n}$$

$$P_{d2} = 2.55W$$

$$P_d = P_{d1} + P_{d2}$$

$$P_d = 2.22W + 2.55W$$

$$P_d = 4.8W$$

### 2.1.10.3 Pérdidas totales.

Las pérdidas totales son la suma de las perdidas estáticas y dinámicas por lo que se tiene:

$$P_{TOT} = P_e + P_d \quad (2.49)$$

$$P_{TOT} = 6.52W + 4.8W$$

$$P_{TOT} = 11.3W$$

### 2.1.11 CÁLCULO DISIPADOR DE CALOR

Para el cálculo del disipador de calor [20] [21] se debe conocer: potencia a disipar  $P_D = 11.3W$ , temperatura de juntura máxima del semiconductor  $T_{jmax} = 175^\circ C$ , resistencia juntura carcaza  $R_{jc} = 1.47^\circ C/W$ , resistencia carcaza disipador  $R_{cd} = 0.7^\circ C/W$ , y la temperatura ambiente la cual se consideró de  $T_a = 40^\circ C$  ya que el modulo en algún momento podría estar en ambientes más cálidos que los de la ciudad de Quito.

Con estos datos se utiliza la ecuación (2.50) para el cálculo de la resistencia térmica del disipador requerido.

$$T_j - T_a = P_D (R_{jc} + R_{cd} + R_{da}) \quad (2.50)$$

En donde:

$$T_j = K \cdot T_{jmax} \quad (2.51)$$

K es un factor de seguridad ya que el semiconductor no puede llegar a la temperatura máxima establecida, asumiendo un  $K=0.5$  se tiene:

$$T_j = 0.5 \cdot T_{jmax}$$

$$T_j = 0.5 \cdot 175$$

$$T_j = 87.5^\circ\text{C}$$

Reemplazando todos los datos conocidos en (2.50) se obtiene:

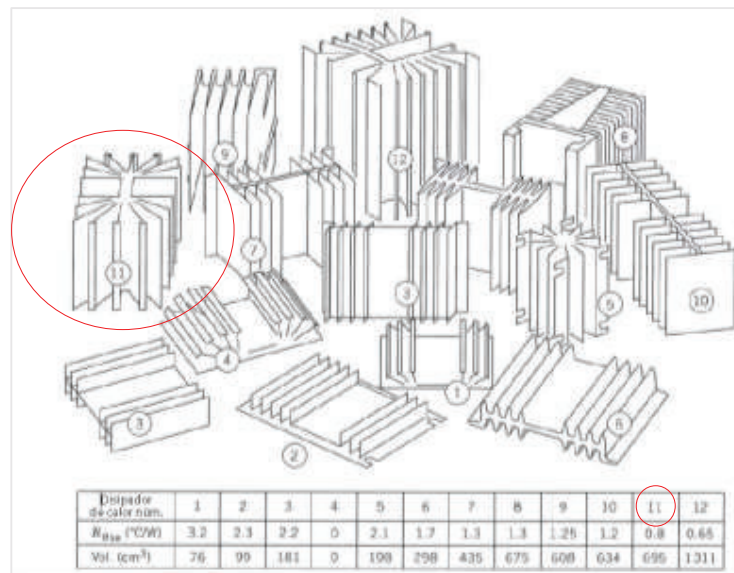
$$87.5 - 40 = 11.3(1.47 + 0.7 + R_{da})$$

$$R_{da} = 2 \text{ W}/^\circ\text{C}$$

En la práctica se montó dos IGBTs en un mismo disipador por lo tanto esta resistencia térmica se la divide para dos, con lo que se obtiene:

$$R_{da} = 1 \text{ W}/^\circ\text{C}$$

En la Figura 2.23 según la tabla adjunta se puede observar que el disipador N°11 posee una resistencia menor a la calculada, por lo que en la práctica se coloca este disipador por cada dos IGBTs es decir tres disipadores en total.



**Figura 2.23** Disipadores de calor según resistencia térmica [11]

## 2.2 DISEÑO CIRCUITOS DE CONTROL

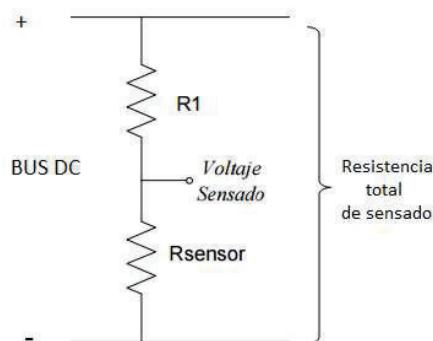
Se realiza el diseño de los circuitos de: sensado bus DC, disparo del inversor, acondicionamiento de las señales trifásicas de la red y circuito de sensado de los voltajes de salida generados.

### 2.2.1 CIRCUITO DE CONTROL Y SENSADO BUS DC

Este circuito consta de tres partes: divisor de voltaje, circuito de aislamiento, y circuito de comando del relé de carga y descarga automático realizado por un microcontrolador Atmega164p [22].

#### 2.2.1.1 Divisor de voltaje

La resistencia del sensado Figura 2.24 del bus dc debe ser lo suficientemente grande para que el consumo de potencia sea mínimo y no afecte al funcionamiento normal del sistema.



**Figura 2.24** Esquema divisor de voltaje para sensado bus dc

Entonces se asume una corriente por la resistencia de sensado de 4uA, por lo que se tiene:

$$I_{sensado} = \frac{V_{DC}}{R_{tot}} \quad (2.52)$$

$$R_{tot} = \frac{311V}{3\mu A}$$

$$R_{tot} = 103.66M\Omega$$

En la práctica se asume una resistencia total de 101MΩ. Entonces se tiene:

$$101M\Omega = R_1 + R_{sensor} \quad (2.53)$$

Para obtener el valor de  $R_{sensor}$  se analiza el divisor de voltaje dado por (2.54), donde se asume un voltaje sensado máximo de 3V.

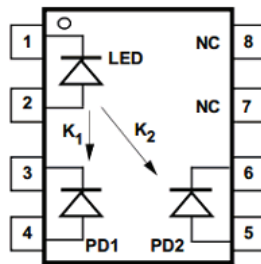
$$V_{sensado} = V_{DC} \cdot \frac{R_{sensor}}{R_1 + R_{sensor}} \quad (2.54)$$

$$R_{sensor} = 0.97M\Omega$$

En la práctica se asume una resistencia de  $1M\Omega$ . Y el voltaje máximo obtenido a la salida del divisor es de 2.91V.

### 2.2.1.2 Circuito de Aislamiento

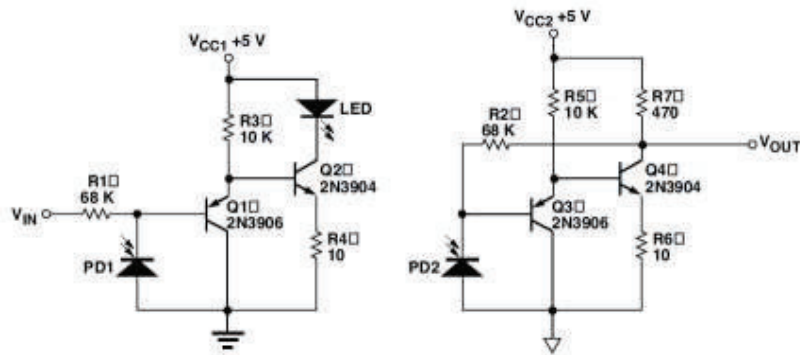
El circuito de aislamiento del sensado de voltaje del bus dc está hecho en base a un opto-acoplador lineal (señal analógica), se trata del circuito integrado HRNR200 (Figura 2.25) cuyo datasheet se encuentra en el [Anexo E.3](#).



**Figura 2.25** circuito integrado HCNR200 [27]

Mediante este integrado se logra aislar las referencias de la parte de potencia y del circuito de comando del relé de carga y descarga automática realizado por el microcontrolador Atmega164p. En la Figura 2.26 se muestra la configuración del circuito HRNR200 para aislar el voltaje analógico de entrada.





**Figura 2.26** Configuración básica HRNR200 para aislar referencias [27]

Donde el voltaje  $V_{in}$  es el voltaje que cae sobre  $R_{sensor}$  es decir  $V_{sensado}$ . Al realizar las pruebas de sensado del bus de DC, se observa que el voltaje sensado decae en su valor, esto se debe al desacople de impedancias, para lo que se añade un circuito seguidor emisor hecho a base del operacional LM358 que sirve como acoplador de impedancias [23]. Además en la práctica se observa la presencia de ruido en el sensado, por lo que se incorporó un filtro RC pasa bajos. Según se indica en [24] y [25] el filtro se calcula de acuerdo a la ecuación (2.55).

$$f_{corte} = \frac{1}{2\pi \cdot R \cdot C} \quad (2.55)$$

El filtro se coloca después de la resistencia de sensado. Asumiendo una frecuencia de corte de 1.5KHz y una resistencia de 1K $\Omega$ , se obtiene el valor de capacitancia requerida usando la ecuación (2.55).

$$C = \frac{1}{2\pi \cdot 1000 \cdot 1.5KHz}$$

$$C \approx 0.1\mu F$$

### 2.2.1.3 Circuito de comando del relé.

Este circuito de comando está hecho en base al microcontrolador Atmega164p [22]. La función del circuito es adquirir el voltaje acondicionado (sensado) y aislado (HCNR200) del bus dc, procesarlo y enviar una orden al relé cuando este se encuentre en un valor del 90% del voltaje de entrada es decir alrededor de 267 V como se indicó en el subcapítulo 2.1.6.2. Además se puede visualizar el voltaje

del bus dc en un LCD. Debido a la presencia de ruido en esta parte del circuito, también se colocan filtros RC pasa bajos en la entrada del canal analógico del microcontrolador y en la alimentación del LCD obteniendo una mejor respuesta del control del relé y de la visualización en el LCD. La descripción del programa utilizado en el microcontrolador se describe en el capítulo tres y el código de programa se muestra en el Anexo G.

#### **2.2.1.4 Circuito completo control y sensado bus dc.**

El esquemático del circuito total de sensado y control de la carga automática del bus dc se indica en el Anexo A Figura B.5.

### **2.2.2 CIRCUITO DE DISPARO DEL INVERSOR TRIFÁSICO**

Para comandar el inversor trifásico se necesita de un circuito de disparo que proporcione seis señales de activación que van conectadas a la compuerta de cada IGBT. El circuito de disparo total que se indica en la Figura 2.27 consta de tres partes: circuito de aislamiento de las señales SPWM que son enviadas desde la tarjeta de control principal, circuito de filtrado de ruido con mejoramiento de los flancos de disparo y circuito de generación de tierras independientes.

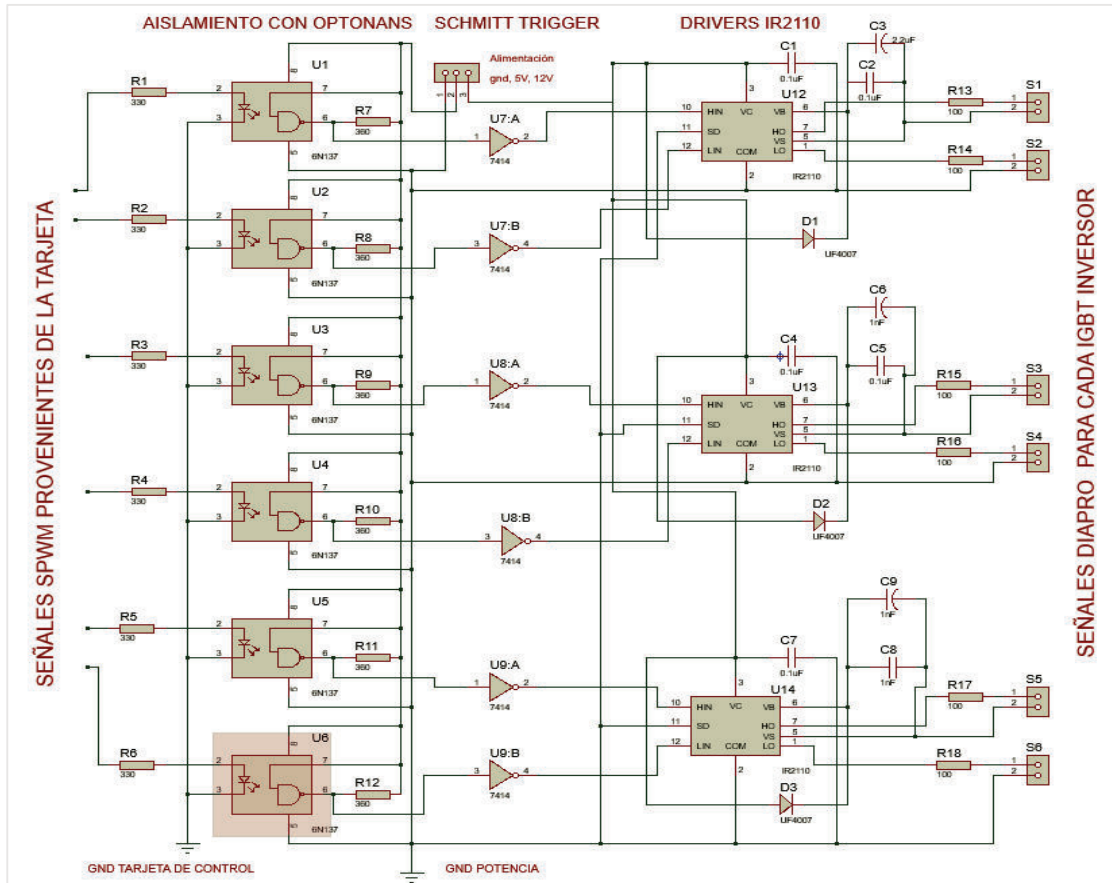
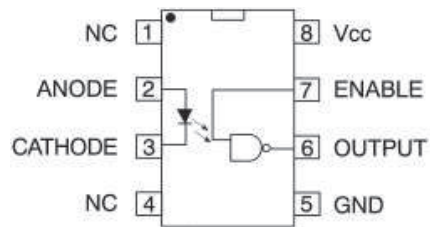


Figura 2.27 Circuito de disparo inversor trifásico

### 2.2.2.1 Circuito de aislamiento de las señales SPWM

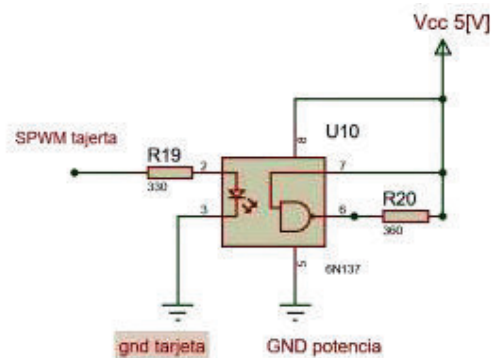
Como se menciona en el tercer capítulo, las señales SPWM se generan en una tarjeta SBRIO 9606 de National Instruments, por lo que es necesario aislar la referencia de esta tarjeta de la parte de potencia para protegerla de posibles daños.

Para llevar a cabo el aislamiento se hace uso del circuito integrado 6N137 (Figura 2.28) cuyo datasheet se encuentra en el Anexo E.4.



**Figura 2.28** Optonand 6N137 [27]

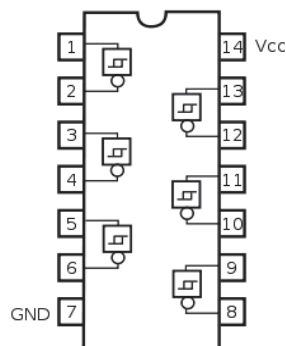
Este circuito integrado es una optonand aislada de rápida respuesta en comparación con los optotransistores comúnmente utilizados. El esquemático del circuito a implementar por cada señal de disparo se indica en la Figura 2.29.



**Figura 2.29** Circuito aislamiento en base al 6N137 [27]

### 2.2.2.2 Circuito filtrado de ruido y mejoramiento de flanco de disparo

Este circuito está hecho en base al disparador schmitt trigger 7414 (Figura 2.30) cuyo datasheet se encuentra en el Anexo E.8.



**Figura 2.30** Disparador schmitt trigger 7414 [27]

El circuito integrado 7414 es usado cuando en la entrada se puede tener niveles con ruido que pueden falsear los niveles de salida. Además debido a la alta velocidad de respuesta de este CI ( $t_{on}/t_{off}=19ns$ ) se obtienen salidas en los flancos de disparo mucho más verticales, lo que implica un mejor control de los IGBTs del inversor. El funcionamiento en detalle de un schmitt trigger se detalla en [26].

### 2.2.2.3 Circuito de generación de tierras independientes

Las seis señales de disparo del inversor deben tener el voltaje necesario para disparar cada interruptor y además estar referidas al emisor del IGBT, lo que implica que cada disparo debe tener su propia referencia. Esto se logra creando fuentes independientes para polarizar cada circuito de disparo o utilizando circuitos integrados que creen tierras flotantes para poder aislar las referencias. En este proyecto se usa el driver IR2110 (Figura 2.31) para crear referencias independientes de dos señales referidas con una misma tierra.

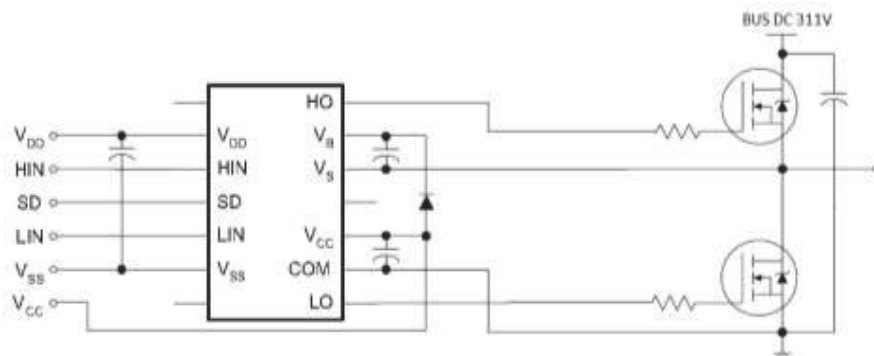
#### 2.2.2.3.1 Driver IR2110



**Figura 2.31** Driver IR2110 [27]

El driver IR2110 cuyo datasheet se encuentra en el Anexo E.2 es un integrado muy usado comercialmente en la conmutación de MOSFET's e IGBT's gracias a sus prestaciones. Este driver es capaz de sincronizar la conmutación de dos interruptores en un sistema síncrono. Se necesita de una pequeña circuitería bootstrap exterior para abastecer de suficiente corriente la puerta del MOSFET para su conmutación. Además este CI integrado al mismo tiempo proporciona el nivel de voltaje requerido para efectuar los disparos de los IGBTs ya que posee dos voltajes de alimentación: un voltaje  $V_{DD}$  de 5V que es el que alimenta la

circuitería de entrada y un voltaje  $V_{CC}$  de 12V para la parte de salida. El esquemático del circuito en base al driver IR2110 se indica en la Figura 2.32.



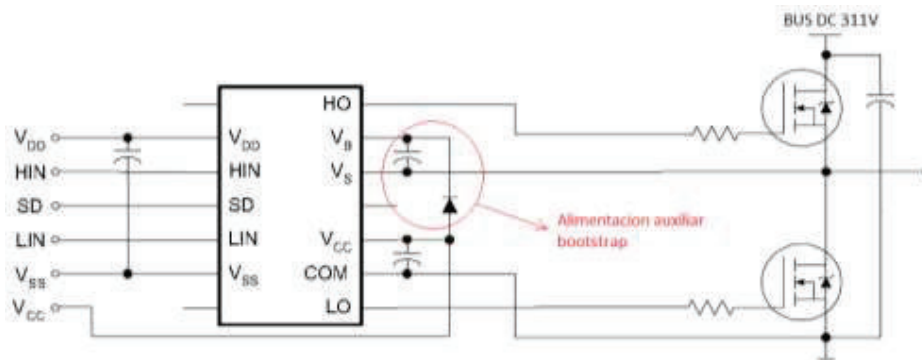
**Figura 2.32** Esquemático driver de disparo en base al IR2110 [27]

Las señales de entrada (provenientes de los schmitt triggers) van conectadas a los pines HIN (High input) y LIN (Low input).

Cada driver IR2110 puede manejar dos señales complementadas entre sí (interruptor superior e inferior) por lo que se necesita de un driver por cada ramal del inversor trifásico.

#### 2.2.2.3.2 Técnica bootstrap

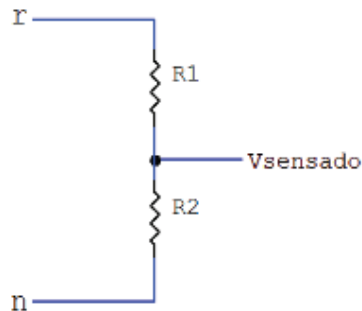
La técnica bootstrap [27] suministra la corriente instantánea necesaria para hacer conmutar el interruptor de potencia superior. Para esta técnica son necesarios un diodo rápido y un condensador como circuitería externa del driver de conmutación utilizado como se indica en la Figura 2.33.



**Figura 2.33** Alimentación bootstrap (Anexo E.2)

### 2.2.3 CIRCUITO DE ACONDICIONAMIENTO DE LAS SEÑALES TRIFÁSICAS DE LA RED

Las señales de la red son aisladas con tres transformadores de relación 120:12 para cada fase respectivamente como se indica en la Figura 2.35. Según las mediciones realizadas el voltaje pico a la salida de cada transformador es de alrededor de  $18.6V$ . Este valor debe ser reducido para poder ser ingresado en la tarjeta de control que admite valores de  $\pm 10V$ , por lo que se implementa un divisor de voltaje (Figura 2.34).



**Figura 2.34** Divisor de voltaje para sensado red

Para el diseño del divisor de voltaje se empieza asumiendo la corriente máxima que debe circular por el divisor, esta corriente debe ser pequeña para que el consumo de potencia sea mínimo. Se asume una corriente de  $470\mu A$ . Para un voltaje de entrada de  $18.6V$  aplicando la ley de ohm se tiene:

$$I_{tot} = \frac{V}{R_{tot}} \quad (2.56)$$

$$R_{tot} = 39 K\Omega$$

Ahora se desea tener un  $V_{sensado}$  máximo de  $2.5V$  para poder ser ingresado de forma segura a la tarjeta de control. Utilizando la ecuación (2.57) de divisor de voltaje y reemplazando los valores conocidos se tiene:

$$V_o = V_{in} \frac{R_2}{R_{tot}} \quad (2.57)$$

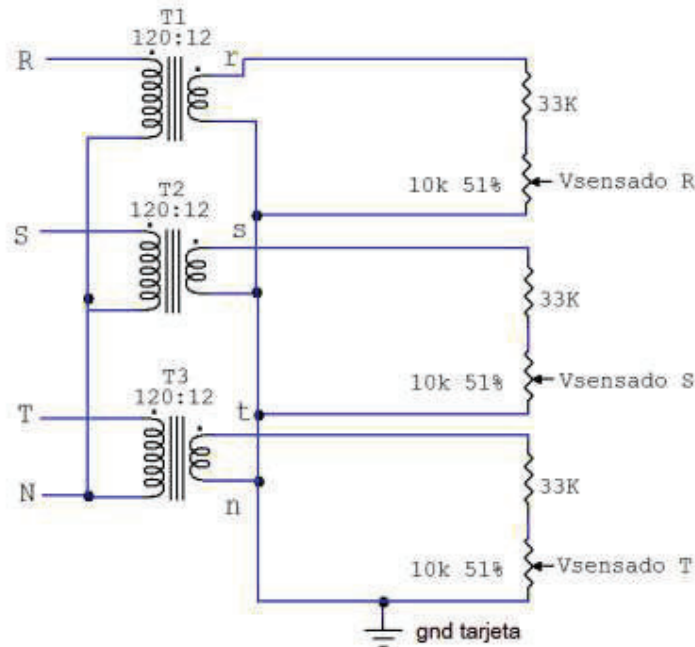
$$R_2 = 5.1 K\Omega$$

Por lo tanto restando  $R_2$  del valor de resistencia total se tiene el valor de  $R_1$ :

$$R_1 = 33K\Omega$$

En la práctica se coloca un potenciómetro de precisión de 10 K $\Omega$  para calibrar de una manera más fina y obtener el voltaje del divisor a 2.5V pico.

El esquemático del circuito total de sensado de las señales de la red se indica en la Figura 2.35.



**Figura 2.35** Circuito de sensado señales red trifásica

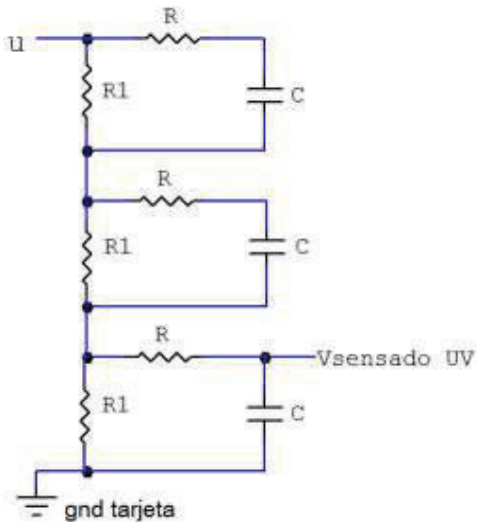
#### 2.2.4 CIRCUITO DE SENSADO VOLTAJES DE SALIDA GENERADOS

Los voltajes de salida generados de igual forma que en el sensado de la red son aislados a través de transformadores de relación 220:12 ya que se tomará los voltajes línea a línea, pues es el voltaje que se requiere monitorear y controlar.

Según las mediciones realizadas el voltaje rms a la salida de cada transformador es de alrededor de 24V para un voltaje rms de entrada de 220V. Por lo que también se requiere de un divisor de voltaje, pero como se trata de señales SPWM con alto contenido armónico y lo que se requiere es sensar la cantidad de Vrms de la fundamental se coloca un filtro pasa bajos, el cual forma parte del



divisor de voltaje. Por lo tanto se implementa un divisor de voltaje como el que se indica en la Figura 2.36.



**Figura 2.36** Divisor voltaje y filtro para sensado señal salida

Se coloca el filtro a cada resistencia del divisor para que a diferentes frecuencias del voltaje de salida la caída de voltaje en cada resistencia sea la misma.

Usando la ecuación (2.55) a una frecuencia de corte de 723Hz y una resistencia de 2.2KΩ se obtiene el valor del capacitor requerido:

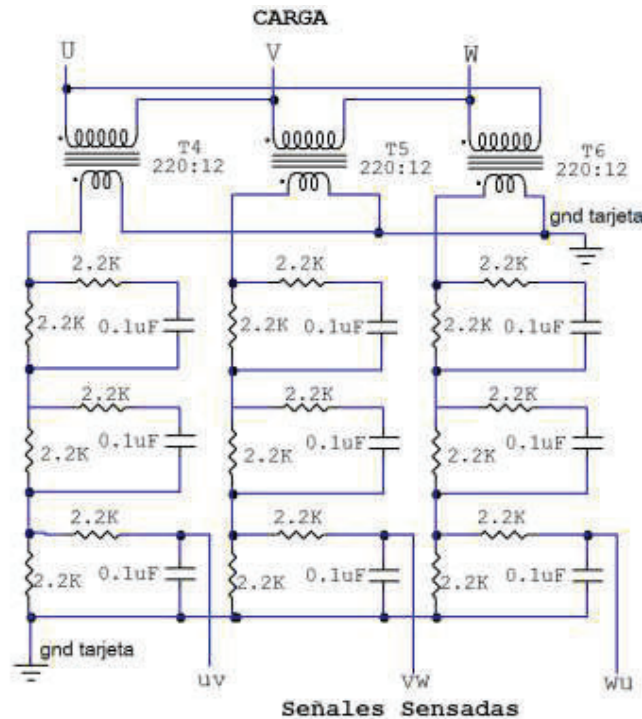
$$C = \frac{1}{2\pi \cdot 2.2K \cdot 720Hz}$$

$$C \approx 0.1\mu F$$

Para dimensionar  $R_1$  se asume una corriente pequeña de 4mA que circule por las tres resistencias. Para el voltaje sensado de 24V aplicando la ley de ohm se tiene el valor de  $R_1$ :

$$R_1 \approx 2.2K\Omega$$

De esta forma se obtiene el esquemático del circuito final de sensado de los voltajes de la carga mostrado en la Figura 2.37.



**Figura 2.37** Circuito sensado voltajes en la carga

## 2.2.5 FUENTES DE ALIMENTACIÓN REQUERIDAS

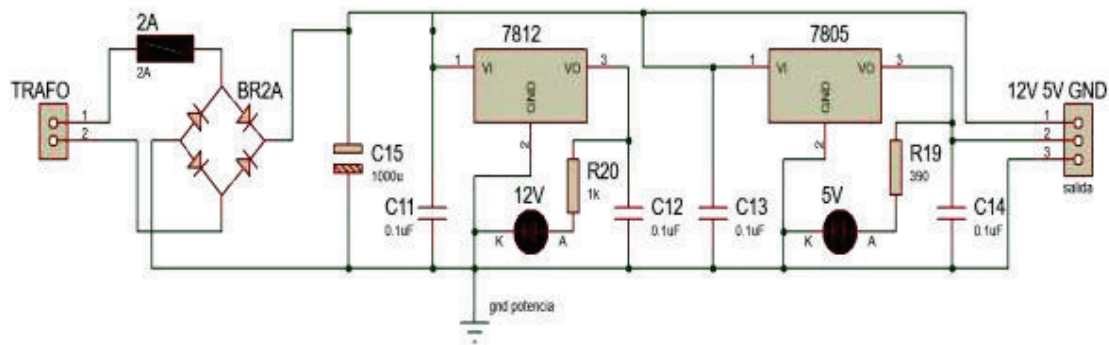
Para alimentar todos los circuitos de control, se requieren de cinco fuentes en total. Se ha escogido el uso de fuentes reguladas debido a su fácil implementación y calibración, a continuación se describen sus características y su uso.

### 2.2.5.1 Fuentes de circuito de disparo

El circuito de disparo requiere de dos fuentes que están alimentadas desde un mismo transformador, por lo que poseen una misma tierra que está conectada a la tierra de potencia.

- La fuente de 5V- 2A - sirve para energizar las 6 optonands 6N137, los 3 schmitt trigger's 7414, y la circuitería de entrada de los drivers IR 2110.
- La fuente de 12V- 1A para energizar las salidas de los 3 drivers IR2110.

El esquemático de las fuentes del circuito de disparo se indica en la Figura 2.38



**Figura 2.38** Circuito fuentes de disparo

### 2.2.5.2 Fuentes para sensado y control carga bus dc.

Para esta parte del circuito se necesitan tres fuentes:

- Fuente de 5V-1A para alimentar el sistema microprocesado que realiza el sensado del voltaje del bus de DC y el control de la activación y desactivación del relé que controla la carga o descarga del bus dc.
- Fuente de 5V- 1A para alimentar el circuito de asilamiento HCNR200.
- Fuente de 12V- 1A para activar el relé de 12V.

Los esquemáticos de las fuentes diseñadas se indican en el Anexo A.

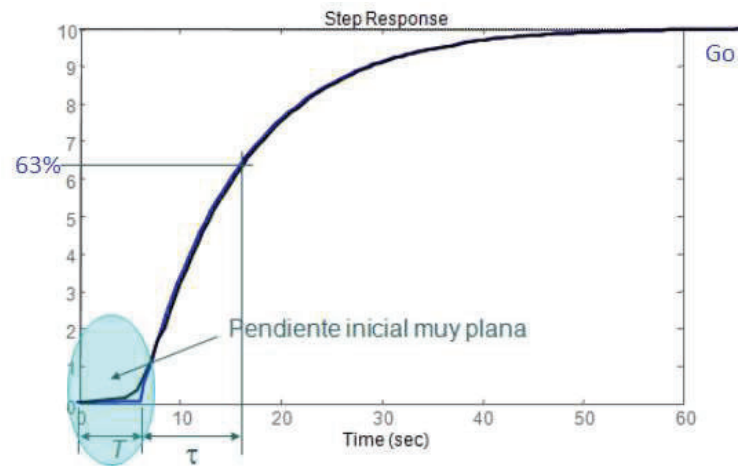
## 2.3 DISEÑO DEL CONTROL DEL VOLTAJE RMS FUNDAMENTAL POR MEDIO DE UN PI

Debido a los posibles cambios del voltaje del bus dc por fluctuaciones en la red eléctrica y a posibles modificaciones en la carga, el voltaje rms generado puede presentar un error, además como se mencionó en la sección 2.1.1 para obtener un voltaje rms de la fundamental mayor a 190V se necesita sobremodular. Por lo que para tener una respuesta veraz del voltaje rms de la fundamental de cada armónico generado se realiza un control del voltaje rms mediante de un controlador PI. Este PI actúa sobre el índice de modulación para controlar el voltaje fundamental generado.

### 2.3.1 OBTENCIÓN DEL MODELO DE LA PLANTA

Un sistema de primer orden con tiempo muerto de respuesta como indica la Figura 2.39 tiene la función de transferencia dada por (2.58) [28]:

$$G(s) = G_o \left( \frac{e^{-Ts}}{1 + \tau s} \right) \quad (2.58)$$

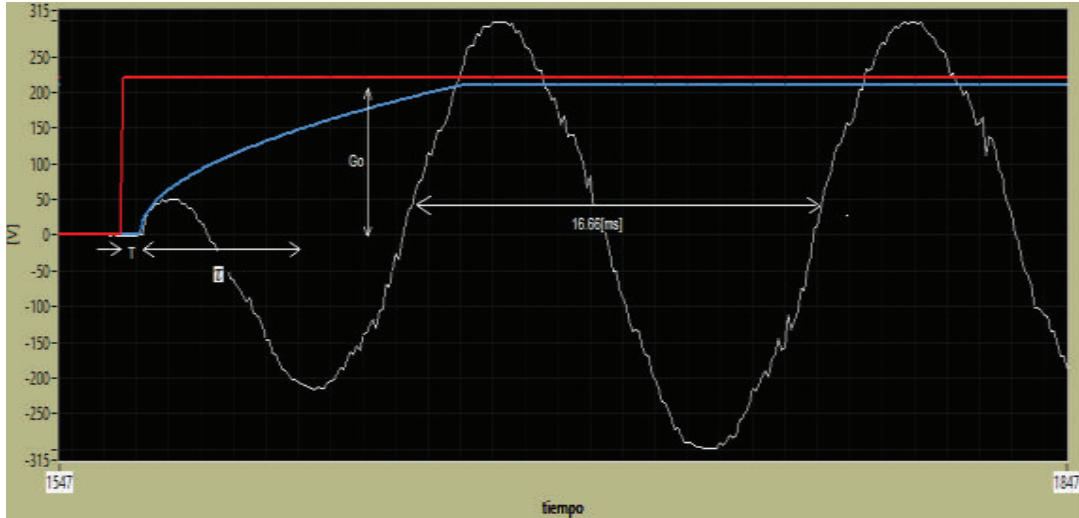


**Figura 2.39** Respuesta sistema de primer orden con tiempo muerto [28]

En donde:

- $G_o$  : Ganancia del sistema.
- $\tau$  : Constante de tiempo, es el tiempo en el cual la respuesta alcanza el 63% de la salida.
- $T$  : Tiempo muerto o de retardo.

En la Figura 2.40 se muestra la respuesta del sistema real en lazo abierto ante una entrada escalón de 220Vrms (señal roja), la señal azul muestra la evolución del voltaje rms de la señal generada (señal blanca). Mediante el análisis de esta respuesta se realiza la estimación del modelo de la planta que resulta ser un sistema de primer orden con la presencia de un tiempo muerto de respuesta.



**Figura 2.40** Respuesta ante entrada paso del sistema real

Como se puede observar existe un error de posición el cual debe ser corregido por el controlador. Según las mediciones obtenidas se tiene:

- $T = 1.2\text{ms}$
- $\tau = 4\text{ms}$
- $G_o = 210/220 = 0.954$

Con lo que según la ecuación (2.58) la función de transferencia estimada de la planta es:

$$G(s) = 0.954 \left( \frac{e^{-0.0012s}}{1 + 0.004s} \right) \quad (2.59)$$

La parte exponencial que representa el retardo puede ser expresada por un polo y un cero mediante la aproximación de Pade de primer orden como indica la ecuación (2.60).

$$e^{-Ts} = \frac{1 - \frac{T}{2}s}{1 + \frac{T}{2}s} \quad (2.60)$$

Desarrollando se tiene:

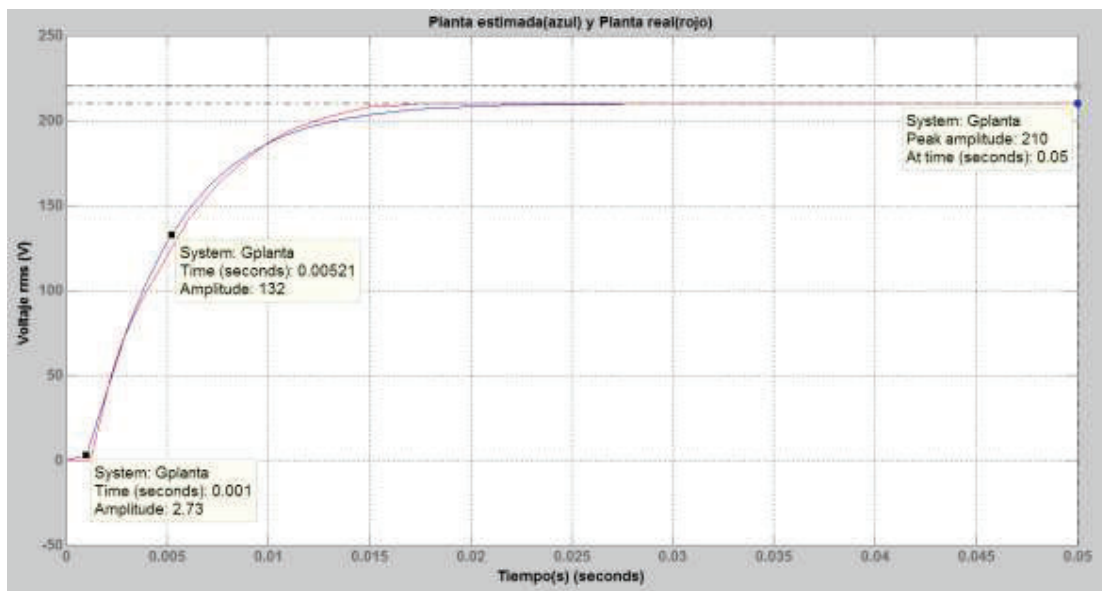
$$e^{-0.0012s} = \frac{-s + 1667}{s + 1667} \quad (2.61)$$

Con esto se obtiene una función de transferencia de la planta según la ecuación (2.64).

$$G(s) = \frac{-0.954s + 1591}{0.004s^2 + 7.667s + 1667} \quad (2.62)$$

### 2.3.2 VALIDACIÓN DEL MODELO

Mediante el uso de un software computacional como Matlab se analiza la respuesta del modelo estimado y la respuesta del modelo real como se indica en la Figura 3.16.



**Figura 2.41** Respuesta modelo estimado (azul) y planta real (rojo)

Los valores medidos son:

- $T = 1.0\text{ms}$
- $\tau = (5.21-1.0)\text{ms} = 4.2\text{ms}$
- $G_o = 210/220 = 0.954$

Como se puede observar en la Figura 2.41 la respuesta del modelo estimado se asemeja en gran medida al modelo real por lo que los valores medidos de  $T$ ,  $\tau$  y  $G_o$  del modelo estimado son similares a los de la respuesta del modelo real. Con esto se valida la función de transferencia obtenida dada por la ecuación (2.62).

### 2.3.3 APROXIMACIÓN MODELO DE LA PLANTA

Aunque la función de transferencia estimada de la planta es de segundo orden si se analiza el lugar geométrico de las raíces que se indica en la Figura 2.42, se ve que posee un polo dominante ubicado en  $s=-250$  ya que el otro está muy alejado en  $s=-1.67 \times 10^3$  [28]. Por lo que el modelo se puede aproximar para fines prácticos de diseño del controlador a un modelo de primer orden cuyo lugar geométrico se observa en la Figura 2.43.

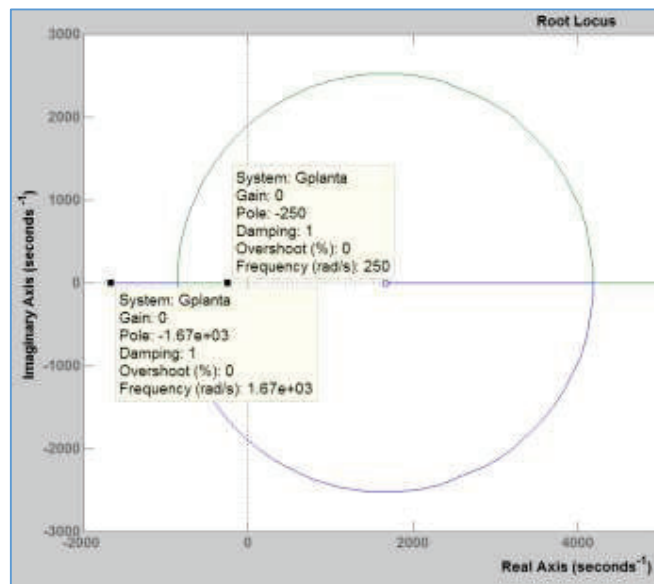


Figura 2.42 Lugar geométrico de las raíces del modelo estimado

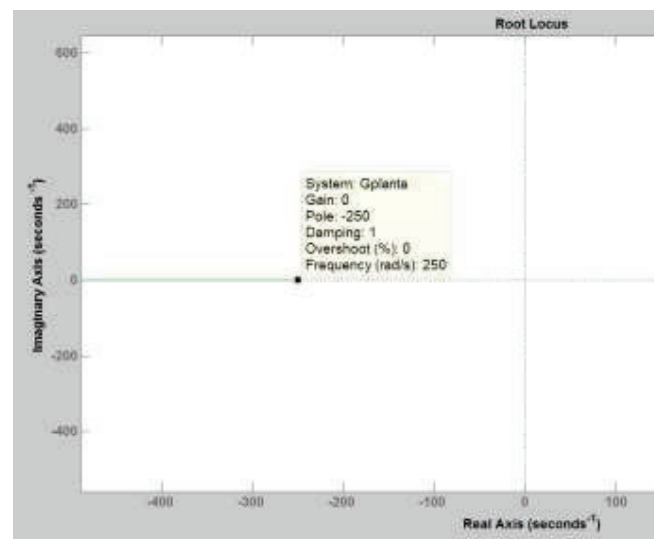
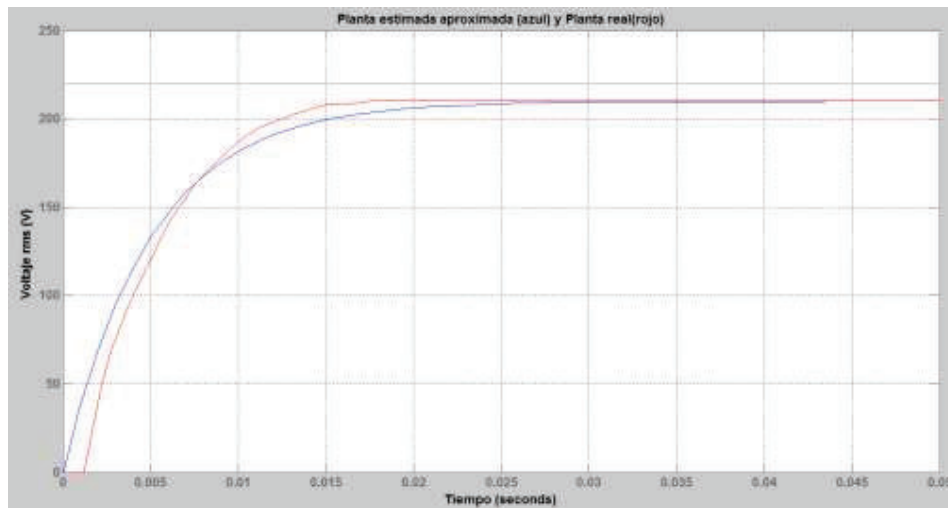


Figura 2.43 Lugar geométrico de las raíces modelo aproximado

Como se puede observar en la Figura 2.44 la respuesta del modelo aproximado también se asemeja en gran medida a la respuesta del modelo real. Por lo tanto el modelo de la planta utilizado para el diseño del controlador es el indicado en la ecuación (2.63).

$$G(s) = \frac{0.954}{0.004s + 1} \quad (2.63)$$



**Figura 2.44** Respuesta modelo aproximado (azul) y planta real (rojo)

### 2.3.4 DISEÑO DEL CONTROLADOR PI

La acción de control de un controlador PI [28] [29] viene dada por la ecuación (2.64).

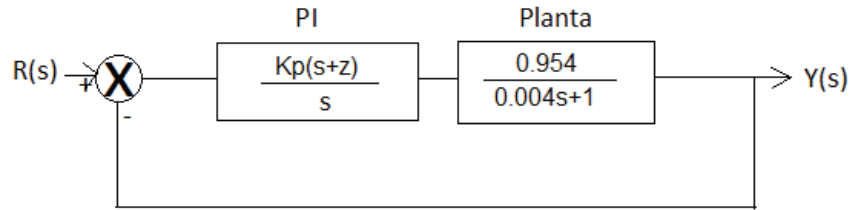
$$U_t = K_p \left( e_t + \frac{1}{T_i} \int_0^t e(\tau) d\tau \right) \quad (2.64)$$

De donde la función de transferencia está dada por la ecuación (2.65).

$$C_{(s)} = \frac{U_s}{E_s} = K_p \left( \frac{s + \frac{1}{T_i}}{s} \right) \quad (2.65)$$

El sistema controlador-planta está representado según el diagrama de bloques indicado en la Figura 2.45.





**Figura 2.45** Diagrama de bloques sistema controlador planta

En donde:

$$z = \frac{1}{T_i} \quad (2.66)$$

El primer objetivo del controlador es el de obtener un error en estado estable de 0% lo que se logra automáticamente debido al integrador, además ya que se realiza el control del voltaje rms se ha considerado un tiempo de establecimiento de dos periodos de la onda de 60 Hz es decir 33.33ms. Con esto se tiene los siguientes parámetros de diseño.

- $E_p = 0\%$
- $T_s \leq 33.33\text{ms}$
- $M_p = 0\%$

Usando el método de cancelación de polos se determina el cero del PI en el punto que representa el polo de la planta que es  $-1/0.004 = -250$ . Por lo tanto según la ecuación (2.65) se tiene:

$$C(s) = K_p \left( \frac{s + 250}{s} \right) \quad (2.67)$$

Con esto, la función de transferencia en lazo cerrado del sistema controlador-planta queda expresada en la ecuación (2.68).

$$\frac{Y(s)}{R(s)} = \frac{1}{\frac{1}{238.5K_p} s + 1} \quad (2.68)$$

Como se puede observar se trata de una función de transferencia de primer orden con ganancia unitaria, con lo que se consiguen los parámetros de  $M_p=0\%$  y  $E_p=0\%$ . La constante de tiempo  $\tau$  está dada por (2.69).

$$\tau = \frac{1}{238.5Kp} \quad (2.69)$$

El tiempo de establecimiento de un sistema de primer está dado por (2.70).

$$ts = 4 \cdot \tau \quad (2.70)$$

Reemplazando (2.70) en (2.69) se tiene:

$$Kp = \frac{4}{238.5 \cdot ts} \quad (2.71)$$

Según las especificaciones determinadas para un  $ts = 33.33ms$  se tiene una ganancia de:

$$Kp = 0.51$$

Por lo tanto la función de transferencia del controlador PI diseñado queda expresada en la ecuación (2.72).

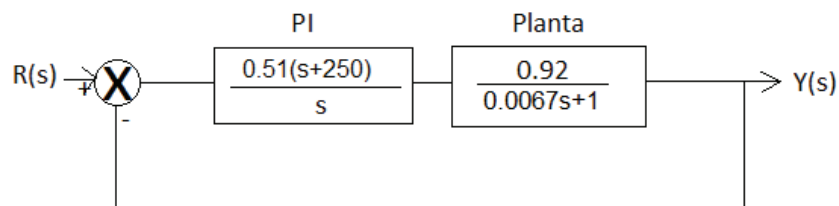
$$C(s) = 0.51 \left( \frac{s + 250}{s} \right) \quad (2.72)$$

En donde:

$$\begin{aligned} Kp &= 0.51 \\ Ti &= 0.004 \end{aligned}$$

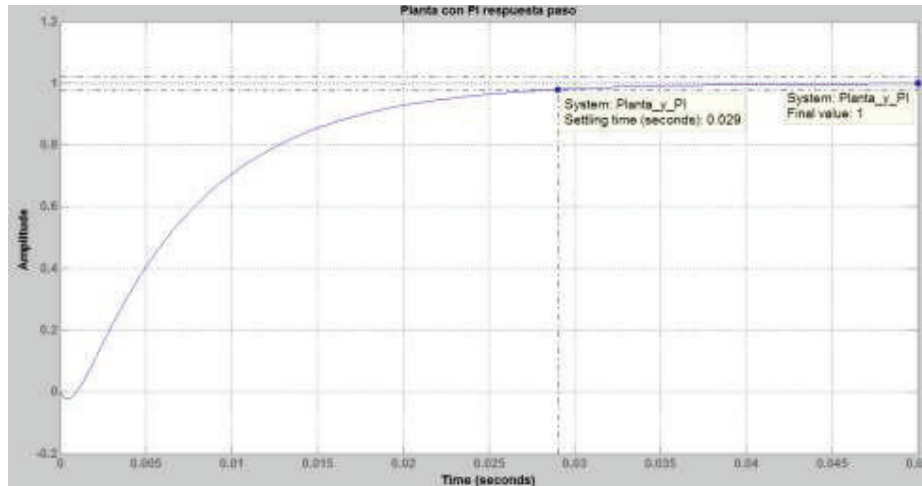
### 2.3.5 ANALISIS EN MATLAB DEL PI DISEÑADO

El sistema controlador-planta queda expresado como se indica en la Figura 2.46.



**Figura 2.46** Diagrama de bloques sistema controlador planta con PI diseñado

Implementando el modelo indicado en la Figura 2.46 en Matlab se analiza la respuesta del sistema ante una entrada paso, la forma de onda obtenida se indica en la Figura 2.47.

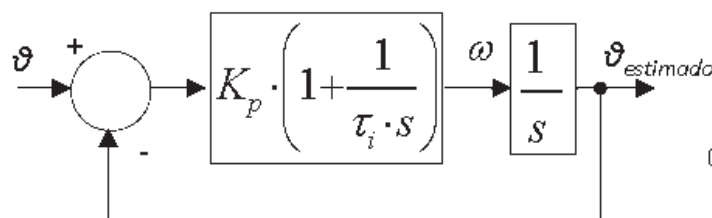


**Figura 2.47** Respuesta sistema controlador planta con PI diseñado (análisis realizado en Matlab)

Como se puede observar en la Figura 2.47 se obtiene una respuesta con  $E_p=0\%$ , un  $M_p=0\%$  y  $t_s=29\text{ms}$  (menor a  $33\text{ms}$ ), por lo tanto se valida el PI y se parte de este diseño para la implementación y calibración práctica del mismo.

## 2.4 DISEÑO DEL PLL SRF

Como se indicó en el subcapítulo 1.3.2.1 el modelo del PLL SRF indicado en la Figura 2.48 Modelo PLL SRF está determinado por las ecuaciones (2.73) y (2.74) y (2.75).



**Figura 2.48** Modelo PLL SRF [8]

$$\frac{\theta_{estimado}(s)}{\theta} = \frac{K_p \cdot s + \frac{K_p}{\tau_i}}{s^2 + K_p \cdot s + \frac{K_p}{\tau_i}} \quad (2.73)$$

$$\varepsilon = \frac{\omega_n \tau_i}{2} \quad (2.74)$$

$$\omega_n = \sqrt{\frac{K_p}{\tau_i}} \quad (2.75)$$

Además se conoce que el tiempo de establecimiento de un sistema de segundo orden está dado por (2.76).

$$ts = \frac{4}{\varepsilon\omega_n} \quad (2.76)$$

Se escoge un tiempo de establecimiento de 16.66ms correspondiente al periodo de la frecuencia fundamental, con esto se logrará filtrar las componentes armónicas en la red que se puedan transmitir hasta el sensado utilizado en la sincronización. Además se escoge un valor del coeficiente de amortiguamiento de 0.707 que proporciona un equilibrio entre velocidad y estabilidad. De esta manera reemplazando  $ts$  y  $\varepsilon$  establecidos en (2.76) se obtiene:

$$\omega_n = 339.6$$

Con lo que dé (2.74) y (2.75) se puede obtener el valor  $\tau_i$  y  $K_p$  respectivamente:

$$\tau_i = 4.16ms$$

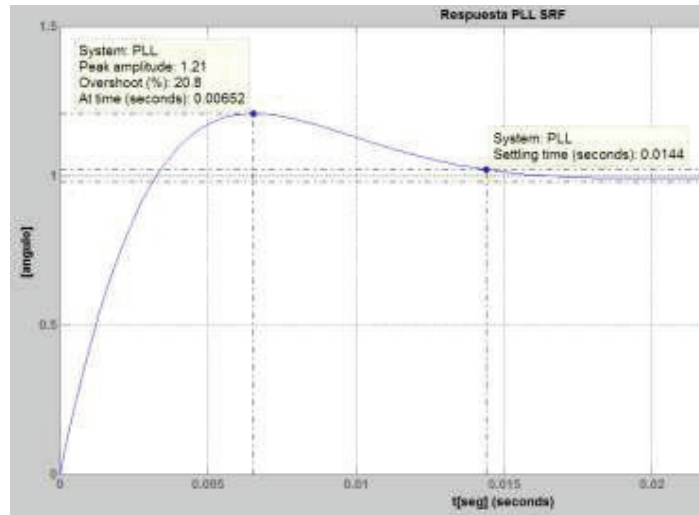
$$K_p = 480$$

Por lo tanto la función de transferencia del PLL queda según (2.77):

$$\frac{\theta_{estimado}(s)}{\theta} = \frac{480 \cdot s + 115384}{s^2 + 480 \cdot s + 115384} \quad (2.77)$$

#### 2.4.1 RESPUESTA DEL MODELO PLL SRF DISEÑADO EN MATLAB

Implementando el modelo de la ecuación (2.77) en Matlab se obtiene la respuesta que se indica en la Figura 2.49.



**Figura 2.49** Respuesta de Modelo PLL SRF diseñado (análisis realizado en Matlab)

Se puede observar que se cumple la condición del tiempo de establecimiento determinado, por lo tanto se parte de este diseño del PLL SRF para la implementación y calibración práctica del mismo.

## 2.5 COMPENSACIÓN DE FASE PARA SINCRONIZACIÓN CON VOLTAJES LÍNEA A LÍNEA

La señal obtenida del PLL es una señal triangular sincronizada con el voltaje línea- neutro de la red es decir con el voltaje  $V_{AN}$ , sin embargo se requiere una sincronización con el voltaje línea-línea. Para el caso del primer armónico (60 Hz) la sincronización se cumple sin problemas, no obstante para el resto de armónicos generados los voltajes línea - línea necesitan una compensación de fase ya que debido a la diferencia de frecuencias estos voltajes no salen en sincronía con los voltajes línea a línea de la red.

Se conoce que los voltajes fase neutro de las señales trifásicas de 60Hz de la red obedecen a las ecuaciones:

$$V_{AN} = V_p \text{sen}(120\pi \cdot t) \quad (2.78)$$

$$V_{BN} = V_p \text{sen}\left(120\pi \cdot t - \frac{2\pi}{3}\right) \quad (2.79)$$

$$V_{CN} = V_p \text{sen}\left(120\pi \cdot t + \frac{2\pi}{3}\right) \quad (2.80)$$

En donde  $V_p$  es el voltaje pico. El voltaje línea-línea del primer armónico (60Hz) está dado por (2.81).

$$V_{AB(60Hz)} = \sqrt{3}V_p \text{sen} \left( 120\pi \cdot t + \frac{\pi}{6} \right) \quad (2.81)$$

Los voltajes fase neutro del tercer armónico (180Hz) están dados por las ecuaciones:

$$V_{AN} = V_p \text{sen}(360\pi \cdot t) \quad (2.82)$$

$$V_{BN} = V_p \text{sen} \left( 360\pi \cdot t - \frac{2\pi}{3} \right) \quad (2.83)$$

$$V_{CN} = V_p \text{sen} \left( 360\pi \cdot t + \frac{2\pi}{3} \right) \quad (2.84)$$

Por lo tanto el voltaje línea-línea para el tercer armónico (180Hz) está dado por (2.85).

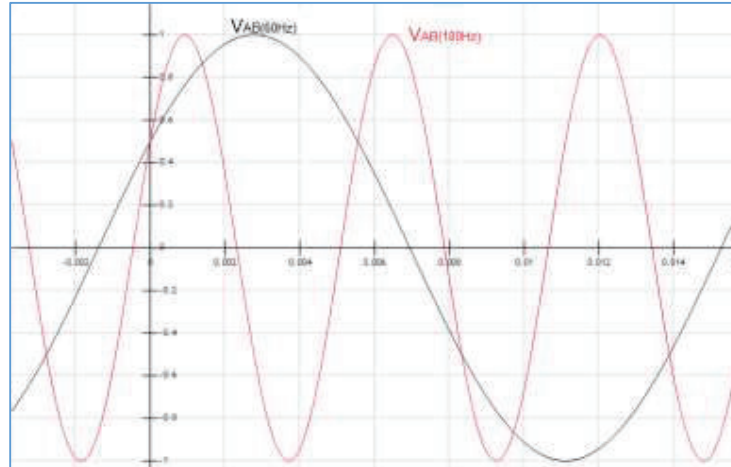
$$V_{AB(180Hz)} = \sqrt{3}V_p \text{sen} \left( 360\pi \cdot t + \frac{\pi}{6} \right) \quad (2.85)$$

Realizando el mismo análisis se puede obtener las ecuaciones que representen a los voltajes línea a línea del quinto (300Hz) y séptimo armónico (420Hz) dadas por las ecuaciones (2.86) y (2.87) respectivamente.

$$V_{AB(300Hz)} = \sqrt{3}V_p \text{sen} \left( 600\pi \cdot t + \frac{\pi}{6} \right) \quad (2.86)$$

$$V_{AB(420Hz)} = \sqrt{3}V_p \text{sen} \left( 840\pi \cdot t + \frac{\pi}{6} \right) \quad (2.87)$$

Graficando las ecuaciones (2.81) y (2.85) como se indica en la Figura 2.50 se observa que el voltaje línea-línea del tercer armónico presenta un desfase en atraso.



**Figura 2.50** Gráficas de las funciones  $V_{AB(60Hz)}$  (negro) y  $V_{AB(180Hz)}$  (rojo)

Para encontrar este desfase en el tiempo se iguala las ecuaciones (2.81) y (2.85) a cero respectivamente, se determina el tiempo del cruce por cero de cada onda y se calcula la diferencia de tiempos. De la ecuación (2.81) se tiene:

$$\sqrt{3}V_p \text{sen}\left(120\pi \cdot t + \frac{\pi}{6}\right) = 0$$

$$t = 1.38ms$$

De la ecuación (2.85) se tiene:

$$\sqrt{3}V_p \text{sen}\left(360\pi \cdot t + \frac{\pi}{6}\right) = 0$$

$$t = 0.46ms$$

Por lo tanto la diferencia de fase en tiempo es:

$$\Delta t = 0.925ms$$

Realizando una simple regla de tres se calcula el correspondiente desfase en grados respecto al tercer armónico (180Hz):

$$\frac{(1/180)s}{360^\circ} = \frac{0.925ms}{x}$$

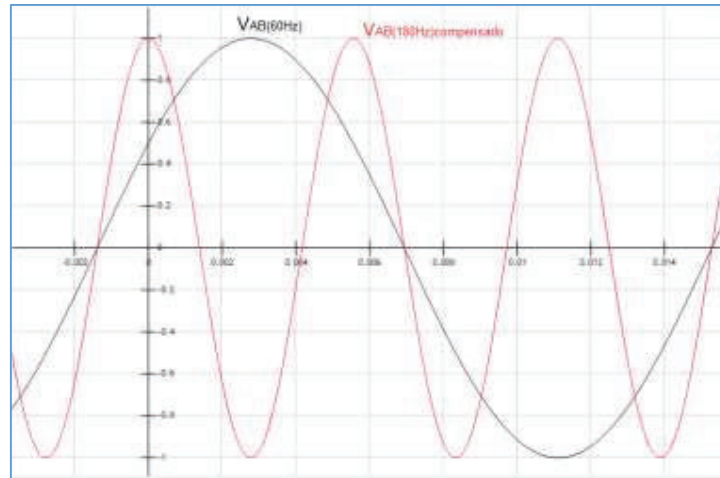
$$x = 60^\circ$$

Por lo tanto el ángulo de compensación del tercer armónico para lograr la sincronización con la tensión línea a línea de la red es de  $60^\circ$  o  $\pi/3 \text{ rad}$

Con esto la ecuación del voltaje línea a línea del tercer armónico compensado está dada por (2.88).

$$V_{AB(180\text{Hz})comp} = \sqrt{3}V_{sen} \left( 360\pi \cdot t + \frac{\pi}{6} + \frac{\pi}{3} \right) \quad (2.88)$$

Según las gráficas de las ecuaciones (2.81) y (2.88) que se indican en la Figura 2.51 se observa que efectivamente se corrige el desfase y se da la sincronización.



**Figura 2.51** Gráficas de las funciones  $V_{AB(60\text{Hz})}$  (negro) y  $V_{AB(180\text{Hz})comp}$  (rojo)

De forma similar a lo realizado para el tercer armónico se realiza el análisis para la compensación del desfase en los voltajes línea-línea para el quinto y séptimo armónico. En la Tabla 2.1 se muestran los valores del ángulo de compensación necesario para la sincronización de cada armónico generado.

**Tabla 2.1** Valores del desfase necesario para la sincronización de los voltajes línea a línea del armónico generado con los voltajes línea a línea de la red.

Nº armónico	Desfase en ms	Desfase en grados respecto al armónico	Desfase en radianes respecto al armónico
1ero(60Hz)	0	0	0
3ero(180Hz)	0.952	60	$\pi/3$
5to(300Hz)	1.11	120	$2\pi/3$
7mo(300Hz)	1.19	180	$\pi$



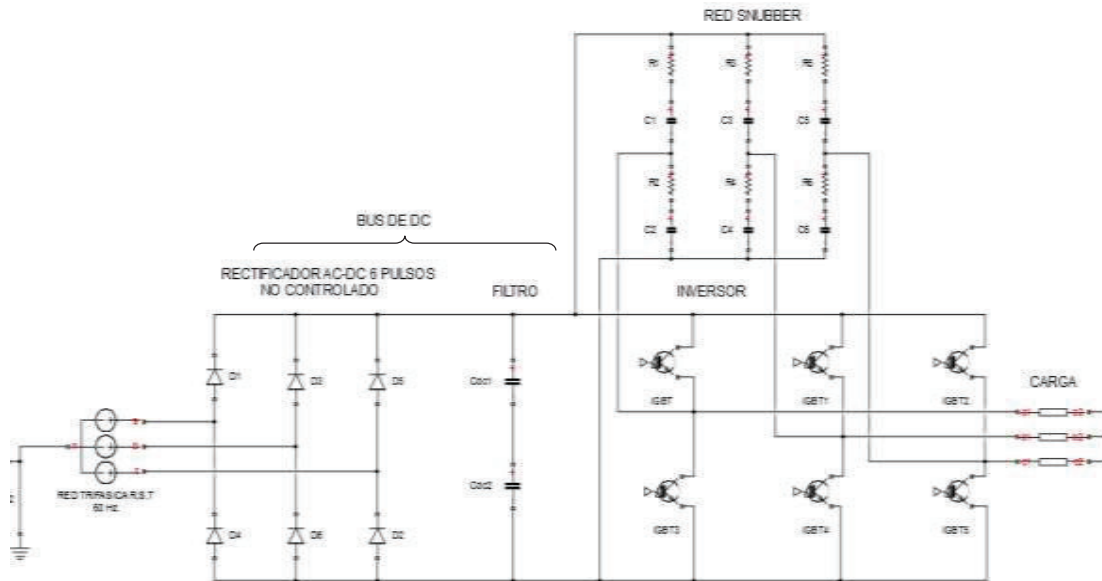
## **2.6 SIMULACIÓN GENERADOR DE ARMÓNICOS TRIFÁSICO**

### **2.6.1 SIMPOWERSYSTEMS DE SIMULINK MATLAB**

SimPowerSystems de Simulink Matlab proporciona bibliotecas de componentes y herramientas de análisis para modelar y simular sistemas de energía eléctrica. Incluye modelos de componentes de energía eléctrica, máquinas trifásicas, accionamientos eléctricos y componentes para aplicaciones tales como sistemas de transmisión y sistemas de energía renovable. SimPowerSystems da la opción de realizar el análisis del espectro armónico, el cálculo de la distorsión armónica total (THD), el flujo de carga y otros análisis clave del sistema de energía eléctrica, ayudando a investigar el rendimiento del diseño [30]. La simulación total del sistema “Generador de Armónicos Trifásico” se encuentra en el CD anexo a esta tesis.

### **2.6.2 CIRCUITO DE POTENCIA**

Este circuito (Figura 2.52) representa la parte de potencia del sistema generador de armónicos, consta del bus de dc que comprende el rectificador de 6 pulsos no controlado y el filtro capacitivo, el inversor trifásico que utiliza como dispositivos de conmutación IGBTs, la red snubber de tipo RC, y la carga. Todos los valores de los elementos que se utiliza en la simulación como la carga o los elementos de la red snubber corresponden a los valores obtenidos en la parte de diseño.



**Figura 2.52** Circuito de potencia

## 2.6.3 CIRCUITOS DE CONTROL

### 2.6.3.1 Circuito de sincronización PLL SRF con la red trifásica

Este circuito consta de un sensado de la red eléctrica que da como resultado señales a, b, c acondicionadas para ser ingresadas al bloque de control vectorial  $abc$  a  $dq$ . La salida de este bloque constituye la señal triangular  $\omega t$  que como se indicó en el subcapítulo 1.3.2 es la que será manipulada para obtener las señales modulantes de los armónicos. Las constantes del filtro PI fueron calibradas según el diseño del PLL SRF visto en el subcapítulo 2.4 donde se obtuvieron los valores de  $\tau_i = 4.16ms$  y  $K_p = 480$ .

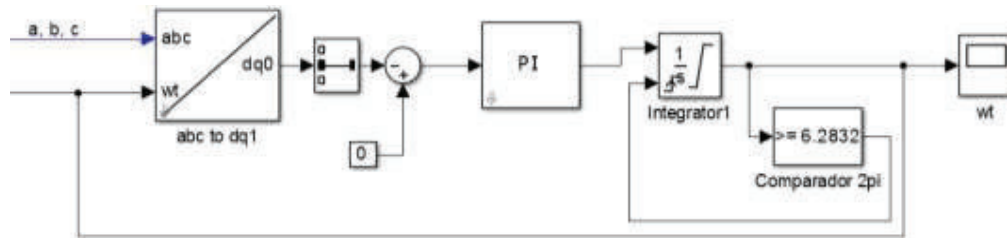
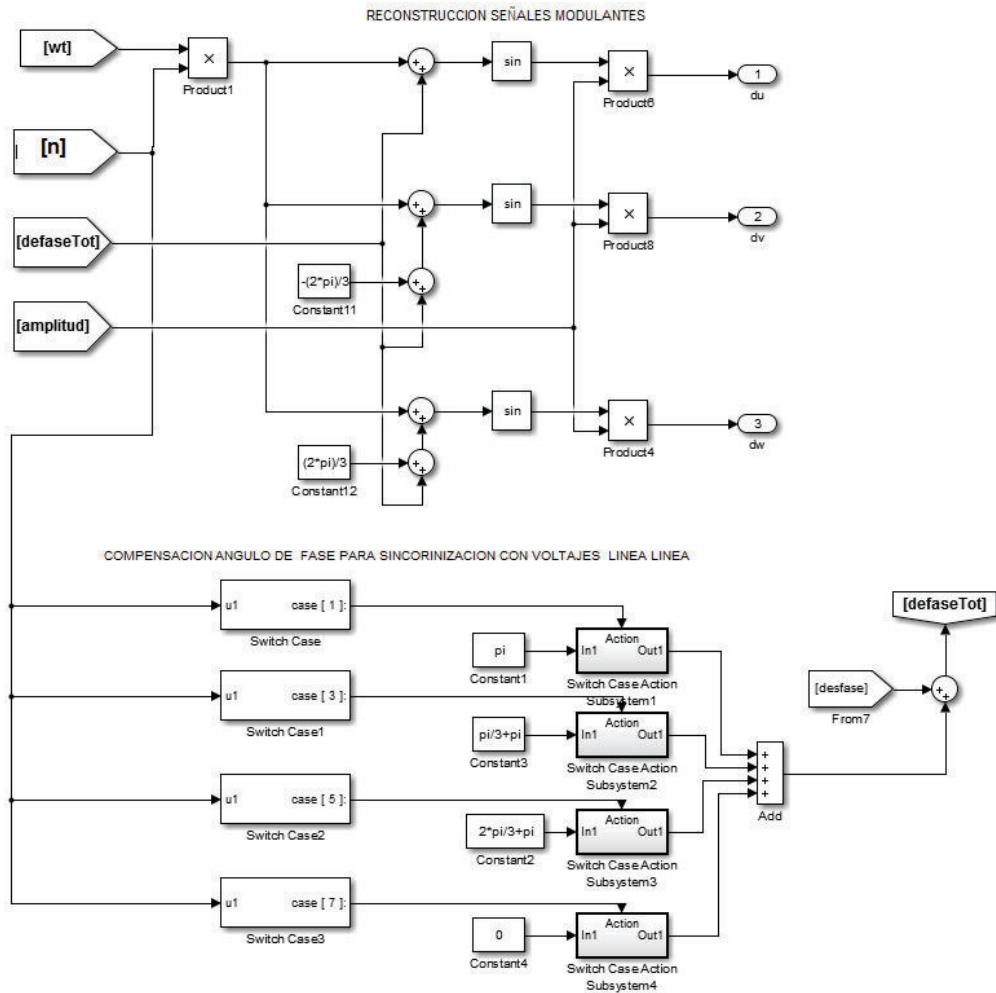


Figura 2.53 PLL SRF implementado en simulink

### 2.6.3.2 Generación de las señales modulantes

En este circuito (Figura 2.54) se realiza la construcción de las señales modulantes a partir de la señal triangular  $wt$  obtenida del bloque PLL SRF. A esta señal triangular se la multiplica por el número de armónico de tal manera que ahora varía de 0 a " $n$ " veces  $2\pi$ , siendo " $n$ " el número de armónico, posteriormente se le suma el desfase seteado, haciendo que ya no parta desde 0 sino desde el desfase escogido, luego se le aplica el seno, para finalmente multiplicarla por el valor de la amplitud que varía de 0 a 1 obteniendo la señal modulante.

Además en este circuito (Figura 2.54) también consta la compensación de fase necesaria para la sincronización con los voltajes línea a línea de la red que se explicó en el subcapítulo 2.5.



**Figura 2.54** Circuito generación modulantes y compensación de fase para sincronización con voltajes línea a línea de la red

### 2.6.3.3 Circuito de disparo

Este circuito (Figura 2.55) constituye la modulación SPWM y activación de los IGBTs. Se toma las señales modulantes  $du$   $dv$   $dw$  del bloque anterior (Figura 2.54) y se las compara con la onda triangular para obtener las señales PWM de disparo de los IGBTs del inversor.

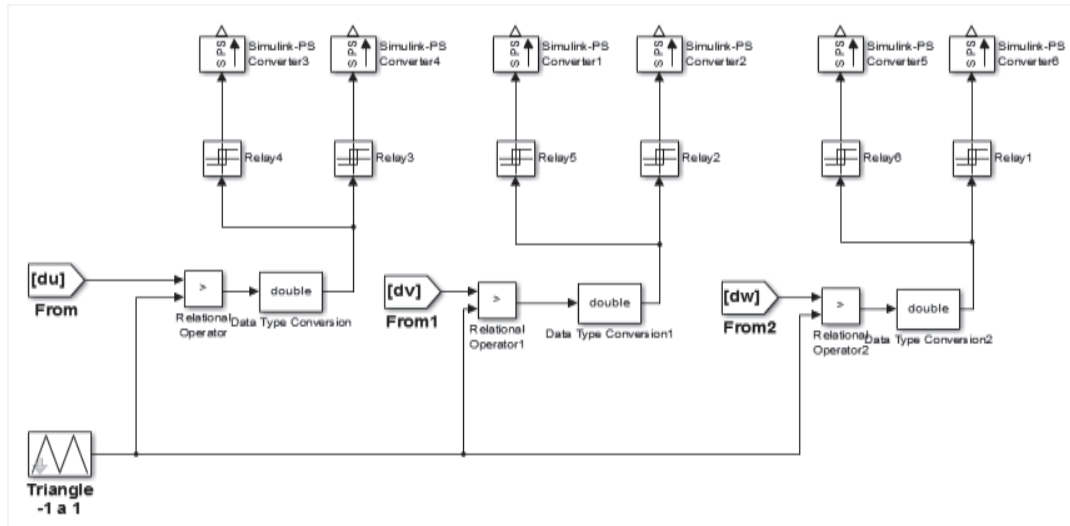
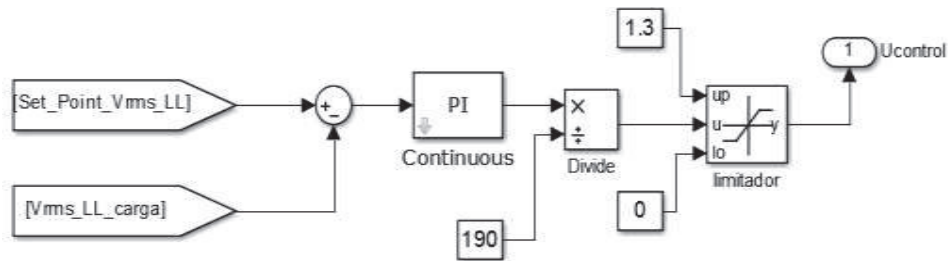


Figura 2.55 Circuito disparo IGBTs.

#### 2.6.3.4 Controlador PI del Vrms fundamental.

Según el diseño realizado en el subcapítulo 2.3 donde se obtuvieron los valores de  $K_p = 0.84$  y  $T_i = 0.0067$  se implementa el controlador PI del voltaje rms fundamental en la simulación. El set point o consigna es el valor rms del voltaje fundamental deseado y varía de 0V a 220V. La señal realimentada del sistema es el voltaje rms fundamental en la carga que se obtendrá a través de un filtro pasa bajos, filtro implementado en base al diseño indicado en el capítulo 2.2.4. El PI toma la señal del error dada por la diferencia entre el voltaje fundamental rms seteado y el sensado y genera una señal de control  $U_{control}$ , esta señal de control es normalizada dividiéndola para 190 ya que de 0V a 190V corresponde a un índice de modulación de 0 a 1 (revisar subcapítulo 2.1.1) y así obtener una señal de control que actúe sobre el índice de modulación del inversor. Esta salida pasa por un limitador para evitar que la acción del controlador sobrepase un índice de modulación máximo de 1.3 [11]. El bloque del PI implementado en la simulación se indica en la Figura 2.56.



**Figura 2.56** PI implementado en simulink

#### 2.6.4 SISTEMA COMPLETO

El sistema completo del generador de armónicos simulado se muestra en la Figura 2.58 donde cada bloque corresponde a los subsistemas indicados anteriormente. Este esquema también sirve como guía para la parte de implementación y sobre todo en la parte de programación del software de la tarjeta de control principal SBRIO 9606 (capítulo 3) ya que se realizará la programación en Labview que utiliza programación gráfica muy similar a la de simulink de Matlab.

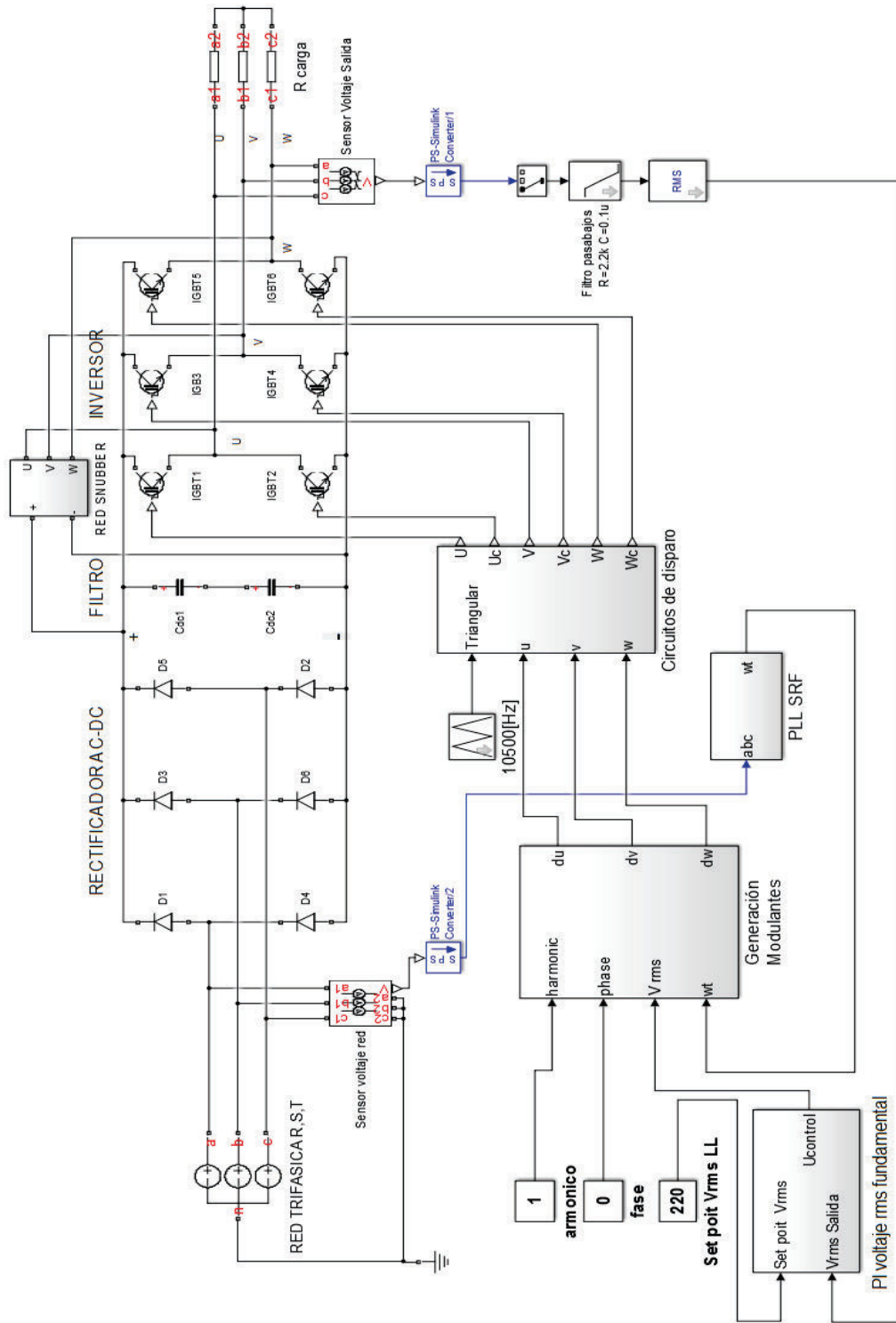


Figura 2.57 Generador de Armónicos Trifásico simulado en Simulink Matlab

## 2.6.5 RESULTADOS SIMULACIÓN

Los resultados de la simulación se los realiza utilizando los diferentes bloques de medición que dispone Simulink Matlab y además la herramienta “POWER GUI” que permite analizar la respuesta de circuitos de potencia, como la transformada rápida de fourier FFT (descomposición de la señal en sus componentes armónicas) y la distorsión armónica total THD.

### 2.6.5.1 Medición bus dc

En la Figura 2.59 se muestra la medición del bus dc de la simulación el cual presenta un valor medio de alrededor de 305V y un rizado de alrededor de 3V según se indica en la Figura 2.60.

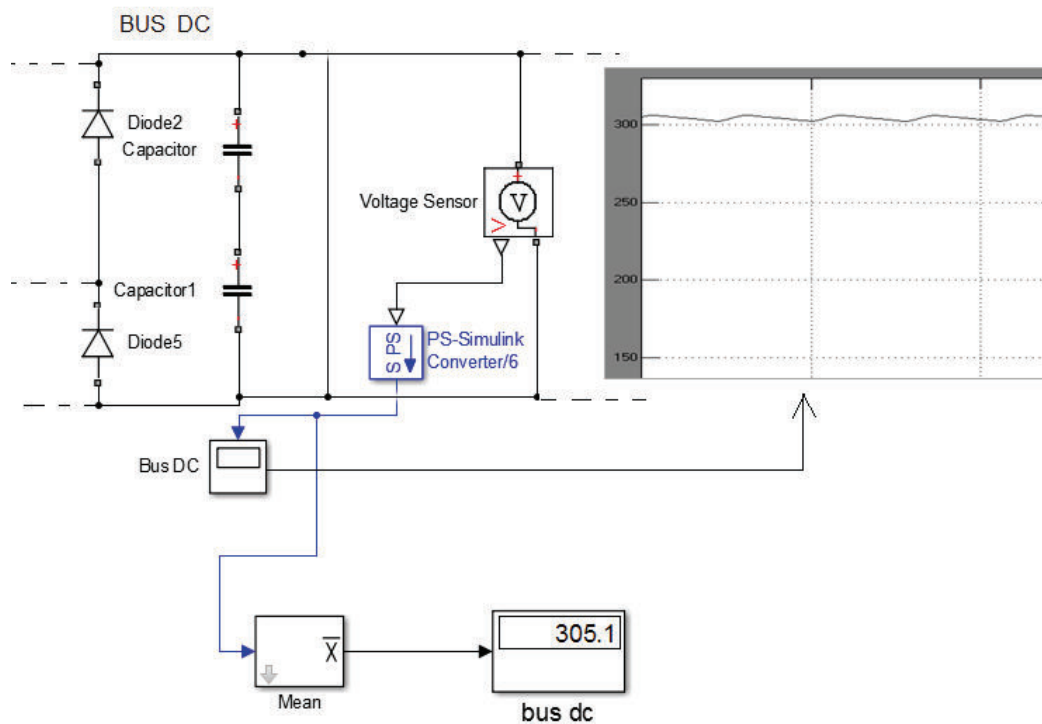
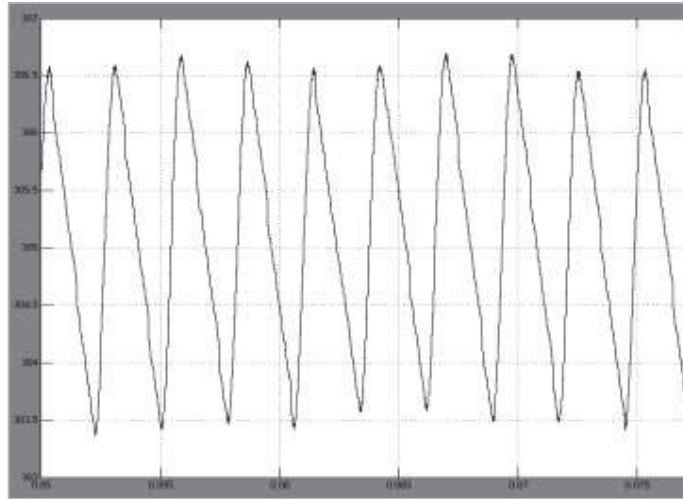


Figura 2.59 bus dc simulación

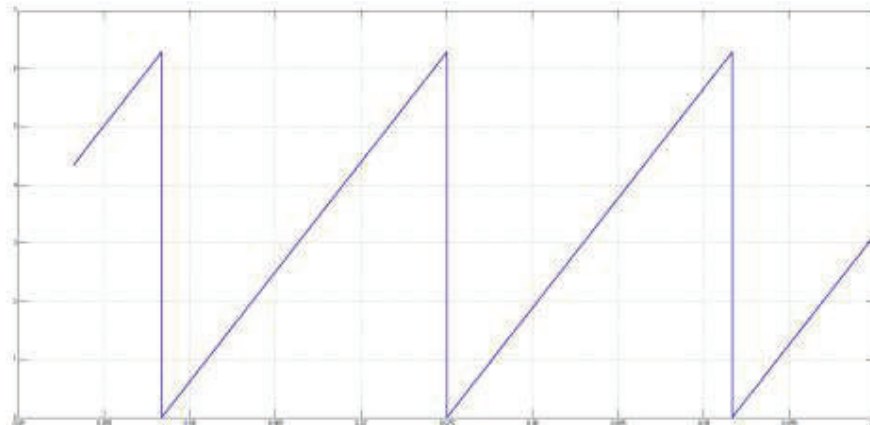




**Figura 2.60** Forma de onda rizado de voltaje bus dc simulación

### 2.6.5.2 Medición Señal PLL SRF

En la Figura 2.61 se muestra la forma de onda triangular obtenida a la salida del PLL SRF implementado en la simulación. Se observa que la señal varía de 0 a  $6.28\text{rad}$  ( $2\pi$ ) en un periodo de  $16.66\text{ms}$  correspondiente a la señal de  $60\text{Hz}$  de la red.



**Figura 2.61** Forma de onda salida PLL SRF simulación

### 2.6.5.3 Medición Vrms fundamental.

Para realizar esta medición se establece un valor de fase igual a cero. La Tabla 2.2 muestra el resultado del Vrms medido para valores seteados cada 20V.

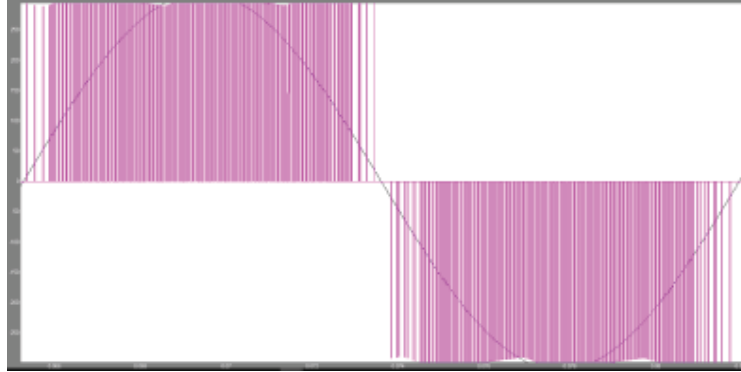
**Tabla 2.2** Medición Vrms fundamental (simulación)

Vrms Seteado [V]	Vrms medido según nº armónico							
	1ero		3ero		5to		7mo	
	Vrms medido	error %	Vrms medido	error %	Vrms medido	error %	Vrms medido	error %
0	0	0	0	0	0	0	0	0
20	19.51	2.45	20.65	-3.25	19.64	1.80	20.59	-3.00
40	39.69	0.77	42.5	-6.25	39.68	0.80	41.3	-3.28
60	59.45	0.99	57.49	4.18	59.95	0.08	59.39	1.02
80	78.3	2.12	81.69	-2.11	79.09	1.14	80.5	-0.63
100	100.3	-0.3	97.98	2.02	98.93	1.07	98.74	1.27
120	118.1	1.58	120.4	-0.33	118.6	1.17	118.2	1.52
140	138.9	0.78	138.4	1.14	138.3	1.21	138.2	1.30
160	158.0	1.25	158.9	0.69	158.7	0.81	157.2	1.76
180	179.2	0.44	178.4	0.89	177.3	1.50	177	1.69
200	196.8	1.6	194.8	2.60	198	1.00	194.6	2.73
220	216.9	3.1	212.7	3.32	217.1	1.32	215.6	2.03

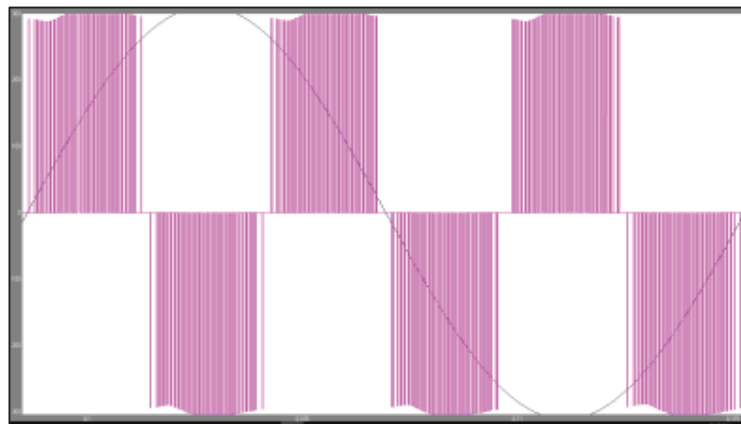
Se puede observar que existe un error del Vrms a la salida del menor al 5%, que es un error aceptable.

### 2.6.5.4 Medición sincronización.

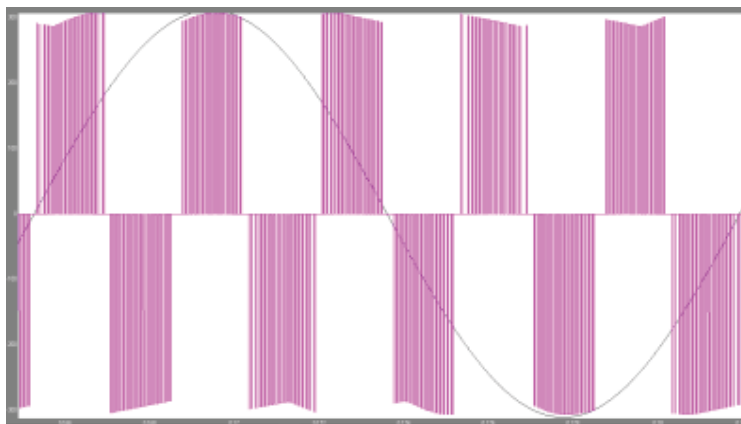
A continuación se indican las imágenes de la simulación para cada armónico con un ángulo de fase de cero grados para observar la sincronización con la red eléctrica. Se establece un valor Vrms de 120V fijo. Las señales medidas son UV generada (señal purpura) y RS de la red trifásica (señal negra).



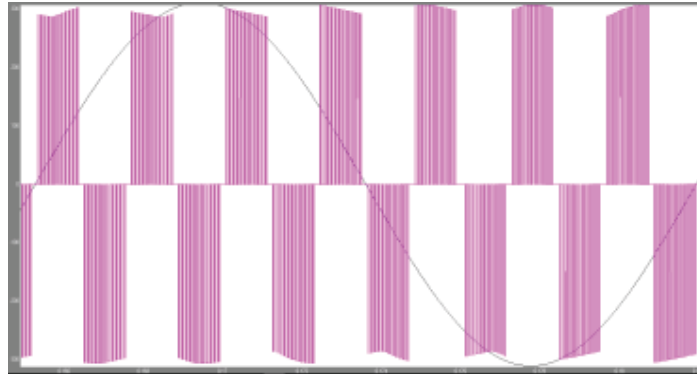
**Figura 2.62** Sincronización 1er armonio con la red



**Figura 2.63** Sincronización 3er armonio con la red



**Figura 2.64** Sincronización 5to armonio con la red



**Figura 2.65** Sincronización 7mo armónico con la red

Según las gráficas obtenidas se observa una sincronización eficaz con la red eléctrica para cada armónico generado.

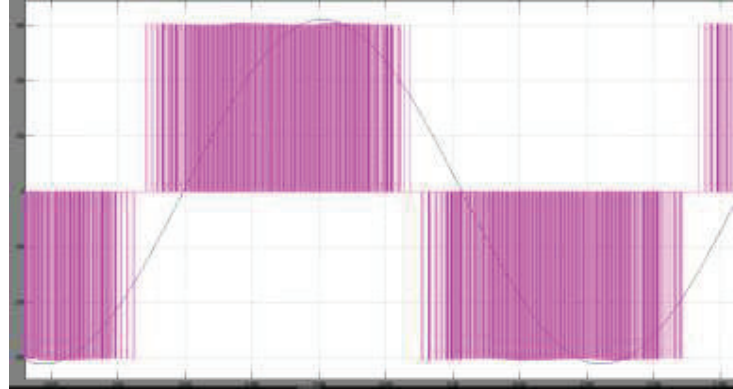
#### 2.6.5.5 Medición ángulo de fase.

Para realizar esta medición se establece un valor de  $V_{rms}$  igual a 120V. La Tabla 2.3 muestra el resultado del ángulo medido para valores de ángulo seteados cada  $20^\circ$ .

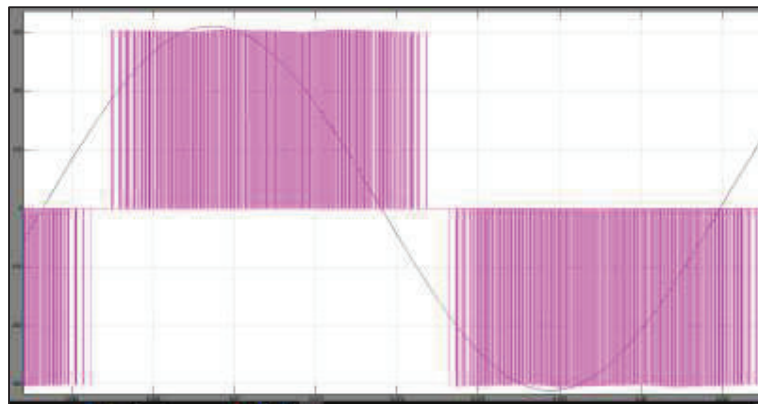
**Tabla 2.3** Medición de fase de la fundamental (simulación)

$\theta [^\circ]$ seteado	$\theta$ medido según nº armónico											
	1ero			3ero			5to			7mo		
	$\theta$ set [ms]	$\theta_{med}$ [ms]	error %	$\theta$ set [ms]	$\theta_{med}$ [ms]	error %	$\theta$ set [ms]	$\theta_{med}$ [ms]	error %	$\theta$ set [ms]	$\theta_{med}$ [ms]	error %
20	0.93	0.90	2.80	0.31	0.30	2.80	0.19	0.185	0.10	0.13	0.125	5.50
40	1.85	1.80	2.80	0.62	0.6	2.80	0.37	0.36	2.80	0.26	0.25	5.50
60	2.78	2.70	2.80	0.93	0.90	2.80	0.56	0.55	1.00	0.40	0.38	4.24
80	3.70	3.70	0.10	1.23	1.20	2.80	0.74	0.70	5.50	0.53	0.50	5.50
100	4.63	4.63	-0.01	1.54	1.50	2.80	0.93	0.90	2.80	0.66	0.63	4.74
120	5.56	5.50	1.00	1.85	1.80	2.80	1.11	1.10	1.00	0.79	0.75	5.50
140	6.48	6.40	1.26	2.16	2.15	0.49	1.30	1.25	3.57	0.93	0.90	2.80
160	7.41	7.40	0.10	2.47	2.45	0.77	1.48	1.45	2.13	1.06	1.02	3.61
180	8.33	8.30	0.40	2.78	2.70	2.80	1.67	1.60	4.00	1.19	1.20	-0.80
-180	-8.33	-8.30	0.40	-2.78	-2.70	2.80	-1.67	-1.60	4.00	-1.19	-1.20	-0.80
-160	-7.41	-7.40	0.10	-2.47	-2.40	2.80	-1.48	-1.40	5.50	-1.06	-1.02	3.61
-140	-6.48	-6.40	1.26	-2.16	-2.15	0.49	-1.30	-1.25	3.57	-0.93	-0.92	0.64
-120	-5.56	-5.50	1.00	-1.85	-1.80	2.80	-1.11	-1.10	1.00	-0.79	-0.78	1.72
-100	-4.63	-4.60	0.64	-1.54	-1.50	2.80	-0.93	-0.90	2.80	-0.66	-0.65	1.72
-80	-3.70	-3.70	0.10	-1.23	-1.20	2.80	-0.74	-0.70	5.50	-0.53	-0.52	1.72
-60	-2.78	-2.70	2.80	-0.93	-0.92	0.64	-0.56	-0.56	-0.80	-0.40	-0.38	4.24
-40	-1.85	-1.80	2.80	-0.62	-0.60	2.80	-0.37	-0.35	5.50	-0.26	-0.25	5.50
-20	-0.93	-0.90	2.80	-0.31	-0.30	2.80	-0.19	-0.18	2.80	-0.13	-0.12	5.50

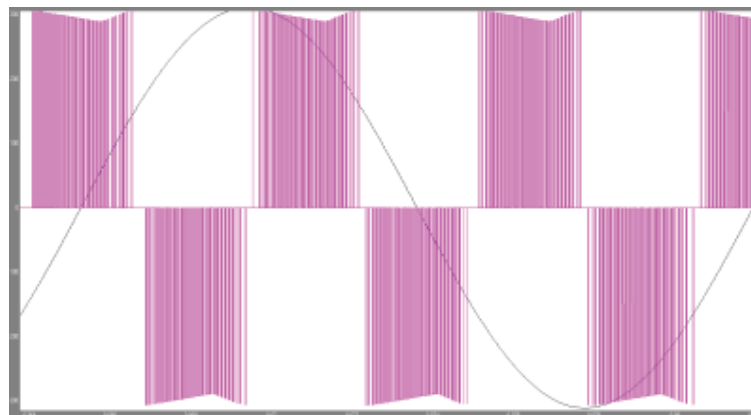
A continuación se indican algunas capturas de pantalla de las formas de onda obtenidas según algunos ángulos seteados de la Tabla 2.3. Las señales medidas son UV generada (señal purpura) y RS de la red trifásica (señal negra).



**Figura 2.66** 1er armónico fase=+30°



**Figura 2.67** 1er armónico fase=-30°



**Figura 2.68** 3er armónico fase=+90°

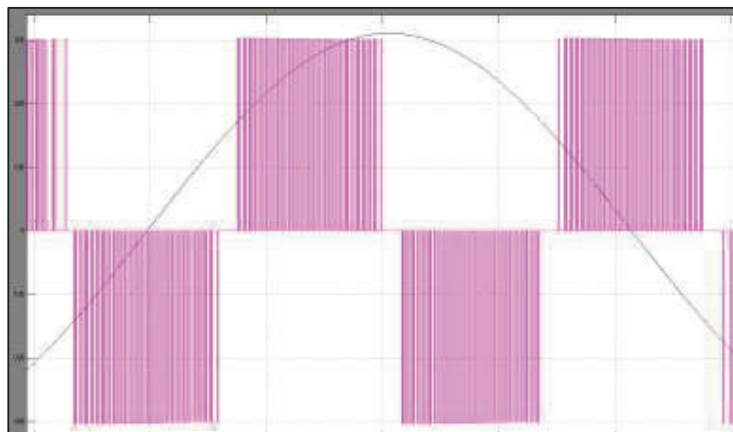


Figura 2.69 3er armónico fase=-90°

### 2.6.5.6 Medición TRUE rms y THD

Se toman los valores del Vrms fundamental, Vtrue rms y THD de las simulaciones realizadas y se muestran en Tabla 2.4.

Tabla 2.4 Medición Vrms , Vtrue rms y THD (simulación)

Vrms Set point	TRUE rms y THD según nº armónico											
	1ero			3ero			5to			7mo		
	Vrms med	TRUE rms	THD	Vrms med	TRUE rms	THD	Vrms med	TRUE rms	THD	Vrms med	TRUE rms	THD
0	0	0	0	0	0	0	0	0	0	0	0	0
20	19.51	68.28	3.35	20.65	73.05	3.39	19.64	70	3.42	20.59	76.1	3.73
40	39.69	102.8	2.39	42.5	109.3	2.37	39.68	106.5	2.49	41.3	107.3	2.50
60	59.45	129.1	1.93	57.49	128.1	1.99	59.95	132.4	1.97	59.39	131.9	1.96
80	78.3	145.2	1.56	81.69	152.4	1.57	79.09	154.5	1.68	80.5	156.2	1.69
100	100.3	164.6	1.30	97.98	164.7	1.35	98.93	171.6	1.42	98.74	174.6	1.46
120	118.1	178.1	1.13	120.4	184.3	1.16	118.6	188.2	1.23	118.2	191.6	1.27
140	138.9	193.6	0.97	138.4	197.3	1.02	138.3	200.9	1.05	138.2	200	1.05
160	158	206.3	0.84	158.9	212.7	0.89	158.7	215.7	0.92	157.2	214.8	0.92
180	179.2	218.8	0.70	178.4	225.5	0.77	177.3	230	0.83	177	233	0.85
200	196.8	229.3	0.60	194.8	236.5	0.69	198	240	0.69	194.6	236	0.67
220	216.9	240.6	0.48	212.7	244.9	0.57	217.1	249.1	0.56	215.6	250	0.58

Como se puede observar en la tabla para valores menores a 100V del Vrms seteado, la diferencia entre el TRU rms y el Vrms de la fundamental se incrementa por lo tanto se tiene una alta distorsión armónica.

## **2.7 IMPLEMENTACIÓN**

En este subcapítulo se muestran las placas finales realizadas de todo el proyecto en base a lo realizado en la parte de diseño, también se muestra el montaje final del equipo en un gabinete metálico.

Siguiendo el esquema realizado en el diseño la implementación consta de los siguientes circuitos:

- Circuitos de potencia: bus de DC con carga y descarga automática, inversor trifásico y redes snubber.
- Circuitos de control: tarjeta de control principal (SBRIO), circuito de sensado bus DC, drivers de disparo del inversor, circuito de acondicionamiento de las señales trifásicas de la red, circuito de sensado de los voltajes de salida generados y fuentes de alimentación previamente diseñadas.

### **2.7.1 BUS DE DC**

Según el esquema realizado en el diseño se implementó la placa del bus dc mostrada en Figura 2.70.



**Figura 2.70** Placa BUS DC implementada

### 2.7.2 INVERSOR TRIFÁSICO

En la Figura 2.71 se muestra el inversor trifásico implementado hecho a base de los IGBTs “STGW28IH125DF” los mismos que han sido montados sobre los disipadores previamente seleccionados.



**Figura 2.71** inversor trifásico montado en los disipadores de calor



### 2.7.3 REDES SNUBBER

Según el esquema realizado en el diseño se implementó la placa de las redes snubber mostrada en la siguiente Figura 2.72.

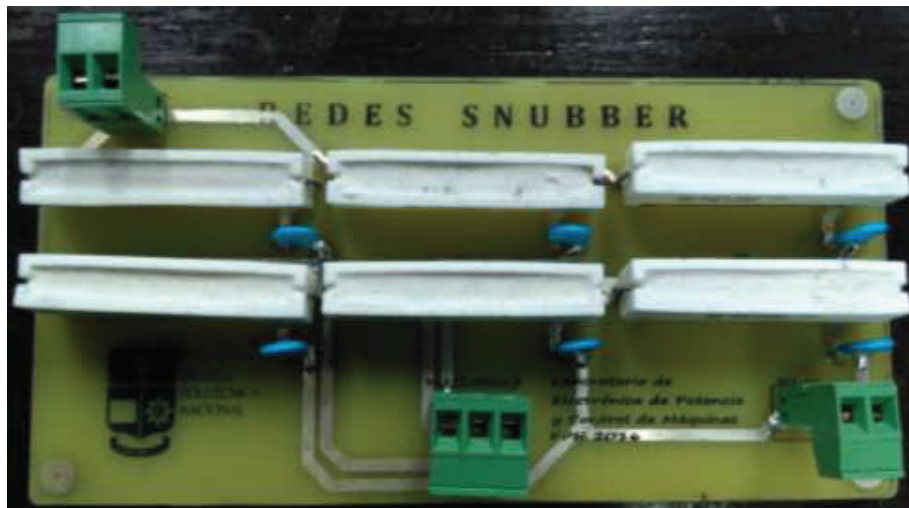


Figura 2.72 Placa redes snubber implementada

### 2.7.4 CIRCUITO DE DISPARO

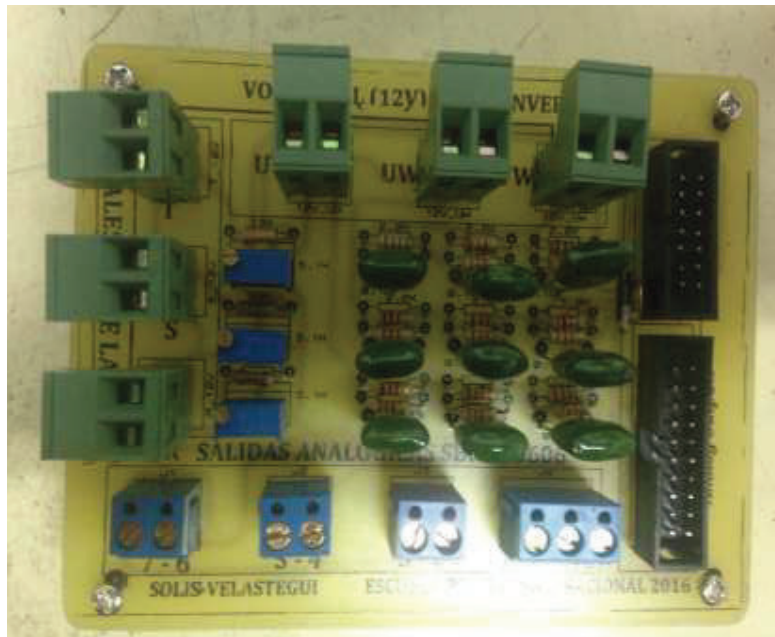
Según el esquema realizado en el diseño se implementó la placa del circuito de disparo mostrada en la Figura 2.73.



Figura 2.73 Placa circuito de disparo implementada

### 2.7.5 CIRCUITO DE SENSADO DE LAS SEÑALES TRIFÁSICAS DE LA RED Y VOLTAJES DE SALIDA GENERADOS.

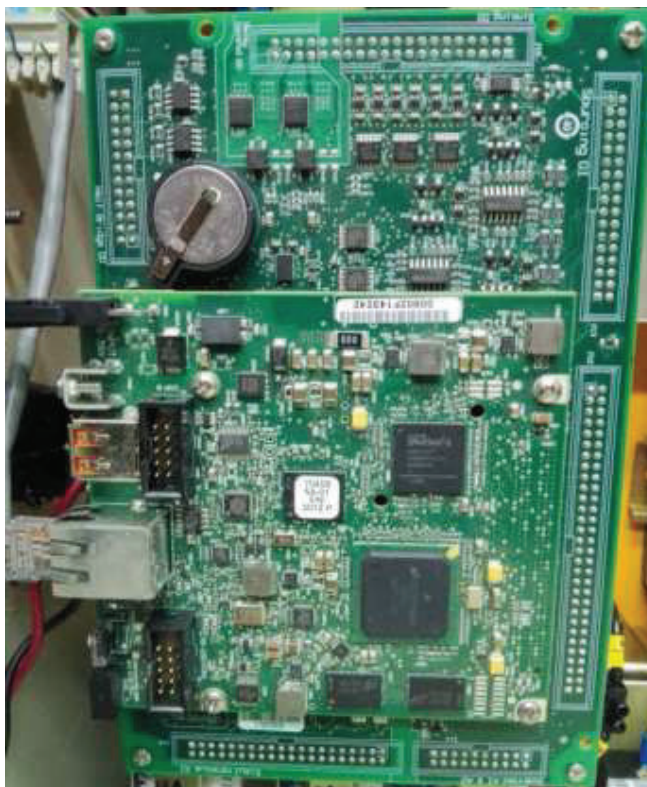
Según el esquema realizado en el diseño se implementó la placa de sensado de los voltajes de la red y de la carga como se muestra en la Figura 2.74.



**Figura 2.74** Placa sensado red y sensado voltajes de salida generados

### 2.7.6 TARJETA DE CONTROL PRINCIPAL SBRIO

En la Figura 2.75 se observa la tarjeta SBRIO 9606 con GPIC NI 9683 utilizada en el proyecto.



**Figura 2.75** Tarjeta de control Principal SBRIO

### **2.7.7 MONTAJE GABINETE METÁLICO**

En las Figura 2.76 a Figura 2.78 se muestran las vistas del equipo montado en un gabinete metálico industrial



**Figura 2.76** Sistema completo montado en gabinete metálico vista interior



**Figura 2.77** Sistema completo montado en gabinete metálico vista exterior



**Figura 2.78** Sistema completo montado en gabinete metálico vista lateral

El uso y descripción del sistema montado se indica con claridad en el Anexo A Manual de usuario.

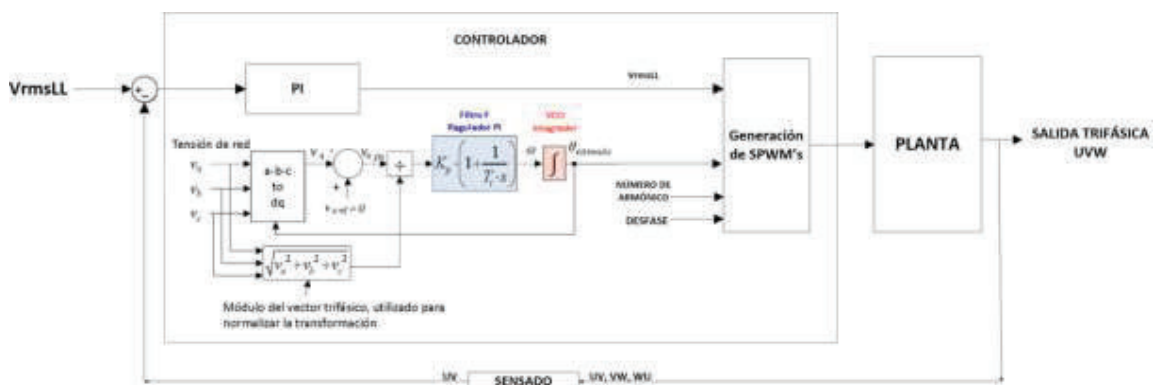
## CAPÍTULO 3

### DISEÑO E IMPLEMENTACIÓN DEL SOFTWARE

En el presente capítulo se presenta el programa de control de la tarjeta principal para generar las señales modulantes con amplitud, frecuencia y desfase configurables además se presenta la interfaz humano-máquina “HMI” para una fácil interacción entre el usuario y el equipo. Adicionalmente se indica el programa que actúa en la carga del bus de DC cuyo código se encuentra en el anexo G.

#### 3.1 GENERALIDADES

Como se mencionó en el capítulo 1 se usa la técnica “PLL SRF” para la sincronización entre la red trifásica y los voltajes compuestos generados. En la Figura 3.1 se indica un esquema en el cual se basa el software implementado en el presente proyecto.



**Figura 3.1** Esquema en base al que se desarrolla del software implementado

El software cuenta con dos lazos cerrados de control:

- El primer lazo cerrado contiene un control PI que actúa como filtro en el PLL SRF, permitiendo la sincronización adecuada de los voltajes generados con la red eléctrica mediante la generación de la señal triangular diente de sierra. Se ejecuta en la tarjeta de control (FPGA).

- El segundo lazo tiene un control PI que mantiene el voltaje línea-línea a la salida del inversor en el valor configurado desde la interfaz ( $V_{LL}rms$  de la fundamental). La ley de control se ejecuta en la computadora en el instrumento virtual “generador\_armonicos\_interface” mediante una ecuación en diferencias y el índice de modulación obtenido se envía hacia la tarjeta de control. Se realiza la medición del voltaje rms a la salida del inversor y se realimenta dicho valor para corregir el error. Se ha decidido realizar este segundo lazo de control en la computadora debido a la falta de recursos de la FPGA y además considerando que la medición del voltaje rms se ejecuta en un ciclo de señal senoidal, entonces es perfectamente viable.

Como indica la Figura 3.1 la señal de sincronización diente de sierra (PLL SRF), los parámetros de  $V_{LL}rms$ , número de armónico y desfase sirven para la generación de las señales SPWMs.

### **3.2 SELECCIÓN DE LA TARJETA PARA IMPLEMENTAR EL SOFTWARE**

Los criterios que se han tomado en cuenta en la selección de la tarjeta para implementar el software son:

- La frecuencia de procesamiento del cristal
- El lenguaje de programación
- La factibilidad de diseño de una interfaz gráfica
- La robustez
- Costo del dispositivo
- Software de desarrollo

Por consiguiente se ha escogido la tarjeta Kit de Evaluación “NI sbRIO-9606 [31] con Tarjeta Mezzanine GPIC NI 9683 [32]” que se muestra en la Figura 3.2.

## Arquitectura de código

- \* *Aplicaciones en tiempo real*
  - Interfaz de usuario
  - Monitoreo de baja velocidad
  - Toma de datos
  - Comunicación de red
- \* *Software de la FPGA*
  - Algoritmo de control para el inversor
  - Entradas analógicas
  - Medición y análisis
  - Control de contactores
  - Monitoreo de alta velocidad/  
incluye protecciones
  - Generación de señales PWM
  - Adquisición de datos



**Figura 3.2** Tarjeta “NI sbRIO-9606 Kit de Evaluación GPIC NI Single-Board RIO con Tarjeta Mezzanine GPIC NI 9683” y sus características [33].

Las características de ésta tarjeta [34] son:

- Procesador de 400 MHz, 512 MB de almacenamiento no volátil, 256 MB DRAM para control y análisis determinísticos (procesador en tiempo real).
- FPGA Xilinx Spartan-6 LX45 reconfigurable para temporización, procesamiento en línea y control personalizados, de 40MHz.
- Juego completo de E/S analógicas y digitales para control de electrónica de potencia.
- Puertos Ethernet 10/100BASE-T, serial RS232, CAN y USB integrados.

La velocidad de transmisión en Ethernet 10BASE-T significa 10 Mbit/s sobre par trenzado no blindado (UTP). Longitud máxima del segmento 100 m.

La velocidad de transmisión en Ethernet 100BaseTX significa 100Mbit/s sobre par Trenzado (categoría 5UTP). Longitud máxima 100m.

En las Figura 3.3, Figura 3.4, Figura 3.5 y Figura 3.6 se especifican la distribución de componentes de la tarjeta NI sbRIO-9606 y de la Tarjeta Mezzanine GPIC NI 9683 respectivamente. Las hojas de datos y la distribución de pines de la tarjeta NI-9683 se las puede encontrar en la referencia bibliográfica [32].



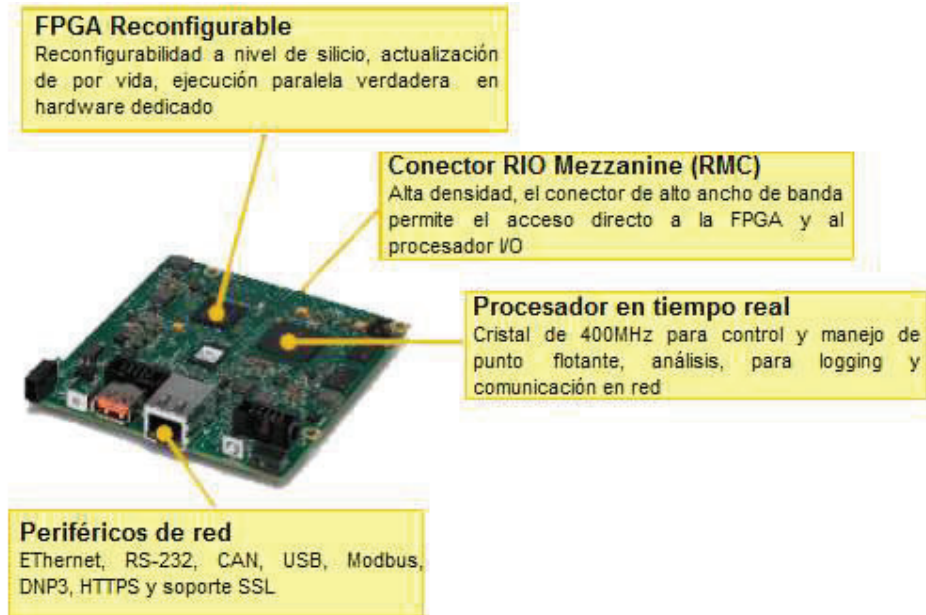


Figura 3.3 Dispositivo NI sbRIO-9606

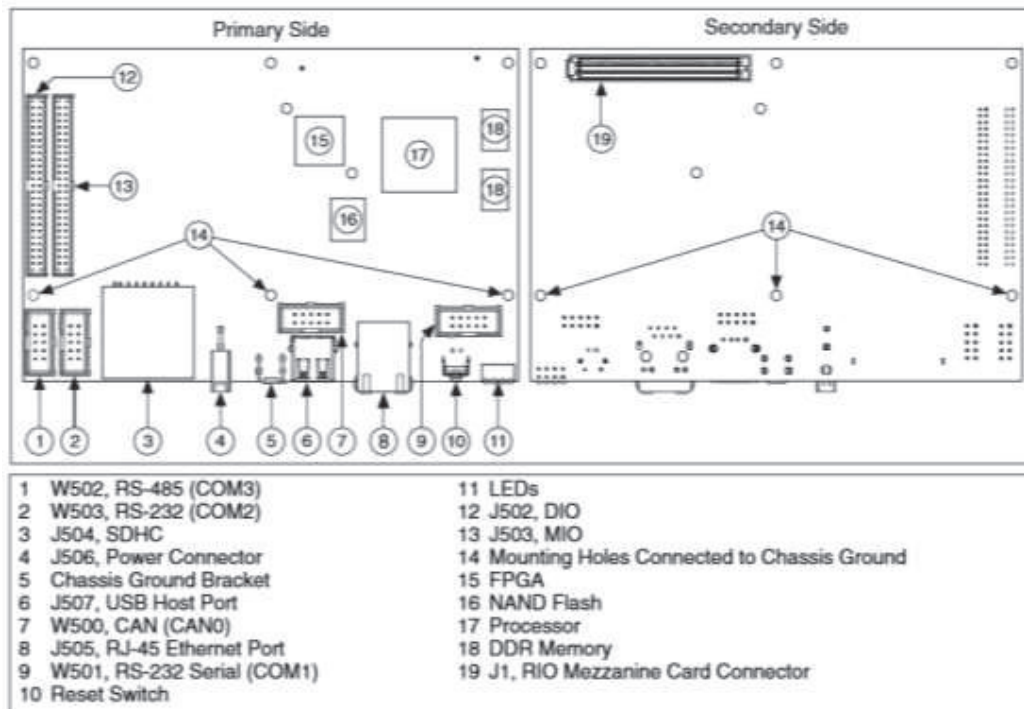
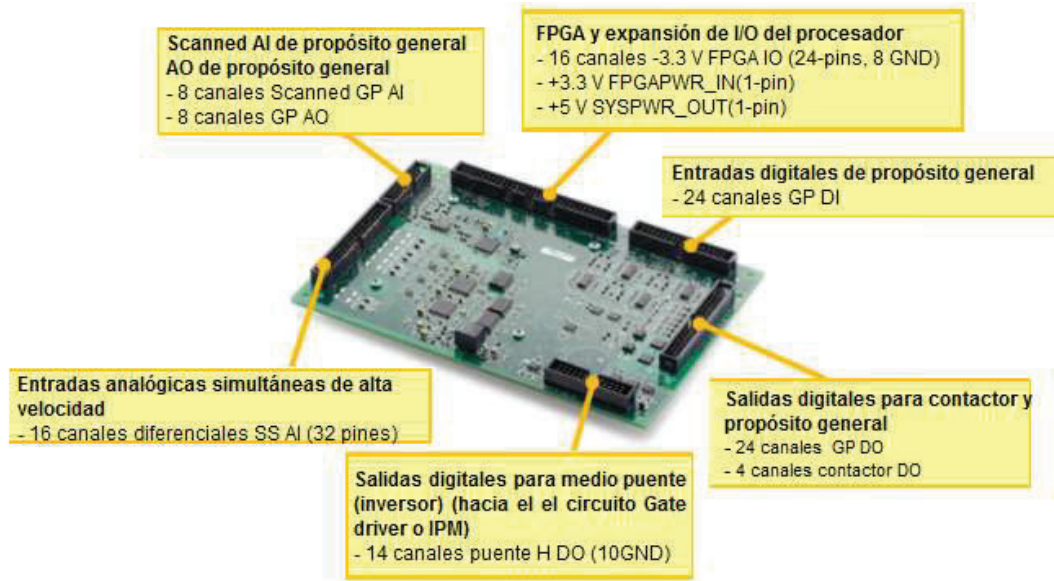


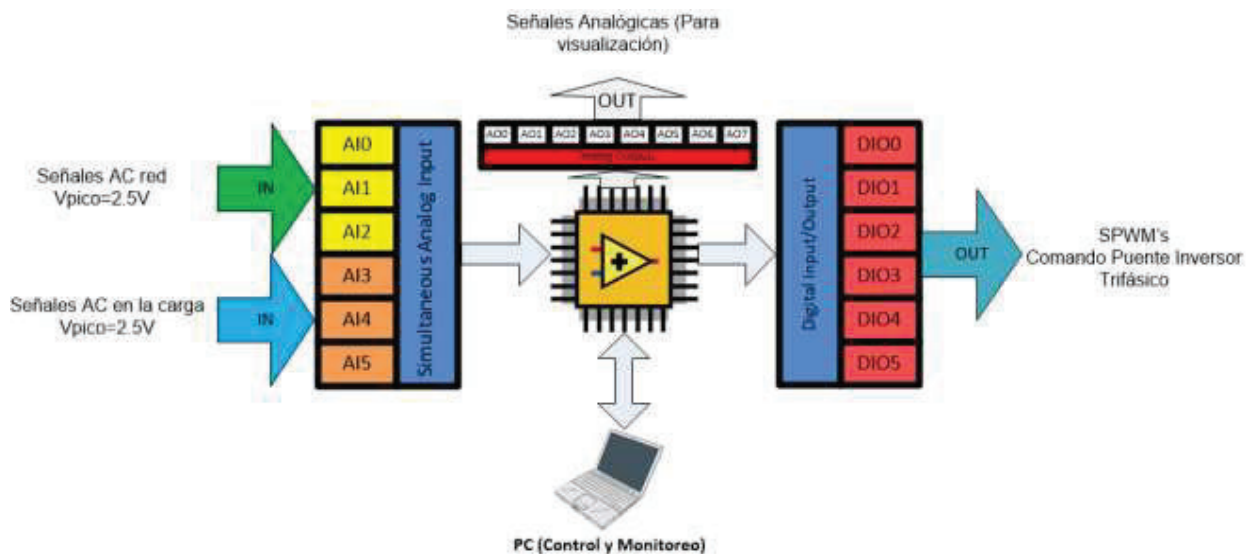
Figura 3.4 Localización de componentes en la tarjeta NI SBRIO 9606 [31]



**Figura 3.5** Dispositivo NI 9683 (tarjeta mezzanine)

La computadora se comunica con la tarjeta NI SBRIO 9606 a través del puerto ethernet especificado por el conector J504, SDHC (Figura 3.4 componente 3) y la tarjeta NI SBRIO 9606 se comunica con la tarjeta mezzanine NI 9683 a través del conector 19 mostrado en la misma figura [32].

En la Figura 3.6 se muestra el diagrama de entradas y salidas necesarias para el desarrollo de ésta aplicación así como el flujo de la información.



**Figura 3.6** Diagrama de entradas y salidas utilizadas de la tarjeta NI 9683

En las tablas Tabla 3.1, Tabla 3.2 y Tabla 3.3 se señalan las características de los recursos de la tarjeta de National Instruments, simultaneous analog input, analog output y digital input/output respectivamente que han sido utilizadas.

**Tabla 3.1** Especificaciones de las entradas analógicas simultáneas para conversión Analógica-Digital

<b>Entradas Análogas simultaneas</b>	
Número de canales	16
Resolución ADC	12 bits
Rango de entrada	
Típico	$\pm 5V, \pm 10V$
Mínimo	$\pm 4.95V, \pm 9.90V$
Rango en modo común	$\pm 10V$
Relación de muestreo	100Kmuestras/s máx
Protección sobrevoltaje	$\pm 30V$

**Tabla 3.2** Especificaciones de las entradas-salidas digitales

<b>LVTTL Entradas/Salidas digitales</b>	
Número de canales DIO	32
Corriente máxima de prueba por canal	3mA
Corriente total máxima (todos los canales)	96mA
Voltaje de entrada en bajo $V_{IL}$	0V a 0.8V
Voltaje de entrada en alto $V_{IH}$	2V a 3.465V
Voltaje de salida en alto $V_{OL}$ entregando 3mA	2.7V a 3.3V
Voltaje de salida en bajo $V_{OH}$ recibiendo 3mA	0V a 0.4V
Protección:	
Sobrevoltaje	No
Sobrecorriente	No
Cortocircuito	No

**Tabla 3.3** Especificaciones de las salidas analógicas

<b>Salidas análogas</b>	
Número de canales AO	8
Resolución DAC	12 bits
Voltaje de inicialización	0V
Rango de Voltaje	
Típico	0V a 5V
Mínimo	14mV a 4.97V
Corriente de drive (por canal)	4mA máx
Actualización de la salidas	1Kmuestras/s mín

**Tabla 3.4** Tiempos de actualización de las AO y de lectura de los canales de las entradas análogas simultaneas

	Cantidad	Uni	Lím.	Tiempo de actualización de una muestra en un pin de salida	Uni	Lím.
<b>Entradas análogas simultaneas</b>	100000	S/s	máx	0,00001	s	mín
<b>Salidas análogas (muestras/s)</b>	1000	S/s	mín	0,001	s	máx

En la Tabla 3.4 se realiza un análisis de la velocidad de conversión ADC donde el número máximo de muestras que se puede leer por segundo es 100000, por lo que el tiempo mínimo para la lectura de una muestra es 10us. Esto indica que para una señal analógica de 60Hz de la red, el número máximo de muestras que puede tomar el conversor ADC de 12 bits es de 1666 muestras. En ésta tabla además se analiza que el número mínimo de muestras por segundo para la actualización de las salidas en los pines AO es de 1000, lo que implica que el mayor tiempo de actualización de una muestra en un pin AOx es de 1ms.

### 3.3 SOFTWARE DE DESARROLLO

El software de desarrollo es Labview 2012, que incluye los toolkits para el manejo de los recursos de la fpga y el procesador en tiempo real de la tarjeta adquirida.

El desarrollo del software consta de un archivo denominado generador\_armonicos.lvproj el mismo que está formado por los siguientes instrumentos virtuales (vi):

- “vi” de la FPGA “generador\_armonicos\_fpga.vi” que contiene todos los procesos realizados por la FPGA de 40MHz y el microprocesador en Tiempo Real (RMC) de 400MHz. Este “vi” realiza los procesos que requieren mayor rapidez.
- “vi” de control (HOST) “generador\_armonicos\_interface.vi”, control y monitoreo de la información que llega desde el “vi” de la FPGA. Éste “vi” contiene la interfaz de usuario, donde se encuentran los controles de los parámetros (voltaje, frecuencia, desfase) de los voltajes a ser generados.

Aquí se realizan los procesos que no requieren de rapidez como la visualización.

### 3.4 IMPLEMENTACIÓN TRANSFORMADAS DE CLARK Y PARK

Como se indicó en la Figura 3.1 se requiere de un bloque *abc* a *dq* para poder implementar el PLL SRF por lo que se han programado en labview las transformadas de Clarke según la ecuación (3.1) y de Park según (3.2) y (3.3).

$$\begin{pmatrix} V_\alpha \\ V_\beta \end{pmatrix} = \begin{pmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & \frac{\sqrt{3}}{2} \end{pmatrix} \cdot \begin{pmatrix} V_a \\ V_b \\ V_c \end{pmatrix} \quad (3.1)$$

$$V_d = \frac{2}{3} \left( V_a \cos\theta + V_b \cos\left(\theta - \frac{2\pi}{3}\right) + V_c \cos\left(\theta + \frac{2\pi}{3}\right) \right) \quad (3.2)$$

$$V_q = \frac{2}{3} \left( V_a \sin\theta + V_b \sin\left(\theta - \frac{2\pi}{3}\right) + V_c \sin\left(\theta + \frac{2\pi}{3}\right) \right) \quad (3.3)$$

Al observar los argumentos de las funciones trigonométricas de las transformadas de Park, se deduce que se requieren tres bloques de generación dentro del programa de la FPGA. Al simplificar las ecuaciones (3.2) y (3.3) se tiene:

$$V_d = V_a \cos\theta + 0.577 \sin\theta (V_b - V_c) \quad (3.4)$$

$$V_q = V_a \sin\theta + 0.577 \cos\theta (V_c - V_b) \quad (3.5)$$

Al obtener las ecuaciones simplificadas (3.4) y (3.5) se tiene un menor número de operaciones matemáticas, lo que significa el uso de menos recursos en la tarjeta de control (FPGA).

### 3.5 DISEÑO DEL PLL SRF DISCRETO

A partir del PLL SRF diseñado en el capítulo 2 en el dominio de "s" se halla el equivalente discreto en el dominio de "z" para ser implementado por software.

$$\frac{\theta_{estimado}(s)}{\theta(s)} = \frac{449 \cdot s + 114868}{s^2 + 479 \cdot s + 114868} \quad (3.6)$$

Al discretizar la función de transferencia dada en (3.6) mediante la aproximación hacia adelante se tiene (3.7).

$$\frac{\theta_{estimado}(z)}{\theta(z)} = \frac{479 \cdot \frac{(z-1)}{T_m} + 114868}{\left(\frac{z-1}{T_m}\right)^2 + 479 \cdot \left(\frac{z-1}{T_m}\right) + 114868} \quad (3.7)$$

Donde  $T_m$  es el tiempo de muestreo.

Luego de resolver (3.7), la función de transferencia del PLL srf en "z" es (3.8).

$$\frac{\theta_{estimado}(z)}{\theta(z)} = \frac{479 \cdot T_m z + (114868 T_m^2 - 479 T_m)}{z^2 + (479 T_m - 2)z + (1 - 479 T_m + 114868 T_m^2)} \quad (3.8)$$

Para escoger el tiempo de muestreo se lo hace en base al periodo de la frecuencia más crítica que es la del séptimo armónico (420Hz) cuyo periodo es  $T = 2.38ms$ , por lo tanto se escoge un tiempo de muestreo trescientas veces más pequeño que éste periodo, dando un  $T_m = 7.9 \mu s$ .

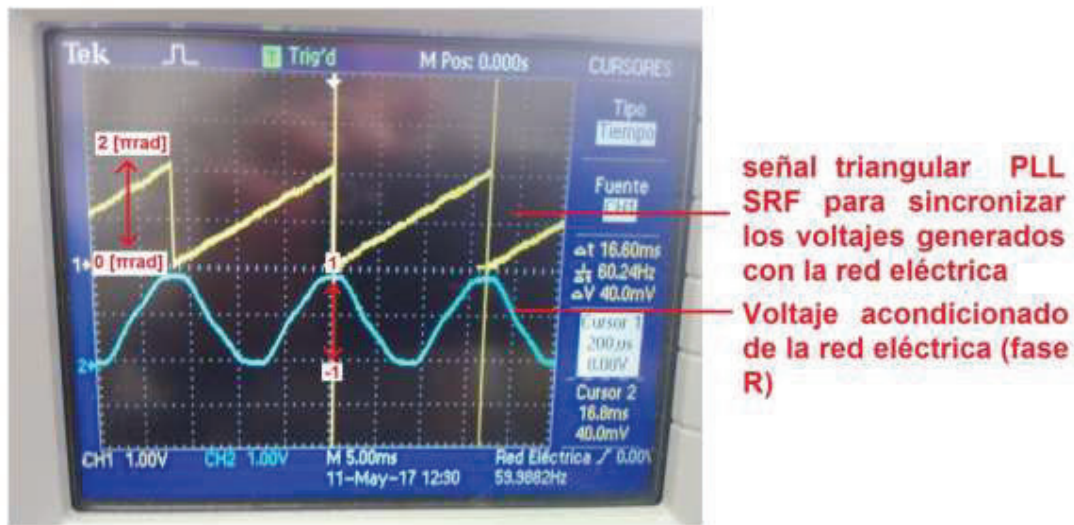
Entonces la función de transferencia discreta del PLL SRF está dada por (3.9).

$$\frac{\theta_{estimado}(z)}{\theta(z)} = \frac{0.00377z - 0.0039}{z^2 - 1.99621z + 0.99622} \quad (3.9)$$

Luego de ser ingresada y calibrada esta función de transferencia en labview se tiene la ecuación final (3.10) para obtener la señal PLL SRF de sincronización con la red.

$$\frac{\theta_{estimado}(z)}{\theta(z)} = \frac{0.0096z - 0.0095}{z^2 - 1.99621z + 0.99622} \quad (3.10)$$

En la Figura 3.7 se presenta la señal triangular diente de sierra (PLL SRF) obtenida a partir del diseño realizado y se observa que está en sincronía con la fase R de la red eléctrica, ésta sincronización se logra al aplicar el coseno de la señal triangular del PLL SRF.



**Figura 3.7** Señal triangular PLL SRF para generar los voltajes en sincronía con la red eléctrica

Se puede observar que la sincronización es efectiva. Esta sincronización se da aplicando la función coseno a la señal del PLL como se indicó en el subcapítulo 1.3.1 en la Figura 1.4, con la diferencia que esta señal varía de 0 a  $2\pi$  debido a que en la programación del PLL SRF el reset del integrador solo puede ser calibrado para que retorne a 0 y no a  $-\pi$  rad.

### 3.6 DISEÑO DEL CONTROLADOR PI DISCRETO PARA CONTROL VRMS

Para poder implementar por software el PI diseñado en el subcapítulo 2.3.4 se necesita obtener el PI discreto y consecuentemente expresado en ecuaciones en diferencias. Partiendo del PI en el dominio de  $s$  dado por la ecuación 2.65 se realiza una aproximación trapezoidal para la parte integral " $\frac{1}{s}$ " como indica (3.11) y se obtiene la función de transferencia del controlador PI discreto en el dominio de  $z$  dada por la ecuación (3.12).

$$\frac{1}{s} = \frac{T_m(z+1)}{2(z-1)} = \frac{T_m(1+z^{-1})}{2(1-z^{-1})} \quad (3.11)$$

$$\frac{U(z)}{E(z)} = K_p + \frac{K_p T_m}{T_i} \frac{(1+z^{-1})}{2(1-z^{-1})} \quad (3.12)$$

El equivalente en “z” para la ley de control  $U(z)$  está dado por (3.13).

$$U(z) = z^{-1}U(z) + \left(K_p + \frac{K_p T_m}{2T_i}\right)E(z) + \left(\frac{K_p T_m}{2T_i} - K_p\right)z^{-1}E(z) \quad (3.13)$$

Al obtener la transformada Z inversa de la ecuación (3.13) y aplicar la propiedad de desplazamiento en el tiempo discreto  $U(z) = z^{-1}U(z) \rightarrow U(k) = U(k - 1)$  se obtiene la ecuación en diferencias el dominio del tiempo discreto de la ley de control  $U(k)$  dada por (3.14).

$$U(k) = U(k - 1) + \left(K_p + \frac{K_p T_m}{2T_i}\right)E(k) + \left(\frac{K_p T_m}{2T_i} - K_p\right)E(k - 1) \quad (3.14)$$

Según el diseño del PI realizado en el subcapítulo 2.3.4 se tiene que las constantes del controlador son:  $K_p = 0.51$  y  $T_i = 0.004$  con lo que solo resta establecer el tiempo de muestreo  $T_m$ .

Para escoger el tiempo de muestreo se lo hace en base al periodo de la frecuencia más crítica que es la del séptimo armónico (420Hz) cuyo periodo es  $T = 2.38ms$ , por lo tanto se escoge un tiempo de muestreo veinte veces más pequeño que éste periodo, dando un  $T_m = 0.12 ms$ .

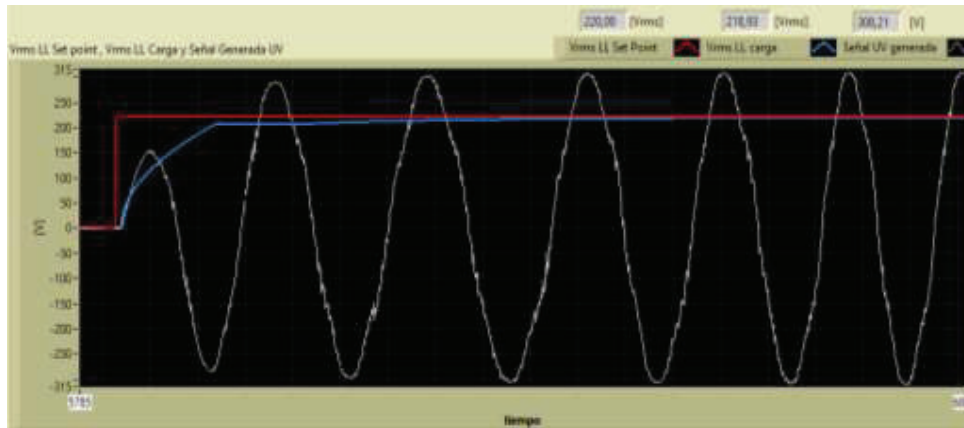
Luego de realizar la implementación del PI diseñado se han calibrado las constantes del mismo obteniéndose los valores finales de:  $K_p = 1.07$ ,  $T_i = 0.0067$  y  $T_m = 0.1ms$ .

Con esto, desarrollando (3.14) la ecuación en diferencias implementada por software del PI queda expresada en (3.15)

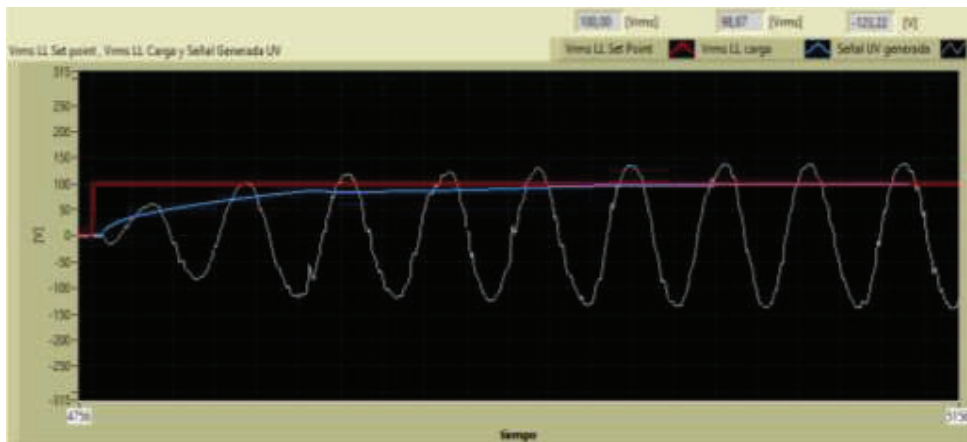
$$U(k) = U(k - 1) + 1.078E(k) - 1.06E(k - 1) \quad (3.15)$$

Desde la Figura 3.8 a la Figura 3.10 se muestran algunas imágenes de la acción del PI implementado para el control del Vrms del armónico generado. Como se puede observar se tiene un seguimiento eficaz de la referencia (Set-Point).

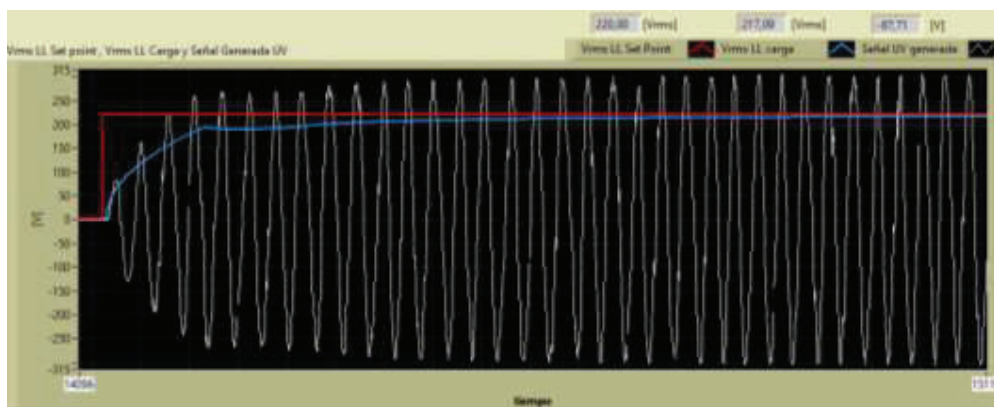




**Figura 3.8** Respuesta del sistema en lazo cerrado frente a una entrada paso de 220V para el primer armónico (60Hz)



**Figura 3.9** Respuesta del sistema en lazo cerrado frente a una entrada paso de 100V para el tercer armónico (180Hz)



**Figura 3.10** Respuesta del sistema en lazo cerrado frente a una entrada paso de 220V para el quinto armónico (300Hz)

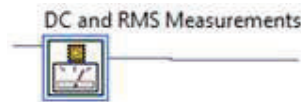
### 3.6.1 MEDICIÓN VRMS

Para el correcto funcionamiento del control del voltaje rms e implementación del medidor virtual de voltaje rms fundamental y medidor virtual de voltaje rms total (Figura 3.11) se requiere una correcta medición del valor eficaz de las señales.



**Figura 3.11** Medidores virtuales de voltaje rms total (izq) y voltaje rms fundamental (der)

La medición del valor eficaz de la señal de salida “uv” se da mediante el bloque de medición de RMS de la fpga mostrado en la figura. El vrms para un conjunto de muestras (señal discreta) está dado por (3.16) por lo que la medición es tomada en un tiempo de 16.67ms y a la vez este periodo es múltiplo de los periodos correspondientes a las señales de las frecuencias de hasta 540Hz (La medición es precisa en un periodo de señal completo.)



**Figura 3.12** Bloques de medición RMS para una señal discreta en el “vi” de la FPGA.

$$rms = \sqrt{\frac{1}{n} \sum_{i=0}^{n-1} |x_i|^2} \quad (3.16)$$

Donde:

$rms$ : es el valor eficaz de la señal discreta resultante de la conversión ADC

$x_i$ : es el valor de la amplitud de la señal discreta en el instante  $i$ .

$n$ : es el número de muestras durante un periodo completo de la señal de entrada captadas por el bloque de medición rms, cuya velocidad de adquisición es de 50000samples/seg. La velocidad de adquisición está dada por la ecuación (3.17).

$$\text{velocidad de adquisición} = \frac{\text{número de muestras}}{\text{periodo de la señal de entrada}} \quad (3.17)$$

A partir de (3.17) se realiza el cálculo del número de muestras que puede leer el bloque rms (Figura 3.12) para una señal de 60Hz, donde el periodo de la señal es 16.67ms y la velocidad de adquisición es de 50000 *samples/seg* dando como resultado 834 muestras. Éste número de muestras queda establecido para el cálculo del voltaje rms de todas las frecuencias múltiplos de 60Hz, hasta llegar a 540Hz. Se toman 834 muestras para tener una medición precisa de la señal de 60Hz, el número de muestras tomado para una medición correcta del rms de las demás señales se detalla en la Tabla 3.5.

Además el cálculo del voltaje rms que realiza el bloque mostrado en la Figura 3.12 se realiza de acuerdo a (3.16).

**Tabla 3.5** Número de muestras tomadas por el bloque “RMS” de Labview, para el cálculo del voltaje eficaz de las señales discretas

Frecuencia Señal [Hz]	Periodo [s]	Velocidad muestreo [Ksamples/s]	Núm muestras
60	0,0167	50	833
120	0,0083	50	417
180	0,0056	50	278
240	0,0042	50	208
300	0,0033	50	167
360	0,0028	50	139
420	0,0024	50	119
480	0,0021	50	104
540	0,0019	50	93

$$50000 \left[ \frac{S}{s} \right] = \frac{\text{número de muestras}}{16.67\text{ms}}$$

$$\text{número de muestras} = 834$$

### 3.7 DIAGRAMAS DE FLUJO DE LA PROGRAMACIÓN IMPLEMENTADA

A continuación se detallan los diagramas de flujo de los dos instrumentos virtuales desarrollados, el primero contiene todos los procesos a ejecutarse en la FPGA y

en el procesador en tiempo real RMC (

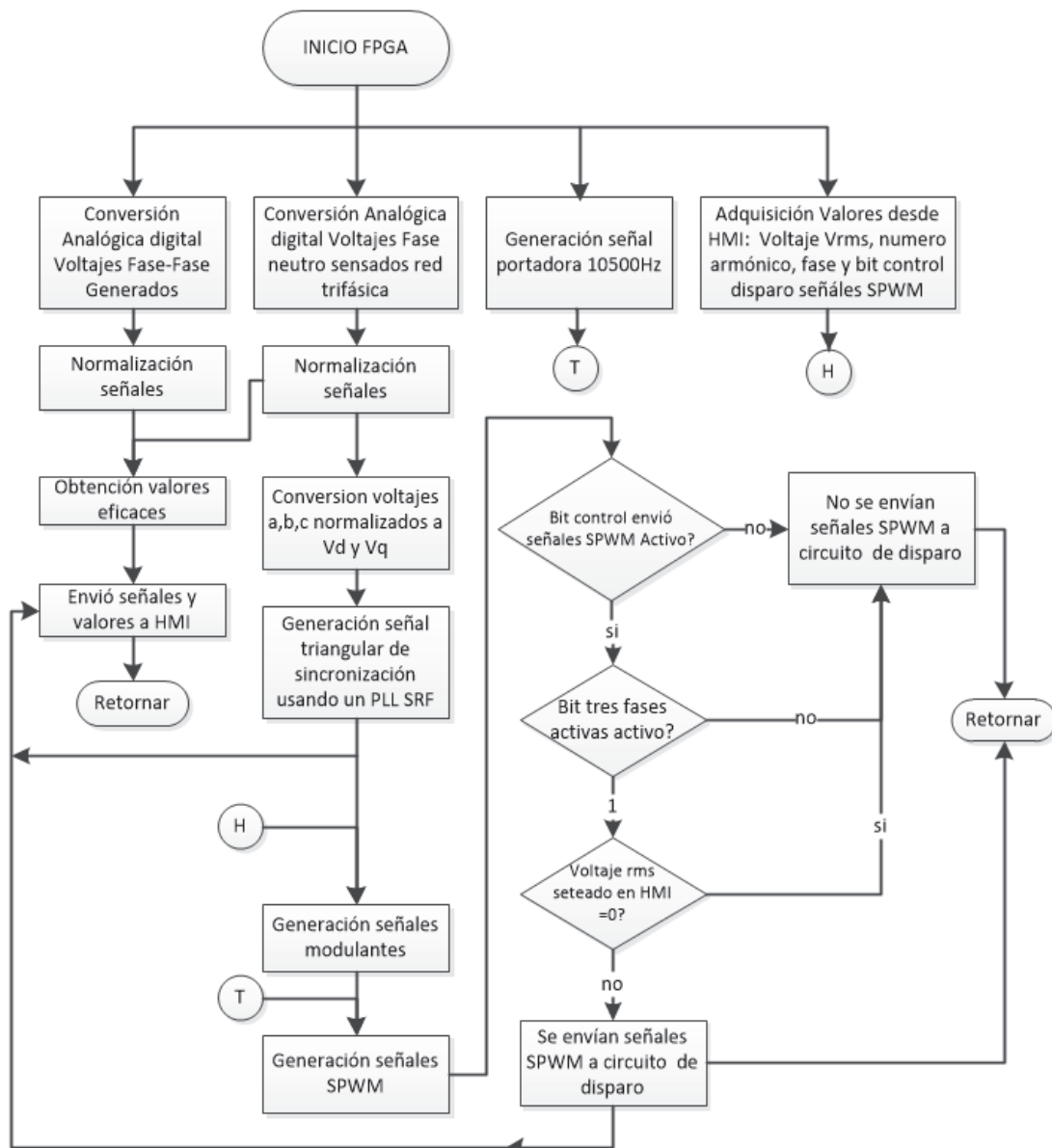


Figura 3.13), mientras que el segundo son los procesos efectuados en la INTERFAZ que permite el control y monitoreo del funcionamiento del equipo. El “vi” con el que va a interactuar el usuario es el “generador\_armonicos.\_interface.vi” (desde la Figura 3.14 hasta la Figura 3.18) y éste a su vez establece comunicación con la tarjeta de control, envía información de los parámetros configurados y recibe información del estado de las señales.

### 3.7.1 DIAGRAMA DE FLUJO DEL PROGRAMA DE LA FPGA

Los procesos dentro de la FPGA y la conversión ADC de las 6 señales analógicas (red y voltajes generados) se realizan en paralelo.

En el diagrama de la

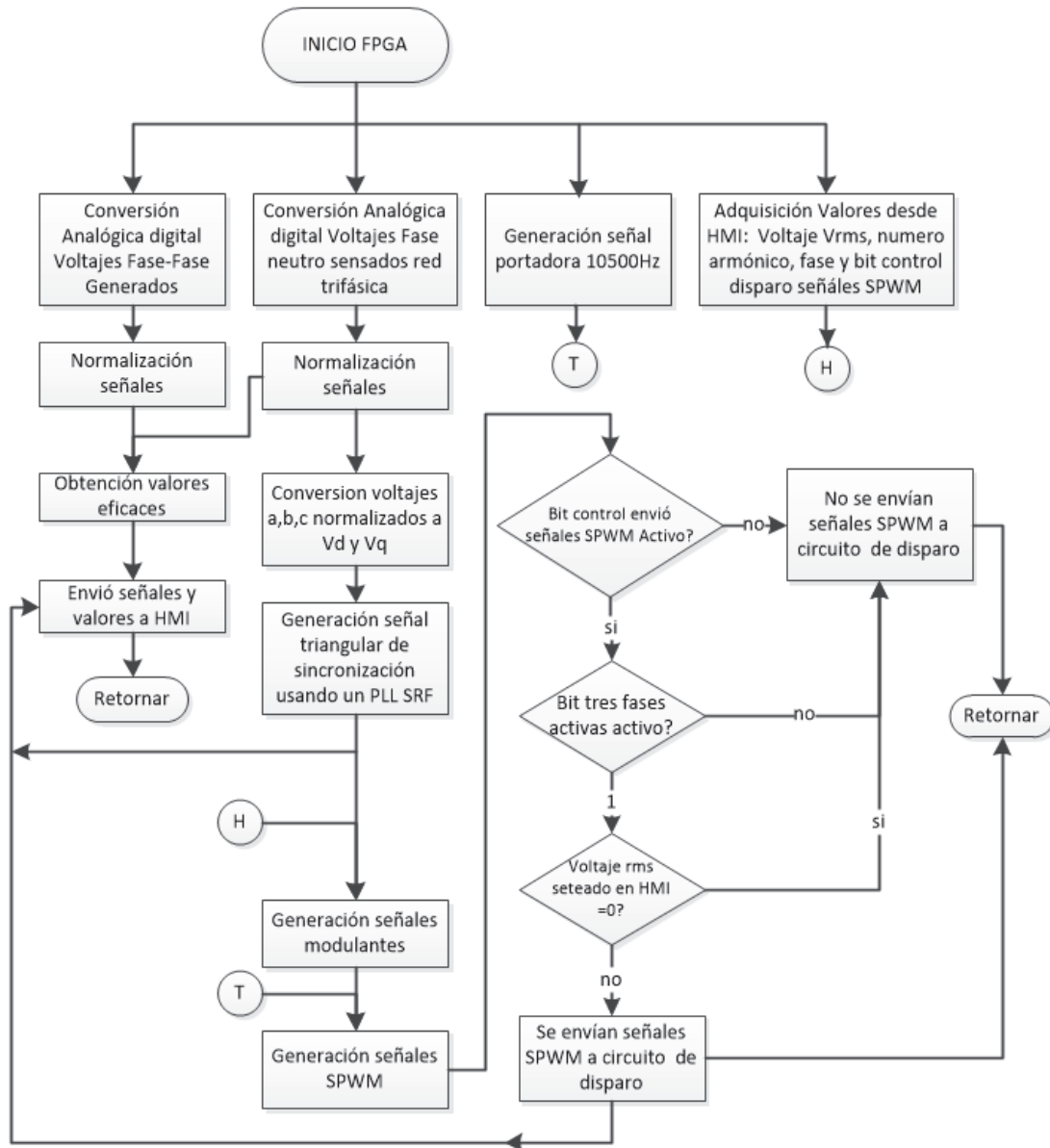


Figura 3.13 se muestra el flujo de desarrollo de la información para el “vi” de la fpga.

El objetivo principal de la programación realizada en la FPGA es la generación de las señales modulantes y posteriormente las señales de disparo SPWM. La señal triangular diente de sierra del PLL SRF sincronizada con la red eléctrica cuya amplitud se encuentra entre 0 y  $2\pi$  rad y su periodo es de 16.67ms (periodo de la red eléctrica) es multiplicada por el número de armónico ingresado, luego se le suma el desfase seteado en grados (lo que significa un desfase en el eje del tiempo) más el ángulo de fase propio de  $0^\circ$ ,  $-120^\circ$  y  $120^\circ$  respectivamente del sistema trifásico. A éstas nuevas señales triangulares modificadas se le extrae la función coseno, obteniendo de esta manera las tres señales modulantes desfasadas entre sí  $120^\circ$  con un desfase específico dado por el HMI. A éstas señales que tienen de amplitud la unidad, se les multiplica por la “Amplitud armónico” normalizada o índice de modulación que viene del lazo cerrado de control vrms, obteniendo las señales modulantes mod\_u, mod\_v, mod\_w deseadas.

La “Amplitud armónico normalizada” o índice de modulación es el cociente entre el Voltaje LL rms que viene del lazo cerrado de control Vrms y 190V (que es el voltaje línea-línea que ofrece el inversor trifásico cuando el índice de modulación es 1). Finalmente estas señales modulantes son comparadas con la señal triangular portadora de 10500Hz para generar las señales de disparo SPWM. Adicionalmente se realiza una lógica de control para permitir o no la salida de las señales SPWM a través de los puertos DIO según se indica en la Tabla 3.6 y la ecuación (3.18).

**Tabla 3.6** Lógica para el envío de señales de disparo SPWM

Activar SPWM's	amplitud $\neq 0$	3 fases idas	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

$$Y = (\text{Activar SPWM's}) \cdot (\text{¿ amplitud } \neq 0?) \cdot \overline{3 \text{ fases idas}} \quad (3.18)$$

Donde:

Activar SPWM's: Es un botón pulsador virtual presente en el HMI que permite el envío de las señales SPWM desde la tarjeta de control para disparar el puente inversor trifásico.

*¿amplitud  $\neq 0$ ?*: Si en el HMI se establece un  $V_{rms}$  LL igual a cero se debe desactivar el envío de señales de disparo SPWM. Porque la señal modulante al tener una amplitud cero y compararse con una señal portadora que varía entre -1 y 1 hará que de igual manera se generen las señales SPWM, que dispararán los IGBT's del puente inversor. Éstas señales SPWM si bien no van a generar voltaje a la salida del inversor, consumirán energía por el mismo hecho de disparar los semiconductores.

3 fases idas: Indica que la alimentación trifásica ha sido interrumpida por lo cual se debe desactivar el envío de las señales de disparo SPWM.

Y: Es el estado lógico que indica si se debe enviar o no las señales de disparo SPWM.

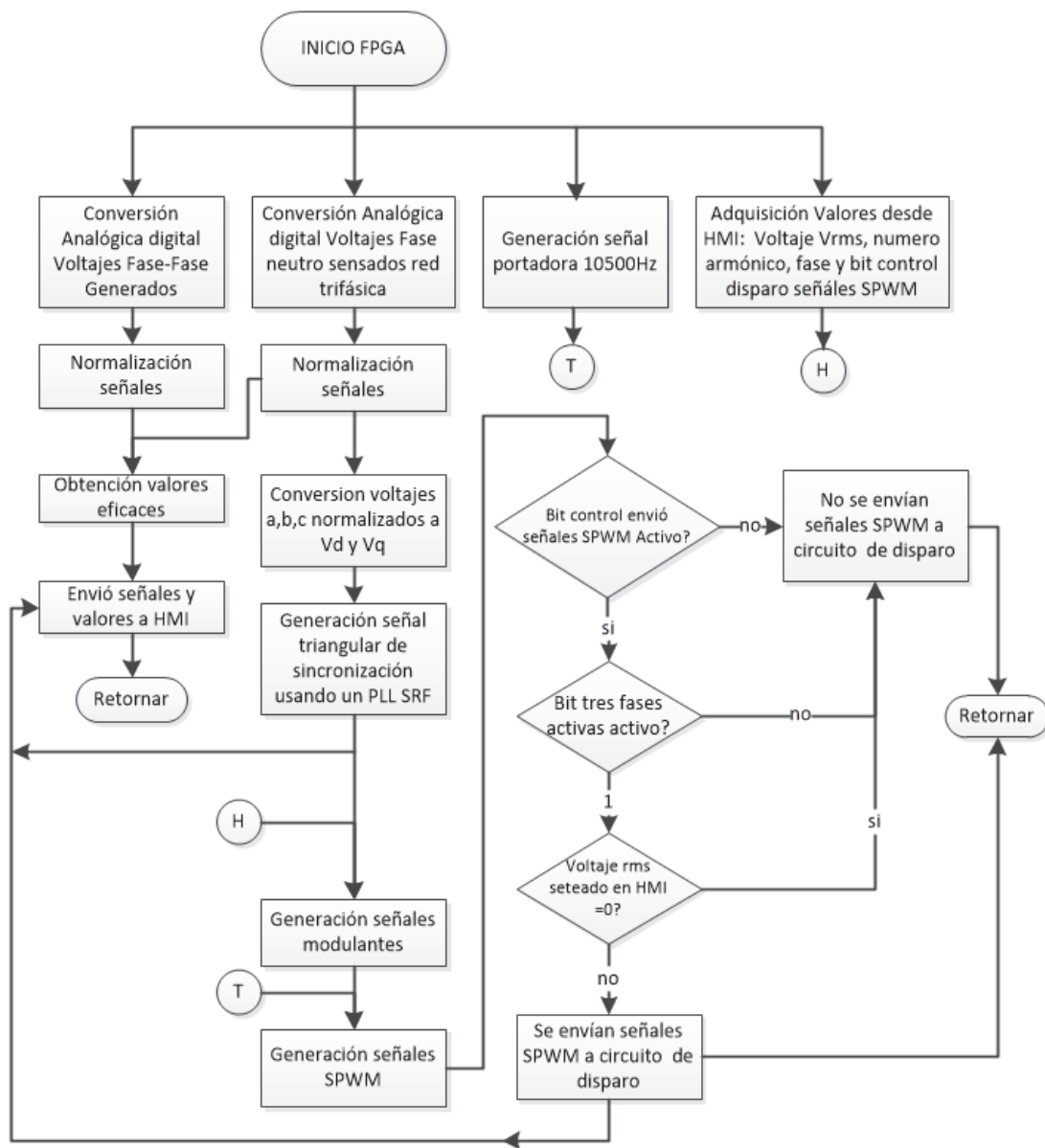
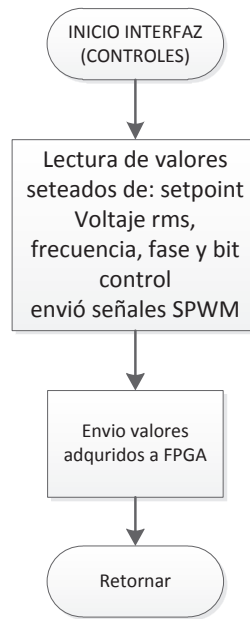


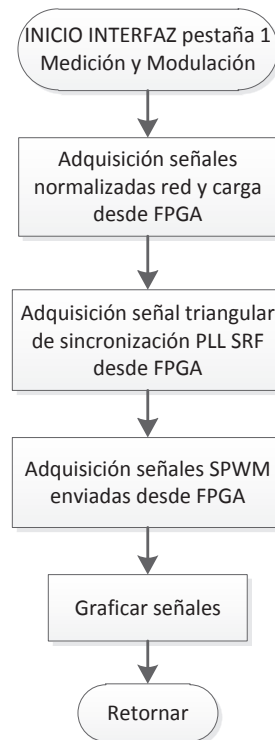
Figura 3.13 Diagrama de flujo de la “FPGA”



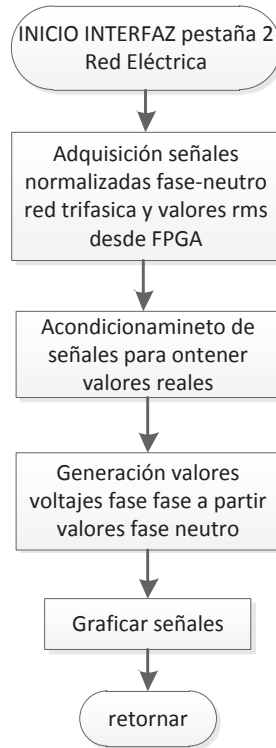
### 3.7.2 DIAGRAMA DE FLUJO DE LA INTERFAZ



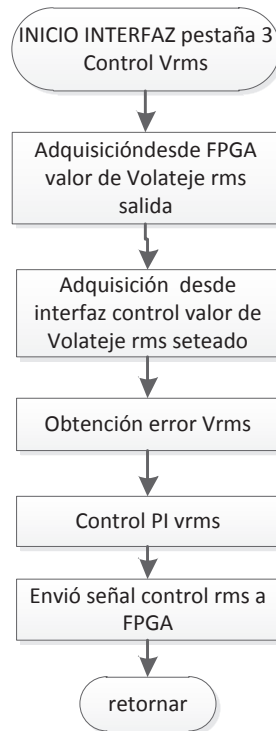
**Figura 3.14** Diagrama de flujo de la interfaz, controles.



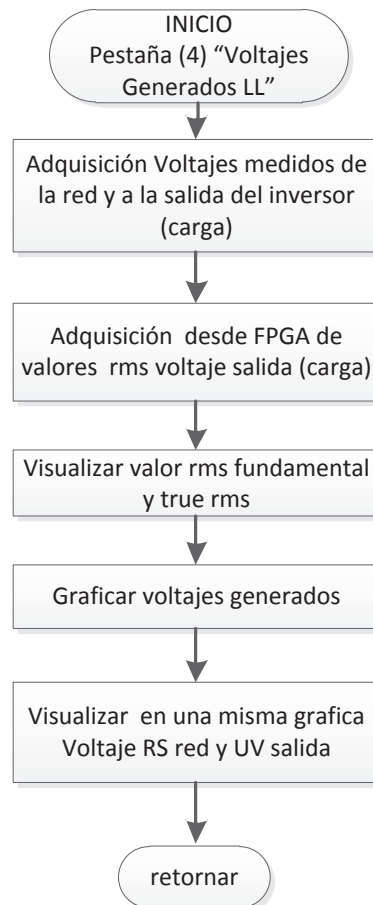
**Figura 3.15** Diagrama de flujo de la pestaña (1), "Medición y Modulación".



**Figura 3.16** Diagrama de flujo de la pestaña (2), “Red Eléctrica”.



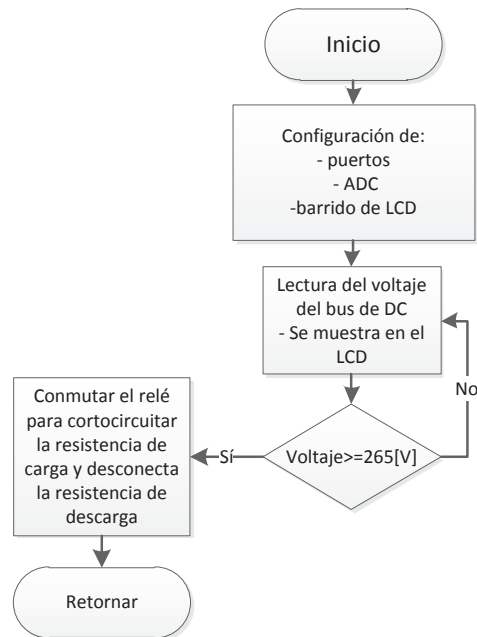
**Figura 3.17** Diagrama de flujo de la pestaña (3), “Control Vrms”.



**Figura 3.18** Diagrama de flujo de la pestaña (4) "Voltajes generados LL".

### 3.7.3 DIAGRAMA DE FLUJO DEL PROGRAMA QUE CONTROLA LA CARGA Y DESCARGA DEL BUS DE DC

En la Figura 3.19 se presenta el diagrama de flujo del programa que controla la carga y descarga del bus de DC de manera automática.



**Figura 3.19** Diagrama de flujo del programa implementado para la carga y descarga automática del bus dc.

### 3.8 INTERFAZ DE USUARIO HMI

En la Figura 3.20 se muestra la interfaz para el control y monitoreo del equipo. El monitoreo de las señales se efectúa mediante cuatro pestañas seleccionables: “MEDICIÓN Y MODULACIÓN”, “RED ELÉCTRICA”, “CONTROL VRMS”, “VOLTAJES GENERADOS LL”.

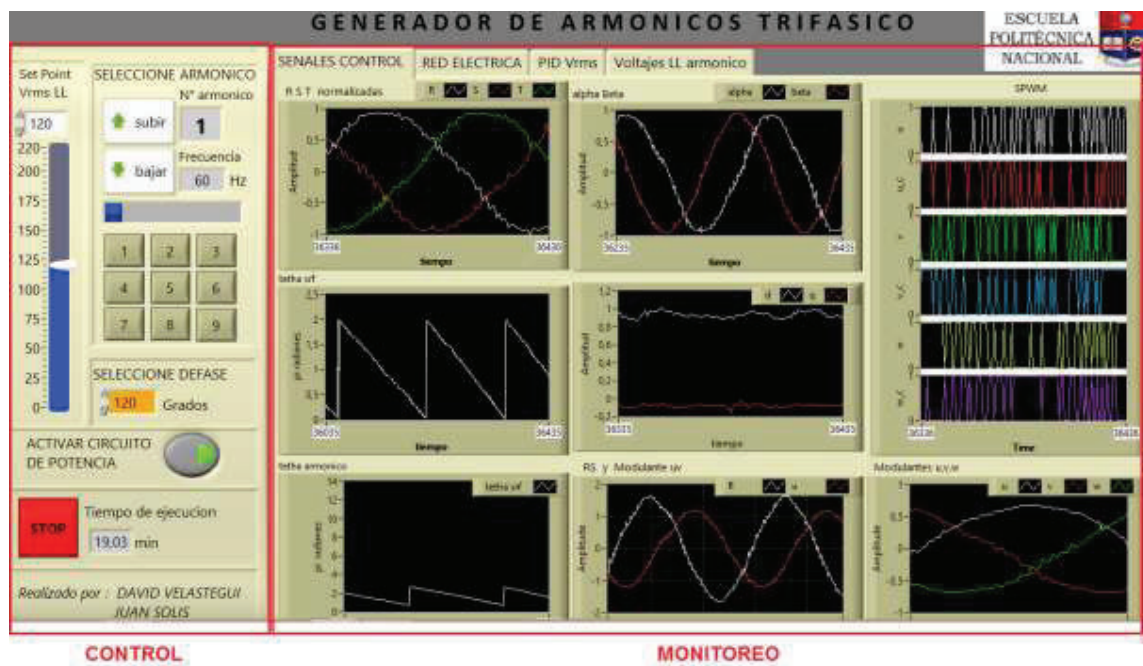
Todos los procesos que se ejecutan en la FPGA y el microprocesador en tiempo real son programados en el entorno de Labview 2012, luego de realizarse la compilación se genera un archivo (.bit) que se carga en la tarjeta de National Instruments.

Desde la interfaz de usuario se envían los siguientes parámetros de control:

1. Setpoint de voltaje.
2. Frecuencia.
3. Desfase.
4. Constantes  $K_p$ ,  $T_i$ , y  $T_m$  de calibración del controlador PI para el control del voltaje eficaz de la frecuencia fundamental.

Desde la tarjeta SBRIO de National Instruments se reciben los siguientes datos digitales:

- Señales abc de la red normalizadas
- Transformadas de Clark (alpha-beta)
- Transformadas de Park (d, q)
- Señal triangular diente de sierra para sincronización
- Señal triangular diente de sierra con la información del armónico a generar
- Señales modulantes uvw construidas
- Señal portadora de 10500Hz
- Señales SPWM's
- Señales a la salida del inversor trifásico (carga)
- Cálculos de Voltaje eficaz a la salida del inversor



**Figura 3.20** Interfaz de usuario para control y monitoreo del generador de armónicos trifásico.

En el Anexo A “Manual de Usuario” se detallan los controles e indicadores disponibles en esta interfaz virtual así como la información detallada sobre cada pestaña.

En éste capítulo se ha hecho referencia al software desarrollado que es el cerebro del equipo construido, tanto el detalle del instrumento virtual que establece la lógica que sigue la FPGA y procesador en tiempo real, así como el instrumento virtual que representa la interfaz de usuario. Se ha implementado un lazo de seguimiento de fase (PLL) mediante la técnica SRF que utiliza las transformadas de Clark y Park, ésta técnica utiliza un controlador PI que funciona como filtro pasa bajos. Se ha diseñado e implementado un lazo PI externo que permite obtener el  $V_{rms}$  fundamental deseado a la salida del inversor.

Además se han explicado cómo funcionan ciertos procesos que se ejecutan en el software como la lectura ADC, la conversión DCA, la medición del voltaje rms de una señal discreta y los diagramas de flujo de toda la programación realizada.

El código realizado en lenguaje grafico de Labview del sistema se indica en el Anexo F.

## CAPITULO 4

### PRUEBAS Y RESULTADOS

En este capítulo se presentan los resultados de las pruebas de funcionamiento del equipo implementado (Generador de Armónicos Trifásico), se tabula y analiza la información obtenida.

#### 4.1 GENERALIDADES

El presente trabajo desarrollado ha sido el producto de un sinnúmero de pruebas, que van desde el diseño hasta la implementación de circuitos impresos (PCB's), pruebas de hardware en combinación con pruebas de software para finalmente llegar a un producto prototipo que es el “Equipo Generador de Armónicos Trifásico”.

En la Tabla 4.1 se muestran las características eléctricas de éste equipo, parámetros a tomar en cuenta al momento de realizar las pruebas experimentales.

**Tabla 4.1** características eléctricas de éste equipo

Parámetros	Valor mínimo	Valor máximo	Unidades
Voltaje bus DC	295	330	V
Potencia de salida	0	1200 <sup>(1)</sup>	VA
Potencia de la fundamental	0	1074	W
Voltaje línea-línea true rms	0	245	V
Corriente de línea rms	0	2.83	A
Voltaje línea-línea rms fundamental (HMI)	140 <sup>(2)</sup> (recomendado)	220	V
Frecuencia en pasos de 60Hz (HMI)	60	540	Hz
Desfase respecto a la red eléctrica UV vs RS, VW vs ST, WU vs TU (HMI)	-180	180	grados
$I_{rms-línea}^{red}$	0	3.7	A
$V_{rms-LL}$	220	220	V
Potencia de entrada	0	1411.76	VA

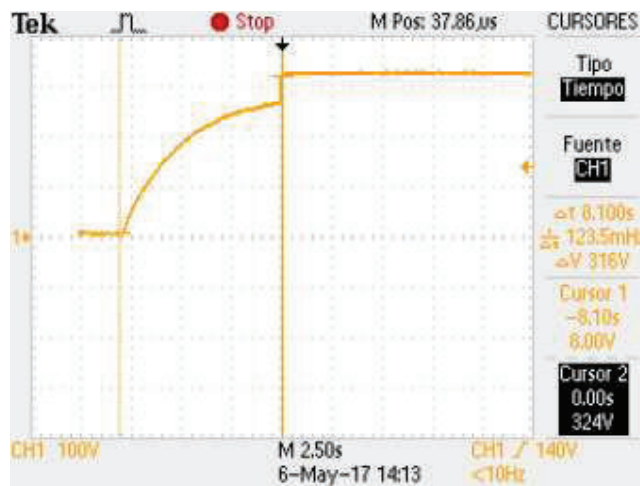
Eficiencia	85%
------------	-----

Nota:

- (1) La potencia máxima de salida permitida es obtenida en base al voltaje true rms máximo posible y la corriente máxima rms, para garantizar que el equipo funcione en condiciones óptimas.
- (2) No se recomienda setear voltajes menores a 140V porque la distorsión armónica en los voltajes generados es muy alta (observar subcapítulo 4.2) lo que significa que los filtros a diseñar para eliminar las componentes de alta frecuencia antes de inyectar esta energía a la red, deberían ser de mayor capacidad.

## 4.2 MEDICIÓN VOLTAJE DEL BUS DC

En la Figura 4.1 y Figura 4.2 se muestra la carga del bus dc la cual se observa se da en un tiempo de 8.1 segundos. La conmutación del relé de carga se da en un voltaje de 268V dando paso al voltaje total de aproximadamente 324V (sin carga). Este voltaje al activar el funcionamiento del equipo con carga decae a un valor aproximado de 305V, por lo tanto el voltaje rms línea-línea generado por el inversor a un  $m_a = 1$  según la ecuación (1.22) mencionada en el subcapítulo 1.6.1.5 es 187V.



**Figura 4.1** Forma de onda carga bus dc visualización tiempo de carga

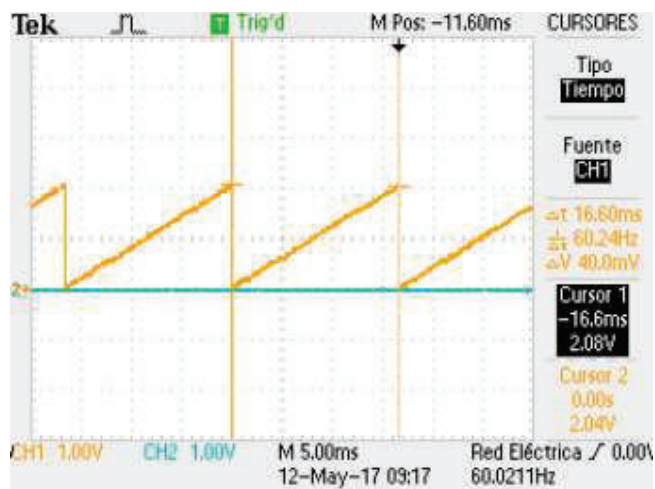




**Figura 4.2** Forma de onda carga bus dc, visualización voltaje de activación del relé

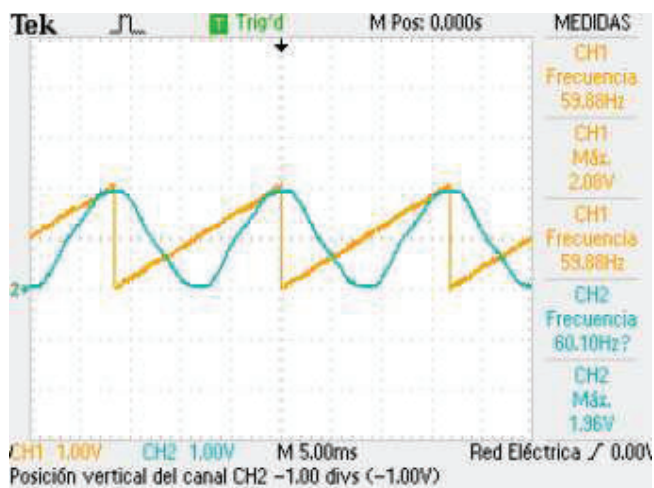
### 4.3 MEDICIÓN SEÑAL PLL SRF

En la Figura 4.3 se muestra la señal del PLL SRF. Se observa que posee un periodo correspondiente a 16.66ms correspondiente al periodo de la red eléctrica.



**Figura 4.3** Forma de onda de la señal triangular del PLL

En la Figura 4.4 se muestra la señal del PLL y la señal previamente acondicionada de la fase R de la red. Se puede observar que la sincronización es efectiva. Esta sincronización se da aplicando la función coseno a la señal del PLL como se indicó en el subcapítulo 1.3.2 Figura 1.9.



**Figura 4.4** Señal triangular del PLL y señal acondicionada de la red RN

Estas señales han sido obtenidas desde el pin A02 y A04 de los pines nombrados como “visualización señales analógicas de la tarjeta de control” como se indica en la Figura A.1 del manual de usuario.

#### 4.4 MEDICIÓN VOLTAJES RMS LÍNEA-LÍNEA GENERADOS

Se llevan a cabo dos mediciones de voltaje: con el “Analizador de Armónicos FLUKE” se mide el voltaje rms de la frecuencia fundamental y con el “multímetro FLUKE” se mide el voltaje rms total o true rms.

Las mediciones se las ha realizado conectando al equipo una carga de  $50\Omega$  con capacidad de corriente de hasta 3A en estrella. En pasos de 20V del setpoint de voltaje se han medido los voltajes rms de la fundamental y voltajes true rms para las señales de: 60Hz, 180Hz, 300Hz, 420Hz y 540Hz.

Desde la Tabla 4.2 hasta la Tabla 4.6 se muestran los resultados y análisis de los voltajes para las frecuencias 60Hz, 180Hz, 300Hz, 420Hz (análisis de interés debido a que éstos armónicos son los que se presentan en la red eléctrica), también se indican en el Anexo H las mediciones de los voltajes de las frecuencias pares múltiplos de 60Hz.

#### 4.4.1 MEDICIÓN DE VOLTAJE PRIMER ARMÓNICO

En la Tabla 4.2 se muestran las mediciones del voltaje total rms y el voltaje de la frecuencia fundamental.

**Tabla 4.2** Salida del Generador de Armónicos Trifásico a  $f = 60\text{Hz}$

Set point $V_{LL-rms}$ [V]	$V_{rms-fund}$ [V] analizador	<i>error</i> [%] setpoint- analizador	$V_{true-rms}$ [V] multímetro	$V_{true-rms}$ [V] medidor HMI	<i>error</i> [%] multím real- HMI	THD [%]
10	10,1	-1,00%	39,38	39,7	-0,91%	377%
20	20,1	-0,50%	68	67,3	1,06%	323%
30	30,1	-0,33%	86,4	87,1	-0,81%	269%
40	40	0,00%	101,1	102,1	-0,99%	232%
50	50,4	-0,80%	113	114,2	-1,03%	201%
60	60,6	-1,00%	124,4	125,1	-0,56%	179%
70	70,5	-0,71%	135,4	134,9	0,37%	164%
80	80,2	-0,25%	144,4	144,7	-0,21%	150%
90	90,2	-0,22%	153,5	154,4	-0,59%	138%
100	100	0,00%	161,5	163,9	-1,49%	127%
110	110,1	-0,09%	164,8	172,9	-4,92%	111%
120	118,5	1,25%	177,4	181,0	-2,05%	111%
130	130	0,00%	184,5	188,3	-2,04%	101%
140	140	0,00%	191,7	194,4	-1,41%	94%
150	150	0,00%	198,4	199,9	-0,76%	87%
160	160	0,00%	205,3	205,2	0,07%	80%
170	170	0,00%	211,2	211,2	0,00%	74%
180	180	0,00%	217,8	220,2	-1,08%	68%
187	187	0,00%	222,2	224,9	-1,22%	64%
190	190	0,00%	224,8	226,8	-0,89%	63%
200	200	0,00%	231	233,3	-1,01%	58%
210	210	0,00%	235,2	239,4	-1,79%	50%
220	220	0,00%	238,3	243,1	-2,01%	42%

La Figura 4.5, Figura 4.6, y Figura 4.7 muestran tres tomas de datos para elaborar la Tabla 4.2 a un  $Setpoint = 50V$ ,  $187V$  y  $200V$  que corresponden a un  $m_a < 1$ ,  $m_a = 1$  y un  $m_a > 1$  respectivamente. Se indican las mediciones del: analizador de armónicos ( $V_{rms}$  Armónico), multímetro ( $V_{TRUE RMS}$ ) y medidores virtuales de voltaje rms de la fundamental y del voltaje rms total.

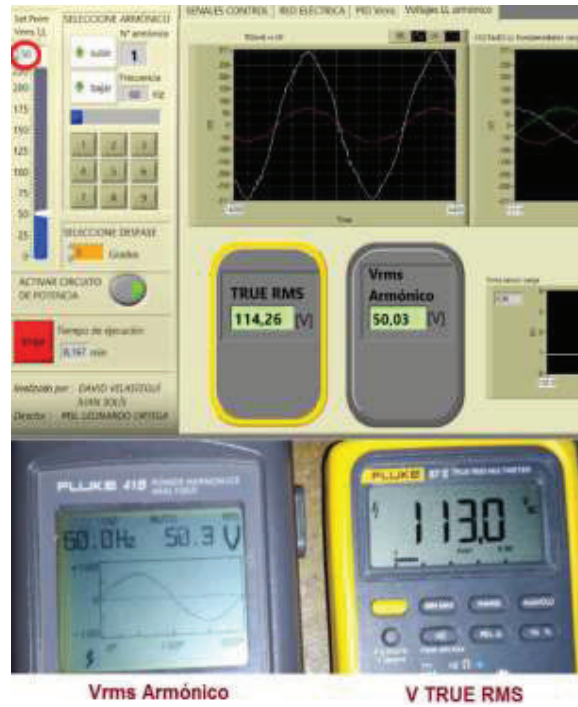


Figura 4.5 Medición Vrms fundamental y Vtrue-rms en la salida a  $f = 60\text{Hz}$  y Setpoint=50V ( $m_a < 1$ )

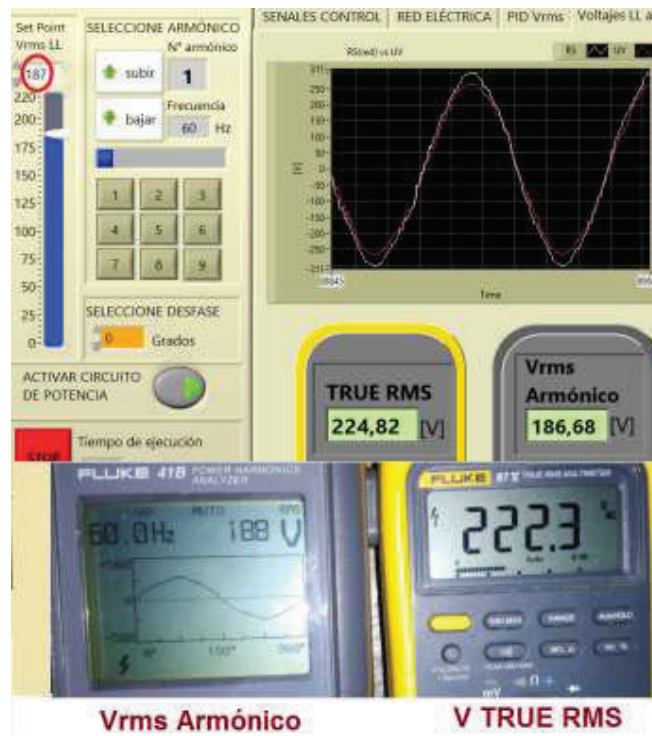
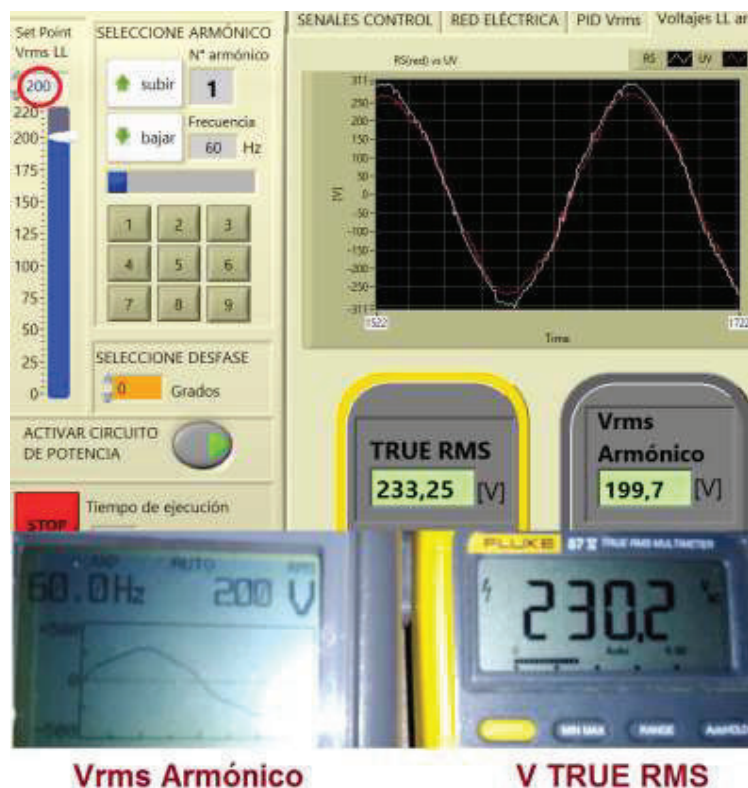


Figura 4.6 Medición Vrms fundamental y Vtrue-rms en la salida a  $f = 60\text{Hz}$  y Setpoint=187V ( $m_a = 1$ )



**Figura 4.7** Medición  $V_{rms}$  fundamental y  $V_{true-rms}$  en la salida a  $f = 60\text{Hz}$  y Setpoint=200V ( $m_a > 1$ )

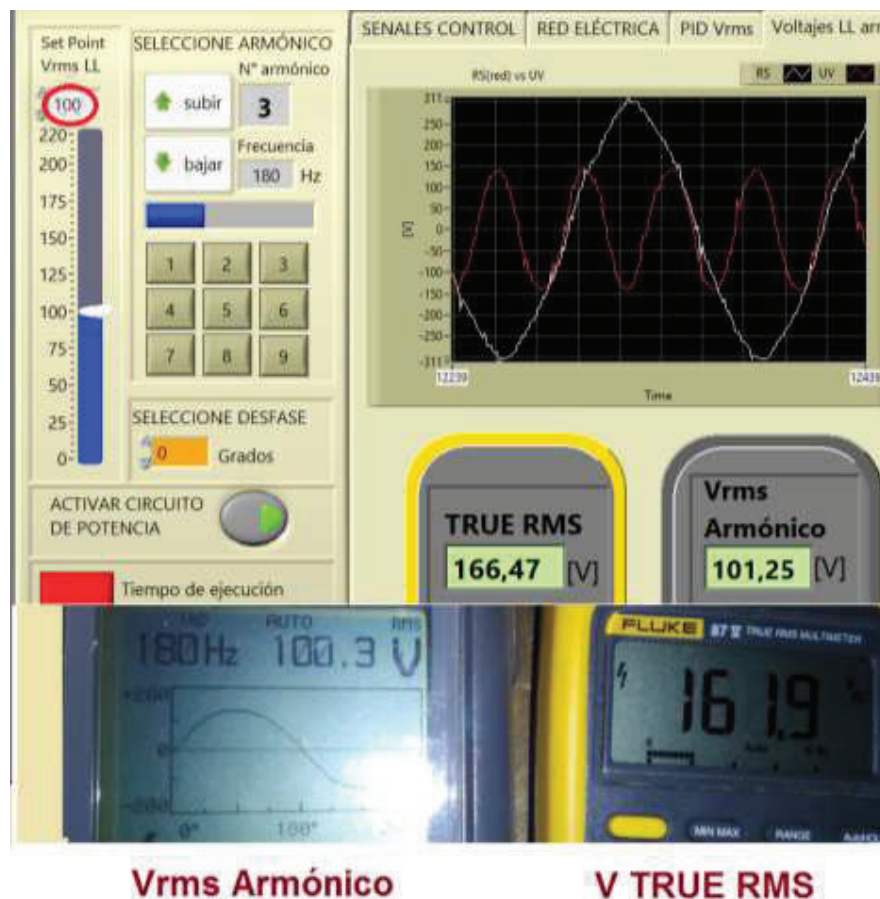
#### 4.4.2 MEDICIÓN DE VOLTAJE TERCER ARMÓNICO

En la Tabla 4.3 se muestran las mediciones del voltaje total rms y el voltaje de la frecuencia fundamental de 180Hz y en la Figura 4.8 se muestra una de las mediciones realizadas experimentalmente.

**Tabla 4.3** Salida del Generador de Armónicos Trifásico a  $f = 180\text{Hz}$

Set point $V_{LL-rms}$ [V]	$V_{rms-fund}$ [V] analizador	$e[\%]$ setpoint- analizador	$V_{true-rms}$ [V] multímetro	$V_{true-rms}$ [V] medidor HMI	$e[\%]$ multím real- HMI	THD [%]
10	10,3	-3,0%	40,66	40	2,9%	374%
20	20,6	-3,0%	67,9	66	2,2%	314%
30	30,7	-2,3%	86,4	86	0,0%	263%
40	40,7	-1,8%	101	101	-0,3%	227%
50	50	0,0%	113	113	-0,2%	203%
60	60,1	-0,2%	124,5	124	0,5%	181%
70	70,1	-0,1%	135,4	134	1,2%	165%
80	80	0,0%	145	144	1,0%	151%
90	90	0,0%	153,8	152	1,0%	139%

100	100,4	-0,4%	162,9	162	0,3%	128%
110	110,2	-0,2%	172,9	172	0,8%	121%
120	119,5	0,4%	181,4	180	0,9%	114%
130	130	0,0%	188,8	187	1,0%	105%
140	140	0,0%	196,3	193	1,5%	98%
150	150	0,0%	202,7	199	2,0%	91%
160	160	0,0%	209,2	204	2,6%	84%
170	168	1,2%	216,8	210	3,3%	82%
180	177	1,7%	222,4	217	2,2%	76%
187	185	1,1%	226,6	225	0,9%	71%
190	187	1,6%	228,9	227	1,0%	71%
200	199	0,5%	235,2	233	1,0%	63%
210	209	0,5%	242	238	1,5%	58%
220	218	0,9%	248	244	1,6%	54%



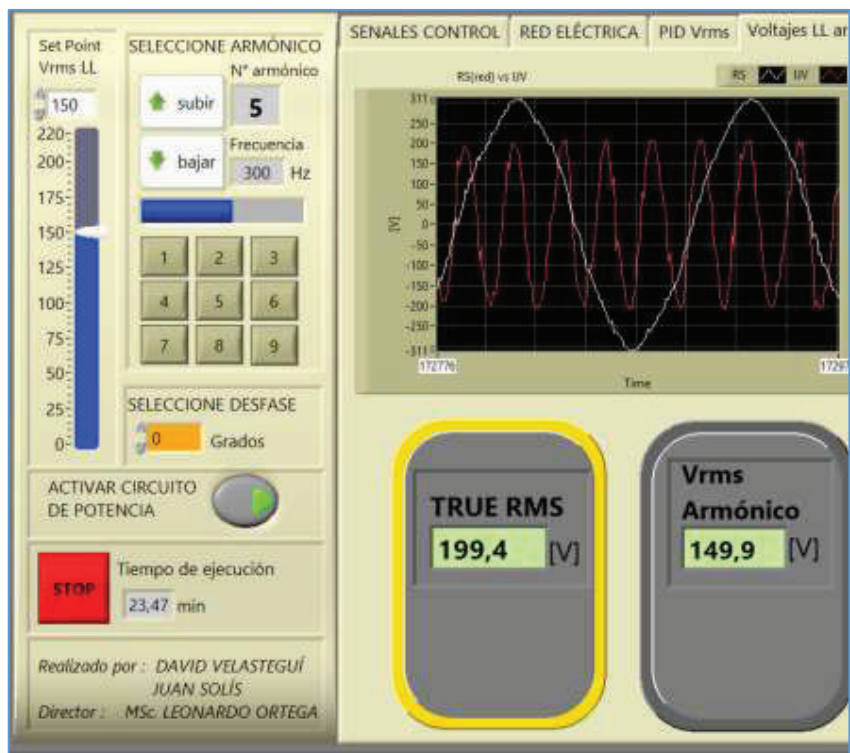
**Figura 4.8** Medición Vrms fundamental y Vtrue-rms en la salida a  $f = 180\text{Hz}$  y Setpoint=100V ( $m_a < 1$ )

#### 4.4.3 MEDICIÓN DE VOLTAJE QUINTO ARMÓNICO

En la Tabla 4.4 se muestran las mediciones del voltaje total rms y el voltaje de la frecuencia fundamental de 300Hz y en la Figura 4.9 se muestra una de las mediciones realizadas experimentalmente.

**Tabla 4.4** Salida del Generador de Armónicos Trifásico a  $f = 300\text{Hz}$

Set point $V_{LL-rms}$ [V]	$V_{rms-fund}$ [V] analizador	$e[\%]$ setpoint- analizador	$V_{true-rms}$ [V] multímetro	$V_{true-rms}$ [V] Medidor HMI	$e[\%]$ multím real- HMI	THD [%]
10	10,1	-1,0%	39	41	-4,1%	373%
20	20,3	-1,5%	65,6	69	-4,4%	307%
30	30,2	-0,7%	87,2	88	-1,1%	271%
40	39,5	1,3%	103	103	-0,3%	241%
50	50,3	-0,6%	115,3	115	0,1%	206%
60	59,9	0,2%	126,6	126	0,9%	186%
70	69,9	0,1%	137,2	135	1,7%	169%
80	80,2	-0,3%	148	144	2,6%	155%
90	89,8	0,2%	156,4	153	2,1%	143%
100	98,4	1,6%	164,8	162	1,6%	134%
110	109,3	0,6%	173,6	171	1,6%	123%
120	119,6	0,3%	180,4	179	0,8%	113%
130	130	0,0%	188,8	187	1,1%	105%
140	139	0,7%	195,8	193	1,2%	99%
150	148	1,3%	203,7	199	2,1%	95%
160	159	0,6%	209,3	205	2,2%	86%
170	168	1,2%	215,8	210	2,6%	81%
180	178	1,1%	222,3	216	2,7%	75%
187	187	0,0%	226,9	226	0,3%	69%
200	200	0,0%	235,3	235	0,1%	62%
210	210	0,0%	244	242	1,0%	59%
220	220	0,0%	250	244	2,4%	54%



**Figura 4.9** Medición Vrms fundamental y Vtrue-rms en la salida a  $f = 300\text{Hz}$  y Setpoint=150V ( $m_a < 1$ )

#### 4.4.4 MEDICIÓN DE VOLTAJE SÉPTIMO ARMÓNICO

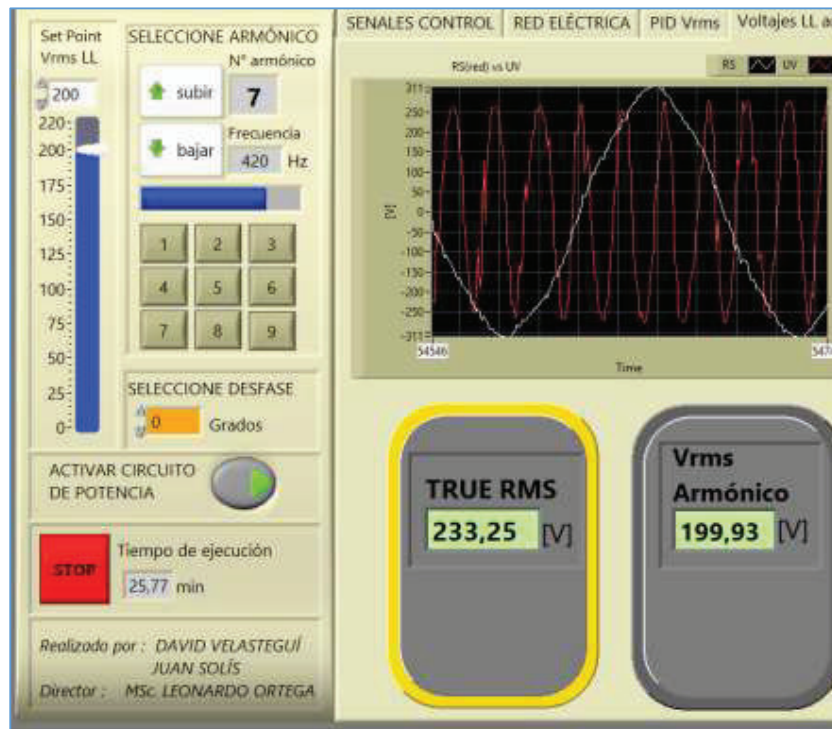
En la Tabla 4.5 se muestran las mediciones del voltaje total rms y el voltaje de la frecuencia fundamental de 420Hz y en la Figura 4.10 se muestra una de las mediciones realizadas experimentalmente.

**Tabla 4.5** Salida del Generador de Armónicos Trifásico a  $f = 420\text{Hz}$

Set point $V_{LL-rms}$ [V]	$V_{rms-fund}$ [V] analizador	$e[\%]$ setpoint-analizador	$V_{true-rms}$ [V] multímetro	$V_{true-rms}$ [V] medidor HMI	$e[\%]$ multím real- HMI	THD [%]
10	10,1	-1,0%	41	41,7	-1,7%	393%
20	19,6	2,0%	69,6	69,2	0,6%	341%
30	30,1	-0,3%	88,6	88,14	0,5%	277%
40	40,3	-0,7%	104,2	102,4	1,7%	238%
50	50,7	-1,4%	117,2	114,35	2,4%	208%
60	60,2	-0,3%	128,4	125,2	2,5%	188%
70	70,5	-0,7%	139	135,6	2,4%	170%
80	80,7	-0,9%	149,1	145,7	2,3%	155%



90	90,2	-0,2%	159	155,2	2,4%	145%
100	100,6	-0,6%	165,8	164,3	0,9%	131%
110	110,8	-0,7%	175,1	172,4	1,5%	122%
120	120,5	-0,4%	183,2	179,85	1,8%	115%
130	130,5	-0,4%	190,8	186,6	2,2%	107%
140	141	-0,7%	198,6	193,04	2,8%	99%
150	151	-0,7%	205,3	199,5	2,8%	92%
160	160	0,0%	211,6	206,2	2,6%	87%
170	170	0,0%	218,8	213,4	2,5%	81%
180	180	0,0%	224,9	220,4	2,0%	75%
187	188	-0,5%	229	224,4	2,0%	70%
200	200	0,0%	234,9	233,2	0,7%	62%
210	210	0,0%	240,4	239,1	0,5%	56%
220	219	0,5%	249	243,4	2,2%	54%



**Figura 4.10** Medición Vrms fundamental y Vtrue-rms en la salida a  $f = 300\text{Hz}$  y Setpoint=200V ( $m_a > 1$ )

#### 4.4.5 MEDICIÓN DE VOLTAJE NOVENO ARMÓNICO

En la Tabla 4.6 se muestran las mediciones del voltaje total rms y el voltaje de la frecuencia fundamental de 540 Hz.

**Tabla 4.6** Salida del Generador de Armónicos Trifásico a  $f = 540\text{Hz}$

Set point $V_{LL-rms}$ [V]	$V_{rms-fund}$ [V] analizador	$e[\%]$ setpoint- analizador	$V_{true-rms}$ [V] multímetro	$V_{true-rms}$ [V] medidor HMI	$e[\%]$ multím real- HMI	THD [%]
10	10,9	-2,0%	40,2	41	-2,0%	355%
20	21,7	-0,5%	72,3	73,2	-1,2%	318%
30	32,8	-0,3%	91,6	92,3	-0,8%	261%
40	43,7	-0,5%	107,1	108,5	-1,3%	224%
50	54,4	-0,2%	119,9	121	-0,9%	196%
60	65,8	-0,2%	132,2	133,2	-0,8%	174%
70	76,4	-0,1%	142,9	142,3	0,4%	158%
80	87	-0,3%	153,8	154,1	-0,2%	146%
90	97,6	-0,1%	162	162,5	-0,3%	132%
100	108,6	-0,1%	171,6	171,9	-0,2%	122%
110	119,3	-0,1%	180	181	-0,6%	113%
120	130	-0,2%	187,1	188	-0,5%	104%
130	140	-0,1%	195	196	-0,5%	97%
140	151	-0,1%	202	203	-0,5%	89%
150	162	-0,2%	209,2	211	-0,9%	82%
160	172	-0,1%	217,1	219	-0,9%	77%
170	184	-0,1%	223,3	225	-0,8%	69%
180	195	-0,1%	230,4	232,2	-0,8%	63%
187	201	-0,5%	235	237,2	-0,9%	61%
200	209	-0,5%	239,7	241,6	-0,8%	56%
205	204	0,5%	240,9	242,3	-0,6%	55%
210	209	0,5%	245,2	247,1	-0,8%	49%

En las tablas indicadas (Tabla 4.2-Tabla 4.6) se observa que la mayoría de errores están el rango del 0 al 2% y que el error máximo es del 3% siendo valores aceptables, con lo que se puede determinar que el equipo está generando las señales de voltaje seteadas desde el HMI. De igual manera al observar que el error multímetro real-medidor HMI es menor al 5% se valida el funcionamiento del medidor virtual para la medición del voltaje rms total o true rms. Los valores medidos por el medidor virtual de voltaje rms fundamental presente en el HMI

coinciden con las mediciones del analizador real con lo que también se valida el funcionamiento de este medidor virtual de voltaje rms fundamental.

Los valores observados en las tablas (Tabla 4.2-Tabla 4.6) tienen similitud con los resultados obtenidos en el apartado de simulación del subcapítulo 2.6.

#### 4.4.6 FORMAS DE ONDA DE VOLTAJES GENERADOS

Desde la Figura 4.11 hasta la Figura 4.15 se presentan algunas de las formas de onda de voltajes generadas de tres niveles tomadas con el osciloscopio. Para tomar las formas de onda se configuró un valor rms de la fundamental de 140V en el HMI y un ángulo de fase de  $0^\circ$ . La señal azul corresponde a la señal de la red RS y la señal amarilla corresponde a la señal del voltaje generado UV.

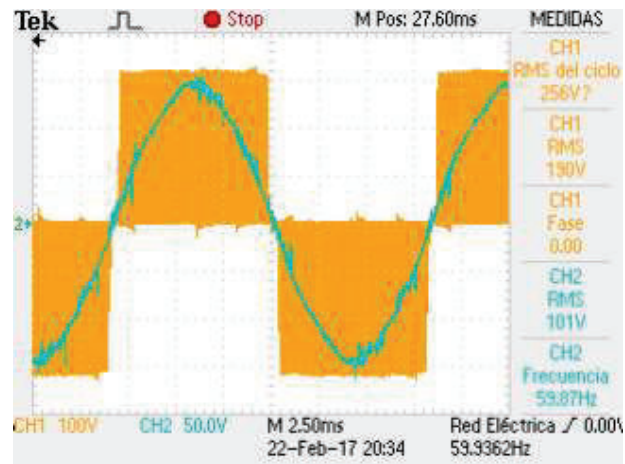


Figura 4.11 Voltaje generado UV 1er armónico

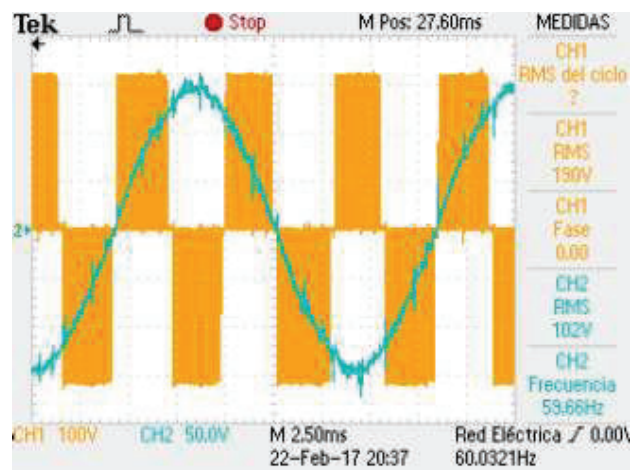


Figura 4.12 Voltaje generado UV 3er armónico

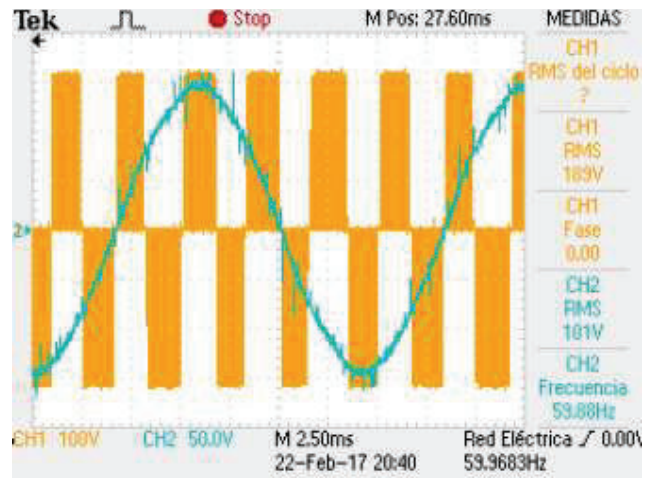


Figura 4.13 Voltaje generado UV 5to armónico



Figura 4.14 Voltaje generado UV 7mo armónico

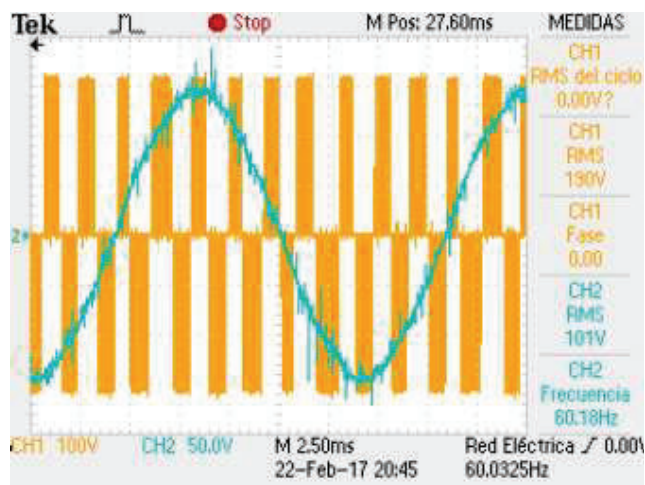
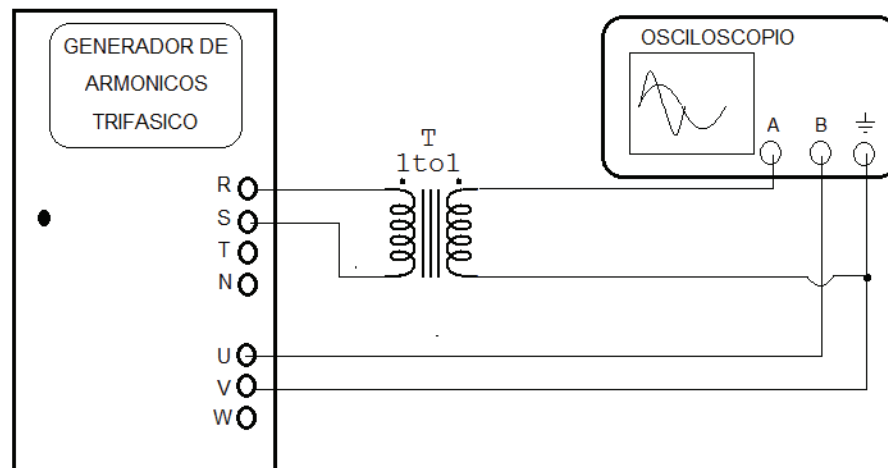


Figura 4.15 Voltaje generado UV 9no armónico

## 4.5 MEDICIÓN SINCRONIZACIÓN DE LOS ARMÓNICOS DE VOLTAJE GENERADOS CON LA RED

Se ingresa por teclado en el HMI un ángulo de fase igual a cero, luego mediante el osciloscopio se observa la sincronización de cada armónico generado con el voltaje de la red (línea-línea). Por ejemplo la fase de la señal generada UV (color amarillo) se mide con respecto a la señal de voltaje RS (color azul) de la red eléctrica, las cuales deben estar en sincronía. Desde la Figura 4.17 hasta la Figura 4.21 se muestran las formas de onda del voltaje generado en sincronía con la red, para cada armónico a un valor  $V_{rms}$  LL de 120V fijo. Para facilitar la visualización de la sincronización entre las señales se utiliza la función promediar señal del osciloscopio. Además debe tenerse en cuenta que las referencias o tierras de este par de señales no son las mismas por lo que deben ser aisladas. Por tal motivo se debe usar un transformador de aislamiento para disponer de una tierra común que será conectada al osciloscopio según se indica en la Figura 4.16.



**Figura 4.16** Diagrama de conexión para medir sincronización

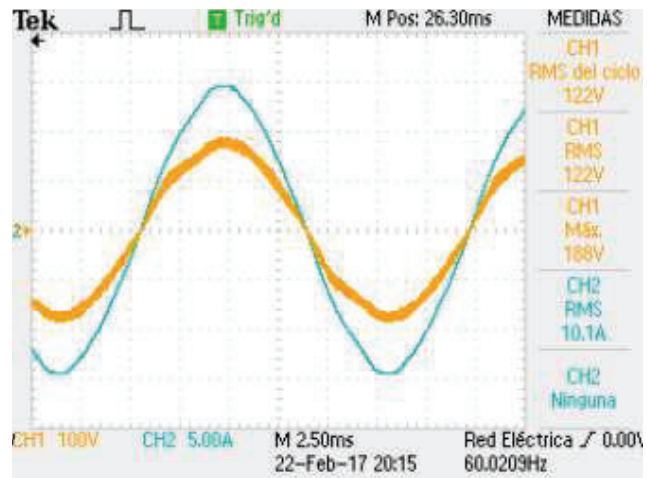


Figura 4.17 Sincronización 1er armónico con la red

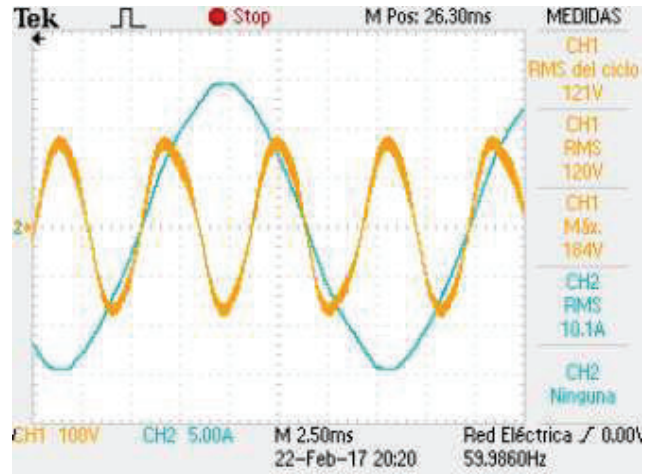


Figura 4.18 Sincronización 3er armónico con la red

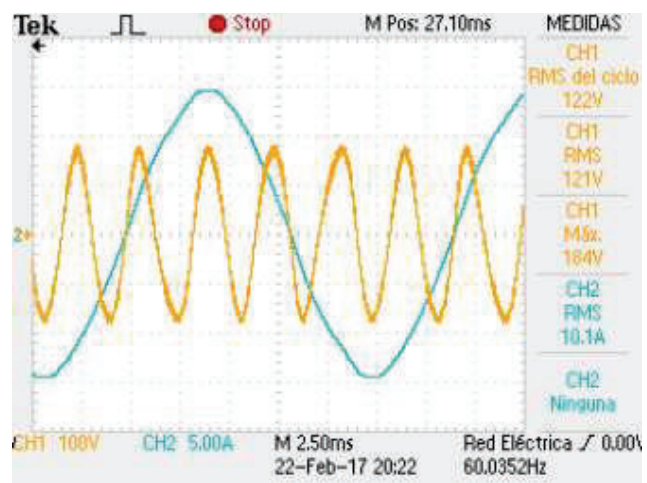
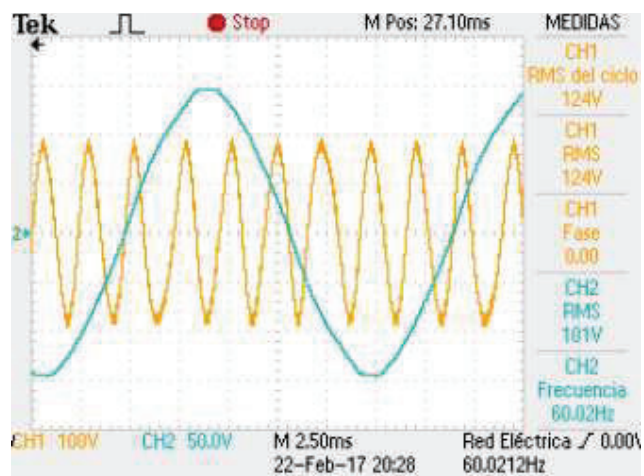
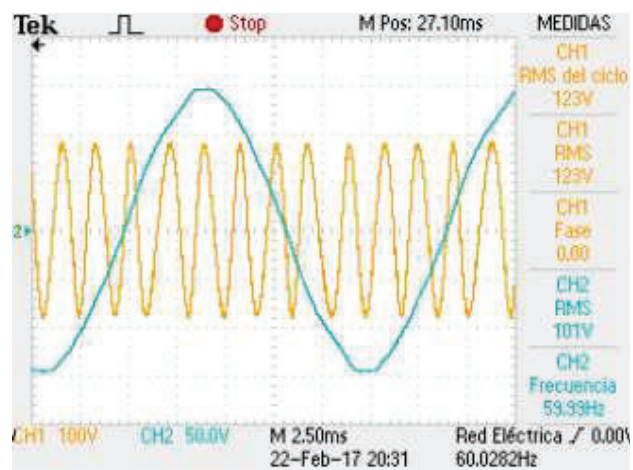


Figura 4.19 Sincronización 5to armónico con la red



**Figura 4.20** Sincronización 7mo armónico con la red



**Figura 4.21** Sincronización 9no armónico con la red

## 4.6 MEDICIÓN DE FASE

Con el uso del osciloscopio usando la herramienta de cursores se mide el desfase entre la señal de voltaje generada y la señal de la red. Se ha realizado la medición del voltaje generado UV (color amarillo) y el voltaje RS (color azul) de la red trifásica. Para facilitar la visualización del desfase entre las señales se utiliza la función promediar señal del osciloscopio.

Se recuerda que se deben aislar las señales como se indicó la Figura 4.16 para poder medir ambos voltajes en el osciloscopio que dispone de una única referencia.

En la Tabla 4.7 y Tabla 4.8 se muestran los resultados de fase medidos para cada armónico. Esta medición se la realiza a un valor constante de  $V_{rms}$  seteado, el cual se ha establecido en 120V.

**Tabla 4.7** Resultados ángulo de fase para 1er y 3er armonios ( $V_{rms}=120V$ )

$\theta_{set}$ (°)	1ro			3ro		
	$\theta_{set}$ (ms)	$\theta_{med}$ (ms)	error (%)	$\theta_{set}$ (ms)	$\theta_{med}$ (ms)	error (%)
0	0.00	0.01	0.10	0.000	0.010	0.1
10	0.46	0.42	10.36	0.154	0.164	-6.27
20	0.93	0.83	10.14	0.309	0.336	-8.86
30	1.39	1.34	3.52	0.463	0.470	-1.52
40	1.85	1.84	0.64	0.617	0.630	-2.06
50	2.31	2.28	1.50	0.772	0.788	-2.12
60	2.78	2.68	3.52	0.926	0.920	0.64
70	3.24	3.08	4.96	1.080	1.110	-2.75
80	3.70	3.52	4.96	1.235	1.290	-4.49
90	4.17	4.04	3.04	1.389	1.450	-4.40
100	4.63	4.52	2.37	1.543	1.610	-4.33
110	5.09	4.96	2.60	1.698	1.760	-3.68
120	5.56	5.44	2.08	1.852	1.920	-3.68
130	6.02	5.80	3.63	2.006	2.100	-4.68
140	6.48	6.52	-0.59	2.160	2.200	-1.83
150	6.94	7.00	-0.80	2.315	2.340	-1.09
160	7.41	7.52	-1.52	2.469	2.440	1.18
170	7.87	7.92	-0.63	2.623	2.580	1.66
180	8.33	8.28	0.64	2.778	2.760	0.64
-10	-0.46	-0.42	9.28	-0.154	-0.145	6.04
-20	-0.93	-0.81	12.52	-0.309	-0.300	2.80
-30	-1.39	-1.23	11.44	-0.463	-0.460	0.64
-40	-1.85	-1.86	-0.44	-0.617	-0.610	1.18
-50	-2.31	-2.48	-7.14	-0.772	-0.730	5.39
-60	-2.78	-2.94	-5.84	-0.926	-0.850	8.20
-70	-3.24	-3.38	-4.30	-1.080	-1.000	7.43
-80	-3.70	-3.80	-2.60	-1.235	-1.180	4.42
-90	-4.17	-4.32	-3.68	-1.389	-1.360	2.08
-100	-4.63	-4.76	-2.82	-1.543	-1.580	-2.38
-110	-5.09	-5.24	-2.89	-1.698	-1.750	-3.09
-120	-5.56	-5.68	-2.24	-1.852	-1.980	-6.92



<b>-130</b>	-6.02	-6.12	-1.69	-2.006	-2.150	-7.17
<b>-140</b>	-6.48	-6.52	-0.59	-2.160	-2.300	-6.46
<b>-150</b>	-6.94	-7.04	-1.38	-2.315	-2.450	-5.84
<b>-160</b>	-7.41	-7.60	-2.60	-2.469	-2.600	-5.30
<b>-170</b>	-7.87	-8.00	-1.65	-2.623	-2.700	-2.92
<b>-180</b>	-8.33	-8.40	-0.80	-2.778	-2.900	-4.40

**Tabla 4.8** Resultados ángulo de fase para 1er y 3er armonios con ( $V_{rms}=120V$ )

$\theta_{set}$ (°)	<b>5to</b>			<b>7mo</b>		
	$\theta_{set}$ (ms)	$\theta_{med}$ (ms)	error (%)	$\theta_{set}$ (ms)	$\theta_{med}$ (ms)	error (%)
<b>0</b>	0	0.002	0.10	0	0.002	0.01
<b>10</b>	0.093	0.105	-13.40	0.066	0.070	-5.84
<b>20</b>	0.185	0.192	-3.68	0.132	0.131	0.96
<b>30</b>	0.278	0.272	2.08	0.198	0.206	-3.82
<b>40</b>	0.370	0.350	5.50	0.265	0.276	-4.33
<b>50</b>	0.463	0.450	2.80	0.331	0.340	-2.82
<b>60</b>	0.556	0.520	6.40	0.397	0.400	-0.80
<b>70</b>	0.648	0.620	4.34	0.463	0.468	-1.09
<b>80</b>	0.741	0.700	5.50	0.529	0.528	0.21
<b>90</b>	0.833	0.810	2.80	0.595	0.590	0.88
<b>100</b>	0.926	0.900	2.80	0.661	0.680	-2.82
<b>110</b>	1.019	1.010	0.84	0.728	0.730	-0.34
<b>120</b>	1.111	1.120	-0.80	0.794	0.800	-0.80
<b>130</b>	1.204	1.240	-3.02	0.860	0.860	-0.02
<b>140</b>	1.296	1.320	-1.83	0.926	0.910	1.72
<b>150</b>	1.389	1.420	-2.24	0.992	1.020	-2.82
<b>160</b>	1.481	1.550	-4.63	1.058	1.100	-3.95
<b>170</b>	1.574	1.650	-4.82	1.124	1.170	-4.06
<b>180</b>	1.667	1.720	-3.20	1.190	1.189	0.12
<b>-10</b>	-0.093	-0.100	-8.00	-0.066	-0.070	-5.84
<b>-20</b>	-0.185	-0.195	-5.30	-0.132	-0.138	-4.33
<b>-30</b>	-0.278	-0.300	-8.00	-0.198	-0.202	-1.81
<b>-40</b>	-0.370	-0.384	-3.68	-0.265	-0.277	-4.71
<b>-50</b>	-0.463	-0.460	0.64	-0.331	-0.338	-2.21
<b>-60</b>	-0.556	-0.568	-2.24	-0.397	-0.401	-1.05
<b>-70</b>	-0.648	-0.630	2.80	-0.463	-0.469	-1.30
<b>-80</b>	-0.741	-0.740	0.10	-0.529	-0.535	-1.11
<b>-90</b>	-0.833	-0.810	2.80	-0.595	-0.599	-0.63
<b>-100</b>	-0.926	-0.900	2.80	-0.661	-0.682	-3.12
<b>-110</b>	-1.019	-0.990	2.80	-0.728	-0.735	-1.03
<b>-120</b>	-1.111	-1.050	5.50	-0.794	-0.801	-0.93

<b>-130</b>	-1.204	-1.160	3.63	-0.860	-0.860	-0.02
<b>-140</b>	-1.296	-1.280	1.26	-0.926	-0.915	1.18
<b>-150</b>	-1.389	-1.400	-0.80	-0.992	-1.010	-1.81
<b>-160</b>	-1.481	-1.530	-3.28	-1.058	-1.090	-3.00
<b>-170</b>	-1.574	-1.620	-2.92	-1.124	-1.200	-6.73
<b>-180</b>	-1.667	-1.650	1.00	-1.190	-1.200	-0.80

Como se puede observar en las tablas Tabla 4.7 y Tabla 4.8 los valores de error obtenidos para diferentes fases seteadas son aceptables pues la mayoría de estos están en el rango del 0 al 5%, los errores de mayor valor se dan para valores de fase seteados de menos de 20 grados esto se debe a que valores pequeños de fase implican valores pequeños de tiempo y esto se ve afectado por el tiempo de respuesta de cada circuito.

Entre las posibles causas de los errores obtenidos está el error propio de medición y al tiempo de retardo de los circuitos.

#### 4.6.1 FORMAS DE ONDA SEGÚN FASE SETEADA

Desde la Figura 4.22 hasta la Figura 4.25 se muestran algunas de las formas de onda obtenidas durante la medición del ángulo de fase para diferentes armónicos. Para facilitar la visualización del desfase entre las señales se utiliza la función promediar señal del osciloscopio.

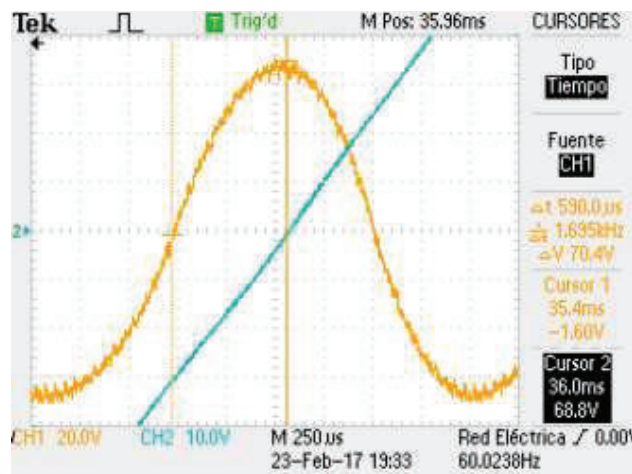


Figura 4.22 7mo armónico fase=+90 °

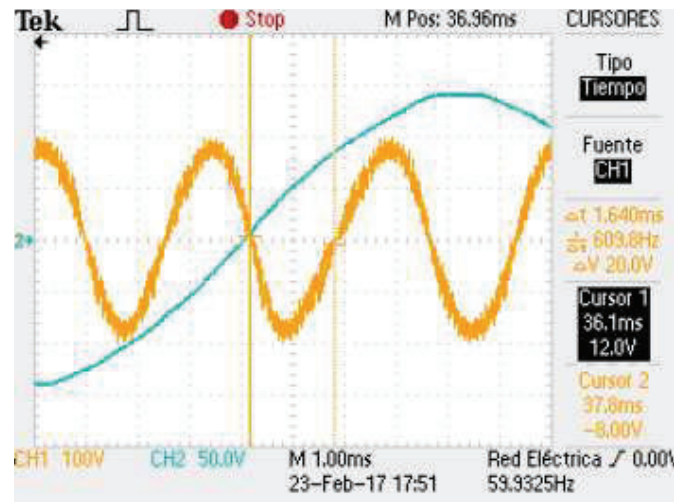


Figura 4.23 5to armónico fase= $-180^\circ$



Figura 4.24 3er armónico fase= $+60^\circ$

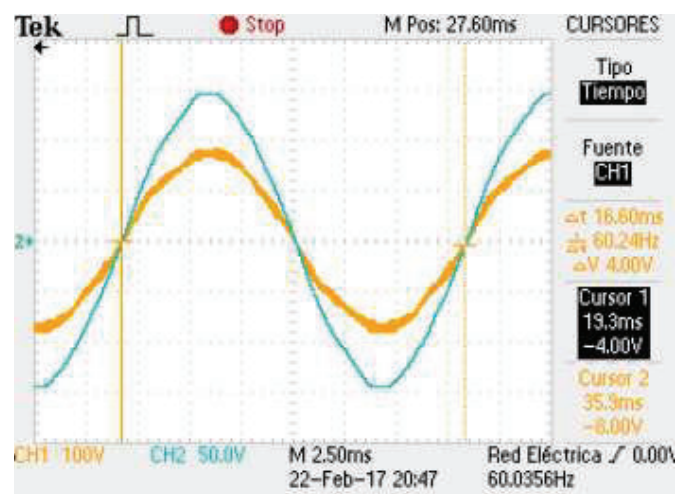


Figura 4.25 1er armónico fase= $0^\circ$

## CAPITULO 5

### CONCLUSIONES Y RECOMENDACIONES

#### CONCLUSIONES

- Con el equipo implementado se ha logrado cumplir el objetivo principal de generar armónicos de voltaje con parámetros controlados de voltaje eficaz, frecuencia y fase, para lo cual se ha hecho uso del método de sincronización PLL. Este PLL se ha creado en base a la técnica SRF (Synchronous Reference Frame) la misma que hace uso de las transformadas de Clark y de Park de la teoría de control vectorial.
- La ventaja de utilizar el PLL con la técnica SRF es la de tener una sincronización eficaz y evitar que la presencia de ruido o armónicos en la red eléctrica influya en la sincronización mostrando cruces falsos por cero.
- La ventaja de la técnica de modulación SPWM con respecto a otras técnicas es la de presentar baja distorsión armónica alrededor de la frecuencia fundamental generada, ya que ubica a ésta distorsión alrededor de la frecuencia de switcheo. Esto permite que el filtrado de dicha distorsión armónica sea más fácil de realizar.
- La tarjeta de control sbRIO-9606 GPIC-9683 que contiene una FPGA de 40MHz y un procesador en tiempo real de 400MHz resultó una buena elección para la implementación de este proyecto debido a sus prestaciones de ejecución de procesos en paralelo, alta velocidad de procesamiento y facilidad de implementar una interfaz amigable en lenguaje grafico de alto nivel.

- La implementación de un sistema de carga y descarga automática del bus de DC junto con la disponibilidad del selector de encendido y apagado facilita la operación del equipo y evita posibles accidentes de tipo eléctrico.
- La interfaz de usuario HMI implementada es de fácil uso y muy útil porque permite el control y monitoreo del funcionamiento del generador de armónicos, siendo parte del monitoreo medidores virtuales del voltaje fundamental y del voltaje rms total, además en la interfaz se visualizan las señales sensadas, de control y generadas.
- El implementar un equipo como el desarrollado en este proyecto va más allá de la electrónica de potencia aplicada y de la utilización de una tarjeta de control, pues aplica nociones de montaje, diseño y estética. Estos parámetros debe ser tomados muy en cuenta a la hora de implementar un prototipo final.

## **RECOMENDACIONES**

- Se recomienda implementar un filtro que elimine las componentes de alta frecuencia a la salida del inversor de tipo LCL por fase, para que no consuma potencia. Esto debe realizarse antes de realizar la inyección de los armónicos a la red en un futuro proyecto.
- En la primera etapa trabajar con un convertidor controlado para manejar el voltaje del bus DC en un rango de 0 a 311V para evitar índices de modulación bajos que provoquen un incremento de la distorsión armónica total.
- Antes de utilizar las entradas analógicas y las entradas/salidas digitales de la tarjeta de National Instruments 9606 se debe observar las especificaciones eléctricas para no exceder límites de voltaje ni de corriente. Es indispensable el aislamiento de la tarjeta de control con

respecto a todos los demás circuitos (puede ser de tipo óptico para las DIO, o través de transformadores para las entradas análogas simultaneas) tal como se ha realizado en éste proyecto. Esto permitirá proteger a la tarjeta de riesgos eléctricos y por lo tanto precautelar la inversión económica.

- El PLL implementado con la técnica SRF, requiere de las tres señales de la red en forma ordenada como indican las marquillas en las borneras jack banana de RED (caso contrario no funcionará). Esto implica que la conexión de la alimentación trifásica RST deber ser en orden. De igual manera, para inyectar a la red (luego de haber sido diseñado un filtro) a través de un transformador trifásico, la conexión debe ser en forma ordenada (U con R, V con S y W con T).
- Cuando se realice circuitos de medición de voltaje es recomendable utilizar resistencias de precisión, esto hará que las variaciones de temperatura alteren en menor medida el valor del voltaje sentido.
- Se deben dimensionar todos los componentes del equipo antes de ser adquiridos, se recomienda comprar los elementos que sean de la mejor calidad posible para que el producto final sea de calidad. Esto también ayuda en la etapa de diseño y pruebas ya que el desempeño de estos componentes es más fiable.
- Los proyectos de electrónica de potencia deberían llegar hasta un montaje final que permita un fácil uso del dispositivo, lo que implica el uso de protecciones, controles, indicadores, ventiladores, etc.

## REFERENCIAS BIBLIOGRÁFICAS

- [1] Universidad de Oviedo, «Campo Orientado. Estudio de la Teoría de Control Vectorial,» Mayo 2007. [En línea]. Available: [http://isa.uniovi.es/docencia/iea/teoria/campo\\_orientado.pdf](http://isa.uniovi.es/docencia/iea/teoria/campo_orientado.pdf). [Último acceso: 2017].
- [2] P. T. Inc, «PSIM User Manual,» Enero 1999. [En línea]. Available: <https://powersimtech.com/drive/uploads/2016/06/PSIM-User-Manual.pdf>.
- [3] F. González, «Entendiendo la Transformada de Park,» Junio 2004. [En línea]. Available: <http://fglongatt.org/OLD/Reportes/RPT2004-01.pdf>.
- [4] R. Coughlin, F. Driscoll, "Amplificadores operacionales y circuitos integrados lineales", Cuarta ed., Mexico: Prentice Hall Hispanoamerica, S.A., 1993, pp. 70-72.
- [5] D. Rabinovich, 2010. [En línea]. Available: <http://www.profesores.frc.utn.edu.ar/electronica/ElectronicaAplicadaIII/Aplicada/Cap02RedesPLL.pdf>.
- [6] E. O. M. Kesler, «Synchronous-Reference-Frame-Based Control Method for UPQC Under Unbalanced and Distorted Load Conditions,» *IEEE Transactions on Industrial Electronics*, vol. 58, nº 9, Septiembre 2011.
- [7] S. M. I. J.-P. L. M. I. S. D.-W. Y. M. I. a. H.-J. K. Kyoung-Jun Lee, «A Novel Grid Synchronization PLL Method Based on Adaptive Low-Pass Notch Filter for Grid-Connected PCS,» 02 Marzo 2015. [En línea]. Available: [https://www.researchgate.net/publication/260541945\\_A\\_Novel\\_Grid\\_Synchronization\\_PLL\\_Method\\_Based\\_on\\_Adaptive\\_Low-Pass\\_Notch\\_Filter\\_for\\_Grid-Connected\\_PCS](https://www.researchgate.net/publication/260541945_A_Novel_Grid_Synchronization_PLL_Method_Based_on_Adaptive_Low-Pass_Notch_Filter_for_Grid-Connected_PCS).
- [8] R. E. Best, Phase Locked Loops, Theory, Desing, and Aplications, Segunda

- ed., United States of America: McGraw-Hill, 1993.
- [9] N. Mohan, "Electrónica de Potencia", Tercera ed., Mac Graw Hill, 2001, p. 91.
- [10] M. Rashid, Electrónica de Potencia. Circuitos, dispositivos y aplicaciones, vol. México, 1993, Ed., México, Rashid, M.: Electrónica de Potencia. Circuitos, dispositivos y aplicaciones, 1993.
- [11] N. Mohan, "Electrónica de Potencia Convertidores, Aplicaciones y Diseño", 3era ed., México: McGraw Hill, 2009.
- [12] D. Hart, Electrónica de Potencia, Madrid: Pearson Education, 2001, p. 472.
- [13] E. Universidad de Córdoba, «Potencia en Sistemas Trifásicos,» [En línea]. Available:  
[http://www.trifasica.net/pdf/TEMA\\_9.\\_POTENCIA\\_EN\\_SISTEMAS\\_TRIFASICOS.pdf](http://www.trifasica.net/pdf/TEMA_9._POTENCIA_EN_SISTEMAS_TRIFASICOS.pdf). [Último acceso: 2017].
- [14] «Instituto Nacional de Tecnologías y de Formación del Profesorado,» [En línea]. Available:  
<http://platea.pntic.mec.es/~jalons3/Electrotecnia/apuntes/est-tri.pdf>.
- [15] P. Q. P. R. S. Gamboa, «DISEÑO Y CONTRUCCIÓN DE UN VARIADOR DE VELOCIDAD CON EL MICROCONTROLADOR 80C196MC,» XIX *Jornadas en Ingeniería Eléctrica y Electrónica*, vol. 19, 2005.
- [16] ALLDATASHEET.NET, «Electronic Components Datasheet Search,» [En línea]. Available:  
<http://www.alldatasheet.com/view.jsp?Searchword=6a100%20datasheet>. [Último acceso: 03 2017].
- [17] A. Group, «ALIEXPRESS,» [En línea]. Available:  
[https://www.google.com.ec/search?q=Capacitor+2200uF,+200V&source=Inms&tbm=isch&sa=X&ved=0ahUKEwi19tqft6HVAhVDKyYKHaqGAHcQ\\_AUICigB&biw=1920&bih=925#imgrc=08\\_Fiy2PJ2ldqM:](https://www.google.com.ec/search?q=Capacitor+2200uF,+200V&source=Inms&tbm=isch&sa=X&ved=0ahUKEwi19tqft6HVAhVDKyYKHaqGAHcQ_AUICigB&biw=1920&bih=925#imgrc=08_Fiy2PJ2ldqM:).



- [18] F. Pérez, «División de Ciencias Básicas Universidad Autónoma de México,» 2005. [En línea]. Available: <http://dcb.fi-c.unam.mx/users/franciscopr/docs/Tema%203/3.8%20Circuito%20RC.pdf>. [Último acceso: 2017].
- [19] Alibaba.com, «Alibaba.com,» [En línea]. Available: [https://www.google.com.ec/search?q=22+ohm+10+watt+resistor&source=Inms&tbm=isch&sa=X&ved=0ahUKEwi-s-n-t6HVAhVGeCYKHUJKBBAQ\\_AUICigB&biw=1920&bih=925#tbm=isch&q=22Kohm+10W+&imgrc=75WydTGPqK\\_FwM:](https://www.google.com.ec/search?q=22+ohm+10+watt+resistor&source=Inms&tbm=isch&sa=X&ved=0ahUKEwi-s-n-t6HVAhVGeCYKHUJKBBAQ_AUICigB&biw=1920&bih=925#tbm=isch&q=22Kohm+10W+&imgrc=75WydTGPqK_FwM:). [Último acceso: 2017].
- [20] F. 5. -. L. TELESA, «TELESA online,» [En línea]. Available: <http://telesaonline.com/componentes-electronicos-componentes-pasivos-resistencias/9162-resistencia-cemento-15w-680-ohms.html>. [Último acceso: 2017].
- [21] NXP Semiconductors, «mikrocontroller.net,» Abril 2012. [En línea]. Available: [http://www.mikrocontroller.net/attachment/202527/AN11160\\_Designing\\_RC\\_Snubbers\\_\\_NXP.pdf](http://www.mikrocontroller.net/attachment/202527/AN11160_Designing_RC_Snubbers__NXP.pdf). [Último acceso: 2017].
- [22] Física Práctica, «Energía en el Capacitor,» 2007. [En línea]. Available: <http://www.fisicapractica.com/energia-capacitor.php>. [Último acceso: 2017].
- [23] M. O. U. d. J. J. Aguilar, «Semiconductores de Potencia,» 2004. [En línea]. Available: <http://blog.artegijon.com/toni/files/2007/11/tema-2.pdf>.
- [24] A. Mendez, «Universitat Politècnica de Catalunya,» Enero 2016. [En línea]. Available: [http://ieb-srv1.upc.es/gieb/tecnicas/pdf/disipadores\\_termicos.pdf](http://ieb-srv1.upc.es/gieb/tecnicas/pdf/disipadores_termicos.pdf). [Último acceso: 2017].
- [25] Facultad de Ingeniería, «Universidad de Buenos Aires,» [En línea]. Available: <http://materias.fi.uba.ar/6610/Apuntes/Calculo%20de%20disipadores%20de%20calor.pdf>. [Último acceso: 2017].
- [26] Atmel, «Manual ATmega164P,» 2014. [En línea]. Available:

- [http://www.atmel.com/images/Atmel-9255-Automotive-Microcontrollers-ATmega164P-B-ATmega324P-B-ATmega644P-B\\_Datasheet.pdf](http://www.atmel.com/images/Atmel-9255-Automotive-Microcontrollers-ATmega164P-B-ATmega324P-B-ATmega644P-B_Datasheet.pdf). [Último acceso: 2017].
- [27] E. C. D. Search, «ALLDATASHEET.NET,» 2017. [En línea]. Available: <http://html.alldatasheet.net/html-pdf/931977/STMICROELECTRONICS/STGW28IH125DF/1950/1/STGW28IH125DF.html>.
- [28] L. N. R. Boylestad, *Electrónica: Teoría de Circuitos y Dispositivos Electrónicos*, Octava ed., México: Prentice Hall, 1997.
- [29] Universidad de Valladolid, «Transformada de Laplace,» 2012. [En línea]. Available: [https://www.ele.uva.es/~jesus/eanalogica/transf\\_laplace.pdf](https://www.ele.uva.es/~jesus/eanalogica/transf_laplace.pdf). [Último acceso: 2017].
- [30] Universidad Nacional de Rosario, «Análisis en Frecuencia de Circuitos Eléctricos,» [En línea]. Available: <http://www.fceia.unr.edu.ar/tci/utiles/Apuntes/Cap11-2013%20Res%20de%20amplitud.pdf>. [Último acceso: 2017].
- [31] Texas Instruments, «Understanding Schmitt Triggers,» [En línea]. Available: <http://www.ti.com/lit/an/scea046/scea046.pdf>. [Último acceso: 2017].
- [32] Intersil, «HIP4081A, 80V High Frequency H-Bridge Drive, Bootstrap,» Diciembre 2007. [En línea]. Available: <http://www.intersil.com/content/dam/Intersil/documents/an94/an9405.pdf>. [Último acceso: 2017].
- [33] K. Ogata, *Ingeniería de Control Moderna*, México: Prentice Hall, 2003.
- [34] K. Ogata, *Sistemas de Control en Tiempo Discreto*, Tercera ed., México: Prentice Hall, 1996, p. 997.
- [35] Mathworks, «Simscape Power Systems,» 2016. [En línea]. Available: <https://www.mathworks.com/products/simpower.html>. [Último acceso:

Febrero 2017].

- [36] National Instruments, «Manual sbRIO 9606,» [En línea]. Available: <http://www.ni.com/pdf/manuals/373378d.pdf>. [Último acceso: 2017].
- [37] National Instruments, «Manual NI 9683,» [En línea]. Available: <http://www.ni.com/pdf/manuals/375960c.pdf>. [Último acceso: 2017].
- [38] National Instruments, «Guía de Configuración,» 18 Febrero 2017. [En línea]. Available: <https://decibel.ni.com/content/docs/DOC-22394>. [Último acceso: 2017].
- [39] National Instruments, «Características del Kit de Evaluación sbRIO 9606 con Tarjeta Mezzanine GPIC NI 9683,» 10 Febrero 2017. [En línea]. Available: <http://sine.ni.com/nips/cds/view/p/lang/es/nid/210889>. [Último acceso: Viernes Febrero 2017].
- [40] National Instruments, «Problems About Producing SPWM,» [En línea]. Available: <http://forums.ni.com/t5/Power-Electronics-Development/Problems-about-producing-SPWM/gpm-p/3446378>. [Último acceso: Febrero 2017].

## **ANEXOS**

**ANEXO A**  
**MANUAL DE USUARIO**

## CONTENIDO

<b>A.1 INTRODUCCIÓN .....</b>	<b>3</b>
<b>A.2 ESTRUCTURA DEL EQUIPO, UBICACIÓN FÍSICA DE LOS COMPONENTES .....</b>	<b>4</b>
<b>A.3. CONEXIÓN DE LOS COMPONENTES DEL EQUIPO .....</b>	<b>7</b>
<b>A.4. DESCRIPCIÓN DE LOS CIRCUITOS PCB (BORNERAS DE ENTRADA Y SALIDA) QUE COMPREND EN EL EQUIPO .....</b>	<b>10</b>
<b>A.5. ESPECIFICACIÓN DE PARÁMETROS DE FUNCIONAMIENTO .....</b>	<b>12</b>
<b>A.6. ¿CÓMO PROCEDER EN CASO DE QUE LA TARJETA DE CONTROL SBRIO 9606 GPIC NI 9683 ESTÉ DESMONTADA? .....</b>	<b>13</b>
<b>A.7. PROCEDIMIENTO PARA LA COMPILACIÓN DEL SOFTWARE PARA EL FUNCIONAMIENTO DEL EQUIPO .....</b>	<b>15</b>
<b>A.8. PUESTA EN MARCHA DEL SISTEMA .....</b>	<b>19</b>
<b>A.9. USO DE LA INTERFAZ DE USUARIO .....</b>	<b>21</b>
<b>A.10. APAGADO DEL EQUIPO .....</b>	<b>28</b>
<b>A.11. POSIBLES PROBLEMAS EN LA OPERACIÓN.....</b>	<b>28</b>
<b>A.12. ¿CÓMO ACTUAR FRENTE A POSIBLE DETERIORO DE ELEMENTOS? .....</b>	<b>29</b>

## A.1 INTRODUCCIÓN

Éste manual es la guía que el usuario del equipo “Generador de Armónicos Trifásico” debe seguir para que el funcionamiento del mismo sea satisfactorio. Aquí se detallan las partes constitutivas del equipo, sus características, su ubicación física en el gabinete metálico y la conexión entre dichos componentes.

En la puesta en marcha del sistema se hace énfasis en las precauciones a tomar en cuenta tanto en el encendido, en el apagado y en el manejo de la interfaz gráfica desarrollada en Labview.

Previo al uso del equipo se debe tener en cuenta las siguientes advertencias y precauciones

- Seguir las instrucciones de operación de éste equipo, tal como lo indica éste manual.
- RIESGO DE SHOCK ELÉCTRICO, por lo que éste equipo generador de armónicos trifásico debe ser manipulado por personal especializado con conocimientos de electrónica de potencia.
- NUNCA cortocircuitar las borneras jack banana de la RED (RST) con las borneras de la CARGA(UVW). Esto provocaría un daño severo del equipo.
- Al medir dos señales con un mismo osciloscopio NUNCA se deben tomar dos referencias distintas porque se produciría un cortocircuito.
- Si se desea comprobar la sincronía de los voltajes línea-línea generados con los de la red eléctrica, se DEBEN usar transformadores de aislamiento 220V / 12V.
- Referirse a la tesis disponible en línea para más información de su funcionamiento.
- Verificar que en la PC esté instalado Labview 12.0 con los toolkits disponibles en los CD's (uno, dos y tres excepto el CD de Multisim) de instalación que vienen incluidos con la tarjeta de control sbRIO 9606 GPIC NI9683.

## **A.2 ESTRUCTURA DEL EQUIPO, UBICACIÓN FÍSICA DE LOS COMPONENTES**

El equipo “Generador de armónicos trifásico” como se muestra en la (Figura A.1) está constituido por las siguientes partes: tarjeta de control SBRIO-9606 GPIC-9683, drivers de disparo, puente inversor trifásico que incluye los disipadores, redes snubber, bus de DC, transformadores para las fuentes necesarias mencionadas en el capítulo 2, transformadores para la medición de las señales de la red y de la salida del puente inversor trifásico y relé trifásico para desconexión del bus de DC. Como se indica en (Figura A.2) y en (Figura A.3) se han realizado conexiones hacia:

- El selector para energizar el bus de DC
- El indicador del voltaje del bus de DC (voltímetro analógico)
- Los indicadores de voltaje y corriente en la carga trifásica (voltímetro y amperímetro analógicos)
- El de paro de emergencia
- La alimentación de 24 V para la tarjeta de control SBRIO.
- La conexión Ethernet de la tarjeta de control
- El ventilador para evacuar el calor generado dentro del gabinete metálico
- Las borneras de conexión a la red
- Las borneras de conexión a la carga trifásica



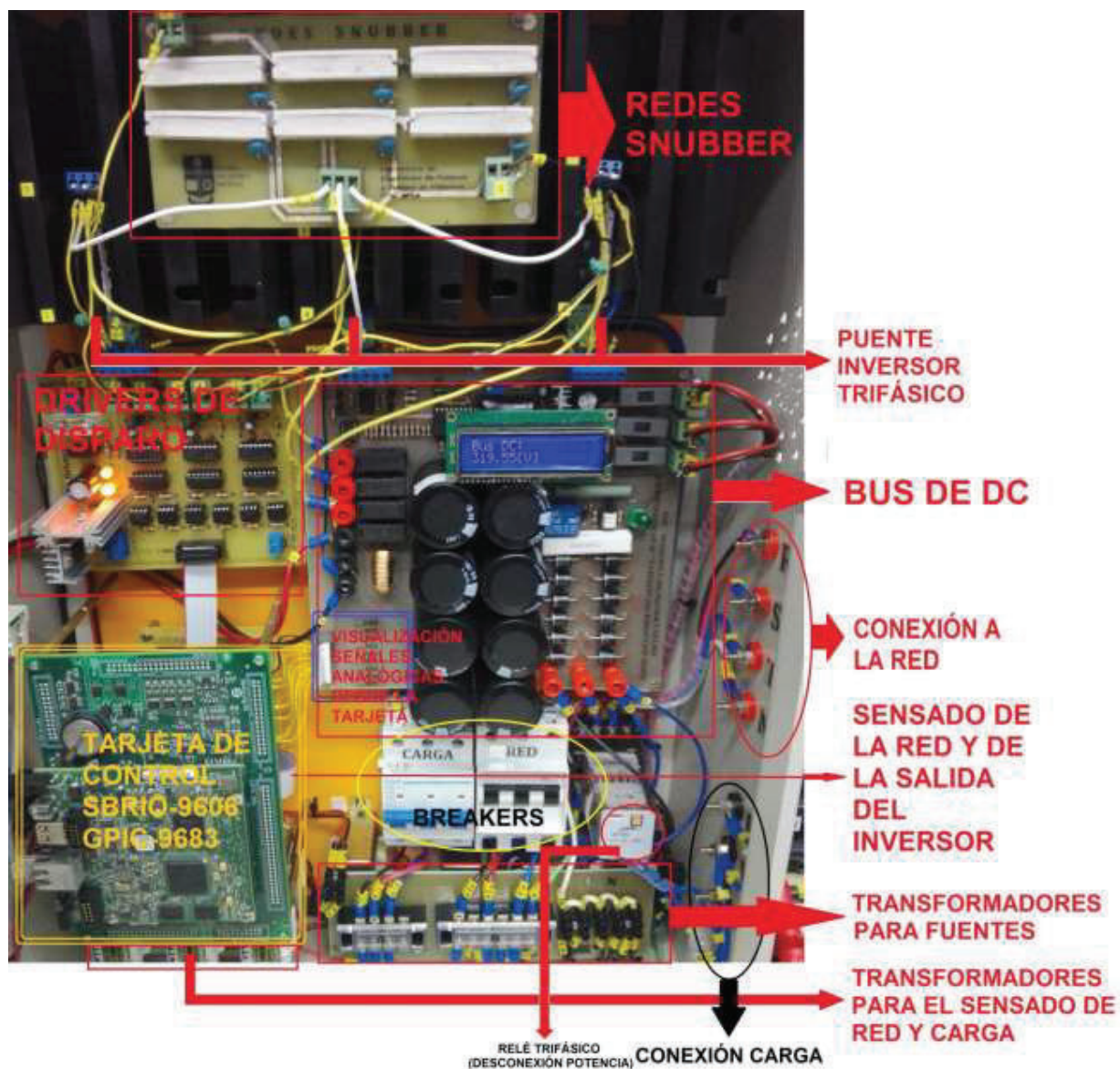
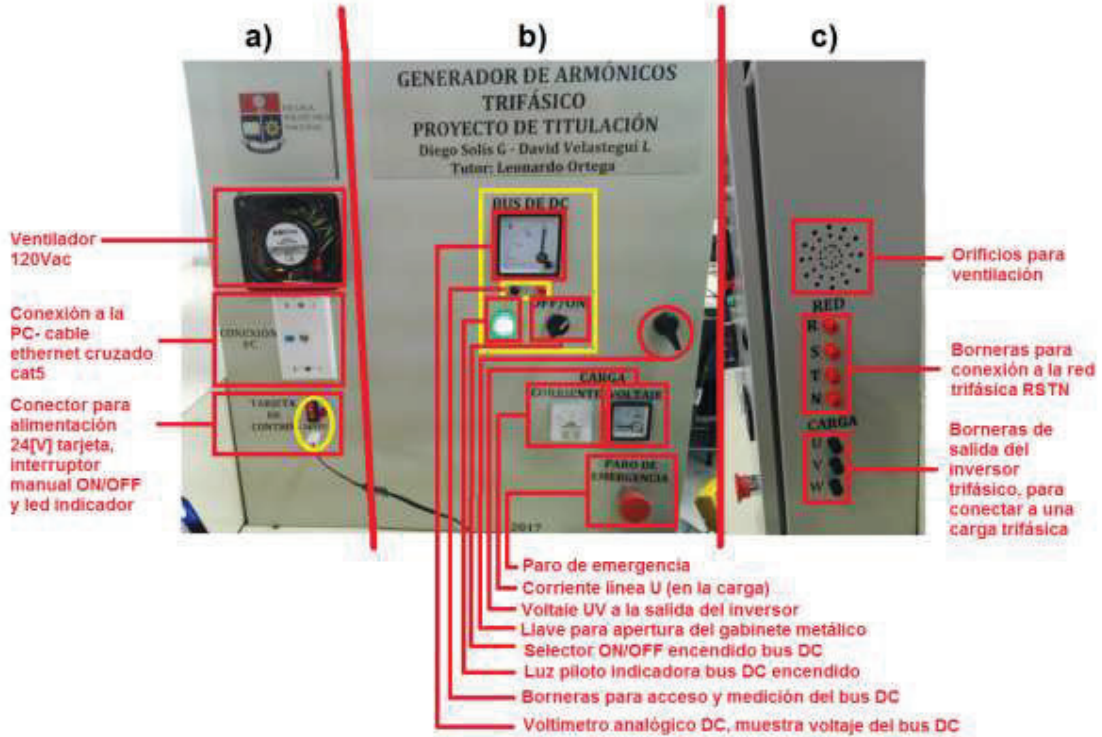


Figura A.1 Equipo Generador de Armónicos Trifásico ensamblado y sus partes.

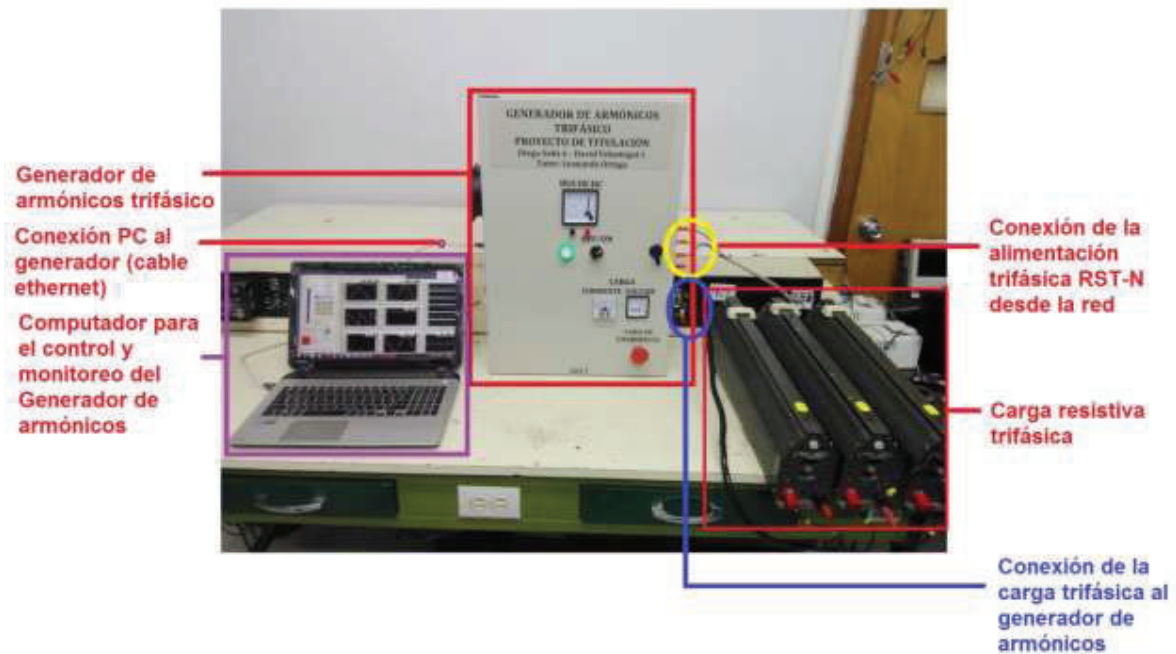


**Figura A.2** Conexión al selector e indicadores de voltaje y corriente en el gabinete metálico



**Figura A.3** Vistas lateral izquierda (a), frontal (b) y lateral derecha (c) del generador de armónicos trifásico.

Como se indica en la (figura A.4), la PC controla el funcionamiento del generador de armónicos trifásico, permite visualizar todas las señales de control y monitorear los voltajes de la red y los UV, VW y WU a la salida del puente inversor trifásico.



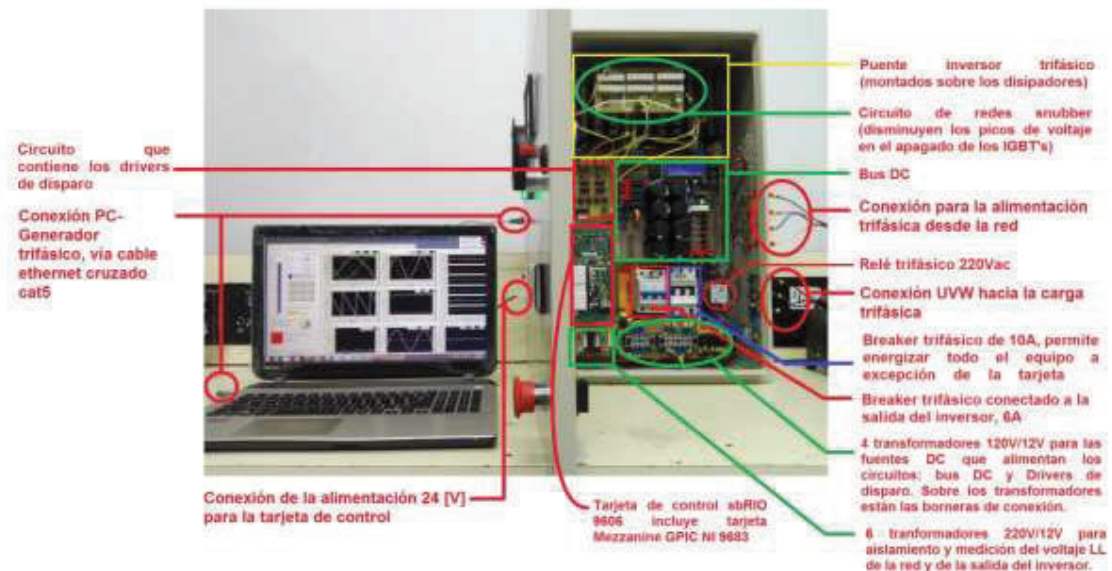
**Figura A.4** Control y monitoreo del Generador de Armónicos Trifásico conectado a una carga trifásica en configuración estrella (50 ohm)

### A.3. CONEXIÓN DE LOS COMPONENTES DEL EQUIPO

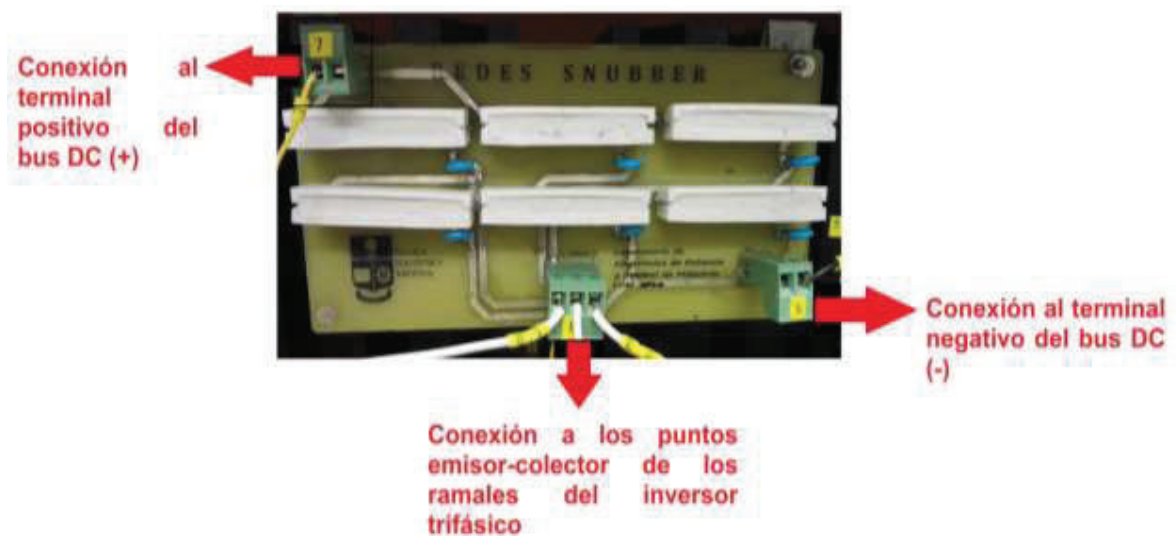
Las etapas de control y potencia de este proyecto están conectadas como se indica en la Figura A.5 y se describen a continuación:

- La “tarjeta SBRIO-9606 GPIC-9683” está conectada a través del puerto ethernet a la computadora que contiene el HMI, y a la alimentación de 24VDC a través de los conectores ubicados en el lado lateral izquierdo del gabinete metálico.
- Las señales de control obtenidas en la tarjeta de control son aisladas y acondicionadas por el circuito de “drivers de disparo” para que el puente inversor trifásico pueda operar.

- El “puente inversor trifásico” tiene conectado el circuito de las “redes snubber” (Figura A.6) para reducir sustancialmente los picos de voltaje en el apagado, y a su vez está conectado al voltaje del bus de DC de alrededor de 311V.



**Figura A.5** Conexión de los componentes del equipo Generador de Armónicos Trifásico



**Figura A.6** Conexiones del circuito “redes snubber”

- El “bus de DC” está conectado al puente inversor trifásico y a la red trifásica. Está formado por un rectificador de seis pulsos, un filtro capacitivo, un circuito de carga y descarga automática del capacitor para que no quede almacenada la energía en el bus de DC.
- El “relé trifásico” tiene un contactor trifásico normalmente abierto (NA) en serie con la alimentación trifásica hacia el bus de DC, el mismo que al recibir una señal de activado por parte del “selector” disponible en la parte frontal del gabinete metálico, cierra su contactor, permitiendo que el bus de DC se energice. La carga del bus de DC dura 9s. Al desactivar el selector, el contactor trifásico se abre nuevamente, desconectando la alimentación del bus de DC. La descarga del bus de DC dura 6min.
- A la entrada de la etapa de potencia, existe un breaker trifásico de 10 A, el que está conectado al rectificador de 6 pulsos del bus de DC, a todos los transformadores para las fuentes de DC y a los transformadores de medición de las señales de la red.
- Los transformadores de medición del voltaje en la carga son conectados a la salida del puente inversor trifásico.
- A la salida del puente inversor trifásico, se tiene un breaker trifásico de 6 A para protección contra sobrecorriente en la carga y para tener un control de la alimentación de la carga.
- Los secundarios de los transformadores de sensado de la red y carga, son conectados al circuito de acondicionamiento de señales, para luego ingresar a la tarjeta de control. Este circuito se encuentra debajo de la tarjeta de control.
- Cada placa dispone de sus fuentes de alimentación necesarias.
- Por practicidad del conexionado se utilizan borneras y etiquetado del cableado.
- Como se observa en la Figura A.3 literal (c), se tiene acceso a las borneras jack-banana para conectar el equipo a la red trifásica (alimentación trifásica), y las borneras jack-banana para conectar la carga trifásica al equipo.

#### A.4. DESCRIPCIÓN DE LOS CIRCUITOS PCB (BORNERAS DE ENTRADA Y SALIDA) QUE COMPREND EN EL EQUIPO

Desde la Figura A.7 hasta la Figura A.11 se detallan las entradas y salidas de los circuitos PCB implementados para el funcionamiento del generador de armónicos.

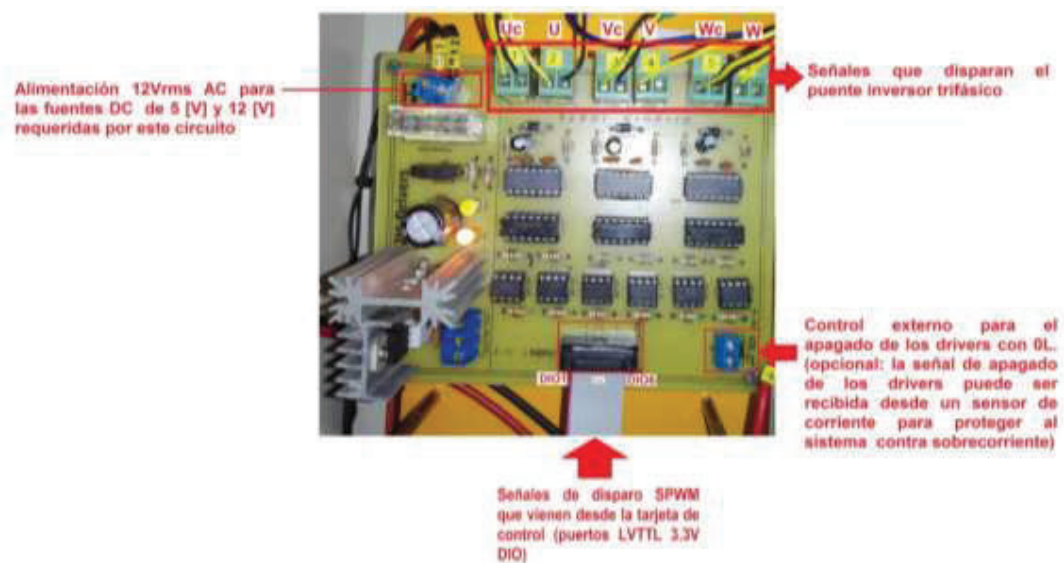


Figura A.7 Circuito que contiene los drivers de disparo



Figura A.8 Puente inversor trifásico montado sobre tres disipadores



Figura A.9 Circuito de las redes snubber

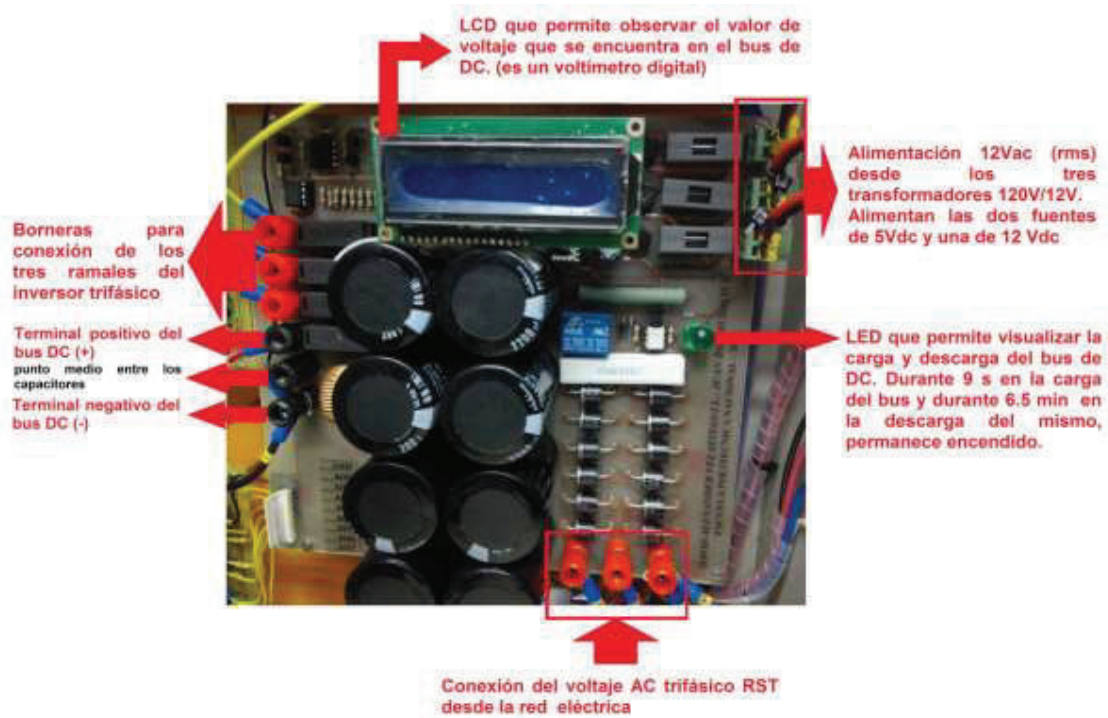


Figura A.10 Circuito del bus DC

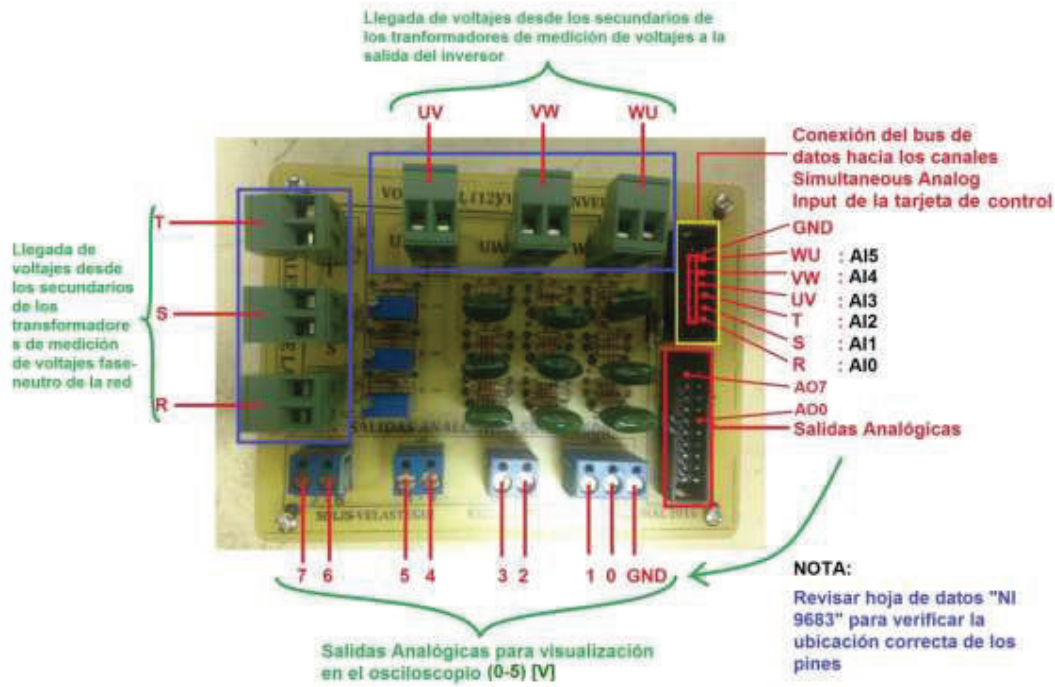


Figura A.11 Circuito de medición de voltajes en la red y en la salida del inversor (circuito interfaz para conexión con la tarjeta de control). Se dispone de fácil acceso a las salidas analógicas

## A.5. ESPECIFICACIÓN DE PARÁMETROS DE FUNCIONAMIENTO

**Tabla A.1** Valores mínimos y máximos permitidos para el funcionamiento óptimo del equipo Generador de Armónicos Trifásico

Parámetros	Valor mínimo	Valor máximo	Unidades [ ]
Potencia	0	1200 <sup>(1)</sup>	W
Voltaje línea-línea true rms	0	245	V
Corriente de línea rms	0	2.83	A
Voltaje línea-línea rms fundamental (HMI)	140 <sup>(2)</sup> (recomendado)	220	V
Frecuencia en pasos de 60Hz (HMI)	60	540	Hz
Desfase con respecto a la red eléctrica UV vs RS, VW vs ST, WU vs TU (HMI)	-180	180 <sup>(3)</sup>	grados



Nota:

- (1) La potencia máxima de salida permitida es obtenida en base al voltaje true rms máximo posible y la corriente máxima rms, para garantizar que el equipo funcione en condiciones óptimas.
- (2) No se recomienda setear voltajes menores a 140V porque la distorsión armónica en los voltajes generados es muy alta (observar Subcapítulo 4.2) lo que significa que los filtros diseñados para eliminar las componentes de alta frecuencia antes de inyectar esta energía a la red, deberían ser de mayor capacidad de disipación. A partir de 140V la distorsión armónica total es menor.
- (3) El ingreso del desfase en grados se lo realiza por números enteros, configurado por default.

#### **A.6. ¿CÓMO PROCEDER EN CASO DE QUE LA TARJETA DE CONTROL SBRIO 9606 GPIC NI 9683 ESTÉ DESMONTADA?**

El equipo Generador de Armónicos Trifásico dispone de dos componentes importantes de control las cuales son la PC y la tarjeta de control (sbRIO 9606 más tarjeta mezzanine GPIC NI9683). Éste equipo al ser parte del laboratorio de Electrónica de Potencia y Control de Máquinas de la EPN, en ocasiones su tarjeta de control será desmontada y utilizada en otras aplicaciones de control, por lo que se indica la forma de realizar el montaje de la misma dentro del gabinete metálico.

En la Figura A.12 se muestra la forma de montaje de la tarjeta de control mediante cuatro tornillos sujetos a cuatro postes adheridos a la base del gabinete metálico. Además se indica la conexión de la alimentación de 24V DC, cable Ethernet para comunicación con la PC, y la conexión de los tres buses de datos para salida y entrada de señales hacia y desde las placas PCB.

En la Figura A.13 se muestran los conectores disponibles en la placa de sensado de voltaje y de acceso a las salidas analógicas de la tarjeta de control.

Se debe tener especial cuidado con la conexión de los buses de datos porque de eso depende el buen funcionamiento de todo el equipo.

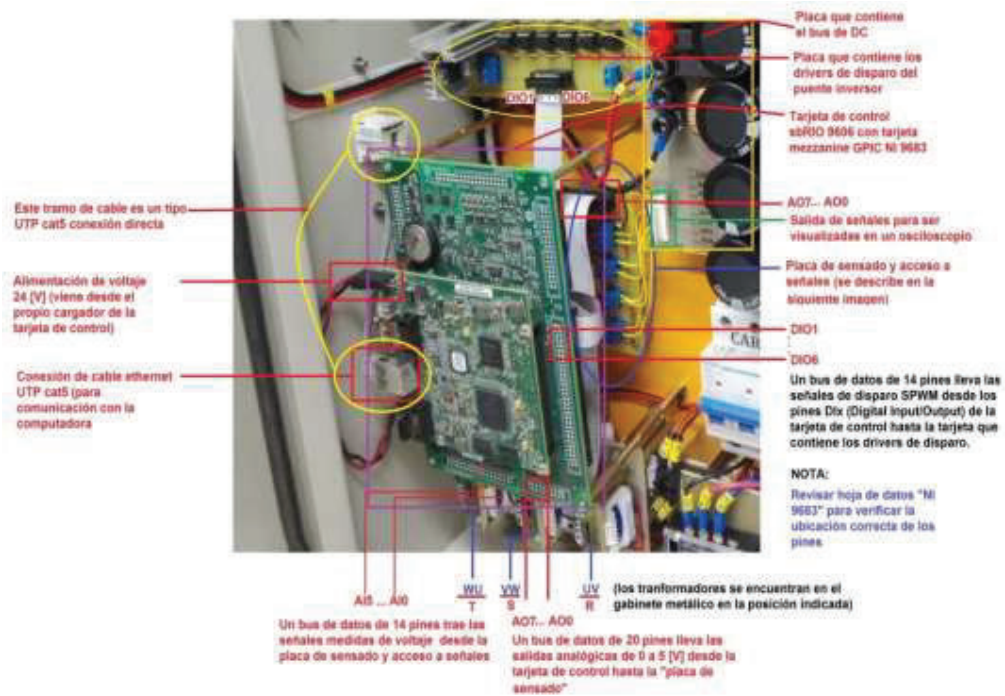


Figura A.12 Montaje de la tarjeta de control en el gabinete metálico.

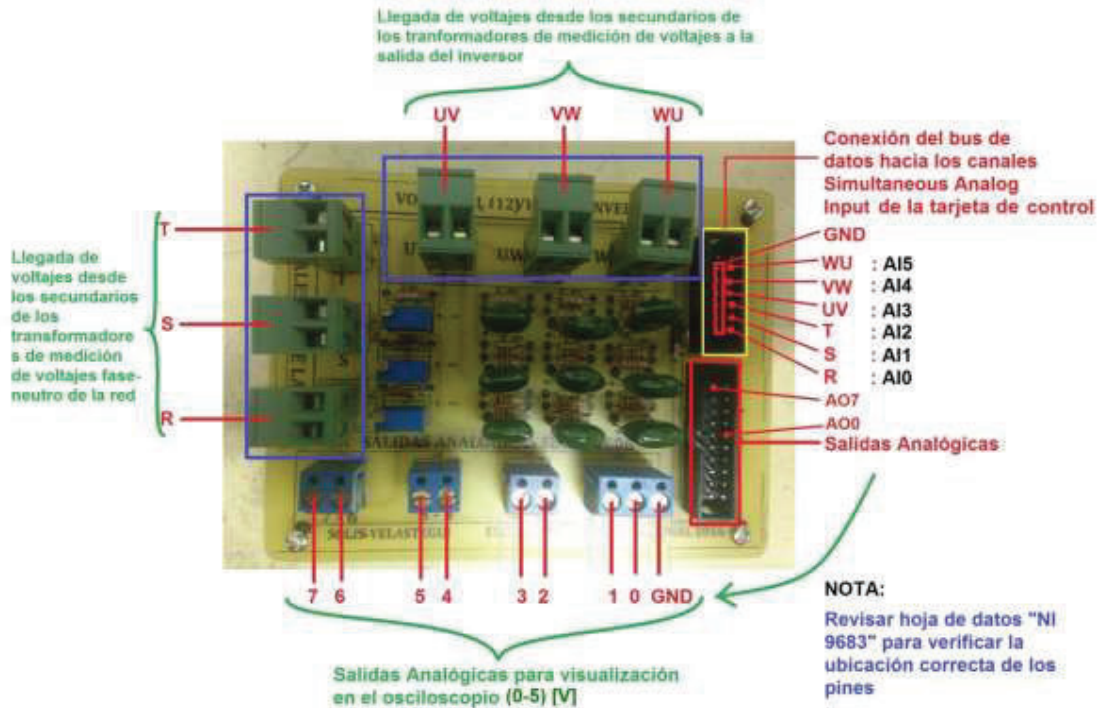


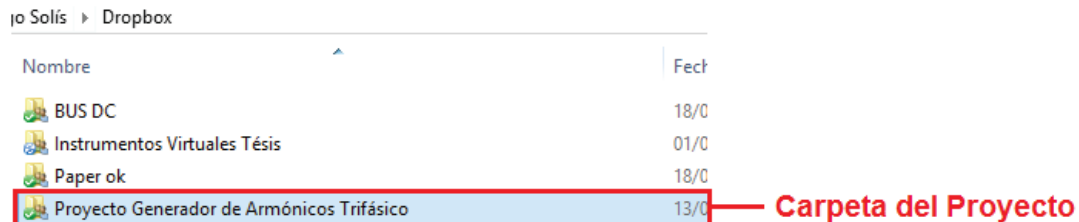
Figura A.13 Placa de sensado de los voltajes en la red y a la salida del inversor, incluye las borneras de acceso a las salidas analógicas de la tarjeta de control

## A.7. PROCEDIMIENTO PARA LA COMPILACIÓN DEL SOFTWARE PARA EL FUNCIONAMIENTO DEL EQUIPO

Antes de realizar la compilación del programa que controla el equipo Generador de Armónicos Trifásico se debe considerar que:

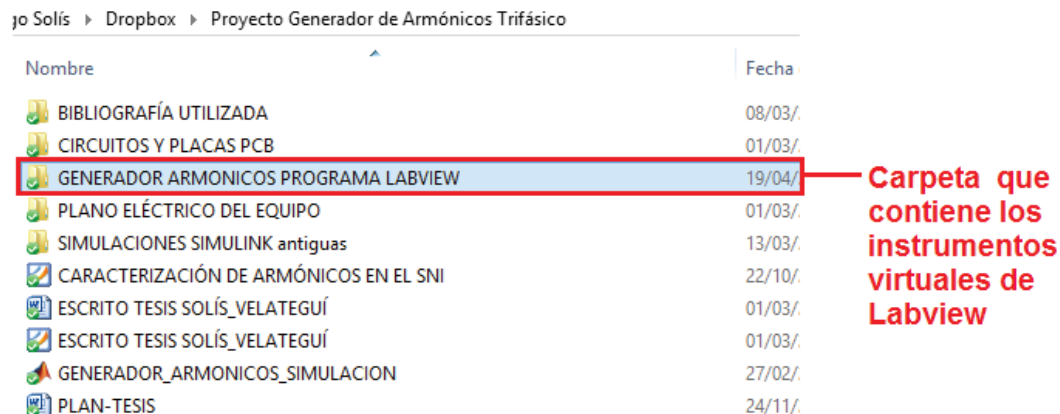
- La tarjeta de control esté bien sujeta con los tornillos en el gabinete metálico y que las conexiones respectivas estén bien realizadas como se indica en el literal A.4
- Los tres CD's incluidos con la tarjeta de control de National Instruments estén correctamente instalados

Luego de verificar los dos puntos anteriores se procede a la instalación del software para el funcionamiento del equipo, los pasos a seguir se detallan desde la Figura A.14 hasta la Figura A.23:



Nombre	Fecha
BUS DC	18/0
Instrumentos Virtuales Tesis	01/0
Paper ok	18/0
Proyecto Generador de Armónicos Trifásico	13/0

**Figura A.14** Abrir carpeta general del proyecto



Nombre	Fecha
BIBLIOGRAFÍA UTILIZADA	08/03/
CIRCUITOS Y PLACAS PCB	01/03/
GENERADOR ARMONICOS PROGRAMA LABVIEW	19/04/
PLANO ELÉCTRICO DEL EQUIPO	01/03/
SIMULACIONES SIMULINK antiguas	13/03/
CARACTERIZACIÓN DE ARMÓNICOS EN EL SNI	22/10/
ESCRITO TESIS SOLÍS_VELATEGUÍ	01/03/
ESCRITO TESIS SOLÍS_VELATEGUÍ	01/03/
GENERADOR_ARMONICOS_SIMULACION	27/02/
PLAN-TESIS	24/11/

**Figura A.15** Abrir la carpeta que contiene todos los instrumentos virtuales de éste equipo



Figura A.16 Abrir el archivo del proyecto “generador\_armonicos.lvproj”

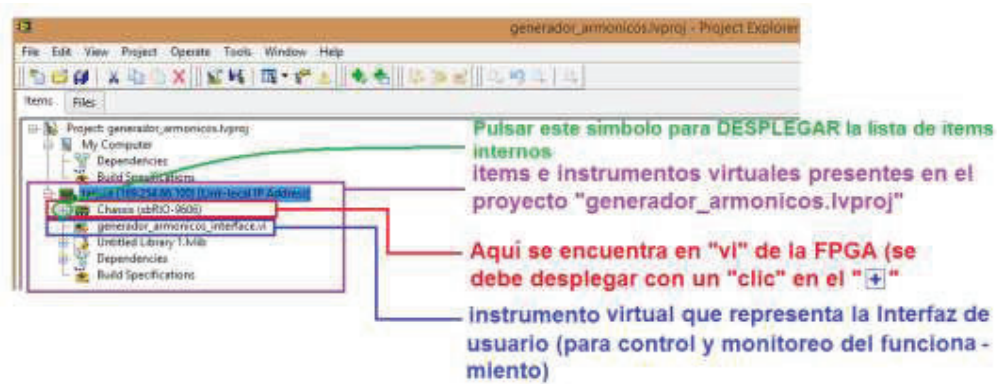


Figura A.17 Items disponibles en el proyecto “generador\_armonicos.lvproj”

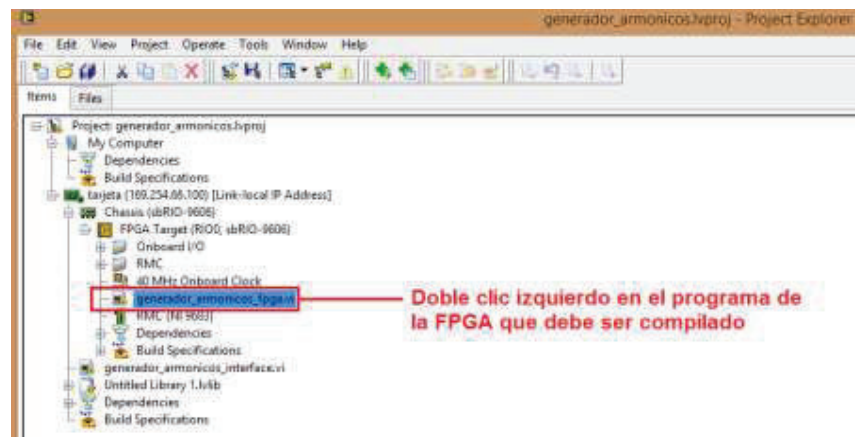
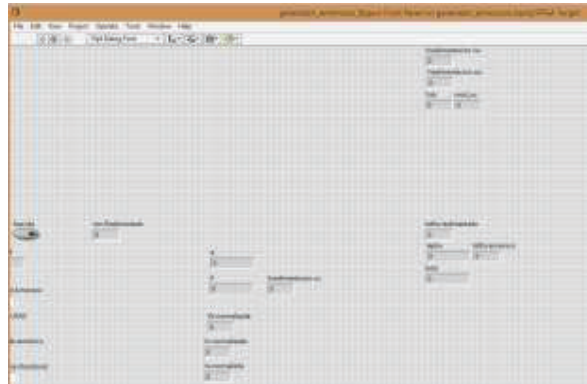
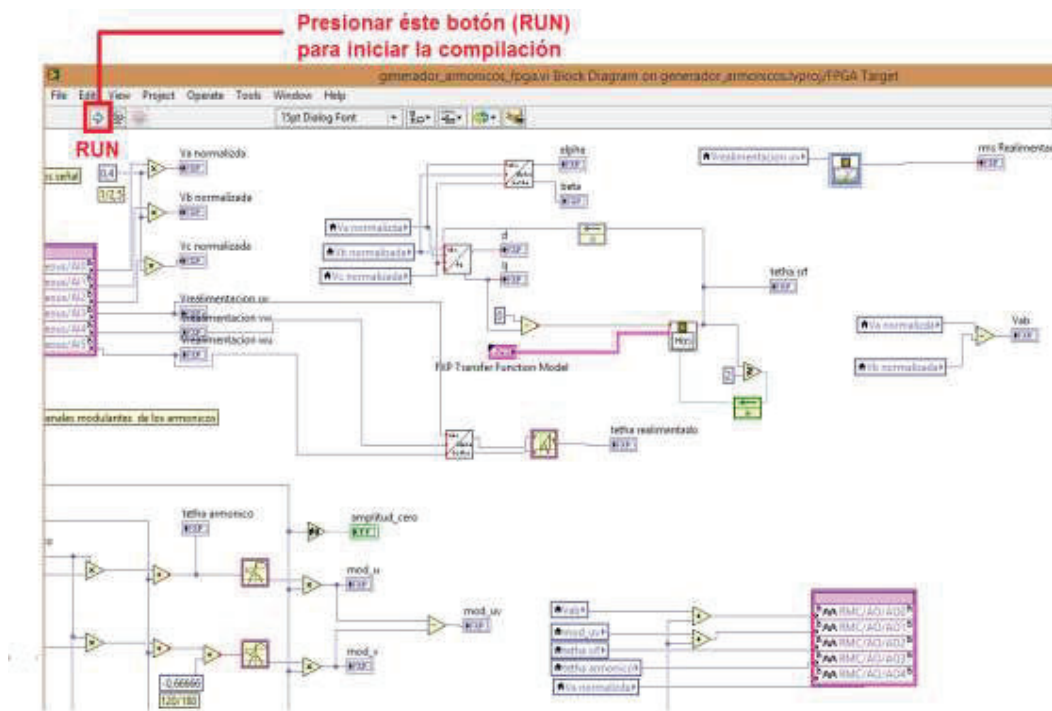


Figura A.18 Desplegar el ítem “tarjeta(169.254.66.100) [Link-local IP Address]” hasta visualizar el ítem “generador\_armonicos\_fpga.vi”



**Figura A.19** Panel frontal del instrumento virtual “generador\_armonicos\_fpga.vi”

En el panel frontal del instrumento virtual “generador\_armonicos\_fpga.vi” presionar Ctrl+E para que se despliegue el “diagrama de bloques”.



**Figura A.20** Diagrama de bloques del instrumento virtual “generador\_armonicos\_fpga.vi”.

En el diagrama de bloques del instrumento virtual “generador\_armonicos\_fpga.vi” presionar el botón “RUN” para INICIAR LA COMPILACIÓN.

Seleccionar el "servidor de compilación local" para que se compile el programa "generador\_armonicos\_fpga.vi" en la propia PC

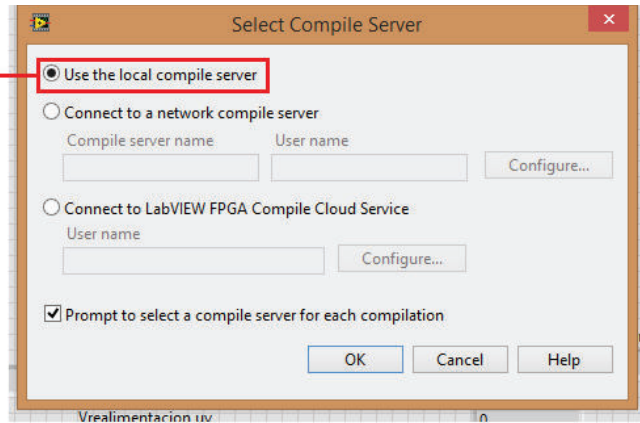


Figura A.21 Inicio de la compilación del programa de la FPGA "generador\_armonicos\_fpga.vi".

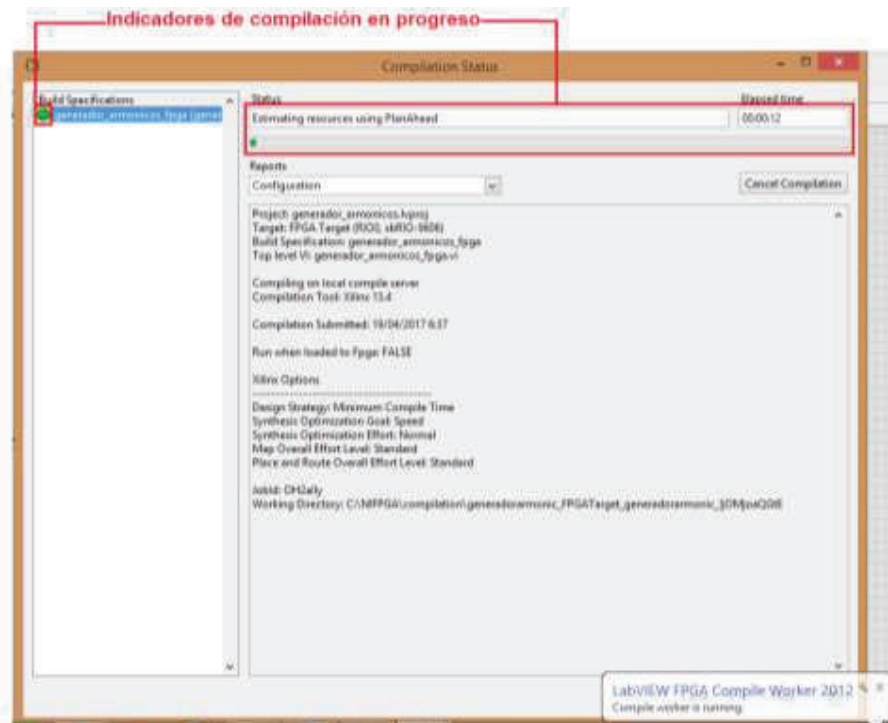
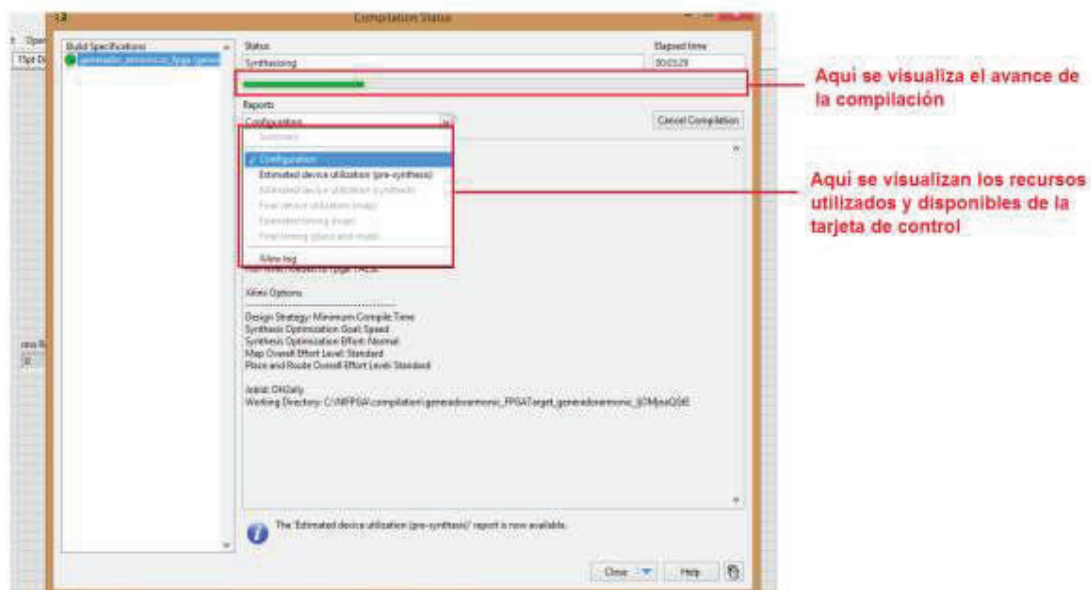


Figura A.22 Progreso de la compilación del instrumento virtual "generador\_armonicos\_fpga.vi".



**Figura A.23** Visualización de los recursos disponibles en la tarjeta.

## A.8. PUESTA EN MARCHA DEL SISTEMA

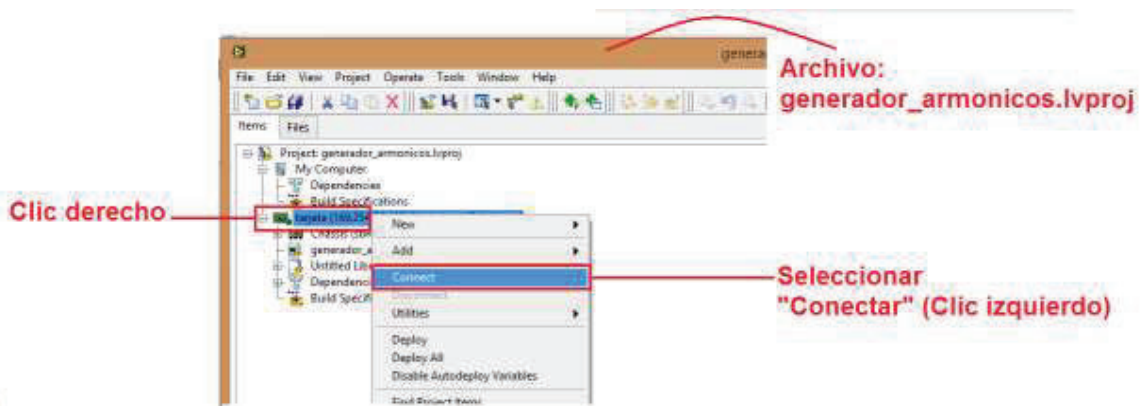
Antes de poner en funcionamiento el Generar de Armónicos Trifásico se deben tomar las siguientes precauciones:

- Verificar que las borneras jack-banana de la red y de la carga (figura A.3 literal c) no estén puenteadas entre sí para evitar cortocircuitos.
- La alimentación trifásica debe seguir el mismo orden del etiquetado R-S-T debido a como están manipuladas las señales en la programación.
- Revisar que el “paro de emergencia”, el “selector” (figura A.3 literal b), y los breakers de la “red” y “carga” (figura A.1) estén desactivados.
- Revisar que la carga trifásica esté bien conectada, a través de un transformador conexión Yy0 o directamente. Considerar los parámetros de funcionamiento de la (Tabla A.1)

Luego de tomar éstas precauciones se siguen las siguientes instrucciones:

- Activar la alimentación de 24V de la tarjeta (figura A.3 literal a). Verificar que el led rojo esté encendido.
- Desactivar la conexión Wi-Fi, o poner en “Modo Avión” la conexión a redes de la computadora, para que la conexión entre la PC y la tarjeta de control se pueda establecer.

- Abrir el proyecto de Labview "generador\_armonicos.lvproj" y establecer la conexión entre Labview y la tarjeta SBRIO-9606 GPIC-9683 a través de una dirección IP como lo indica la (figura A.7). La conexión queda establecida al encenderse el led virtual como lo muestra la (figura A.8).
- Activar el breaker trifásico "RED" que se muestra en la (figura A.1), y verificar que los leds de la placa "Drivers de Disparo" estén encendidos. Esto indica que los drivers están energizados y hábiles para el funcionamiento. Además el ventilador empezará a funcionar.
- Poner el selector de la (figura A.3 literal b) en la posición "ON", el bus de DC se carga en 9 s, dicho voltaje se observa en el visualizador mostrado en la misma figura.
- Activar el breaker trifásico "CARGA" que se muestra en la (figura A.1).
- Abrir desde el HMI "generador\_armonicos\_interface.vi" ejecutarlo como indicar la (figura A.9) y manipular los controles de "Voltaje LL rms", "Número de Armónico" y "Desfase".



**Figura A.24** Conexión de la PC con la tarjeta de control SBRIO-9606 GPIC-9683



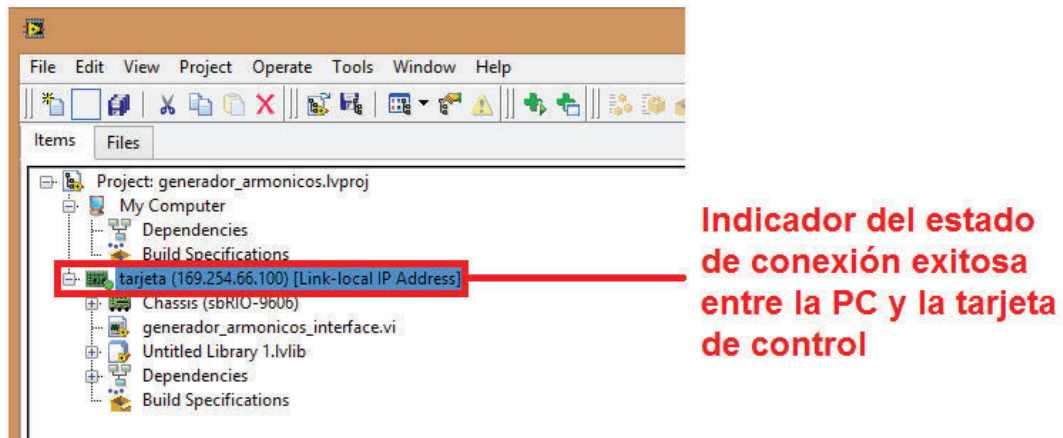


Figura A.25 Conexión entre PC y tarjeta de control SBRIO-9606 GPIC-9683 establecida

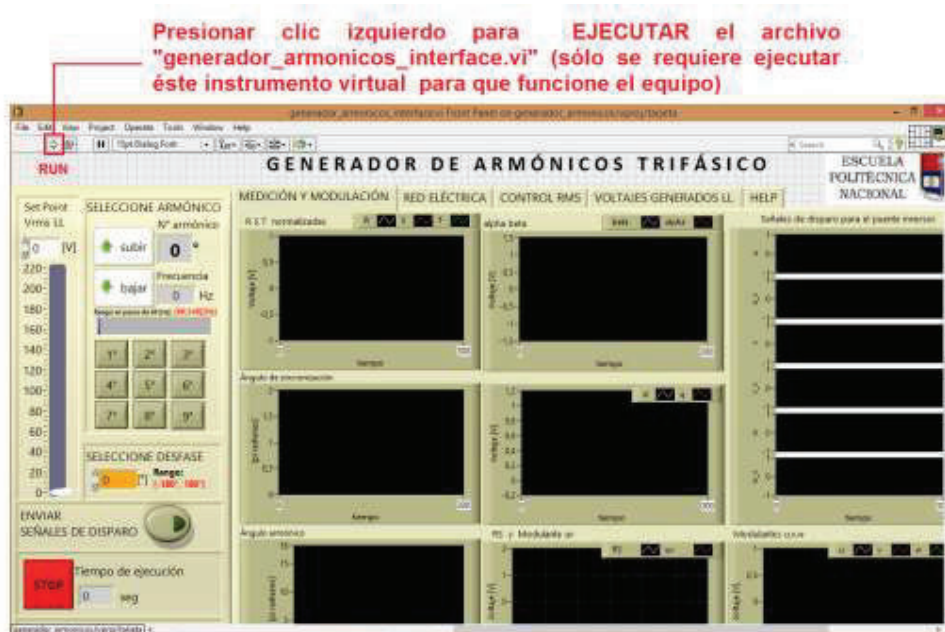
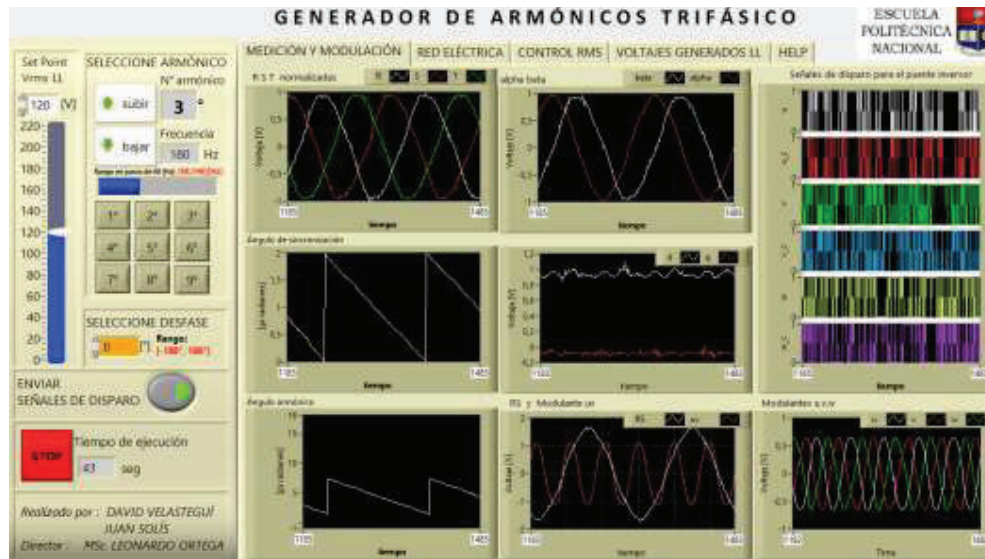


Figura A.26 Ejecución de la interfaz de usuario para control y monitoreo del “Generador de Armónicos”

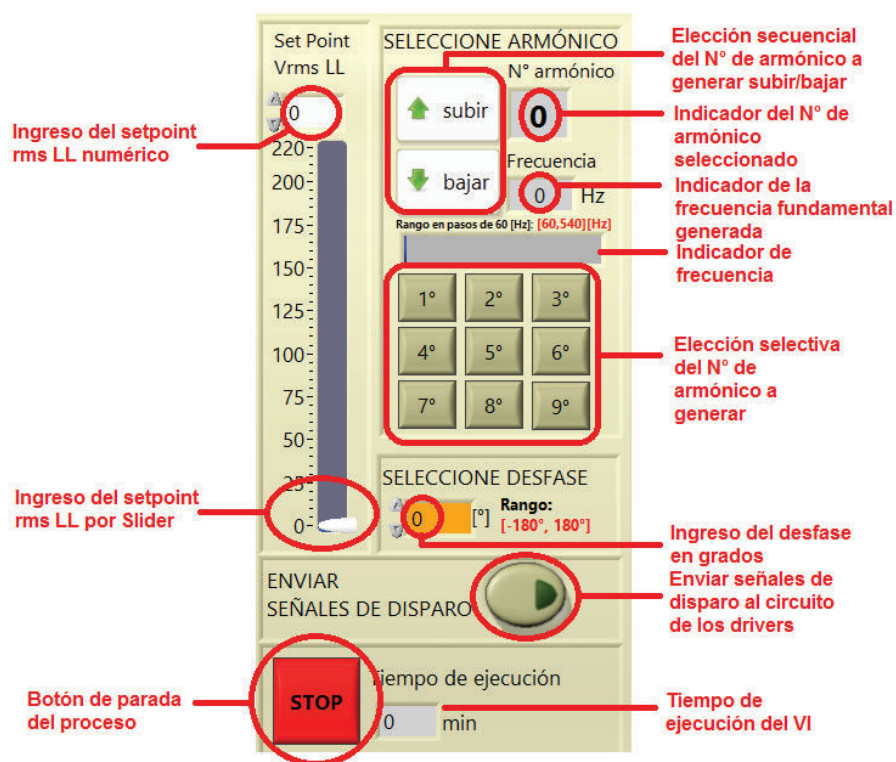
## A.9. USO DE LA INTERFAZ DE USUARIO

En la (figura A.10) se muestra la interfaz de usuario que controlará el funcionamiento del equipo “Generador de Armónicos Trifásico”.



**Figura A.27** Interfaz de usuario para el control y monitoreo del Generador de Armónicos Trifásico

La Figura A.28 y la Tabla A.2 detallan los controles para configurar las características de las señales de voltaje a ser generadas.



**Figura A.28** Controles para configuración de los parámetros de las señales a ser generadas.

**Tabla A.2** Descripción de los parámetros de las señales a ser generadas.

<b>CONFIGURACIÓN DE PARÁMETROS</b>	
<b>Controles</b>	<b>Descripción</b>
<i>Stop (botón)</i>	Detiene todos los procesos que se estén ejecutando siempre y cuando hayan concluido.
<i>Set Point Vrms LL (control numérico y Slider)</i>	Permite ingresar al Voltaje rms línea-línea hasta 220V.
<i>Seleccione Armónico (pulsadores subir – bajar &amp; por teclado numérico)</i>	Permite seleccionar la frecuencia de las señales de voltaje a ser generadas ( <b>60</b> , 120, <b>180</b> , 240, <b>300</b> , 360, <b>420</b> , 480, <b>540</b> ) Hz
<i>Seleccione Desfase (control numérico)</i>	Permite ingresar el desfase de los voltajes compuestos generados en grados en un rango (-180°, 180°)
<i>Enviar señales de disparo</i>	Activa o desactiva el envío de señales de control para el funcionamiento del inversor.

Desde la (figura A.12) hasta la (figura A.15) se muestran las cuatro pestañas disponibles en la interfaz. Y en las tablas (Tabla A.3) hasta la (Tabla A.6) se indican las descripciones de las señales mostradas en cada pestaña.

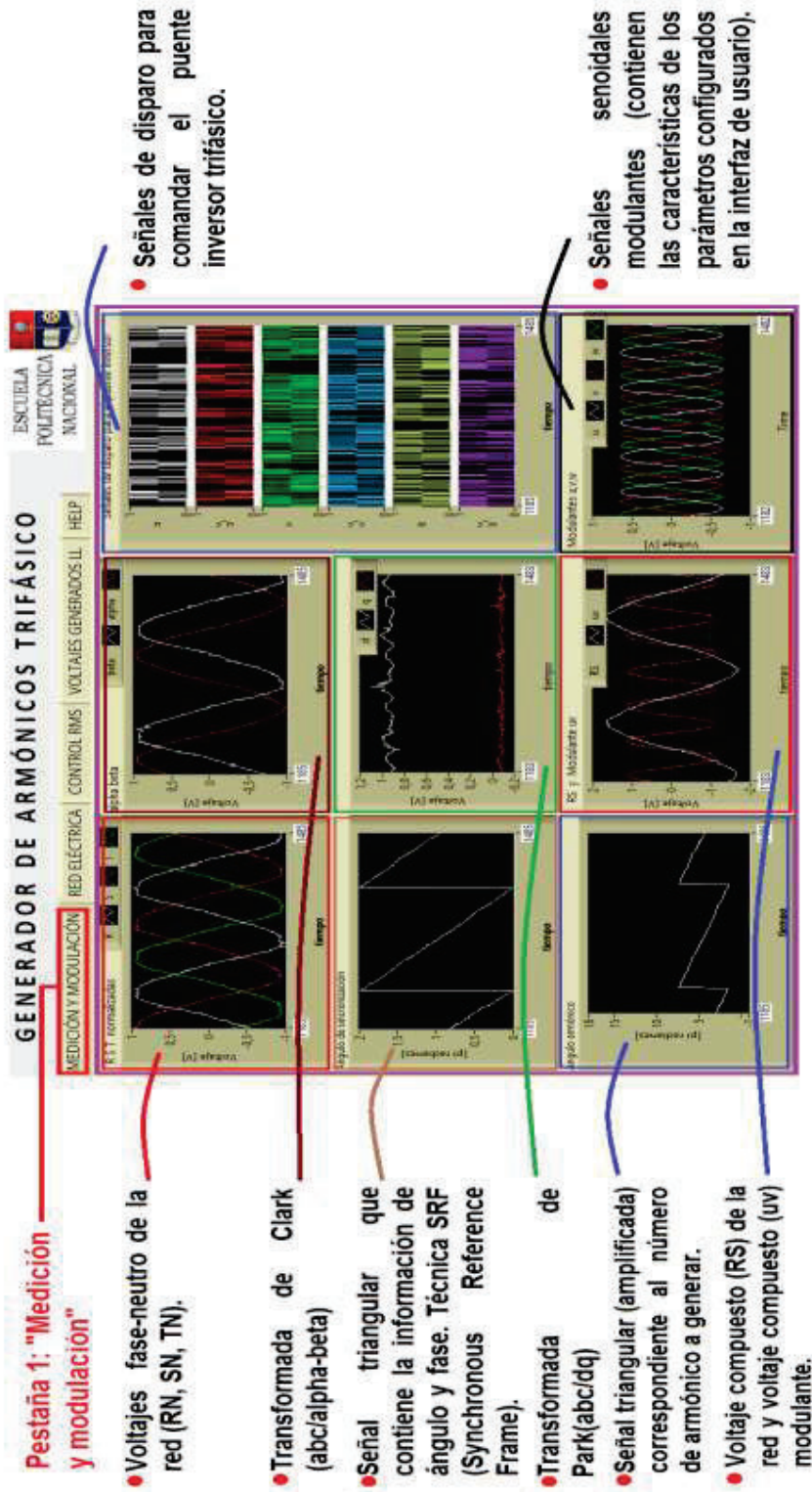
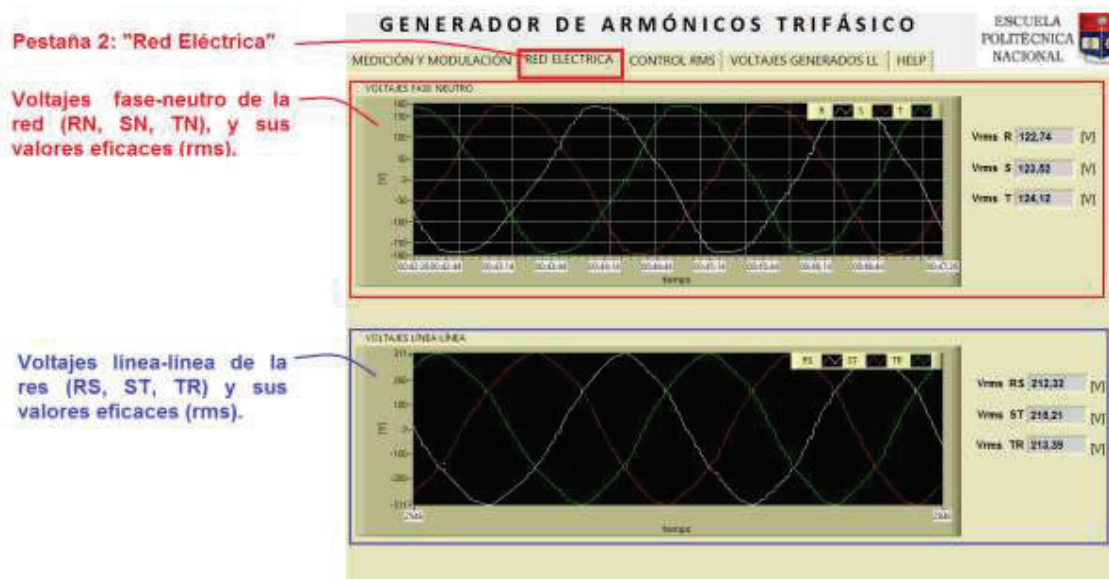


Figura A.29 Pestaña (1), "Medición y Modulación"

**Tabla A.3** Descripción de la pestaña (1) “Medición y Modulación”.

VOLTAJE	
Gráficas-Señales	Descripción
<i>R S T normalizadas</i>	Voltajes fase-neutro de la red (RN, SN, TN).
<i>Alpha Beta</i>	Transformada de Clark (abc/alpha-beta).
<i>d q</i>	Transformada de Park(abc/dq)
<i>tetha srf</i>	Señal triangular que contiene la información de ángulo y fase. Técnica SRF (Synchronous Reference Frame).
<i>tetha armónico</i>	Señal triangular (amplificada) correspondiente al número de armónico a generar.
<i>Modulantes u, v, w</i>	Señales senoidales modulantes (contienen las características de los parámetros configurados en la interfaz de usuario).
<i>SPWM</i>	Señales de disparo para comandar el puente inversor trifásico.
<i>RS y modulante uv</i>	Voltaje compuesto (RS) de la red y voltaje compuesto (uv) modulante.



**Figura A.31** Pestaña (2), “Red Eléctrica”.

Tabla A.4 Descripción de la pestaña (2) "Red Eléctrica"

RED ELÉCTRICA	
Gráficas-Señales	Descripción
<i>Voltajes Fase – Neutro</i>	Voltajes fase-neutro de la red (RN, SN, TN), y sus valores eficaces (rms).
<i>Voltajes Línea – Línea</i>	Voltajes línea-línea de la red (RS, ST, TR) y sus valores eficaces (rms).

Tabla A.5 Descripción de la pestaña (3) "Control rms".

Control rms	
Gráficas-Señales	Descripción
<i>Vrms setpoint</i> – <i>Vrms carga</i>	Voltaje setpoint rms (voltaje deseado a ser generado) y voltaje de salida rms (voltaje en la salida del inversor)
<i>Error Vrms</i>	Error del voltaje rms línea-línea presente en la salida del inversor
<i>Señal Control</i>	Valor de la señal de control
<i>Constantes control PI</i>	Constantes del control Proporcional Integral calibrado

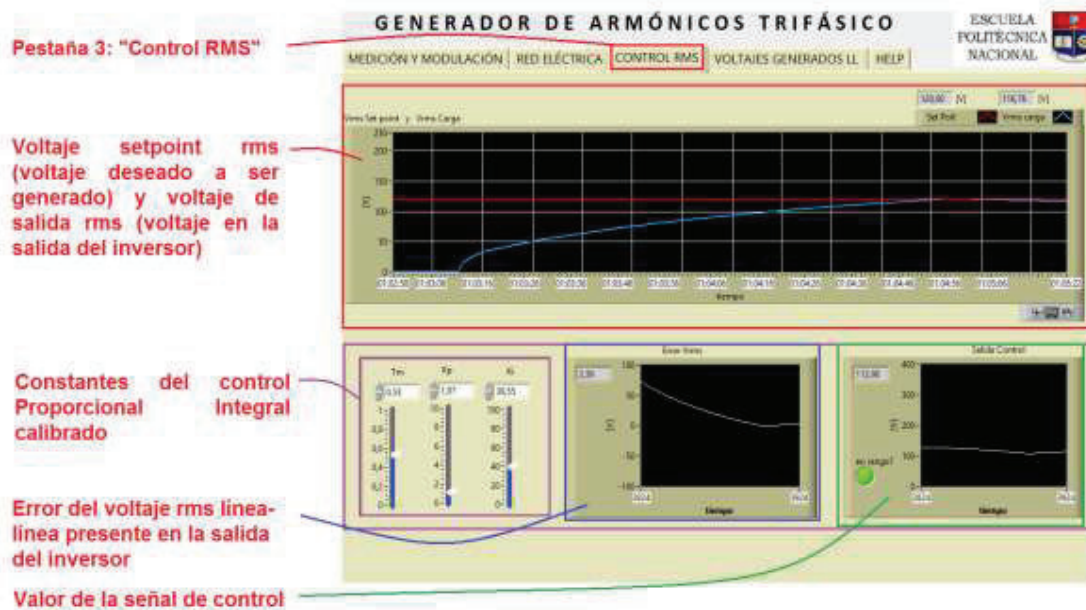


Figura A.32 Pestaña (3), "Control rms".

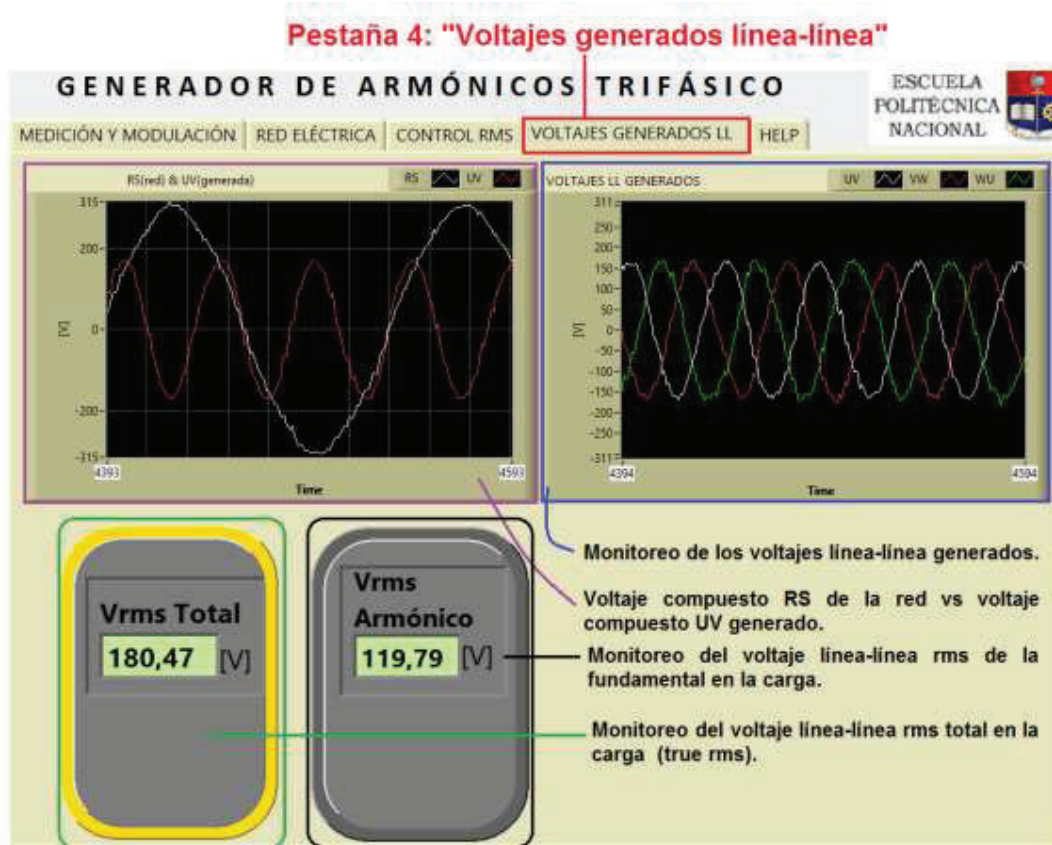


Figura A.33 Pestaña (4) "Voltajes generados LL"

Tabla A.6 Descripción de la pestaña (4) "Voltajes generados LL".

<b>Voltajes generados LL</b>	
<b>Gráficas-Señales-Monitoreo</b>	<b>Descripción</b>
<i>RS (red) &amp; UV (generada)</i>	Voltaje compuesto RS de la red vs voltaje compuesto UV generado.
<i>Voltajes LL fundamentales generados</i>	Monitoreo de los voltajes línea-línea generados.
<i>Vrms total</i>	Monitoreo del voltaje línea-línea rms total en la carga (true rms).
<i>Vrms armónico</i>	Monitoreo del voltaje línea-línea rms de la fundamental en la carga.

## **A.10. APAGADO DEL EQUIPO**

Los pasos para el apagado son los siguientes:

- (HMI) Desactivar el envío de señales de control desde el instrumento virtual “generador\_armonicos\_interface.vi”.
- Apagar el bus de DC desde el Selector (posición OFF)
- Presionar el “Paro de Emergencia”.
- Desactivar los breakers “CARGA” y “RED”.
- Desconectar alimentación trifásica desde la red (bajar breaker trifásico de la mesa de trabajo o desenchufar de la red trifásica los cables).
- (HMI) desconectar la tarjeta de control. En el proyecto “generador\_armonicos.lvproj”, sobre “tarjeta (169.254.66.100) [Link-local IP Address]” clic derecho/Disconnect.
- Desactivar interruptor de alimentación a la tarjeta (24V) en la posición OFF.

## **A.11. POSIBLES PROBLEMAS EN LA OPERACIÓN**

En la (Tabla A.7) se detallan los posibles problemas a suscitarse en la operación del equipo Generador de Armónicos Trifásico, así como los motivos y las soluciones a cada problema. Esta información se indica en la pestaña HELP de la interfaz de usuario.



**Tabla A.7** Problemas, motivos y soluciones para la operación adecuada del equipo Generador de Armónicos Trifásico.

	<b>Problema</b>	<b>Motivo</b>	<b>Solución</b>
1	Error en la conexión de la tarjeta	Se debe a que no se puede establecer la conexión entre la PC y la tarjeta. (La PC no cuenta con una IP disponible para la conexión).	Desconectar el Wi-Fi, o configurar en "modo avión", para que la dirección IP de la PC esté disponible para la conexión.
2	Error en la generación de "Ángulo de sincronización" y "Ángulo armónico", las formas de onda no son triangulares. (pestaña 1 "Señales de Control").	Se debe al desorden en la conexión de las señales R, S, T de la red o a que una de éstas esté desconectada.	Comprobar continuidad de los cables de conexión y conectar los terminales banana R,S,T,N desde la red a las borneras de la misma etiqueta ubicadas en el gabinete metálico. Además observar en la "pestaña 1: Medición y modulación"
3	Retardo en la respuesta del equipo a los valores seteados en el HMI.	Se debe a la sobrecarga de programas en la PC que la vuelve lenta en el procesamiento de información.	Esperar unos segundos después de ejecutarse la interfaz. Caso contrario reiniciar la PC
4	Los voltajes generados no tienen las formas de onda esperadas	Se debe a que los drivers de disparo IR2110 o los IGBT's STGW28IH125DF se encuentran defectuosos. (referirse a la sección "Recomendaciones")	Reemplazar los IR2110 o los STGW28IH125DF defectuosos.

## **A.12. ¿CÓMO ACTUAR FRENTE A POSIBLE DETERIORO DE ELEMENTOS?**

Si se presenta un deterioro en el funcionamiento de los drivers IR2110 ubicados en la placa "circuito de disparo" el equipo dejará de funcionar (el led de la fuente de 12V de la misma placa se mostrará apagado porque la fuente ha entrado en cortocircuito). En el preciso instante se recomienda:

- a) PRESIONAR el PULSADOR DE EMERGENCIA
- b) Desactivar el breaker de la RED ubicado dentro del gabinete metálico.
- c) Dejar de enviar las señales de control

- d) Desactivar el bus de DC mediante el selector (ON/OFF) ubicado en la parte frontal del gabinete metálico
- e) Esperar a que el bus de DC se descargue completamente (Observar que el led verde de la placa del bus de DC se haya apagado)
- f) Chequear que los IGBT's estén funcionales (con el multímetro en modo DIODO, entre colector y emisor se debe observar que el diodo en antiparalelo interno del IGBT marque 0.499[V], es decir, no haya sufrido daño) caso contrario reemplazarlos por IGBT's de iguales o similares características
- g) Reemplazar los IR2110 dañados
- h) Ejecutar el proceso de encendido del equipo nuevamente como lo indica este manual de usuario.

Esta información se indica en la pestaña HELP de la interfaz de usuario.

**ANEXO B**  
**ESQUEMÁTICOS DE CIRCUITOS**  
**IMPLEMENTADOS**

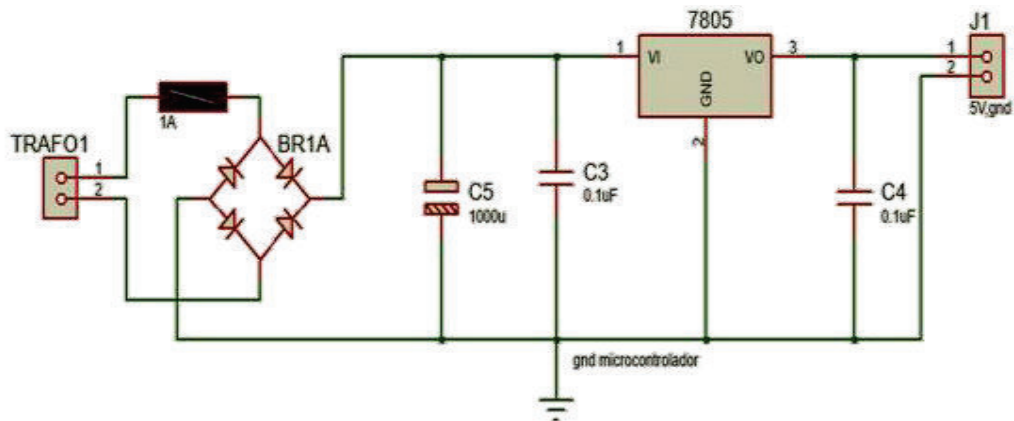


Figura B.1 Circuito fuente microcontrolador

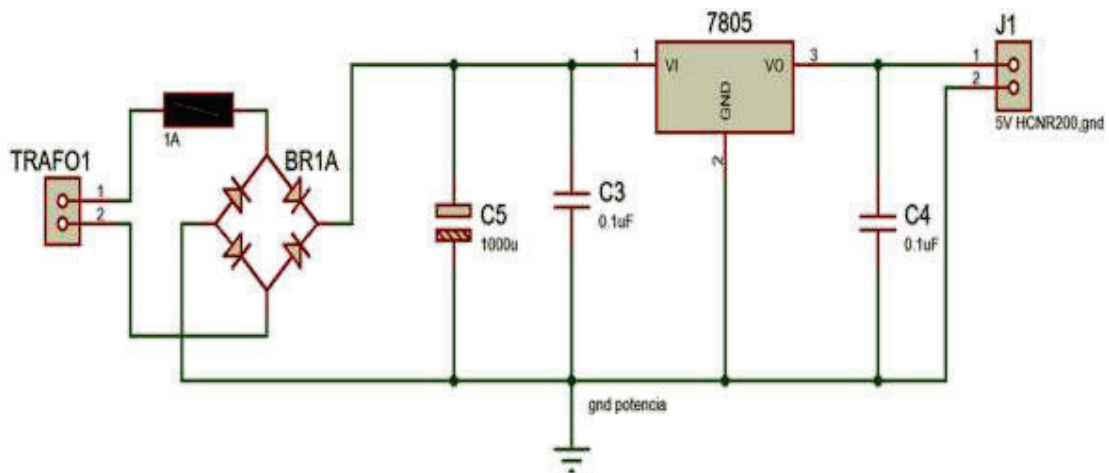


Figura B.2 Circuito fuente HCNR200

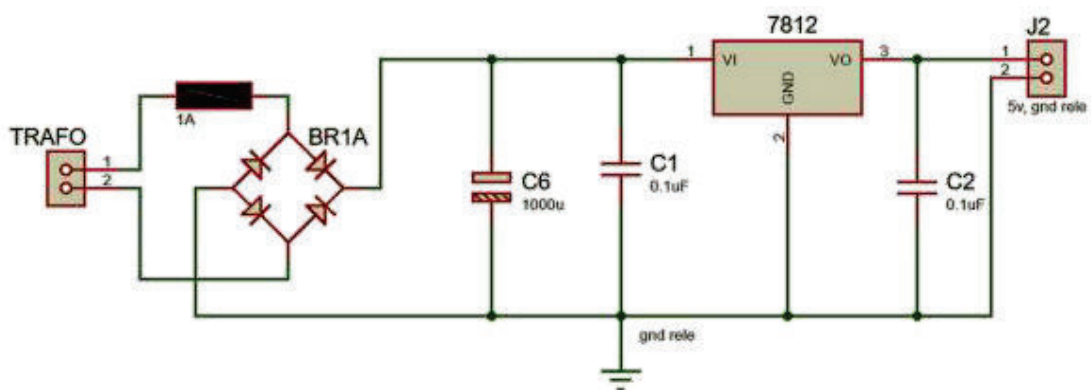


Figura B.3 circuito fuente relé

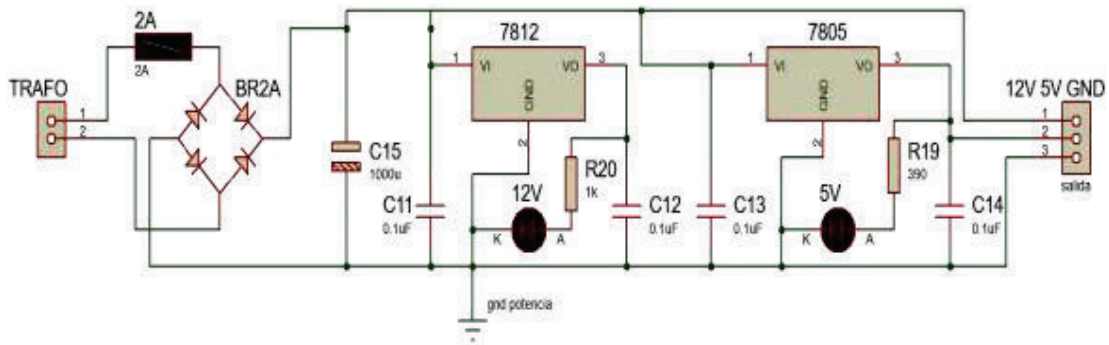


Figura B.4 Circuito fuentes de disparo

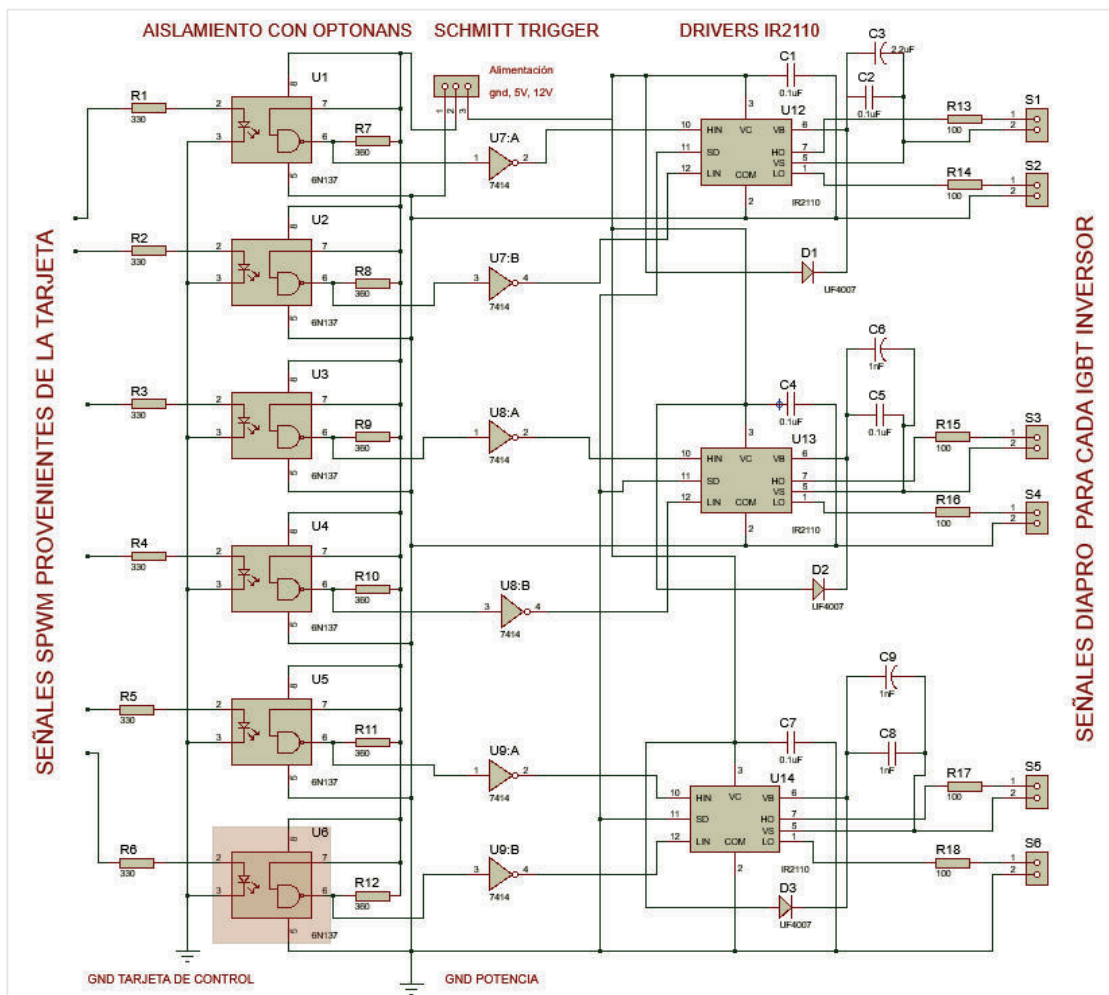


Figura B.5 Circuito de disparo inversor trifásico

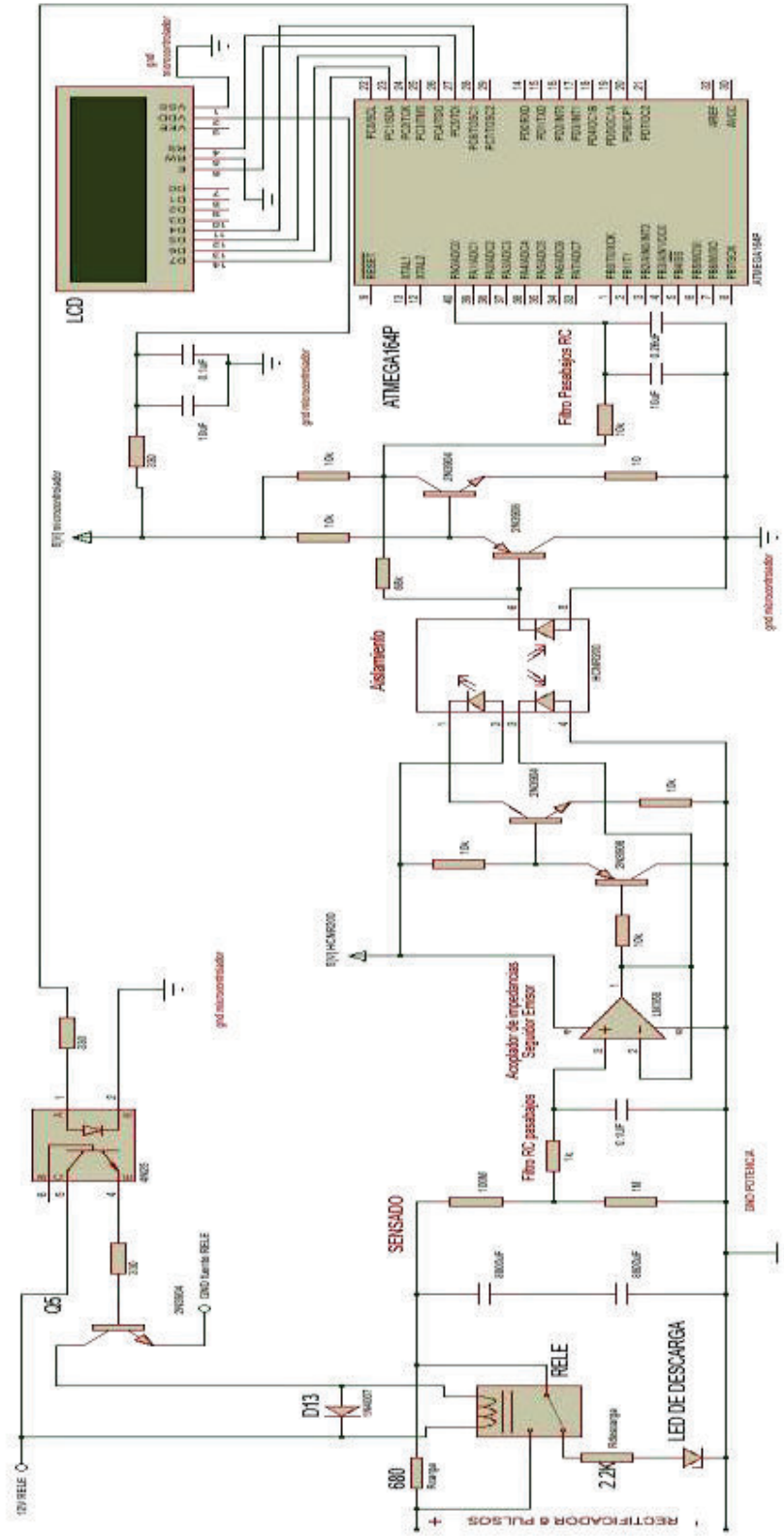


Figura B.6 Circuito sensado y control de la carga automática del bus dc

**ANEXO C**

**PLACAS PCB CIRCUITOS IMPLEMENTADOS**

## C.1 PLACA PCB DEL BUS DC

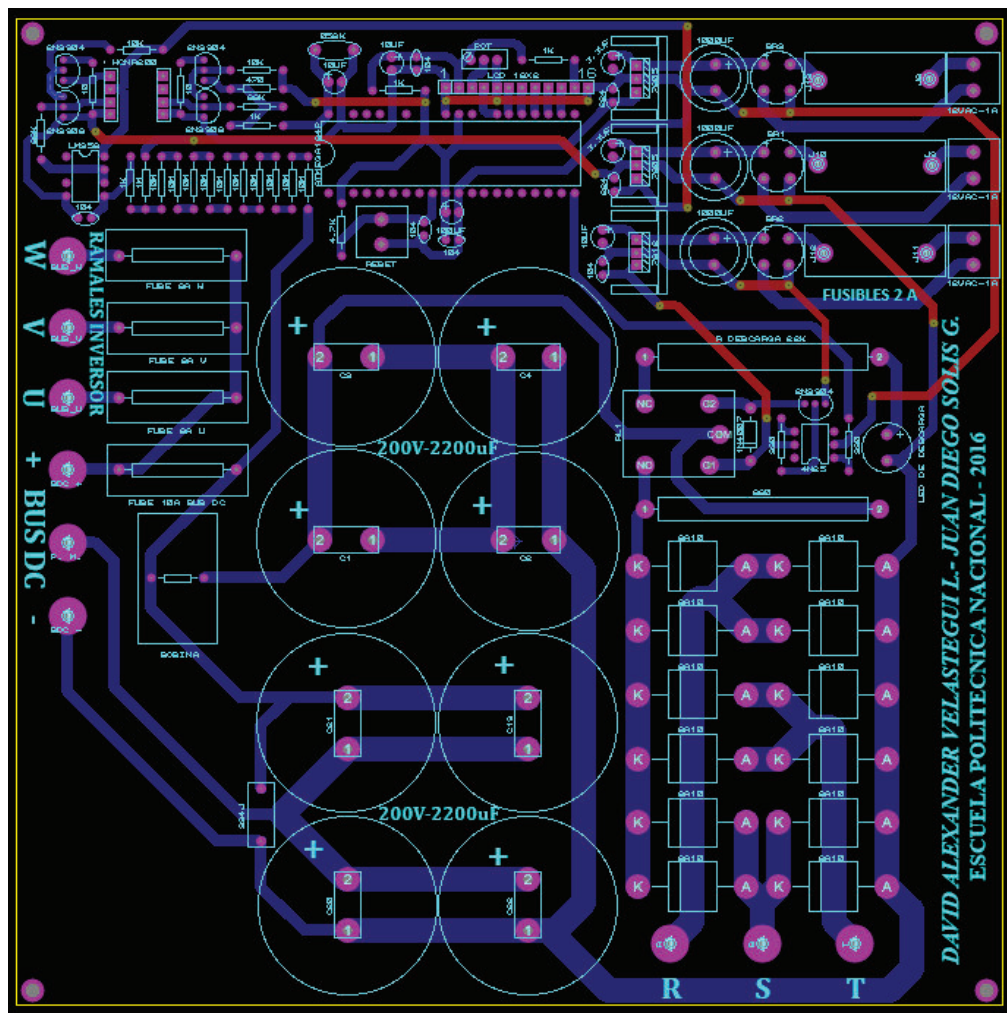


Figura C.1 Diagrama PCB palca BUS DC implementada



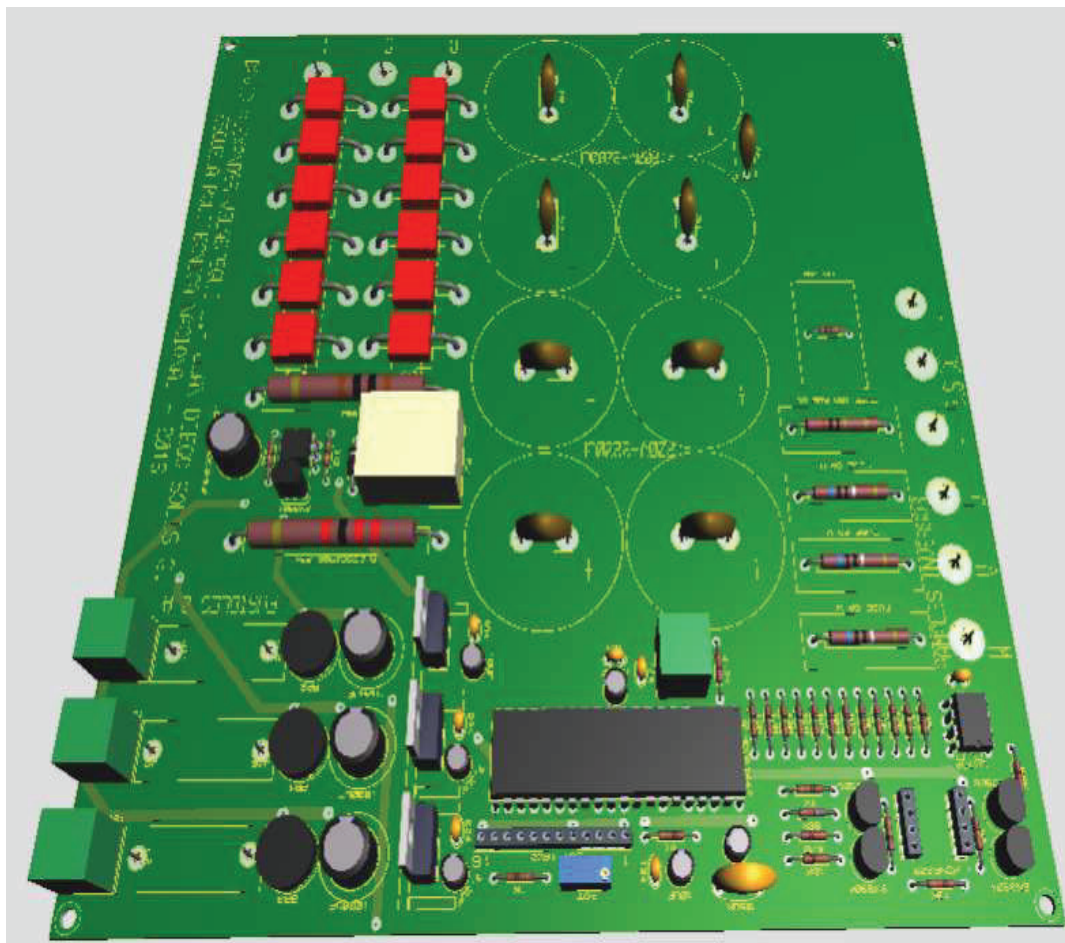


Figura C.2 Modelo 3D placa PCB bus dc

C.2 PLACA PCB CIRCUITO DE DISPARO

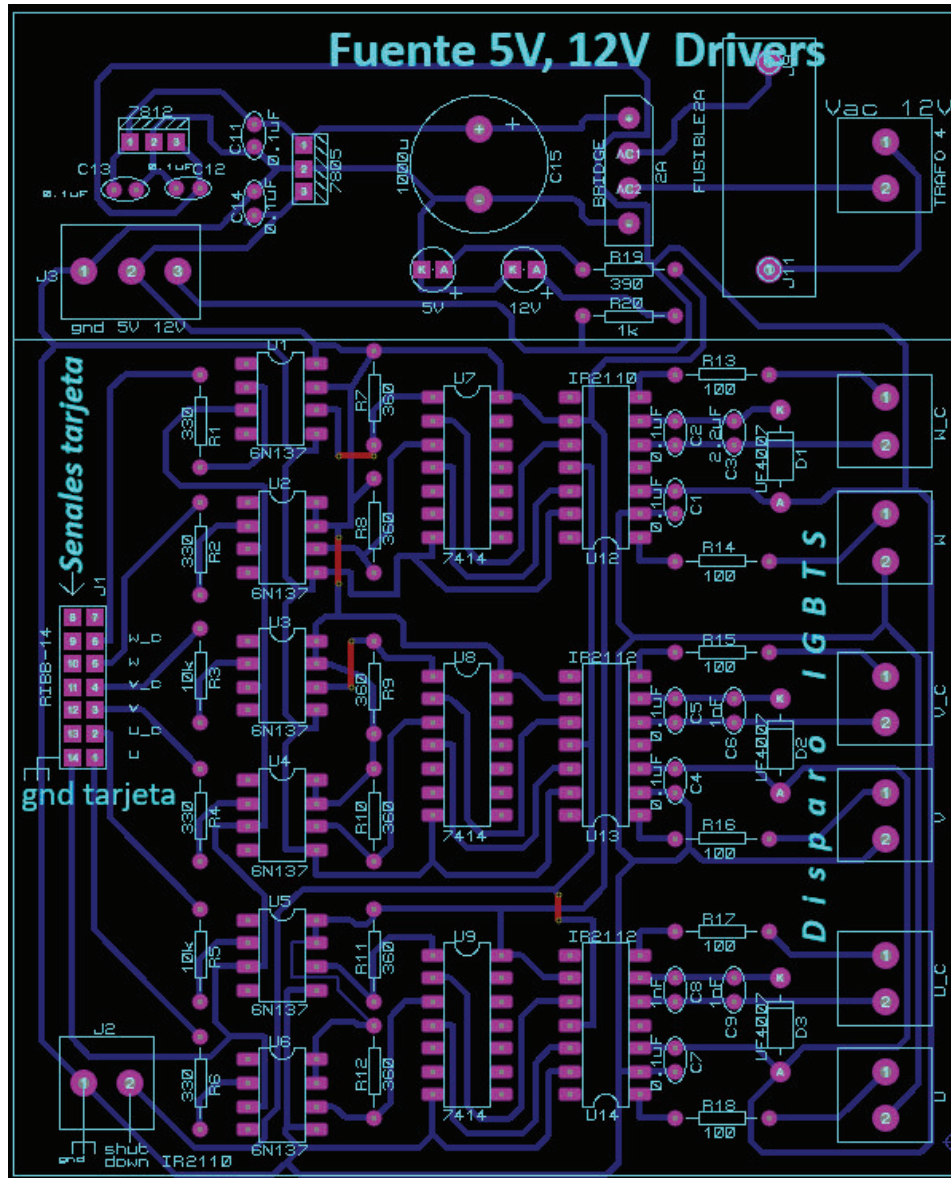


Figura C.3 Diagrama PCB circuito de disparo

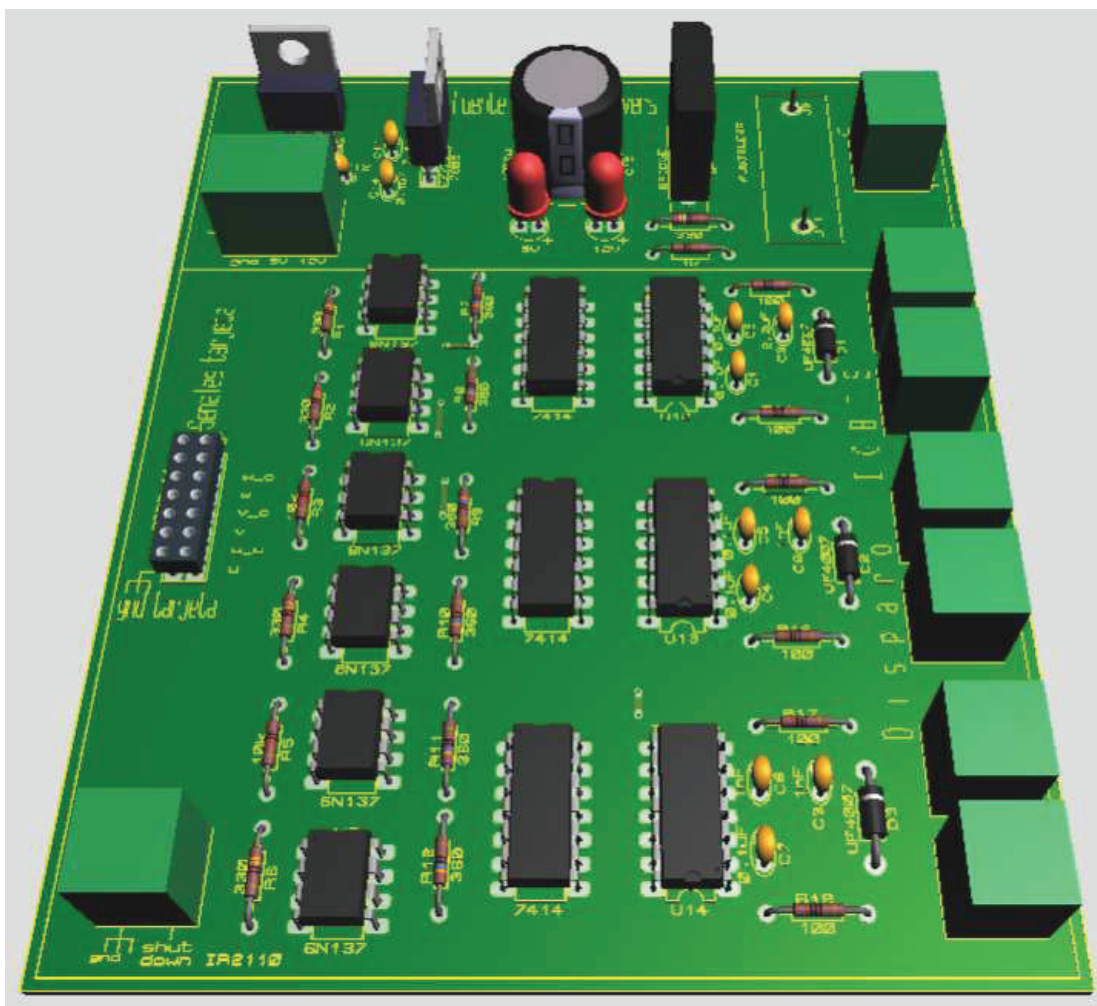


Figura C.4 Modelo 3D placa PCB circuito de disparo

### C.3 DIAGRAMA PCB CIRCUITO DE SENSADO DE LA RED Y CARGA

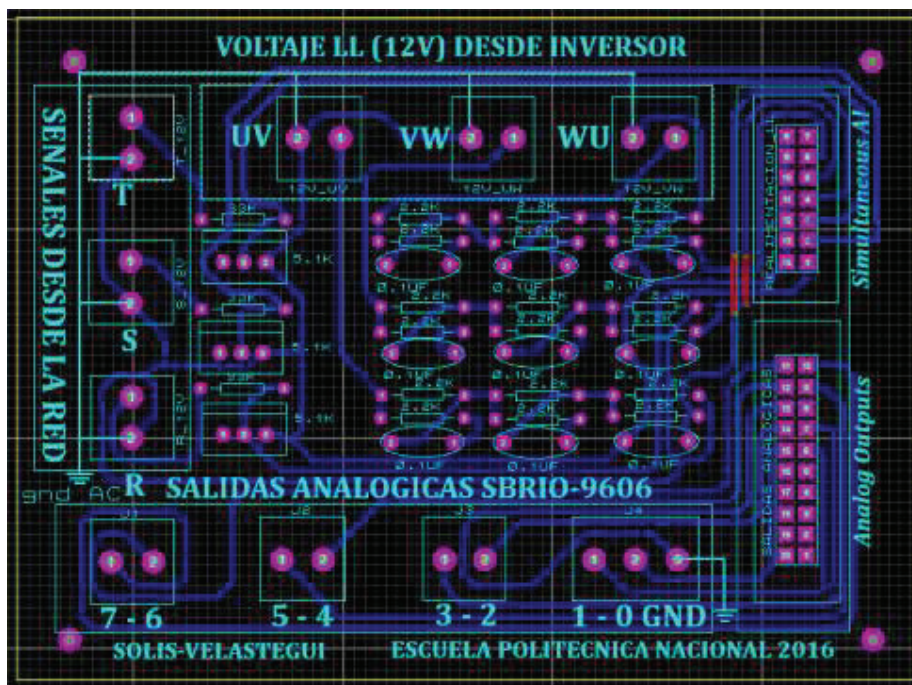


Figura C.5 Diagrama PCB circuito de sensado red y carga

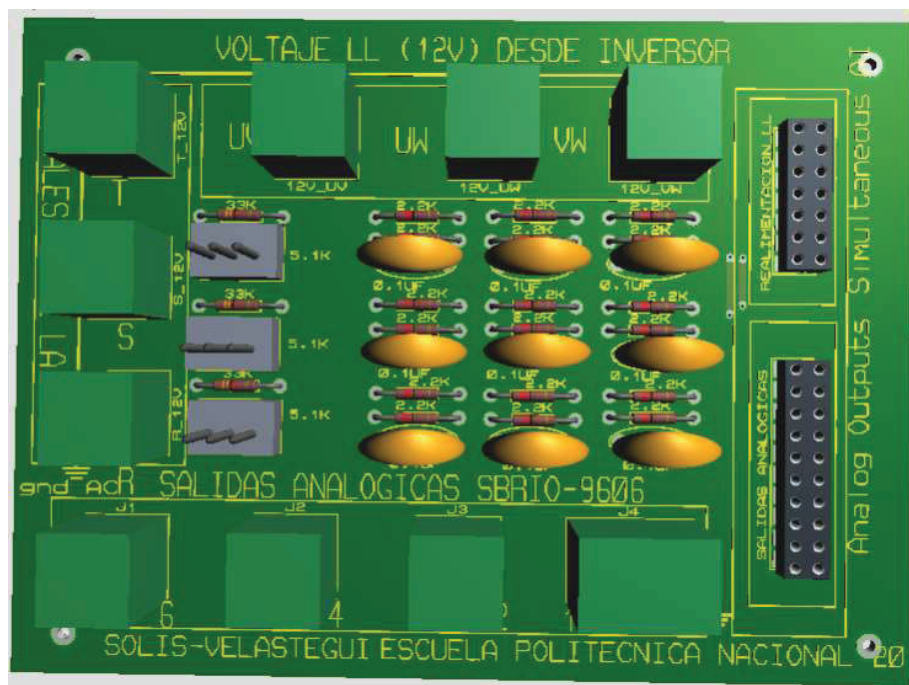


Figura C.6 Modelo 3D placa PCB circuito de sensado red y carga

**ANEXO D**  
**PLANO ELÉCTRICO EQUIPO**

AQUÍ VA  
PLANO

## **ANEXO E**

### **HOJAS TÉCNICAS DE ELEMENTOS UTILIZADOS**

- E.1 STGW28IH125DF -IGBT utilizado
- E.2 IR2110 -driver disparo
- E.3 HCNR200 - optoacoplador analógico lineal
- E.4 6N137 - optonand
- E.5 4N25 - opto transistor
- E.6 6 A10 - diodo rectificador
- E.7 LM358 – amplificador operacional
- E.8 7414 – schmitt trigger

## E.1



## STGW28IH125DF STGWT28IH125DF

1250 V, 30 A IH series  
trench gate field-stop IGBT

Datasheet - production data

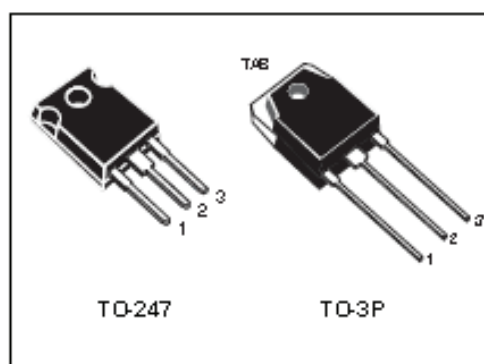
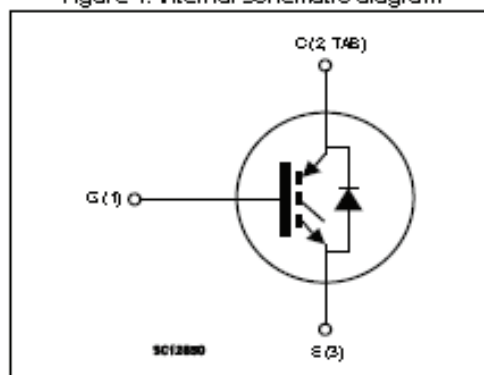


Figure 1. Internal schematic diagram



### Features

- Designed for soft commutation only
- Maximum junction temperature:  $T_J = 175\text{ }^\circ\text{C}$
- Minimized tail current
- $V_{CE(sat)} = 2.0\text{ V (typ.)} @ I_C = 26\text{ A}$
- Tight parameters distribution
- Safe paralleling
- Low  $V_F$  soft recovery co-packaged diode
- Low thermal resistance
- Lead free package

### Applications

- Induction heating
- Microwave oven
- Resonant converters

### Description

These IGBTs are developed using an advanced proprietary trench gate field-stop structure and performance is optimized in both conduction and switching losses. A freewheeling diode with a low drop forward voltage is co-packaged. The result is a product specifically designed to maximize efficiency for any resonant and soft-switching application.

Table 1. Device summary

Order code	Marking	Package	Packaging
STGW28IH125DF	G28IH125DF	TO-247	Tube
STGWT28IH125DF	G28IH125DF	TO-3P	Tube



## Electrical ratings

Table 2. Absolute maximum ratings

Symbol	Parameter	Value	Unit
$V_{CES}$	Collector-emitter voltage ( $V_{GE} = 0$ )	1250	V
$I_C$	Continuous collector current at $T_C = 25\text{ }^\circ\text{C}$	60	A
$I_C$	Continuous collector current at $T_C = 100\text{ }^\circ\text{C}$	30	A
$I_{CP}^{(1)}$	Pulsed collector current	120	A
$V_{GE}$	Gate-emitter voltage	$\pm 20$	V
$I_F$	Continuous forward current at $T_C = 25\text{ }^\circ\text{C}$	60	A
$I_F$	Continuous forward current at $T_C = 100\text{ }^\circ\text{C}$	30	A
$I_{FP}^{(1)}$	Pulsed forward current	120	A
$P_{TOT}$	Total dissipation at $T_C = 25\text{ }^\circ\text{C}$	375	W
$T_{STG}$	Storage temperature range	-55 to 150	$^\circ\text{C}$
$T_J$	Operating junction temperature	-55 to 175	$^\circ\text{C}$

1. Pulsewidth limited by maximum junction temperature.

Table 3. Thermal data

Symbol	Parameter	Value	Unit
$R_{thJC}$	Thermal resistance junction-case IGBT	0.4	$^\circ\text{C/W}$
$R_{thCD}$	Thermal resistance junction-case diode	1.47	$^\circ\text{C/W}$
$R_{thJA}$	Thermal resistance junction-ambient	50	$^\circ\text{C/W}$

## Electrical characteristics

$T_J = 25\text{ }^\circ\text{C}$  unless otherwise specified.

Table 4. Static characteristics

Symbol	Parameter	Test conditions	Min.	Typ.	Max.	Unit
$V_{(BR)CES}$	Collector-emitter breakdown voltage ( $V_{GE} = 0$ )	$I_C = 2\text{ mA}$	1250			V
$V_{CE(sat)}$	Collector-emitter saturation voltage	$V_{GE} = 15\text{ V}, I_C = 25\text{ A}$		2	2.6	V
		$V_{GE} = 15\text{ V}, I_C = 25\text{ A}$ $T_J = 125\text{ }^\circ\text{C}$		2.2		
		$V_{GE} = 15\text{ V}, I_C = 25\text{ A}$ $T_J = 175\text{ }^\circ\text{C}$		2.3		
		$V_{GE} = 15\text{ V}, I_C = 50\text{ A}$		2.65		
$V_F$	Forward on-voltage	$I_F = 25\text{ A}$		1.2	1.6	V
		$I_F = 50\text{ A}$		1.45		
		$I_F = 25\text{ A}, T_J = 125\text{ }^\circ\text{C}$		1.2		
		$I_F = 25\text{ A}, T_J = 175\text{ }^\circ\text{C}$		1.2		
$V_{GE(th)}$	Gate threshold voltage	$V_{CE} = V_{GE}, I_C = 1\text{ mA}$	6	6	7	V
$I_{CES}$	Collector cut-off current ( $V_{GE} = 0$ )	$V_{CE} = 1250\text{ V}$			25	$\mu\text{A}$
$I_{GES}$	Gate-emitter leakage current ( $V_{CE} = 0$ )	$V_{GE} = \pm 20\text{ V}$			250	nA

Table 5. Dynamic characteristics

Symbol	Parameter	Test conditions	Min.	Typ.	Max.	Unit
$C_{in}$	Input capacitance	$V_{CE} = 26 \text{ V}$ , $f = 1 \text{ MHz}$ , $V_{BE} = 0$	-	2036	-	pF
$C_{out}$	Output capacitance		-	139	-	pF
$C_{rev}$	Reverse transfer capacitance		-	62	-	pF
$Q_g$	Total gate charge	$V_{CC} = 960 \text{ V}$ , $I_C = 26 \text{ A}$ , $V_{BE} = 16 \text{ V}$ , see <a href="#">Figure 25</a>	-	114	-	nC
$Q_{ge}$	Gate-emitter charge		-	11	-	nC
$Q_{gc}$	Gate-collector charge		-	69	-	nC

Table 6. IGBT switching characteristics (inductive load)

Symbol	Parameter	Test conditions	Min.	Typ.	Max.	Unit
$t_{off}$	Turn-off delay time	$V_{CE} = 600 \text{ V}$ , $I_C = 26 \text{ A}$ , $R_{\theta} = 10 \text{ } \Omega$ , $V_{BE} = 16 \text{ V}$ , see <a href="#">Figure 23</a>	-	128	-	ns
$t_f$	Current fall time		-	82	-	ns
$E_{off}^{(1)}$	Turn-off switching losses		-	0.72	-	mJ
$t_{off}$	Turn-off delay time	$V_{CE} = 600 \text{ V}$ , $I_C = 26 \text{ A}$ , $R_{\theta} = 10 \text{ } \Omega$ , $V_{BE} = 16 \text{ V}$ , $T_J = 175 \text{ } ^\circ\text{C}$ , see <a href="#">Figure 23</a>	-	132	-	ns
$t_f$	Current fall time		-	190	-	ns
$E_{off}^{(1)}$	Turn-off switching losses		-	1.63	-	mJ

1. Turn-off losses include also the tail of the collector current.

Table 7. IGBT switching characteristics (capacitive load)

Symbol	Parameter	Test conditions	Min.	Typ.	Max.	Unit
$E_{off}^{(1)}$	Turn-off switching losses	$V_{CC} = 900 \text{ V}$ , $R_{\theta} = 10 \text{ } \Omega$ , $I_C = 60 \text{ A}$ , $L = 600 \text{ } \mu\text{H}$ , $C_{inub} = 330 \text{ nF}$ , see <a href="#">Figure 24</a>	-	230	-	$\mu\text{J}$
		$V_{CC} = 900 \text{ V}$ , $R_{\theta} = 10 \text{ } \Omega$ , $I_C = 60 \text{ A}$ , $L = 600 \text{ } \mu\text{H}$ , $C_{inub} = 330 \text{ nF}$ , $T_J = 175 \text{ } ^\circ\text{C}$ , see <a href="#">Figure 24</a>	-	620	-	

1. Turn-off losses include also the tail of the collector current.

## HIGH AND LOW SIDE DRIVER

### Features

- ◆ Floating channel designed for bootstrap operation  
 Fully operational to +500V or +600V  
 Tolerant to negative transient voltage  
 dV/dt immune
- ◆ Gate drive supply range from 10 to 20V
- ◆ Undervoltage lockout for both channels
- ◆ 3.3V logic compatible  
 Separate logic supply range from 3.3V to 20V  
 Logic and power ground  $\pm 5V$  offset
- ◆ CMOS Schmitt-triggered inputs with pull-down
- ◆ Cycle by cycle edge-triggered shutdown logic
- ◆ Matched propagation delay for both channels
- ◆ Outputs in phase with inputs

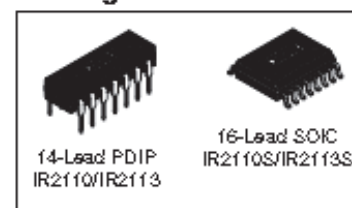
### Product Summary

$V_{\text{OFFSET}}$ (IR2110)	500V max.
(IR2113)	600V max.
$I_{\text{O}+/-}$	2A / 2A
$V_{\text{OUT}}$	10 - 20V
$t_{\text{on/off}}$ (typ.)	120 & 94 ns
Delay Matching (IR2110)	10 ns max.
(IR2113)	20ns max.

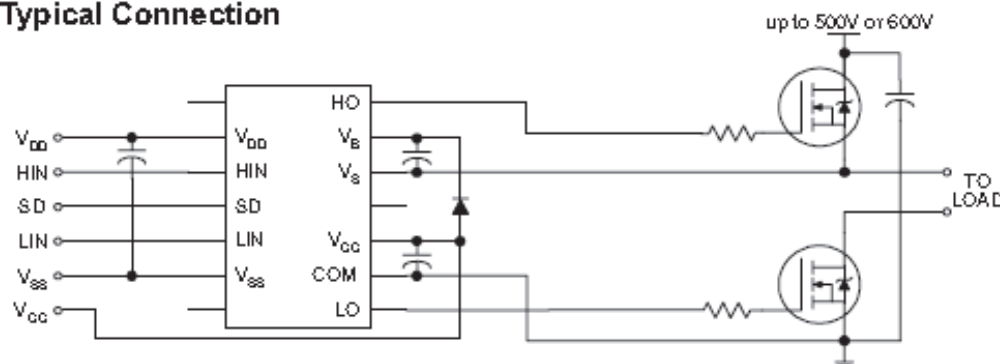
### Description

The IR2110/IR2113 are high voltage, high speed power MOSFET and IGBT drivers with independent high and low side referenced output channels. Proprietary HVIC and latch immune CMOS technologies enable ruggedized monolithic construction. Logic inputs are compatible with standard CMOS or LSTTL output, down to 3.3V logic. The output drivers feature a high pulse current buffer stage designed for minimum driver cross-conduction. Propagation delays are matched to simplify use in high frequency applications. The floating channel can be used to drive an N-channel power MOSFET or IGBT in the high side configuration which operates up to 500 or 600 volts.

### Packages

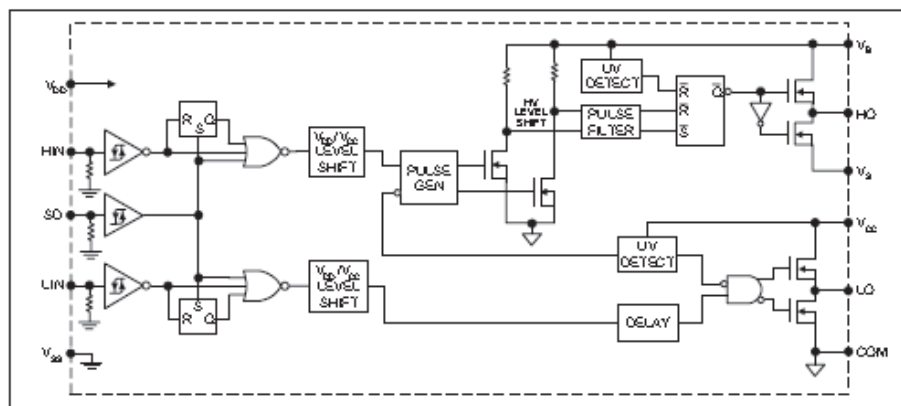


### Typical Connection



(Refer to Lead Assignments for correct pin configuration). This/These diagram(s) show electrical connections only. Please refer to our Application Notes and Design Tips for proper circuit board layout.

## Functional Block Diagram



## Lead Definitions

Symbol	Description
VDD	Logic supply
HIN	Logic input for high side gate driver output (HO), in phase
SD	Logic input for shutdown
LIN	Logic input for low side gate driver output (LO), in phase
VSS	Logic ground
Vb	High side floating supply
HO	High side gate drive output
Vs	High side floating supply return
Vcc	Low side supply
LO	Low side gate drive output
COM	Low side return

## Absolute Maximum Ratings

Absolute maximum ratings indicate sustained limits beyond which damage to the device may occur. All voltage parameters are absolute voltages referenced to COM. The thermal resistance and power dissipation ratings are measured under board mounted and still air conditions. Additional information is shown in Figures 28 through 35.

Symbol	Definition	Min.	Max.	Units	
Vb	High side floating supply voltage (IR2110)	-0.3	525	V	
		(IR2113)	-0.3		625
Vs	High side floating supply offset voltage	Vb - 25	Vb + 0.3		
VHO	High side floating output voltage	Vs - 0.3	Vb + 0.3		
Vcc	Low side fixed supply voltage	-0.3	25		
VLO	Low side output voltage	-0.3	Vcc + 0.3		
VDD	Logic supply voltage	-0.3	VSS + 25		
VSS	Logic supply offset voltage	Vcc - 25	Vcc + 0.3		
VIN	Logic input voltage (HIN, LIN & SD)	VSS - 0.3	VDD + 0.3		
dV <sub>DD</sub> /dt	Allowable offset supply voltage transient (figure 2)	—	50	V/ns	
Po	Package power dissipation @ T <sub>A</sub> ≤ +25°C	(14 lead DIP)	—	1.6	W
		(16 lead SOIC)	—	1.25	
R <sub>THJA</sub>	Thermal resistance, junction to ambient	(14 lead DIP)	—	75	°C/W
		(16 lead SOIC)	—	100	
T <sub>J</sub>	Junction temperature	—	150	°C	
T <sub>S</sub>	Storage temperature	-55	150		
T <sub>L</sub>	Lead temperature (soldering, 10 seconds)	—	300		

## Recommended Operating Conditions

The input/output logic timing diagram is shown in figure 1. For proper operation the device should be used within the recommended conditions. The  $V_S$  and  $V_{SS}$  offset ratings are tested with all supplies biased at 1.5V differential. Typical ratings at other bias conditions are shown in figures 36 and 37.

Symbol	Definition	Min.	Max.	Units
$V_S$	High side floating supply absolute voltage	$V_S + 10$	$V_S + 20$	V
$V_S$	High side floating supply offset voltage (IR2110)	Note 1	500	
	(IR2113)	Note 1	600	
$V_{HO}$	High side floating output voltage	$V_S$	$V_S$	
$V_{CC}$	Low side fixed supply voltage	10	20	
$V_{LO}$	Low side output voltage	0	$V_{CC}$	
$V_{DD}$	Logic supply voltage	$V_{SS} + 3$	$V_{SS} + 20$	
$V_{SS}$	Logic supply offset voltage	-5 (Note 2)	5	
$V_{IN}$	Logic input voltage (HIN, LIN & SD)	$V_{SS}$	$V_{DD}$	°C
$T_A$	Ambient temperature	-40	125	

Note 1: Logic operational for  $V_S$  of -4 to +500V. Logic state held for  $V_S$  of -4V to  $-V_{GS}$ . (Please refer to the Design Tip DT97-3 for more details).

Note 2: When  $V_{DD} < 5V$ , the minimum  $V_{SS}$  offset is limited to  $-V_{DD}$ .

## Dynamic Electrical Characteristics

$V_{EAS}$  ( $V_{CC}$ ,  $V_{GS}$ ,  $V_{DD}$ ) = 15V,  $C_L$  = 1000 pF,  $T_A$  = 25°C and  $V_{SS}$  = COM unless otherwise specified. The dynamic electrical characteristics are measured using the test circuit shown in Figure 3.

Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
$t_{on}$	Turn-on propagation delay	7	—	120	150	ns	$V_S = 0V$
$t_{off}$	Turn-off propagation delay	8	—	94	125		$V_S = 500V/600V$
$t_{sd}$	Shutdown propagation delay	9	—	110	140		$V_S = 500V/600V$
$t_r$	Turn-on rise time	10	—	25	35		
$t_f$	Turn-off fall time	11	—	17	25		
MT	Delay matching, HS & LS turn-on/off	(IR2110) (IR2113)	—	—	—		10 20

## Static Electrical Characteristics

$V_{EAS}$  ( $V_{CC}$ ,  $V_{GS}$ ,  $V_{DD}$ ) = 15V,  $T_A$  = 25°C and  $V_{SS}$  = COM unless otherwise specified. The  $V_{IH}$ ,  $V_{TH}$  and  $I_{IN}$  parameters are referenced to  $V_{SS}$  and are applicable to all three logic input leads: HIN, LIN and SD. The  $V_O$  and  $I_O$  parameters are referenced to COM and are applicable to the respective output leads: HO or LO.

Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
$V_{IH}$	Logic "1" input voltage	12	9.5	—	—	V	
$V_{IL}$	Logic "0" input voltage	13	—	—	6.0		
$V_{OH}$	High level output voltage, $V_{EAS} - V_O$	14	—	—	1.2		$I_O = 0A$
$V_{OL}$	Low level output voltage, $V_O$	15	—	—	0.1		$I_O = 0A$
$I_{LK}$	Offset supply leakage current	16	—	—	50		$V_S = V_S = 500V/600V$
$I_{QGS}$	Quiescent $V_{GS}$ supply current	17	—	125	230		$V_{IN} = 0V$ or $V_{DD}$
$I_{QCC}$	Quiescent $V_{CC}$ supply current	18	—	180	340		$V_{IN} = 0V$ or $V_{DD}$
$I_{QDD}$	Quiescent $V_{DD}$ supply current	19	—	15	30		$V_{IN} = 0V$ or $V_{DD}$
$I_{IN+}$	Logic "1" input bias current	20	—	20	40	$\mu A$	$V_{IN} = V_{DD}$
$I_{IN}$	Logic "0" input bias current	21	—	—	1.0		$V_{IN} = 0V$
$V_{ESUV+}$	$V_{GS}$ supply undervoltage positive going threshold	22	7.5	8.6	9.7	V	
$V_{ESUV}$	$V_{GS}$ supply undervoltage negative going threshold	23	7.0	8.2	9.4		
$V_{CCUV+}$	$V_{CC}$ supply undervoltage positive going threshold	24	7.4	8.5	9.6		
$V_{CCUV}$	$V_{CC}$ supply undervoltage negative going threshold	25	7.0	8.2	9.4		
$I_{O+}$	Output high short circuit pulsed current	26	2.0	2.5	—	A	$V_O = 0V$ , $V_{IN} = V_{DD}$ $PW \leq 10 \mu s$
$I_O$	Output low short circuit pulsed current	27	2.0	2.5	—		$V_O = 15V$ , $V_{IN} = 0V$ $PW \leq 10 \mu s$

## HCNR200 and HCNR201

### High-Linearity Analog Optocouplers



## Data Sheet

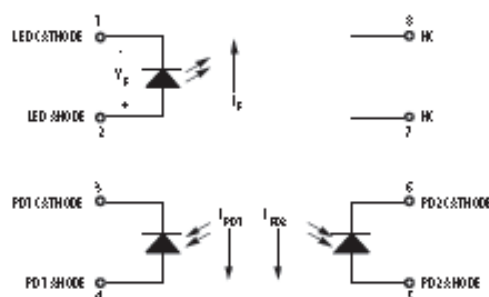


### Description

The HCNR200/201 high-linearity analog optocoupler consists of a high-performance AlGaAs LED that illuminates two closely matched photodiodes. The input photodiode can be used to monitor, and therefore stabilize, the light output of the LED. As a result, the non-linearity and drift characteristics of the LED can be virtually eliminated. The output photodiode produces a photocurrent that is linearly related to the light output of the LED. The close matching of the photo-diodes and advanced design of the package ensure the high linearity and stable gain characteristics of the optocoupler.

The HCNR200/201 can be used to isolate analog signals in a wide variety of applications that require good stability, linearity, bandwidth and low cost. The HCNR200/201 is very flexible and, by appropriate design of the application circuit, is capable of operating in many different modes, including: unipolar/bipolar, ac/dc and inverting/non-inverting. The HCNR200/201 is an excellent solution for many analog isolation problems.

### Schematic



### Features

- Low nonlinearity: 0.01%
- $K_2 (I_{PD2}/I_{PD1})$  transfer gain  
HCNR200:  $\pm 15\%$   
HCNR201:  $\pm 5\%$
- Low gain temperature coefficient:  $-65$  ppm/ $^{\circ}\text{C}$
- Wide bandwidth – DC to  $>1$  MHz
- Worldwide safety approval
  - UL 1577 recognized (5 kV rms/1 min rating)
  - CSA approved
  - IEC/EN/DIN EN 60747-5-2 approved  
 $V_{CEM} = 1414$  V<sub>rms</sub> (option #050)
- Surface mount option available (Option #300)
- 8-Pin DIP package - 0.400" spacing
- Allows flexible circuit design

### Applications

- Low cost analog isolation
- Telecom: Modem, PBX
- Industrial process control:
  - Transducer isolator
  - Isolator for thermocouples 4 mA to 20 mA loop isolation
- SMPS feedback loop, SMPS feedforward
- Monitor motor supply voltage
- Medical

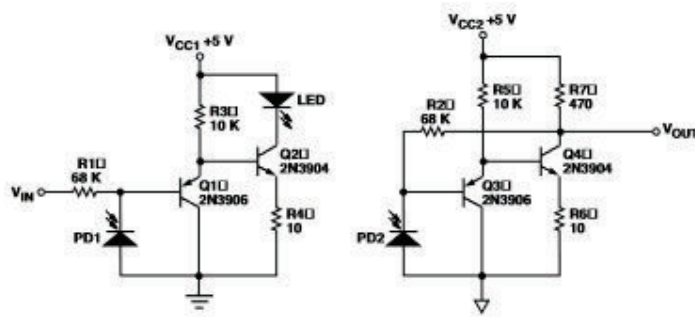


Figure 16. High-speed low-cost analog isolator.

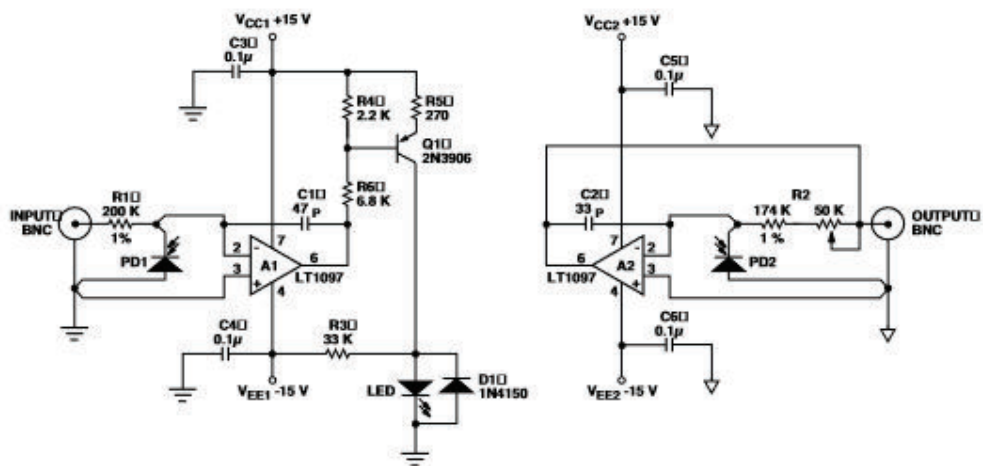
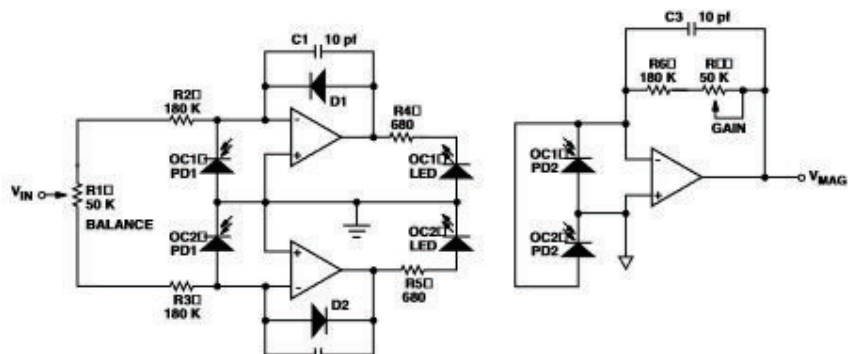


Figure 17. Precision analog isolation amplifier.



**Absolute Maximum Ratings**

Storage Temperature .....	-55°C to +125°C
Operating Temperature ( $T_a$ ).....	-55°C to +100°C
Junction Temperature ( $T_j$ ).....	125°C
Reflow Temperature Profile .....	See <b>Package Outline Drawings</b> Section
Lead Solder Temperature .....	260°C for 10s (up to seating plane)
Average Input Current - $I_f$ .....	25 mA
Peak Input Current - $I_p$ .....	40 mA (50 ns maximum pulse width)
Reverse Input Voltage - $V_R$ .....	2.5 V ( $I_R = 100 \mu A$ , Pin 1-2)
Input Power Dissipation.....	60 mW @ $T_a = 85^\circ C$ (Derate at 2.2 mW/°C for operating temperatures above 85°C)
Reverse Output Photodiode Voltage .....	30 V (Pin 6-5)
Reverse Input Photodiode Voltage .....	30 V (Pin 3-4)

**Recommended Operating Conditions**

Storage Temperature .....	-40°C to +85°C
Operating Temperature .....	-40°C to +85°C
Average Input Current - $I_f$ .....	1 - 20 mA
Peak Input Current - $I_p$ .....	35 mA (50% duty cycle, 1 ms pulse width)
Reverse Output Photodiode Voltage .....	0 - 15 V (Pin 6-5)
Reverse Input Photodiode Voltage .....	0 - 15 V (Pin 3-4)



## E.4



# 6N137/ SFH6741 / 42 / 50 / 51 / 52

Vishay Semiconductors

## High Speed Optocoupler, 10 Mbd

### Features

- Choice of CMR performance of 10 kV/μs, 5 kV/μs, and 100 V/μs
  - High speed: 10 Mbd typical
  - + 5 V CMOS compatibility
  - Guaranteed AC and DC performance over temperature: - 40 to + 100 °C Temp. Range
  - Pure tin leads
  - Meets IEC60068-2-42 (SO<sub>2</sub>) and IEC60068-2-43 (H<sub>2</sub>S) requirements
  - Low input current capability: 5 mA
- Lead-free component
  - Component in accordance to RoHS 2002/95/EC and WEEE 2002/96/EC

### Agency Approvals

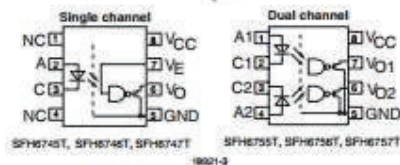
- UL1577, File No. E52744 System Code H or J, Double Protection
- CUL - File No. E52744, equivalent to CSA bulletin 5A
- DIN EN 60747-5-2 (VDE0884)
- Reinforced insulation rating per IEC60950 2.10.5.1
- VDE available with Option 1

### Applications

Microprocessor System Interface  
 PLC, ATE input/output isolation  
 Computer peripheral interface  
 Digital Fieldbus Isolation: CC-Link, DeviceNet, Profibus, SDS  
 High speed A/D and D/A conversion  
 AC Plasma Display Panel Level Shifting  
 Multiplexed Data Transmission  
 Digital control power supply  
 Ground loop elimination

### Description

The 6N137, SFH674x and SFH675x are single channel 10 Mbd optocouplers utilizing a high efficient input LED coupled with an integrated photodiode IC detector. The detector has an open drain NMOS-transistor output, providing less leakage compared to an open collector Schottky clamped transistor output.



For the single channel type, an enable function on pin 7 allows the detector to be strobed. The internal shield provides a guaranteed common mode transient immunity of 5 kV/μs for the SFH6741 and SFH6751 and 10 kV/μs for the SFH6742 and SFH6752. The use of a 0.1 μF bypass capacitor connected between pin 5 and 8 is recommended.

### Order Information

Part	Remarks
6N137	100 V/μs, Single channel, DIP-8
6N137-X006	100 V/μs, Single channel, DIP-8 400 mil (option 6)
6N137-X007	100 V/μs, Single channel, SMD-8 (option 7)
SFH6741	5 kV/μs, Single channel, DIP-8
SFH6741-X006	5 kV/μs, Single channel, DIP-8 400 mil (option 6)
SFH6741-X007	5 kV/μs, Single channel, SMD-8 (option 7)
SFH6742	10 kV/μs, Single channel, DIP-8
SFH6742-X006	10 kV/μs, Single channel, DIP-8 400 mil (option 6)
SFH6742-X007	10 kV/μs, Single channel, SMD-8 (option 7)
SFH6750	100 V/μs, Dual channel, DIP-8
SFH6750-X006	100 V/μs, Dual channel, DIP-8 400 mil (option 6)
SFH6750-X007	100 V/μs, Dual channel, SMD-8 (option 7)
SFH6751	5 kV/μs, Dual channel, DIP-8

## Vishay Semiconductors

Part	Remarks
SFH6751-X006	5 kV/ $\mu$ s, Dual channel, DIP-8 400 mil (option 6)
SFH6751-X007	5 kV/ $\mu$ s, Dual channel, SMD-8 (option 7)
SFH6752	10 kV/ $\mu$ s, Dual channel, DIP-8
SFH6752-X006	10 kV/ $\mu$ s, Dual channel, DIP-8 400 mil (option 6)
SFH6752-X007	10 kV/ $\mu$ s, Dual channel, SMD-8 (option 7)

### Truth Table (Positive Logic)

LED	ENABLE	OUTPUT
ON	H	L
OFF	H	H
ON	L	H
OFF	L	H
ON	NC	L
OFF	NC	H

### Absolute Maximum Ratings

$T_{amb} = 25\text{ }^{\circ}\text{C}$ , unless otherwise specified

Stresses in excess of the absolute Maximum Ratings can cause permanent damage to the device. Functional operation of the device is not implied at these or any other conditions in excess of those given in the operational sections of this document. Exposure to absolute Maximum Rating for extended periods of the time can adversely affect reliability.

### Input

Parameter	Test condition	Symbol	Value	Unit
Average forward current <sup>1)</sup>		$I_F$	20	mA
Average forward current <sup>2)</sup>		$I_F$	15	mA
Reverse input voltage		$V_R$	5	V
Enable input voltage <sup>1)</sup>		$V_E$	$V_{CC} + 0.5\text{ V}$	V
Enable input current <sup>1)</sup>		$I_E$	5	mA
Surge current	$t = 100\text{ }\mu\text{s}$	$I_{FSM}$	200	mA

<sup>1)</sup> Package: Single DIP-8

<sup>2)</sup> Package: Dual DIP-8

### Output

Parameter	Test condition	Symbol	Value	Unit
Supply voltage	1 minute max.	$V_{CC}$	7	V
Output current		$I_O$	50	mA
Output voltage		$V_O$	7	V
Output power dissipation <sup>1)</sup>		$P_{diss}$	85	mW
Output power dissipation per channel <sup>2)</sup>		$P_{diss}$	60	mW

<sup>1)</sup> Package: Single DIP-8

<sup>2)</sup> Package: Dual DIP-8

### Coupler

Parameter	Test condition	Symbol	Value	Unit
Storage temperature		$T_{stg}$	-55 to +150	$^{\circ}\text{C}$
Operating temperature		$T_{amb}$	-40 to +100	$^{\circ}\text{C}$
Lead solder temperature <sup>1)</sup>	for 10 sec.		260	$^{\circ}\text{C}$
Solder reflow temperature <sup>2)</sup>	for 1 minute		260	$^{\circ}\text{C}$
Isolation test voltage	$t = 1.0\text{ sec.}$	$V_{ISO}$	5300	$V_{RMS}$

### Recommended Operating Conditions

Parameter	Test condition	Symbol	Min	Typ.	Max	Unit
Operating temperature		$T_{arrb}$	-40		100	$^{\circ}\text{C}$
Supply voltage		$V_{cc}$	4.5		5.5	V
Input current low level		$I_{FL}$	0		250	$\mu\text{A}$
Input current high level		$I_{FH}$	5		15	mA
Logic high enable voltage		$V_{EH}$	2.0		$V_{CC}$	V
Logic low enable voltage		$V_{EL}$	0.0		0.8	V
Output pull up resistor		$R_L$	330		4 K	$\Omega$
Fanout	$R_L = 1 \text{ k}\Omega$	N			5	-

### Electrical Characteristics

$T_{amb} = 25^{\circ}\text{C}$  and  $V_{CC} = 5.5 \text{ V}$ , unless otherwise specified

Minimum and maximum values are testing requirements. Typical values are characteristics of the device and are the result of engineering evaluation. Typical values are for information only and are not part of the testing requirements.

### Input

Parameter	Test condition	Symbol	Min	Typ.	Max	Unit
Input forward voltage	$I_F = 10 \text{ mA}$	$V_F$	1.1	1.4	1.7	V
Reverse current	$V_R = 4.5 \text{ V}$	$I_R$		1		$\mu\text{A}$
Input capacitance	$f = 1 \text{ MHz}$ , $V_F = 0 \text{ V}$	$C_i$		55		pF

### Output

Parameter	Test condition	Symbol	Min	Typ.	Max	Unit
High level supply current (single channel)	$V_E = 0.5 \text{ V}$ , $I_F = 0 \text{ mA}$	$I_{OCH}$		4.1	7.0	mA
	$V_E = V_{CC}$ , $I_F = 0 \text{ mA}$	$I_{OCH}$		3.3	6.0	mA
High level supply current (dual channel)	$I_F = 0 \text{ mA}$	$I_{OCH}$		8.2	14.0	mA
Low level supply current	$V_E = 0.5 \text{ V}$ , $I_F = 10 \text{ mA}$	$I_{OCL}$		4.0	7.0	mA
	$V_E = V_{CC}$ , $I_F = 10 \text{ mA}$	$I_{OCL}$		3.3	6.0	mA
High level output current	$V_E = 2.0 \text{ V}$ , $V_O = 5.5 \text{ V}$ , $I_F = 250 \mu\text{A}$	$I_{OH}$		0.002	1	$\mu\text{A}$
Low level output voltage	$V_E = 2.0 \text{ V}$ , $I_F = 5 \text{ mA}$ , $I_{OL} \text{ (sinking)} = 13 \text{ mA}$	$V_{OL}$		0.2	0.6	V
Input threshold current	$V_E = 2.0 \text{ V}$ , $V_O = 5.5 \text{ V}$ , $I_{OL} \text{ (sinking)} = 13 \text{ mA}$	$I_{TH}$		2.4	5.0	mA
High level enable current	$V_E = 2.0 \text{ V}$	$I_{EH}$		-0.6	-1.6	mA
Low level enable current	$V_E = 0.5 \text{ V}$	$I_{EL}$		-0.8	-1.6	mA
High level enable voltage		$V_{EH}$	2.0			V
Low level enable voltage		$V_{EL}$			0.8	V

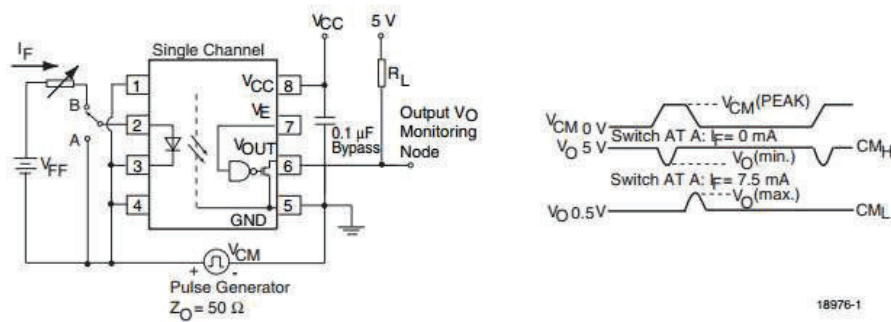


Figure 4. Single Channel Test Circuit for Common Mode Transient Immunity

## E.5

**4N25, 4N26, 4N27, 4N28**

Vishay Semiconductors

**Optocoupler, Phototransistor Output, with Base Connection**

21842



4700044

**DESCRIPTION**

The 4N25 family is an industry standard single channel phototransistor coupler. This family includes the 4N25, 4N26, 4N27, 4N28. Each optocoupler consists of gallium arsenide infrared LED and a silicon NPN phototransistor.

**FEATURES**

- Isolation test voltage 5000  $V_{RMS}$
- Interfaces with common logic families
- Input-output coupling capacitance < 0.5 pF
- Industry standard dual-in-line 6 pin package
- Compliant to RoHS directive 2002/95/EC and in accordance to WEEE 2002/96/EC

RoHS  
COMPLIANT**APPLICATIONS**

- AC mains detection
- Reed relay driving
- Switch mode power supply feedback
- Telephone ring detection
- Logic ground isolation
- Logic coupling with high frequency noise rejection

**AGENCY APPROVALS**

- UL1577, file no. E52744
- BSI: EN 60065:2002, EN 60950:2000
- FIMKO: EN 60950, EN 60065, EN 60335

**ORDER INFORMATION**

PART	REMARKS
4N25	CTR > 20 %, DIP-6
4N26	CTR > 20 %, DIP-6
4N27	CTR > 10 %, DIP-6
4N28	CTR > 10 %, DIP-6

**ABSOLUTE MAXIMUM RATINGS <sup>(1)</sup>**

PARAMETER	TEST CONDITION	SYMBOL	VALUE	UNIT
<b>INPUT</b>				
Reverse voltage		$V_R$	5	V
Forward current		$I_F$	60	mA
Surge current	$t \leq 10 \mu s$	$I_{FSM}$	3	A
Power dissipation		$P_{diss}$	100	mW
<b>OUTPUT</b>				
Collector emitter breakdown voltage		$V_{CEO}$	70	V
Emitter base breakdown voltage		$V_{EBO}$	7	V
Collector current		$I_C$	50	mA
	$t \leq 1 ms$	$I_C$	100	mA
Power dissipation		$P_{diss}$	150	mW

ABSOLUTE MAXIMUM RATINGS <sup>(1)</sup>				
PARAMETER	TEST CONDITION	SYMBOL	VALUE	UNIT
<b>COUPLER</b>				
Isolation test voltage		$V_{ISO}$	5000	$V_{RMS}$
Creepage distance			$\geq 7$	mm
Clearance distance			$\geq 7$	mm
Isolation thickness between emitter and detector			$\geq 0.4$	mm
Comparative tracking index	DIN IEC 112/VDE 0303, part 1		175	
Isolation resistance	$V_{IO} = 500 \text{ V}, T_{amb} = 25 \text{ }^\circ\text{C}$	$R_{IO}$	$10^{12}$	$\Omega$
	$V_{IO} = 500 \text{ V}, T_{amb} = 100 \text{ }^\circ\text{C}$	$R_{IO}$	$10^{11}$	$\Omega$
Storage temperature		$T_{stg}$	- 55 to + 125	$^\circ\text{C}$
Operating temperature		$T_{amb}$	- 55 to + 100	$^\circ\text{C}$
Junction temperature		$T_J$	125	$^\circ\text{C}$
Soldering temperature <sup>(2)</sup>	max.10 s dip soldering: distance to seating plane $\geq 1.5 \text{ mm}$	$T_{sld}$	260	$^\circ\text{C}$

**Notes**

<sup>(1)</sup>  $T_{amb} = 25 \text{ }^\circ\text{C}$ , unless otherwise specified.

Stresses in excess of the absolute maximum ratings can cause permanent damage to the device. Functional operation of the device is not implied at these or any other conditions in excess of those given in the operational sections of this document. Exposure to absolute maximum ratings for extended periods of the time can adversely affect reliability.

<sup>(2)</sup> Refer to reflow profile for soldering conditions for surface mounted devices (SMD). Refer to wave profile for soldering conditions for through hole devices (DIP).

ELECTRICAL CHARACTERISTICS <sup>(1)</sup>							
PARAMETER	TEST CONDITION	PART	SYMBOL	MIN.	TYP.	MAX.	UNIT
<b>INPUT</b>							
Forward voltage <sup>(2)</sup>	$I_F = 50 \text{ mA}$		$V_F$		1.3	1.5	V
Reverse current <sup>(2)</sup>	$V_R = 3 \text{ V}$		$I_R$		0.1	100	$\mu\text{A}$
Capacitance	$V_R = 0 \text{ V}$		$C_O$		25		pF
<b>OUTPUT</b>							
Collector base breakdown voltage <sup>(2)</sup>	$I_C = 100 \text{ }\mu\text{A}$		$BV_{CBO}$	70			V
Collector emitter breakdown voltage <sup>(2)</sup>	$I_C = 1 \text{ mA}$		$BV_{CEO}$	30			V
Emitter collector breakdown voltage <sup>(2)</sup>	$I_E = 100 \text{ }\mu\text{A}$		$BV_{ECO}$	7			V
$I_{CEO}(\text{dark})$ <sup>(2)</sup>	$V_{CE} = 10 \text{ V}$ , (base open)	4N25			5	50	nA
		4N26			5	50	nA
		4N27			5	50	nA
		4N28			10	100	nA
$I_{CBO}(\text{dark})$ <sup>(2)</sup>	$V_{CB} = 10 \text{ V}$ , (emitter open)				2	20	nA
Collector emitter capacitance	$V_{CE} = 0$		$C_{CE}$		6		pF
<b>COUPLER</b>							
Isolation test voltage <sup>(2)</sup>	Peak, 60 Hz		$V_{IO}$	5000			V
Saturation voltage, collector emitter	$I_{CE} = 2 \text{ mA}, I_F = 50 \text{ mA}$		$V_{CE(\text{sat})}$			0.5	V
Resistance, input output <sup>(2)</sup>	$V_{IO} = 500 \text{ V}$		$R_{IO}$	100			$\text{G}\Omega$
Capacitance, input output	$f = 1 \text{ MHz}$		$C_{IN}$		0.6		pF



## 6A05 - 6A10

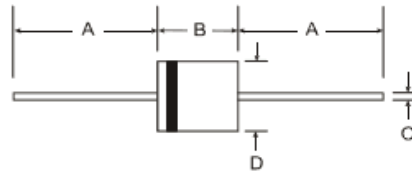
### 6.0A SILICON RECTIFIER

#### Features

- High Surge Current Capability
- Low Leakage and Forward Voltage Drop
- Lead Free Finish, RoHS Compliant (Note 1)

#### Mechanical Data

- Case: R-6
- Case Material: Molded Plastic. UL Flammability Classification Rating 94V-0
- Moisture Sensitivity: Level 1 per J-STD-020C
- Terminals: Finish — Tin. Axial Leads, Solderable per MIL-STD-202, Method 208
- Polarity: Color Band Indicates Cathode
- Ordering Information: See Page 3
- Approximate Weight: 2.1 grams



Dim	R-6	
	Min	Max
A	25.40	-
B	8.60	9.10
C	1.20	1.30
D	8.60	9.10

All Dimensions in mm

#### Maximum Ratings and Electrical Characteristics @ $T_A = 25^\circ\text{C}$ unless otherwise specified

Ratings at  $25^\circ\text{C}$  ambient temperature unless otherwise specified.  
Single phase, halfwave, 60Hz, resistive or inductive load.

Characteristic	Symbol	6A05	6A1	6A2	6A4	6A6	6A8	6A10	Unit
Maximum Recurrent Peak Reverse Voltage	$V_{RRM}$	50	100	200	400	600	800	1000	V
Maximum RMS Voltage	$V_{RMS}$	35	70	140	280	420	560	700	V
Maximum DC Blocking Voltage	$V_{DC}$	50	100	200	400	600	800	1000	V
Maximum Average Forward Rectified Current 9.5mm lead length @ $T_A = 75^\circ\text{C}$ (See Fig. 1)	$I_{(AV)}$	6.0							A
Peak Forward Surge Current 8.3 ms single half sine-wave superimposed on rated load	$I_{FSM}$	400							A
Maximum Instantaneous Forward Voltage at 6.0A DC	$V_{FM}$	0.90							V
Maximum DC Reverse Current @ $T_A = 25^\circ\text{C}$ at Rated Blocking Voltage @ $T_A = 100^\circ\text{C}$	$I_{RM}$	10 100							$\mu\text{A}$
Operating and Storage Temperature Range	$T_j, T_{STG}$	-65 to +175							$^\circ\text{C}$

Notes: 1. RoHS revision 13.2.2003. Glass and high temperature solder exemptions applied, see EU Directive Annex Notes 5 and 7.

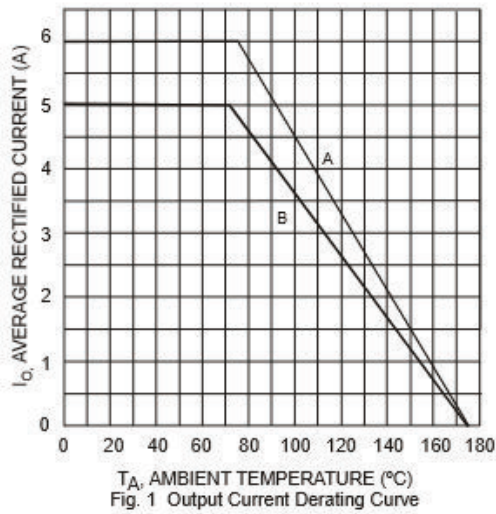


Fig. 1 Output Current Derating Curve

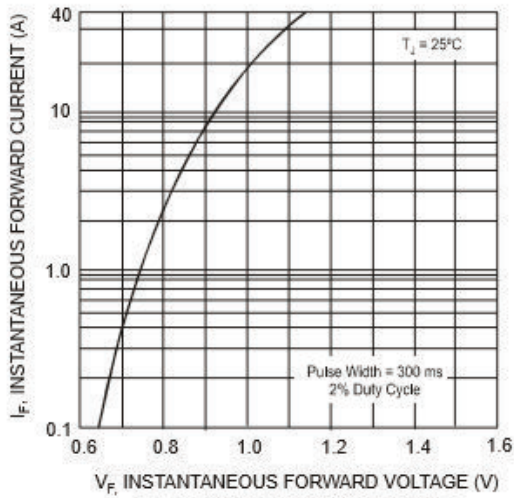


Fig. 2 Typical Forward Characteristics

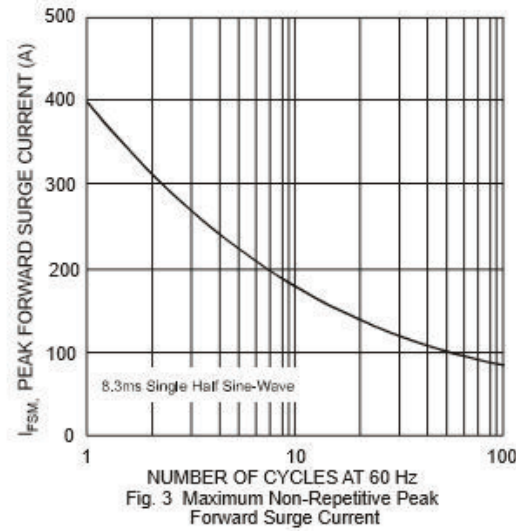
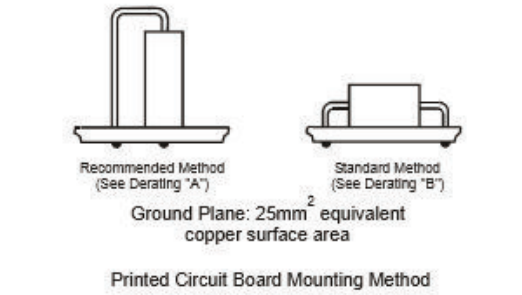


Fig. 3 Maximum Non-Repetitive Peak Forward Surge Current

## E.7



LM158, LM158A, LM258, LM258A  
LM358, LM358A, LM2904, LM2904V  
SLOS068U – JUNE 1976 – REVISED JANUARY 2017

## LM358, LM258, LM158, LM2904 Dual Operational Amplifiers

### 1 Features

- Wide Supply Ranges
  - Single Supply: 3 V to 32 V (26 V for LM2904)
  - Dual Supplies:  $\pm 1.5$  V to  $\pm 16$  V ( $\pm 13$  V for LM2904)
- Low Supply-Current Drain, Independent of Supply Voltage: 0.7 mA Typical
- Wide Unity Gain Bandwidth: 0.7 MHz
- Common-Mode Input Voltage Range Includes Ground, Allowing Direct Sensing Near Ground
- Low Input Bias and Offset Parameters
  - Input Offset Voltage: 3 mV Typical  
A Versions: 2 mV Typical
  - Input Offset Current: 2 nA Typical
  - Input Bias Current: 20 nA Typical  
A Versions: 15 nA Typical
- Differential Input Voltage Range Equal to Maximum-Rated Supply Voltage: 32 V (26 V for LM2904)
- Open-Loop Differential Voltage Gain: 100 dB Typical
- Internal Frequency Compensation
- On Products Compliant to MIL-PRF-38535, All Parameters are Tested Unless Otherwise Noted. On All Other Products, Production Processing Does Not Necessarily Include Testing of All Parameters.

### 2 Applications

- Blu-ray Players and Home Theaters
- Chemical and Gas Sensors
- DVD Recorder and Players
- Digital Multimeter: Bench and Systems
- Digital Multimeter: Handhelds
- Field Transmitter: Temperature Sensors
- Motor Control: AC Induction, Brushed DC, Brushless DC, High-Voltage, Low-Voltage, Permanent Magnet, and Stepper Motor
- Oscilloscopes
- TV: LCD and Digital
- Temperature Sensors or Controllers Using Modbus
- Weigh Scales

### 3 Description

These devices consist of two independent, high-gain frequency-compensated operational amplifiers designed to operate from a single supply or split supply over a wide range of voltages.

Device Information<sup>(1)</sup>

PART NUMBER	PACKAGE	BODY SIZE (NOM)
LMx58, LMx58x, LM2904, LM2904V	VSSOP (8)	3.00 mm × 3.00 mm
	SOIC (8)	4.90 mm × 3.90 mm
	SO (8)	5.20 mm × 5.30 mm
	TSSOP (8)	3.00 mm × 4.40 mm
	PDIP (8)	9.81 mm × 6.35 mm
LMx58, LMx58x, LM2904V	CDIP (8)	9.60 mm × 6.67 mm
	LCCC (20)	8.89 mm × 8.89 mm

(1) For all available packages, see the orderable addendum at the end of the data sheet.





LM158, LM158A, LM258, LM258A  
LM358, LM358A, LM2904, LM2904V

SLOS068U – JUNE 1978 – REVISED JANUARY 2017

www.ti.com

### Electrical Characteristics for LM358A (continued)

at specified free-air temperature,  $V_{CC} = 5\text{ V}$  (unless otherwise noted)

PARAMETER	TEST CONDITIONS <sup>(1)</sup>	$T_A$ <sup>(2)</sup>	LM358A			UNIT	
			MIN	TYP <sup>(3)</sup>	MAX		
$\alpha V_{IO}$	Average temperature coefficient of input offset voltage	Full range		7	20	$\mu\text{A}/^\circ\text{C}$	
$I_{IO}$	Input offset current	$V_O = 1.4\text{ V}$	25°C	2	30	nA	
			Full range		75		
$\alpha I_{IO}$	Average temperature coefficient of input offset current	Full range		10	300	$\text{pA}/^\circ\text{C}$	
$I_B$	Input bias current	$V_O = 1.4\text{ V}$	25°C	-15	-100	nA	
			Full range		-200		
$V_{ICR}$	Common-mode input voltage range	$V_{CC} = 30\text{ V}$	25°C	0 to $V_{CC} - 1.5$		V	
			Full range		0 to $V_{CC} - 2$		
$V_{OH}$	High-level output voltage	$R_L \approx 2\text{ k}\Omega$ $V_{CC} = 30\text{ V}$	25°C	0 to $V_{CC} - 1.5$		V	
			Full range	0 to $V_{CC} - 2$			
				$R_L = 2\text{ k}\Omega$	26		
			Full range	27	28		
$V_{OL}$	Low-level output voltage	$R_L \leq 10\text{ k}\Omega$	Full range	5	20	mV	
$A_{VIO}$	Large-signal differential voltage amplification	$V_{CC} = 15\text{ V}$ , $V_O = 1\text{ V}$ to $11\text{ V}$ , $R_L \approx 2\text{ k}\Omega$	25°C	25	100	V/mV	
			Full range	15			
CMRR	Common-mode rejection ratio		25°C	65	80	dB	
$K_{SVR}$	Supply-voltage rejection ratio ( $\Delta V_{OS}/\Delta V_{CC}$ )		25°C	65	100	dB	
$V_{O1}/V_{O2}$	Crosstalk attenuation	$f = 1\text{ kHz}$ to $20\text{ kHz}$	25°C		120	dB	
$I_O$	Output current	$V_{CC} = 15\text{ V}$ , $V_{IO} = 1\text{ V}$ , $V_O = 0$	Source	25°C	-20	-30	mA
			Full range	-10			
		Sink	25°C	10	20		
			Full range	5			
		$V_{IO} = -1\text{ V}$ , $V_O = 200\text{ mV}$	25°C		30	$\mu\text{A}$	
$I_{OS}$	Short-circuit output current	$V_{CC}$ at $5\text{ V}$ , GND at $-5\text{ V}$ , $V_O = 0$	25°C	$\pm 40$	$\pm 60$	mA	
$I_{CC}$	Supply current (four amplifiers)	$V_O = 2.5\text{ V}$ , No load	Full range	0.7	1.2	mA	
		$V_{CC} = \text{MAX V}$ , $V_O = 0.5\text{ V}$ , No load	Full range	1	2		

### 6.9 Operating Conditions

$V_{CC} = \pm 15\text{ V}$ ,  $T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	TYP	UNIT
SR Slew rate at unity gain	$R_L = 1\text{ M}\Omega$ , $C_L = 30\text{ pF}$ , $V_I = \pm 10\text{ V}$ (see Figure 11)	0.3	V/ $\mu\text{s}$
$B_1$ Unity-gain bandwidth	$R_L = 1\text{ M}\Omega$ , $C_L = 20\text{ pF}$ (see Figure 11)	0.7	MHz
$V_n$ Equivalent input noise voltage	$R_S = 100\ \Omega$ , $V_I = 0\text{ V}$ , $f = 1\text{ kHz}$ (see Figure 12)	40	nV/ $\sqrt{\text{Hz}}$

**FAIRCHILD**  
SEMICONDUCTOR™

August 1986  
Revised March 2000

## DM74LS14

### Hex Inverter with Schmitt Trigger Inputs

#### General Description

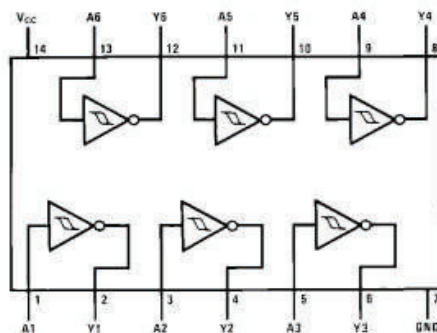
This device contains six independent gates each of which performs the logic INVERT function. Each input has hysteresis which increases the noise immunity and transforms a slowly changing input signal to a fast changing, jitter free output.

#### Ordering Code:

Order Number	Package Number	Package Description
DM74LS14M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS14SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS14N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

#### Connection Diagram



#### Function Table

$$Y = \bar{A}$$

Input	Output
A	Y
L	H
H	L

H = HIGH Logic Level  
L = LOW Logic Level

#### Absolute Maximum Ratings (Note 1)

Supply Voltage	TV
Input Voltage	TV
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

#### Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V <sub>CC</sub>	Supply Voltage	4.75	5	5.25	V
V <sub>T+</sub>	Positive-Going Input Threshold Voltage (Note 2)	1.4	1.6	1.9	V
V <sub>T-</sub>	Negative-Going Input Threshold Voltage (Note 2)	0.5	0.8	1	V
HYS	Input Hysteresis (Note 2)	0.4	0.8		V
I <sub>OH</sub>	HIGH Level Output Current			-0.4	mA
I <sub>OL</sub>	LOW Level Output Current			8	mA
T <sub>A</sub>	Free Air Operating Temperature	0		70	°C

Note 2: V<sub>CC</sub> = 5V.

## Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 3)	Max	Units
$V_I$	Input Clamp Voltage	$V_{CC} = \text{Min}, I_I = -18 \text{ mA}$			-1.5	V
$V_{OH}$	HIGH Level Output Voltage	$V_{CC} = \text{Min}, I_{OH} = \text{Max}$ $V_{IL} = \text{Max}$	2.7	3.4		V
$V_{OL}$	LOW Level Output Voltage	$V_{CC} = \text{Min}, I_{OL} = \text{Max}$ $V_{IH} = \text{Min}$		0.35	0.5	V
		$V_{CC} = \text{Min}, I_{OL} = 4 \text{ mA}$		0.25	0.4	
$I_{T+}$	Input Current at Positive-Going Threshold	$V_{CC} = 5V, V_I = V_{T+}$		-0.14		mA
$I_{T-}$	Input Current at Negative-Going Threshold	$V_{CC} = 5V, V_I = V_{T-}$		-0.18		mA
$I_I$	Input Current @ Max Input Voltage	$V_{CC} = \text{Max}, V_I = 7V$			0.1	mA
$I_{IH}$	HIGH Level Input Current	$V_{CC} = \text{Max}, V_I = 2.7V$			20	$\mu\text{A}$
$I_{IL}$	LOW Level Input Current	$V_{CC} = \text{Max}, V_I = 0.4V$			-0.4	mA
$I_{OS}$	Short Circuit Output Current	$V_{CC} = \text{Max}$ (Note 4)	-20		-100	mA
$I_{CCH}$	Supply Current with Outputs HIGH	$V_{CC} = \text{Max}$		8.6	16	mA
$I_{CCL}$	Supply Current with Outputs LOW	$V_{CC} = \text{Max}$		12	21	mA

Note 3: All typicals are at  $V_{CC} = 5V, T_A = 25^\circ\text{C}$ .

Note 4: Not more than one output should be shorted at a time, and the duration should not exceed one second.

## Switching Characteristics

at  $V_{CC} = 5V$  and  $T_A = 25^\circ\text{C}$

Symbol	Parameter	$R_L = 2 \text{ k}\Omega$				Units
		$C_L = 15 \text{ pF}$		$C_L = 50 \text{ pF}$		
		Min	Max	Min	Max	
$t_{PLH}$	Propagation Delay Time LOW-to-HIGH Level Output	5	22	8	25	ns
$t_{PHL}$	Propagation Delay Time HIGH-to-LOW Level Output	5	22	10	33	ns

## ANEXO F

### CÓDIGO DE PROGRAMA PARA FPGA Y LA INTERFAZ DE USUARIO

#### F.1 PROGRAMA DE LA FPGA

En la Figura F.1 se muestra la conversión ADC en los seis canales utilizados (Simultaneous Analog Input). El conversor es de 12 bits y el número máximo de muestras que lee por segundo es de 100 000. Esto quiere decir que para la conversión ADC de una señal de 60Hz el número máximo de muestras que se toma es de 1 666 (durante un periodo completo), y para una señal de 540Hz, el número máximo de muestras que se toman son 185. Estos valores son aceptables para la aplicación desarrollada. Los niveles de voltaje admitidos en las entradas simultaneous analog input se han configurado en  $\pm 10$  [V].

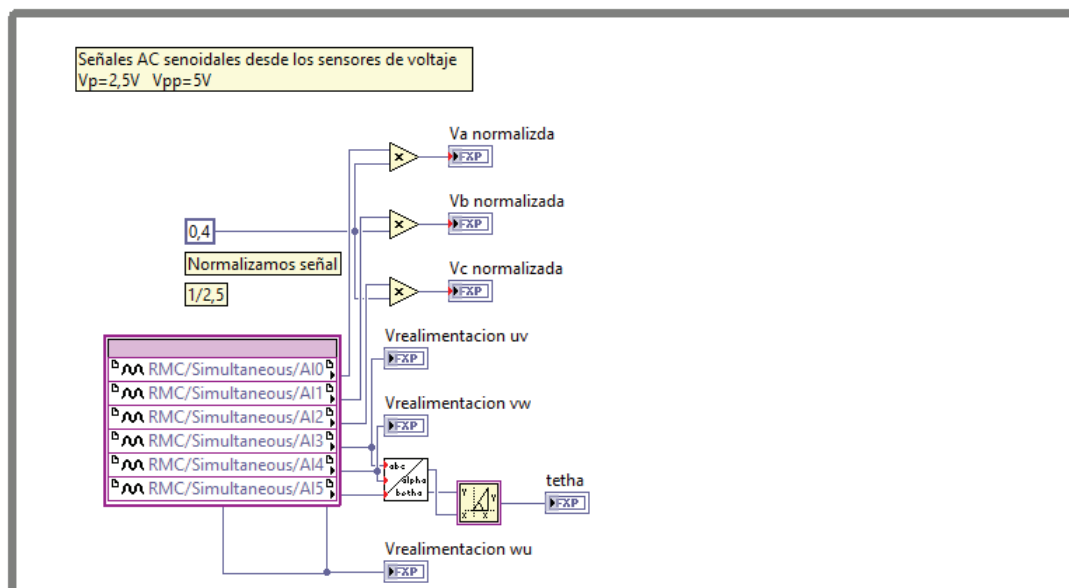
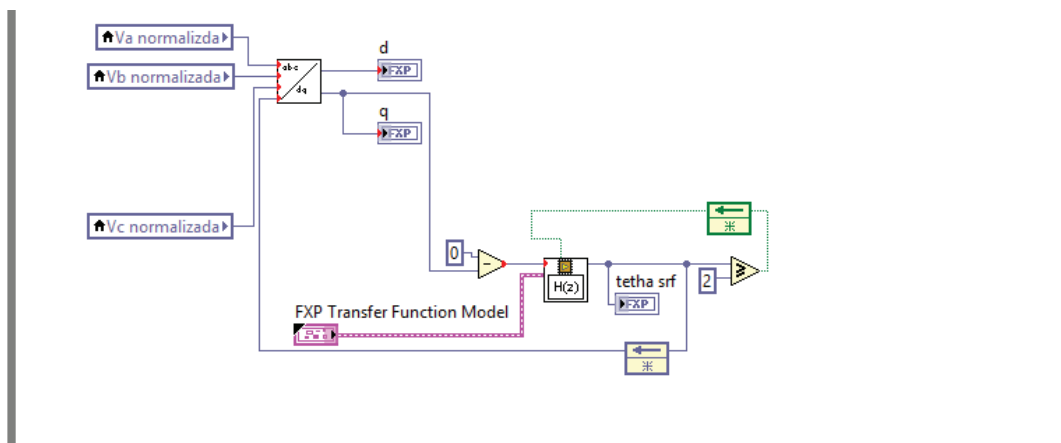


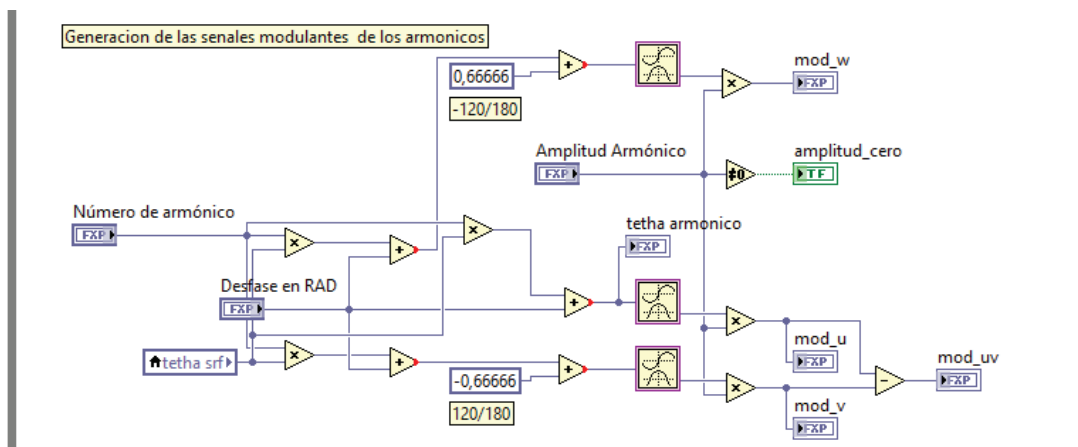
Figura F.1 Lectura de los voltajes en la red y a la salida del inversor

El programa de la Figura F.2 constituye el lazo de seguimiento de fase (Phase Locked Loop) mediante la técnica SRF mencionada en el capítulo 1, en donde se genera la señal triangular diente de sierra para la sincronización con la red eléctrica. En el bloque  $H(z)$  es donde se ingresa la función de transferencia discreta del PLL diseñado en la sección 3.5.



**Figura F.2** PLL Synchronous Reference Frame (SRF)

En la Figura F.3 se muestra el código para generar las señales modulantes apartir de la señal de PLL SRF.



**Figura F.3** Código para la generación de las señales modulantes sincronizadas con la red

La Figura F.4 muestra el envío de las señales de control por el puerto AO DAC de 12 bits. Para visualizar en un osciloscopio que se esté sincronizando con la red eléctrica.

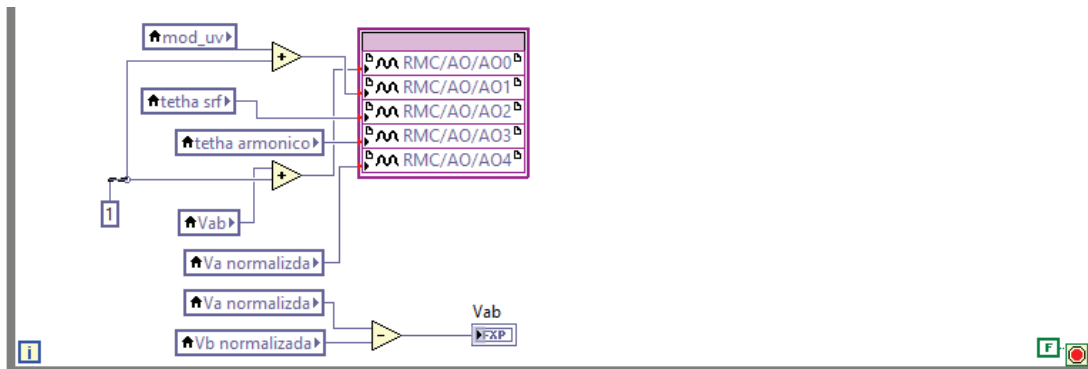


Figura F.4 Sub VI señales enviadas a las salidas analógicas

La Figura F.5 muestra la programación para la generación de la señal triangular portadora de 10500Hz.

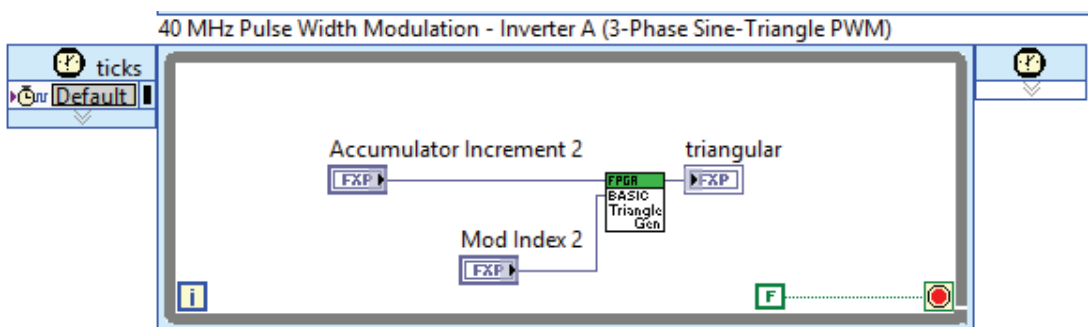
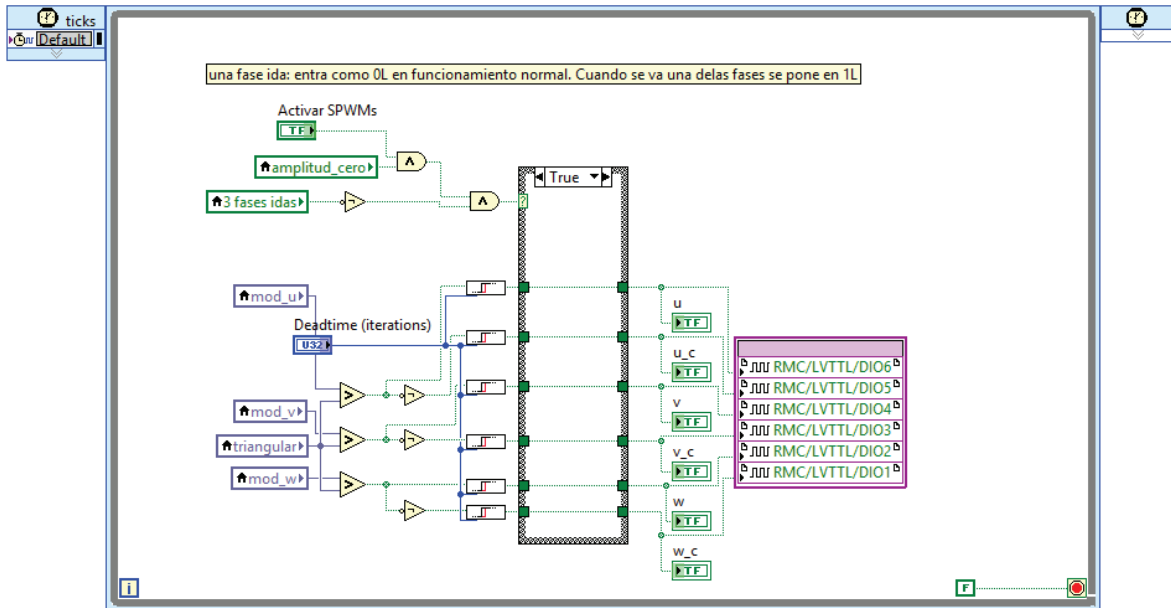


Figura F.5 Código generación de la señal portadora de 10500Hz [35]

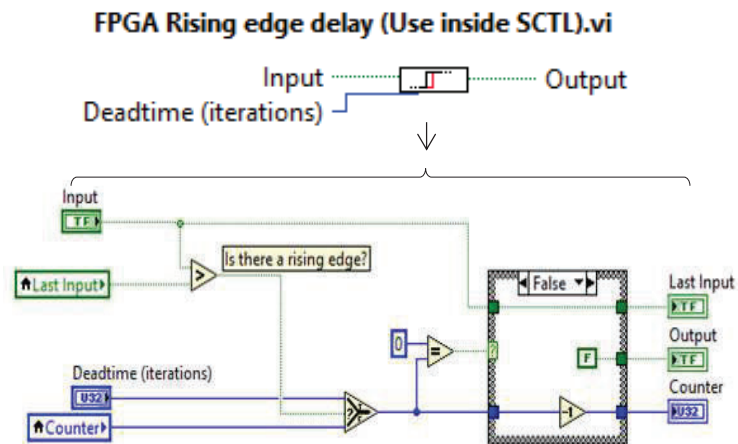
En la Figura F.6 se muestra la programación para generar las seis señales SPWM y se incluye el subvi que genera la zona muerta, para evitar cortocircuitos en los ramales del inversor.



**Figura F.6** Código generación de las señales SPWM y envío al circuito de disparo a través de los pines LVTTTL

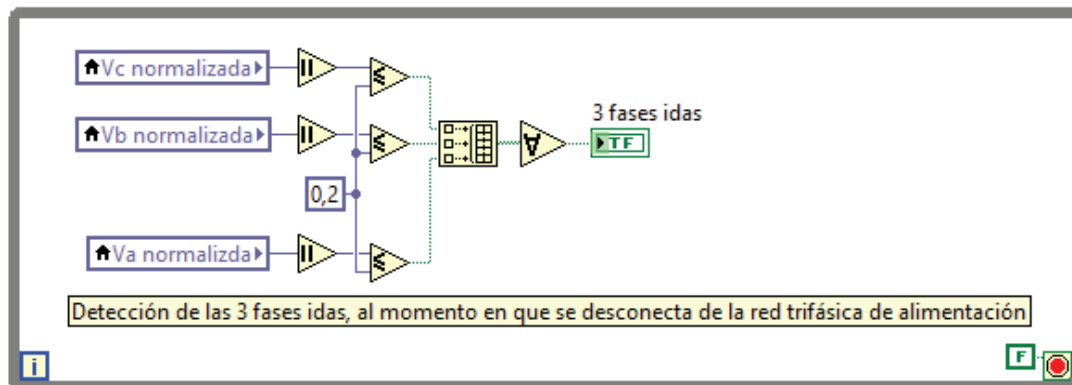
En la Figura F.7 se muestra el subVI que genera el tiempo de zona muerta para que en un mismo ramal no se produzca cortocircuito. Su funcionamiento se describe a continuación:

- En el flanco de subida de la señal SPWM, el contador se configura para generar el tiempo de retardo de la zona muerta.
- En cada iteración luego del decremento del contador la salida continua en 0L, aquí se genera el tiempo de zona muerta.
- Cuando el contador llega a cero, la salida toma el estado regular 0L o 1L.



**Figura F.7** Sub\_VI que genera el tiempo de zona muerta

El bit de restricción en ausencia de las tres fases de la red, se lo ha realizado como indica la sección del programa mostrado en la Figura F.8. En donde se determina si al mismo tiempo el valor instantáneo de cada voltaje es inferior a un valor del 8% del valor total. Esto se dará solo cuando la red este desconectada.

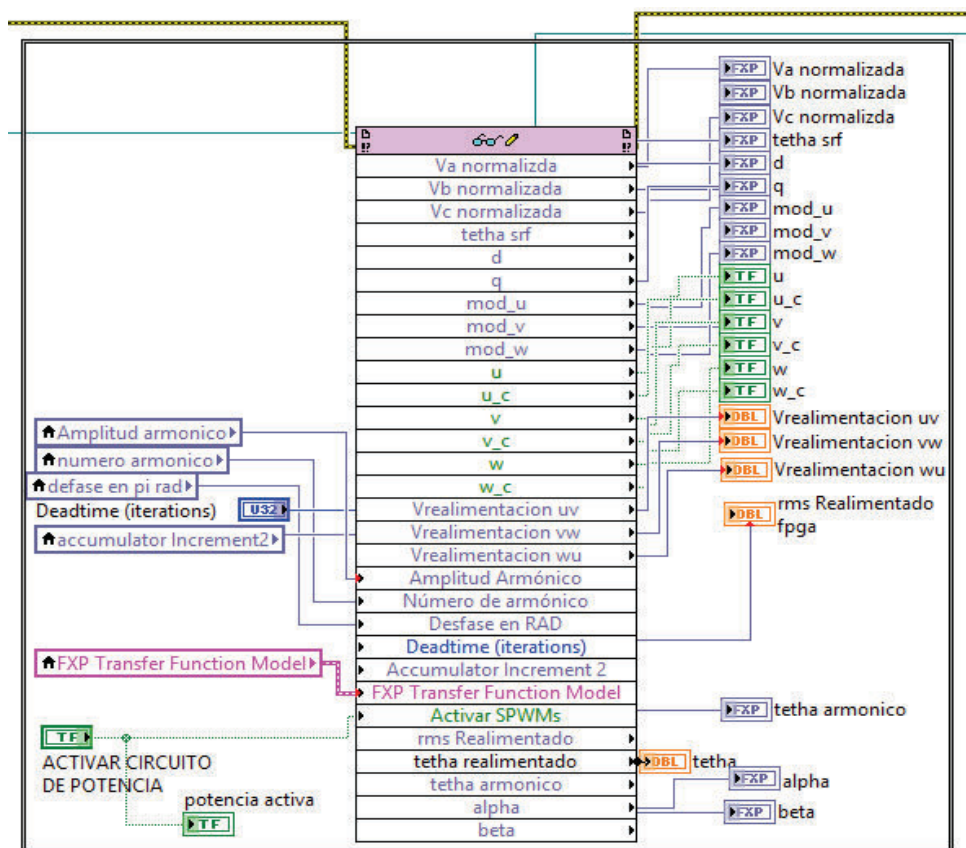


**Figura F.8** Detección de tres fases idas para detener el envío de señales SPWM hacia el circuito "drivers de disparo"



## F.2 PROGRAMA DE LA INTERFAZ

En la Figura F.9 se realiza la escritura de los parámetros de control en el VI de la FPGA y la lectura de las señales que envía la FPGA y el procesador en tiempo real hacia la interface o HOST. Éstas variables son procesadas en éste instrumento virtual para ofrecer información al usuario y poder monitorear el funcionamiento del equipo “Generador de Armónicos Trifásico”.



**Figura F.9** Bloque de enlace del “vi” de la interfaz con el “vi” de la FPGA donde ingresan y llegan las señales de control y monitoreo respectivamente

En la Figura F.10 se muestra el bloque de programación en el cual se realiza la compensación del desfase de acuerdo al número de armónico escogido antes de ser enviado a la tarjeta de control según como se analizó en el subcapítulo 2.5.

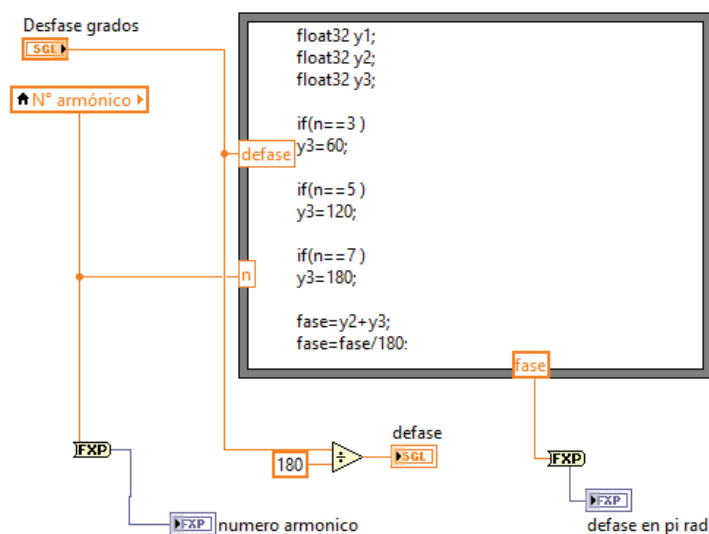


Figura F.10 Envío del desfase de acuerdo al armónico a ser generado

En la Figura F.11 se muestra la programación utilizada para implementar el teclado virtual de la HMI para seleccionar el número de armónico a generar.

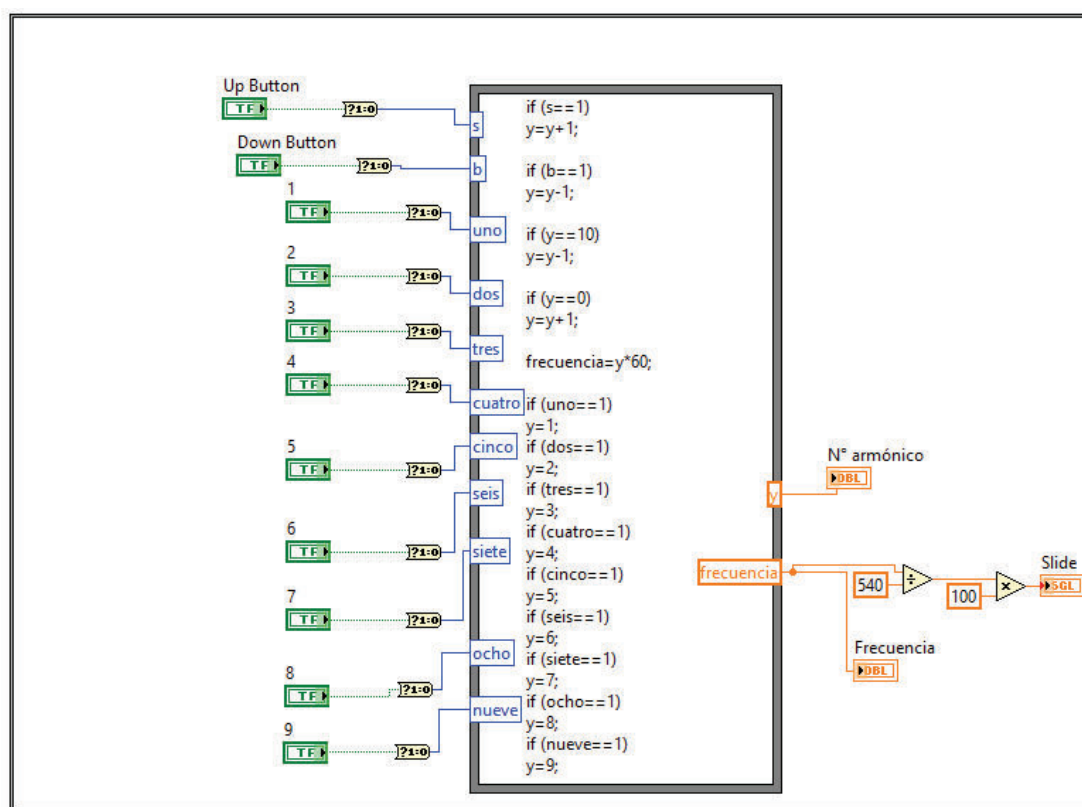


Figura F.11 Programación para ingreso por teclado virtual del número de armónico a ser generado e indicador numérico

En la Figura F.12 se muestra la parte de la programación para obtener los voltajes rms utilizando el bloque de medición rms que opera de forma similar a lo explicado en la sección 3.6.1.

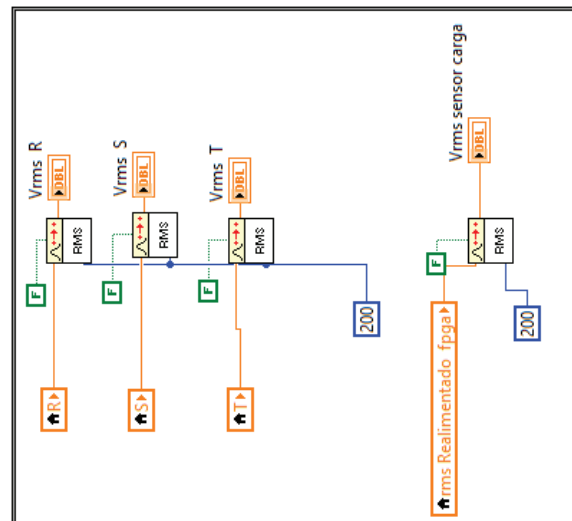


Figura F.12 Cálculo del voltaje rms de las fases de la red

En la Figura F.13 se procesan las señales del voltaje en la red, voltaje en la carga, señales modulantes, señales SPWM, transformadas de Clark y Park para ser mostradas en la HMI.

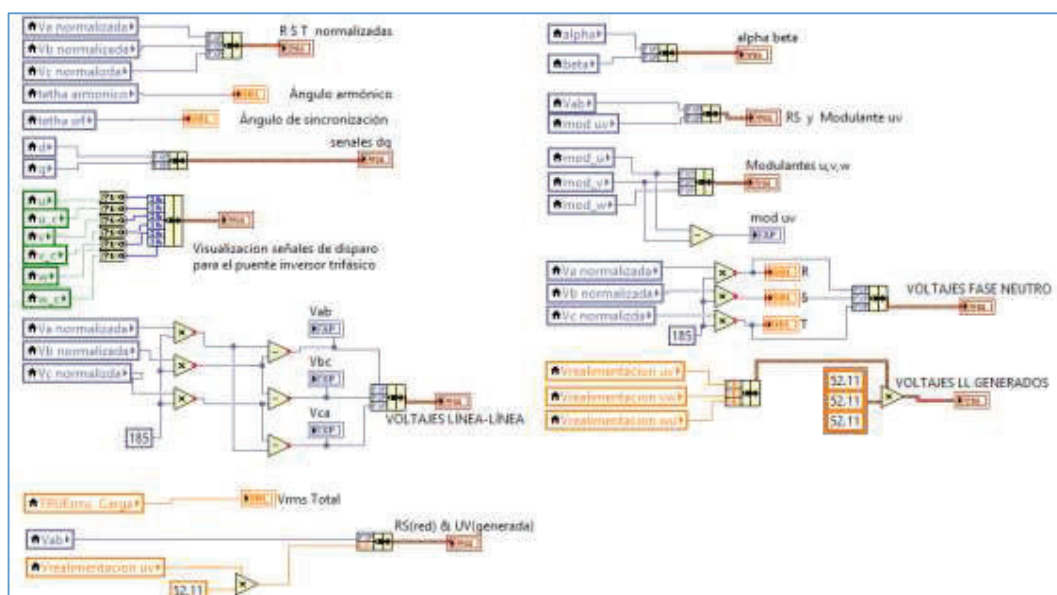


Figura F.13 Procesamiento de señales recibidas para ser visualizadas

En la Figura F.14 se muestra la programación para realizar el acondicionamiento del voltaje fundamental sentido poder obtener el valor Vrms real del armónico generado.

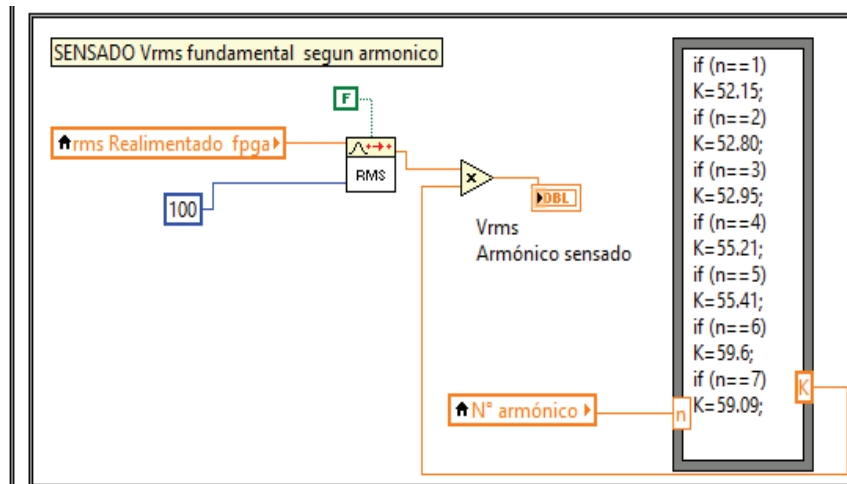


Figura F.14 Acondicionamiento para sensado del Vrms fundamental

En la Figura F.15 se muestra la programación para obtener el voltaje total rms o true rms del voltaje línea a línea generado.

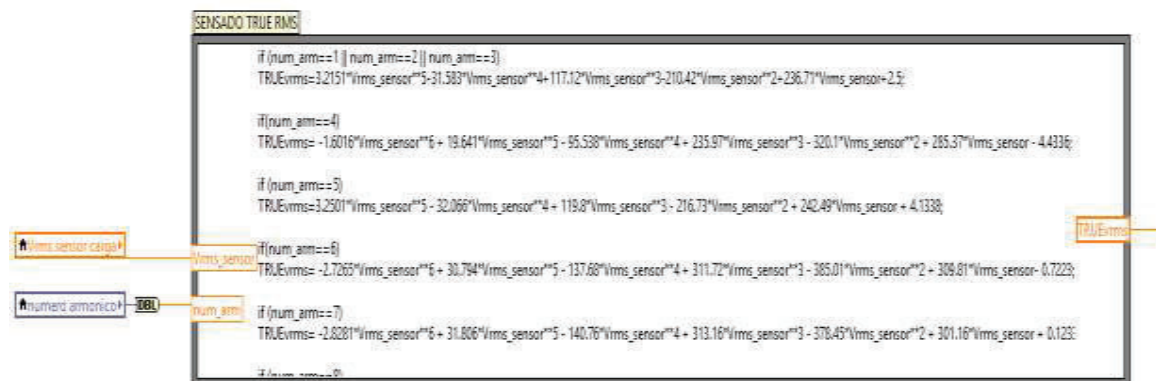
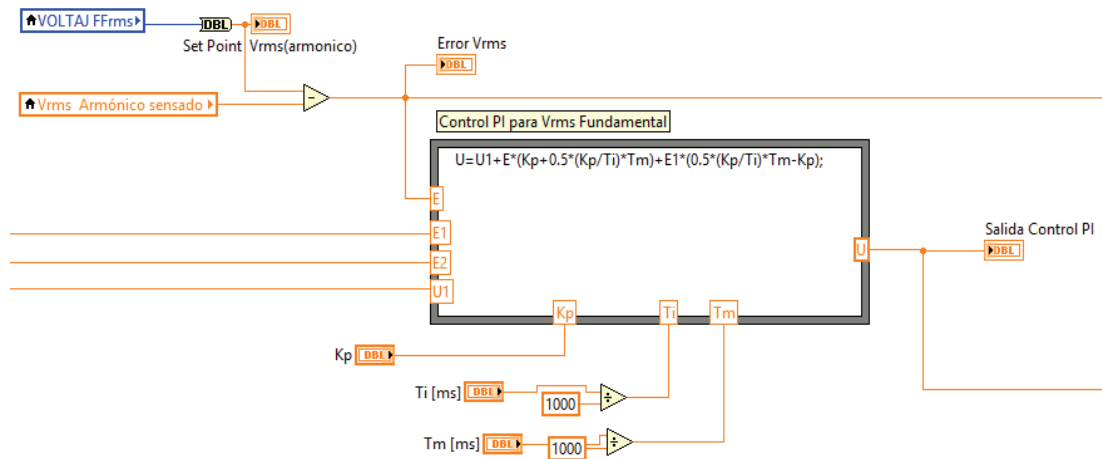


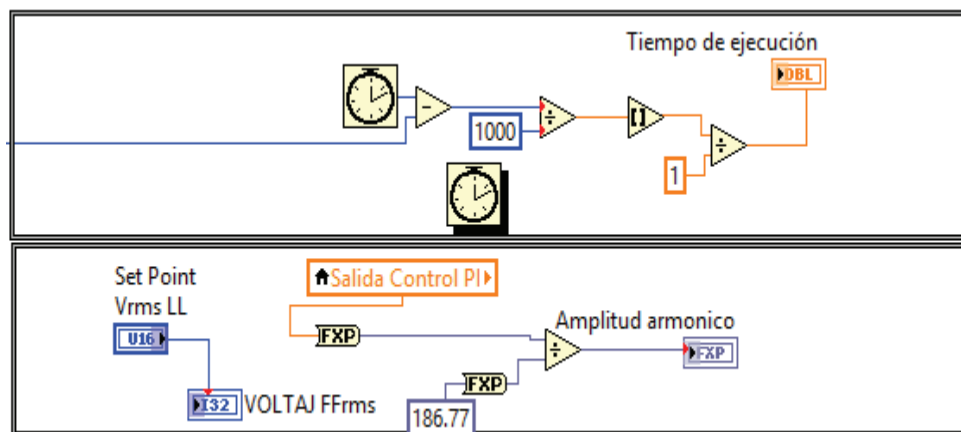
Figura F.15 Acondicionamiento por programa para medir el True rms del voltaje generado

En la Figura F.16 se presenta la programación del PI diseñado en el subcapítulo 3.6.



**Figura F.16** Control PI para el voltaje rms de la frecuencia fundamental del voltaje generado

En la Figura F.17 se muestra el bloque de programación en el cual realiza el conteo del tiempo de ejecución y el bloque de programa que envía la señal de amplitud del armónico proveniente del control PI para ser procesada por la FPGA.



**Figura F.17** Conteo del tiempo de ejecución del “vi” en minutos, y envío de la amplitud para las señales modulantes

La Figura F.18 muestra la forma en la que el lazo temporizado *time loop* debe ser configurado para que la lectura y visualización de señales de alta frecuencia sea fidedigna en la HMI.

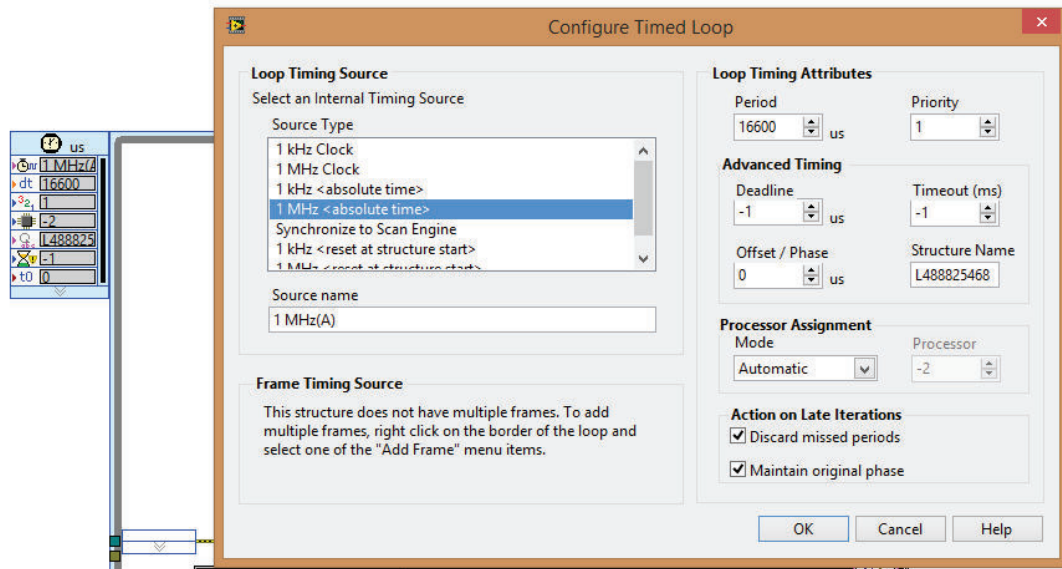


Figura F.18 Configuración del lazo while temporizado

## ANEXO G

### CÓDIGO DE PROGRAMA PARA LA CARGA Y DESCARGA DEL BUS DE DC

'CONFIGURACION DE MICROCONTROLADOR

\$regfile = "m164pdef.dat"

\$crystal = 8000000

'=====

'CONFIGURACION DE PORTICOS

Config Portc = Output  
maneja el LCD como salida

'configuramos siempre puerto que

Config Portd.5 = Output

'bit que controla el optoacoplador

Config Portd.6 = Output

'bit que controla el led indicador

'=====

'INICIALIZACION DE VARIABLES

Portd.5 = 0

Portd.6 = 0

'=====

'DIMENSIONAMIENTO DE VARIABLES

Dim Dato As Integer  
ADC

'la variable que toma la conversion

Dim Voltaje As Single  
Byte

'siempre debe ser almenos Word(no

'=====

'CONFIGURACION DE LCD

Config Lcd = 16 \* 2

```

Config Lcdbus = 4
Config Lcdpin = Pin , Db4 = Portc.3 , Db5 = Portc.2 , Db6 = Portc.1 , Db7 = Portc.0
, E = Portc.4 , Rs = Portc.5
Cursor Off
Cls
'=====
=====
'CONFIGURACION DE CONVERTOR ADC
Config Adc = Single , Prescaler = Auto , Reference = Avcc '
Start Adc
'=====
=====
'PROGRAMA
Main:
    Dato = Getadc(0)
    'Voltaje = Dato * 100
    Voltaje = Dato * 0.5479
    Voltaje = Voltaje - 23.98

    If Voltaje > 264 Then
        Portd.5 = 1
        Portd.6 = 1
    Else
        Portd.5 = 0
        Portd.6 = 0
    End If

    Locate 1 , 1 : Lcd ; "Bus DC: "
    Locate 2 , 1 : Lcd ; Fusing(voltaje , "#.##") ; "[V] "

Goto Main

```



**ANEXO H**  
**MEDICIÓN ARMÓNICOS PARES**

## H.1 GENERALIDADES

En este anexo se muestran los resultados de las mediciones realizadas para los armónicos pares, es decir las frecuencias de 120Hz, 240Hz, 360Hz, 480Hz, que son frecuencias que se calibraron de forma adicional para que también sean generadas por el “Equipo generador de Armónicos trifásico” si se lo requiere.

## H.2 MEDICIÓN DE VOLTAJE DEL SEGUNDO ARMÓNICO

En la Tabla H.1 se muestran las mediciones del voltaje total rms y el voltaje de la frecuencia fundamental de 120Hz.

**Tabla H.1** Salida del Generador de Armónicos Trifásico a  $f = 120\text{Hz}$  con carga

Set point $V_{LL-rms}$ [V]	$V_{rms-fund}$ [V] analizador	$V_{true-rms}$ [V] multímetro	THD [%]
20	20	67,8	324%
40	39,7	100,8	233%
60	60,5	126,4	183%
80	79,5	146,4	155%
100	101,4	164	127%
120	120,5	180,8	112%
140	141,4	195,6	96%
160	161	209,1	83%
180	180	221,9	72%
200	201	234	60%
220	223	246	47%

## H.3 MEDICIÓN DE VOLTAJE CUARTO ARMÓNICO

En la Tabla H.2 se muestran las mediciones del voltaje total rms y el voltaje de la frecuencia fundamental de 240Hz.

**Tabla H.2** Salida del Generador de Armónicos Trifásico a  $f = 240\text{Hz}$  con carga

Set point $V_{LL-rms}$ [V]	$V_{rms-fund}$ [V] analizador	$V_{true-rms}$ [V] multímetro	THD [%]
20	20,1	65,78	312%
40	40,2	101,2	231%
60	59,6	124,8	184%
80	79,7	145	152%

100	99,8	162,2	128%
120	119,6	178	110%
140	138,3	192,3	97%
160	158	206	84%
180	178	218,8	71%
200	198	231,4	60%
220	216	242,1	51%

#### H.4 MEDICIÓN DE VOLTAJE SEXTO ARMÓNICO

En la Tabla H.3 se muestran las mediciones del voltaje total rms y el voltaje de la frecuencia fundamental de 360Hz.

**Tabla H.3** Salida del Generador de Armónicos Trifásico a  $f = 360\text{Hz}$  con carga

Set point $V_{LL-rms}$ [V]	$V_{rms-fund}$ [V] analizador	$V_{true-rms}$ [V] multímetro	THD [%]
20	20,1	72,6	347%
40	40,3	105,6	242%
60	60,5	129,9	190%
80	79,1	149,4	160%
100	101,1	167,1	132%
120	122,3	183,4	112%
140	142	198,2	97%
160	165	211,2	80%
180	187	225,4	67%
187	195	229,5	62%
200	207	238,2	57%
210	218	242,2	48%
212	220	243,7	48%

#### H.5 MEDICIÓN DE VOLTAJE OCTAVO ARMÓNICO

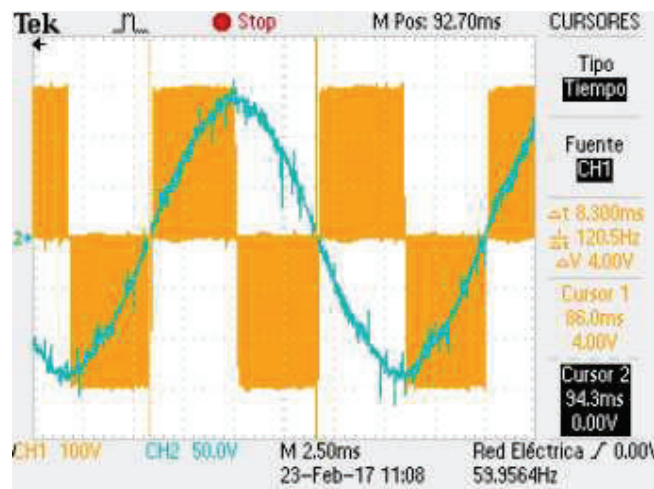
En la Tabla H.4 se muestran las mediciones del voltaje total rms y el voltaje de la frecuencia fundamental de 480Hz.

**Tabla H.4** Salida del Generador de Armónicos Trifásico a  $f = 480\text{Hz}$  con carga

Set point $V_{LL-rms}$ [V]	$V_{rms-fund}$ [V] analizador	$V_{true-rms}$ [V] multímetro	THD [%]
20	20,3	70,8	334%
40	40,2	105,5	243%
60	60,5	129,3	189%
80	81,6	150	154%
100	101,1	167,5	132%
120	121,5	183,6	113%
160	160,5	212,6	87%
180	181	225,9	75%
187	186,5	230,2	72%
200	200,6	237,5	63%
210	209	243,1	59%

## H.6 FORMAS DE ONDA DE VOLTAJES GENERADOS

A continuación se muestran las formas de onda generadas de los armónicos pares. La señal azul corresponde a la señal de la red eléctrica RS y la señal amarilla al voltaje generado UV. Las mediciones se han realizado conforme a la conexión indicada en la Figura 4.16 mostrada en el subcapítulo 4.5.

**Figura H.1** Voltaje generado UV 2do armónico

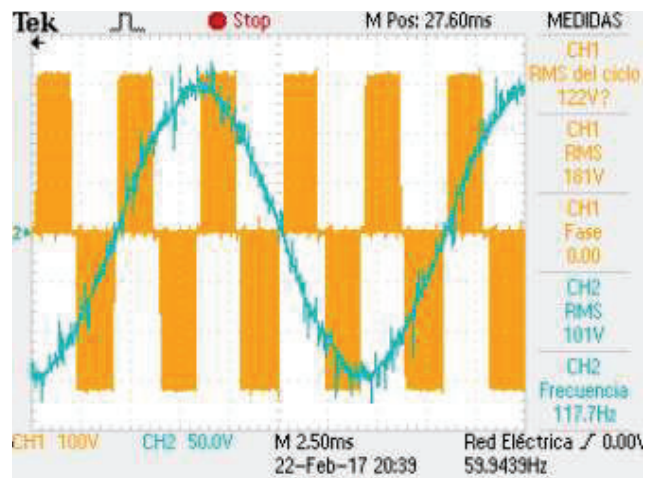


Figura H.2 Voltaje generado UV 4to armónico

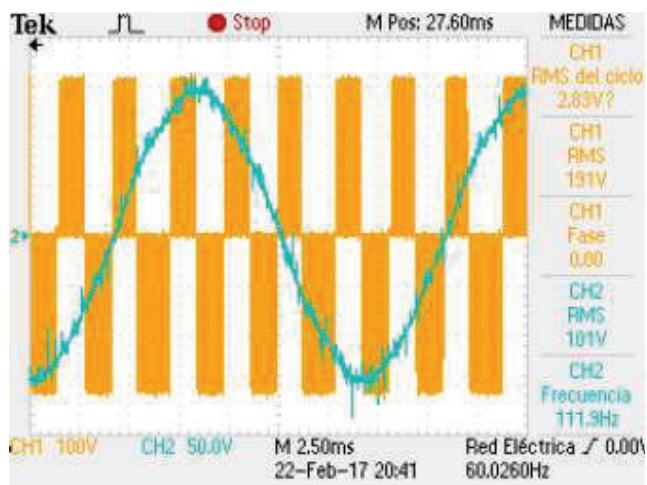


Figura H.3 Voltaje generado UV 6to armónico



Figura H.4 Voltaje generado UV 8vo armónico

## H.7 MEDICIÓN SINCRONIZACIÓN DE LOS ARMÓNICOS DE VOLTAJE GENERADOS CON LA RED

A continuación se muestran las formas de onda de la sincronización entre la red y el voltaje generado para los armónicos pares. Se utiliza la función promediar señal del osciloscopio para facilitar la visualización de la sincronización.

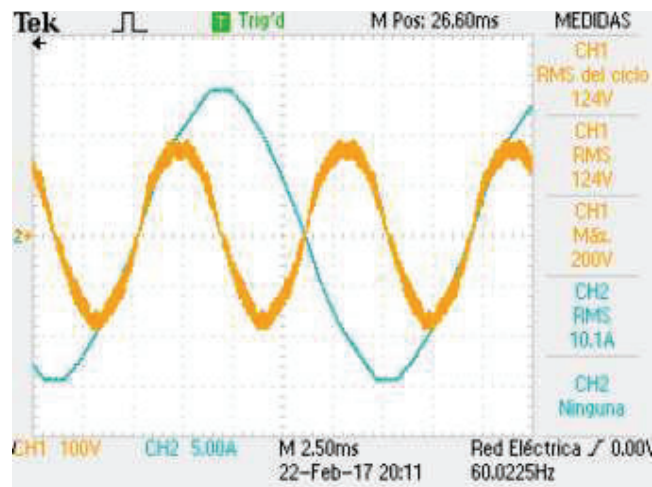


Figura H.5 Sincronización 2do armónico con la red

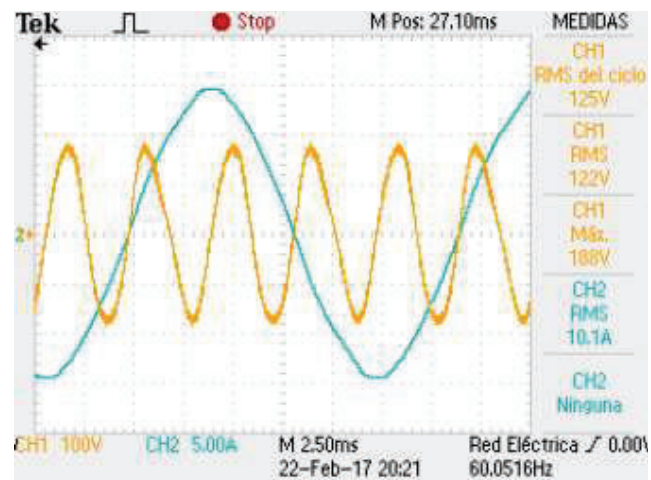


Figura H.6 Sincronización 4to armónico con la red

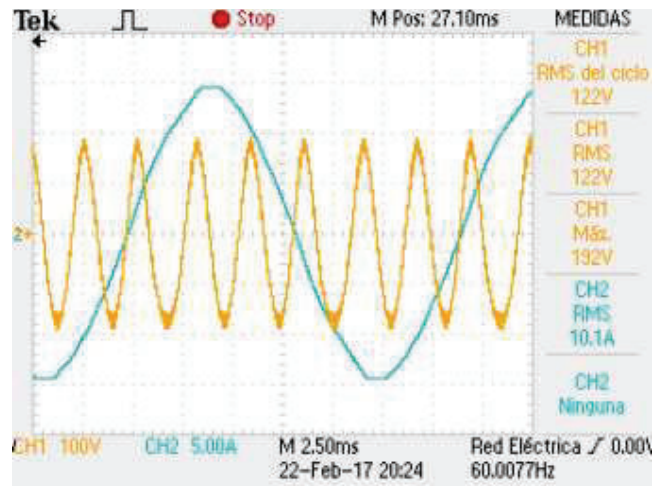


Figura H.7 Sincronización 6to armónico con la red

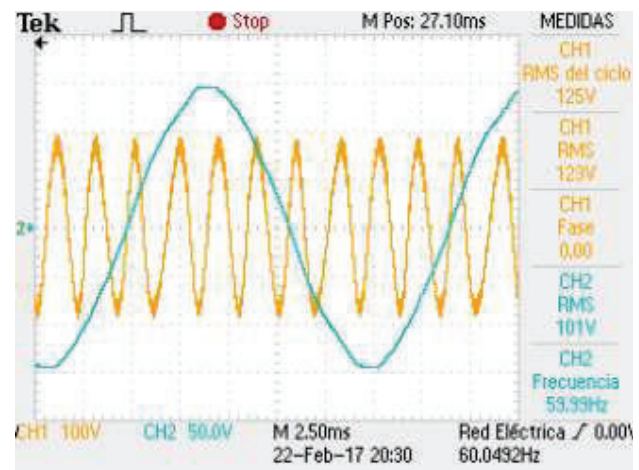


Figura H.8 Sincronización 8vo armónico con la red