

ESCUELA POLITÉCNICA NACIONAL

**FACULTAD DE INGENIERÍA ELÉCTRICA Y
ELECTRÓNICA**

**DISEÑO Y COMPARACIÓN MEDIANTE SIMULACIÓN DE
CONTROLADORES PI Y SMC APLICADOS A UN INVERSOR
TRIFÁSICO CONECTADO A LA RED**

**TRABAJO DE TITULACIÓN PREVIO A LA OBTENCIÓN DEL TÍTULO DE
MAGÍSTER EN LA MAESTRÍA DE AUTOMATIZACIÓN Y CONTROL
ELECTRÓNICO INDUSTRIAL**

ARACELY INÉS YANDÚN TORRES

DIRECTOR: LEONARDO DAVID ORTEGA CAMINO M.Sc.

Quito, octubre 2021

AVAL

Certifico que el presente trabajo fue desarrollado por Aracely Inés Yandún Torres, bajo mi supervisión.

A handwritten signature in blue ink, enclosed in an oval shape. The signature appears to be 'Leonardo Ortega'.

LEONARDO ORTEGA M.Sc.
DIRECTOR DEL TRABAJO DE TITULACIÓN

DECLARACIÓN DE AUTORÍA

Yo, Aracely Inés Yandún Torres, declaro bajo juramento que el trabajo aquí descrito es de mi autoría; que no ha sido previamente presentado para ningún grado o calificación profesional; y, que he consultado las referencias bibliográficas que se incluyen en este documento.

A través de la presente declaración dejo constancia de que la Escuela Politécnica Nacional podrá hacer uso del presente trabajo según los términos estipulados en la Ley, Reglamentos y Normas vigentes.



Aracely Inés Yandún Torres

DEDICATORIA

Para mi Alissa Inés, mi vida entera.

AGRADECIMIENTO

A Dios, a Francisco, a mi Alissa, a mi mami, a mi papi, a Leonardo, a mi Kiara, a Christian, a Wilson, a Rosy, a Fer, a Alejandra, a Luis, a Carlos, a Israel, a Andrés, a Pablo. Sin ustedes nada de esto hubiese sido posible. Y a TODOS quienes de alguna manera me ayudaron a conseguir este objetivo y nunca dejaron de creer en mí, un gracias infinito.

ÍNDICE DE CONTENIDO

AVAL	I
DECLARACIÓN DE AUTORÍA.....	II
DEDICATORIA.....	III
AGRADECIMIENTO.....	IV
ÍNDICE DE CONTENIDO.....	V
RESUMEN	VII
ABSTRACT	VIII
GLOSARIO.....	IX
ACRÓNIMOS	XII
1. INTRODUCCIÓN.....	1
1.1. Pregunta de investigación	2
1.2. Objetivo General	2
1.3. Objetivos Específicos	3
1.4. Alcance	3
1.5. Marco Teórico	4
1.5.1. Conversión DC/AC	4
1.5.1.1. Inversor trifásico.....	4
1.5.1.2. Técnicas de modulación	6
1.5.1.3. Marcos de Referencia.....	13
1.5.1.4. Phase Locked Loop	16
1.5.2. Filtros.....	21
1.5.2.1. Filtro LC.....	22
1.5.2.2. Filtro LCL.....	23
1.5.2.3. Función de transferencia del filtro LCL.....	25
1.5.2.4. Procedimiento de dimensionamiento del Filtro LCL.....	35
1.5.3. Técnicas de Control	36
1.5.3.1. Controlador PI	36
1.5.3.2. Controlador SMC.....	38
1.5.4. Índices de desempeño	41
1.5.4.1. Integral del valor absoluto del error (IAE).....	41
1.5.4.2. Integral del cuadrado del error (ISE)	41
2. METODOLOGÍA	43

2.1.	Esquema general de control	43
2.1.1.	Diseño y modelo del inversor.....	44
2.1.1.1.	Diseño del inversor.....	44
2.1.1.2.	Modelo en función de transferencia del inversor.....	46
2.1.2.	Diseño y modelo del filtro LCL.....	46
2.1.2.1.	Diseño del filtro LCL.....	46
2.1.2.2.	Modelo del filtro LCL.....	49
2.1.3.	Diseño del PLL	50
2.1.4.	Diseño de las Técnicas de Control.....	52
2.1.4.1.	Diseño del Controlador PI	52
2.1.4.2.	Diseño del Controlador SMC.....	57
3.	RESULTADOS Y DISCUSIÓN	60
3.1.	Resultados	60
3.1.1.	Controlador PI	60
3.1.1.1.	Inyección de Potencia Activa y Reactiva a la red	60
3.1.1.2.	Respuesta frente a huecos de voltaje.....	65
3.1.2.	Controlador SMC.....	71
3.1.2.1.	Inyección de Potencia Activa y Reactiva a la red	71
3.1.2.2.	Respuesta frente a huecos de voltaje.....	75
3.2.	Discusión.....	80
3.2.1.	Resultados comparativos entre PI y SMC.....	80
3.2.1.1.	Comparación de respuesta frente a cambios de referencia de potencia activa y potencia reactiva.....	80
3.2.1.2.	Comparación de respuesta frente a huecos de voltaje	87
4.	CONCLUSIONES Y RECOMENDACIONES.....	93
4.1.	CONCLUSIONES.....	93
4.2.	RECOMENDACIONES	94
5.	REFERENCIAS BIBLIOGRÁFICAS	95
6.	ANEXOS.....	1

RESUMEN

El presente trabajo muestra el diseño y comparación mediante simulación de controladores PI y SMC (Controlador por modos deslizantes) aplicados a un inversor trifásico conectado a la red. Se parte de los fundamentos teóricos de la conversión DC/AC y de sus componentes principales como: inversor, técnicas de modulación, técnicas de sincronización con la red, filtros y finalmente el estudio de las técnicas de control a implementar.

En la fase de diseño se modela un inversor trifásico de 0.5 MW de potencia con modulación SPWM, se continúa con el diseño de un filtro LCL óptimo, posteriormente se diseña la técnica de sincronización con la red SRF-PLL, concluyendo con el diseño de los controladores PI y SMC.

A través del software Simulink de Matlab se implementan cada uno de los componentes del sistema y se procede a validar los diseños desarrollados. Posteriormente, se realizan pruebas del funcionamiento de los controladores a través de la simulación de inyección de potencia activa y reactiva a la red, así como de perturbaciones reales que existen en la red (huecos de voltaje) verificando en todo momento a través de mediciones de THD que la corriente inyectada cumpla con el estándar IEEE519 para límites de corriente de armónicos.

Se realiza un análisis del desempeño de los controladores, a través de la comparación de parámetros como: tiempo de establecimiento y máximo sobre impulso, índices de desempeño ISE e IAE, THD, así como una comparación de la señal de control.

PALABRAS CLAVE: Inversor trifásico, filtro LCL, controlador PI, controlador por modos deslizantes, PLL

ABSTRACT

This work presents the design and comparison by simulation of PI and SMC controllers applied to a three-phase inverter connected to the grid. It starts from the DC/AC concepts and its main components such as: inverter, modulation techniques, synchronization techniques with the grid, filters and finally the study of control techniques.

In the design phase, a 0.5MW three-phase inverter with SPWM modulation is modeled, it continues with the design of an optimal LCL filter, then, the design of the synchronization technique with the grid SRF-PLL, concluding with the design of the PI and SMC controllers.

Each one of the system components are implemented in Simulink from Matlab and the designs are validated. Next, tests of the operation of the controllers are carried out through the simulation of injection of active and reactive power to the grid, as well as of real disturbances that exist in the grid (voltage dips), verifying at all times through THD measurements that the injected current corresponds to the limits imposed by IEEE519 standard for harmonic current limits.

An analysis of the performance of the controllers is carried out, through the comparison of parameters such as: establishment time and maximum overshoot, ISE and IAE performance indices, THD, as well as a comparison of the control signal.

KEYWORDS: Three phase inverter, LCL filter, PI controller, Sliding-Mode Controller, PLL

GLOSARIO

Símbolo	Unidad	Descripción
A_{mod}	-	Amplitud de la señal moduladora
A_{port}	-	Amplitud de la señal portadora
C	F	Capacitor
C_b	F	Capacitancia base
T_f	s	Constante de tiempo del filtro
T_i	s	Constante de tiempo integral
I	A	Corriente
I_{sc}	A	Corriente de cortocircuito
I_g	A	Corriente nominal
i_d, i_q	A	Corrientes en marco de referencia dq
i_d^*, i_q^*	A	Corrientes de referencia en marco de referencia dq
i_a, i_b, i_c	A	Corrientes en marco de referencia abc
i_α, i_β	A	Corrientes en marco de referencia $\alpha\beta$
ζ	-	Factor de amortiguamiento en función estándar de 2do orden
f	Hz	Frecuencia
f_{base}	Hz	Frecuencia base del filtro
f_b	Hz	Frecuencia de ancho de banda del controlador
f_{sw}	Hz	Frecuencia de conmutación
f_s	Hz	Frecuencia de muestreo
f_{res}	Hz	Frecuencia de resonancia
f_c	Hz	Frecuencia de resonancia crítica
ω	rad/s	Frecuencia en radianes por segundo
ω_g	rad/s	Frecuencia de la red en rad/s
ω_n	-	Frecuencia natural en función estándar de 2do orden
k_i	-	Ganancia integral
k_p	-	Ganancia proporcional
k_{cm}	-	Ganancia de modulación
k_{pll}	-	Ganancia dimensionamiento PI - PLL
Z_b	Ω	Impedancia base
m_a	-	Índice de modulación de amplitud

m_f	-	Índice de modulación de frecuencia
L	H	Inductor
L_b	H	Inductancia base
L_g	H	Inductancia del lado de la red
L_i	H	Inductancia del lado del inversor
L_T	H	Inductancia equivalente del filtro LCL
$L_{T\text{mín}}$	H	Inductancia equivalente mínima del filtro LCL
l_T	pu	Inductancia por unidad
$i_{pu}(h)$	-	Límites de armónicos acorde estándar IEEE519
MP	%	Máximo sobre impulso
λ	-	Parámetro de sintonización SMC
δ	-	Parámetro de sintonización SMC
K_D	-	Parámetro de sintonización SMC, ganancia
T_{sw}	s	Período de conmutación
T_s	s	Período de muestreo
θ	rad	Posición angular o fase
P	W	Potencia activa
P_T	W	Potencia activa nominal
Q	VAR	Potencia reactiva
h_{sw}	-	Relación entre la frecuencia de conmutación y f base
k	-	Relación entre la frecuencia de conmutación y resonancia
u	-	Relación entre las inductancias del filtro LCL
R	Ω	Resistencia
R_d	Ω	Resistencia de amortiguamiento
R_g	Ω	Resistencia interna del inductor del lado de la red
R_i	Ω	Resistencia interna del inductor del lado del inversor
$U_C(t)$	-	Señal de control continua en SMC
$U_D(t)$	-	Señal de control discontinua en SMC
$s(t)$	-	Superficie deslizante
t_{es}	s	Tiempo de establecimiento
V	V	Voltaje
v_m	V	Valor pico de voltaje de fase
V_i	V	Voltaje DC de entrada
V_{inv}	V	Voltaje a la salida del inversor

V_g	V	<i>Voltaje de la red</i>
V_{gl-l}	V	<i>Voltaje línea-línea de la red</i>
v_d, v_q	V	<i>Voltajes en marco de referencia dq</i>
v_d^*, v_q^*	V	<i>Voltajes de referencia en marco de referencia dq</i>
v_a, v_b, v_c	V	<i>Voltajes en marco de referencia abc</i>
v_α, v_β	V	<i>Voltajes en marco de referencia $\alpha\beta$</i>

ACRÓNIMOS

AC	<i>Corriente Alterna</i>
CSI	<i>Inversor de fuente de corriente</i>
DC	<i>Corriente Directa</i>
DSP	<i>Procesador digital de señales</i>
E-PLL	<i>PLL mejorado</i>
ESR	<i>Resistencia equivalente serie</i>
IAE	<i>Integral del error absoluto</i>
ISE	<i>Integral del error cuadrático</i>
PD	<i>Detector de fase</i>
PI	<i>Proporcional Integral</i>
PLL	<i>Phase-Locked Loop</i>
Q-PLL	<i>PLL de cuadratura</i>
SCR	<i>Corriente de Cortocircuito</i>
SMC	<i>Controlador en modos deslizantes</i>
SOGI-PLL	<i>PLL de integrador generalizado de segundo orden</i>
SPWM	<i>Modulación por ancho de pulso Senoidal</i>
SRF-PLL	<i>PLL en marco de referencia síncrona</i>
SVPWM	<i>Modulación de ancho de pulso en espacio vectorial</i>
THD	<i>Distorsión Armónica Total</i>
VCO	<i>Oscilador controlado por voltaje</i>
VSC	<i>Variable Estructure Control</i>
VSI	<i>Inversor de Fuente de Voltaje</i>

1. INTRODUCCIÓN

El incremento de la demanda de energía y los problemas ambientales han provocado un creciente interés en el desarrollo tecnológico para aprovechar las fuentes de energía renovable. En fuentes de energía como la eólica o la fotovoltaica es fundamental el uso de inversores de potencia para gestionar la energía eléctrica ya sea para el consumo directo o para la inyección de esta a la red.

El inversor de fuente de voltaje (VSI¹, por sus siglas en inglés) procesa el voltaje de corriente directa (DC) que puede ser generado a partir de una fuente renovable y genera una corriente de alterna (AC) a una frecuencia y fase deseadas. El objetivo del VSI conectado a la red es inyectar energía por medio de un filtro, la energía inyectada debe cumplir con parámetros consigna como la potencia activa y/o reactiva [1].

La energía proveniente de fuentes como la fotovoltaica o la eólica no es inherentemente constante debido a que está sujeta a las variaciones propias del recurso energético, en este tipo de aplicaciones se ha utilizado ampliamente el VSI trifásico conectado a la red, debido a que tiene buenas prestaciones en cuanto a su controlabilidad para gestionar tanto la potencia activa como reactiva inyectada a la red. Cabe mencionar que se presentan nuevos desafíos cuando existen fallas en la red o cuando existe considerable distorsión armónica, lo cual suele ser común en zonas rurales, en estos casos es necesario aplicar controles más robustos sobre el VSI para garantizar su correcto funcionamiento [2].

Por otra parte, es fundamental asegurar la calidad de la corriente eléctrica inyectada a la red², para cumplir con este objetivo es necesario incluir un filtro entre el inversor y la red. A la hora de elegir el tipo de filtro se toma en cuenta parámetros como volumen, peso y costo, por ejemplo, un filtro del tipo LCL permite conseguir mejores prestaciones en cuanto a estos parámetros respecto a un filtro tipo L, sin embargo, las resonancias en este tipo de filtros suelen involucrar nuevos retos a nivel de control [3].

Así, para transferir energía con corrientes con baja distorsión armónica y manteniendo la estabilidad dinámica del sistema, es esencial un inversor con un control adecuado y con un filtro correctamente diseñado. De esta manera se podrá disponer de las ventajas antes mencionadas como son: corriente de línea sinusoidal con factor de potencia controlable y con flujo de potencia bidireccional [4].

¹ *Voltage Source Inverter*

² La Norma IEEE 519-1992 establece el límite de la distorsión armónica total (THD)

En el presente trabajo se controlará la inyección de potencia activa y reactiva a la red a través del control de un inversor de voltaje trifásico con filtro LCL aplicando dos técnicas de control: un controlador clásico Proporcional Integral (PI) y un control por modos deslizantes (SMC), considerando en todo momento que la corriente inyectada cumpla con estándares de calidad de energía.

La fase teórica del presente proyecto brinda la información necesaria para conocer el funcionamiento de un inversor trifásico, filtro LCL, técnicas de modulación y sincronización con la red. Adicionalmente se estudiarán dos técnicas de control para un inversor trifásico de potencia: control tipo PI y SMC.

A continuación, se procede con la fase de diseño, donde se modelará un inversor trifásico incluido el filtro LCL, mismo que será dimensionado para una potencia de 0.5MW. De igual manera, se diseñarán los controladores antes estudiados.

Para validar los diseños desarrollados anteriormente, se sigue con la fase de simulación, donde a través del software Simulink de Matlab se desarrollará la simulación del inversor trifásico de 0.5MW incluyendo el filtro LCL, se aplicará modulación SPWM³ y sincronización con la red mediante un lazo de seguimiento de fase (PLL⁴, por sus siglas en inglés)

De igual manera se realizarán pruebas a los controladores a través de simulaciones de perturbaciones reales que pueden existir en la red tales como: huecos de voltaje o compensación reactiva de energía, considerando en todo momento que la corriente inyectada cumpla con el estándar IEEE519 para límites de corriente de armónicos. Finalmente, se realizará una comparación del desempeño de los controladores empleando: integral del error absoluto (IAE) y/o integral del error cuadrático (ISE).

1.1. Pregunta de investigación

¿La aplicación de un controlador tipo SMC a un inversor trifásico conectado a la red presenta mejores prestaciones (menor ISE y/o IAE) ante perturbaciones que un controlador clásico tipo PI, cuando se tiene por objetivo controlar potencia activa y reactiva manteniendo la calidad de la corriente dentro del estándar IEEE519?

1.2. Objetivo General

- Diseñar y comparar mediante simulación de controladores PI y SMC aplicados a un inversor trifásico conectado a la red

³ *Sine Pulse Width Modulation*

⁴ *Phase-Locked Loop*

1.3. Objetivos Específicos

Los objetivos específicos de este estudio son:

- Estudiar el funcionamiento de los componentes principales en un sistema de inyección de potencia a la red, así como técnicas de control para un inversor trifásico.
- Diseñar un filtro LCL para un inversor de voltaje trifásico de 0.5MW conectado a la red.
- Diseñar dos técnicas de control para un inversor trifásico conectado a la red.
- Implementar a través de simulación las técnicas de control diseñadas y comparar los resultados obtenidos a través de un índice de rendimiento.

1.4. Alcance

- Se estudiará el funcionamiento de los componentes principales en un sistema de inyección de potencia a la red como: inversor trifásico, filtro LCL, técnicas de modulación y sincronización con la red por medio de *Phase Locked Loop* (PLL).
- Se estudiarán dos técnicas de control para un inversor trifásico de potencia: Proporcional Integral (PI) y Control por Modos Deslizantes (SMC).
- Se diseñará y modelará un inversor incluido el filtro LCL para un inversor de voltaje trifásico de 0.5MW conectado a la red tomando en cuenta parámetros de calidad de energía como el estándar IEEE519 para límites de corriente de armónicos.
- Se diseñarán los controladores antes estudiados para un inversor trifásico conectado a la red, que permitan controlar potencia activa y potencia reactiva inyectada a la red.
- Se implementará a través de simulación las dos técnicas de control diseñadas para el inversor trifásico de 0.5 MW y se comprobará su correcto funcionamiento incluyendo perturbaciones como: huecos de voltaje y compensación reactiva de energía. Concluyendo con un análisis comparativo del desempeño de los controladores empleando los índices: integral del error absoluto (IAE) y/o integral del error cuadrático (ISE).

1.5. Marco Teórico

1.5.1. Conversión DC/AC

El elemento fundamental en la conversión estática de potencia de DC a AC es el inversor. Existen diferentes tipos de inversores [5]:

- *Inversor CSI.*- inversor de fuente de corriente (CSI⁵, por sus siglas en inglés), donde el suministro es una fuente DC de corriente.
- *Inversor VSI.*- inversor de fuente de voltaje (VSI, por sus siglas en inglés), donde el suministro es una fuente DC de voltaje, se caracteriza por tener un condensador de gran valor en el bus DC.

En ambos casos el inversor puede ser controlado por corriente o controlado por voltaje dependiendo el tipo de comportamiento que se desee.

La forma de onda de voltaje de salida de un VSI controlado por voltaje depende del tipo de modulación aplicado, obteniéndose formas de onda cuadradas, cuasi cuadradas o pseudo senoidales. Comúnmente, lo que se espera es que los VSI controlados por voltaje tengan una salida de voltaje senoidal con bajos componentes armónicos [5].

Dependiendo de la aplicación, se puede hacer que la amplitud del voltaje de salida de un inversor sea fija o variable al igual que la frecuencia. En inversores conectados a la red es importante la sincronización con la frecuencia de la red.

En esta sección se estudiará el inversor trifásico, las principales técnicas de modulación, así como la sincronización con la red.

1.5.1.1. Inversor trifásico

Los VSI monofásicos se utilizan para aplicaciones de baja potencia mientras que los VSI trifásicos son usados en aplicaciones de media y alta potencia. El objetivo principal de esta topología es proporcionar una fuente de voltaje trifásica, donde la amplitud y frecuencia de los voltajes son controlables [6].

A pesar de que la mayoría de las aplicaciones requieren formas de onda sinusoidales de voltaje, a veces se requieren voltajes arbitrarios en algunas aplicaciones (por ejemplo: filtros activos, compensadores de voltaje) [6].

⁵ *Current Source Inverter*

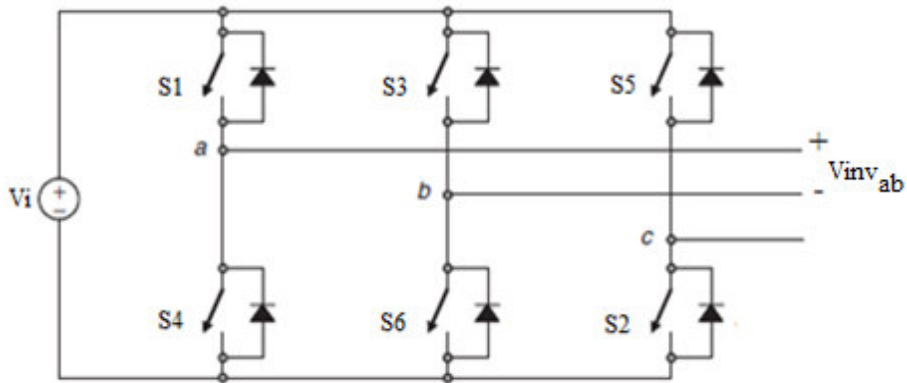


Figura 1.1. Topología de un inversor trifásico [6]

La topología estándar de un VSI trifásico se muestra en la Figura 1.1 y los ocho estados de conmutación válidos para este inversor se observan en la Tabla 1.1. De igual manera, como sucede en inversores monofásicos, los interruptores de un mismo segmento del inversor (S1 y S4, S3 y S6, o S5 y S2) no se pueden conectar simultáneamente, ya que se daría origen a un cortocircuito en la fuente DC de voltaje [6].

Tabla 1.1. Estados de conmutación válidos para un inversor trifásico

Estado	S1	S2	S3	S4	S5	S6	Vab	Vbc	Vca
1	ON	ON	OFF	OFF	OFF	ON	V_i	0	$-V_i$
2	ON	ON	ON	OFF	OFF	OFF	0	V_i	$-V_i$
3	OFF	ON	ON	ON	OFF	OFF	$-V_i$	V_i	0
4	OFF	OFF	ON	ON	ON	OFF	$-V_i$	0	V_i
5	OFF	OFF	OFF	ON	ON	ON	0	$-V_i$	V_i
6	ON	OFF	OFF	OFF	ON	ON	V_i	$-V_i$	0
7	ON	OFF	ON	OFF	ON	OFF	0	0	0
8	OFF	ON	OFF	ON	OFF	ON	0	0	0

De los ocho estados de conmutación válidos que se muestran en la Tabla 1.1, los estados 7 y 8 producen voltajes de línea cero, mientras que los estados restantes (1 al 6) producen voltajes AC no nulos de salida. Con el objetivo de generar una forma de onda de voltaje dada, el inversor trabajará con cambios de un estado a otro. De este modo, los voltajes de salida de AC resultantes consisten en valores discretos de voltajes que son V_i , 0 y $-V_i$

acorde a la topología mostrada en la Figura 1.1. La selección de los estados se realiza mediante una técnica de modulación que debe garantizar únicamente el uso de estos estados válidos con el fin de generar la forma de onda de salida deseada [6].

1.5.1.1.1. Función de transferencia del inversor trifásico

La función de transferencia de un inversor trifásico puede expresarse como un retardo en el sistema, mismo que se puede observar en la ecuación (1.1).

$$G_{inv} = \frac{1}{1 + 1.5T_s s} \quad (1.1)$$

Donde $T_s = 1/f_s$, siendo f_s la frecuencia de muestreo, misma que depende de la frecuencia de conmutación. El retardo que introduce el inversor representa el tiempo transcurrido desde que el sistema de control genera un cambio en la señal de referencia, hasta que el convertidor modifica el estado de sus semiconductores [3].

1.5.1.2. Técnicas de modulación

Los inversores DC/AC se utilizan básicamente para convertir energía DC en AC. Sin embargo, las salidas de estos convertidores contienen una distorsión armónica no deseada debido a la conmutación ON/OFF del IGBT (o MOSFET) [7].

Existen requisitos importantes que la técnica de modulación debe desempeñar, entre ellos tenemos: la máxima utilización del voltaje del enlace de DC, la reducción de la distorsión armónica, y las pérdidas de conmutación [8].

En la práctica, la solución más utilizada para implementar el modulador es el conocido método de modulación de ancho de pulso (PWM⁶, por sus siglas en inglés) donde la forma de onda conmutada es controlada por el ancho de los pulsos de salida. Esta técnica clásica de PWM ha sido la solución principal, durante más de 50 años, para implementar el modulador en convertidores de potencia DC/DC, DC/AC y AC/DC controlados convencionalmente [3].

En la Figura 1.2 se puede observar un esquema con una clasificación de los métodos PWM existentes, principalmente los que son más utilizados para convertidores de potencia tipo DC/AC [3].

⁶ Pulse Width Modulation

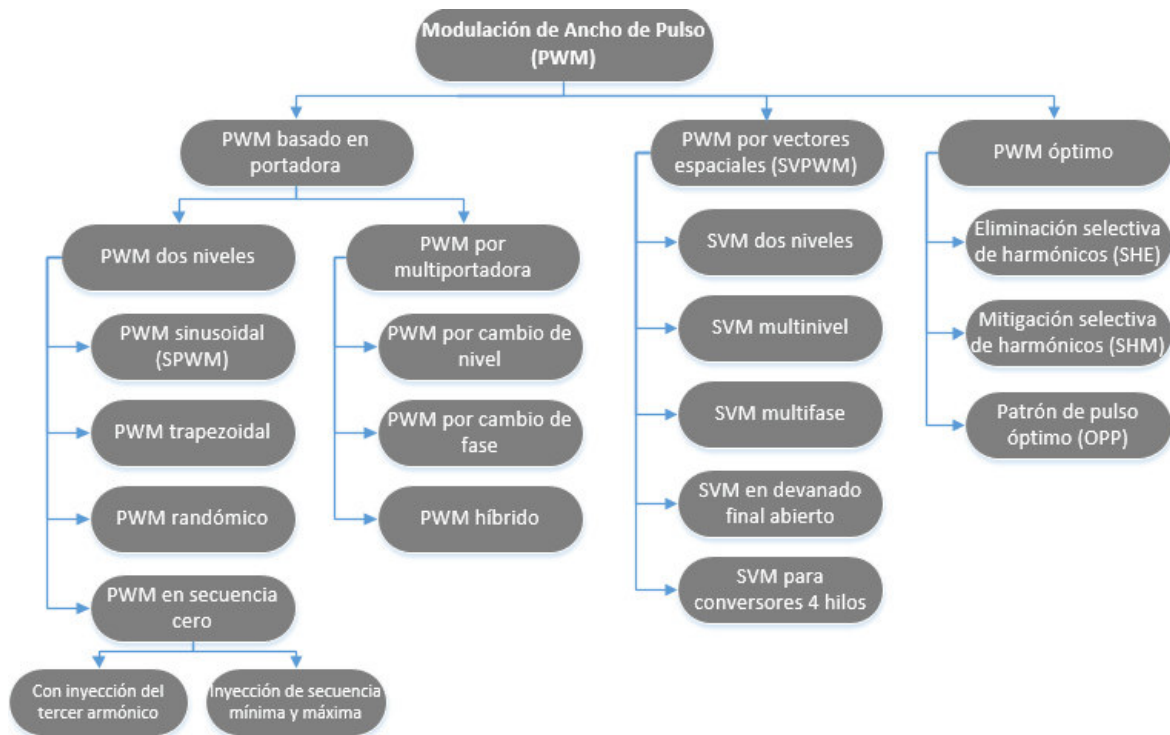


Figura 1.2. Clasificación de técnicas de modulación PWM [3]

El VSI trifásico conectado a la red se ha utilizado ampliamente en sistemas de generación distribuida (conversión de energía eólica, fotovoltaica, etc.) debido a las grandes ventajas que incluyen corrientes sinusoidales de alta calidad, salida de potencia constante y factor de potencia unitario. Siendo, los métodos de modulación más convencionales para inversores de voltaje trifásicos de dos niveles los siguientes [3]:

- *Square-Wave Modulation*
- *Sinusoidal Pulse Width Modulation (SPWM)*
- *Space Vector Pulse Width Modulation (SVPWM)*
- *Selective Harmonics Elimination Pulse Width Modulation (SHE-PWM)*

En el presente trabajo se explicará las características principales de dos de las técnicas más utilizadas: SPWM y SVPWM.

1.5.1.2.1. Modulación SPWM

En la mayoría de los inversores se requiere que los mismos proporcionen un suministro de voltaje sinusoidal con una frecuencia fija o variable, dependiendo de la aplicación. La frecuencia generada normalmente es mucho menor que la frecuencia de conmutación. En este tipo de modulación se utiliza una señal senoidal (conocida también como señal

moduladora) y se la compara con una señal triangular con frecuencia igual a la frecuencia de conmutación (conocida también como señal portadora) para generar un tren de pulsos (Figura 1.3) [5].

Los componentes armónicos de la señal de salida están principalmente alrededor de los múltiplos de la frecuencia de conmutación. Cuando la frecuencia portadora, es decir la frecuencia de conmutación, es lo suficientemente alta, entonces los componentes armónicos de la señal de salida se pueden filtrar fácilmente a través de un filtro paso bajo, que a menudo es un filtro LC o LCL [5].

La frecuencia de la señal moduladora determina la frecuencia del voltaje de salida y la amplitud determinará el valor RMS del voltaje de salida. Por lo tanto, la amplitud y la frecuencia del voltaje de salida se pueden modificar fácilmente a través del control de la señal de modulación. Si la señal portadora cambia de signo durante el semi ciclo positivo o negativo, el SPWM es bipolar (Figura 1.3 (a)). Si la portadora no cambia su signo durante el semi ciclo positivo o negativo, entonces el SPWM resultante es unipolar (Figura 1.3 (b)). Se debe tener en cuenta que, en los dos casos, el interruptor superior y el interruptor inferior de la misma rama se accionan de manera complementaria para un inversor monofásico tipo puente [5].

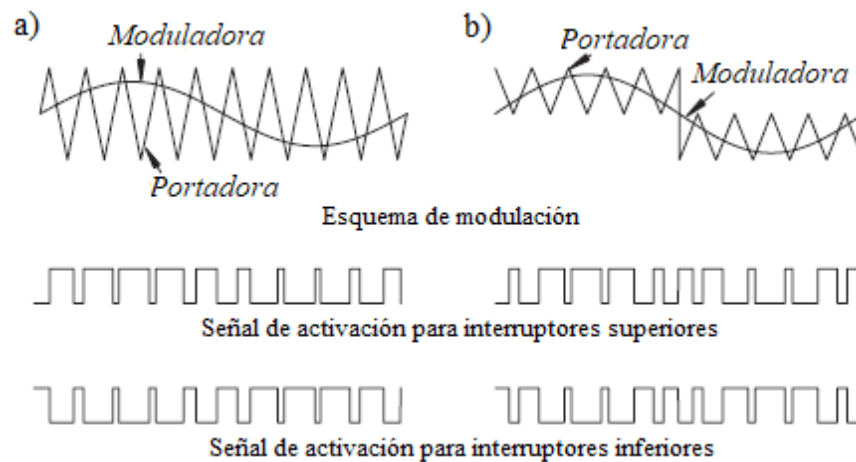


Figura 1.3. SPWM para un inversor monofásico: a) bipolar y b) unipolar [5]

Para aplicaciones trifásicas, de manera similar a un SPWM monofásico, se pueden comparar tres señales moduladoras desfasadas $2\pi/3$ con una señal portadora, para generar las diferentes señales de accionamiento que requieren los interruptores del inversor, como se muestra en la Figura 1.4 [5].

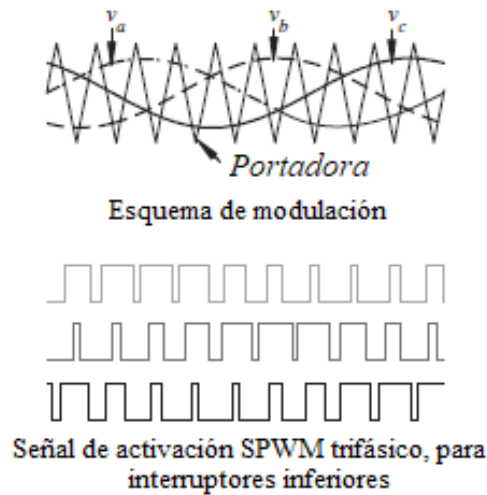


Figura 1.4. SPWM para un inversor trifásico [5]

Una característica importante en la modulación SPWM es conocer el nivel de utilización del bus de DC, esto se lo hace a través del índice de modulación de amplitud m_a . Este se define como la relación entre la amplitud de la señal moduladora (A_{mod}) y la amplitud de la señal portadora (A_{port}). De acuerdo con el valor del índice de modulación se pueden definir dos regiones de operación: región lineal y región no lineal. En la región lineal, la amplitud de la señal moduladora es menor o igual a la amplitud de la portadora, mientras que en la región no lineal la amplitud de la señal moduladora es mayor que la amplitud de la señal portadora [9].

En la región lineal ($m_a \leq 1$), la máxima amplitud de la fundamental del voltaje de fase de un inversor como el de la Figura 1.1 es $V_i/2$, donde V_i es el voltaje DC de entrada. De esta manera se tiene que $V_{inva} = \frac{V_i}{2} m_a \text{sen}(wt)$ y $V_{invb} = \frac{V_i}{2} m_a \text{sen}(wt - \frac{2\pi}{3})$ entonces la máxima amplitud de la fundamental del voltaje línea-línea de salida es $\sqrt{3}V_i/2$. La ecuación (1.2) representa el valor de la amplitud del voltaje línea-línea en esta región [6].

$$V_{invab} = m_a \sqrt{3} \frac{V_i}{2} \quad \text{si} \quad 0 < m_a \leq 1 \quad (1.2)$$

En base a la expresión anterior, el máximo aprovechamiento de la fuente de continua se puede expresar en (1.3), es decir si se tiene un voltaje de continua de entrada de 1000 [V] se puede alcanzar un voltaje eficaz de salida de 610 [V]

$$\frac{V_{invRms}}{V_i} = \frac{1 \sqrt{3}}{2 \sqrt{2}} = 0.61 \quad (1.3)$$

Para incrementar la amplitud del voltaje de salida, se puede trabajar en la región no lineal de sobre modulación. El rango de voltaje en esta región se expresa en la ecuación (1.4) [6].

$$\sqrt{3}\frac{V_i}{2} < V_{invab} = V_{invbc} = V_{invca} < \frac{4}{\pi}\sqrt{3}\frac{V_i}{2} \quad (1.4)$$

1.5.1.2.2. Modulación SVPWM

La función de conmutación de cada fase de un inversor trifásico podría definirse como Sa, Sb y Sc, respectivamente. Cuando el valor de la función de conmutación es 1, el interruptor superior en la fase correspondiente está encendido (en la Figura 1.1 corresponderían a los interruptores S1, S3 y S5), mientras que el interruptor inferior está apagado (en la Figura 1.1 corresponderían a los interruptores S4, S6 y S2 respectivamente); por el contrario, si el valor de la función de conmutación es 0, el interruptor superior está apagado y el interruptor inferior está encendido [10].

Como se explicó anteriormente en la Tabla 1.1, son 8 los estados de conmutación válidos para un inversor trifásico. Por este motivo, para la modulación SVPWM se considera que, si hay ocho estados de conmutación, entonces existen ocho vectores de voltaje y seis sectores en el espacio, mismos que se pueden observar en la Figura 1.5 [10].

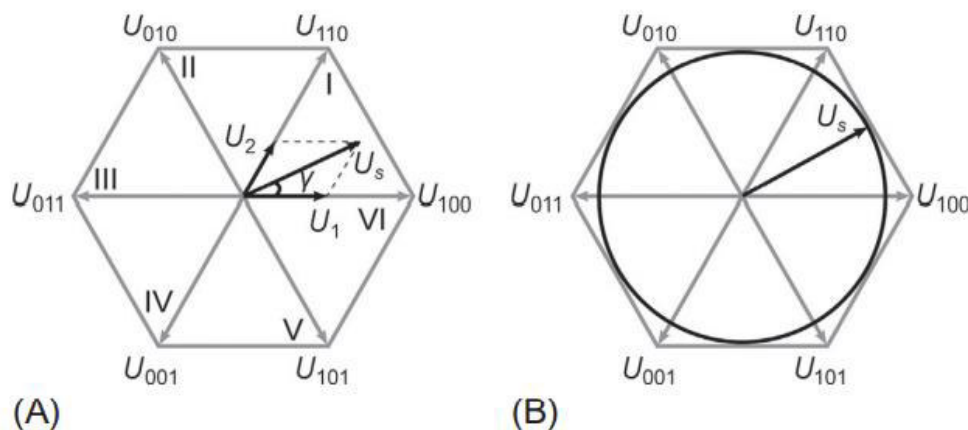


Figura 1.5. Vectores espaciales de voltaje en un sistema trifásico. **(A)** Vector espacial U_s en el sector I **(B)** Valor máximo del vector espacial U_s sin sobre modulación [10]

En la Figura 1.5 se puede observar claramente 6 de estos 8 vectores, considerando que dos vectores de voltaje cero están ubicados en el origen, esto es, cuando las tres fases están cortocircuitadas por tres interruptores superiores bajo el estado de U111, y cuando las tres fases están cortocircuitadas por tres interruptores inferiores bajo el estado de U000. El vector espacial de voltaje varía en la secuencia de U100, U110, U010, U011, U001 y

U101 como se puede observar en la Figura 1.5. Por otra parte, la amplitud de cada vector de voltaje es $\frac{2}{3} V_i$, donde V_i es el voltaje del enlace de DC del inversor. Para lograr una rotación suave, dos vectores de voltaje espaciales adyacentes U_1 y U_2 generan un vector de voltaje rotativo U_S . Por ejemplo, si el vector U_S se encuentra en el Sector I, la relación entre las magnitudes de U_S y los vectores de voltaje adyacentes se describe mediante las ecuaciones (1.5) (1.6) basados en el diagrama de la Figura 1.5 (A) [10].

$$U_1 = \frac{2}{\sqrt{3}} U_S \sin\left(\frac{\pi}{3} - \gamma\right) \quad (1.5)$$

$$U_2 = \frac{2}{\sqrt{3}} U_S \sin(\gamma) \quad (1.6)$$

Donde γ es el ángulo entre el vector U_S y el voltaje adyacente U_1 . Por otra parte, la Figura 1.5 (B) muestra el círculo inscrito del hexágono, cuyo radio es la magnitud máxima del vector giratorio en la región de modulación lineal. Se debe tener en cuenta que cuando la magnitud de U_S es mayor que el radio de este círculo inscrito, se alcanza la región de sobre modulación. Para obtener U1 y U2, se utilizan los estados de conmutación U100 y U110 [10].

El período de tiempo para la operación del inversor en cada uno de estos dos estados de conmutación se calcula a continuación [10]:

$$T_1 = \frac{U_1}{U_{100}} T_{sw} \quad (1.7)$$

$$T_2 = \frac{U_2}{U_{110}} T_{sw}$$

Donde T_{sw} es el período de conmutación. La secuencia de estados de conmutación dentro de T_{sw} se describe en la Figura 1.6, donde T0 y T7 denotan los períodos de tiempo de dos estados cero U000 y U111, respectivamente.

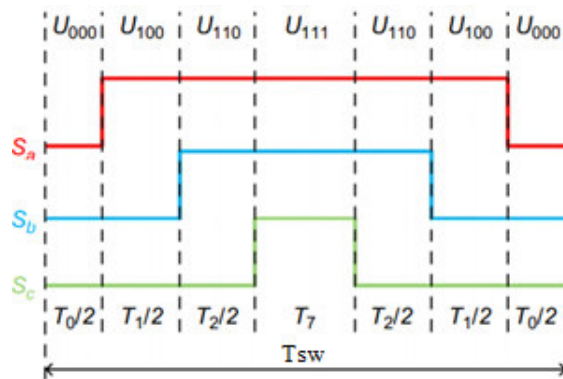


Figura 1.6. Estados de conmutación a través de modulación en espacio vectorial [10]

Cuando el vector de voltaje de rotación está en diferentes sectores, se adquieren varios períodos de tiempo y secuencias de los estados de conmutación, por ende, las funciones de conmutación para las tres fases se aplican en función del vector de rotación para obtener el voltaje de salida deseado [10]. Adicionalmente, en la Figura 1.6 se puede observar que, en un período de conmutación, existen únicamente dos cambios en el estado de conmutación.

Alternativamente, se puede utilizar un método basado en portadora para adquirir las funciones de conmutación equivalentes a las obtenidas en base al análisis del vector y los sectores de voltaje giratorio. Como se observa en la Figura 1.7, en este método basado en portadora, una señal de modulación trifásica se compara con una señal triangular (señal portadora) [10].

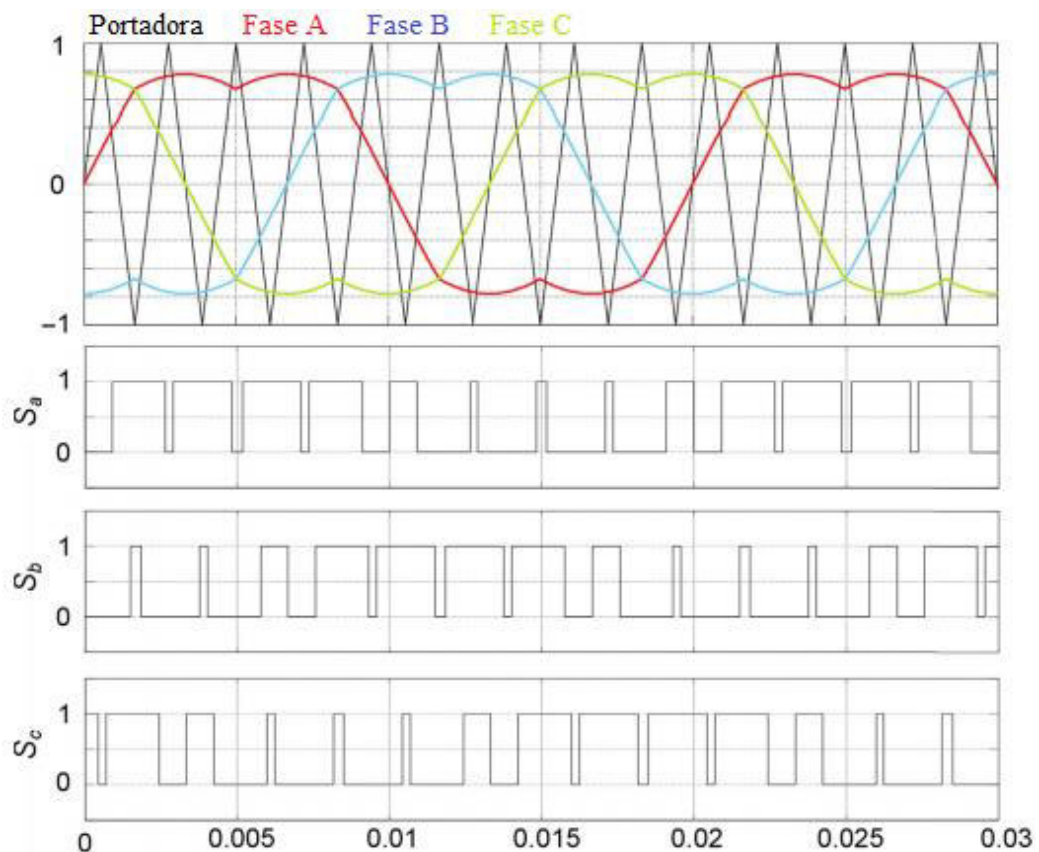


Figura 1.7. SVPWM basado en portadora para un inversor trifásico [10]

Cuando el valor de la señal de modulación es mayor que la señal portadora, la función de conmutación de la fase correspondiente es 1; por el contrario, la función de conmutación es 0 si el valor de la señal de modulación es menor que la señal portadora en la fase correspondiente. Las señales de modulación se describen mediante las ecuaciones [10]:

$$\begin{aligned}
V_a &= \sqrt{2}V_{rms}[\sin(\omega t) + V_0] \\
V_b &= \sqrt{2}V_{rms} \left[\sin\left(\omega t - \frac{2\pi}{3}\right) + V_0 \right] \\
V_c &= \sqrt{2}V_{rms} \left[\sin\left(\omega t + \frac{2\pi}{3}\right) + V_0 \right]
\end{aligned} \tag{1.8}$$

$$\begin{aligned}
V_0 &= -\frac{1}{2}(V_{max} + V_{min}) \\
V_{max} &= \max \left\{ \sin(\omega t), \sin\left(\omega t - \frac{2\pi}{3}\right), \sin\left(\omega t + \frac{2\pi}{3}\right) \right\} \\
V_{min} &= \min \left\{ \sin(\omega t), \sin\left(\omega t - \frac{2\pi}{3}\right), \sin\left(\omega t + \frac{2\pi}{3}\right) \right\}
\end{aligned} \tag{1.9}$$

Si bien la técnica SVPWM presenta ciertas ventajas respecto a la técnica SPWM, en el presente trabajo se implementará un inversor trifásico con SPWM debido a que esta técnica funciona bastante bien para cumplir con los objetivos propuestos que es la comparación de controladores para el inversor. Sin embargo, no se descarta a futuro, como continuación de este estudio la implementación de una modulación SVPWM.

1.5.1.3. Marcos de Referencia

Para un sistema trifásico, los voltajes y corrientes pueden ser descritos en distintos marcos de referencia (o sistemas de coordenadas). De esta manera, el controlador puede ser diseñado para que actúe en diferentes sistemas de coordenadas [5].

1.5.1.3.1. Marco de Referencia Natural (abc)

Los voltajes de un sistema trifásico balanceado en el marco de referencia *abc* o también conocido como marco de referencia natural se puede representar por [5]:

$$\begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \begin{bmatrix} v_m \cos(\theta) \\ v_m \cos\left(\theta - \frac{2\pi}{3}\right) \\ v_m \cos\left(\theta + \frac{2\pi}{3}\right) \end{bmatrix} \tag{1.10}$$

Donde v_m es el valor de la amplitud de voltaje, θ es el ángulo de fase, mismo que varía en el tiempo t . Como se puede observar, los tres voltajes se encuentran desfasados 120° y los mismos pueden ser representados como fasores. Es importante mencionar también que se cumple con la siguiente condición [5]:

$$v_a + v_b + v_c = 0 \tag{1.11}$$

1.5.1.3.2. Marco de Referencia Estacionario ($\alpha\beta$)

En un sistema trifásico, existen dos pares de variables eléctricas principales:

- Voltajes: v_a, v_b, v_c
- Corrientes: i_a, i_b, i_c

Mismos que varían en el tiempo de acuerdo con la dinámica de cada una de las fases del sistema [3].

Si se considera un sistema trifásico balanceado, este sistema, puede ser representado por un sistema de dos fases conocido como marco de referencia estacionario ($\alpha\beta$) como se puede observar en la ecuación (1.12) [3].

$$\begin{bmatrix} x_\alpha \\ x_\beta \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} X_a(t) \\ X_b(t) \\ X_c(t) \end{bmatrix} \quad (1.12)$$

Donde $X_a(t)$, $X_b(t)$ y $X_c(t)$ representan los voltajes o corrientes del sistema trifásico, mientras que x_α y x_β son las nuevas variables en marco de referencia $\alpha\beta$. La transformación de coordenadas abc a $\alpha\beta$ se le conoce también con el nombre de Transformada de Clarke, misma que se puede observar en la Figura 1.8 [3].

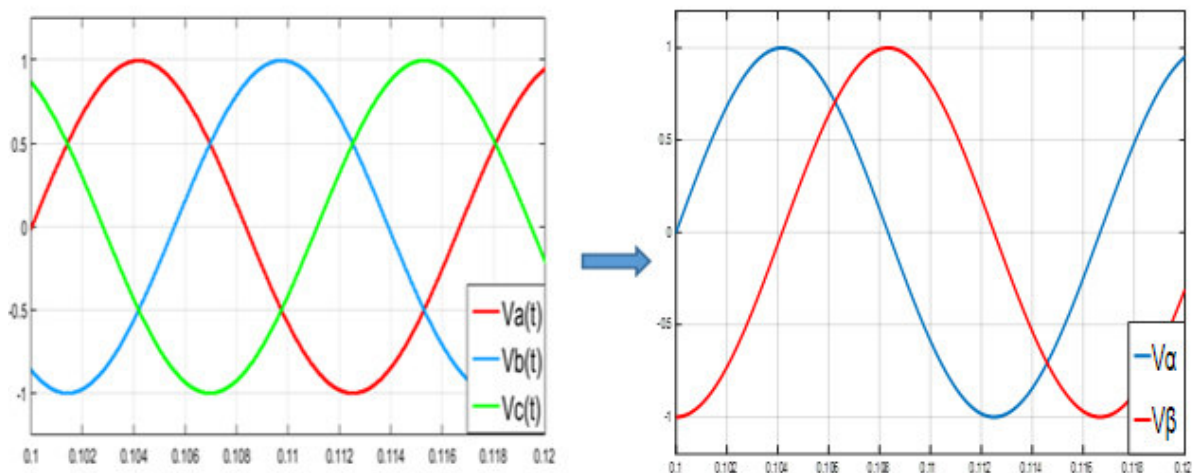


Figura 1.8 Formas de onda de voltaje de un sistema trifásico antes y después de la transformación de Clarke

1.5.1.3.3. Marco de Referencia Síncrono (dq)

Al aplicar la transformación de Clarke en la ecuación (1.12) las variables trifásicas (voltajes o corrientes) de cualquier sistema trifásico balanceado se reducen a dos componentes. Sin

embargo, los componentes $\alpha\beta$ siguen siendo variables de alterna que giran a la misma velocidad de las variables trifásicas originales abc [3]. En este caso, el diseño del controlador no es sencillo y los controladores proporcionales integrales (PI) no pueden lograr un seguimiento de error cero de los componentes $\alpha\beta$ [11]. Por lo tanto, se vio la necesidad de un marco de referencia que contenga variables más sencillas para controlar.

La transformación de Park, componentes $\alpha\beta$ a componentes dq , aplicada a sistemas trifásicos representa la proyección de los 3 fasores de voltaje o corriente sobre un plano que rota a la velocidad sincrónica de este sistema. Su utilidad radica en que al rotar a la misma velocidad que las variables, el ángulo entre el plano rotante y las variables siempre será fijo, por lo que las tres fases se pueden descomponer en dos fasores equivalentes, uno en el eje Directo “ d ” y otro en el eje en Cuadratura “ q ” [5].

Con la transformación de Park, las dos variables ortogonales en el marco de referencia $\alpha\beta$ se convertirán en dos cantidades de DC en el marco de referencia dq . Lo que hace que el diseño de control, por ejemplo, de controladores PI, sea más sencillo [3].

Para un sistema trifásico la Transformación de Park está dada por la expresión mostrada en la ecuación (1.13) [3].

$$\begin{bmatrix} x_d \\ x_q \end{bmatrix} = \begin{bmatrix} \cos \theta & \sin \theta \\ -\sin \theta & \cos \theta \end{bmatrix} \begin{bmatrix} x_\alpha \\ x_\beta \end{bmatrix} \quad (1.13)$$

Donde $\theta = \omega t$ es la posición angular o fase, siendo ω la frecuencia angular.

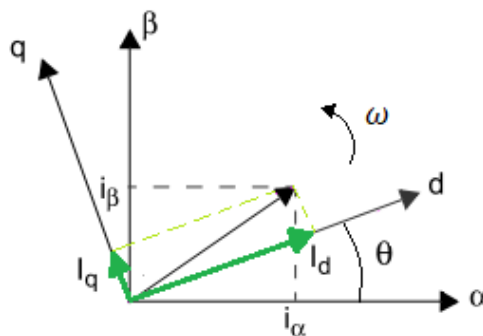


Figura 1.9. Diagrama fasorial de una variable trifásica en el plano dq

A partir de la Figura 1.9, si de manera conveniente el ángulo del vector rotante θ se encuentra en fase con el fasor “ a ” o el fasor “ α ” de las variables trifásicas, la suma equivalente de la componente en el eje “ q ” será cero, y la componente “ d ” tendrá el valor de la amplitud del voltaje trifásico, mismo que es igual en cada una de las fases como se observa en la Figura 1.10.

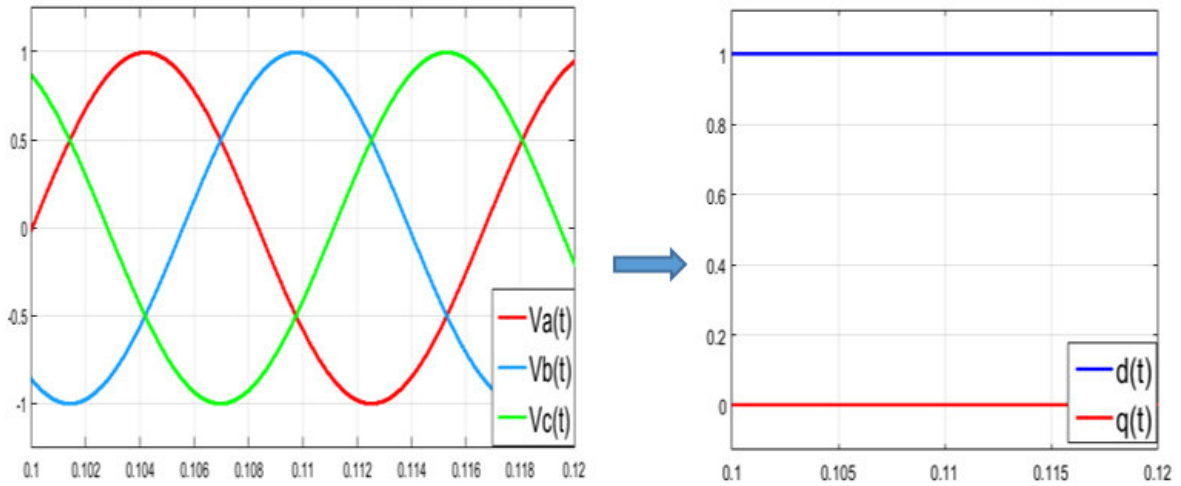


Figura 1.10. Formas de onda de voltaje de un sistema trifásico antes y después de la transformación de Park

En el presente trabajo se propone el control de un inversor trifásico a través de la inyección de potencia activa y reactiva a la red. El concepto de control PQ se basa en la teoría de la potencia instantánea propuesta por Akagi [12]. En el marco de referencia síncrono dq , la potencia activa instantánea P y la potencia reactiva Q se pueden calcular como [3]:

$$P_{3\phi} = \frac{3}{2} [V_{d(t)}I_{d(t)} + V_{q(t)}I_{q(t)}] \quad (1.14)$$

$$Q_{3\phi} = \frac{3}{2} [-V_{d(t)}I_{q(t)} + V_{q(t)}I_{d(t)}]$$

En base a las ecuaciones anteriores, si uno de los ejes del plano de Park estuviese en fase con uno de los voltajes fase neutro del sistema, una de las componentes, por ejemplo $V_{q(t)}$, no existiría. De esta manera, las expresiones de potencias se verían reducidas a valores dependientes únicamente de las corrientes del sistema $I_{d(t)}$ e $I_{q(t)}$ como se expresa en las ecuaciones (1.15) [3].

$$P_{3\phi} = \frac{3}{2} [V_{d(t)}I_{d(t)}] \quad (1.15)$$

$$Q_{3\phi} = \frac{3}{2} [V_{d(t)}I_{q(t)}]$$

1.5.1.4. Phase Locked Loop

El ángulo de fase del voltaje de la red es fundamental para el control de los convertidores de potencia conectados a la red, por ejemplo, es necesario conocer este ángulo en la transformación al marco de referencia dq para la extracción de las variables dq y el control de corriente desacoplado bajo el eje dq . Por lo tanto, la técnica de sincronización de la red

sirve como parte fundamental para la estrategia de control del inversor conectado a la red, y es esencial para garantizar un rendimiento satisfactorio del mismo. La técnica de sincronización de red ha sido objeto de una intensa investigación y se han propuesto un gran número de diferentes enfoques para lograr una sincronización rápida y precisa. Además, es preciso señalar que el voltaje de la red puede presentar distorsión armónica lo cual impide aplicar un detector de cruce por cero para su correcta sincronización [3].

En la actualidad la técnica de sincronización de red más popular y que ya se ha adoptado durante algunas décadas es la basada en PLL, *Phase Locked Loop*, por sus siglas en inglés. Un PLL se puede definir como un mecanismo en el que una señal sigue a otra, en otras palabras, el objetivo de un PLL es entregar una señal de salida con la misma frecuencia y fase que la señal de entrada con la cual ha sido alimentada [13].

Desde el punto de vista funcional, el PLL se constituye de 3 componentes principales: un detector de fase (PD⁷), un filtro generalmente de tipo pasa bajo, y un oscilador controlado (VCO⁸) cuya frecuencia es controlada externamente. Este esquema se puede observar en la Figura 1.11 [13].

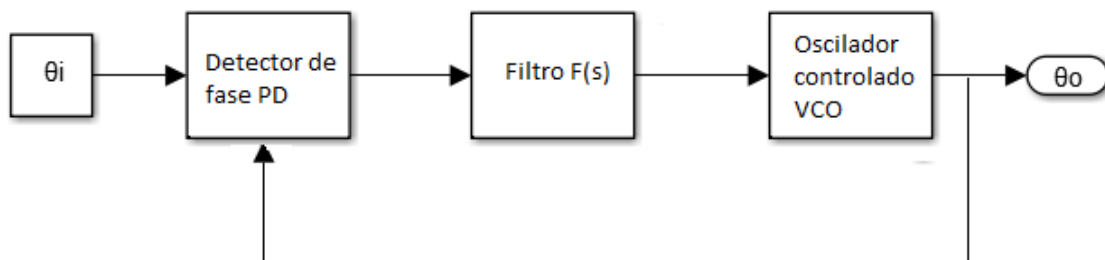


Figura 1.11. Diagrama básico PLL

Para este tipo de sistemas existen varias topologías de PLL entre las cuales se pueden mencionar [13] [14]:

- *Synchronous Reference Frame PLL* (SRF-PLL)
- *Second Order Generalized Integrator PLL* (SOGI-PLL)
- *Enhanced PLL* (E-PLL)
- *Quadrature PLL* (Q-PLL)
- *Double Synchronous Reference Frame PLL* (DSRF-PLL)

⁷ Phase Detector

⁸ Voltage Controller Oscillator

- *Adaptive Notch Filter PLL (ANF-PLL)*
- *Synchronous Observer-Aided Preprocessing PLL (SOAP-PLL)*
- *Lead Compensator PLL (LC-PLL)*
- *Cascaded Delayed Signal Cancelation PLL (CDSC-PLL)*

En este trabajo se describirá brevemente las cuatro primeras topologías de PLL antes mencionadas.

1.5.1.4.1. *Synchronous Reference Frame PLL*

Dentro de las topologías de PLL una de las más empleadas es la SRF-PLL, debido a su robustez y sencillez [14].

El diagrama de bloques correspondiente a un *Synchronous Reference Frame PLL (SRF-PLL)* se observa en la Figura 1.12. Como se observa en el diagrama de bloques, los voltajes de la red en coordenadas trifásicas abc se convierten, a través de la transformación de Clarke, a coordenadas $\alpha\beta$ para posteriormente ser transformadas a un sistema de referencia sincrónico dq a través de la transformada de Park. De esta manera, se obtienen señales continuas en estado estacionario, lo que simplifica el diseño del controlador de lazo cerrado del PLL. El detector de fase viene dado por la transformación de Park, el filtro viene dado por el controlador PI y el VCO correspondería a la parte del integrador [13].

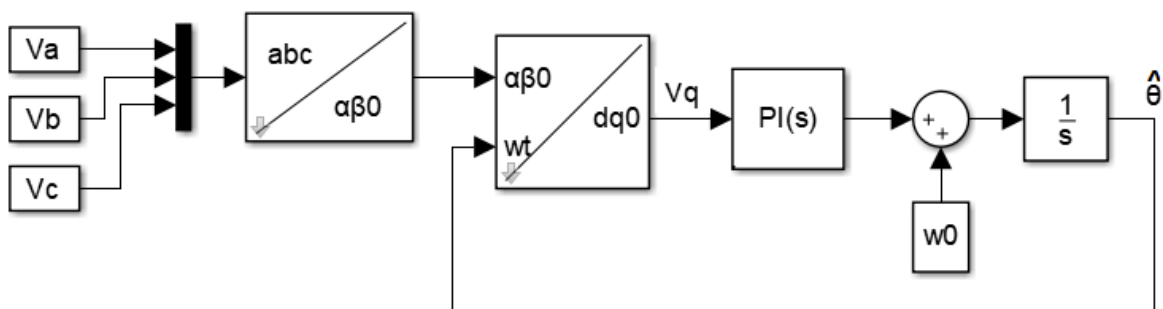


Figura 1.12. Diagrama de bloques SRF-PLL

Al realizar la transformación de Park, se obtienen los voltajes en coordenadas dq : V_d y V_q , donde V_d contiene la medida de la amplitud de las señales trifásicas y V_q contiene la información del error de fase (para sincronizar el PLL), de esta manera, esta señal de error pasa a través de los bloques de filtro PI para obtener la velocidad angular y luego por el oscilador VCO, devolviendo a la salida el ángulo de fase utilizado para el sistema. Se considera $\omega_0 = 2\pi 60$ rad [14]. La última parte del bloque PLL se debe a que la velocidad

angular es la derivada respecto al tiempo del ángulo. Por tanto, el ángulo será la integral de la velocidad más una constante:

$$\theta = \int_0^t w(t)dt + \theta_0 \quad (1.16)$$

1.5.1.4.2. Second Order Generalized Integrator PLL

La topología de un *Second Order Generalized Integrator PLL* (SOGI-PLL) para una entrada trifásica se muestra en la Figura 1.13. Tiene la misma construcción de filtro y VCO que un SRF-PLL pero un detector de fase diferente [14].

La estructura SOGI es un esquema de integrales simples que tiene un par de señales ortogonales ya filtradas. Para la entrada trifásica, SOGI se organiza en una estructura dual como se observa en la Figura 1.13. A través de los voltajes obtenidos de la transformada de Clarke, cada bloque SOGI tiene sus elementos v' y qv' , el primer bloque SOGI se alimenta con el componente alfa, el segundo bloque SOGI se alimenta con el componente beta [14].

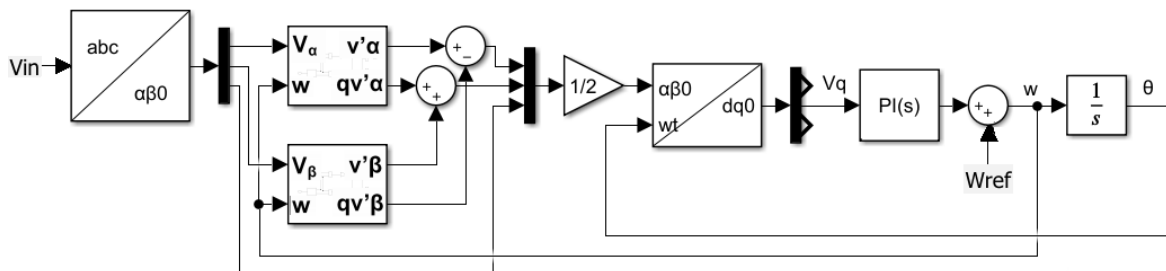


Figura 1.13. Diagrama de bloques SOGI-PLL

Los dos componentes generados por el SOGI-PLL, muestran v' y qv' , el primero con la misma fase que la señal de entrada v , y el segundo, con un desfase de 90° , donde sus funciones de transferencia son:

$$H_d(s) = \frac{v'}{v} = \frac{k\omega s}{s^2 + k\omega s + \omega^2} \quad (1.17)$$

$$H_q(s) = \frac{qv'}{v} = \frac{k\omega^2}{s^2 + k\omega s + \omega^2} \quad (1.18)$$

donde ω representa la frecuencia de resonancia del SOGI y k es el parámetro que ajusta la capacidad de filtrado del sistema [14]. Debe considerarse que una k pequeña reduce el ancho de banda del filtro, pero, por otra parte, hace que la respuesta dinámica sea más lenta [15].

1.5.1.4.3. Enhanced PLL

La estructura *Enhanced PLL* (E-PLL) se basa en un filtro no lineal. El filtro sigue la frecuencia fundamental de la red y permite una mayor flexibilidad en comparación con un PLL convencional. Adicionalmente es capaz de estimar la frecuencia [14].

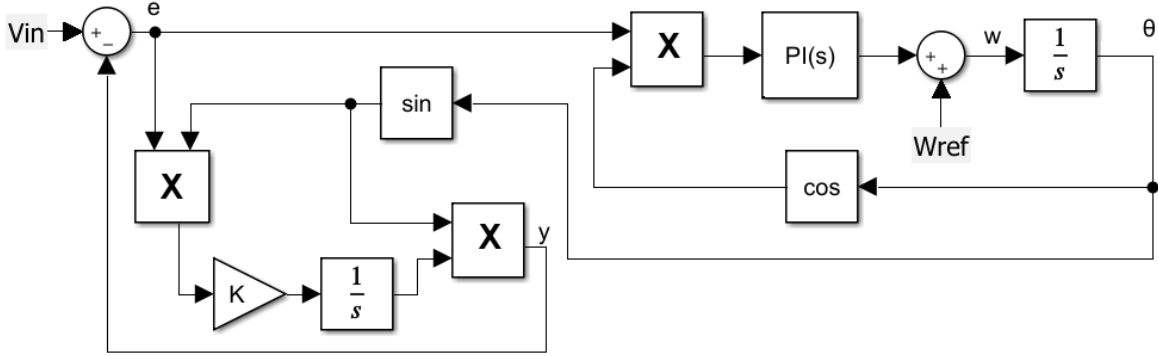


Figura 1.14. Diagrama de bloques E-PLL

El E-PLL se basa en el conjunto de ecuaciones presentado en (1.19), donde se tiene: la frecuencia $\omega(t)$, el ángulo de fase $\theta(t)$, la amplitud $A(t)$, la componente fundamental $y(t)$ y la señal de error $e(t)$ [14].

$$\begin{aligned}
 \dot{\omega}(t) &= k_i e(t) \cos(\theta(t)) \\
 \theta(t) &= \frac{\dot{\omega}(t)}{k_i} k_p + \omega_r(t) \\
 \dot{A}(t) &= k e(t) \cos\left(\theta(t) - \frac{\pi}{2}\right) \\
 y(t) &= A(t) \cos\left(\theta(t) - \frac{\pi}{2}\right) \\
 e(t) &= u(t) - y(t)
 \end{aligned} \tag{1.19}$$

Donde k, k_p, k_i son ganancias que definen el comportamiento del sistema, k es la velocidad de convergencia de amplitud y k_i y k_p son las velocidades de convergencia de frecuencia y fase. Este tipo de PLL mejora el rendimiento del PD [14].

1.5.1.4.4. Quadrature PLL

La topología *Quadrature PLL* (Q-PLL) es un método PLL que en el bloque PD genera una señal de entrada basada en estimaciones de fase y amplitudes de cuadratura, así como variaciones de fase y frecuencia a través de una estructura no lineal [14].

QPLL se controla mediante los siguientes parámetros internos: u_s, u_c que controlan la convergencia de amplitud en cuadratura y la fase, y u_f que controla la convergencia de

frecuencia. Considerando $u_s = u_c$, es posible simplificar los parámetros internos de la siguiente manera $2u_s = 2u_c = u_\alpha$ y $u_f/u_s = u_f/u_c$, de esta manera el sistema de un Q-PLL se muestra en la Figura 1.15 [14].

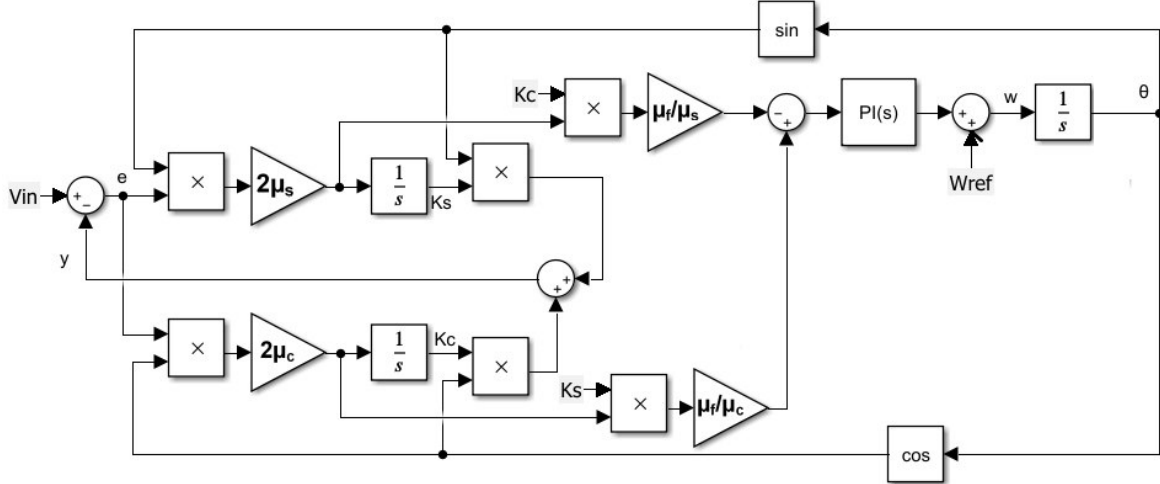


Figura 1.15. Diagrama de bloques Q-PLL

Las ecuaciones principales que definen un Q-PLL se muestran en (1.20), donde se tiene: las amplitudes de cuadratura $k_s(t)$ y $k_c(t)$, la variación de frecuencia $\dot{\Delta}\omega(t)$, el ángulo de fase $\theta(t)$, la componente fundamental $y(t)$ y la señal de error $e(t)$ [14].

$$\begin{aligned}
 k_s(\dot{t}) &= 2u_s e(t) \sin \theta(t) \\
 k_c(\dot{t}) &= 2u_c e(t) \cos \theta(t) \\
 \dot{\Delta}\omega(t) &= 2u_f e(t) [k_s \cos \theta(t) - k_c \sin \theta(t)] \\
 \dot{\theta}(t) &= \omega_0 + \Delta\omega(t) \\
 y(t) &= k_c \cos \theta(t) - k_s \sin \theta(t) \\
 e(t) &= u(t) - y(t)
 \end{aligned}
 \tag{1.20}$$

En el presente trabajo, se ha escogido trabajar con un SRF-PLL debido a su buen funcionamiento, robustez y sencillez, para una comparación de los controladores en igualdad de condiciones se utiliza este PLL tanto para el control PI como para el control SMC.

1.5.2. Filtros

Un inversor opera con señales PWM que contienen armónicos alrededor de los múltiplos de la frecuencia de conmutación, es por esto, que se vuelve necesario conectar un filtro pasa bajos a la salida del inversor para que los armónicos sean filtrados y de esta manera

la forma de onda de salida tenga un bajo THD⁹. Por lo general los filtros más convencionales son los de tipo LC y LCL [5].

1.5.2.1. Filtro LC

El esquema del circuito de un filtro LC pasivo se muestra en la Figura 1.16. La resistencia equivalente en serie (ESR¹⁰) tanto para inductor y condensador suelen ser de un valor pequeño, por lo que podría no ser considerada durante el proceso de diseño [5].

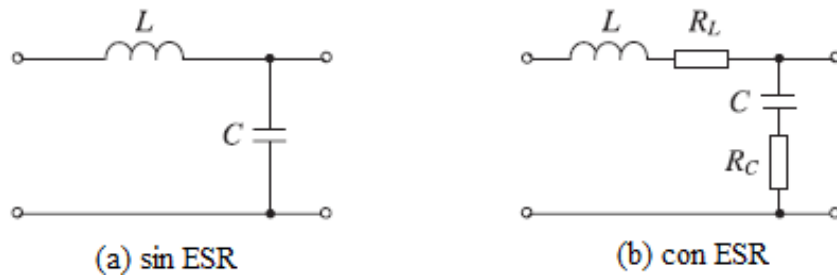


Figura 1.16. Modelo de circuito de un filtro pasivo LC [5]

Las ESR son capaces de amortiguar oscilaciones de alta frecuencia, de esta manera logra mejorar el rendimiento del filtro. Para que el sistema sea más rentable, lo ideal es que tanto la inductancia como la capacitancia sean del menor valor posible. Pero, por otra parte, la inductancia y la capacitancia deben ser lo suficientemente grandes para filtrar los efectos de conmutación, teniendo en cuenta varios factores como: la frecuencia de resonancia f_{res} , el tamaño del filtro, la distorsión armónica THD, la función de coste, el amortiguamiento de resonancia, la eficiencia, el nivel de potencia, etc. [5].

Uno de los factores más importantes a ser tomados en cuenta es la frecuencia de resonancia, la cual debe ser mucho menor que la frecuencia de conmutación para que el filtro sea capaz de filtrar los armónicos de conmutación, proporcionando de esta manera suficiente ancho de banda para el controlador [5].

Las resistencias en serie R_L y R_C sirven para amortiguar la resonancia LC alrededor de la frecuencia de corte. Sin embargo, el hecho de tener resistencias de un valor considerable puede resultar en pérdidas excesivas de potencia, que, para aplicaciones de alta potencia, podría causar problemas en el diseño del filtro LC. Para evitar estos inconvenientes y lograr el mismo propósito que las ESR, existen estrategias de control que permiten agregar resistencias virtuales al filtro y así evitar las pérdidas de potencia [5].

⁹ Total Harmonic Distortion

¹⁰ Equivalent Series Resistance

1.5.2.2. Filtro LCL

El modelo del circuito de un filtro pasivo LCL se muestra en la Figura 1.17. Este tipo de filtros se utilizan con frecuencia en inversores conectados a la red.

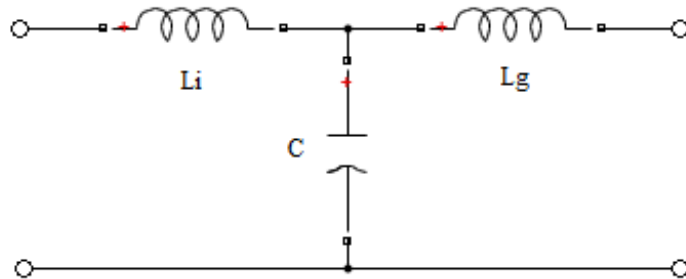


Figura 1.17. Modelo del filtro LCL

Al incluir un inductor adicional del lado de la red el orden del filtro aumenta en 1, de esta manera, el filtro LCL es capaz de atenuar los armónicos de mejor manera que un filtro LC o mejor aún que un filtro L [16].

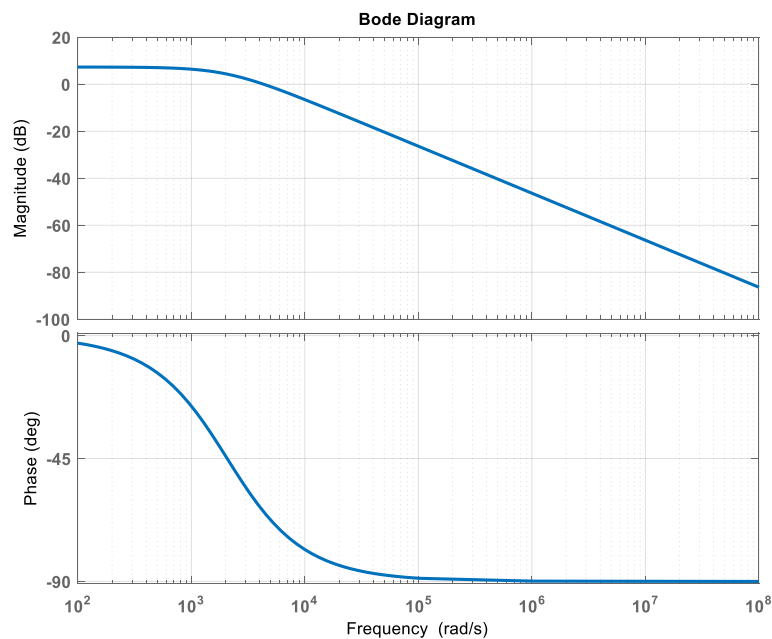


Figura 1.18. Diagrama de Bode de un filtro de topología L

En la Figura 1.18 se observa el diagrama de Bode de un filtro L. Para altas frecuencias la atenuación se incrementa aproximadamente en 20 db/dec [5].

Por otra parte, en un filtro LCL, para altas frecuencias, la atenuación es mucho mayor que en el filtro L. Como se observa en la Figura 1.19, a partir de la frecuencia de resonancia,

la respuesta cae con una pendiente aproximada de 60 db/dec , lo que hace que para la misma atenuación se requieran elementos más pequeños.

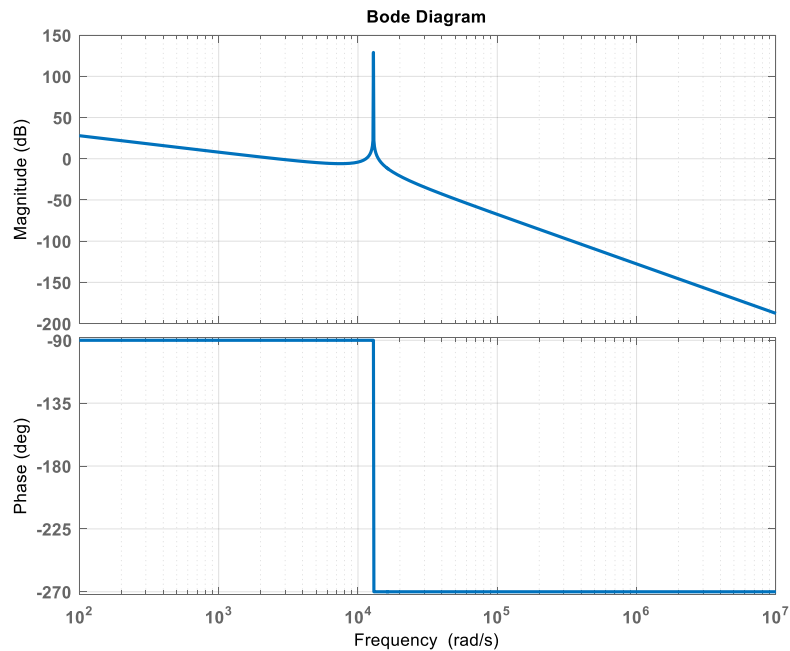


Figura 1.19. Diagrama de Bode de un filtro de topología LCL

Cuando se tienen aplicaciones con una frecuencia de conmutación razonablemente alta, el filtro LCL podría diseñarse en dos etapas, primero la del filtro LC y luego añadiendo el inductor del lado de la red [16].

La desventaja que tiene un filtro LCL es que introduce una frecuencia de resonancia en el sistema, por este motivo es necesario utilizar métodos de amortiguamiento. Existen dos tipos de métodos de amortiguamiento: métodos pasivos y métodos activos [16].

Los métodos pasivos utilizan resistencias para amortiguar la respuesta y de esta manera estabilizar el filtro. Por su parte, los métodos activos utilizan estrategias de control con técnicas de ubicación de polos de lazo cerrado para obtener una respuesta estable [17].

Debido a su simpleza, la amortiguación pasiva continúa siendo el método más adoptado en la industria, sin embargo, debe tomarse en cuenta que dependiendo de las características de la aplicación es posible que se requiera amortiguación activa o alguna otra modificación adicional al diseño [3].

Para el presente proyecto se utilizará como método de amortiguamiento la inserción de una resistencia en serie con el capacitor, siendo el modelo del filtro resultante el que se observa en la Figura 1.20. De igual manera en la Figura 1.21, se puede observar la

comparación entre el diagrama de bode de un filtro con y sin resistencia de amortiguamiento.

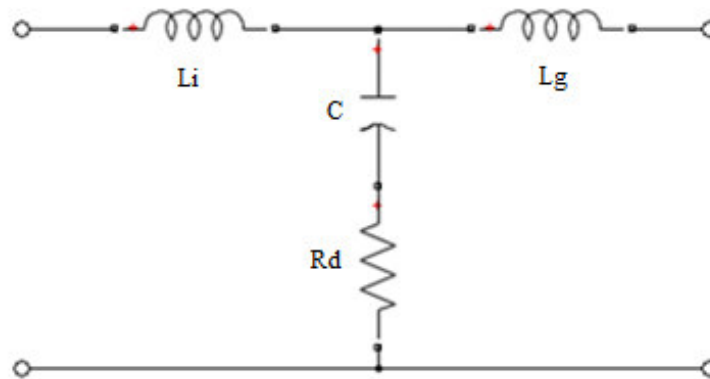


Figura 1.20. Modelo del filtro LCL con resistencia de amortiguamiento

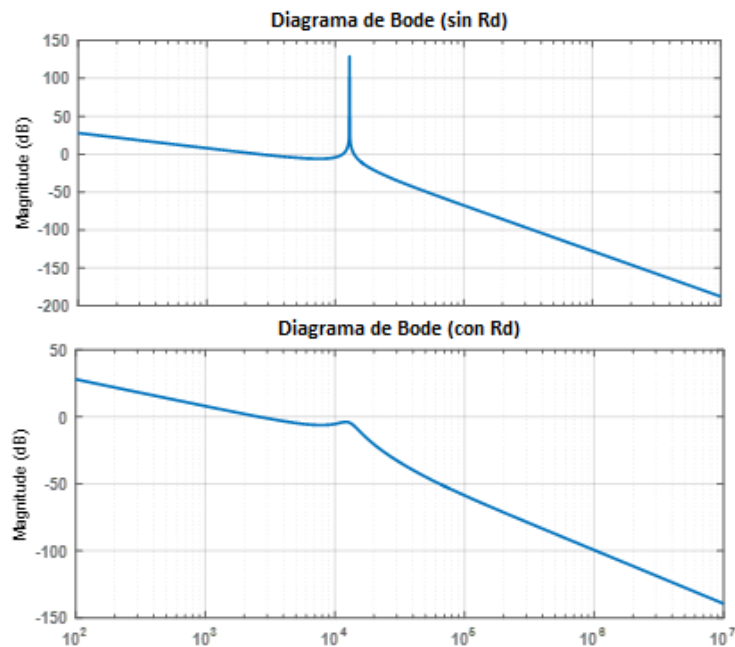


Figura 1.21. Diagrama de magnitud de Bode de filtro LCL con y sin resistencia de amortiguamiento

1.5.2.3. Función de transferencia del filtro LCL

La función de transferencia de un filtro LCL viene dada por [16]:

$$G_{LCL} = \frac{i_o}{V_{inv}} \quad (1.21)$$

En la Figura 1.22 , se puede observar la representación del circuito monofásico del filtro con todas las variables necesarias para el planteamiento de la función de transferencia.

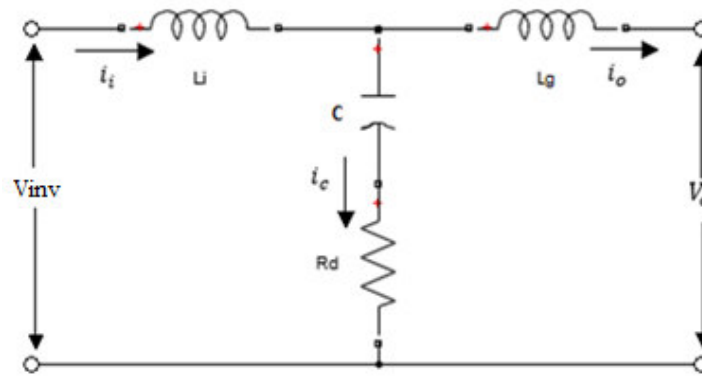


Figura 1.22. Circuito monofásico de un filtro LCL

Por leyes de voltaje y corriente de Kirchoff en el circuito de la Figura 1.22 se pueden plantear las siguientes ecuaciones:

$$i_i = i_c + i_o \quad (1.22)$$

$$V_{inv} = V_{Li} + V_C + V_{Rd} \quad (1.23)$$

$$V_C + V_{Rd} = V_o + V_{Lg} \quad (1.24)$$

Considerando el voltaje de la red como una fuente de voltaje ideal, para el estudio en frecuencia del filtro, esta fuente se comportará como un cortocircuito, es decir $V_g = V_o = 0$ [18]. Se tiene entonces que la ecuación (1.24) puede expresarse como:

$$V_C + V_{Rd} = V_{Lg} \quad (1.25)$$

Resolviendo la ecuación (1.25), se puede llegar a:

$$\frac{i_c}{sC} + i_c R_d = i_o s L_g \quad (1.26)$$

$$i_c = i_o \frac{s^2 C L_g}{s C R_d + 1}$$

Reemplazando (1.25) en (1.23) y desarrollando la nueva igualdad se obtiene:

$$V_{inv} = V_{Li} + V_{Lg} \quad (1.27)$$

$$V_{inv} = i_i s L_i + i_o s L_g$$

$$V_{inv} = (i_c + i_o) s L_i + i_o s L_g \quad (1.28)$$

Se puede entonces, reemplazar la corriente del capacitor descrita en la ecuación (1.26), en la expresión del voltaje de entrada del filtro de la ecuación (1.28) (1.27). Fácilmente se podrá obtener la función de transferencia descrita en la ecuación a continuación:

$$V_{inv} = \left(i_o \frac{s^2 C L_g}{s C R_d + 1} + i_o \right) s L_i + i_o s L_g$$

$$G_{LCL} = \frac{i_o}{V_{inv}} = \frac{s C R_d + 1}{s^3 C L_i L_g + s^2 C R_d (L_i + L_g) + s (L_i + L_g)} \quad (1.29)$$

1.5.2.3.1. Parámetros de diseño del filtro LCL

El diseño completo de un filtro LCL debe tomar en cuenta la optimización de varios parámetros, así como la solución a varios problemas, entre los cuales se puede mencionar [19]:

- Selección de parámetros LCL
- Límites de amortiguación y control de corriente
- Diseño de los componentes magnéticos
- Pérdidas de potencia en los semiconductores

Debe mencionarse que, para este trabajo se tomará únicamente en cuenta el dimensionamiento del filtro a través de una adecuada selección de los parámetros LCL, así como de la resistencia de amortiguamiento R_d .

Por otra parte, la literatura sugiere, que un filtro diseñado adecuadamente debe tener las siguientes características [19]:

- Caída mínima de voltaje en el filtro.
- Energía mínima almacenada en el filtro.
- Potencia reactiva mínima producida por el condensador de filtro LCL.
- Operación con alto factor de potencia.
- Robustez para variaciones de parámetros externos como la impedancia de la red.
- Altas prestaciones de amortiguación.
- Pérdidas mínimas en el sistema de amortiguación.
- Baja interferencia electromagnética.

- Robustez para variaciones de parámetros debido al envejecimiento, entre otras.

Satisfacer todos los criterios mencionados anteriormente para el diseño de un filtro LCL conlleva un gran desafío, debido a la interrelación que existe entre los parámetros del filtro y los diferentes requisitos de diseño. Por lo tanto, se debe dar prioridad a las interrelaciones principales de los parámetros más importantes para que el filtro pueda cumplir con la mayoría de los criterios ya mencionados. A continuación, se enlistan los parámetros más importantes que establecen las bases para un diseño de filtro LCL eficiente [19]:

- Límites en las corrientes de armónicos
- Relación entre la inductancia del lado de la red y del lado del inversor
- Importancia de la frecuencia de resonancia y sus variaciones para diferentes requisitos de diseño
- Tipo de esquema de amortiguación empleado
- Estructura de control empleada
- Cantidad de energía reactiva producida

La Figura 1.23 muestra uno de los esquemas generales de control de un VSI con filtro LCL conectado a la red, siendo uno de los principales pasos del diseño del filtro el encontrar la combinación de parámetros LCL que cumplan con el estándar armónico [17].

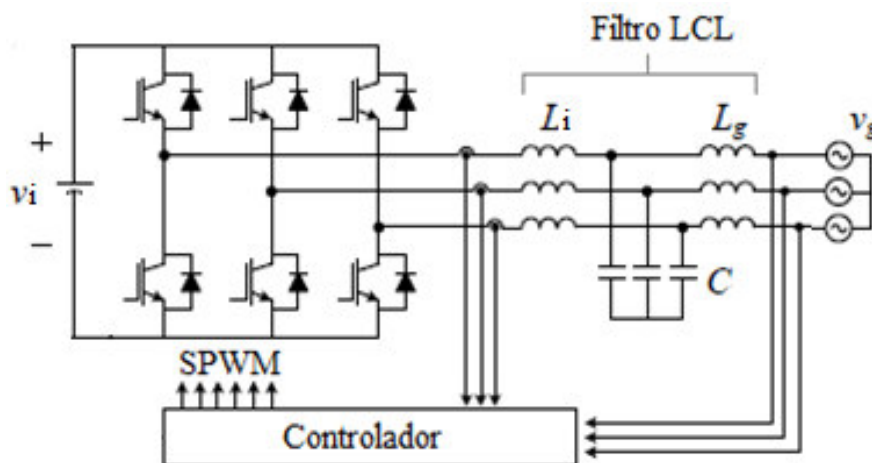


Figura 1.23. VSI con filtro LCL [17]

En la Tabla 1.2 se muestran los límites de armónicos actuales según el estándar IEEE519.

Tabla 1.2. Límites en las corrientes de armónicos según IEEE519

Corriente armónica impar máxima en porcentaje de I_g para el sistema de distribución con 0,12 ~ 69 kV						
SCR: I_{sc}/I_g	$n < 11$	$11 \leq n < 17$	$17 \leq n < 23$	$23 \leq n < 35$	$35 \leq n$	THD
<20	4,0	2,0	1,5	0,6	0,3	5,0
20...50	7,0	3,5	2,5	1,0	0,5	8,0
50...100	10,0	4,5	4,0	1,5	0,7	12,0
100...1000	12,0	5,5	5,0	2,0	1,0	15,0
>1000	15,0	7,0	6,0	2,5	1,4	20,0

I_{sc} : corriente de corto circuito, I_g : corriente nominal, n : número de armónico

Los armónicos pares están limitados al 25% de los límites de armónicos impares

La relación de corriente de cortocircuito (SCR¹¹) representa el valor de inductancia de la red L_g , respecto a este parámetro se puede observar que los límites de corriente armónica varían para diferentes valores de SCR. Cuanto más bajo es el SCR, más bajo debe ser el porcentaje de los armónicos. Por otra parte, también se observa en la misma tabla que cuando el SCR es menor que 20, en el peor de los casos, el 0.3% de la corriente nominal I_g es la máxima corriente armónica permitida para los armónicos superiores a 35.

Como recomendación, se suele utilizar una frecuencia portadora f_{sw} en el intervalo de 2 a 6 kHz para inversores de alta potencia, de esta manera se asegura que la frecuencia de conmutación sea mayor que la frecuencia del armónico 35 (2.1 kHz para una fundamental de 60 Hz) [17].

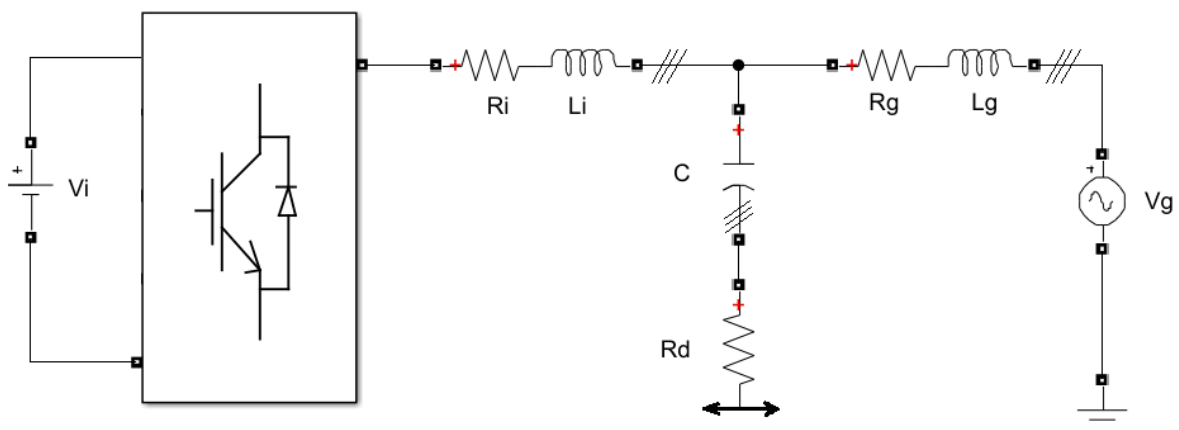


Figura 1.24. Representación de un VSI con filtro LCL conectado a la red

La Figura 1.23 muestra la estructura general unifilar de un VSI conectado a la red con filtro LCL conectado en Y. Donde los parámetros principales son: L_i es el inductor del lado del

¹¹ Short Circuit Ratio

inversor, L_g es el inductor del lado de la red, C la capacitancia del filtro, R_d es la resistencia de amortiguamiento, R_i es la resistencia interna del inductor del lado del inversor y R_g es la resistencia del lado de la red.

La frecuencia de resonancia del filtro viene expresada por la ecuación (1.30) [19]:

$$\omega_{res} = 2\pi f_{res} = \sqrt{\frac{L_i + L_g}{L_i L_g C}} \quad (1.30)$$

La ecuación (1.30) puede ampliarse a la expresión [19]:

$$L_T C = \frac{k^2}{4\pi^2 f_{sw}^2} \frac{(1 + u)^2}{u} \quad (1.31)$$

Donde la inductancia total $L_T = L_i + L_g$, $k = f_{sw}/f_{res}$, f_{sw} es la frecuencia de conmutación del PWM, f_{res} es la frecuencia de resonancia del filtro LCL y $u = L_g/L_i$ [19].

Uno de los principales objetivos en el diseño de filtros LCL es minimizar el tamaño del componente pasivo, por esto es importante, a partir de la ecuación (1.31), identificar el valor de u que dé como resultado el producto más bajo de $L_T C$ [19]. El mínimo producto de $L_T C$ para una frecuencia de resonancia dada se puede evaluar diferenciando la ecuación (1.31) con respecto a la variable u . A partir de esto, se obtiene que cuando $u = 1$, se tiene el producto mínimo de $L_T C$. Esto implica que, para un valor de capacitancia dado, L_T tendría el valor mínimo, mientras que para un valor de L_T dado, el C resultante sería el mínimo, de esta manera se tendría potencia reactiva mínima [20].

La frecuencia de resonancia depende de los componentes del filtro L_i , L_g y C cómo se puede observar en la ecuación (1.30) y la misma es de suma importancia al momento de diseñar un filtro LCL y elegir la frecuencia de conmutación, misma que debe seleccionarse por encima de la frecuencia de resonancia [19].

Por otra parte, si se considera f_s como la frecuencia de muestreo de los controladores digitales, se tiene que la misma se encuentra relacionada con la frecuencia de conmutación de dos maneras o dos modos de actualización que se utilizan en la implementación digital del controlador, siendo estos: actualización única y actualización doble [19].

En el modo de actualización única se cumple que $f_s = f_{sw}$, como se puede observar en la Figura 1.25, el muestreo de todas las mediciones se realiza al comienzo de cada período del PWM y la actualización de todos los registros de PWM se realiza al final con la salida [19] [21].

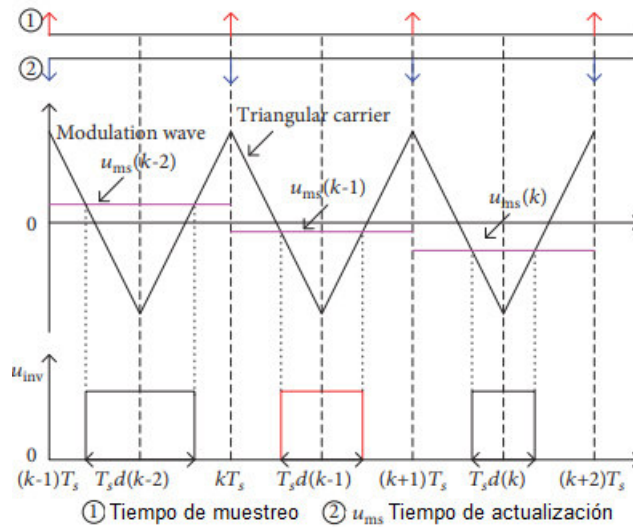


Figura 1.25. PWM de actualización única

En un PWM de actualización doble se cumple que $f_s = 2f_{sw}$, como se observa en la Figura 1.26, la referencia se actualiza al comienzo del ciclo de la mitad de la portadora [19] [21].

Por otro lado, de acuerdo con los criterios de muestreo de Nyquist, independientemente del método de actualización empleado, la frecuencia de muestreo debe ser al menos el doble de la frecuencia de resonancia ($f_s > 2f_{res}$) para garantizar que la resonancia sea visible para el procesador digital de señales (DSP¹²) [19] [21].

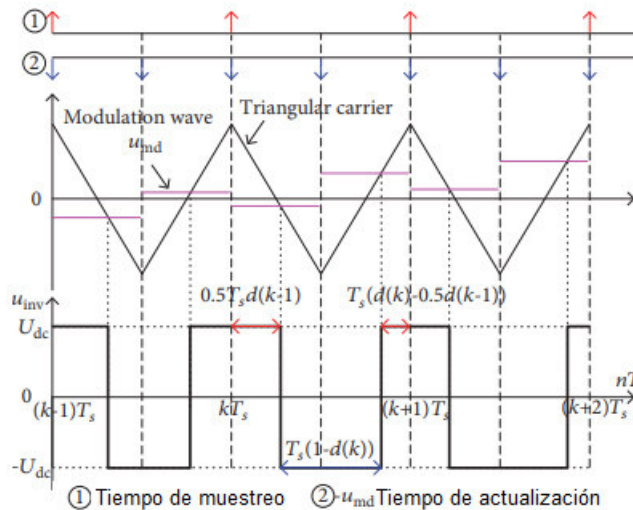


Figura 1.26. PWM de actualización doble

Adicionalmente y para evitar que la resonancia se encuentre dentro del ancho de banda del lazo de control, la frecuencia de resonancia debe cumplir con:

¹² Digital Signal Processor

$$f_b < f_{res} < \frac{1}{2}f_s \quad (1.32)$$

Donde f_b es la frecuencia de ancho de banda del control, en [19] se ha analizado el ancho de banda del lazo cerrado para un VSI trifásico con filtro LCL implementado con control digital [22] y se obtiene (1.33)

$$f_b \approx \frac{f_s}{6\pi} \quad (1.33)$$

Por ejemplo, para una frecuencia de muestreo de 10kHz se tendría un ancho de banda de alrededor de 530Hz. Ahora, reemplazando (1.33) en (1.32) y expresando la inecuación en función de k ($k = f_{sw}/f_{res}$) se llega a la siguiente expresión para un PWM de actualización doble ($f_s = 2f_{sw}$):

$$1 < k < 9.5 \quad (1.34)$$

Mientras que para un PWM de actualización única se tendría la expresión:

$$2 < k < 19 \quad (1.35)$$

La Tabla 1.3 presenta un resumen para diferentes valores de k bajo diferentes escenarios, donde se puede observar que el valor de k y el rendimiento de un diseño de filtro LCL dependerán de los requisitos del diseño [19].

Tabla 1.3. Comparación de valores de k para varios criterios de diseño [19]

Escenarios	k
k mínimo basado en PWM de actualización única	2
Valor medio de k en PWM de actualización doble	3.07
Valor medio de k en PWM de actualización simple	4.34
Amortiguamiento activo con capacitor (máximo amortiguamiento)	3.12
Red con carga en atraso (máximo amortiguamiento)	3.2 a 3.4
Frecuencia de resonancia crítica con PWM de actualización única	6
Frecuencia de resonancia crítica con PWM de actualización doble	3
Control de corriente del lado de la red (amortiguación pasiva para lograr la máxima amortiguación resonante)	Lo más pequeño posible
Control del lado del inversor (amortiguación pasiva para lograr la máxima atenuación armónica)	Cercano a 6

Para minimizar las pérdidas en el caso de amortiguación pasiva	Valores altos
Energía almacenada en el filtro	Lo más pequeño posible
Distorsión armónica total del filtro	Lo más alto posible
Tamaño de componente pasivo pequeño ($L_T C$)	Lo más pequeño posible

Cabe destacar en la Tabla 1.3 los parámetros de frecuencia de resonancia crítica. En la frecuencia de resonancia crítica f_c no es posible diseñar un regulador de corriente con un amortiguamiento efectivo [23], es por esta razón que se evitará trabajar con estos valores de k .

Por otra parte, la impedancia base de un filtro LCL viene dada por [19]:

$$Z_b = \frac{V_{gl-l}^2}{P_r} \quad (1.36)$$

Donde V_{gl-l} es el valor del voltaje línea-línea de la red y P_r la potencia activa nominal.

La capacitancia base de un filtro LCL viene dada por [19]:

$$C_b = \frac{1}{\omega_g Z_b} \quad (1.37)$$

Donde ω_g es la frecuencia de la red. La capacitancia del filtro se estima considerando la variación máxima del factor de potencia visto por la red, este parámetro tiene un valor máximo de $\alpha = 5\%$ para inversores conectados a la red [24]. Con lo que se puede llegar a la expresión:

$$C = \alpha C_b \quad (1.38)$$

Entendiéndose entonces que el valor de la capacitancia del filtro debería encontrarse dentro del rango:

$$0 < C \leq \alpha C_b \quad (1.39)$$

De igual manera, el valor de la inductancia L_T necesita cumplir con los límites de armónicos según el estándar IEEE-519 como se observa en la Tabla 1.2. Para calcular el valor de esta inductancia se parte de la función de transferencia del filtro mostrada en (1.29) y se desprecian los valores de la resistencia para considerar el peor caso de amortiguamiento. Luego, el inversor es considerado una fuente de armónicos $v_i(h)$ y los armónicos de corriente del lado de la red se representan como $i_g(h)$, entonces la ecuación (1.29) se convierte en (1.40).

$$\frac{i_g(h)}{v_i(h)} = \frac{1}{h^3 L_i L_g C + h(L_i + L_g)} \quad (1.40)$$

Evaluando a la frecuencia de conmutación $h = j2\pi f_{sw}$, se puede obtener el módulo de la ecuación (1.40) el mismo que representa el coeficiente de atenuación de corriente:

$$\left| \frac{i_g(h)}{v_i(h)} \right| = \frac{1}{2\pi L_T f_{sw} |1 - k^2|} \quad (1.41)$$

Debido a que, las limitaciones de la normativa respecto a armónicos está relacionada con la atenuación a la frecuencia de conmutación, el valor de la inductancia mínima L_T para un k y f_{sw} dados que cumpla con los límites de armónicos se puede calcular a partir de la ecuación [19]:

$$L_{Tmin} = \frac{1}{2\pi f_{sw} \left| \frac{i_g(h)}{v_i(h)} \right| |1 - k^2|} \quad (1.42)$$

A partir de la ecuación (1.42) se puede expresar la misma en términos p.u. (por unidad) y de esta manera llegar a la expresión [25]:

$$l_T = \frac{1}{h_{sw} \left| \frac{i_{pu}(h)}{v_{pu}(h)} \right| \cdot |1 - k^2|} \quad (1.43)$$

Donde $l_T = L_T/L_b$ es la inductancia por unidad, siendo L_b la inductancia base, misma que es igual a [19]:

$$L_b = \frac{Z_b}{2\pi f_{base}} \quad (1.44)$$

Siendo f_{base} la frecuencia base del filtro, es decir la frecuencia del voltaje de la red. Por otra parte, se tiene también que [19]:

$$h_{sw} = \frac{f_{sw}}{f_{base}} \quad (1.45)$$

$$i_{pu}(h) = \frac{i_g(h)}{i_g} \quad (1.46)$$

Donde i_g es la corriente nominal de la red, mientras que $i_{pu}(h)$ corresponde a los límites de armónicos impuestos en la Tabla 1.2. Adicionalmente se tiene que [19]:

$$v_{pu}(h) = \frac{v_i(h)}{v_g} \quad (1.47)$$

Donde $v_i(h)$ es el rizado de voltaje a la frecuencia de conmutación, mismo que se puede aproximar a $V_i/4$ [25] y v_g es el voltaje a la salida del inversor, el cual, se puede aproximar al voltaje de la red.

El valor nominal de la inductancia L_T puede calcularse a través de la expresión:

$$L_{Tmin} = \frac{l_T Z_b}{2\pi f_{base}} \quad (1.48)$$

Por lo tanto, debe cumplirse la condición $L_T \geq L_{Tmin}$ [19].

Como se mencionó anteriormente, además del diseño de las inductancias y capacitancias, es necesario adicionalmente incluir un método de amortiguamiento, en este caso se trabajará con un método pasivo a través de la inserción de una resistencia en serie con el capacitor, donde el valor de la resistencia se puede calcular como [24].

$$R_d = \frac{1}{3\omega_{res}C} \quad (1.49)$$

1.5.2.4. Procedimiento de dimensionamiento del Filtro LCL

A continuación, se resumen los pasos para el dimensionamiento de los parámetros de un filtro LCL en función de las variables y fórmulas antes mencionadas [19]:

1. Determinar el método de control: control de corriente del lado de la red o control de corriente del lado del inversor
2. Determinar el método de amortiguamiento: activo o pasivo, acorde a los requerimientos del sistema
3. Determinar el valor de u
4. Determinar el rango de k dependiendo de la actualización de PWM utilizada
5. Determinar el valor de k que corresponde a la frecuencia de resonancia, mismo que debe ser evitado.
6. Estimar el valor de k en base a los requerimientos del diseño listados en la Tabla 1.3. Se sugiere utilizar un promedio de los valores.
7. Determinar el valor del producto $L_T C$ utilizando la ecuación (1.31)
8. Determinar el valor mínimo por unidad de l_T utilizando la ecuación (1.43) para conocer los límites de los armónicos en base a la Tabla 1.2 y poder determinar el valor mínimo de inductancia L_{Tmin} .

9. Determinar el valor máximo de capacitancia $C_{m\acute{a}x}$ correspondiente al valor de $L_{Tm\acute{i}n}$ obtenido en el literal anterior.
10. Para el $L_{Tm\acute{i}n}$ calculado, determinar el límite máximo en la variación de factor de potencia visto por la red.
11. Basándose en las limitaciones requeridas en la producción de energía reactiva, determinar los valores finales de capacitancia e inductancia.
12. Analizar el rendimiento del filtro en función de la atenuación armónica y producción de potencia reactiva.
13. EL diseño físico de los inductores debe tomar en cuenta procedimientos que minimicen las pérdidas utilizando materiales (núcleos, cables, etc.) adecuados.

1.5.3. Técnicas de Control

El control PI tiene las ventajas de poseer una estructura simple y con alta confiabilidad. Sin embargo, el controlador PI presenta características dinámicas y estáticas débiles en el caso de perturbación de la carga o perturbación de los parámetros del sistema. Por su parte, la estrategia de control de modos deslizantes (SMC) tiene una alta robustez a la variación de parámetros y la insensibilidad a las perturbaciones, así como las ventajas de una respuesta rápida y una implementación física simple [26].

Considerando las ventajas y desventajas de cada uno de estos controladores, en el presente trabajo, se detallan a continuación las características principales de cada una de estas estrategias de control.

1.5.3.1. Controlador PI

Uno de los controladores más utilizados en sistemas de control es el controlador PID¹³, donde la señal de control es una combinación proporcional, integral y derivativa de la señal de actuación [26].

La señal proporcional relaciona la salida del controlador con su entrada a través de una ganancia que no es más que una constante proporcional. La parte integral por su parte produce una señal proporcional a la integral con respecto al tiempo de la señal de entrada del controlador, lo que mejora el error en estado estable en un orden, por ejemplo, si la entrada del error en estado estable es una constante el PI lo reduce a cero [26].

¹³ *Proportional Integral Derivative*

De manera general, se pueden resumir las ventajas y desventajas del controlador PI en [27]:

- Mejora el amortiguamiento y el sobrepaso máximo.
- Incrementa el tiempo de levantamiento
- Disminuye el ancho de banda
- Mejora el margen de ganancia, margen de fase y margen de resonancia
- Filtra el ruido de alta frecuencia

Para este proyecto se realizará un control de marco de referencia síncrono, también conocido como control dq , mismo que utiliza un módulo de transformación de referencias o coordenadas, por ejemplo, abc a dq , para transformar formas de onda de voltaje y/o corriente en un marco de referencia que gira de forma síncrona con el voltaje de red conocido con el nombre de Transformada de Park. Por medio de esta transformación, las variables de control se convierten en valores de continua; por lo tanto, el filtrado y el control se pueden lograr más fácilmente [27].

La estructura de control dq normalmente se asocia con controladores proporcionales-integrales PI ya que tienen un comportamiento satisfactorio al regular variables de continua [27].

La función de transferencia del controlador PI es:

$$G_{pi}(s) = K_p + \frac{K_i}{s} \quad (1.50)$$

El diagrama de bloques de un lazo de control con PI convencional se puede observar en la Figura 1.27.

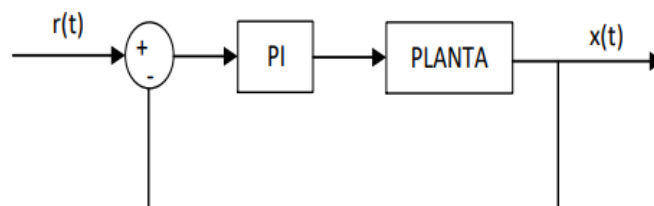


Figura 1.27. Diagrama de bloques para un controlador PI

Para mejorar el rendimiento del controlador PI en este tipo de estructuras de control se suele utilizar técnicas de acoplamiento cruzado, así como compensación *feedforward* de voltaje. En cualquier caso, con todas estas mejoras, la capacidad de compensación de los armónicos de orden bajo en el caso de los controladores PI es baja, constituyendo una

desventaja cuando se utiliza en sistemas conectados a la red con distorsión a baja frecuencia [27].

1.5.3.2. Controlador SMC

La estrategia de Control de Modos Deslizantes, SMC¹⁴ por sus siglas en inglés, es una técnica derivada del control de estructura variable, VSC¹⁵ por sus siglas en inglés, el cual fue estudiado originalmente por Utkin [28].

Es bien sabido que el control de modos deslizantes tiene la capacidad de ofrecer una respuesta transitoria rápida, alta solidez y complejidad reducida en la implementación de un sistema [29].

Para un sistema de control dado, representado por la ecuación de estados

$$\dot{x} = A(x) + B(x)u \quad (1.51)$$

Se requieren dos pasos para construir un sistema SMC [29]:

- 1) Diseñar una superficie deslizante $s(x) = 0$ diferenciable continua para representar una dinámica deseada del sistema.
- 2) Diseñar una estructura variable de control $u(x, t)$, tal que:

$$u(x) = \begin{cases} u^+(x) & s(x) > 0 \\ u^-(x) & s(x) < 0 \end{cases} \quad (1.52)$$

Cualquier estado x fuera de la superficie de deslizamiento, puede ser llevado hasta alcanzar esta superficie en un tiempo finito. Es en la superficie de deslizamiento, siguiendo la dinámica deseada del sistema, donde tiene lugar el modo de deslizamiento [29].

La Figura 1.28 muestra el principio práctico básico de un SMC. La línea negra del medio representa la superficie deslizante $s(x) = 0$, que como ya se mencionó, representa la dinámica deseada del sistema. La superficie deslizante divide el estado del sistema en dos partes diferentes, donde funciona un control $u(x)$ diferente en cada una de las partes. Bajo este sistema de control, la línea verde sólida representa la trayectoria del sistema. Cuando el estado x del sistema está en el punto A, la función de superficie deslizante $s(x)$ será menor que cero, y por ende $u^-(x)$ controlará el estado del sistema, de tal manera que moverá al mismo hacia la superficie deslizante. Cuando el estado del sistema alcanza la superficie de deslizamiento, cruza la superficie de deslizamiento bajo el control de $u^-(x, t)$,

¹⁴ *Sliding Mode Control*

¹⁵ *Variable Structure Control*

es entonces cuando el sistema cambia al control de $u^+(x, t)$ inmediatamente. El estado del sistema solo puede detenerse gradualmente en el punto B debido a la inercia. Posteriormente, el estado del sistema se mueve desde el punto B hacia el punto C, con la misma lógica de movimiento del punto anterior. Por otra parte, si la trayectoria del estado del sistema es inestable, sin el control de conmutación de una superficie a otra, la línea verde discontinua representaría esta inestabilidad [29].

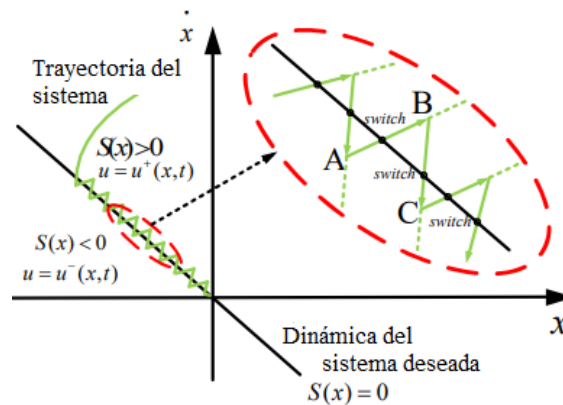


Figura 1.28. Principio básico de un sistema SMC [29]

1.5.3.2.1. Superficie Deslizante

Acorde a la literatura, hay varias propuestas del modelo de la superficie de deslizamiento. Entre las más utilizadas, en [30] se proponen como superficies de deslizamiento a las siguientes ecuaciones:

Superficie Derivativa

$$s(t) = \left(\frac{d}{dt} + \lambda \right)^{n-1} e(t) \quad (1.53)$$

Superficie Integral

$$s(t) = \left(\frac{d}{dt} + \lambda \right)^n \int e(t) dt \quad (1.54)$$

Donde $s(t)$ representa a la superficie de deslizamiento, λ es una constante definida como positiva, n es el orden del sistema y e es el error, mismo que se encuentra definido como la diferencia que existe entre la señal de salida y la señal de referencia del sistema.

1.5.3.2.2. Ley de Control

A partir de la Figura 1.28, para un sistema de dos dimensiones, con entrada de control escalar, el movimiento de estado del sistema se producirá cuando se aplique el algoritmo

de control de modos deslizantes. Este movimiento tiene dos componentes: una componente de alcanzabilidad y otra de deslizamiento. Así la ley de control de modos deslizantes $U(t)$ se puede expresar en función de estas dos componentes, como se observa en la siguiente ecuación [31]:

$$U(t) = U_C(t) + U_D(t) \quad (1.55)$$

Donde $U_D(t)$ representa la ley de control discontinua (o de alcanzabilidad) y $U_C(t)$ representa la ley de control continua (o de deslizamiento).

Ley de control continua

Anteriormente se mencionó que la dinámica del sistema debe permanecer sobre la superficie de deslizamiento, para esto, debe cumplirse con la siguiente condición:

$$\dot{s}(t) = 0 \quad (1.56)$$

Al derivar la superficie deslizante y la misma ser igual a cero, se asegura que la trayectoria que sigue al sistema sea tangente a la superficie. A partir de esta ecuación se puede determinar la parte continua de la ley de control del sistema.

Ley de control discontinua [32]

Esta ley es discontinua a través de la superficie deslizante $s(t)$, donde $U_D(t)$ se encuentra diseñada básicamente como una función similar a la de un relé, en otras palabras, se puede expresar a la ley de control como:

$$U_D(t) = K_D \text{sign}(s(t)) \quad (1.57)$$

Debido a que permite cambios con una hipotética velocidad infinitamente rápida entre las partes. Sin embargo, no es posible en la práctica lograr un control de conmutación tan alto debido a la presencia de retardos de tiempo finitos ya sean por limitaciones de los actuadores físicos o quizás por los cálculos de control. Por este motivo, se produce alrededor de la superficie deslizante lo que se conoce con el nombre de *chattering*, que no son más que oscilaciones o vibraciones alrededor de $s(t)$.

La agresividad para alcanzar la superficie de deslizamiento depende de la ganancia del control K_D , pero si el control es demasiado agresivo, este puede generar o incrementar el *chattering*. Para reducir el *chattering*, uno de los enfoques que se propone en la literatura es volver a conectar la función similar a un relé mediante una función de saturación o función sigmoide, misma que se expresa en la ecuación (1.58).

$$U_D(t) = K_D \frac{s(t)}{|s(t)| + \delta} \quad (1.58)$$

Donde K_D es la ganancia, parámetro de sintonización responsable de alcanzar la superficie y δ es el parámetro de sintonización responsable de reducir el problema de *chattering*.

En la Figura 1.29 se puede observar el diagrama de bloques para un controlador SMC convencional.

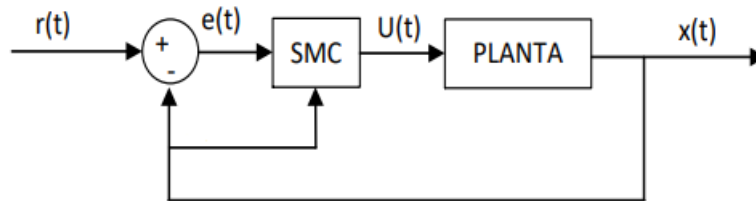


Figura 1.29. Diagrama de bloques para un controlador SMC convencional

1.5.4. Índices de desempeño

Para analizar el desempeño de un controlador se han establecido índices que permiten cuantificar este desempeño, mismos que se basan en un análisis del error. Dado que el error es función del tiempo que demora la respuesta, la suma de los errores viene representada por la integral del error, y es esta suma de errores la que debe minimizarse para obtener una mejor respuesta por parte del controlador [33]. A continuación, se detallan dos de los principales índices de desempeño:

1.5.4.1. Integral del valor absoluto del error (IAE)

La integral del error no se puede minimizar de manera directa, debido a que, al existir la posibilidad de contar con valores positivos y negativos, al integrar estos pueden eliminarse entre sí y el valor de la integral se vería reducido. Para evitar este inconveniente en la función del índice de desempeño, se propone el siguiente planteamiento [34]:

$$IAE = \int_0^{\infty} |e(t)| dt \quad (1.59)$$

1.5.4.2. Integral del cuadrado del error (ISE)

Otro de los planteamientos propuestos en [34], con el objetivo de evitar los errores negativos, se muestra a continuación:

$$ISE = \int_0^{\infty} e^2(t) dt \quad (1.60)$$

La diferencia entre el IAE y el ISE es que en el ISE se da mayor ponderación a errores grandes, mismos que se presentan generalmente al inicio de la respuestas (transitorio) y menor ponderación a los errores pequeños (final de la respuesta) [34].

En el presente capítulo se detalló la información teórica necesaria de los principales componentes de un VSI conectado a la red: inversor trifásico, técnicas de modulación y sincronización con la red, filtro LCL y técnicas de control PI y SMC. Toda esta investigación será de utilidad para continuar con el capítulo 2, donde se detallará el diseño y control de un inversor de voltaje trifásico de 0.5MW conectado a la red.

2. METODOLOGÍA

El presente proyecto se basa en un tipo de investigación aplicada donde a partir de la teoría se generará un conocimiento práctico. Es así, que las fases metodológicas de este trabajo se detallan a continuación:

En la fase teórica, se estudió el funcionamiento de un inversor trifásico de potencia, filtro LCL, técnicas de modulación y sincronización con la red PLL. Así mismo, se estudió dos técnicas de control para un inversor trifásico de potencia: Proporcional Integral PI y Control por Modos Deslizantes SMC.

En la fase de diseño, se diseña y modela un inversor incluido el filtro LCL para un inversor trifásico de 0.5MW. Además, se diseñan controladores para el inversor trifásico de 0.5 MW: Proporcional Integral PI y Control por Modos Deslizantes SMC.

En la fase de simulación, a través del software Simulink de Matlab se simula el inversor trifásico de 0.5MW, modulación SPWM y sincronizado con la red mediante un PLL. Posteriormente, se simula el sistema del inversor trifásico, incluyendo tanto el filtro LCL y las técnicas de control diseñadas: PI y SMC.

En la fase de validación, análisis de resultados y pruebas de funcionamiento, se comprueba el funcionamiento del sistema de potencia incluida la fase de control, a través de la simulación de inyección de potencia activa y reactiva a la red, así como el funcionamiento del sistema frente a perturbaciones de huecos de voltaje, considerando en todo momento que la corriente inyectada cumpla con el estándar IEEE519 para límites de corriente de armónicos. Finalmente, se realiza un análisis comparativo entre controladores a través de varios parámetros, así como el desempeño de estos empleando los índices: integral del error absoluto (IAE) e integral del error cuadrático (ISE).

2.1. Esquema general de control

En la Figura 2.1 se puede observar el esquema general de control del inversor con filtro LCL conectado a la red, así como de todos los componentes principales que intervienen en el funcionamiento del sistema.

En la Figura 2.2 se puede observar el diagrama de bloques principal, implementado en Simulink de Matlab, donde se puede observar cada una de las partes principales del sistema que son: modulación SPWM, inversor trifásico, filtro LCL, sincronización con la red a través de un PLL, mediciones de voltaje y corriente, sistema de control y la conexión a la red.

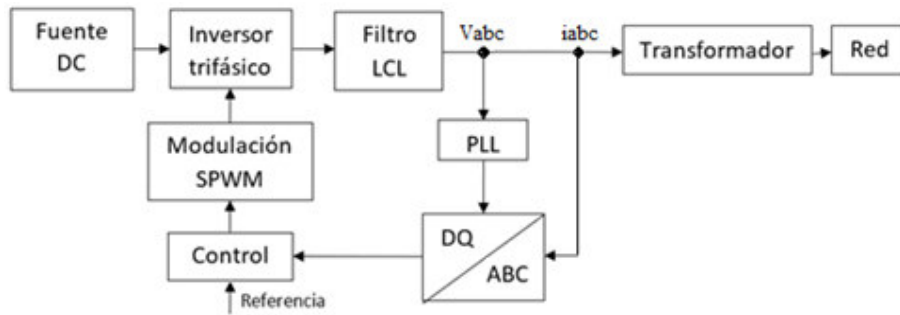


Figura 2.1 Esquema general de control

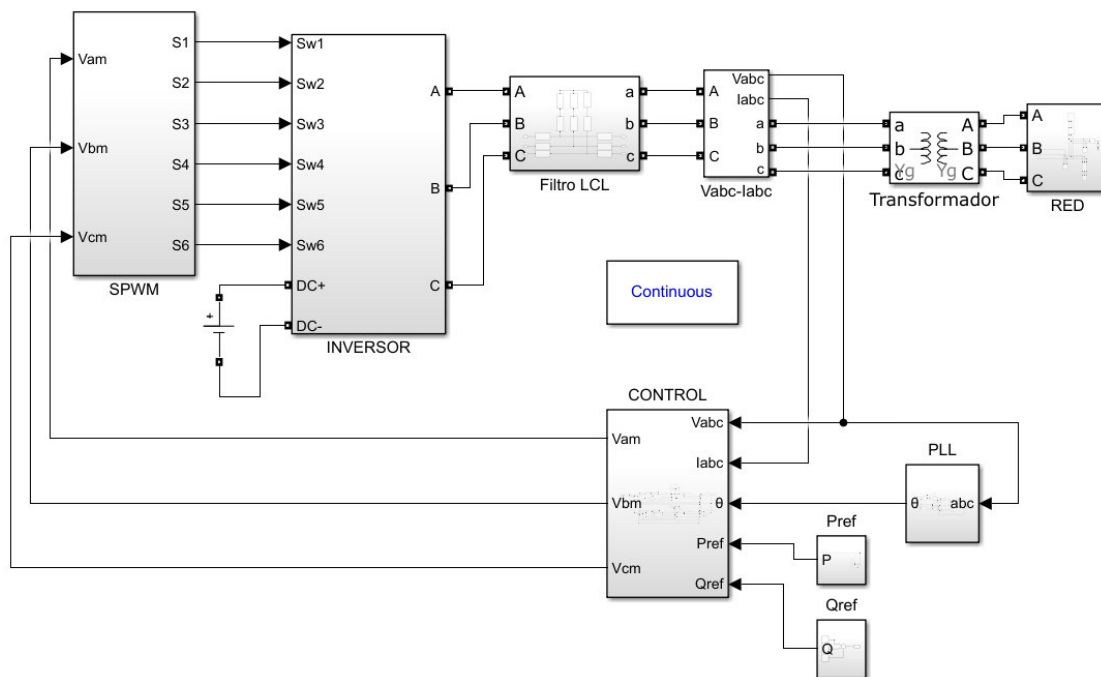


Figura 2.2. Estructura general del sistema implementado en Simulink de Matlab

A continuación, se procede a explicar cada uno de los parámetros considerados y diseñados para la implementación del sistema.

2.1.1. Diseño y modelo del inversor

A continuación, se detallan las características principales del inversor trifásico a implementarse, para posteriormente determinar el modelo en función de transferencia del filtro.

2.1.1.1. Diseño del inversor

Los parámetros principales del inversor trifásico se pueden observar en la Tabla 2.1. La potencia considerada para el diseño es de 0.5 MW, el voltaje del bus de continua es de 1000V, la frecuencia del voltaje de salida es de 60 Hz debido a su conexión con la red. La

técnica de modulación para activar el puente de IGBT trifásico es un SPWM con una frecuencia de conmutación de 10000 Hz.

Tabla 2.1. Parámetros del inversor trifásico

Potencia del inversor	0.5 MW
V_{DC}	1000 V
Frecuencia de salida	60 Hz
Modulación	SPWM
Frecuencia de conmutación	10000 Hz

La selección del bus de continua se realiza en base a pruebas de funcionamiento del inversor y el filtro para obtener la potencia nominal del inversor. El máximo aprovechamiento del bus de continua en función de la ecuación (1.3), se muestra a continuación:

$$V_{ab_{ef}} = 0.61V_i = 0.61 \times 1000$$

$$V_{ab_{ef}} = 610V \tag{2.1}$$

En la Figura 2.3, se puede observar la implementación del puente trifásico del inversor implementado en Simulink de Matlab.

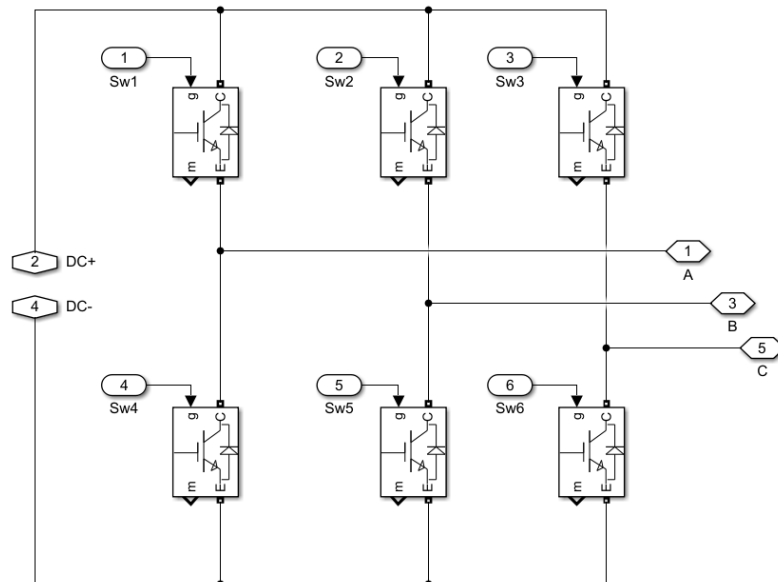


Figura 2.3. Inversor trifásico implementado en Simulink

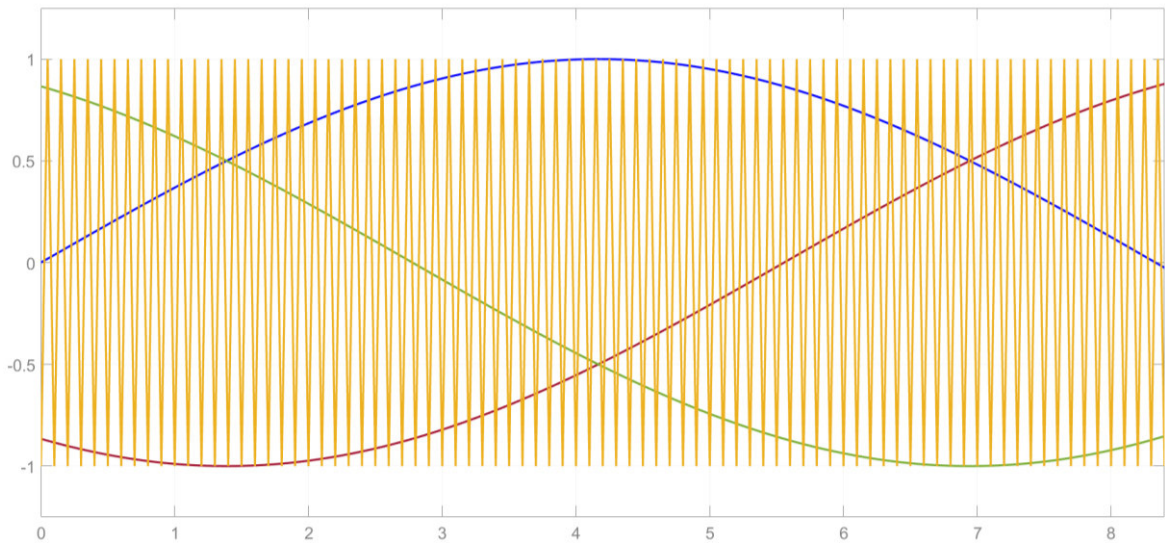


Figura 2.4. Generación de SPWM

Como ya se mencionó, la activación de los IGBT es a través de un SPWM, mismo que compara una señal triangular de 10 kHz con 3 formas de onda senoidales desfasadas y controladas para alcanzar los objetivos que establezca la ley de control.

2.1.1.2. Modelo en función de transferencia del inversor

Reemplazando el valor de la frecuencia de conmutación en la ecuación (1.1), se obtiene que la función de transferencia del inversor es:

$$G_{inv} = \frac{1}{1 + 7.5 \times 10^{-5}s} \quad (2.2)$$

2.1.2. Diseño y modelo del filtro LCL

A continuación, se detalla el diseño de los parámetros del filtro LCL a través de la selección adecuada de parámetros inductivos y capacitivos, para posteriormente determinar el modelo en función de transferencia de este.

2.1.2.1. Diseño del filtro LCL

Para determinar los parámetros del filtro, es necesario conocer las principales especificaciones del inversor mismas que se muestran en la Tabla 2.1. A partir de estos datos se procede a seguir el procedimiento, mismo que se mencionó en el capítulo anterior, para obtener los parámetros del filtro:

1. Determinar el método de control: control de corriente del lado de la red

2. Determinar el método de amortiguamiento: pasivo
3. Determinar el valor de u : $u = 1$ para obtener el producto mínimo de $L_T C$
4. Determinar el rango de k dependiendo de la actualización de PWM utilizada: se utilizará PWM de actualización doble por lo que el rango de k será $1 < k < 9.5$
5. Determinar el valor de k que corresponde a la frecuencia de resonancia, mismo que debe ser evitado: $k = 3$
6. Estimar el valor de k en base a los valores de la Tabla 1.3: En la Tabla 2.2 se muestran los valores escogidos para k acorde a los principales requerimientos del sistema y las recomendaciones de la Tabla 1.3, así como el promedio de los mismos.

Tabla 2.2. Valores de k acorde a los requerimientos del sistema

Escenarios	k
Valor medio de k en PWM de actualización doble	3.07
Control de corriente del lado de la red (amortiguación pasiva para lograr la máxima amortiguación resonante)	1
Para minimizar las pérdidas en el caso de amortiguación pasiva	9.5
Distorsión armónica total del filtro	9.5
Tamaño de componente pasivo pequeño ($L_T C$)	1
k promedio:	4.8

7. Determinar el valor del producto $L_T C$ utilizando la ecuación (1.31): $L_T C = 2.334 \times 10^{-8}$
8. Determinar el valor mínimo por unidad de l_T utilizando la ecuación (1.43) y poder determinar el valor mínimo de inductancia $L_{T\text{mín}}$ en base a la ecuación (1.48): en base a la Tabla 1.2 de límite de armónicos se dimensiona para el peor de los casos, es decir considerando $i_{pu}(h) = 0.3\%$ y de esta manera obtener los valores de $l_T = 0.1786$ y $L_{T\text{mín}} = 45.74 \mu H$
9. Determinar el valor máximo de capacitancia $C_{\text{máx}}$: $C_{\text{máx}} = 510 \mu F$
10. Para el $L_{T\text{mín}}$ calculado, determinar el límite máximo en la variación de factor de potencia visto por la red: $\alpha = 1.8\%$

11. Para reducir la máxima variación de factor de potencia, se recalcula para un $\alpha = 1\%$, obteniendo de esta manera: $C = 274 \mu F$ y $L_T = 85 \mu H$
12. Analizar el rendimiento del filtro en función de la atenuación armónica y producción de potencia reactiva: para los valores seleccionados de C y L_T , la variación de factor de potencia es del 1% por lo que se encuentra dentro de los límites, mientras que la distorsión armónica total de la corriente es de $THD = 1.43\%$ que de igual manera cumple con el estándar IEEE-519.

En la Figura 2.5 se observa la corriente a la salida del filtro, y en la Figura 2.6 se puede observar una gráfica con los porcentajes de armónicos respecto a la fundamental, así como la distorsión armónica total de la corriente antes mencionada.

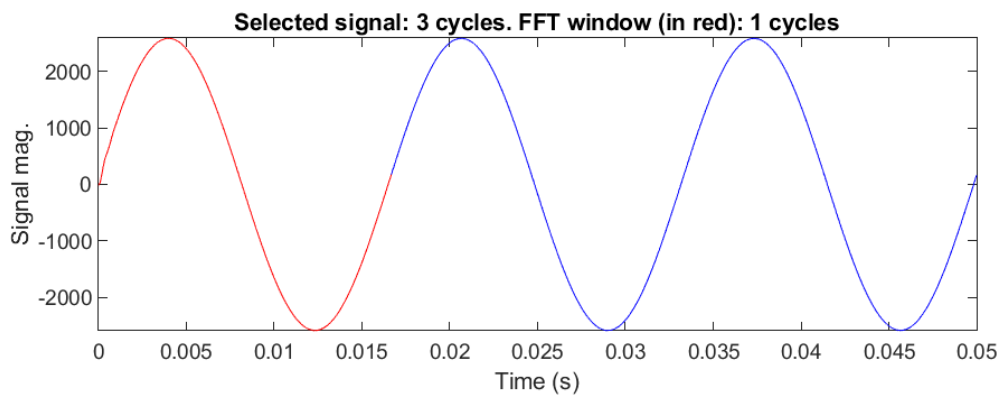


Figura 2.5. Corriente a la salida del filtro

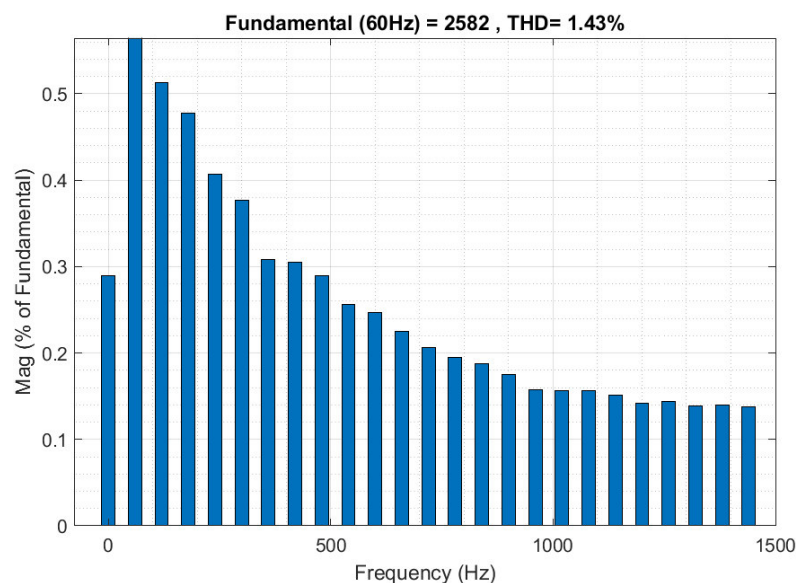


Figura 2.6. Porcentaje de armónicos de la corriente a la salida del filtro

13. El presente proyecto no será implementado físicamente.

Una vez concluido el procedimiento de dimensionamiento de los parámetros del filtro LCL, se puede observar los mismos en la Tabla 2.3.

Tabla 2.3 Parámetros del filtro LCL

u	1
k	4.8
L_i	$42.5 \mu H$
L_g	$42.5 \mu H$
C	$0.27 mF$
R_d	0.0927Ω

2.1.2.2. Modelo del filtro LCL

Para obtener la función de transferencia del filtro se utilizó la ecuación (1.29) y se reemplazaron los valores obtenidos en el diseño del filtro, obteniendo la siguiente función de transferencia:

$$G_{LCL} = \frac{2.546 \times 10^{-5}s + 1}{4.959 \times 10^{-13}s^3 + 2.164 \times 10^{-9}s^2 + 8.497 \times 10^{-5}s} \quad (2.3)$$

Adicionalmente, para corroborar que los datos teóricos que se demostró en la ecuación (1.29) así como los ya reemplazados en la ecuación (2.3) sean los correctos, se realizó la simulación del filtro en Simulink de Matlab y a través de la *App Model Linearizer* se obtiene la función de transferencia del circuito, así como su respectivo diagrama de bode.

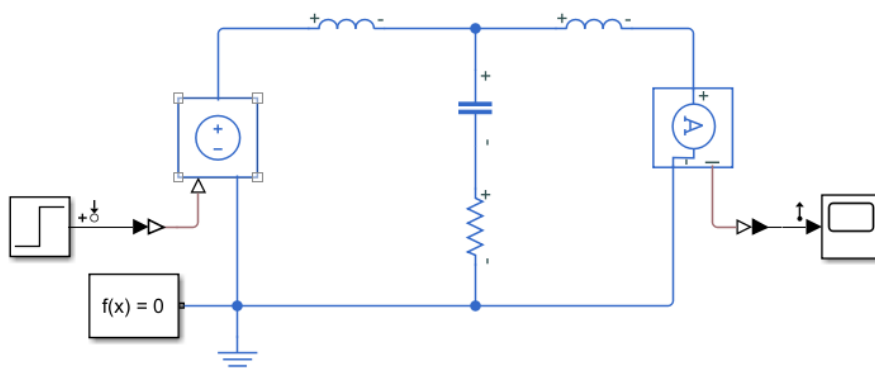


Figura 2.7 Circuito monofásico del filtro LCL en Simulink

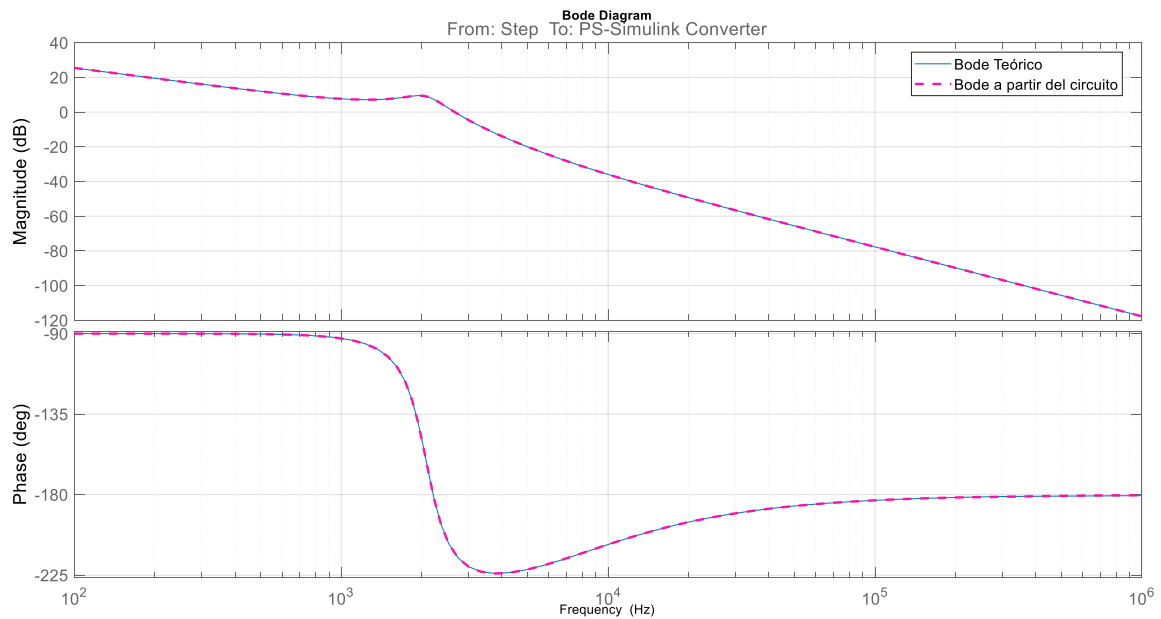


Figura 2.8 Diagramas de bode para el filtro LCL

En la Figura 2.8 se pueden observar los dos diagramas de bode obtenidos, el primero (color azul) a partir de la ecuación teórica mientras que el segundo (color rosado) fue obtenido a través de la simulación del circuito. Se puede observar que ambos coinciden, por lo que la función de transferencia obtenida del filtro es la correcta.

2.1.3. Diseño del PLL

Como ya se mencionó en el capítulo anterior, se ha escogido trabajar con un SRF-PLL debido a su buen funcionamiento, robustez y sencillez. En la Figura 2.9 se puede observar la implementación en Simulink de Matlab de un SRF-PLL.

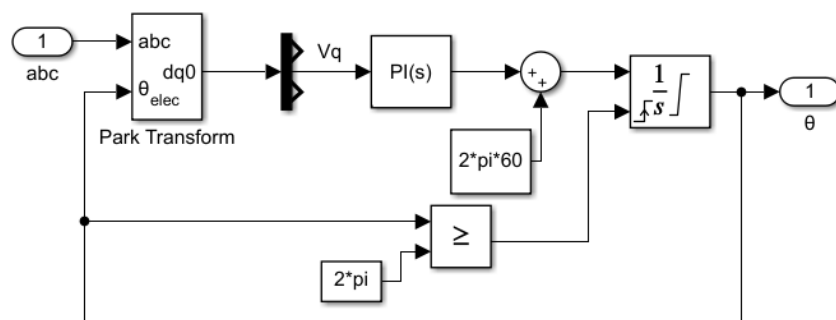


Figura 2.9. PLL implementado en Simulink

En la primera parte, para la detección de fase se realiza una transformación de marco de referencia de abc a dq . Para el filtro se utiliza un controlador PI y finalmente para el oscilador un integrador.

A pesar de la gran aceptación que tiene un SRF-PLL, la función de transferencia que describe la entrada y salida real del sistema no es tan fácil de hallar. Es por esto, que en [35] se realiza un análisis del SRF-PLL mismo que permite hallar una función de transferencia del PLL y esta pueda facilitar el diseño de los parámetros de sintonización del PI. La función de transferencia propuesta de lazo cerrado que relaciona la entrada y las fases estimadas del SRF-PLL puede expresarse como [35]:

$$G_{cl}(s) = \frac{\widehat{\theta}_1^+(s)}{\theta_1^+(s)} = \frac{k_p s + k_i}{s^2 + k_p s + k_i} \quad (2.4)$$

misma que es una función estándar de segundo orden con un cero. Siendo $k_{pll} = k_p = 2\zeta\omega_n$ y $k_i = \omega_n^2$, donde ζ es el factor de amortiguamiento y ω_n la frecuencia natural. A partir de estas ecuaciones se puede definir a k_i como [35]:

$$k_i = \frac{k_{pll}^2}{4\zeta^2} \quad (2.5)$$

Según la literatura, se recomienda utilizar el valor de $\zeta = 1/\sqrt{2}$ para un máximo sobre impulso del 5% y algunas veces $\zeta = 1$ [35]. Para este diseño se trabajará con $\zeta = 1/\sqrt{2}$.

Para elegir el valor de k_{pll} se puede hacer uso de la Figura 2.10, donde se observa el valor del tiempo de establecimiento $t_s \approx 4/k_{pll}$ para distintos valores de k_{pll} así como la atenuación proporcionada por el SRF-PLL a la frecuencia fundamental (en secuencia negativa) en función de k_{pll} . La Figura muestra claramente la compensación entre la capacidad de filtrado y el tiempo transitorio, y se puede utilizar para seleccionar un valor adecuado para k_{pll} [35].

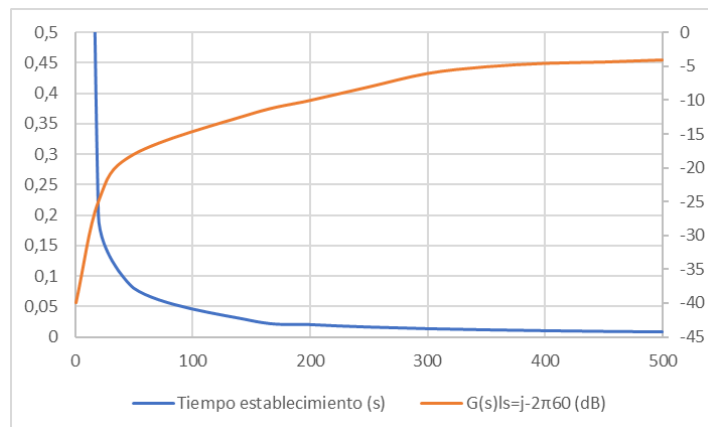


Figura 2.10. Tiempo de establecimiento (s) y atenuación (dB) en función de k_{pll}

Una vez que se determina el valor de k_{pll} , el siguiente paso es determinar la ganancia integral k_i en función de la ecuación (2.5). Para el presente diseño se selecciona un parámetro intermedio de $k_{pll} = 200$, y en función de este valor se obtiene $k_i = 20000$.

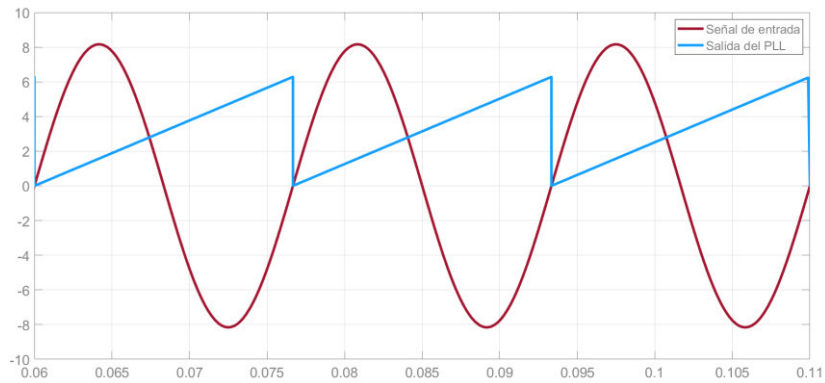


Figura 2.11. Entrada y Salida del PLL

En la Figura 2.11, se puede observar una de las pruebas del correcto funcionamiento del PLL al ver como la señal de salida del PLL sigue a la señal de entrada.

2.1.4. Diseño de las Técnicas de Control

A continuación, se presenta el diseño de las técnicas de control antes estudiadas para el control de un inversor trifásico conectado a la red, mismas que permitirán controlar la potencia activa y potencia reactiva inyectada a la red.

2.1.4.1. Diseño del Controlador PI

En la Figura 2.12, se puede observar el esquema general de control del sistema, mismo que a través de dos controladores PI efectuarán el control de las corrientes en marco de referencia dq : i_d e i_q .

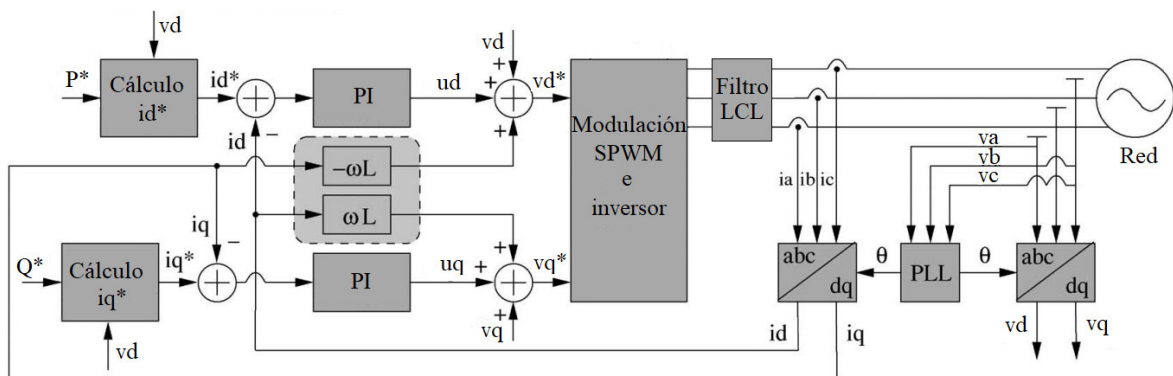


Figura 2.12. Estructura de control del inversor trifásico a través de controladores PI

Para analizar y diseñar la estructura de control, se utiliza la aproximación de que un filtro LCL converge a un filtro L simple a bajas frecuencias [36]. Esto se espera debido a que la parte LC del filtro LCL tiene como objetivo principal reducir la ondulación de la corriente de alta frecuencia, y la influencia del condensador puede despreciarse. En general, se puede modelar el sistema basado en filtro L para la parte de control y considerar la función de transferencia del filtro general con amortiguación para analizar estabilidad y dinámica del sistema [16].

Para continuar con la explicación del diagrama de control de la Figura 2.12, se analiza el modelo matemático de un sistema trifásico con filtro L como el de la Figura 2.13.

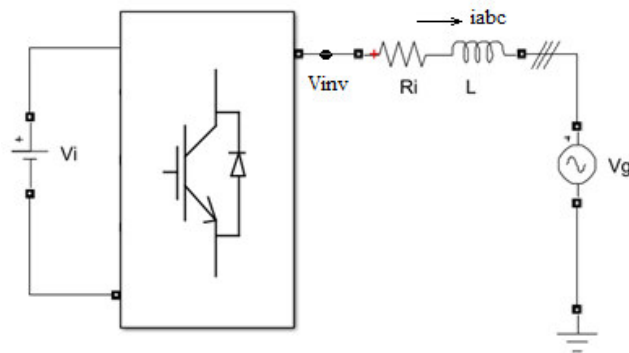


Figura 2.13. Estructura general de de un inversor trifásico con filtro L

Acorde a la Figura 2.13, la dinámica de las variables trifásicas del inversor en marco de referencia natural abc puede expresarse como:

$$v_{inv,abc} = R_i i_{abc} + L \frac{di_{abc}}{dt} + v_{g,abc} \quad (2.6)$$

Donde $v_{inv,abc}$ representa los voltajes a la salida del inversor, $v_{g,abc}$ los voltajes de la red, L y R_i los parámetros de inductancia y resistencia del filtro L respectivamente, y i_{abc} las corrientes de línea.

Aplicando la transformada de Clark a la ecuación (2.6) se obtiene la ecuación [37]:

$$v_{inv,\alpha\beta 0} = R_i i_{\alpha\beta 0} + L \frac{di_{\alpha\beta 0}}{dt} + v_{g,\alpha\beta 0} \quad (2.7)$$

Ahora, transformando la ecuación (2.7)(2.6) a coordenadas dq se obtiene la ecuación:

$$v_{inv,dq} = R_i i_{dq} + L \frac{di_{dq}}{dt} + v_{g,dq} + j\omega L i_{dq} \quad (2.8)$$

Separando los términos reales e imaginarios, el comportamiento dinámico en cada uno de los ejes de referencia síncrono se expresa como [37]:

$$R_i i_d + L \frac{di_d}{dt} = v_{inv,d} + \omega L i_q - v_{g,d} \quad (2.9)$$

$$R_i i_q + L \frac{di_q}{dt} = v_{inv,q} - \omega L i_d - v_{g,q} \quad (2.10)$$

A partir de las ecuaciones (2.9) y (2.10) y con el objetivo de obtener un control desacoplado de los términos i_d e i_q el voltaje del inversor debería controlarse de la siguiente manera:

$$v_{inv,d} = u_{c,d} - \omega L i_q + v_{g,d} \quad (2.11)$$

$$v_{inv,q} = u_{c,q} + \omega L i_d + v_{g,q} \quad (2.12)$$

Donde $u_{c,d}$ y $u_{c,q}$ son señales de control en el eje de coordenadas síncrono para cada eje de coordenadas dq , mismas que a partir de las ecuaciones (2.9) (2.10) (2.11) y (2.12) se pueden expresar como [37]:

$$u_{c,d} = R_i i_d + L \frac{di_d}{dt} \quad (2.13)$$

$$u_{c,q} = R_i i_q + L \frac{di_q}{dt} \quad (2.14)$$

De esta manera la función de transferencia del sistema desacoplado se expresa en la ecuación (2.15), que es una función de primer orden y puede ser controlada por PI simples de primer orden.

$$G_P(s) = \frac{i_d(s)}{u_{c,d}(s)} = \frac{i_q(s)}{u_{c,q}(s)} = \frac{1}{R + Ls} \quad (2.15)$$

Acorde al análisis realizado, el diagrama de bloques de la estructura de control con controladores PI se observa en la Figura 2.14, donde se incluyen los términos de acoplamiento, así como las realimentaciones de voltaje. Y en la Figura 2.15 se muestra el correspondiente lazo de control.

Adaptando las ecuaciones (2.11) y (2.12) a un sistema con filtro LCL, donde se considera $L = L_T = L_i + L_g$, así como las variables acorde a la Figura 2.12, se pueden reescribir las mismas como:

$$v_d^* = u_d - \omega L_T i_q + v_d \quad (2.16)$$

$$v_q^* = u_q + \omega L_T i_d + v_q \quad (2.17)$$

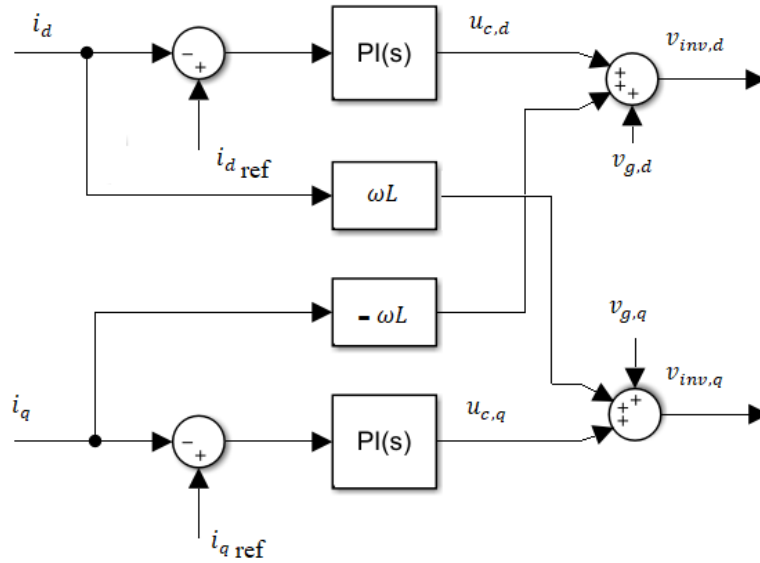


Figura 2.14. Diagrama de bloques de un controlador de corriente dq convencional

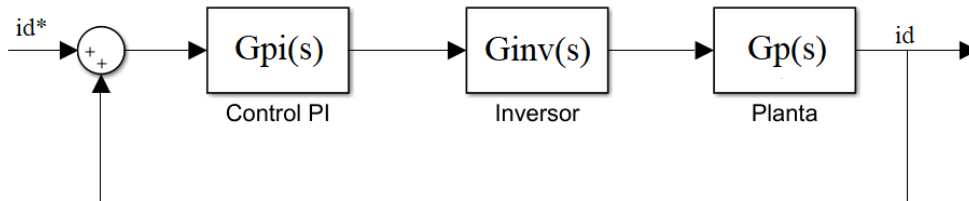


Figura 2.15. Diagrama de bloques de control de corriente en marco de referencia d

Finalmente, para determinar la constante de ganancia proporcional K_p y la constante de tiempo integral T_i del controlador de corriente PI se considera que las componentes del lazo de control tanto para el eje d como para el eje q tienen la misma dinámica, lo que implica que los parámetros del PI para cada uno serían los mismos [3]. En la Figura 2.15, se puede observar el diagrama de bloques para control de corriente en coordenada d , donde intervienen 3 funciones de transferencia. La función de la planta se define en la ecuación (2.15). Por otra parte, la función de transferencia del inversor se describe en la ecuación (1.1), mientras que la función de transferencia de un PI se describe en la ecuación (1.50). Tomando en cuenta las 3 funciones de transferencia, se define la función de transferencia del sistema en lazo abierto para la coordenada d como:

$$G_{d_{la}}(s) = G_{pi}(s) * G_{inv}(s) * G_p(s) = \frac{k_{pd}T_f(1 + T_id s)}{T_id L s(1 + 1.5T_s s)(1 + T_f s)} \quad (2.18)$$

Donde $T_f = L/R$ es la constante de tiempo del filtro [3]. A continuación, se obtiene la función de transferencia en lazo cerrado:

$$Gd_{lc}(s) = \frac{Gd_{la}(s)}{1 + Gd_{la}(s)} = \frac{k_{pd}T_f(1 + T_{id}s)}{T_{id}Ls(1 + 1.5T_s s)(1 + T_f s) + k_{pd}T_f(1 + T_{id}s)} \quad (2.19)$$

La ecuación (2.26) puede ser simplificada considerando que $T_{id} = T_f$ [3], de esta manera la función de transferencia queda expresada por la ecuación (2.20)

$$Gd_{lc}(s) = \frac{\frac{2k_{pd}}{3T_s L}}{s^2 + \frac{2}{3T_s}s + \frac{2k_{pd}}{3T_s L}} \quad (2.20)$$

Misma que representa un sistema típico de segundo orden, por lo que se puede determinar los parámetros:

$$\omega_n^2 = \frac{2k_{pd}}{3T_s L} \quad (2.21)$$

$$2\zeta\omega_n = \frac{2}{3T_s} \quad (2.22)$$

Los parámetros para el controlador digital PI, pueden sintonizarse con el criterio técnico óptimo donde se considera un factor de amortiguamiento del par de polos dominante con características $\zeta = 0.707$ para un sobre impulso del 5% [3]. De esta manera, se obtienen las ecuaciones (2.23)(2.24), considerando que los parámetros de K_p y K_i son los mismos para los dos ejes de coordenadas dq , así como representando la inductancia y resistencia equivalentes para un filtro LCL.

$$K_p = \frac{L_T}{3T_s} \quad (2.23)$$

$$K_i = \frac{R_{eq}}{3T_s} \quad (2.24)$$

Donde $L_T = L_i + L_g$, T_s es el tiempo de muestreo, al trabajar con un PI de actualización doble se considera $f_s = 2f_{sw}$ y $R_{eq} = R_i + R_g$.

Reemplazando los datos en las ecuaciones (2.23) y (2.24), los valores obtenidos de sintonización del PI se pueden observar en la Tabla 2.4.

Tabla 2.4. Parámetros de sintonización PI

	K_p	K_i
Eje d	0.56	933
Eje q	0.56	933

Un factor adicional para tomar en cuenta es que la modulación del SPWM se realiza a través de la comparación de las tres referencias de voltaje trifásico, con una triangular de amplitud igual a 1. Por este motivo se añade una ganancia K_m a la salida de las señales senoidales, misma que debe ser igual al inverso del máximo voltaje de aprovechamiento del bus de continua, acorde a la ecuación (1.3) y tomando en cuenta que $V_i = 1000V$, se tiene $K_m = 1/610$.

Para encontrar los valores de corriente deseados i_d^* e i_q^* se puede determinar las mismas a partir de una potencia activa y una potencia reactiva referencia o deseadas, y haciendo uso de las ecuaciones mostradas en (1.15) como se muestra a continuación:

$$i_d^* = \frac{2 P_{3\phi}^*}{3 v_d}$$

$$i_q^* = -\frac{2 Q_{3\phi}^*}{3 v_q}$$
(2.25)

2.1.4.2. Diseño del Controlador SMC

En la Figura 2.16, se puede observar el esquema general de control del sistema, mismo que a través de dos controladores SMC efectuarán el control de las corrientes en marco de referencia dq: i_d e i_q .

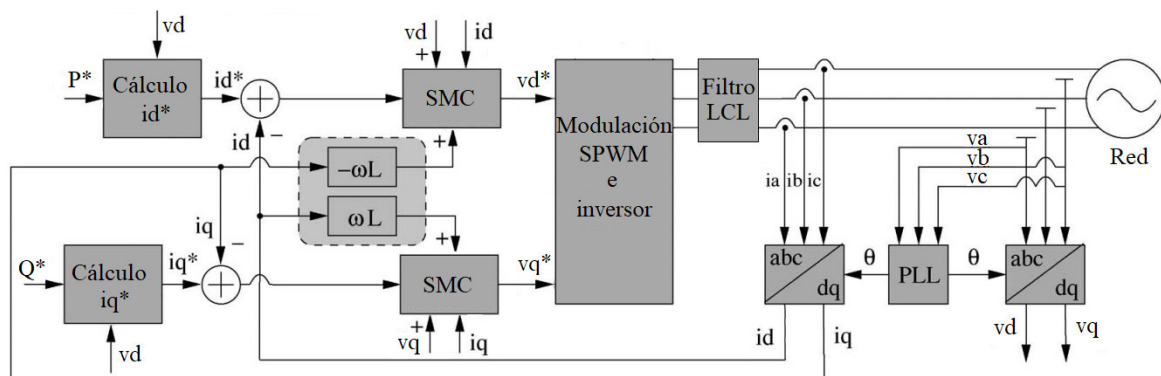


Figura 2.16. Estructura de control del inversor trifásico a través de controladores SMC

Para el diseño de la superficie deslizando, se trabaja con la superficie integral expresada en la ecuación (1.54). A partir de las ecuaciones (2.9) y (2.10), se observa claramente que

el sistema se encuentra representado por un sistema de primer orden, por este motivo, la superficie deslizante se define como:

$$s(t) = e(t) + \lambda \int e(t) dt \quad (2.26)$$

Para determinar la parte continua de la ley de control se procede a derivar la superficie deslizante como se muestra a continuación, y se iguala la misma a cero:

$$\dot{s}(t) = \dot{e}(t) + \lambda e(t) = 0 \quad (2.27)$$

A partir de la definición del error, y reemplazando esta definición en la ecuación (2.27), para el eje de coordenadas d se obtiene:

$$i_{dref} - \dot{i}_d + \lambda_d e_d(t) = 0 \quad (2.28)$$

Reemplazando \dot{i}_d , misma que se obtiene despejando de la ecuación (2.9), en la ecuación (2.28), se tiene:

$$i_{dref} - \frac{v_{td} - v_d + \omega L_T i_q - R_{eq} i_d}{L_T} + \lambda_d e_d(t) = 0 \quad (2.29)$$

El parámetro i_{dref} puede eliminarse, debido a que se trabajará con referencias tipo paso. Así, despejando v_{td} de la ecuación (2.29), se obtiene la ley continua de control:

$$U_{Cd}(t) = R_{eq} i_d + v_d - \omega L_T i_q + L_T \lambda_d e(t) \quad (2.30)$$

Se realiza un análisis similar para la coordenada q y se obtiene:

$$U_{Cq}(t) = R_{eq} i_q + v_q + \omega L_T i_d + L_T \lambda e(t) \quad (2.31)$$

Para la parte discontinua de la ley de control, para ambas coordenadas, se hace uso de la ecuación (1.58), con lo que la ley de control total para cada uno de los ejes dq queda expresado por las ecuaciones:

$$U_d(t) = R_{eq} i_d + v_d - \omega L_T i_q + L_T \lambda_d e(t) + K_{Dd} \frac{s_d(t)}{|s_d(t)| + \delta_d} \quad (2.32)$$

$$U_q(t) = R_{eq} i_q + v_q + \omega L_T i_d + L_T \lambda e(t) + K_{Dq} \frac{s_q(t)}{|s_q(t)| + \delta_q} \quad (2.33)$$

Para la sintonización de parámetros se utiliza un ajuste manual de los mismos, minimizando el ISE, donde los valores obtenidos se observan en la Tabla 2.5.

Tabla 2.5. Parámetros de sintonización SMC

	λ	K_D	δ
Eje d	1600	200	2000
Eje q	1600	200	2000

De igual manera que en el PI, se debe añadir una ganancia de modulación igual a $K_m = 1.6393 \times 10^{-3}$.

3. RESULTADOS Y DISCUSIÓN

3.1. Resultados

A continuación, se presentan los resultados obtenidos al aplicar las dos técnicas de control: PI y SMC a un inversor trifásico conectado a la red con filtro LCL. Se realizan pruebas de inyección de potencia activa y potencia reactiva a la red, así como la respuesta que tiene el sistema frente a perturbaciones de huecos de voltaje. Finalmente, se obtienen valores de los índices de desempeño: integral del error absoluto (IAE) e integral del error cuadrático (ISE) para comparar el desempeño de cada uno de los controladores en los casos de análisis.

3.1.1. Controlador PI

Una vez implementados cada uno de los componentes del sistema en Simulink de Matlab, se procede a probar el respectivo controlador con los valores de ganancia proporcional e integral diseñados, sin embargo, es necesaria una nueva calibración debido a que la señal de salida es de tipo sub amortiguada y si bien el tiempo de establecimiento es mínimo, se verifica que la señal de control es muy agresiva lo que puede ocasionar problemas al sistema y elementos finales de control. Por este motivo, a través de la función *sisotool* de Matlab, y haciendo un ajuste manual para minimizar el ISE, se obtienen nuevos parámetros para el PI, los cuales se pueden observar en la Tabla 3.1.

Tabla 3.1. Parámetros de nueva sintonización del PI

	K_p	K_i
Eje d	0.12	358
Eje q	0.12	358

Una vez recalibrado el sistema con los nuevos parámetros, se procede a realizar varias pruebas de funcionamiento del sistema, así como del controlador en cada una de las ramas en marco de referencia dq .

3.1.1.1. Inyección de Potencia Activa y Reactiva a la red

Para las pruebas de inyección de potencia activa y potencia reactiva a la red se proponen 3 valores para cambios de referencia de P y Q, como se observa en la Tabla 3.2. A continuación, se presentan los resultados de las principales variables que intervienen en el sistema.

Tabla 3.2. Valores de potencia de P y Q propuestos

CASO	P(W)	Q (VAR)	Instante de tiempo
1	300000	200000	t = 0ms
2	500000	0	t = 25ms
3	200000	-150000	t = 50ms

Las variables por controlar son las corrientes en marco de referencia dq . En la Figura 3.1, se puede observar la corriente medida i_d a la salida del filtro, así como la corriente de referencia i_d^* , mismas que dependen de los valores propuestos de potencia activa y reactiva de referencia. Acorde a la gráfica se puede observar que, en cada uno de los cambios de referencia de potencia, la señal de corriente medida sigue a la señal de corriente referencia después de cierto tiempo.

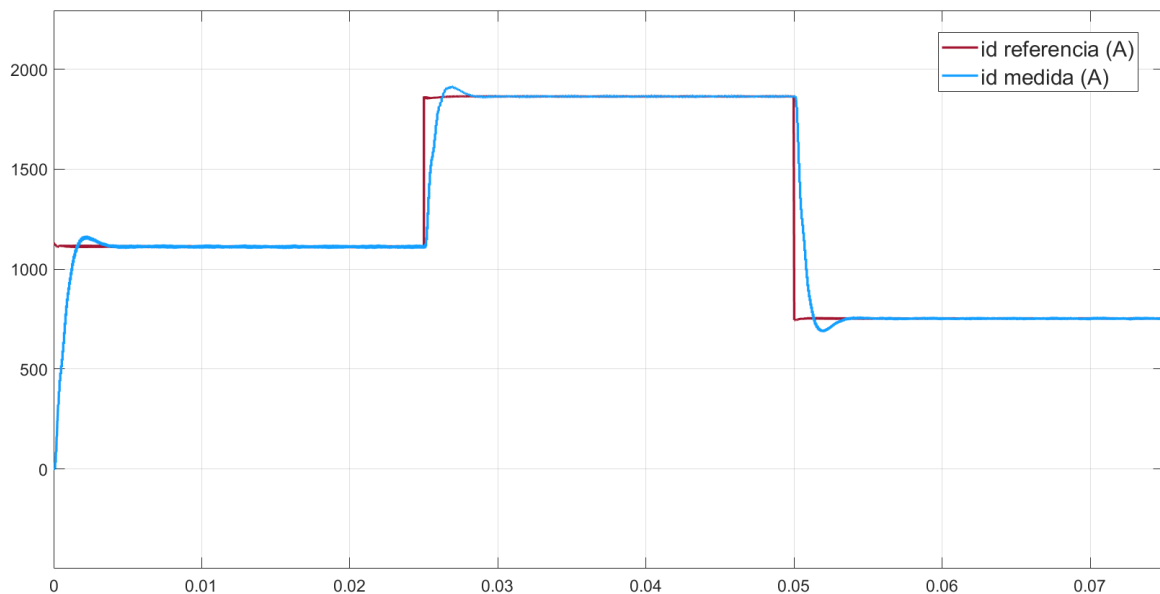


Figura 3.1. Respuesta de corriente i_d - Control PI

Para un análisis más detallado de la Figura 3.1, se obtienen datos de máximo sobre impulso (MP) y tiempo de establecimiento (t_{es}) para cada uno de los 3 cambios de referencia de potencia activa y potencia reactiva. Estos valores se pueden observar en la Tabla 3.3. Posteriormente, estos valores se compararán con los valores de MP y t_{es} obtenidos cuando se utiliza un controlador SMC.

Tabla 3.3. Valores de t_{es} y MP para respuesta de corriente i_d

CASO	t_{es} (ms)	MP (%)
1	3.2	4.85
2	3	6.65
3	3	5.9

A continuación, a través de la implementación de las ecuaciones (1.59) y (1.60) en Simulink, se realiza el cálculo de los índices de desempeño integral del error absoluto (IAE) e integral del error cuadrático (ISE) para el error de i_d . Mismos que se pueden observar en la Tabla 3.4.

Tabla 3.4. Índices de desempeño i_d – Control PI

ISE	IAE
1212	2.03

Con los datos obtenidos en la Tabla 3.4 se obtiene un primer valor parcial de los índices de desempeño del controlador PI de la señal de corriente i_d . Posteriormente, estos datos serán sumados con los índices de desempeño del controlador PI de la señal de corriente i_q y así obtener un valor final que represente el ISE e IAE del controlador PI del sistema.

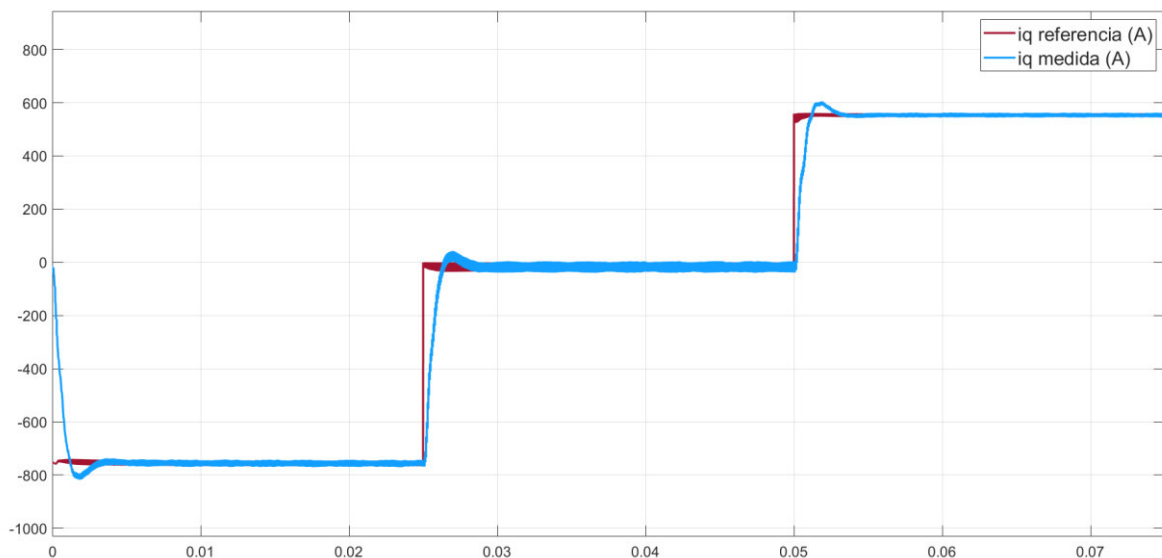


Figura 3.2. Respuesta de corriente i_q – Control PI

En la Figura 3.2, se observa la corriente medida i_q a la salida del filtro, así como la corriente de referencia i_q^* frente a los 3 cambios en los valores de potencia activa y reactiva de

referencia. De igual manera que para la corriente i_d , se puede observar que, en cada uno de los cambios de referencia de potencia, la señal de corriente medida sigue a la señal de corriente referencia.

Así mismo, para un análisis más detallado de la Figura 3.2, se obtienen datos de MP y t_{es} para cada uno de los 3 cambios de referencia de P y Q. Estos valores se observan en la Tabla 3.5. A partir de los datos obtenidos, posteriormente, se compararán los mismos con los datos obtenidos al utilizar un controlador SMC.

Tabla 3.5. Valores de t_{es} y MP para respuesta de corriente i_q

CASO	t_{es} (ms)	MP (%)
1	2.95	8.5
2	3	5.3
3	2.9	7.8

Al igual que para la corriente i_d , se realiza el cálculo de los índices de desempeño ISE e IAE. Mismos que se pueden observar en la Tabla 3.6.

Tabla 3.6. Índices de desempeño i_q – Control PI

ISE	IAE
523	1.36

A partir de los datos obtenidos en la Tabla 3.4 y Tabla 3.6, se suman los índices de desempeño obtenidos por cada uno de los controladores de corriente en cada uno de los ejes de coordenadas dq y se obtienen los índices de desempeño totales del sistema, mismos que se pueden observar a continuación:

Tabla 3.7. Índices de desempeño del controlador PI

ISE Total	IAE Total
1735	3.39

A partir de los datos obtenidos en la Tabla 3.7 se realizará posteriormente una comparación con los datos obtenidos al utilizar un controlador SMC y de esta manera verificar que controlador presenta un mejor (menor) índice de desempeño.

Por otra parte, en la Figura 3.3, se puede observar la potencia activa de referencia (o deseada) así como la potencia activa medida a la salida del filtro, frente a los 3 diferentes

valores de potencia activa propuestos en la Tabla 3.2. Acorde a la gráfica, se observa que la potencia activa medida, es decir la potencia inyectada a la red, sigue a la potencia referencia, cumpliéndose el objetivo de inyectar a la red una potencia activa deseada.

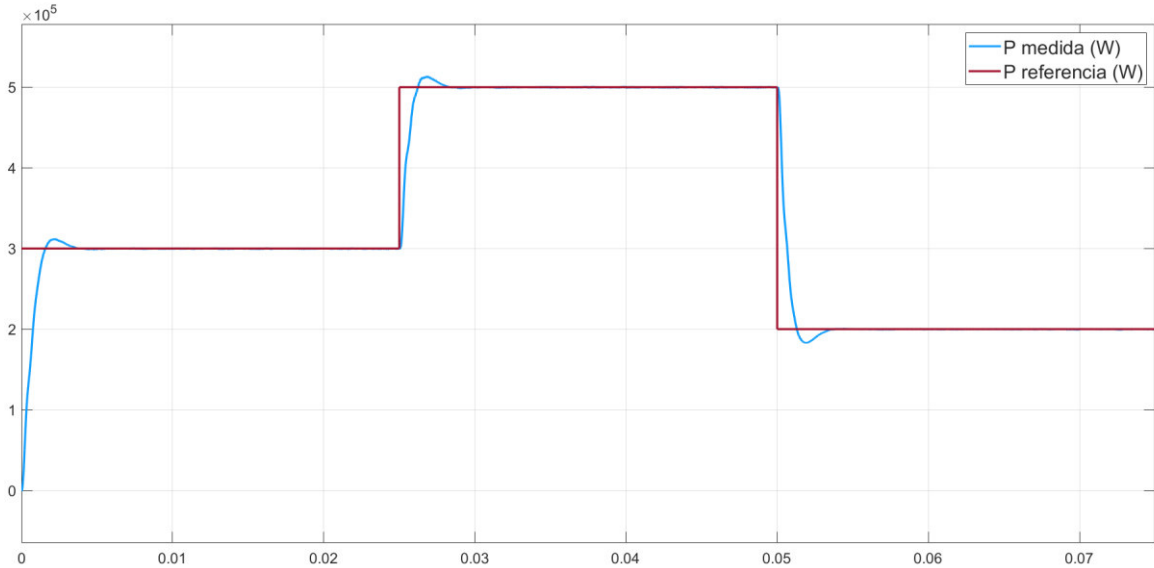


Figura 3.3. Respuesta de potencia activa – Control PI

En la Figura 3.4, por otra parte, se puede observar la potencia reactiva de referencia (o deseada) así como la potencia reactiva medida a la salida del filtro, frente a los 3 diferentes valores de potencia reactiva propuestos en la Tabla 3.2. Al igual que para la potencia activa, se observa que la potencia reactiva medida, es decir la potencia reactiva inyectada a la red, sigue a la potencia referencia, cumpliéndose el objetivo de inyectar a la red una potencia reactiva deseada.

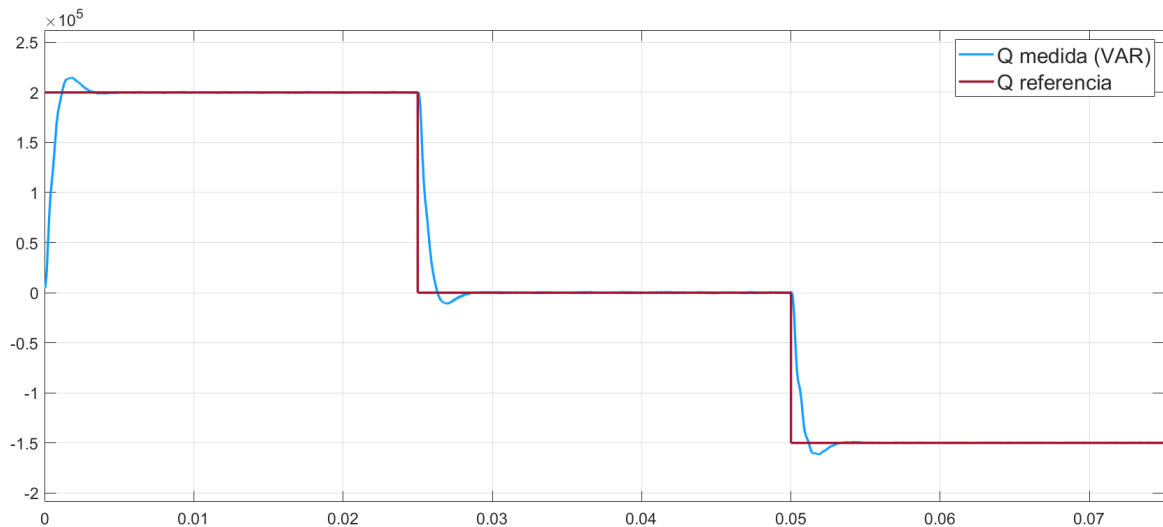


Figura 3.4. Respuesta de potencia reactiva – Control PI

A continuación, en la Figura 3.5, se puede observar las corrientes de línea trifásicas a la salida del filtro frente a las 3 variaciones de referencia de potencia activa como de potencia reactiva realizadas en el sistema. En la gráfica se puede observar que, en los tiempos de cambios de referencia, las 3 corrientes cambian su valor pico, así como de ángulo de desfase para cumplir con los valores de P y Q deseados.

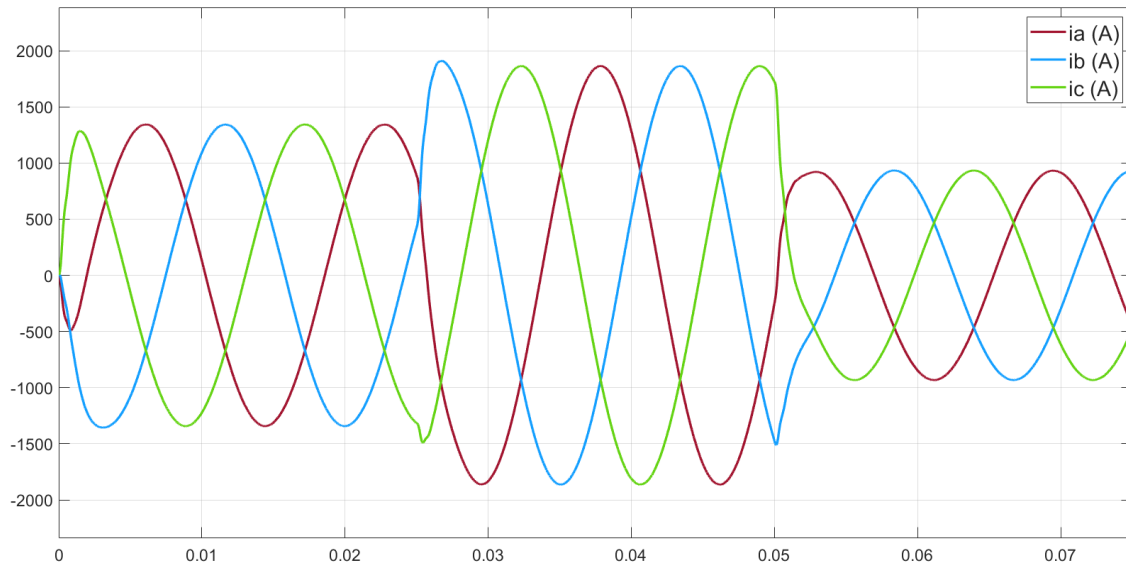


Figura 3.5. Corrientes de línea – Control PI

Adicionalmente, a través del bloque *Powergui* de Simulink y la herramienta *FFT Analysis*, se obtienen datos en estado estable de la distorsión armónica total de la corriente en cada uno de los 3 cambios de referencia de potencia. Estos resultados pueden observarse en la Tabla 3.8. Por otra parte, en el Anexo A se puede encontrar el detalle de los datos obtenidos de THD.

Tabla 3.8. Distorsión Armónica Total de corrientes de línea

CASO	I fundamental (A pico)	THD (%)
1	1343	0.19
2	1863	0.17
3	933.1	0.20

3.1.1.2. Respuesta frente a huecos de voltaje

Para comprobar la robustez del sistema frente a perturbaciones, se procede a realizar pruebas de huecos de voltaje con los controladores PI de corriente para una potencia activa

y reactiva dadas, en este caso se consideró una P deseada de 300 [kW] y una Q deseada de 200 [kVAR]. Adicionalmente se evalúa los índices de desempeño IAE e ISE.

Para efectuar estas pruebas, en un tiempo cualquiera dado, se reduce bruscamente el voltaje de la red en un 20% durante un tiempo de 200 ms, como se puede observar en la Figura 3.6.

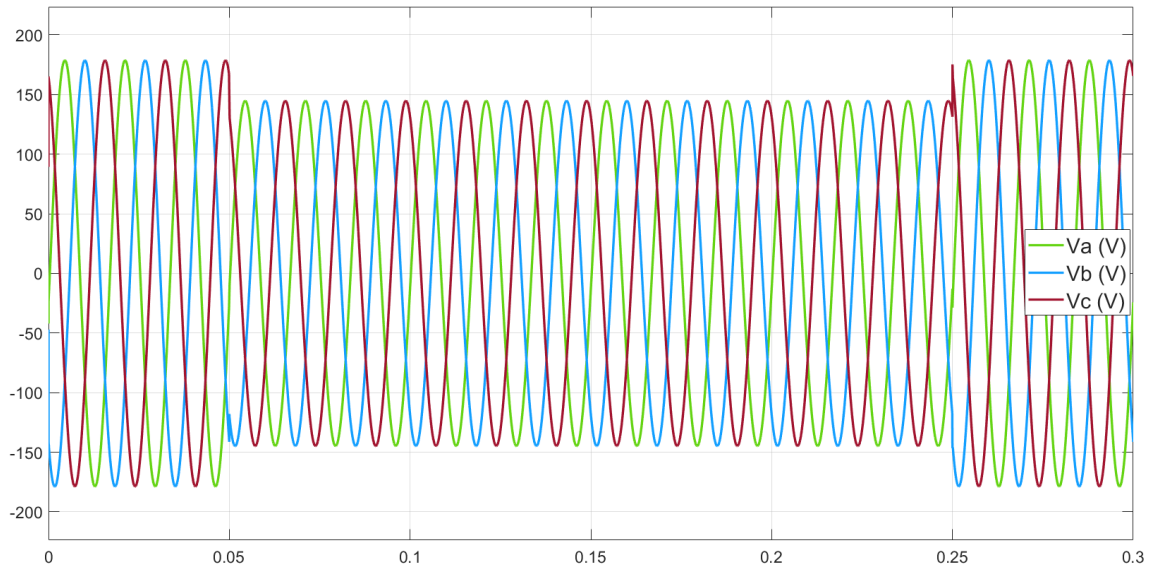


Figura 3.6. Hueco de voltaje en la red

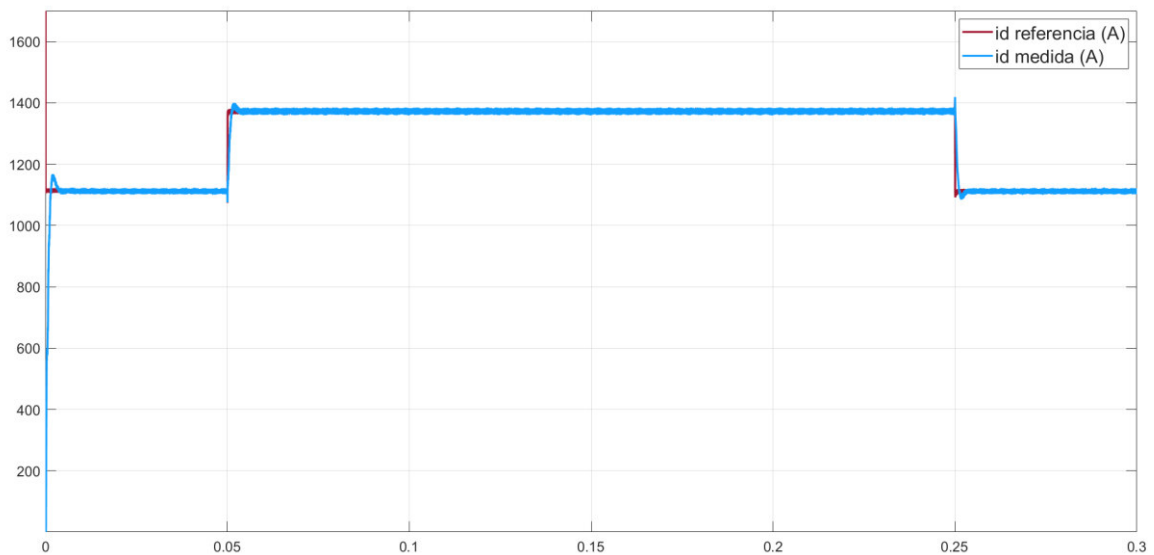


Figura 3.7. Respuesta de i_d frente a hueco de voltaje – Control PI

En la Figura 3.7, se puede observar como la corriente medida i_d , así como la corriente de referencia i_d^* , cambian su estado para compensar la caída de voltaje provocada en la red y mantener la inyección de potencia activa y reactiva deseadas. Acorde a la gráfica se puede observar que, en cada uno de los cambios de referencia, la señal de corriente medida sigue a la señal de corriente referencia.

Así mismo, para un análisis más detallado de la Figura 3.7, se obtienen datos de MP y t_{es} antes, durante y después de la perturbación de hueco de voltaje. Estos valores se observan en la Tabla 3.9. Posteriormente, estos datos se compararán con los datos obtenidos al utilizar un controlador SMC.

Tabla 3.9. Valores de t_{es} y MP para respuesta de corriente i_d

	t_{es} (ms)	MP (%)
Antes	3.05	4.7
Durante	3.05	10.9
Después	3	10.1

Adicionalmente, se realiza el cálculo de los índices de desempeño. Mismos que pueden observarse en la Tabla 3.10.

Tabla 3.10. Índices de desempeño i_d frente a huecos de voltaje – Control PI

ISE	IAE
789	1.56

Al igual que se hizo en el análisis de inyección de potencia activa y reactiva, con los datos obtenidos en la Tabla 3.10 se obtiene un primer valor parcial de los índices de desempeño del controlador PI de la señal de corriente i_d . Posteriormente, estos datos serán sumados con los índices de desempeño del controlador PI de la señal de corriente i_q y así obtener un valor final que represente el ISE e IAE del controlador PI del sistema frente a huecos de voltaje.

De igual manera que en el eje de referencia d , en la Figura 3.8, se puede observar como la corriente medida i_q , así como la corriente de referencia i_q^* modifican su valor para compensar la perturbación de hueco de voltaje. Así mismo se observa como la señal medida sigue a la señal de referencia, antes, durante y después del hueco de voltaje.

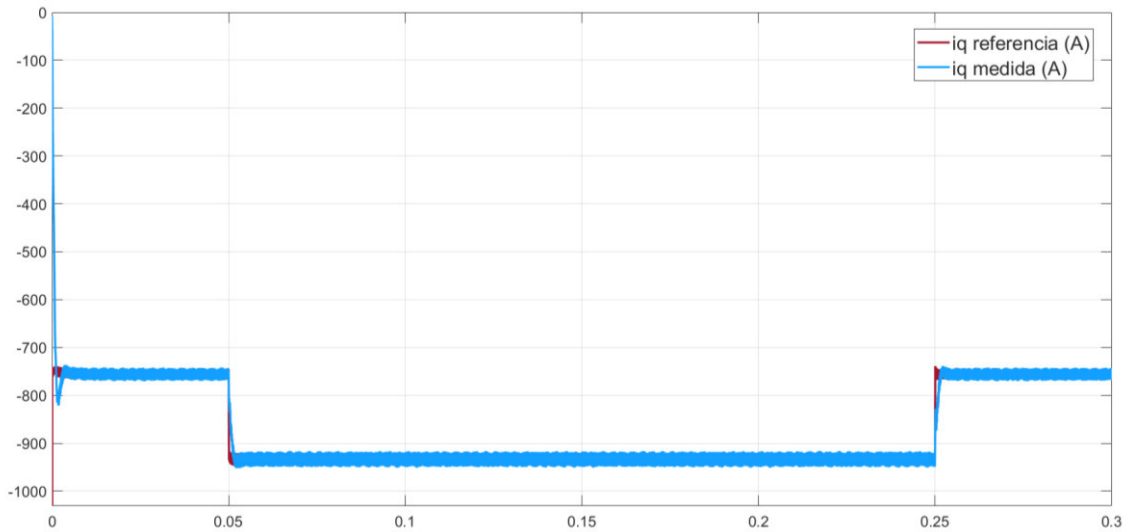


Figura 3.8. Respuesta de i_q frente a hueco de voltaje – Control PI

Así mismo, para un análisis más detallado de la Figura 3.8, se obtienen datos de MP y t_{es} antes, durante y después del hueco de voltaje. Estos valores se observan en la Tabla 3.11. Posteriormente, estos datos se compararán con los valores obtenidos al utilizar un controlador SMC.

Tabla 3.11. Valores de t_{es} y MP para respuesta de corriente i_q

	t_{es} (ms)	MP (%)
Antes	3.05	9.03
Durante	3.4	9.3
Después	3.44	7.7

Por otra parte, en la Tabla 3.12 se pueden observar los índices de desempeño obtenidos, relacionados con el control de i_q .

Tabla 3.12. Índices de desempeño i_q frente a huecos de voltaje – Control PI

ISE	IAE
287	1.1

Una vez obtenidos los índices de desempeño para la corriente i_q en la Tabla 3.12, se suma los mismos con los índices de error obtenidos en la Tabla 3.10, y de esta manera se obtienen los índices de desempeño totales para el control de corriente del sistema. Mismos que se observan a continuación:

Tabla 3.13. Índices de desempeño del controlador PI frente a huecos de voltaje

ISE Total	IAE Total
1076	2.66

A partir de los datos obtenidos en la Tabla 3.13 se realizará posteriormente una comparación con los datos obtenidos al utilizar un controlador SMC y de esta manera verificar que controlador presenta un mejor (menor) índice de desempeño frente a perturbaciones de huecos de voltaje.

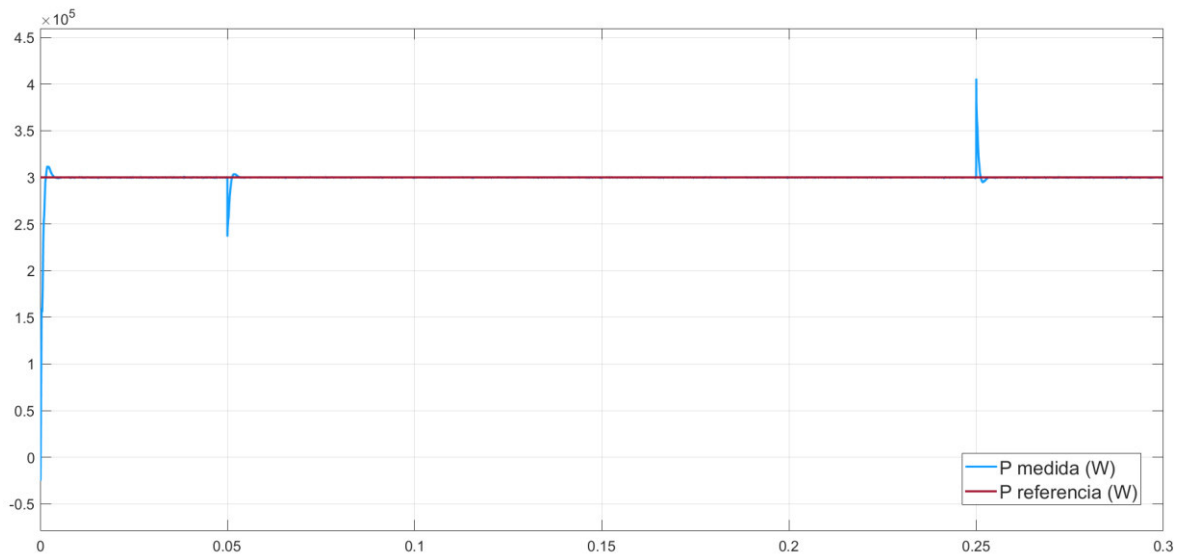


Figura 3.9. Potencia activa frente a hueco de voltaje – Control PI

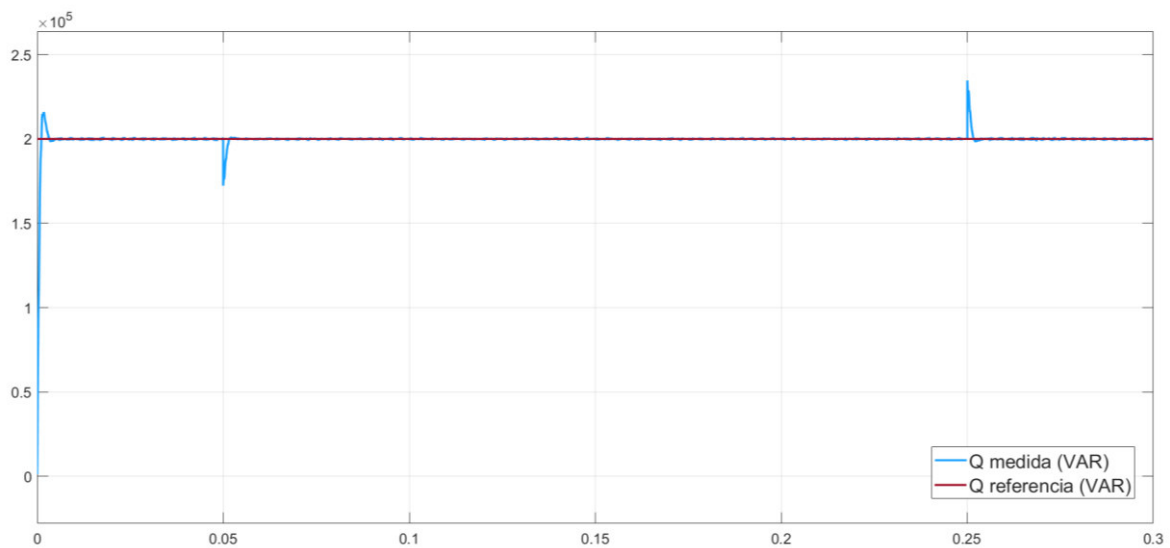


Figura 3.10. Potencia reactiva frente a hueco de voltaje – Control PI

En la Figura 3.9 y Figura 3.10, se observan los valores de potencia activa y potencia reactiva respectivamente, tanto los valores medidos, así como las potencias de referencia y como estas variables responden a huecos de voltaje. En ambas figuras se puede observar como la potencia tanto activa como reactiva siguen al valor de referencia antes, durante y después de la perturbación de hueco de voltaje en un tiempo determinado.

Finalmente, en la Figura 3.11, se puede observar las corrientes de línea trifásicas a la salida del filtro frente a la perturbación de hueco de voltaje y como esta eleva su valor para compensar esa caída de voltaje en la red. Acorde a la gráfica, se observa cómo las 3 corrientes elevan o disminuyen su valor pico para compensar la caída de voltaje de la red producida por la perturbación de hueco de voltaje.

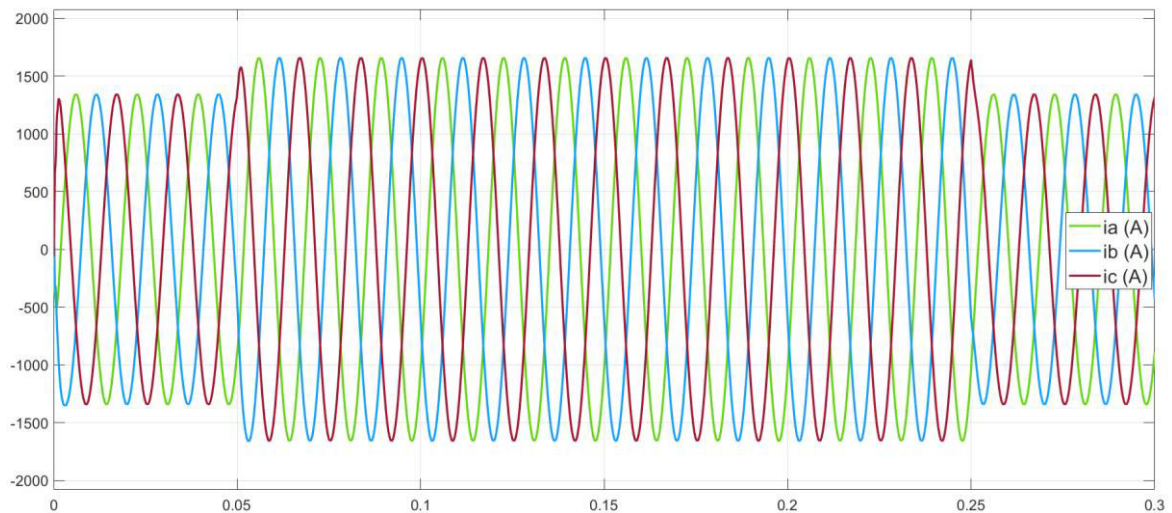


Figura 3.11. Corrientes de línea frente a hueco de voltaje – Control PI

Adicionalmente, a través del bloque *Powergui* de Simulink y la herramienta *FFT Analysis*, se obtienen datos en estado estable de la distorsión armónica total de la corriente antes, durante y después de la perturbación de hueco de voltaje. Estos resultados pueden observarse en la Tabla 3.14. Por otra parte, en el Anexo A se puede encontrar el detalle de los datos obtenidos de THD.

Tabla 3.14. Distorsión Armónica Total de corrientes de línea frente a huecos de voltaje

CASO	I fundamental (A pico)	THD (%)
Antes	1343	0.18
Durante	1659	0.16
Después	1343	0.19

3.1.2. Controlador SMC

Al igual que para el controlador PI, una vez implementados cada uno de los componentes del sistema en Simulink de Matlab, así como calibrado adecuadamente el controlador SMC, se procede a realizar varias pruebas de funcionamiento del sistema y del controlador, mismas que incluyen inyección de potencia activa y reactiva, así como pruebas del sistema frente a perturbaciones de huecos de voltaje.

3.1.2.1. Inyección de Potencia Activa y Reactiva a la red

Para las pruebas de inyección de potencia activa y reactiva a la red se proponen los mismos valores planteados en la Tabla 3.2, para una posterior comparación entre controladores. A continuación, se presentan los resultados de las principales variables que intervienen en el sistema.

En la Figura 3.12, se puede observar la corriente medida i_d a la salida del filtro, así como la corriente de referencia i_d^* , que como se mencionó anteriormente, depende de los valores propuestos de potencia activa y reactiva de referencia. Acorde a la Figura se observa como la señal de corriente medida sigue a la señal de referencia hasta estabilizarse en un cierto tiempo.

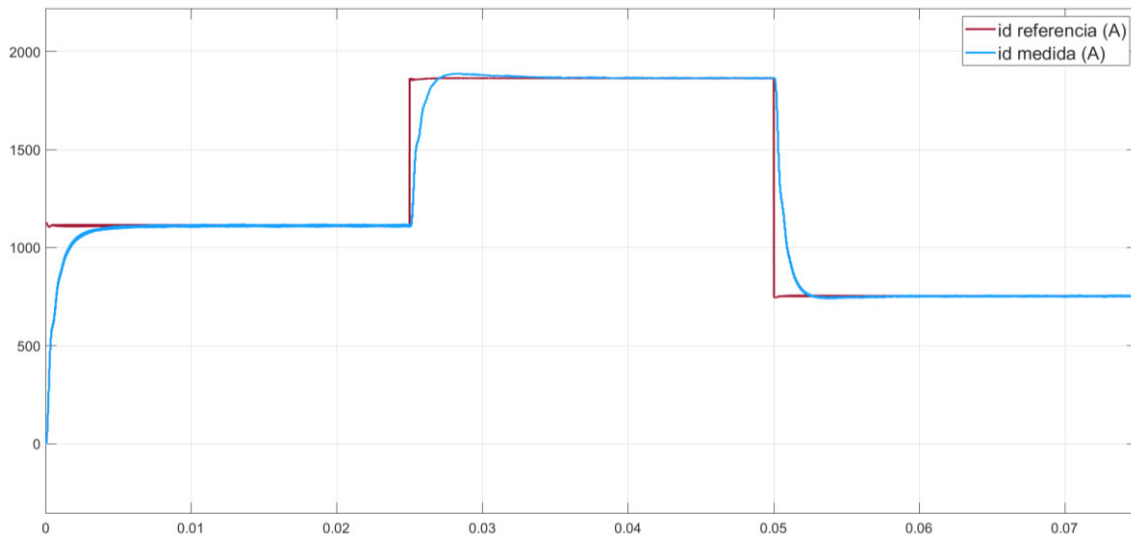


Figura 3.12. Respuesta de corriente i_d – SMC

Para un análisis más detallado de la Figura 3.12, se obtienen datos de MP y t_{es} para cada uno de los 3 cambios de referencia. Estos valores se observan en la Tabla 3.15. Posteriormente estos valores obtenidos se compararán con los datos obtenidos previamente al trabajar con un controlador PI.

Tabla 3.15. Valores de t_{es} y MP para respuesta de corriente i_d

CASO	t_{es} (ms)	MP (%)
1	3.9	0
2	6.1	3.32
3	2.2	1.2

Al igual que en el controlador PI, se realiza el cálculo de los índices de desempeño, mismos que se pueden observar en la Tabla 3.16.

Tabla 3.16. Índices de desempeño i_d - SMC

ISE	IAE
1147	2.22

Con los datos obtenidos en la Tabla 3.16 se obtiene un primer valor parcial de los índices de desempeño del controlador SMC de la señal de corriente i_d . Posteriormente, estos datos serán sumados con los índices de desempeño del controlador SMC de la señal de corriente i_q y así obtener un valor final que represente el ISE e IAE del controlador SMC del sistema.

Por otra parte, la Figura 3.13 muestra el comportamiento de la corriente medida i_q a la salida del filtro, así como la corriente de referencia i_q^* frente a los 3 cambios en los valores de potencia activa y reactiva de referencia. En la gráfica se puede observar que la señal de corriente medida sigue a la señal de referencia en cada uno de los 3 cambios de referencia.

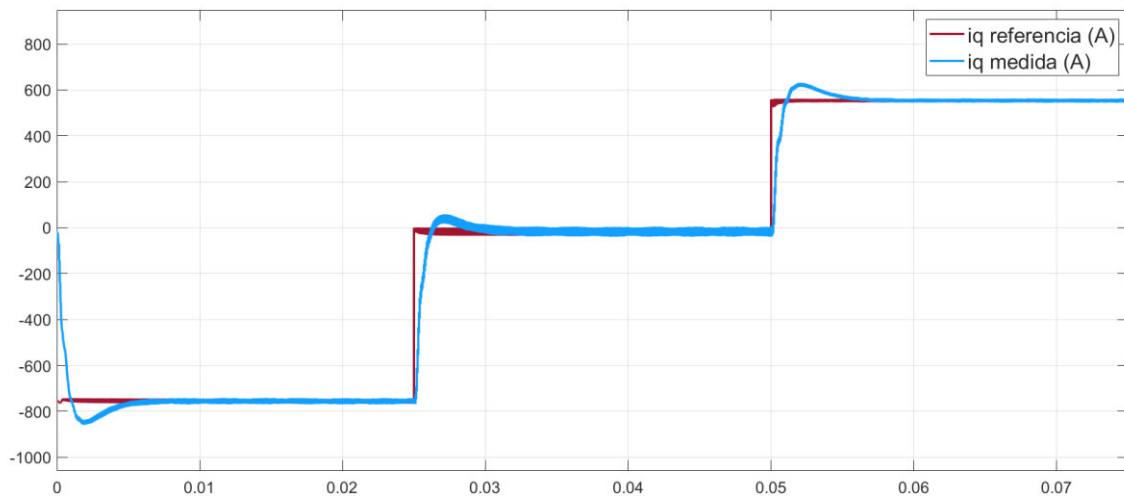


Figura 3.13. Respuesta de corriente i_q - SMC

Para un análisis más detallado de la Figura 3.13, se obtienen datos de MP y t_{es} para cada uno de los 3 cambios de referencia. Estos valores se observan en la Tabla 3.17. Posteriormente estos valores obtenidos se compararán con los datos ya obtenidos al trabajar con un controlador PI.

Tabla 3.17. Valores de t_{es} y MP para respuesta de corriente i_q

CASO	t_{es} (ms)	MP (%)
1	5.2	13.9
2	4.1	7.5
3	5.3	11.9

Así mismo, se procede al igual que para el controlador en i_d con el cálculo de los índices de desempeño, mismos que se pueden observar en la Tabla 3.18.

Tabla 3.18. Índices de desempeño i_q - SMC

ISE	IAE
448	1.55

Finalmente, sumando los índices de desempeño obtenidos para cada uno de los controladores en los ejes de coordenadas dq en la Tabla 3.16 y Tabla 3.18 se obtienen los índices de desempeño totales de los controladores SMC de corriente, los cuales se detallan en la Tabla 3.19.

Tabla 3.19. Índices de desempeño del controlador SMC

ISE Total	IAE Total
1595	3.77

Con los datos obtenidos en la Tabla 3.19, en el siguiente subcapítulo, se procede a una comparación de índices de desempeño de los controladores PI y SMC al inyectar potencia activa y reactiva a la red.

En la Figura 3.14, se puede observar la potencia activa de referencia (o deseada) así como la potencia activa medida a la salida del filtro, frente a los 3 valores de potencia activa propuestos. Acorde a la Figura, se observa que la potencia activa medida, es decir la potencia activa inyectada a la red, sigue a la potencia referencia y se estabiliza en cierto tiempo, cumpliéndose el objetivo de inyectar a la red una potencia activa deseada.

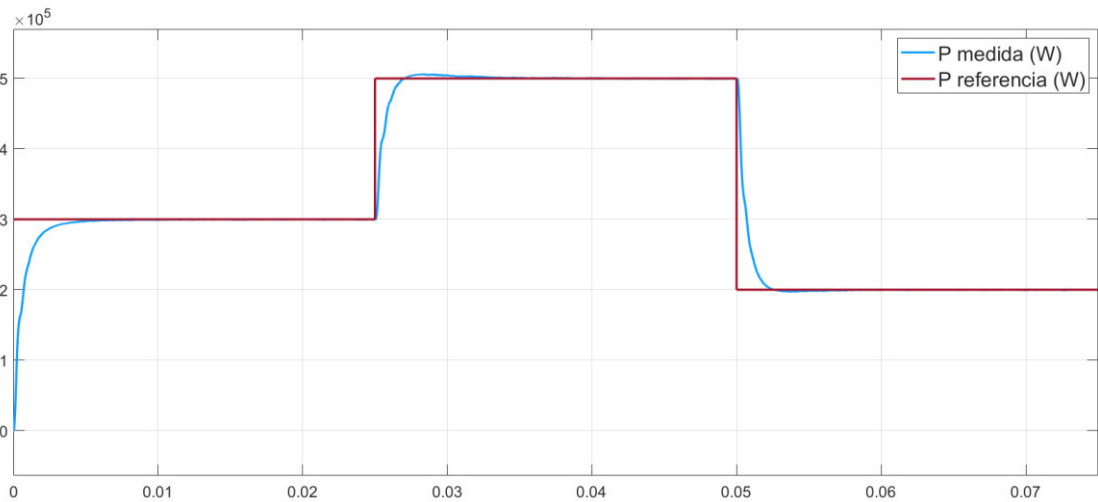


Figura 3.14. Respuesta de potencia activa P - SMC

En la Figura 3.15, se puede observar la potencia reactiva de referencia (o deseada) así como la potencia reactiva medida a la salida del filtro, frente a los valores de potencia reactiva propuestos. Al igual que para la potencia activa, se observa que la potencia reactiva medida, es decir la potencia reactiva inyectada a la red, sigue a la potencia referencia, cumpliéndose el objetivo de inyectar a la red una potencia reactiva deseada.

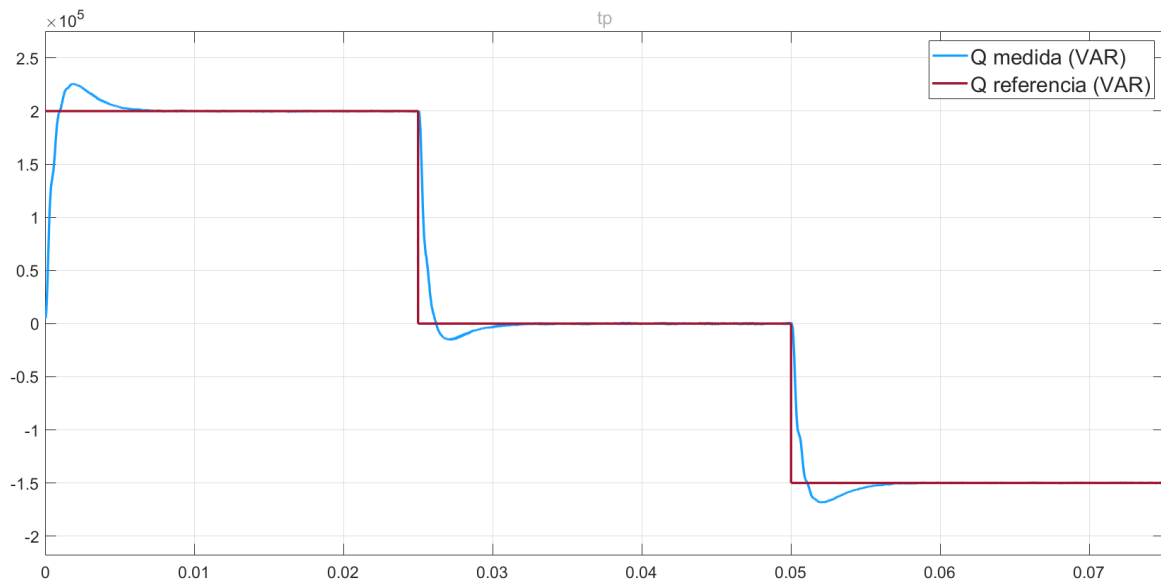


Figura 3.15. Respuesta de potencia reactiva Q - SMC

Finalmente, en la Figura 3.16, se puede observar las corrientes de línea trifásicas a la salida del filtro frente a las 3 variaciones de potencia activa como de potencia reactiva realizadas en el sistema. En la gráfica se puede observar que, en los tiempos de cambios de

referencia, las 3 corrientes cambian su valor pico, así como de ángulo de desfase, para cumplir con los valores de P y Q deseados.

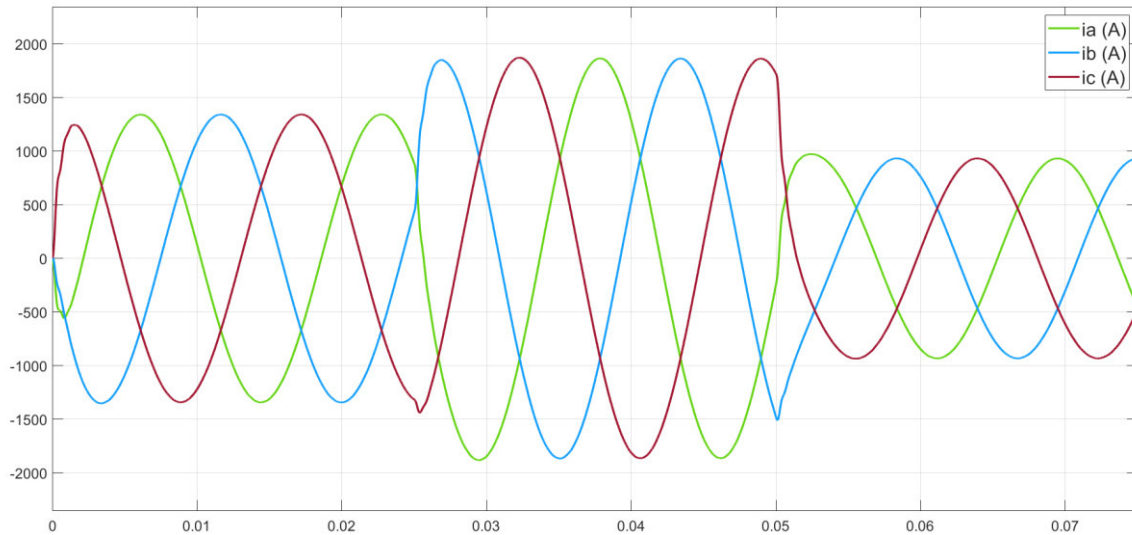


Figura 3.16. Corrientes de línea - SMC

Adicionalmente, a través del bloque *Powergui* de Simulink y la herramienta *FFT Analysis*, se obtienen datos en estado estable de la distorsión armónica total de la corriente en cada uno de los 3 cambios de referencia de potencia activa y reactiva. Estos resultados pueden observarse en la Tabla 3.20. Por otra parte, en el Anexo A se puede encontrar el detalle de los datos obtenidos de THD.

Tabla 3.20. Distorsión Armónica Total de corrientes de línea

CASO	I fundamental (A pico)	THD (%)
1	1343	0.21
2	1863	0.17
3	933.1	0.20

3.1.2.2. Respuesta frente a huecos de voltaje

Al igual que para las pruebas realizadas con los controladores PI, se genera un hueco de voltaje con las mismas características. Se reduce bruscamente el voltaje de la red en un 20% durante 200 ms, como se muestra en la Figura 3.6.

En la Figura 3.17, se puede observar como la corriente de referencia i_d^* así como la corriente i_d cambian su estado para compensar la caída de voltaje provocada en la red y mantener la inyección de potencia activa y reactiva deseadas. Así mismo se puede

observar como la señal de corriente medida sigue a la señal de corriente de referencia antes, durante y después del hueco de voltaje y se estabiliza en un cierto tiempo.

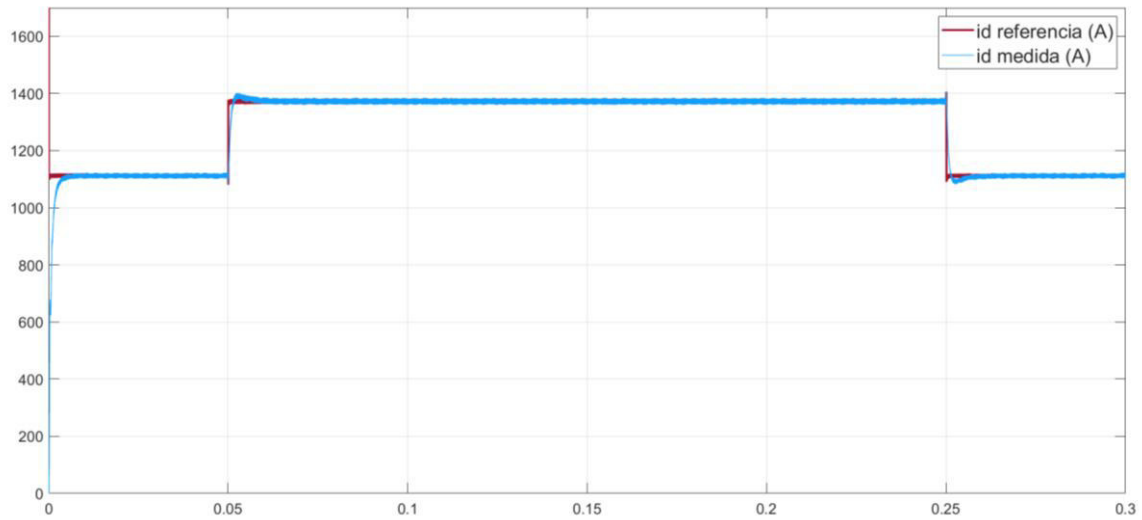


Figura 3.17. Respuesta de i_d frente a hueco de voltaje – SMC

Para un análisis más detallado de la Figura 3.17, se obtienen datos de MP y t_{es} antes, durante y después de la perturbación de hueco de voltaje. Estos valores se observan en la Tabla 3.21. Posteriormente los mismos se compararán con los datos obtenidos al trabajar con el controlador PI.

Tabla 3.21. Valores de t_{es} y MP para respuesta de corriente i_d

	t_{es} (ms)	MP (%)
Antes	3.65	0
Durante	6.5	11.6
Después	5.9	9.7

Se realiza el cálculo de los índices de desempeño a través de *Simulink* de Matlab, mismos que se pueden observar en la Tabla 3.22.

Tabla 3.22. Índices de desempeño i_d frente a huecos de voltaje – SMC

ISE	IAE
744	1.73

Con los datos obtenidos en la Tabla 3.22 se obtiene un primer valor parcial de los índices de desempeño del controlador SMC de la señal de corriente i_d . Posteriormente, estos datos serán sumados con los índices de desempeño del controlador SMC de la señal de corriente

i_q y así obtener un valor final que represente el ISE e IAE del controlador SMC del sistema frente a una perturbación de hueco de voltaje.

En la Figura 3.18, al igual que en el eje de referencia d , se puede observar como las corrientes en marco de referencia q tanto de referencia como medida, modifican su valor para compensar la perturbación de hueco de voltaje. A partir de la gráfica se observa como la señal de corriente medida sigue a la señal de referencia antes, durante y después de la perturbación y se estabiliza en un corto tiempo.

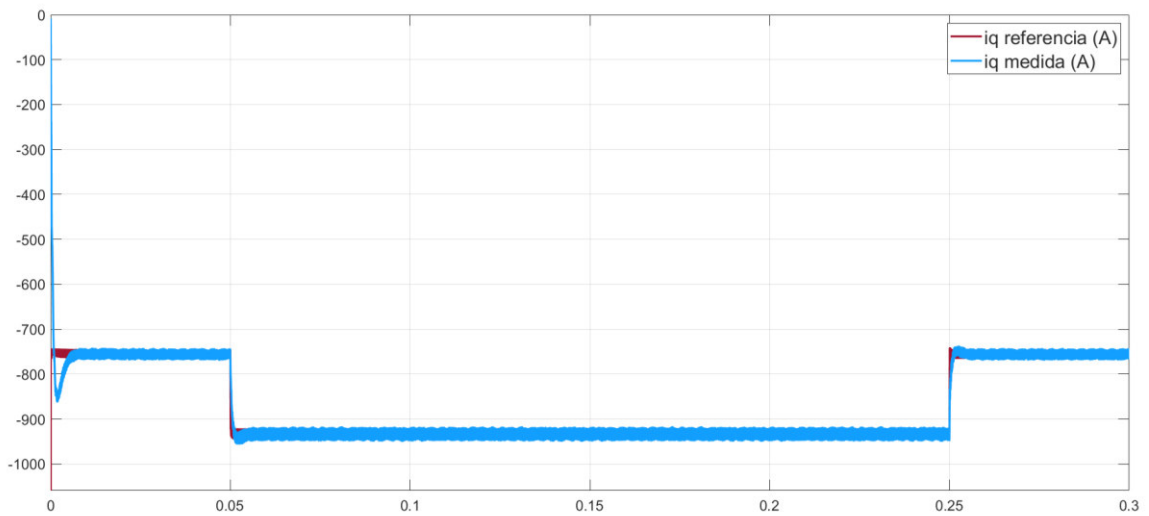


Figura 3.18. Respuesta de i_q frente a hueco de voltaje – SMC

Así mismo, para un análisis más detallado de la Figura 3.18, se obtienen datos de MP y t_{es} para cada uno de los 3 cambios de referencia. Estos valores se observan en la Tabla 3.23. Posteriormente los mismos se compararán con los datos obtenidos al trabajar con el controlador PI.

Tabla 3.23. Valores de t_{es} y MP para respuesta de corriente i_q

	t_{es} (ms)	MP (%)
Antes	5.5	14.3
Durante	4.4	10.9
Después	4.1	8.7

Por otra parte, en la Tabla 3.24 se pueden observar los índices de desempeño relacionados con el control de i_q , mismos que fueron obtenidos a través de *Simulink* de Matlab.

Tabla 3.24. Índices de desempeño iq frente a huecos de voltaje – SMC

ISE	IAE
256	1.14

Finalmente, sumando los índices de desempeño obtenidos para cada uno de los controladores en los ejes de coordenadas dq en la Tabla 3.22 y Tabla 3.24 se obtienen los índices de desempeño totales de los controladores SMC de corriente frente a huecos de voltaje, los cuales se pueden observar en la Tabla 3.25.

Tabla 3.25. Índices de desempeño del controlador SMC frente a huecos de voltaje

ISE Total	IAE Total
1000	2.87

Con los datos obtenidos en la Tabla 3.25, en el siguiente subcapítulo, se procede a una comparación de índices de desempeño de los controladores PI y SMC frente a una perturbación de hueco de voltaje.

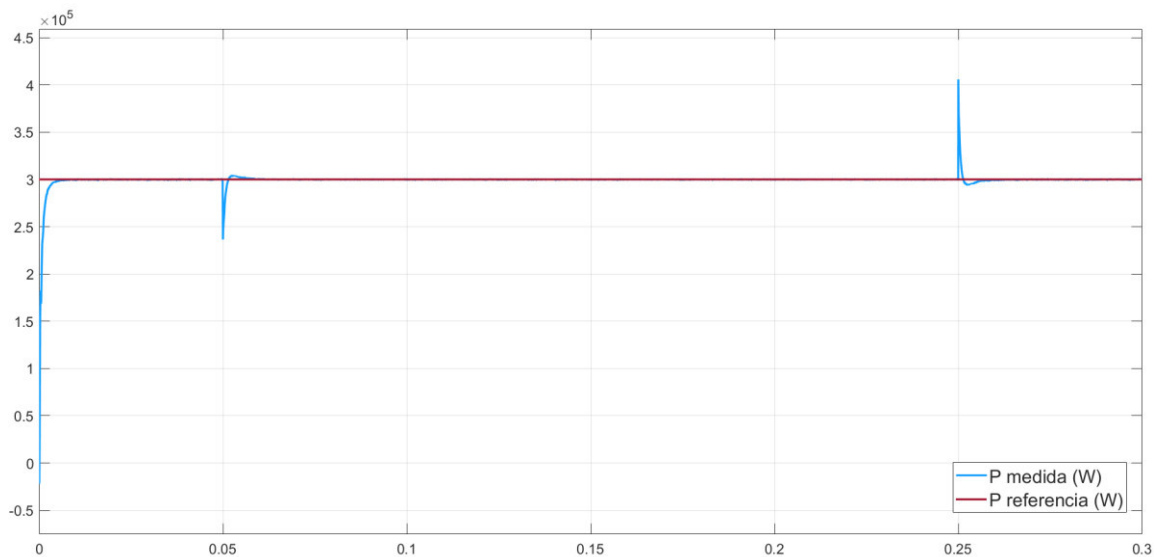


Figura 3.19. Potencia activa frente a hueco de voltaje – SMC

En la Figura 3.19 y Figura 3.20, se observan las gráficas de potencia activa y potencia reactiva respectivamente, tanto los valores medidos, así como los valores de referencia. A partir de ambas gráficas se puede observar como las señales medidas siguen a la señal de referencia a pesar de las perturbaciones ocasionadas por el hueco de voltaje. Si bien se observan ciertos sobre picos al momento de la perturbación, las señales terminan estabilizándose en un corto tiempo.

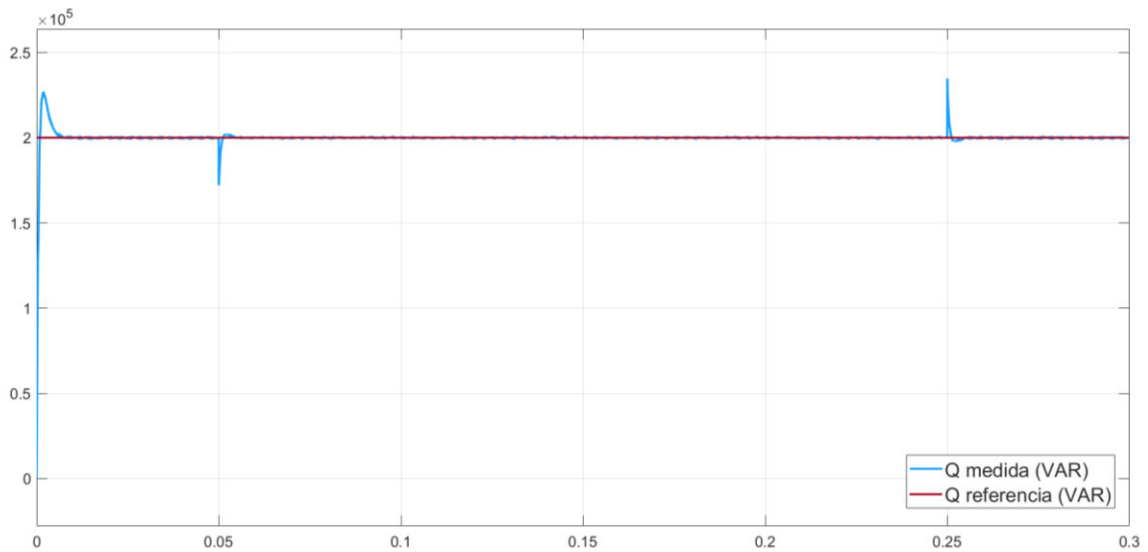


Figura 3.20. Potencia reactiva frente a hueco de voltaje – SMC

Finalmente, en la Figura 3.21, se puede observar las corrientes de línea trifásicas a la salida del filtro frente a la perturbación de hueco de voltaje y como esta eleva su valor para compensar esa caída de voltaje en la red. Acorde a la gráfica, se observa cómo las 3 corrientes elevan o disminuyen su valor para compensar la caída de voltaje de la red producida por la perturbación de hueco de voltaje.

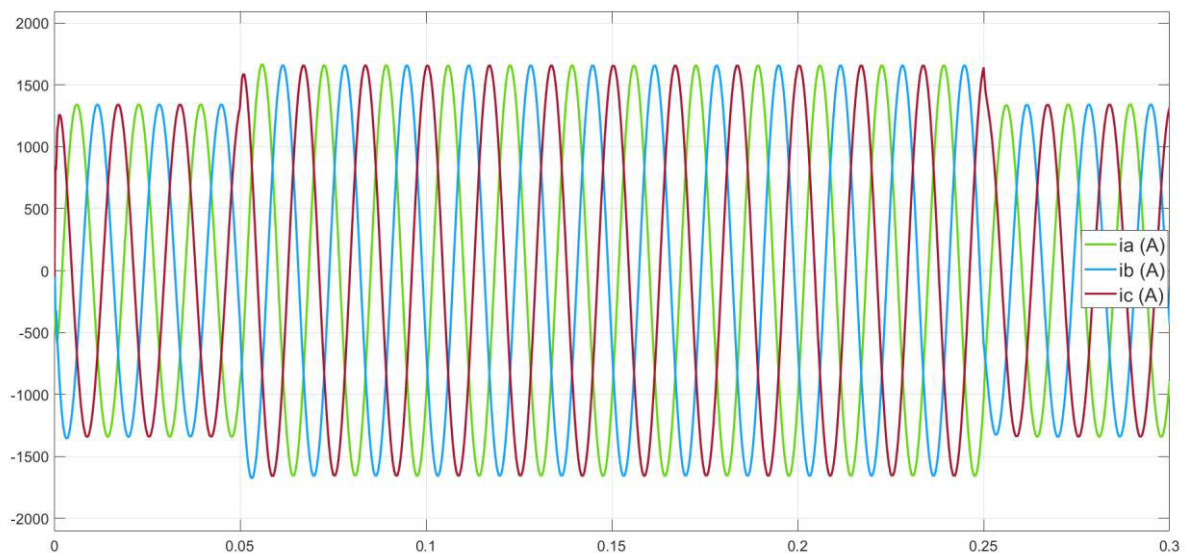


Figura 3.21. Corrientes de línea frente a hueco de voltaje – SMC

Adicionalmente, a través del bloque *Powergui* de Simulink y la herramienta *FFT Analysis*, se obtienen datos en estado estable de la distorsión armónica total de la corriente antes, durante y después de la perturbación de hueco de voltaje. Estos resultados pueden

observarse en la Tabla 3.26. Por otra parte, en el Anexo A se puede encontrar el detalle de los datos obtenidos de THD.

Tabla 3.26. Distorsión Armónica Total de corrientes de línea frente a huecos de voltaje

CASO	I fundamental (A pico)	THD (%)
Antes	1343	0.18
Durante	1659	0.15
Después	1343	0.18

3.2. Discusión

A continuación, se presenta la comparación e interpretación realizada a los resultados obtenidos al aplicar las dos técnicas de control: PI y SMC a un inversor trifásico con filtro LCL frente a inyección de potencia activa y reactiva a la red, así como a perturbaciones de huecos de voltaje en la red.

3.2.1. Resultados comparativos entre PI y SMC

3.2.1.1. Comparación de respuesta frente a cambios de referencia de potencia activa y potencia reactiva

En la Figura 3.1 se pudo observar la respuesta del controlador PI del control de corriente i_d ante tres cambios de referencia en la potencia activa y reactiva mientras que en la Figura 3.12 se pudo observar la respuesta del controlador SMC para los mismos cambios de referencia. En la Figura 3.22, se sobreponen estas dos señales y se observa la respuesta de los dos controladores.

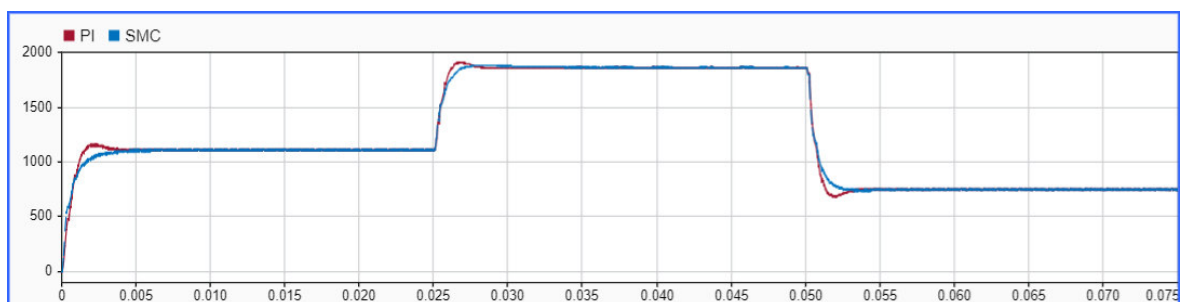


Figura 3.22. Corriente i_d con controladores PI y SMC

A continuación, acorde a los datos obtenidos en la Tabla 3.3 y Tabla 3.15, en la Tabla 3.27 se presenta la comparación de los datos obtenidos, tanto de máximo sobre impulso, así como de tiempo de establecimiento para cada uno de los controladores.

Tabla 3.27. Tabla de comparación de MP y t_{es} - i_d

Controlador	Cambio de Referencia 1		Cambio de Referencia 2		Cambio de Referencia 3	
	t_{es} (ms)	MP (%)	t_{es} (ms)	MP (%)	t_{es} (ms)	MP (%)
PI	3.2	4.85	3	6.65	3	5.9
SMC	3.9	0	6.1	3.32	2.2	1.2

Como se puede observar gráficamente en la Figura 3.22, así como en los valores de la Tabla 3.27, el controlador PI de la corriente i_d presenta un mejor tiempo de establecimiento respecto al controlador SMC en 2 de los 3 valores. Por otra parte, se puede observar que el controlador SMC presenta mejores porcentajes de máximo sobre impulso respecto al controlador PI.

Por otra parte, en la Figura 3.2 se pudo observar la respuesta del controlador PI del control de corriente i_q ante los tres cambios de referencia en la potencia activa y reactiva mientras que en la Figura 3.13 se pudo observar la respuesta del controlador SMC para los mismos cambios de referencia. En la Figura 3.23, se sobreponen estas dos señales y se observa la respuesta de los dos controladores.

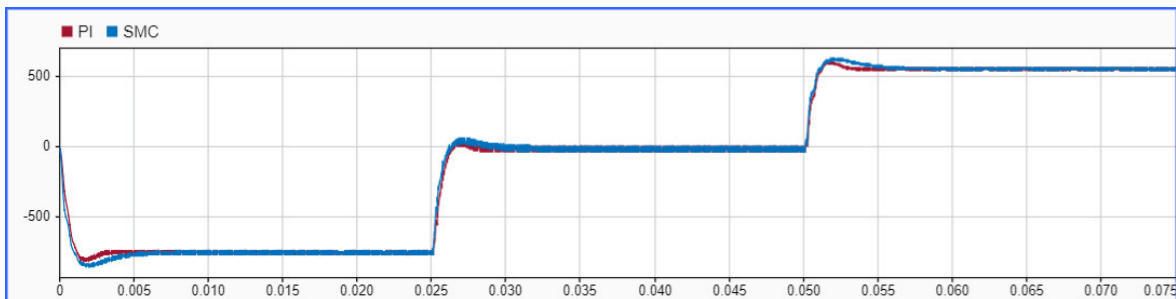


Figura 3.23. Corriente i_q con controladores PI y SMC

Así mismo, acorde a los datos obtenidos en la Tabla 3.5 y Tabla 3.17, en la Tabla 3.28 se presenta la comparación de estos datos, tanto de máximo sobre impulso, así como de tiempo de establecimiento para cada uno de los controladores.

Tabla 3.28. Tabla de comparación de MP y t_{es} - i_q

Controlador	Cambio de Referencia 1		Cambio de Referencia 2		Cambio de Referencia 3	
	t_{es} (ms)	MP (%)	t_{es} (ms)	MP (%)	t_{es} (ms)	MP (%)
PI	2.95	8.5	3	5.3	2.9	7.8
SMC	5.2	13.9	4.1	7.5	5.3	11.9

A partir de la Figura 3.23 así como de los datos obtenidos en la Tabla 3.28, se observa que el controlador PI de la corriente i_q , presenta un mejor tiempo de establecimiento respecto al controlador SMC. De igual manera en los valores máximos de sobre impulso, el PI se antepone al controlador SMC.

Por otro lado, en función de los datos obtenidos en la Tabla 3.8 y Tabla 3.20, se puede observar en la Tabla 3.29 los porcentajes de distorsión armónica totales de la corriente inyectada a la red, en tiempo estable, obtenidos en cada uno de los casos de cambio de referencia en la potencia activa y reactiva para los dos tipos de controladores implementados.

Tabla 3.29. Porcentajes de THD - Inyección de P y Q

Inyección de P y Q		
<i>I Fundamental</i>	<i>%THD PI</i>	<i>%THD SMC</i>
1343	0.19	0.21
1863	0.17	0.17
933.1	0.20	0.20

Como se puede observar en la Tabla 3.29, el porcentaje de THD con el controlador PI es ligeramente menor en el primer valor de corriente respecto al controlador SMC. Sin embargo, para los demás valores, la distorsión armónica es la misma, independientemente del controlador.

En la Tabla 3.30, se puede observar los índices de desempeño totales obtenidos en cada una de las pruebas de las simulaciones realizadas frente a los 3 cambios de potencia activa y reactiva, para cada uno de los controladores.

Tabla 3.30. Índices de desempeño totales - Inyección de P y Q

	<i>PI</i>	<i>SMC</i>
ISE	1735	1595
IAE	3.39	3.77

A partir de la Tabla 3.30 se observa que el índice de desempeño ISE para el controlador SMC presenta mejores características que para el controlador PI en aproximadamente un 9%. Por otra parte, el índice IAE se desempeña mejor en el controlador PI con un porcentaje del 11%.

A continuación, se realiza una comparación entre las señales de control, tanto del PI como del SMC, de las corrientes i_d e i_q frente a los 3 cambios de referencia de potencia activa y potencia reactiva. Estas señales se pueden observar en la Figura 3.24 y Figura 3.25.

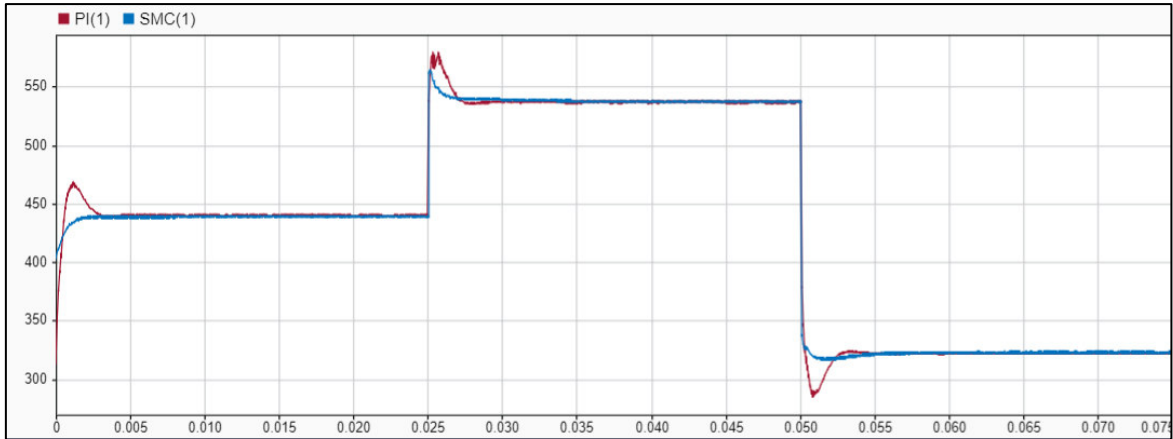


Figura 3.24. Ley de control PI vs. ley de control SMC - Inyección de P y Q – i_d

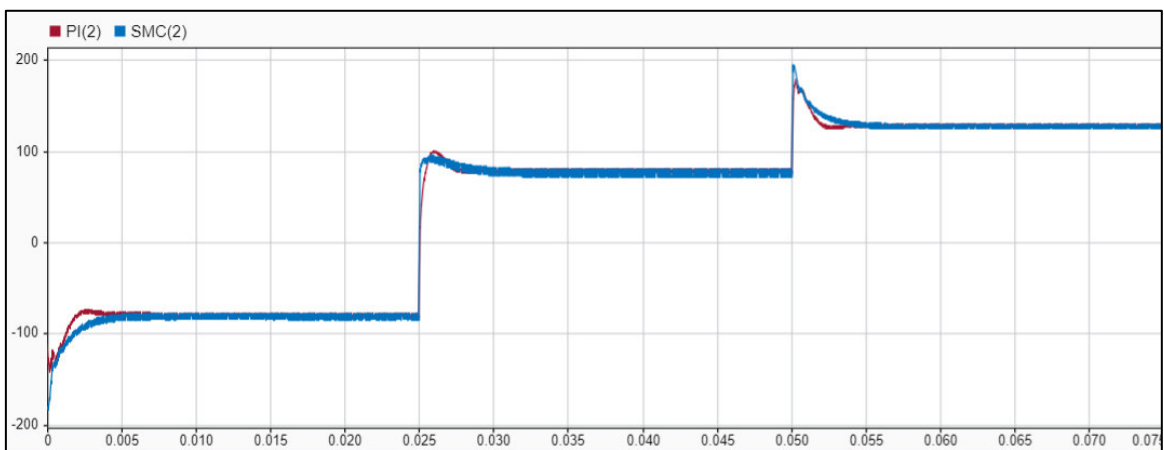


Figura 3.25. Ley de control PI vs. ley de control SMC - Inyección de P y Q - i_q

A partir de la Figura 3.24 y Figura 3.25 se puede observar que las señales de control tanto para el PI como el SMC no son significativamente agresivas. Es más, para la corriente en el eje d de marco de referencia síncrono, el SMC presenta una respuesta mucho más suave en la señal de control respecto al PI, mientras que en el eje q se podría decir son bastante similares entre los dos controladores.

Finalmente, como una comparación adicional, se sobreponen cada una de las corrientes trifásicas inyectadas a la red, para cada uno de los casos de control. Estas gráficas se pueden observar en la Figura 3.26, Figura 3.27 y Figura 3.28. A partir de las mismas, se

puede observar que prácticamente se sobreponen entre sí, con leves diferencias entre los dos controladores PI y SMC.

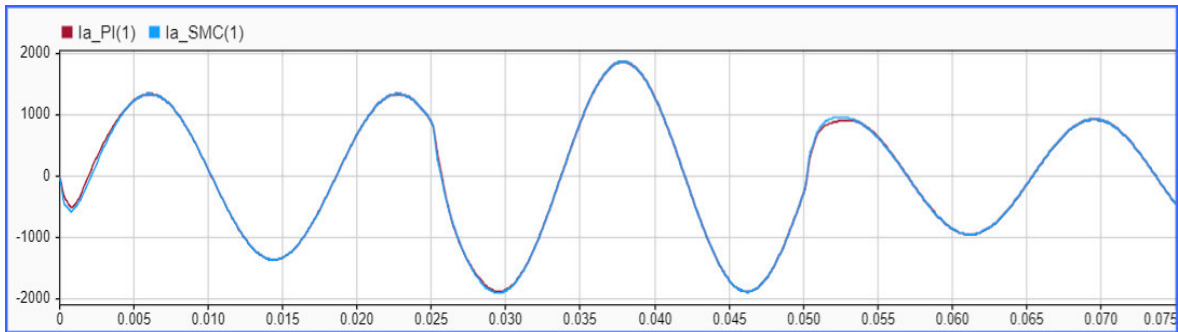


Figura 3.26. Corriente I_a con controladores PI y SMC

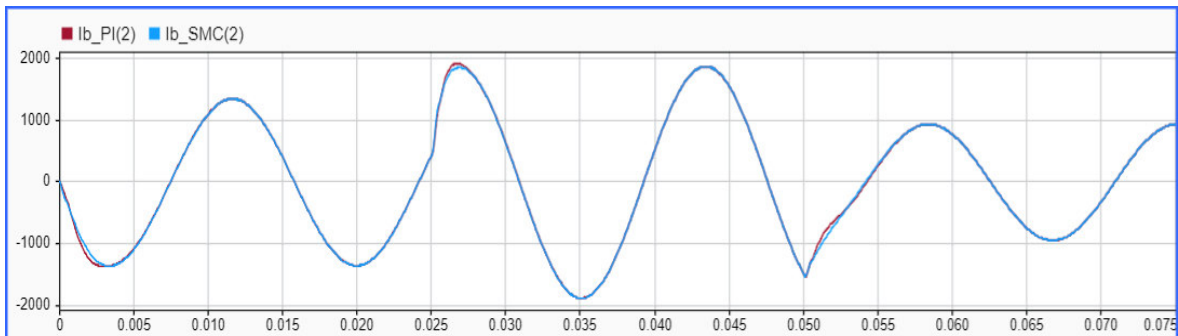


Figura 3.27. Corriente I_b con controladores PI y SMC

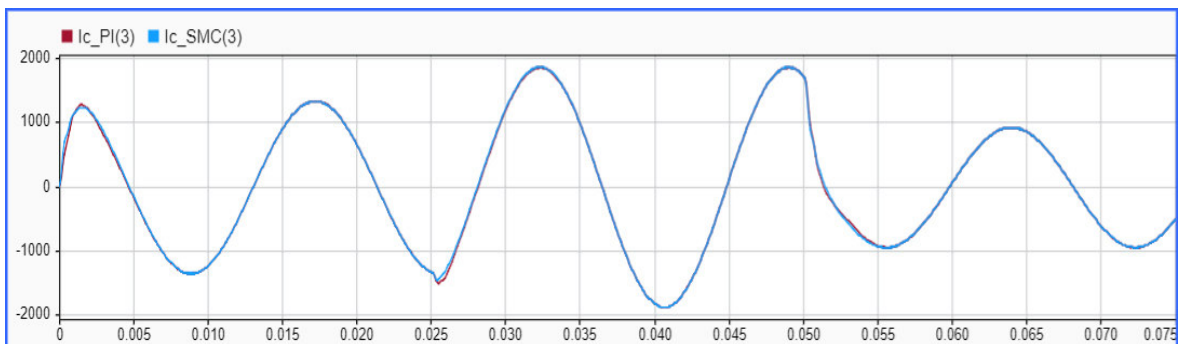


Figura 3.28. Corriente I_c con controladores PI y SMC

Para un análisis más detallado en la comparación de las formas de onda de las corrientes trifásicas, se procede a calcular el valor de las corrientes pico referencia en función del voltaje de la red, así como de la potencia activa y reactiva deseadas, para cada uno de los casos de inyección de P y Q. El resultado se puede observar en la Tabla 3.31.

Tabla 3.31. Corrientes pico trifásicas de referencia

CASO	I pico [A]
1	1344,35
2	1864,2
3	932,02

Luego, a partir de las gráficas de corriente trifásica para cada uno de los casos de control (Figura 3.5 y Figura 3.16), se procede a realizar ampliaciones en cada una de las áreas de corriente pico para cada uno de los casos de inyección de P y Q, mismas que servirán para un análisis de sobre picos de corriente en función de las corrientes pico referencia obtenidas en la Tabla 3.31.

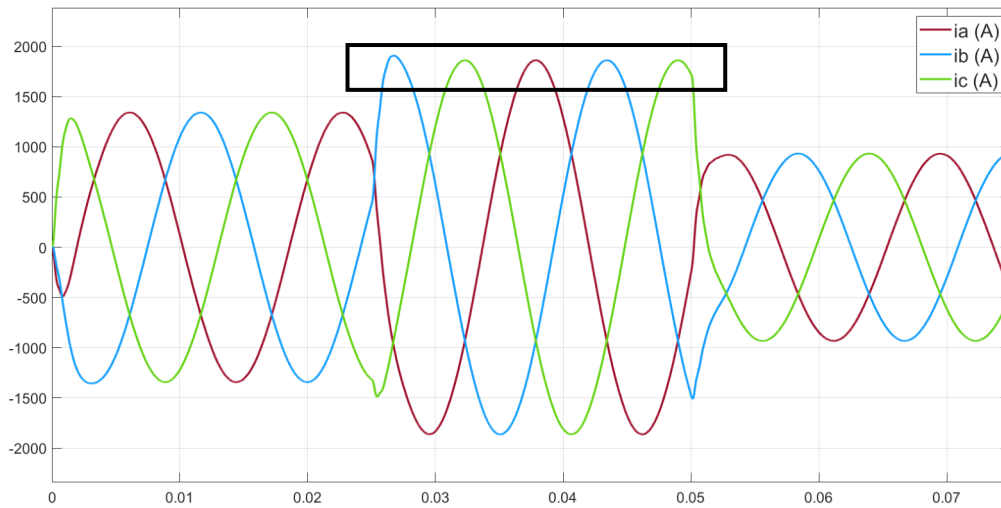


Figura 3.29. Área de análisis sobre picos – Control PI

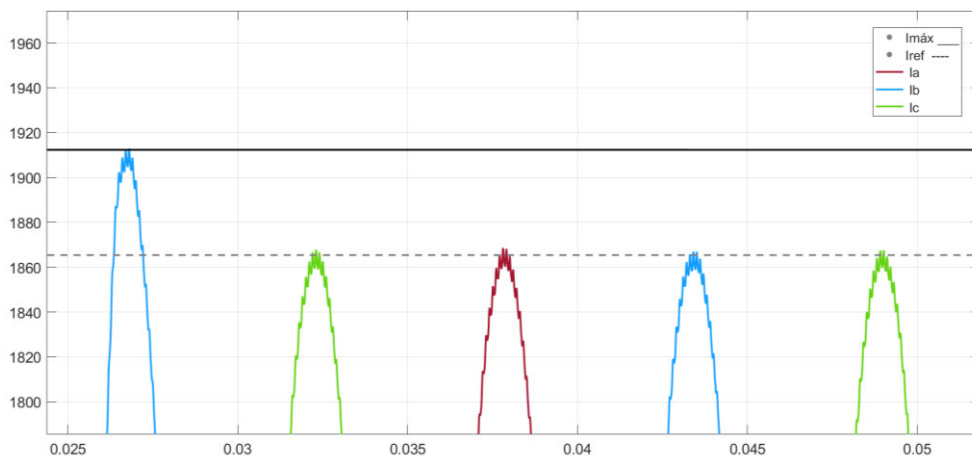


Figura 3.30. Ampliación picos de corriente - Caso 2 – Control PI

Un ejemplo de las áreas ampliadas se puede observar en la Figura 3.29, misma que se encuentra dentro del rectángulo y corresponde a los picos positivos de corriente trifásica para el segundo caso de inyección de potencia activa y reactiva con controlador PI. El área ampliada puede observarse en la Figura 3.30. Adicionalmente, a través del uso de cursores, se ubica uno de los mismos en el valor de la corriente referencia calculada en la Tabla 3.31, que para el segundo caso es de 1864,2 [A]. Posteriormente, se hace uso de un segundo cursor, mismo que se ubica en el máximo sobre pico de corriente, en este caso corresponde a la corriente I_b y se obtiene que el valor es de 1912,67 [A].

A partir de los dos valores obtenidos de corriente se obtiene que la máxima desviación, en el segundo caso de inyección de P y Q con controlador PI, se produce en la corriente de línea I_b con un valor de 48,47 [A], que en porcentaje representa un sobre pico del 2,6% en función de la corriente pico referencia.

Se realiza este mismo análisis tanto para los casos de control con PI y SMC para cada uno de los 3 casos de inyección de potencia activa. Los resultados pueden observarse en la Tabla 3.32.

Tabla 3.32. Máxima desviación de corriente - Máximo porcentaje de sobre picos

CASO	PI			SMC		
	I con mayor sobre pico	Desviación [A]	%	I con mayor sobre pico	Desviación [A]	%
1	I_b	14,46	1,08	I_b	10,96	0,82
2	I_b	48,47	2,60	I_a	21,88	1,17
3	I_b	4,34	0,47	I_a	42,98	4,61

Como se puede observar en la Tabla 3.32, el máximo sobre pico de corriente (4,61%) se produce en la corriente de línea I_a para el tercer caso de inyección de potencia activa y reactiva con controlador SMC. Sin embargo, es importante mencionar que, para el primer y segundo caso de inyección de P y Q, la desviación de corriente es mayor en los casos de control con PI.

En resumen, a partir de las comparaciones realizadas de varios parámetros, se observa que el controlador PI tiene ventaja respecto al SMC frente a tiempos de establecimiento menores, así como una mejora porcentual del 11% del índice IEA. Adicionalmente presenta una mejor respuesta frente a los máximos sobre impulsos para el control de corriente i_q . Por su parte el controlador SMC presenta mayores ventajas frente a los máximos sobre impulsos en control de corriente i_d , así como una mejora porcentual del 9% del índice ISE. Adicionalmente posee una respuesta más suave de la señal de control que el controlador

PI. Se ha observado también que, para ambos controladores, el THD en todo momento se encuentra por debajo de lo exigido por la normativa IEEE 519 y los valores de distorsión de la corriente inyectada no presentan mayor diferencia entre los dos controladores. Finalmente, si bien el SMC presenta el mayor sobre pico de corriente trifásica, en 2 de los 3 casos la desviación de corriente es menor que en el PI.

3.2.1.2. Comparación de respuesta frente a huecos de voltaje

En la Figura 3.7 se pudo observar la respuesta del controlador PI de control de corriente i_d ante perturbaciones producidas por un hueco de voltaje mientras que en la Figura 3.17 se pudo observar la respuesta del controlador SMC para la misma perturbación. En la Figura 3.31, se sobreponen estas dos señales y se observa la respuesta de los dos controladores.

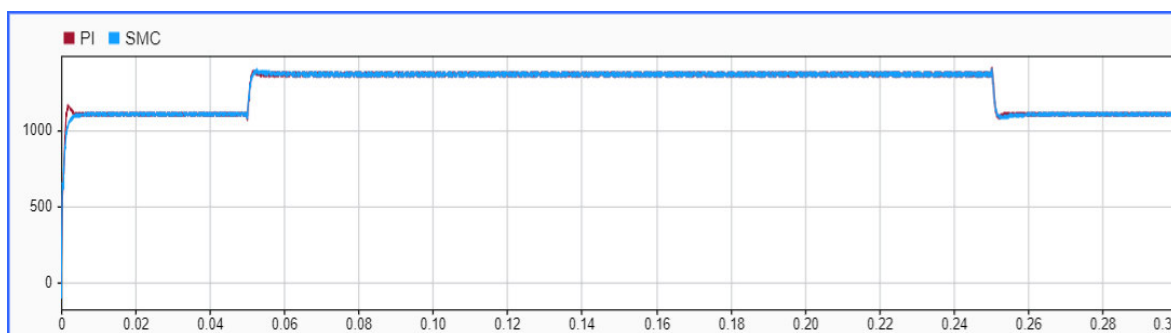


Figura 3.31. Corriente i_d con controladores PI y SMC

A continuación, en la Tabla 3.33 se presenta los principales parámetros de comparación entre los dos controladores: tiempo de establecimiento y máximo sobre impulso obtenidos en la Tabla 3.9 y Tabla 3.21.

Tabla 3.33. Tabla de comparación de máximo sobre impulso (MP) y tiempo de establecimiento (t_{es}) - i_d

Controlador	Antes hueco de voltaje		Durante hueco de voltaje		Después de hueco de voltaje	
	t_{es} (ms)	MP (%)	t_{es} (ms)	MP (%)	t_{es} (ms)	MP (%)
PI	3.05	4.7	3.05	10.9	3	10.1
SMC	3.65	0	6.5	11.6	5.9	9.7

Como se puede observar en la Figura 3.31, así como los datos obtenidos en la Tabla 3.33, el controlador PI de la corriente i_d presenta un menor tiempo de establecimiento respecto al controlador SMC. Por otra parte, se puede observar que el controlador SMC presenta

una mejor respuesta frente a los sobre impulsos, a pesar de que uno de los valores es ligeramente mayor que en el PI.

Por otra parte, en la Figura 3.8 se pudo observar la respuesta del controlador PI del control de corriente i_q ante la misma perturbación de hueco de voltaje, mientras que en la Figura 3.18 se pudo observar la respuesta del controlador SMC para la misma perturbación. En la Figura 3.32 se sobreponen estas dos señales y se observa la respuesta de los dos controladores.

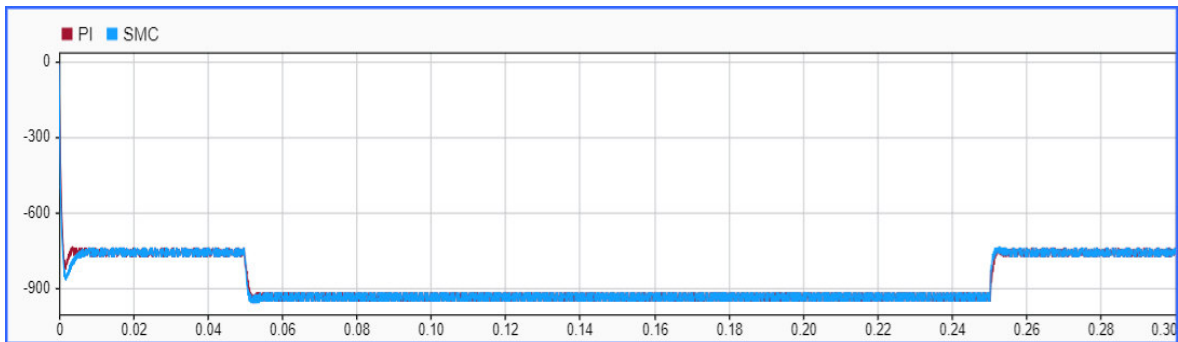


Figura 3.32. Corriente i_q con controladores PI y SMC

A continuación, en la Tabla 3.34 se muestran los datos obtenidos anteriormente en la Tabla 3.11 y Tabla 3.23 de máximo sobre impulso y tiempo de establecimiento para los dos controladores implementados.

Tabla 3.34. Tabla de comparación de máximo sobre impulso (MP) y tiempo de establecimiento (t_{es}) - i_q

Controlador	Antes hueco de voltaje		Durante hueco de voltaje		Después hueco de voltaje	
	t_{es} (ms)	MP (%)	t_{es} (ms)	MP (%)	t_{es} (ms)	MP (%)
PI	3.05	9.03	3.4	9.3	3.44	7.7
SMC	5.5	14.3	4.4	10.9	4.1	8.7

Como se puede observar en la Figura 3.32 y a partir de los datos de la Tabla 3.34, se observa que el controlador PI de la corriente i_q , presenta un menor tiempo de establecimiento respecto al controlador SMC. De igual manera, el controlador PI se antepone al controlador SMC al presentar valores más bajos de máximos sobre impulsos antes, durante y después de la perturbación de hueco de voltaje.

Por otra parte, en la Tabla 3.35, se puede observar los porcentajes de distorsión armónica totales de la corriente inyectada a la red, en tiempo estable, obtenidos antes, durante y

después de la perturbación por hueco de voltaje en función de los datos obtenidos en la Tabla 3.14 y Tabla 3.26.

Tabla 3.35. Porcentajes de THD – Huecos de V

Huecos de Voltaje		
<i>I Fundamental</i>	<i>%THD PI</i>	<i>%THD SMC</i>
1343	0.18	0.18
1659	0.16	0.15
1343	0.19	0.18

Como se puede observar en la Tabla 3.35, el porcentaje de THD con el controlador SMC es ligeramente menor en el segundo y tercer valor de corriente respecto al controlador PI. Sin embargo, no son variaciones de THD significativas.

En la Tabla 3.36, se puede observar los índices de desempeño totales obtenidos en cada una de las pruebas de las simulaciones realizadas frente a la perturbación por huecos de voltaje.

Tabla 3.36. Índices de desempeño totales – Huecos de V

	<i>PI</i>	<i>SMC</i>
ISE	1076	1000
IAE	2.66	2.87

A partir de la Tabla 3.36 se observa que el índice de desempeño ISE para el controlador SMC presenta mejores características que para el controlador PI en aproximadamente un 8%. Por otra parte, el índice IAE se desempeña mejor en el controlador PI con el mismo porcentaje del 8%.

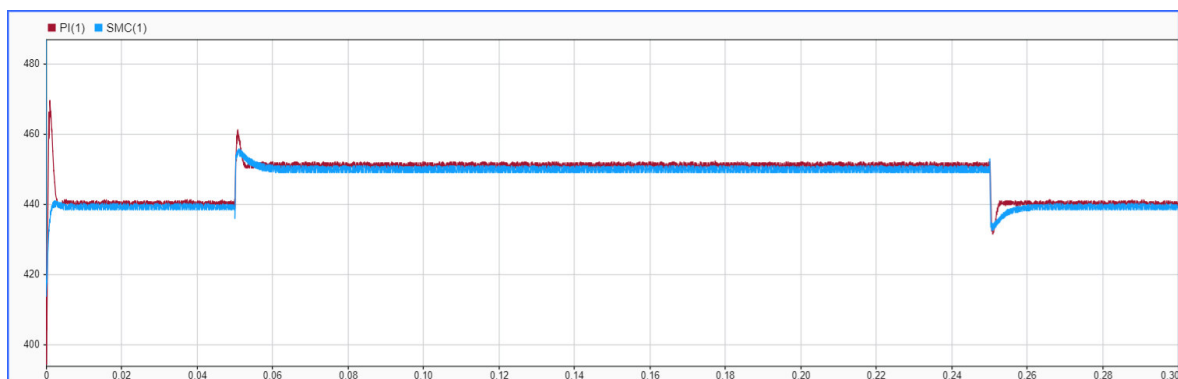


Figura 3.33. Ley de control PI vs. ley de control SMC – Huecos de V – i_d

A continuación, se realiza una comparación entre las señales de control, tanto del PI como del SMC, de la corriente i_d frente a la caída de voltaje en la red. Estas señales se pueden observar en la Figura 3.33.

Por otra parte, se realiza una comparación entre las señales de control, tanto del PI como del SMC, de la corriente i_q frente a la caída de voltaje en la red. Estas señales se pueden observar en la Figura 3.34.

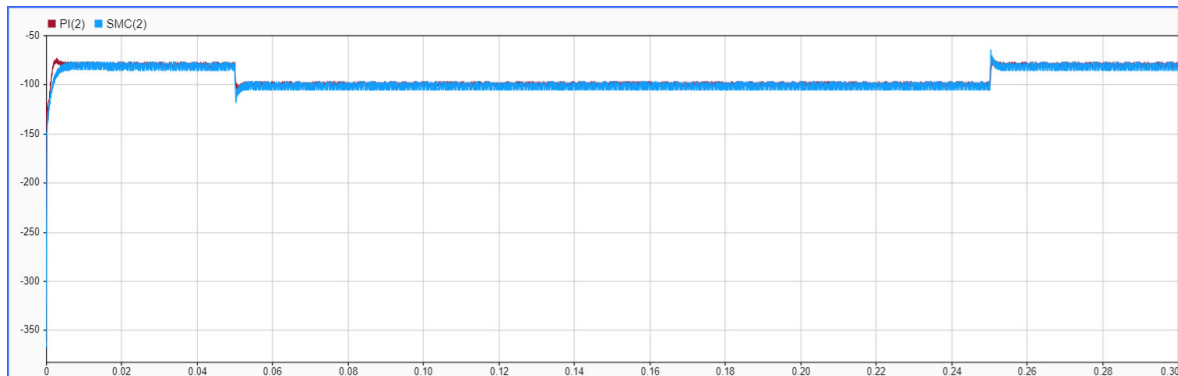


Figura 3.34. Ley de control PI vs. ley de control SMC – Huecos de V – i_q

A partir de la Figura 3.33 y Figura 3.34, se puede observar que para la corriente en el eje d de marco de referencia síncrono, el SMC presenta una respuesta más suave en la señal de control respecto al PI, mientras que para el eje q no se observa una significativa diferencia entre los dos controladores como en el eje d .

Como una comparación adicional, se sobreponen cada una de las corrientes trifásicas inyectadas a la red, para cada uno de los casos de control. Estas gráficas se pueden observar en la Figura 3.35, Figura 3.36 y Figura 3.37. A partir de las mismas, se puede observar que prácticamente se sobreponen entre sí, con leves diferencias entre los dos controladores PI y SMC.

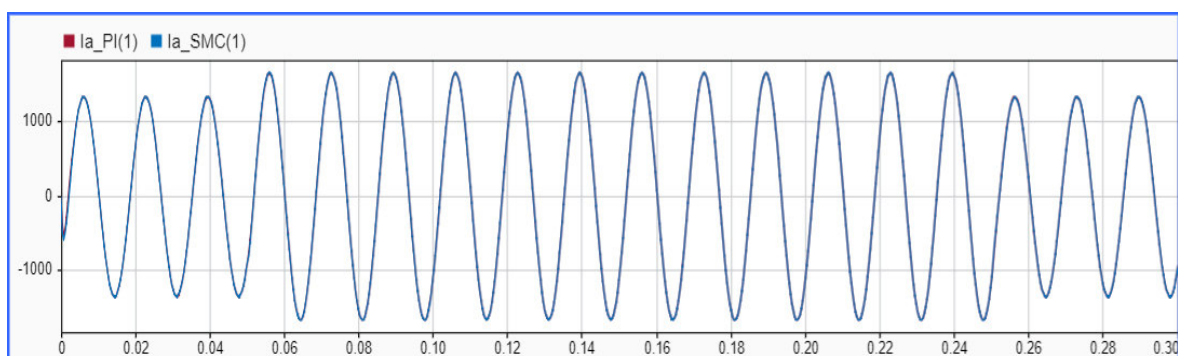


Figura 3.35. Corriente i_a con controladores PI y SMC

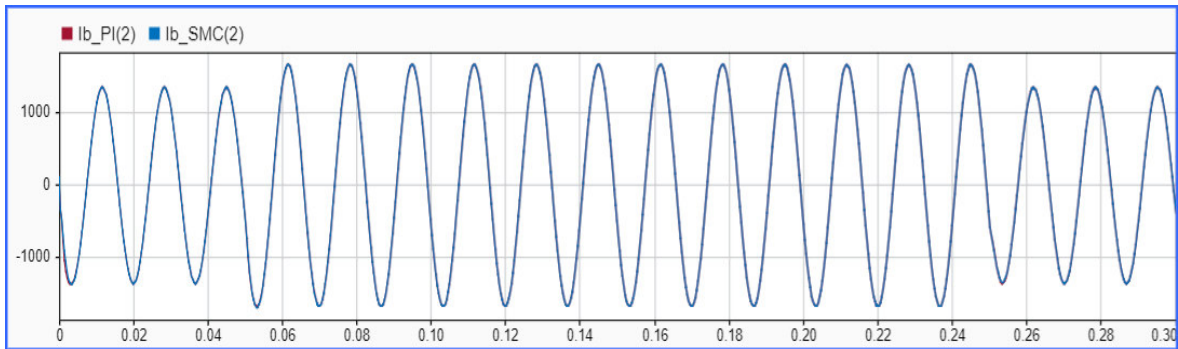


Figura 3.36. Corriente I_b con controladores PI y SMC

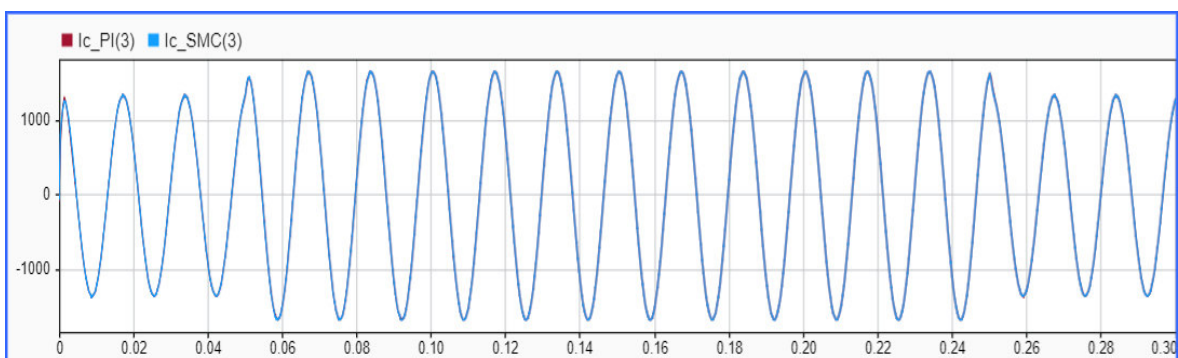


Figura 3.37. Corriente I_c con controladores PI y SMC

Para un análisis más detallado de estas corrientes, se calcula el valor de las corrientes pico referencia en función del voltaje de la red, considerando la caída por el hueco de voltaje, así como de la potencia activa y reactiva referencia. El resultado se puede observar en la Tabla 3.37.

Tabla 3.37. Corrientes trifásicas pico referencia

CASO	I pico [A]
Antes	1344,35
Durante	1660,01
Después	1344,35

Al igual que se hizo para los casos de inyección de potencia activa y reactiva a la red, una vez obtenidos los valores de corriente pico referencia, se procede a realizar ampliaciones en las gráficas de corriente de línea (Figura 3.11 y Figura 3.21) antes, durante y después de la perturbación de huecos de voltajes y a través del uso de cursores determinar los valores de máxima desviación y máximo porcentaje de sobre pico para cada uno de los casos de control. Los resultados pueden observarse en la Tabla 3.38.

Tabla 3.38. Máxima desviación de corriente - Máximo porcentaje de sobre picos

CASO	PI			SMC		
	I con mayor sobre pico	Desviación [A]	%	I con mayor sobre pico	Desviación [A]	%
Antes	lb	11,57	0,86	lb	14,48	1,08
Durante	lb	6,05	0,36	lb	21,21	1,28
Después	lc	3,14	0,23	la	2,55	0,19

A partir de la Tabla 3.38, se observa que el máximo sobre pico de corriente (1,28%) se produce en la corriente de línea *lb* durante la perturbación de hueco de voltaje con controlador SMC. Por otra parte, es importante mencionar que la desviación de corriente con controlador PI es menor en dos de los tres casos de análisis.

En resumen, una vez realizadas las comparaciones de varios parámetros, se observa que el controlador PI tiene ventaja respecto al SMC frente a tiempos de establecimiento menores, así como una mejora porcentual del 8% del índice IEA. Por su parte el controlador SMC presenta una mayor ventaja frente a los máximos sobre impulsos en *id*, así como una mejora porcentual del 8% del índice ISE, sin embargo, en *iq* pierde ventaja respecto al PI en máximos sobre impulsos. Por otra parte, se observa que el SMC posee una respuesta más suave de la señal de control que el controlador PI. Se ha observado también, que para ambos controladores el THD en todo momento se encuentra por debajo de lo exigido por la normativa IEEE 519 y los valores de distorsión armónica de la corriente trifásica inyectada a la red no presentan mayor diferencia entre los controladores. Finalmente, el controlador PI se antepone al SMC al presentar menores sobre picos de corriente trifásica.

4. CONCLUSIONES Y RECOMENDACIONES

4.1. CONCLUSIONES

- El diseño de un inversor trifásico conectado a la red con filtro LCL continúa siendo el centro de muchas investigaciones actuales. Dentro del estado del arte se han encontrado diversos estudios de los últimos años tanto a nivel de control del inversor como a nivel de diseño del filtro LCL. En el presente estudio se ha utilizado una metodología actual para un diseño óptimo del filtro LCL.
- En el presente estudio se ha realizado el diseño de un filtro LCL para un inversor trifásico y se obtienen resultados considerablemente óptimos debido a que los porcentajes de THD de corriente inyectada a la red, obtenidos en cada una de las pruebas realizadas, no superan el 0.5%, cumpliendo con el estándar IEEE519, donde el porcentaje máximo permitido es del 5%, lo que evidencia que el filtro LCL cumple su objetivo satisfactoriamente.
- Se ha diseñado un controlador PI para el inversor que cumple satisfactoriamente con el control de la corriente de salida y se ha evidenciado que una de sus principales ventajas es que su tiempo de establecimiento fue menor que en el controlador SMC, así como presenta una mejora porcentual de entre el 8% al 11% del índice IEA. Así mismo, de manera global, presentó menores sobre picos de corriente trifásica.
- Se ha diseñado un controlador SMC para el inversor que cumple satisfactoriamente con el control de la corriente de salida y se evidencia que entre sus principales ventajas tiene una mejora porcentual del 8% al 9% del índice ISE con respecto al controlador PI. Por otra parte, para cambios de referencia de potencia activa posee una buena respuesta a los sobre impulsos y finalmente, presenta una mejor respuesta en la señal de control respecto al PI, al ser esta más suave.
- El controlador PI presenta una mejor respuesta de control en régimen permanente, tal como se puede evidenciar a través del índice de desempeño IAE. Por otra parte, si se requiere priorizar la respuesta transitoria ponderando los errores grandes, el SMC se antepone al controlador PI, tal como se puede evidenciar con los valores obtenidos del índice ISE para cada uno de los casos analizados.

4.2. RECOMENDACIONES

- En futuros trabajos se recomienda la posible optimización de varios componentes del sistema, como, por ejemplo, la utilización de una técnica de modulación más avanzada o se podría incluir una modificación de PLL que permita una sincronización más efectiva con la red.
- Respecto a la calibración y sintonización de parámetros de los controladores, las fórmulas o procedimientos establecidos no siempre se acoplan exactamente a la planta, más cuando se trabaja con aproximaciones de la misma. Se recomienda, como una de las soluciones, el uso de algoritmos que reduzcan los índices de desempeño como, por ejemplo: algoritmos genéticos, colonia de hormigas, técnica de forraje de bacterias, etc.
- Otra posible mejora al sistema es trabajar con la planta completa sin utilizar su aproximación y con lazos internos de control para mejorar la respuesta requerida por la planta.

5. REFERENCIAS BIBLIOGRÁFICAS

- [1] H. Komurcugil, N. Altin, S. Ozdemir, and I. Sefa, "Sliding-Mode and Proportional-Resonant Based Control Strategy for Three-Phase Grid-Connected," pp. 2396–2401, 2016.
- [2] P. Cheng and H. Nian, "Direct Power Control of Voltage Source Inverter in a Virtual Synchronous Reference Frame during Frequency Variation and Network Unbalance," *IET Power Electron.*, vol. 9, no. 3, pp. 502–511, 2016, doi: 10.1049/iet-pel.2015.0219.
- [3] F. Blaabjerg, *Control of Power Electronic Converters and Systems - Volume 1*, Volumen 1. London: Elsevier, 2018.
- [4] J. Hu, L. Shang, Y. He, and Z. Q. Zhu, "Direct Active and Reactive Power Regulation of Grid-connected DC/AC Converters using Sliding Mode Control approach," *IEEE Trans. Power Electron.*, vol. 26, no. 1, pp. 210–222, 2011, doi: 10.1109/TPEL.2010.2057518.
- [5] Q.-C. Zhong and T. Hornik, *Control of Power Inverters in Renewable Energy and Smart Grid Integration*, First edit. West Sussex: Wiley, 2013.
- [6] M. Rashid, *Power Electronics Handbook*, Third edit. 2001.
- [7] E. H. E. Aboadla *et al.*, "A comparative study between SPWM and SHE-PWM modulation techniques for DC-AC inverters," *2017 IEEE 3rd Int. Conf. Eng. Technol. Soc. Sci. ICETSS 2017*, vol. 2018-Janua, no. 1, pp. 1–5, 2018, doi: 10.1109/ICETSS.2017.8324191.
- [8] X. Chen, S. Huang, B. Li, and C. Yang, "A comprehensive study of relationship of two simplified space vector modulation methods and the application in three-level inverters," *2017 20th Int. Conf. Electr. Mach. Syst. ICEMS 2017*, 2017, doi: 10.1109/ICEMS.2017.8055958.
- [9] L. Mesa *et al.*, "Modulación PWM aplicada a Inversores Trifásicos dentro del esquema de Accionamientos Eléctricos AC," *Prim. ISA Show Andin. 2007 Ponen.*, pp. 1–24, 2007.
- [10] F. Blaabjerg, *Control of Power Electronic Converters and Systems - Volume 2*. London: Elsevier, 2018.

- [11] R. Teodorescu, F. Blaabjerg, M. Liserre, and P. Loh, "Proportional-resonant Controllers and Filters for Grid-connected Voltage-source Converters," *IEE Proceedings-Electric Power Appl.*, vol. 153, no. 2, pp. 750–762, 2006, doi: 10.1049/ip-epa.
- [12] H. Akagi, Y. Kanazawa, and A. Nabae, "Instantaneous Reactive Power Compensators Comprising Switching Devices without Energy Storage Components," *IEEE Trans. Ind. Appl.*, vol. IA-20, no. 3, pp. 625–630, 1984, doi: 10.1109/TIA.1984.4504460.
- [13] C. P. Aedo Paredes, "Algoritmos de Detección de Fase para Sincronización y Control de frecuencia de Central Micro Hidráulica Plug &Play," 2014, [Online]. Available: <http://repositorio.uchile.cl/handle/2250/116877>.
- [14] M. M. De Carvalho, R. L. P. Medeiros, I. V. Bessa, F. A. C. Junior, K. E. Lucas, and D. A. Vaca, "Comparison of the PLL Control techniques applied in Photovoltaic System," *2019 IEEE 15th Brazilian Power Electron. Conf. 5th IEEE South. Power Electron. Conf. COBEP/SPEC 2019*, pp. 4–9, 2019, doi: 10.1109/COBEP/SPEC44138.2019.9065414.
- [15] M. Ciobotaru, R. Teodorescu, and F. Blaabjerg, "A New Single-Phase PLL Structure Based on Second Order Generalized Integrator," *37th IEEE Power Electron. Spec. Conf.*, vol. 2, pp. 469–893, 2006.
- [16] M. Liserre, F. Blaabjerg, and S. Hansen, "Design and control of an LCL-filter-based three-phase active rectifier," *IEEE Trans. Ind. Appl.*, vol. 41, no. 5, pp. 1281–1291, 2005, doi: 10.1109/TIA.2005.853373.
- [17] K. B. Park, F. D. Kieferndorf, U. Drofenik, S. Pettersson, and F. Canales, "Weight Minimization of LCL Filters for High-Power Converters: Impact of PWM Method on Power Loss and Power Density," *IEEE Trans. Ind. Appl.*, vol. 53, no. 3, pp. 2282–2296, 2017, doi: 10.1109/TIA.2017.2657479.
- [18] J. Bian, C. Zang, X. Li, B. Hu, and J. Liu, "The rapid development of three-phase grid-forming micro-source inverter based on SMC and PI control," *CIEEC 2017 - Proc. 2017 China Int. Electr. Energy Conf.*, pp. 1–6, 2018, doi: 10.1109/CIEEC.2017.8388410.
- [19] S. Jayalath and M. Hanif, "Generalized LCL-Filter Design Algorithm for Grid-Connected Voltage-Source Inverter," *IEEE Trans. Ind. Electron.*, vol. 64, no. 3, pp. 1905–1915, 2017, doi: 10.1109/TIE.2016.2619660.

- [20] R. Peña-Alzola, M. Liserre, F. Blaabjerg, M. Ordonez, and Y. Yang, "LCL-filter design for robust active damping in grid-connected converters," *IEEE Trans. Ind. Informatics*, vol. 10, no. 4, pp. 2192–2203, 2014, doi: 10.1109/TII.2014.2361604.
- [21] L. Yang *et al.*, "A Double Update PWM Method to Improve Robustness for the Deadbeat Current Controller in Three-Phase Grid-Connected System," *J. Electr. Comput. Eng.*, vol. 2018, 2018, doi: 10.1155/2018/2972379.
- [22] V. Blasko and V. Kaura, "A Novel Control to Actively Damp Resonance in Input LC Filter of a Three-phase Voltage Source Converter," *IEEE Trans. Ind. Appl.*, vol. 33, no. 2, pp. 542–550, 1997, doi: 10.1109/28.568021.
- [23] S. G. Parker, B. P. McGrath, and D. G. Holmes, "Regions of Active Damping Control for LCL Filters," *IEEE Trans. Ind. Appl.*, vol. 50, no. 1, pp. 424–432, 2014, doi: 10.1109/TIA.2013.2266892.
- [24] A. Reznik, M. G. Simoes, A. Al-Durra, and S. M. Mueeen, "LCL Filter Design and Performance Analysis for Grid Interconnected Systems," *Costume*, no. 1, pp. 1–7, 2013, doi: 10.1179/cos.1989.23.1.114.
- [25] P. Channegowda and V. John, "Filter Optimization for Grid Interactive Voltage Source Inverters," *IEEE Trans. Ind. Electron.*, vol. 57, no. 12, pp. 4106–4114, 2010, doi: 10.1109/tie.2010.2042421.
- [26] B. Kuo, *Sistemas de Control Automático*, Séptima., vol. 1. Prentice Hall Hispanoamerica.
- [27] F. Blaabjerg, R. Teodorescu, M. Liserre, and A. V. Timbus, "Overview of Control and Grid Synchronization for Distributed Power Generation Systems," *IEEE Trans. Ind. Electron.*, vol. 53, no. 5, pp. 1398–1409, 2006, doi: 10.1109/TIE.2006.881997.
- [28] V. I. Utkin, "Variable Structure Systems with Sliding Modes," *IEEE Trans. Automat. Contr.*, vol. 22, no. 2, pp. 212–222, 1977, doi: 10.1109/TAC.1977.1101446.
- [29] H. Li, W. Wu, M. Huang, H. Shu-Hung Chung, M. Liserre, and F. Blaabjerg, "Design of PWM-SMC Controller Using Linearized Model for Grid-Connected Inverter with LCL Filter," *IEEE Trans. Power Electron.*, vol. 35, no. 12, pp. 12773–12786, 2020, doi: 10.1109/TPEL.2020.2990496.
- [30] J.-J. E. Slotine and W. Li, *Applied Nonlinear Control*, vol. 8, no. 6. New Jersey: Prentice Hall, 1991.

- [31] H. Brandtstadter, "Sliding Mode Control in Electromechanical Systems," Technische Universitat Munchen, 2008.
- [32] O. Camacho, "Sliding Mode Control in Process Industry," *Instrum. Eng. Handbook, Fourth Ed. Process Control Optim.*, vol. 2, no. 2005, pp. 351–359, 2005.
- [33] Ó. Camacho, A. Rosales, and F. Rivas, *Control de Procesos*, Primera. Quito, 2020.
- [34] C. A. Smith and A. B. Corripio, *Control Automático de Procesos*. México: Limusa, 1991.
- [35] S. Golestan and J. M. Guerrero, "Conventional synchronous reference frame phase-locked loop is an adaptive complex filter," *IEEE Trans. Ind. Electron.*, vol. 62, no. 3, pp. 1679–1682, 2015, doi: 10.1109/TIE.2014.2341594.
- [36] E. Kantar, S. N. Usluer, and A. M. Hava, "Control strategies for grid connected PWM-VSI systems," *ELECO 2013 - 8th Int. Conf. Electr. Electron. Eng.*, no. 1, pp. 220–224, 2013, doi: 10.1109/eleco.2013.6713835.
- [37] B. Bahrani, S. Kenzelmann, and A. Rufer, "Multivariable-PI-based dq current control of voltage source converters with superior axis decoupling capability," *IEEE Trans. Ind. Electron.*, vol. 58, no. 7, pp. 3016–3026, 2011, doi: 10.1109/TIE.2010.2070776.

6. ANEXOS

ANEXO A

ANÁLISIS DE ARMÓNICOS EN CORRIENTES

En el presente anexo se detallan los gráficos principales obtenidos al realizar el análisis de armónicos de corriente en cada uno de los casos de control a través del bloque *Powergui* de Simulink y la herramienta *FFT Analysis*.

1. Controlador PI – Inyección de Potencia Activa y Reactiva a la red

Como se puede observar en la Figura A. 1, el área resaltada con rojo corresponde a la señal de corriente en estado estable a la que se le realizará el análisis de armónicos. En este caso, corresponde a la corriente inyectada a la red para el primer valor de referencia de potencia activa y reactiva de la Tabla 3.2. a través del uso de controladores PI.

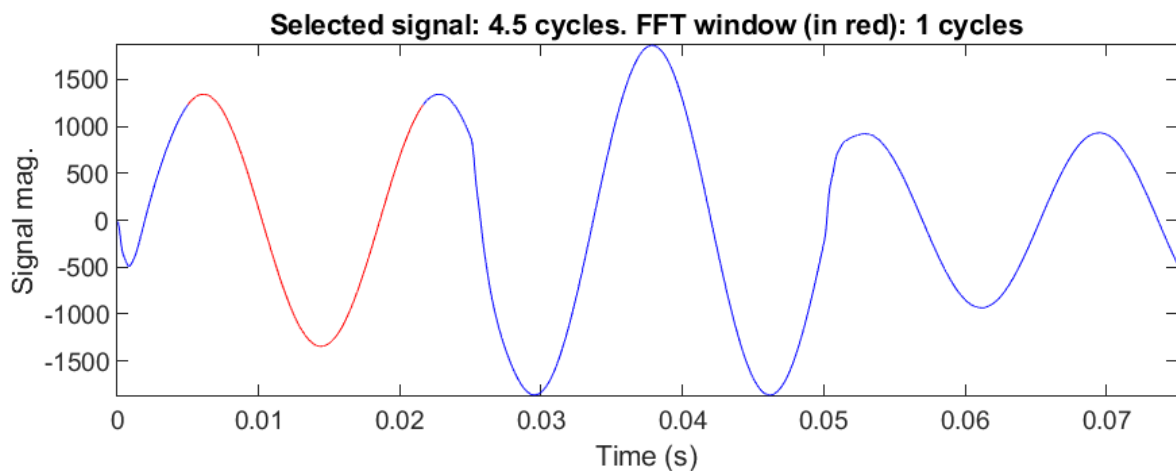


Figura A. 1. Señal de corriente a ser analizada – Caso 1

Por otra parte, en la Figura A. 2, a partir del gráfico en barras, se observa el análisis de armónicos de la señal de la Figura A. 1. En la parte superior se observa el valor de la magnitud de la fundamental de la señal, misma que es de 1343 [A], así como el valor de la distorsión armónica total, la cual tiene un valor de 0.19%. Adicionalmente, a partir del gráfico de barras se puede observar que ninguno de los armónicos supera el valor de 0.025% en función de la fundamental.

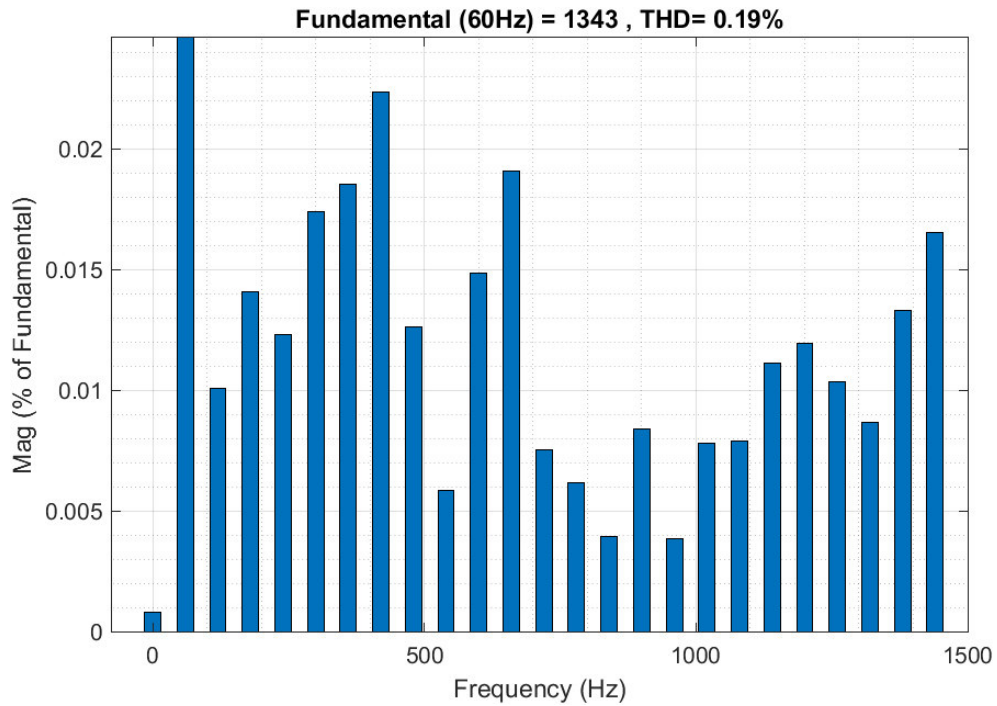


Figura A. 2. Análisis de THD de la corriente – Caso 1

Así mismo, como se puede observar en la Figura A. 3, el área resaltada con rojo corresponde a la señal de corriente en estado estable a la que se le realizará el análisis de armónicos. En este caso, corresponde a la corriente inyectada a la red para el segundo valor de referencia de potencia activa y reactiva de la Tabla 3.2 a través del uso de controladores PI.

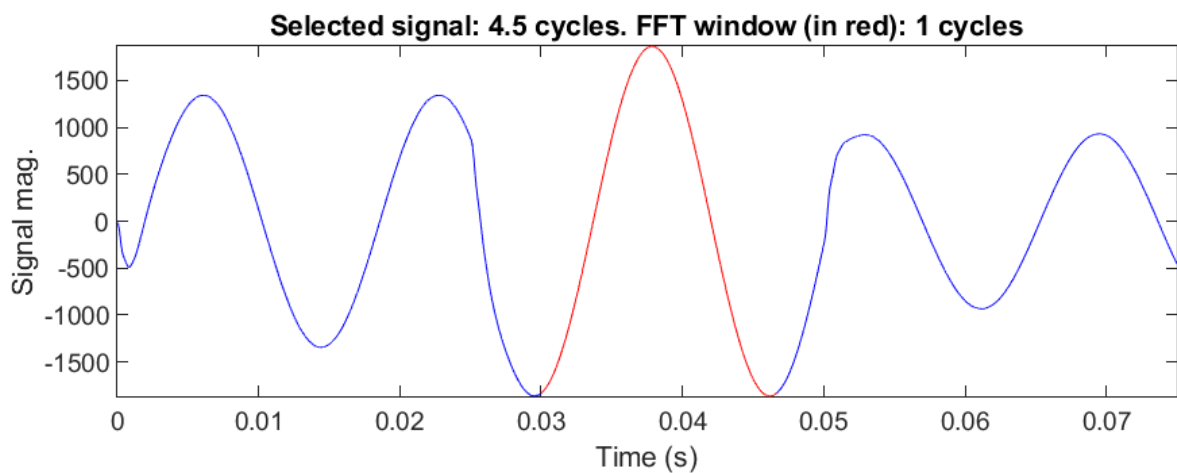


Figura A. 3. Señal de corriente a ser analizada – Caso 2

En la Figura A. 4, a partir del gráfico en barras, se observa el análisis de armónicos de la señal de la Figura A. 3. En la parte superior se observa el valor de la magnitud de la fundamental de la señal misma que es de 1863 [A], así como el valor de la distorsión

armónica total, la cual tiene un valor de 0.17%. Adicionalmente, a partir del gráfico de barras se puede observar que ninguno de los armónicos supera el valor de 0.014% en función de la fundamental.

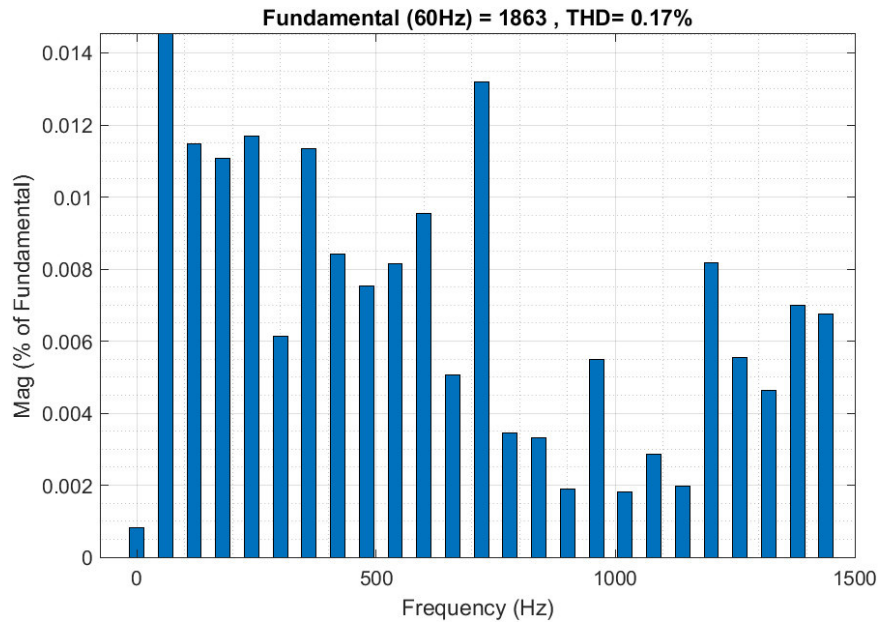


Figura A. 4. Análisis de THD de la corriente – Caso 2

Finalmente, como se puede observar en la Figura A. 5, el área resaltada con rojo corresponde a la señal de corriente en estado estable a la que se le realizará el análisis de armónicos, misma que corresponde a la corriente inyectada a la red para el tercer valor de referencia de potencia activa y reactiva de la Tabla 3.2 a través del uso de controladores PI.

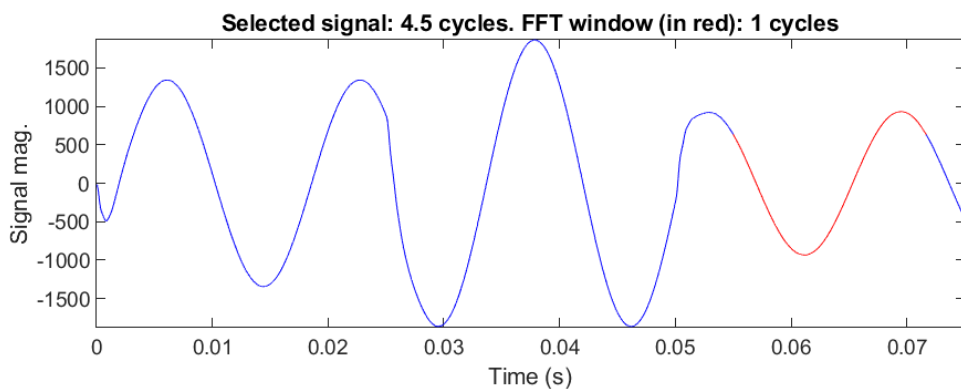


Figura A. 5. Señal de corriente a ser analizada – Caso 3

En la Figura A. 6, a partir del gráfico en barras, se observa el análisis de armónicos de la señal de la Figura A. 5. En la parte superior se observa el valor de la magnitud de la

fundamental de la señal misma que es de 933.1 [A], así como el valor de la distorsión armónica total, la cual tiene un valor de 0.20%. Adicionalmente, a partir del gráfico de barras se puede observar que ninguno de los armónicos supera el valor de 0.035% en función de la fundamental.

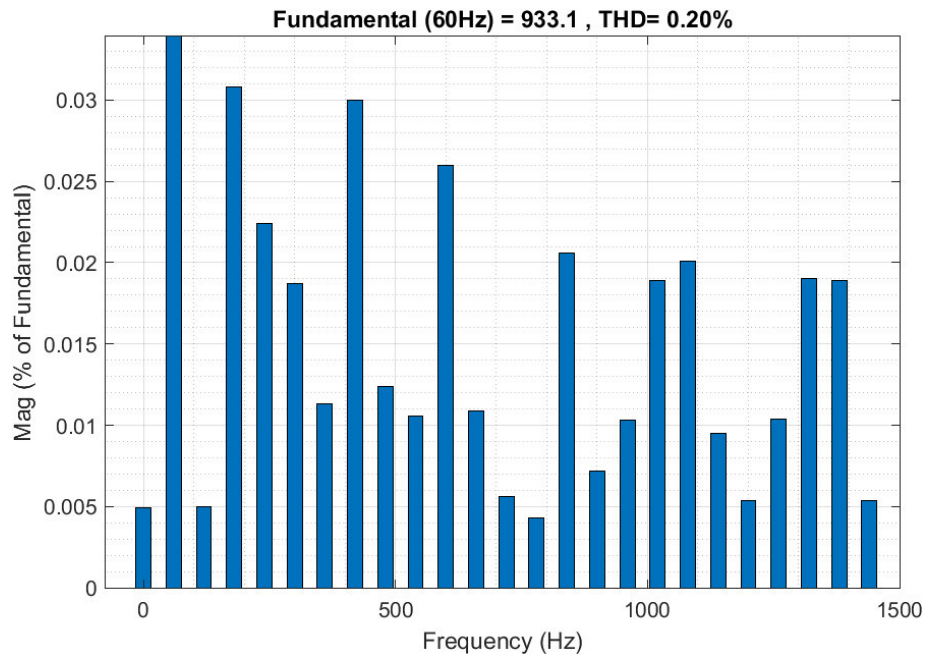


Figura A. 6. Análisis de THD de la corriente – Caso 3

2. Controlador PI – Respuesta frente a Huecos de Voltaje

Como se puede observar en la Figura A. 7, el área resaltada con rojo corresponde a la señal de corriente en estado estable a la que se le realizará el análisis de armónicos. En este caso, corresponde a la corriente inyectada a la red a través del uso de controladores PI antes de la perturbación de hueco de voltaje.

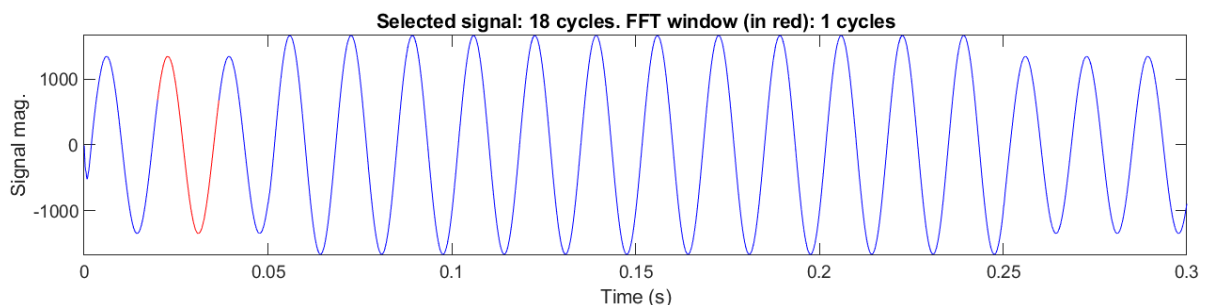


Figura A. 7. Señal de corriente a ser analizada – Antes del hueco de voltaje

En la Figura A. 8, a partir del gráfico en barras, se observa el análisis de armónicos de la señal de la Figura A. 7. En la parte superior se observa el valor de la magnitud de la fundamental de la señal misma que es de 1343 [A], así como el valor de la distorsión armónica total, la cual tiene un valor de 0.18%. Adicionalmente, a partir del gráfico de barras se puede observar que ninguno de los armónicos supera el valor de 0.025% en función de la fundamental.

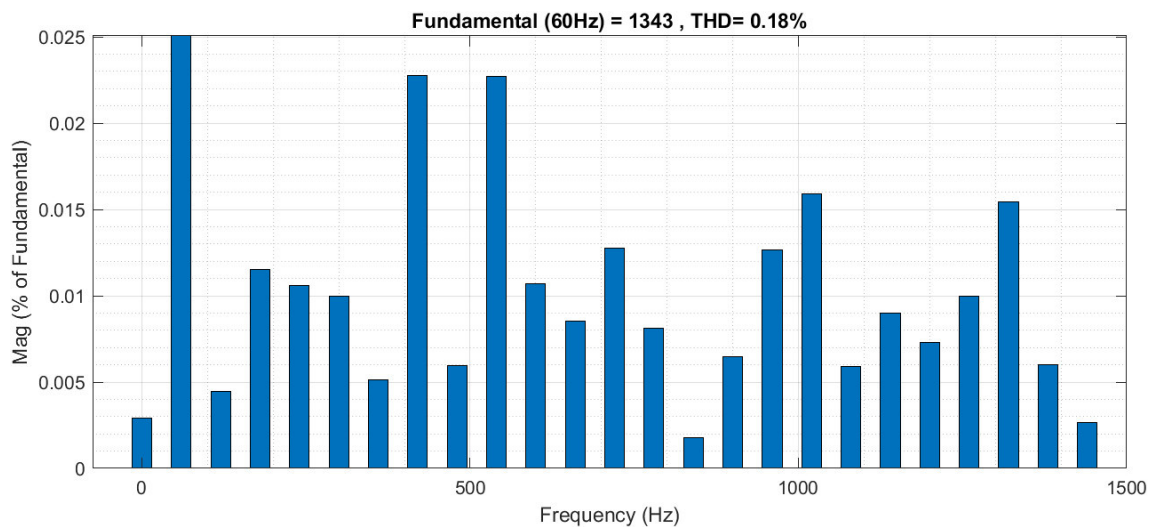


Figura A. 8. Análisis de THD de la corriente – Antes de hueco de voltaje

En la Figura A. 9, el área resaltada con rojo corresponde a la señal de corriente en estado estable a la que se le realizará el análisis de armónicos. En este caso, corresponde a la corriente inyectada a la red a través del uso de controladores PI durante la perturbación de hueco de voltaje.

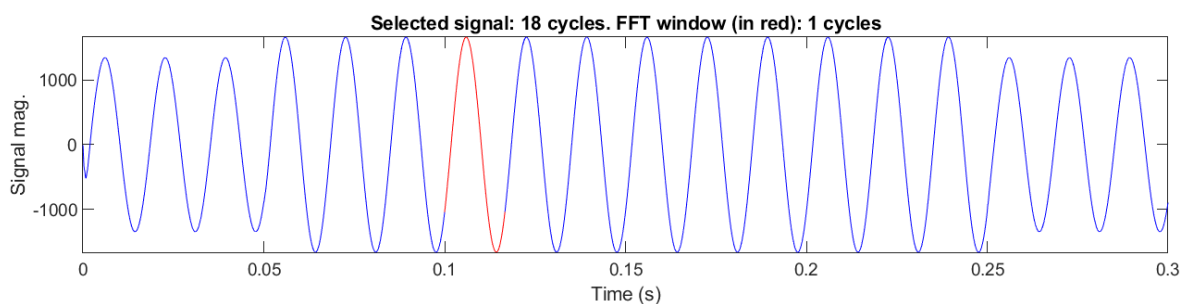


Figura A. 9. Señal de corriente a ser analizada – Durante hueco de voltaje

En la Figura A. 10, a partir del gráfico en barras, se observa el análisis de armónicos de la señal de la Figura A. 9. En la parte superior se observa el valor de la magnitud de la fundamental de la señal misma que es de 1659 [A], así como el valor de la distorsión armónica total, la cual tiene un valor de 0.16%. Adicionalmente, a partir del gráfico de barras

se puede observar que ninguno de los armónicos supera el valor de 0.023% en función de la fundamental.

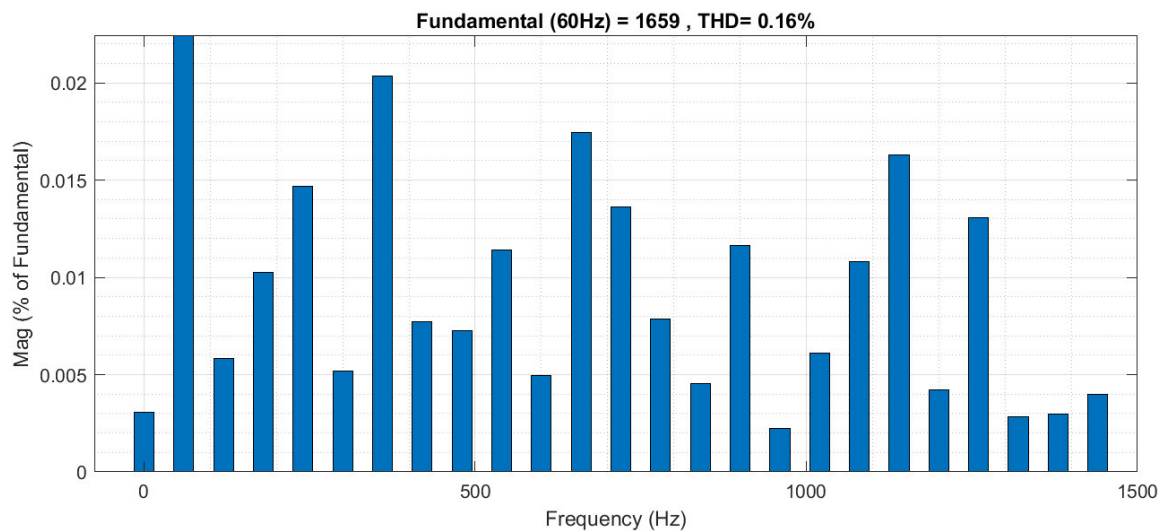


Figura A. 10. Análisis de THD de la corriente – Durante hueco de voltaje

Finalmente, en la Figura A. 11, el área resaltada con rojo corresponde a la señal de corriente en estado estable a la que se le realizará el análisis de armónicos. En este caso, corresponde a la corriente inyectada a la red a través del uso de controladores PI después de la perturbación de hueco de voltaje.

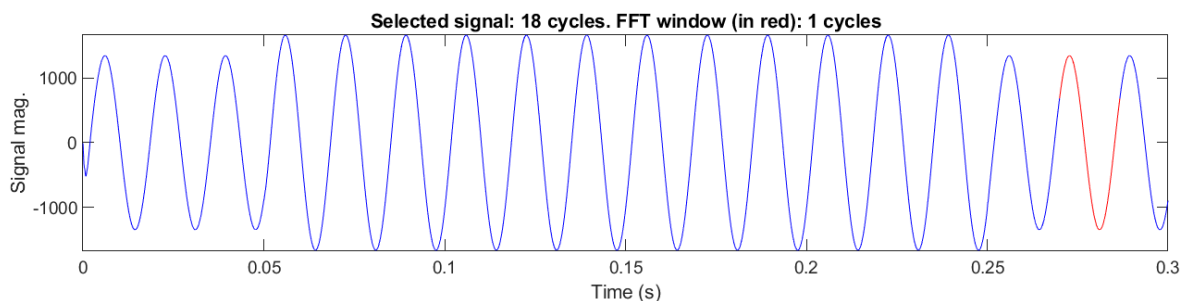


Figura A. 11. Señal de corriente a ser analizada – Después del hueco de voltaje

En la Figura A. 12, a partir del gráfico en barras, se observa el análisis de armónicos de la señal de la Figura A. 11. En la parte superior se observa el valor de la magnitud de la fundamental de la señal misma que es de 1343 [A], así como el valor de la distorsión armónica total, la cual tiene un valor de 0.19%. Adicionalmente, a partir del gráfico de barras se puede observar que ninguno de los armónicos supera el valor de 0.035% en función de la fundamental.

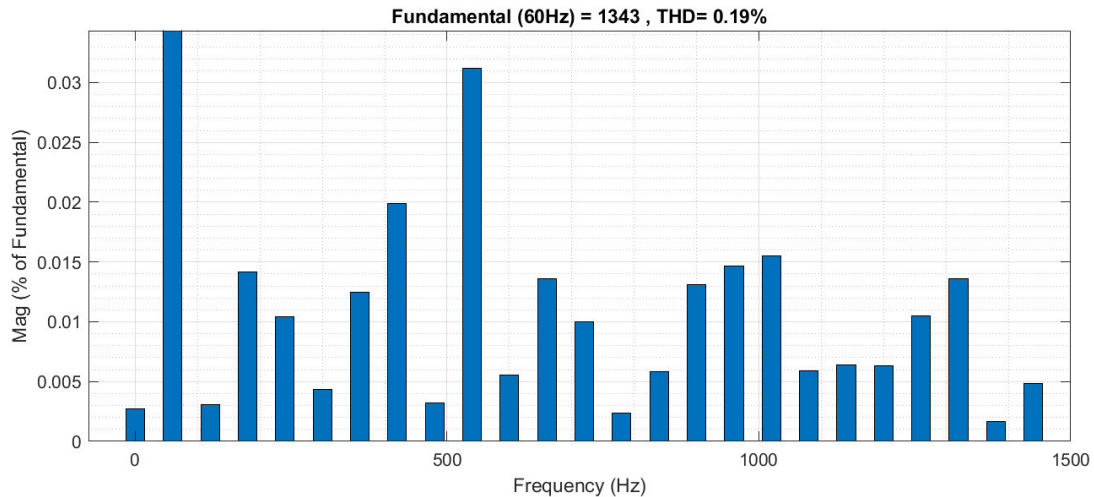


Figura A. 12. Análisis de THD de la corriente – Después de hueco de voltaje

3. Controlador SMC – Inyección de Potencia Activa y Reactiva a la red

Como se puede observar en la Figura A. 13, el área resaltada con rojo corresponde a la señal de corriente en estado estable a la que se le realizará el análisis de armónicos. En este caso, corresponde a la corriente inyectada a la red para el primer valor de referencia de potencia activa y reactiva de la Tabla 3.2. a través del uso de controladores SMC.

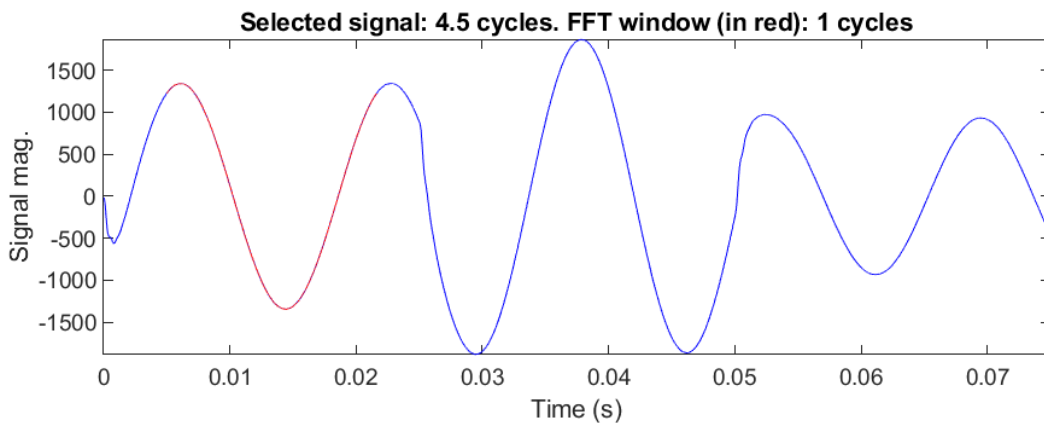


Figura A. 13. Señal de corriente a ser analizada – Caso 1

Por otra parte, en la Figura A. 14, a partir del gráfico en barras, se observa el análisis de armónicos de la señal de la Figura A. 13. En la parte superior se observa el valor de la magnitud de la fundamental de la señal misma que es de 1343 [A], así como el valor de la distorsión armónica total, la cual tiene un valor de 0.21%. Adicionalmente, a partir del gráfico de barras se puede observar que ninguno de los armónicos supera el valor de 0.07% en función de la fundamental.

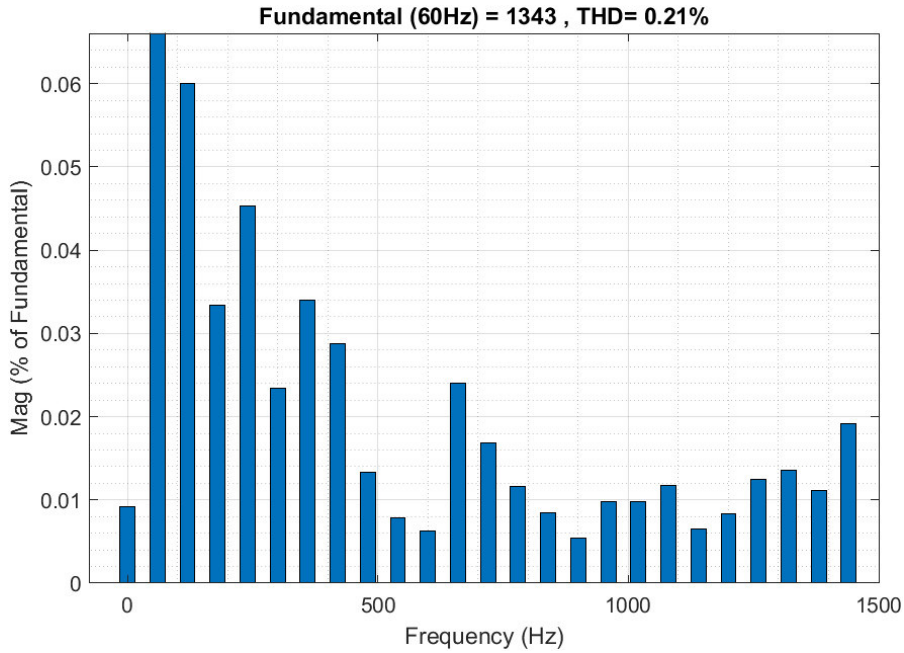


Figura A. 14. Análisis de THD de la corriente – Caso 1

Así mismo, como se puede observar en la Figura A. 15, el área resaltada con rojo corresponde a la señal de corriente en estado estable a la que se le realizará el análisis de armónicos. En este caso, corresponde a la corriente inyectada a la red para el segundo valor de referencia de potencia activa y reactiva de la Tabla 3.2 a través del uso de controladores SMC.

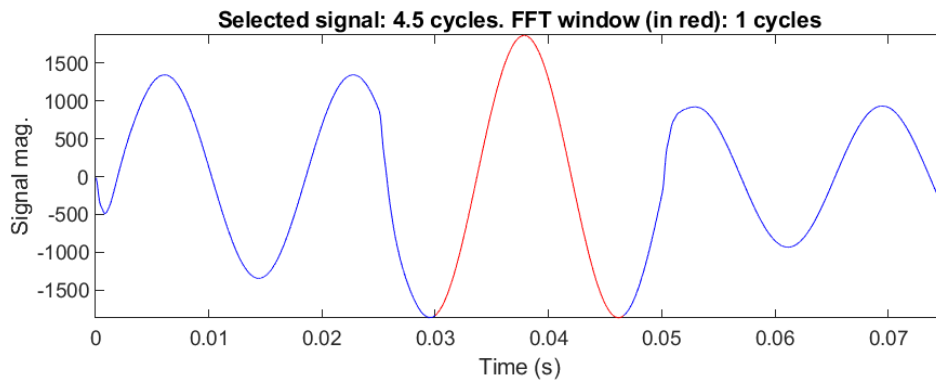


Figura A. 15. Señal de corriente a ser analizada – Caso 2

En la Figura A. 16, a partir del gráfico en barras, se observa el análisis de armónicos de la señal de la Figura A. 15. En la parte superior se observa el valor de la magnitud de la fundamental de la señal misma que es de 1863 [A], así como el valor de la distorsión armónica total, la cual tiene un valor de 0.17%. Adicionalmente, a partir del gráfico de barras

se puede observar que ninguno de los armónicos supera el valor de 0.014% en función de la fundamental.

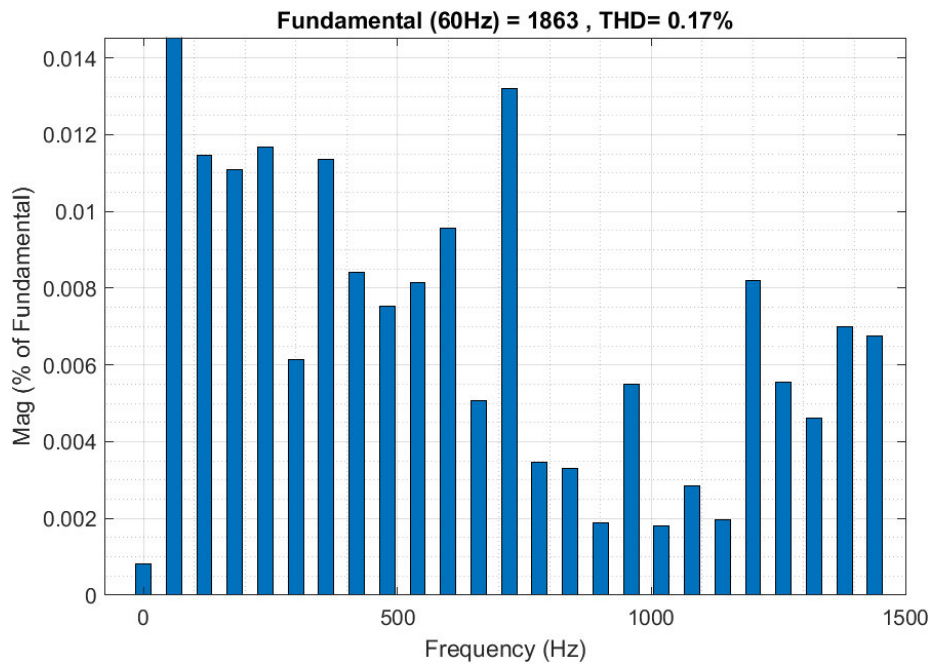


Figura A. 16. Análisis de THD de la corriente – Caso 2

Finalmente, como se puede observar en la Figura A. 17, el área resaltada con rojo corresponde a la señal de corriente en estado estable a la que se le realizará el análisis de armónicos, misma que corresponde a la corriente inyectada a la red para el tercer valor de referencia de potencia activa y reactiva de la Tabla 3.2 a través del uso de controladores SMC.

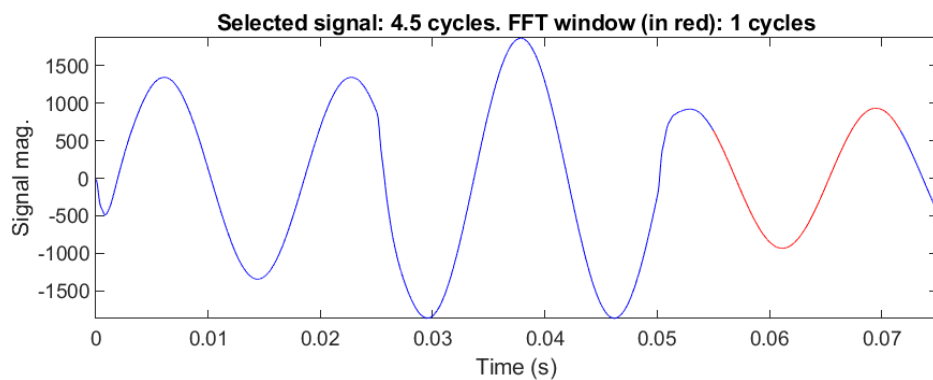


Figura A. 17. Señal de corriente a ser analizada – Caso 3

En la Figura A. 18, a partir del gráfico en barras, se observa el análisis de armónicos de la señal de la Figura A. 17. En la parte superior se observa el valor de la magnitud de la fundamental de la señal misma que es de 933.1 [A], así como el valor de la distorsión

armónica total, la cual tiene un valor de 0.20%. Adicionalmente, a partir del gráfico de barras se puede observar que ninguno de los armónicos supera el valor de 0.035% en función de la fundamental.

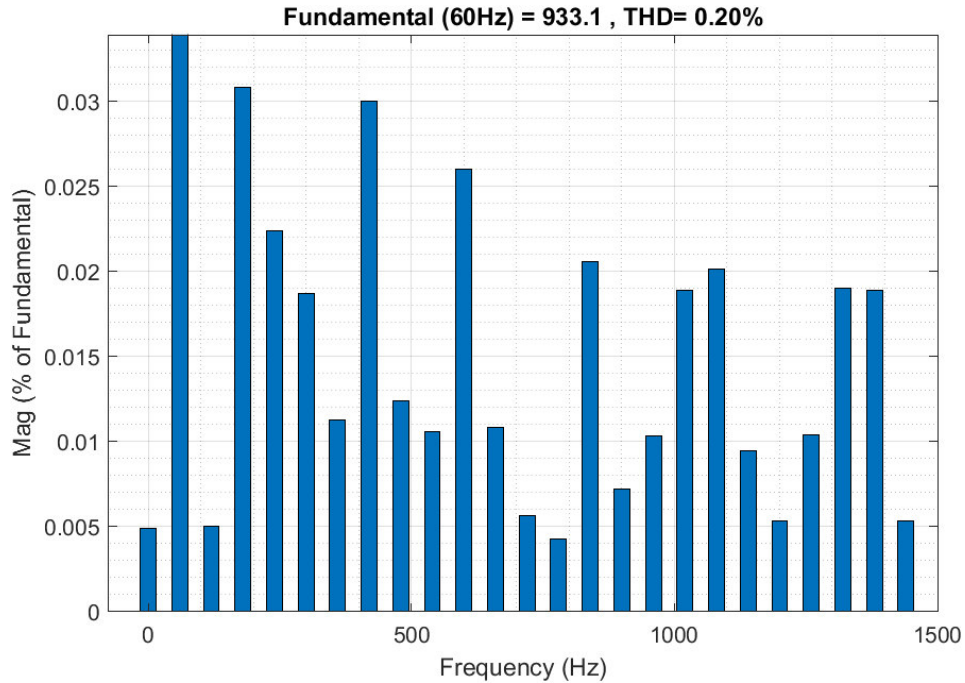


Figura A. 18. Análisis de THD de la corriente – Caso 3

4. Controlador SMC – Respuesta frente a Huecos de Voltaje

Como se puede observar en la Figura A. 19, el área resaltada con rojo corresponde a la señal de corriente en estado estable a la que se le realizará el análisis de armónicos. En este caso, corresponde a la corriente inyectada a la red a través del uso de controladores SMC antes de la perturbación de hueco de voltaje.

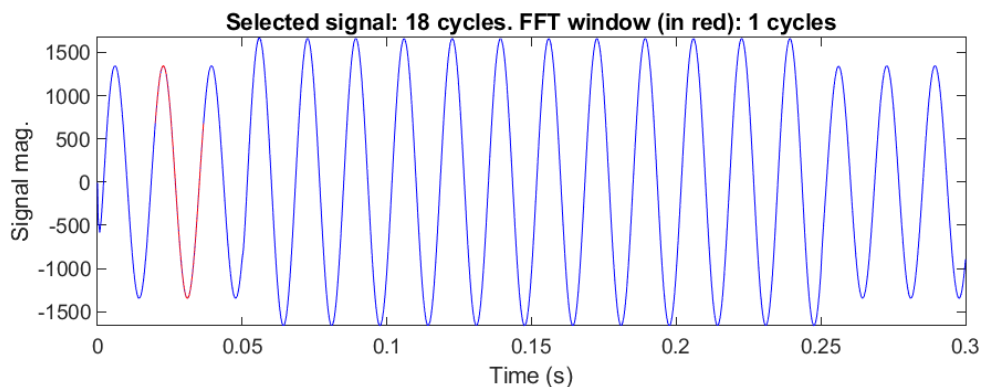


Figura A. 19. Señal de corriente a ser analizada – Antes del hueco de voltaje

En la Figura A. 20, a partir del gráfico en barras, se observa el análisis de armónicos de la señal de la Figura A. 19. En la parte superior se observa el valor de la magnitud de la fundamental de la señal, misma que es de 1343 [A], así como el valor de la distorsión armónica total, la cual tiene un valor de 0.18%. Adicionalmente, a partir del gráfico de barras se puede observar que ninguno de los armónicos supera el valor de 0.022% en función de la fundamental.

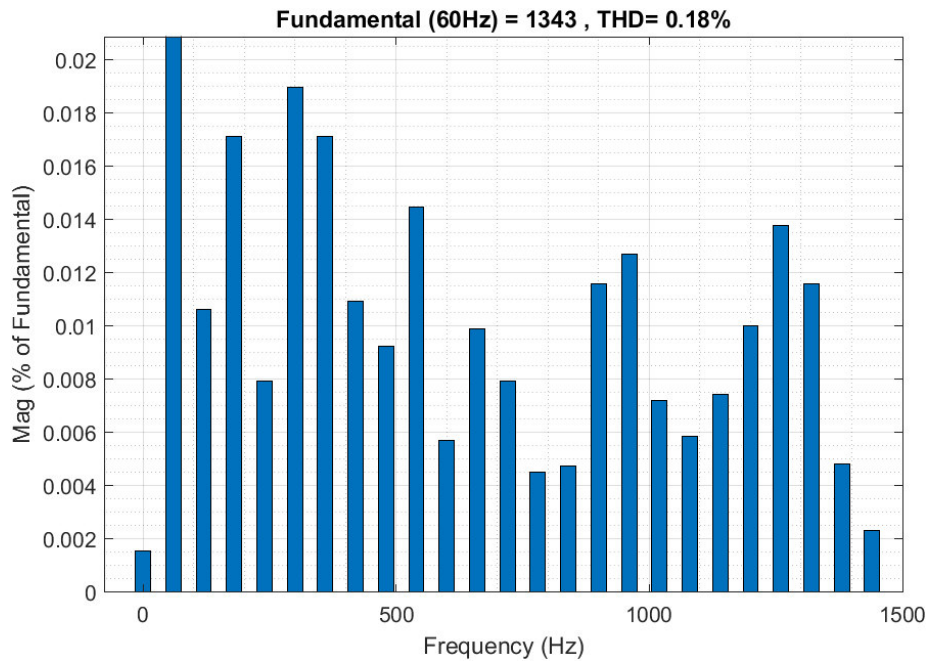


Figura A. 20. Análisis de THD de la corriente – Antes de hueco de voltaje

En la Figura A. 21, el área resaltada con rojo corresponde a la señal de corriente en estado estable a la que se le realizará el análisis de armónicos. En este caso, corresponde a la corriente inyectada a la red a través del uso de controladores SMC durante la perturbación de hueco de voltaje.

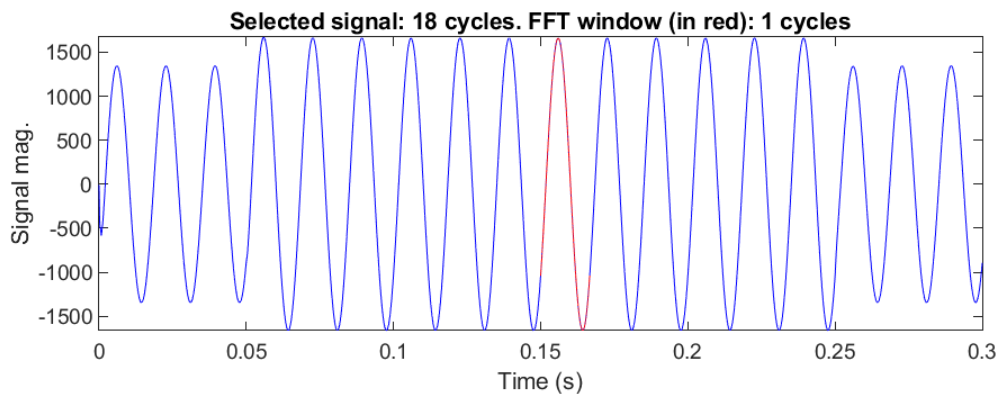


Figura A. 21. Señal de corriente a ser analizada – Durante hueco de voltaje

En la Figura A. 22, a partir del gráfico en barras, se observa el análisis de armónicos de la señal de la Figura A. 21. En la parte superior se observa el valor de la magnitud de la fundamental de la señal, misma que es de 1659 [A], así como el valor de la distorsión armónica total, la cual tiene un valor de 0.15%. Adicionalmente, a partir del gráfico de barras se puede observar que ninguno de los armónicos supera el valor de 0.022% en función de la fundamental.

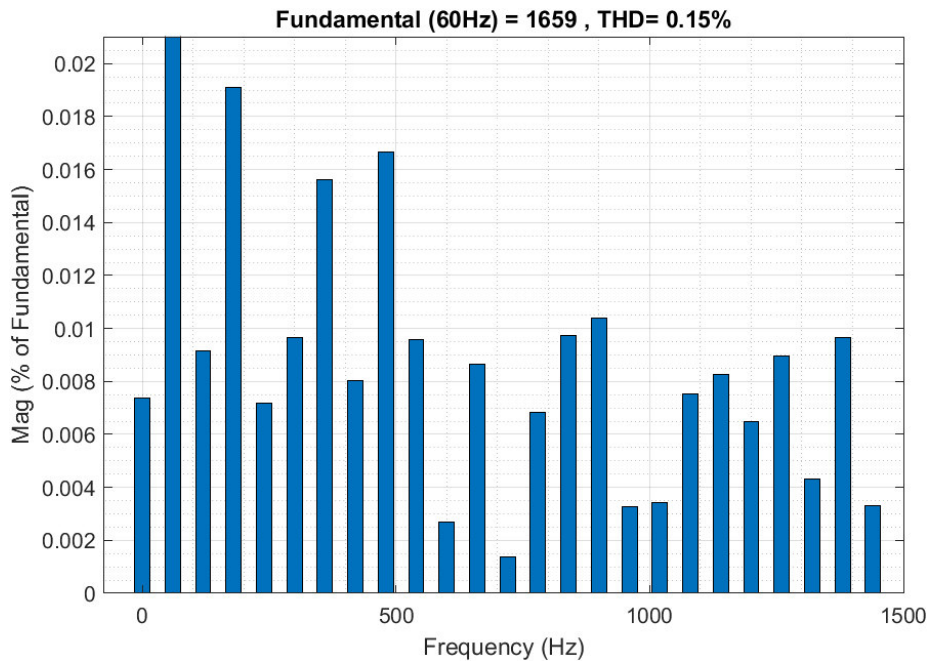


Figura A. 22. Análisis de THD de la corriente – Durante hueco de voltaje

Finalmente, en la Figura A. 23 el área resaltada con rojo corresponde a la señal de corriente en estado estable a la que se le realizará el análisis de armónicos. En este caso, corresponde a la corriente inyectada a la red a través del uso de controladores SMC después de la perturbación de hueco de voltaje.

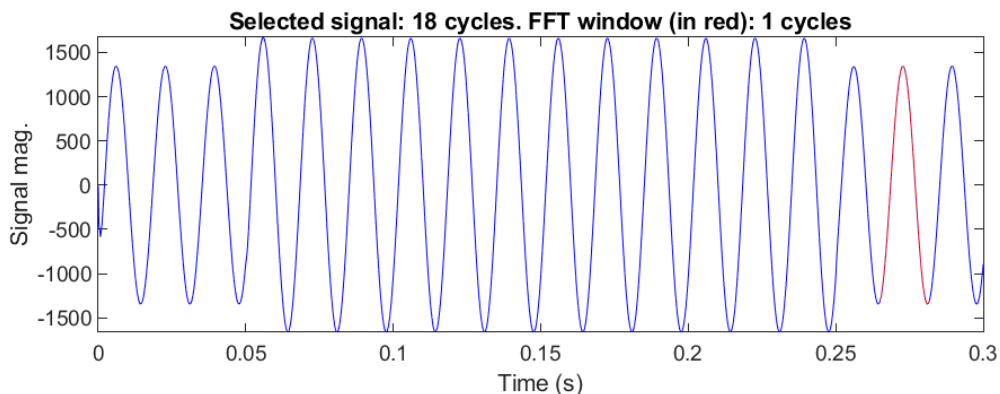


Figura A. 23. Señal de corriente a ser analizada – Después del hueco de voltaje

En la Figura A. 24, a partir del gráfico en barras, se observa el análisis de armónicos de la señal de la Figura A. 23. En la parte superior se observa el valor de la magnitud de la fundamental de la señal, misma que es de 1343 [A], así como el valor de la distorsión armónica total, la cual tiene un valor de 0.18%. Adicionalmente, a partir del gráfico de barras se puede observar que ninguno de los armónicos supera el valor de 0.018% en función de la fundamental.

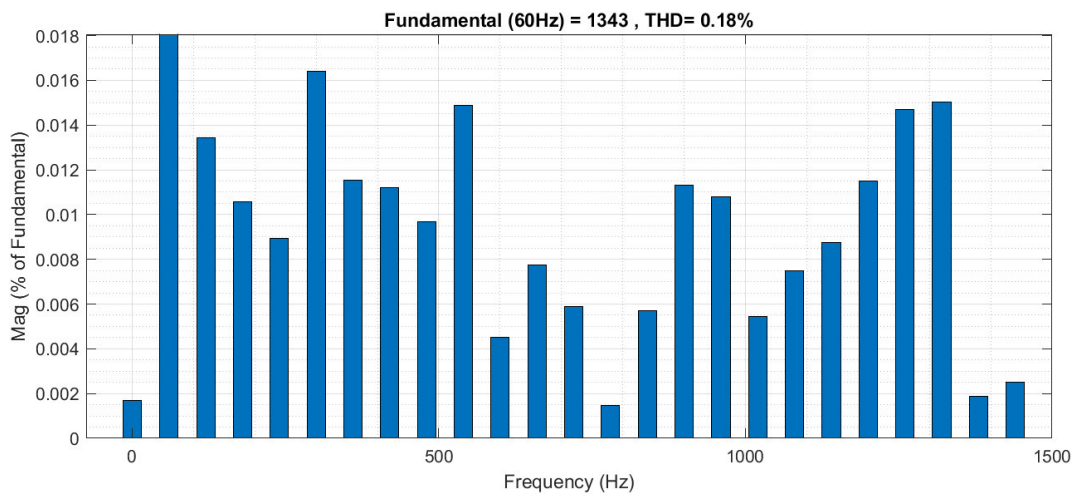


Figura A. 24. Análisis de THD de la corriente – Después de hueco de voltaje

ORDEN DE EMPASTADO