

Implementación en una FPGA de la Técnica Selective Mapping para Evaluar en Hardware la Reducción del PAPR de una Señal OFDM

Medina Pablo, Lupera-Morillo Pablo

Abstract— En este paper se evalúa mediante simulaciones y en hardware la reducción del parámetro Peak Average Power Ratio (PAPR) en un sistema Orthogonal Frequency-Division Multiplexing (OFDM) con la aplicación de la técnica Selective Mapping (SLM). Para las simulaciones del sistema se utiliza Matlab y su implementación se realiza en una Field Programmable Gate Array (FPGA) Virtex 5 (XUPV5-LX100T) de la marca Xilinx con el uso de la herramienta HDL Coder. De los resultados obtenidos se observa que esta técnica permite reducir el PAPR en aproximadamente 2.4 dB con respecto a la señal original cuando se utilizan 4 vectores de fases aleatorias con una probabilidad de 10^{-3} .

Index Terms— PAPR, SLM, OFDM.

I. INTRODUCCIÓN

LA técnica de multiplexación OFDM se utiliza en un gran número de estándares para redes de comunicación móvil, de área personal, local y extendida. Su importancia radica en su resistencia contra los efectos negativos producidos por el canal inalámbrico, sin embargo, al ser una multiplexación que utiliza múltiples portadoras en un momento dado las sub-portadoras pueden llegar a sumarse con la misma fase produciendo una contribución de potencia en la señal transmitida.

Una de las principales desventajas de las señales OFDM es que poseen un PAPR muy alto, que implica el uso de amplificadores de potencia más costosos y complejos. Es por esto que, se han desarrollado varias técnicas que permiten reducir este parámetro de potencia, dentro de las cuales se encuentra la técnica Selective Mapping (SLM).

Existen algunos trabajos que tratan acerca de los procedimientos para la reducción de PAPR; en [1] se presenta la técnica de planificación de señales para contrarrestar el problema del PAPR en redes de quinta generación (5G),* además se realiza su implementación en una tarjeta FPGA.

La técnica reconfigurable de filtrado basada en la reservación de un tono trabaja en el dominio del tiempo y la frecuencia para la reducción de PAPR en señales OFDM moduladas en 16QAM y 64QAM, y en [2] se la implementa y

prueba en una FPGA.

En [3] se estudia la implementación en una FPGA del algoritmo Active Constellation Extension (ACE) para la reducción de PAPR con un menor consumo de recursos de hardware y una mayor exactitud.

En cambio en [4] se realizan simulaciones para probar el desempeño de la técnica Blind Selective Mapping (B-SLM), y se llega a concluir que dicha técnica tiene un desempeño similar al SLM convencional.

Por esto, es permanente el estudio de nuevas técnicas para la reducción del PAPR que impliquen menor procesamiento y reducción en el consumo de recursos de hardware. Dentro de estas técnicas se considera a SLM como una de las propuestas válidas. Por esto, Selective Mapping (SLM), que tiene la ventaja de que posee una complejidad baja, altera de manera aleatoria las fases de los símbolos que entran en la etapa de la Inverse Fourier Transform (IFT), lo cual, hace que sea sencilla de implementar en comparación a otras técnicas de reducción de PAPR. Sin embargo, posee ciertas desventajas que afectan la transmisión de datos.

En este artículo se implementa la técnica SLM en una tarjeta Virtex 5 de la marca Xilinx mediante el uso del HDL Coder de Matlab para la generación del código VHDL. Además, se realiza un análisis comparativo entre los resultados obtenidos en hardware y software con el fin de evaluar la efectividad de la técnica y el correcto funcionamiento de la misma. Para esto, en la sección II se describe la metodología aplicada, en las secciones III y IV se realizan las simulaciones y las pruebas en hardware de la técnica SLM, y finalmente, en la sección IV se presentan las conclusiones del trabajo.

II. METODOLOGÍA

A. Selective Mapping (SLM)

SLM es una técnica de reducción del PAPR sin distorsión, debido a que únicamente altera aleatoriamente las fases de las sub-portadoras de la señal OFDM antes de entrar a la etapa de la Inverse Fast Fourier Transform (IFFT). En la Figura 1 se muestra el diagrama de bloques de la técnica SLM:

Medina Pablo, Escuela Politécnica Nacional, Quito, Ecuador (e-mail: pablo.medina.aizaga@gmail.com).

Lupera-Morillo Pablo, Escuela Politécnica Nacional, Quito, Ecuador (e-mail: pablo.lupera@epn.edu.ec).

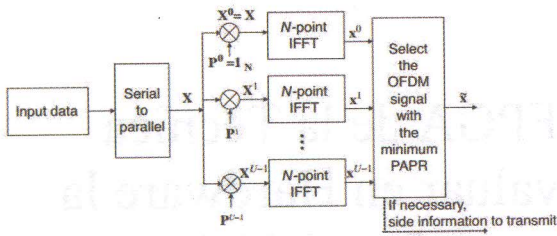


Figura 1. Diagrama de bloques de la técnica SLL en un sistema OFDM [4].

En donde:

$$X = [X[0], X[1], X[2], \dots, X[N-1]]$$

corresponde al bloque de datos de entrada o a los símbolos PSK/QAM que entran al bloque IFFT. En el proceso se alteran las fases de estos conjuntos de símbolos, es decir, los símbolos se multiplican por U secuencias de fases diferentes:

$$P^u = [P_0, P_1, P_2, \dots, P_{N-1}]$$

$$P^u = e^{j\phi_v}$$

$$\phi^u \in [0-2\pi]$$

$$\text{para } v=0, 1, 2, \dots, N-1$$

$$u=0, 1, 2, \dots, U.$$

$$X^u = [X^u[1], X^u[2], \dots, X^u[N-1]]$$

De cada producto resultante se obtiene su respectiva IFFT para la generación de un símbolo OFDM. Finalmente, se obtiene el conjunto de muestras de la señal OFDM después de aplicada la técnica SLM:

$$x^u = [x^u[0], x^u[1], \dots, x^u[N-1]].$$

El número de secuencias establece la cantidad del conjunto de muestras de las cuales se escoge la secuencia de menor PAPR, así la secuencia o símbolo de menor PAPR es la que se transmite [5].

B. Diseño del sistema

El sistema OFDM implementado (ver Figura 2) consiste en dos convertidores serial a paralelo, un modulador QPSK, un vector de fases aleatorias y un bloque IFFT. Se tiene una IFFT de tamaño 128, por lo que se deben recibir 256 bits en el modulador QPSK con el fin de obtener 128 símbolos modulados y así la cantidad de fases aleatorias necesarias para aplicar SLM será 128. Para evaluar el SLM se utilizaron 4 vectores de fases diferentes, es decir, se generaron 4 sistemas, cada uno con su respectivo vector de fases aleatorias.

El envío de los bits de datos a la tarjeta se realiza a través de comunicación serial desde un computador. Por lo que adicional a los componentes mencionados anteriormente es necesario diseñar una interfaz que permita la comunicación serial.

Todos los bloques del sistema se controlan mediante una máquina de estados, que garantiza su ejecución a tiempo y de manera correcta, con el fin de obtener un funcionamiento adecuado del sistema

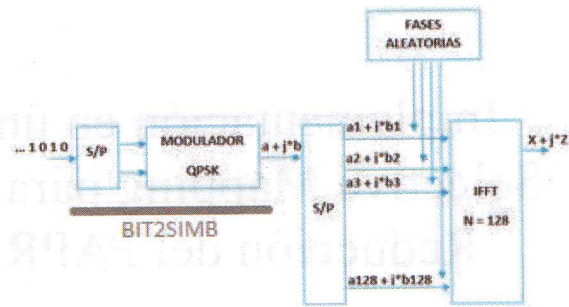


Figura 2. Sistema OFDM propuesto

El bloque Bit2Simb está compuesto por un convertor serial a paralelo y un modulador QPSK, posee dos entradas y tres salidas. En la entrada se ingresa una cadena binaria aleatoria. Se tiene una entrada en alto que indica la validez de los bits en la entrada de la tarjeta y en un estado en bajo ignorará los bits. Las salidas Re_Datos e Im_Datos devolverán la parte real e imaginaria de cada símbolo QPSK modulado respectivamente. Por último, la salida Out_Datos funciona de manera similar a la entrada de la recepción de los símbolos, pero indica la validez o no de los datos en las salidas Re_Datos e Im_Datos.

El convertor serial a paralelo posee una entrada y dos salidas, es decir, es un convertor 1 a 2. Los bits que ingresan de manera serial a la entrada Input_Bits se almacenan temporalmente hasta poder enviarlos por sus salidas respectivas al mismo tiempo. Este convertor se encarga de acomodar la entrada para el modulador QPSK, es decir, permite que a este último ingresen 2 bits (D1 y D2) a la vez.

El modulador QPSK se encarga de escoger la fase correspondiente a la combinación de bits que se indica en la Tabla 1. Una vez finalizada la modulación de cada dos bits, se coloca la parte real e imaginaria del símbolo modulado en sus respectivas salidas y se pone en alto a Out_Datos. Si no existen datos para modular las salidas del bloque BIT2SIM se colocan en cero lógico.

Tabla 1. Fases de la modulación QPSK

BITS	FASES
00	0.7071 + i*0.7071
01	0.7071 - i*0.7071
10	-0.7071 + i*0.7071
11	-0.7071 - i*0.7071

La Transformada Inversa de Fourier se consigue utilizando el algoritmo pipelined Radix 2² IFFT, el cual provee optimización tanto de velocidad y área para aplicaciones de transmisión de datos [6].

III. SIMULACIÓN Y PRUEBAS EN HARWARE

A. Simulación

En esta sección se analiza el funcionamiento de Selective Mapping en el sistema propuesto.

La Figura 3, que consiste en un diagrama de espectro, se obtiene de simular el sistema OFDM con SLM aplicando $U = 4$ vectores de fases aleatorias. Adicionalmente, se ha utilizado el modelo Rapp [7] para simular la respuesta de un amplificador de potencia.

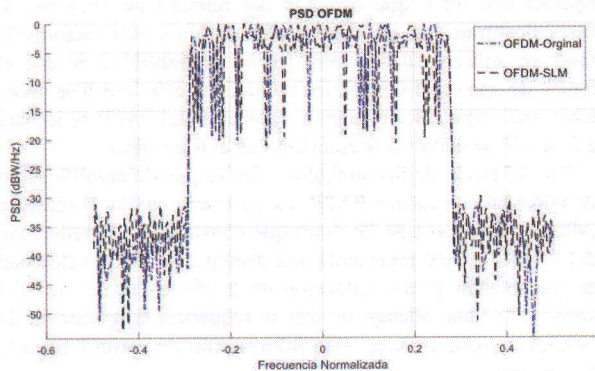


Figura 3. PSD de un símbolo OFDM/SLM

Como se puede observar de la Figura 3 no se introdujo una distorsión en el espectro luego de haberse aplicado la técnica de reducción del PAPR. Esto debido a que SLM no aumenta la radiación fuera de banda.

En la Figura 4, se presenta la gráfica CCDF con el fin de observar el comportamiento del PAPR de una señal OFDM a la cual se le ha aplicado SLM. La señal ha sido modificada debido al SLM con 2, 4 y 6 vectores de fases aleatorias (U). De la gráfica se observa la reducción del PAPR conforme la cantidad U aumenta. Analizando la CCDF se tiene que la señal OFDM original o sin técnica, tiene una probabilidad de 10-3 que su PAPR sea mayor o igual a 10.7 dB aproximadamente, mientras que con $U = 6$, $U = 4$ y $U = 2$ se tiene la misma probabilidad de que los valores de PAPR sean mayores o iguales a 8 dB, 8.3 dB y 9 dB respectivamente. Es decir, conforme U aumenta la probabilidad de tener un PAPR elevado disminuye. En el caso de $U = 4$ se tiene una ganancia de aproximadamente 2.4 dB con respecto al caso en el cual no se utiliza la técnica, lo cual representa una reducción cercana al doble (1.7 veces) de la potencia en el PAPR en comparación con la señal original.

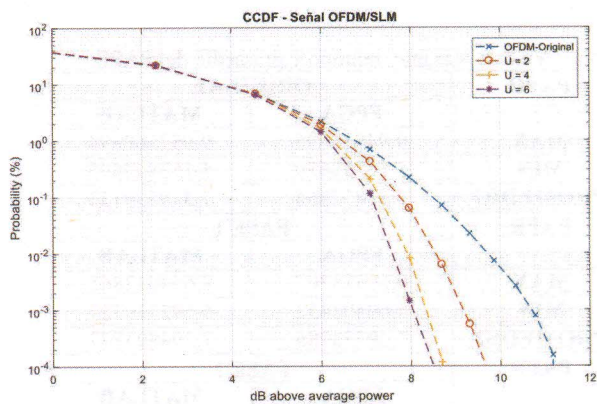


Figura 4. CCDF para una señal OFDM con SLM.

B. Pruebas en hardware

Las pruebas en hardware se ejecutan en la tarjeta Virtex-5 XUPV5-LX110T [8]. Para la transmisión y recepción de datos hacia y desde la tarjeta se establece una comunicación asincrónica por medio de una interfaz serial [9].

El algoritmo para la implementación de la técnica SLM se programó en Matlab y se utilizó la herramienta HDL Coder para la conversión del algoritmo programado en Matlab a lenguaje VHDL [10]. Además, se usó el objeto punto fijo de Matlab para representar números decimales con palabras de 14 bits.

Los resultados de las pruebas en hardware se presentan en forma de tablas, con el fin de evaluar los valores de PAPR, y se los compara con los valores de la simulación.

Los símbolos OFDM generados tienen un PAPR de entre 5 y 9dB previo a la aplicación de SLM. Cada símbolo OFDM se altera con 4 vectores de fases aleatorias, por tanto, se obtienen 4 valores diferentes de PAPR para un mismo símbolo OFDM. Así, de entre estos 4 valores se debe escoger el menor, este proceso se repite para los 100 símbolos OFDM generados en las pruebas de hardware. A estos símbolos resultantes se los nombra como símbolos transmitidos.

En la Tabla 2 se muestran los valores máximos, mínimos y promedio del PAPR de cada grupo de 100 símbolos OFDM generados por el FPGA, con y sin la aplicación de la técnica SLM. Además, se muestran los valores de PAPR de los símbolos que se deben transmitir, mismos que corresponden a los símbolos que presentaron el menor PAPR, luego de haberse aplicado el SLM. Se puede notar, que en promedio se tiene una reducción de aproximadamente 1 dB cuando se comparan los valores promedio de los símbolos originales y los transmitidos. Es decir, gracias a la técnica SLM se ha logrado reducir en promedio el PAPR en el sistema implementado, a pesar de que en algunos símbolos no se nota una reducción de este parámetro y por tanto se debería transmitir el símbolo original.

En la Tabla 3 se presenta el resumen de los recursos utilizados de la tarjeta FPGA por la implementación de la técnica SLM mediante la herramienta HDL Coder.

Tabla 2. Valores máximo, mínimo y promedio del PAPR

PAPR	ORIGINAL	
	FPGA	MATLAB
MAX	9.94916096	9.952360994
MIN	5.16257459	5.153843695
PROMEDIO	7.31877364	7.319539133
PAPR	FASE 1	
	FPGA	MATLAB
MAX	9.60823707	9.654012865
MIN	5.60402452	5.592719727
PROMEDIO	7.29773986	7.294893777
PAPR	FASE 2	
	FPGA	MATLAB
MAX	10.1609032	10.15668651
MIN	5.53686107	5.536555084
PROMEDIO	7.49318049	7.493283117
PAPR	FASE 3	
	FPGA	MATLAB
MAX	9.3827136	9.155249703
MIN	5.38251286	5.382512857
PROMEDIO	7.19448513	7.194485128
PAPR	FASE 4	
	FPGA	MATLAB
MAX	10.1744035	10.03669587
MIN	5.59905015	5.600364065
PROMEDIO	7.47126732	7.473077332
PAPR	SIMBOLO TX	
	FPGA	MATLAB
MAX	7.49796137	7.491223168
MIN	5.16257459	5.153843695
PROMEDIO	6.31039117	6.308776921

Tabla 3. Resumen de utilización de recursos por la implementación de SLM con HDL Coder

Recursos	Usados	Disponibles	Utilización
Registros	15,322	69,120	22%
LUTs	53,849	69,120	77%
Pares LUT-FF	14,810	54,361	27%
IOBs vinculados	7	640	1%
LOCed IOBs	7	7	100%
BUFG/BUFGCTRLs	2	32	6%
DSP48Es	64	64	100%

IV. CONCLUSIÓN

La técnica SLM es de baja complejidad debido al algoritmo simple que debe aplicarse. Sin embargo, la cantidad de recursos utilizados de la FPGA fue significativa especialmente en la utilización del 100% de los DSP48ES por el uso del HDL Coder de Matlab para la conversión al lenguaje VHDL. Este recurso es enteramente utilizado por el objeto dsp.HDLIFFT para el cálculo de la FFT con un tamaño de 128.

Mediante el análisis de la gráfica CCDF del PAPR se puede observar que existe una ganancia de 2.4 dB cuando se utilizan 4 vectores de fases aleatorias con respecto a la señal original con una probabilidad de 10^{-3} .

La técnica SLM requiere de una gran cantidad de operaciones IFFT que depende del número de vectores de fases aleatorias que se deseen utilizar. Entre más vectores de fases se utilicen, se tiene una mayor probabilidad de que el PAPR de una señal OFDM sea menor, es decir, que si se desea tener una mejor eficiencia en la reducción del PAPR se lo hará a costo de un mayor procesamiento en el transmisor.

Para el envío de los símbolos a las etapas de amplificación de potencia con menor PAPR, es necesario enviar al receptor información acerca de las fases que consiguieron la reducción del PAPR, lo cual representa una disminución de la velocidad de transmisión y una reducción de la eficiencia del uso del ancho de banda, además de que se requeriría la aplicación de estrategias para proteger esta información de control enviada por el canal.

Para un trabajo futuro se sugiere programar directamente el algoritmo SLM en el lenguaje VHDL con la finalidad de reducir los recursos empleados del hardware y probar con mayor cantidad de vectores de fase para llegar a establecer el límite de reducción de PAPR de esta técnica.

RECONOCIMIENTO

Los autores agradecen al Laboratorio de Electrónica de Alta Frecuencia de la Escuela Politécnica Nacional por permitir el uso del equipamiento necesario para la implementación de la técnica SLM en hardware.

REFERENCIAS

- [1] A. G. Timoshenko, N. K. Osipenko, A. A. Bakhtin and E. A. Volkova, "5G Communication Systems Signal Processing PAPR Reduction Technique," *2018 Systems of Signal Synchronization, Generating and Processing in Telecommunications (SYNCHROINFO)*, Minsk, 2018, pp. 1-4.
- [2] V. Tran, "Low complexity reconfigurable complex filters for PAPR reduction of OFDM signals: analysis, design and FPGA implementation," in *IET Communications*, vol. 12, no. 13, pp. 1531-1539, 14 8 2018.
- [3] Z. Zheng and G. Li, "An Efficient FPGA Design and Performance Testing of the ACE Algorithm for PAPR Reduction in DVB-T2 Systems," in *IEEE Transactions on Broadcasting*, vol. 63, no. 1, pp. 134-143, March 2017.
- [4] M. A. A. El-Hamed, A. Zekry, S. S. Elagooz and F. E. A. El-Samie, "Impact of power amplifier non linearity on blind selective mapping for SC-FDMA system," *2017 Japan-Africa Conference on Electronics, Communications and Computers (JAC-ECC)*, Alexandria, 2017, pp. 14-20.
- [5] Soo Cho, Y., Kim, J., & Yang, W. (2010). *MIMO-OFDM Wireless Communications with MATLAB*. Singapore: John Wiley & Sons (Asia) Pte Ltd.
- [6] Mathworks. (s.f.). *dsp.HDLIFFT System object*. (Mathworks) Recuperado el 1 de Enero de 2017, de <https://www.mathworks.com/help/dsp/ref/dsp.hdlifft-class.html>
- [7] C. Rapp, "Effects of HPA-Nonlinearity on a 4-DPSK/OFDM-Signal for a digital sound broadcasting system", in *Proceedings of the Second European Conference on Satellite Communications*, pp. 179-184, October 1991.

- [8] Xilinx. (s.f.). *Xilinx University Program XUPV5-LX110T Development System*. Recuperado el 27 de Febrero de 2017, de <https://www.xilinx.com/univ/xupv5-lx110t.htm>.
- [9] Chu, P. P. *FPGA Prototyping By Verilog Examples*. Canada: John Wiley & Sons, Inc., 2008.
- [10] Mathworks, *HDL Coder User's Guide*. Natick: The Mathworks Inc., 2015.



Pablo David Medina Aizaga nació en Quito, Ecuador el 19 de octubre de 1992, sus estudios secundarios los realizó en el colegio Liceo Naval de Quito obteniendo el título de Bachiller con especialidad de Físico Matemático. Obtuvo su título de ingeniero en Electrónica y Telecomunicaciones en la Escuela Politécnica Nacional.



Pablo Aníbal Lupera Morillo Ingeniero en Electrónica y Telecomunicaciones de la Escuela Politécnica Nacional en el año 2002 y Ph.D. en Ciencias Técnicas en la Universidad Estatal de Telecomunicaciones de San Petersburgo en Rusia en el año 2009. Sus áreas de investigación son el comportamiento del canal inalámbrico, técnicas de transmisión aplicadas en la capa física, los sistemas de antenas y el diseño y optimización de redes de comunicación móvil. En la actualidad se desempeña en el cargo de docente e investigador del Departamento de Electrónica, Telecomunicaciones y Redes de Información de la Escuela Politécnica Nacional.