



REPÚBLICA DEL ECUADOR

Escuela Politécnica Nacional

" E SCIENTIA HOMINIS SALUS "

La versión digital de esta tesis está protegida por la Ley de Derechos de Autor del Ecuador.

Los derechos de autor han sido entregados a la "ESCUELA POLITÉCNICA NACIONAL" bajo el libre consentimiento del autor.

Al consultar esta tesis deberá acatar con las disposiciones de la Ley y las siguientes condiciones de uso:

- Cualquier uso que haga de estos documentos o imágenes deben ser sólo para efectos de investigación o estudio académico, y usted no puede ponerlos a disposición de otra persona.
- Usted deberá reconocer el derecho del autor a ser identificado y citado como el autor de esta tesis.
- No se podrá obtener ningún beneficio comercial y las obras derivadas tienen que estar bajo los mismos términos de licencia que el trabajo original.

El Libre Acceso a la información, promueve el reconocimiento de la originalidad de las ideas de los demás, respetando las normas de presentación y de citación de autores con el fin de no incurrir en actos ilegítimos de copiar y hacer pasar como propias las creaciones de terceras personas.

Respeto hacia sí mismo y hacia los demás.

ESCUELA POLITÉCNICA NACIONAL

**FACULTAD DE INGENIERÍA ELÉCTRICA Y
ELECTRÓNICA**

**DISEÑO Y CONSTRUCCIÓN DE UN CONVERTOR DC/DC
REDUCTOR ELEVADOR CON CONTROL PREDICTIVO
CONTROLADO POR UNA TARJETA FPGA.**

**PROYECTO PREVIO A LA OBTENCIÓN DEL TÍTULO DE INGENIERO EN
ELECTRÓNICA Y CONTROL**

**MAURICIO JAVIER ORTIZ GUEVARA
mauricio.ortizguevara@hotmail.com**

**DIRECTORA: ING. YADIRA BRAVO, Msc.
yadibravoec@yahoo.com.mx**

Quito, Octubre 2011

DECLARACIÓN

Yo, Mauricio Javier Ortiz Guevara declaro bajo juramento que el trabajo aquí descrito es de mi autoría; que no ha sido previamente presentada para ningún grado o calificación profesional; y, que he consultado las referencias bibliográficas que se incluyen en este documento.

A través de la presente declaración cedo mis derechos de propiedad intelectual correspondientes a este trabajo, a la Escuela Politécnica Nacional, según lo establecido por la Ley de Propiedad Intelectual, por su Reglamento y por la normatividad institucional vigente.

Mauricio Ortiz Guevara

CERTIFICACIÓN

Certifico que el presente trabajo fue desarrollado por Mauricio Javier Ortiz Guevara, bajo mi supervisión.

Ing. Yadira Bravo, Msc.
DIRECTORA DEL PROYECTO

AGRADECIMIENTOS

Agradezco a Dios por haberme indicado el verdadero camino hacia él, el cual no se encuentra en libros ni textos, solamente en el alma y en el corazón de la humanidad y por mostrarme que solamente la sabiduría nos da felicidad.

Agradezco a toda mi familia, que ha estado siempre en los momentos más difíciles de mi vida, a mi mami Beatriz, por ser la mujer que ha demostrado toda su vida que el amor hacia sus hijos no tiene principio, ni fin, por haber preferido mis caprichos frente a sus necesidades y por haberme consentido desde el primer día de mi vida, a mi padre Antonio por ser una muestra de sacrificio diario, porque siempre puedo contar con él y porque es el punto de vista diferente en mi vida, a mi abuelito Luis Humberto que me dejó una herencia invaluable que solamente yo la puedo atesorar, además porque me regaló los últimos años de su vida, y quien me enseñó la verdadera pasión por la lectura, a mi hermana Luz María porque sin ella no tendría metas por las cuales luchar, ni sueños que alcanzar, porque siempre busca lo mejor de mí y por su pelea perseverante por la excelencia y la perfección, a mi hermano Juan Carlos que es una muestra de que siempre se puede aprender algo de alguien, por las veces que me ha escuchado y por ser el primer amigo que tuve. A toda mi familia que ha sido incondicional en mi vida.

A todos mis amig@s que han aparecido en mi vida de diferentes formas, a l@s que siempre escuchan, a l@s que te dan consejos, a l@s que siempre te dan una mano, a tod@s les agradezco porque son como mi familia.

Agradezco a todos los profesores y maestros que he tenido a lo largo de mi vida y a los docentes de la universidad, aquellos que me han fomentado el estudio, el aprendizaje y la investigación, en especial a la Ing. Yadira Bravo quien ha sido un gran aporte para la ejecución de este Proyecto.

Un agradecimiento especial a Mona por haberme regalado a la persona más importante en mi vida y por estar ahí las veces que he necesitado de su ayuda.

DEDICATORIA

Dedico este trabajo a toda mi familia y a todos los que me han ayudado en la realización de este proyecto, pero dedico mi vida entera a quien me inspira todos los días:

Porque me enseñaste como ser una buena persona, porque tu sonrisa es el mejor remedio para mi alma, porque todos los días me das vida, ya que eres la persona que da luz a mis largas noches oscuras, eres el sol de mis días en cada amanecer con el cual me despierto, eres la esperanza cuando pienso que todo está perdido, eres mi única felicidad en cada momento triste.

Cada travesura que realizas y no la miro, cada día que no te puedo ver, cada noche que no puedo tenerte en mis brazos, cada lágrima que no puedo contenerte, cada día que me necesitas y no estoy junto a ti hacen que mi vida sea un infierno.

Amor de mi vida, llena de colores pastel y de vestidos de princesa, de sueños frágiles y de ilusiones pequeñas, que buscas la felicidad en los pequeños instantes de nuestras vidas, porque así naciste con pequeñas cosas pero con un gran amor a tu alrededor, eres dueña de un corazón inocente, y te has convertido en la princesa de mi historia de hadas, y en la princesa de mis cuentos de fantasía.

Mi amor preciosa, mi bebe hermosa, todos los días te pienso, te prometo no defraudarte y estar contigo todos los días de mi vida.

Mi vida entera dedico a mi hija, a mi amor preciosa, a mi Romina Valentina porque sin ti no existiría mi vida. Te amo mi hermosa bebe

CONTENIDO

	Página
RESUMEN	i
PRESENTACIÓN	iii
CAPÍTULO 1	
1 ESTUDIO DEL CONTROL PREDICTIVO BASADO EN MODELO	1
1.1 CONTROL PREDICTIVO	1
1.1.1 GENERALIDADES	1
1.1.2 ESTRATEGIA DEL CONTROL PREDICTIVO	2
1.1.3 FORMULACIÓN DEL CONTROL PREDICTIVO	3
1.1.3.1 MODELO DE PREDICCIÓN	3
1.1.3.1.1 <i>Modelo Del Proceso</i>	4
1.1.3.1.2 <i>Modelo De Perturbaciones</i>	6
1.1.3.2 FUNCIÓN OBJETIVO	8
1.1.3.3 OBTENCIÓN DE LA LEY DE CONTROL	10
1.1.4 ALGORITMOS DE CONTROL PREDICTIVO	11
1.1.5 VENTAJAS DEL MPC	12
1.1.6 DESVENTAJAS DEL MPC	13
1.2 CONTROL PREDICTIVO DE LABVIEW	13
1.2.1 HORIZONTE DE CONTROL Y HORIZONTE DE PREDICCIÓN	14
1.2.2 FUNCIÓN DE COSTO	15
1.2.3 RESTRICCIONES	16
1.2.3.1 MÉTODO DE OPTIMIZACIÓN DUAL	17
1.2.3.2 MÉTODO DE FUNCIÓN BARRERA	17
1.2.3.2.1 <i>Relación entre penalidad, tolerancia y parámetros</i>	17
1.2.4 RESTRICCIONES Y PESOS DE PONDERACIÓN	18
1.2.5 SETPOINT DE ENTRADA, SALIDA Y PERTURBACIONES	19
1.2.6 IMPLEMENTACIÓN DEL CONTROLADOR MPC	19
1.2.7 CARACTERÍSTICAS DE SETPOINT AL MPC	20
1.2.8 MODIFICACIÓN DE UN MPC EN TIEMPO REAL	21

1.3	FIELD PROGRAMMABLE GATE ARRAY (FPGA)	22
1.3.1	ESTRUCTURA PRINCIPAL DEL FPGA	22
1.3.2	ARQUITECTURA GENERAL DEL FPGA	23
1.4	TARJETA XILINX SPARTAN-3E	24
1.4.1	SALIDAS DIGITALES DE ENTRADAS ANALÓGICAS	26
1.4.2	PREAMPLIFICADOR PROGRAMABLE	27
1.4.2.1	SEÑALES DE COMUNICACIÓN	27
1.4.2.2	GANANCIA PROGRAMABLE	28
1.4.3	CONVERSOR ANÁLOGO DIGITAL	28
1.4.3.1	CONTROL DE COMUNICACIÓN	29
1.4.4	DISPOSITIVOS DE COMUNICACIÓN SPI	30
1.5	LABVIEW FPGA MODULE	31
1.5.1	ARQUITECTURA DEL SISTEMA	31

CAPÍTULO 2

2	MODELACIÓN Y SIMULACIÓN DEL CONVERTOR DC-DC REDUCTOR ELEVADOR	33
2.1.1	MODELACIÓN CASO I	34
2.1.2	MODELACIÓN CASO II	35
2.2	DISEÑO DEL CONVERTOR DC-DC REDUCTOR ELEVADOR	37
2.2.1	SELECCIÓN DE SEMICONDUCTORES DE POTENCIA	40
2.2.1.1	SELECCIÓN DEL IGBT	40
2.2.1.2	SELECCIÓN DEL DIODO	41
2.2.1.3	RED SNUBBER	42
2.3	SIMULACIÓN DEL SISTEMA	43
2.4	ELEMENTOS DE CONFIGURACIÓN DEL MPC DE LABVIEW	46
2.5	SIMULACIÓN DEL CONTROL PREDICTIVO DEL SISTEMA	51
2.6	DATOS DE LA SIMULACIÓN	51

CAPÍTULO 3

3	IMPLEMENTACIÓN DEL MPC Y CONSTRUCCIÓN DEL CONVERTOR DC-DC REDUCTOR ELEVADOR	56
3.1	IMPLEMENTACIÓN DEL MPC	56
3.1.1	PROGRAMACIÓN MPC	56

3.1.2	PROGRAMACIÓN PWM	59
3.1.3	PROGRAMACIÓN CONVERTOR ANÁLOGO DIGITAL	61
3.2	CONSTRUCCIÓN DEL CONVERTOR DC-DC	
	REDUCTOR ELEVADOR	65
3.2.1	CIRCUITO DE CONTROL PWM	65
3.2.2	CIRCUITO DE ACONDICIONAMIENTO	67
3.2.3	CIRCUITO DE POTENCIA	71
3.2.3.1	CONSTRUCCIÓN INDUCTOR	72
3.2.4	CIRCUITOS DE PROTECCIÓN	74
3.2.4.1	PROTECCIÓN CIRCUITO DE POTENCIA	74
3.2.4.2	PROTECCIÓN CIRCUITO DE ACONDICIONAMIENTO	76
3.2.4.3	PROTECCIÓN CIRCUITO PWM	76
3.3	IMPLEMENTACIÓN DEL MPC EN LABVIEW	77
3.4	DIAGRAMAS DE CONEXIONES	78
CAPÍTULO 4		
4	PRUEBAS Y RESULTADOS	80
4.1	SINTONIZACIÓN DEL PERIODO DE MUESTREO	80
4.2	SINTONIZACIÓN PARÁMETROS MPC	83
4.3	SINTONIZACIÓN DE PONDERACIONES MPC	87
4.4	SINTONIZACIÓN RESTRICCIONES MPC	89
CAPÍTULO 5		
5	CONCLUSIONES Y RECOMENDACIONES	91
5.1	CONCLUSIONES	91
5.2	RECOMENDACIONES	93
REFERENCIA BIBLIOGRÁFICA		94

ANEXOS:

ANEXO A: HOJA DE DATOS IRG4PC40U

ANEXO B: HOJA DE DATOS NTE 6008

ANEXO C: CÁLCULO DE DISIPADORES Y VARISTOR

ANEXO D: HOJA DE DATOS IR2110

ANEXO E: HOJA DE DATOS INA114AP

ANEXO F: DIAGRAMA DE CONEXIONES Y CIRCUITOS

ANEXO G: NOTACIÓN UTILIZADA EN EL PROYECTO DE TITULACIÓN

ANEXO H: LISTADO DE FIGURAS

ANEXO I: LISTADO DE TABLAS

RESUMEN

El presente proyecto de titulación, muestra el diseño y la implementación de una nueva técnica de control versátil, que es utilizada en el sector industrial, denominado Control Predictivo, usando un software especial se desarrolla una interfaz grafica, que busca el aprendizaje de la técnica de Control Predictivo, además para la implementación de esta técnica en un sistema de control real, se construye un conversor DC-DC reductor elevador, de este sistema se obtiene un modelo en Espacios de Estados que busca la implementación del Control Predictivo tanto en Estado Estable como en Estado transitorio. La interfaz, que comunica el Control Predictivo (MPC) y el conversor DC-DC reductor Elevador, es una tarjeta de control que contiene un FPGA (Field Programmable Gate Array).

Capítulo 1.- en esta capitulo se realiza un estudio del Control Predictivo Basado en Modelo, la formulación y algoritmos necesarios del Control Predictivo. Se realiza también el análisis de los Sub Vi's necesarios para la implementación del Control predictivo en Labview, además incluye una descripción y un análisis de los FPGA, la utilización de la tarjeta Xilinx Spartan 3E Starter Kit, y la configuración necesaria para la aplicación requerida.

Capítulo 2.- Este capítulo contiene el proceso necesario para la implementación del conversor DC-DC reductor elevador, es decir la obtención del sistema en Espacio de Estados, la modelación y la simulación en lazo abierto, además se diseña los elementos del conversor DC-DC reductor Elevador, se incluye además el proceso de diseño para la simulación del Control Predictivo implementado en el Conversor DC-DC reductor elevador.

Capítulo 3.- se diseña todo el hardware necesario, para la implementación del Control Predictivo, consta la construcción de las tarjetas de acondicionamiento, de control y de fuerza, además se incluyen los algoritmos para la configuración de entradas y salidas del FPGA. En este capítulo consta el diseño de

programación completo para la ejecución del Control Predictivo en el Conversor DC-DC reductor Elevador.

Capítulo 4.- contiene los resultados obtenidos en el proceso, y la manipulación de algunos parámetros de control, en la ejecución del Control Predictivo en el conversor DC-DC reductor elevador.

Capítulo 5.-En este capítulo se incluyen las conclusiones y recomendaciones que se han requerido y se han tomado en cuenta para evitar errores en proyectos futuros, en la sección Anexos se muestran las listas de figuras, las tablas que son utilizadas.

PRESENTACIÓN

El presente proyecto va orientado a diseñar un módulo didáctico con una interfaz gráfica, la cual sea manipulable y facilite el aprendizaje de la técnica de Control Predictivo en un sistema real, esto se debe a que los sistemas tradicionales de control se van volviendo obsoletos, lentos e imprecisos, por efecto de nuevos niveles de automatización que se presentan con el avance de la tecnología, los cuales son denotados con la aparición de nuevos procesadores, los diferentes tipos y marcas de actuadores, la velocidad y los protocolos de comunicación, la consideración de perturbaciones aleatorias y altos niveles de ruido que se generan en las industrias.

Esto genera la necesidad de buscar una nueva tendencia de controladores, como es el control predictivo con el objetivo de aprovechar los recursos, llevando a los límites máximos los elementos de operación, optimizando tiempo y trabajo, de esta forma se obtiene el rendimiento más alto en un sistema de control.

El Control Predictivo es una de las técnicas más utilizada en las industrias, con mayores prestaciones y ventajas frente a otros tipos de controles actuales que se han desarrollado a lo largo del estudio de sistemas de control.

La optimización del Control Predictivo (MPC), basa su proceso en el conocimiento de la referencia de la planta y en su evolución futura, estas variables son consideradas dentro de la estrategia de control, generando que el sistema reaccione antes que el cambio haya sido realmente aplicado, de esta forma se evita retardos en la respuesta del proceso, siendo una gran ventaja en el manejo de sistemas multivariables, lineales y no lineales.

La implementación de control predictivo es realizado a través de la aplicación Control Predictive, del toolkit Control Design & Simulation de LabView.

El presente proyecto utiliza además una tarjeta FPGA, que relaciona al MPC con el sistema real que es un convertor DC/DC Elevador-Reductor, donde su topografía es conocida en la teoría de Electrónica de Potencia.

Los FPGA son dispositivos lógicos programables de propósito general, compuestos de varios bloques lógicos, que se comunican por redes de conexiones programadas por el usuario. Lo importante de usar el FPGA en este proyecto es la velocidad de adquisición de datos y el procesamiento de señales relativamente a altas velocidades.

De la misma manera que los sistemas de control basados en procesadores, los FPGA han sido usados para implementar todos los tipos de control industrial, incluyendo el control de procesos analógicos, de lógica discreta y tipo batch.

Al presentar este proyecto de titulación se quiere incentivar el aprendizaje de FPGA, sumado al conocimiento de microprocesadores como nuevas tendencias de tecnología, con mayores capacidades en control y automatización, debido que presenta mayores velocidades de respuesta y mejoras considerables para diferentes aplicaciones.

CAPÍTULO 1

ESTUDIO DEL CONTROL PREDICTIVO BASADO EN MODELO

5.3 CONTROL PREDICTIVO

5.3.1 GENERALIDADES

El control predictivo es parte de las metodologías de control avanzado, que ha causado un gran impacto, esto se debe a que es una estrategia de optimización, la cual utiliza un modelo del proceso para obtener la señal de control minimizando la función objetivo.

El MPC o control predictivo basado en modelo presenta estabilidad y robustez, esta estrategia también es conocida como control por horizonte deslizante. El MPC es parte de los controladores óptimos, ya que las acciones responden a un criterio de optimización.

El criterio de optimización se denomina función de costo, y el valor futuro se predice por el modelo dinámico del sistema, el cual se denomina modelo de predicción, el intervalo de tiempo futuro que interviene en la optimización, es denominado horizonte de predicción.

El comportamiento futuro del sistema va a depender de las acciones de control que se van a aplicar durante el horizonte de predicción, la aplicación directa de las acciones de control sobre el sistema determina un control en lazo abierto.

Esta realimentación se consigue utilizando la técnica de horizonte deslizante, que va a aplicar las acciones de control secuencialmente, obtenidas durante un periodo de tiempo, después se muestra otro estado del sistema, y se resuelve un nuevo problema de optimización, por lo tanto el horizonte de predicción se va deslizando continuamente en el tiempo.

Una de las características principales del MPC es la formulación abierta y flexible que permite la configuración de varios modelos de predicción, para sistemas lineales o no lineales, sistemas SISO, MISO, MIMO y es importante señalar la consideración de restricciones sobre las señales del sistema, esto genera que el control predictivo sea una de las pocas técnicas que permite controlar sistemas, asociando restricciones como parte del diseño del controlador.

Para sistemas lineales, en la ausencia de restricciones, el controlador es una ley de control lineal; mientras que cuando las restricciones están presentes aparece un problema de programación cuadrática.

5.3.2 ESTRATEGIA DEL CONTROL PREDICTIVO

Para calcular la señal de control u_k , que se observa en la Figura 1.1 el controlador necesita de dos procesos:

Estimación: Para realizar un control inteligente, el controlador necesita conocer el estado actual al instante k , esto incluye el valor verdadero de la variable controlada, \bar{y}_k y algunas variables internas que influyen en la tendencia futura, $\bar{y}_{k+1} \dots \bar{y}_{k+p}$. Para llevar a cabo el proceso de estimación del controlador usa todos los valores pasados y actuales.

Optimización: Los valores de referencia en la salida, las medidas de perturbación, y las restricciones son especificados bajo un horizonte infinito de un instante de muestras futuras, $k+1, k+2 \dots k+N$, donde P , es el horizonte de predicción. El controlador calcula M movimientos, $u_k, u_{k+1}, \dots, u_{k+M-1}$, donde M es el horizonte de control, como se puede observar en la Figura 1.1, para el valor $P=9$ y $M=4$.

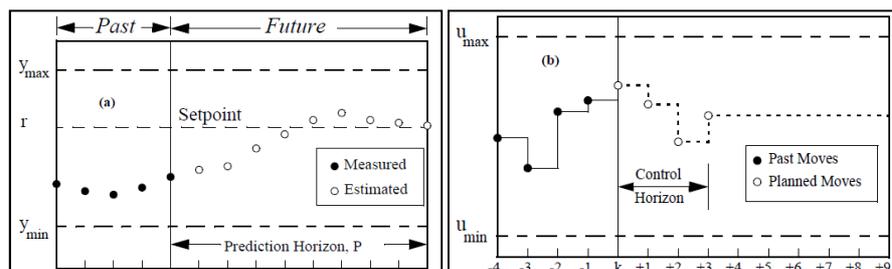


Figura 1.1. Estrategia de Control [5]

La Figura 1.2 muestra la estructura básica de las estrategias de control predictivo, se puede observar el uso de un modelo para predecir las salidas futuras del proceso, basándose en los controles futuros o entradas futuras propuestas. Estas señales son calculadas por un optimizador teniendo en cuenta una función de costo y las restricciones del proceso.

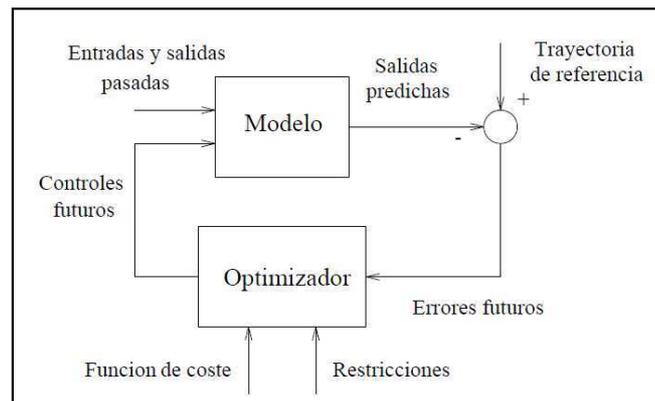


Figura1.2. Estructura básica del MPC [1]

5.3.3 FORMULACIÓN DEL CONTROL PREDICTIVO [1]

Los controladores predictivos tienen elementos comunes y se pueden elegir diversas opciones, y a diferentes casos dan distintos algoritmos, pero se establece un criterio de optimización definido por:

- Modelo de predicción
- Función Objetivo
- Obtención de la ley de control

5.3.3.1 Modelo de predicción

Es el modelo matemático que describe el comportamiento de la planta a controlarse, la representación y las características del modelo pueden ser lineales, no lineales, en tiempo continuo, o en tiempo discreto, en Variables de Estado o en funciones de entrada y salida. El diseño del modelo debe capturar la

máxima dinámica del sistema, para permitir el cálculo de las predicciones y el análisis teórico.

El problema de optimización implicado se resuelve mediante el computador, así como la técnica de horizonte deslizante con la que se aplica la solución, considerando estos dos procesos hace que la mejor opción sea utilizar modelos discretos que modelos continuos.

Así el modelo de predicción considerado tiene la forma general representada en la Ecuación 1.1

$$x_{k+1} = f(x_k, u_k) \quad \text{Ecuación 1.1}$$

Siendo $x_k \in \mathbb{R}^n$ el estado del sistema y $u_k \in \mathbb{R}^m$ sean las acciones de control sobre el sistema en el instante k. Para el estudio se puede separar el modelo en dos partes el modelo del proceso y el modelo de perturbaciones.

5.3.3.1.1 Modelo del proceso

Las diferentes formas de modelar un proceso aparecen en las formulaciones del MPC siendo las más usadas:

Respuesta impulsiva. Conocida también como secuencia de ponderación o modelo de convolución.

$$y(t) = \sum_{i=1}^N h_i u(t-i) = H(z^{-1})u(t) \quad \text{Ecuación 1.2}$$

Donde h_i son los valores muestreados, y se consideran N valores de muestra, de esta forma se permite representar procesos estables y sin integradores, un inconveniente es el alto valor de N cerca los 40-50 muestras. Es altamente aceptado en la industria, además es un modelo muy intuitivo y no requiere información del proceso, describe fácilmente dinámicas complejas como fase no mínima o retardos. La predicción viene dada por la Ecuación 1.3.

$$\hat{y}(t+k|t) = \sum_{i=1}^N h_i u(t+k-i|t) = H(z^{-1})u(t+k|t) \quad \text{Ecuación 1.3}$$

Respuesta Escalón.- Es similar a la respuesta impulsiva y se puede definir para sistemas estables, la respuesta está representada en la ecuación 1.4:

$$y(t) = y_0 + \sum_{i=1}^N gi \Delta u(t - i) = y_0 + G(z^{-1})(1 - z^{-1})u(t) \quad \text{Ecuación 1.4}$$

Donde gi son los valores muestreados, este método presenta las mismas ventajas e inconvenientes que el modelo de la respuesta impulsiva, el valor de y_0 , puede tomarse como 0, por lo cual la salida predicha está definido por la Ecuación 1.5:

$$\hat{y}(t + k|t) = \sum_{i=1}^N gi \Delta u(t + k - i|t) \quad \text{Ecuación 1.5}$$

Función de transferencia.- se utiliza el concepto de transferencia $G=B/A$

$$A(z^{-1})y(t) = B(z^{-1})u(t) \quad \text{Ecuación 1.6}$$

$$A(z^{-1}) = 1 + a_1z^{-1} + a_2z^{-2} + \dots + a_naz^{-na} \quad \text{Ecuación 1.7}$$

$$B(z^{-1}) = b_1z^{-1} + b_2z^{-2} + \dots + b_nbz^{-nb} \quad \text{Ecuación 1.8}$$

Esta representación es válida para procesos inestables y posee la ventaja de necesitar pocos parámetros, aunque es necesario conocer el orden de los polinomios.

Espacio de Estados.- presenta la siguiente forma:

$$x(t) = Ax(t - 1) + Bu(t - 1) \quad \text{Ecuación 1.9}$$

$$y(t) = Cx(t) \quad \text{Ecuación 1.10}$$

La predicción viene dada por la Ecuación 1.11

$$\hat{y}(t + k|t) = C\hat{x}(t + k|t) = C[A^k x(t) + \sum_{i=1}^N A^{i-1} Bu(t + k - i|t)] \quad \text{Ecuación 1.11}$$

La ventaja que presenta la Ecuación 1.11 es para sistemas multivariados y a través de ella se puede analizar la estructura interna del proceso. Los cálculos pueden ser complicados, e incluir un observador de estado para sistemas estocásticos.

5.3.3.1.2 Modelo de perturbaciones

Es de tanta importancia la elección de un modelo del proceso como la elección de un modelo para representar las perturbaciones. Un modelo extendido es el Autorregresivo Integrado de media móvil ARIMA, donde la diferencia entre salida y entrada se define por:

$$n(t) = \frac{C(z^{-1})e(t)}{D(z^{-1})} \quad \text{Ecuación 1.12}$$

Donde $D(z^{-1})$ incluye un integrador $\Delta = 1 - z^{-1}$, $e(t)$ es ruido de un valor promedio equivalente a cero y normalmente el polinomio C es igual a uno, este modelo considera dos tipos de perturbaciones:

- Perturbaciones aleatorias ocurridos en instantes aleatorios
- Movimiento browniano

Al incluir un integrador se consigue un error nulo en estado permanente, cuya mejor predicción será:

$$\hat{n}(t+k|t) = n(t) \quad \text{Ecuación 1.13}$$

Una característica principal del MPC es el empleo de los conceptos de respuesta libre y forzada y está definida como la suma de dos señales y una secuencia de acciones:

$$u(t) = u_f(t) + u_c(t) \quad \text{Ecuación 1.14}$$

$u_f(t)$ Son las señales de las entradas pasadas antes del instante t y en el futuro este valor es constante e igual al último valor.

$$u_f(t - j) = u(t - j) \text{ Para } j=1,2,\dots \quad \text{Ecuación 1.15}$$

$$u_f(t + j) = u(t - 1) \text{ Para } j=0,1,2,\dots \quad \text{Ecuación 1.16}$$

$u_c(t)$ Es de valor 0 en el pasado y corresponde a las señales de control futuras.

$$u_c(t - j) = 0 \text{ Para } j=1,2,\dots \quad \text{Ecuación 1.17}$$

$$u_c(t + j) = u(t + j) - u(t - 1) \text{ Para } j=0, 1,2,\dots \quad \text{Ecuación 1.18}$$

De esta forma se definen los siguientes modelos estocásticos dependiendo de la modelación del proceso y las perturbaciones utilizados.

Modelo ARX

$$A(z^{-1})y(t) = B(z^{-1})u(t) + e(t) \quad \text{Ecuación 1.19}$$

Modelo ARMAX

$$A(z^{-1})y(t) = B(z^{-1})u(t) + C(z^{-1})e(t) \quad \text{Ecuación 1.20}$$

Modelo ARIX

$$A(z^{-1})y(t) = B(z^{-1})u(t) + \frac{e(t)}{\Delta} \quad \text{Ecuación 1.21}$$

Modelo ARIMAX

$$A(z^{-1})y(t) = B(z^{-1})u(t) + \frac{C(z^{-1})e(t)}{\Delta} \quad \text{Ecuación 1.22}$$

5.3.3.2 Función objetivo

Conocida como función de costo, es aquella que indica el criterio a optimizar. Es una función definida positiva que expresa el costo asociado a la evolución del proceso en el intervalo del horizonte predicción N , donde posee la forma:

$$J(N_1, N_2, N_u) = \sum_{j=1}^{N_2} \delta(j) [\hat{y}(t+j|t) - w(t+j)]^2 + \sum_{j=1}^{N_u} \lambda(j) [\Delta u(t+j-1)]^2$$

Ecuación 1.23

Donde los parámetros N_1, N_2 son los horizontes mínimos y máximos de predicción respectivamente y N_u es el horizonte de control, de esta forma se marcan los límites donde la salida sigue a la referencia. Los coeficientes $\delta(j)$ y $\lambda(j)$ son secuencias que ponderan el comportamiento futuro, donde el valor de ponderación se define por:

$$\delta(j) = \alpha^{N_2-j}$$

Ecuación 1.24

Donde:

- $0 < \alpha < 1$ penaliza en mayor proporción los errores más alejados del instante t , y se obtiene un control suave y de menor esfuerzo.
- $\alpha > 1$ penaliza en mayor proporción los primeros errores, y la respuesta es un control más brusco.

Todos estos valores pueden ser parámetros de sintonización y ofrece una gama de controles desde un control estándar hasta un control específico.

Trayectoria de referencia.- si se conoce aproximadamente la evolución futura de la referencia, el sistema puede reaccionar antes de actuar evitando los efectos de retardo del proceso esto sucede en aplicaciones determinadas como en robótica, servos o procesos tipo batch.

En otras aplicaciones cuando la referencia es constante se puede conseguir una pequeña mejora, y conociendo el instante donde el valor de la respuesta cambia y adelantando la acción de control a esta circunstancia.

La mayoría de los métodos suelen utilizar una trayectoria de referencia $w(t+k)$ que no es necesario que coincida con el valor real, sino una aproximación desde el valor actual de salida $y(t)$ a la referencia conocida mediante un sistema de primer orden:

$$w(t) = y(t) \quad w(t+k) = \alpha w(t+k-1) + (1-\alpha)r(t+k) \quad k = 1 \dots N$$

Ecuación 1.25

De esta forma se puede establecer que $0 < \alpha < 1$, si el valor de α se encuentra más próximo a 1, más suave será la aproximación siendo este un valor ajustable que influye en la respuesta dinámica del sistema.

Mientras que si el valor de α es más pequeño, se tiene un seguimiento rápido como se puede observar $w_1(t+k)$ en la Figura 1.3, mientras que si aumenta la trayectoria de referencia será la respuesta $w_2(t+k)$ y se puede obtener una respuesta más suave.

En la Figura 1.3 se observa la referencia constante $r(t+k)$

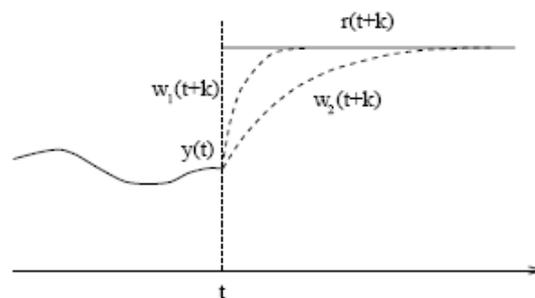


Figura1.3. Trayectoria de referencia [1]

Restricciones.- todos los procesos están sujetos a restricciones, los actuadores tienen un campo limitado de acción determinado con cierta velocidad de respuesta, estas restricciones se imponen por razones constructivas, de

seguridad o de medioambiente o por los alcances de los sensores. Estas restricciones pueden causar límites en las variables de estado, por esta razón se hace necesaria la introducción de otras funciones a minimizar.

El éxito de la industria, en la implementación del MPC radica en la consideración de las restricciones, ya que se considera los límites en la amplitud, en la velocidad de cambio de la señal de control y los límites en la salida:

$$\begin{array}{llll} u_{min} & \leq & u(t) & \leq u_{max} & \forall t \\ du_{min} & \leq & u(t) - u(t-1) & \leq du_{max} & \forall t \\ y_{min} & \leq & y(t) & \leq y_{max} & \forall t \end{array}$$

Ecuación 1.26

5.3.3.3 Obtención de la ley de control

Para obtener los valores de la señal de control es necesario minimizar la función de costo J (Ecuación 1.23), pero antes se debe obtener primero las salidas predichas en función de los valores actuales y pasados, tanto de la entrada como de la salida, de igual forma las señales futuras de control, mediante el uso del modelo escogido y reemplazando en la función de costo, obteniendo una expresión que al minimizar da como resultado los valores buscados.

Esta estructura de la ley de control se basa en el uso del concepto del horizonte de control N_u , que consiste en considerar tras un cierto intervalo de tiempo $N_u < N_2$, donde no hay variación en las señales de control, es decir:

$$\Delta u(t+j-1) = 0 \quad j > N_u \quad \text{Ecuación 1.27}$$

Lo cual es equivalente a dar pesos infinitos a los cambios en el control a partir de cierto instante. El caso limite seria considerar N_u igual a 1 con las que todas las acciones serian iguales a $u(t)$.

5.3.4 ALGORITMOS DE CONTROL PREDICTIVO [2]

La necesidad de controlar procesos en los límites de operación, buscando un objetivo que es optimizar el proceso de producción, llevó a la aparición de controladores predictivos basados en modelos sencillos, orientados a la resolución de los problemas asociados de control, como es la consideración de restricciones, perturbaciones y no linealidades. Entre otras formulaciones destacan las siguientes:

- IDCOM o MPHIC: (Identification-Command o Model Predictive Heuristic Control) propuesto por (Richalet, Rault, Testud & Papon 1978), utiliza como modelo de predicción la respuesta impulsional (FIR), función de costo cuadrática, y restricciones en las entradas y salidas. El algoritmo de optimización es heurístico.
- DMC: (Dynamic Matrix Control) propuesto por (Cutler & Ramaker 1980), utiliza como modelo de predicción la respuesta ante escalón, lo cual limita su aplicación a plantas estables, considera una función de costo cuadrático penalizando la señal de control y no considera restricciones en la optimización.
- QDMC: (Quadratic Dynamic Matrix Control) propuesto por (Garcia & Morshedi 1986), surge de la extensión del DMC al caso con restricciones. Este controlador forma parte de la denominada segunda generación de controladores predictivos, en los que el problema de optimización asociado se resuelve utilizando la programación matemática. Establece dos tipos de restricciones: duras y blandas, permitiendo la violación de estas últimas durante algún periodo de tiempo.
- MOC: (Shell Multivariable Optimizing Control) propuesto por (Marquis & Broustail 1988), forma parte de la tercera generación de controladores predictivos. Permite la utilización de modelos en espacios de estados e incorpora observadores y modelos de perturbaciones. Introduce también restricciones duras, blandas y con niveles de prioridad.
- GPC: (Generalized Predictive Control) propuesto por (Clarke, Mohtadi & Tuffs 1987a, Clarke, Mohtadi & Tuffs 1987b), utiliza como modelo de predicción la formulación.

- CARIMA, que incorpora una perturbación modelada como ruido blanco. Incorpora restricciones y existen resultados asociados a la estabilidad.
- Caso multivariable, es el caso del modelo CARIMA para un sistema de m entradas y n salidas se puede expresar como:

$$\mathbf{A}(z^{-1})\mathbf{y}(t) = \mathbf{B}(z^{-1})\mathbf{u}(t-1) \frac{1}{\Delta} \mathbf{C}(z^{-1})\mathbf{e}(t) \quad \text{Ecuación 1.28}$$

Donde $\mathbf{A}(z^{-1})$ y $\mathbf{C}(z^{-1})$ son matrices polinomiales de dimensión $n \times n$ y $\mathbf{B}(z^{-1})$, es una matriz polinomial de dimensión $n \times m$. Las variables $\mathbf{y}(t)$, $\mathbf{u}(t)$ y $\mathbf{e}(t)$ son de dimensión $n \times 1$, $m \times 1$ y $n \times 1$ respectivamente.

El criterio a minimizar tendrá la forma general:

$$J(N_1, N_2, N_u) = \sum_{j=1}^{N_2} \|\hat{\mathbf{y}}(t+j|t) - \mathbf{w}(t+j)\|^2 R + \sum_{j=1}^{N_u} \|\Delta \mathbf{u}(t+j-1)\|^2 Q \quad \text{Ecuación 1.29}$$

Donde R , Q son matrices de ponderación definidas positivas, la minimización se realiza igual que en el caso monovariable dando como resultado, un vector de señales a ser enviadas a la planta.

5.3.5 VENTAJAS DEL MPC

Las principales ventajas que se pueden destacar:

- Cuando se conoce el comportamiento futuro del sistema de control, el sistema puede reaccionar antes que el cambio se haya presentado en la planta, evitando de este modo retardos en la respuesta del proceso.
- Es una estrategia de control, que maneja sistemas de varias entradas y salidas, también sistemas lineales y no lineales.

- Es una estrategia flexible, puesto que su implementación se ha realizado en la industria y puede seguir avanzando en forma intuitiva, a medida que se da el sustento teórico para esta técnica de control.
- Se toman las restricciones físicas de actuadores, las restricciones ambientales, restricciones de seguridad como parte del diseño del algoritmo de control.

5.3.6 DESVENTAJAS DEL MPC

Como desventajas se pueden tomar en cuenta:

- Los algoritmos de control del MPC, requieren un nivel de procesamiento de datos relativamente rápido.
- Es necesario tener un modelo preciso para obtener una alta fiabilidad del sistema de control, es así que el rendimiento del MPC estará determinado por la relación cercana que exista entre el planta real y el modelo matemático.
- El proceso de optimización del MPC requiere un nivel matemático complejo, lo cual genera una carga de computación alta.

5.4 CONTROL PREDICTIVO DE LABVIEW [4]

La herramienta computacional Labview en el toolkit Control Design and Simulation, presenta un módulo denominado Control Predictive.

Un VI utilizado es el CD CREATE MPC CONTROLLER VI, para crear un controlador MPC, este VI calcula el controlador MPC basándose en un modelo en espacio de estados. Este VI, incluye acción integral para mejorar la diferencia entre la planta real y el modelo de la planta.

El CD CREATE MPC CONTROLLER VI, posee una entrada que pertenece a los Parámetros de Estimador de Estados, que es el modelo interno del controlador

MPC, además se puede estimar los estados del modelo usando la función de observador discreto fuera del controlador MPC.

5.4.1 HORIZONTE DE CONTROL Y HORIZONTE DE PREDICCIÓN

Para construir el controlador MPC, es necesario proveer la siguiente información: Horizonte de Predicción (N_p), es el número de muestras en el futuro en la cual el controlador MPC predice la salida de la planta.

Horizonte de control (N_c), es el número de muestras dentro del horizonte de predicción durante el controlador, este valor puede afectar la acción de control.

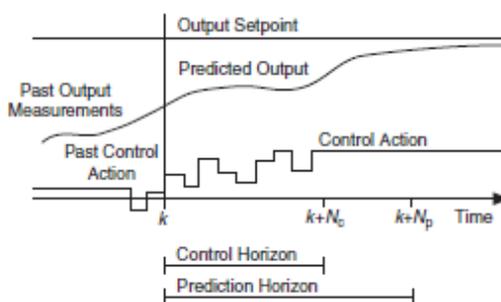


Figura 1.4. Horizontes de control y predicción [4]

En la Figura 1.4, se puede observar que el controlador MPC va a predecir las salidas durante el periodo $k+N_p$, también como se puede observar en la Figura 1.4 la acción de control a partir del horizonte de control $k+N_c$ no cambia. Es necesario tomar en cuenta:

- El horizonte de control es menor que el horizonte de predicción.
- Si el horizonte de predicción es corto se reduce la longitud de tiempo en la que el controlador MPC puede predecir la señal de salida de la planta. Un horizonte de predicción muy pequeño causa que el controlador MPC opere algo parecido al controlador con realimentación tradicional.
- Un horizonte de predicción grande incrementa la capacidad de predecir al controlador MPC y observar una restricción potencial y evitarlo. Un horizonte de predicción muy grande decrementa el rendimiento del controlador MPC por el aumento de cálculos extras que realiza el algoritmo de control.

- Si el horizonte control es corto, y la acción de control es grande podría pasarse del punto de referencia luego que el horizonte de control finalice. Sin embargo como el controlador sigue ejecutándose la salida de la planta va a seguir colocando cerca del punto de referencia.
- Un horizonte de control grande produce cambios más agresivos en la acción de control. Esos cambios agresivos pueden resultar en oscilaciones o en energía innecesaria.

Cuando se tienen sistemas de control con retrasos de tiempo, para este tipo de modelos incluye un tiempo de retraso equivalente a D instantes de muestreo, es decir el controlador tienen un efecto de retraso y_{k+D+1} ,

En esta situación es necesario aumentar este tiempo al horizonte de predicción de tal forma que el horizonte de predicción esté definido por $N_p \gg D$, mientras que el horizonte control sea $N_c \ll N_p - D$

5.4.2 FUNCIÓN DE COSTO

La función de costo a minimizar está representada en la Ecuación 1.30 que es un algoritmo de optimización cuadrática:

$$\begin{aligned}
 J(k) = & \sum_{i=N_w}^{N_p} [\hat{y}(k+i|k) - r(k+i|k)]^T \cdot \mathbf{Q} \cdot [\hat{y}(k+i|k) - r(k+i|k)] \\
 & + \sum_{i=0}^{N_c-1} [\Delta u^T(k+i|k) \cdot \mathbf{R} \cdot \Delta u(k+i|k)] \\
 & + \sum_{i=N_w}^{N_p} [u(k+i|k) - s(k+i|k)]^T \cdot \mathbf{N} \cdot [u(k+i|k) - s(k+i|k)]
 \end{aligned}$$

Ecuación 1.30

Donde:

- N_p Número de muestras del horizonte de predicción
- N_w Comienzo del horizonte de predicción

- N_c Número de muestras del horizonte de control
- \mathbf{Q} Matriz de ponderación del error de salida
- \mathbf{R} Matriz de ponderación de la tasa de cambio en la acción de control
- \mathbf{N} Matriz de ponderación de la acción de control
- $\hat{y}(k+i|k)$ Salida de la planta predicha al tiempo $k+i$, y entrega todos los valores superiores e incluido el instante k
- $r(k+i|k)$ Salida de la planta al tiempo $k+i$, y entrega todos los valores superiores e incluido el instante k
- $\Delta u(k+i|k)$ Tasa de cambio de la acción de control predicha, y entrega todos los valores superiores e incluidos el instante k
- $u(k+i|k)$ Acción de control óptima predicha al tiempo $k+i$, y entrega todos los valores superiores e incluido el instante k
- $s(k+i|k)$ Señal de referencia de entrada al tiempo $k+i$, entregando todos los valores superiores e incluido el instante k

Donde \mathbf{Q} es una matriz de $n_y \times n_y$, y \mathbf{R} y \mathbf{N} son matrices de $n_u \times n_u$ todas estas matrices son positivas semidefinidas.

La Ecuación 1.30 permite una ponderación diagonal distinta de cero pero se usa los mismos pesos de ponderación a cada paso en el horizonte de predicción. Se puede especificar los pesos de ponderación \mathbf{Q} , \mathbf{R} , \mathbf{N} , usando la entrada MPC COST WEIGHTS.

5.4.3 RESTRICCIONES

En adición al peso de ponderación de las matrices en la función de costo, se puede especificar las restricciones de los parámetros de los controladores MPC. El peso de ponderación de las matrices ajusta las prioridades de la acción de control, la tasa de cambio en la acción de control y la salida de las plantas. Tomando en cuenta las restricciones y los pesos de ponderación se puede seleccionar dos instancias de optimización de los controladores:

5.4.3.1 Método de optimización dual

Se usa la optimización dual para especificar un valor de restricción inicial, final, un valor mínimo y máximo para la acción de control, para la tasa de cambio y la salida de la planta. Se usan estas limitaciones para representar las restricciones en el mundo real.

Al usar la optimización dual, las restricciones poseen un peso de ponderación igual y no pondera una restricción específica. Cuando se usa el método de optimización dual, el algoritmo MPC ajusta el controlador para que las restricciones especificadas nunca sean excedidas.

5.4.3.2 Método de función barrera

La función barrera especifica un valor de restricción inicial y final mínimo y máximo para la acción de control, para la tasa de cambio y la salida de la planta. Sin embargo el método de la función barrera además asocia una penalidad y una tolerancia con cada una de las restricciones.

La penalidad es una restricción y específica cual es la tendencia que evita alcanzar al valor de restricción.

La tolerancia determina la distancia desde el valor de la restricción a que la penalidad empieza activarse.

Por especificar las penalidades sobre las restricciones se puede priorizar las restricciones y el peso de ponderación de un controlador.

5.4.3.2.1 Relación entre penalidad, tolerancia y parámetros

Si la distancia entre un parámetro z y su valor de restricción z_j es más grande o igual a la tolerancia tol_j , la penalidad P_j es cero. La penalidad empieza a activarse

cuando z alcanza $z_j - \text{tol}_j$, si z_j es la máxima restricción, o cuando $z_j + \text{tol}_j$, si z_j es la restricción mínima.

La penalidad entonces incrementa cuadráticamente cuando z se aproxima a z_j . Cuando z igual a z_j esto sucede cuando el valor alcanza al valor de restricción, P_j iguala la constante de penalidad p_j . Si z excede los valores de restricción, la penalidad continua incrementándose cuadráticamente, en la tabla 1.1, se puede observar este tipo de relación.

Valor de y	Valor de P , $P_{\max}=5$
$(y_{\max} - y_{\text{tol}}) \leq y$	0
$(y_{\max} - y_{\text{tol}}) < y < y_{\max}$	$0 < P < 5$, incremento cuadrático
$y = y_{\max}$	5
$y > y_{\max}$	P , sigue incrementándose cuadráticamente

Tabla 1.1 Relación entre tolerancia y penalidad

5.4.4 RESTRICCIONES Y PESOS DE PONDERACIÓN

Con el método de función barrera, se puede priorizar las restricciones y especificar los pesos de ponderaciones. Cuando el algoritmo MPC reconoce que la penalidad sobre una restricción se activa, el algoritmo incorpora la penalidad en la función de costo y se ajusta la acción de control.

Para cada variable restringida el algoritmo MPC debe balancear la penalidad con algún peso de ponderación. El método de función barrera además balancea las restricciones.

Si se considera una situación donde se especifica una restricción máxima junto a la salida de la planta y la acción de control del controlador. La penalidad especificada por y_{\max} es relativa a la penalidad que se especifica para u_{\max} .

Si se especifica una penalidad grande para y_{\max} , entonces el algoritmo MPC para u_{\max} prioriza la salida de restricción de la planta por encima de la restricción de la acción de control.

Por lo tanto en una situación donde las penalidades juntas están activas, el algoritmo MPC intenta minimizar la penalidad en y_{\max} antes de minimizar la penalidad en u_{\max} .

Si además se especifica un peso de ponderación en la salida más grande que la penalidad de la restricción, el algoritmo del MPC prioriza minimizando el error de salida por encima de la minimización de la penalidad de restricción.

El método de la función barrera es usado cuando se necesita priorizar las restricciones en diferentes parámetros en orden para reflejar sistemas más reales. Sin embargo la sintonización de las restricciones, las penalidades y las tolerancias por el método de la función barrera puede llegar a ser muy complicado. Para reducir estas complejidades, se usa el método de optimización dual.

5.4.5 VALORES DE REFERENCIA DE ENTRADA, SALIDA Y PERTURBACIONES

El controlador MPC compara los valores de la entrada de la planta y los valores de salida de la planta. Las características del setpoint contienen valores predichos de la acción de control y valores de setpoint de salida de la planta en ciertos puntos del tiempo, estas características se envían al controlador MPC.

El MPC calcula el error comparando las entradas predichas y las características de la referencia en la salida, de esta forma el controlador MPC intenta reducir este error minimizando la función de costo. Si se conoce como las perturbaciones afectan a la salida de la planta y a los estados, se puede además proporcionar características futuras de estas perturbaciones del controlador MPC.

5.4.6 IMPLEMENTACIÓN DEL CONTROLADOR MPC

Después de haber creado el controlador MPC, entonces se puede implementar el controlador, ya sea en una simulación o en un escenario en el mundo real.

Se implementa este controlador usando el CD IMPLEMENT MPC CONTROLLER VI con un Timed Loop o Control & Simulation Loop.

Para el diseño del controlador MPC se provee la siguiente información:

- Características de setpoint de entrada, setpoint de salida y/o perturbaciones.
- El valor de salida de la planta.

El CD IMPLEMENT MPC CONTROLLER VI entonces entrega la siguiente información:

- La acción de control que controla el cambio del setpoint de salida.
- La salida predicha de la planta a lo largo del horizonte de predicción.
- La velocidad de cambio en la acción de control.

Se puede proveer las características de setpoint y perturbación mientras avanza la ejecución del controlador o dinámicamente cuando el controlador se ejecuta.

5.4.7 CARACTERÍSTICAS DE SETPOINT AL MPC

Si se quiere entregar la información mientras el controlador avanza, es útil conocer la perturbación que afecta al sistema o si se conoce ciertos valores de setpoint para el controlador. Se podría proveer la información de referencia bajo estas circunstancias:

- En una simulación del controlador MPC cuando se encuentra apagado, es decir que se puede colocar un valor de referencia cuando el controlador se encuentra desconectado del sistema.
- Para proveer los valores de referencia al controlador MPC, se usa el CD UPDATE MPC WINDOW VI. Este VI provee la porción adecuada del controlador, la ventana del setpoint o la característica de perturbación de una señal desde el tiempo k al tiempo $k + \text{Horizonte de Predicción}$.

Se puede conectar la salida del PREDICTED PROFILE WINDOW al CD IMPLEMENT MPC CONTROLLER VI para el instante de tiempo actual. La fracción de la ventana es basada en la longitud del horizonte de predicción.

Al siguiente tiempo $k+1$, el horizonte de predicción se mueve un valor hacia adelante. El CD UPDATE MPC WINDOW VI entonces envía la siguiente ventana al CD IMPLEMENT MPC CONTROLLER VI.

5.4.8 MODIFICACIÓN DE UN MPC EN TIEMPO REAL

Durante la implementación de un controlador MPC, el modelo podría llegar a estar obsoleto con respecto al modelo real, o los objetivos del controlador podrían cambiar. Es decir algunos parámetros podrían llegar a ser más costosos que otros, y por lo tanto se debería actualizar la ponderación y restricciones de la función costo.

Además se puede recibir datos durante la implementación, que pueden ayudar al entendimiento del modelo de la planta, u otros parámetros relacionados al controlador. Si no se quiere parar la ejecución para actualizar el controlador con estos datos, se puede modificar el controlador en el momento de la ejecución.

Se usa el CD SET MPC CONTROLLER VI para actualizar un controlador MPC al momento de la ejecución, y se puede actualizar algunos aspectos del controlador, como la entrada del modelo, los horizontes de predicción y control o los parámetros de restricción.

Cuando se da clic en el botón RESET, el controlador se actualiza con los nuevos cambios que se especifique. Se puede usar los métodos de optimización Dual o Barrera del CD SET MPC CONTROLLER VI, para actualizar un controlador cuyas restricciones son determinadas por el método de optimización dual o el método de función barrera.

El CD CREATE MPC CONTROLLER VI crea un controlador MPC de acuerdo a los parámetros especificados por el controlador MPC, la entrada del modelo, la ponderación de la función de costo y los parámetros de restricción.

5.5 FIELD PROGRAMMABLE GATE ARRAY (FPGA)

Los FPGA son dispositivos lógicos programables por el usuario, se componen de bloques lógicos que se comunican entre sí por conexiones programables, además los arreglos lógicos son reconfigurables.

Cuando se configura un FPGA, los circuitos internos son conectados de tal forma que se crea una implementación de hardware dedicado. A diferencia de los circuitos impresos que poseen elementos de hardware fijos, los FPGA permiten reconectar los circuitos internos para la reconfiguración de los FPGA.

Los FPGA entregan el rendimiento y la confiabilidad de un hardware dedicado, de esta forma se puede reemplazar miles de componentes, por la combinación de millones de compuertas lógicas en un solo circuito integrado.

5.5.1 ESTRUCTURA PRINCIPAL DEL FPGA

Los FPGA en general están integrados principalmente por una matriz de bloques lógicos (LB), una red de interconexión programable y por bloques de entrada/salida (I/O BLOCKS) como se observa en la Figura 1.5

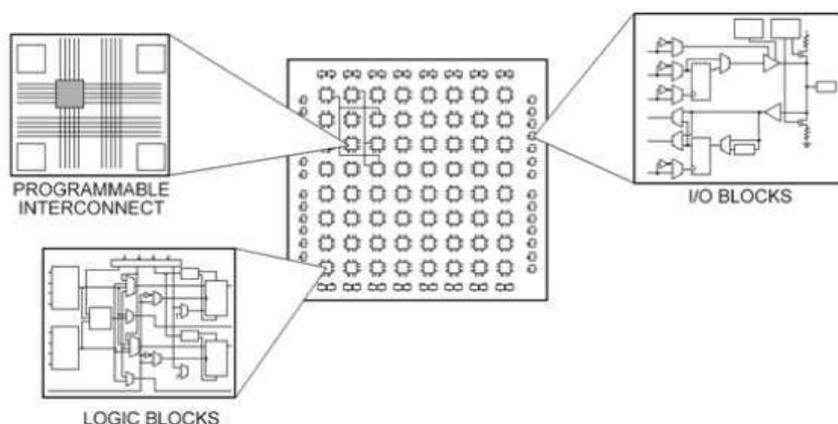


Figura 1.5 Estructura Principal del FPGA[5]

Los bloques lógicos se ordenan en una matriz regular, los cuales se encuentran rodeados por redes de interconexiones programables.

Los bloques lógicos alrededor del dispositivo FPGA se conectan a los bloques de entrada-salida (I/O BLOCKS) para lograr la comunicación con el exterior.

5.5.2 ARQUITECTURA GENERAL DEL FPGA

En la Figura 1.6 se puede observar la arquitectura principal de un FPGA.

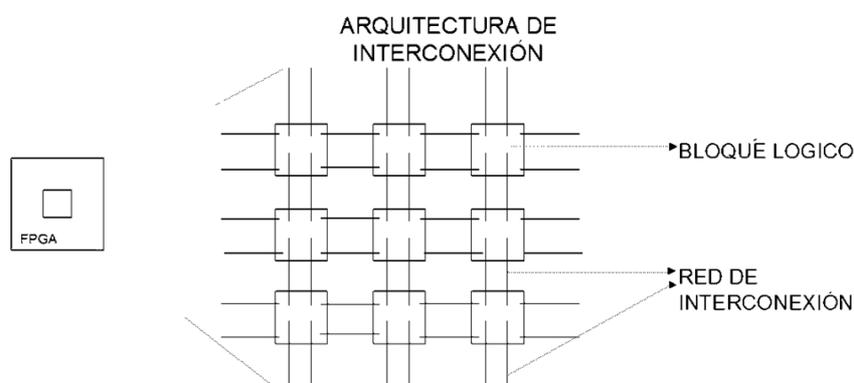


Figura 1.6 Arquitectura Principal de un FPGA

El bloque lógico, está formado por una parte combinacional, que permite implementar funciones de lógica booleana, sumada por una parte secuencial formada por *flip-flops*, los cuales permiten sincronizar la salida con una señal externa de reloj y es útil para realizar circuitos secuenciales e implementar registros.

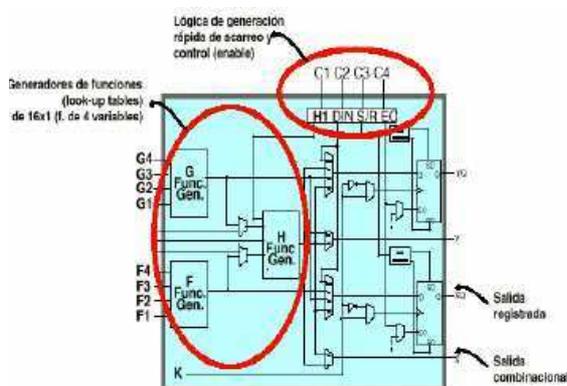


Figura 1.7 Bloque Lógico [5]

La parte combinacional del bloque lógico, se compone de una tabla de consultas denominadas LUT (Look Up Table), el cual es un componente de memoria que almacena una tabla de verdad, los bloques lógicos están rodeados por los canales o redes de interconexión que conectan las salidas de los bloques lógicos.

De la misma manera que los sistemas de control basados en microprocesadores, los FPGA han sido usados para implementar la mayoría de tipos de control industrial, incluyendo el control de procesos analógicos y de lógica discreta.

5.6 TARJETA XILINX SPARTAN-3E STARTER KIT

Xilinx es la primera compañía de semiconductores que introduce la producción de los FPGA con dos familias Spartan y Virtex. La familia Spartan presenta la característica de tener un número reducido de recursos lógicos en comparación con la familia Virtex de Xilinx, logrando un costo más bajo en las tarjetas Spartan, la versión Spartan-3E Starter Kit es la tarjeta con la cual se desarrolla este proyecto.

Es necesario señalar algunas características importantes que posee el FPGA Xilinx Spartan 3E Starter Kit, las cuales son utilizadas en el presente proyecto. Es necesario mencionar que la tarjeta FPGA se utiliza como una tarjeta de adquisición de señales.

El uso que tiene el FPGA, se debe a la velocidad de procesamiento digital de señales, ya que contiene como núcleo un dispositivo XC3S500E, que incluye principalmente 10 000 celdas lógicas las cuales permiten diseñar y probar aplicaciones con un alto grado de procesamiento.

Otra característica principal de la tarjeta para esta aplicación, es la colaboración de NATIONAL INSTRUMENTS, ya que crea los drivers y diferentes recursos de programación para la implementación de diseños lógicos con el objetivo de utilizar el software gráfico de Labview a través del FPGA MODULE.

La velocidad de los sistemas de control tienen una gran influencia en su rendimiento, en estabilidad, robustez y las características de rechazo a las perturbaciones. Para proveer estabilidad y obtener un control robusto de la planta, un sistema de control debe medir la variable del proceso en un periodo fijo de tiempo.

El Control Predictivo al poseer un algoritmo complejo de optimización y de un alto procesamiento computacional requiere señales de entrada y salida a tiempo real con un alto nivel de fiabilidad, esto con la finalidad de adquirir la mayor precisión en la implementación del MPC.

Otros dispositivos como microprocesadores o tarjetas de adquisición de señales son relativamente lentos en comparación a los FPGA, de esta forma se utiliza el FPGA, por la velocidad de procesamiento de señales y la fiabilidad que poseen, para que el MPC de Labview adquiriera un mayor rendimiento y una aplicación lo más cercana a la realidad.

La tarjeta Xilinx Spartan 3E dispone de una gran cantidad de interfaces, pero la que principalmente se usa en este proyecto es el convertidor analógico digital (ADC), la tarjeta Xilinx Spartan 3E, incluye dos circuitos analógicos de captura compuestos por un preamplificador con varias escalas, el cual es un circuito integrado Linear Technology LTC6912-1 (este integrado se observa en (1) de la Figura 1.8) y un conversor análogo digital Linear Technology LTC1407A-1 (este integrado se observa en (2) de la Figura 1.8).

Las entradas analógicas son alimentadas en los pines del conector J7 que son seis pines (estos pines se observa en (3) de la Figura 1.8).

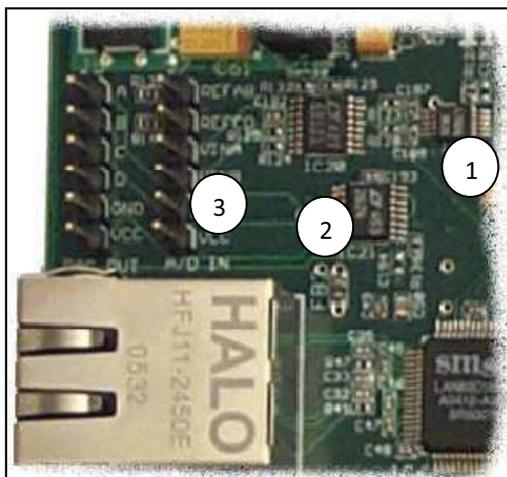


Figura 1.8. Conversor Análogo Digital [6]

En la Figura 1.9 se observa el diagrama de bloques del funcionamiento del circuito de captura analógica.

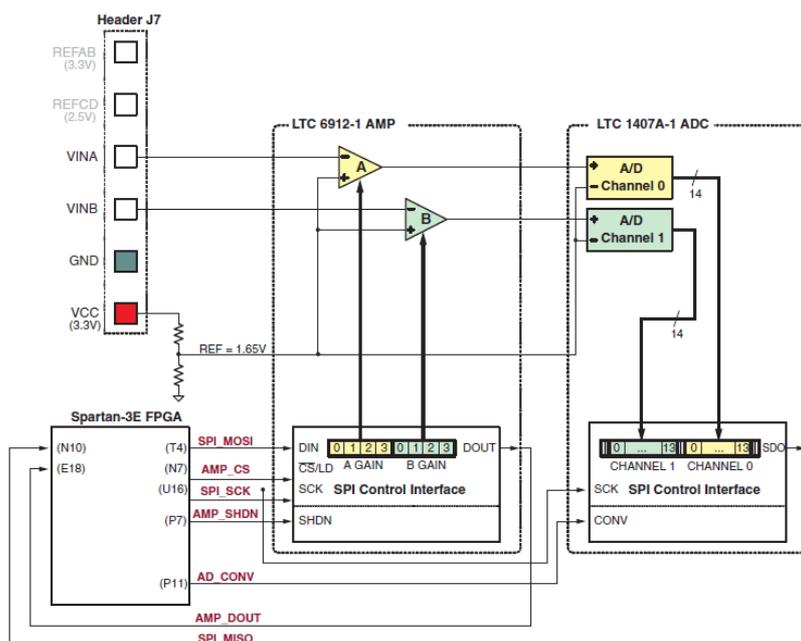


Figura 1.9 Bloques de Funcionamiento Conversor Análogo Digital [6]

5.6.1 SALIDAS DIGITALES DE ENTRADAS ANALÓGICAS

El ADC (conversor analógico digital), cambia el voltaje analógico de las entradas VINA o VINB, y convierte en una señal digital de 14 bits $D[13:0]$, como se expresa en la Ecuación 1.31.

$$D[13:0] = \text{GANANCIA} * \frac{V_{in}-1.65V}{1.25} * 8192 \quad \text{Ecuación 1.31}$$

La ganancia es el valor que se coloca en el preamplificador programable, se lo realiza una sola vez y se ajusta la ganancia que admite el ADC y los voltajes que pueden ingresar en los pines VINA o VINB. Los parámetros se configuran como se indican en la Tabla 1.3.

La referencia de voltaje para el amplificador y el ADC es 1,65V, que se obtiene de un divisor de voltaje como se denota en la Figura 1.9. De tal forma 1,65V es restado al voltaje de entrada en VINA o VINB.

El rango máximo del ADC es $\pm 1.25V$, que es cercano a la referencia de voltaje, por lo tanto, 1.25V aparece en el denominador para escalar la entrada analógica, finalmente el ADC, muestra una salida digital de 14 bits a complemento 2 y los valores varían entre -2^{13} (-8192) y $2^{13}-1$ (8191).

5.6.2 PREAMPLIFICADOR PROGRAMABLE

El LTC6912-1 provee dos amplificadores inversores independientes con ganancia programable, los amplificadores escalan el ingreso de voltaje en VINA o VINB, con el objetivo de maximizar el rango de conversión del DAC, es decir $1.65 \pm 1.25V$.

5.6.2.1 Señales de comunicación

La Tabla 1.2 nos muestra las señales de comunicación entre el FPGA y el amplificador.

Las señales SPI_MOSI, SPI_MISO, and SPI_SCK son compartidas con otros dispositivos de comunicación SPI. La señal AMP_CS se activa en estado bajo y selecciona el ingreso al amplificador.

SEÑAL	PIN FPGA	DIRECCIÓN
SPI_MOSI	T4	FPGA→AD
AMP_CS	N7	FPGA→AMP
SPI_SCK	U16	FPGA→AMP
AMP_SHDN	P7	FPGA→AMP
AMP_DOUT	E18	FPGA←AMP

Tabla 1.2 Señales de comunicación: FPGA y el Amplificador

5.6.2.2 Ganancia programable

Cada uno de los canales analógicos tiene asociado un amplificador de ganancia programable como se observa en la Figura 1.9, las señales analógicas son ingresadas en los pines VINA o VINB del conector J7. La referencia 1.65V es generado usando un divisor de voltaje de la alimentación de voltaje 3.3V.

La ganancia de cada amplificador es programable entre valores de -1 a -100, como se observa en la Tabla 1.3.

Ganancia	A3	A2	A1	A0	Voltaje de entrada	
	B3	B2	B1	B0	Min	Max
-1	0	0	0	1	0.4	2.9
-2	0	0	1	0	1.025	2.275
-5	0	0	1	1	1.4	1.9
-10	0	1	0	0	1.525	1.775
-20	0	1	0	1	1.5875	1.7125
-50	0	1	1	0	1.625	1.675
-100	0	1	1	1	1.6375	1.6625

Tabla 1.3 Configuración de la ganancia programable

5.6.3 CONVERTOR ANÁLOGO DIGITAL

La tarjeta Xilinx Spartan 3E posee el circuito integrado LTC1407A-1 (Convertor Análogo Digital) el cual suministra dos convertidores análogos digitales. Las entradas analógicas son muestreadas en forma simultánea, cuando la señal al AD_CONV es aplicada. La Tabla 1.4 indica las señales de comunicación entre el FPGA y el ADC.

SEÑAL	PIN FPGA	DIRECCIÓN
SPI_SCK	U16	FPGA→ADC
AD_CONV	P11	FPGA→ADC
SPI_MISO	N10	FPGA←ADC

Tabla 1.4 Señales de comunicación entre el FPGA y ADC

5.6.3.1 Control de comunicación

La Figura 1.10 muestra la comunicación SPI del ADC. Cuando la señal AD_CONV se pone en estado alto, el ADC muestrea en forma simultánea los canales analógicos.

Los resultados de esta conversión no son mostradas hasta la siguiente vez que el AD_CONV es iniciado. Luego de muestrear las señales el ADC entrega en forma digital los valores de los canales analógicos, en un valor de 14 bits, este valor es un número binario a complemento 2.

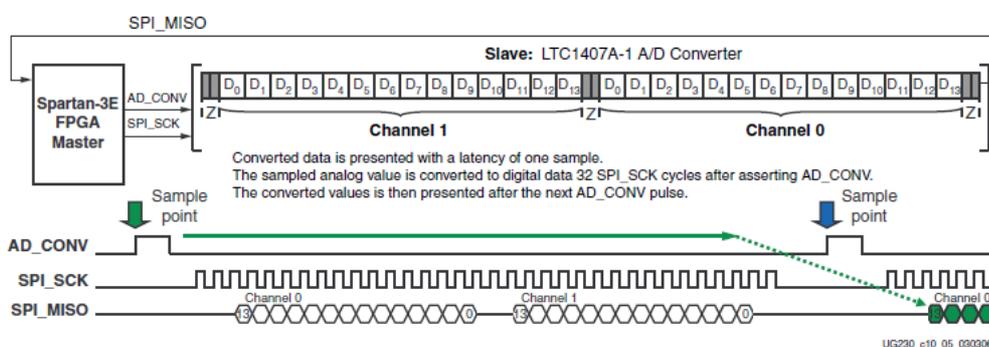


Figura 1.10 Señales de comunicación del ADC [6]

El ADC posee 3 tipos de estados en la salida de datos esto se debe a dos ciclos de reloj antes y después de cada 14 bits de datos de transferencia, como se observa en la Figura 1.11

La Figura 1.11 muestra los ciclos de reloj necesarios para la comunicación SPI y la entrega de los datos de ADC. Es obligatorio proveer los ciclos de reloj

suficientes del SPI_SCK, para que el ADC deje la señal SPI_MISO en impedancia alta.

Si esto no sucede, los bloques ADC se comunican con otros periféricos SPI. Como se ve en la Figura 1.10 se usa una secuencia de 34 ciclos de reloj, para la comunicación SPI.

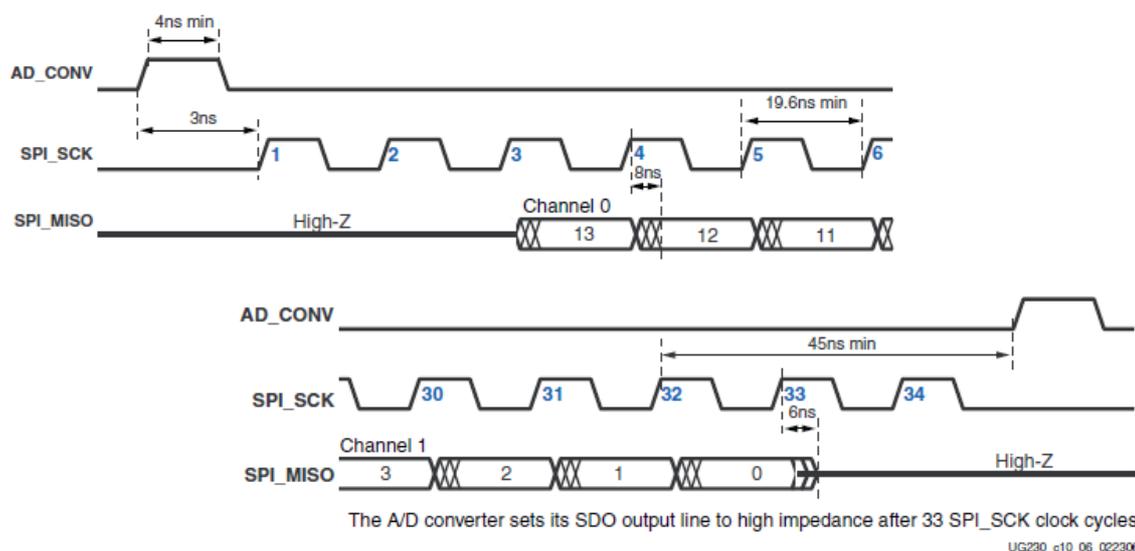


Figura 1.11. Ciclos de reloj para comunicación SPI del ADC [6]

5.6.4 DISPOSITIVOS DE COMUNICACIÓN SPI

Las señales de comunicación SPI son compartidas por otros dispositivos de la tarjeta. Es indispensable que otros dispositivos se desactiven mientras transcurre la comunicación del FPGA con el AMPLIFICADOR y el ADC para evitar colisiones en la comunicación.

La Tabla 1.5 provee las señales y los valores lógicos que se requieren para desactivar los otros dispositivos. Aunque el StrataFlash PROM que es parte de la comunicación de la tarjeta Xilinx 3E es un dispositivo paralelo, el bit de datos menos significativo es compartido con la señal SPI_MISO.

SEÑAL	DISPOSITIVO DESACTIVADO	VALORES DE DESACTIVACIÓN
SPI_SS_B	SPI serial FLASH	1
AMP_CS	Pre amplificador programable	1
DAC_CS	DAC	1
SF_CE0	Strata Flash paralelo Flash PROM	1
FPGA_INIT_B	Plataforma Flash PROM	1

Tabla 1.5 Dispositivos de comunicación SPI

5.7 LABVIEW FPGA MODULE [7]

NATIONAL INSTRUMENTS, presenta el LABVIEW FPGA MODULE, que es un producto que extiende un desarrollo gráfico para la configuración del FPGA, se usa un alto nivel de programación gráfica para generar una optimización de igual valor en la implementación de arreglos de compuertas lógicas para un control lógico digital o un control analógico.

Se usan técnicas de programación tradicionales de LABVIEW para desarrollar una aplicación sobre FPGA pero con restricciones en la paleta de programación de LABVIEW FPGA ya que solamente existen funciones específicas diseñadas para trabajar sobre el FPGA.

5.7.1 ARQUITECTURA DEL SISTEMA

Mediante el módulo FPGA, se desarrolla una aplicación en Windows, de esta manera LABVIEW compila el código para el FPGA. Una vez descargado el código de compilación sobre la tarjeta, se puede compartir el control con un LABVIEW FPGA VI en una de las siguientes configuraciones.

- Autónoma, donde el dispositivo FPGA se ejecuta independientemente de otros sistemas.
- Combinada con un PC, ejecutándose LABVIEW para Windows, donde los datos se transfieren desde el dispositivo FPGA al PC y viceversa, mediante un Host que es una aplicación de Windows

Debido a que el proceso de optimización del MPC de Labview, requiere una alta carga computacional, se realiza un Host en Windows donde se obtiene la señal de control que es enviada al FPGA para controlar al Sistema de Control.

Desde una aplicación en LABVIEW usando un HOST se puede fácilmente acceder a los datos en los registros del FPGA, como pueden ser controladores e indicadores.

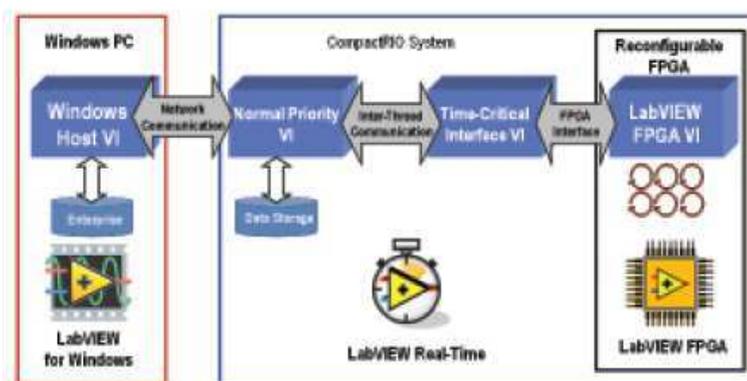


Figura 1.12 Proceso del LABVIEW FPGA MODULE [4]

CAPÍTULO 2

MODELACIÓN Y SIMULACIÓN DEL CONVERTOR DC-DC REDUCTOR ELEVADOR

6.1 MODELACIÓN DEL CONVERTOR DC-DC REDUCTOR ELEVADOR

La característica principal del convertor DC-DC reductor-elevador, es aumentar y disminuir el voltaje de entrada, otra característica radica en que la polaridad del voltaje de salida es inverso a la polaridad del voltaje de entrada y que puede resultar una desventaja para ciertas aplicaciones.

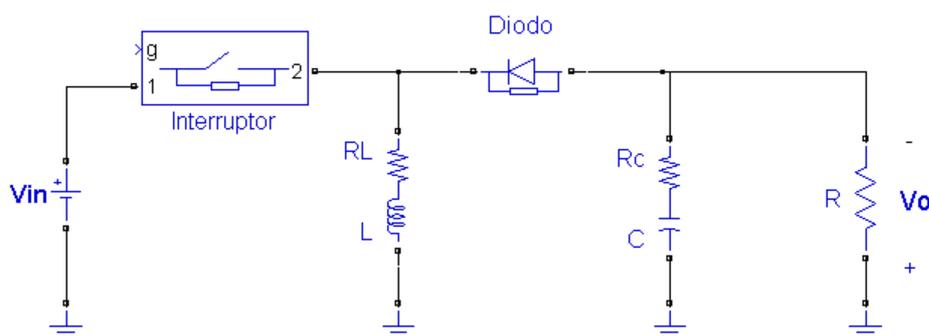


Figura 2.1: Configuración Convertor DC-DC Reductor Elevador

Como se puede observar en la Figura 2.1, el convertor está conformado por dos dispositivos semiconductores, el primero es un interruptor que en este caso va a ser un IGBT, y el segundo elemento que actúa como un interruptor también es un diodo.

A estos elementos se añade dos elementos eléctricos: el capacitor que filtra el voltaje de salida, y el inductor que va a almacenar energía en forma de campo magnético al circular corriente, sumados a éstos se encuentran la fuente emisora de energía V_{in} , y la carga que consume energía a partir del voltaje V_o .

Tomando en cuenta estos elementos, se procede a modelar el sistema, siendo el voltaje del capacitor y la corriente del inductor los Estados del Sistema; el voltaje de salida del convertor es la respuesta del sistema, y la señal de control es la relación de trabajo (k) de una señal PWM.

La modelación del sistema, se realiza en Espacio de Estados, mediante el siguiente modelo:

$$\dot{x} = Ax + Bu \quad \text{Ecuación 2.1}$$

$$y = Cx + D \quad \text{Ecuación 2.2}$$

Para la modelación del convertor DC-DC reductor elevador, se tiene dos instantes, uno cuando el interruptor se cierra y otro cuando el interruptor se abre obteniendo el sistema descrito a continuación:

$$A = k A_{ON} + k' A_{OFF} \quad \text{Ecuación 2.3}$$

$$B = k B_{ON} + k' B_{OFF} \quad \text{Ecuación 2.4}$$

$$C = k C_{ON} + k' C_{OFF} \quad \text{Ecuación 2.5}$$

6.1.1 MODELACIÓN CASO I

Cuando el interruptor se cierra, se obtiene como resultado dos circuitos, que se observa en la Figura 2.2, el inductor almacena energía en forma de campo magnético al circular la corriente como se observa en la Figura 2.2 (a), mientras en el circuito de la Figura 2.2 (b) la energía del capacitor se descarga.

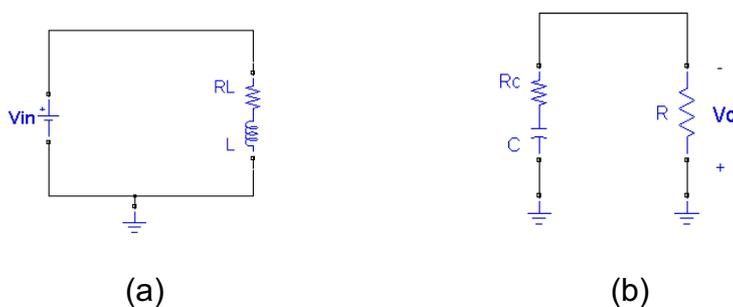


Figura 2.2 Circuitos Equivalentes ON

De estos circuitos se puede obtener las siguientes ecuaciones:

$$V_{in} = R_L i_L + V_L \quad \text{Ecuación 2.6}$$

$$i_C R_C + V_C + V_o = 0 \quad \text{Ecuación 2.7}$$

Donde:

$$\frac{di_L}{dt} = -\frac{R_L}{L} + \frac{V_{in}}{L} \quad \text{Ecuación 2.8}$$

$$\frac{dV_C}{dt} = -\frac{V_C}{C(R+R_C)} \quad \text{Ecuación 2.9}$$

6.1.2 MODELACIÓN CASO II

Cuando el interruptor se abre, el inductor envía corriente hacia la carga, el diodo se polariza directamente, y la energía almacenada en el inductor se transfiere a la carga y la corriente del inductor cae hasta iniciar un nuevo ciclo.

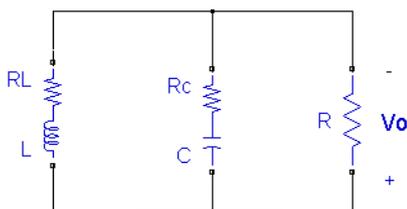


Figura 2.3 Circuito Equivalente OFF

Del circuito de la figura 2.3 se obtiene las siguientes ecuaciones:

$$V_o = -\frac{R}{R+R_C} V_C + R || R_C i_L \quad \text{Ecuación 2.10}$$

$$i_C R_C + V_C + (i_C + i_L) R = 0 \quad \text{Ecuación 2.11}$$

$$i_L R_L + V_L + V_o = 0 \quad \text{Ecuación 2.12}$$

Donde:

$$\frac{dV_C}{dt} = -\frac{1}{C(R+R_C)} V_C - \frac{R}{C(R+R_C)} i_L \quad \text{Ecuación 2.13}$$

$$\frac{di_L}{dt} = \frac{R}{L(R+R_C)} V_C - \frac{(R_L+R || R_C)}{L} i_L \quad \text{Ecuación 2.14}$$

Para el Caso I, cuando el interruptor se conecta

$$\dot{x} = A_{ON}x + B_{ON}u \quad \text{Ecuación 2.15}$$

$$y = C_{ON}x \quad \text{Ecuación 2.16}$$

Por lo tanto:

$$\begin{bmatrix} \dot{i}_L \\ \dot{v}_C \end{bmatrix} = \begin{bmatrix} -\frac{R_L}{L} & 0 \\ 0 & -\frac{1}{C(R+R_C)} \end{bmatrix} \begin{bmatrix} i_L \\ v_C \end{bmatrix} + \begin{bmatrix} \frac{v_{in}}{L} \\ 0 \end{bmatrix} u \quad \text{Ecuación 2.17}$$

$$y = \begin{bmatrix} 0 & \frac{R}{R+R_C} \end{bmatrix} \begin{bmatrix} i_L \\ v_C \end{bmatrix} \quad \text{Ecuación 2.18}$$

Para el Caso II, cuando el interruptor se desconecta

$$\dot{x} = A_{OFF}x + B_{OFF}u \quad \text{Ecuación 2.19}$$

$$y = C_{OFF}x \quad \text{Ecuación 2.20}$$

Por lo tanto:

$$\begin{bmatrix} \dot{i}_L \\ \dot{v}_C \end{bmatrix} = \begin{bmatrix} -\frac{R_L+R||R_C}{L} & \frac{R}{L(R+R_C)} \\ -\frac{R}{C(R+R_C)} & -\frac{1}{C(R+R_C)} \end{bmatrix} \begin{bmatrix} i_L \\ v_C \end{bmatrix} + \begin{bmatrix} 0 \\ 0 \end{bmatrix} u \quad \text{Ecuación 2.21}$$

$$y = \begin{bmatrix} R||R_C & \frac{R}{R+R_C} \end{bmatrix} \begin{bmatrix} i_L \\ v_C \end{bmatrix} \quad \text{Ecuación 2.22}$$

Al obtener las matrices en los dos instantes de encendido y apagado, se multiplica por la relación de trabajo, como se observa en la Ecuación 2.3, Ecuación 2.4, Ecuación 2.5., obteniendo su equivalente en variables de estado:

$$\begin{bmatrix} \dot{i}_L \\ \dot{v}_C \end{bmatrix} = \begin{bmatrix} -\frac{R_L}{L} - \frac{R||R_C}{L} k' & \frac{R}{L(R+R_C)} k' \\ -\frac{R}{C(R+R_C)} k' & -\frac{1}{C(R+R_C)} \end{bmatrix} \begin{bmatrix} i_L \\ v_C \end{bmatrix} + \begin{bmatrix} \frac{V_{in}}{L} k \\ 0 \end{bmatrix} u \quad \text{Ecuación 2.23}$$

$$y = \begin{bmatrix} \frac{RR_C}{R+R_C} k' & \frac{R}{R+R_C} \end{bmatrix} \begin{bmatrix} i_L \\ v_C \end{bmatrix} \quad \text{Ecuación 2.24}$$

6.2 DISEÑO DEL CONVERTOR DC-DC REDUCTOR ELEVADOR [8]

A partir del sistema diseñado (Ecuación 2.23, Ecuación 2.24), se establece la carga que se va a controlar, la cual es un motor DC de 100V, una potencia de 1 HP, y como entrada al sistema una fuente de voltaje de 60V_{DC}.

Para determinar la relación de trabajo se tiene:

$$V_o = -\frac{k}{1-k} V_{in} \quad \text{Ecuación 2.25}$$

$$k' = 1 - k \quad \text{Ecuación 2.26}$$

Donde:

V_o= Voltaje de salida del convertor [-100 V]

V_{in}=Voltaje de entrada del convertor [60V]

k= relación de trabajo del convertor

De la Ecuación 2.25 se obtiene k=0.625 por lo tanto k'=0.375

Asumiendo un trabajo de operación del motor a plena carga, es decir una potencia de salida $P_o = 746W$. Para el caso ideal, se establece que:

$$P_o = P_{in} \quad \text{Ecuación 2.27}$$

$$P_o = V_{in} \int i_{in}(t) dt \quad \text{Ecuación 2.28}$$

De esta forma se obtiene

$$i_{in_{DC}} = \frac{P_o}{V_{in}} = \frac{746W}{60V} = 12,43 \approx 12,5A \quad \text{Ecuación 2.29}$$

Se determina el valor de inductancia crítica entre conducción continua y discontinua.

$$L > L_c \quad \text{Ecuación 2.30}$$

$$L_c = \frac{(1-k)V_o}{2f_{1o}} \quad \text{Ecuación 2.31}$$

En base a la Ecuación 2.31 se establece que la inductancia crítica es:

$$L_c = \frac{(1 - 0,625) \times 100V}{2 \times 20kHz \times 7,46A}$$

$$L > L_c = 125,67\mu H$$

Para la construcción de la inductancia se considera un valor de 500 μ H, debido a que es mayor a la inductancia crítica, y por los valores de respuesta transitoria obtenidos en las simulaciones del sistema de control, ya que con este valor de inductancia y la frecuencia de trabajo del convertidor, la salida presenta menor sobreimpulso para las peores condiciones.

Para este valor de inductancia se obtiene los valores de rizado de corriente, en la inductancia.

$$\Delta I_L = \frac{V_{in} k}{f L} \quad \text{Ecuación 2.32}$$

$$\Delta I_L = \frac{60 \times 0,625}{20kHz \times 500\mu H} = 3,75A$$

Se determina el valor de I_{max} (corriente máxima) e I_{min} (corriente mínima).

$$I_{max} = I_{in_{DC}} + \frac{\Delta I_L}{2} \quad \text{Ecuación 2.33}$$

$$I_{max} = 12,5 + \frac{3,75}{2}$$

$$I_{max} = 14,38A$$

$$I_{min} = I_{in_{DC}} - \frac{\Delta I_L}{2} \quad \text{Ecuación 2.34}$$

$$I_{min} = 12,5 - \frac{3,75}{2}$$

$$I_{min} = 10,63A$$

Para determinar el valor crítico del capacitor se obtiene mediante el siguiente criterio

$$C > C_C \quad \text{Ecuación 2.34}$$

$$C_C = \frac{kI_o}{2fV_o} \quad \text{Ecuación 2.35}$$

$$C_C = \frac{0,625 \times 7,46A}{2 \times 20kHz \times 100V}$$

$$C > C_C = 1,17\mu F$$

Considerando la importancia de la salida del conversor que se va a implementar se establece un valor de capacitancia alto, para obtener un valor pequeño de rizado de voltaje a la salida del conversor, con el objetivo de que la perturbación (rizado de voltaje) en la salida sea lo más pequeño posible.

Se considera un rizado de voltaje de 0,5V, que corresponde a un valor porcentual de rizado de 0,5% con respecto a la salida máxima del conversor, el cual es cercano a 0.

$$C = \frac{I_o k}{f \Delta V_C} \quad \text{Ecuación 2.36}$$

$$C = \frac{7,46 \times 0,625}{20kHz \times 0,5V} = 466,25\mu F$$

En el Laboratorio se encuentra un valor de capacitancia de 1000 μ F, el cual se coloca en el conversor diseñado, con el objetivo de disminuir al máximo la perturbación en la salida.

Los valores de resistencia parasita R_c y R_L , son relativamente pequeños, y no pueden ser medidas con un multímetro. Los valores calculados y construidos de inductancia y capacitancia son los siguientes.

$$C=1000\mu F, R_c=1m\Omega$$

$$L=0,5mH, R_L=1m\Omega$$

6.2.1 SELECCIÓN DE SEMICONDUCTORES DE POTENCIA

6.2.1.1 Selección del IGBT

El voltaje colector emisor que debe soportar el dispositivo IGBT, se determina cuando el semiconductor está apagado.

$$V_{CE} = V_{L,off} + V_{in} \quad \text{Ecuación 2.37}$$

$$V_{CE} = L \frac{\Delta I}{\Delta t_{off}} + V_{in} \quad \text{Ecuación 2.38}$$

$$V_{CE} = 500\mu H \frac{3,75A}{18,75\mu s} + 60V$$

$$V_{CE} = 160V$$

La corriente del colector, mientras el IGBT conduce corresponde a I_{max} que se calcula en la Ecuación 2.33.

$$I_{max} = 14,38A = I_C$$

El IGBT a seleccionar debe cumplir con las siguientes características.

- Frecuencia de trabajo 20kHz
- Corriente pico del IGBT. $I_p=14,38A$
- Voltaje mínimo del IGBT $V_{CE} = 160V$

Debido a estas condiciones de trabajo se busca un IGBT con estas características, el más cercano, que se ha encontrado es un IGBT IRG4PC40U, que presenta las siguientes características principales y se adjunta la hoja de datos completo en el Anexo A.

$$V_{CE}=600V$$

$$V_{GE}=15V$$

$$I_C = 40 \text{ A @ } T_C = 25^\circ \text{ C}$$

$$I_C = 20 \text{ A @ } T_C = 100^\circ \text{ C}$$

6.2.1.2 Selección del diodo

Para determinar las características del diodo es necesario determinar los siguientes parámetros: el voltaje pico inverso, este valor es dos veces mayor el voltaje máximo que va a soportar el diodo cuando este se encuentra abierto, y se determina cuando el IGBT se encuentra conduciendo y la inductancia es alimentada, para este caso se determina de la topología del convertidor DC-DC reductor elevador.

$$V_{AK} = V_{L,on} + V_o \quad \text{Ecuación 2.39}$$

$$V_{AK} = L \frac{\Delta I}{\Delta t_{on}} + V_o \quad \text{Ecuación 2.40}$$

$$V_{AK} = 500\mu H \frac{3,75A}{31,25\mu s} + 100V$$

$$V_{AK} = 160V$$

Para determinar la corriente que conduce por el diodo se utiliza dos veces la corriente que va a soportar el diodo:

$$I_p = 2 \times 14,38A \quad \text{Ecuación 2.41}$$

$$I_p = 2 \times 14,38A$$

$$I_p = 28,76A$$

Debido a las características del convertidor, el diodo va desde 0A a la corriente máxima del inductor en el momento que se abre el interruptor.

- Frecuencia de trabajo 20kHz
- Corriente pico del diodo $I_p=28,76A$
- Voltaje mínimo del diodo $V_p=320V$

En este caso se escoge un diodo NTE6008 que existe en el mercado y es un diodo de recuperación rápida, que presenta las siguientes características principales, la hoja de datos completa se presenta en el Anexo B.

$$V_{PR}=400V$$

$$I_F= 40 A$$

$$V_F = 1.4V MAX@40A$$

$$I_{FM surge} = 350 A$$

$$trr = 200ns MAX$$

6.2.1.3 Red Snubber

Un circuito RC es un circuito apropiado para eliminar transitorios de sobrevoltaje y disminuir la derivada de voltaje en el capacitor. Considerando la topología del circuito snubber RC, con el equivalente al convertidor DC-DC reductor elevador se puede determinar el siguiente circuito equivalente como se observa en la Figura 2.4.

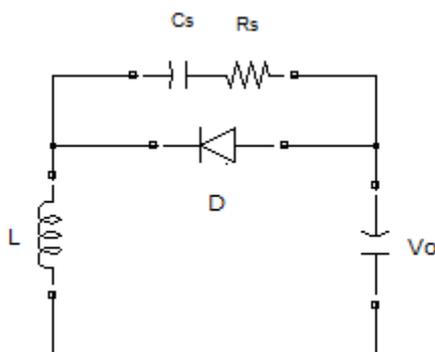


Figura 2.4 Red Snubber para diodos

De lo cual se determina: [8]

$$R_s = 1,3 \frac{V_d}{I_{rr}}$$

Ecuación 2.42

El valor de I_{rr} , (corriente de recuperación inversa), se encuentra en la hoja de datos del elemento NTE6008, y es igual a 3A. El voltaje V_d , es el voltaje del diodo.

$$R_s = 1,3 \frac{160V}{3A}$$

$$R_s = 69,33\Omega$$

$$C_s = C_{base} = L \left[\frac{I_{rr}}{V_d} \right]^2 \quad \text{Ecuación 2.43}$$

$$C_s = 500\mu H \left[\frac{3A}{160V} \right]^2$$

$$C_s = 175,78nF$$

Por lo tanto se escoge los valores más cercanos de resistencia y capacitancia:
 $R_s = 82\Omega$ y $C_s = 220nF$.

6.3 SIMULACIÓN DEL SISTEMA

De la matriz en Espacios de Estados, representados en la Ecuación 2.23 y la Ecuación 2.24, con los datos diseñados y contruidos del convertor DC-DC reductor elevador se obtiene:

$$\begin{bmatrix} \dot{i}_L \\ \dot{v}_C \end{bmatrix} = \begin{bmatrix} -2,74994 & 749,944054 \\ -374,972027 & -74,594435 \end{bmatrix} \begin{bmatrix} i_L \\ v_C \end{bmatrix} + \begin{bmatrix} 75000 \\ 0 \end{bmatrix} u$$

$$y = [0,000375 \quad 0,999925] \begin{bmatrix} i_L \\ v_C \end{bmatrix}$$

Ecuación 2.44

Del modelo presentado en la Ecuación 2.44 se obtiene la respuesta paso del modelo continuo, en la Figura 2.5 se puede observar los datos que corresponden a estos valores y la respuesta del sistema a una señal paso.

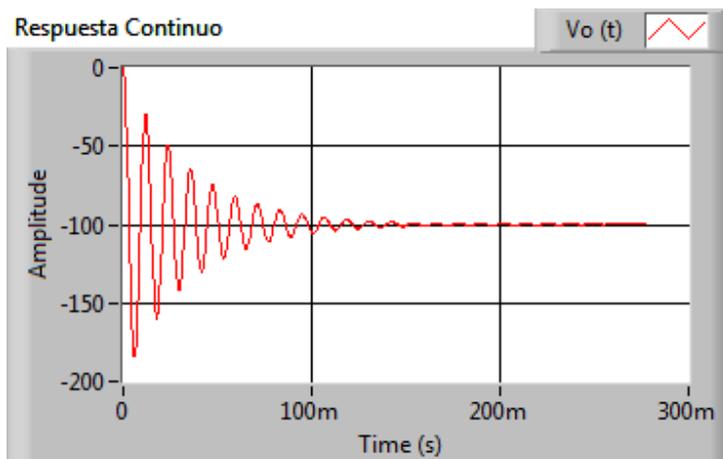


Figura 2.5 Respuesta a una entrada escalón sistema continuo

Al realizar un análisis en la respuesta transitoria, se puede observar un caso subamortiguado a una entrada escalón, como se ve en la Figura 2.5, se puede determinar los siguientes valores:

Sobreimpulso=84%

Tiempo de establecimiento=155,2 ms

Tiempo de subida=1,88ms

Tiempo pico=6,42ms

De las variables de Estado en tiempo continuo se obtiene el modelo discreto de la planta, se discretiza la planta utilizando el método de Retenedor de orden zero que posee el CONTROL DESIGN & SIMULATION de LABVIEW, utilizando un periodo de muestreo que corresponde al valor $t_s/4$

De estos datos obtenidos con el módulo de LABVIEW, se procede a formar el espacio de estados discretos. Es necesario un sistema discreto, ya que la aplicación del MPC del módulo CONTROL DESIGN & SIMULATION de LABVIEW requiere una planta en modelo discreto, de esta forma se obtiene que:

El tiempo de muestreo es igual 472,525us, y la respuesta a una señal paso se observa en la Figura 2.6 de igual manera, se puede mirar los valores de respuesta del sistema discreto.

$$\begin{bmatrix} \dot{i}_L \\ \dot{v}_C \end{bmatrix} = \begin{bmatrix} 0,967861 & 0,344337 \\ -0,172169 & 0,934874 \end{bmatrix} \begin{bmatrix} i_L \\ v_C \end{bmatrix} + \begin{bmatrix} 35,0501 \\ -3,08557 \end{bmatrix} u$$

$$y = \begin{bmatrix} 0,0003749 & 0,999925 \end{bmatrix} \begin{bmatrix} i_L \\ v_C \end{bmatrix}$$

Ecuación 2.45

Para este sistema se obtiene los valores de repuesta para una señal paso, como se observa en la Figura 2.6:

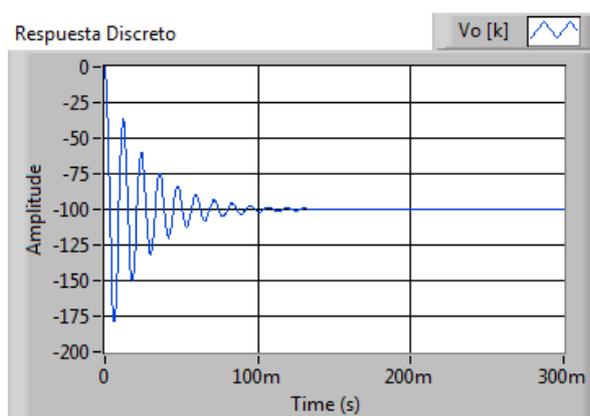


Figura 2.6 Respuesta a una entrada escalón sistema discreto

De este sistema, y basándose en el módulo CONTROL DESIGN & SIMULATION de LABVIEW se procede a simular el gráfico de los estados, como se observa en la Figura 2.7, que corresponden al voltaje del capacitor y a la corriente del inductor.

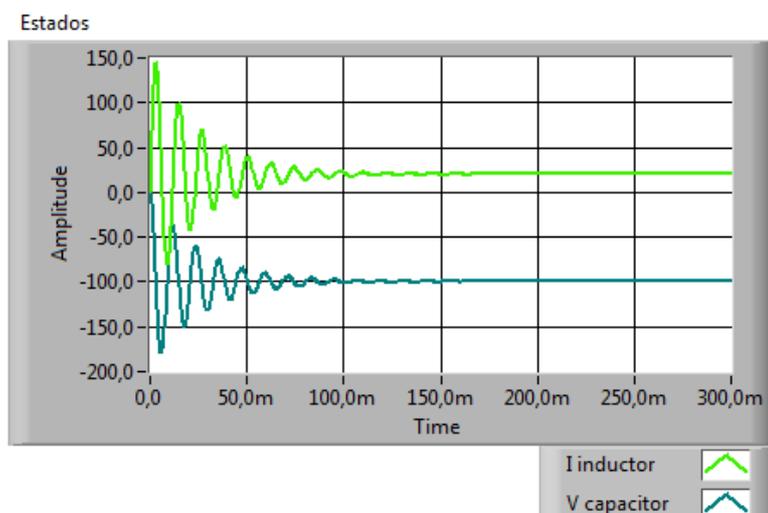


Figura 2.7 Estados del Sistema Discreto

En la Figura 2.7 se observa el comportamiento inestable en estado transitorio del sistema, estas gráficas se dan a partir de que el motor se simula a plena carga.

6.4 ELEMENTOS DE CONFIGURACIÓN DEL MPC DE LABVIEW

Labview presenta una aplicación denominada CONTROL PREDICTIVE, parte del modulo CONTROL DESIGN & SIMULATION, del cual se desarrolla una interfaz gráfica para la comprensión y aprendizaje del Control Predictivo basado en modelo.

Al usar el CD CREATE MPC CONTROLLER (Figura 2.8), crea un modelo de controlador para un modelo en Variables de Estados. Este sub vi (Instrumentos Virtuales) tiene tres elementos principales que son parte del controlador, y un elemento de salida que corresponde al modelo del controlador MPC.

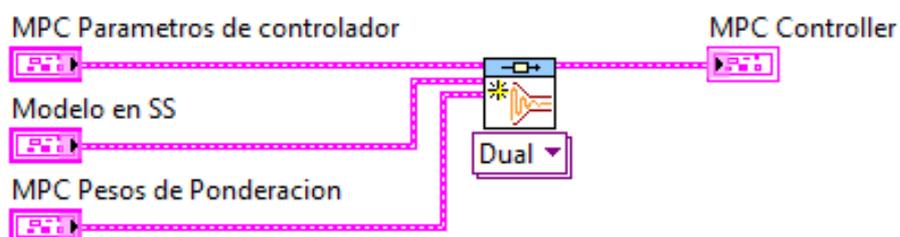


Figura 2.8 Cd Create MPC Controller

MPC PARÁMETROS DEL CONTROL. Este elemento contiene la siguiente información necesaria para la configuración, estos son:

- *Horizonte de Predicción* que indica el número de muestras futuras, este número es parte de la función de costo;
- *Horizonte de Control* este valor es usado en la función de costo para determinar el cálculo de la acción de control;
- *Ventana Inicial* especifica el rango inicial, que la función de costo no considera, es utilizada para sistemas de control que presentan retrasos en sus modelos; acción integral, incluye la

- *Acción integral* para sistemas que no poseen este tipo de acción en el modelo de la planta.

MODELO EN ESPACIO DE ESTADOS, en este elemento se ingresa el modelo de la planta que va a ser controlada por el MPC. Cabe destacar que la precisión en la modelación de la planta mejora el rendimiento del controlador.

MPC PESOS DE PONDERACIÓN, esta matriz especifica los valores que pertenecen al peso de ponderación de las matrices en la función de costo de la Ecuación 1.30, estos valores corresponden a las matrices Q, R, N de la función costo.

- *Peso del error de la salida:* en este arreglo se coloca el peso de la matriz Q, que representa la ponderación de los errores en cada salida de la planta. La dimensión de la matriz debe ser igual al número de las salidas de la planta y debe ser positiva definida.
- *Peso de la tasa de cambio en la acción de control:* aquí se especifica el peso de la matriz R en la función de costo, este valor da la ponderación para cada cambio en la acción de control. La dimensión de esta matriz deben ser igual al número de entradas de la planta y debe ser una matriz positiva definida.
- *Peso de la acción de control,* especifica el peso de la matriz N, que este VI usa para cada cambio en el error de la acción de control; en la función de costo es recomendable usar esta matriz para sistemas que poseen más entradas que salidas.

Los parámetros de control secundarios que también son parte del CD CREATE MPC CONTROLLER y se consideran para la programación del MPC, son los siguientes.

MPC Restricciones (Método Dual) una de las características del CD CREATE MPC CONTROLLER, permite escoger el método de optimización, ya sea el método Barrera o Dual, utilizando el algoritmo de programación cuadrática QP.

Cada parámetro especifica un límite máximo y mínimo, en la acción de control u , en la salida de la planta y , o en la tasa de cambio en la acción de control du , en el proceso de optimización de Labview cuando se especifica un máximo y un mínimo para un parámetro (y , u , o du), Labview asume un valor constante para los otros parámetros

MPC Restricciones (Método Barrera). Especifica las restricciones en el algoritmo de optimización de programación cuadrática usando el método de función barrera.

Cada valor especifica un límite mínimo, un límite máximo, la tolerancia y las penalidades en los parámetros de la acción de control u , en la salida de la planta y , o en la velocidad de cambio en la acción de control du . Si se especifica solamente un límite mínimo y un máximo para un parámetro (y , u , o du), Labview asume una constante para los otros parámetros.

El CD IMPLEMENT MPC CONTROLLER es necesario para la programación e implementación del MPC, se requiere de dos elementos que son:

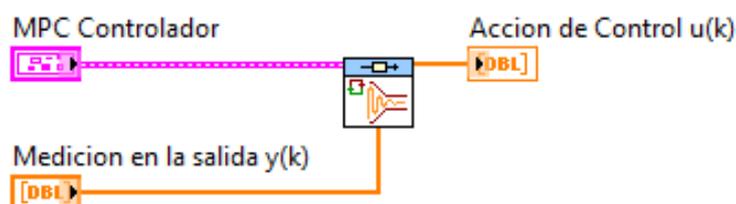


Figura 2.9 Cd Implement MPC Controller

El *MPC Controlador*, este elemento es creado del sub vi CD CREATE MPC CONTROLLER, y especifica el modelo del controlador predictivo, que va a utilizar el modelo de la planta.

Medición de la salida y (k) , en este elemento se especifica el valor de la salida de la planta al instante k , y es valor de realimentación.

Este sub vi posee una característica importante, tiene dos controles, uno para sistemas SISO y un método para sistemas MIMO, este valor se escoge manualmente.

La respuesta que el CD IMPLEMENT MPC CONTROLLER entrega, es la *acción de control $u[k]$* a implementarse en el Espacio de Estados.

El CD SET MPC CONTROLLER, permite actualizar los parámetro del controlador MPC en tiempo real, debido a que en diferentes instantes de tiempo, es necesario cambiar los valores de las variables de estado de la planta o las condiciones de salida y entrada, los valores de las restricciones cambian o simplemente se va a realizar nuevas matrices de ponderación en las funciones de costo.

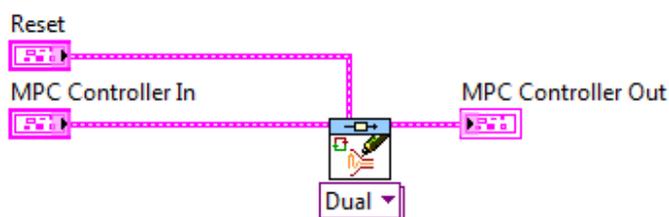


Figura 2.10 Cd Set MPC Controller

El CD SET MPC CONTROLLER permite actualizar todos los parámetros o actualizar solamente un parámetro. Al presionar Reset se desprende una ventana, la cual muestra el parámetro a actualizarse, esta opción se puede observar en la Figura 2.10, los parámetros de control a actualizarse pueden ser los siguientes:

MPC Parámetros, actualiza el horizonte de predicción y el horizonte de control, el Peso de Ponderación, las restricciones de optimización y el estimador de estados del controlador.

- *Modelo en SS*, actualiza el modelo usado para generar el controlador de predicción y actualizar el estimador de estados del controlador. El nuevo modelo a ingresar debe tener el mismo número de entradas y salidas.
- *Pesos de Ponderación*, actualiza los pesos de ponderación del controlador MPC.
- *Restricciones*, actualiza las restricciones de la optimización, dentro del controlador MPC.
- *Datos Iniciales*, actualiza las condiciones iniciales en las cuales los estados de la planta de encuentran al momento de activar el controlador.

Al recibir el MPC los valores que necesita la programación, genera un nuevo perfil del controlador predictivo para implementar en el MPC.

Es parte de la implementación el CD UPDATE MPC WINDOW, ya que calcula la dimensión apropiada de la señal de referencia desde una señal en el instante k al instante $k +$ horizonte de predicción. La conexión de la salida de esta ventana es la entrada del CD IMPLEMENT MPC CONTROLLER.

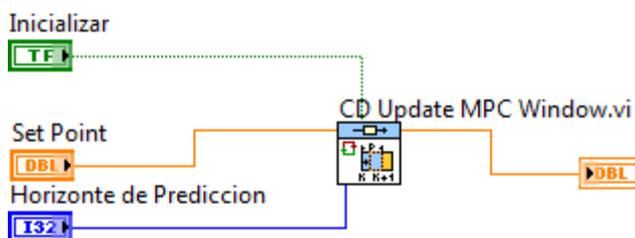


Figura 2.11 Cd Update Mpc Window

De igual forma que los anteriores Sub Vi's que sirven para la implementación del MPC, en el Cd Update MPC Window los elementos de programación son los siguientes:

- *Set Point* que especifica la señal de referencia al instante $k +$ Horizonte de predicción.

- *Inicializar* es un control booleano, que especifica si es necesario restablecer el cálculo de la señal de referencia.

Si al colocar verdadero en *inicializar* y no se especifica un perfil inicial, este VI coloca la señal de transferencia en valores predichos durante un periodo de tiempo equivalente al horizonte de predicción.

6.5 SIMULACIÓN DEL CONTROL PREDICTIVO DEL SISTEMA

Para la programación de los Sub Vi's y una correcta simulación es necesario implementar el siguiente procedimiento:

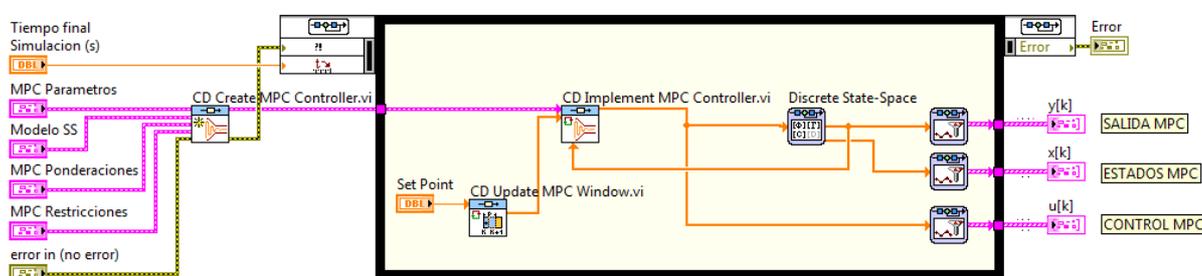


Figura 2.12 Simulación del Control Predictivo

Para la simulación del MPC, se puede observar el orden correcto de los Sub Vi's en la Figura 2.12, los cuales son detallados de la siguiente manera:

- 1° CD CREATE MPC CONTROLLER, crea un perfil MPC
- 2° CD UPDATE MPC WINDOW, crea un perfil de set Point para el MPC
- 3° CD IMPLEMENT MPC CONTROLLER, implementa la señal de control optimizada, y realimenta la salida de la planta y $y[k]$
- 4° DISCRETE STATE-SPACE simula la planta real implementado el MPC

6.6 DATOS DE LA SIMULACIÓN

A través de la interfaz gráfica, se puede obtener una simulación del convertidor DC-DC reductor elevador, con control predictivo.

En la primera pantalla (Figura 2.13), se indica los valores del conversor DC-DC reductor elevador que se pueden ingresar:

- *Parámetros de diseño:* en este espacio se ingresa los datos del conversor que puede ser Potencia, Voltaje de Entrada y Salida, la frecuencia de trabajo del semiconductor.
- *Estados del conversor,* en este espacio se escribe el valor de la inductancia y la capacitancia que van a ser parte del conversor DC-DC reductor elevador.
- *Valores Obtenidos,* en este espacio se devuelven los datos que son parte del conversor DC-DC reductor elevador como son la corriente de entrada promedio y máxima, la corriente de salida, la resistencia de carga y la relación de trabajo máximo.
- *Modelo Continuo* esta pantalla devuelve el valor de los espacios de estados en tiempo continuo.

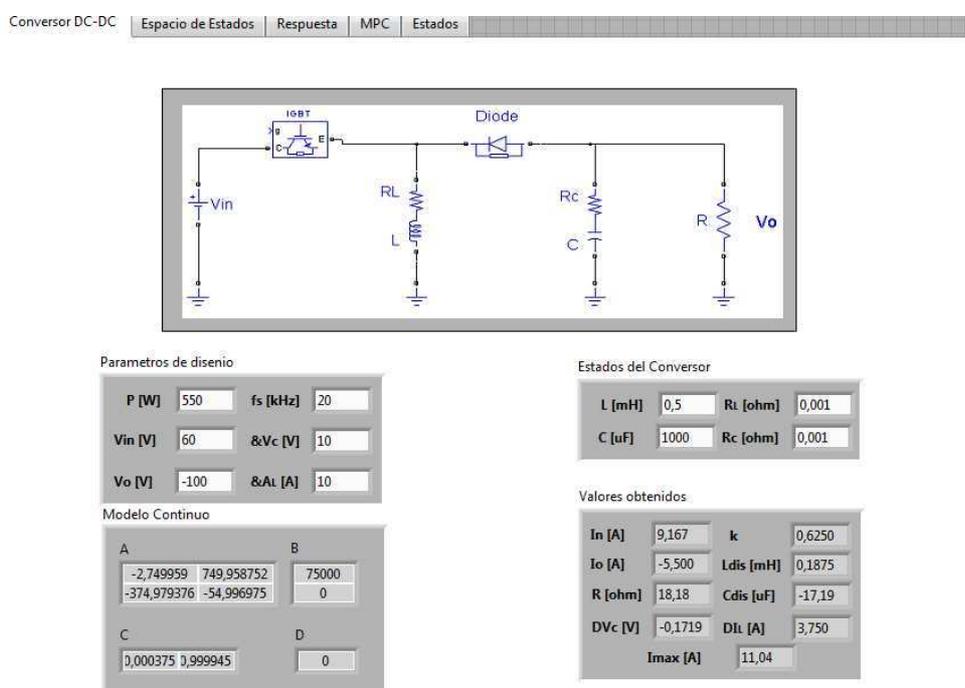


Figura 2.13 Pantalla Ingreso datos del Conversor DC-DC reductor elevador

La siguiente pantalla representada en la Figura 2.14, se observa la matriz en espacios de estado que va ingresar al controlador MPC, en esta pantalla también se puede ingresar una nueva matriz en tiempo discreto.

En la tercera pantalla como se observa en la Figura 2.15 se puede observar la respuesta analítica y gráfica de la planta a una entrada escalón. Esta respuesta es en lazo abierto.

La siguiente pantalla se observa en la Figura 2.16 se encuentra todos los parámetros de control del MPC, mediante la manipulación de los diferentes parámetros se puede observar gráficamente la respuesta del modelo implementado el control MPC.

$$\dot{\mathbf{x}} = \begin{bmatrix} 0,967834 & 0,345566 \\ -0,172783 & 0,94376 \end{bmatrix} \mathbf{x} + \begin{bmatrix} 35,0114 \\ -3,08835 \end{bmatrix} \mathbf{u}$$

$$\mathbf{y} = \begin{bmatrix} 0,0003749 & 0,999945 \end{bmatrix} \mathbf{x} + \begin{bmatrix} 0 \end{bmatrix}$$

Ingreso Matriz

Ts

$$\dot{\mathbf{x}} = \begin{bmatrix} 0 & 0 \\ 0 & 0 \end{bmatrix} \mathbf{x} + \begin{bmatrix} 0 \\ 0 \end{bmatrix} \mathbf{u}$$

$$\mathbf{y} = \begin{bmatrix} 0 & 0 \end{bmatrix} \mathbf{x} + \begin{bmatrix} 0 \end{bmatrix}$$

Figura 2.14 Pantalla Espacio de Estados a implementar el MPC

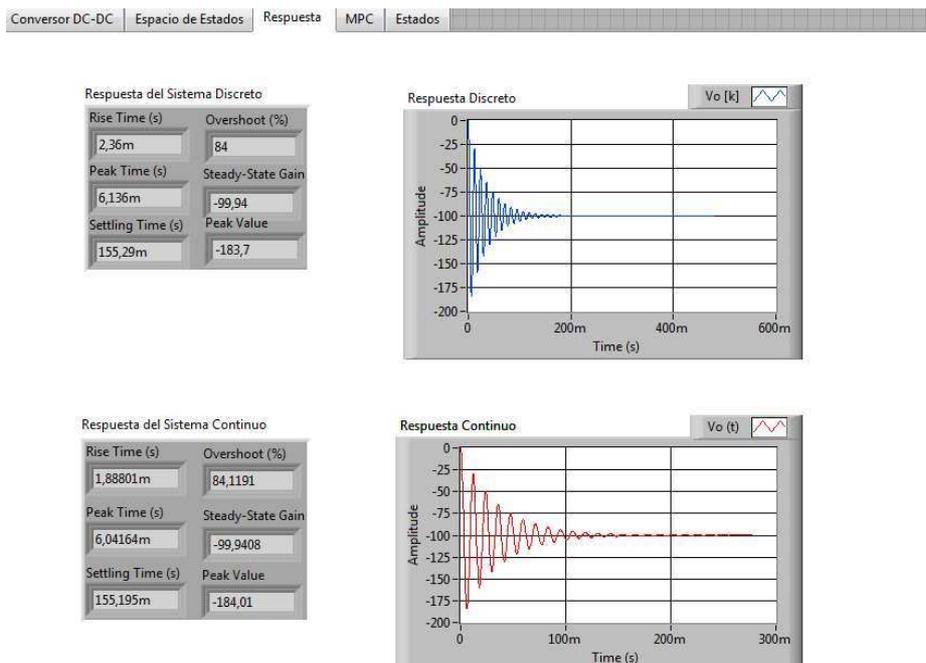


Figura 2.15 Pantalla respuesta del Sistema en lazo abierto

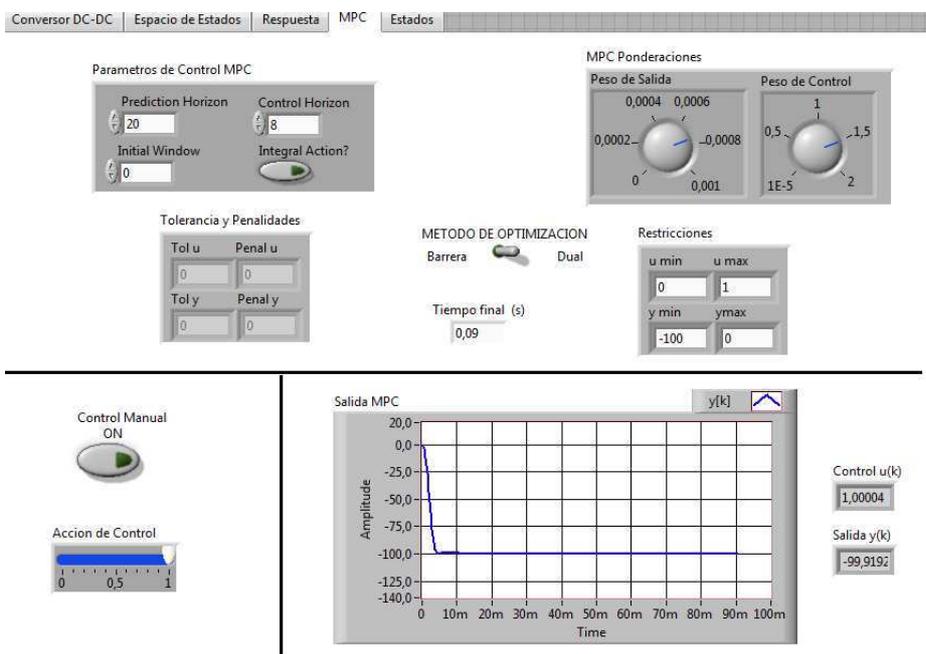


Figura 2.16 Pantalla Implementación del MPC

Como se puede observar en la figura 2.17, se muestra el valor de la salida en la implementación del MPC, a diferencia de la respuesta del control en lazo abierto se puede observar un sobre impulso de cero en la simulación y un tiempo de subida reducido

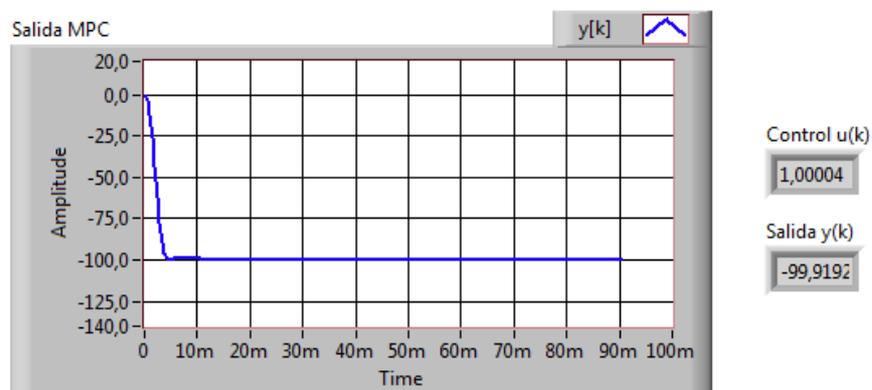


Figura 2.17 Salida del convertor DC-DC reductor elevador con MPC

La siguiente pantalla en la Figura 2.18 se puede observar la simulación de los estados de la planta implementado el control predictivo y el control a lazo abierto.

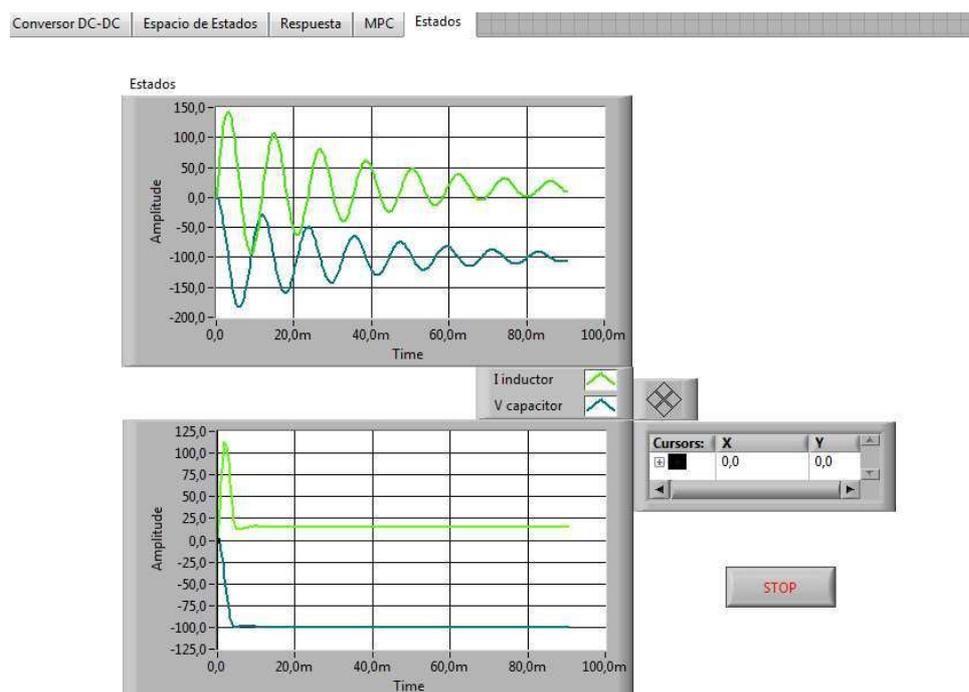


Figura 2.18 Pantalla de Estados en el sistema en lazo abierto y en MPC

CAPÍTULO 3

IMPLEMENTACIÓN DEL MPC Y CONSTRUCCIÓN DEL CONVERSOR DC-DC REDUCTOR ELEVADOR

7.1 IMPLEMENTACIÓN DEL MPC

Es necesario el conocimiento de los estados de la planta, para que el controlador MPC tenga un alto rendimiento ya que el modelo del sistema, debe ser lo más cercano a la realidad. Por esta razón el MPC al comienzo de cada muestra, el mismo controlador MPC de Labview estima los estados de la planta actual.

El conocimiento exacto de los estados de la planta, mejora la exactitud de la predicción y a su vez el rendimiento del controlador.

Si todos los estados de las plantas son medibles, la estimación de estados es simple, ya que el controlador solamente requiere la consideración de los efectos de ruido.

En un caso real el trabajo de los estados de la planta pueden ser no medibles, y los estados deben ser estimados a partir de los valores actuales y desde medidas que se encuentren disponibles.

7.1.1 PROGRAMACIÓN MPC

En la implementación del MPC en tiempo real, los parámetros de control pueden ser modificados al instante en que la planta se encuentra en proceso de operación, ya que el modelo del sistema puede en algún punto de trabajo encontrarse desactualizado, debido al cambio de algún elemento del convertidor DC-DC reductor elevador

También se puede actualizar los parámetros de control del MPC que sean necesarios para una mejor sintonización, se puede cambiar los valores de las restricciones, el modelo en Espacio de Estados, los parámetros de control, los valores de ponderación

En la Figura 3.1 se observa el proceso de programación para implementar el control en el punto de referencia deseado.

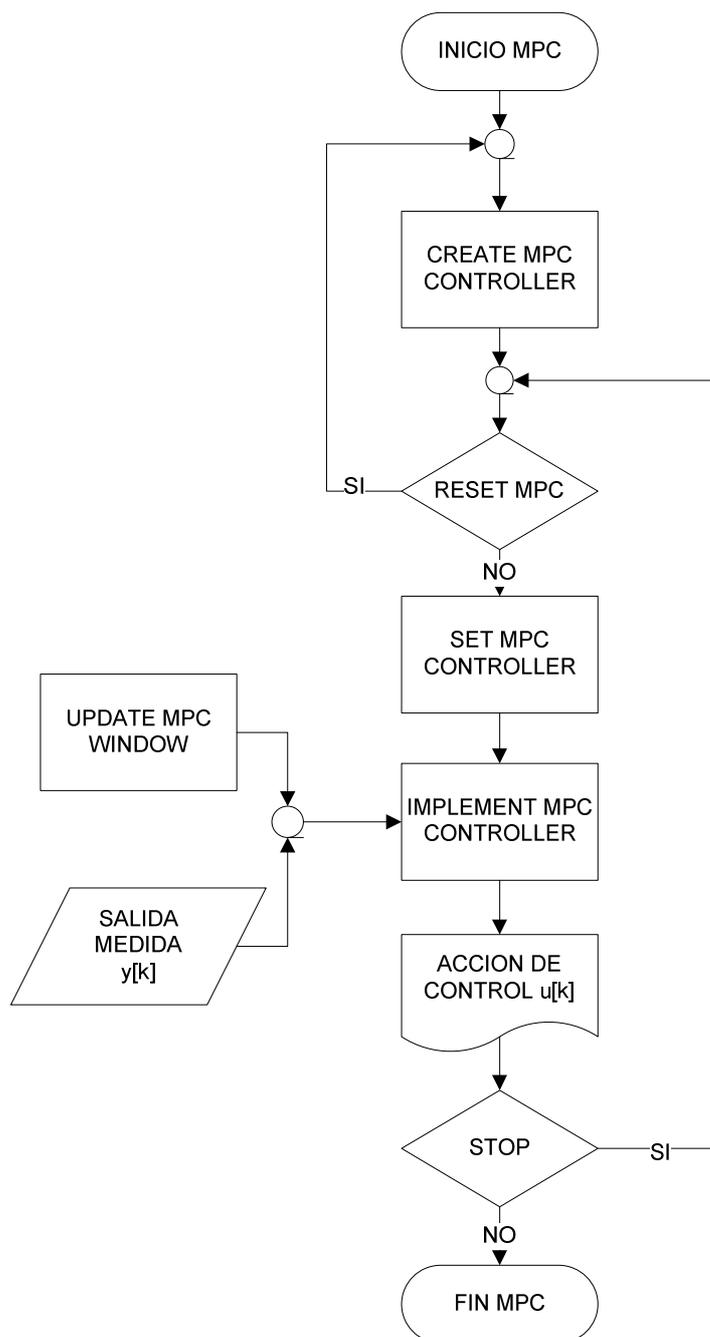


Figura 3.1 Algoritmo del controlador MPC

A partir de este diagrama de flujo se procede a detallar en secuencia cada VI que es parte de la implementación del MPC en Labview.

1° En el CD CREATE MPC CONTROLLER se sitúan los parámetros del controlador MPC, el modelo en espacio de estados en tiempo discreto, las ponderaciones MPC; las restricciones del MPC, al cambiar estas variables se crea un nuevo perfil de control para la implementación del control predictivo.

2° El CD SET MPC CONTROLLER coloca el perfil del controlador MPC con las mismas variables de control que son repuesta del CD CREATE MPC CONTROLLER, este sub vi al dar clic en Reset configura nuevamente los datos del controlador MPC, ya sean todos los parámetros o uno por uno.

3° UPDATE MPC CONTROLLER se utiliza para la generación de perfiles de referencia.

4° IMPLEMENT MPC CONTROLLER recibe un perfil del controlador MPC, el perfil del punto de referencia y la señal correspondiente a la medida de la variable de salida $y[k]$, mientras que la salida de este sub vi indica la señal de control del convertor $u[k]$.

Para la implementación del MPC se utilizan los sub VI, que son descritos en el capítulo II, la forma de conexiones de los bloques se detalla en la Figura 3.2.

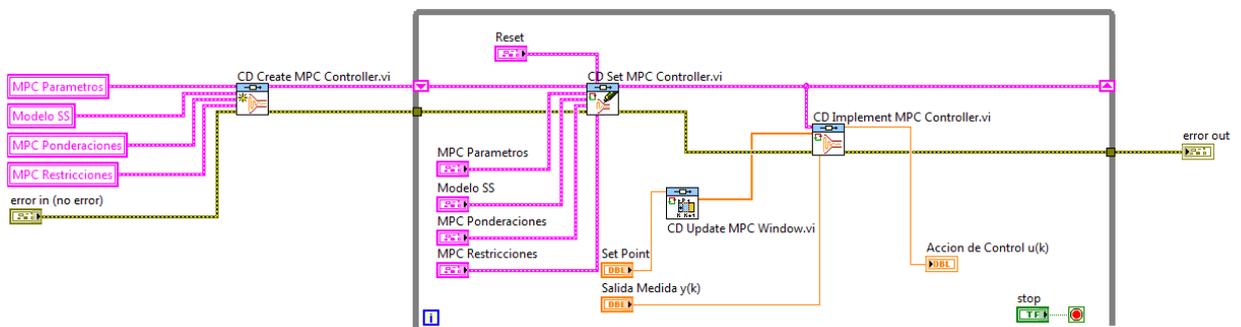


Figura 3.2 Implementación Controlador MPC en Labview

7.1.2 PROGRAMACIÓN PWM

La señal de control PWM es enviada al IGBT, mediante un circuito optoacoplador, de frecuencia fija de 20 kHz y con un ancho de pulso variable de 0 a 99%. En el siguiente diagrama de flujo se puede observar, la configuración principal del PWM, que va a ser implementado en el FPGA.

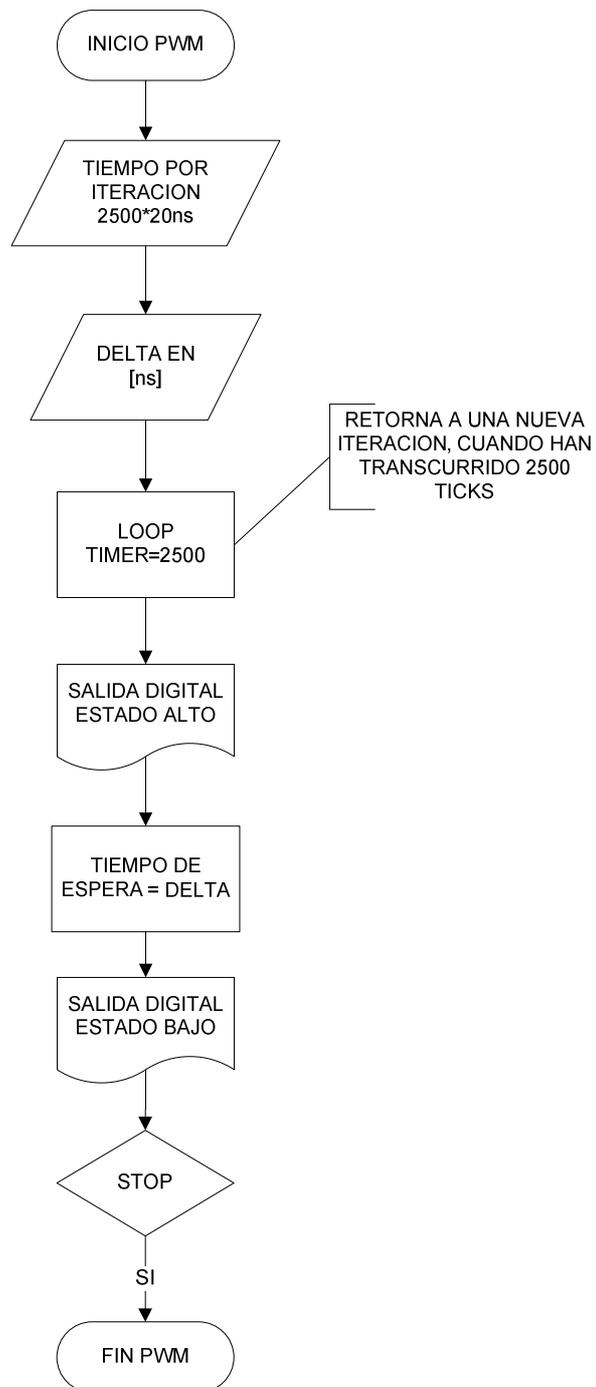


Figura 3.3 Algoritmo de generación de PWM

En la figura 3.4, se establece la programación de la señal PWM, en el lenguaje de programación de Labview. [11]

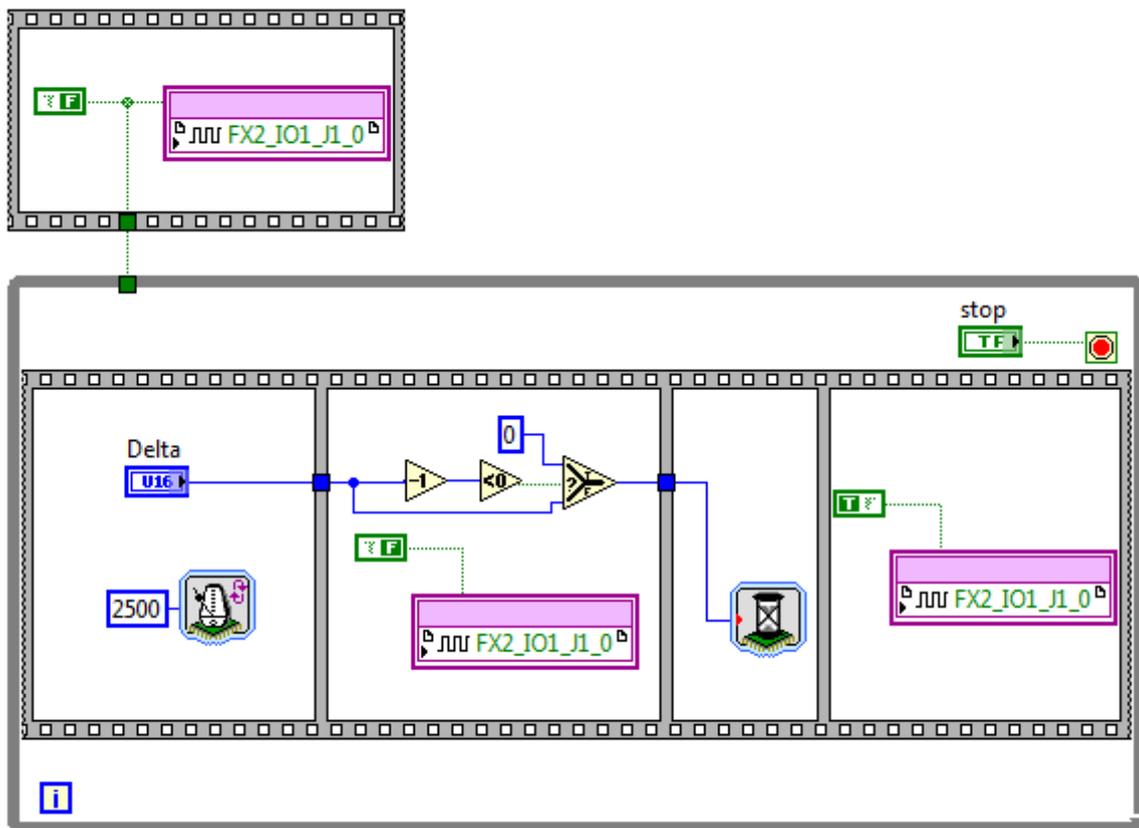


Figura 3.4 Implementación PWM mediante FPGA Labview

1° Para empezar el lazo de iteración se coloca en un estado bajo la salida digital.

2° Se crea una base de tiempo constante para cada lazo de iteración, este tiempo es determinado en LOOP TIMER (ticks), este valor por iteración va a fijar el valor de la frecuencia en el pin digital del FPGA. La base tiempo está determinada por el reloj interno de programación que posee el FPGA, su valor es de 50 MHz.

$$1Tick = \frac{1}{f_{clock}}$$

$$1Tick = 20ns$$

Para una frecuencia de 20 kHz y 50 us de Periodo, el LOOP TIMER (Ticks), es programado en un valor constante de 2500(Ticks), equivalente a 50us. Este valor va a ser la base de tiempo para cada lazo de iteración.

3° Se coloca el correspondiente valor de tiempo don de la salida digital se va a encontrar en estado alto, y también se coloca un retardo de tiempo que se fija en WAIT (ticks), este valor es variable y va a controlar el ancho de pulso de la señal PWM.

4° Al terminar el tiempo de WAIT (ticks) el estado de la salida digital cambia y en este estado permanece hasta que finalmente el tiempo de iteración en LOOP TIMER se consuma y vuelva a repetir el lazo.

7.1.3 PROGRAMACIÓN DEL CONVERTOR ANÁLOGO DIGITAL

La señal $y[k]$ del sistema de control, en el convertor DC-DC reductor elevador es el voltaje de salida, esta señal es acondicionada y recibida por la tarjeta Xilinx Spartan 3E, y programada siguiendo los algoritmos que se establece en el manual de la tarjeta.

Antes de iniciar la programación del convertor análogo digital es necesario establecer un programa de pre-ganancia del amplificador como establece en el manual.

La configuración de los convertidores análogos, se lo realiza mediante el algoritmo de la Figura 3.5.

El dato de ganancia que se envía para el canal 0 es de un valor igual a -1, y el rango de voltaje que la tarjeta recibe al configurarlo en este valor, varía entre 0,4 y 2,9V, como se observa en la Tabla 1.3.

Seguido de la configuración de preganancia, se programa la conversión análoga digital y la lectura de datos siguiendo el interfaz de comunicación presentado en la Figura 1.10.

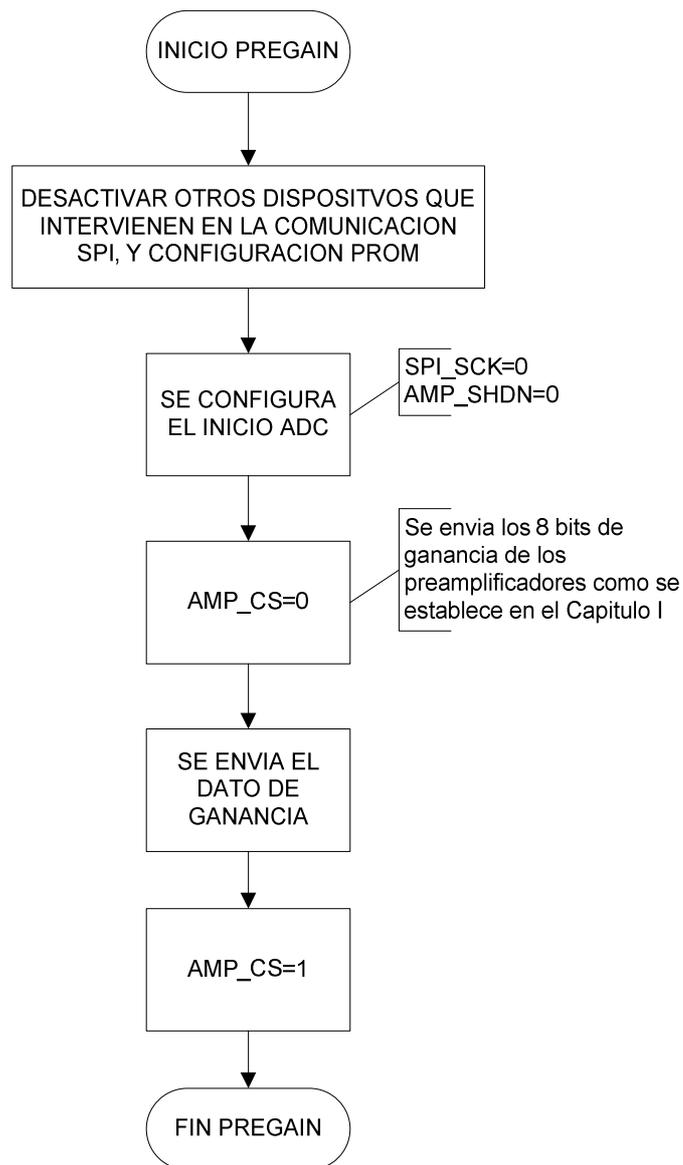


Figura 3.5 Algoritmo de ganancia del conversor análogo digital

En la Figura 3.6 se puede observar el diagrama de flujo para iniciar la lectura de datos analógicos ubicados en el pin VINA del FPGA.

Luego de establecer la comunicación SPI con los conversores análogos digitales, se procede a la lectura de los datos del conversor AD hacia el FPGA.

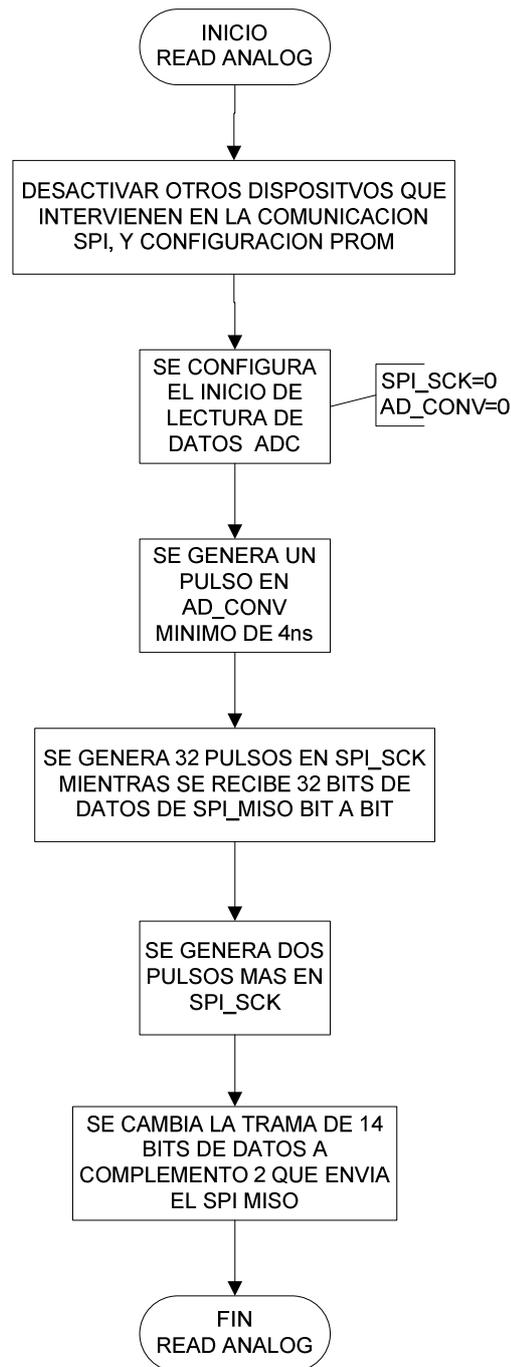


Figura 3.6 Algoritmo de configuración del conversor análogo digital

En el diagrama de flujo, se puede establecer que el objetivo de la configuración es generar 34 pulsos de control del reloj de sincronización, y mientras se va generando los pulsos de reloj, se reciben los datos, a través de comunicación SPI.

En la Figura 3.7 se observa el diagrama de flujo donde se puede establecer, la lectura de voltaje desde el conversor análogo digital hacia el host.

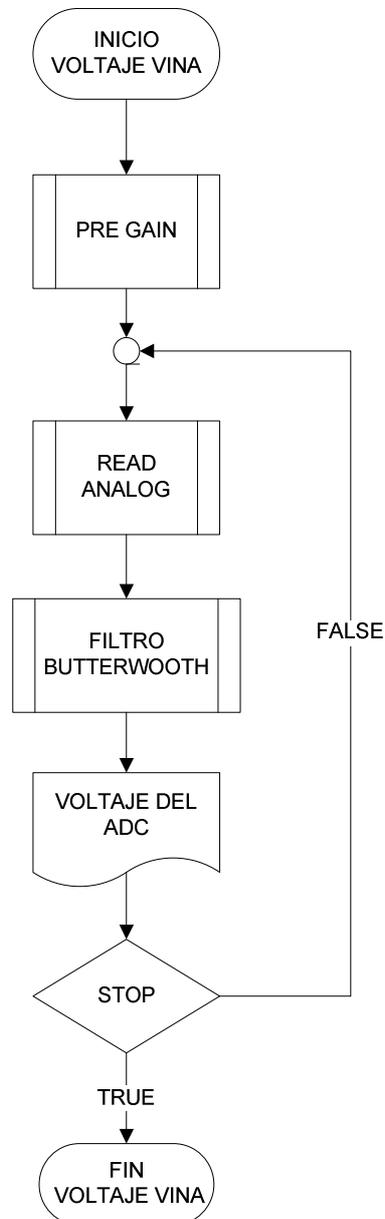


Figura 3.7 Algoritmo de lectura de datos del Conversor Análogo digital

En la Figura 3.8 se puede observar la programación del conversor Análogo digital que se ha implementado, a través de la tarjeta FPGA.

A la salida de la lectura análogo digital se añade un filtro pasa bajos de una frecuencia de corte de 100Hz, con la finalidad de obtener una señal con atenuación de ruido.

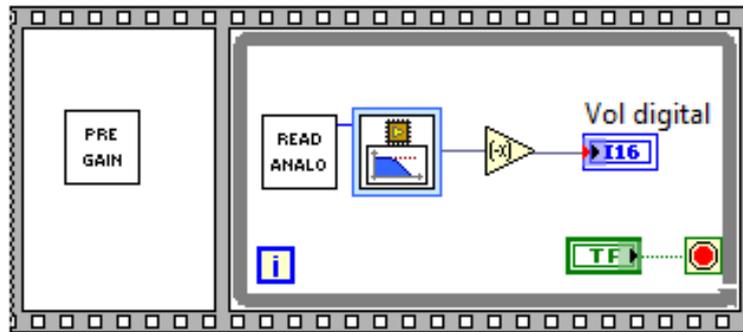


Figura 3.8 Implementación de lectura del conversor análogo digital mediante FPGA Labview

7.2 CONSTRUCCIÓN DEL CONVERTOR DC-DC REDUCTOR ELEVADOR

Para la implementación del control MPC, en una planta real se ha diseñado, un conjunto de circuitos acondicionadores, para recibir la salida del conversor que se utiliza para realizar la realimentación de salida y un circuito de disparos con la finalidad de implementar el PWM.

7.2.1 CIRCUITO DE CONTROL PWM

Es necesario el diseño de un circuito adicional para aumentar la capacidad de corriente para que el dispositivo semiconductor realice el trabajo de conmutación, desde la salida del pin de la tarjeta FPGA, hacia el elemento de control que es el dispositivo semiconductor.

Para la ejecución de este proceso se diseñó el circuito de la Figura 3.9.

El circuito de la Figura 3.9 presenta una compuerta NOT (U1), que se utiliza con el objetivo de invertir la señal a la salida del FPGA, sumado a este circuito se encuentra un integrado 6N137(U2), que es un optoacoplador inversor de señal, el objetivo de utilizar estos dos elementos es el aislamiento de tierras ya que el propósito es separar la parte de control (FPGA) y la parte de potencia (Convertor DC-DC Reductor Elevador).

Debido a que la salida de corriente del 6N137 es pequeña se acopla un driver para IGBT denotado como IR2110 que corresponde a U3, escogido por la facilidad de adquisición en el mercado, los datos se observan en la hoja de datos del Anexo D, pero se puede destacar que el valor máximo de corriente entregado por este integrado es de 2A, esta señal es enviada al gate del IGBT, el cual puede ser saturado sin problemas por la corriente que envía el IR2110.

El circuito de la Figura 3.9, en la parte superior presenta, un acondicionador de voltaje con la finalidad de regular el voltaje de alimentación a los circuitos integrados U4, U2.

7.2.2 CIRCUITO DE ACONDICIONAMIENTO

La señal $y[k]$ es la señal del voltaje de salida del convertor y es la señal que va a ser realimentada, en el Host de control MPC, para lo cual se diseña el circuito de la Figura 3.10.

Para la construcción de este circuito se diseña una fuente simétrica de $\pm 15V$, que se alimenta con un transformador de 110V a 12V con toma central, para energizar los circuitos integrados.

Este circuito recibe la señal de la salida del conversor DC-DC reductor elevador, primero pasa por un divisor de voltaje con el objetivo de acondicionar solamente un porcentaje del voltaje que sale del Conversor de potencia, para lo cual se realiza un divisor de voltaje como se observa en la Figura 3.11.

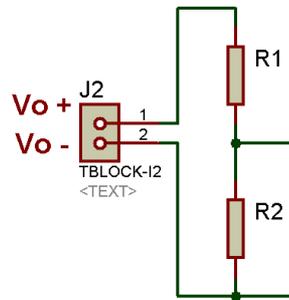


Figura 3.11 Divisor de Voltaje del Conversor DC-DC Reductor Elevador

De la Figura 3.11 se puede establecer la Ecuación 3.1

$$V_{R2} = \frac{R2}{R1+R2} [(Vo +) - (Vo -)] \quad \text{Ecuación 3.1}$$

Si $[(Vo +) - (Vo -)]$ al voltaje máximo es de 100V, y el voltaje deseado es de 10V máximo, el cual va ser aislado y nuevamente acondicionado, se determina los valores de $R1=180k\Omega$ y $R2=20k\Omega$.

La siguiente parte del circuito es un integrado con la numeración INA114AP, que es un circuito amplificador de instrumentación, este circuito integrado se escoge por la configuración de un amplificador de instrumentación a nodo diferencial, además este integrado presenta a la entrada de sus terminales una protección de sobrevoltaje como se puede observar en la hoja de datos ubicado en el Anexo E.

En este integrado se debe colocar una resistencia externa Rg que sirve como ganancia en la amplificación de la señal recibida, el valor de resistencia colocada depende de la ganancia deseada, según la tabla 3.1:

Ganancia Deseada	Rg (Ω)	1% Rg (Ω)
1	No conexión	No Conexión
2	50,00k	49,9k
100	1,02k	1,02k

Tabla3.1 Ganancia deseada del INA114AP

Como no se necesita ganancia en este circuito, no se conecta una resistencia externa como se especifica en la hoja de datos del integrado INA114AP. La siguiente parte del circuito es un circuito emisor seguidor de señal.

A continuación del emisor seguidor de señal se observa un circuito, que sirve exclusivamente como acondicionamiento de la señal, que va a ingresar al convertor AD del FPGA, debido a que la señal de voltaje no debe ser mayor a 3.3V esta señal es acondicionada.

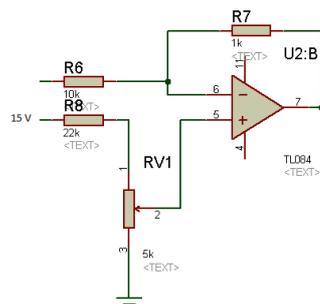


Figura 3.12 Acondicionamiento del Convertor DC-DC Reductor Elevador

El circuito de la Figura 3.12 es un circuito sumador determinado por la Ecuación 3.2:

$$V_o = -\frac{R_7}{R_6}V_{in} + \frac{RV_1}{RV_1+R_8}V_{cc} \quad \text{Ecuación 3.2}$$

Donde $R_7=1k\Omega$, $R_6=10k\Omega$, $RV_1=5k\Omega$, $R_8=22k\Omega$, $V_{cc}=15V$, y V_{in} es el voltaje de salida del circuito integrado INA114AP. De esta forma se acondiciona la señal para que no exceda los 3,3V.

La siguiente etapa es un Filtro Pasabajos como se puede observar en la Figura 3.13, la frecuencia de corte de este filtro está definido por la Ecuación 3.3.

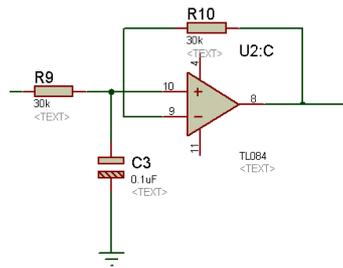


Figura 3.13 Circuito Filtro Pasabajos

$$f_c = \frac{1}{2\pi RC} \quad \text{Ecuación 3.3}$$

De la Ecuación 3.3 se puede establecer $R_{10}=R_9=30k\Omega$ y $C=0,1\mu F$, por lo tanto la frecuencia de corte es de 53,05 Hz.

En la Tabla 3.2 se observa los valores proporcionales que corresponden a la salida del convertor DC-DC reductor elevador y a la entrada del FPGA

Salida del convertor V_o [V]	Salida del INA114AP [V]	$V_o = -0,1V_{in} + 1V$ Entrada FPGA [V]
0	0	1,0
-20	-2	1,2
-50	-5	1,5
-100	-10	2,0

Tabla 3.2 Valores de voltaje acondicionados

7.2.3 CIRCUITO DE POTENCIA

Para la construcción de esta tarjeta de potencia el diseño, se basa en los elementos semiconductores que se escogió en el capítulo II, Como se observa en la Figura 3.14 la inductancia y el capacitor son parte externa del circuito de potencia.

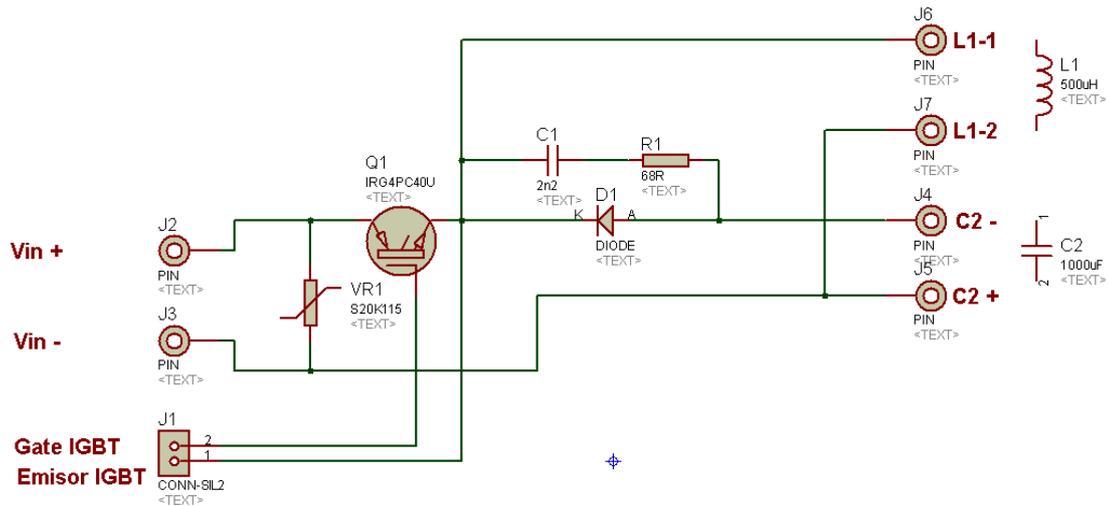


Figura 3.14 Circuito de Potencia del Conversor DC-DC Reductor Elevador

7.2.3.1 Construcción Inductor [11]

La inductancia se construye en base a los requerimientos del conversor DC-DC reductor elevador, las características primarias de la inductancia se describen en el capítulo II.

Después de realizar varias pruebas con las inductancias, que posee el laboratorio de Electrónica de Potencia, no se logra encontrar una inductancia adecuada para la potencia y frecuencia requerida, ya que las bobinas en este laboratorio poseen núcleos de diferentes materiales, además los valores de los devanados no son los correctos.

Mediante un adecuado asesoramiento en la construcción de la inductancia diseñada, la empresa constructora de la inductancia indica que el núcleo de ferrita necesario para la construcción es un limitante, puesto que estos núcleos no son de fácil adquisición en el país.

De lo anterior se puede establecer que para la construcción de la inductancia es necesario obtener un núcleo equivalente, en base a los núcleos de ferrita que existen en el país, estos núcleos cuya forma es UU se utilizan en los denominados *flybacks* de las televisiones con esa tecnología.

Para obtener el núcleo de ferrita equivalente, se utilizan 6 núcleos UU (Figura 3.15 (a)), dos núcleos se colocan juntos y los dos pares en paralelo, formando un equivalente EE, como se puede observar en la Figura 3.15 (b).

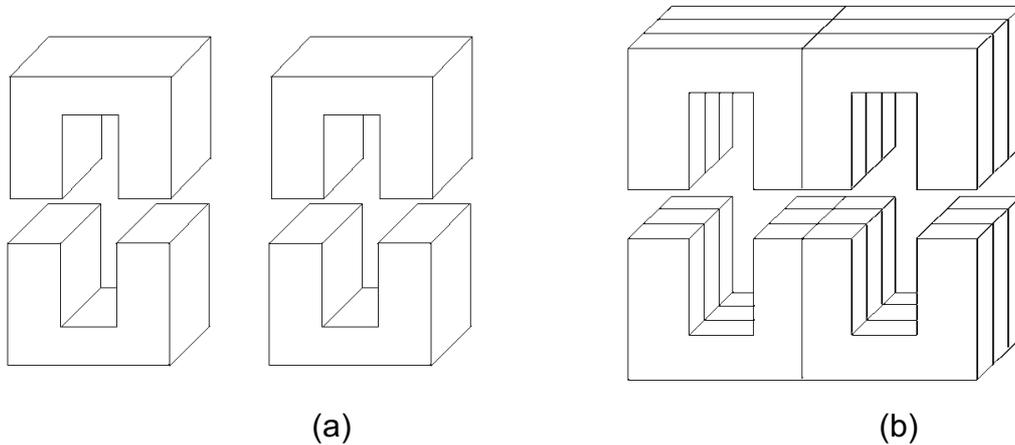


Figura 3.15 Núcleos de ferrita (a) Tipo UU, (b) Tipo EE

Debido a que el núcleo de ferrita que se obtiene, posee dimensiones diferentes que una inductancia comercial de un solo núcleo de ferrita, es necesario establecer si el valor del núcleo es óptimo en cuanto a sus dimensiones, en la Figura 3.16, se puede observar el valor óptimo de las medidas recomendadas para un núcleo EE.

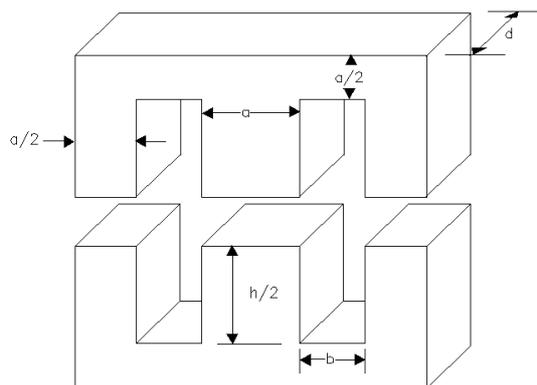


Figura 3.16 Dimensiones óptimas para el núcleo de ferrita EE

En la tabla 3.3, se realiza una comparación con la inductancia óptima y la inductancia construida.

Parámetro Óptimo	Inductancia Óptima [mm]	Inductancia Construida [mm]
a	a=24	a=24
b=a	b=24	b=16
h=2,5 a	h=60	h=24
d=1,5 a	d=36	d=38

Tabla 3.3: Tabla Comparativa de inductancias optimas

Con los datos que se pueden observar en la Tabla 3.3, se determina que las dimensiones del núcleo de ferrita de la inductancia construida no es la más óptima.

Con respecto a los demás parámetros no se puede determinar visualmente algunas características, debido a que la inductancia es diseñada y construida por una empresa que tiene experiencia en la construcción de transformadores, inductancias y equipo eléctrico de tal forma que algunas de sus características no son mencionadas.

La inductancia construida presenta las siguientes características $f=20\text{kHz}$, $P=1\text{kVA}$, $L=500\mu\text{H}$.

7.2.4 CIRCUITOS DE PROTECCIÓN

Para el diseño de las protecciones de cada circuito electrónico, se considera la aplicación de cada placa y los efectos mínimos que podría presentarse en cada una de ellas.

7.2.4.1 Protección Circuito de Potencia

Para la protección de esta placa, y los elementos semiconductores, se realiza el cálculo de disipadores y redes snubber pero también es necesario determinar el tipo de transitorios que se pueden presentar, debido a que los transitorios se producen por la descarga de energía que se ha almacenado en los elementos.

Considerando el trabajo que realiza el circuito conversor DC-DC reductor elevador el cual se basa en el almacenamiento de energía y en la descarga de energía en una inductancia, se considera un circuito con una alta carga inductiva más la conmutación de los elementos semiconductores se determina que este circuito puede presentar muchos estados transitorios.

Existen otros transitorios que pueden ser generados fuera del circuito como descargas eléctricas o problemas en la distribución del suministro eléctrico.

Si la suma del transitorio y el voltaje instantáneo de la fuente excede el voltaje de ruptura directo o inverso de un dispositivo semiconductor, puede provocar la destrucción del elemento.

Por esta razón es necesario el sobredimensionamiento del voltaje de ruptura del dispositivo de manera que este sea por lo menos dos veces el voltaje pico de la red de alimentación, ya que así se puede tener un mayor rango de seguridad para los transitorios difíciles de predecir.

El método de protección para suprimir los transitorios más utilizado, es el uso de varistores para los circuitos de potencia, para que absorba los transitorios de corriente.

El varistor es una resistencia no lineal, cuya característica depende del voltaje aplicado a sus terminales, este dispositivo equivale a dos diodos zéner conectados en paralelo, pero con sus polaridades invertidas y con un valor de voltaje de ruptura muy alto.

La energía máxima que puede manejar el varistor está determinada por el volumen del dispositivo, el voltaje nominal definido por su espesor y la capacidad de corriente está limitado por su área, debido a que la energía que se va a disipar, es distribuida en forma rápida y uniforme en el volumen del varistor.

La aplicación de los varistores son ideales para aplicaciones los transitorios de gran potencia y cuando no se requiere una limitación estricta del voltaje transitorio.

Las desventajas a considerar son: la potencia media que puede disipar es relativamente pequeña, la vida útil y limitada cuando trabaja en los rangos máximos. El dimensionamiento del varistor se encuentra en el Anexo C.

7.2.4.2 Protección Circuito de Acondicionamiento

Según la aplicación de esta tarjeta, el diseño de las protecciones se basa en ciertas consideraciones, debido a que en la entrada del circuito se recibe un valor alto de voltaje, se coloca un divisor de voltaje para obtener un porcentaje mínimo a la salida del conversor y acoplado al divisor de voltaje un zéner que limita cualquier voltaje superior al calculado, debido a que los zéner no manejan operaciones de alta potencia, se aplica como protección a la entrada de este circuito de acondicionamiento.

Se escoge para esta tarjeta un circuito integrado, que posee una protección de sobrevoltaje a la entrada de los terminales, como se puede observar en la hoja de datos del integrado INA114AP.

Debido a que la tarjeta de Xilinx Spartan 3E posee un voltaje de operación máximo de 3,3V, y esta tarjeta se encuentra directamente vinculada con el circuito de acondicionamiento, es necesario proteger las entradas de la tarjeta y limitar de igual forma con un zéner frente a cualquier falla entre el FPGA y el circuito de acondicionamiento.

7.2.4.3 Protección Circuito PWM

En este circuito se considera la corriente que maneja la compuerta del dispositivo semiconductor y la máxima corriente que pueden manejar los circuitos integrados, como es el caso del IR2110 que es un driver de 2A.

Para limitar el uso de corriente innecesaria, y debido a que el transformador de alimentación al circuito es de 300mA, se protege a la fuente de alimentación de esta tarjeta de control mediante un fusible después de la fuente diseñada, para alimentar a todos lo integrados.

Otra protección imperativa a considerar es el aislamiento entre el circuito de control y el circuito de potencia, para esto se usa un integrado con aislamiento óptico, de esta manera queda aislado el FPGA, del circuito de potencia.

7.3 IMPLEMENTACIÓN DEL MPC EN LABVIEW

Para realizar la implementación real de la planta, se programa un Host, que comunica el FPGA, el MPC de Labview y el convertor DC-DC reductor elevador. En la Figura 3.17 se observa los datos que recibe el FPGA de la salida del Convertor DC-DC reductor elevador, la cual después de ser normalizada representa el $y[k]$ del Control Predictivo, este valor es la salida realimentada para el MPC de Labview.

Los datos recibidos $y[k]$ sirven para que el control predictivo determine la señal de control $u[k]$, que es la acción que debe tomar el convertor DC-DC reductor elevador.

Después que el MPC de Labview determina el valor $u[k]$, el Host interpreta este valor, lo transforma a una señal PWM, y envía al FPGA el valor de la relación de trabajo del PWM.

Después que el FPGA recibe el dato de la relación de trabajo, envía esta señal al circuito de PWM, el cual aísla del FPGA e incrementa la corriente necesaria para saturar a la compuerta del IGBT.

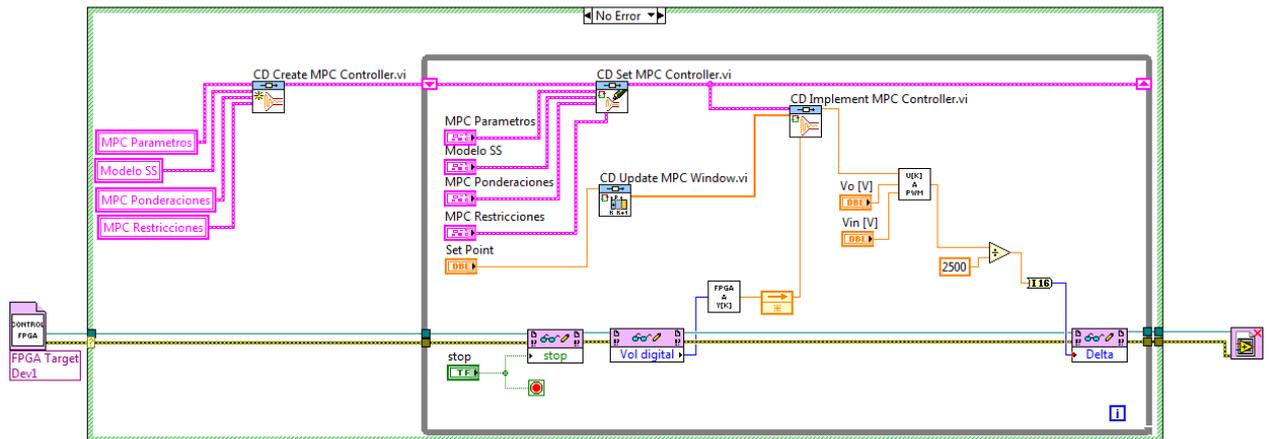


Figura 3.17 Implementación del controlador MPC y Labview

La implementación del MPC se lo realiza a través de un FPGA como un interfaz que envía la señal de control $u[k]$ y recibe la señal de realimentación $y[k]$.

La señal $u[k]$ que envía el MPC, es transformada para enviar el tiempo de la relación de trabajo del PWM, que actúa sobre el semiconductor de la planta a controlar, mientras que el MPC IMPLEMENT CONTROLLER necesita una señal de realimentación $y[k]$ de la planta, que es el voltaje de salida del convertor DC-DC reductor elevador, la cual está acondicionada para ingresar por un pin del FPGA.

Como se observa en la Figura 3.16 en la parte superior se encuentra la implementación en tiempo real del MPC, mientras que en la parte inferior se presenta el acondicionamiento de la señal de entrada y la señal PWM, que es el resultado del controlador MPC.

7.4 DIAGRAMAS DE CONEXIONES

En el Anexo F se presenta los diagramas de interconexión entre los circuitos diseñados, implementados y los elementos construidos:

- HOJA D01: DIAGRAMA DE ALIMENTACIÓN GENERAL, presenta la alimentación a las tarjetas de control mediante dos transformadores para cada tarjeta de control, y la alimentación del FPGA.
- HOJA D02: DIAGRAMA DE ALIMENTACIÓN CIRCUITO DE POTENCIA, presenta la alimentación al circuito de potencia que proviene de un autotransformador monofásico
- HOJA T01: CIRCUITO DIGITAL Y ANALÓGICO, presenta la tarjeta de acondicionamiento y de generación de PWM.
- HOJA T02: CIRCUITO DE POTENCIA, presenta la tarjeta de potencia de la cual se toma el voltaje al motor DC.
- HOJA T03: TARJETA XILINX SPARTAN 3E, presenta las conexiones que recibe la tarjeta y envía la tarjeta controladora Xilinx Spartan 3E.

CAPÍTULO 4

PRUEBAS Y RESULTADOS

La implementación del controlador MPC es un proceso sujeto a errores y daños en los elementos que no son considerados en el diseño.

El objetivo principal de un diseñador, es determinar cuáles son las instancias en las que el proceso se va a desarrollar, con la finalidad de incluir las limitaciones internas y externas del proceso dentro del diseño.

Esto genera que en el avance del proceso se hagan cambios, evitando que el presente sistema disminuya errores y mejore su rendimiento.

Con respecto al convertor DC-DC reductor elevador, se presenta una diferencia destacable entre la simulación y la implementación de la señal de control.

4.1 SINTONIZACIÓN DEL PERIODO DE MUESTREO

El primer parámetro de configuración es el tiempo de muestreo, ya que en la simulación el tiempo utilizado es 472us.

Para la implementación real se utiliza el valor de 472us para el tiempo de muestreo, al implementar este tiempo de muestreo se obtiene la señal de control que se observa en la Figura 4.1.

Para realizar una serie de pruebas la interfaz gráfica del MPC en el Host de Labview, presenta la opción de simulación, al activar la *Simulación* la interfaz gráfica, simula los estados y además no envía datos de PWM al FPGA.

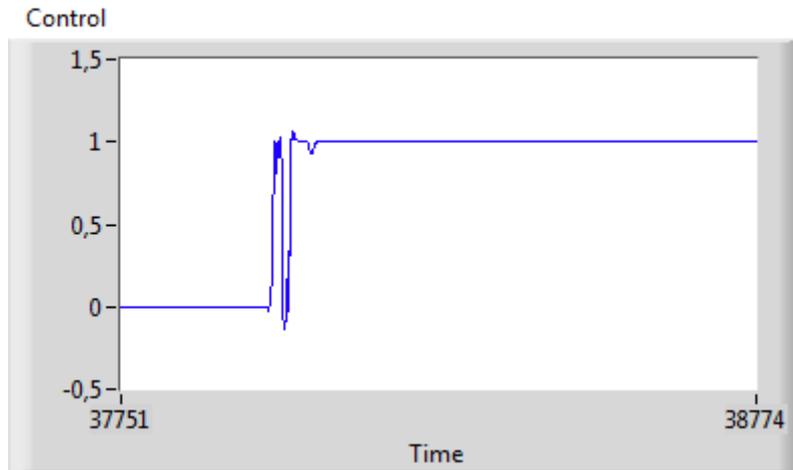


Figura 4.1 Señal de control, $u[k]$, $T_s=472\mu s$

Este resultado de la señal de control puede ser entendible entre la simulación y la implementación, ya que el periodo de muestreo real podría depender del tiempo de respuesta de los elementos que ayudan en la implementación del MPC, este valor de igual forma se ve reflejado en el trabajo del motor y en la estimación de estados del MPC Figura 4.2.

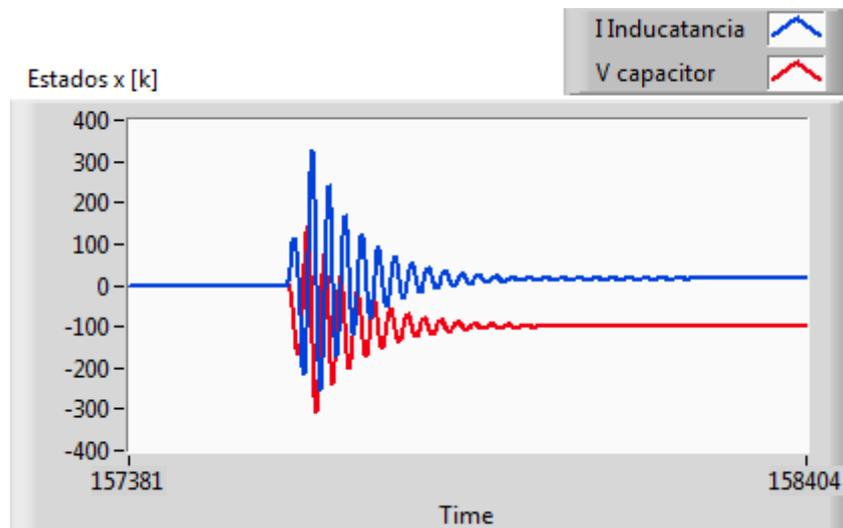


Figura 4.2 Estimación de Estados, $x[k]$, $T_s=472\mu s$

En la Figura 4.3 se puede observar la señal de control para un tiempo de muestreo mayor al generado por la simulación del sistema.

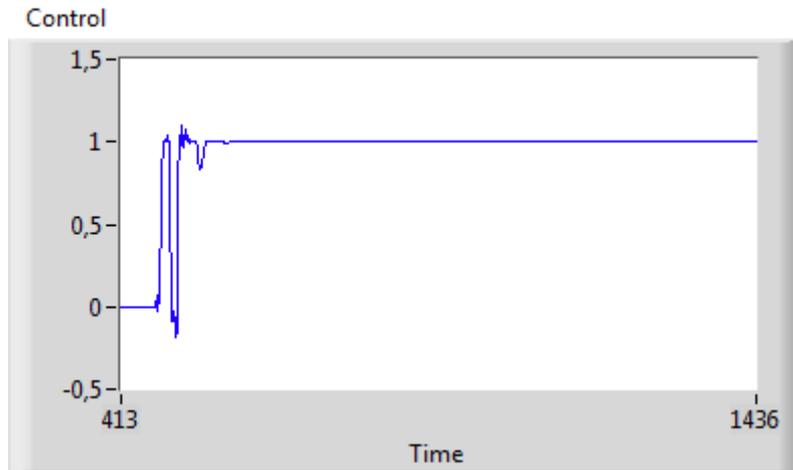


Figura 4.3 Señal de control, $u[k]$, para $T_s=500\mu s$

En la Figura 4.3 se observa la señal de control, sin ningún tipo de movimientos adicionales y cercana a la señal de control simulada, pero en la Figura 4.4 se observa la Estimación de Estados para el mismo tiempo de muestreo, ya que el controlador MPC entrega los valores de estimación los estados del sistema de control.

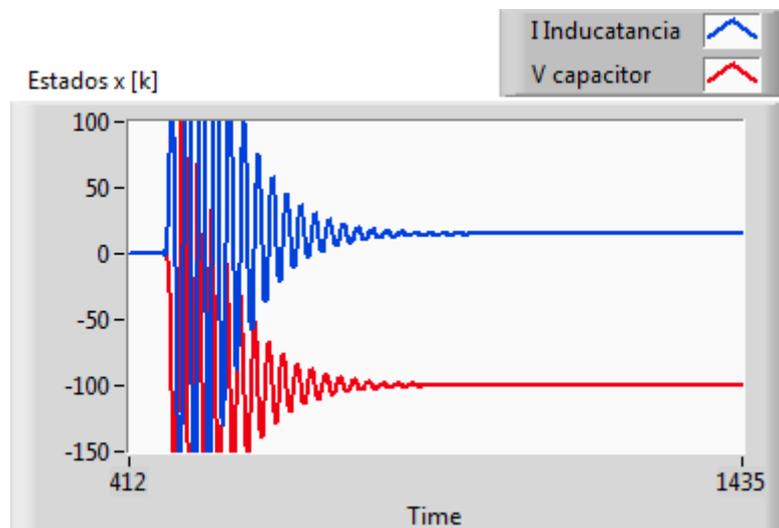


Figura 4.4 Estimación de Estados, $x[k]$, $T_s=500\mu s$

Luego de realizar varias pruebas a diferentes periodos de muestreo, se logra determinar que el mejor tiempo de muestreo en la implementación del controlador MPC, es $T_s=150\mu s$ y este valor considera tanto la señal de control como la estimación de estados

Como se puede observar en la Figura 4.5, la señal de control es igual a la señal de la Figura 4.3 pero a diferencia del tiempo de muestreo de 500us (Figura 4.3), el estimador de estados del controlador MPC a un tiempo de muestreo de 150us, no presenta señales de perturbación en la estimación de estados, como se observa en la Figura 4.6, por esta razón se escoge un tiempo de muestreo de 150us.



Figura 4.5 Señal de control, $u[k]$, para $T_s = 150\mu s$

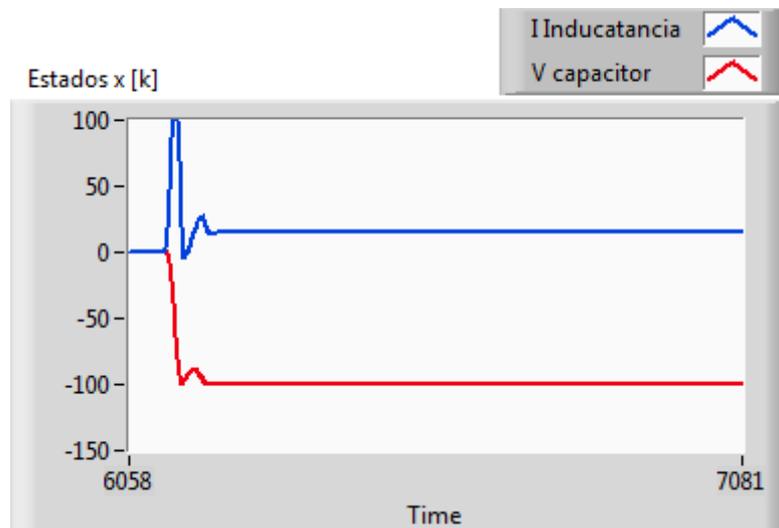


Figura 4.6 Estimación de Estados, $x[k]$, $T_s = 150\mu s$

4.2 SINTONIZACIÓN PARÁMETROS MPC

En base a la estabilización del periodo de muestreo, se procede a sintonizar el controlador MPC, considerando los otros parámetros que son parte del control Predictivo.

A partir de la simulación se escogen los siguientes parámetros de control, en la implementación, $T_s=150\mu s$, $N_p=20$, $N_c=8$.

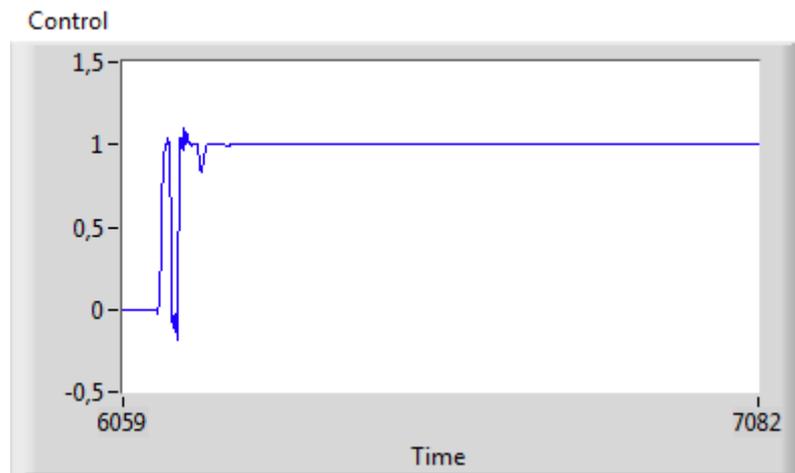


Figura 4.7 Señal de Control, $u[k]$ $T_s=150\mu s$, $N_p=20$, $N_s=8$

En la Figura 4.7 se puede observar un gráfico con la señal de control que corresponde a los valores simulados.

En la Figura 4.8 se observa la estimación de Estados para los valores que se obtiene en la simulación, se puede ver que la estimación de estados, es estable y sin señales de perturbación.

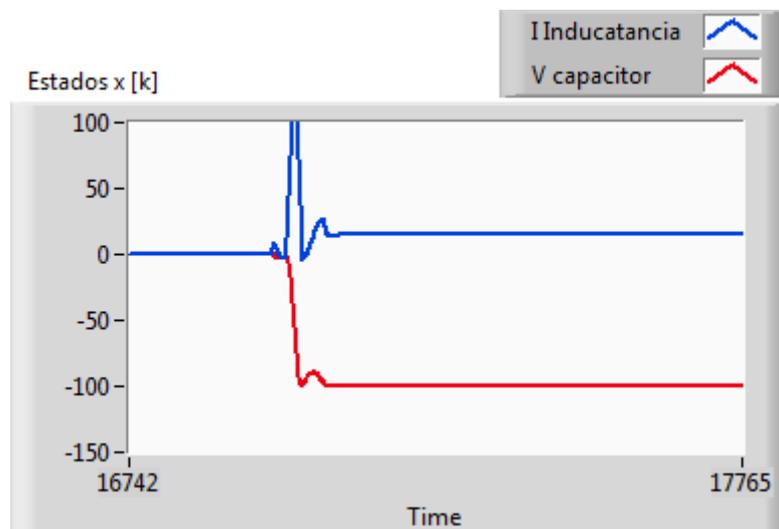


Figura 4.8 Estimación de Estados, $x[k]$, $T_s=150\mu s$, $N_p=20$, $N_s=8$

Al cambiar los Parámetros del Controlador MPC, se escoge los siguientes valores $T_s=150\mu s$, $N_p=40$, $N_c=20$, en la Figura 4.9 se puede observar una señal adicional al iniciar la acción de control, que es diferente a la Figura 4.7.

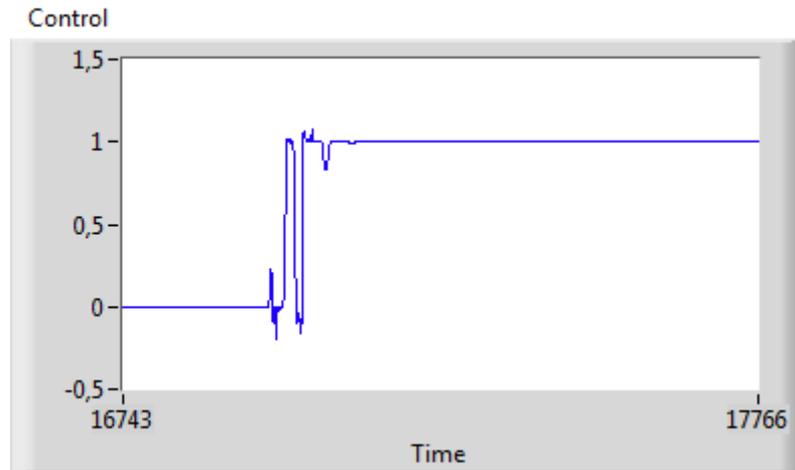


Figura 4.9 Señal de Control, $u[k]$, $T_s=150\mu s$, $N_p=40$, $N_s=20$

En la Figura 4.10, se puede observar la estimación de estados correspondiente a la señal de control de la Figura 4.9

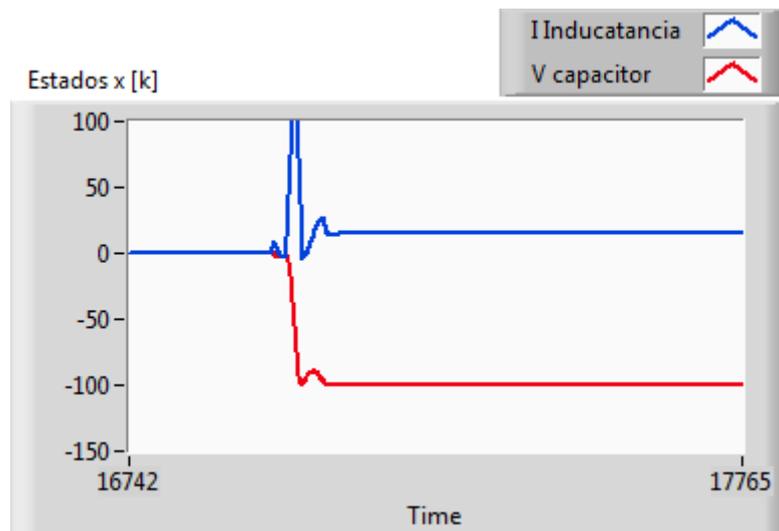


Figura 4.10 Estimación de Estados, $x[k]$ $T_s=150\mu s$, $N_p=40$, $N_s=20$

En la Figura 4.11, se observa la señal de control al cambiar los parámetro de MPC, los valores que corresponden a esta Figura son los siguientes: $T_s=150\mu s$, $N_p=200$, $N_c=100$

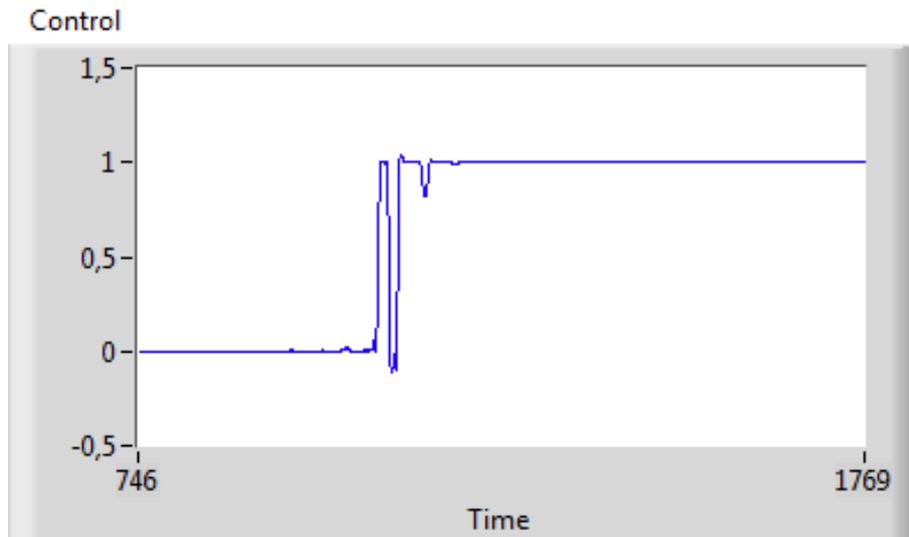


Figura 4.11 Señal de Control, $u[k]$, $T_s=150\mu s$, $N_p=200$, $N_c=100$

En la Figura 4.12, se observa la estimación de estados correspondientes a los parámetros de Control $N_p=200$, $N_c=100$, pero se puede notar que la señal de implementación es muy lenta, esto se debe a que el MPC realiza un proceso de optimización alto que se ve reflejado en el rendimiento del procesador del computador.

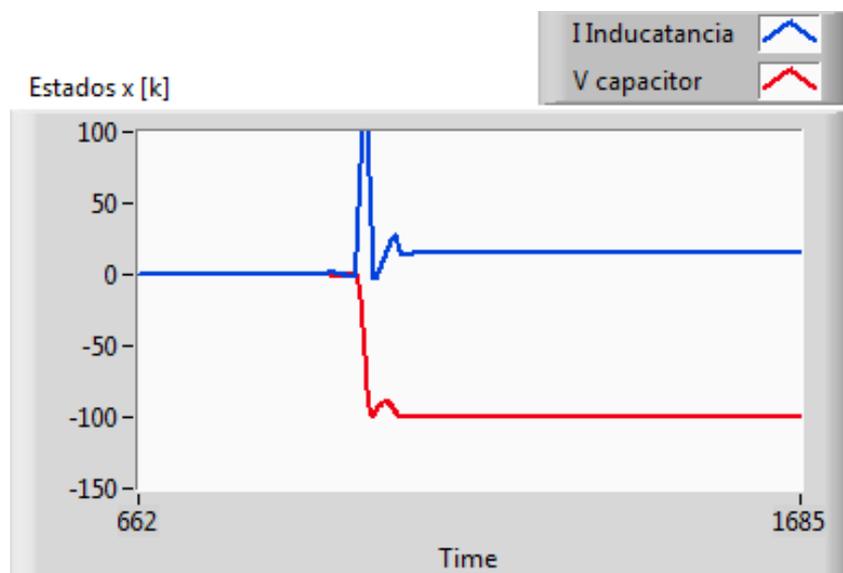


Figura 4.12 Estimación de Estados, $x[k]$, $T_s=150\mu s$, $N_p=200$, $N_c=100$

De las pruebas realizadas se puede establecer, que los parámetros de control con mayor rendimiento, mayores ventajas y mejor desarrollo del convertidor DC-DC reductor elevador son: $T_s=150\mu s$, $N_p=20$, $N_c=8$.

4.3 SINTONIZACIÓN DE PONDERACIONES MPC

Al realizar la simulación, los valores de implementación en las ponderaciones en la salida, tiene un valor de 0,001, y corresponde a la matriz de Ponderación en el error de la salida, y esta a su vez es Q en la función de costo del MPC (Ecuación 1.30) de Labview.

El valor de la matriz R en la función de costo (Ecuación 1.30), es la ponderación de la tasa de cambio de la acción de control y es un valor de 1,48.

En la figura 4.13 se observa la señal de control para un valor de ponderación de $Q=1$.

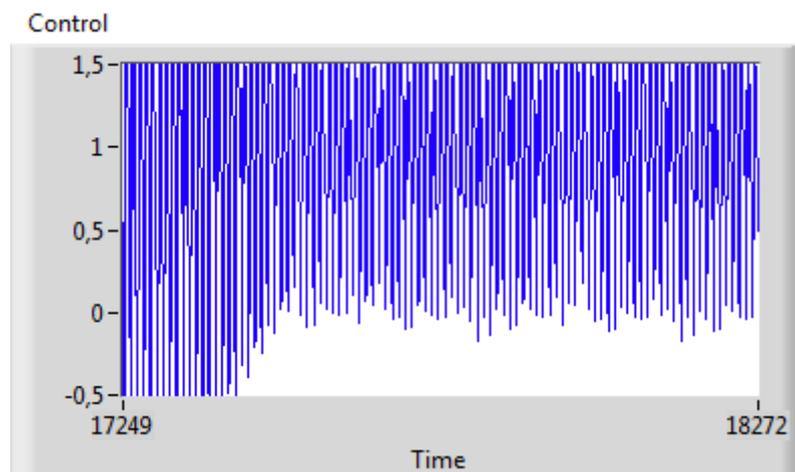


Figura 4.13 Señal de Control, $u[k]$, $T_s=150\mu s$, $N_p=20$, $N_c=8$, $Q=1$ $R=1,48$

En la Figura 4.14, se puede notar la estimación de estados para los parámetros de control mencionados anteriormente. En la Figura 4.12, se puede observar una señal de control que presenta inestabilidad.

Al analizar la Figura 4.13 se puede notar que al variar la ponderación entre 0,001 y 1, presenta un comportamiento inestable, que puede afectar al funcionamiento de la carga y generar daños en los elementos del convertidor DC-DC reductor elevador.

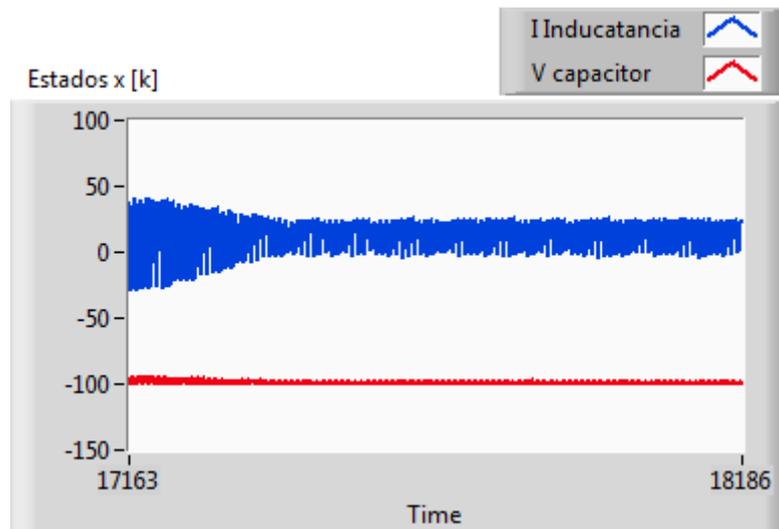


Figura 4.14 Estimación de Estados, $x[k]$, $T_s=150\mu s$, $N_p=20$, $N_c=8$, $Q=1$ $R=1,48$

En la Figura 4.15, se puede observar la señal de control para un $R=10$, este valor es un término que pertenece a la Función de costo y es el valor de ponderación de la tasa de cambio en la acción de control.

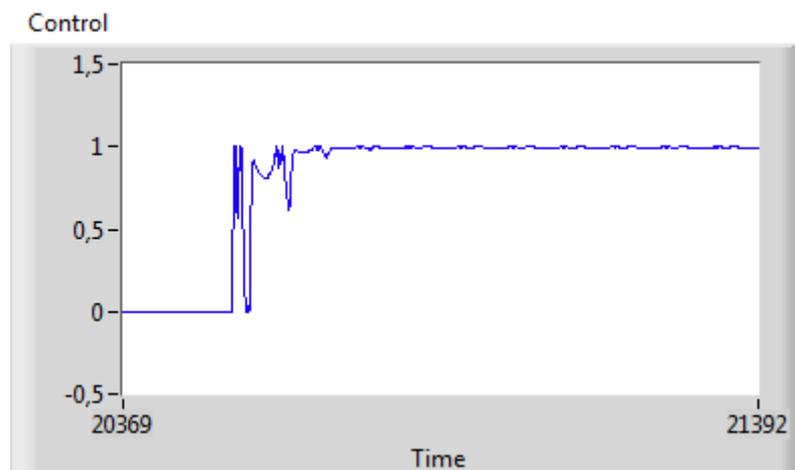


Figura 4.15 Señal de control, $u[k]$, $T_s=150\mu s$, $N_p=20$, $N_c=8$, $Q=0,001$ $R=10$

Como se observa en la Figura 4.15 la señal de control, que es transformada a la señal PWM, y a su vez es enviada al FPGA, se observa que la señal es más lenta, aunque la repuesta del sistema es más suave se puede determinar que la respuesta no es óptima con respecto a otro parámetro de configuración como es el de la Figura 4.7.

En la figura 4.16 se puede observar la estimación de Estados que genera el controlador MPC.

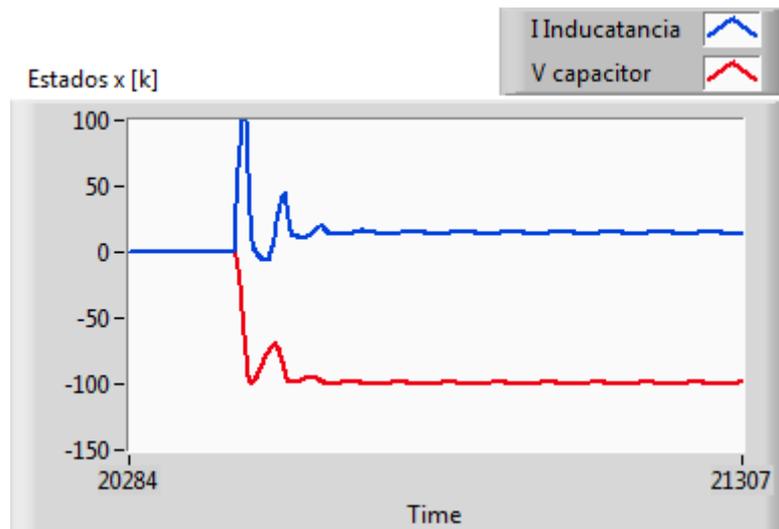


Figura 4.16 Estimación de Estados, $x[k]$, $T_s=150\mu s$, $N_p=20$, $N_c=8$, $Q=0,001$
 $R=10$

De todos los valores probados se puede determinar que la mejor opción a escoger es:

Periodo de muestreo: 150 us

Horizonte de Predicción: 20

Horizonte de Control: 8

Peso de la Salida: 0,001

Peso del cambio de control: 1,48

4.4 SINTONIZACIÓN RESTRICCIONES MPC

Otro parámetro de configuración son las Restricciones del MPC, es notable señalar que estos valores van a depender del voltaje de salida y de la señal PWM que se va a implementar, para el peor caso de implementación se puede observar en la Tabla 4.1

Ymin	-100	umin	0
Ymax	0	umax	1

Tabla 4.1 Restricciones del MPC

El voltaje de salida no debe exceder los 0V ni disminuir a -100V, debido a que la carga maneja un valor nominal de voltaje de 0 a 100V.

La señal de control tiene un valor máximo correspondiente a 1, esto se debe a la modelación del sistema como se desarrolla en el Capítulo 2, en el sistema se asume dos casos, y posteriormente cada matriz de cada caso se multiplica por la relación de trabajo correspondiente, ya sea el momento de encendido o en el instante de apagado.

CAPÍTULO 5

CONCLUSIONES Y RECOMENDACIONES

5.1 CONCLUSIONES

El control MPC basa principalmente su algoritmo de control en un método de optimización que resuelve una función de costo cuadrático, en base a restricciones y a valores de ponderación, siendo uno de los controladores con mayores ventajas frente a otros algoritmos de control.

La formulación flexible que posee el control predictivo permite el diseño de controladores y la posibilidad de implementar en forma abierta los algoritmos de control, es decir tener un número extenso y finito de posibilidades para añadir restricciones en las funciones de costo.

La posibilidad de predecir las salidas de los sistemas de control antes de que estas ocurran permite al MPC actuar enviando la señal de control antes de que la salida esté presente en el sistema.

A lo largo del estudio y la implementación del MPC, en diversos campos se ha desarrollado diferentes tipos de algoritmos, basando principalmente su operación en los métodos de optimización desarrollados en la investigación de operaciones.

La implementación de restricciones para la aplicación requerida presenta una gran ventaja al convertidor DC-DC reductor elevador, ya que al momento de no colocar restricciones la señal de control superaba el valor de 1 y esto genera que el valor del PWM, sobrepase la relación de trabajo manteniendo a la señal PWM en un estado alto, de igual forma si se sintoniza sin restricciones el valor disminuye a 0 e inclusive negativo, correspondiente a un valor irreal para la señal implementada.

La carga R y la carga R-L-E, presentan características eléctricas diferentes, pero en la modelación del convertidor DC-DC reductor elevador se utiliza el proceso de modelación para una carga R, y además se asume que la carga R-L-E, se encuentra en valores de operación nominales, ya que al realizar varias simulaciones no difiere mucho los estados para carga R y carga R-L-E.

La sintonización del controlador MPC, se torna en un proceso de ensayo y error ya que en la práctica se puede variar las ponderaciones del controlador, las restricciones, los horizontes de control y predicción, y se obtiene varias respuestas en la salida del convertidor DC-DC reductor elevador, de esta forma se busca la mejor acción de control para el sistema propuesto.

Los dispositivos semiconductores con los cuales se construye el convertidor DC-DC reductor elevador, son dispositivos ultrarrápidos en cuanto a las características de conmutación, esto genera que las pérdidas dinámicas disminuyan, sumado el uso de semiconductores sobredimensionados, se justifica que no se use disipadores de calor, ya que los valores de disipación son grandes como se puede observar en los cálculos en el Anexo C.

El diseño e implementación de redes snubber son parte esencial en la protección de los semiconductores, porque ayudan a disminuir las señales de sobrevoltaje y de sobrecorriente, de esta forma protegen a los semiconductores porque estos presentan límites estrictos de operación por tal motivo las redes snubber logran evitar la destrucción de los dispositivos durante el régimen de conmutación y asegurando al semiconductor un trabajo seguro.

El uso de Labview ha permitido automatizar ciertas funciones de control y programación, además se encarga de la configuración del FPGA, y permite el procesamiento gráfico de los datos adquiridos de manera automática, facilitando y acelerando la implementación del controlador MPC.

5.2 RECOMENDACIONES

Los semiconductores que se han utilizado en la construcción del convertidor DC-DC reductor elevador no son los diseñados, son semiconductores con sobredimensionamiento, debido a que en el mercado la existencia de semiconductores de potencia no son de fácil adquisición.

Durante el diseño y construcción de convertidores estáticos es necesario que los elementos que intervienen en los circuitos de potencia, minimicen el tamaño del equipo, además es importante que mantenga un alto rendimiento y también se ajusten al costo que el mercado ofrece.

El procesamiento de las señales para implementar el MPC, depende de los parámetros de configuración, si se coloca horizontes de predicción y el horizonte de control demasiado grandes, el controlador MPC tiene que realizar un procesamiento de datos alto y esto afecta directamente al rendimiento del computador.

Para la construcción de los diferentes circuitos de potencia es necesario tomar en cuenta ciertas restricciones, ya que para la conversión y transformación de energía en convertidores estáticos requiere suministros de energía con características específicas para conseguir un rendimiento alto.

De igual forma que los microcontroladores los FPGA tienen su lenguaje C de programación, los FPGA a través de Handel C, se puede programar con mayor facilidad que un lenguaje ensamblador y sin limitaciones como se hace la programación en Labview.

REFERENCIA BIBLIOGRÁFICA

[1] Bordóns C., *Control Predictivo: Metodología, tecnología y nuevas perspectivas*, Departamento de Ingeniería de Sistemas y Automática, Universidad de Sevilla, 2000

[2] Camacho E.F. and C. Bordóns, *Control Predictivo: Pasado, Presente y Futuro*, Universidad de Sevilla, España.

[3] Katsuhiko Ogata, *Ingeniería de control Moderna*. Prentice-Hall 3ª ed. Universidad de Minnessota, U.S.A. 1998

[4] LabVIEW™, *Control Design User Manual*, National Instruments Corporation, June 2009

[5] The Mathworks Inc., *Model Predictive Control Toolbox 2*, The Mathworks Inc. Septiembre 2007.

[4] LabVIEW™, *FPGA Module Release And Upgrade Notes*, National Instruments Corporation, 2009

[5] Sánchez Gabriel, *Introducción Fpga*, Universidad Franciso De Paula Santander

[6] Xilinx®, *Spartan-3e Fpga Startert Kit Board User Guide*, Ug230 (V1.1), June 20, 2008

[7] National Instruments, *Fpga-Based Control: Millions Of Transistor At Your Command (Faq)*

[8]Muhmmad H. Rashid, *Electrónica de Potencia, Circuitos, Dispositivos y Aplicaciones*, 3 Edicion, Pearson Educación, Mexico, 2004.

[9]Ned Mohan, Tore Undeland, Rbbins William, *Electrónica de Potencia: Convertidores, Aplicaciones y Diseño*, Tercera Edicion, Mc Graw Hill 2009

[10] Ramos Andrés, Sánchez Pedro, Ferrer José, Barquín Julián, Linares Pedro,*Modelos Matemáticos de Optimización*, Universidad Pontifica Comillas Madrid, Septiembre del 2010

[11] LabVIEW™ , <http://zone.ni.com/devzone/cda/epd/p/id/149>

ANEXOS

Anexo A: Hoja de Datos IRG4PC40U

Anexo B: Hoja de Datos NTE 6008

Anexo C: Cálculo de disipadores y Varistor

Anexo D: Hoja de Datos IR2110

Anexo E: Hoja de Datos INA114AP

Anexo F: Diagrama de Conexiones

Anexo G: Notación utilizada en el Proyecto de Titulación

Anexo H: Listado de Figuras

Anexo I: Listado de tablas

ANEXO A

HOJA DE DATOS IRGPC40U

**International
IOR Rectifier**

PD - 9.684A

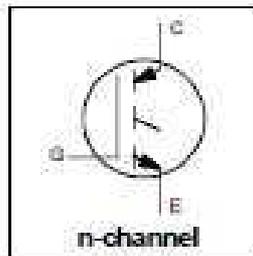
IRGPC40U

INSULATED GATE BIPOLAR TRANSISTOR

UltraFast IGBT

Features

- Switching-loss rating includes all "tail" losses
- Optimized for high operating frequency (over 5kHz)
- See Fig. 1 for Current vs. Frequency curve



$$V_{CES} = 600V$$

$$V_{CE(sat)} \leq 3.0V$$

$$@V_{GE} = 15V, I_C = 20A$$

Description

Insulated Gate Bipolar Transistors (IGBTs) from International Rectifier have higher usable current densities than comparable bipolar transistors, while at the same time having simpler gate-drive requirements of the familiar power MOSFET. They provide substantial benefits to a host of high-voltage, high-current applications.



Absolute Maximum Ratings

	Parameter	Max.	Units
V_{CES}	Collector-to-Emitter Voltage	600	V
$I_C @ T_C = 25^\circ C$	Continuous Collector Current	45	A
$I_C @ T_C = 100^\circ C$	Continuous Collector Current	20	
I_{CM}	Pulsed Collector Current \ominus	150	
I_{CL}	Clamped Inductive Load Current \ominus	150	
V_{GE}	Gate-to-Emitter Voltage	± 20	V
E_{ASV}	Reverse Voltage Avalanche Energy \ominus	15	mJ
$P_D @ T_C = 25^\circ C$	Maximum Power Dissipation	150	W
$P_D @ T_C = 100^\circ C$	Maximum Power Dissipation	65	
T_J	Operating Junction and Storage Temperature Range	-55 to +150	°C
	Soldering Temperature, for 10 sec.	300 (0.063 in. (1.6mm) from case)	
	Mounting torque, 6-32 or M3 screw	10 lb-in. (1.1N-m)	

Thermal Resistance

	Parameter	Min.	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case	—	—	0.77	°C/W
$R_{\theta CS}$	Case-to-Sink, flat, greased surface	—	0.24	—	
$R_{\theta JA}$	Junction-to-Ambient, typical socket mount	—	—	40	
Wt	Weight	—	6 (0.21)	—	g (oz)

ANEXO B

HOJA DE DATOS NTE 6008



ELECTRONICS, INC.
44 FARRAND STREET
BLOOMFIELD, NJ 07003
(973) 748-5089

NTE6006 thru NTE6011 Fast Recovery Rectifier, 40A, 200ns

Description:

The NTE6006 through NTE6011 are fast recovery silicon rectifiers in a DO5 type package designed for special applications such as DC power supplies, inverters, converters, ultrasonic systems, choppers, low RF interference, sonar power supplies, and free wheeling diodes. A complete line of fast recovery rectifiers, these devices have a typical recovery time of 150ns providing high efficiency at frequencies to 250kHz.

Absolute Maximum Ratings: (Note 1)

Peak Repetitive Reverse Voltage, V_{RRM}

Working Peak Reverse Voltage, V_{RWM}

DC Blocking Voltage, V_R

NTE6006, NTE6007*	200V
NTE6008, NTE6009*	400V
NTE6010, NTE6011*	600V

Non-Repetitive Peak Reverse Voltage, V_{RSM}

NTE6006, NTE6007*	250V
NTE6008, NTE6009*	450V
NTE6010, NTE6011*	650V

RMS Reverse Voltage, $V_{R(RMS)}$

NTE6006, NTE6007*	140V
NTE6008, NTE6009*	280V
NTE6010, NTE6011*	420V

Average Rectified Forward Current (Single phase, resistive load, $T_C = +100^\circ\text{C}$), I_O 40A

Non-Repetitive Peak Surge Current (Surge applied at rated load conditions), I_{FSM} 350A

Operating Junction Temperature Range, T_J -85° to $+160^\circ\text{C}$

Storage Temperature Range, T_{stg} -85° to $+175^\circ\text{C}$

Thermal Resistance, Junction-to-Case, R_{thJC} 0.85°C/W

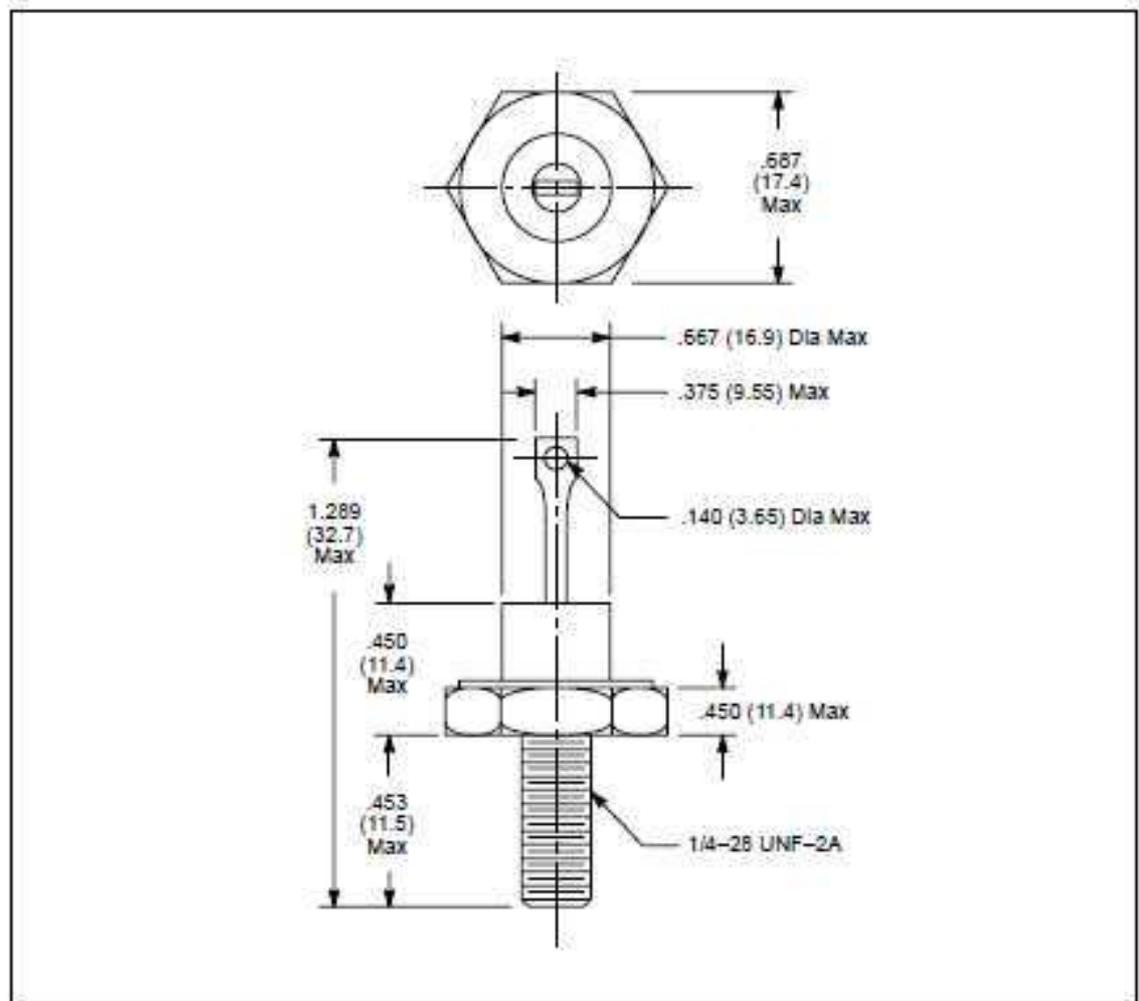
Note 1. * Indicates Anode-to-Case polarity, Cathode-to-Case is standard.

Electrical Characteristics:

Parameter	Symbol	Test Conditions	Min	Typ	Max	Unit
Instantaneous Forward Voltage	V_F	$I_F = 125A, T_J = +150^\circ C$	-	1.3	1.6	V
Forward Voltage	V_F	$I_F = 40A, T_C = +25^\circ C$	-	1.0	1.4	V
Reverse Current (Rated DC Voltage)	I_R	$T_C = +25^\circ C$	-	25	50	μA
		$T_C = +100^\circ C$	-	1.0	2.0	mA

Reverse Recovery Characteristics:

Parameter	Symbol	Test Conditions	Min	Typ	Max	Unit
Reverse Recovery Time	t_{rr}	$I_F = 1A \text{ to } V_R = 30V$	-	150	200	ns
		$I_{FM} = 36A, di/dt = 25A/\mu s$	-	200	400	ns
Reverse Recovery Current	$I_{RM(REC)}$	$I_F = 1A \text{ to } V_R = 30V$	-	2.0	3.0	A



ANEXO C

CÁLCULOS DE DISIPADORES Y VARISTOR [9]

CÁLCULOS DE DISIPADORES

En la Figura C.1, se determina las Formas de Onda, mediante las cuales se determina las pérdidas de potencia en el dispositivo.

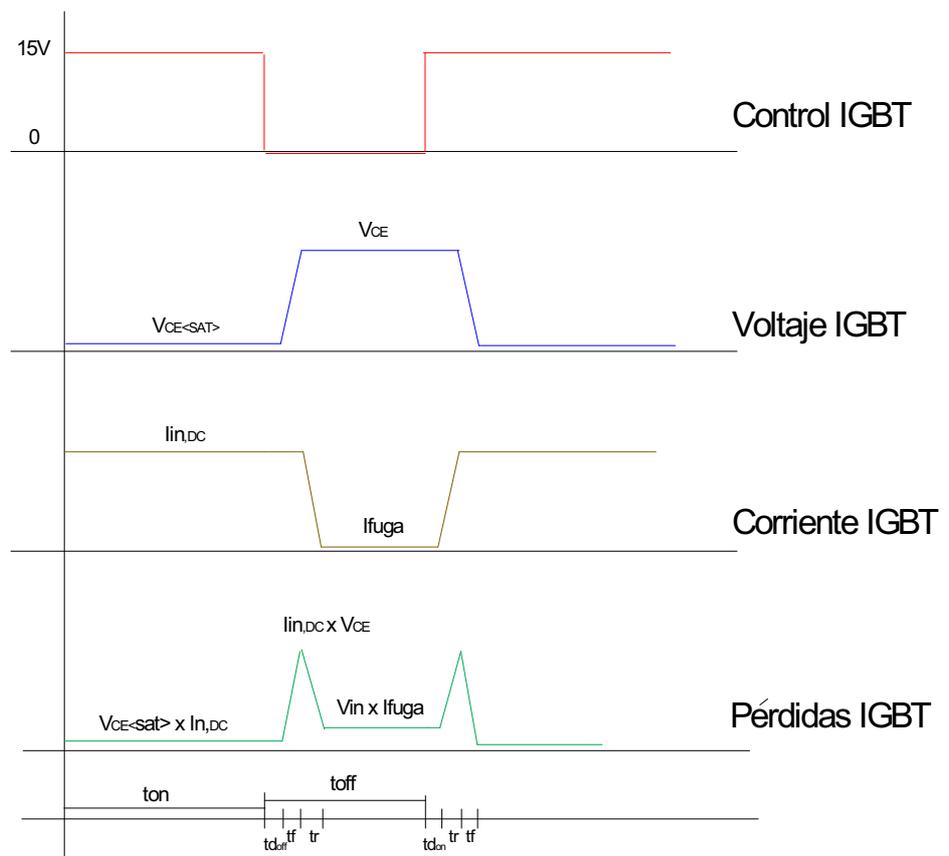


Figura C.1 Formas de Onda IGBT

La conmutación de los dispositivos semiconductores, hacen que existan pérdidas en estado dinámico y en estado estático.

De la Figura C.1 se obtiene el área equivalente, para determinar la potencia promedio, definida por la Ecuación C.1 y Ecuación C.2.

$$P_{dinámicas} = \frac{1}{T} \left[\frac{(tr + tf)(V_{CE\ off} \times I_{in_{DC}})}{2} + \frac{(tr + tf)(V_{CE\ off} \times I_{in_{DC}})}{2} \right]$$

Ecuación C.1

$$P_{estáticas} = \frac{1}{T} \int_0^{t\ encendido} V_{CE < SAT >} I_{in_{DC}} dt + \frac{1}{T} \int_0^{t\ apagado} I_{FUGA} V_{CE\ off} dt$$

Ecuación C.2

Donde:

$tr, tf, V_{CE < SAT >}, I_{FUGA}$ Son datos que se pueden obtener de las hojas de datos del IRG4PC40U.

$I_{in_{DC}}$ Se obtienen a partir de las Ecuación 2.38 y la Ecuación 2.29 determina el V_{CE} máximo que soporta el IGBT. Al sumar las pérdidas estáticas y dinámicas se obtiene el valor de la potencia promedio.

$$P_{dinámicas} = 20kHz \left[\frac{(141ns)(160V \times 12,5A)}{2} + \frac{(21ns + 120ns)(160V \times 12,5A)}{2} \right]$$

$$P_{dinámicas} \approx 5W$$

$$P_{estáticas} = \frac{1}{T} \int_0^{31us} 1,8V \times 12,5A dt + \frac{1}{T} \int_0^{18,7us} 250uA \times 160V dt$$

$$P_{estáticas} \approx 11W$$

$$P_{TOTAL} = P_{estáticas} + P_{dinámicas}$$

Ecuación C.3

$$P_{TOTAL} = 16W$$

En la Figura C.2 se observa el circuito equivalente térmico para el IGBT, donde las resistencias térmicas son: $Z_{t\ jc} = 0,77^\circ C/W$ (Resistencia Térmica entre junta-carcasa que se obtiene de la Hoja de datos IRG4PC40U), $Z_{t\ cd} = 1^\circ C/W$, (este valor se considera por la Mica entre el disipador y la carcasa del IGBT), y $Z_{t\ da}$ (Resistencia térmica entre el disipador y el ambiente) que es el valor a determinar.

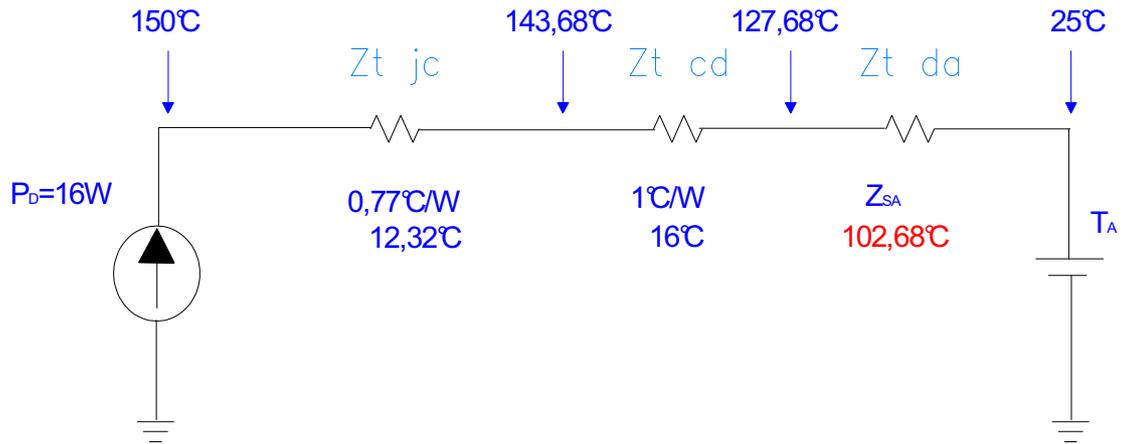


Figura C.2 Circuito equivalente térmico

La pérdida promedio del dispositivo son aproximadamente 16W, que se multiplica por cada resistencia térmica y se obtiene la caída de temperatura, los valores obtenidos se observa en la Figura C.2; de la hoja de datos se escoge la temperatura de la carcasa que es igual a 150 °C.

Para determinar la resistencia térmica del disipador, se obtiene de la Ecuación C.4

$$Z_{DA} = \frac{T_D - T_A}{P_D} \quad \text{Ecuación C.4}$$

$$Z_{DA} = \frac{102,68^\circ C}{16W}$$

$$Z_{AD} = 6,47^\circ C/W$$

De $6,47^\circ C/W$, se obtiene el valor de la resistencia térmica equivalente, esto se debe por la altura de la ciudad donde el dispositivo trabaja (2800 msnm), para lo cual $Z_{AD} = (6,47^\circ C/W \times 0,8) = 5,13^\circ C/W$.

Del catálogo de productos (Victronics LTDA), existe un disipador de calor para un encapsulado TO-220 de dimensiones 42x38x25mm, el valor de resistencia térmica que presenta es $5^\circ C/W$, pero en el mercado local no existe un disipador con esas características para un encapsulado TO-247AC, para este encapsulado el volumen del disipador aumenta, y el valor de la resistencia térmica disminuye, sumado a que el IGBT a $25^\circ C$ trabaja a 40 A máximo, el

sobredimensionamiento ayuda a que el IGBT trabaje dentro del área segura y no se sobrecaliente como se puede observar en el trabajo práctico, de esta forma se puede omitir el uso del disipador.

Para determinar el valor del disipador del diodo NTE 6008, se determina el valor de la potencia promedio presente en el diodo.

En la Figura C.3, se observa las formas de onda de trabajo para el diodo en el circuito del Conversor DC-DC Reductor Elevador.

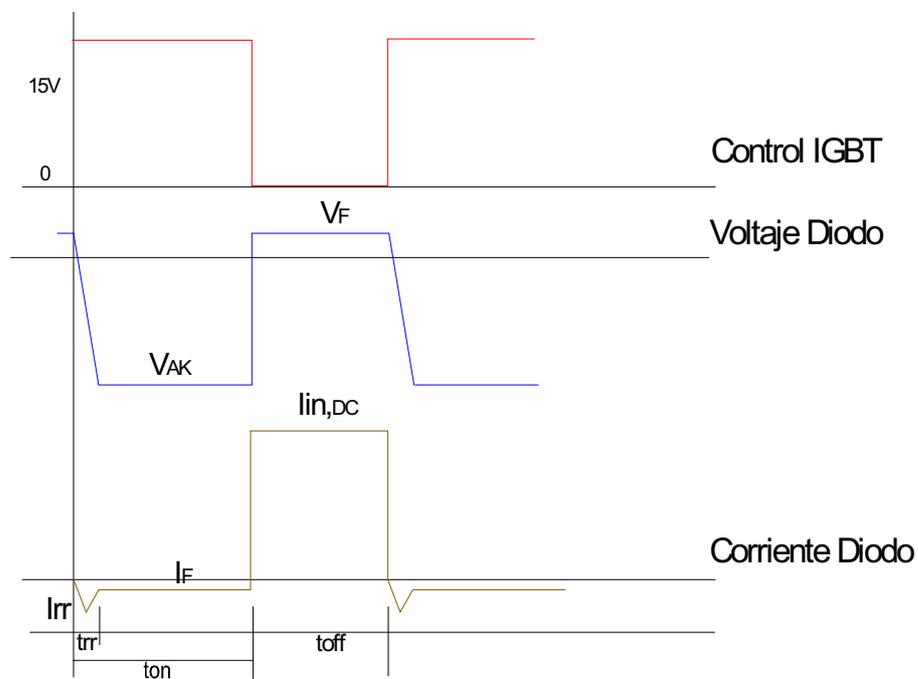


Figura C.3 Formas de Onda Diodo

De la Figura C.3, se obtiene la Ecuación C.5 y Ecuación C.5 para determinar las potencias estáticas y dinámicas.

$$P_{dinámicas} = \frac{1}{T} \left[\frac{t_{rr} \times I_{rr} \times V_{AK}}{2} \right]$$

Ecuación C.5

$$P_{estáticas} = \frac{1}{T} \int_0^{ton-trr} V_{AK} I_{FUGA} dt + \frac{1}{T} \int_0^{t\ off} I_{in,DC} V_F dt$$

Ecuación C.6

Los valores trr, Irr, V_F, I_{FUGA} , son valores que se encuentran en la Hoja de datos del diodo NTE6008. Estos valores se escogen de los valores típicos, debido a que los dispositivos semiconductores no trabajan a corriente máxima.

$V_{AK}, I_{in,DC}$ Son los valores que se encuentran de la Ecuación 2.40 y la Ecuación 2.29 respectivamente.

$$P_{dinámicas} = 20\text{ kHz} \left[\frac{200\text{ns} \times 2\text{A} \times 160\text{V}}{2} \right]$$

$$P_{dinámicas} \approx 0,6\text{W}$$

$$P_{estáticas} = \frac{1}{T} \int_0^{31,1\mu s} 160\text{V} \times 50\mu\text{A} dt + \frac{1}{T} \int_0^{18,8\mu s} 12,5 \times 1\text{V} dt$$

$$P_{estáticas} \approx 4,7\text{W}$$

$$P_{TOTAL} = P_{estáticas} + P_{dinámicas}$$

Ecuación C.7

$$P_{TOTAL} = 5\text{W}$$

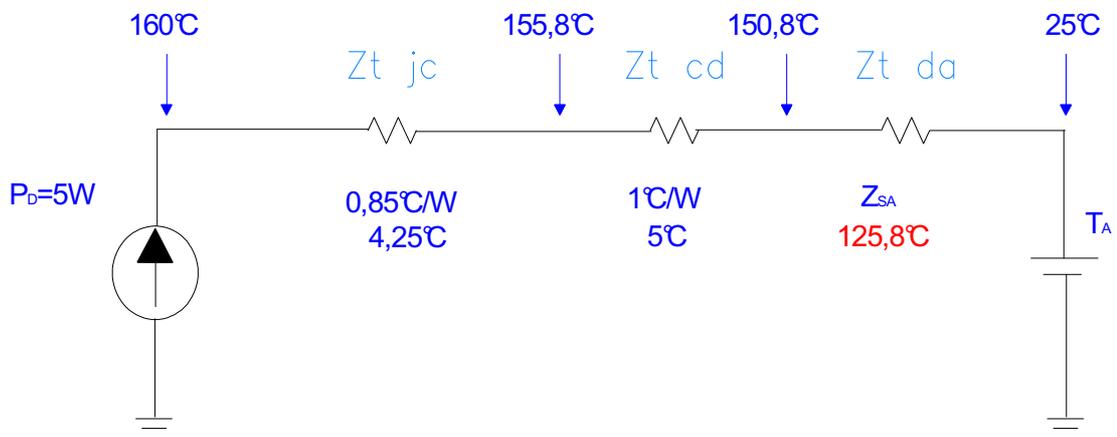


Figura C.4 Circuito equivalente térmico

De igual forma que el IGBT, el diodo tiene su respectiva resistencia térmica, correspondiente $0,85^{\circ}\text{C}/\text{W}$, se realiza el análisis de la caída de temperatura que se puede observar en la figura C.4, y se obtiene el valor de la resistencia térmica del disipador, de la Ecuación C.4.

$$Z_{DA} = \frac{T_D - T_A}{P_D} \quad \text{Ecuación C.4}$$

$$Z_{DA} = \frac{125,8^{\circ}\text{C}}{5\text{W}}$$

$$Z_{AD} = 25,16^{\circ}\text{C}/\text{W}$$

De $25,16^{\circ}\text{C}/\text{W}$, se obtiene el valor de la resistencia térmica equivalente, esto se debe por la altura de la ciudad donde el dispositivo va a trabajar (2800 msnm), para lo cual $Z_{AD} = (25,16^{\circ}\text{C}/\text{W} \times 0,8) = 20,12^{\circ}\text{C}/\text{W}$

De igual forma el diodo se encuentra sobredimensionado, además su característica principal es de un dispositivo de recuperación rápida. Por lo tanto se puede determinar que no necesita un disipador de calor.

CÁLCULO DEL VARISTOR

Para el dimensionamiento del varistor, su diseño se basa a partir de la corriente pico y el voltaje pico que va a transcurrir durante el transitorio. En la Figura C.5, se observa la grafica que se obtiene a partir de la hoja de datos de los varistores comerciales. La hoja de datos final se adjunta al final de este anexo.

De donde se puede determinar que la energía de disipación es igual a:

$$E = \int_0^t P_{maxima} dt$$

$$E = V_{<pico>} \times I_{<pico>} \times T_2 \quad \text{Ecuación C.5}$$

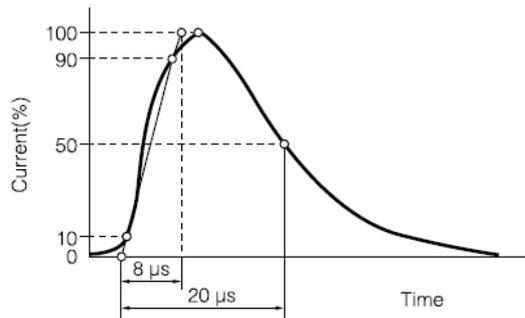


Figura C.5 Forma de onda de la corriente pico

A partir de las simulaciones se obtiene el valor de la corriente del circuito diseñado:

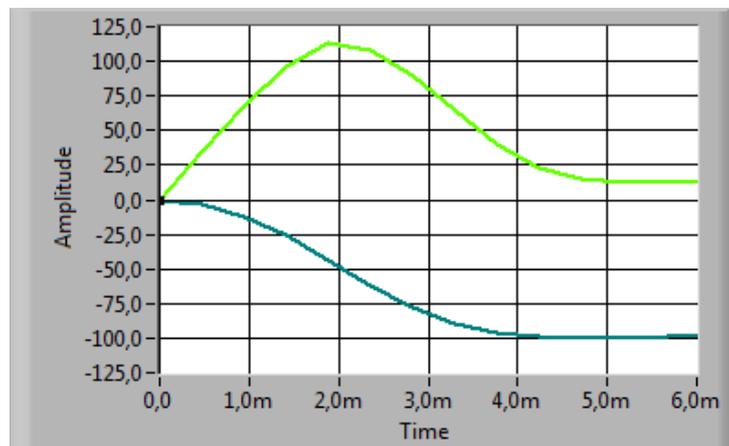


Figura C.6 Simulación del Estado transitorio del Conversor DC-DC reductor Elevador

De la Ecuación C.6 se puede determinar que la energía de disipación para este caso es:

$$E(Ws) = V_{< pico >} \times I_{< pico >} \times T_2$$

$$E(Ws) = 100V \times 112,7A \times 20us$$

$$E = 0,2254 Ws$$

Al transformar el equivalente en Joule, donde 1Wh=3600J, el valor de la energía de disipación es igual a 0,23 J, de las hojas de datos se puede establecer que un valor cercano de varistor para utilizar es V10511U, que de acuerdo al catálogo que se adjunta en la parte final de este anexo

corresponde a su ERZV10D121, donde el 10 corresponde al diámetro del varistor y 121 al voltaje. Cuyas características son: $V_{dc}=100V$, y una corriente de 2500 A, de igual forma este varistor es el más cercano a las operaciones de trabajo de este proyecto.

ANEXO D

HOJA DE DATOS IR2110

International
IR Rectifier

Data Sheet No. PD60147 rev. U

IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF

HIGH AND LOW SIDE DRIVER

Features

- Floating channel designed for bootstrap operation
 - Fully operational to +500V or +600V
 - Tolerant to negative transient voltage
 - dV/dt immune
- Gate drive supply range from 10 to 20V
- Undervoltage lockout for both channels
- 3.3V logic compatible
 - Separate logic supply range from 3.3V to 20V
 - Logic and power ground $\pm 5V$ offset
- CMOS Schmitt-triggered inputs with pull-down
- Cycle by cycle edge-triggered shutdown logic
- Matched propagation delay for both channels
- Outputs in phase with inputs

Product Summary

V_{OFFSET} (IR2110)	500V max.
(IR2113)	600V max.
$I_{O+/-}$	2A / 2A
V_{OUT}	10 - 20V
$t_{on/off}$ (typ.)	120 & 94 ns
Delay Matching (IR2110)	10 ns max.
(IR2113)	20ns max.

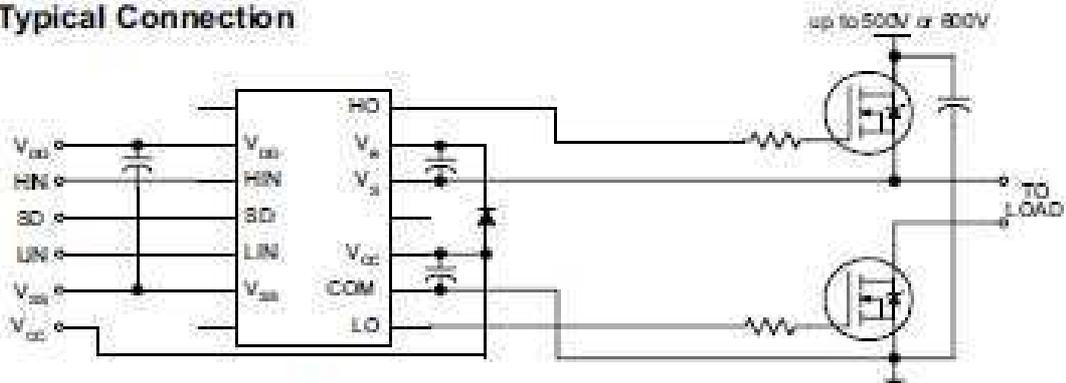
Description

The IR2110/IR2113 are high voltage, high speed power MOSFET and IGBT drivers with independent high and low side referenced output channels. Proprietary HVC and latch immune CMOS technologies enable ruggedized monolithic construction. Logic inputs are compatible with standard CMOS or LSTTL output, down to 3.3V logic. The output drivers feature a high pulse current buffer stage designed for minimum driver cross-conduction. Propagation delays are matched to simplify use in high frequency applications. The floating channel can be used to drive an N-channel power MOSFET or IGBT in the high side configuration which operates up to 500 or 600 volts.

Packages



Typical Connection



(Refer to Lead Assignments for some clip-in configuration). This/These diagram(s) show electrical connections only. Please refer to our Application Notes and Design Tips for proper circuit board layout.

ANEXO E

HOJA DE DATOS INA114AP



INA114

Precision INSTRUMENTATION AMPLIFIER

FEATURES

- LOW OFFSET VOLTAGE: 50 μ V max
- LOW DRIFT: 0.25 μ V/ $^{\circ}$ C max
- LOW INPUT BIAS CURRENT: 2nA max
- HIGH COMMON-MODE REJECTION: 115dB min
- INPUT OVER-VOLTAGE PROTECTION: \pm 40V
- WIDE SUPPLY RANGE: \pm 2.25 to \pm 18V
- LOW QUIESCENT CURRENT: 3mA max
- 8-PIN PLASTIC AND SOL-16

APPLICATIONS

- BRIDGE AMPLIFIER
- THERMOCOUPLE AMPLIFIER
- RTD SENSOR AMPLIFIER
- MEDICAL INSTRUMENTATION
- DATA ACQUISITION

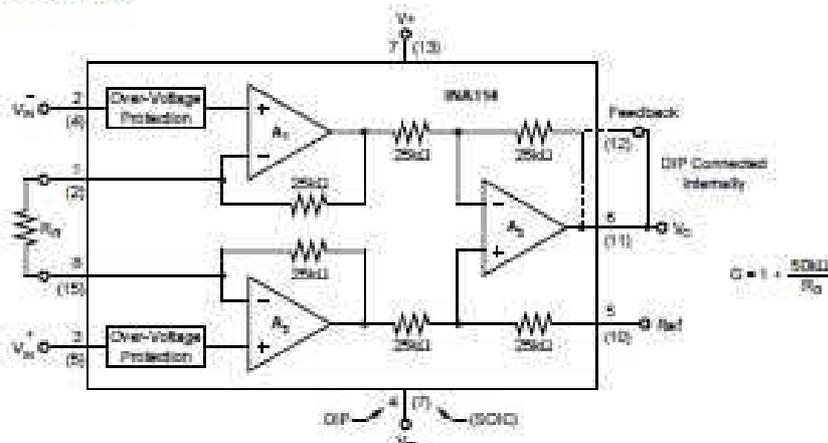
DESCRIPTION

The INA114 is a low cost, general purpose instrumentation amplifier offering excellent accuracy. Its versatile 3-op amp design and small size make it ideal for a wide range of applications.

A single external resistor sets any gain from 1 to 10,000. Internal input protection can withstand up to \pm 40V without damage.

The INA114 is laser trimmed for very low offset voltage (50 μ V), drift (0.25 μ V/ $^{\circ}$ C) and high common-mode rejection (115dB at $G = 1000$). It operates with power supplies as low as \pm 2.25V, allowing use in battery operated and single 5V supply systems. Quiescent current is 3mA maximum.

The INA114 is available in 8-pin plastic and SOL-16 surface-mount packages. Both are specified for the -40° C to $+85^{\circ}$ C temperature range.



ANEXO F

DIAGRAMAS DE CONEXIONES Y CIRCUITOS

En la siguiente sección se encuentra el diagrama de conexiones entre los circuitos y además se incluye el diagrama de los circuitos diseñados e implementados.

Cada dibujo se lo detalla a continuación:

- HOJA D01: DIAGRAMA DE ALIMENTACIÓN GENERAL, presenta la alimentación a las tarjetas de control mediante dos transformadores para cada tarjeta de control, y la alimentación del FPGA.
- HOJA D02: DIAGRAMA DE ALIMENTACIÓN CIRCUITO DE POTENCIA, presenta la alimentación al circuito de potencia que proviene de un autotransformador monofásico
- HOJA T01: CIRCUITO DIGITAL Y ANALÓGICO, presenta la tarjeta de acondicionamiento y de generación de PWM.
- HOJA T02: CIRCUITO DE POTENCIA, presenta la tarjeta de potencia de la cual se toma el voltaje al motor DC.
- HOJA T03: TARJETA XILINX SPARTAN 3E, presenta las conexiones que recibe la tarjeta y envía la tarjeta controladora Xilinx Spartan 3E.

110V/60Hz

FU1

XO

SSLT1

A1

XF1
110/220V 50/60HZ
12V-0-12V
300MA

XF2
110/220V 50/60HZ
12V-0-12V
300MA

/T01. 1

/T01. 4

/T03. 1

FECHA	DESCRIPCION	NUMERO
/ /		
/ /		
/ /		
/ /		
/ /		



ESCUELA
POLITÉCNICA
NACIONAL

**CONVERTOR DC DC
REDUCTOR ELEVADOR**
DIAGRAMA DE ALIMENTACION
GENERAL

Escala:

1:1

HOJA D01

D02 SIGUE

No Dibujo

PDT-CONDC-RE

110V/60Hz

FU1
10A

TG1

AUTOTRANSFORMADOR
120V 50/60HZ
10A 1.4KVA
0-140V

PUENTE RECTIFICADOR
IXYS
VUO 105-16 NO7

CAPACITOR
3300uF
450 Vdc

/T02.2 /T02.3



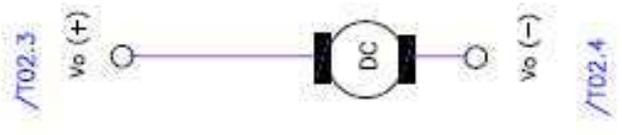
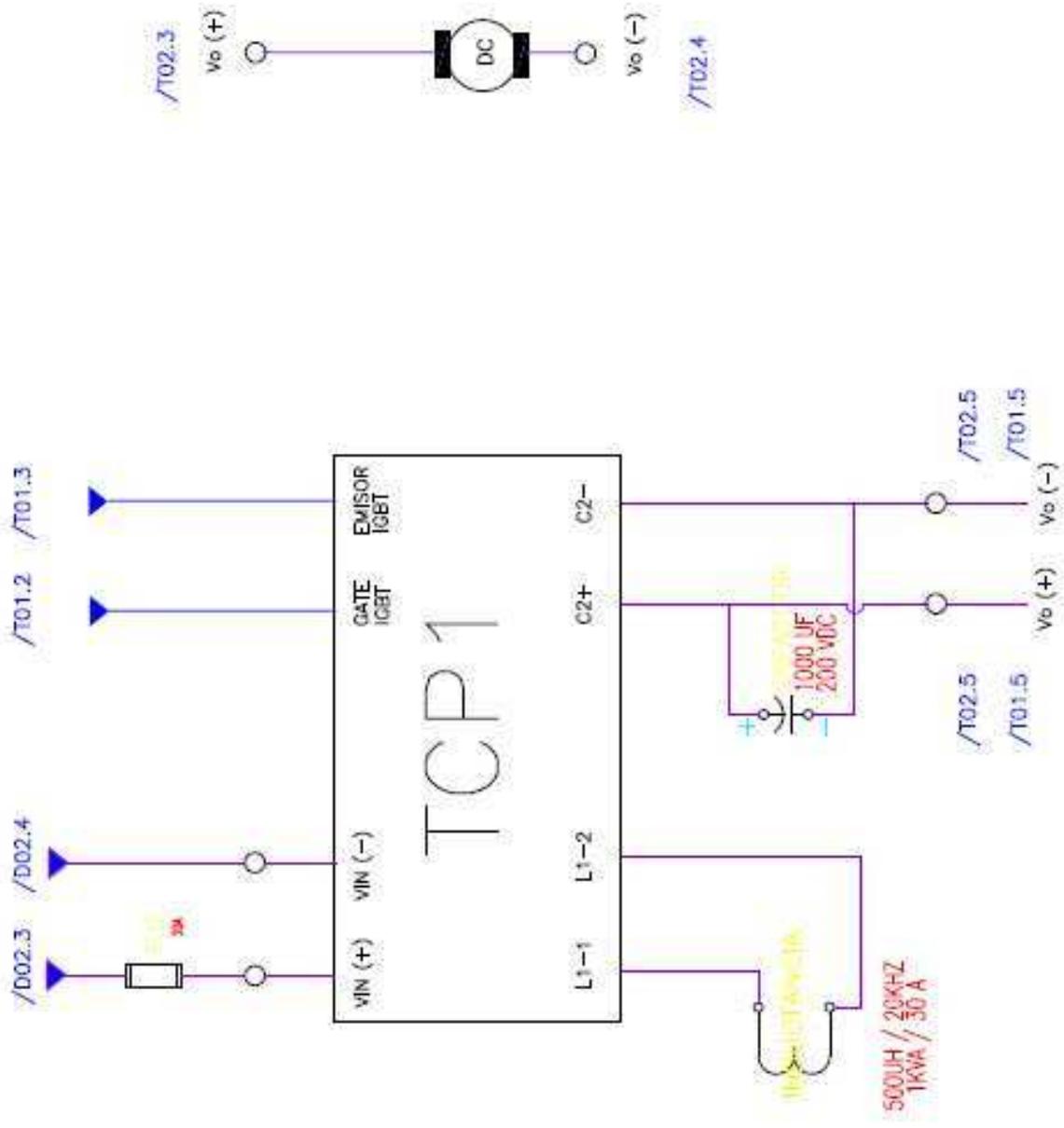
ESCUELA
POLITÉCNICA
NACIONAL

FECHA	DESCRIPCION	NOMBRE
/ /		
/ /		
/ /		
/ /		
/ /		

CONVERTOR DC DC
REDUCTOR ELEVAADOR
DIAGRAMA DE ALIMENTACION
CIRCUITO DE POTENCIA

Escala:
1:1

HOJA D02
T01 SIGUE
No Dibujo
PDT-CONDC-RE



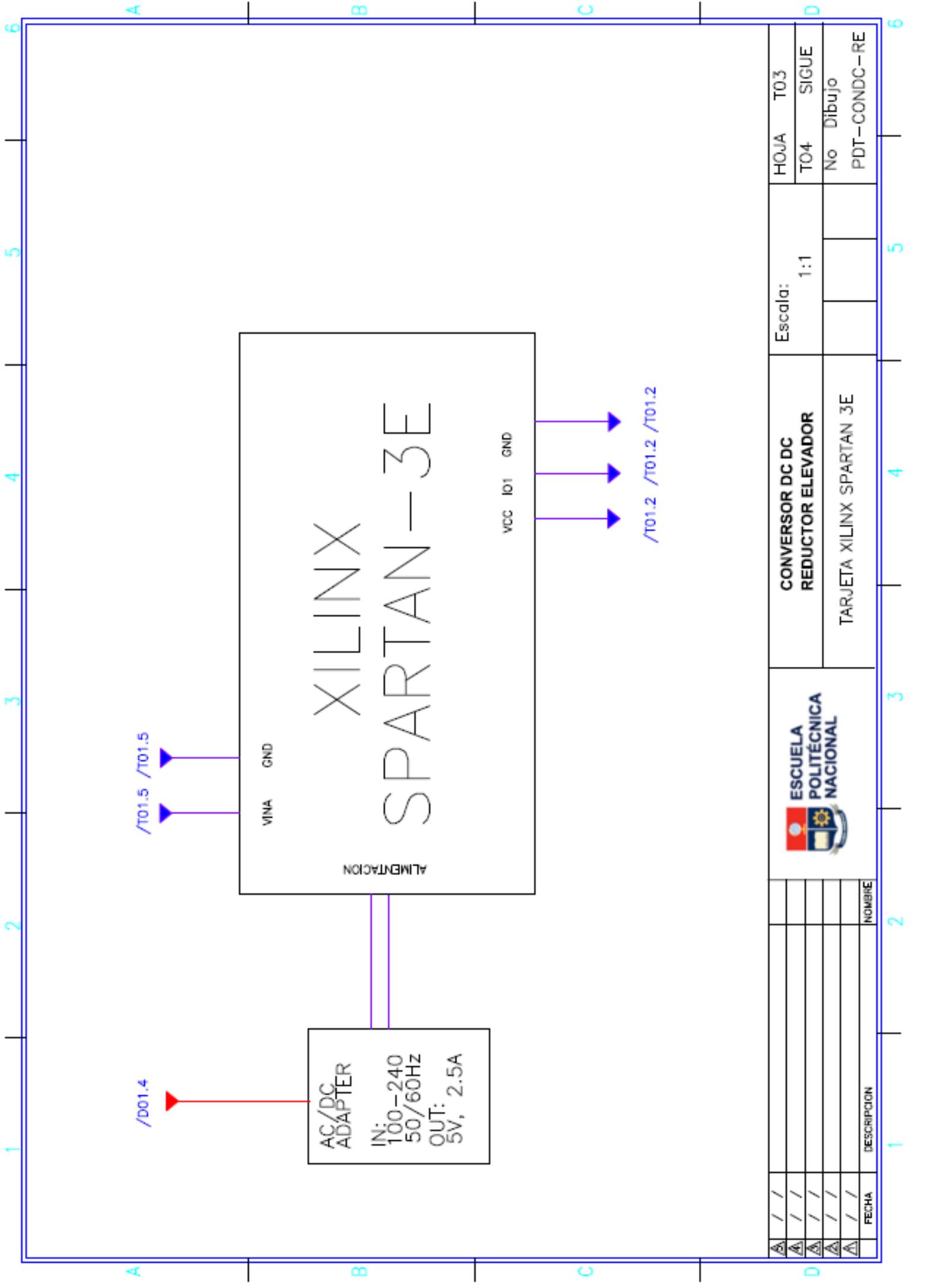
FECHA	DESCRIPCION	NOMBRE
/ /		
/ /		
/ /		
/ /		
/ /		



**CONVERSOR DC DC
REDUCTOR ELEVADOR**
CIRCUITO DE POTENCIA

Escala: 1:1

HOJA	T02
T03	SIGUE
No Dibujo	
PDT-CONDC-RE	



ESCUELA
POLITÉCNICA
NACIONAL

CONVERSION DC DC		Escala: 1:1	HOJA	T03
REDUCTOR ELEVADOR			T04	SIGUE
TARJETA XILINX SPARTAN 3E			No	Dibujo
			PDT	-CONDC-RE

FECHA	DESCRIPCION	NOMBRE
/ /		
/ /		
/ /		
/ /		
/ /		

ANEXO G

NOTACIÓN UTILIZADA EN EL PROYECTO DE TITULACIÓN

MPC	Control Predictivo basado en modelo
IDCOM	Identification Command
MPHC	Model Predictive Heuristic Control
DMC	Dynamic Matrix Control
QDMC	Quadratic Dynamic Matrix Control
MOC	Multivariable Optimizing Control
GPC	Generalized Predictive Control
CARIMA	Controlled Autoregressive and Integrated Moving Average
FPGA	Field Programmable gate array
CLB	Bloques lógicos reconfigurables
PLD	Dispositivos lógicos Programables
CPLD	Dispositivos lógicos programables complejos
LUT	Look Up Table
PIP	Puntos de interconexiones programables
DCM	Digital Clock Managers
DAC	Digital to Analog Converter
ADC	Analog to Digital Converter

ANEXO H

LISTADO DE FIGURAS

Nombre	Página
Figura1.1. Estrategia de Control	2
Figura1.2. Estructura básica del MPC	3
Figura1.3. Trayectoria de referencia	9
Figura 1.4. Horizontes de control y predicción	14
Figura 1.5. Estructura principal del FPGA	22
Figura 1.6. Arquitectura principal del FPGA	23
Figura 1.7. Bloque lógico	23
Figura 1.8. Conversor Análogo Digital	26
Figura 1.9. Bloques de Funcionamiento Análogo Digital	26
Figura 1.10. Señales de comunicación del ADC	29
Figura 1.11. Ciclos de reloj para comunicación SPI del ADC	30
Figura 1.12. Proceso del Labview FPGA MODULE	32
Figura 2.1: Configuración Conversor DC-DC Elevador Reductor	33
Figura 2.2 Circuitos Equivalentes ON	34
Figura 2.3 Circuitos Equivalentes OFF	36
Figura 2.4 Red Snubber para diodos	43
Figura 2.5 Respuesta a una entrada escalón sistema continuo	44
Figura 2.6 Respuesta a una entrada escalón sistema discreto	46
Figura 2.7 Estados del Sistema Discreto	46
Figura 2.8 Cd Create Mpc Controller	47
Figura 2.9 Cd Implement Mpc Controller	48
Figura 2.10 Cd Set Mpc Controller	49
Figura 2.11 Cd Update Mpc Window	50
Figura 2.12 Simulación del Control Predictivo	51
Figura 2.13 Pantalla Ingreso datos del Conversor DC-DC reductor elevador	52
Figura 2.14 Pantalla Espacio de Estados a implementar el MPC	53
Figura 2.15 Pantalla respuesta del Sistema en lazo abierto	54
Figura 2.16 Pantalla Implementación del MPC	54
Figura 2.17 Salida del conversor DC-DC reductor elevador con MPC	55
Figura 2.18 Pantalla de Estados en el sistema en lazo abierto y en MPC	55

Figura 3.1 Algoritmo del controlador MPC	57
Figura 3.2 Implementación Controlador MPC en Labview	58
Figura 3.3 Algoritmo de generación de PWM	59
Figura 3.4 Implementación PWM mediante FPGA Labview	60
Figura 3.5 Algoritmo de ganancia del conversor análogo digital	62
Figura 3.6 Algoritmo de configuración del conversor análogo digital	63
Figura 3.7 Algoritmo de lectura de datos del Conversor Análogo digital	64
Figura 3.8 Implementación de lectura del conversor análogo digital mediante FPGA Labview	65
Figura 3.9 Circuito de control PWM	66
Figura 3.10 Circuito de acondicionamiento	68
Figura 3.11 Divisor de Voltaje del Conversor DC-DC Reductor Elevador	69
Figura 3.12 Acondicionamiento del Conversor DC-DC reductor Elevador	70
Figura 3.13 Circuito Filtro Pasabajos	71
Figura 3.14 Circuito de Potencia del Conversor DC-DC Reductor Elevador	72
Figura 3.15 Núcleos de ferrita (a) Tipo UU, (b) Tipo EE	73
Figura 3.16 Dimensiones optimas para el núcleo de ferrita EE	73
Figura 3.17 Implementación del controlador MPC y Labview	78
Figura 4.1 Señal de control, $u[k]$, $T_s=472\mu s$	81
Figura 4.2 Estimación de Estados, $x[k]$, $T_s=472\mu s$	81
Figura 4.3 Señal de control, $u[k]$, para $T_s= 500\mu s$	82
Figura 4.4 Estimación de Estados, $x[k]$, $T_s=500\mu s$	82
Figura 4.5 Señal de control, $u[k]$, para $T_s= 150\mu s$	83
Figura 4.6 Estimación de Estados, $x[k]$, $T_s=150\mu s$	83
Figura 4.7 Señal de Control $T_s=150\mu s$, $N_p=20$, $N_s=8$	84
Figura 4.8 Estimación de Estados, $x[k]$, $T_s=150\mu s$, $N_p=20$, $N_s=8$	84
Figura 4.9 Señal de Control $T_s=150\mu s$, $N_p=40$, $N_s=20$	85
Figura 4.10 Estimación de Estados, $x[k]$ $T_s=150\mu s$, $N_p=40$, $N_s=20$	85
Figura 4.11 Señal de Control, $u[k]$, $T_s=150\mu s$, $N_p=200$, $N_c=100$	86
Figura 4.12 Estimación de Estados, $x[k]$, $T_s=150\mu s$, $N_p=200$, $N_c=100$	86
Figura 4.13 Señal de Control, $y[k]$, $T_s=150\mu s$, $N_p=20$, $N_c=8$, $Q=1$ $R=1,48$	87
Figura 4.14 Estimación de Estados, $x[k]$, $T_s=150\mu s$, $N_p=20$, $N_c=8$, $Q=1$ $R=1,48$	88
Figura 4.15 Estimación de Estados, $x[k]$, $T_s=150\mu s$, $N_p=20$,	

$N_c=8, Q=0,001 R=10$

88

Figura 4.16 Estimación de Estados, $x[k]$, $T_s=150\mu s$, $N_p=20$,

$N_c=8, Q=0,001 R=10$

89

ANEXO I

LISTADO DE TABLAS

Nombre	Página
Tabla 1.1 Relación entre tolerancia y penalidad	18
Tabla 1.2 Señales de comunicación: FPGA y Amplificador	28
Tabla 1.3 Configuración de la ganancia programable	28
Tabla 1.4 Señales de comunicación entre: FPGA y ADC	29
Tabla 1.5 Dispositivos de comunicación SPI	31
Tabla3.1 Ganancia deseada del INA114AP	70
Tabla 3.2 Valores de voltaje acondicionados	71
Tabla 3.3: Tabla Comparativa de inductancias optimas	74
Tabla 4.1 Restricciones del MPC	89

