

ESCUELA POLITÉCNICA NACIONAL

ESCUELA DE INGENIERÍA

DISEÑO Y CONSTRUCCIÓN DE UN PROTOTIPO PARA MEDICIÓN
Y TRANSMISIÓN INALÁMBRICA DEL CONSUMO DE ENERGÍA
ELÉCTRICA DE UN SISTEMA MONOFÁSICO BIFILAR

PROYECTO PREVIO A LA OBTENCIÓN DEL TÍTULO DE INGENIERO EN
ELECTRÓNICA Y CONTROL

ALEX VICENTE DÁVILA FRÍAS


DIRECTOR: ING. PATRICIO CHICO

Quito, Marzo 2006

DECLARACIÓN

Yo, Alex Vicente Dávila Frías declaro bajo juramento que el trabajo aquí descrito es de mi autoría; que no ha sido previamente presentada para ningún grado o calificación profesional; y, que he consultado las referencias bibliográficas que se incluyen en este documento.

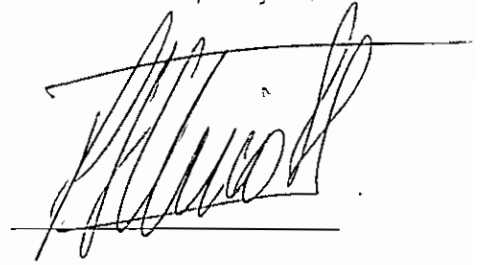
A través de la presente declaración cedo mis derechos de propiedad intelectual correspondientes a este trabajo, a la Escuela Politécnica Nacional, según lo establecido por la Ley de Propiedad Intelectual, por su Reglamento y por la normatividad institucional vigente.



ALEX DÁVILA

CERTIFICACIÓN

Certifico que el presente trabajo fue desarrollado por Alex Dávila, bajo mi supervisión.

A handwritten signature in black ink, appearing to read 'Patricio Chico', is written over a horizontal line. The signature is stylized and cursive.

Ing. PATRICIO CHICO

DIRECTOR DEL PROYECTO

AGRADECIMIENTOS

Es mi deseo expresar un sincero agradecimiento a:

Dios, arquitecto del universo.

Mis padres y hermanos, por su apoyo incondicional y su comprensión.

Ing. Patricio Chico, Director del Proyecto, por su labor responsable; por sus invalorable y oportunas explicaciones y sugerencias.

Mayo. Francisco Proaño y Dr. Luis Corrales, quienes facilitaron la adquisición de componentes desde el exterior.

DEDICATORIA

A quienes me han brindado sus cuidados, comprensión y apoyo incondicional. A quienes con dedicación y esmero han empeñado sus mejores esfuerzos en favor de mi formación. A quienes les debo todo cuanto soy.

Este trabajo está dedicado a mis padres.

CONTENIDO

DECLARACIÓN	ii
CERTIFICACIÓN	iii
AGRADECIMIENTOS	iv
DEDICATORIA	v
CONTENIDO	vi
RESUMEN	xi
PRESENTACIÓN	xiii
CAPÍTULO 1	1
GENERALIDADES	1
1.1 ANÁLISIS DE FOURIER [6]	1
1.2 DEFINICIONES [6]	3
1.2.1 VALOR MEDIO O PROMEDIO	3
1.2.2 VALOR MEDIO CUADRÁTICO (RMS)	4
1.3 PARÁMETROS ELÉCTRICOS	4
1.3.1 POTENCIA INSTANTÁNEA	4
1.3.2 POTENCIA PROMEDIO [4]	4
1.3.3 POTENCIA ACTIVA [4]	5
1.3.4 POTENCIA REACTIVA [5]	5
1.3.5 POTENCIA APARENTE [5]	5
1.3.6 POTENCIA DE DISTORSIÓN	6
1.3.7 FACTOR DE POTENCIA [5]	6
1.3.8 ENERGÍA	6
1.4 MEDICIÓN DE ENERGÍA ELÉCTRICA	7
1.4.1 CONTADOR ELECTROMECAÁNICO [29] y [30]	7
1.4.1.1 SISTEMA MOTRIZ [29]	7
1.4.1.2 SISTEMA DE FRENADO [29]	9
1.4.1.3 NUMERADOR – INTEGRADOR [29]	9
1.4.1.4 FUNCIONAMIENTO GENERAL [29]	10
1.4.1.5 CARACTERÍSTICAS GENERALES [30]	10
1.4.2 CONTADOR ELECTRÓNICO [11] y [31]	10
1.4.3 CLASES IEC Y ANSI [9] y [10]	11
1.4.4 CORRIENTE BASE (I _b) – IEC1036 [9]	11
1.4.5 CORRIENTE MÁXIMA I _{max} – IEC1036 [9]	12
1.5 TRANSMISIÓN INALÁMBRICA DE DATOS DIGITALES	12
1.5.1 DISTRIBUCIÓN DEL ESPECTRO ELECTROMAGNÉTICO [1]	12
1.6 INTERFAZ SERIAL RS-232 [1]	13
1.6.1 PUERTO SERIAL DE UN PC	14
1.7 ALCANCE DEL PROYECTO	15
1.7.1 ARQUITECTURA DEL ESCLAVO	16
1.7.2 ARQUITECTURA DEL MAESTRO	18
1.7.3 RESUMEN	19
CAPÍTULO 2	20

CIRCUITO INTEGRADO ADE7753	20
2.1 SELECCIÓN DEL CHIP MEDIDOR DE ENERGÍA	20
2.2 CARACTERÍSTICAS DEL ADE7753 [12]	21
2.3 DIAGRAMA DE CONEXIÓN DEL ADE7753	22
2.4 FUNCIONAMIENTO DEL ADE7753 [12]	24
2.4.1 BREVE DESCRIPCIÓN	24
2.4.2 DISTRIBUCIÓN DE PINES	25
2.4.3 CÁLCULO DE POTENCIA ACTIVA	25
2.4.4 CÁLCULO DE ENERGÍA	28
2.4.5 CALIBRACIÓN DE OFFSET DE POTENCIA	30
2.4.6 CONVERSIÓN ENERGÍA A FRECUENCIA	30
2.4.7 MODO DE ACUMULACIÓN DE ENERGÍA DE CICLOS DE LÍNEA	31
2.4.8 CÁLCULO DE POTENCIA REACTIVA	32
2.4.9 CÁLCULO DE POTENCIA APARENTE	34
2.4.9.1 Cálculo del valor RMS en el canal 1 (corriente)	35
2.4.9.2 Compensación de offset RMS en el canal 1	36
2.4.9.3 Cálculo del valor RMS en el canal 2 (voltaje)	36
2.4.9.4 Compensación de offset RMS en el canal 2	37
2.4.9.5 Calibración de offset de potencia aparente	37
2.4.10 CÁLCULO DE ENERGÍA APARENTE	38
2.4.11 ACUMULACIÓN DE ENERGÍA APARENTE DE LÍNEA	39
2.4.12 CALIBRACIÓN DE UN MEDIDOR DE ENERGÍA BASADO EN EL ADE7753	40
2.4.12.1 Calibración de ganancia de potencia activa y aparente	41
2.4.12.2 Calibración de offset de potencia activa	42
2.4.12.3 Calibración de fase	43
2.4.12.4 Calibración de offset de voltaje RMS	44
2.4.12.5 Calibración de offset de corriente RMS	45
2.4.12.6 Calibración de offset de temperatura	45
2.4.13 INTERFAZ SERIAL DEL ADE7753	46
2.4.13.1 Operación de escritura serial del ADE7753	47
2.4.13.2 Operación de lectura serial del ADE7753	48
2.4.13.3 Manejo de la interfaz SPI con el microcontrolador PIC16F877A	49
2.4.14 INTERRUPCIONES DEL ADE7753	49
2.4.14.1 Atención de interrupciones del ADE7753 con el microcontrolador PIC16F877A	50
2.4.15 ENTRADAS ANÁLOGAS	51
2.4.16 DETECCIÓN DE CRUCE POR CERO	52
2.4.17 MEDICIÓN DE PERÍODO	53
2.4.18 MONITOR DE LA FUENTE DE PODER	53
2.4.19 MEDICIÓN DE TEMPERATURA	54
2.4.20 CONVERSIÓN ANÁLOGA A DIGITAL DEL ADE7753	55
2.4.20.1 Filtro antialiasing	57
2.4.21 FRECUENCIA DE CLKIN	57
CAPÍTULO 3	59
MÓDULO AT-XTR-903	59
3.1 SELECCIÓN DEL MÓDULO TRANSCÉPTOR	59
3.2 CARACTERÍSTICAS DEL AT-XTR-903 [8]	60
3.3 DIAGRAMA DE CONEXIÓN DEL AT-XTR-903 EN EL ESCLAVO	61
3.4 DIAGRAMA DE CONEXIÓN DEL AT-XTR-903 EN EL MAESTRO	62
3.5 FUNCIONAMIENTO DEL AT-XTR-903 [8]	63
3.5.1 BREVE DESCRIPCIÓN	63
3.5.2 DISTRIBUCIÓN DE PINES	64
3.5.2.1 RF GND – pines 1, 3	65
3.5.2.2 ANT – pin 2	65
3.5.2.3 GND – pin 2	65
3.5.2.4 SP1, SP2 – pines 11,15	65
3.5.2.5 RSRX – pin 12	66

3.5.2.6 485EN – pin 13	66
3.5.2.7 RSTX – pin 14	66
3.5.2.8 PWRDN – pin 16	66
3.5.2.9 Vcc – pin 17	66
3.5.3 COMUNICACIÓN INALÁMBRICA ENTRE DOS AT-XTR-903s	67
3.5.4 MODOS DE OPERACIÓN	68
3.5.5 MODO DE PRUEBA (TEST MODE)	69
3.5.6 MODO DE ESPERA (IDLE MODE)	69
3.5.7 MODO TRANSMISIÓN (TRANSMIT MODE)	69
3.5.8 MODO RECEPCIÓN RF (RECEIVE MODE)	71
3.5.9 MODO COMANDO (COMMAND MODE)	71
3.5.10 MODO POWER DOWN	71

CAPÍTULO 4 73

ESPECIFICACIONES Y DISEÑO	73
4.1 REQUERIMIENTOS DEL SISTEMA	73
4.1.1 REQUERIMIENTOS DEL DISPOSITIVO ESCLAVO	73
4.1.1.1 Especificaciones técnicas	74
4.1.1.2 Medición	74
4.1.1.3 Registro	74
4.1.1.4 Transmisión	75
4.1.1.5 Procesamiento de comandos	75
4.1.2 REQUERIMIENTOS DEL DISPOSITIVO MAESTRO	75
4.2 HARDWARE DEL ESCLAVO	76
4.2.1 HARDWARE DE MEDICIÓN DE ENERGÍA	79
4.2.1.1 Acondicionador de corriente [10] y [12]	81
4.2.1.2 Acondicionador de voltaje [10] y [12]	82
4.2.1.3 Filtros antialiasing [10] y [12]	83
4.2.1.3.1 Frecuencia de corte del filtro antialiasing	85
4.2.1.4 Conexión del ADE7753 con el microcontrolador PIC16F877A [12] y [28]	86
4.2.1.5 Consideraciones adicionales [10], [12] y [28]	88
4.2.2 HARDWARE DE CONTEO DEL TIEMPO [15]	90
4.2.2.1 Consideraciones generales [15], [23], [24] y [26]	91
4.2.2.2 Diagrama de bloques del DS1307	93
4.2.2.3 Mapa de memoria del DS1307	93
4.2.2.4 Salida de onda cuadrada (SQW) del DS1307	94
4.2.2.5 Comunicación serial a 2 hilos (I2C) [14] y [15]	94
4.2.2.5.1 Bus no ocupado	96
4.2.2.5.2 Inicio de transferencia de datos	96
4.2.2.5.3 Parada de transferencia de datos	96
4.2.2.5.4 Datos válidos	96
4.2.2.5.5 Confirmación (Acknowledge)	97
4.2.2.5.6 Transferencia de datos de un transmisor maestro a un receptor esclavo	97
4.2.2.5.7 Transferencia de datos de un transmisor esclavo a un receptor maestro	97
4.2.2.5.8 Modo escritura del DS1307 (modo receptor esclavo)	98
4.2.2.5.9 Modo lectura del DS1307 (modo transmisor esclavo)	98
4.2.3 HARDWARE DE ALMACENAMIENTO	99
4.2.3.1 Consideraciones generales [14] y [24]	100
4.2.3.2 Diagrama de bloques de la AT24C512 [14]	102
4.2.3.3 Interfaz serial a 2 hilos [14]	102
4.2.4 HARDWARE DE COMUNICACIÓN INALÁMBRICA	104
4.2.4.1 Consideraciones generales	105
4.2.5 HARDWARE DE SELECCIÓN DE MODO DE TRABAJO Y SEÑALIZACIÓN	107
4.2.6 HARDWARE DE PROCESAMIENTO	108
4.2.6.1 Consideraciones adicionales [10], [24] y [28]	110
4.2.7 FUENTE DE PODER	111
4.2.8 PROTECCIONES [9], [10] y [11]	112

4.2.8.1 Varistor [9]	113
4.2.8.2 Fusibles	114
4.2.8.3 Tierra analógica y digital [8], [9] y [10]	114
4.3 HARDWARE DEL MAESTRO	117
4.3.1 HARDWARE DE COMUNICACIÓN INALÁMBRICA	119
4.3.1.1 Cable serial	120
4.3.2 FUENTE DE PODER	120
CAPÍTULO 5	122
SOFTWARE	122
5.1 REQUERIMIENTOS DEL SOFTWARE DEL ESCLAVO	122
5.2 REQUERIMIENTOS DEL SOFTWARE DEL MAESTRO	123
5.3 PROTOCOLO DE COMUNICACIÓN	124
5.3.1 PREGUNTA	127
5.3.1.1 Dirección (2 bytes)	127
5.3.1.2 Código de función (1 byte)	128
5.3.1.3 Número de datos (1 byte)	128
5.3.1.4 Datos (0 a 64 bytes)	128
5.3.1.5 Chequeo de errores mediante CRC (2 BYTES) [22]	128
5.3.2 RESPUESTA	129
5.3.3 EJEMPLO	130
5.3.4 DIAGRAMAS DE ESTADOS	132
5.4 SOFTWARE DEL ESCLAVO	133
5.4.1 PROGRAMA PRINCIPAL	134
5.4.2 MODO NORMAL	136
5.4.2.1 Interrupción externa INT0	139
5.4.2.2 Interrupción del TIMER1	141
5.4.2.3 Interrupción RB	142
5.4.2.4 Interrupción serial	142
5.4.3 MODO RTC [15]	143
5.4.4 MODO EEPROM	144
5.4.5 MODO CALIBRACIÓN	145
5.4.6 UTILIZACIÓN MEMORIA DE LA EEPROM EXTERNA (AT24C512)[14]	146
5.4.6.1 Registro de pares ordenados energía-tiempo	149
5.4.6.2 Duración de la EEPROM	151
5.5 SOFTWARE DEL MAESTRO	152
5.5.1 FORMULARIO PRINCIPAL	152
5.5.2 COMANDO DE DISPOSITIVO REMOTO	154
5.5.3 VISUALIZACIÓN Y ALMACENAMIENTO DE DATOS	155
5.5.3.1 Visualización	155
5.5.3.2 Almacenamiento	156
5.5.3.2.1 Archivos de consumo	156
5.5.3.2.2 Archivos de demanda	156
5.5.3.2.3 Archivos de calibración	157
5.5.4 ASISTENTE DE CALIBRACIÓN [12]	157
5.5.4.1 Calibración de ganancia de potencia activa y aparente	158
5.5.4.2 Calibración de offset de potencia activa	160
5.5.4.3 Calibración de fase	160
5.5.4.4 Calibración de offset de voltaje RMS	161
5.5.4.5 Calibración de offset de corriente RMS	161
5.5.4.6 Calibración de offset de temperatura	162
CAPÍTULO 6	163
PRUEBAS Y RESULTADOS	163
6.1 CALIBRACIÓN	163
6.1.1 INICIO DEL ASISTENTE	163

6.1.2 CALIBRACIÓN DE GANANCIA DE POTENCIA ACTIVA Y APARENTE	164
6.1.3 CALIBRACIÓN DE OFFSET DE POTENCIA ACTIVA	164
6.1.4 CALIBRACIÓN DE FASE	165
6.1.5 CALIBRACIÓN DE OFFSET DE VOLTAJE RMS	165
6.1.6 CALIBRACIÓN DE OFFSET DE CORRIENTE RMS	165
6.1.7 CALIBRACIÓN DE TEMPERATURA	165
6.1.8 ARCHIVO DE CALIBRACIÓN	165
6.2 MEDICIÓN DE ENERGÍA	166
6.2.1 VALOR REAL	167
6.2.2 VALOR MEDIDO	169
6.2.3 ERROR	171
6.3 COMUNICACIÓN MAESTRO – ESCLAVO	171
6.3.1 LECTURA	171
6.3.2 CONFIGURACIÓN	172
6.4 ALMACENAMIENTO	173
6.4.1 ARCHIVO DE CONSUMO	173
6.4.2 ARCHIVO DE DEMANDA	173
6.4.3 ARCHIVO DE CALIBRACIÓN	176
6.5 ESPECIFICACIONES DEL MEDIDOR (ESCLAVO)	176
6.5.1 CONDICIONES NOMINALES	176
6.6 ESPECIFICACIONES DEL MAESTRO	177
6.6.1 CONDICIONES NOMINALES	177
6.6.1.1 Duración de la batería	177
CAPÍTULO 7	181
CONCLUSIONES Y RECOMENDACIONES	181
7.1 CONCLUSIONES	181
7.1.1 Conclusiones adicionales	182
7.2 RECOMENDACIONES	183
REFERENCIAS BIBLIOGRÁFICAS	184
ANEXOS	190
ANEXO No 1 : FUNCIONES SOPORTADAS	191
ANEXO No 2 : GUÍA DE USUARIO DE LA APLICACIÓN	200
ANEXO No 3 : GUÍA DE USUARIO DEL MEDIDOR	208
ANEXO No 4 : GUÍA DE USUARIO DE DISPOSITIVO MAESTRO	215
ANEXO No 5 : ESQUEMÁTICOS Y PLACAS DE CIRCUITO IMPRESO	220
ANEXO No 6 : COSTO	229
ANEXO No 7 : TABLA DE ILUSTRACIONES	233
ANEXO No 8 : HOJAS DE DATOS	237

RESUMEN

El presente proyecto consiste en el diseño y construcción de un prototipo para medición y transmisión inalámbrica del consumo de energía eléctrica de un sistema monofásico bifilar. Se abordan el diseño (hardware y software) y la construcción de un dispositivo medidor (esclavo) y un dispositivo maestro.

El dispositivo esclavo conectado a un sistema monofásico bifilar mide las siguientes variables: energía activa y aparente, voltaje, frecuencia, temperatura. Además registra periódicamente en una memoria no volátil pares ordenados energía – tiempo, los cuales sirven para generar información sobre la demanda de energía activa y aparente. El esclavo es capaz de establecer comunicación inalámbrica bidireccional de corto alcance para responder a comandos enviados por el maestro, para lectura de variables y/o configuración del dispositivo esclavo. La alimentación del dispositivo se toma de la red a la que se conecta. En caso de falla del suministro, el valor del contador de energía se guarda en una memoria no volátil para su recuperación cuando el suministro retorne a la normalidad. El hardware de medición de energía está implementado sobre la base del chip ADE7753 de Analog Devices. Para la comunicación inalámbrica se utiliza un transceptor de radio frecuencia AT-XTR-903-433MHz de ABACOM Technologies. El procesamiento está a cargo de un microcontrolador PIC16F877A.

El dispositivo maestro conectado al puerto serial de un PC permite comandar remotamente al esclavo. El hardware del circuito maestro está constituido básicamente por un transceptor idéntico al del esclavo y por circuitería de interfaz para conexión con el puerto serial. Se implementa una aplicación para PC, que sirve como interfaz gráfica para que el usuario pueda efectuar acciones de lectura y/o configuración remota sobre el esclavo. La aplicación permite la visualización y almacenamiento de datos.

Además es necesaria la implementación de un protocolo que permite la comunicación entre el maestro y el esclavo. El protocolo es manejado por el microcontrolador en el esclavo y por el PC en el maestro.

En las pruebas realizadas se observa que; efectivamente, el usuario a través de la aplicación que gobierna el maestro, es capaz de comandar remotamente al esclavo para lectura y/o configuración. El proyecto abarca la construcción de un maestro y un solo esclavo, sin embargo, el protocolo implementado permite una comunicación direccionable con esclavos numerados desde 1 hasta 65535. La dirección 0 se reserva para mensajes en modo difusión, no implementados en este proyecto.

Sobre la base del protocolo implementado, fácilmente se pueden crear nuevas funciones de lectura y/o configuración que sean enviadas por el maestro y entendidas por el esclavo.

La funcionalidad del medidor (esclavo) puede ser modificada por el programa del microcontrolador.

PRESENTACIÓN

El contenido de este documento inicia con una breve revisión sobre aspectos teóricos relacionados con el desarrollo del proyecto. Sobre la base de fundamentos teóricos y considerando la utilización de circuitos integrados y elementos discretos se plantean el diseño y la construcción del sistema que cumple los requerimientos propuestos. Finalmente, se explican los procedimientos experimentales efectuados para realizar la calibración del medidor (esclavo), pruebas del maestro, del esclavo y de la comunicación entre ambos.

En el CAPÍTULO 1 se abordan generalidades, se presenta una revisión de teoría relacionada con el proyecto. Incluye un resumen sobre análisis de Fourier, definiciones, medición de energía, transmisión inalámbrica de datos digitales, interfaz serial RS-232. Finalmente, se presenta una breve descripción del alcance del proyecto.

En el CAPÍTULO 2 se presenta un resumen sobre la funcionalidad y el modo de utilización del chip medidor de energía ADE7753, el cual se utiliza para realizar el proceso de medición de energía eléctrica y otras variables.

En el CAPÍTULO 3 se describen la funcionalidad y el modo de utilización del transceptor de radio frecuencia AT-XTR-903 utilizado para la comunicación inalámbrica.

En el CAPÍTULO 4 se describen los requerimientos del sistema y la solución propuesta del hardware para cumplir tales requerimientos.

En el CAPÍTULO 5 se describen los requerimientos y la solución propuesta del software del esclavo y del maestro. El software del esclavo está constituido por el programa del microcontrolador PIC16F877A, el cual determina la funcionalidad del dispositivo. El software del maestro es una aplicación para PC, la cual sirve como interfaz gráfica de usuario (GUI). El PC se comunica con el maestro a

través del puerto serial. También se describe el protocolo de comunicación implementado.

En el CAPÍTULO 6 se describen la calibración, las pruebas del medidor de energía, pruebas de comunicación entre maestro y esclavo, pruebas de funcionamiento general de la aplicación del PC y el costo del proyecto.

Finalmente, en el CAPÍTULO 7 se presentan las conclusiones y recomendaciones.

Como información complementaria, se presentan los siguientes anexos: ANEXO No 1: FUNCIONES SOPORTADAS, ANEXO No 2: GUÍA DE USUARIO DE LA APLICACIÓN, ANEXO No 3: GUÍA DE USUARIO DEL MEDIDOR, ANEXO No 4: GUÍA DE USUARIO DE DISPOSITIVO MAESTRO, ANEXO No 5: ESQUEMÁTICOS Y PLACAS DE CIRCUITO IMPRESO, ANEXO No 6: COSTO, ANEXO No 7: TABLA DE ILUSTRACIONES y ANEXO No 8: HOJAS DE DATOS.

CAPÍTULO 1

GENERALIDADES

Este capítulo es una revisión de teoría relacionada con el proyecto. Incluye un resumen sobre análisis de Fourier, definiciones, medición de energía, transmisión inalámbrica de datos digitales, interfaz serial RS-232. Finalmente, se presenta una breve descripción del alcance del proyecto.

1.1 ANÁLISIS DE FOURIER [6]

Sea una función periódica del tiempo $g(t)$, con período T , definida por

$$g(t) = g(t+T)$$

(Ec. 1.1)

El período T , la frecuencia f , y la frecuencia angular ω se relacionan mediante

$$\omega = \frac{2\pi}{T} = 2\pi f$$

(Ec. 1.2)

De acuerdo con el teorema de Fourier, la función periódica $g(t)$, puede expresarse en términos de una constante más una serie de términos sinusoidales y cosenoidales de frecuencia $n\omega$, donde n es un entero:

$$g(t) = \frac{a_0}{2} + \sum_{n=1}^{\infty} (a_n \cos n\omega t + b_n \sin n\omega t)$$

(Ec. 1.3)

Donde $\frac{a_0}{2}$ es el valor medio de la función $g(t)$. Las constantes a_0 , a_n y b_n se determinan mediante las siguientes expresiones:

$$a_0 = \frac{2}{T} \int_0^T g(t) dt = \frac{1}{\pi} \int_0^{2\pi} g(\omega t) d(\omega t)$$

(Ec. 1.4)

$$a_n = \frac{2}{T} \int_0^T g(t) \cos n\omega t dt = \frac{1}{\pi} \int_0^{2\pi} g(\omega t) \cos n\omega t d(\omega t)$$

(Ec. 1.5)

$$b_n = \frac{2}{T} \int_0^T g(t) \sen n\omega t dt = \frac{1}{\pi} \int_0^{2\pi} g(\omega t) \sen n\omega t d(\omega t)$$

(Ec. 1.6)

La expresión $a_n \cos n\omega t + b_n \sen n\omega t$ se puede escribir como

$$a_n \cos n\omega t + b_n \sen n\omega t = (a_n^2 + b_n^2)^{\frac{1}{2}} \left(\frac{a_n}{\sqrt{a_n^2 + b_n^2}} \cos n\omega t + \frac{b_n}{\sqrt{a_n^2 + b_n^2}} \sen n\omega t \right)$$

(Ec. 1.7)

Sea un ángulo ϕ_n , definido por

$$\tan \phi_n = \frac{a_n}{b_n}$$

(Ec. 1.8)

Entonces, la Ec. 1.7 puede ser expresada como:

$$\begin{aligned}
 a_n \cos n\omega t + b_n \sin n\omega t &= (a_n^2 + b_n^2)^{\frac{1}{2}} (\sin \phi_n \cos n\omega t + \cos \phi_n \sin n\omega t) \\
 &= (a_n^2 + b_n^2)^{\frac{1}{2}} \sin(n\omega t + \phi_n)
 \end{aligned}$$

(Ec. 1.9)

Sustituyendo la Ec. 1.9 en Ec. 1.3 , se obtiene:

$$g(t) = \frac{a_0}{2} + \sum_{n=1}^{\infty} C_n \sin(n\omega t + \phi_n)$$

(Ec. 1.10)

Donde

$$C_n = (a_n^2 + b_n^2)^{\frac{1}{2}}$$

(Ec. 1.11)

C_n es el valor pico y ϕ_n es el ángulo de retraso del armónico de orden n de la función $g(t)$.

1.2 DEFINICIONES [6]

1.2.1 VALOR MEDIO O PROMEDIO

El valor medio o promedio de una función periódica del tiempo $g(t)$, con período T , se define como:

$$G_0 = \frac{1}{T} \int_{t_0}^{t_0+T} g(t) dt$$

(Ec. 1.12)

1.2.2 VALOR MEDIO CUADRÁTICO (RMS)

El valor medio cuadrático (RMS) de una función periódica del tiempo $g(t)$, con período T , se define como:

$$G_{RMS} = \left[\frac{1}{T} \int_{t_0}^{t_0+T} g^2(t) dt \right]^{\frac{1}{2}}$$

(Ec. 1.13)

1.3 PARÁMETROS ELÉCTRICOS

1.3.1 POTENCIA INSTANTÁNEA

La potencia instantánea [3] entregada al elemento de un circuito es el producto del voltaje instantáneo $v(t)$ por la corriente instantánea $i(t)$, es decir:

$$p = vi$$

(Ec. 1.14)

La potencia p [4] puede tomar valores positivos o negativos. Considerando una fuente que alimenta un circuito, una potencia p positiva significa una transferencia de energía de la fuente al circuito, mientras que una potencia p negativa implica una transferencia de energía del circuito a la fuente.

1.3.2 POTENCIA PROMEDIO [4]

De la definición de valor medio (Ec. 1.12), la potencia promedio P está dada por:

$$P = \frac{1}{T} \int_{t_0}^{t_0+T} p(t) dt$$

(Ec. 1.15)

1.3.3 POTENCIA ACTIVA [4]

La potencia activa es igual a la potencia promedio P .

1.3.4 POTENCIA REACTIVA [5]

La potencia reactiva Q , se expresa mediante:

$$Q = \sum_{n=1}^{\infty} V_n I_n \text{sen } \phi_n$$

(Ec. 1.16)

Donde, V_n e I_n son los valores RMS de los n -ésimos armónicos, de voltaje y corriente respectivamente; y, ϕ_n es la diferencia de fase entre los n -ésimos armónicos, de voltaje y corriente.

1.3.5 POTENCIA APARENTE [5]

La potencia aparente S se define como:

$$S = VI$$

(Ec. 1.17)

Donde V e I son los valores RMS de voltaje y corriente respectivamente.

La potencia aparente también es igual a:

$$S = (P^2 + Q^2 + D^2)^{\frac{1}{2}}$$

(Ec. 1.18)

Donde P, Q, D corresponden respectivamente a las potencias activa, reactiva y de distorsión.

1.3.6 POTENCIA DE DISTORSIÓN

A partir de la Ec. 1.18, la potencia de distorsión D , se expresa mediante:

$$D = (S^2 - P^2 - Q^2)^{\frac{1}{2}}$$

(Ec. 1.19)

1.3.7 FACTOR DE POTENCIA [5]

El factor de potencia f_p , se expresa mediante:

$$f_p = \frac{P}{S}$$

(Ec. 1.20)

1.3.8 ENERGÍA

La potencia [12] es una medida de la rapidez del flujo de energía. Matemáticamente, se puede expresar esta relación mediante:

$$P = \frac{dE}{dt}$$

(Ec. 1.21)

Donde P es la potencia y E es energía.

Entonces, la energía está dada por la integral de la potencia:

$$E = \int P dt$$

(Ec. 1.22)

Las ecuaciones Ec. 1.21 y Ec. 1.22 se utilizarán para relacionar potencia y energía de forma general. Por ejemplo, si P es potencia activa, entonces E representa energía activa.

1.4 MEDICIÓN DE ENERGÍA ELÉCTRICA

La medición de energía eléctrica se realiza mediante medidores o contadores, a fin de que la compañía suministradora pueda facturar a los consumidores, según el valor de energía consumida.

1.4.1 CONTADOR ELECTROMECAÁNICO [29] y [30]

El medidor electromecánico efectúa una integración de la potencia activa del circuito en el que se conecta, mediante un sistema mecánico, obteniendo como resultado la energía consumida por el circuito.

Las partes principales [29] de un contador electromecánico del tipo motor de inducción son: sistema motriz, sistema de frenado y numerador-integrador.

1.4.1.1 SISTEMA MOTRIZ [29]

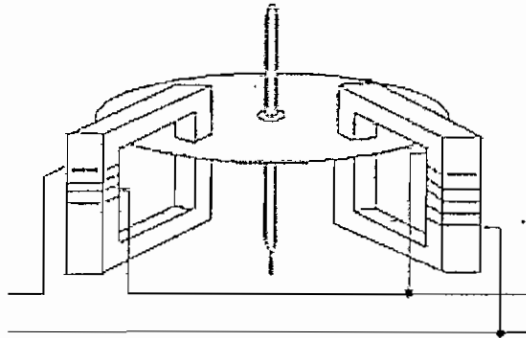


Figura 1.1: Medidor electromecánico [29]

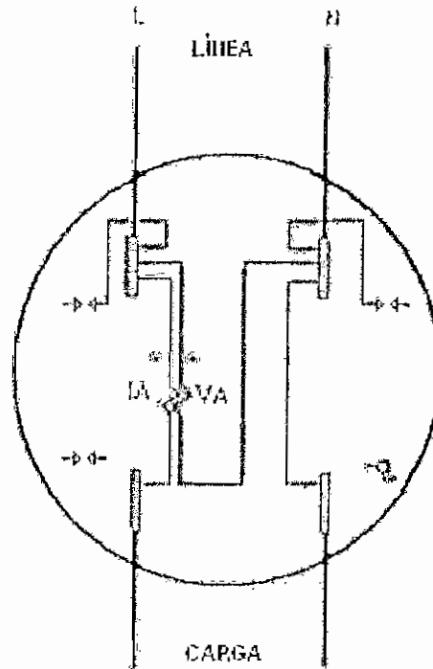


Figura 1.2: Diagrama de medidor electromecánico [30]

El sistema motriz consta de dos electroimanes, con sus respectivos arrollamientos de tensión y de corriente. El arrollamiento de tensión (Figura 1.1 a la derecha) de muchas espiras y de muy alta inductancia está conectado a la tensión de la red V que alimenta la carga y el de corriente (Figura 1.1 a la izquierda), de pocas espiras y de muy baja impedancia, está intercalado en serie con la carga.

Ambos electroimanes abrazan el rotor, que es un disco de aluminio montado en un eje. Un electroimán conectado a la red origina un flujo magnético Φ_v , proporcional al voltaje V , y el otro electroimán, por el cual se hace circular la corriente del consumidor, origina el flujo magnético Φ_i proporcional a dicha corriente. Estos flujos Φ_v y Φ_i , inducen en el disco las corrientes de Foucault I_{DV} e I_{DI} , las cuales, conjuntamente con los flujos, producen un par motor M_m proporcional a la potencia.

1.4.1.2 SISTEMA DE FRENADO [29]

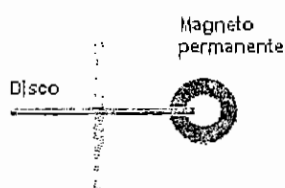


Figura 1.3: Ubicación de imán (magneto) permanente [30]

Consiste en un fuerte imán permanente (Figura 1.3 a la derecha) que produce el flujo Φ_{im} , y que abraza el disco-rotor del sistema motriz. Durante la rotación del disco, el flujo magnético Φ_{im} induce en él corrientes de Foucault y produce un par de frenado M_f proporcional a la velocidad periférica del disco.

Se requiere que este imán conserve un flujo magnético constante en el tiempo, con variaciones mínimas ante influencias externas.

1.4.1.3 NUMERADOR – INTEGRADOR [29]

El movimiento del rotor se transmite al integrador mediante un sistema de engranajes, que mueve tambores de cifras. Este dispositivo acoplado al rotor suma su número de vueltas, proporcionando así una indicación proporcional a la energía consumida.

La constante del medidor depende de la construcción del sistema motor y mecanismo integrador-numerador y es por lo tanto una cifra característica para cada modelo de medidor. Se denomina y se determina para las condiciones normalizadas del funcionamiento del medidor a una temperatura determinada y en una posición del medidor también determinada, con la carga nominal. La constante es el multiplicador usado para convertir la lectura del registrador a kilovatios-horas (kWh) u otras unidades adecuadas.

1.4.1.4 FUNCIONAMIENTO GENERAL [29]

Mientras no se consume energía, sólo existe el flujo Φ_v , debido al voltaje y el medidor queda parado; al consumir energía aparece además el flujo Φ_i y el medidor se pone en marcha, impulsado por el par motor M_m . Al principio el movimiento del disco es lento y por lo tanto el par de frenado M_f es muy débil. A medida que la velocidad del disco va aumentando, también crece el par de frenado hasta que se establece un equilibrio entre los dos momentos de torsión M_m y M_f . Debido a la forma del imán de freno y a la construcción de su soporte, su campo magnético puede influir sobre la velocidad del disco y obtener así una regulación muy precisa del número de revoluciones del rotor en un margen muy amplio.

El par motor M_m que actúa sobre el disco es proporcional a la potencia.

1.4.1.5 CARACTERÍSTICAS GENERALES [30]

La exactitud se ve afectada cuando las formas de onda de voltaje y corriente no son sinusoidales. Así mismo, la exactitud se deteriora bajo condiciones extremas de carga (muy alta o muy baja). Con carga muy baja, los errores se incrementan debido al torque de fricción que se opone al bajo torque inducido por las bobinas.

1.4.2 CONTADOR ELECTRÓNICO [11] y [31]

Un contador electrónico realiza la misma tarea básica de medición de energía activa, asignada tradicionalmente a contadores electromecánicos, descritos anteriormente.

Sin embargo, dada su naturaleza, un contador electrónico puede brindar prestaciones adicionales, como medición de energía reactiva, aparente, potencia, voltaje, corriente, etc. Además existe la posibilidad de registrar magnitudes y eventos.

Los contadores electrónicos [11], pueden presentar mayores grados de exactitud. No tienen problemas [31] como el desgaste o deformación de piezas.

Dependiendo del método empleado para la medición, un contador electrónico puede determinar el consumo de energía aunque el voltaje y/o la corriente no sean sinusoidales.

La digitalización de la información permite automatizar las tareas de adquisición y registro de datos, así como su transmisión y análisis.

1.4.3 CLASES IEC Y ANSI [9] y [10]

La designación de clase para un medidor ANSI se define [10] como la máxima carga continua especificada en Amperios a la cual el medidor opera. Por ejemplo, un medidor clase 100 operará a una corriente máxima de 100 A. El rango de clases incluye 10, 20, 100, 200 y 320. La clase IEC se refiere a la exactitud del medidor. Un medidor clase 1 IEC1036 operará a una exactitud mejor que 1% sobre un rango definido de corriente. Las clases IEC incluyen 2, 1, 0.5 y 0.2.

El estándar IEC1036 especifica [9] la exactitud sobre un rango de 5% I_b hasta I_{max} . Valores típicos para I_{max} son 400% I_b o 600% I_b .

1.4.4 CORRIENTE BASE (I_b) – IEC1036 [9]

Es un valor de corriente con el cual se define el rango del medidor. IEC1036 define la clase de exactitud de un medidor sobre un rango dinámico específico, $0.05I_b \leq I \leq I_{max}$. Esta también es utilizada como la carga de prueba cuando se especifica el máximo efecto permisible o factores influyentes, por ejemplo variación de voltaje y de frecuencia. El valor más cercano equivalente en ANSI C12.16 es la corriente de prueba. La corriente de prueba para cada clase (corriente máxima) de medidor se muestra a continuación:

Tabla 1.1: Corrientes de prueba [9]

Clase ANSI C12.16	Corriente de prueba [A]
Clase 10	2,5
Clase 20	2,5
Clase 100	15
Clase 200	30
Clase 320	50

1.4.5 CORRIENTE MÁXIMA I_{max} – IEC1036 [9]

Es la máxima corriente para la cual el medidor se ajusta a la exactitud especificada. Esta correspondería a la clase de medidor bajo ANSI C12.16. Por ejemplo un medidor con I_{max} de 20 A bajo IEC1036, sería diseñado como clase 20 bajo ANSI C12.16.

1.5 TRANSMISIÓN INALÁMBRICA DE DATOS DIGITALES

1.5.1 DISTRIBUCIÓN DEL ESPECTRO ELECTROMAGNÉTICO [1]

En la Tabla 1.2 se observa la distribución de rangos de frecuencias

Tabla 1.2: Distribución de Rangos de Frecuencias [1]

Rango de frecuencias...	Nombre
30 kHz a 300 kHz	LF
300 kHz a 3 MHz	MF
3 MHz a 30 MHz	HF
30 MHz a 300 MHz	VHF
300 MHz a 3 GHz	UHF
3 GHz a 30 GHz	SHF
30 GHz a 300 GHz	EHF
300 GHz en adelante	Microondas

Organismos y regulaciones internacionales han determinado el uso que se debe dar a los diferentes rangos del espectro electromagnético.

Son de particular interés, los rangos asignados para aplicaciones ICM (Industrial, Científica y Médica), con fines industriales, científicos, médicos, domésticos o similares.

Tabla 1.3: Frecuencias para aplicaciones ICM [41]

Banda de frecuencias	Frecuencia central
6765 – 6795 kHz	6780 kHz
13553 – 13567 kHz	13560 kHz
26957 – 27283 kHz	27129 kHz
40.66 – 40.70 MHz	40.68 MHz
433.05 – 434.79 MHz	433.92 MHz
902 – 928 MHz	915 MHz
2400 – 2500 MHz	2459 MHz
5725 – 5875 MHz	5800 MHz
24 – 24.25 GHz	24.125 GHz
61 – 61.5 GHz	61.25 GHz
122 – 123 GHz	122.5 GHz
244 – 246 GHz	245 GHz

En este proyecto se trabajará a una frecuencia de 433 MHz, la cual cae dentro de la banda 433.05 MHz a 434.79 MHz, de frecuencia para aplicaciones ICM.

1.6 INTERFAZ SERIAL RS-232 [42]

La interfaz serial RS-232 permite una transmisión asíncrona (no se utiliza una señal de reloj) de datos digitales. Los datos son encapsulados entre un bit de inicio y 1, 1.5 o 2 bits de parada.

A más del encapsulamiento, existen otras reglas para que el transmisor y el receptor se puedan comunicar adecuadamente:

Protocolo serial: número de bits de datos, paridad, número de bits de parada.

Velocidad de transmisión.

Protocolo de control de flujo (RTS/CTS o XON/XOFF)

Los datos pueden ir en grupos de 5, 6, 7 u 8 bits, aunque lo más usual es 7 u 8 bits.

Los bits de datos son enviados al receptor después del bit de inicio, el bit menos significativo es transmitido primero.

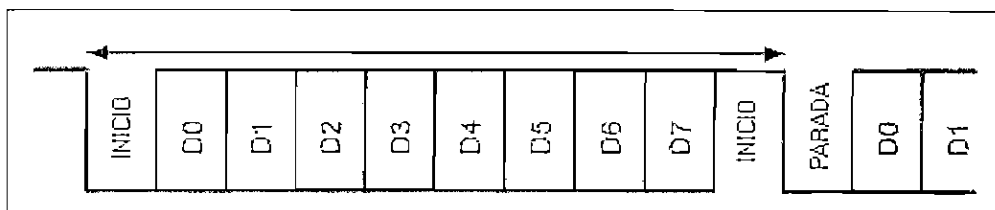


Figura 1.4: Trama RS-232

En la Figura 1.4 se observa la trama RS-232. El estándar establece que un 1 lógico se represente con un voltaje entre -3V y -15V, mientras que un cero lógico se represente con un voltaje entre +3V y +15V.

El estado de reposo (idle) se representa con un 1 lógico.

Típicamente se emplean voltajes de +12V y -12V.

1.6.1 PUERTO SERIAL DE UN PC

El puerto serial de un PC se rige por el estándar RS-232C (tercera revisión de la antigua norma RS-232). Este estándar fue creado en los 60s para comunicar un equipo terminal de datos, DTE, en este caso el PC, y un equipo de comunicación de datos, DCE, habitualmente un MODEM.

A continuación se muestra la distribución de pines de los conectores DB25 y DB9:

Tabla 1.4: Distribución de pines conector DB25 [42]

Pin	Descripción
1	Protective ground
2	Transmit data
3	Received data
4	Request to send
5	Clear to send
6	Data set ready
7	Signal ground
8	Received Line Signal Detector (Data Carrier Detect)
20	Data Terminal Ready
22	Ring Indicator

Tabla 1.5: Distribución de pines conector DB9 [42]

Pin	Descripción
1	Received Line Signal Detector (Data Carrier Detect)
2	Received Data
3	Transmit Data
4	Data Terminal Ready
5	Signal Ground
6	Data Set Ready
7	Request To Send
8	Clear To Send
9	Ring Indicator

1.7 ALCANCE DEL PROYECTO

Se plantea el diseño y la construcción de un prototipo para medición y transmisión inalámbrica del consumo de energía eléctrica de un sistema monofásico bifilar.

El proyecto abarca la construcción de un dispositivo esclavo remoto (medidor) que se conecta en el sitio donde se requieren medir los parámetros (energía activa y demanda).

Asimismo se aborda la construcción de un dispositivo maestro, el cual solicita la información al esclavo y mediante una aplicación para PC permite visualizar y almacenar los datos.

La comunicación entre maestro y esclavo se realiza mediante un enlace de radiofrecuencia de corto alcance.

1.7.1 ARQUITECTURA DEL ESCLAVO

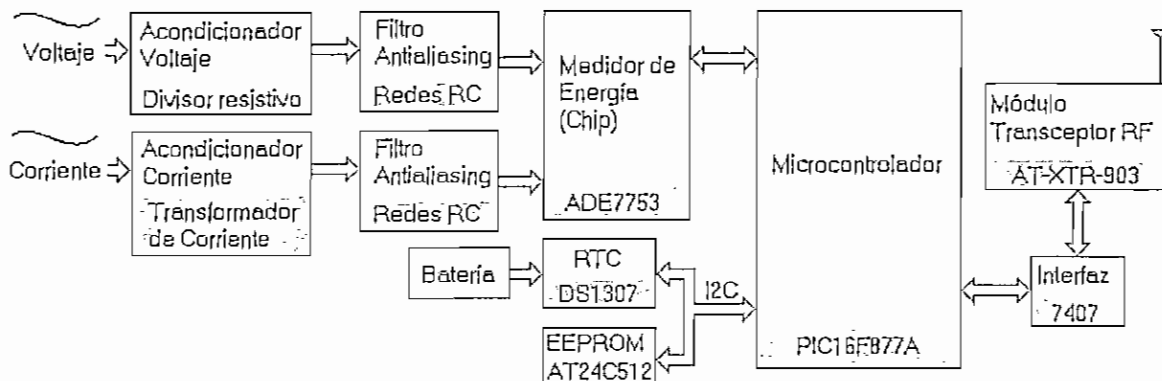


Figura 1.5: Arquitectura del Esclavo

A fin de cumplir los requerimientos del esclavo, se propone la estructura que se muestra en la Figura 1.5, con los siguientes componentes principales: Acondicionadores, Filtros antialiasing, Chip Medidor de Energía, Reloj de Tiempo Real (RTC), Memoria no volátil (EEPROM), Microcontrolador, Módulo Transceptor de radio frecuencia (RF) e Interfaz (del Módulo Transceptor).

Se utiliza el chip ADE7753 de Analog Devices para determinar la energía eléctrica a partir de muestras de voltaje y corriente previamente acondicionadas y filtradas, de acuerdo a las recomendaciones del fabricante [12]. El ADE7753 dispone de una interfaz serial SPI, la cual se utiliza para leer valores medidos por el chip (por ejemplo registros de energía activa, voltaje, corriente) y para escribir en registros de configuración y calibración. El ADE7753 tiene incorporado un monitor de voltaje de red, el cual en caso de falla envía un aviso (mediante el pin SAG) al microcontrolador, para que éste gestione el almacenamiento del valor del contador de energía en la memoria no volátil (EEPROM AT24C512). Se utiliza el hardware de comunicación síncrona del microcontrolador PIC16F877A para manejar la interfaz SPI del ADE7753.

La utilidad principal del ADE7753, en este proyecto, es la medición de energía activa, sin embargo se aprovecha su amplia funcionalidad y se mide también energía aparente, voltaje RMS, frecuencia y temperatura.

La alimentación de todo el circuito se toma de la red a la cual se conecta el medidor (esclavo). En caso de falla del suministro (aviso del ADE7753), se preserva el valor del contador de energía (que normalmente se lleva en RAM del microcontrolador) en la EEPROM. Cuando retorna la energía de la red, el contador de energía inicia con el valor previamente guardado en la EEPROM.

En la EEPROM también se guardan las constantes de calibración digital del ADE7753.

El esclavo registra pares ordenados energía – tiempo, los cuales sirven para generar información de la demanda. Estos datos se guardan en la EEPROM AT24C512 (64 k x 8). Para llevar la cuenta del tiempo se utiliza el reloj de tiempo real DS1307, el cual tiene registros de segundos, minutos, horas, día, fecha, mes, año. La EEPROM y el RTC disponen de una interfaz I2C, que se utiliza para realizar la comunicación con el microcontrolador. El registro de pares energía – tiempo se realiza a intervalos programables (remotamente desde el maestro). El registro de pares está gobernado por el microcontrolador, el cual lee la energía desde el medidor (ADE7753) y el tiempo desde el reloj (DS1307) y guarda el par energía – tiempo en la memoria (AT24C512).

El reloj lleva la cuenta del tiempo en registros de RAM, por lo cual requiere estar energizado permanentemente. En condiciones normales, la energía se obtiene de la red. En caso de falla del suministro, la energía se toma de la batería conectada al reloj (Ver Figura 1.5).

Para realizar la comunicación inalámbrica, se utiliza el módulo transceptor (transmisor - receptor) AT-XTR-903 a 433 MHz de ABACOM. Este módulo [8] dispone de un microprocesador que crea una interfaz transparente RS-232. Para manejar la interfaz del transceptor se utiliza el hardware (UART) de comunicación serial asíncrona del microcontrolador PIC16F877A. No se pueden conectar directamente las líneas del transceptor con las del microcontrolador, debido a que su alimentación es de 3 V y 5 V, respectivamente. Se implementa una interfaz basada en el buffer no inversor 7407, que permite acoplar las señales del transceptor y del microcontrolador. El AT-XTR-903 puede alcanzar un rango de

hasta 200 m [8], que es la máxima distancia que debería existir entre el esclavo y el maestro para que exista comunicación.

1.7.2 ARQUITECTURA DEL MAESTRO

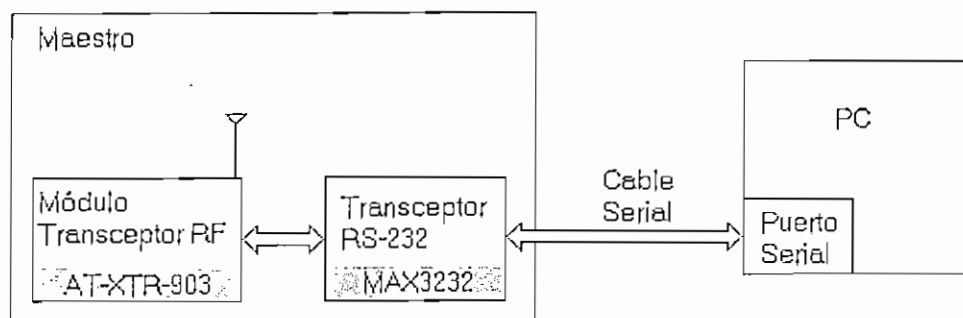


Figura 1.6: Arquitectura del Maestro

El maestro está construido a partir de dos componentes principales: Módulo Transceptor de RF y Transceptor RS-232, como se muestra en la Figura 1.6.

El maestro se conecta al puerto serial de un PC, mediante un cable serial.

El Módulo Transceptor de RF es el AT-XTR-903 (igual al del esclavo).

Las tramas seriales del AT-XTR-903 se representan con lógica de 3 V (voltajes de 0 V y 3V). Las tramas del puerto serial del PC se representan con lógica de + 12 V y - 12 V. Para acoplar las señales del AT-XTR-903 y del PC se intercala el transceptor RS-232 MAX3232 de MAXIM, que sirve para convertir los niveles de voltaje.

En el PC reside una aplicación que maneja al maestro (a través del puerto serial) para establecer comunicación inalámbrica con el esclavo. La aplicación permite visualizar y almacenar datos (por ejemplo lectura del contador de energía en kWh) enviados por el esclavo. Mediante la aplicación, también se pueden enviar comandos de configuración (por ejemplo encerrar el contador de energía) al esclavo.

1.7.3 RESUMEN

El esclavo mide energía eléctrica mediante el ADE7753 y registra pares energía – tiempo en la AT24C512. La alimentación se toma de la red y en caso de falla no se pierde el valor del contador de energía. El DS1307 se encarga de llevar la cuenta del tiempo. Para la comunicación inalámbrica se utiliza un AT-XTR-903. El procesamiento está a cargo del microcontrolador PIC16F877A.

El maestro también utiliza el AT-XTR-903 para la comunicación inalámbrica y se conecta a un PC a través del puerto serial. Una aplicación en el PC permite visualizar y almacenar datos enviados por el esclavo, así como enviar comandos de configuración.

El chip medidor de energía ADE7753 y el módulo de RF AT-XTR-903 realizan tareas importantes y relativamente complejas de medición de energía y comunicación inalámbrica, respectivamente. Por esta razón se considera necesario explicar ampliamente su funcionamiento y modo de utilización, lo cual se realiza en los dos capítulos siguientes.

CAPÍTULO 2

CIRCUITO INTEGRADO ADE7753

El proceso de medición de energía se realiza sobre la base del chip ADE7753 (ver Figura 1.5 en la página 16), el cual se describe en este capítulo. En primer lugar se incluye una comparación entre diferentes circuitos integrados medidores de energía, que justifica a la selección del ADE7753. Se incluyen las características generales del ADE7753. Se presenta un diagrama de conexión del ADE7753. Finalmente se realiza una descripción del chip, haciendo énfasis en los aspectos de interés para este proyecto.

2.1 SELECCIÓN DEL CHIP MEDIDOR DE ENERGÍA

El esclavo debe realizar tareas de medición, registro y transmisión inalámbrica de energía eléctrica. Para cumplir estas tareas se plantea la necesidad de implementar un hardware de medición de energía que genere información digital, susceptible de ser procesada por el microcontrolador, para gestionar el registro y la transmisión requeridos

Se podría pensar en un esquema basado en circuitería analógica para tomar muestras del voltaje y la corriente, y obtener la potencia activa para integrar y determinar la energía activa. En alguna etapa del proceso, se requeriría un conversor analógico a digital, para enviar los datos al microcontrolador.

Esta solución complicaría innecesariamente el diseño del hardware, debió a que en la actualidad existen circuitos integrados (CIs) de propósito específico, a los cuales se les puede asignar la tarea de calcular la energía activa a partir de muestras de voltaje y corriente. La salida de estos CIs generalmente es una señal de pulsos (frecuencia proporcional a la potencia activa) o valores digitales de lectura directa en registros.

En este proyecto se implementa hardware de medición de energía basado en un CI comercial.

A continuación, se muestra una comparación entre diferentes CIs comerciales.

Tabla 2.1: Comparación entre CIs medidores de energía [13], [16], [17] y [32]

Parámetro	ADE7757A	ADE7756	ADE7753	CS5460A
Energía activa	Sí	Sí	Sí	Sí
Energía aparente	No	No	Sí	No
Energía reactiva	No	No	Sí	No
Voltaje RMS, corriente RMS	No	No	Sí	Sí
Calibración digital	No	Sí	Sí	Sí
Salida de pulsos	Sí	Sí	Sí	Sí
Puerto serial	No	Sí	Sí	Sí
Interrupción	No	Sí	Sí	Sí
Salida de cruce por cero	No	Sí	Sí	No
Supervisión de fuente de poder	No	Sí	Sí	Sí
Oscilador integrado	Sí	No	No	No
Fabricante	Analog Devices	Analog Devices	Analog Devices	Cirrus Logic
Vendedor	Digi-Key	Digi-Key	Digi-Key	Newark InOne
Precio (USD)	3,22 [17]	3,96 [17]	5,58 [17]	5,42 [32]

Se selecciona el chip medidor de energía ADE7753, porque presta más funciones que los demás.

2.2 CARACTERÍSTICAS DEL ADE7753 [12]

- Integrador digital en el chip habilita una interfaz directa con sensores de corriente con salida di/dt ;
- Energía activa, reactiva y aparente; formas de onda muestreadas; corriente y voltaje RMS;
- Modo de acumulación sólo positiva;
- Umbral programable para detección de fallas de voltaje y supervisión de fuente de poder;
- Calibración digital para potencia, fase y offset de entrada;

- Sensor de temperatura en el chip;
- Interfaz serial SPI;
- Salida de pulsos con frecuencia programable;
- Pin de solicitud de interrupción (IRQ) y registro de estado de interrupciones;
- Referencia de 2.4 V con capacidad de manejo externo;
- Fuente de 5V, bajo consumo (25mW típico).

2.3 DIAGRAMA DE CONEXIÓN DEL ADE7753

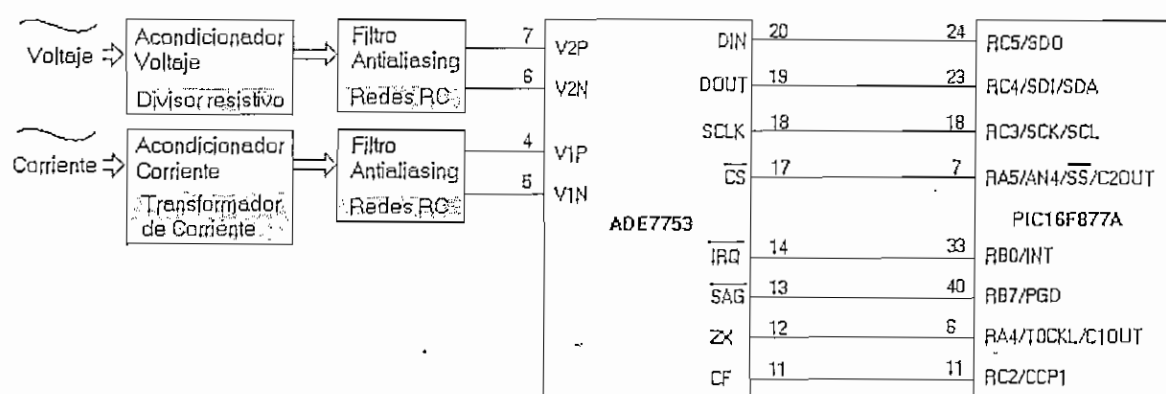


Figura 2.1: Diagrama de conexión del ADE7753

En la Figura 1.5 se puede observar el esquema general de conexión del ADE7753 con otros elementos del esclavo. En la Figura 2.1 se muestra con mayor detalle la interconexión implementada del ADE7753 con las líneas de voltaje y corriente de red y con el microcontrolador PIC16F877A. La Figura 2.1 muestra la conexión de las líneas (pines) principales del ADE7753 y constituye únicamente un diagrama básico, con la finalidad de dar una idea general de la forma de utilización del chip. El esquemático se muestra en el CAPÍTULO 4.

La señal de corriente de red acondicionada y filtrada se conecta al canal de corriente (canal 1: V1P y V1N). La señal de voltaje de red acondicionada y filtrada se conecta al canal de voltaje (canal 2: V2P y V2N). Las líneas de la interfaz serial

SPI del ADE7753 (DIN, DOUT, SCLK) se manejan mediante el hardware de comunicación serial síncrona del PIC16F877A (líneas SDO, SDI, SCK [28]). El pin de habilitación de comunicación serial (CS) se maneja mediante el pin RA5 del PIC16F877A.

El pin de solicitud de interrupción (IRQ) del ADE7753 se conecta al pin de interrupción externa INT del PIC16F877A (Figura 2.1). Esta interrupción (IRQ) se utiliza para que el ADE7753 avise al PIC16F877A que se dispone de un nuevo valor (incremento) de energía activa y aparente. Cada vez que el microcontrolador recibe esta interrupción, lee el incremento desde el ADE7753 (mediante la interfaz SPI) e incrementa la cuenta de energía activa y aparente, que se lleva en registros de RAM del microcontrolador, es decir, se actualiza el valor del contador de energía.

El pin SAG del ADE7753 está conectado al pin RB7 del microcontrolador (Figura 2.1). El pin SAG avisa (interrupción) al microcontrolador la ocurrencia de una falla (ausencia) del voltaje de red, en cuyo caso el microcontrolador procede a guardar el valor del contador de energía en la EEPROM.

El fabricante del ADE7753 recomienda que las lecturas al registro de voltaje RMS (registro VRMSOS) se realicen sincronizadas con el cruce por cero. Esta información (de cruce por cero) es proporcionada por el pin ZX, el cual indica la ocurrencia de un cruce por cero del voltaje de red y está conectado con el pin RA4 del microcontrolador (Figura 2.1).

El pin CF es una salida de pulsos de frecuencia proporcional a la potencia activa. La información de esta salida no se utiliza en este proyecto, sin embargo se conecta con el pin RC2 (Figura 2.1), en caso de que se requiera tal información en una posible modificación futura.

2.4 FUNCIONAMIENTO DEL ADE7753 [12]

2.4.1 BREVE DESCRIPCIÓN

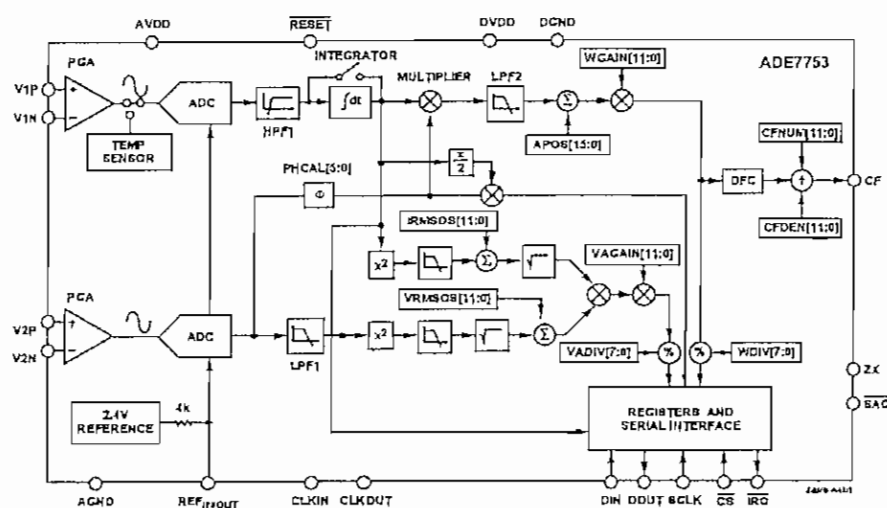


Figura 2.2: Diagrama de bloques funcional del ADE7753 [12]

El ADE7753 dispone de un canal para corriente (canal 1: V1P y V1N) y un canal para voltaje (canal 2: V2P y V2N). Incorpora dos convertidores ADC (analógico a digital) de 16 bits (uno para cada canal), un integrador digital (en el canal 1), circuitería de referencia, un sensor de temperatura, y todo el procesamiento de señales requerido para realizar mediciones de energía activa, reactiva y aparente, período del voltaje de línea, y cálculo de voltaje y corriente RMS.

Los resultados de las mediciones (de energía, corriente, voltaje, etc.) están disponibles en registros que son leídos a través de la interfaz SPI. Asimismo, el ADE7753 dispone de registros de configuración y de calibración que determinan el funcionamiento del chip, los cuales son escritos utilizando la misma interfaz SPI.

La Interfaz serial SPI se maneja a través de las líneas DIN, DOUT, SCLK y CS (ver Figura 2.1).

Además de la información proporcionada en los registros, el ADE7753 tiene una salida de pulsos (pin CF) de frecuencia proporcional a la potencia activa. Esta salida de pulsos no se utiliza en este proyecto.

El ADE7753 tiene un sistema de interrupciones manejadas a través de dos registros (de estado y de habilitación). El pin IRQ se pone en bajo para indicar la ocurrencia de una interrupción habilitada.

Existe un circuito de detección de cruce por cero en el canal 2 (voltaje). El cruce por cero produce una señal externa (pin ZX).

2.4.2 DISTRIBUCIÓN DE PINES

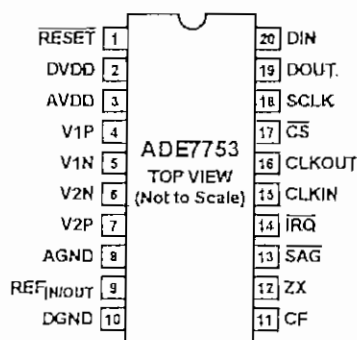


Figura 2.3: Distribución de pines (empacado SSOP) [12]

2.4.3 CÁLCULO DE POTENCIA ACTIVA

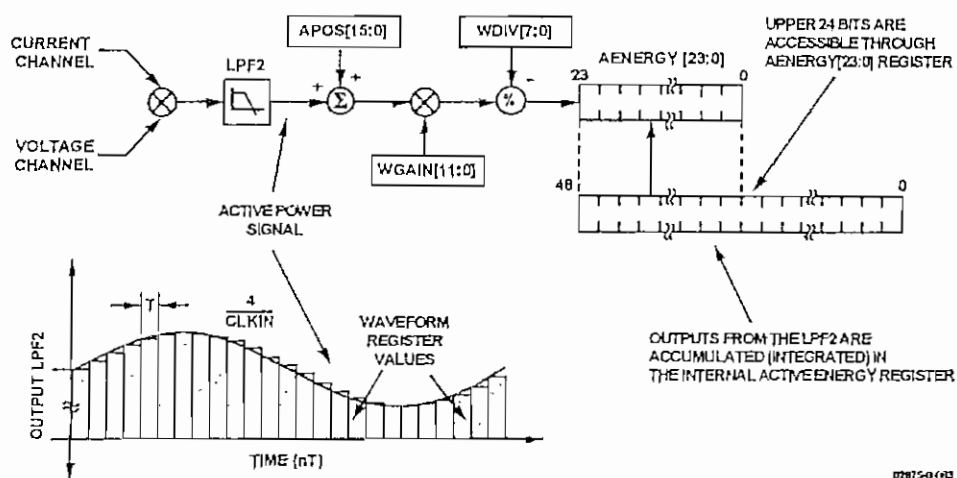


Figura 2.4: Cálculo de potencia y energía activa en el ADE7753 [12]

La potencia instantánea se define como la tasa (instantánea) de flujo de potencia desde la fuente hacia la carga y es igual al producto del voltaje instantáneo por la corriente instantánea.

Es importante hacer notar que la potencia activa es igual a la componente de DC (o valor medio) de la potencia instantánea $p(t)$ (ver secciones 1.3.2 y 1.3.3). Esta es la relación utilizada para calcular la potencia activa en el ADE7753.

En el ADE7753, la potencia instantánea $p(t)$ es generada multiplicando las señales de voltaje y corriente (previamente digitalizadas por los ADCs como se observa en la Figura 2.2). La componente de DC de la potencia instantánea es luego extraída por LPF2 (filtro pasa bajos) para obtener la información de la potencia activa. El proceso se ilustra en la Figura 2.4.

Considerando un sistema de AC con voltaje y corriente RMS V e I respectivamente, descrito por:

$$v(t) = \sqrt{2}V\text{sen}(\omega t) \quad (\text{Ec. 2.1})$$

$$i(t) = \sqrt{2}I\text{sen}(\omega t) \quad (\text{Ec. 2.2})$$

De la definición de potencia instantánea:

$$\begin{aligned} p(t) &= v(t)i(t) \\ p(t) &= VI - VI \cos(2\omega t) \end{aligned} \quad (\text{Ec. 2.3})$$

El valor promedio de la potencia sobre un número entero de ciclos de línea (n) está dado por la expresión de la Ec. 2.4.

$$P = \frac{1}{nT} \int_0^{nT} p(t) dt = VI \quad (\text{Ec. 2.4})$$

Donde:

T es el período del ciclo de línea;

P es la potencia activa o real.

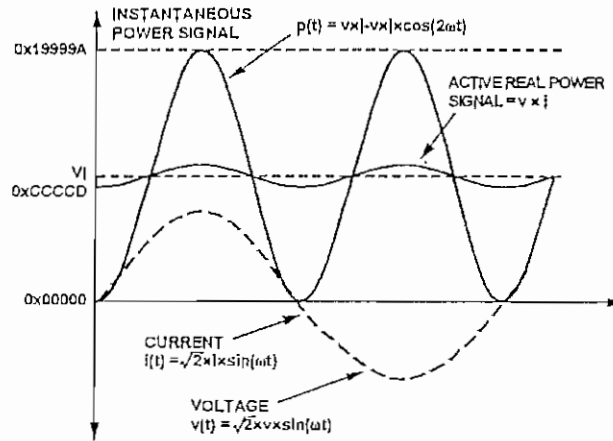


Figura 2.5: Cálculo de potencia activa [12]

Dado que LPF2 no tiene una respuesta de frecuencia ideal (Figura 2.6), la potencia activa tiene cierto rizado debido a la señal de potencia instantánea. Este rizado es sinusoidal y tiene una frecuencia igual al doble de la frecuencia de línea. Dado que este rizado es sinusoidal, éste es removido cuando la señal de potencia activa es integrada para calcular energía.

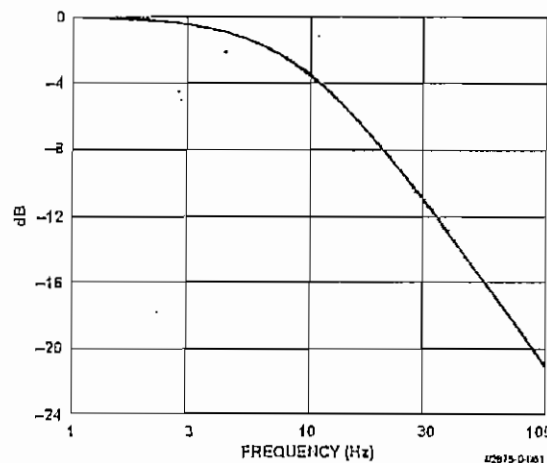


Figura 2.6: Respuesta de frecuencia de LPF2 [12]

Como se explicó, la potencia activa es calculada filtrando la señal de potencia instantánea. Se debe observar (Figura 2.4) que cuando se leen las muestras de las formas de onda de la salida de LPF2, la ganancia de la potencia activa puede

ser ajustada utilizando el multiplicador y el registro de ganancia de Vatios (WGAIN [11:0]). La ganancia es ajustada escribiendo una palabra de 12 bits en complemento de dos al registro de ganancia de Vatios. La Ec. 2.5 muestra cómo se relaciona el ajuste de ganancia con los contenidos del registro de ganancia de Vatios.

$$\text{Salida } WGAIN = \left(\text{PotenciaActiva} \times \left(1 + \frac{WGAIN}{2^{12}} \right) \right)$$

(Ec. 2.5)

Esta relación se utiliza para calibrar el cálculo de potencia (o energía) activa en el ADE7753.

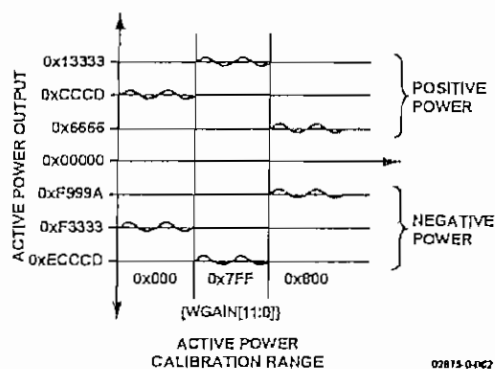


Figura 2.7: Rango de salida del cálculo de potencia activa [12]

2.4.4 CÁLCULO DE ENERGÍA

De la Ec. 1.22 se tiene que la energía es la integral de la potencia. El ADE7753 efectúa la integración de la potencia activa acumulando continuamente la señal de potencia activa en un registro interno de energía de 49 bits no accesible. El registro de energía activa (AENERGY [23:0]) representa los 24 bits superiores de este registro interno. El proceso se muestra en la Figura 2.4. La acumulación en tiempo discreto o sumatoria es equivalente a la integración en tiempo continuo. La relación se expresa en la Ec. 2.6.

$$E = \int p(t)dt = \lim_{T \rightarrow 0} \left(\sum_{n=1}^{\infty} p(nT) \times T \right)$$

(Ec. 2.6)

Donde:

n es el número de muestras de tiempo discreto;

T es el período de muestreo.

El período de muestreo de tiempo discreto (T) para el registro de acumulación en el ADE7753 es $1.1 \mu s$ ($4/CLKIN$). A más de calcular la energía, esta integración remueve las componentes sinusoidales que pudieran estar presentes en la señal de potencia activa. La Figura 2.8 muestra esta integración en tiempo discreto.

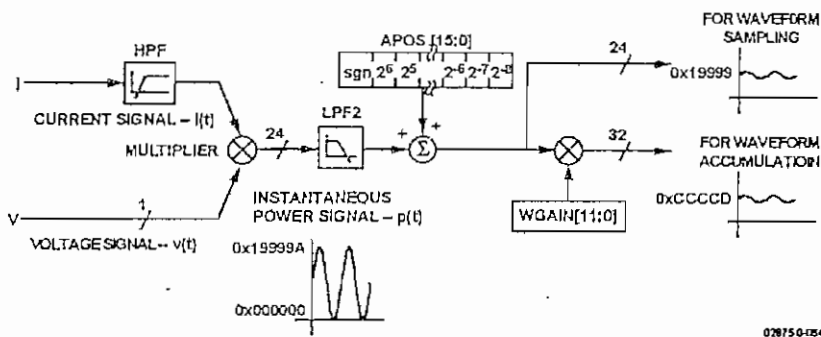


Figura 2.8: Procesamiento de señal de potencia activa [12]

La señal de potencia activa es continuamente añadida al registro interno (49 bits) de energía activa. Esta adición es con signo; así la energía negativa es sustraída del registro de energía activa.

La salida del multiplicador es dividida por WDIV, el cual es un registro de 8 bits sin signo. Después de dividir por WDIV, la energía activa es acumulada en el registro interno de acumulación de energía de 49 bits. Los 24 bits superiores de este registro son accesibles a través de la lectura del registro de energía (AENERGY [23:0]). Una lectura al registro RAENERGY retorna el contenido del registro AENERGY y los 24 bits superiores del registro interno son borrados.

2.4.5 CALIBRACIÓN DE OFFSET DE POTENCIA

El ADE7753 incorpora un registro de offset de potencia (APOS [15:0]), como se observa en la Figura 2.8. Este es un registro de 16 bits con signo en complemento de dos que se utiliza para remover offsets en el cálculo de potencia activa. Un offset puede existir en el cálculo debido al efecto crosstalk entre canales en la placa de circuito impreso o en el propio circuito integrado. La calibración de offset permite que el contenido del registro de potencia activa sea mantenido en 0 cuando no se consume potencia.

2.4.6 CONVERSIÓN ENERGÍA A FRECUENCIA

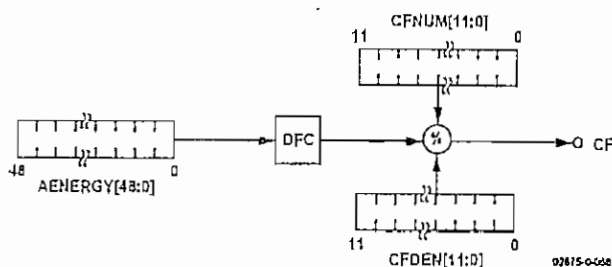


Figura 2.9: Conversión energía a frecuencia del ADE7753 [12]

El ADE7753 provee conversión energía a frecuencia. Un convertidor digital a frecuencia (DFC) es utilizado para generar la salida (pin) CF. El DFC genera un pulso cada vez que 1 LSB en el registro de energía activa es acumulado. Un pulso de salida es generado cuando un número de pulsos igual a $(CFDEN + 1)/(CFNUM + 1)$ es generado en la salida del DFC. Bajo condiciones de carga estable, la frecuencia de salida es proporcional a la potencia activa.

Los pulsos de CF se podrían contar con el microcontrolador (PIC16F877A) para obtener información de la energía activa, o para implementar una señal visual (por ejemplo un LED) que informe acerca de la potencia. En este proyecto no se utiliza la información de frecuencia del pin CF, sin embargo se ha conectado este pin con el pin RC2 del microcontrolador en caso de que se requiera (la información de CF) en una posible modificación o ampliación futura.

2.4.7 MODO DE ACUMULACIÓN DE ENERGÍA DE CICLOS DE LÍNEA

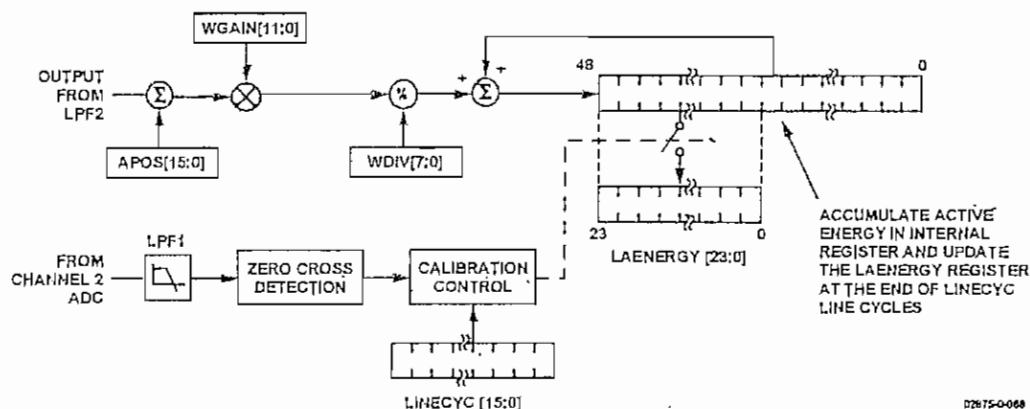


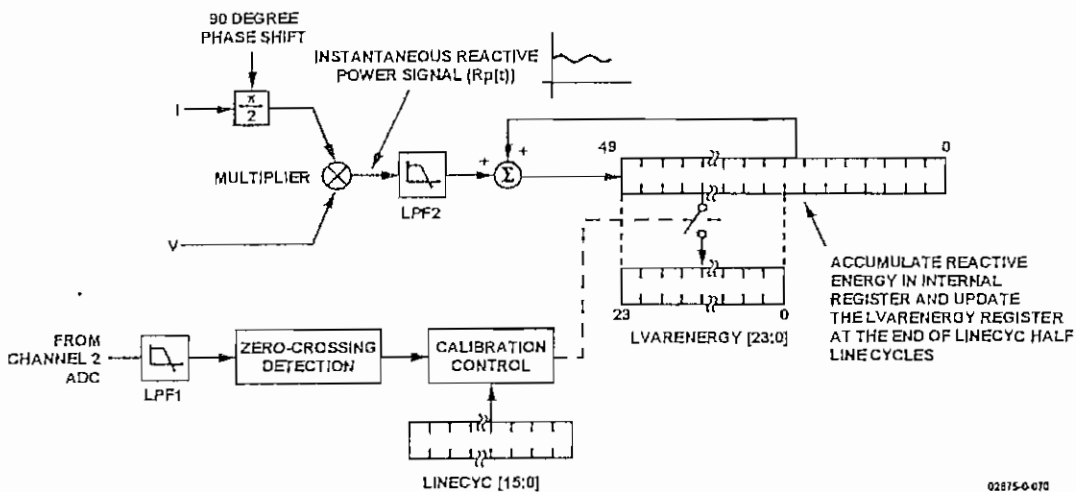
Figura 2.10: Cálculo de energía, Modo de acumulación de energía de ciclos de línea [12]

En este modo, la acumulación de energía del ADE7753 puede ser sincronizada con el cruce por cero del canal 2 (voltaje), para que la energía activa pueda ser acumulada sobre un número entero de medios ciclos de línea. La ventaja de sumar la energía activa sobre un número entero de ciclos de línea es que la componente sinusoidal en la energía activa es reducida a 0. Esto elimina el rizado en el cálculo de energía activa. El ADE7753 es puesto en modo de acumulación mediante el bit 7 (CYCMODE) del registro de modo (MODE). En este modo, el ADE7753 acumula la potencia activa en el registro LAENERGY durante un número entero de ciclos de línea, como se observa en la Figura 2.10. El número de medios ciclos de línea se especifica en el registro LINECYC. El ADE7753 puede acumular potencia activa durante un máximo de 65535 medios ciclos. El final de un ciclo de acumulación es indicado por la bandera CYCEND del registro de estado de interrupciones.

En este proyecto se utiliza este modo de acumulación. Al final de cada ciclo de acumulación el ADE7753 interrumpe (pin IRQ) al microcontrolador para avisarle que se dispone de un nuevo valor de energía. El microcontrolador lleva la cuenta de la energía activa en un contador interno de 5 bytes (5 registros de RAM). Cada vez que recibe una interrupción por finalización de ciclo de acumulación, el microcontrolador lee el registro LAENERGY desde el ADE7753 y suma (con signo) el incremento al contador interno.

El período de acumulación es configurable remotamente desde el maestro. Se ha escogido arbitrariamente un período de acumulación por defecto de 60 segundos, es decir que a una frecuencia de línea de 60 Hz (medio ciclo = 8.33 ms), el registro LINECYC inicialmente se carga con el valor 7200 (60 s / 8.33ms = 7200 medios ciclos). El período de acumulación (60 s por defecto) determina el período de actualización del registro (del microcontrolador) que lleva la cuenta de energía activa.

2.4.8 CÁLCULO DE POTENCIA REACTIVA



- Figura 2.11: Procesamiento de señal de potencia reactiva [12]

La potencia reactiva se define como el producto del voltaje y la corriente instantáneos cuando una de estas señales es desplazada 90° en su fase. La forma de onda resultante se denomina potencia reactiva instantánea $R_p(t)$.

Considerando un sistema de AC:

$$v(t) = \sqrt{2}V_{sen}(\omega t + \theta)$$

(Ec. 2.7)

$$i(t) = \sqrt{2}I_{sen}(\omega t)$$

(Ec. 2.8)

Desplazando la fase de la corriente en $+ 90^\circ$:

$$i'(t) = \sqrt{2}I\text{sen}(\omega t + \frac{\pi}{2})$$

Donde:

θ es la diferencia de fase entre el voltaje y la corriente.

La potencia reactiva instantánea está dada por:

$$Rp(t) = v(t)i'(t)$$

(Ec. 2.9)

$$Rp(t) = VI\text{sen}(\theta) + VI\text{sen}(2\omega t + \theta)$$

(Ec. 2.10)

El promedio de la potencia reactiva sobre un número entero de ciclos (n) es:

$$RP = \frac{1}{nT} \int_0^{nT} Rp(t)dt = VI\text{sen}(\theta)$$

(Ec. 2.11)

Donde:

T es el período de ciclo de línea

RP es la potencia reactiva

Es necesario notar, que la potencia reactiva es igual a la componente de DC de la potencia reactiva instantánea $Rp(t)$ de la Ec. 2.10 esta es la relación utilizada para calcular la potencia reactiva en el ADE7753. La potencia reactiva instantánea $Rp(t)$ es generada multiplicando canal 1 y canal 2. En este caso, la fase del canal 1 es desplazada en $+ 90^\circ$. La componente de DC de la potencia reactiva instantánea es luego extraída por un filtro pasa bajos de primer orden (LPF2) para

obtener la información de potencia reactiva. La Figura 2.11 muestra el procesamiento de señal para el cálculo de potencia reactiva.

La energía reactiva sólo está disponible en modo de acumulación. El número de medios ciclos para la acumulación se especifica en el registro LINECYC. El final de la acumulación es indicado por la bandera CYCEND en registro de estado de interrupciones. El ADE7753 acumula la señal de potencia reactiva en el registro LVARENERGY durante un número entero de medios ciclos.

En este proyecto no se realiza medición de energía reactiva.

2.4.9 CÁLCULO DE POTENCIA APARENTE

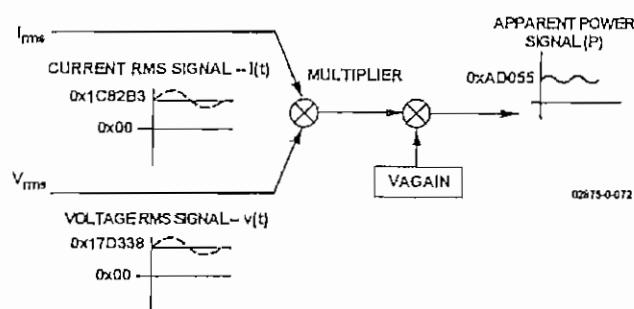


Figura 2.12: Procesamiento de señal de potencia aparente [12]

La potencia aparente se define como el producto entre el voltaje RMS y la corriente RMS. El ADE7753 efectúa la multiplicación de los valores RMS (previamente calculados a partir del voltaje y corriente instantáneos) mediante un multiplicador. La Figura 2.12 ilustra el procesamiento efectuado para calcular la potencia aparente. El proceso para el cálculo de voltaje RMS y corriente RMS se describe en las siguientes secciones (2.4.9.1 y 2.4.9.3).

La ganancia de la energía aparente puede ser ajustada utilizando el multiplicador y el registro VAGAIN (VAGAIN [11:0]). La ganancia es ajustada escribiendo una palabra de 12 bits en complemento de dos en el registro VAGAIN.

$$SalidaVAGAIN = \left(PotenciaAparente \times \left(1 + \frac{VAGAIN}{2^{12}} \right) \right)$$

(Ec. 2.12)

La relación de la Ec. 2.12 se utiliza para calibrar el cálculo de potencia (o energía) aparente.

2.4.9.1 Cálculo del valor RMS en el canal 1 (corriente)

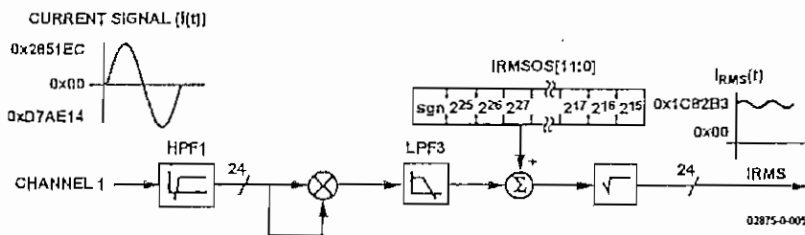


Figura 2.13: Procesamiento de señal RMS en el canal 1 [12]

De la definición (expresada en la Ec. 1.13), se tiene que el valor RMS de una señal continua $v(t)$ está dado por:

$$VRMS = V_{rms} = \sqrt{\frac{1}{T} \int_0^T v^2(t) dt}$$

(Ec. 2.13)

Para señales muestreadas, el cálculo del valor RMS implica elevar al cuadrado la señal, obtener el promedio y extraer la raíz cuadrada:

$$VRMS = V_{rms} = \sqrt{\frac{1}{N} \sum_{i=1}^N v^2(i)}$$

(Ec. 2.14)

El ADE7753 simultáneamente calcula los valores RMS para canal 1 y canal 2 en registros diferentes. La Figura 2.13 muestra el procesamiento para el cálculo del valor RMS en el canal 1. El valor RMS del canal 1 es guardado en un registro de

24 bits sin signo (IRMS). La frecuencia de actualización de la medición del valor RMS del canal 1 es CLKIN/4.

2.4.9.2 Compensación de offset RMS en el canal 1

El ADE7753 incorpora un registro de compensación de offset RMS (IRMSOS), como se muestra en la Figura 2.13. Este es un registro de 12 bits con signo que puede ser utilizado para remover algún offset en el cálculo del valor RMS del canal 1. Puede existir offset en el cálculo debido al ruido en la entrada que es integrado en la componente de DC de $v^2(t)$. La calibración de offset permite que el registro IRMS sea mantenido en 0 cuando no existe señal presente en el canal 1.

Los registros IRMS e IRMSOS se relacionan mediante:

$$IRMS = \sqrt{IRMS_0} + IRMSOS \times 32768$$

(Ec. 2.15)

Donde $IRMS_0$ es la medición sin corrección de offset. Para medir el offset RMS, se requiere realizar dos lecturas con dos valores conocidos distintos de cero en las entradas.

2.4.9.3 Cálculo del valor RMS en el canal 2 (voltaje)

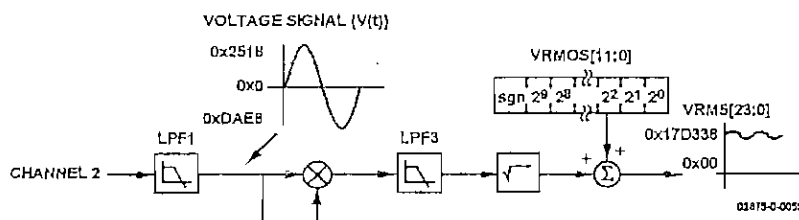


Figura 2.14: Procesamiento de señal RMS en el canal 2 [12]

La Figura 2.14 muestra la cadena de procesamiento de señal para el cálculo del valor RMS en el canal 2. El valor RMS es ligeramente atenuado por LPF1. El valor

RMS del canal 2 es guardado en el registro de 24 bits sin signo VRMS. La frecuencia de actualización de la medición del valor RMS del canal 2 es CLKIN/4.

2.4.9.4 Compensación de offset RMS en el canal 2

El ADE7753 incorpora un registro (VRMSOS) de compensación RMS para el canal 2. Este es un registro de 12 bits con signo que puede ser utilizado para remover algún offset en el cálculo del valor RMS del canal 2.

La relación entre registros es de la siguiente forma:

$$VRMS = VRMS_0 + VRMSOS$$

(Ec. 2.16)

Donde $VRMS_0$ es la medición RMS sin corrección de offset. La compensación de voltaje RMS debe ser realizada a partir de dos resultados RMS con dos valores de entrada conocidos distintos de cero.

2.4.9.5 Calibración de offset de potencia aparente

Cada medición de valores RMS incluye una compensación de offset en cada canal. La potencia aparente se obtiene multiplicando los valores RMS de los canales 1 y 2. Entonces, no se crean offsets adicionales en la multiplicación de valores RMS. La compensación de offset de potencia aparente se logra calibrando las mediciones de valores RMS de los dos canales.

2.4.10 CÁLCULO DE ENERGÍA APARENTE

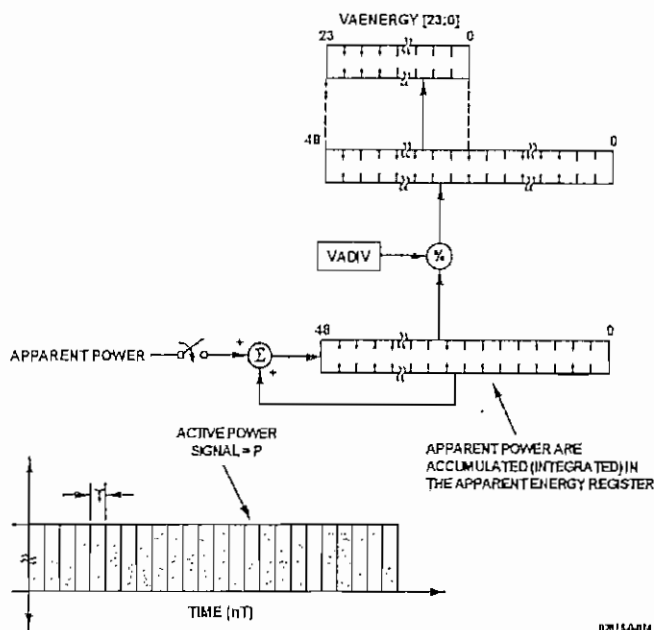


Figura 2.15: Cálculo de energía aparente en el ADE7753 [12]

La energía aparente es la integral de la potencia aparente.

El ADE7753 realiza la integración mediante una continua acumulación de la señal de potencia aparente en un registro interno de 48 bits. El registro de energía aparente (VAENERGY [23:0]) representa los 24 bits superiores de éste registro interno. Esta acumulación o sumatoria en tiempo discreto es equivalente a la integración en tiempo continuo.

El ADE7753 utiliza la siguiente expresión para calcular la energía aparente:

$$EnergiaAparente = \lim_{t \rightarrow 0} \left(\sum_{n=0}^{\infty} PotenciaAparente(nT) \times T \right)$$

(Ec. 2.17)

Donde:

n es el número de muestras de tiempo discreto;

T es el período de muestreo.

El período de muestreo de tiempo discreto (T) para el registro de acumulación en el ADE7753 es $1.1 \mu\text{s}$ ($4/\text{CLKIN}$).

La Figura 2.15 muestra la acumulación en tiempo discreto. La señal de potencia aparente es continuamente añadida al registro interno. La adición se realiza con signo, aunque la energía aparente permanece teóricamente siempre positiva.

Los 49 bits del registro interno son divididos por VADIV. Los 24 bits superiores se escriben en el registro de 24 bits de energía aparente (VAENERGY [23:0]). La lectura al registro RVAENERGY retorna el contenido del registro VAENERGY y borra su contenido.

2.4.11 ACUMULACIÓN DE ENERGÍA APARENTE DE LÍNEA

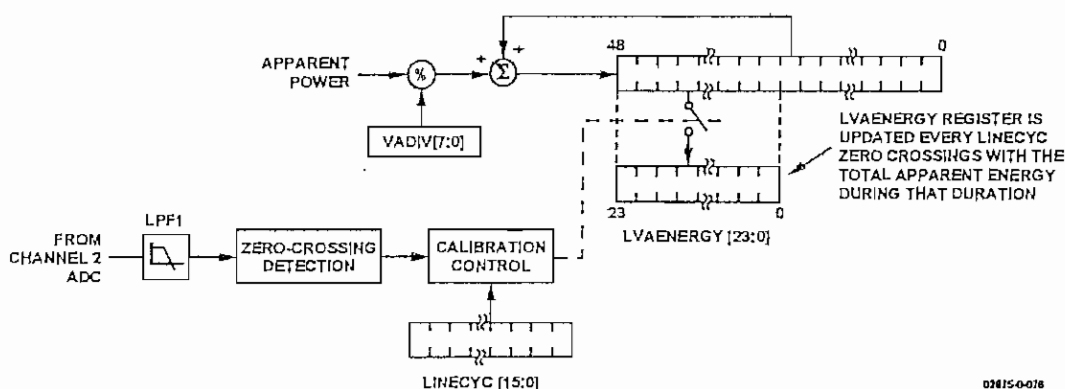


Figura 2.16: Modo acumulación de energía aparente [12]

El ADE7753 está diseñado con un modo especial de acumulación de energía aparente. En este modo, el ADE7753 acumula potencia aparente en el registro LVAENERGY durante un número entero de medios ciclos, como se observa en la Figura 2.16. El modo de acumulación de energía aparente está siempre activo.

El número de medios ciclos se especifica en LINECYC. La finalización de la acumulación se indica por la bandera CYCEND en el registro de estado de interrupciones.

En este proyecto se utiliza este modo de acumulación para medir energía aparente, al igual que se hace para la medición de energía activa.

2.4.12 CALIBRACIÓN DE UN MEDIDOR DE ENERGÍA BASADO EN EL ADE7753



Figura 2.17: Calibración de energía activa [12]



Figura 2.18: Calibración de energía activa y aparente [12]

El ADE7753 provee compensación de ganancia y offset para calibración de energía activa y aparente. Su compensación de fase corrige errores de fase en energía activa, aparente y reactiva. La calibración de offset de corriente y voltaje RMS remueve el offset de la energía aparente. También se provee de registros para la calibración de ganancia de energía aparente. La Figura 2.18 muestra una secuencia optimizada para calibración de energía activa, valores RMS y energía aparente.

El ADE7753 no provee una forma para calibrar ganancia de energía reactiva y offset. Por este motivo, en este proyecto no se realiza medición de energía reactiva. Por otra parte, en un sistema monofásico interesa particularmente la energía activa. La medición de energía activa y aparente permite determinar el factor de potencia.

El proceso de calibración del esclavo está comandado por el maestro. La aplicación del PC incluye un asistente de calibración que guía al usuario a través del proceso. El asistente indica el modo de conectar el dispositivo remoto y solicita el ingreso de valores medidos por el instrumento patrón. La aplicación configura remotamente el ADE7753 para realizar distintas mediciones, las cuales son enviadas al maestro. Con los datos ingresados por el usuario (lecturas del instrumento patrón) y con los enviados por el esclavo, el PC calcula las constantes de calibración, las cuales son enviadas al esclavo. Las constantes de calibración son guardadas en una memoria no volátil.

La secuencia de calibración sigue la recomendación del fabricante del ADE7753 en [12] (ver Figura 2.18).

Los valores medidos por el ADE7753 se denominan nominales (subíndice nom) y los valores calculados a partir de las mediciones del patrón se denominan esperados (subíndice exp). Por ejemplo, si la potencia medida por el patrón es 300 W, el tiempo es 10 s y el valor de energía medido (contenido en el registro AENERGY) por el ADE7753 es 3200, entonces el valor de energía nominal es 3200 y el valor esperado es 3000 (300 x 10).

En las siguientes secciones se describen las relaciones utilizadas para calcular las constantes de calibración.

2.4.12.1 Calibración de ganancia de potencia activa y aparente

La calibración de ganancia de potencia activa y aparente se realiza para obtener lecturas en Vatio-segundo [Ws] y Voltio-amperio-segundo [VAs] respectivamente.

El resultado de la calibración de ganancia de potencia activa y aparente es el cálculo y almacenamiento de las constantes WGAIN, WDIV, VAGAIN, VADIV.

Durante un intervalo de tiempo se conecta al dispositivo bajo condiciones de potencia constante (medida por el patrón). Durante este intervalo de tiempo se acumula energía activa y aparente en el ADE7753.

La energía activa medida por el ADE7753 es AENERGY_{nom}. El valor esperado AENERGY_{exp}, se obtiene multiplicando la potencia activa por el tiempo.

Para la energía activa se tiene:

$$AENERGY_{exp} = AENERGY_{nom} \left(1 + \frac{WGAIN}{2^{12}} \right) \frac{1}{WDIV}$$

(Ec. 2.18)

WDIV se calcula mediante:

$$WDIV = INT\left(\frac{AENERGY_{nom}}{AENERGY_{exp}}\right)$$

(Ec. 2.19)

WAGAIN:

$$WAGAIN = INT\left(\left(\frac{AENERGY_{exp} \times WDIV}{AENERGY_{nom}} - 1\right) \times 2^{12}\right)$$

(Ec. 2.20)

Para el caso de energía aparente se tiene:

$$VAENERGY_{exp} = VAENERGY_{nom} \left(1 + \frac{VAGAIN}{2^{12}}\right) \frac{1}{VADIV}$$

(Ec. 2.21)

Análogamente:

$$VADIV = INT\left(\frac{VAENERGY_{nom}}{VAENERGY_{exp}}\right)$$

(Ec. 2.22)

También:

$$VAGAIN = INT\left(\left(\frac{VAENERGY_{exp} \times VADIV}{VAENERGY_{nom}} - 1\right) \times 2^{12}\right)$$

(Ec. 2.23)

2.4.12.2 Calibración de offset de potencia activa

Para calibrar el offset de potencia activa se debe calcular el valor adecuado de la constante APOS.

Para el cálculo se utilizan las siguientes relaciones:

$$error = \frac{(AENERGY_{nom} - AENERGY_{exp}) \times 2f}{LINECYC}$$

(Ec. 2.24)

$$APOS = INT\left(\frac{-error \times 2^{35}}{CLKIN}\right)$$

(Ec. 2.25)

En las ecuaciones anteriores, LINECYC es el registro del ADE7753 que contiene el período de acumulación, f es la frecuencia de red (60 Hz), CLKIN es la frecuencia del cristal conectado al ADE7753 (3.579545 MHz).

2.4.12.3 Calibración de fase

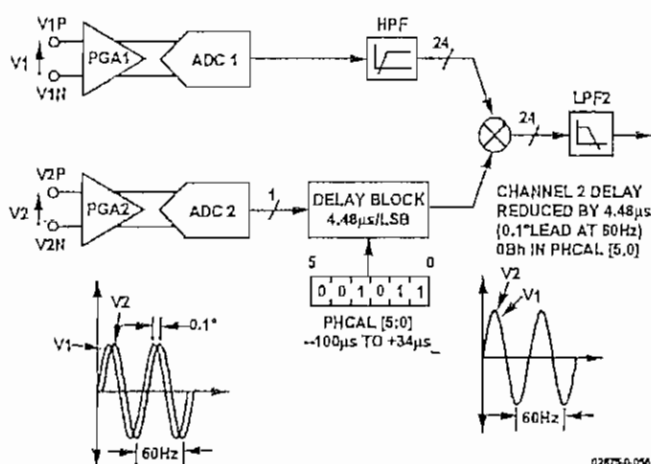


Figura 2.19: Calibración de fase [12]

El ADE7753 debe trabajar con transductores que podrían tener errores de fase inherentes. Por ejemplo, un error de 0.1° a 0.3° es común para un transformador de corriente (en este proyecto se utiliza un transformador de corriente). Estos errores deben ser corregidos para realizar cálculos exactos de potencia activa. El ADE7753 provee un mecanismo para calibrar digitalmente estos errores de fase. El ADE7753 permite que un retraso o adelanto de tiempo sea introducido en la cadena de procesamiento de señal para compensar errores de fase. El registro de calibración de fase (PHCAL [5:0]) es un registro de un byte simple con signo en complemento de dos y tiene un rango de valores desde 0x21 (-31d) hasta 0x1F

(31d). El registro está centrado en 0x0D, es decir, que escribir 0x0D en el registro produce un retardo 0. Al cambiar el registro PHCAL, el retraso en el tiempo de la señal del canal 2 cambia desde - 102.12 μs hasta + 39.96 μs (CLKIN = 3.579545 MHz). Un LSB es equivalente a 2.22 μs (CLKIN/8) de tiempo de retraso o adelanto. La Figura 2.19 ilustra como se utiliza la compensación de fase para remover un adelanto de fase de 0.1 ° en el canal 1 debido al transductor externo. Para cancelar un adelanto en el canal 1, se debe introducir un adelanto de fase en canal 2.

Para realizar la calibración de fase se utilizan las siguientes relaciones:

$$error = \frac{AENERGY_{nom}}{AENERGY_{exp}} - 1$$

(Ec. 2.26)

$$delta = -\arcsen\left(\frac{error}{\tan(\arccos(fp))}\right)$$

(Ec. 2.27)

El ángulo delta de la Ec. 2.27 está en radianes.

PHCAL se calcula mediante:

$$PHCAL = INT\left(\frac{delta * CLKIN}{16 f\pi}\right) + 13$$

(Ec. 2.28)

2.4.12.4 Calibración de offset de voltaje RMS

Se requieren dos mediciones de voltaje con valores diferentes y distintos de cero. El instrumento patrón genera los valores V_1 y V_2 y el ADE7753 los valores $VRMS_1$ y $VRMS_2$.

VRMSOS se calcula mediante:

$$VRMSOS = INT\left(\frac{V_1 VRMS_2 - V_2 VRMS_1}{V_2 - V_1}\right)$$

(Ec. 2.29)

2.4.12.5 Calibración de offset de corriente RMS

Se requieren dos mediciones de corriente con valores diferentes y distintos de cero. El instrumento patrón genera los valores I_1 e I_2 y el ADE7753 los valores $IRMS_1$ y $IRMS_2$.

$IRMSOS$ se calcula mediante:

$$IRMSOS = INT\left(\frac{I_1^2 IRMS_2^2 - I_2^2 IRMS_1^2}{32768(I_2^2 - I_1^2)}\right)$$

(Ec. 2.30)

2.4.12.6 Calibración de offset de temperatura

Se debe medir la temperatura con un instrumento patrón ($temp_{exp}$) y con el ADE7753 ($temp_{nom}$).

Para calcular el offset de temperatura ($temp_offset$) se utiliza la siguiente relación:

$$temp_offset = INT\left(temp_{exp} - \frac{temp_{nom}}{1.5}\right)$$

(Ec. 2.31)

Cada vez que se requiere leer la temperatura remota, se debe leer el registro $temp$ del ADE7753 y la constante $temp_offset$, para calcular el valor de la temperatura.

2.4.13 INTERFAZ SERIAL DEL ADE7753

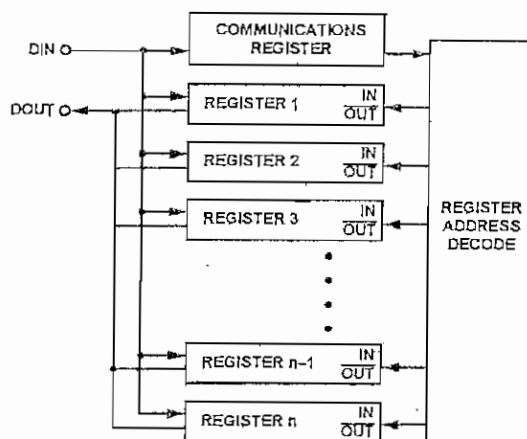


Figura 2.20: Direccionamiento de los registros del ADE7753 a través del registro de comunicaciones [12]

Toda la funcionalidad del ADE7753 es accesible a través de sus registros –ver Figura 2.20. Los contenidos de estos registros pueden ser actualizados o leídos utilizando la interfaz serial SPI del chip. Después del encendido o inversión del pin RESET o un flanco negativo en CS, el ADE7753 entra en modo de comunicación. En el modo de comunicación, el ADE7753 espera una escritura a su registro de comunicaciones. Los datos escritos en el registro de comunicación determinan si la siguiente operación es de lectura o escritura y el registro al que se va a acceder. Es decir, una lectura o una escritura en un registro del ADE7753 inician con una escritura al registro de comunicaciones.

El registro de comunicaciones es de 8 bits. El MSB determina si la siguiente operación es de lectura o escritura. Los 6 LSBs contienen la dirección del registro accedido.

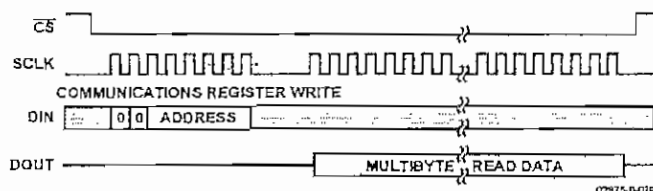


Figura 2.21: Lectura de datos del ADE7753 a través de la interfaz serial [12]

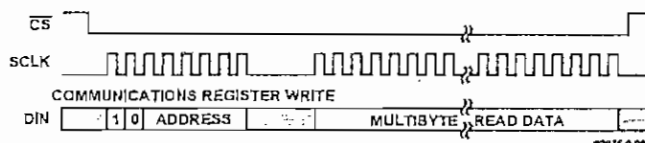


Figura 2.22: Escritura de datos al ADE7753 a través de la interfaz serial [12]

La Figura 2.21 y la Figura 2.22 muestran secuencias de transferencia de datos de lectura y escritura, respectivamente. Al completar la transferencia de datos (lectura o escritura), el ADE7753 entra una vez más en modo de comunicación. Una transferencia de datos se completa cuando el LSB del registro del ADE7753 que está siendo accedido (para escritura o lectura) es transferido hacia o desde el ADE7753.

La interfaz serial del ADE7753 está constituida por cuatro señales SCLK, DIN, DOUT y CS. El reloj es aplicado en la entrada SCLK. Los datos son desplazados hacia el ADE7753 en la entrada DIN en el flanco negativo de SCLK. Los datos son desplazados fuera del ADE7753 en la salida DOUT en el flanco positivo de SCLK. CS es la entrada lógica chip – select. Un flanco negativo en CS resetea la interfaz serial y coloca al ADE7753 en modo de comunicación.

2.4.13.1 Operación de escritura serial del ADE7753

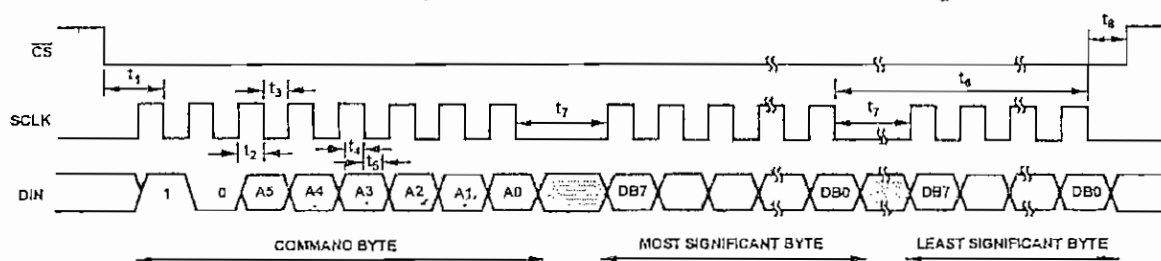


Figura 2.23: Diagrama de tiempos de escritura de la interfaz serial [12]

Con el ADE7753 en modo de comunicación (CS en bajo), inicia una escritura al registro de comunicaciones. El MSB es 1, indicando una operación de escritura. Los LSBs contienen la dirección del registro en el que se va a escribir.

Los registros pueden ser de hasta 3 bytes. El byte más significativo se transmite primero, es decir se desplaza en el pin DIN. Cada bit se desplaza en el flanco

negativo de SCLK. La Figura 2.24 ilustra el proceso de escritura de un registro de 12 bits.

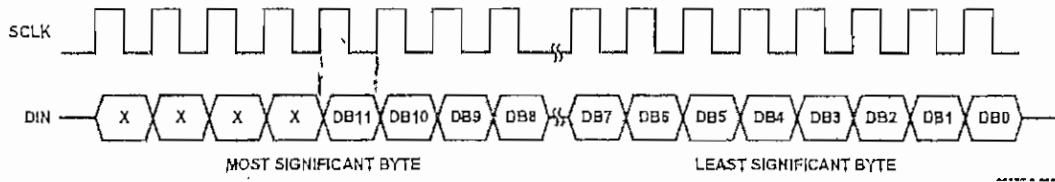


Figura 2.24: Operación de escritura serial de 12 bits [12]

2.4.13.2 Operación de lectura serial del ADE7753

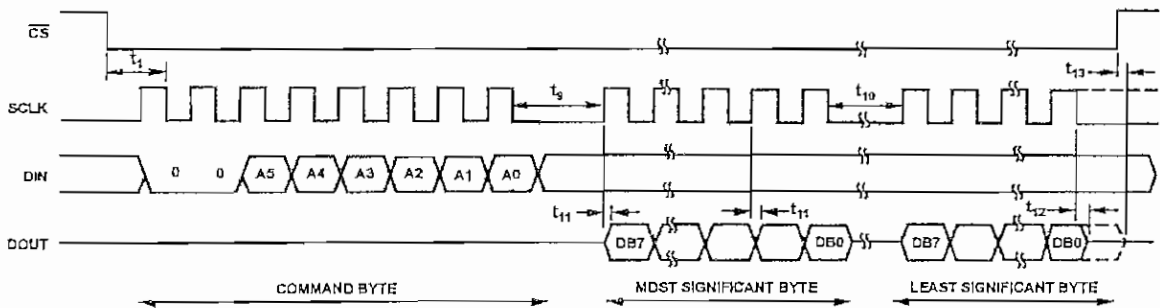


Figura 2.25: Diagrama de tiempos de lectura de la interfaz serial [12]

Durante una lectura del ADE7753, los datos son desplazados hacia fuera en la salida lógica DOUT en el flanco positivo de SCLK.

Con el ADE7753 en modo de comunicación (CS en bajo), inicia una escritura al registro de comunicaciones. El MSB es 0, indicando una operación de lectura. Los LSBs contienen la dirección del registro que se va leer.

2.4.13.3 Manejo de la interfaz SPI con el microcontrolador PIC16F877A

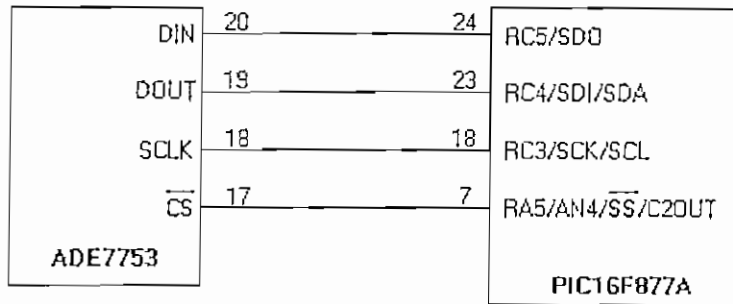


Figura 2.26: Manejo de bus SPI con el PIC16F877A

Se utiliza el módulo de puerto serial síncrono maestro (MSSP) incorporado en el PIC16F877A, para manejar el bus SPI.

2.4.14 INTERRUPTACIONES DEL ADE7753

Las interrupciones del ADE7753 son manejadas a través del registro de estado de interrupciones (STATUS [15:0]) y el registro de habilitación (IRQEN [15:0]). Cuando ocurre un evento de interrupción, la bandera correspondiente en el registro de estado es forzada a 1 lógico. Si el bit respectivo en el registro de habilitación es 1 lógico, entonces la salida (pin) IRQ va a estado bajo. Los bits de las banderas en el registro de estado no dependen del estado de los bits del registro de habilitación.

Para determinar la fuente de la interrupción, el microcontrolador lee el registro de estado con reset (RSTSTATUS [15:0])¹ en la dirección 0x0C. La salida IRQ va a estado alto al completar la lectura al registro de estado. Cuando se realiza una lectura con reset, el ADE7753 está diseñado para asegurar que ningún evento de interrupción se pierda. Si un evento de interrupción ocurre justo mientras el registro de estado está siendo leído, el evento no se pierde y la salida IRQ va a estado alto mientras dura la transmisión de datos del registro de estado, antes de ir nuevamente a estado bajo, para indicar una interrupción pendiente

¹ Una lectura a RSTSTATUS retorna el contenido de STATUS y lo borra.

2.4.14.1 Atención de interrupciones del ADE7753 con el microcontrolador PIC16F877A

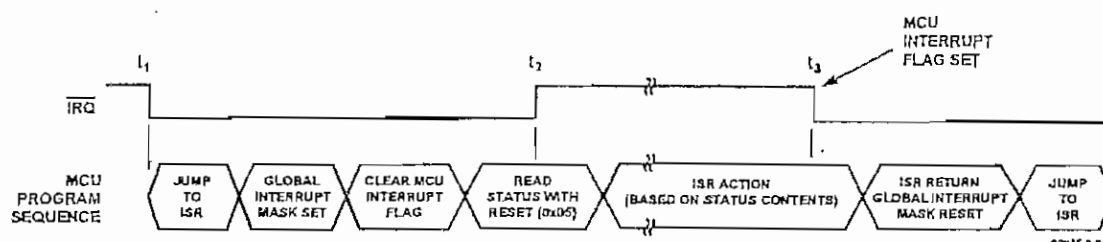


Figura 2.27: Manejo de interrupciones del ADE7753 [12]

En la Figura 2.27 se muestra un diagrama de tiempos con una implementación sugerida del manejo de interrupciones del ADE7753 utilizando un microcontrolador (MCU en la Figura 2.27). Al instante t_1 , la línea IRQ va a estado bajo indicando que uno o más eventos de interrupción han ocurrido en el ADE7753. El pin IRQ está conectado a la entrada INT0 de interrupción externa disparada por flanco negativo en el microcontrolador PIC16F877A (ver Figura 2.1). Al detectar el flanco negativo, el microcontrolador inicia la ejecución de la rutina de servicio de interrupción (ISR). Al entrar en la ISR, todas las interrupciones (del microcontrolador) son deshabilitadas. En este punto, la bandera del microcontrolador es borrada. Cuando la bandera de interrupción del microcontrolador es borrada, una lectura del registro de estado con reset (RSTSTATUS) es realizada. Esto provoca que la línea IRQ vaya a estado alto (t_2). El contenido del registro de estado es utilizado para determinar la fuente de interrupción (es) y la acción adecuada.

Existen 15 fuentes de interrupciones en el ADE7753. En este proyecto sólo se habilita permanentemente una fuente de interrupción: CYCEND. La interrupción CYCEND indica la finalización de un ciclo de acumulación de energía (ver secciones 2.4.7 y 2.4.11) y se utiliza para actualizar el contador (que se lleva en registros RAM) de energía activa y aparente en el microcontrolador.

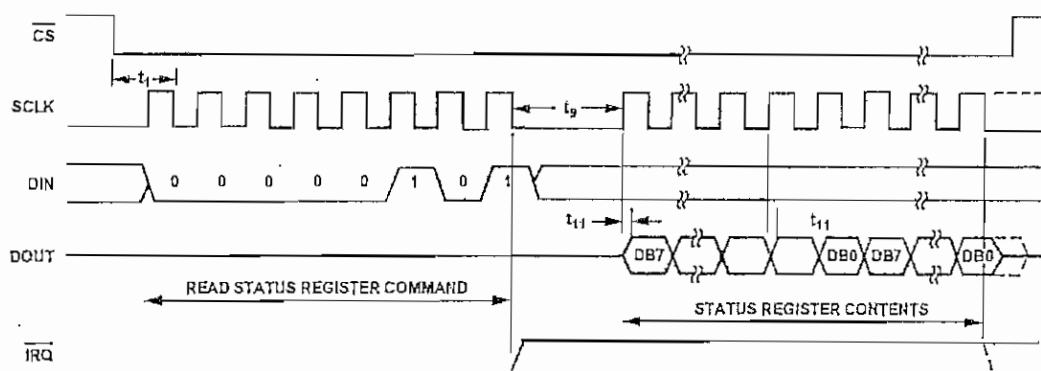


Figura 2.28: Diagrama de tiempos de las interrupciones del ADE7753 [12]

2.4.15 ENTRADAS ANÁLOGAS

El ADE7753 tiene dos canales de entrada de voltaje diferencial: V1P/V1N y V2P/V2N (ver Figura 2.2). El máximo voltaje diferencial para los pares V1P/V1N y V2P/V2N es ± 0.5 V. Adicionalmente, el máximo voltaje en las entradas análogas para V1P/V1N y V2P/V2N es ± 0.5 V con respecto al pin AGND (Tierra análoga).

Cada canal de entrada análoga tiene un amplificador de ganancia programable (PGA), con ganancias de 1, 2, 4, 8 y 16. La selección de ganancia se realiza escribiendo en el registro de ganancia. En este proyecto se utiliza la ganancia de 1 para los dos canales.

El canal 1 presenta además la posibilidad de seleccionar el voltaje de fondo de escala para el ADC. El rango de entrada del ADC se selecciona mediante la escritura del registro de ganancia. Como se mencionó anteriormente, el máximo voltaje diferencial es 0.5 V. Sin embargo, mediante el registro de ganancia se puede modificar a 0.25 V ó 0,125V.

En este proyecto se utiliza el voltaje de fondo de escala por defecto, 0.5 V.

También es posible ajustar errores de offset en el canal 1 y canal 2 mediante escrituras a los registros CH1OS y CH2OS, respectivamente.

No es necesario realizar corrección de offset en una aplicación de medición de energía si el filtro pasa altos en el canal 1 (HPF) está habilitado (como ocurre en este proyecto).

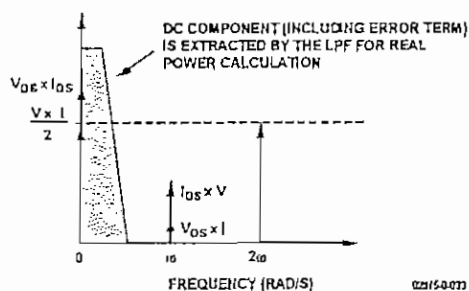


Figura 2.29: Efecto de offsets en cálculo de potencia activa [12]

La Figura 2.29 muestra el efecto de los offsets en el cálculo de potencia activa. Como se observa en la Figura 2.29, un offset en canal 1 y canal 2 contribuye con una componente de DC después de la multiplicación. Dado que esta componente de DC es extraída por el filtro pasa bajos LPF2 para generar información de potencia activa, los offsets introducen un error en el cálculo de la potencia activa. Este problema se soluciona fácilmente habilitando HPF en el canal 1. Al remover el offset de al menos un canal, ningún error se genera en DC por la multiplicación. Los términos de error en $\cos(\omega t)$ son removidos por LPF2.

2.4.16 DETECCIÓN DE CRUCE POR CERO

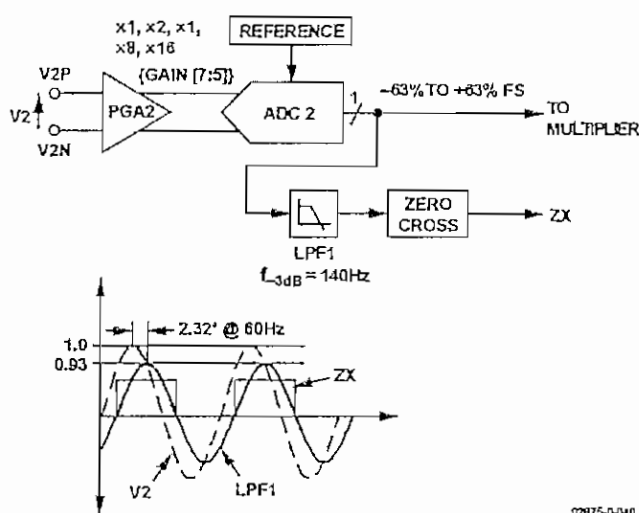


Figura 2.30: Detección de cruce por cero en el canal 2 [12]

El ADE7753 tiene un circuito de detección de cruce por cero del canal 2. Este circuito produce una señal en el pin de salida ZX.

La señal ZX va a estado alto en un cruce por cero positivo y a estado bajo en un cruce por cero negativo. Existe un retraso de fase en la salida ZX con respecto a la señal del canal 2, debido a la respuesta del filtro LPF1.

El fabricante del ADE7753 recomienda que las lecturas al registro de voltaje RMS (registro VRMSOS) se realicen sincronizadas con el cruce por cero. Esta información (de cruce por cero) es proporcionada por el pin ZX, el cual indica la ocurrencia de un cruce por cero del voltaje de red y está conectado con el pin RA4 del microcontrolador (ver Figura 2.1).

2.4.17 MEDICIÓN DE PERÍODO

El ADE7753 mide el período del voltaje de línea. El registro de período (PERIOD) es un registro de 16 bits sin signo y es actualizado cada período. El bit más significativo (MSB) de este registro es siempre cero.

La longitud de este registro permite la medición de frecuencias tan bajas como 13.9 Hz.

En este proyecto se realiza medición y transmisión inalámbrica de período de red cuando el maestro lo solicita. La información del registro PERIOD sirve para calcular y desplegar (en la aplicación del PC) la frecuencia de red.

2.4.18 MONITOR DE LA FUENTE DE PODER

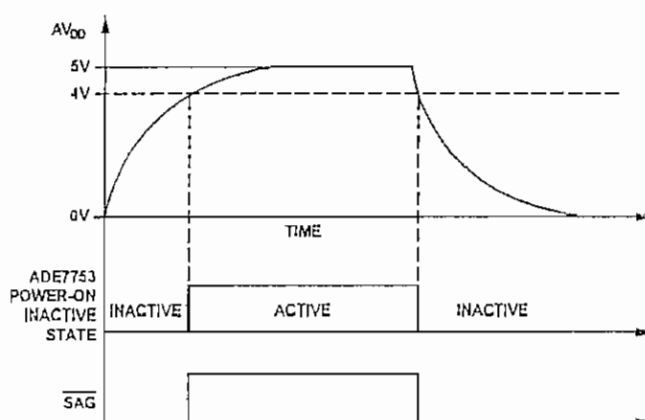


Figura 2.31: Monitor de fuente de poder en el chip [12]

La fuente análoga (pin AVDD) es continuamente monitoreada por el ADE7753. Si la fuente genera menos de 4V ($\pm 5\%$), entonces el ADE7753 pasa a estado inactivo, es decir, no se acumula energía. Esto asegura una correcta operación en el encendido y durante el apagado. El monitor tiene histéresis y filtrado, lo cual provee un alto grado de inmunidad contra falsos disparos debido a fuentes ruidosas.

Como se observa en la Figura 2.31, el nivel de disparo nominal es 4 V. El pin SAG es usado como una entrada de monitor de fuente al microcontrolador. El pin SAG está conectado al pin RB7 (ver Figura 2.1), a fin de generar una interrupción.

La interrupción SAG indica la ocurrencia de una falla en el voltaje de línea, en cuyo caso el microcontrolador guarda el valor del contador de energía en la memoria no volátil (EEPROM AT24C512).

2.4.19 MEDICIÓN DE TEMPERATURA

El ADE7753 incluye un sensor de temperatura. Una medición de temperatura puede ser realizada escribiendo un 1 lógico en el bit 5 del registro de modo (MODE). Cuando el bit 5 es 1 lógico, el ADE7753 inicia una medición de temperatura en el siguiente cruce por cero. Cuando el cruce por cero en el canal 2 es detectado, la salida de voltaje del circuito sensor de temperatura es conectada al conversor ADC1 (canal 1) para su digitalización. El código resultante es procesado y colocado en el registro de temperatura (TEMP [7:0]) aproximadamente 26 μs después (24 ciclos de CLKIN). Si está habilitada la interrupción, IRQ va a estado bajo al final de la conversión.

Los contenidos del registro de temperatura tienen signo (complemento de dos) y una resolución de aproximadamente 1.5 LSB/ $^{\circ}\text{C}$. El registro de temperatura produce un código de 0x00 cuando la temperatura ambiente es aproximadamente -25°C . La medición de temperatura no está calibrada en el ADE7753 y tiene una tolerancia de offset de $\pm 25^{\circ}\text{C}$.

En este proyecto se realiza medición y transmisión inalámbrica de temperatura cuando el maestro lo solicita.

2.4.20 CONVERSIÓN ANÁLOGA A DIGITAL DEL ADE7753

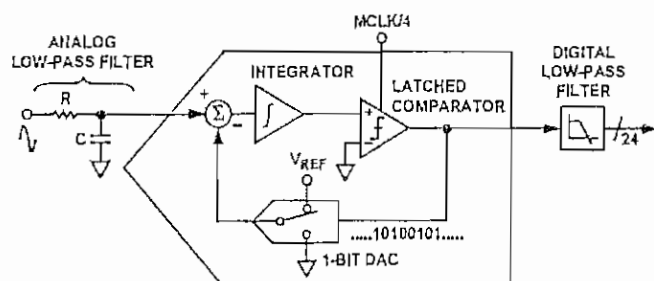


Figura 2.32: Conversor ADC $\Sigma - \Delta$ de primer orden [12]

La conversión análoga a digital en el ADE7753 es realizada utilizando dos conversores ADC $\Sigma - \Delta$ de segundo orden. Por simplicidad, el diagrama de bloques de la Figura 2.32 muestra un conversor ADC $\Sigma - \Delta$ de primer orden. El conversor está constituido por el modulador $\Sigma - \Delta$ y el filtro digital pasa bajos

El modulador $\Sigma - \Delta$ convierte la señal de entrada en un flujo constante de 1s y 0s a una tasa determinada por el reloj de muestreo. En el ADE7753, el reloj de muestreo es igual a $CLKIN/4$.

El conversor DAC de 1 bit en el lazo de realimentación está manejado por el flujo de datos serial. La salida del DAC es restada de la señal de entrada. Si la ganancia del lazo es suficientemente alta, el valor promedio de la salida del DAC puede aproximarse al de la señal de entrada. Para cualquier valor de entrada dado en un intervalo de muestreo simple, los datos del ADC de 1 bit son virtualmente insignificantes. Sólo cuando un gran número de muestras son promediadas se obtiene un resultado significativo. La extracción del promedio es realizada en la segunda parte del ADC, el filtro digital pasa bajos. Al promediar un gran número de bits del modulador, el filtro pasa bajos puede producir palabras de datos de 24 bits que son proporcionales a la señal de entrada.

El conversor $\Sigma - \Delta$ utiliza dos técnicas para lograr alta resolución a partir de lo que es esencialmente una técnica de conversión de 1 bit.

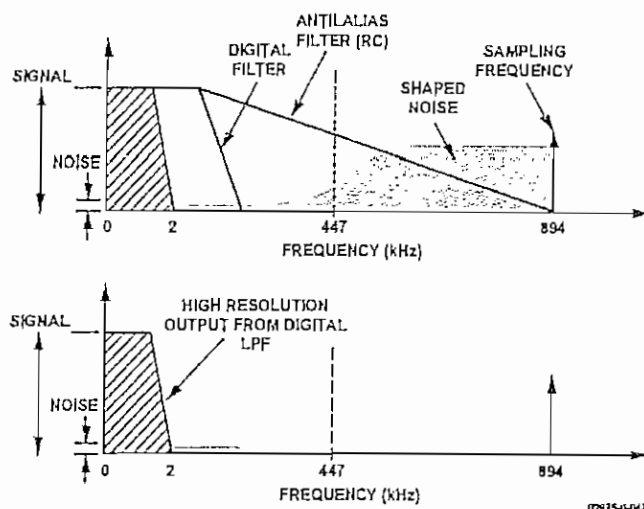


Figura 2.33: Reducción del ruido debido al sobremuestreo y moldeo del ruido en el modulador análogo [12]

La primera es el sobremuestreo. Sobremuestreo significa que la señal es muestreada a una frecuencia que es varias veces mayor que el ancho de banda de interés. Por ejemplo, la frecuencia de muestreo en el ADE7753 es CLKIN/4 (894 kHz) y la banda de interés es 40 Hz a 2 kHz. Sobremuestrear tiene el efecto de difundir el ruido de cuantización (ruido debido al muestreo) sobre un ancho de banda mayor. Con el ruido difundido sobre un mayor ancho de banda, el ruido de cuantización en la banda de interés es reducido, como se observa en la Figura 2.33. Sin embargo, el sobremuestreo por sí solo no es suficiente para mejorar la relación señal – ruido (SNR) en la banda de interés. Por ejemplo, una relación de sobremuestreo de 4 es requerida para incrementar la SNR solamente en 6dB. Para mantener la relación de sobremuestreo a un nivel razonable, es posible moldear el ruido de cuantización para que la mayor parte del ruido recaiga sobre las frecuencias más altas. En el modulador $\Sigma-\Delta$, el ruido es moldeado por el integrador, el cual tiene una respuesta del tipo pasa altos para el ruido de cuantización. El resultado es que la mayor parte del ruido está en las frecuencias altas y puede ser removido por el filtro digital pasa bajos. Este moldeado del ruido es mostrado en la Figura 2.33.

2.4.20.1 Filtro antialiasing

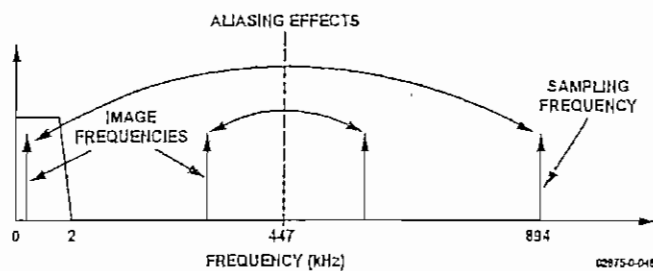


Figura 2.34: Efectos del aliasing en el ADE7753 [12]

La Figura 2.32 también muestra un filtro análogo (RC) pasa bajos en la entrada del modulador. Este filtro (externo al chip) sirve para contrarrestar el aliasing.

El aliasing está presente en todos los sistemas muestreados. El aliasing significa que las componentes de frecuencia en la señal de entrada del ADC, que son mayores que la mitad de la frecuencia de muestreo del ADC, se reflejan en la señal muestreada a una frecuencia por debajo de la mitad de la frecuencia de muestreo. Este efecto se muestra en la Figura 2.34.

Las componentes de frecuencia sobre la mitad de la frecuencia de muestreo (también conocida como la frecuencia de Nyquist, en este caso 447 kHz) son reflejadas simétricamente por debajo de 447 kHz. Esto sucede con todos los ADCs independientemente de su arquitectura. En el ejemplo mostrado, sólo las frecuencias cercanas a la frecuencia de muestreo (en este caso 894 kHz) se mueven a la banda de interés para las mediciones (40 Hz a 2 kHz). Esto permite el uso de un simple filtro pasa bajos para atenuar ruido de alta frecuencia (cercano a 900 kHz), y prevenir distorsión en la banda de interés. Un simple filtro RC (polo simple) con una frecuencia de corte de 10 kHz produce una atenuación de aproximadamente 40 dB a 894 kHz.

2.4.21 FRECUENCIA DE CLKIN

Las características especificadas en las hojas de datos del ADE7753 se cumplen para una frecuencia de CLKIN de 3.579545 MHz. Sin embargo, el ADE7753 está

diseñado para tener la misma exactitud a otra frecuencia dentro del rango especificado.

En este proyecto se utiliza un cristal de 3.579545 MHz.

CAPÍTULO 3

MÓDULO AT-XTR-903

La transmisión inalámbrica de datos digitales se realiza sobre la base del módulo AT-XTR-903 (ver Figura 1.5 en la página 16 y Figura 1.6 en la página 18), el cual se describe en este capítulo. En primer lugar se incluye una comparación entre diferentes módulos transceptores de RF, que justifica a la selección del AT-XTR-903. Se incluyen las características generales del AT-XTR-903. Se presenta un diagrama de conexión del AT-XTR-903. Finalmente se realiza una descripción del módulo, haciendo énfasis en los aspectos de interés para este proyecto.

3.1 SELECCIÓN DEL MÓDULO TRANSCÉPTOR

Se considera la selección y utilización de un módulo transmisor/receptor (transceptor) comercial con mínimos requerimientos de procesamiento externo de las señales de entrada y de salida.

Tabla 3.1: Comparación entre módulos de RF [7], [17], [35] y [36]

Parámetro	DR3000	FMRXQ1-433	TRXQ1-433	ATRT100	AT-XTR-903
Velocidad (kbps)	2.4 – 19.2	19.2	19.2	100	9.6, 19.2, 38.4
Rango(cerrado-abierto)	No disponible	30 – 200 m	30 – 200 m	30 – 200 m	30 – 200 m
Interfaz	Serial y control	Serial	Serial y control	Serial y control	Serial RS232
Fuente de voltaje	3 V	5 V	3 V	5 V	3 V
Corriente	12 mA	28 mA	12 mA	26 mA	30 mA
Entramado	No	Si	No	No	No
Chequero de errores	No	Si	No	No	Programable
Direccionamiento fijo	No	Si	No	No	No
Fabricante	RFM	RF solutions	RF solutions	ABACOM	ABACOM
Vendedor	Richardson Electronics	Digi-Key	Digi-Key	ABACOM	ABACOM
Precio (USD)	60 [35]	50 [17]	66 [17]	70 [7]	72 [7]

Se escoge el módulo transceptor AT-XTR-903 a 433 MHz, debido a que no requiere procesamiento de señales. En el esclavo, el PIC16F877A maneja el transceptor mediante el hardware de comunicación serial asíncrona (UART). En el maestro el transceptor es manejado por el puerto serial del PC (con el respectivo hardware de conversión de niveles de voltaje).

3.2 CARACTERÍSTICAS DEL AT-XTR-903 [8]

- Flujo transparente de datos RS232 (líneas RSRX y RSTX);
- Disponible también en 900 MHz y 868 MHz;
- No requiere codificación de datos ni preámbulos;
- No empaqueta los datos;
- Comandos AT para selección del canal, potencia emitida, monitoreo de ocupación del canal y fuerza de la señal;
- Compatible con Hyperterminal;
- 10 canales de operación programables;
- Microprocesador embebido;
- Tamaño pequeño (23 x 33 mm);
- Potencia emitida: ajustable hasta 10 mW.

3.3 DIAGRAMA DE CONEXIÓN DEL AT-XTR-903 EN EL ESCLAVO

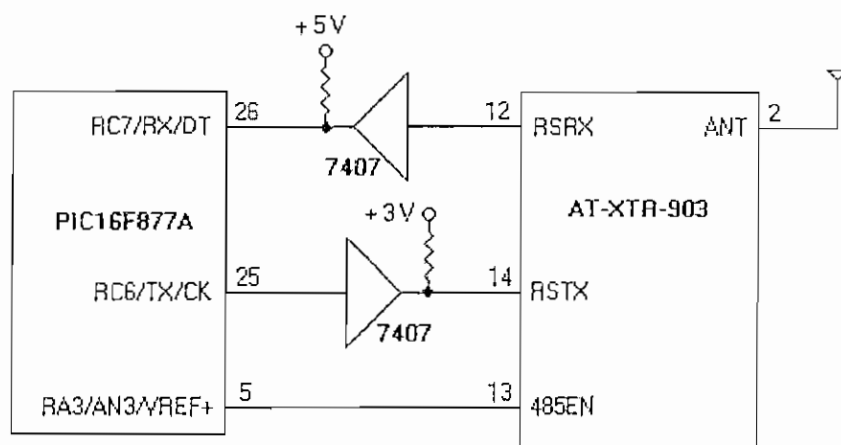


Figura 3.1: Diagrama de conexión del AT-XTR-903 en el esclavo

En la Figura 1.5 se puede observar el esquema general de conexión del AT-XTR-903 con otros elementos del esclavo. En la Figura 3.1 se muestra con mayor detalle la interconexión implementada del AT-XTR-903 con el microcontrolador PIC16F877A. La Figura 3.1 muestra la conexión de las líneas (pines) principales del AT-XTR-903 y constituye únicamente un diagrama básico, con la finalidad de dar una idea general de la forma de utilización del módulo. El esquemático se muestra en el CAPÍTULO 4.

El AT-XTR-903 crea una interfaz transparente RS232, la cual se maneja mediante el hardware de comunicación serial asíncrona (UART) del PIC16F877A (pines RX y TX del microcontrolador [28]). Los niveles lógicos de voltaje del microcontrolador y del módulo son de 5 V y 3 V, respectivamente, por lo cual sus líneas no se pueden conectar directamente. Se implementa una interfaz basada en el buffer no inversor 7407 (ver Figura 3.1).

El 7407 de la parte superior (ver Figura 3.1) convierte un voltaje de 3 V del pin RSRX (salida del módulo) en un voltaje de 5 V en el pin RX (entrada del microcontrolador). Un voltaje de 0 V del pin RSRX es convertido en un voltaje de 0 V en el pin RX.

El 7407 de la parte inferior (ver Figura 3.1) convierte un voltaje de 5 V del pin TX (salida del microcontrolador) en un voltaje de 3 V en el pin RSTX (entrada del módulo). Un voltaje de 0 V del pin TX es convertido en un voltaje de 0 V en el pin RSTX.

El pin (salida) 485EN del AT-XTR-903 está conectado con el pin RA3 del microcontrolador (ver Figura 3.1) y se utiliza para determinar si el módulo (AT-XTR-903) está libre para transmitir (no está en modo de recepción). El pin 485EN también tiene niveles lógicos de voltaje de 0 V y 3 V (al igual que todas las líneas del módulo), sin embargo no es necesario realizar conversión de nivel de voltaje, debido a que un voltaje de 3 V es reconocido² como 1 lógico en el pin RA3, no así en el pin RX el cual requiere un voltaje mínimo de 3.5 V (70 % del voltaje de polarización de 5 V) para ser reconocido como un 1 lógico [28].

3.4 DIAGRAMA DE CONEXIÓN DEL AT-XTR-903 EN EL

MAESTRO

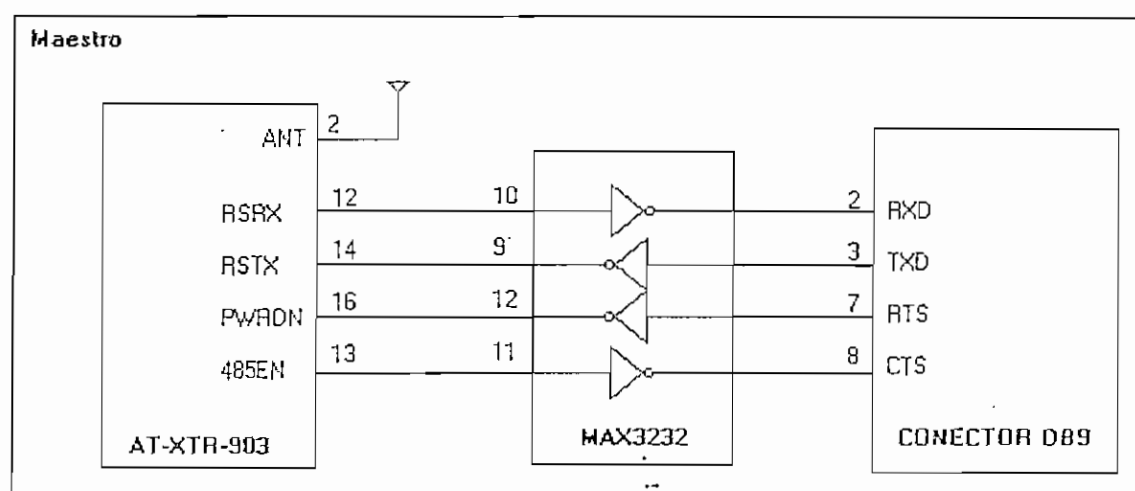


Figura 3.2: Diagrama de conexión del AT-XTR-903 en el maestro

En la Figura 1.6 se puede observar el esquema general de conexión del AT-XTR-903 con otros elementos del maestro. En la Figura 3.2 se muestra con mayor detalle la interconexión implementada del AT-XTR-903 con el transceptor RS232 MAX3232. La Figura 3.2 muestra la conexión de las líneas (pines) principales del

² Un voltaje mayor o igual a 2 V es reconocido como 1 lógico [28]

AT-XTR-903 y constituye únicamente un diagrama básico, con la finalidad de dar una idea general de la forma de utilización del módulo. El esquemático se muestra en el CAPÍTULO 4.

El maestro dispone de un conector DB9 (ver Figura 3.2) a través del cual se conecta con el puerto serial de un PC. El puerto serial del PC maneja niveles de voltaje de + 12 V y - 12 V, mientras que el módulo AT-XTR-903 trabaja con niveles de 0 V y 3 V como se mencionó anteriormente. Para acoplar las señales del AT-XTR-903 y las del puerto serial del PC (presentes en el conector DB9), se utiliza el transceptor de RS232 MAX3232, como se observa en la Figura 3.2.

Las líneas RXD (recepción) y TXD (transmisión) del puerto se conectan respectivamente (a través del MAX3232) con los pines RSRX y RSTX del AT-XTR-903.

El pin (salida) 485EN del AT-XTR-903 está conectado con la línea CTS (a través del MAX3232, ver Figura 3.2) y se utiliza para determinar si el módulo AT-XTR-903 está libre para transmitir (no está en modo de recepción).

El pin (entrada) PWRDN del AT-XTR-903 está conectado con la línea RTS (a través del MAX3232, ver Figura 3.2) y se utiliza para colocar al módulo (AT-XTR-903) en modo de power down (ahorro de energía), cuando no se requiere establecer comunicación.

Las líneas CTS y RTS del puerto serial son manejadas mediante la aplicación (software) del PC.

3.5 FUNCIONAMIENTO DEL AT-XTR-903 [8]

3.5.1 BREVE DESCRIPCIÓN

El empleo de un microprocesador embebido crea una interfaz TTL RS232 transparente y elimina la necesidad de empaquetar o codificar los datos.

La velocidad de entrada de datos (9600, 19200, 38400 bps) es configurada a través de dos líneas de entrada (SP1 y SP2). La velocidad menor implica una menor probabilidad de errores.

El dispositivo implementa modulación de frecuencia, lo cual garantiza una mejor inmunidad al ruido comparada con modulación de amplitud. Se puede lograr un rango de hasta 200 m con antenas omnidireccionales.

Existe una latencia máxima de 20 ms entre el envío de datos y su recepción. Este retardo incluye el tiempo necesario para que el dispositivo conmute de recepción a transmisión y transmita una cabecera de sincronización. La fuente de voltaje es 3 V regulada. Dispone de un modo power down, que reduce el consumo a menos de 10 μA . Aun en el modo power down el módulo mantiene niveles válidos de interfaz, sin embargo no puede transmitir ni recibir tramas.

3.5.2 DISTRIBUCIÓN DE PINES

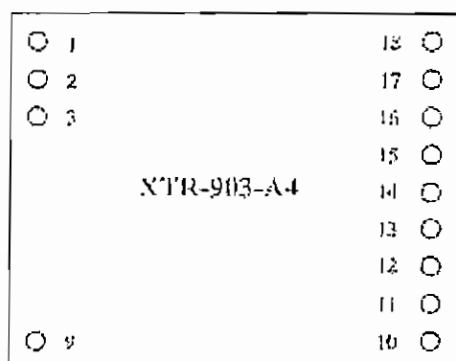


Figura 3.3: Distribución de pines del AT-XTR-903 [8]

Tabla 3.2: Designación de pines [8]

Pin	Designación
1, 3	RF GND
2	ANT
9, 10, 18	GND
11	SP1
12	RSRX
13	485EN
14	RSTX
15	SP2
16	PWRDN
17	Vcc
4, 5, 6, 7, 8	No usado

3.5.2.1 RF GND – pines 1, 3

Sirven para la conexión de un plano de tierra RF.

3.5.2.2 ANT – pin 2

Terminal para conexión de antena.

3.5.2.3 GND – pin 2

Tierra (0 V).

3.5.2.4 SP1, SP2 – pines 11,15

Estos pines configuran la velocidad de transferencia de los datos seriales.

Tabla 3.3: Configuración de velocidad [8]

SP1	SP2	Velocidad [bps]
Vcc	Vcc	9600
GND	Vcc	19200
Vcc	GND	38400
GND	GND	Modo de Prueba

3.5.2.5 RSRX – pin 12

Salida de datos del receptor en niveles lógicos TTL RS232, con 1 bit de inicio (0 V), 8 bits de datos y un bit de parada (3 V). La salida permanece normalmente en alto (3 V). Ver Figura 3.5.

3.5.2.6 485EN – pin 13

Pin de habilitación para controlar un chip transceptor RS-485.

En este proyecto se utiliza este pin para determinar si el AT-XTR-903 está libre para transmitir (no está en modo de recepción). El pin 485EN se conecta al pin RA3 del microcontrolador PIC16F877A.

3.5.2.7 RSTX – pin 14

Entrada de datos al transmisor en niveles lógicos TTL RS232, con 1 bit de inicio (0 V), 8 bits de datos y un bit de parada (3 V). La entrada permanece normalmente en alto (3 V). Ver Figura 3.5.

3.5.2.8 PWRDN – pin 16

Pin de habilitación para seleccionar la característica de ahorro de energía. Aplicar 3 V configura el módulo en modo POWER DOWN, con lo cual el consumo se reduce a menos de 10 μA . Aplicar 0 V al pin, configura el módulo para operación en modo normal.

3.5.2.9 Vcc – pin 17

Voltaje de polarización positivo (3 V). Debe ser filtrado y regulado adecuadamente.

3.5.3 COMUNICACIÓN INALÁMBRICA ENTRE DOS AT-XTR-903s

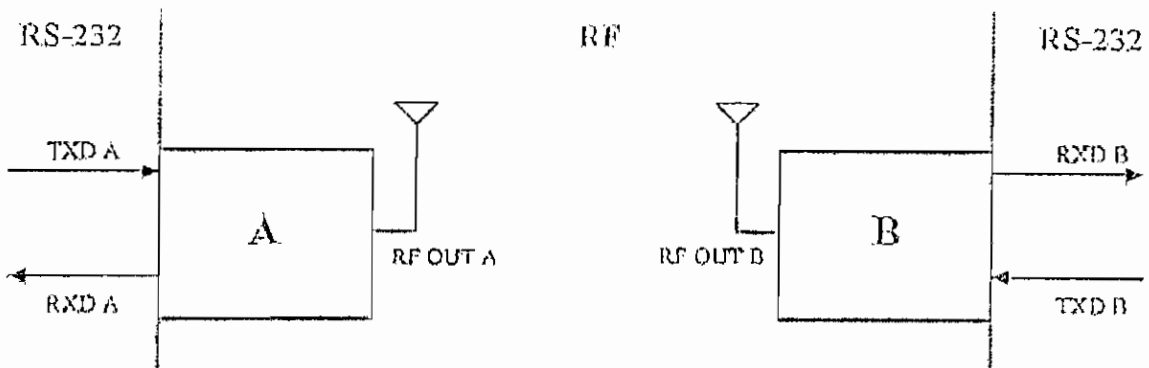


Figura 3.4: Dos AT-XTR-903s en comunicación [8]

La integración de un microprocesador embebido elimina la necesidad de implementar protocolos de sincronización entre las unidades de transmisión y recepción. El AT-XTR-903 permite la transferencia de datos en lógica RS232-TTL, como los que genera la salida de un microprocesador anfitrión o un puerto serial de un PC (con conversión de niveles de voltaje), sin la necesidad de código adicional. La transmisión de radio es completamente transparente, permitiendo la transferencia de datos de distintas longitudes (en bytes) y con una latencia menor que 20 ms entre la entrega de datos y la recepción real. Este tiempo se requiere para "abrir" la conexión de comunicación. De ahí en adelante, la transferencia de datos ocurre a la velocidad real del puerto serial (9600, 19200 o 38400 bps).

Los datos para transmisión y recepción tienen 1 bit de inicio (0 V), 8 bits de datos y un bit de parada (3 V).



Figura 3.5: Trama RS232 del AT-XTR-903 [8]

3.5.4 MODOS DE OPERACIÓN

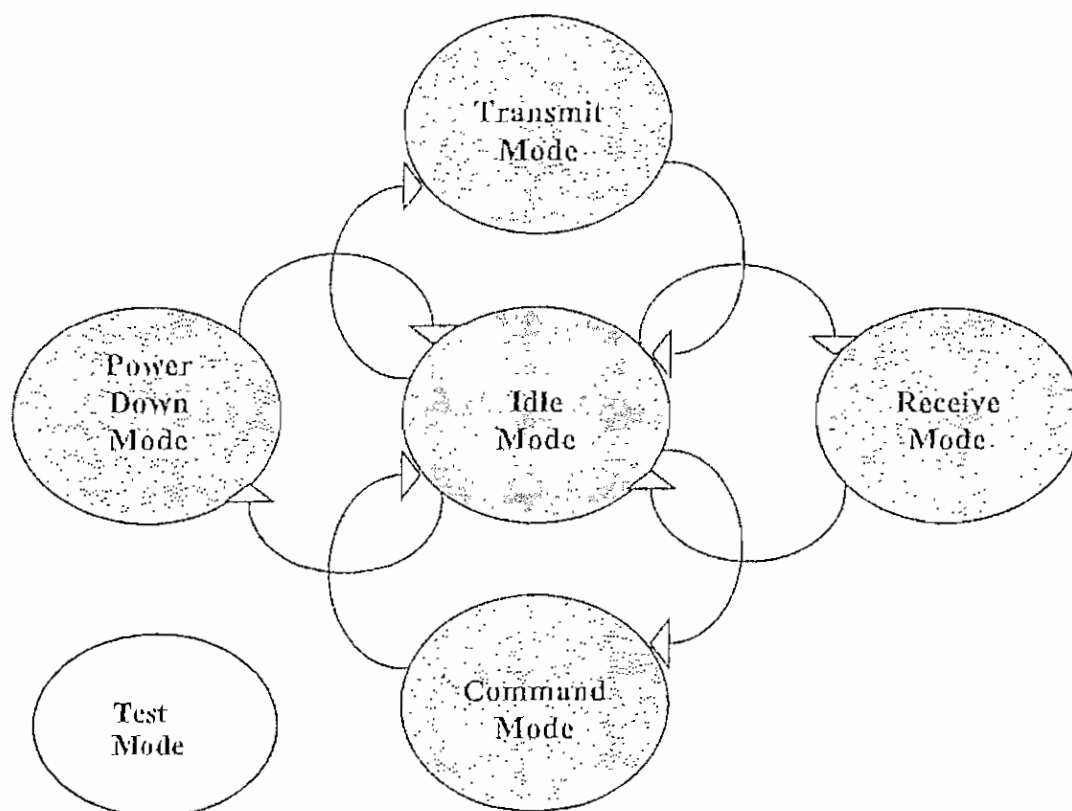


Figura 3.6: Diagrama de estados del AT-XTR-903 [8]

El estado de operación del AT-XTR-903 puede ser resumido como sigue:

- Modo de prueba (test);
- Modo de espera (idle);
- Modo de transmisión RF (transmit);
- Modo de recepción RF (receive);
- Modo de comando (command);
- Modo power down.

3.5.5 MODO DE PRUEBA (TEST MODE)

A este modo se ingresa después del encendido cuando SP1 y SP2 están a 0 V (GND). En este modo, la frecuencia portadora es continuamente modulada por una secuencia de datos pseudorandómica a 20 kHz. Para salir de este modo SP1 y SP2 deben ser reconfigurados bajo un estado de apagado.

3.5.6 MODO DE ESPERA (IDLE MODE)

Este es el estado de descanso del transceptor, cuando se energiza inicialmente. En este modo el transceptor estará "escuchando", esperando una secuencia de sincronización de RF o la presencia de datos en la línea serial de entrada (pin RSTX). Si cualquiera de las dos condiciones ocurre; el transceptor sale del modo de espera y conmuta al nuevo estado relevante.

3.5.7 MODO TRANSMISIÓN (TRANSMIT MODE)

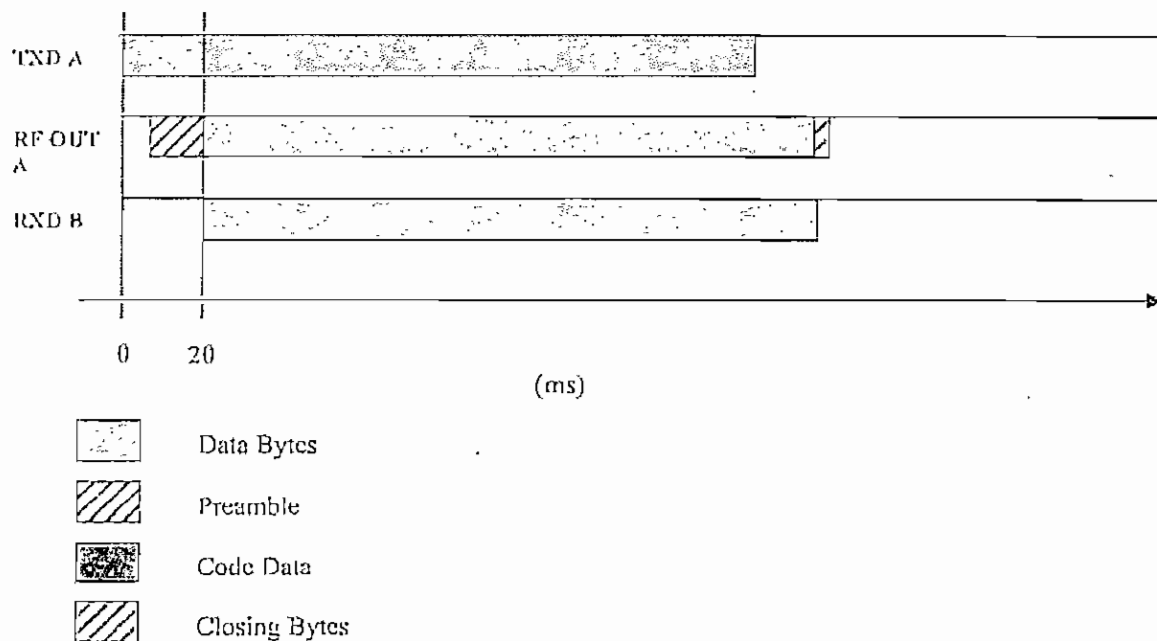


Figura 3.7: Diagrama de tiempos de la transmisión de un paquete de datos [8]

Desde el estado de descanso en el modo de espera, el transceptor automáticamente irá al estado de transmisión (modo de transmisión) tan pronto como detecte un bit de inicio en la línea de entrada de datos serial (pin RSTX). La

transferencia de datos de RF es transparente al usuario y los paquetes pueden tener cualquier longitud. El Módulo no añade checksum ni CRC.

Como se muestra en el diagrama de tiempos de la Figura 3.7, desde el instante de inicio (0 ms), cuando el primer bit de datos llega a la entrada del módulo de transmisión, hasta el instante cuando el primer bit de datos es recibido en la unidad remota, hay alrededor de 20 ms. Este retardo se debe a la transmisión de un preámbulo, el cual es introducido por el transmisor antes del paquete de datos que se va a transmitir. Este preámbulo es necesario para despertar y sincronizar al receptor en el AT-XTR-903 remoto. Asimismo, una secuencia de datos (fin de paquete) es añadida al paquete que está siendo enviado.

La velocidad de transmisión de 9600, 19200 o 38400 bps, se selecciona mediante los pines SP1 y SP2. Dependiendo de la velocidad, se añade un nivel diferente de redundancia para optimizar la transmisión RF.

Con velocidad de 38400 bps, cualquier byte simple del paquete de datos a ser enviado es afectado con balanceo pseudo randómico. No hay seguridad de que los datos recibidos en el módulo remoto no fueron corrompidos durante la radio transmisión.

Con velocidad de 19200 bps, cualquier byte simple del paquete de datos a ser enviado es balanceado con el mismo número de 0s y 1s (Manchester). El sistema puede reconocer cualquier error simple por bit de datos, y si ocurre, el sistema detendrá la salida de datos en la línea de datos del módulo receptor.

Con velocidad de 9600 bps, se realiza balanceo con Manchester y corrección con Hamming. El código Hamming permite corregir cualquier error simple ocurrido en cualquier nible de los datos. Esta es la velocidad más segura para enviar los datos, debido a que el protocolo implementado provee detección y corrección de errores.

En este proyecto se trabaja a una velocidad de 19200 bps.

3.5.8 MODO RECEPCIÓN RF (RECEIVE MODE)

El cambio desde el modo de espera al modo recepción ocurre tan pronto como el módulo reconoce el preámbulo de sincronización en la señal entrante de RF. A partir de este instante el transceptor permanecerá en modo recepción hasta la recepción de la secuencia de cierre.

Cualquier entrada de datos desde la línea de entrada serial (pin RSTX) será descartada mientras el módulo está en modo recepción.

En este proyecto se utiliza el pin 485EN del transceptor para saber si ya abandonó el modo recepción.

3.5.9 MODO COMANDO (COMMAND MODE)

El modo comando permite configurar los principales parámetros que cambian las condiciones de operación del módulo, como seleccionar una nueva frecuencia de operación o configurar la potencia de salida. La programación se realiza mediante comandos AT. Para entrar al modo comando, se debe enviar la siguiente cadena a través de la línea RSTX del módulo:

Tres caracteres + en ASCII (+++) sin pausas.

Dentro de 35 ms, el módulo responderá con la cadena OK<CR><LF> para confirmar que está en el modo comando. (<CR> representa Retorno de carro) (<LF> representa Avance de línea).

La información de programación es guardada en 16 registros. Algunos de estos están disponibles sólo para lectura, mientras otros permiten lectura/escritura.

En este proyecto no se utiliza este modo.

3.5.10 MODO POWER DOWN

Poner el pin PWRDN en alto (+ 3 V) lleva el transceptor al modo de ahorro de energía, limitando su consumo a menos de 10 μ A. Mientras dura este modo, el

transceptor no está en condiciones de recibir ni transmitir, pero continúa manteniendo los niveles lógicos correctos con los dispositivos externos, por ejemplo, la línea de recepción RSRX se mantiene en alto (+ 3 V). Para retornar al modo de espera, el pin PWRDN debe ser puesto en bajo (0 V).

CAPÍTULO 4

ESPECIFICACIONES Y DISEÑO

En este capítulo se describen los requerimientos del sistema y la solución propuesta del hardware para cumplir tales requerimientos.

4.1 REQUERIMIENTOS DEL SISTEMA

Se plantea el diseño y la construcción de un prototipo para medición y transmisión inalámbrica del consumo de energía eléctrica de un sistema monofásico bifilar.

El proyecto abarca la construcción de un dispositivo esclavo remoto que se conecta en el sitio donde se requieren determinar los parámetros (energía activa y demanda).

Asimismo se aborda la construcción de un dispositivo maestro, el cual solicita la información al esclavo y mediante una aplicación para PC permite visualizar y almacenar los datos.

La comunicación entre maestro y esclavo se realiza mediante un enlace de radiofrecuencia de corto alcance.

4.1.1 REQUERIMIENTOS DEL DISPOSITIVO ESCLAVO

El dispositivo esclavo remoto realiza tareas de medición, registro y transmisión inalámbrica de datos. Realiza medición y registro de energía eléctrica activa de un sistema monofásico bifilar. Debe procesar comandos enviados (inalámbricamente) por el maestro. Los comandos del maestro pueden ser de lectura (por ejemplo lectura de energía) o de configuración (por ejemplo encerrar el contador de energía).

4.1.1.1 Especificaciones técnicas

El dispositivo esclavo debe estar conectado a un sistema monofásico bifilar. Se plantean las siguientes condiciones nominales para el medidor:

- Voltaje (Fase-neutro): 120 V;
- Frecuencia de línea: 60 Hz;
- Clase ANSI C12.16: 20 (corriente máxima 20 A) [9];

Especificaciones de la comunicación inalámbrica de radio frecuencia (RF):

- Frecuencia: 433 MHz [8];
- Potencia emitida por el módulo de RF: 10 mW [8].

4.1.1.2 Medición

El objetivo principal del medidor (esclavo) es realizar medición de energía activa, sin embargo, dada la amplia funcionalidad del chip ADE7753, se plantea además la realización de mediciones de: energía aparente, voltaje de red, frecuencia de red, temperatura.

4.1.1.3 Registro

A fin de generar información de la demanda, el medidor debe registrar pares ordenados energía – tiempo. La medición de energía se realiza mediante el ADE7753. Para el conteo del tiempo se plantea la utilización de un reloj de tiempo real (RTC).

El sistema está concebido para ser alimentado por la energía de la red. Debido a que puede presentarse una condición eventual de falla del suministro, el valor del contador de energía debe ser guardado en una memoria no volátil.

El sistema debe garantizar la integridad de los datos (contador de energía), aunque se presenten condiciones de falla.

La memoria no volátil también debe guardar las constantes de calibración del ADE7753.

4.1.1.4 Transmisión

El esclavo debe ser capaz de transmitir información (inalámbicamente) de las variables medidas, hacia el maestro y previa solicitud (comando) de éste último. El esclavo debe ser capaz de transmitir la siguiente información: energía activa, energía aparente, voltaje de red, frecuencia de red, voltaje de batería del RTC, temperatura, pares energía – tiempo, fecha/hora (lectura al RTC), fecha/hora de última falla (ausencia) de voltaje de red.

4.1.1.5 Procesamiento de comandos

El esclavo debe procesar comandos (órdenes) enviados (inalámbicamente) por el maestro. Las órdenes pueden ser de lectura y de configuración.

Las órdenes de lectura indican una petición de transmisión de las variables medidas. Se plantea que el esclavo reconozca y ejecute órdenes de lectura de las siguientes variables: energía activa, energía aparente, voltaje de red, frecuencia de red, voltaje de batería del RTC, temperatura, pares energía – tiempo, fecha/hora (lectura al RTC), fecha/hora de última falla (ausencia) de voltaje de red.

Las órdenes de configuración determinan el funcionamiento del esclavo. Se plantea que el esclavo reconozca y ejecute las siguientes órdenes de configuración: encerrar contador de energía, igualar el RTC, modificar período de actualización del contador de energía y modificar período de registro de pares energía – tiempo.

4.1.2 REQUERIMIENTOS DEL DISPOSITIVO MAESTRO

El dispositivo maestro envía (inalámbicamente) comandos al esclavo. Los comandos pueden ser de lectura o de configuración.

El maestro se comunica con un PC, en el cual reside una aplicación que sirve como interfaz gráfica para que el usuario pueda ejecutar acciones sobre el esclavo, como por ejemplo leer variables o configurar remotamente al esclavo.

4.2 HARDWARE DEL ESCLAVO

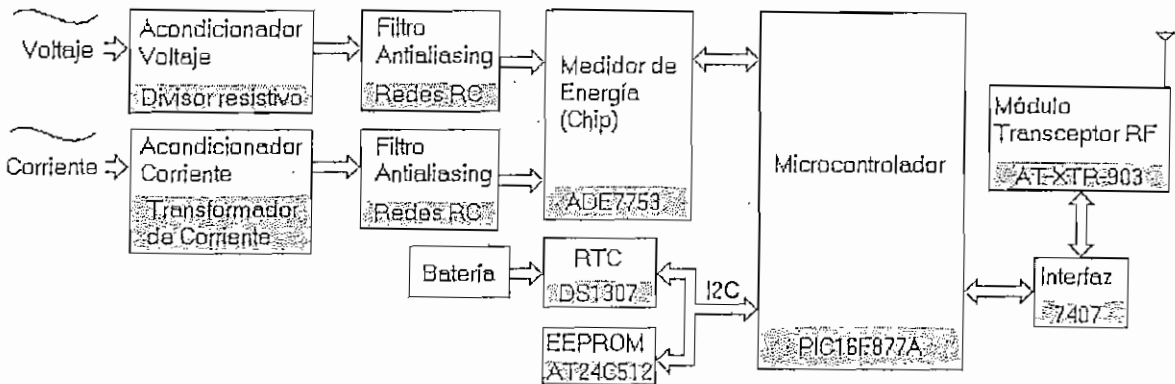


Figura 4.1: Arquitectura del esclavo

La Figura 4.1 (idéntica a la Figura 1.5) muestra la arquitectura propuesta para el esclavo. El hardware se diseña sobre la base de esta arquitectura. El chip medidor de energía ADE7753 y el módulo transceptor de RF AT-XTR-903, así como las justificaciones para su utilización se presentan respectivamente en el CAPÍTULO 2 y el CAPÍTULO 3.

Se utiliza el chip ADE7753 para determinar la energía eléctrica a partir de muestras de voltaje y corriente previamente acondicionadas y filtradas (ver Figura 4.1). El microcontrolador maneja el bus SPI para realizar la comunicación con el ADE7753. También existe conexión del microcontrolador con las siguientes líneas del ADE7753: IRQ (configurado como interrupción para que el microcontrolador actualice contador de energía), SAG (aviso de falla de voltaje de red), ZX (detección de cruce por cero) y CF (pulsos de frecuencia proporcional a la potencia activa). El ADE7753 tiene incorporado un monitor de voltaje de red, el cual en caso de falla envía un aviso (mediante el pin SAG) al microcontrolador, para que éste gestione el almacenamiento del valor del contador de energía en una memoria no volátil (EEPROM en la Figura 4.1).

La memoria no volátil también guarda las constantes de calibración del ADE7753.

El esclavo registra pares ordenados energía – tiempo, los cuales sirven para generar información de la demanda. Estos datos se guardan en la memoria no volátil. Para llevar la cuenta del tiempo se utiliza un reloj de tiempo real (RTC en la Figura 4.1). El registro de pares energía – tiempo se realiza a intervalos programables (remotamente desde el maestro). El registro de pares está gobernado por el microcontrolador, el cual lee la energía desde el medidor (ADE7753) y el tiempo desde el reloj y guarda el par energía – tiempo en la memoria.

El reloj lleva la cuenta del tiempo en registros de RAM, por lo cual requiere estar energizado permanentemente. En condiciones normales, la energía se obtiene de la red. En caso de falla del suministro, la energía se toma de la batería conectada al reloj (Ver Figura 4.1).

Para realizar la comunicación inalámbrica, se utiliza el módulo transceptor (transmisor - receptor) AT-XTR-903 a 433 MHz de ABACOM. La conexión entre el microcontrolador y el módulo transceptor requiere una interfaz intermedia (buffer 7407 en la Figura 4.1) para convertir niveles de voltaje, como se explicó en la sección 3.3, en la página 61.

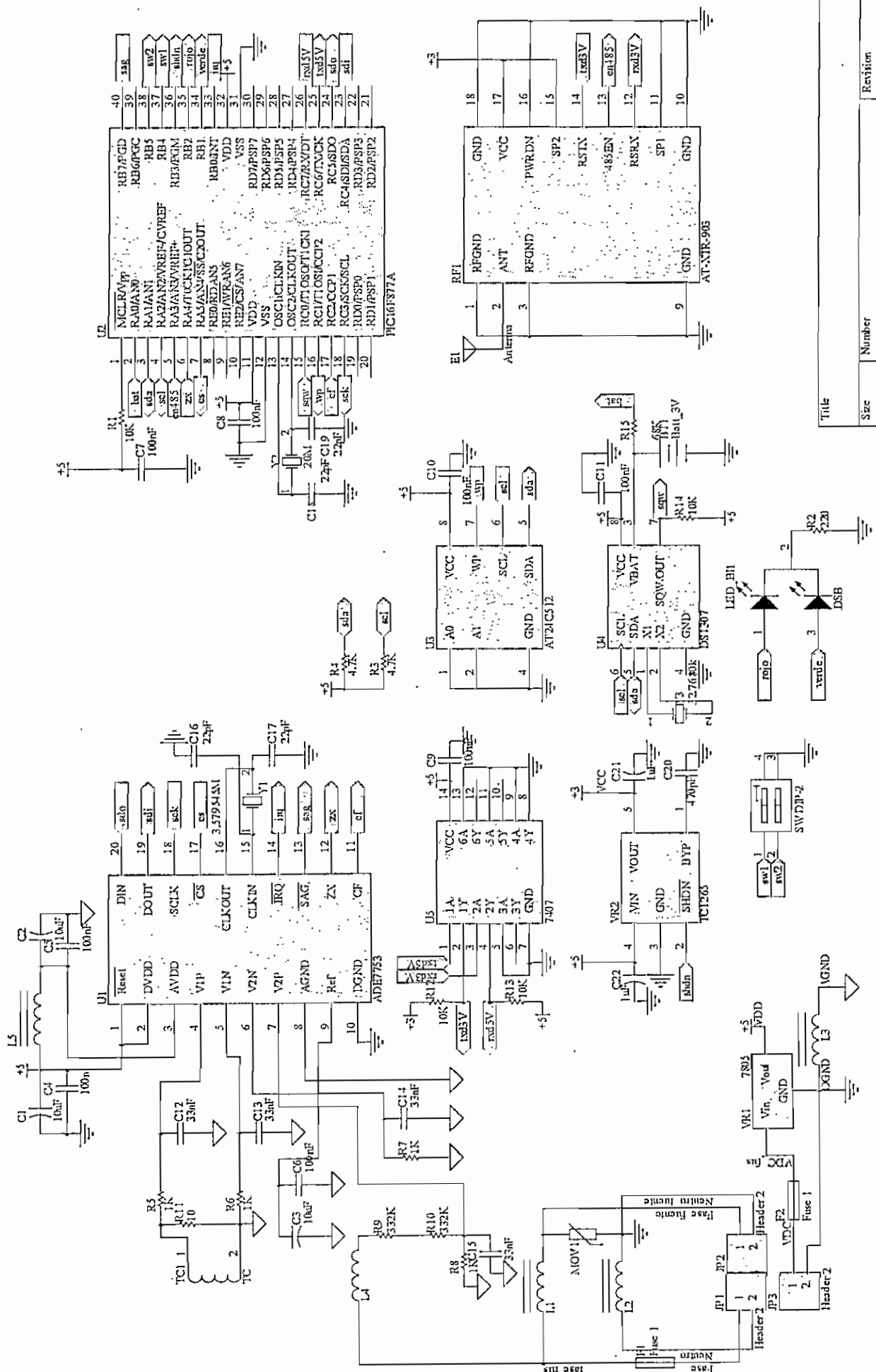


Figura 4.2: Circuito del esclavo (medidor)

Size	Number	Revision
A4		
Date:	09/03/2006	Sheet of
File:	C:\proyectos\Iniciacion\esclavo_SCHDOC	Drawn By:

4.2.1 HARDWARE DE MEDICIÓN DE ENERGÍA

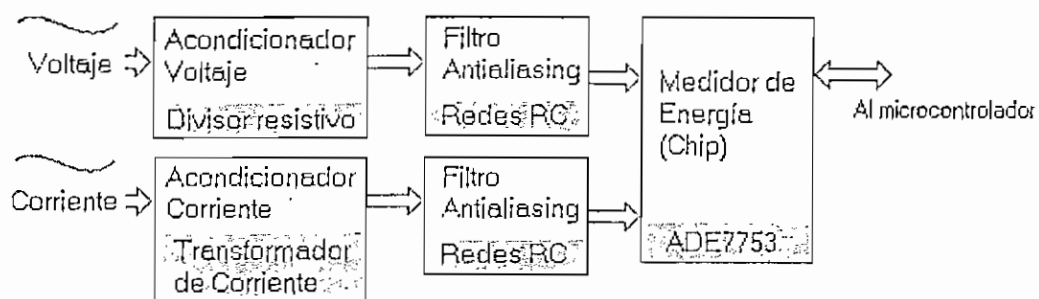


Figura 4.3: Arquitectura del hardware de medición de energía

El hardware de medición de energía está constituido por el ADE7753 y circuitería adicional para acondicionar y filtrar las señales de voltaje y corriente.

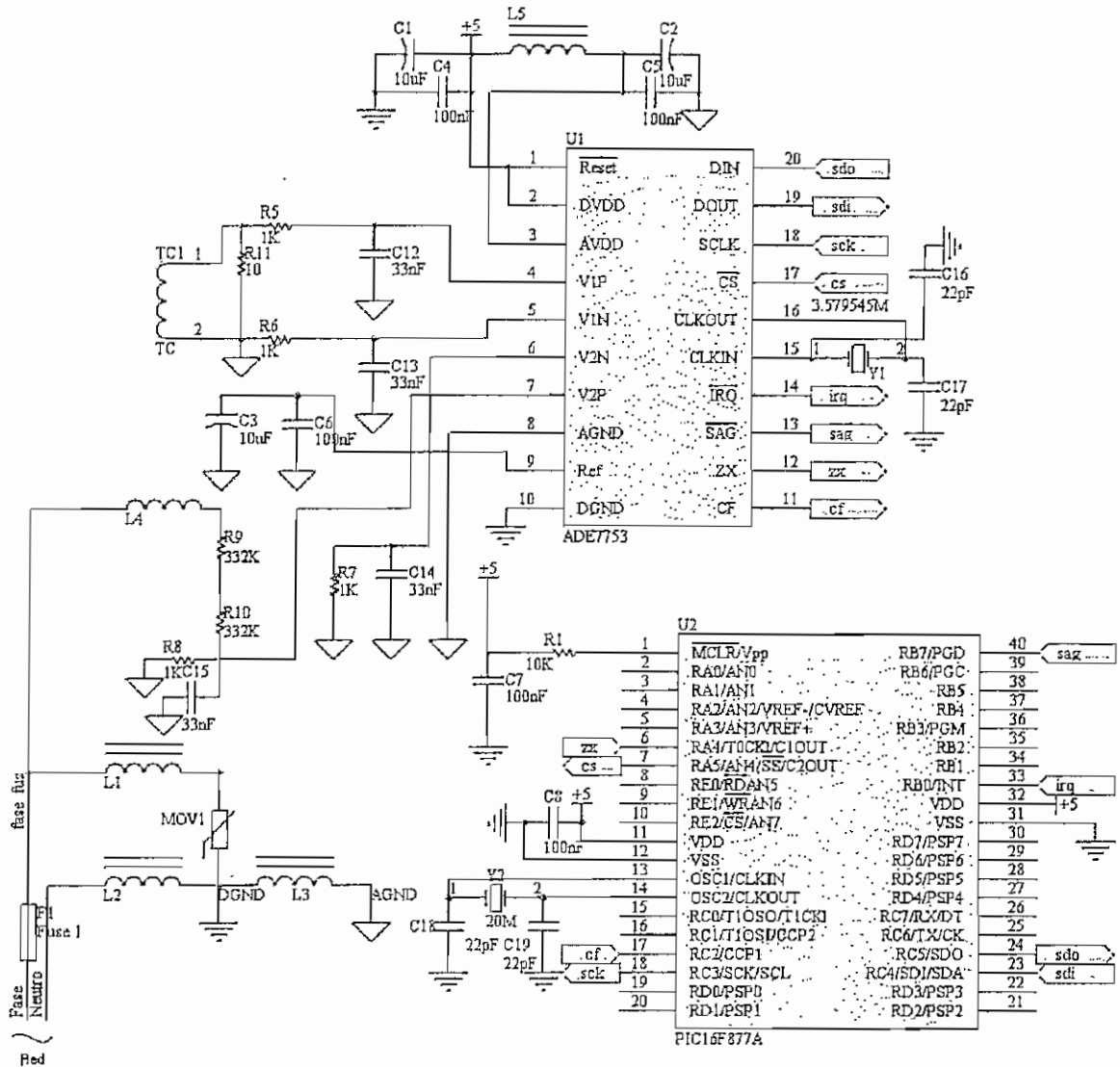


Figura 4.4: Circuito de medición de energía

En la Figura 4.4 se observa el hardware de medición de energía implementado. En las siguientes secciones se procede a describir las diferentes partes del circuito. El diseño del hardware está basado principalmente en la información proporcionada por el fabricante en [10] y [12].

4.2.1.1 Acondicionador de corriente [10] y [12]

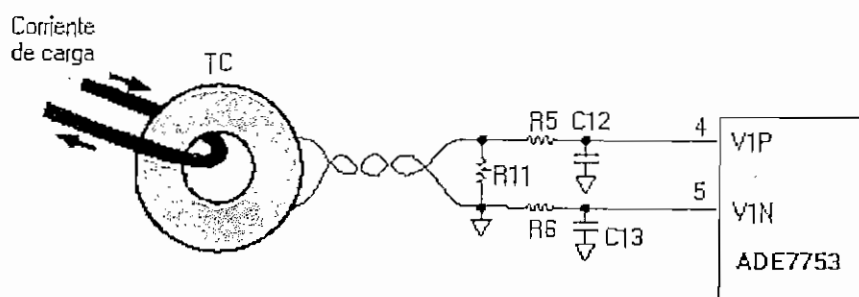


Figura 4.5: Acondicionador de corriente

Una muestra proporcional de la señal de corriente debe ingresar al canal 1 del ADE7753. El máximo voltaje instantáneo en el canal 1 es de ± 0.5 V [12].

Como criterio de diseño se propone que el voltaje (v_{ch1}) de entrada en el canal 1 llegue al valor máximo (± 0.5 V) cuando la corriente de la carga sea el doble del valor máximo (en este caso la corriente máxima es 20 A), es decir cuando la corriente de la carga sea 40 A.

La señal de corriente de carga debe ser convertida a señal de voltaje y atenuada hasta los valores propuestos.

Se utiliza un transformador de corriente (TC en la Figura 4.5) AC1030 (corriente nominal 30 A) de TALEMA, con relación de transformación de 1000:1.

El secundario del transformador de corriente (TC) se conecta a una resistencia burden R11 (ver Figura 4.5), para obtener una señal de voltaje.

$$R11 = \frac{v_{ch1 \max}}{I_{\text{sec max}} \sqrt{2}} = \frac{v_{ch1 \max}}{\frac{I_{\text{prim max}}}{N} \sqrt{2}} = \frac{N v_{ch1 \max}}{I_{\text{prim max}} \sqrt{2}} = \frac{1000(0.5V)}{(40A)\sqrt{2}} = 8.84\Omega$$

(Ec. 4.1)

Se hace $R11 = 10 \Omega$.

Al escoger un valor mayor al calculado se tendrá un voltaje mayor que 0.5V en el canal 1, para 40 A en la carga. Sin embargo, esto permitirá mejorar la relación

señal – ruido (SNR), debido a que se trabaja con voltajes un poco más altos en el canal 1 en condiciones normales.

Adicionalmente, a la entrada del canal 1 debe conectarse una red de filtrado antialiasing (formada por R5, C12, R6 y C13, ver Figura 4.5), la cual se describe más adelante en la sección 4.2.1.3.

4.2.1.2 Acondicionador de voltaje [10] y [12]

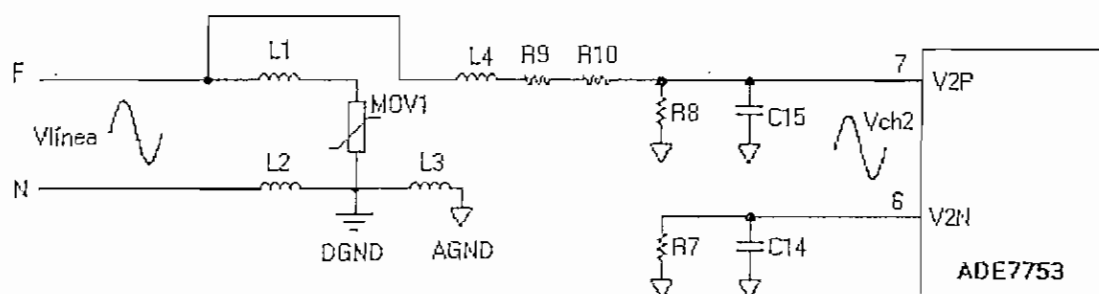


Figura 4.6: Acondicionador de voltaje

La topología del circuito (Figura 4.6) de acondicionamiento de voltaje, con la inclusión de elementos de protección y filtrado, obedece a la recomendación del fabricante del ADE7753 en las hojas de datos [12] y al diseño del circuito implementado en un medidor electrónico de energía, descrito en una Nota de Aplicación del fabricante ([10]). La circuitería de filtrado y la de protección se describen más adelante, en las secciones 4.2.1.3 y 4.2.8, respectivamente. En esta sección se aborda únicamente el acondicionamiento de voltaje.

La muestra de voltaje ingresa al canal 2 del ADE7753, cuyo máximo voltaje instantáneo es ± 0.5 V [12]. Para acondicionar la señal de voltaje se utiliza un divisor resistivo, formado por R8 y R9 + R10 (ver Figura 4.6).

Se toma como criterio que el voltaje (v_{ch2}) en el canal 2 sea igual al máximo, cuando el voltaje de la red sea el doble del voltaje nominal (en este caso el voltaje nominal es 120 V).

Sea $R8 = 1k \Omega$.

Este valor debe ser mucho menor que la impedancia de entrada del canal 2 (valor típico 390 k Ω [12])

El voltaje instantáneo máximo en el canal 2 es:

$$v_{ch2\max} = V_{\max} \sqrt{2} \frac{R8}{R8 + R9 + R10}$$

(Ec. 4.2)

Despejando R9+R10:

$$R9 + R10 = \frac{(V_{\max} \sqrt{2} - v_{ch2\max}) R8}{v_{ch2\max}} = \frac{(240V \sqrt{2} - 0.5V)(1k\Omega)}{0.5V} = 677.82k\Omega$$

(Ec. 4.3)

Sea R9 = R10 = 332 k Ω .

Adicionalmente, a la entrada del canal 2 debe conectarse una red de filtrado antialiasing (formada por R8, C15, R7 y C14, ver Figura 4.6), la cual se describe más adelante en la sección 4.2.1.3.

En el circuito de la Figura 4.6, también se han incluido elementos de protección: ferritas (L1, L2 y L4) y varistor (MOV1), que se describen en la sección de protecciones. La conexión entre tierra analógica y digital mediante L3 se explica más adelante, en la sección 4.2.1.5.

4.2.1.3 Filtros antialiasing [10] y [12]

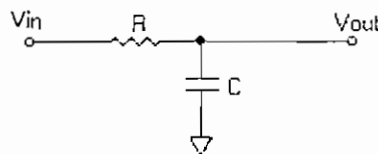


Figura 4.7: Filtro RC simple

Los filtros antialiasing son filtros pasa bajos ubicados antes de las entradas análogas del ADC para prevenir los efectos (descritos en la sección 2.4.20.1) del aliasing. Se utilizarán filtros RC como el de la Figura 4.7.

Los filtros presentan respuesta de magnitud y de fase. Las respuestas de magnitud y de fase de un filtro RC simple (Figura 4.7) con $R = 1 \text{ k}\Omega$ y $C = 33 \text{ nF}$, se muestran en la Figura 4.8 y la Figura 4.9. De la Figura 4.8 se observa que la atenuación a 900 kHz (la frecuencia de muestreo del ADE7753 es 894 kHz [12]) para este filtro es mayor que 40 dB. Esta atenuación es suficiente para no introducir errores significativos debido al aliasing [10].

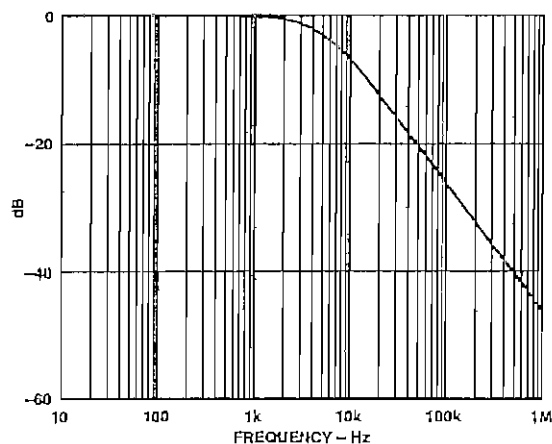


Figura 4.8: Respuesta de magnitud del filtro RC [10]

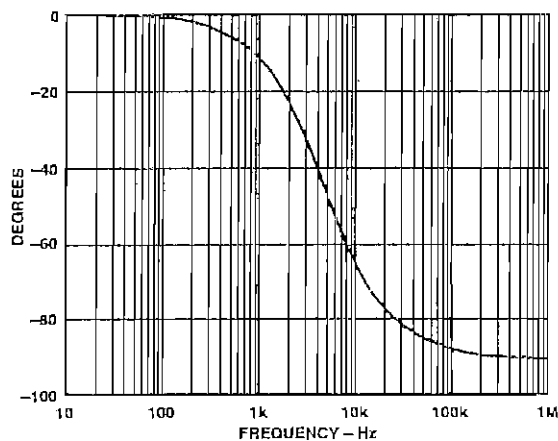


Figura 4.9: Respuesta de frecuencia del filtro RC [10]

Los filtros antialiasing pueden introducir un error de fase (como el que genera el transformador de corriente). Esto puede ocurrir debido a una tolerancia deficiente de los componentes del filtro [10].

La Figura 4.10 muestra la respuesta de fase para el filtro (de la Figura 4.7) a 50 Hz con $R = 1 \text{ k}\Omega \pm 10\%$ y $C = 33 \text{ nF} \pm 10\%$. En este proyecto se utilizan resistencias de 1% de tolerancia y capacitores de 5% de tolerancia.

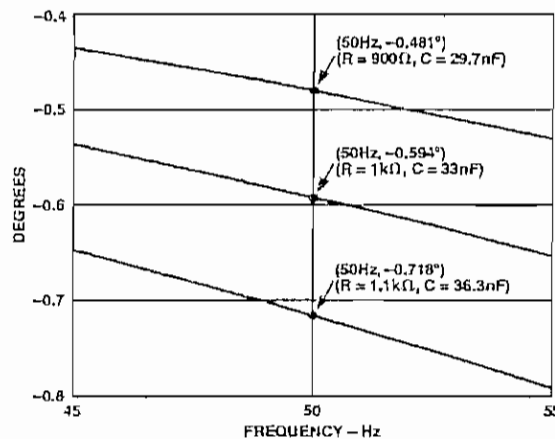


Figura 4.10: Desplazamiento de fase a 50 Hz debido a la tolerancia de componentes [10]

4.2.1.3.1 Frecuencia de corte del filtro antialiasing

De acuerdo a las recomendaciones del fabricante del ADE7753 [10], el filtro se diseña para una frecuencia de corte (-3 dB) de 4.8 kHz.

$$f_{-3dB} = \frac{1}{2\pi RC}$$

(Ec. 4.4)

Sea $R = 1 \text{ k}\Omega$

Despejando C:

$$C = \frac{1}{2\pi R f_{-3dB}} = \frac{1}{2\pi(1k\Omega)(4.8kHz)} = 33.157nF$$

(Ec. 4.5)

Sea $C = 33 \text{ nF}$.

Los filtros antialiasing RC diseñados deben ser conectados en las entradas de los dos canales del ADE7753. El dimensionamiento y la conexión (Figura 4.5 y Figura 4.6) de los filtros antialiasing en los dos canales del ADE7753 siguen el esquema implementado en el medidor electrónico de la Nota de Aplicación del fabricante [10] y se ajustan a la recomendación de las hojas de datos del chip ([12]).

En el canal de corriente (Figura 4.5, página 81) existe un filtro formado por R5 (1k Ω) y C12 (33 nF) y otro filtro formado por R6 (1k Ω) y C13 (33 nF).

En el canal de voltaje (Figura 4.6, página 82) existe un filtro formado por R8 (1k Ω) y C15 (33 nF) y otro filtro formado por R7 (1k Ω) y C14 (33 nF).

4.2.1.4 Conexión del ADE7753 con el microcontrolador PIC16F877A [12] y [28]

ADE7753	DIN	20	24	RC5/SD0
	DOUT	19	23	RC4/SDI/SDA
	SCLK	18	18	RC3/SCK/SCL
	$\overline{\text{CS}}$	17	7	RA5/AN4/ $\overline{\text{SS}}$ /C2OUT
	$\overline{\text{IRQ}}$	14	33	RB0/INT
	$\overline{\text{SAG}}$	13	40	RB7/PGD
	ZX	12	6	RA4/T0CKL/C1OUT
	CF	11	11	RC2/CCP1
				PIC16F877A

Figura 4.11: Conexión del ADE7753 con el PIC16F877A

Las líneas de la interfaz serial SPI del ADE7753 (DIN, DOUT, SCLK) se manejan mediante el hardware de comunicación serial síncrona del PIC16F877A (líneas

SDO, SDI, SCK [28]). El pin de habilitación de comunicación serial (CS) se maneja mediante el pin RA5 del PIC16F877A.

El pin de solicitud de interrupción (IRQ) del ADE7753 se conecta al pin de interrupción externa INT del PIC16F877A (Figura 4.11). Esta interrupción (IRQ) se utiliza para que el ADE7753 avise al PIC16F877A que se dispone de un nuevo valor (incremento) de energía activa y aparente. Cada vez que el microcontrolador recibe esta interrupción, lee el incremento desde el ADE7753 (mediante la interfaz SPI) e incrementa la cuenta de energía activa y aparente, que se lleva en registros de RAM del microcontrolador, es decir, se actualiza el valor del contador de energía.

El pin SAG del ADE7753 está conectado al pin RB7 del microcontrolador (Figura 4.11). El pin SAG avisa (interrupción) al microcontrolador la ocurrencia de una falla (ausencia) del voltaje de red, en cuyo caso el microcontrolador procede a guardar el valor del contador de energía en la EEPROM.

El fabricante del ADE7753 recomienda que las lecturas al registro de voltaje RMS (registro VRMSOS) se realicen sincronizadas con el cruce por cero [12]. Esta información (de cruce por cero) es proporcionada por el pin ZX, el cual indica la ocurrencia de un cruce por cero del voltaje de red y está conectado con el pin RA4 del microcontrolador (Figura 4.11).

El pin CF es una salida de pulsos de frecuencia proporcional a la potencia activa. La información de esta salida no se utiliza en este proyecto, sin embargo se conecta con el pin RC2 (Figura 4.11), en caso de que se requiera tal información en una posible modificación futura.

4.2.1.5 Consideraciones adicionales [10], [12] y [28]

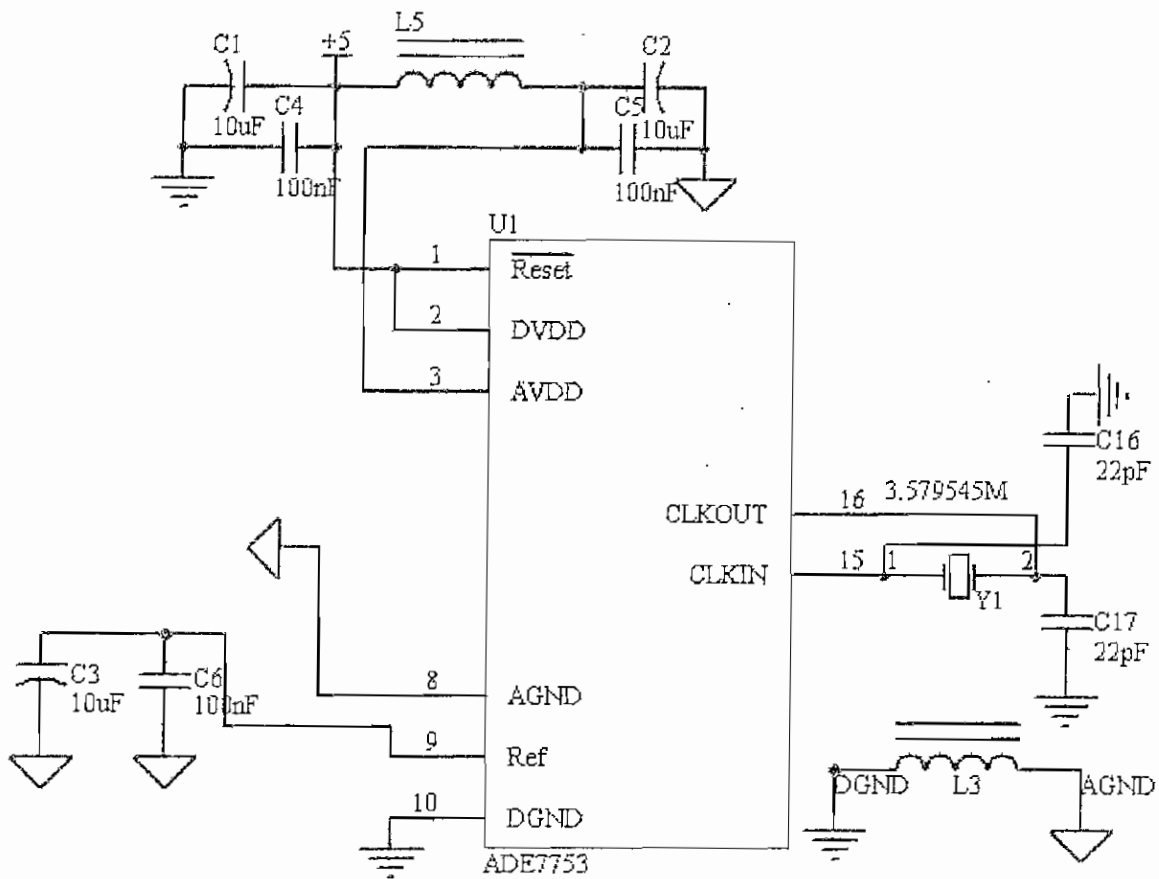


Figura 4.12: Conexiones adicionales del ADE7753

El pin DVDD (Figura 4.12) de polarización digital se conecta a + 5 V [12]. Este pin debe ser desacoplado mediante un capacitor (C1) de 10 μ F en paralelo con uno (C4) de 100 nF [12].

El pin AVDD (Figura 4.12) de polarización analógica debe ser desacoplado mediante un capacitor (C2) de 10 μ F en paralelo con uno (C5) de 100 nF [12] y también se debe alimentar con + 5 V. A fin de proteger la circuitería analógica contra efectos de ruido en la fuente de polarización, se implementa una división de fuente de poder. La división de fuente de poder (ver Figura 4.13) es una técnica recomendada para proteger la circuitería analógica contra el ruido generado por componentes digitales [24].

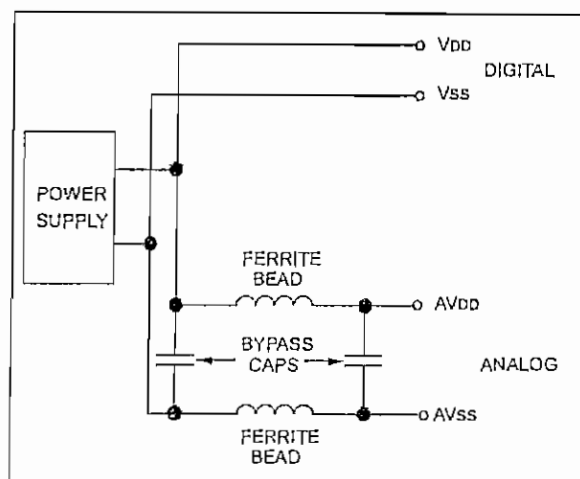


Figura 4.13: División de fuente de poder [24]

En este caso, los capacitores C1 y C4 de la Figura 4.12, corresponden al capacitor (BYPASS CAP) de la izquierda de la Figura 4.13. Los capacitores C2 y C5 de la Figura 4.12, corresponden al capacitor (BYPASS CAP) de la derecha de la Figura 4.13. Las ferritas L5 y L3 de la Figura 4.12, corresponden respectivamente a las ferritas (FERRITE BEADS) de la parte superior e inferior de la Figura 4.13. Cuando se selecciona la ferrita, se debe escoger una cuyo material esté diseñado para el rango de frecuencia de ruido [24]. En este caso se escogen las ferritas (L3 y L5) EXC-ELSA39 de PANASONIC, siguiendo la recomendación de la Nota de Aplicación descrita en [10].

La línea Ref (Figura 4.12) es la referencia de voltaje del ADE7753 y debe ser desacoplada con un capacitor de $10\ \mu\text{F}$ (C3) en paralelo con uno (C6) de $100\ \text{nF}$ [12].

El ADE7753 requiere la conexión de un cristal externo. Se utiliza un cristal Y1 (Figura 4.12) de $3.579545\ \text{MHz}$ en los pines CLKIN y CLKOUT de acuerdo a lo recomendado por el fabricante [12]. También se incluyen los capacitores (Figura 4.12) C16 y C17 de $22\ \text{pF}$, de acuerdo a la recomendación del fabricante del ADE7753 en [12] y del fabricante del cristal [18].

Los pines AGND y DGND (Figura 4.12) se conectan a tierra analógica y digital, respectivamente.

4.2.2 HARDWARE DE CONTEO DEL TIEMPO [15]

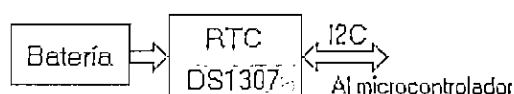


Figura 4.14: Arquitectura del hardware de conteo del tiempo

Como se mencionó en la sección 4.2, el esclavo registra pares ordenados energía – tiempo, los cuales sirven para generar información de la demanda. La energía se lee desde el ADE7753. Para llevar la cuenta del tiempo se plantea la utilización de un reloj de tiempo real (RTC). Específicamente, se utiliza el DS1307 de Dallas Semiconductor [15].

El DS1307 es un reloj de tiempo real, serial, de 64 k x 8. Cuenta (en registros) segundos, minutos, horas, día, fecha, mes, año con compensación de año bisiesto válida hasta 2100. Dispone de interfaz serial a dos hilos (I2C). Tiene una salida (SQW) de onda cuadrada de frecuencia programable. Posee circuitería de detección de falla de energía y conmutación automática (batería conectada en el pin VBAT).

El DS1307 es un reloj/calendario con registros codificados en BCD más 56 bytes (no utilizados en este proyecto) de RAM no volátil. Las direcciones y los datos (de los registros) son transferidos serialmente a través del bus (I2C) bidireccional de 2 hilos.

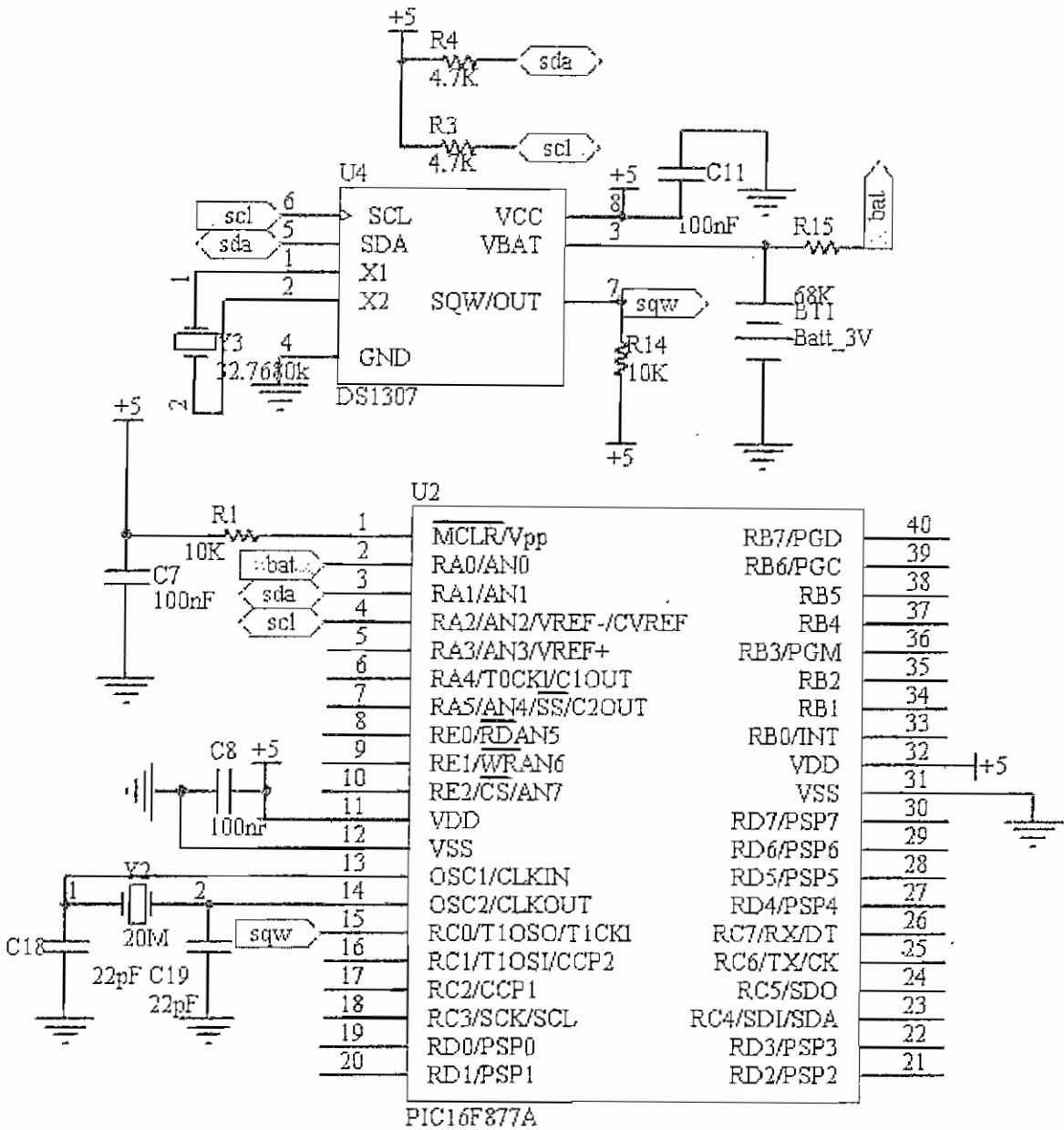


Figura 4.15: Circuito de conteo del tiempo

4.2.2.1 Consideraciones generales [15], [23], [24] y [26]

Las líneas SDA y SCL requieren ser conectadas a resistencias pull-up. En este proyecto se utilizan resistencias (R3 y R4, Figura 4.15) de 4.7 k Ω , de acuerdo a la recomendación de la Nota de Aplicación de MICROCHIP en [26].

La salida SQW (configurada a 1 Hz) es de colector abierto y requiere la conexión de una resistencia pull-up. Las hojas de datos del DS1307 no recomiendan ningún valor. Se utiliza una resistencia (R14, Figura 4.15) de 10 k Ω , el cual es un valor típico para resistencias pull-up de líneas de entrada al PIC16F877A.

El DS1307 requiere la conexión de un cristal externo (Y3, Figura 4.15) de 32,768 kHz [15].

Se incluye un capacitor bypass (C11, Figura 4.15) de 100 nF, de acuerdo a la recomendación de [24] para componentes digitales.

El DS1307 requiere la conexión de una batería (de respaldo en caso de falla de la alimentación) de 3V en el pin VBAT (ver Figura 4.15). Dado que el microcontrolador PIC16F877A dispone de un conversor AD, se aprovecha esta funcionalidad para medir el voltaje de la batería (se puede leer remotamente desde el maestro).

Si se conecta directamente el terminal positivo de la batería con la entrada análoga (RA0/AN0) del microcontrolador PIC16F877A, ocurre que cuando falla la energía de alimentación de todo el circuito (y por lo tanto del microcontrolador), la batería entrega energía al microcontrolador a través del pin RA0/AN0, debido a la estructura general de un pin de entrada/salida de un microcontrolador PIC, lo cual puede ocasionar un comportamiento inesperado [23]. Para solucionar este problema se plantea la utilización de una resistencia entre la batería y el pin de entrada del microcontrolador. Se ha intercalado una resistencia R15 de 68 k Ω entre el terminal positivo de la batería y la entrada al canal análogo (pin RA0/AN0, ver Figura 4.15). Experimentalmente se observa que una medición del voltaje de la batería, con la intercalación de R15 (68 k Ω) es de 2.97V y sin R15 es de 2.94 V. El error en la lectura de voltaje introducido por R15 no es significativo, considerando que únicamente se requiere un valor referencial para determinar el estado de la batería.

4.2.2.2 Diagrama de bloques del DS1307

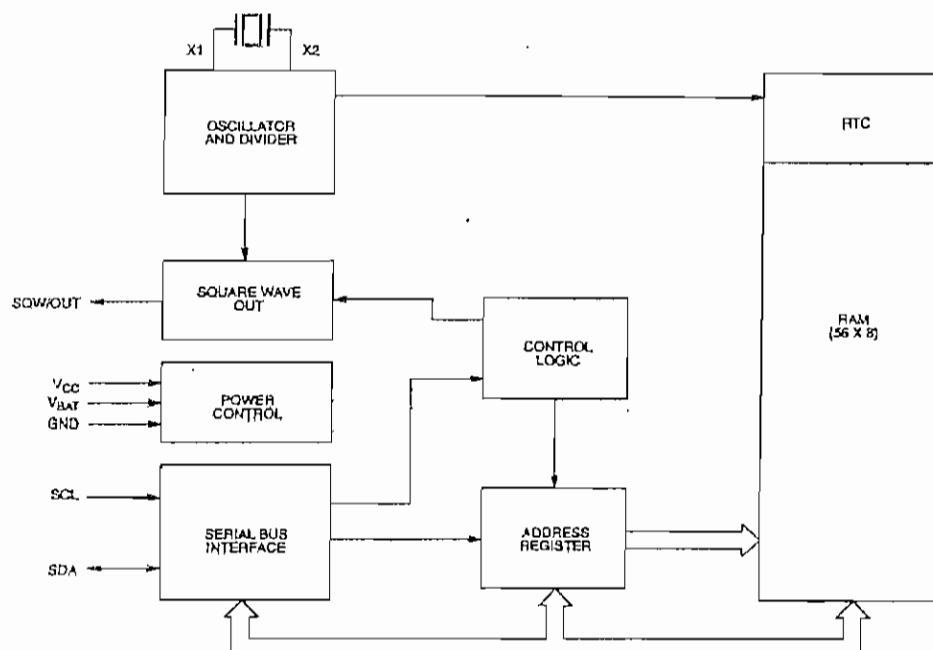


Figura 4.16: Diagrama de bloques del DS1307 [15]

4.2.2.3 Mapa de memoria del DS1307

Tabla 4.1: Mapa de memoria del DS1307 [15]

00h	Segundos
01h	Minutos
02h	Horas
03h	Día
04h	Fecha
05h	Mes
06h	Año
07h	Control
08h	RAM
3Fh	56 x 8

Los registros del RTC están en las localidades 00H a 07H. Los registros de RAM están desde la dirección 08h hasta la 3Fh.

La información de fecha y hora se obtiene leyendo los registros apropiados (interfaz I2C). Los contenidos de los registros están en formato BCD.

4.2.2.4 Salida de onda cuadrada (SQW) del DS1307

El DS1307 dispone de un pin (SQW) con salida de frecuencia programable (a través del registro CONTROL, dirección 07h en Tabla 4.1). En este proyecto, la información de este pin se utiliza para solicitar periódicamente al microcontrolador una lectura del reloj. Cada vez que el microcontrolador lee el reloj, determina si debe o no guardar un par energía – tiempo en la memoria no volátil. Se configura la frecuencia de SQW a 1 Hz. El pin SQW está conectado a la entrada T1CKL (del TIMER 1) del PIC16F877A (ver Figura 4.15). EL TIMER 1 del PIC16F877A se configura de tal manera que genera una interrupción por cada 60 pulsos recibidos en T1CKL. Es decir que cada minuto el microcontrolador lee el RTC para determinar si debe o no registrar un par energía – tiempo. El período de registro es variable y configurable (remotamente) desde el maestro. Si por ejemplo, el período de registro (de pares energía - tiempo) se configura a 30 minutos, entonces el microcontrolador grabará a las 0h00, 0h30, 1h00, 1h30, 2h00, etc. y si el período es de 20 minutos, se registrará a las 0h00, 0h20, 0h40, 1h00, 1h20, etc., y así sucesivamente.

4.2.2.5 Comunicación serial a 2 hilos (I2C) [14] y [15]

En esta sección (4.2.2.5) se describe brevemente el protocolo de comunicación serial a 2 hilos. No se presentan mayores detalles, debido a que la comunicación a 2 hilos (I2C) se maneja por software mediante el microcontrolador PIC16F877A. El compilador utilizado (MicroCode Studio Plus – PICBasic Pro 2.45) para el programa del microcontrolador procesa instrucciones de alto nivel, para lectura (I2CREAD) y escritura (I2CWRITE) de dispositivos conectados al bus I2C. La utilización de estas instrucciones no implica mayor conocimiento del protocolo.

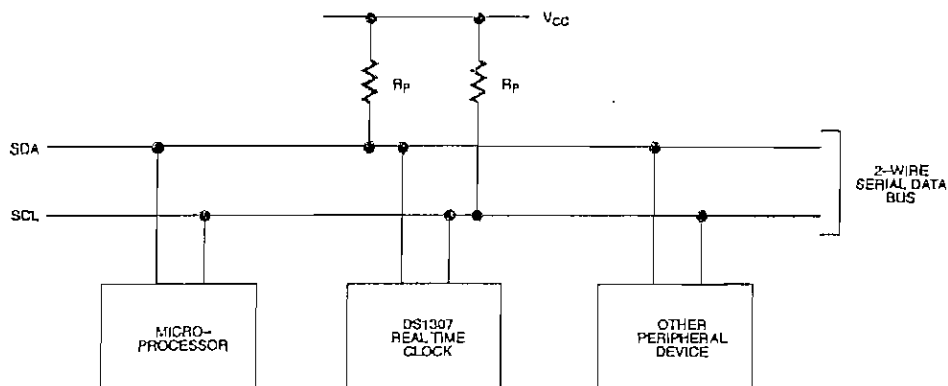


Figura 4.17: Configuración típica del bus de 2 hilos [15]

Un dispositivo que envía datos al bus se define como transmisor y un dispositivo que recibe los datos, como receptor. El dispositivo que controla el mensaje se denomina maestro³ (en este proyecto el maestro del bus I2C es el microcontrolador PIC16F877A). Los dispositivos controlados por el maestro son los esclavos. El bus debe ser controlado por el maestro, el cual genera el reloj serial (SCL), controla el acceso al bus y genera las condiciones de inicio y parada.

La conexión típica del DS1307 a un bus I2C se muestra en la Figura 4.17. En este proyecto se utiliza el PIC16F877A en lugar del microprocesador (MICROPROCESSOR) de la Figura 4.17. Adicionalmente se conecta la memoria AT24C512 de igual forma que se encuentra conectado el otro dispositivo periférico (OTHER PERIPHERAL DEVICE) de la Figura 4.17, como se verá más adelante. Es decir que para el bus I2C implementado se tiene que el microcontrolador es el maestro mientras que el RTC y la memoria son los esclavos. El bus I2C constituido por las líneas SDA y SCL se maneja mediante el microcontrolador PIC16F877A a través de los pines RA1 y RA2 (ver Figura 4.15).

La transferencia de datos puede ser iniciada solamente cuando el bus no está ocupado. Durante una transferencia de datos, la línea de datos (SDA) debe permanecer estable mientras la línea de reloj (SCL) esté en alto. Los cambios en la línea de datos mientras la línea de reloj está en alto son interpretados como señales de control.

³ Se refiere al maestro del bus I2C. No confundir con el dispositivo maestro implementado en este proyecto.

4.2.2.5.1 Bus no ocupado

Las dos líneas; de datos y de reloj permanecen en alto.

4.2.2.5.2 Inicio de transferencia de datos

Un cambio de la línea de datos, de alto a bajo mientras el reloj está en alto, define una condición de inicio. Ver Figura 4.19.

4.2.2.5.3 Parada de transferencia de datos

Un cambio de la línea de datos, de bajo a alto mientras el reloj está en alto, define una condición de parada. Ver Figura 4.19.

4.2.2.5.4 Datos válidos

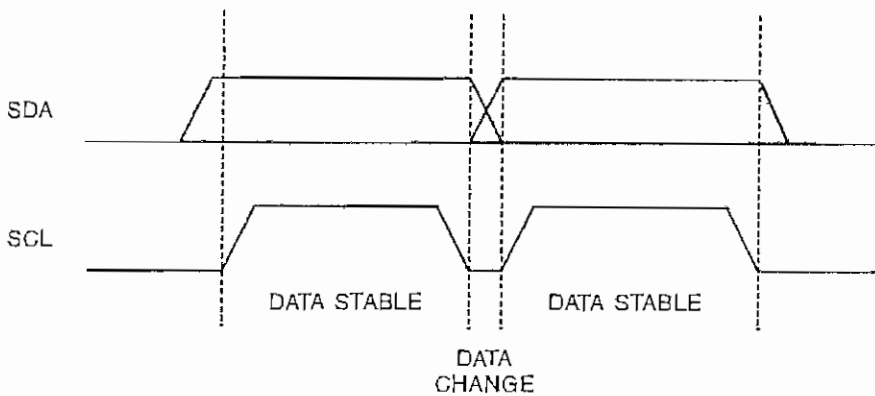


Figura 4.18: Validación de datos [14]

El estado de la línea de datos representa datos válidos cuando, después de una condición de inicio, la línea de datos permanece estable mientras permanece en alto la señal de reloj. Los datos en la línea deben ser cambiados mientras el reloj está en bajo. Cada transferencia de datos es iniciada con una condición de inicio y finalizada con una condición de parada. El número de bytes de datos transferidos entre las condiciones de inicio y parada no está limitado y es controlado por el maestro (microcontrolador). La información es transferida por bytes y cada receptor (cada dispositivo conectado I2C) emite una confirmación (acknowledge) con un noveno bit. El DS1307 opera a 100 kHz (frecuencia de SCL).

4.2.2.5.5 Confirmación (Acknowledge)

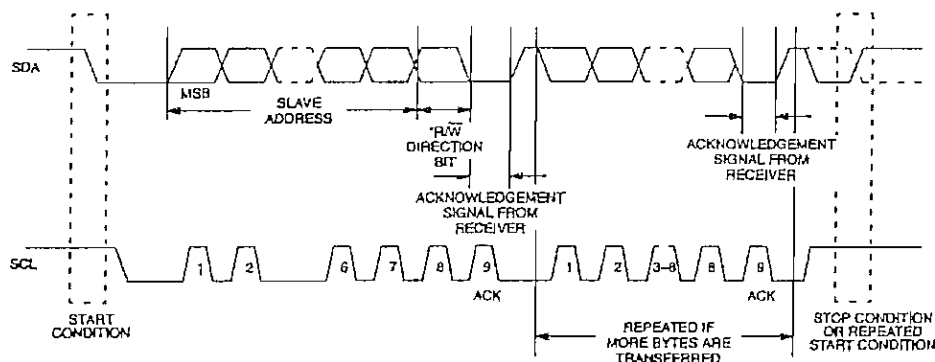


Figura 4.19: Transferencia de datos sobre el bus serial a 2 hilos [15]

Cada dispositivo receptor, cuando es direccionado, es obligado a generar una confirmación (aknowledge) después de la recepción de cada byte. El dispositivo maestro (en este caso el microcontrolador) debe generar un pulso de reloj adicional que está asociado con este bit de confirmación.

Un dispositivo que confirma (aknowledges) debe halar hacia abajo (poner en bajo) la línea SDA durante el pulso de confirmación del reloj. Ver Figura 4.19.

4.2.2.5.6 Transferencia de datos de un transmisor maestro a un receptor esclavo

El primer byte transmitido por el maestro es la dirección del esclavo. A continuación se transmiten los datos (bytes). El esclavo retorna un bit de confirmación después de cada byte recibido. Los datos se transfieren con el bit más significativo primero (MSB).

4.2.2.5.7 Transferencia de datos de un transmisor esclavo a un receptor maestro

El primer byte (la dirección del esclavo) es transmitido por el maestro. El esclavo retorna un bit de reconocimiento. A continuación el esclavo transmite los datos (bytes). El maestro retorna un bit de confirmación después de cada byte recibido, excepto para el último byte. Al final del último byte recibido, se retorna un "no reconocimiento" ("not aknowledge", ver Figura 4.21).

4.2.2.5.8 Modo escritura del DS1307 (modo receptor esclavo)

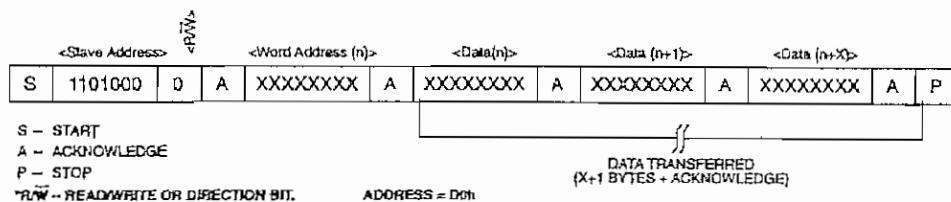


Figura 4.20: Escritura del DS1307 [15]

Los datos seriales y el reloj son recibidos a través de SDA y SCL, respectivamente. Después de que cada byte es recibido, un bit de confirmación es transmitido. Las condiciones de inicio y parada son reconocidas como el comienzo y el fin de una transferencia de datos (ver Figura 4.20). El primer byte transmitido es el de dirección, el cual contiene la dirección (7 bits) del DS1307, la cual es 1101000b, seguida del bit de dirección * (RW), el cual para una escritura es 0. Después de recibir y decodificar el byte de dirección, el DS1307 confirma en la línea SDA. Después de la confirmación, el maestro transmite una dirección de registro al DS1307, la cual configurará el puntero de registros en el DS1307. El maestro luego transmitirá los bytes de datos (cada uno de los cuales será confirmado por el DS1307). El maestro generará una condición de parada para finalizar la escritura de datos.

4.2.2.5.9 Modo lectura del DS1307 (modo transmisor esclavo)

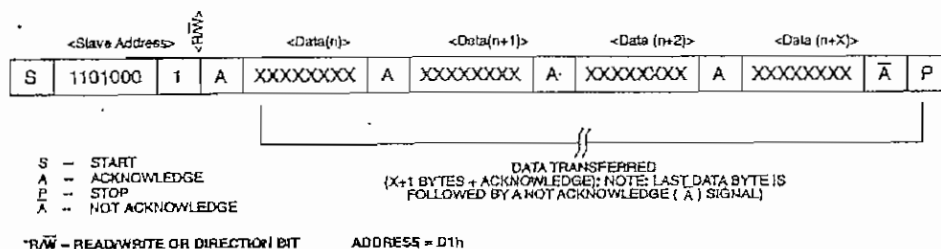


Figura 4.21: Lectura del DS1307 [15]

El primer byte es recibido y manejado igual que en el modo de escritura. Sin embargo, en este modo, el bit de dirección * indicará que la dirección de la transferencia es invertida. Los datos seriales son transmitidos en SDA por el

DS1307 y el reloj ingresa por SCL. Las condiciones de inicio y parada son reconocidas como el comienzo y el fin de una transferencia de datos (ver Figura 4.21). El primer byte recibido es el de dirección, el cual contiene la dirección (7 bits) del DS1307, la cual es 1101000b, seguida del bit de dirección * (R/W), el cual para una escritura es 1. Después de recibir y decodificar el byte de dirección, el DS1307 confirma en la línea SDA. Después de la confirmación, el DS1307 comienza a transmitir con la dirección de registros apuntada por el puntero de registros. Si el puntero de registros no es escrito antes del inicio del modo de lectura, la primera dirección leída es la última guardada en el puntero de registros. El DS1307 debe recibir una “no confirmación” (“not acknowledge”) para finalizar una lectura.

4.2.3 HARDWARE DE ALMACENAMIENTO

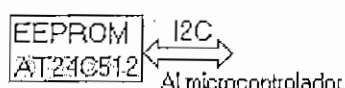


Figura 4.22: Arquitectura del hardware de almacenamiento

La alimentación de todo el circuito se toma de la red a la cual se conecta el medidor (esclavo). En caso de falla del suministro (aviso del ADE7753), se preserva el valor del contador de energía en una memoria no volátil (EEPROM). Cuando retorna la energía de la red, el contador de energía inicia con el valor previamente guardado en la EEPROM. Específicamente se utiliza una AT24C512 (64 k x 8) de ATMEL. La AT24C512 (65536 bytes) está organizada en 512 páginas de 128 bytes cada una. Esta memoria dispone de una interfaz serial a 2 hilos, al igual que el reloj DS1307. La memoria se conecta al bus I2C manejado por el microcontrolador.

La EEPROM también guarda las constantes de calibración del ADE7753.

El esclavo registra pares ordenados energía – tiempo, los cuales sirven para generar información de la demanda. Estos datos se guardan en la EEPROM AT24C512 (64 k x 8). El registro de pares energía – tiempo se realiza a intervalos programables (remotamente desde el maestro). El registro de pares está

gobernado por el microcontrolador, el cual lee la energía desde el medidor (ADE7753) y el tiempo desde el reloj (DS1307) y guarda el par energía – tiempo en la memoria (AT24C512). La utilización de las diferentes localidades de la memoria se describe ampliamente en la sección 5.4.6.

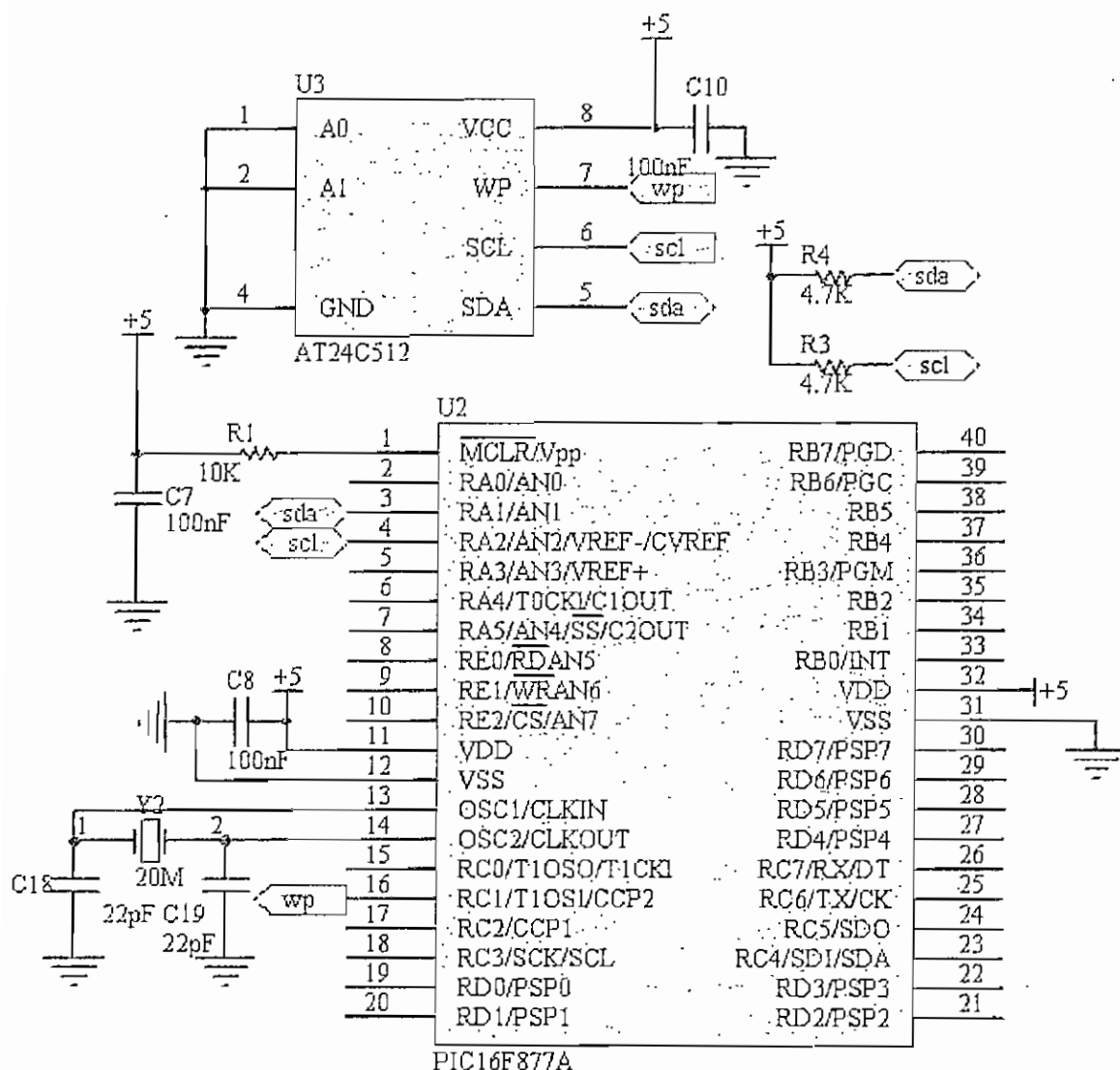


Figura 4.23: Circuito de almacenamiento

4.2.3.1 Consideraciones generales [14] y [24]

La memoria AT24C512 se conecta al bus I2C de igual manera que el RTC (ver Figura 4.23).

La memoria dispone de un pin (WP) para protección de escritura, el cual es manejado a través del pin RC1 del PIC16F877A (ver Figura 4.23).

La AT24C512 posee los pines A0 y A1 que permiten modificar la dirección por hardware. La existencia de estos pines permite conectar hasta cuatro memorias al mismo bus I2C. En este proyecto sólo se tiene una memoria y se le asigna arbitrariamente el valor 00b a los 2 LSBs de la dirección, mediante la conexión de los pines A0 y A1 a tierra (ver Figura 4.24).

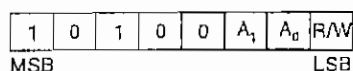


Figura 4.24: Dirección de dispositivo de la AT24C512 [14]

La dirección que identifica a la AT24C512 en el bus I2C se muestra en la Figura 4.24. En este caso, dado que A1 y A0 están conectadas a tierra, La dirección de dispositivo es 1010000b.

Se incluye un capacitor bypass (C10, Figura 4.23) de 100 nF, de acuerdo a la recomendación de [24] para componentes digitales.

4.2.3.2 Diagrama de bloques de la AT24C512 [14]

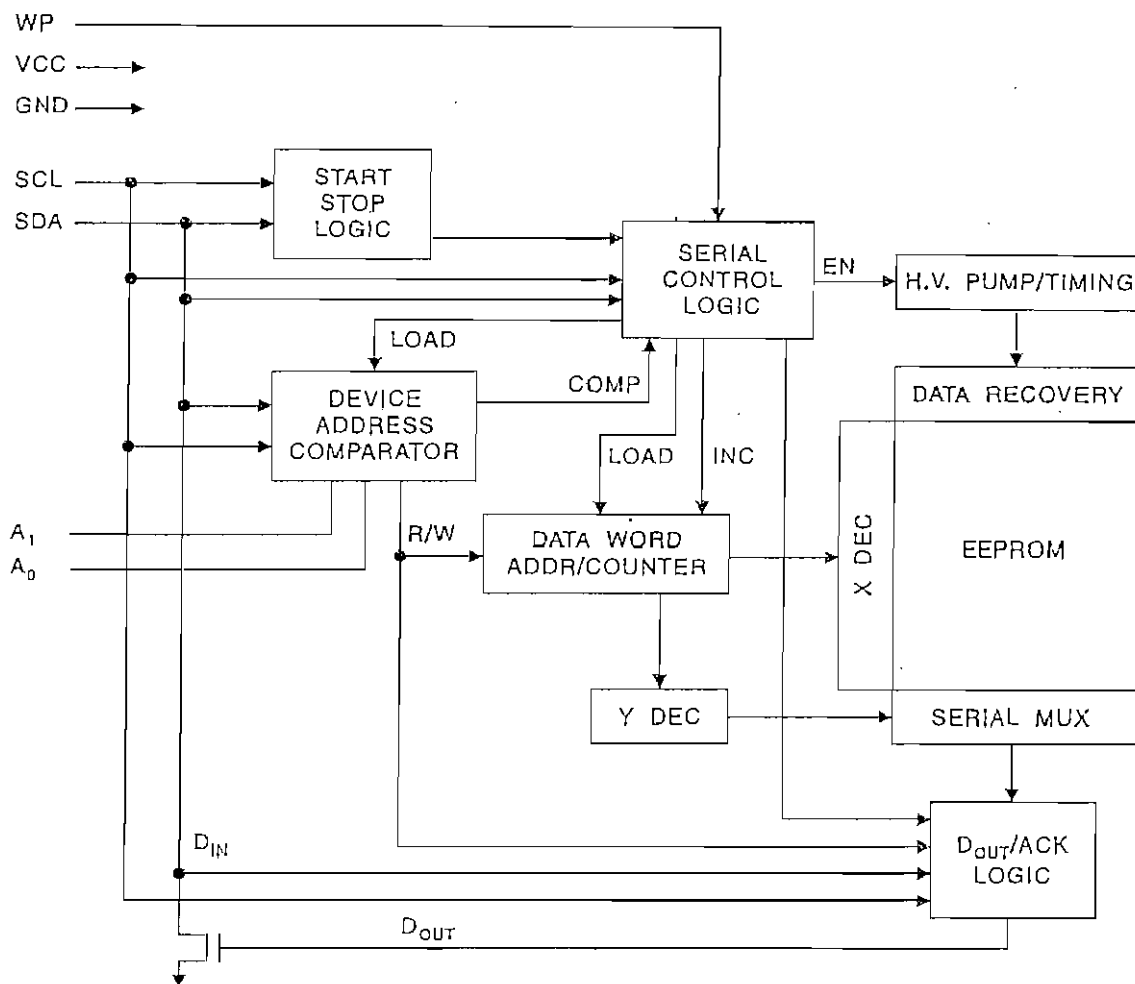


Figura 4.25: Diagrama de bloques de la AT24C512 [14]

4.2.3.3 Interfaz serial a 2 hilos [14]

La AT24C512 dispone de una interfaz serial para comunicación a 2 hilos. El acceso para lectura y escritura de la memoria a través del bus I2C está gobernado por el microcontrolador. El protocolo de comunicación es el mismo que se utiliza para el RTC, con la salvedad de que la dirección de dispositivo para la memoria es 1010000b, como se vio en 4.2.3.1. La dirección de dispositivo para el RTC es 1101000b (ver secciones 4.2.2.5.8 y 4.2.2.5.9).

La memoria provee de distintos métodos de acceso para escritura y lectura, que se ilustran desde la Figura 4.26 hasta la Figura 4.30.

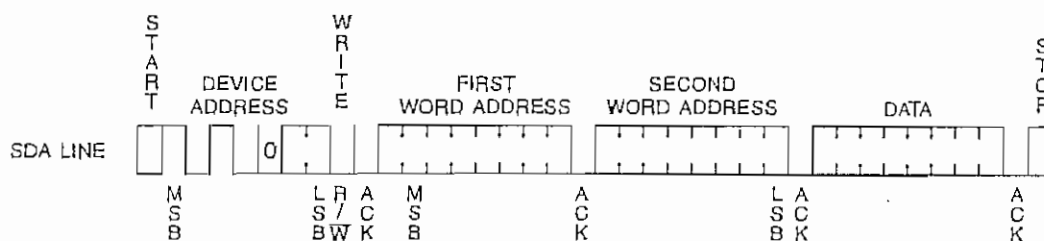


Figura 4.26: Escritura de un byte [14]

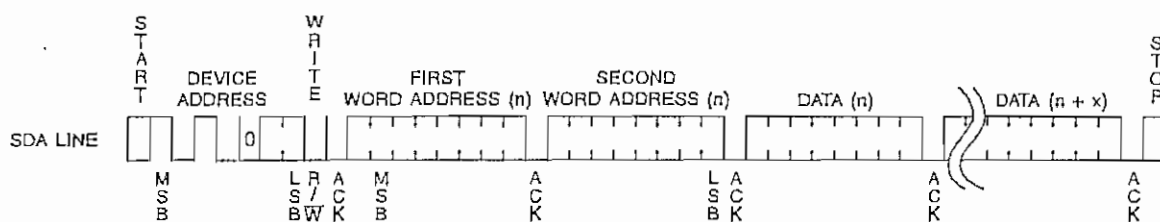


Figura 4.27: Escritura de una página [14]

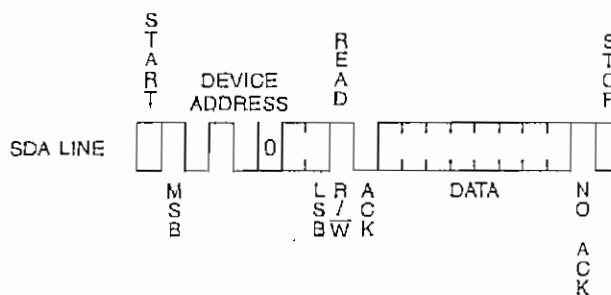


Figura 4.28: Lectura de la dirección actual [14]

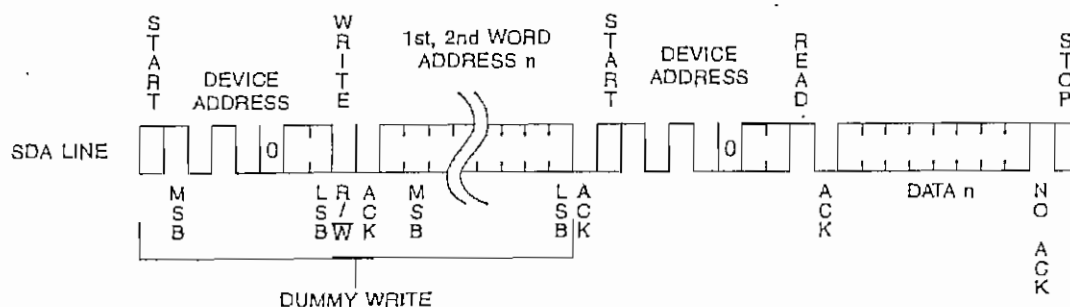


Figura 4.29: Lectura aleatoria [14]

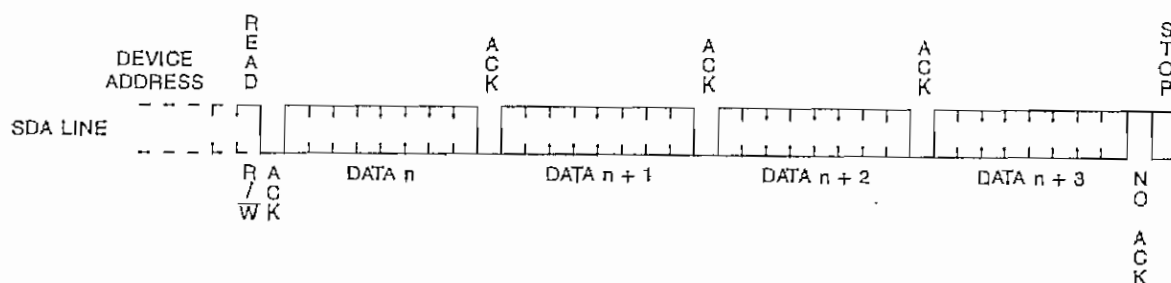


Figura 4.30: Lectura secuencial [14]

4.2.4 HARDWARE DE COMUNICACIÓN INALÁMBRICA

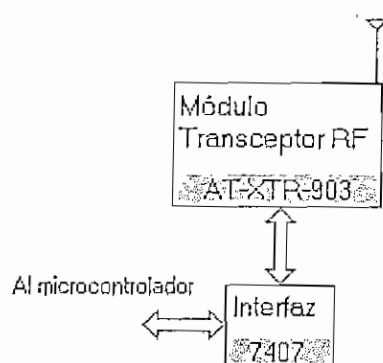


Figura 4.31: Arquitectura del hardware de comunicación inalámbrica

Para realizar la comunicación inalámbrica, se utiliza el módulo transceptor (transmisor - receptor) AT-XTR-903 a 433 MHz de ABACOM. Este módulo [8] dispone de un microprocesador que crea una interfaz transparente RS-232. Para manejar la interfaz del transceptor se utiliza el hardware (UART) de comunicación serial asíncrona del microcontrolador PIC16F877A. No se pueden conectar directamente las líneas del transceptor con las del microcontrolador, debido a que la polarización es de 3 V y 5 V, respectivamente. Se implementa una interfaz basada en el buffer no inversor 7407, que permite acoplar las señales del transceptor y del microcontrolador.

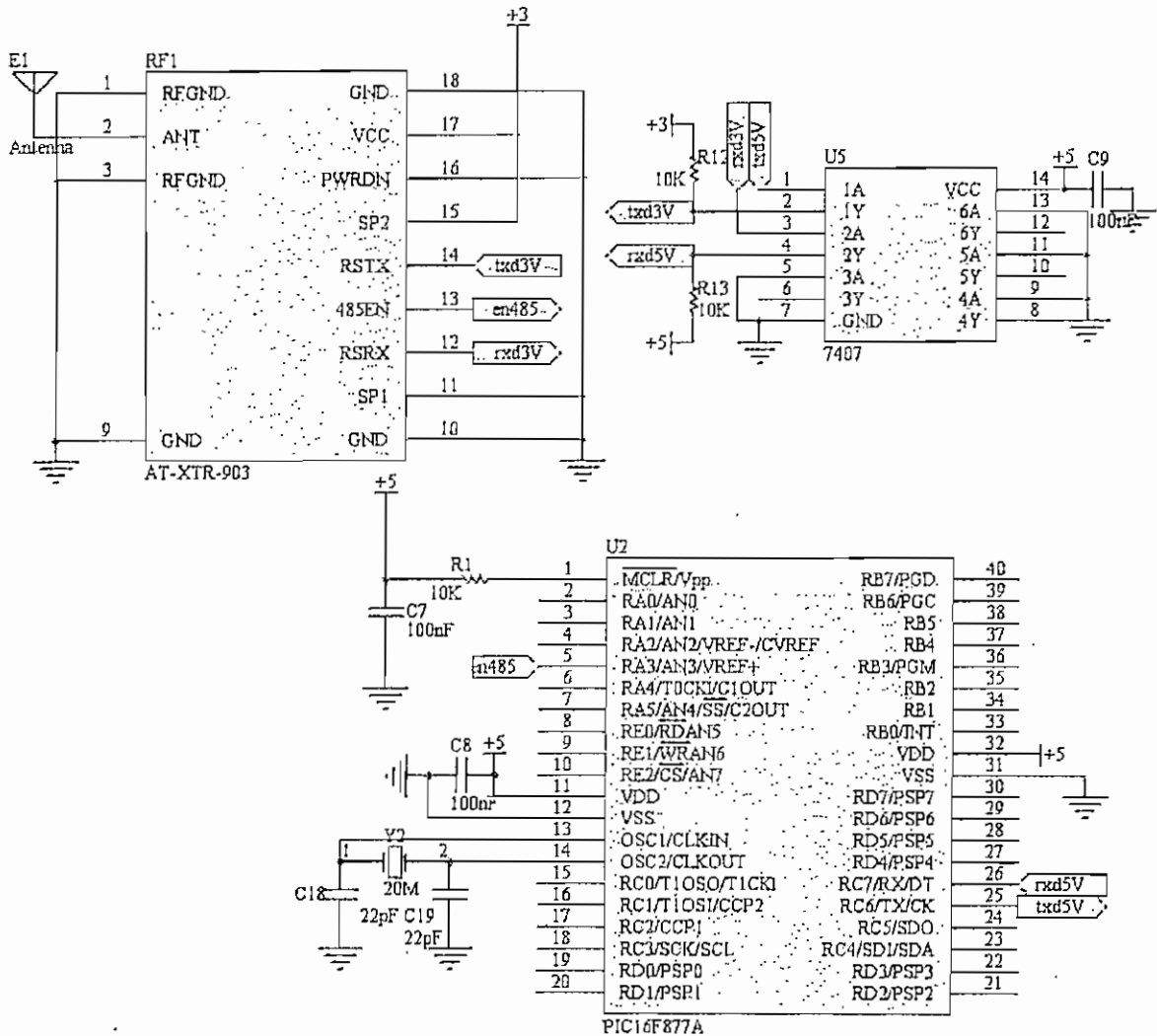


Figura 4.32: Circuito de comunicación inalámbrica

4.2.4.1 Consideraciones generales

Cuando el esclavo (medidor) recibe un comando enviado (inalámbricamente) por el maestro, debe decodificar el comando y ejecutar la acción apropiada. La señal de radio frecuencia (RF) del comando es captada en el esclavo, por el módulo AT-XTR-903, el cual traduce la señal de RF en una trama (RS232) continua de bytes, con lógica de 3 V y 0 V, en el pin RSRX (ver Figura 4.32). Las señales generadas por el pin RSRX (niveles de 3 V y 0 V) del módulo son convertidas por el 7407 (pines 2A y 2Y) para ingresar a la entrada RX (niveles de 5 V y 0 V) del PIC16F877A. El pin RX es la entrada de recepción serial del PIC16F877A [28]. La trama recibida en RX es decodificada por el microcontrolador, el cual gestiona la acción apropiada y construye una trama (RS232) de respuesta. El

microcontrolador emite la trama de respuesta por el pin TX. La señal del pin TX (niveles de 5 V y 0 V) es convertida por el 7407 (pines 1A y 1Y) para ingresar a la entrada RSTX (niveles de 3 V y 0 V) del módulo. Los detalles del protocolo implementado se describen en la sección 5.3.

El pin (salida) 485EN del AT-XTR-903 está conectado con el pin RA3 del microcontrolador (ver Figura 4.32) y se utiliza para determinar si el módulo está libre para transmitir (no está en modo de recepción). El pin 485EN también tiene niveles lógicos de voltaje de 0 V y 3 V (al igual que todas las líneas del módulo), sin embargo no es necesario realizar conversión de nivel de voltaje, debido a que un voltaje de 3 V es reconocido⁴ como 1 lógico en el pin RA3, no así en el pin RX el cual requiere un voltaje mínimo de 3.5 V (70 % del voltaje de polarización de 5 V) para ser reconocido como un 1 lógico [28].

Tabla 4.2: Conversión entre lógica de 3 V y 5 V

Buffer	Tipo de Conversión	Entrada [V]	Salida [V]	Voltaje Pull up [V]
1	Lógica de 5 V a 3 V	0 a 0,8	0	3
		2 a 5	3	
2	Lógica de 3 V a 5 V	0 a 0,8	0	5
		2 a 5	5	

Las salidas del búfer 7407 son de colector abierto y requieren la conexión de resistencias pull-up. Se utilizan resistencias (R12 y R13, Figura 4.32) de 10 k Ω , el cual es un valor típico para resistencias pull-up de líneas de entrada al PIC16F877A. El circuito integrado 7407 tiene seis buffers. En este proyecto sólo se utilizan dos buffers y las entradas de los cuatro restantes se conectan a 0 V.

Se incluye un capacitor bypass (C9, Figura 4.32) de 100 nF, de acuerdo a la recomendación de [24] para componentes digitales.

Mediante la conexión de SP1 a 0 V y SP2 a 3 V, como se observa en la Figura 4.32, se configura el módulo con velocidad de 19200 bps (Ver Tabla 3.3).

El pin PWRDN del módulo se conecta a 0 V, lo cual implica que el módulo siempre permanece encendido, es decir, no en modo power down (ver sección 3.5.2.8).

⁴ Un voltaje mayor o igual a 2 V es reconocido como 1 lógico [28]

La antena está constituida por un segmento de alambre 22 AWG de 16.5 cm, de acuerdo a la indicación de las hojas de datos del módulo [8].

4.2.5 HARDWARE DE SELECCIÓN DE MODO DE TRABAJO Y SEÑALIZACIÓN

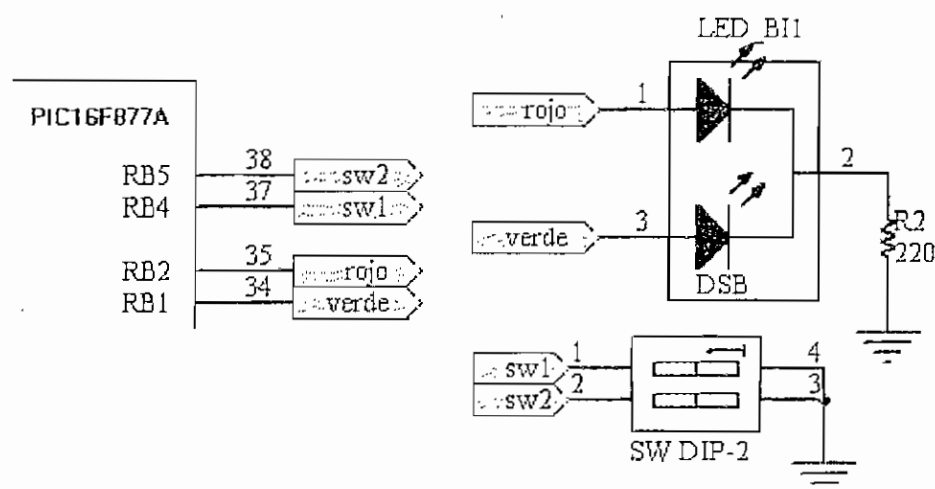


Figura 4.33: Circuito de selección de modo de trabajo y señalización

Está previsto que el esclavo opere en cuatro modos de trabajo: normal, calibración, EEPROM y RTC. En el modo normal, el dispositivo realiza las tareas normales de medición, registro y transmisión inalámbrica de energía y otras variables. El modo de calibración permite realizar el proceso de calibración. El modo EEPROM permite copiar las constantes de calibración, desde la EEPROM del microcontrolador hacia una nueva EEPROM externa (cuando se requiere reemplazar la EEPROM AT24C512). El modo RTC configura el RTC después de cambiar la batería de respaldo.

Para seleccionar el modo de trabajo se utiliza un DIP-switch de dos posiciones (4 estados), el cual está conectado al microcontrolador en los pines RB4 y RB5 (ver Figura 4.33). Se habilitan (por software) las resistencias pull-up internas del microcontrolador en los pines RB4 y RB5.

Se considera la utilización de un LED bi-color (rojo/verde), como indicación visual para el usuario. Los modos normal y calibración se señalizan con luz de color verde. En los dos modos restantes la señalización se realiza con luz de color rojo.

El LED se conecta a los pines RB1 y RB2 del microcontrolador (ver Figura 4.33). Experimentalmente se determina que la caída de voltaje en el LED es de aproximadamente 1.8 V. Se utiliza una resistencia (R2, ver Figura 4.33) de 220 Ω , la cual limita la corriente⁵ a 14.5 mA.

4.2.6 HARDWARE DE PROCESAMIENTO

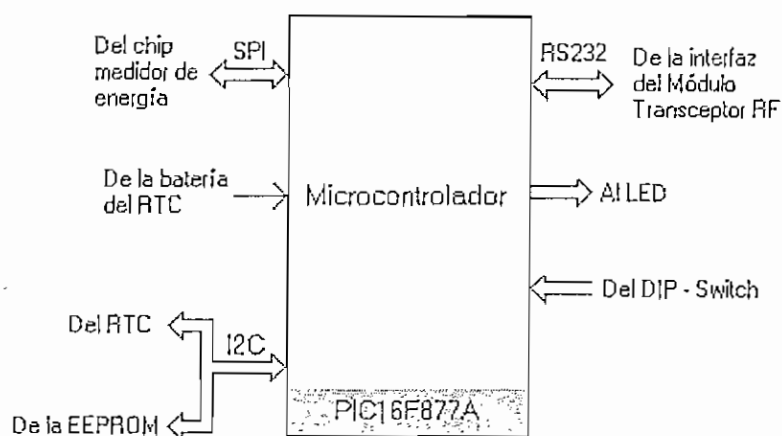


Figura 4.34: Arquitectura del hardware de procesamiento

Se requiere un microcontrolador para gobernar los procesos del esclavo. El microcontrolador debe comandar el bus SPI para la comunicación con el chip medidor de energía (ADE7753), el bus I2C para la comunicación con el RTC y la EEPROM. También debe establecer comunicación serial asíncrona (RS232) con el módulo de RF. A más de las líneas para SPI, I2C y RS232, el microcontrolador debe disponer de otras líneas para manejar los demás pines del chip medidor, de la EEPROM, del RTC y del módulo de RF. Adicionalmente debe controlar el LED indicador y el DIP-Switch.

Se plantea la utilización del microcontrolador PIC16F877A, el cual presenta las siguientes características de utilidad para cumplir los requerimientos del esclavo: módulo MSSP para comunicación serial síncrona, UART para comunicación serial

⁵ $(5\text{ V} - 1.8\text{ V}) / 220\ \Omega = 14.5\text{ mA}$

asíncrona, módulo de conversión analógica a digital, 8k x 14 palabras de memoria de programa, 368 x 8 bytes de memoria de datos (RAM), 256 x 8 bytes de memoria de datos EEPROM, tres temporizadores/contadores [28].

El módulo MSSP se utiliza para manejar el bus SPI. El módulo UART se utiliza para manejar la interfaz RS232 del módulo RF. El módulo de conversión AD se utiliza para medir el voltaje de la batería de respaldo del RTC. El TIMER 1 se utiliza para contar pulsos generados por el RTC en SQW (ver sección 4.2.2.4).

La memoria AT24C512 va a ser sometida a ciclos periódicos de escritura a fin de registrar pares energía – tiempo. La memoria tiene un número limitado de ciclos de escritura (típicamente 100000 [14]) y en algún momento será necesario su reemplazo. Por esta razón se ha previsto que las constantes de calibración (que están guardadas en la AT24C512) también estén guardadas en la EEPROM del microcontrolador, a fin de que puedan ser copiadas a una nueva EEPROM (AT24C512), cuando la memoria requiera ser reemplazada.

4.2.6.1 Consideraciones adicionales [10], [24] y [28]

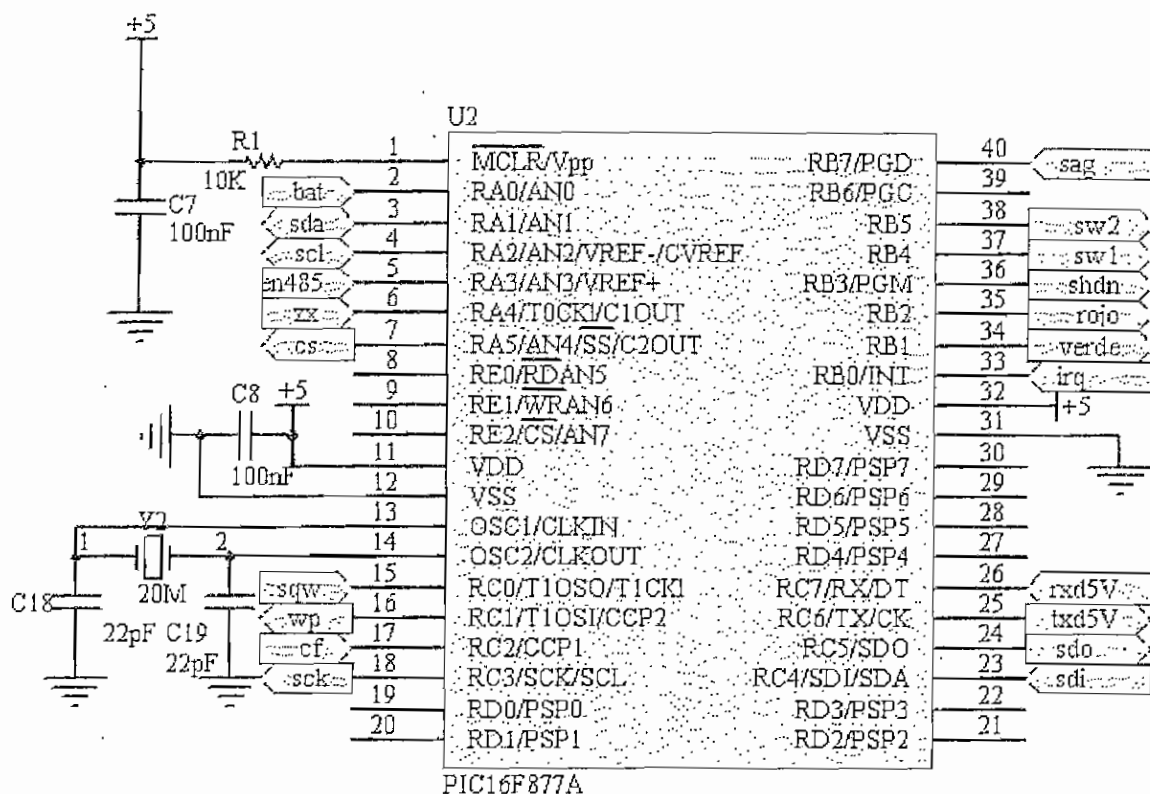


Figura 4.35: Circuito del PIC16F877A

El PIC16F877A requiere la conexión de un cristal externo. Se utiliza un cristal (Y2, Figura 4.35) de 20 MHz. Se conectan también los capacitores (C18 y C19, Figura 4.35) de 22 pF, de acuerdo a la indicación del fabricante [28]. La resistencia R1 (10 kΩ) y C7 (100 nF) se conectan de acuerdo a la recomendación de [10]. El capacitor C8 (100 nF) se conecta siguiendo la recomendación de [24] para microcontroladores y componentes digitales.

4.2.7 FUENTE DE PODER

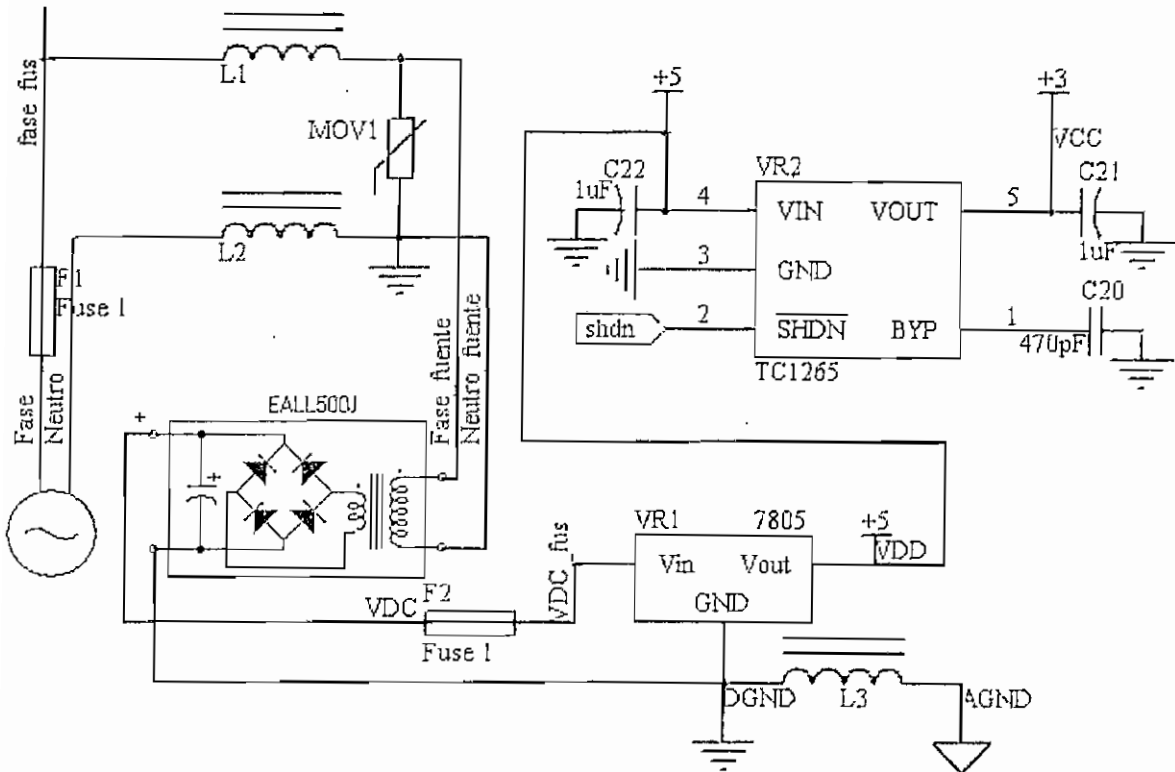


Figura 4.36: Circuito de alimentación

Se requieren dos niveles de voltaje DC regulado: 3 V para el módulo de RF y 5 V para el resto de componentes. La energía para la alimentación se toma de la red en donde se conectará el medidor.

Se plantea la utilización de una fuente con un transformador reductor, un rectificador y un filtro capacitivo. Esta fuente genera un voltaje DC no regulado. Para obtener voltaje regulado se utilizan reguladores de voltaje en circuito integrado de 5 V y 3 V. El regulador de 5 V es un 7805 y el de 3 V es un TC1265.

El TC1265 es un regulador de 3 V con una salida de corriente de hasta 800 mA y se utiliza para alimentar al módulo de RF, el cual consume máximo 40 mA [8]. El TC1265 se alimenta con el voltaje de 5 V generado por el 7805. Por recomendación del fabricante ([27]), se conectan los capacitores C21 (1 μ F), C22 (1 μ F) y C20 (470 pF). Ver Figura 4.36. El TC1265 dispone del pin SHDN, que

sirve para encender y apagar el regulador. Este pin (SHDN) se controla mediante el pin RB3 del microcontrolador PIC16F877A.

El 7805 es un regulador de 5 V con una salida de corriente [1] de hasta 1 A. Experimentalmente se determina que la circuitería alimentada con 5 V consume 62 mA, por lo que la capacidad de corriente del 7805 es suficiente.

Experimentalmente se determina que la corriente DC consumida por todo el circuito (medida a la entrada del 7805) es de 63 mA. La capacidad de corriente de la fuente DC no regulada debe ser mayor que 63 mA. Por simplicidad y reducción de costos, la fuente de voltaje no regulado no se construye a partir de componentes discretos. Se utiliza un adaptador comercial EALL500J, de FW ELECTRONICS, el cual incluye el transformador, rectificador y filtro capacitivo. La capacidad de corriente del adaptador es de 500 mA, con un voltaje de salida variable (mediante un selector). El selector se fija en una posición tal, que el voltaje de salida (medido) es de 11 V.

En la Figura 4.36 también se incluyen elementos de protección: ferritas (L1 y L2), fusibles (F1 y F2) y varistor (MOV1), cuya utilización se describe en la sección de protecciones (4.2.8). La conexión entre tierra analógica y tierra digital mediante L3 se explicó en la sección 4.2.1.5.

4.2.8 PROTECCIONES [9], [10] y [11]

Por recomendación del fabricante [11], a fin de minimizar los efectos de los transitorios en el voltaje de línea, se utilizan dos ferritas L1 y L2 (ver Figura 4.36). Una ferrita es particularmente efectiva para retardar el rápido tiempo de subida de un pulso de corriente de una descarga electrostática [9]. La energía de alta frecuencia del transitorio es absorbida en el material de la ferrita en lugar de ser desviado o reflejado a otra parte del circuito [9]. Tomando como referencia la Nota de Aplicación descrita en [10], se utilizan ferritas (L1 y L2) EXC-ELSA39 de PANASONIC.

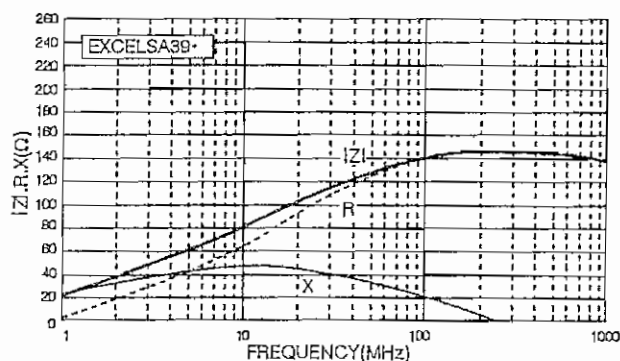


Figura 4.37: Característica de impedancia de las ferritas EXC-ELSA39 [34]

El material de la ferrita se vuelve predominantemente resistivo para altas frecuencias [9].

Asimismo, según la recomendación de la Nota de Aplicación ([10]), se utiliza la ferrita SMT 1806 de Steward (L4, ver Figura 4.6 en la página 82), como protección a la entrada del canal de voltaje del ADE7753.

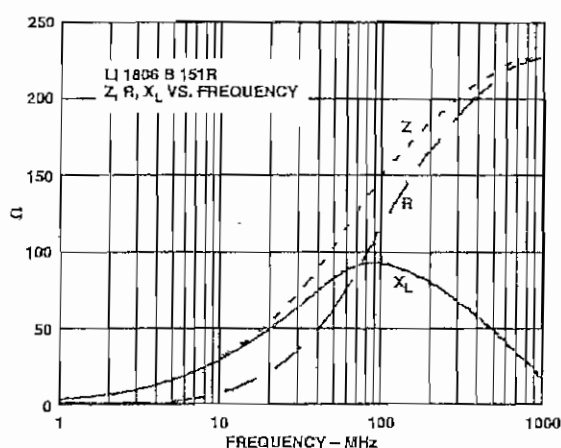


Figura 4.38: Característica de impedancia de la ferrita SMT 1806 [9]

4.2.8.1 Varistor [9]

Un varistor es muy efectivo para atenuar perturbaciones de alta energía y de relativamente larga duración, como por ejemplo los rayos [9]. Se utiliza un varistor NTE2V150 (MOV1, ver Figura 4.36) en paralelo con el voltaje de línea (voltaje nominal 120 V), con especificaciones de 150 Vrms, 40 Julios.

4.2.8.2 Fusibles

El varistor tiene un número limitado de transitorios que puede soportar. Al finalizar su vida útil o si se exceden las condiciones especificadas, el varistor puede quedar cortocircuitado. Por tal razón es necesario que se coloque un fusible en serie con el varistor.

Experimentalmente se ha determinado que la corriente que consume el circuito es de 14.2 mA rms. Debido a la falta de disponibilidad en el mercado, de fusibles de tan bajas corrientes, se utiliza un fusible (F1, ver Figura 4.36) de 250 mA, 250 V.

Asimismo se coloca un fusible en la salida de la fuente DC no regulada, cuya corriente (determinada experimentalmente) es de 63 mA dc. Se utiliza un fusible (F2, ver Figura 4.36) de 250 mA, 250 V.

4.2.8.3 Tierra analógica y digital [8], [9] y [10]

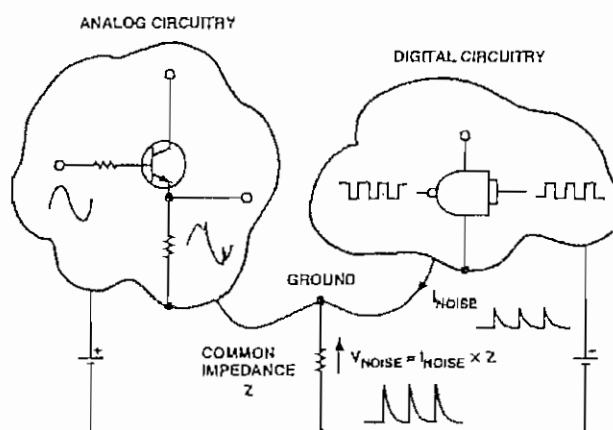


Figura 4.39: Acoplamiento de ruido a través de la impedancia de retorno de tierra [9]

El ruido [9] puede ocasionar inexactitud en el proceso de conversión analógica a digital que realiza el ADE7753. Una fuente común de ruido en un sistema de señales mixtas (analógicas y digitales) es el retorno a tierra de la fuente de alimentación. El ruido de alta frecuencia (de los rápidos tiempos de subida de los flancos) puede ser acoplado en la parte análoga de la placa de circuito impreso por la impedancia común del camino de retorno de tierra.

Una técnica común [9] para superar estos problemas es utilizar caminos de retorno analógico y digital separados para la fuente de alimentación. Se recomienda la utilización de planos de tierra separados: plano de tierra analógica (AGND) y plano de tierra digital (DGND), conectados en un solo punto mediante una ferrita. El uso de planos de tierra asegura que la impedancia del camino de retorno de tierra se mantenga muy baja.

En este proyecto, la tierra analógica y la digital se conectan en un solo punto mediante una ferrita (L3, Figura 4.36), de acuerdo a la recomendación de [9] y [10], como se mencionó en la sección 4.2.1.5. En la placa de circuito impreso existen planos de tierra digital DGND (Figura 4.40 y Figura 4.41) y de tierra analógica AGND (Figura 4.42), conectados mediante L3 (Figura 4.40 y Figura 4.42).

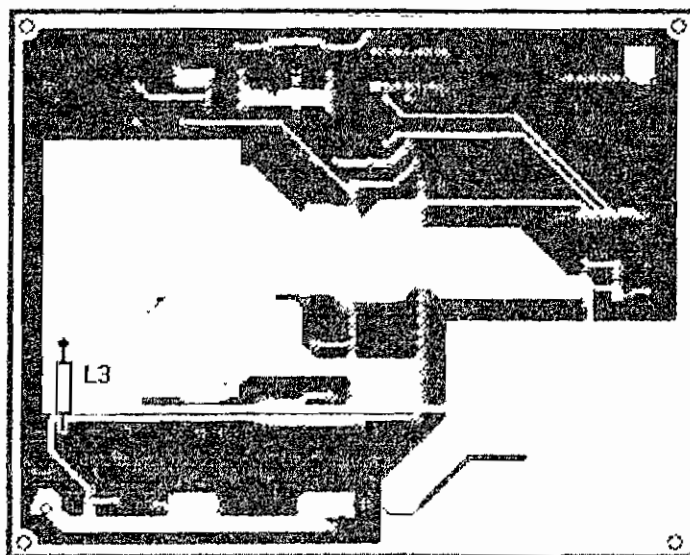


Figura 4.40: Plano de tierra digital (DGND) en la capa superior

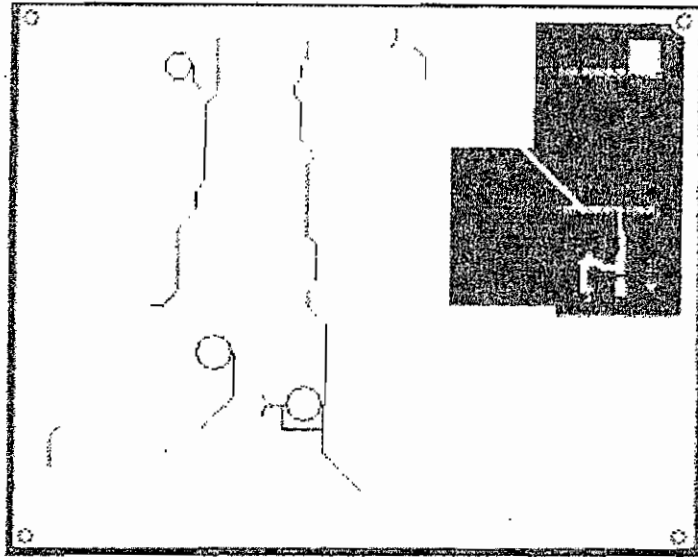


Figura 4.41: Plano de tierra digital (DGND) en la capa inferior

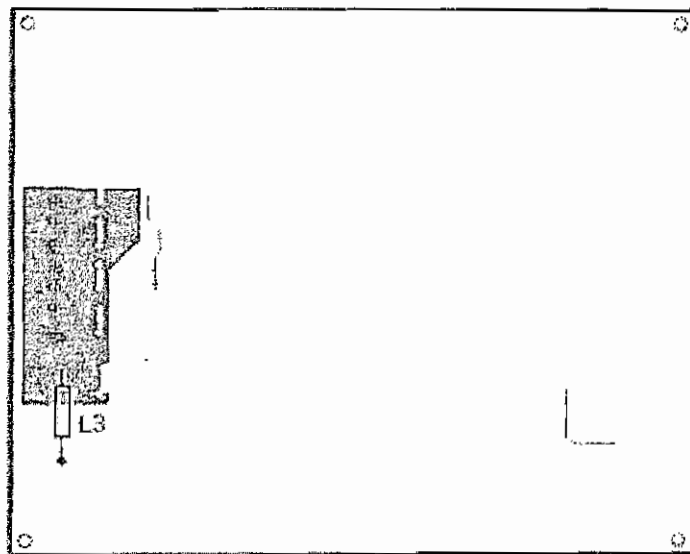


Figura 4.42: Plano de tierra analógica (AGND) en la capa inferior

Un área relativamente grande de plano de tierra digital, también es necesaria para que la antena del transceptor de RF funcione adecuadamente [8].

4.3 HARDWARE DEL MAESTRO

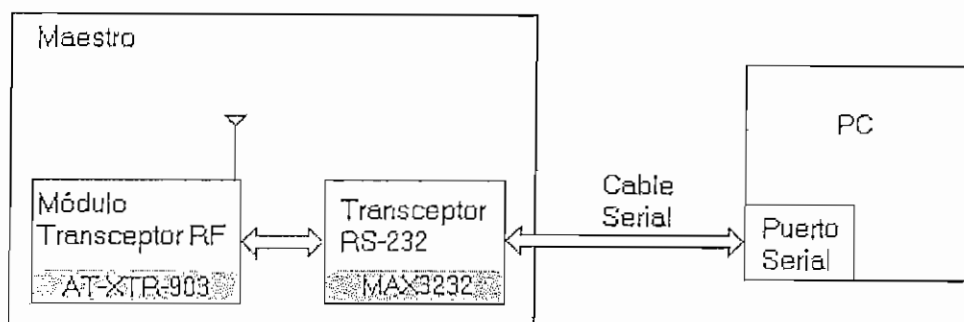


Figura 4.43: Arquitectura del hardware del maestro

La Figura 4.43 (idéntica a la Figura 1.6) muestra la arquitectura propuesta para el maestro. El hardware se diseña sobre la base de esta arquitectura. El módulo transceptor de RF AT-XTR-903 y la justificación para su utilización se presenta en el CAPÍTULO 3.

El maestro está construido a partir de dos componentes principales: Módulo Transceptor de RF y Transceptor RS-232, como se muestra en la Figura 4.43.

El maestro se conecta al puerto serial de un PC, mediante un cable serial.

El Módulo Transceptor de RF es el AT-XTR-903 (igual al del esclavo).

Las tramas seriales del AT-XTR-903 se representan con lógica de 3 V (voltajes de 0 V y 3V). Las tramas del puerto serial del PC se representan con lógica de + 12 V y - 12 V. Para acoplar las señales del AT-XTR-903 y del PC se intercala el transceptor RS-232 MAX3232 de MAXIM [20], que sirve para convertir los niveles de voltaje.

En el PC reside una aplicación que maneja al maestro (a través del puerto serial) para establecer comunicación inalámbrica con el esclavo.

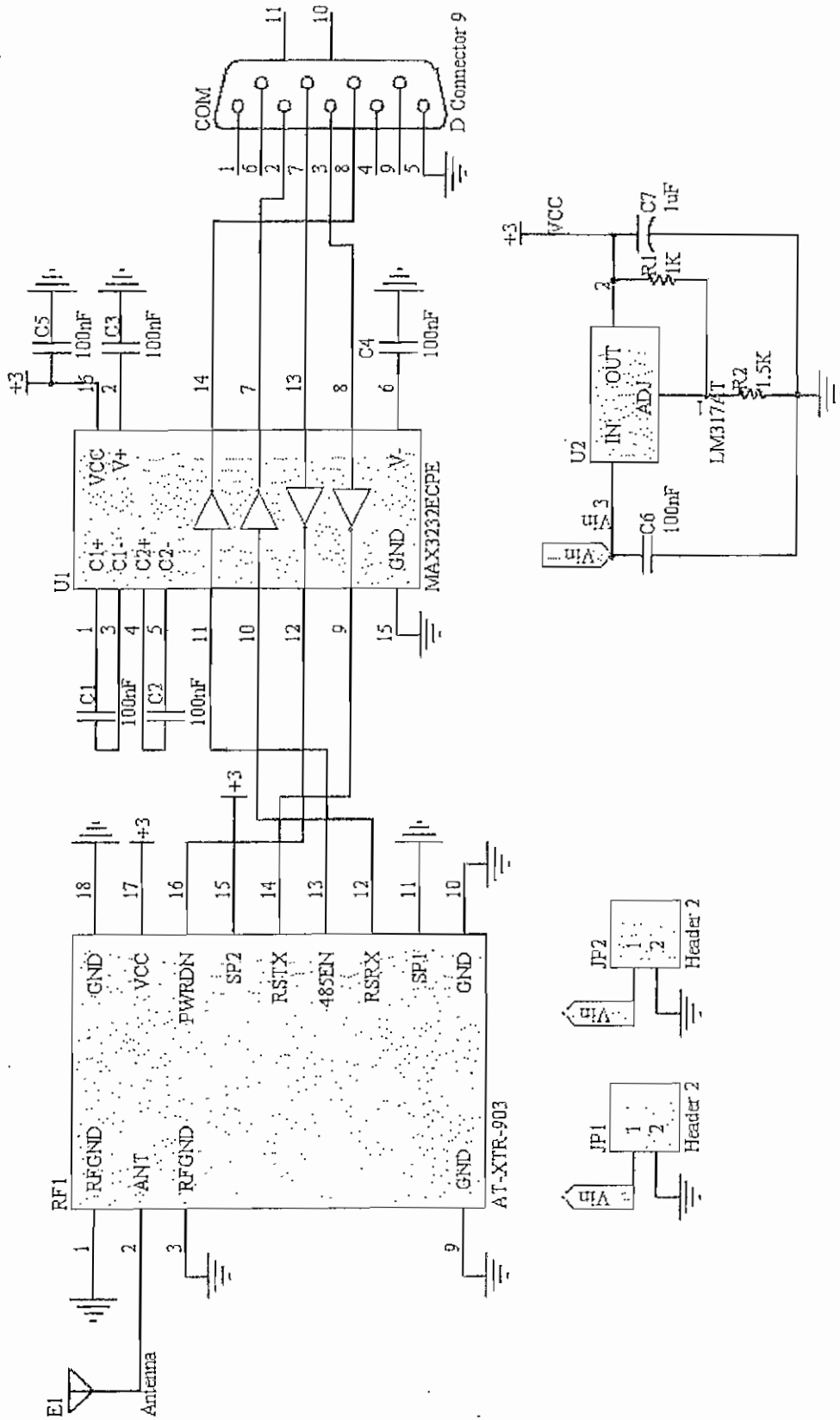


Figura 4.44: Circuito del maestro

4.3.1 HARDWARE DE COMUNICACIÓN INALÁMBRICA

El hardware de comunicaciones se basa en el AT-XTR-903, al igual que el esclavo. La velocidad es de 19200 bps, configurada mediante la conexión de SP1 a 0 V y SP2 a 3 V (ver Figura 4.44).

El maestro dispone de un conector DB9 (ver Figura 4.44) a través del cual se conecta con el puerto serial de un PC. El puerto serial del PC maneja niveles de voltaje de + 12 V y – 12 V, mientras que el módulo AT-XTR-903 trabaja con niveles de 0 V y 3 V, como se mencionó anteriormente. Para acoplar las señales del AT-XTR-903 y las del puerto serial del PC (presentes en el conector DB9), se utiliza el transceptor de RS232 MAX3232, como se observa en la Figura 4.44.

Las líneas RXD (recepción, pin 2 del DB9) y TXD (transmisión, pin 3 del DB9) del puerto se conectan respectivamente (a través del MAX3232) con los pines RSRX y RSTX del AT-XTR-903.

El pin (salida) 485EN del AT-XTR-903 está conectado (a través del MAX3232, ver Figura 4.44) con la línea CTS (pin 8 del DB9) y se utiliza para determinar si el módulo AT-XTR-903 está libre para transmitir (no está en modo de recepción).

El pin (entrada) PWRDN del AT-XTR-903 está conectado (a través del MAX3232, ver Figura 4.44) con la línea RTS (pin 7 del DB9) y se utiliza para colocar al módulo AT-XTR-903 en modo de power down (ahorro de energía), cuando no se requiere establecer comunicación.

Las líneas CTS y RTS del puerto serial son manejadas mediante la aplicación (software) del PC.

El MAX3232 requiere la conexión de los capacitores C1, C2, C3, C4 y C5 de 100 nF, como se observa en la Figura 4.44, de acuerdo a lo indicado por el fabricante [20].

4.3.1.1 Cable serial

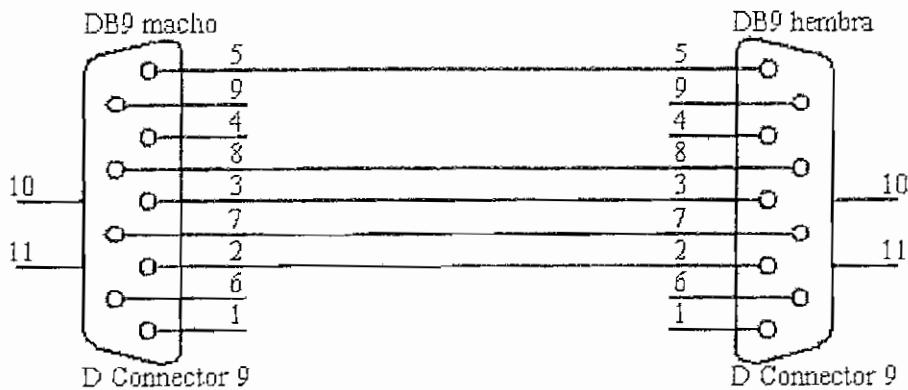


Figura 4.45: Esquemático del cable serial

El maestro se conecta a un PC mediante un cable serial de 5 hilos. Se utilizan las líneas RXD (2), TXD (3), RTS (7), CTS (8) y GND (5). El conector DB9 macho (izquierda de la Figura 4.45) se conecta al maestro y el DB9 hembra se conecta al PC.

4.3.2 FUENTE DE PODER

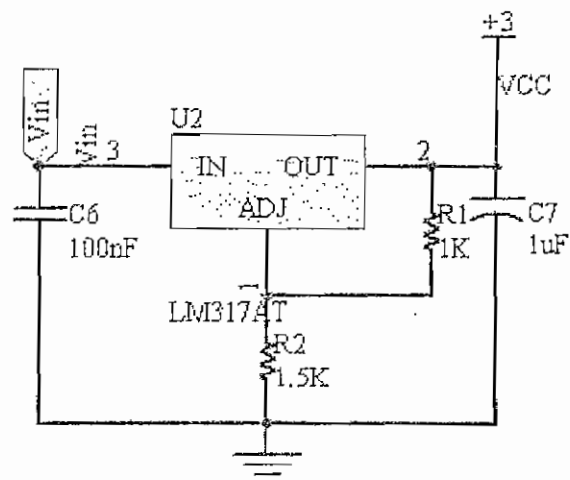


Figura 4.46: Polarización del maestro

Para el maestro se requiere una fuente de 3 V DC regulada, para alimentar el AT-XTR-903 y el MAX3232. Debido a que el maestro está concebido para ser una

aplicación portable se prevé obtener energía a partir de una batería. La regulación del voltaje se logra mediante un circuito integrado LM317 y las resistencias R1 de 1 k Ω y R2 de 1.5 k Ω , como se observa en la Figura 4.46. Los valores de las resistencias R1 y R2 se escogen de acuerdo a la siguiente relación proporcionada por el fabricante [1]:

$$V_{CC} = 1.25V \times \left(1 + \frac{R2}{R1}\right) + 50\mu A \times R2 = 1.25V \times \left(1 + \frac{1.5k\Omega}{1k\Omega}\right) + 50\mu A \times 1.5k\Omega = 3.2V$$

(Ec. 4.6)

Se conectan los capacitores C6 (100 nF) y C7 (1 μ F), de acuerdo a la recomendación del fabricante [1]. Ver Figura 4.46

El componente de mayor consumo es el módulo de RF. La mayor parte del tiempo se mantiene el módulo de RF en modo de espera, con lo cual el consumo de todo el dispositivo maestro es de 7 mA (determinado experimentalmente). Únicamente cuando se requiere establecer comunicación con el esclavo, se sale del modo power down, con lo cual el consumo total se eleva a 33 mA aproximadamente.

No se considera la utilización de LEDs indicadores debido a su alto consumo de corriente, lo cual contribuye a la descarga de la batería.

La capacidad de salida de corriente de 1.5 A del LM317 [1] es suficiente para alimentar al circuito.

En la implementación final del circuito, se dispone de dos borneras (ver JP1 y JP2 en la Figura 4.44) conectadas en paralelo para alimentación, a cualquiera de las dos borneras se conecta una batería de 9V. Sin embargo puede conectarse cualquier fuente de voltaje DC entre 5 V y 15 V [1].

CAPÍTULO 5

SOFTWARE

En este capítulo se describen los requerimientos y la solución propuesta del software del esclavo y del maestro. El software del esclavo está constituido por el programa del microcontrolador PIC16F877A, el cual determina la funcionalidad del dispositivo. El software del maestro es una aplicación para un PC, la cual sirve como interfaz gráfica de usuario (GUI). El PC se comunica con el maestro a través del puerto serial.

5.1 REQUERIMIENTOS DEL SOFTWARE DEL ESCLAVO

El esclavo es un sistema gobernado por el microcontrolador, el cual debe realizar las siguientes actividades:

- Configurar el modo de operación del chip medidor de energía;
- Leer y procesar los datos y eventos generados por el chip medidor de energía;
- Configurar el modo de operación del RTC;
- Leer y procesar los datos y eventos generados por el RTC;
- Procesar datos para lectura y escritura en la EEPROM, de pares ordenados energía – tiempo;
- Comandar el transceptor de acuerdo a un protocolo de comunicación con el maestro;
- Procesar comandos enviados por el maestro;
- Leer entradas de DIP-switch para seleccionar modo de operación;
- Manejar el LED bi-color para señalización;

- Guardar datos importantes en la EEPROM en caso de falla del voltaje de la red.

5.2 REQUERIMIENTOS DEL SOFTWARE DEL MAESTRO

El circuito del maestro se conecta al PC a través del puerto serial. El software del maestro está constituido por una aplicación que reside en el PC y a través del puerto serial maneja la circuitería del maestro para establecer comunicación con el esclavo. La aplicación debe permitir al usuario realizar acciones sobre el esclavo, por ejemplo leer o encerrar el contador de energía.

La aplicación debe desplegar los datos enviados por el esclavo, en un formato legible para el usuario. Los datos de consumo de energía y demanda deben ser susceptibles de guardar en archivos si el usuario así lo decide.

Asimismo, la aplicación debe guiar al usuario a través del proceso de calibración del dispositivo remoto.

Se plantea que la aplicación pueda solicitar (inalámbricamente) datos al esclavo y desplegar la siguiente información:

- Energía activa [kWh];
- Energía aparente [KVAh];
- Voltaje RMS de la red [V];
- Frecuencia de la red [Hz];
- Voltaje de la batería de respaldo del RTC [V]
- Fecha/hora del dispositivo remoto (Año, mes, fecha, horas, minutos, segundos);
- Fecha/ hora de última falla (ausencia) de voltaje de red (Año, mes, fecha, horas, minutos);
- Temperatura [° C];

- Constantes de calibración;
- Pares energía – tiempo;
- Gráficos de demanda (potencia activa y aparente en función del tiempo), generados a partir de los pares energía – tiempo.

Se plantea que la aplicación permita ejecutar las siguientes acciones de configuración remota sobre el esclavo:

- Igualar la fecha/hora (escritura al RTC);
- Encerar contador de energía;
- Configurar período de acumulación (Período de actualización del medidor);
- Configurar período de registro (Período de grabación de pares energía - tiempo).

5.3 PROTOCOLO DE COMUNICACIÓN

Se considera necesario abordar este tema primero a fin de facilitar la comprensión de las siguientes secciones, en las que se describe software del esclavo y del maestro.

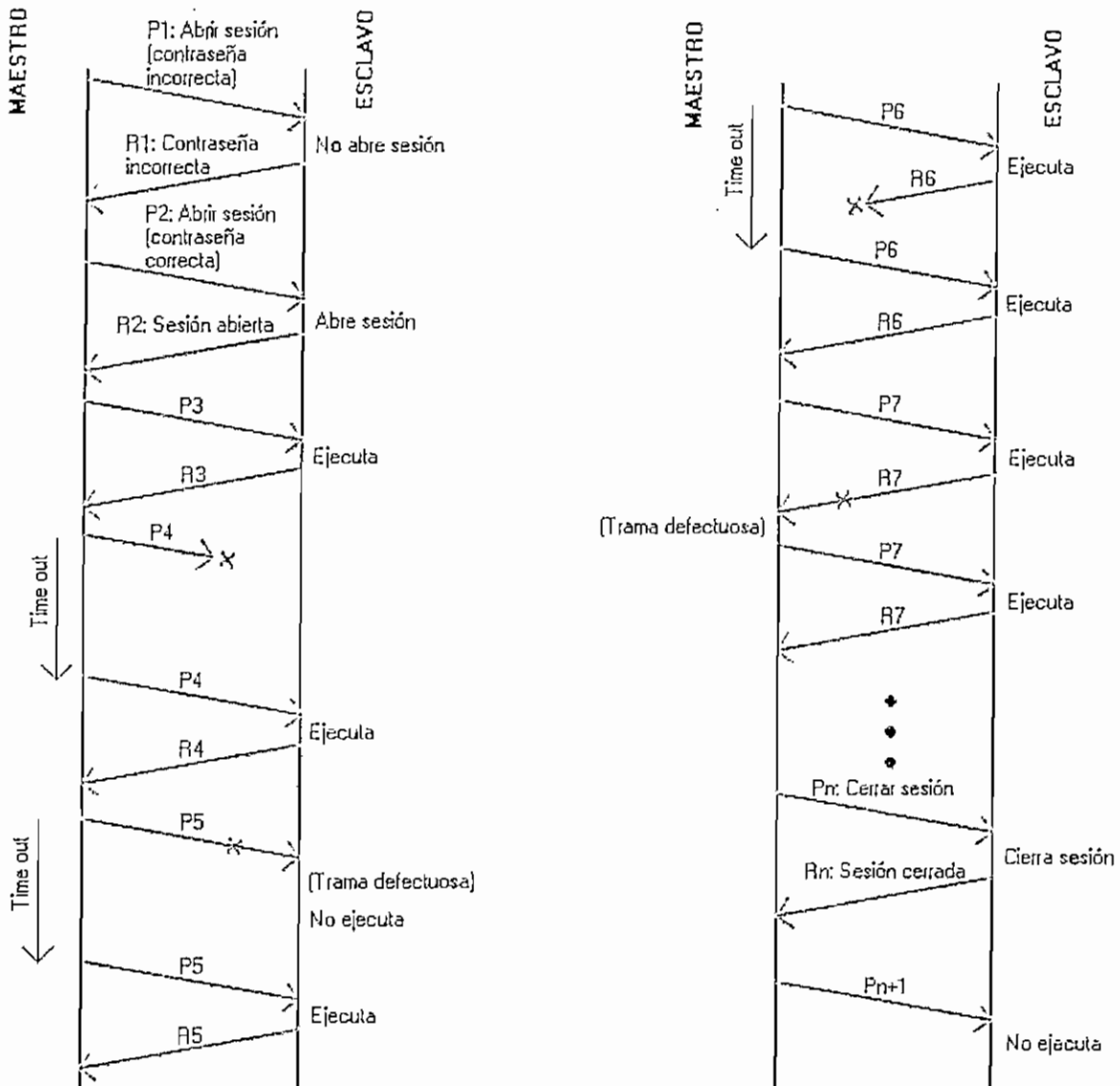


Figura 5.1: Diagrama de protocolo

La comunicación entre el maestro y el esclavo se implementa mediante un ciclo pregunta – respuesta. El maestro es el único que puede iniciar la comunicación, mediante el envío de una pregunta. El esclavo posiblemente puede ejecutar una acción (solicitada en la pregunta) y emitir una respuesta.

Una pregunta contiene: la dirección del esclavo, la función (que debe ejecutar el esclavo), los datos (si se requieren para ejecutar la función) y un campo para verificación de error (CRC). Una respuesta contiene la dirección del esclavo, la función (ejecutada por el esclavo), los datos solicitados (si se solicitan) y un campo para verificación de error (CRC)

La mayor parte de las funciones implementadas son de lectura (por ejemplo leer registros del ADE7753 para medir variables) y de configuración (por ejemplo escribir en registros del RTC para igualar fecha/hora). Existe una función especial, que se denomina abrir sesión, cuyo campo de datos contiene 16 bytes de una contraseña de seguridad. Si el esclavo valida la contraseña de seguridad, entonces abre la sesión y permite la ejecución de funciones solicitadas en posteriores preguntas (ver P2 y R2 en la Figura 5.1). Si la contraseña no es válida, el esclavo responde con un mensaje (trama de respuesta) indicando que no se puede abrir la sesión (ver P1 y R1 en la Figura 5.1). Cuando la sesión está cerrada, el esclavo no ejecuta la función solicitada en alguna pregunta (excepto abrir sesión si la contraseña es correcta), como se ilustra en la Figura 5.1 (pregunta P_{n+1}). Asimismo, existe la función cerrar sesión (permite al maestro cerrar la sesión). La sesión puede ser cerrada mediante el envío de la pregunta con la función cerrar sesión (ver P_n y R_n en la Figura 5.1). La sesión también se cierra automáticamente (por el esclavo, sin intervención del maestro) cinco minutos después del procesamiento de la última pregunta.

Una vez abierta la sesión, el esclavo puede ejecutar las funciones solicitadas (ver P3 y R3 en la Figura 5.1). Después de la ejecución de la función, el esclavo envía una respuesta al maestro indicándole que se ejecutó la función y retornándole datos solicitados (si se solicitan) en la función.

Cada vez que el maestro envía una pregunta, espera un tiempo para recibir una respuesta, si después de este tiempo, no se recibe la trama de respuesta, entonces el maestro envía nuevamente la pregunta. El tiempo de espera puede expirar sin que se reciba una respuesta debido a las siguientes causas:

- La trama de pregunta se pierde (ver P4 en la Figura 5.1);
- La trama de pregunta llega defectuosa (ver P5 en la Figura 5.1);
- La trama de respuesta se pierde (ver R6 en la Figura 5.1);

Puede darse el caso que la trama de respuesta llegue defectuosa al maestro (ver R7 en la Figura 5.1), en cuyo caso la pregunta se envía nuevamente.

5.3.1 PREGUNTA

Dirección MSB	Dirección LSB	Función	Ndatos	Datos	Datos	CRC MSB	CRC LSB
------------------	------------------	---------	--------	-------	-------	------------	------------

Figura 5.2: Trama de pregunta

La trama de la pregunta contiene los siguientes campos:

- Dirección del esclavo (2 bytes) con el que se desea establecer comunicación;
- Código de función (1 byte) que indica la acción solicitada;
- Número de datos (1 byte) que contiene información sobre la longitud de la trama;
- Datos (0 a 64 bytes) necesarios para ejecutar la función solicitada;
- Chequeo de errores mediante CRC (2 bytes).

En la Figura 5.2 se observa la forma general de una trama de pregunta. En la trama de esta Figura se muestran 2 bytes de datos, sin embargo, como se mencionó anteriormente, la trama puede contener desde 0 hasta 64 bytes de datos.

5.3.1.1 Dirección (2 bytes)

Los dos primeros bytes de la trama de pregunta se utilizan para indicar la dirección del esclavo con el que el maestro se desea comunicar.

En este proyecto se implementa sólo un esclavo, sin embargo se considera la inclusión del campo de dirección para que el maestro pueda comandar varios esclavos posiblemente presentes dentro del área de cobertura del enlace de radiofrecuencia.

Se plantea la utilización de direcciones desde 1 hasta 65535, dejando reservada la dirección 0, para posibles mensajes en modo difusión, no implementados en este proyecto.

5.3.1.2 Código de función (1 byte)

El campo de código de función indica el tipo de acción que se solicita. Por ejemplo el 00h código representa lectura de RTC, el código 01h representa escritura de EEPROM I2C, etc. El listado completo de los códigos de funciones y su significado consta en el ANEXO No 1.

5.3.1.3 Número de datos (1 byte)

El número de datos indica el número de bytes siguientes de la trama. Por ejemplo en la trama de la Figura 5.2, el campo de número de datos debe contener el número 04h (2 bytes de datos + 2 bytes de CRC).

5.3.1.4 Datos (0 a 64 bytes)

El campo de datos contiene datos necesarios para ejecutar la función. Por ejemplo para escribir 5 bytes en la EEPROM se requieren los datos: dirección de la EEPROM (2 bytes) y 5 bytes de datos a escribir, es decir que el campo de datos contiene 7 bytes.

El campo de datos puede ser nulo (no existente), por ejemplo en el caso de la función encerrar contador de energía, en la cual no se requieren datos adicionales para su ejecución. En este caso, el campo número de datos contiene 02h y el siguiente campo son los dos bytes de CRC. Más información en el ANEXO No 1.

5.3.1.5 Chequeo de errores mediante CRC (2 BYTES) [22]

A fin de comprobar la integridad de las tramas, que pueden alterarse durante la transmisión, se implementa un chequeo de redundancia cíclica (CRC), del tipo CRC-16 polinomial. El CRC es una técnica poderosa y de fácil implementación para obtener confiabilidad en los datos.

Los datos de la trama original son tratados por el algoritmo de CRC, como un número binario. Este número es dividido por otro número binario llamado polinomio. El residuo de esta división es el checksum del CRC, el cual es añadido

a la trama original. El receptor divide el mensaje (trama original + CRC calculado), por el mismo polinomio. Si el resultado de esta división es cero, entonces la transmisión fue exitosa. Si el resultado no es cero, ha ocurrido un error durante la transmisión.

La división utiliza aritmética de módulo 2. El cálculo en módulo 2 se realiza mediante una operación XOR entre dos números.

El polinomio CRC-16 tiene 16 bits, es decir que se deben añadir 16 bits al mensaje (trama) original. El polinomio para CRC-16 es 10000000000000000000101b o también 8005h.

5.3.2 RESPUESTA

Dirección MSB	Dirección LSB	Función	Ndatos	Datos	Datos	CRC MSB	CRC LSB
------------------	------------------	---------	--------	-------	-------	------------	------------

Figura 5.3: Trama de respuesta

Cuando el esclavo recibe una trama completa (longitud especificada en el campo número de datos Ndatos), el programa verifica si la trama llegó sin errores, mediante el CRC. Si la trama llegó defectuosa (ver P5 en la Figura 5.1) el esclavo no responde ni ejecuta ninguna acción porque se considera la posibilidad de la presencia de otro esclavo cercano. Si los dos esclavos responden al mismo tiempo se produciría una colisión, debido a que se utiliza el mismo canal (la misma frecuencia del transceptor).

Si la trama está libre de errores, el esclavo verifica si el mensaje es para él, es decir si la dirección que contiene la trama coincide con su dirección.

Si la trama y la dirección son correctas se verifica si la sesión está abierta. Si se cumplen las tres condiciones el esclavo ejecuta la acción solicitada y responde (con una trama de respuesta) al maestro. Si la dirección no es correcta o la sesión no está abierta, el esclavo no responde ni ejecuta ninguna acción.

La Figura 5.3 muestra la forma general de una trama de respuesta.

Los cuatro primeros bytes son un eco (son iguales) de la pregunta. Los bytes del campo de datos (0 a 64 bytes) contienen información solicitada (si se solicita) por la pregunta. El CRC se calcula y se añade de igual manera que se hace para la pregunta.

La longitud y contenido del campo de datos (0 a 64 bytes) dependen de la información solicitada por la función. Por ejemplo, si la función es de lectura de la EEPROM, el campo de datos contiene los datos que se requieren leer. Si la función es de escritura, el campo de datos es nulo (0 bytes), por que no se requiere devolver ninguna información.

5.3.3 EJEMPLO

A continuación se describen las tramas de pregunta y respuesta de la función Leer RTC (código de función 00h). El listado completo de las funciones soportadas consta en el ANEXO No 1.

Función Leer RTC:

Acción: Leer registros (bytes) de localidades consecutivas del RTC								
Parámetros:	DirIni (00h a 3Fh): Es la dirección del registro inicial a leer							
	NBytes (01h a 40h): Es el número de bytes a leer.							
Pregunta	Dir (MSB)	Dir (LSB)	00h	04h	DirIni	Nbytes	CRC	CRC
Ejemplo	00h	01h	00h	04h	01h	02h	06h	24h
Respuesta	Dir (MSB)	Dir (LSB)	00h	Nbytes+2	Datos	Datos	CRC	CRC
Ejemplo	00h	01h	00h	04h	12h	00h	6Ch	28h

Figura 5.4: Tramas de pregunta y respuesta de la función Leer RTC

En la trama de pregunta se observa que los dos bytes iniciales corresponden a la dirección del esclavo (en este caso 0001h). El tercer byte es el código de función (en este caso 00h). El cuarto byte contiene el número de bytes siguientes de la trama (en este caso 04h = 1 byte de DirIni + 1 byte de Nbytes + 2 bytes de CRC). El quinto (DirIni) y sexto (Nbytes) bytes corresponden a los datos necesarios para ejecutar la función (en este caso 01h indica que la lectura inicia en la dirección 01h del RTC y 02h indica que se leerán 2 bytes). El CRC calculado (por la aplicación del PC) es 0624h.

En la trama de respuesta se observa que los cuatro bytes iniciales son iguales a los de la pregunta. El cuarto byte contiene el número de bytes siguientes de la trama (en este caso 04h = 2 bytes de datos leídos + 2 bytes de CRC). El quinto y sexto bytes contienen los dos bytes leídos desde el RTC (en este caso, el RTC contiene los valores 12h y 00h en las direcciones 01h y 02h, respectivamente). El CRC calculado (por el microcontrolador) es 6C28h.

5.3.4 DIAGRAMAS DE ESTADOS

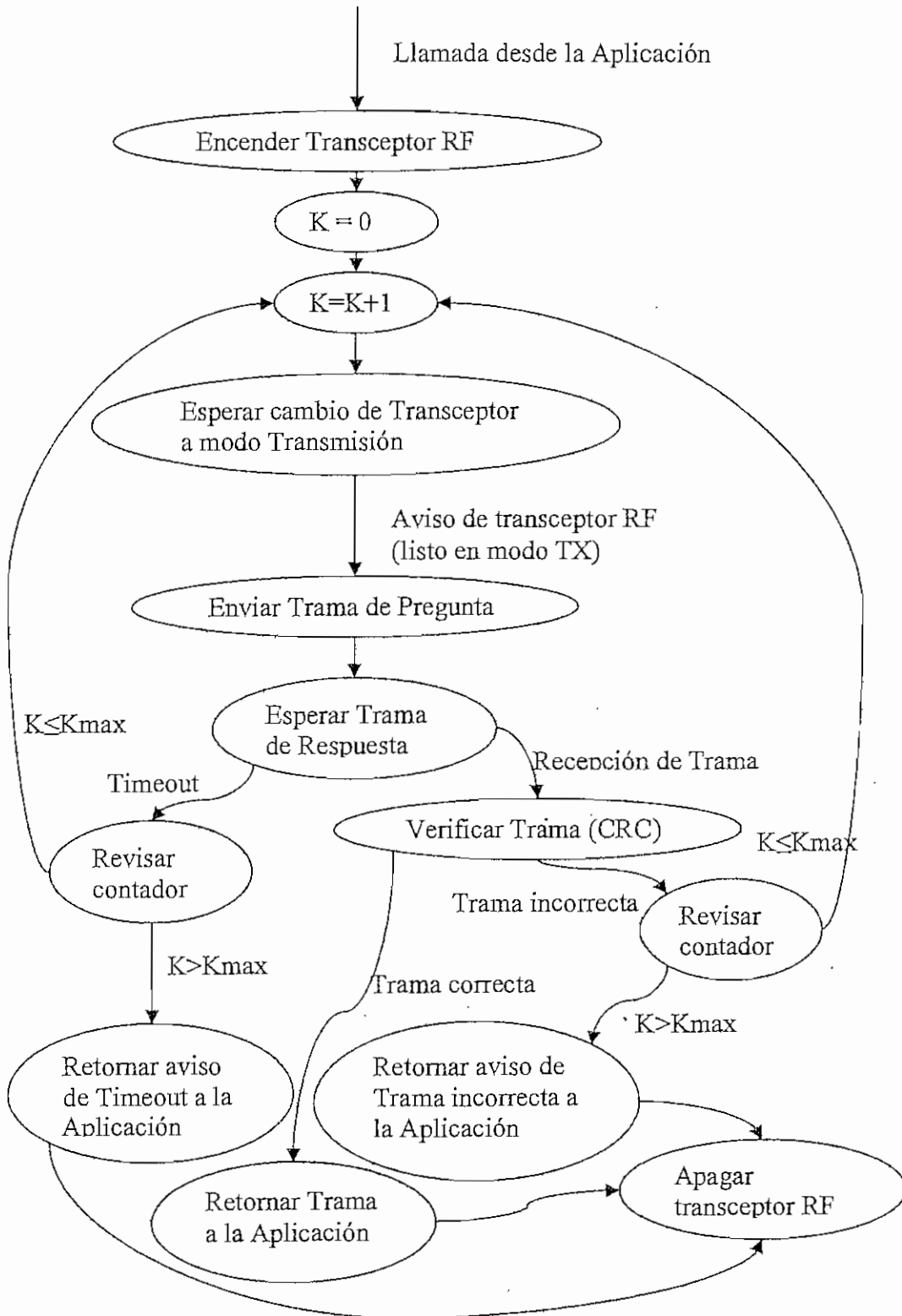


Figura 5.5: Manejo del protocolo desde el maestro

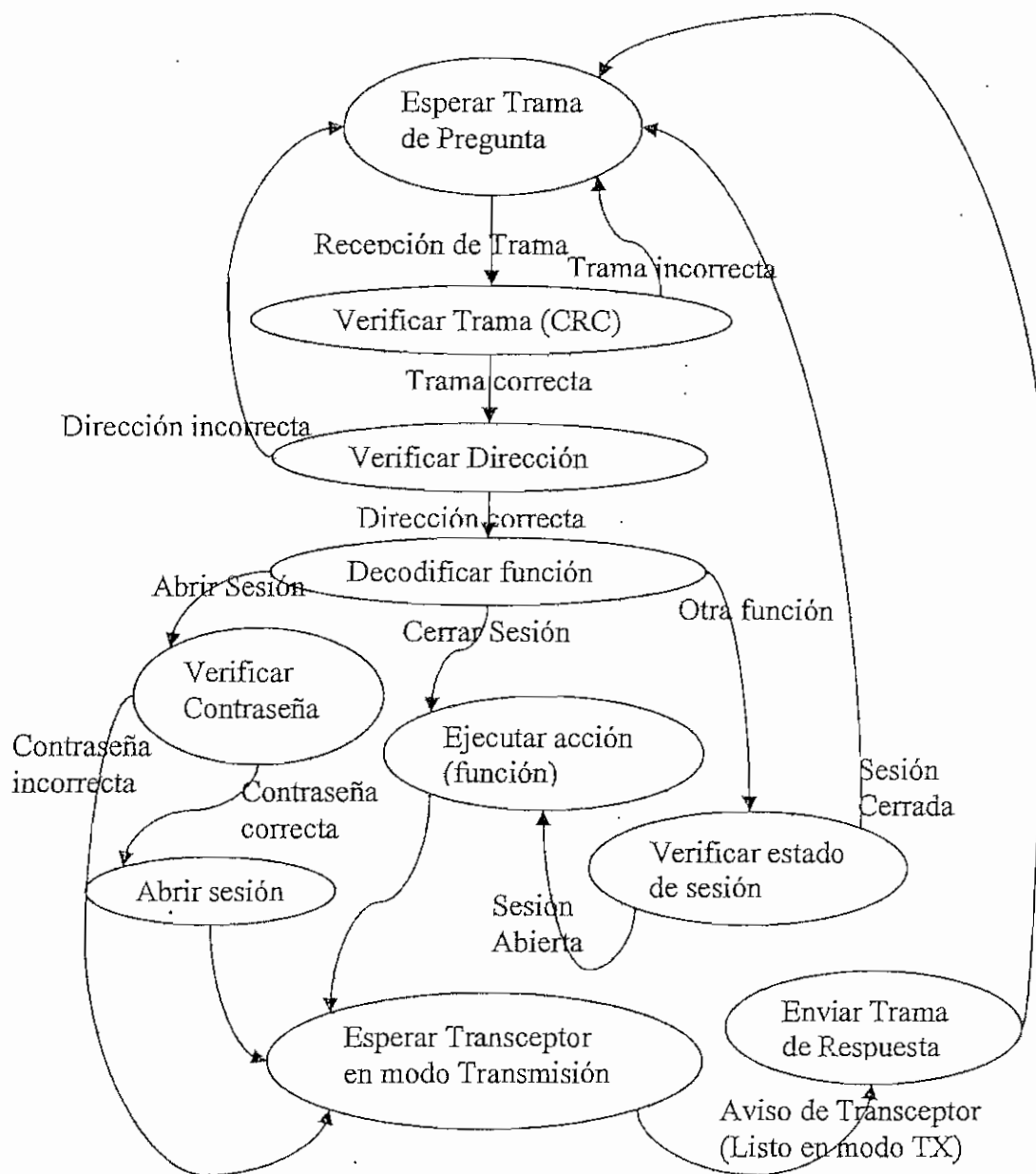


Figura 5.6: Manejo del protocolo desde el esclavo

5.4 SOFTWARE DEL ESCLAVO

En esta sección se describe el software implementado en el microcontrolador para gobernar las unidades del esclavo.

5.4.1 PROGRAMA PRINCIPAL

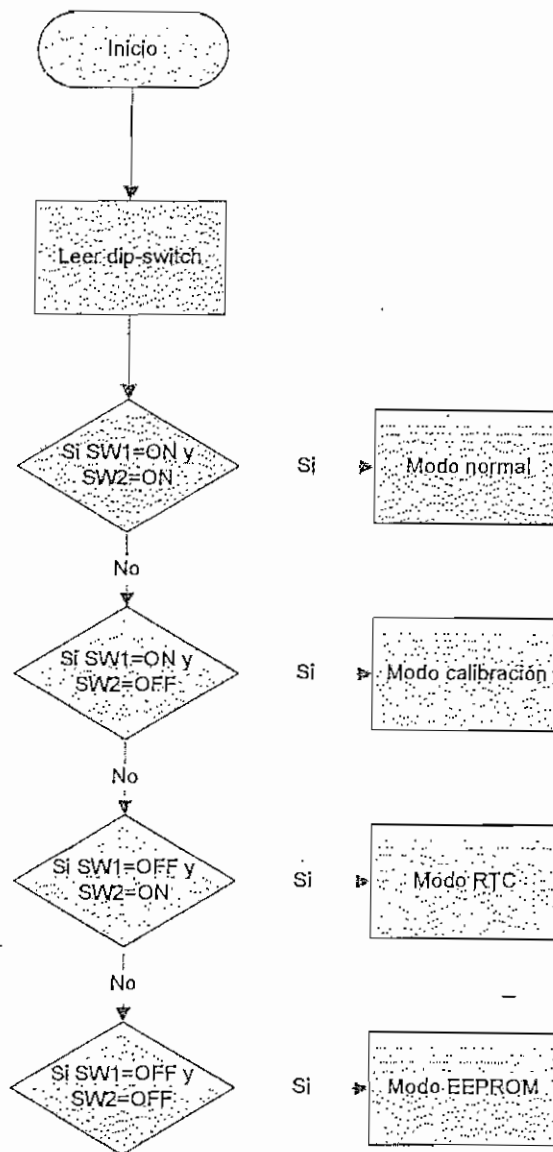


Figura 5.7: Diagrama de flujo del programa principal

Se implementan cuatro modos de operación: modo normal, modo calibración, modo configuración del RTC y modo grabación de nueva EEPROM.

El modo de operación (generalmente modo normal) se selecciona mediante un DIP-switch de dos posiciones, como se muestra en la Tabla 5.1.

Tabla 5.1: Selección de modo de trabajo

MODO	SW2	SW1
Normal	ON	ON
Calibración	ON	OFF
RTC	OFF	ON
EEPROM	OFF	OFF

El modo de operación debe ser seleccionado mientras el dispositivo está apagado. Cuando se energiza el circuito, el microcontrolador lee el estado del DIP-switch para determinar el modo de operación.

El dispositivo esclavo debe responder a preguntas enviadas por el maestro. Las preguntas pueden ser de lectura, por ejemplo leer contador de energía, o de configuración, por ejemplo encerrar el contador de energía.

Por seguridad se implementa un sistema de sesión abierta y cerrada. Solo cuando la sesión está abierta el dispositivo ejecuta las funciones solicitadas por el maestro, caso contrario éstas son ignoradas.

Al iniciar el programa (cuando se energiza el circuito), el estado de la sesión es cerrada.

Para abrir la sesión, el maestro debe enviar la pregunta respectiva, la cual incluye una contraseña de 16 bytes. La contraseña válida reside en la EEPROM AT24C512.

Cuando el esclavo recibe la pregunta para abrir sesión, determina si la contraseña es correcta, en cuyo caso abre la sesión.

Una vez abierta la sesión, el dispositivo es capaz de procesar preguntas enviadas desde el maestro. La sesión puede ser cerrada mediante el envío de la pregunta respectiva. La sesión también se cierra automáticamente (por el esclavo, sin intervención del maestro) cinco minutos después del procesamiento de la última pregunta.

5.4.2 MODO NORMAL

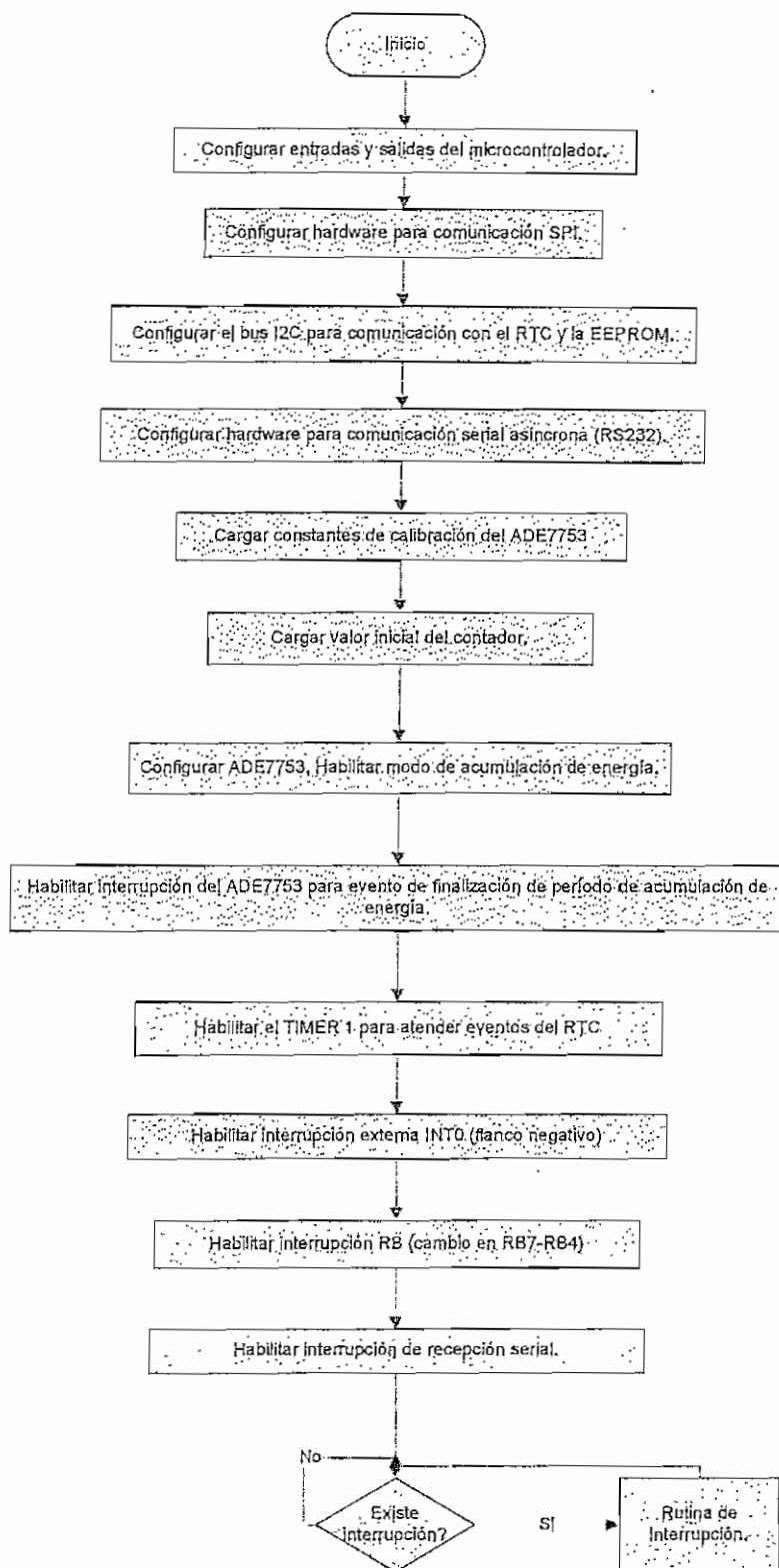


Figura 5.8: Diagrama de flujo de modo normal

Al iniciar este modo el programa realiza las siguientes actividades:

- Configurar entradas y salidas del microcontrolador;
- Configurar hardware del PIC16F877A para comunicación SPI con el ADE7753. El bus I2C para comunicación con el RTC y la EEPROM se maneja por software.
- Configurar hardware del PIC16F877A para comunicación serial asíncrona (RS232). El hardware de comunicación serial se utiliza para manejar el transceptor.
- Cargar constantes de calibración (guardadas en la EEPROM) en registros del ADE7753;
- Cargar valor inicial del contador de energía y otros parámetros (guardados en la EEPROM) en la RAM del microcontrolador;
- Configurar ADE7753. Habilitar modo de acumulación de energía (ver sección 2.4.7);
- Habilitar interrupción del ADE7753 para evento de finalización de período de acumulación de energía (Por defecto, el período es de 7200 medios ciclos de línea, es decir 60 segundos a 60 Hz);
- Habilitar el TIMER 1 para atender eventos del RTC;
- Habilitar interrupción externa INT0 (flanco negativo) para atender peticiones del ADE7753;
- Habilitar interrupción RB (cambio en RB7-RB4) para atender eventos de falla de voltaje de red. El pin SAG del ADE7753 está conectado al pin RB7 del PIC16F877A;
- Habilitar interrupción de recepción serial;
- Habilitar interrupciones de periféricos (bit PEIE del microcontrolador [28]);

- Habilitar interrupción global (bit GIE del microcontrolador [28]);
- Esperar alguna interrupción.

Después de realizar las tareas de inicialización y configuración mencionadas anteriormente, el programa principal permanece esperando la ocurrencia de alguna interrupción. En la rutina de atención a interrupciones (ISR) se determina la acción a ejecutar según el evento ocurrido.

El dispositivo indica el inicio del modo normal con una luz verde en el LED indicador. El color del LED depende del estado de la sesión.

Tabla 5.2: Señalización de estado de sesión

Estado sesión	Color LED
Cerrada	Verde
Abierta	Rojo

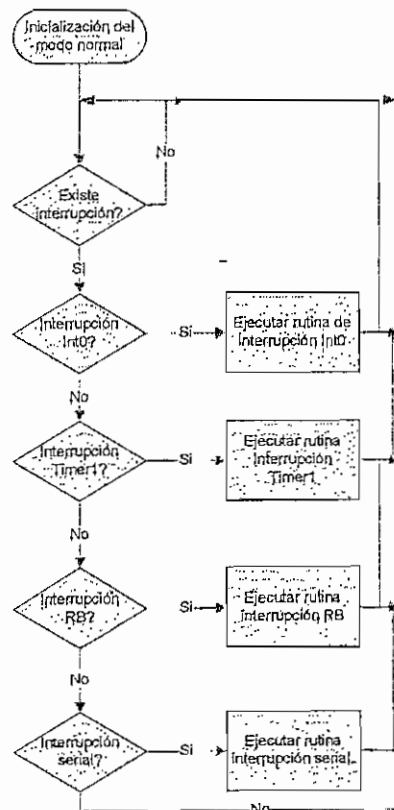


Figura 5.9: Diagrama de flujo de rutina de interrupciones

5.4.2.1 Interrupción externa INT0

La interrupción externa INT0 ocurre debido a una solicitud de interrupción del ADE7753 expresada como un estado bajo en el pin IRQ.

El ADE7753 se configura para generar una interrupción al final de un ciclo de acumulación de energía. El período de acumulación linecyc se lee desde la EEPROM AT24C512 al inicio del programa. Por defecto, el período de acumulación es de 7200 medios ciclos de línea, es decir 60 segundos a 60 Hz).

El período de acumulación se guarda en dos bytes que forman la variable linecyc en el microcontrolador.

Tabla 5.3: Períodos de acumulación

Variable linecyc	Tiempo [s]
1800	15
3600	30
5400	45
7200	60
10920	90
14400	120
18000	150
21600	180
25200	210
28800	240
32400	270
36000	300

La variable linecyc puede ser modificada mediante el envío de la pregunta correspondiente desde el maestro.

Cada vez que finaliza un período de acumulación, el pin IRQ avisa al microcontrolador que se dispone de un nuevo valor de energía activa y aparente en los registros LAENERGY (24 bits con signo) y LVAENERGY (24 bits sin signo), respectivamente.

EL microcontrolador lee los registros LAENERGY y LVAENERGY, los cuales contienen el incremento (positivo o negativo en LAENERGY) de energía consumida durante el último período de acumulación. La calibración se realiza de

tal manera que el contenido de estos registros esté expresado en Vatios-Segundo [Ws] o Julios [J].

La cuenta de energía activa se lleva en un contador de 5 bytes de RAM del microcontrolador: energia0, energia1, energia2, energia3 y energia4.

A continuación se procederá a calcular el tiempo mínimo que se requiere para que el contador de 5 bytes se desborde (pase de su máximo valor positivo al máximo valor negativo).

$$t_{\min} = \frac{E_{\max}}{P_{\max}} = \frac{2^{8\text{bytes}-1} - 1}{VI_{\max}} = \frac{2^{(8 \times 5)-1} - 1}{(120V)(20A)} = 2.29 \times 10^8 \text{ s} = 2651.21 \text{ dias} \approx 7.26 \text{ años}$$

(Ec. 5.1)

Si se toman 4 bytes en lugar de 5, se obtiene apenas un tiempo de 10.36 días.

Cuando se dispone de un nuevo valor de energía en LAENERGY, se actualiza el contador de energía del microcontrolador. En la siguiente expresión se muestra la operación realizada.

$$\text{ContadorEnergia} = \text{ContadorEnergia} + \text{Incremento}$$

En la expresión anterior el signo = representa asignación de derecha a izquierda.

Análogamente, para la energía aparente, existe un contador de 5 bytes de RAM: vaenergia0, vaenergia1, vaenergia2, vaenergia3, vaenergia4.

El contador de energía aparente se actualiza con los contenidos de LVAENERGY, de la misma manera que el contador de energía activa.

De lo expuesto anteriormente se desprende que los contadores de energía activa pueden tomar valores positivos o negativos. Se utiliza el sistema complemento de dos.

Cada vez que se atiende una interrupción de IRQ se revisa el estado de los contadores internos de energía del ADE7753. Si los contadores rebasan la mitad

de su valor máximo, su contenido se borra (se pone en 0) para evitar desbordamientos.

5.4.2.2 Interrupción del TIMER1

El TIMER1 se utiliza como contador de pulsos generados por el RTC en la salida SQW. El RTC se configura para que la frecuencia de SQW sea 1 Hz, es decir que el TIMER1 recibe un pulso cada segundo.

El TIMER1 del microcontrolador se configura de tal manera que genere una interrupción por cada 60 pulsos recibidos. Considerando la frecuencia de SQW, se tiene que el TIMER1 genera una interrupción cada minuto.

Cada vez que ocurre esta interrupción, el microcontrolador lee la hora del RTC, para saber si debe o no, registrar un par ordenado energía-tiempo en la EEPROM.

EL registro de pares energía-tiempo, se realiza a fin de tener información para el cálculo de la demanda. La frecuencia con que se registran estos pares, depende de la variable *tmuestreo* del microcontrolador, como se muestra en la Tabla 5.4.

Tabla 5.4: Períodos de registro

Variable <i>tmuestreo</i>	Período de registro [minutos]
10	10
12	12
15	15
20	20
30	30
60	60

Sólo se consideran los valores de la Tabla 5.4, para que exista un número entero de registros por cada hora. Por ejemplo si se selecciona un período de 12 minutos (*tmuestreo* = 12), sólo se registra cuando los minutos son 0, 12, 24, 36 ó 48, es decir por ejemplo a las 12:00, 12:12, 12:24, 12:36, 12:48, 13:00, etc.

El valor de *tmuestreo* se lee al inicio del programa desde la EEPROM y puede ser modificado por el envío de la pregunta respectiva desde el maestro.

Los detalles del registro de pares energía-tiempo se mencionan más adelante, en la sección 5.4.6.1.

Adicionalmente, cada vez que ocurre la interrupción del TIMER1 (en este caso cada minuto) se verifica si expiró el tiempo de sesión abierta sin recibir comandos (5 minutos), en cuyo caso la sesión se cierra automáticamente.

5.4.2.3 Interrupción RB

La interrupción RB se utiliza para detectar una falla de voltaje de red. El pin SAG se conecta al pin RB7 del PIC16F877A para alertar sobre una falla.

En este caso se apaga el LED y la fuente de 3V (pin SHDN a 0 V [27]) y se guardan los valores de los contadores de energía activa y aparente energia0-4 y vaenergia0-4, la hora y fecha de falla y el puntero de la EEPROM.

5.4.2.4 Interrupción serial

Se habilita la interrupción serial para detectar la recepción de alguna trama de pregunta. Después de recibir cada byte, el programa permanece en espera hasta recibir el resto de bytes de la trama. El programa espera un máximo de 200 ms entre cada byte. Si se supera este tiempo, se ignora la trama y se sale del estado de espera.

Si la trama se valida (ver sección 5.3.2) el esclavo decodifica la función (tercer byte de la trama), ejecuta la acción especificada, y responde (emite una trama de respuesta).

5.4.3 MODO RTC [15]

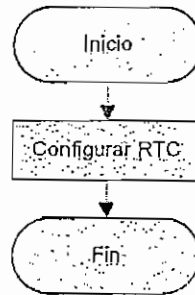


Figura 5.10: Diagrama de flujo del modo RTC

Cuando el dispositivo está apagado (sin energía), el RTC sigue funcionando gracias a la batería de respaldo [15].

El RTC está constituido por registros de datos (fecha y hora) y un registro de control (dirección 07h) en RAM. Para habilitar el funcionamiento del RTC (habilitar el oscilador) es necesario escribir un 0 en el bit 7 del registro 00h. También es necesario configurar el registro de control (escribir 10h) para que la frecuencia de salida del pin SQW sea 1 Hz [15].

El estado inicial del registro 00h, del registro de control y en general de todos los registros es desconocido. Por esto es necesario incluir una rutina para habilitar y configurar el RTC después de conectar una nueva batería. Esta rutina es la que ejecuta el programa del microcontrolador en el modo RTC.

El LED indicador sigue una secuencia encendido (0.5 s) – apagado (0.5 s) – encendido (permanente) con una luz roja para indicar la finalización de la rutina.

5.4.4 MODO EEPROM

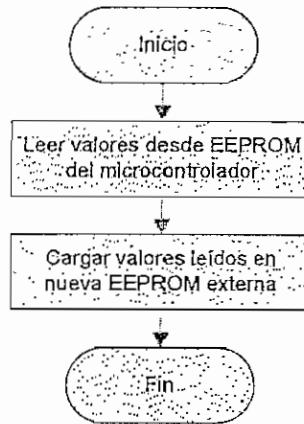


Figura 5.11: Diagrama de flujo de modo EEPROM

El funcionamiento en el modo normal (ver sección 5.4.2) depende de los valores que contiene la EEPROM externa: contador de energía, puntero de EEPROM, período de acumulación, período de registro, dirección de esclavo, constantes de calibración del ADE7753, contraseña de seguridad.

Cada vez que se coloca una nueva EEPROM en el circuito, es necesario disponer de una rutina que cargue valores iniciales en la EEPROM.

Para esto se implementa el modo EEPROM, cuyo código carga los valores iniciales en la nueva EEPROM externa. Los valores iniciales son leídos desde la EEPROM del PIC16F877A.

La EEPROM del PIC16F877A contiene valores iniciales escritos durante el proceso de grabación del programa del microcontrolador. Las constantes de calibración del ADE7753 que guarda la EEPROM del microcontrolador corresponden a los de la última calibración.

El LED indicador realiza la misma secuencia de encendido – apagado – encendido, del modo RTC.

5.4.5 MODO CALIBRACIÓN

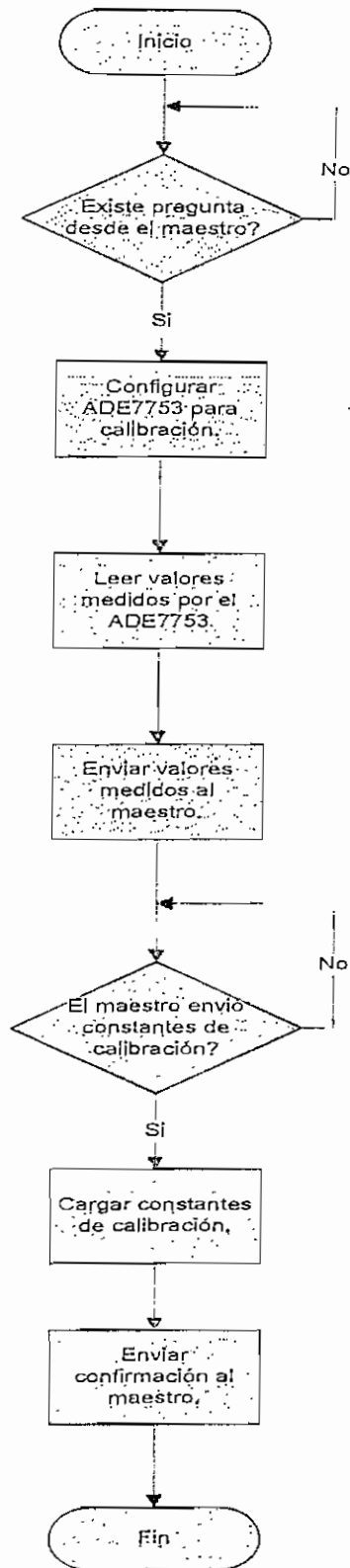


Figura 5.12: Diagrama de flujo de modo calibración

El modo de calibración ejecuta el código necesario para realizar la calibración del dispositivo. La calibración del ADE7753 se implementa mediante la escritura de valores adecuados (constantes de calibración) en sus registros de calibración.

El proceso de calibración consiste en conectar el dispositivo bajo ciertas condiciones de carga recomendadas por el fabricante del ADE7753 y realizar mediciones con un instrumento patrón. A partir de las mediciones del patrón y las lecturas del ADE7753, se pueden calcular las constantes de calibración.

El proceso es comandado por el maestro, el cual solicita al esclavo la información generada por el ADE7753. La aplicación del PC solicita al usuario el ingreso de los valores medidos con el patrón para realizar el cálculo de las constantes de calibración, las cuales son enviadas al esclavo. Las constantes enviadas al esclavo se escriben en el ADE7753, en la EEPROM externa y en la EEPROM del microcontrolador.

La aplicación del PC guía al usuario a través del proceso de calibración, indicándole las conexiones y mediciones que se deben realizar.

En resumen, en el modo de calibración, el esclavo simplemente permanece esperando las preguntas del maestro, que es el que gobierna el proceso de calibración.

Para realizar la calibración, es necesario que el maestro previamente abra la sesión del esclavo.

La señalización es la misma que para el modo normal, como se muestra en la Tabla 5.2.

5.4.6 UTILIZACIÓN MEMORIA DE LA EEPROM EXTERNA (AT24C512) [14]

Como se mencionó anteriormente, el funcionamiento del programa en el modo normal, depende de los valores guardados en la EEPROM externa.

La memoria EEPROM AT24C512 está organizada en 512 páginas de 128 bytes cada una [14].

La memoria dispone de un modo de escritura de página, es decir que se puede enviar la dirección de inicio y una serie de bytes para ser escritos en localidades consecutivas empezando por la dirección de inicio.

Para aprovechar esta característica de la EEPROM, todos los bytes que se pretenden escribir deben estar dentro de la misma página.

La primera página (página 0) se utiliza para guardar los siguientes parámetros:

- Contador de energía activa guardado en caso de falla de voltaje de red (energia0-4);
- Contador de energía aparente guardado en caso de falla de voltaje de red (vaenergia0-4);
- Fecha y hora de falla de voltaje de red (minutos, horas, fecha, mes, año);
- Puntero de la EEPROM (puntero_eep);
- Dirección de esclavo (id);
- Período de registro (tmuestreo);
- Período de acumulación (linecyc);
- Constantes de calibración del ADE7753;
- Contraseña de seguridad (clave0-15).

La Tabla 5.5 muestra el mapa de memoria de la página 0 de la EEPROM externa.

Tabla 5.5: Página 0 de EEPROM

Dirección	Página 0	Descripción
0	energia0	Energía activa en caso de falla de voltaje
1	energia1	
2	energia2	
3	energia3	
4	energia4	
5	vaenergia0	Energía aparente en
6	vaenergia1	

Dirección	Página 0	Descripción
7	vaenergia2	caso de falla de voltaje
8	vaenergia3	
9	vaenergia4	
10	minutos	Fecha/hora de falla
11	horas	
12	fecha	
13	mes	
14	año	
15	puntero_eep0	Puntero EEPROM
16	puntero_eep1	
17		
18		
19		
20		
21		
22	id0	Dirección esclavo
23	id1	
24	tmuestreo	Per. Registro
25	linecyc0	Período Acumulación
26	linecyc1	
27	wgain0	Constantes de calibración
28	wgain1	
29	wdiv	
30	apos0	
31	apos1	
32	phcal	
33	vrmsos0	
34	vrmsos1	
35	irmsos0	
36	irmsos1	
37	vagain0	
38	vagain1	
39	vadiv	
40	ch1os	
41	ch2os	
42	temp_offset	Offset temperat
43	clave0	Contraseña de seguridad
44	clave1	
45	clave2	
46	clave3	
47	clave4	
48	clave5	
49	clave6	
50	clave7	
51	clave8	
52	clave9	

Dirección	Página 0	Descripción
53	clave10	
54	clave11	
55	clave12	
56	clave13	
57	clave14	
58	clave15	

Cuando se conecta una nueva EEPROM al dispositivo, los valores de la página 0 se pueden cargar utilizando el modo EEPROM (mediante la configuración del DIP-switch). El mapa de memoria de la EEPROM del PIC16F877A es el mismo de la Tabla 5.5.

Los datos (valores por defecto) de la EEPROM del PIC16F877A se guardan durante la programación del microcontrolador (direcciones 0 a 58). Cuando se realiza la calibración del dispositivo, también se modifican las constantes de calibración en la EEPROM del microcontrolador (direcciones 27 a 41).

5.4.6.1 Registro de pares ordenados energía-tiempo

Tabla 5.6: Dato energía-tiempo

energia0
energia1
energia2
energia3
energia4
vaenergia0
vaenergia1
vaenergia2
vaenergia3
vaenergia4
minutos
horas
fecha
mes
año

Como se menciona en la sección 5.4.2.2, el código de atención a la interrupción del TIMER1, posiblemente puede ejecutar un registro de un par ordenado energía-tiempo en la EEPROM externa.

Un par ordenado energía-tiempo al cual se hará referencia como dato; en esta sección, consta de 5 bytes de energía activa, 5 bytes de energía aparente, un byte de minutos, un byte de horas, un byte de fecha, un byte de mes y un byte de año, como se muestra en la Tabla 5.6.

Se procura que en una página de 128 bytes se puedan escribir un número entero de datos. Como se observa en la Tabla 5.6, cada dato requiere 15 bytes, sin embargo se extiende a 16 bytes para cumplir la condición anterior.

En el microcontrolador existe una variable puntero de 2 bytes (*puntero_eep*), que contiene la dirección (de la EEPROM) del primer byte del próximo dato a escribir. Cada vez que se escribe un nuevo dato, el puntero se incrementa en 16.

La primera página (página 0) se reserva para los parámetros mencionados anteriormente. Los datos (pares energía-tiempo) se guardan a partir de la página 1. Es decir, que el puntero varía entre 128 y 65520 (Después de 65520 pasa 128).

A continuación se muestra el cálculo del máximo número de datos que puede guardar la EEPROM.

$$n_{\text{datos}_{\text{max}}} = 511 \text{ páginas} \times \frac{128 \text{ byte}}{\text{página}} \times \frac{\text{dato}}{16 \text{ byte}} = 4088 \text{ datos}$$

(Ec. 5.2)

De la Ec. 5.2 se observa que el máximo número de datos que se pueden registrar es 4088.

El período de registro es variable y depende del valor de la variable *tmuestreo* como se indica en la sección 5.4.2.2.

A continuación se realiza un cálculo del tiempo máximo de almacenamiento de datos en la EEPROM, para un período de registro de 30 minutos (valor por defecto).

$$t_{\max} = 511 \text{ páginas} \times \frac{128 \text{ byte}}{1 \text{ página}} \times \frac{1 \text{ dato}}{16 \text{ byte}} \times \frac{0,5 \text{ h}}{1 \text{ dato}} \times \frac{\text{día}}{24 \text{ h}} = 85,17 \text{ días} = 2,84 \text{ meses}$$

(Ec. 5.3)

Si se selecciona un período de registro menor, el tiempo de almacenamiento disminuye, como se observa en la Tabla 5.7.

Tabla 5.7: Tiempos de almacenamiento

Variable tmuestreo	Período de registro [minutos]	Tiempo de almacenamiento [días]
10	10	28,34
12	12	34,07
15	15	42,58
20	20	56,78
30	30	85,17
60	60	170,33

5.4.6.2 Duración de la EEPROM

La endurancia de la EEPROM AT24C512 es de 100000 ciclos de escritura [14]. Es decir que la duración de la EEPROM depende del período de registro.

A continuación se realiza un cálculo de la duración de la EEPROM, para un período de registro de 30 minutos.

$$\text{duración} = 100000 \text{ ciclos} \times \frac{0,5 \text{ h}}{\text{ciclo}} \times \frac{\text{día}}{24 \text{ h}} \times \frac{\text{año}}{365 \text{ día}} = 5,71 \text{ años}$$

(Ec. 5.4)

La duración de la EEPROM disminuye con el período de muestreo.

Tabla 5.8: Duración de la EEPROM

Variable tmuestreo	Período de registro [minutos]	Duración [años]
10	10	1,90
12	12	2,28
15	15	2,85
20	20	3,81
30	30	5,71

60	60	11,42
----	----	-------

5.5 SOFTWARE DEL MAESTRO

Para cumplir con los requerimientos del software del esclavo se implementa una aplicación de 32 bits para Windows.

La aplicación está constituida por ventanas (formularios) que permiten al usuario utilizar las diferentes funciones implementadas. Además de los formularios, los cuales son visibles al usuario, la aplicación tiene un módulo (no visible en tiempo de ejecución), que contiene variables globales, constantes y definiciones de funciones.

El usuario puede seleccionar las actividades mediante botones y/o menús dispuestos adecuadamente en los formularios.

5.5.1 FORMULARIO PRINCIPAL

EL formulario principal es la ventana que aparece al principio de la ejecución del programa.

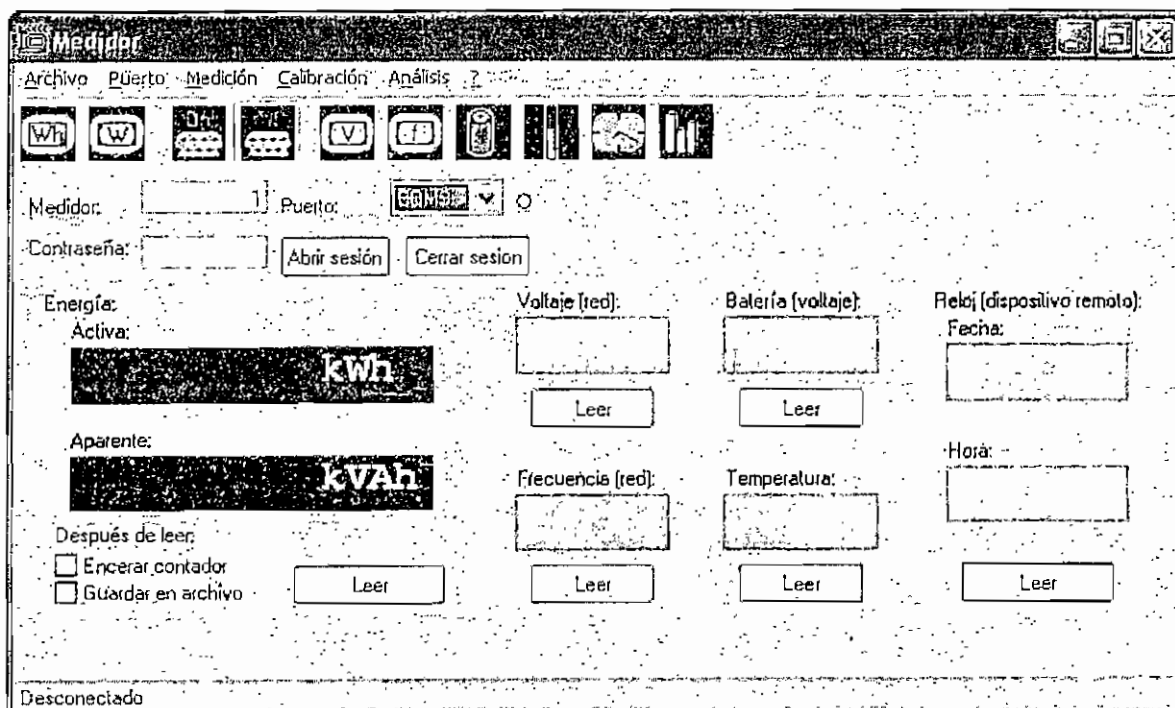


Figura 5.13: Ventana principal

La ventana principal permite un acceso a todas las funciones del programa.

Como se observa en la Figura 5.13 la ventana principal dispone de los siguientes controles:

- Barra de menús;
- Barra de herramientas;
- Cuadros de texto para ingreso de número (dirección) de medidor y contraseña;
- Cuadro combinado para selección del puerto serial;
- Botones para abrir y cerrar sesión;
- Etiquetas y botones para realizar la lectura de contador de energía activa y aparente, voltaje y frecuencia de red, voltaje de batería, temperatura y fecha/hora (lectura del RTC) del dispositivo remoto;
- Barra de estado.

5.5.2 COMANDO DE DISPOSITIVO REMOTO

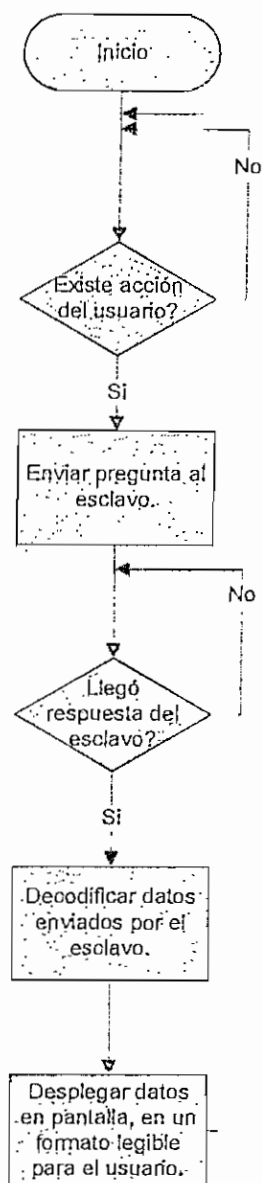


Figura 5.14: Diagrama de flujo de programa principal

Como se menciona en la sección 5.3, el maestro es el que inicia el proceso de comunicación con el esclavo.

El maestro requiere establecer comunicación con el esclavo para leer resultados de mediciones o para escribir parámetros de calibración o configuración.

En resumen, las acciones que el maestro ordena al esclavo se reducen al envío de preguntas de lectura y/o escritura. Por ejemplo, para leer el voltaje de red, el

maestro envía la pregunta de lectura del registro correspondiente en el ADE7753 (dirección 0x17, registro VRMS [12]) y espera la trama de respuesta del esclavo, la cual contiene la información requerida. Si se desea configurar el RTC, el maestro envía un comando de escritura de RTC al esclavo con las direcciones y los valores adecuados.

Para realizar la calibración, el maestro requiere enviar sincronizadamente preguntas de lectura/escritura. Por ejemplo requiere escribir en registros del ADE7753 (pregunta de escritura de ADE7753) para configurar su operación y después de un tiempo requiere leer los resultados (comando de lectura de ADE7753).

En resumen, la aplicación del PC interpreta las órdenes del usuario (expresadas por ejemplo al presionar un botón o seleccionar un elemento de un menú) y las ejecuta mediante el envío de las preguntas adecuadas al esclavo. El envío de preguntas se rige al protocolo establecido en la sección 5.3.

En las tramas de respuesta del esclavo se halla la información requerida, la cual debe ser decodificada y mostrada al usuario en formato adecuado. Por ejemplo, la trama de respuesta de lectura del RTC (dirección 00h a 06h del DS1307) contiene 6 bytes con los valores de los registros: segundos, minutos, horas, día, fecha, mes y año. Los valores de estos registros están en BCD [15] y deben ser convertidos en información legible por el usuario, como se muestra en la Figura 5.15.

5.5.3 VISUALIZACIÓN Y ALMACENAMIENTO DE DATOS

5.5.3.1 Visualización

Los datos enviados por el esclavo, después de ser procesados, son desplegados en la pantalla del PC, para su visualización, como se observa en la Figura 5.15.

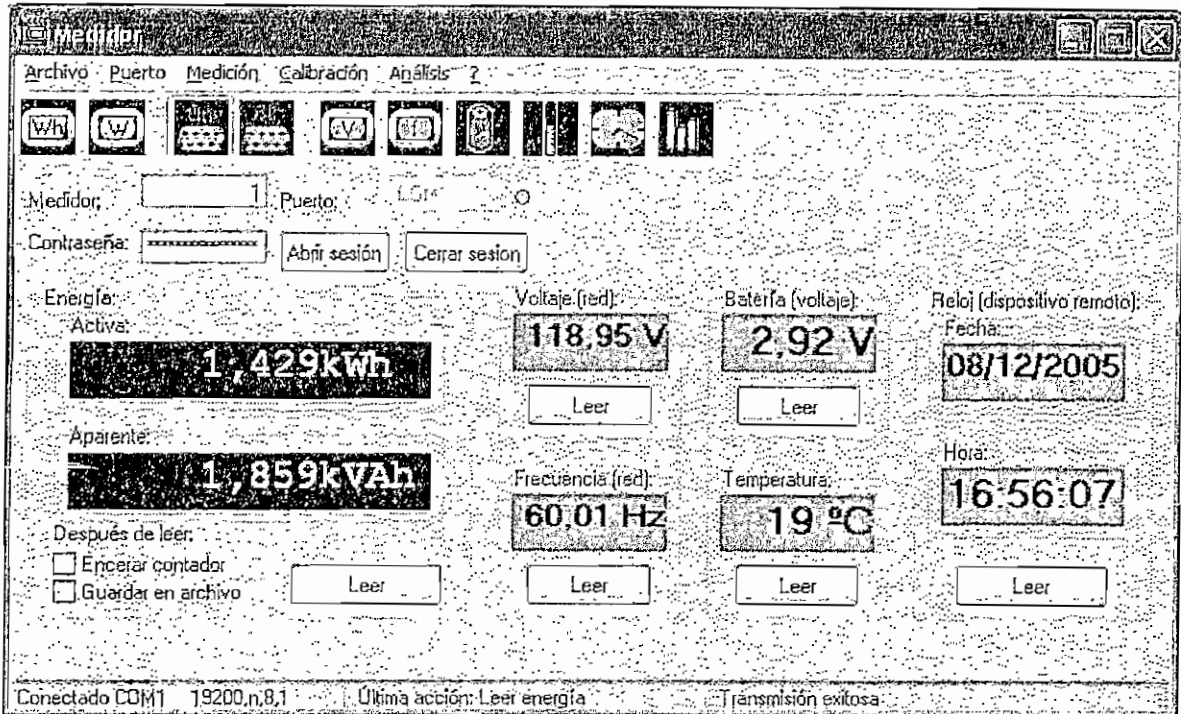


Figura 5.15: Visualización de datos

5.5.3.2 Almacenamiento

La aplicación permite guardar y abrir los siguientes tipos de archivos:

- Archivos de consumo;
- Archivos de demanda;
- Archivos de calibración.

5.5.3.2.1 Archivos de consumo

Son archivos (*.con) que contienen información del consumo de energía activa y aparente y la fecha de lectura.

5.5.3.2.2 Archivos de demanda

Son archivos (*.dem) que contienen la información de los pares energía-tiempo que guarda el esclavo. A partir de la información de estos archivos, el PC calcula

la demanda, y muestra gráficos de demanda horaria y diaria. Adicionalmente se muestra un listado (Texto) de los pares ordenados energía – tiempo.

5.5.3.2.3 Archivos de calibración

Después de realizar una calibración (al finalizar la ejecución del asistente de calibración), la aplicación permite guardar las constantes de calibración en un archivo (*.cal). Mediante este archivo se puede también calibrar (remotamente) al dispositivo sin necesidad de realizar mediciones ni comparaciones con un instrumento patrón.

5.5.4 ASISTENTE DE CALIBRACIÓN [12]

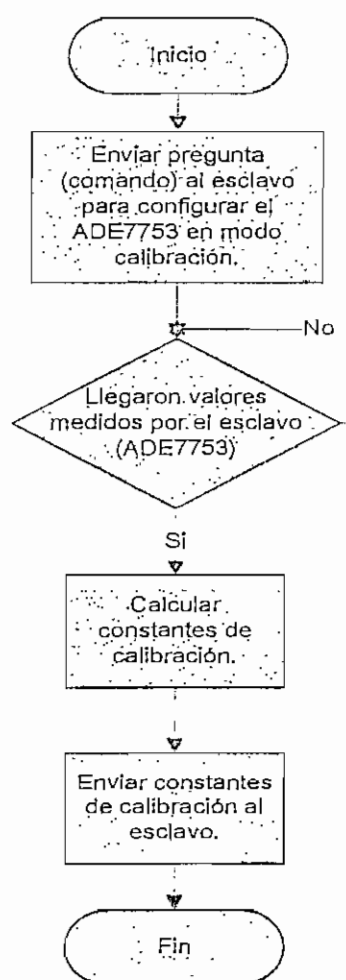


Figura 5.16: Diagrama de flujo de asistente de calibración

El proceso de calibración del esclavo está comandado por el maestro, como se indica en la sección 5.4.5. La aplicación del PC incluye un asistente de calibración que guía al usuario a través del proceso. El asistente indica el modo de conectar el dispositivo remoto y solicita el ingreso de valores medidos por el instrumento patrón. La aplicación configura remotamente el ADE7753 para realizar distintas mediciones, las cuales son enviadas al maestro. Con los datos ingresados por el usuario (lecturas del instrumento patrón) y con los enviados por el esclavo, el PC calcula las constantes de calibración, las cuales son enviadas al esclavo.

La secuencia de calibración sigue la recomendación del fabricante del ADE7753 (ver Figura 2.18 en la página 40).

Los valores medidos por el ADE7753 se denominan nominales (subíndice nom) y los valores calculados a partir de las mediciones del patrón se denominan esperados (subíndice exp). Por ejemplo, si la potencia medida por el patrón es 300 W, el tiempo es 10 s y el valor de energía medido (contenido en el registro AENERGY) por el ADE7753 es 3200, entonces el valor de energía nominal es 3200 y el valor esperado es 3000 (300×10).

En las siguientes secciones se describen las relaciones utilizadas para calcular las constantes de calibración.

5.5.4.1 Calibración de ganancia de potencia activa y aparente

La calibración de ganancia de potencia activa y aparente se realiza para obtener lecturas en Vatio-segundo [Ws] y Voltio-amperio-segundo [VAs] respectivamente.

El resultado de la calibración de ganancia de potencia activa y aparente es el cálculo y almacenamiento de las constantes WGAIN, WDIV, VAGAIN, VADIV.

Durante un intervalo de tiempo se conecta al dispositivo bajo condiciones de potencia constante (medida por el patrón). Durante este intervalo de tiempo de acumula energía activa y aparente en el ADE7753.

La energía activa medida por el ADE7753 es $AENERGY_{nom}$. El valor esperado $AENERGY_{exp}$, se obtiene multiplicando la potencia activa por el tiempo.

Para la energía activa se tiene:

$$AENERGY_{exp} = AENERGY_{nom} \left(1 + \frac{WGAIN}{2^{12}} \right) \frac{1}{WDIV}$$

(Ec. 5.5)

WDIV se calcula mediante:

$$WDIV = INT \left(\frac{AENERGY_{nom}}{AENERGY_{exp}} \right)$$

(Ec. 5.6)

WAGAIN:

$$WAGAIN = INT \left(\left(\frac{AENERGY_{exp} \times WDIV}{AENERGY_{nom}} - 1 \right) \times 2^{12} \right)$$

(Ec. 5.7)

Para el caso de energía aparente se tiene:

$$VAENERGY_{exp} = VAENERGY_{nom} \left(1 + \frac{VAGAIN}{2^{12}} \right) \frac{1}{VADIV}$$

(Ec. 5.8)

Análogamente:

$$VADIV = INT \left(\frac{VAENERGY_{nom}}{VAENERGY_{exp}} \right)$$

(Ec. 5.9)

También:

$$VAGAIN = INT\left(\left(\frac{VAENERGY_{exp} \times VADIV}{VAENERGY_{nom}} - 1\right) \times 2^{12}\right)$$

(Ec. 5.10)

5.5.4.2 Calibración de offset de potencia activa

Para calibrar el offset de potencia activa se debe calcular el valor adecuado de la constante APOS.

Para el cálculo se utilizan las siguientes relaciones:

$$error = \frac{(AENERGY_{nom} - AENERGY_{exp}) \times 2f}{LINECYC}$$

(Ec. 5.11)

$$APOS = INT\left(\frac{-error \times 2^{35}}{CLKIN}\right)$$

(Ec. 5.12)

En las ecuaciones anteriores, LINECYC es el registro del ADE7753 que contiene el período de acumulación, f es la frecuencia de red (60 Hz), CLKIN es la frecuencia del cristal conectado al ADE7753 (3.579545 MHz).

5.5.4.3 Calibración de fase

La calibración de fase se realiza mediante el registro PHCAL.

Se utilizan las siguientes relaciones:

$$error = \frac{AENERGY_{nom}}{AENERGY_{exp}} - 1$$

(Ec. 5.13)

$$\delta = -\arcsen\left(\frac{\text{error}}{\tan(\arccos(fp))}\right)$$

(Ec. 5.14)

El ángulo delta de la Ec. 5.14 está en radianes.

PHCAL se calcula mediante:

$$PHCAL = INT\left(\frac{\delta * CLKIN}{16f\pi}\right) + 13$$

(Ec. 5.15)

5.5.4.4 Calibración de offset de voltaje RMS

Se requieren dos mediciones de voltaje con valores diferentes y distintos de cero. El instrumento patrón genera los valores V_1 y V_2 y el ADE7753 los valores $VRMS_1$ y $VRMS_2$.

$VRMSOS$ se calcula mediante:

$$VRMSOS = INT\left(\frac{V_1 VRMS_2 - V_2 VRMS_1}{V_2 - V_1}\right)$$

(Ec. 5.16)

5.5.4.5 Calibración de offset de corriente RMS

Se requieren dos mediciones de corriente con valores diferentes y distintos de cero. El instrumento patrón genera los valores I_1 e I_2 y el ADE7753 los valores $IRMS_1$ y $IRMS_2$.

$IRMSOS$ se calcula mediante:

$$IRMSOS = INT \left(\frac{I_1^2 IRMS_2^2 - I_2^2 IRMS_1^2}{32768(I_2^2 - I_1^2)} \right)$$

(Ec. 5.17)

5.5.4.6 Calibración de offset de temperatura

Se debe medir la temperatura con un instrumento patrón ($temp_{exp}$) y con el ADE7753 ($temp_{nom}$).

Para calcular el offset de temperatura ($temp_offset$) se utiliza la siguiente relación:

$$temp_offset = INT \left(temp_{exp} - \frac{temp_{nom}}{1.5} \right)$$

(Ec. 5.18)

Cada vez que se requiere leer la temperatura remota, se debe leer el registro $temp$ del ADE7753 y la constante $temp_offset$, para calcular el valor de la temperatura. Estos dos valores ($temp$ del ADE7753 y constante $temp_offset$) se obtienen como respuesta a la pregunta: Leer temperatura + offset (ver ANEXO No 1).

CAPÍTULO 6

PRUEBAS Y RESULTADOS

6.1 CALIBRACIÓN

El proceso de calibración del medidor (esclavo) se realizó mediante la utilización del asistente de calibración incluida en la aplicación del PC.

La calibración se efectuó en las instalaciones del Laboratorio de Control de Máquinas de la Carrera de Ingeniería en Electrónica y Control de la E.P.N.

Se utilizó un analizador de armónicos marca FLUKE como instrumento de contraste.

La calibración debe realizarse con una fuente de voltaje sinusoidal regulada. Sin embargo, dado que no se dispuso de tal artefacto, se procedió a calibrar el dispositivo con el voltaje suministrado por la Empresa Eléctrica Quito.

Las variaciones del voltaje de red observadas durante las diferentes etapas de la calibración se mantuvieron por debajo de 0.2Vrms.

6.1.1 INICIO DEL ASISTENTE

Con el medidor trabajando en modo calibración, se procedió a abrir la sesión y luego se accedió al asistente en la aplicación del maestro, en el menú calibración.

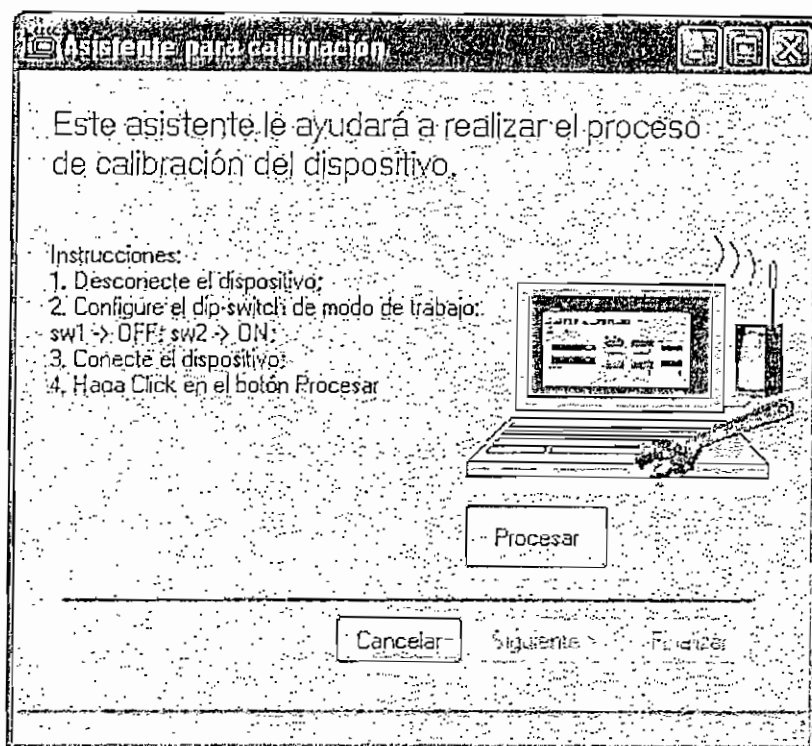


Figura 6.1: Asistente de calibración

Las relaciones utilizadas para el cálculo de las constantes de calibración se indican en la sección 5.5.4.

En las siguientes secciones se comparan las condiciones sugeridas con las condiciones ocurridas durante las diferentes etapas de la calibración realizada..

6.1.2 CALIBRACIÓN DE GANANCIA DE POTENCIA ACTIVA Y APARENTE

Tabla 6.1: Condiciones de calibración de ganancia de potencia activa y aparente

Magnitud	Ideal	Real
Voltaje [V]	120	120,2
Corriente [A]	2,5	2,2
Factor de potencia	1	1

6.1.3 CALIBRACIÓN DE OFFSET DE POTENCIA ACTIVA

Tabla 6.2: Condiciones de calibración de offset de potencia activa

Magnitud	Ideal	Real
Voltaje [V]	120	122
Corriente [A]	0,25	0,36
Factor de potencia	1	1

6.1.4 CALIBRACIÓN DE FASE

Tabla 6.3: Condiciones de Calibración de fase

Magnitud	Ideal	Real
Voltaje [V]	120	121,3
Corriente [A]	2,5	1,41
Factor de potencia	0,5	0,53

6.1.5 CALIBRACIÓN DE OFFSET DE VOLTAJE RMS

Tabla 6.4: Condiciones de calibración de offset de voltaje RMS

Magnitud	Ideal	Real
Voltaje1 [V]	120	121,7
Voltaje2 [V]	< 120	91,7

6.1.6 CALIBRACIÓN DE OFFSET DE CORRIENTE RMS

Tabla 6.5: Condiciones de calibración de offset de corriente RMS

Magnitud	Ideal	Real
Corriente1 [A]	2,5	2,17
Corriente2 [A]	< 2,5	0,35

6.1.7 CALIBRACIÓN DE TEMPERATURA

Tabla 6.6: Condiciones de calibración de temperatura

Magnitud	Ideal	Real
Temperatura [°C]	20	22

6.1.8 ARCHIVO DE CALIBRACIÓN

Al finalizar la ejecución del asistente de calibración y con las condiciones mencionadas, se obtuvo un archivo con las constantes de calibración, el cual puede ser utilizado en ocasiones posteriores (de ser necesario) para calibrar sin seguir los pasos del asistente de calibración.

Se generó el archivo cal2.cal.

WDIV (0 a 255):	0
WGAIN (-2048 a 2047):	134
VADIV (0 a 255):	2
VAGAIN (-2048 a 2047):	-673
APOS (-32768 a 32767):	26964
PHCAL (-32 a 31):	-7
VRMSOS (-2048 a 2047):	503
IRMSOS (-2048 a 2047):	1371
TEMP_OFF (-128 a 127):	10

Enviar

Figura 6.2: Archivo de calibración generado

6.2 MEDICIÓN DE ENERGÍA

Para comprobar la exactitud del medidor se requiere un medidor patrón de energía activa y aparente. El medidor patrón y el construido deben conectarse a una carga, durante el mismo intervalo de tiempo y se deben comparar los valores

Debido a que no se dispuso del equipo adecuado para realizar la prueba mencionada en el párrafo anterior, se recurrió a una prueba aproximada.

Esta prueba consiste en conectar el medidor a una carga resistiva conocida R_p , alimentada por el voltaje de la red, durante un tiempo de prueba T_p . Mientras transcurre el tiempo de prueba se deben realizar mediciones de voltaje a intervalos pequeños de tiempo t_i (con $t_i \ll T_p$). De este modo se pueden obtener valores de potencia P_i (en función del voltaje y la resistencia de carga) que al ser multiplicados por los intervalos pequeños de tiempo t_i , permiten determinar pequeños incrementos de energía ΔE_i . El incremento total de energía ΔE consumida durante el tiempo de prueba, resulta de sumar los incrementos ΔE_i .

El valor obtenido a partir de tales mediciones, se considera como el valor real de incremento de energía ΔE_{real} .

Para obtener el valor medido del incremento de energía ΔE_{medido} , se requiere que el medidor (esclavo) registre valores de energía, al inicio y al final del tiempo de prueba T_p .

Para realizar la prueba se consideraron los siguientes valores:

T_p : 10 minutos;

t_i : 10 segundos;

Se procedió a igualar el RTC del medidor con el reloj del PC que comanda el maestro. El período de registro en la EEPROM del esclavo fue configurado a 10 minutos (ver la Tabla 5.4).

El medidor se conectó con una carga resistiva (constituida por dos lámparas incandescentes de 100 W cada una) alimentada por el voltaje de la red.

Durante el transcurso del siguiente período de registro (10 minutos) se midió periódicamente (cada 10 s) el voltaje de la red, con un multímetro.

Para determinar la resistencia de la carga se realizaron tres mediciones de voltaje y corriente, con voltaje cercano al valor nominal (120 V).

Tabla 6.7: Resistencia promedio

	Voltaje [V]	Corriente [A]	Resistencia [Ω]
Prueba 1	122,0	1,60	76,25
Prueba 2	119,6	1,57	76,18
Prueba 3	123,7	1,63	75,89
Promedio			76,106

Para los cálculos se utiliza el valor promedio, $R_p = 76,106 \Omega$.

6.2.1 VALOR REAL

Para determinar el valor real (de la energía), se utilizan las mediciones de voltaje, a partir de las cuales se calcula el incremento de energía.

Tabla 6.8: Mediciones de voltaje y cálculo de incrementos de energía

t [s]	Voltaje [V]	Potencia [W]	Energía [Ws]
0	122,9	198,47	1984,66
10	122,8	198,14	1981,43
20	122,7	197,82	1978,20
30	122,7	197,82	1978,20
40	122,8	198,14	1981,43
50	122,9	198,47	1984,66
60	122,7	197,82	1978,20
70	122,6	197,50	1974,98
80	122,9	198,47	1984,66
90	123,0	198,79	1987,89
100	123,1	199,11	1991,12
110	123,0	198,79	1987,89
120	122,9	198,47	1984,66
130	123,1	199,11	1991,12
140	123,3	199,76	1997,59
150	123,6	200,73	2007,33
160	123,4	200,08	2000,84
170	123,5	200,41	2004,08
180	123,2	199,44	1994,36
190	123,3	199,76	1997,59
200	123,3	199,76	1997,59
210	123,5	200,41	2004,08
220	123,3	199,76	1997,59
230	123,5	200,41	2004,08
240	123,6	200,73	2007,33
250	123,7	201,06	2010,58
260	123,8	201,38	2013,83
270	123,8	201,38	2013,83
280	123,6	200,73	2007,33
290	123,5	200,41	2004,08
300	123,5	200,41	2004,08
310	123,4	200,08	2000,84
320	123,5	200,41	2004,08
330	123,6	200,73	2007,33
340	123,7	201,06	2010,58
350	123,6	200,73	2007,33
360	123,7	201,06	2010,58
370	123,7	201,06	2010,58
380	123,6	200,73	2007,33
390	123,7	201,06	2010,58
400	123,8	201,38	2013,83
410	123,7	201,06	2010,58
420	123,4	200,08	2000,84
430	123,4	200,08	2000,84
440	123,5	200,41	2004,08

t [s]	Voltaje [V]	Potencia [W]	Energía [Ws]
450	123,4	200,08	2000,84
460	123,5	200,41	2004,08
470	123,4	200,08	2000,84
480	123,4	200,08	2000,84
490	123,4	200,08	2000,84
500	123,5	200,41	2004,08
510	123,3	199,76	1997,59
520	123,0	198,79	1987,89
530	123,1	199,11	1991,12
540	123,0	198,79	1987,89
550	123,0	198,79	1987,89
560	122,9	198,47	1984,66
570	123,0	198,79	1987,89
580	122,9	198,47	1984,66
590	122,2	196,21	1962,11

El incremento total de energía resulta de sumar los incrementos de la columna de Energía de la Tabla 6.8.

$$\Delta E_{\text{real}} = 119817,81 \text{ W.s}$$

El incremento de energía aparente es igual al incremento de energía activa, debido a que la carga es resistiva.

6.2.2 VALOR MEDIDO

Para obtener el valor medido (de la energía) se requieren los valores inicial y final de energía. Para saber tales valores, se procedió a recuperar los datos de demanda registrados por el esclavo en el archivo de demanda prueba.dem. Los datos de interés son los dos últimos pares energía – tiempo.

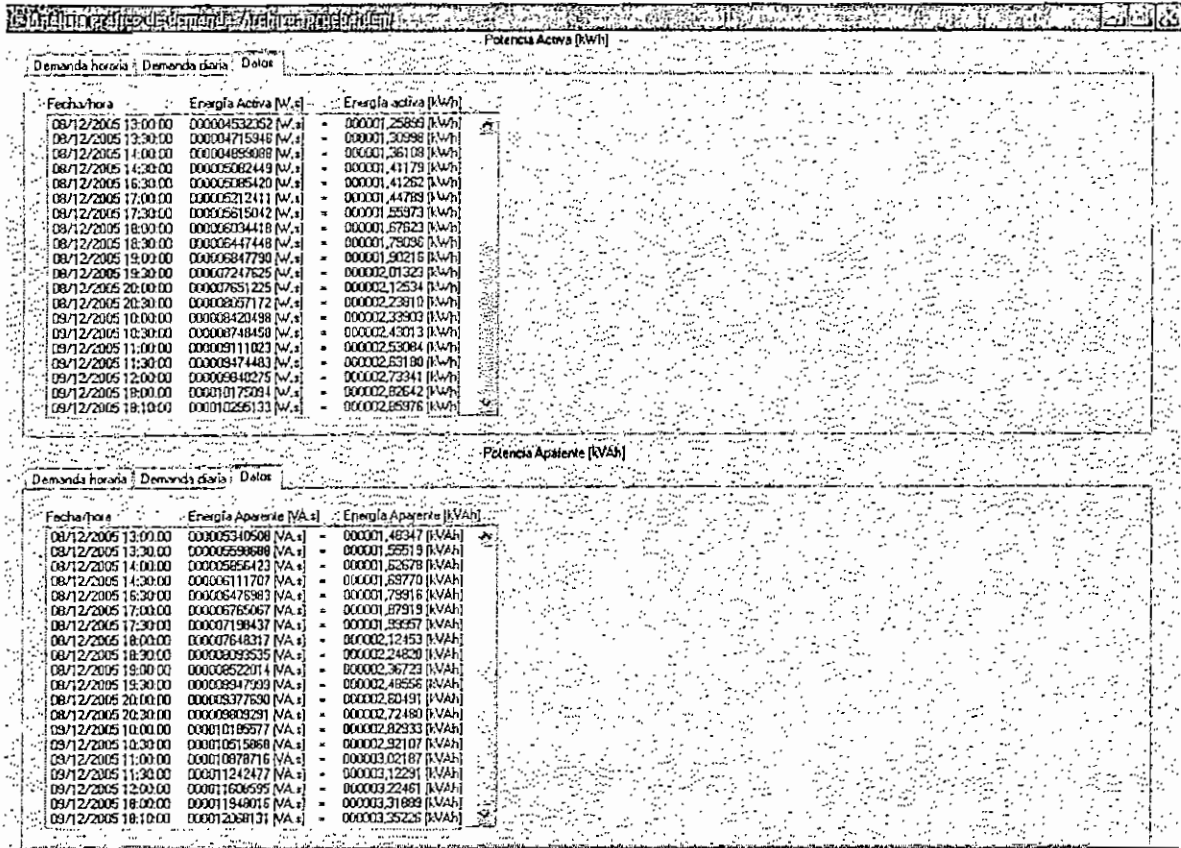


Figura 6.3: Archivo prueba.dem

En la Figura 6.3, se observan los datos energía - tiempo registrados por el esclavo y enviados al maestro. Interesan particularmente los dos últimos datos de energía activa y aparente, que se muestran en la Figura 6.4 y en la Figura 6.5, respectivamente.

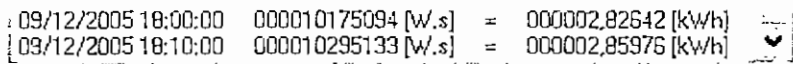


Figura 6.4: Energía activa inicial y final

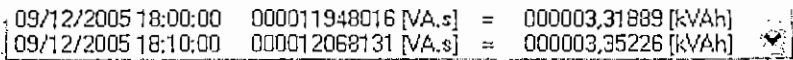


Figura 6.5: Energía aparente inicial y final

Tabla 6.9: Incrementos de energía medidos

Energía	Inicial [Ws]	Final [Ws]	Variación [Ws]
Activa	10175094	10295133	120039
Aparente	11948016	12068131	120115

6.2.3 ERROR

Sobre la base de los valores medidos y reales, se procede a determinar el error porcentual para mediciones de energía activa y aparente.

Tabla 6.10: Error de energía activa y aparente

Energía	Medido [Ws]	Real [Ws]	Error %
Activa	120039	119817,81	0,1846
Aparente	120115	119817,81	0,2480

6.3 COMUNICACIÓN MAESTRO – ESCLAVO

Para probar la eficacia del protocolo implementado, se procedió a utilizar las funciones de lectura y configuración remota que permite realizar la aplicación del maestro.

6.3.1 LECTURA

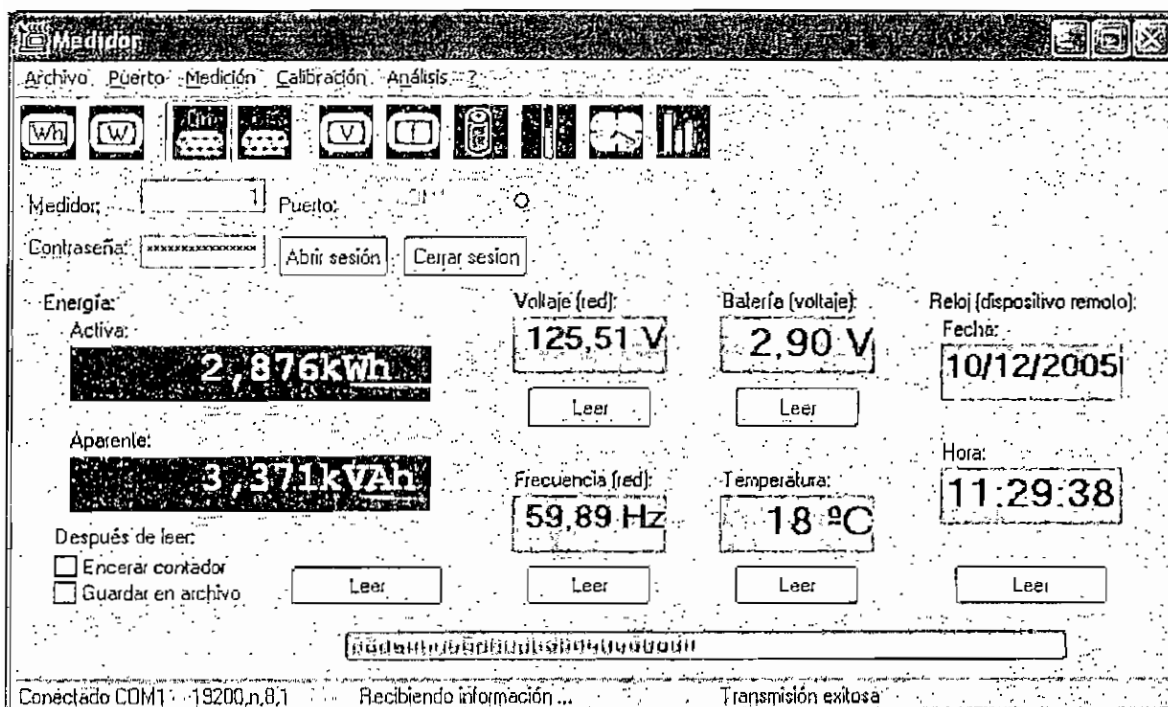


Figura 6.6: Lectura de datos

En la Figura 6.6 se pueden apreciar los resultados de la lectura remota de diferentes datos:

- Energía activa;
- Energía aparente;
- Voltaje de red;
- Frecuencia de red;
- Voltaje de batería;
- Temperatura;
- Fecha/hora del sistema remoto (lectura del RTC);
- Datos de demanda (La barra de progreso en la parte inferior de la Figura 6.6 indica el avance de la transmisión de los datos de demanda).

A través del menú Medición se accedió a la función para leer la fecha/hora de la última falla (ausencia) de voltaje.

6.3.2 CONFIGURACIÓN

Asimismo, se ejecutaron exitosamente las siguientes acciones de configuración remota:

- Calibración con Asistente;
- Calibración manual;
- Calibración desde archivo;
- Modificación de fecha y hora (hora del sistema y manualmente);
- Encerar contador de energía;
- Modificar período de acumulación y registro.

6.4 ALMACENAMIENTO

Para probar las funciones de almacenamiento de la aplicación del maestro, se abrieron los archivos previamente generados por la aplicación sobre la base de los datos enviados por el esclavo.

6.4.1 ARCHIVO DE CONSUMO

Se generó un archivo de consumo (habilitando la casilla de verificación a la izquierda del botón de lectura de energía)

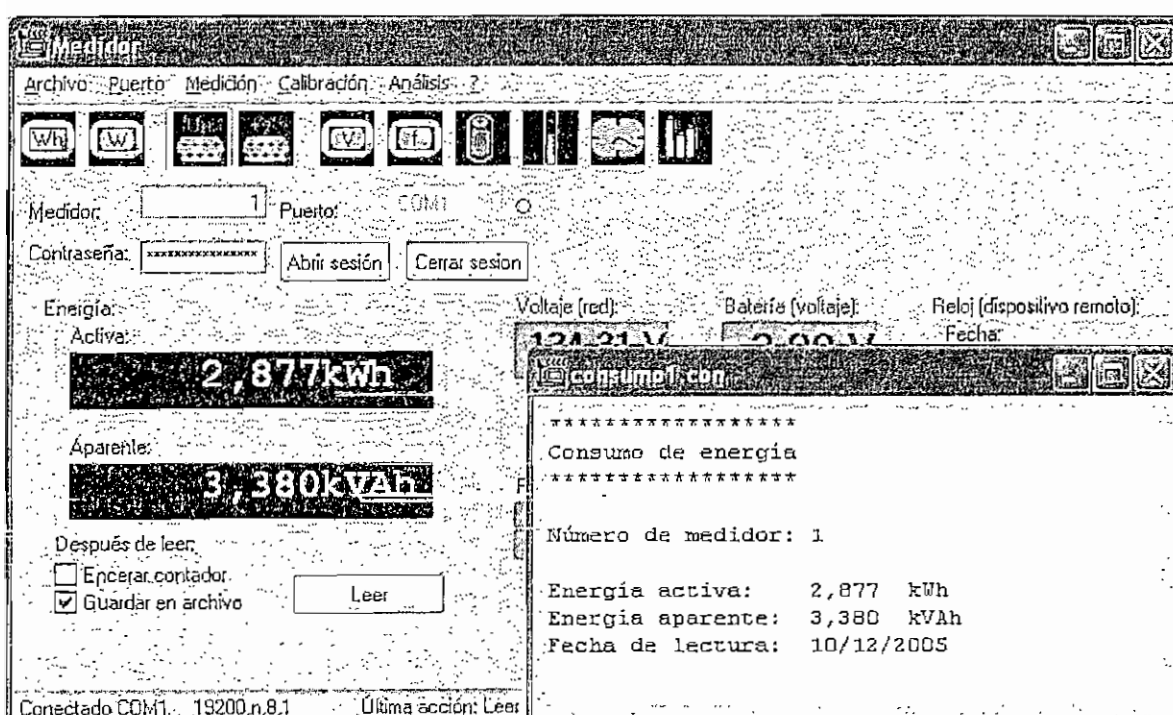


Figura 6.7: Archivo de consumo

6.4.2 ARCHIVO DE DEMANDA

Se generó el archivo dem11.dem, con los datos transmitidos por el esclavo.

A partir de un archivo de demanda, la aplicación genera la siguiente información:

- Gráficos de demanda horaria de potencia activa (Figura 6.8 parte superior);

- Gráficos de demanda horaria de potencia aparente (Figura 6.8 parte inferior);
- Gráfico de demanda diaria de potencia activa (Figura 6.9 parte superior);
- Gráfico de demanda diaria de potencia aparente (Figura 6.9 parte inferior);
- Texto con pares ordenados energía activa – tiempo (Figura 6.10 parte superior);
- Texto con pares ordenados energía aparente – tiempo (Figura 6.10 parte inferior).

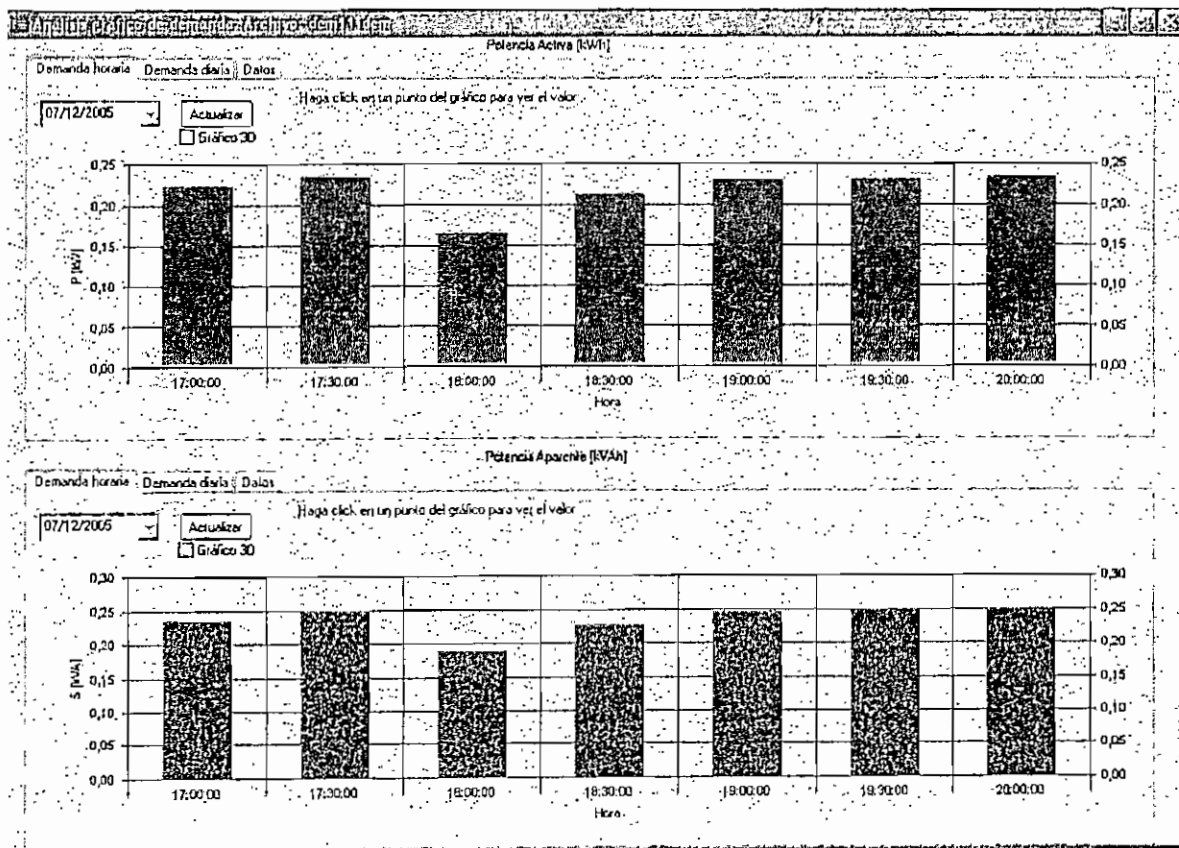


Figura 6.8: Demanda horaria

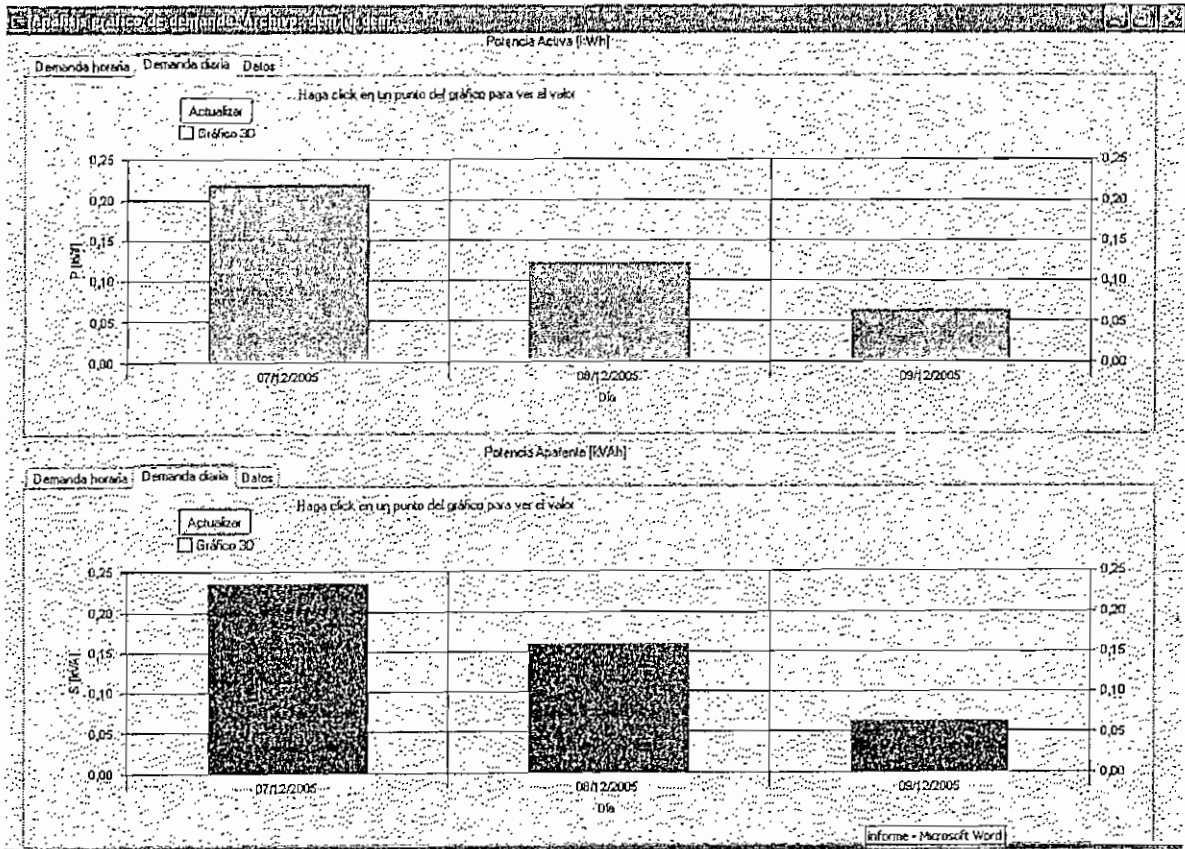


Figura 6.9: Demanda diaria

Demanda horaria - Demanda diaria - Datos			Potencia Activa [kWh]	
Fecha/hora	Energía Activa [W.s]		Energía activa [kWh]	
07/12/2005 17:00:00	000000332791 [W.s]	=	000000,08244 [kWh]	
07/12/2005 17:30:00	000000791725 [W.s]	=	000000,20326 [kWh]	
07/12/2005 18:00:00	000001152148 [W.s]	=	000000,32004 [kWh]	
07/12/2005 18:30:00	000001448524 [W.s]	=	000000,40237 [kWh]	
07/12/2005 19:00:00	000001829850 [W.s]	=	000000,50629 [kWh]	
07/12/2005 19:30:00	000002244527 [W.s]	=	000000,52348 [kWh]	
07/12/2005 20:00:00	000002661927 [W.s]	=	000000,73915 [kWh]	
07/12/2005 20:30:00	000003382217 [W.s]	=	000000,85617 [kWh]	
08/12/2005 10:00:00	000003438315 [W.s]	=	000000,95509 [kWh]	
08/12/2005 10:30:00	000003622295 [W.s]	=	000001,00647 [kWh]	
08/12/2005 11:00:00	000003803021 [W.s]	=	000001,15778 [kWh]	
08/12/2005 11:30:00	000003982251 [W.s]	=	000001,10695 [kWh]	
08/12/2005 12:00:00	000004177745 [W.s]	=	000001,16048 [kWh]	
08/12/2005 12:30:00	000004348477 [W.s]	=	000001,20791 [kWh]	
08/12/2005 13:00:00	000004532262 [W.s]	=	000001,25899 [kWh]	
08/12/2005 13:30:00	000004715946 [W.s]	=	000001,30998 [kWh]	
08/12/2005 14:00:00	000004893888 [W.s]	=	000001,36108 [kWh]	
08/12/2005 14:30:00	000005082443 [W.s]	=	000001,41179 [kWh]	
08/12/2005 16:30:00	000005085420 [W.s]	=	000001,41262 [kWh]	
08/12/2005 17:00:00	000005212411 [W.s]	=	000001,44769 [kWh]	

Demanda horaria - Demanda diaria - Datos			Potencia Aparente [kVAh]	
Fecha/hora	Energía Aparente [VA.s]		Energía Aparente [kVAh]	
07/12/2005 17:00:00	000000354015 [VA.s]	=	000000,08934 [kVAh]	
07/12/2005 17:30:00	000000779963 [VA.s]	=	000000,21613 [kVAh]	
07/12/2005 18:00:00	000001227197 [VA.s]	=	000000,34106 [kVAh]	
07/12/2005 18:30:00	000001585803 [VA.s]	=	000000,43495 [kVAh]	
07/12/2005 19:00:00	000001975027 [VA.s]	=	000000,54890 [kVAh]	
07/12/2005 19:30:00	000002419012 [VA.s]	=	000000,57195 [kVAh]	
07/12/2005 20:00:00	000002864788 [VA.s]	=	000000,70577 [kVAh]	
07/12/2005 20:30:00	000003316567 [VA.s]	=	000000,92127 [kVAh]	
08/12/2005 10:00:00	000003754818 [VA.s]	=	000001,04578 [kVAh]	
08/12/2005 10:30:00	000004033155 [VA.s]	=	000001,12032 [kVAh]	
08/12/2005 11:00:00	000004301914 [VA.s]	=	000001,19498 [kVAh]	
08/12/2005 11:30:00	000004566635 [VA.s]	=	000001,26651 [kVAh]	
08/12/2005 12:00:00	000004833478 [VA.s]	=	000001,34263 [kVAh]	
08/12/2005 12:30:00	000005078233 [VA.s]	=	000001,41062 [kVAh]	
08/12/2005 13:00:00	000005340598 [VA.s]	=	000001,46947 [kVAh]	
08/12/2005 13:30:00	000005595698 [VA.s]	=	000001,55519 [kVAh]	
08/12/2005 14:00:00	000005855423 [VA.s]	=	000001,62679 [kVAh]	
08/12/2005 14:30:00	000006111707 [VA.s]	=	000001,69770 [kVAh]	
08/12/2005 16:30:00	000006476383 [VA.s]	=	000001,73915 [kVAh]	
08/12/2005 17:00:00	000006765067 [VA.s]	=	000001,87919 [kVAh]	

Figura 6.10: Datos energía – tiempo

6.4.3 ARCHIVO DE CALIBRACIÓN

Como se menciona en la sección 6.1.8, al finalizar el proceso de calibración se generó el archivo cal2.cal, mostrado en la Figura 6.2.

6.5 ESPECIFICACIONES DEL MEDIDOR (ESCLAVO)

6.5.1 CONDICIONES NOMINALES

- Voltaje (fase-neutro): 120 V;
- Frecuencia de línea: 60 Hz;
- Clase ANSI C12.16: 20 (corriente máxima 20 A);
- Consumo de corriente (RMS): 14.2 mA (Potencia aparente de 1.7 VA a 120 V);

- Frecuencia de comunicación inalámbrica: 433.96 MHz [8].

La prueba realizada indica un error de 0.18% y 0.25% para energía activa y aparente, respectivamente, como muestra la Tabla 6.10.

6.6 ESPECIFICACIONES DEL MAESTRO

6.6.1 CONDICIONES NOMINALES

- Voltaje de alimentación (DC no regulado): 5 V a 15 V;
- Consumo (medido) de corriente transmisión: 36 mA;
- Consumo (medido) de corriente recepción: 30 mA;
- Consumo (medido) de corriente modo de espera: 7 mA;
- Frecuencia de comunicación inalámbrica: 433.96 MHz [8].

6.6.1.1 Duración de la batería

Cada vez que el usuario desea realizar una acción (lectura o configuración) remota, el dispositivo maestro emite una pregunta y espera una respuesta. La mayor parte del tiempo, el dispositivo maestro permanece en estado de espera (consumo de 7 mA). El dispositivo cambia automáticamente a estado de transmisión (consumo de 36 mA) cuando requiere emitir una trama de pregunta y a estado de recepción (consumo de 30 mA) mientras espera una trama de respuesta. Las tramas de preguntas y respuestas tienen una longitud variable, por lo tanto también es variable el tiempo que el dispositivo permanece en los modos de transmisión y recepción.

Experimentalmente, se han determinado los tiempos que el transceptor del dispositivo maestro permanece encendido (en modo transmisión o recepción) durante la comunicación con el esclavo (ver Tabla 6.11). También se han asignado (arbitrariamente) pesos relativos de acuerdo a la frecuencia de

utilización de las diferentes funciones de la aplicación. Las funciones con peso de 4 son las que se asume que se utilizan con mayor frecuencia.

Tabla 6.11: Tiempos de encendido del transceptor

Acción	Tiempo [ms]	Peso relativo
Abrir sesión	172	1
Cerrar sesión	128	1
Leer energía	421	4
Leer Voltaje de red	219	3
Leer Frecuencia	158	3
Leer Voltaje de batería	162	3
Leer temperatura	258	2
Leer fecha/hora	242	2
Leer constantes de calibración	277	1
Igualar fecha/hora	251	1
Encerar contador de energía	127	1
Modificar período de acumulación	402	1
Modificar período de registro	297	1
Promedio ponderado	248	

Por facilidad de cálculo se asume que para todas las tramas de preguntas y respuestas, el tiempo en modo de transmisión es igual al tiempo en modo de recepción y por lo tanto la corriente consumida es de 33 mA (promedio entre 30 mA y 36 mA) mientras el transceptor permanece encendido.

La duración de la batería dependerá de la capacidad C de la misma en mAh y de la frecuencia con que se realicen acciones (lectura o configuración remota) sobre el dispositivo esclavo. Si se considera que se realiza una acción cada cierto tiempo T_{ac} y que en cada acción el transceptor permanece encendido durante un intervalo t_{en} . Si se asume además que la corriente en modo de espera es I_{esp} y la corriente durante el encendido es I_{en} , entonces se tiene que la corriente media I_{DC} consumida por el dispositivo está dada por:

$$I_{DC} = \frac{1}{T_{ac}} \int_0^{T_{ac}} I dt = \frac{\int_0^{t_{en}} I_{en} dt + \int_{t_{en}}^{T_{ac}} I_{esp} dt}{T_{ac}} = I_{en} \frac{t_{en}}{T_{ac}} + I_{esp} \left(1 - \frac{t_{en}}{T_{ac}} \right)$$

(Ec. 6.1)

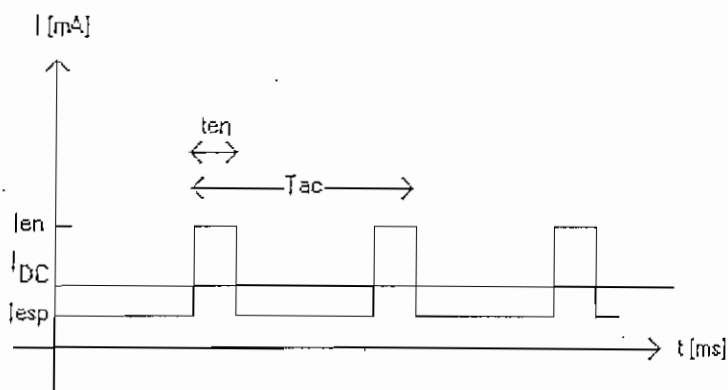


Figura 6.11: Corriente consumida por el dispositivo esclavo

Considerando los valores: $I_{en} = 33 \text{ mA}$, $I_{esp} = 7 \text{ mA}$ y $t_{en} = 248 \text{ ms}$ (promedio ponderado de la Tabla 6.11), la Ec. 6.1 conduce a:

$$I_{DC} = 7mA + 26mA \times \frac{248ms}{T_{ac}}$$

(Ec. 6.2)

La duración T_{bat} de la batería cuya capacidad de corriente es C (en mAh) está dada por:

$$T_{bat} = \frac{C}{I_{DC}} = \frac{C}{7mA + 26mA \times \frac{248ms}{T_{ac}}}$$

(Ec. 6.3)

Para estimar la duración de la batería se asume que el usuario realiza una acción (lectura o configuración) sobre el esclavo cada 10 s ($T_{ac} = 10 \text{ s}$). Cuando se realizan acciones cada diez segundos se dice (arbitrariamente) que el dispositivo maestro está en operación continua. A continuación se calcula la duración de una batería alcalina Energizer MAX de 9V con capacidad de corriente de 595 mAh [40].

$$T_{bat} = \frac{595mAh}{7mA + 26mA \times \frac{248ms}{10000ms}} = 77,83h$$

(Ec. 6.4)

De la Ec. 6.4 se observa que la duración aproximada de la batería es de 77,83 horas, bajo condiciones de operación continua. Para realizar tareas típicas de calibración (generalmente se requerirá realizar por una sola vez), lectura o configuración remota, se requiere que el dispositivo maestro permanezca en operación continua durante unos minutos (en el peor de los casos), por lo cual se considera que la duración aproximada de la batería analizada (Energizar MAX) es suficiente y se recomienda su utilización.

CAPÍTULO 7

CONCLUSIONES Y RECOMENDACIONES

7.1 CONCLUSIONES

Este proyecto ha cumplido con su objetivo general, es decir, se ha diseñado y construido un prototipo para medición y transmisión inalámbrica del consumo de energía eléctrica de un sistema monofásico bifilar.

El prototipo implementado funciona de acuerdo a los requerimientos generales planteados en la sección 1.7. Es decir que, el medidor conectado a un sistema monofásico bifilar de 120 V, 60 Hz permite obtener lecturas remotas (inalámbricamente) de energía activa y demanda que pueden ser visualizadas y almacenadas en un PC.

El medidor genera información digital de las siguientes variables: energía activa, energía aparente, voltaje de red, frecuencia de red, fecha/hora, voltaje de batería del RTC, temperatura fecha/hora de última falla de voltaje, de acuerdo a lo planteado en la sección 4.1.1.2. El medidor también registra pares ordenados energía – tiempo a intervalos periódicos de acuerdo a lo planteado en la sección 4.1.1.3.

El medidor es alimentado por la energía de la red. Cuando se presenta una falla (ausencia) del suministro, el valor del contador de energía se guarda en la memoria no volátil. Es decir que se garantiza la integridad de la información del contador de energía, aunque se presenten condiciones de falla (ausencia de suministro), de acuerdo a lo planteado en la sección 4.1.1.3.

Mediante la aplicación del PC (conectado al maestro a través del puerto serial) se pueden obtener lecturas remotas (inalámbricamente) de los siguientes parámetros: energía activa en [kWh], energía aparente en [KVAh], voltaje RMS de la red en [V], frecuencia de la red en [Hz], voltaje de la batería de respaldo del RTC en [V], fecha/hora [Año, mes, fecha, horas, minutos y segundos],

temperatura [$^{\circ}$ C], pares energía – tiempo, fecha/hora de última falla de voltaje [Año, mes, fecha, horas y minutos] y constantes de calibración. A partir de los pares energía – tiempo enviados por el esclavo, la aplicación genera gráficos de demanda (potencia en función del tiempo). Con esto se da cumplimiento a lo planteado en las secciones 4.1.1.4, 4.1.1.5, 4.1.2 y 5.2.

El asistente de calibración incorporado en la aplicación del PC presenta una interfaz gráfica que guía al usuario a través del proceso de calibración del medidor, tal como se plantea en la sección 5.2.

7.1.1 Conclusiones adicionales

- El hardware del medidor construido permite una amplia posibilidad de modificación de la funcionalidad, directamente mediante configuración remota desde el maestro, o modificando el programa del microcontrolador;
- El costo (ver ANEXO No 6) del sistema implementado es relativamente alto, debido principalmente a los módulos de radiofrecuencia y a los costos de importación. Sin embargo, el desarrollo de un medidor electrónico basado el ADE7753 tendría un costo mucho menor si se prescindiera de la transmisión inalámbrica y se sustituyera por hardware de visualización, por ejemplo un desplegador LCD.
- El ADE7753 presenta dificultades para realizar medición de energía reactiva. No dispone de registros para calibración, lo que implica compensación externa con aritmética de punto flotante en un microcontrolador.
- El ADE7753 puede ser utilizado para realizar mediciones de energía en sistemas de 60 Hz, 50 Hz e inclusive DC;
- La medición de energía eléctrica de sistemas trifásicos también puede ser realizada con medidores electrónicos basados en CIs (por ejemplo el ADE7758 de Analog Devices [11]);

- El procesamiento digital para medir energía activa permite determinar la energía eléctrica consumida aun con formas de onda de voltaje y/o corriente no sinusoidales (distorsionadas);

7.2 RECOMENDACIONES

- En el programa del microcontrolador se podrían incluir rutinas de aritmética de punto flotante para realizar compensación externa de la medición de energía reactiva que puede realizar el ADE7753.
- Como una mejora al sistema implementado, se podría considerar la utilización de un MODEM celular como elemento de transmisión directa de los datos desde el medidor hacia una oficina de la empresa eléctrica. Asimismo, se podrían realizar tareas de configuración y/o actualización de software de manera remota;
- La información digital generada presenta facilidades para su transmisión. Por ejemplo, se podría transmitir la información como una señal de alta frecuencia montada sobre las líneas de transmisión.
- El circuito del maestro puede ser utilizado como un dispositivo genérico para comunicación inalámbrica. Por ejemplo, mediante dos dispositivos idénticos al maestro se podría establecer comunicación inalámbrica entre dos PCs, utilizando el programa HyperTerminal.

REFERENCIAS BIBLIOGRÁFICAS

- [1] Ferrando, Miguel, (2001), Antenas, http://www.upv.es/antenas/Documentos_PDF//Notas_clase/Tema_1.PDF, Universidad Politécnica de Valencia, Dep. de Comunicaciones, Valencia.
- [2] Nacional Semiconductor (2002), Analog and Interface Products Databook.
- [3] Dorf, Richard, y James A. Svoboda (2003), Circuitos Eléctricos Introducción al Análisis y Diseño, 5ª edición.
- [4] Edminister, Joseph, y Mahmood Nahvi (1997), Circuitos Eléctricos, 3ª edición, Schaum serie de compendios.
- [5] IEEE (1978), IEEE Standard Dictionary of Electrical and Electronics Terms, 2nd edition.
- [6] Rashid, Muhammad, (1993), Electrónica de Potencia, 2ª edición, México, Prentice Hall Hispanoamericana.
- [7] ABACOM Technologies (2004), FM – CMOS/TTL Interface, <http://www.abacomdirect.com/FM---CMOSTTL-Interface-C23627.aspx>
- [8] ABACOM Technologies (2004), Multi-channel Micro Embedded Transceiver Module AT-XTR-903, http://www.abacom-tech.com/data_sheets/ATRT100-433user.pdf
- [9] Analog Devices, (2000), AN-559: A Low Cost Watt-Hour energy Meter Based on the ADE7755, http://www.analog.com/UploadedFiles/Application_Notes/80576942AN559.pdf
- [10] Analog Devices, (2001), AN-564: A Power Meter Reference Design Based on the ADE7756, http://www.analog.com/Analog_Root/static/pdf/library/applicationNotes/an564.pdf

- [11] Analog Devices, (2003), AN-639: Frequently Asked Questions (FAQs) Analog Devices Energy (ADE) Products, http://www.analog.com/UploadedFiles/Application_Notes/43326429202575_AN639_0.pdf
- [12] Analog Devices, (2004), Single-Phase Multifunction Metering IC with di/dt Sensor Interface ADE7753, http://www.analog.com/UploadedFiles/Data_Sheets/62604308076948ADE7753_a.pdf
- [13] Analog Devices, (2005), ADE7753: Product Page, <http://www.analog.com/en/prod/0,2934,ADE7753,00.html>
- [14] ATMEL (2002), 2-wire Serial EEPROM 512K AT24C512, <http://rocky.digikey.com/WebLib/Atmel/Web%20Data/AT24C512.pdf>
- [15] Dallas Semiconductor (2001), DS1307 64 x 8 Serial Real-Time Clock, <http://rocky.digikey.com/WebLib/Dallas/Dallas%20Web%20Data%/DS1307.pdf>
- [16] Cirrus Logic (2004), Single Phase Bi-Directional Power/Energy IC CS5460A, http://www.cirrus.com/en/pubs/proDatasheet/CS5460A_F2.pdf
- [17] Digi-Key Corporation (2005), USA Home Page, <http://www.digikey.com>
- [18] ECS Inc, HC-49US (2001), Quartz Cristal, <http://www.ecsxtal.com/pdf2/hc-49us.pdf>
- [19] LINX Technologies (2004), AN-00500: Antennas: Design, Application, and Performance, <http://www.linxtechnologies.com/documents/AN-00500.pdf>
- [20] MAXIM (2002), MAX3222E/MAX3232E/MAX3237E/MAX3241E, <http://rocky.digikey.com/WebLib/Maxim/Web%20Data/MAX3222E,3232E,3237E,3241E.pdf>

- [21] MICROCHIP (2000), AN220: Watt-Hour Meter using PIC16C923 and CS5460, <http://ww1.microchip.com/downloads/en/AppNotes/00220a.pdf>
- [22] MICROCHIP (2000), AN730: CRC Generating and Checking, <http://ww1.microchip.com/downloads/en/AppNotes/00730a.pdf>
- [23] MICROCHIP (1997), AN607: Power-up Trouble Shooting, <http://ww1.microchip.com/downloads/en/AppNotes/00607b.pdf>
- [24] MICROCHIP (2002), AN823: Analog Design in a Digital World Using Mixed Signal Controllers, <http://ww1.microchip.com/downloads/en/AppNotes/00823a.pdf>
- [25] MICROCHIP (2005), AN939: Designing Energy Meters with the PIC16F873A, <http://ww1.microchip.com/downloads/en/AppNotes/00939a.pdf>
- [26] MICROCHIP (2005), AN976: Using the MSSP Module to Interface I²C™ Serial EEPROMs with PIC16 Devices, <http://ww1.microchip.com/downloads/en/AppNotes/00976a.pdf>
- [27] MICROCHIP (2002), TC1265: 800mA Fixed Output CMOS LDO with Shutdown, <http://rocky.digikey.com/WebLib/Microchip/Web%20Data/TC1265.pdf>
- [28] MICROCHIP (2003), PIC16F87XA Data Sheet, <http://ww1.microchip.com/downloads/en/DeviceDoc/39582b.pdf>
- [29] MetAs SA (2003), Teoría del Medidor de Energía, <http://www.metas.com.mx/quiametas/La-Guia-Metas-03-03-Ener.pdf>
- [30] Megraw, Kerry (2002), The Theories and Modeling of the Kilowatt-Hour Meter, <http://public.iastate.edu/~dmumm/Physics222Project.pdf>
- [31] Motta, Hugo, y Oscar Lombardero (2002), Medidor Electrónico de Energía, <http://www.unne.edu.ar/cyt/2002/07-Tecnologicas/T-043.pdf>

- [32] Newark InOne (2005); CIRRUS-LOGIC-Distributor,
http://www.newark.com/NewarkWebCommerce/newark/en_US/endecaSearch/partDetail.jsp;jsessionid=LKKO5RYKO5E4KCXDUY0CFGAK2OTCIIV1?SKU=35C5658&N=0
- [33] NTE (2005), NTE2V010 thru NTEV480,
<http://www.nteinc.com/specs/10to99/pdf/movs.pdf>
- [34] Panasonic (2001), EMI Bead Cores,
<http://rocky.digikey.com/WebLib/Panasonic/Web%20data/EXCEL%20Series.pdf>
- [35] Richardson Electronics (2005), Richardson Electronics, Ltd,
http://catalog.rell.com/rellecom/home/cat_home.asp
- [36] RFSolutions (2005), FM Narrow Band Transceivers TRXQ1 and RXQ1, <http://www.rfsolutions.co.uk/acatalog/DS353-9.pdf>
- [37] SEIKO EPSON (2000), Cylinder Low/Medium Frequency Crystal Unit,
<http://rocky.digikey.com/WebLib/Epson/Web%20Data/C-2TYPE,C-TYPE.pdf>
- [38] Talema (2001), AC1030. 30 Amp Current transformer,
http://rocky.digikey.com/WebLib/Amveco_Talema/Web%20Data/AC1030.pdf
- [39] Texas Instruments (2000), SN5407, SN5417, SN7407, SN7417 HEX BUFFERS/DRIVERS WITH OPEN-COLECTOR HIGH-VOLTAGE OUTPUTS, <http://www.cedmagic.com/tech-info/data/7407.pdf>
- [40] TigerDirect (2006), Energizer 2 Pack 9 Volt Alkaline Batteries 522BP-2 at TigerDirect.com,
<http://www.tigerdirect.com/applications/SearchTools/item-details.asp?EdpNo=720592>

- [41] FuerteVenturaWireless (2003), Normativa Wireless Actualizada, http://www.canariaswireless.net/download/archivos/normativa_wireless_act ualizada_30-07-2003..pdf
- [42] IDC Technologies (2005), Communications, Industrial Networking and TCP/IP, http://www.idc-online.com/pocket_guides/PG2_Communication_r3.pdf

Leer RTC:

Acción: Leer registros (bytes) de localidades consecutivas del RTC								
Parámetros:	DirIni (00h a 3Fh): Es la dirección del registro inicial a leer							
	NBytes (01h a 40h): Es el número de bytes a leer.							
Pregunta	Dir (MSB)	Dir (LSB)	00h	04h	DirIni	Nbytes	CRC	CRC
Ejemplo	00h	01h	00h	04h	01h	02h	06h	24h
Respuesta	Dir (MSB)	Dir (LSB)	00h	Nbytes+2	Datos	Datos	CRC	CRC
Ejemplo	00h	01h	00h	04h	12h	00h	6Ch	28h

Leer EEPROM I2C:

Acción: Leer registros (bytes) de localidades consecutivas de EEPROM externa									
Parámetros:	DirIni (0000h a FFFFh): Es la dirección del registro inicial a leer								
	NBytes (01h a 40h): Es el número de bytes a leer.								
Pregunta	Dir (MSB)	Dir (LSB)	01h	05h	DirIni (MSB)	DirIni (LSB)	Nbytes	CRC	CRC
Ejemplo	00h	01h	01h	05h	00h	00h	03h	3Ch	72h
Respuesta	Dir (MSB)	Dir (LSB)	01h	Nbytes+2	Datos	Datos	Datos	CRC	CRC
Ejemplo	00h	01h	01h	05h	00h	00h	00h	3Ch	78h

Leer ADE7753:

Acción: Leer un registro (1 a 3 bytes) del ADE7753. Se retorna el byte más significativo primero.									
Parámetros:	DirIni (01h a 3Fh): Es la dirección del registro a leer								
	NBytes (01h a 03h): Es el número de bytes del registro								
Pregunta	Dir (MSB)	Dir (LSB)	02h	04h	DirIni	Nbytes	CRC	CRC	
Ejemplo	00h	01h	02h	04h	0Ch	02h	00h	24h	
Respuesta	Dir (MSB)	Dir (LSB)	02h	Nbytes+2	Datos	Datos	CRC	CRC	
Ejemplo	00h	01h	02h	04h	00h	00h	A8h	2Bh	

Leer EEPROM (PIC):

Acción: Leer registros (bytes) de localidades consecutivas de EEPROM del PIC									
Parámetros:	DirIni (00h a FFh): Es la dirección del registro inicial a leer								
	NBytes (01h a 40h): Es el número de bytes a leer.								
Pregunta	Dir (MSB)	Dir (LSB)	03h	04h	DirIni	Nbytes	CRC	CRC	
Ejemplo	00h	01h	03h	04h	01h	02h	3Ah	24h	
Respuesta	Dir	Dir	03h	Nbytes+2	Datos	Datos	CRC	CRC	

	(MSB)	(LSB)							
Ejemplo	00h	01h	03h	04h		12h	00h	50h	28h

Leer energía (RAM):

Acción: Leer contador (5 bytes) de energía activa											
Parámetros:	No requiere										
Pregunta	Dir (MSB)	Dir (LSB)	04h	02h						CR	CRC
Ejemplo	00h	01h	04h	02h						98h	1Bh
Respuesta	Dir (MSB)	Dir (LSB)	04h	07h	E0	E1	E2	E3	E4	CR	CRC
Ejemplo	00h	01h	04h	07h	00h	00h	00h	00h	00h	FCh	43h

Leer Vaenergía (RAM):

Acción: Leer contador (5 bytes) de energía aparente											
Parámetros:	No requiere										
Pregunta	Dir (MSB)	Dir (LSB)	05h	02h						CR	CRC
Ejemplo	00h	01h	05h	02h						1Eh	18h
Respuesta	Dir (MSB)	Dir (LSB)	05h	07h	A0	A1	A2	A3	A4	CR	CRC
Ejemplo	00h	01h	05h	07h	00h	00h	00h	00h	00h	7Dh	50h

Leer puntero_eep (RAM):

Acción: Leer puntero de EEPROM (2 bytes)											
Parámetros:	No requiere										
Pregunta	Dir (MSB)	Dir (LSB)	06h	02h						CRC	CRC
Ejemplo	00h	01h	06h	02h						14h	18h
Respuesta	Dir (MSB)	Dir (LSB)	06h	04h	Pe0		Pe1			CRC	CRC
Ejemplo	00h	01h	06h	04h	00h		01h			F8h	2Dh

Leer id (RAM):

Acción: Leer id de medidor (2 bytes)											
Parámetros:	No requiere										
Pregunta	Dir	Dir	07h	02h						CRC	CRC

	(MSB)	(LSB)						
Ejemplo	00h	01h	07h	02h			92h	1Bh
Respuesta	Dir (MSB)	Dir (LSB)	07h	04h	ld0	ld1	CRC	CRC
Ejemplo	00h	01h	07h	04h	01h	00h	6Ah	28h

Leer tmuestreo (RAM):

Acción: Leer período de registro (1 byte)								
Parámetros:	No requiere							
Pregunta	Dir (MSB)	Dir (LSB)	08h	02h			CRC	CRC
Ejemplo	00h	01h	08h	02h			B0h	1Bh
Respuesta	Dir (MSB)	Dir (LSB)	08h	03h	tm		CRC	CRC
Ejemplo	00h	01h	08h	03h	1Eh		1Eh	E4h

Leer linecyc (RAM):

Acción: Leer período de acumulación (2 bytes)								
Parámetros:	No requiere							
Pregunta	Dir (MSB)	Dir (LSB)	09h	02h			CRC	CRC
Ejemplo	00h	01h	09h	02h			36h	18h
Respuesta	Dir (MSB)	Dir (LSB)	09h	04h	Lc0	Lc1	CRC	CRC
Ejemplo-	00h	01h	09h	04h	20h	1Ch	74h	60h

Leer canal 0 (análogo):

Acción: Ordenar conversión AD de canal 0 del PIC y leer resultado (1 byte)								
Parámetros:	No requiere							
Pregunta	Dir (MSB)	Dir (LSB)	0Ah	02h			CRC	CRC
Ejemplo	00h	01h	0Ah	02h			3Ch	18h
Respuesta	Dir (MSB)	Dir (LSB)	0Ah	03h	Resultado		CRC	CRC
Ejemplo	00h	01h	0Ah	03h	99h		9Dh	DDh

Leer temperatura + offset:

Acción: Iniciar conversión de sensor de temperatura y leer resultado								
Parámetros:	No requiere							

Pregunta	Dir (MSB)	Dir (LSB)	0Bh	02h			CRC	CRC
Ejemplo	00h	01h	0Bh	02h			BAh	1Bh
Respuesta	Dir (MSB)	Dir (LSB)	0Bh	04h	Temp.	Offset	CRC	CRC
Ejemplo	00h	01h	0Bh	04h	04h	0Dh	04h	05h

Poll:

Acción: El esclavo no hace nada, excepto retornar un eco de la función								
Parámetros:	No requiere							
Pregunta	Dir (MSB)	Dir (LSB)	0Ch	02h			CRC	CRC
Ejemplo	00h	01h	0Ch	02h			28h	18h
Respuesta	Dir (MSB)	Dir (LSB)	0Ch	02h			CRC	CRC
Ejemplo	00h	01h	0Ch	02h			28h	18h

Leer Modo de Trabajo:

Acción: Leer el estado del dip-switch de modo sw2, sw1 (1 byte)								
Parámetros:	No requiere							
Pregunta	Dir (MSB)	Dir (LSB)	0Dh	02h			CRC	CRC
Ejemplo	00h	01h	0Dh	02h			A Eh	1Bh
Respuesta	Dir (MSB)	Dir (LSB)	0Dh	03h	Modo(sw2, sw1)		CRC	CRC
Ejemplo	00h	01h	0Dh	03h	00h		1Eh	E4h

Leer ADE7753 sincronizado con cruce por cero:

Acción: Leer un registro (1 a 3 bytes) del ADE7753 en el siguiente cruce por cero. Se retoma el byte más significativo primero.								
Parámetros:	DirIni (01h a 3Fh): Es la dirección del registro a leer							
	NBytes (01h a 03h): Es el número de bytes del registro							
Pregunta	Dir (MSB)	Dir (LSB)	0Eh	04h	DirIni	Nbytes	CRC	CRC
Ejemplo	00h	01h	0Eh	04h	0Ch	02h	F0h	24h
Respuesta	Dir (MSB)	Dir (LSB)	0Eh	Nbytes+2	Datos	Datos	CRC	CRC
Ejemplo	00h	01h	0Eh	04h	00h	00h	58h	2Bh

Escribir RTC:

Acción: Escribir en registros (bytes) de localidades consecutivas del RTC								
---	--	--	--	--	--	--	--	--

Parámetros:	DirIni (00h a 3Fh): Es la dirección del registro inicial a escribir							
	Datos							
	NBytes (01h a 40h): Es el número de bytes a escribir.							
Pregunta	Dir (MSB)	Dir (LSB)	14h	Nbytes+3	DirIni	Datos	CRC	CRC
Ejemplo	00h	01h	14h	04h	00h	00h	90h	2Dh
Respuesta	Dir (MSB)	Dir (LSB)	14h	02h			CRC	CRC
Ejemplo	00h	01h	14h	02h			78h	18h

Escribir EEPROM I2C:

Acción: Escribir en registros (bytes) de localidades consecutivas de EEPROM externa									
Parámetros:	DirIni (0000h a FFFFh): Es la dirección del registro inicial a escribir								
	Datos								
	NBytes (01h a 40h): Es el número de bytes a escribir.								
Pregunta	Dir (MSB)	Dir (LSB)	15h	Nbytes +4	DirIni MSB	DirIni LSB	Datos	CRC	CRC
Ejemplo	00h	01h	15h	05h	00h	00h	00h	3Ah	18h
Respuesta	Dir (MSB)	Dir (LSB)	15h	02h				CRC	CRC
Ejemplo	00h	01h	15h	02h				FEh	1Bh

Escribir ADE7753:

Acción: Escribir en un registro (1 a 3 bytes) del ADE7753									
Parámetros:	DirIni (00h a 3Fh): Es la dirección del registro a escribir								
	Datos								
	NBytes (01h a 03h): Es el número de bytes del registro.								
Pregunta	Dir (MSB)	Dir (LSB)	16h	Nbytes+3	DirIni	Datos	CRC	CRC	
Ejemplo	00h	01h	16h	04h	00h	00h	38h	2Eh	
Respuesta	Dir (MSB)	Dir (LSB)	16h	02h			CRC	CRC	
Ejemplo	00h	01h	16h	02h			F4h	1Bh	

Escribir EEPROM (PIC):

Acción: Escribir en registros (bytes) de localidades consecutivas de EEPROM del PIC									
Parámetros:	DirIni (00h a FFh): Es la dirección del registro inicial a escribir								
	Datos								
	NBytes (01h a 40h): Es el número de bytes a escribir.								
Pregunta	Dir (MSB)	Dir (LSB)	17h	Nbytes+3	DirIni	Datos	CRC	CRC	
Ejemplo	00h	01h	17h	04h	00h	00h	ACh	2Dh	

Respuesta	Dir (MSB)	Dir (LSB)	17h	02h						CRC	CRC
Ejemplo	00h	01h	17h	02h						72h	18h

Escribir Energía (RAM):

Acción: Escribir en contador (5 bytes) de energía activa											
Parámetros:	Datos: E0 a E4										
Pregunta	Dir (MSB)	Dir (LSB)	18h	07h	E0	E1	E2	E3	E4	CRC	CRC
Ejemplo	00h	01h	18h	07h	00h	00h	00h	00h	00h	61h	80h
Respuesta	Dir (MSB)	Dir (LSB)	18h	02h						CRC	CRC
Ejemplo	00h	01h	18h	02h						50h	18h

Escribir Vaenergía (RAM):

Acción: Escribir en contador (5 bytes) de energía aparente											
Parámetros:	Datos: A0 a A4										
Pregunta	Dir (MSB)	Dir (LSB)	19h	07h	A0	A1	A2	A3	A4	CRC	CRC
Ejemplo	00h	01h	19h	07h	00h	00h	00h	00h	00h	E0h	93h
Respuesta	Dir (MSB)	Dir (LSB)	19h	02h						CRC	CRC
Ejemplo	00h	01h	19h	02h						D6h	1Bh

Escribir puntero_eep (RAM):

Acción: Escribir puntero de EEPROM (2 bytes)											
Parámetros:	Datos: Pe0, Pe1										
Pregunta	Dir (MSB)	Dir (LSB)	1Ah	04h	Pe0		Pe1			CRC	CRC
Ejemplo	00h	01h	1Ah	04h	00h		01h			48h	2Bh
Respuesta	Dir (MSB)	Dir (LSB)	1Ah	02h						CRC	CRC
Ejemplo	00h	01h	1Ah	02h						DCh	1Bh

Escribir id (RAM):

Acción: Escribir id de medidor (2 bytes)											
Parámetros:	Datos: id0, id1										
Pregunta	Dir (MSB)	Dir (LSB)	1Bh	04h	id0		id1			CRC	CRC

Ejemplo	00h	01h	1Bh	04h	01h	00h	DAh	2Eh
Respuesta	Dir (MSB)	Dir (LSB)	1Bh	02h			CRC	CRC
Ejemplo	00h	01h	1Bh	02h			5Ah	18h

Escribir tmuestreo (RAM):

Acción: Escribir período de registro (1 byte)								
Parámetros:	Datos: tmuestreo							
Pregunta	Dir (MSB)	Dir (LSB)	1Ch	03h	Tmuestreo		CRC	CRC
Ejemplo	00h	01h	1Ch	03h	1Eh		1Fh	F4h
Respuesta	Dir (MSB)	Dir (LSB)	1Ch	02h			CRC	CRC
Ejemplo	00h	01h	1Ch	02h			C8h	1Bh

Escribir linecyc (RAM):

Acción: Escribir período de acumulación (2 bytes)								
Parámetros:	Datos: Lc0, Lc1							
Pregunta	Dir (MSB)	Dir (LSB)	1Dh	04h	Lc0	Lc1	CRC	CRC
Ejemplo	00h	01h	1Dh	04h	20h	1Ch	E4h	65h
Respuesta	Dir (MSB)	Dir (LSB)	1Dh	02h			CRC	CRC
Ejemplo	00h	01h	1Dh	02h			4Eh	18h

Encerar energía y Vaenergía (RAM):

Acción: Encerar contadores de energía activa y aparente								
Parámetros:	No requiere							
Pregunta	Dir (MSB)	Dir (LSB)	1Eh	02h			CRC	CRC
Ejemplo	00h	01h	1Eh	02h			44h	18h
Respuesta	Dir (MSB)	Dir (LSB)	1Eh	02h			CRC	CRC
Ejemplo	00h	01h	1Eh	02h			44h	18h

Calibrar:

Acción: Calibrar dispositivo remoto											
Parámetros:	Constantes de calibración: C0 a C15										
Pregunta	Dir	Dir	1Fh	12h	C0	C1	...	C14	C15	CRC	CRC

	(MSB)	(LSB)									
Ejemplo	00h	01h	1Fh	12h	00h	00h	...	00h	00h	74h	99h
Respuesta	Dir (MSB)	Dir (LSB)	1Fh	02h						CRC	CRC
Ejemplo	00h	01h	1Fh	02h						C2h	1Bh

ADE7753 en modo linecyc para calibración:

Acción: Poner al ADE7753 en modo de acumulación y enviar el período de acumulación Lc (2 bytes)											
Parámetros:	Datos: Lc0, Lc1										
Pregunta	Dir (MSB)	Dir (LSB)	20h	04h	Lc0			Lc1		CRC	CRC
Ejemplo	00h	01h	20h	04h	20h			1Ch		E4h	65h
Respuesta	Dir (MSB)	Dir (LSB)	20h	02h						CRC	CRC
Ejemplo	00h	01h	20h	02h						40h	6Ch

Abrir sesión:

Acción: Abrir sesión											
Parámetros:	Contraseña de 16 bytes: C0 a C15										
Pregunta	Dir (MSB)	Dir (LSB)	21h	12h	C0	C1	...	C14	C15	CRC	CRC
Ejemplo	00h	01h	21h	12h	00h	00h	...	00h	00h	EFh	88h
Respuesta	Dir (MSB)	Dir (LSB)	21h	03h	Estado sesión					CRC	CRC
Ejemplo	00h	01h	21h	03h	01h					1Ch	92h

Cerrar sesión:

Acción: Cerrar sesión											
Parámetros:	No requiere										
Pregunta	Dir (MSB)	Dir (LSB)	22h	02h						CRC	CRC
Ejemplo	00h	01h	22h	02h						CCh	18h
Respuesta	Dir (MSB)	Dir (LSB)	22h	02h						CRC	CRC
Ejemplo	00h	01h	22h	02h						CCh	18h

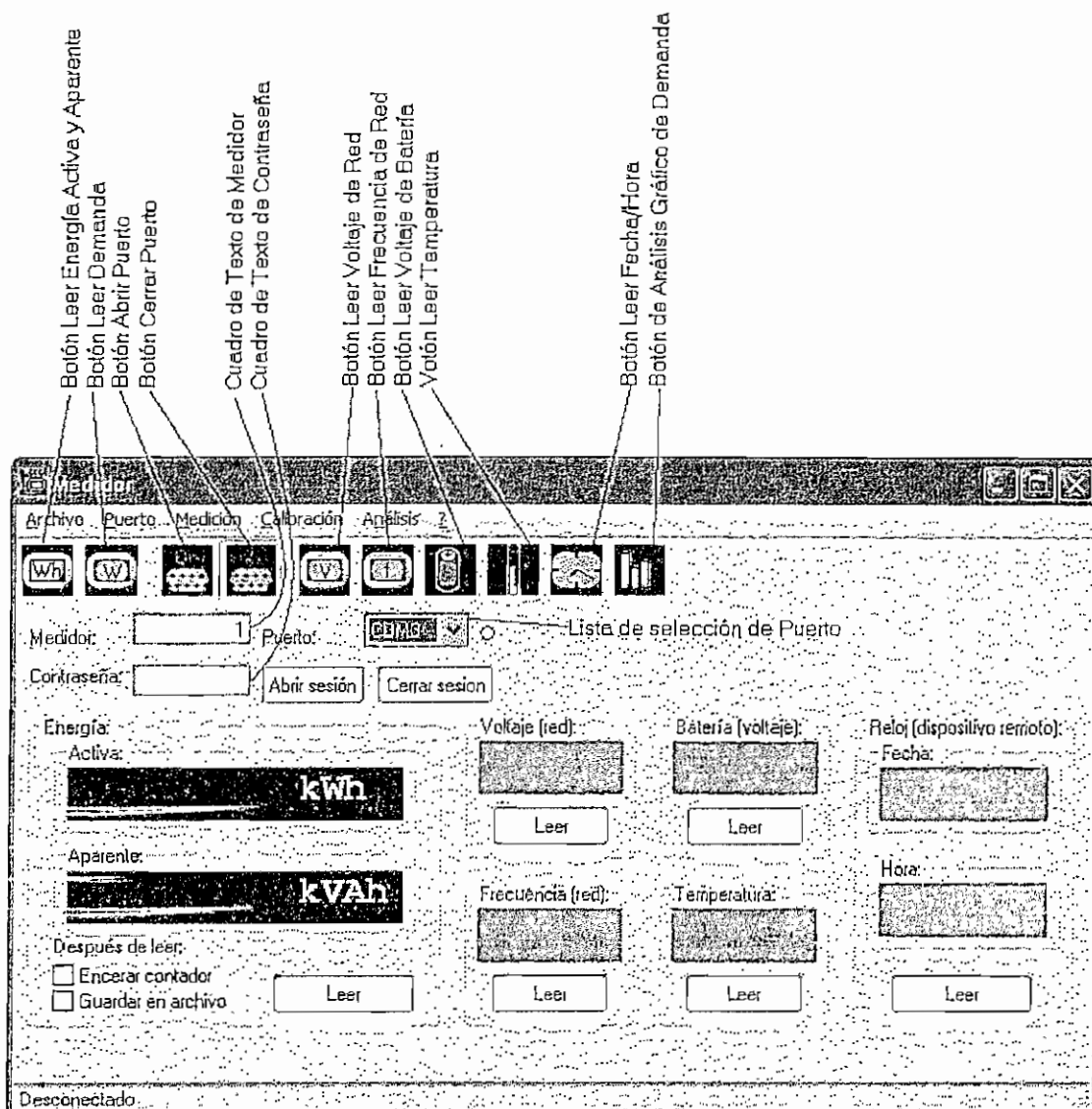


Figura An 1: Ventana principal

La aplicación del PC permite utilizar las diferentes funciones mediante botones y menús.

Al abrir el programa aparece la ventana principal (ver Figura An 1) con botones y cuadros de texto dispuestos para diferentes propósitos. A continuación se describen algunos controles importantes:

Botón Abrir Puerto: Sirve para abrir el puerto serial indicado en la lista de selección de puerto. El puerto serial debe estar abierto para poder realizar cualquier acción sobre un esclavo.

Botón Cerrar Puerto: Sirve para cerrar el puerto serial.

Cuadro de texto de Medidor: Sirve para escribir la dirección del medidor con el que se desea establecer comunicación. La dirección que se especifica es la que se envía en todas las tramas del protocolo de comunicación.

Cuadro de texto de Contraseña: Sirve para escribir la contraseña de seguridad que permitirá abrir una sesión de un dispositivo esclavo. En este caso la contraseña es la siguiente: "Clave a 16 bytes". La contraseña debe ser escrita exactamente como se muestra (sin las comillas) conservando las mayúsculas y minúsculas. Si la contraseña no se escribe correctamente, el dispositivo remoto no validará la contraseña y no se abrirá la sesión.

Lista de selección de Puerto: Permite seleccionar un puerto serial de una lista de los puertos seriales detectados.

Botones Abrir y Cerrar Sesión: Permiten abrir y cerrar la sesión de un esclavo. Para abrir la sesión es necesario escribir previamente la contraseña correcta.

Botón de Análisis Gráfico de Demanda: Permite acceder a las funciones de análisis de demanda de un archivo de demanda (*.dem) previamente guardado.

Los demás controles dispuestos en la ventana principal denotan explícitamente su funcionalidad por lo que no se considera necesario realizar una explicación adicional.

A continuación se describen los menús:

Menú Archivo:

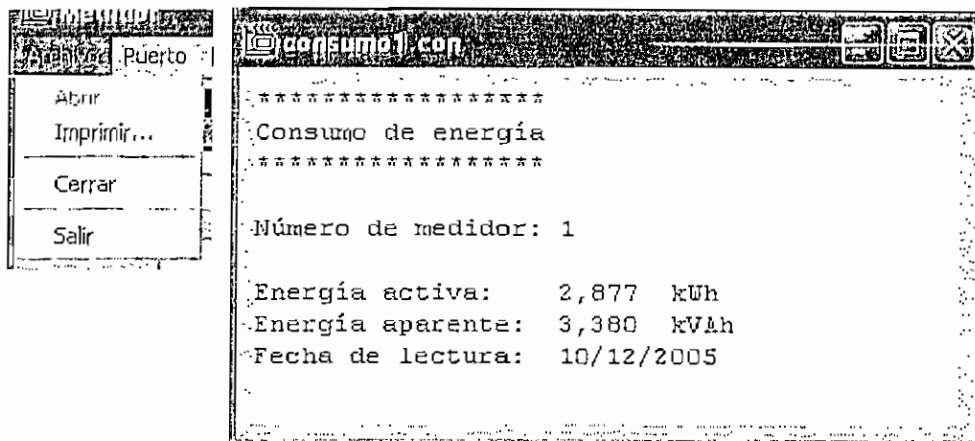


Figura An 2: Menú Archivo

Menú Archivo, Abrir: Sirve para abrir un archivo de consumo previamente guardado (*.con). Para guardar un archivo se debe activar la casilla de verificación correspondiente antes de realizar una lectura de energía.

Menú Archivo, Imprimir: Sirve para imprimir un archivo de consumo previamente abierto.

Menú Archivo, Cerrar: Sirve para cerrar un archivo previamente abierto.

Menú Archivo, Salir: Sirve para salir de la aplicación (Cerrar el programa).

Menú Puerto:

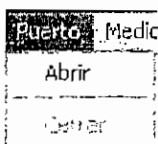


Figura An 3: Menú Puerto

Menú Puerto, Abrir: Sirve para abrir el puerto. Tiene la misma función que el botón Abrir Puerto.

Menú Puerto, Cerrar: Sirve para cerrar el puerto. Tiene la misma función que el botón Cerrar Puerto.

Menú Medición:

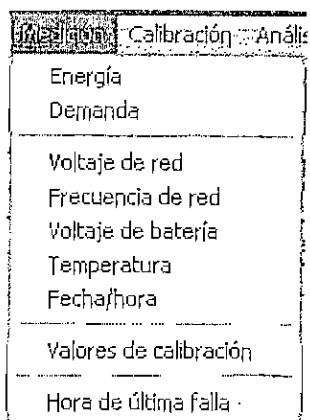


Figura An 4: Menú Medición

Los diferentes submenús del menú Medición sirven para leer variables remotas, al igual que los botones de la ventana principal.

Menú Calibración:



Figura An 5: Menú Calibración

Menú Calibración, Asistente: Sirve para iniciar la ejecución del Asistente de Calibración.

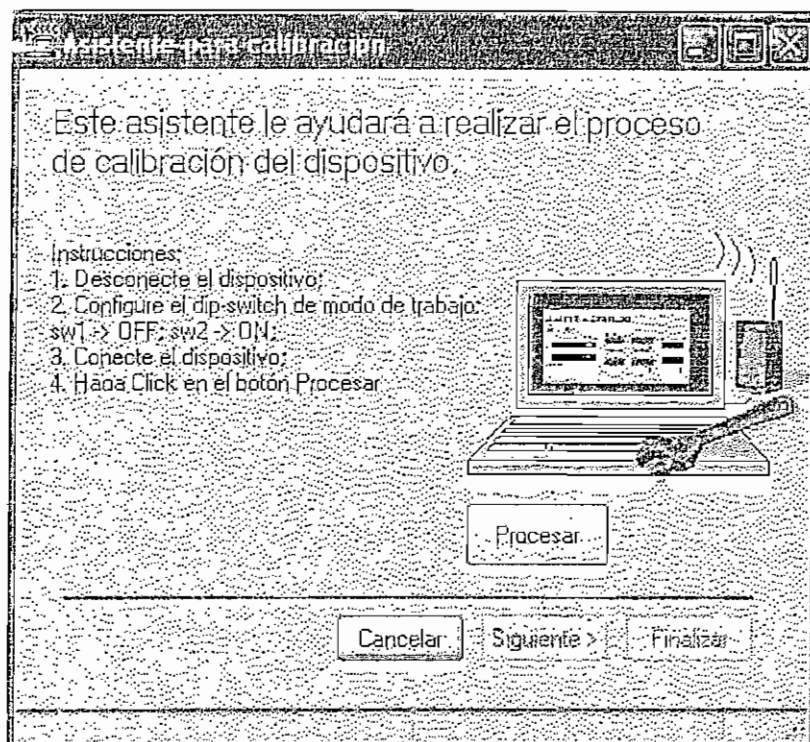


Figura An 6: Asistente de Calibración

Menú Calibración, Calibración Manual: Sirve para ingresar manualmente las constantes de calibración.

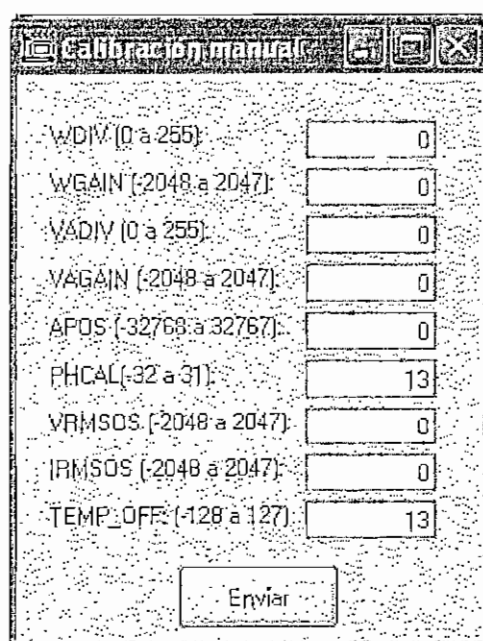


Figura An 7: Calibración Manual

Menú Calibración, Desde Archivo: Sirve para realizar la calibración a partir de un archivo de calibración (*.cal) guardado previamente.

Menú Calibración, Modificar Parámetros, Fecha/hora: Permite modificar la Fecha/hora del dispositivo remoto.

Menú Calibración, Modificar Parámetros, Encerar contador de energía: Sirve para poner en cero los contadores de energía activa y aparente.

Menú Calibración, Modificar Parámetros, Período de acumulación y registro: Permite modificar los períodos de acumulación y registro del dispositivo remoto.

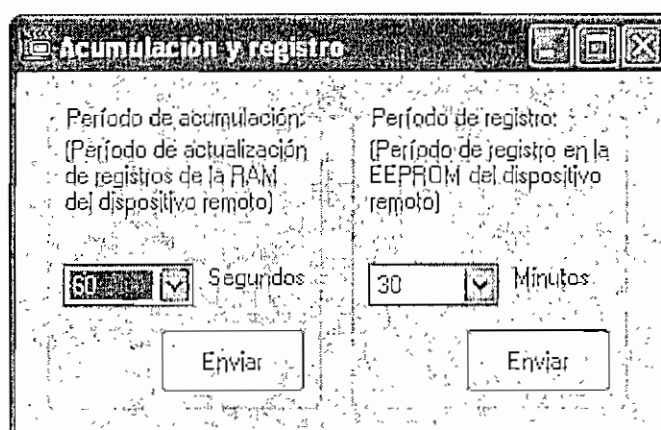


Figura An 8: Períodos de acumulación y registro

Menú Análisis:

Permite acceder a un archivo de demanda previamente guardado para su visualización gráfica y en modo texto.

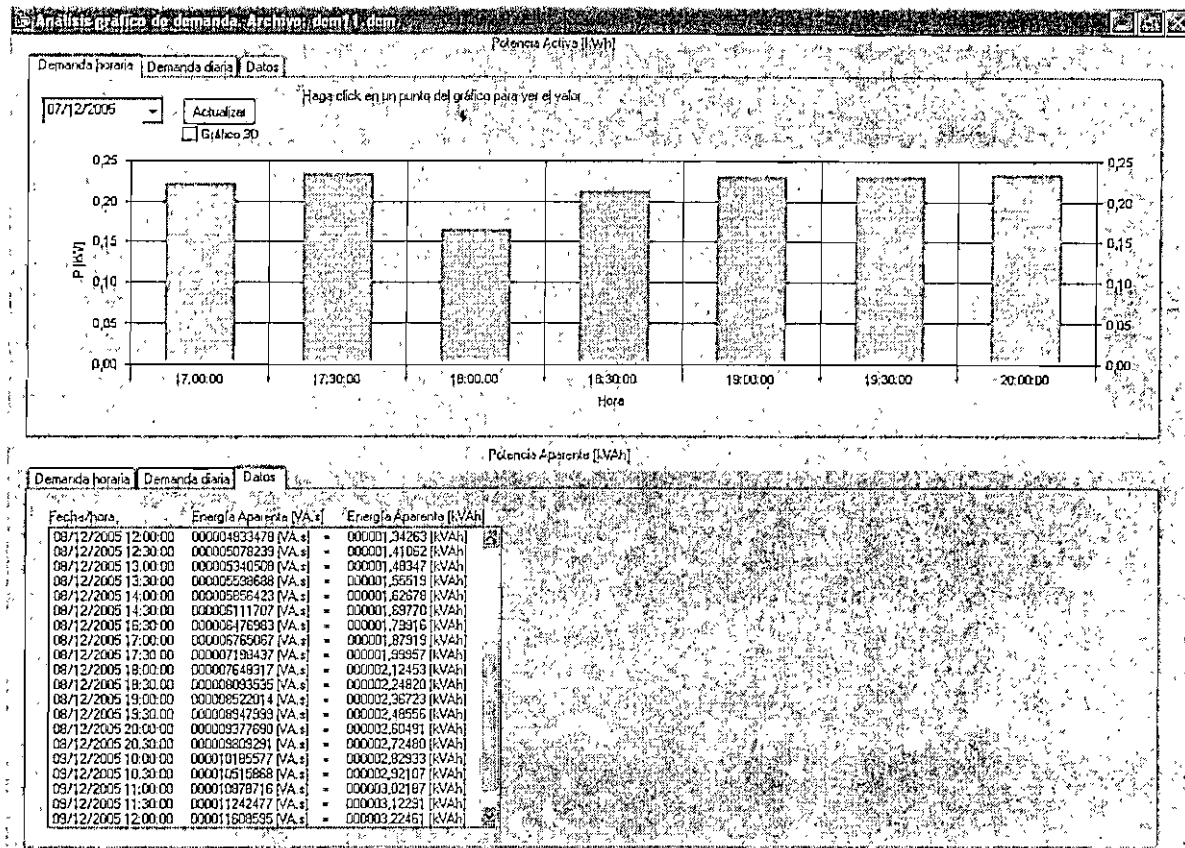
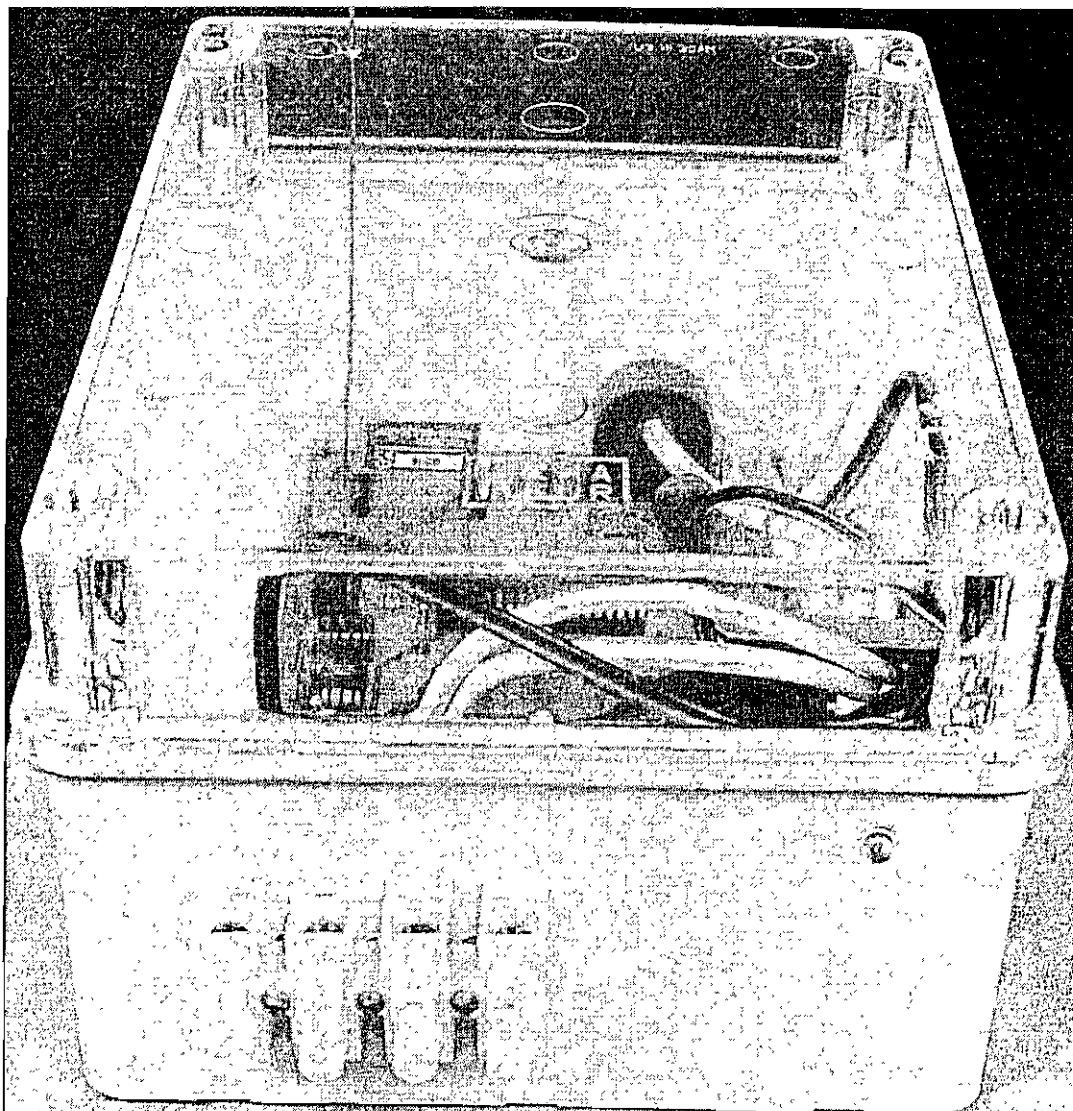


Figura An 9: Archivo de demanda

Se pueden observar gráficos de demanda horaria, es decir potencia en función de la hora para una fecha seleccionada. También se pueden observar gráficos de demanda diaria, es decir la potencia promedio consumida en diferentes días. Finalmente se puede observar una lista de pares ordenados energía – tiempo a partir de los cuales se construyen los gráficos.

MEDIDOR (ESCLAVO)



Fotografía 1: Medidor

Especificaciones:

- Voltaje (fase-neutro): 120 V;
- Frecuencia de línea: 60 Hz;
- Clase ANSI C12.16: 20 (corriente máxima 20 A);
- Consumo de corriente (RMS): 14.2 mA (Potencia aparente de 1.7 VA a 120 V);

- Frecuencia de comunicación inalámbrica: 433.96 MHz;
- Dimensiones aproximadas en mm (excluyendo la antena): 230 x 180 x 130;
- Masa aproximada: 1150 g.

La prueba realizada indica un error de 0.18% y 0.25% para energía activa y aparente, respectivamente, como muestra la Tabla 6.10.

Conexión externa del medidor:

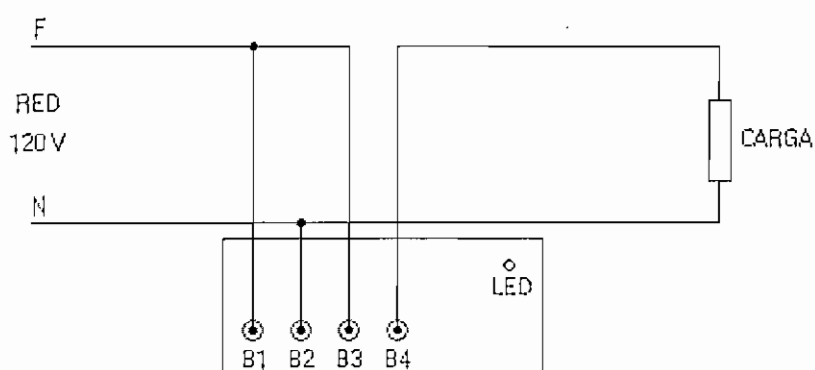


Figura An 10: Diagrama de conexión externa del medidor

El medidor debe conectarse a un sistema monofásico bifilar de 120 V (nominal), 60 Hz y corriente máxima de 20 A.

El medidor dispone de cuatro bornes externos, dos para voltaje (B1 y B2) y dos para corriente (B3 y B4), dispuestos como se muestra en la Figura An 11.

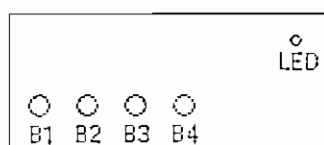
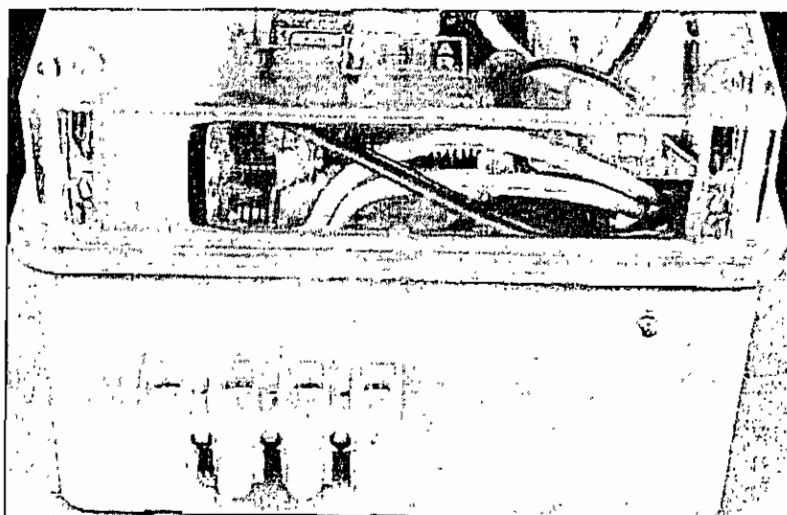


Figura An 11: Posición relativa de la bornera externa del medidor



Fotografía 2: Posición relativa de la bornera externa del medidor

Conexión interna del medidor:

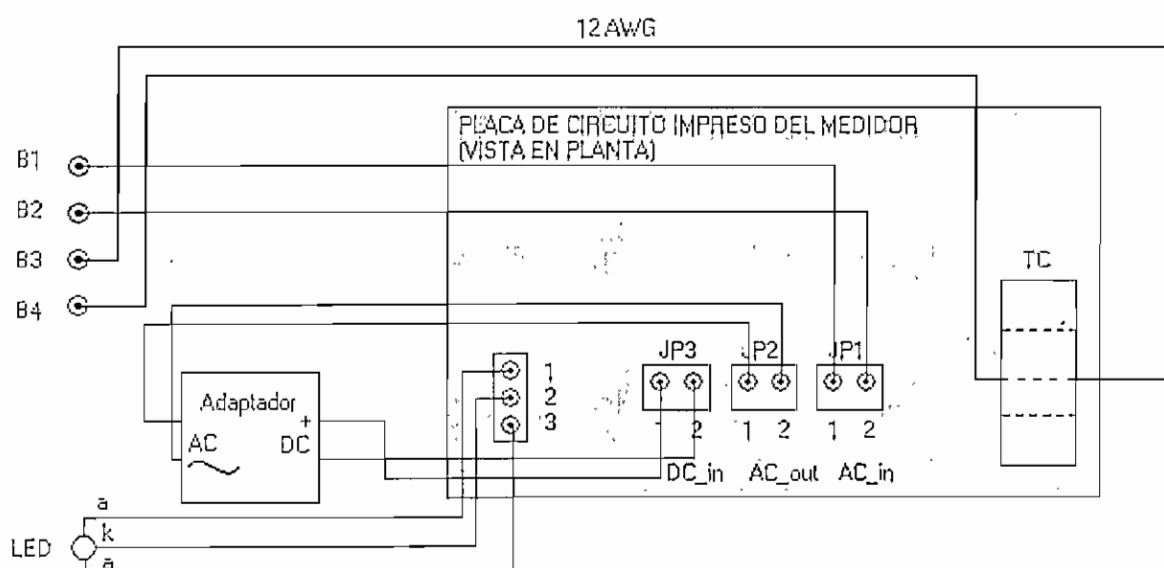
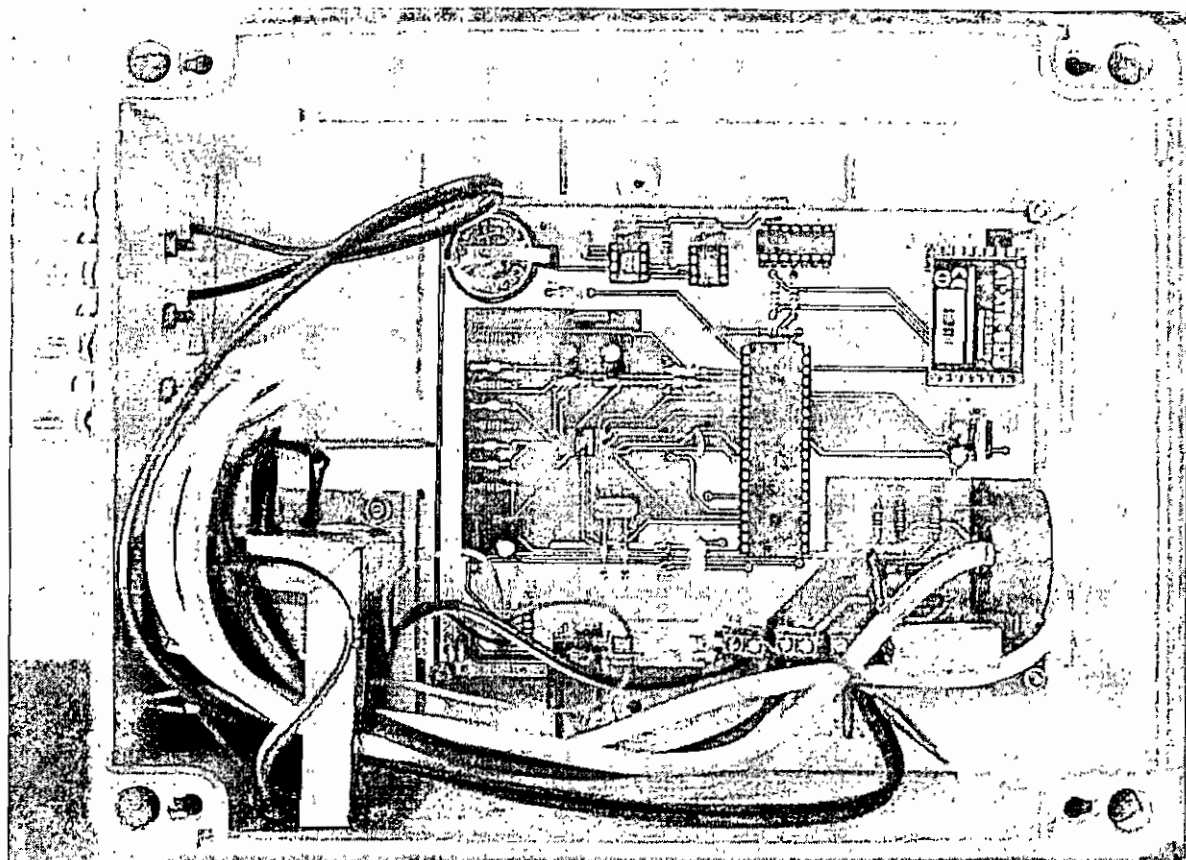


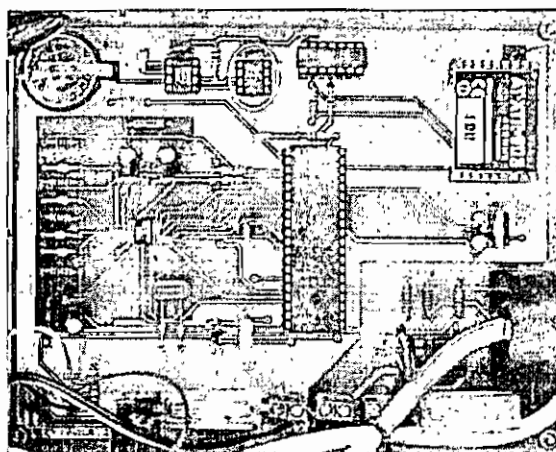
Figura An 12: Diagrama de conexión interna del medidor



Fotografía 3: Conexiones internas del medidor

Los terminales B1 y B2 deben conectarse mediante un alambre que pase a través del orificio del transformador de corriente ubicado en la placa de circuito impreso. El alambre de conexión es número 12 AWG (corriente de 20 A).

Cambio de EEPROM externa:



Fotografía 4: Ubicación de la EEPROM externa AT24C512

La EEPROM externa tiene un tiempo de vida útil limitado. Se debe utilizar una AT24C512. El procedimiento que se indica a continuación también se debe realizar cuando se coloca una EEPROM por primera vez en el medidor. En la Fotografía 4 se observa la ubicación de la EEPROM (parte superior central encerrada en una elipse)

Se deben seguir los siguientes pasos:

- Desconectar el medidor;
- Extraer la EEPROM del zócalo correspondiente;
- Colocar la nueva EEPROM en el zócalo;
- Poner SW2 y SW1 en OFF (modo EEPROM);
- Conectar el Medidor;
- Esperar a que el LED indicador realice la secuencia encendido – apagado – encendido, con luz de color rojo;
- Desconectar el medidor;
- Poner SW2 y SW1 en ON (modo normal);
- Conectar el medidor.

Cambio de batería del RTC:

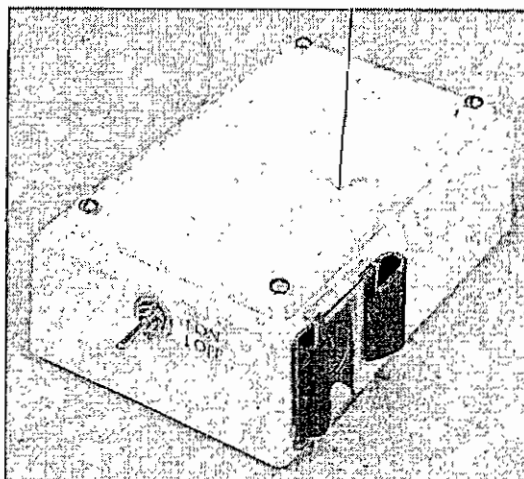
La ubicación de la batería se observa en la Fotografía 4 (parte superior izquierda). Se debe utilizar una batería de 3 V. Inicialmente se colocó una batería de litio CR2032. La duración de la batería del RTC es de aproximadamente 10 años. Para cambiar la batería se deben seguir los siguientes pasos:

- Desconectar el medidor;
- Extraer la batería del sujetador;
- Colocar la nueva batería en el sujetador;

- Poner SW2 en OFF y SW1 en ON (modo RTC);
- Conectar el Medidor;
- Esperar a que el LED indicador realice la secuencia encendido – apagado – encendido, con luz de color rojo;
- Desconectar el medidor;
- Poner SW2 y SW1 en ON (modo normal);
- Conectar el medidor.

Después de conectar la nueva batería, el RTC empieza a funcionar con el siguiente valor inicial (arbitrario): miércoles 17 ago 2005; 18:00:00. Se recomienda igualar el RTC remotamente desde la aplicación del PC.

DISPOSITIVO MAESTRO



Fotografía 5: Dispositivo maestro

Especificaciones:

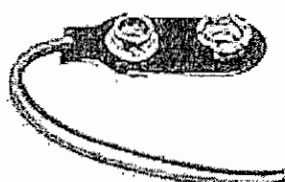
- Voltaje de alimentación (DC no regulado): 5 V a 15 V;
- Consumo de corriente transmisión: 36 mA;
- Consumo de corriente recepción: 30 mA;
- Consumo de corriente modo de espera: 7 mA;
- Duración aproximada de la batería⁶ bajo condiciones de operación continua (una acción remota sobre el medidor cada 10 s): 77,83 h;
- Frecuencia de comunicación inalámbrica: 433.96 MHz;
- Dimensiones aproximadas en mm (excluyendo la antena): 125 x 90 x 50;
- Masa aproximada (excluyendo la batería): 170 g.

Conexión de la batería

El dispositivo puede funcionar con una fuente de voltaje DC no regulado de entre 5 V y 15 V. Se sugiere la utilización de una batería de 9 V. El dispositivo dispone

⁶ Batería de 9 V Energizer MAX de 595 mAh.

de una tapa transparente (parte inferior derecha de la Fotografía 5) que debe ser removida para introducir o extraer la batería. La batería debe ser conectada con el conector interno (ver Fotografía 6). El interruptor (parte inferior izquierda de la Fotografía 5) debe estar en la posición OFF (apagado) mientras se realice la conexión o desconexión de la batería.



Fotografía 6: Conector interno de la batería

Se recomienda que mientras el dispositivo no va a ser utilizado se coloque el interruptor en la posición OFF. Cuando el dispositivo está encendido (interruptor en ON) consume una corriente variable: 7 mA en modo de espera (la mayor parte del tiempo), 30 mA en modo recepción y 36 mA en modo transmisión.

Conexión del cable serial

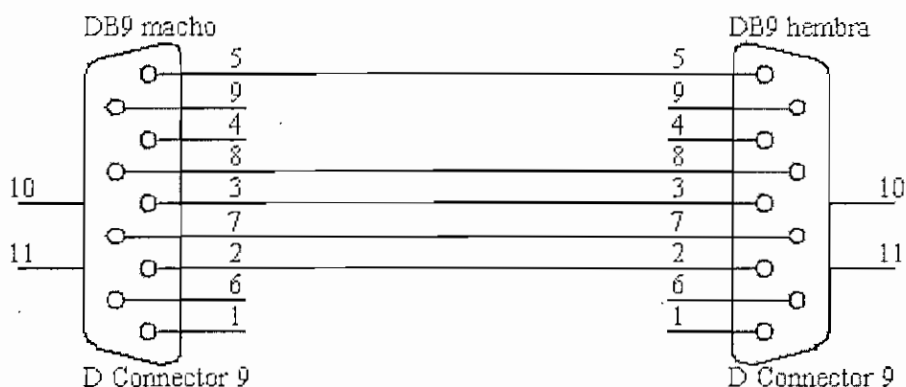
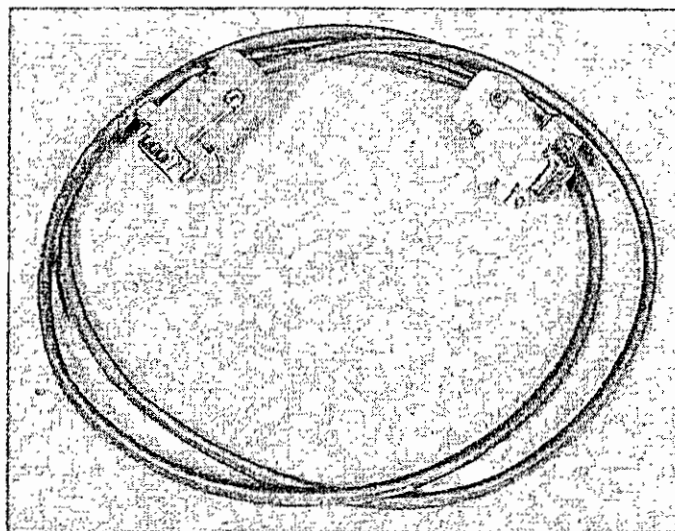


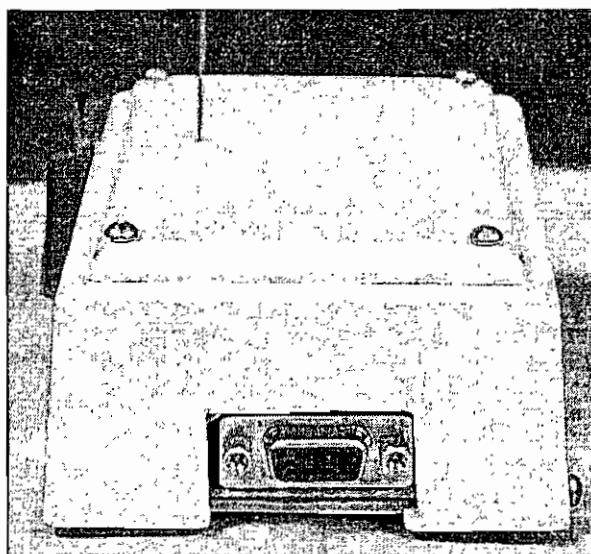
Figura An 13: Diagrama esquemático del cable serial



Fotografía 7: Cable serial

El conector DB9 macho se conecta al dispositivo maestro y el conector hembra se conecta al puerto serial del PC. Se recomienda que mientras se conecta o se desconecta el cable, el interruptor del dispositivo permanezca en OFF.

En la parte posterior (Fotografía 8) del dispositivo maestro se encuentra un conector DB9 hembra para la conexión del cable serial.



Fotografía 8: Ubicación del conector DB9

Conexión interna

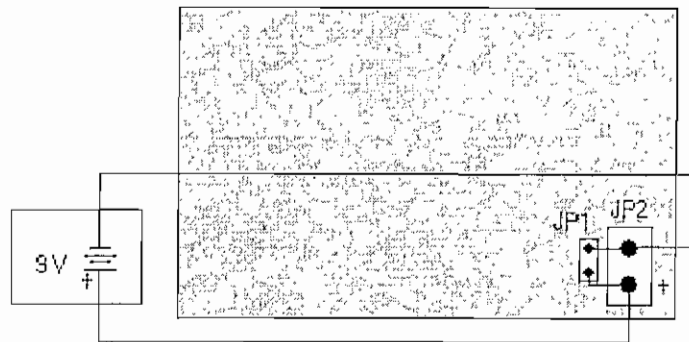
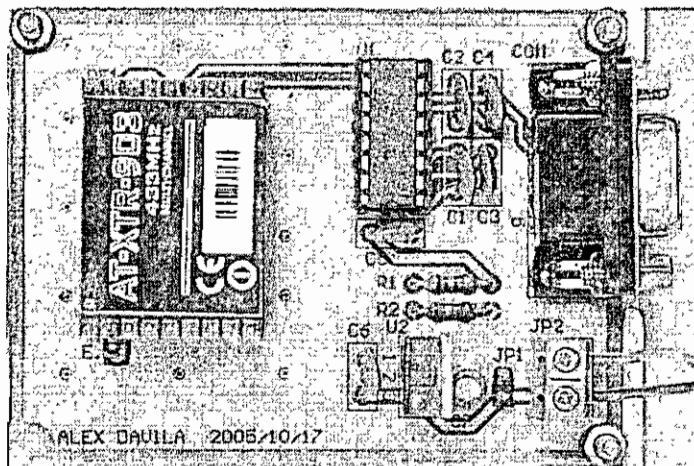


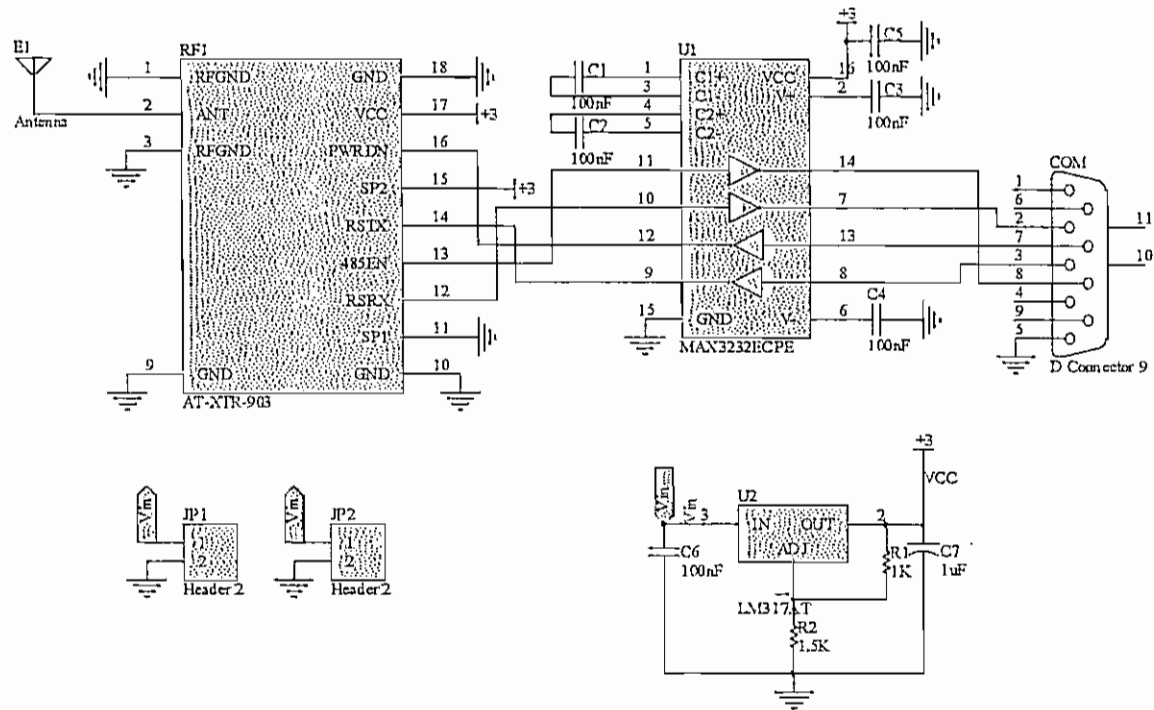
Figura An 14: Diagrama de conexión interna del maestro

El dispositivo maestro dispone de dos borneras (JP1 y JP2) conectadas en paralelo. La alimentación puede conectarse a cualquiera de las dos borneras y puede ser con voltaje (no regulado) de 5 V a 15 V. En este caso se contempla la conexión de una batería de 9 V, tal como se muestra en la Figura An 14.



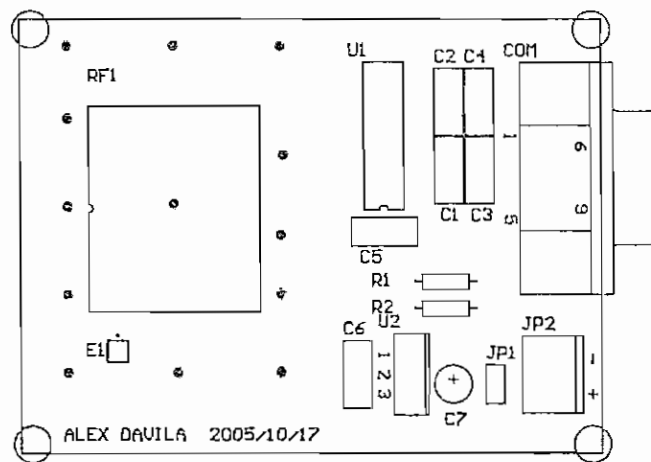
Fotografía 9: Conexión interna del dispositivo maestro

Esquemático del Maestro

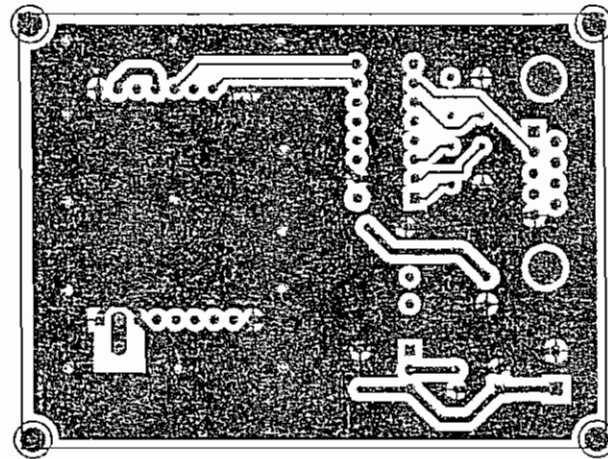


Title		
Size	Number	Revision
A4		
Date:	05/01/2006	Sheet of
File:	C:\proyecto titulación\maestro.SCHDOC	Drawn By:

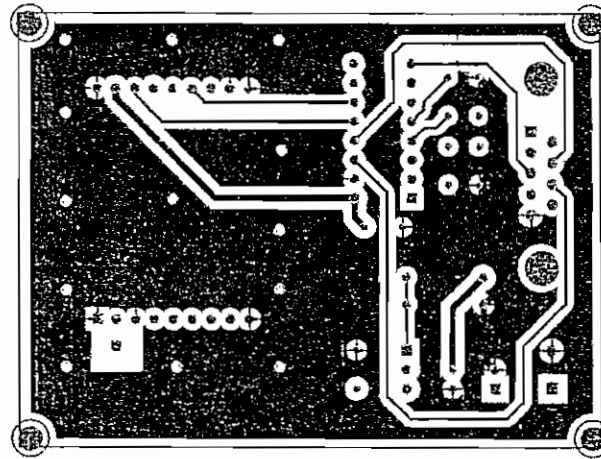
Placa de circuito impreso del Maestro: Distribución de Componentes



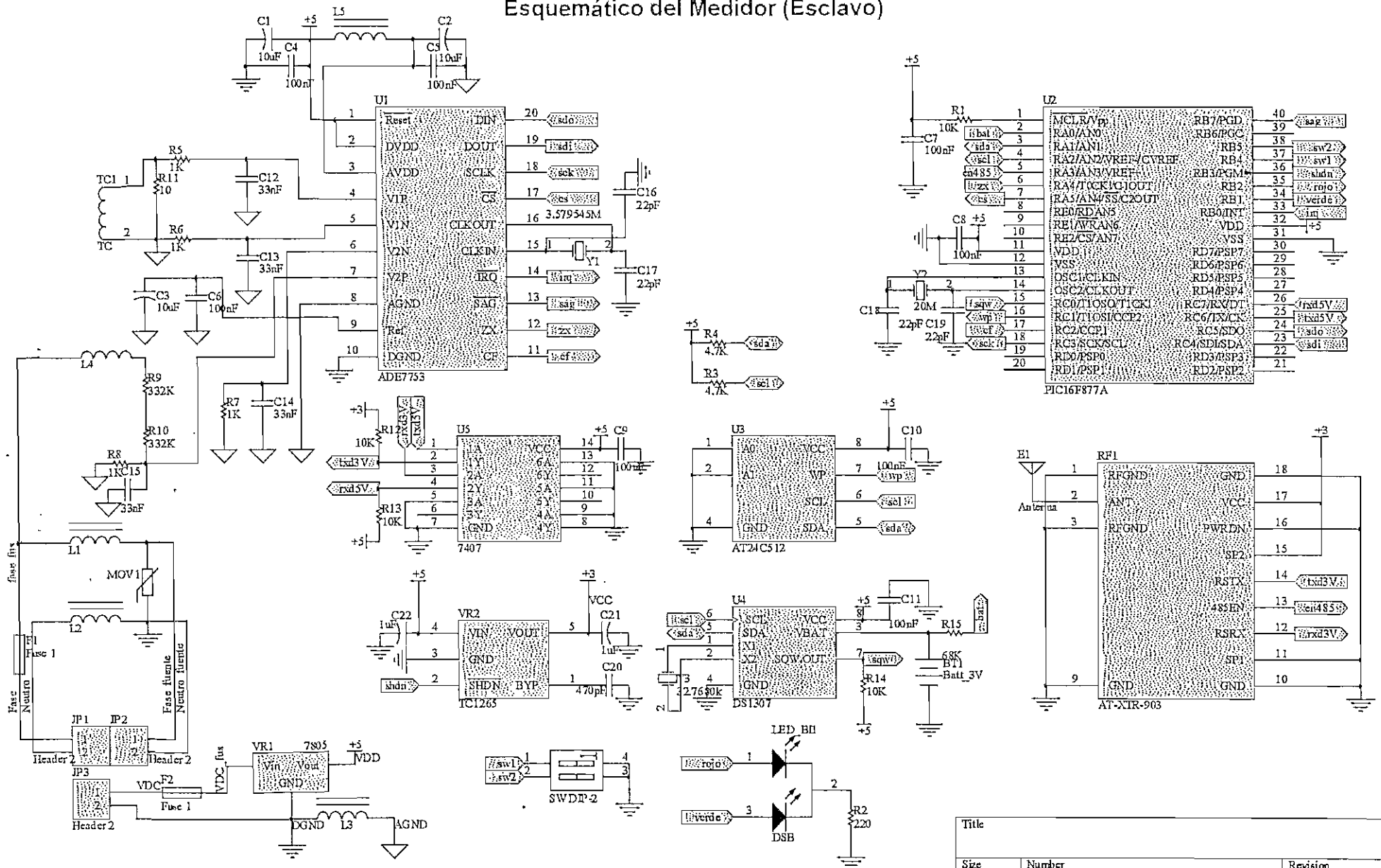
Placa de circuito impreso del Maestro: Capa Superior



Placa de circuito impreso del Maestro: Capa Inferior

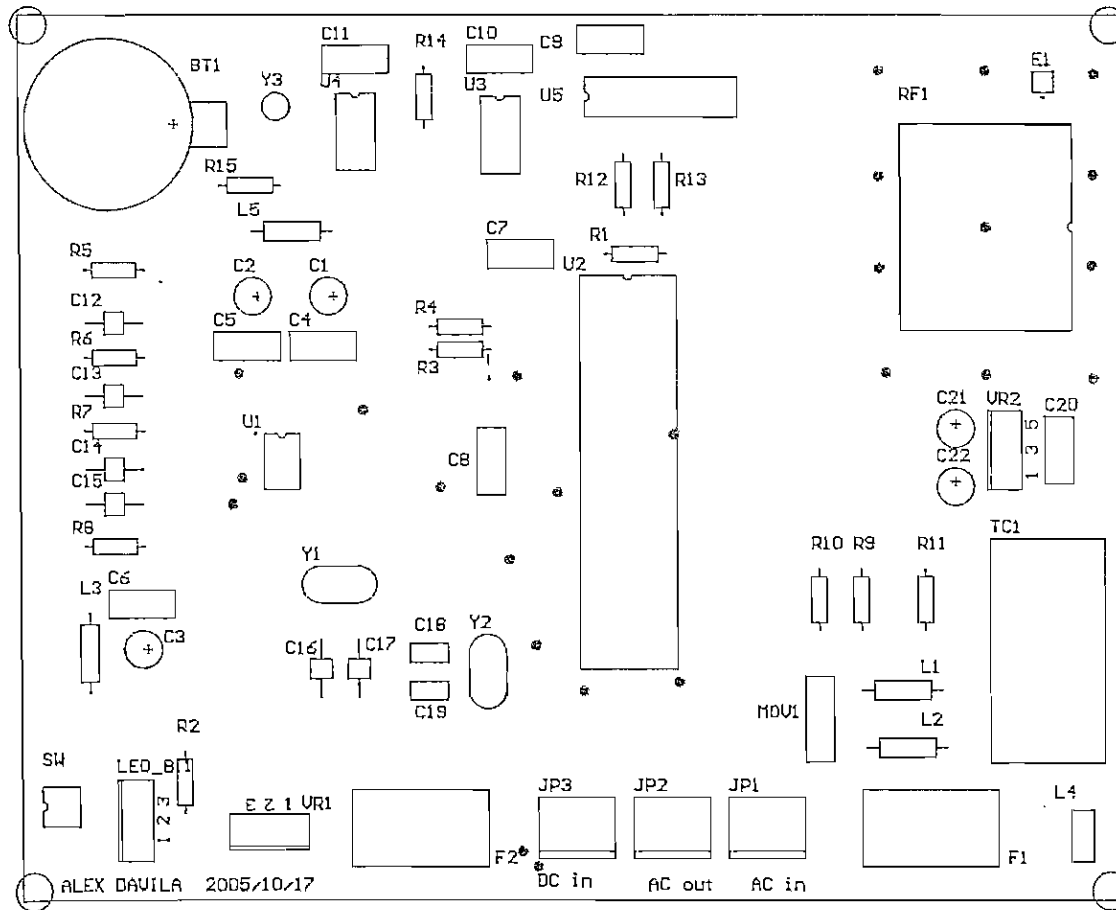


Esquemático del Medidor (Esclavo)

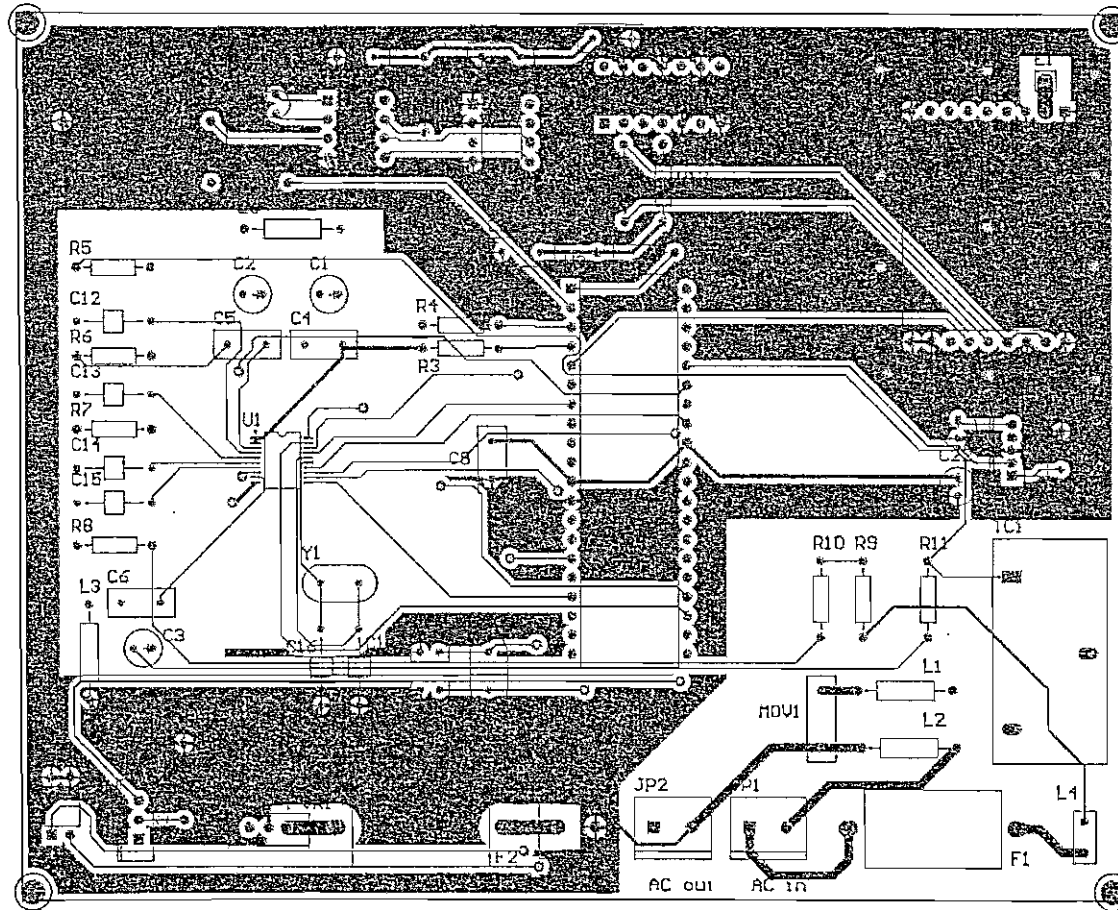


Title		
Size	Number	Revision
A4		
Date:	05/01/2006	Sheet of
File:	C:\proyectos\titulacion\esclavo.SCHDOC	Drawn By:

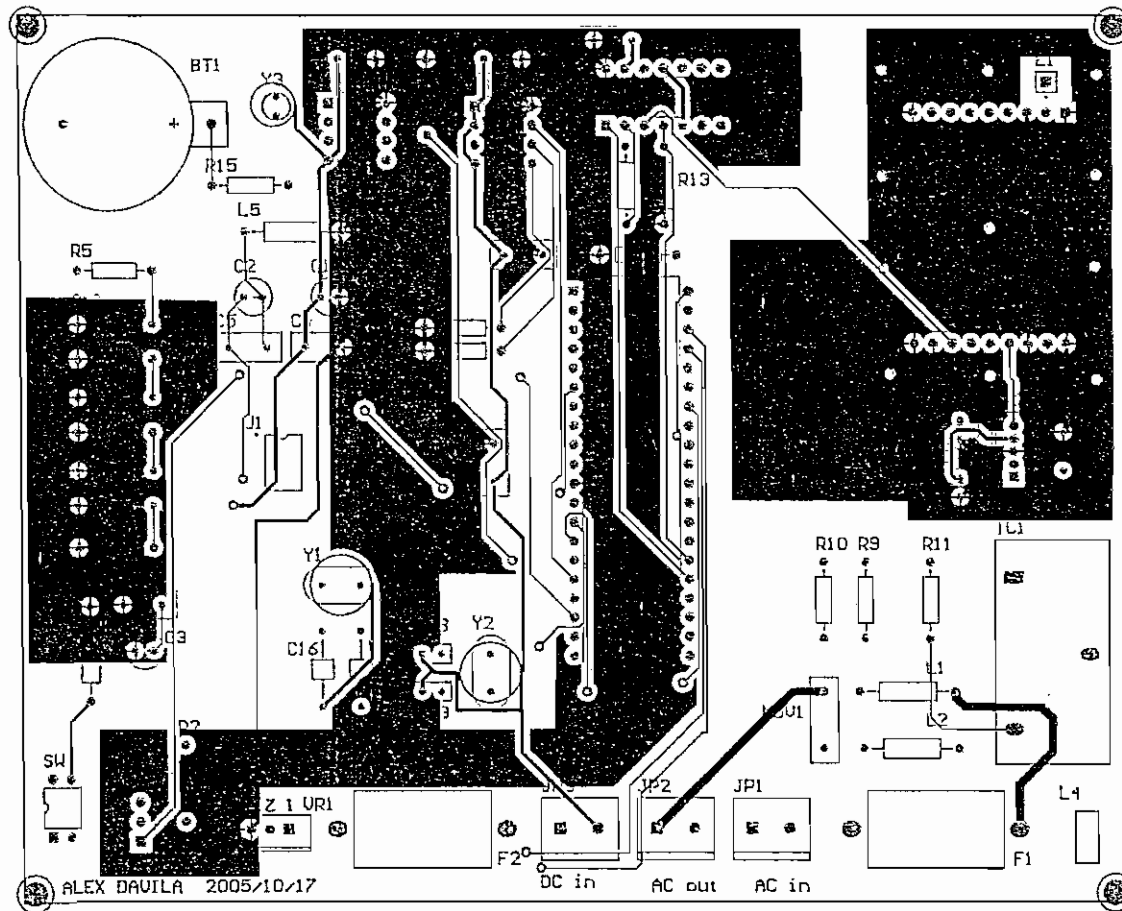
Placa de circuito impreso del Medidor (Esclavo): Distribución de Componentes



Placa de circuito impreso del Medidor (Esclavo): Capa Superior



Placa de circuito impreso del Medidor (Esclavo): Capa Inferior



COSTO DEL ESCLAVO

Tabla An 1: Costo del esclavo

Descripción	Designación	Componente	Cant.	Precio
Batería 3 V	BT1	Batt_3V	1	\$ 0,33
Sujetador batería	BT1	Batt_3V	1	\$ 0,68
Capacitor, 10uF, 20%	C1	Cap2	1	\$ 0,15
Capacitor, 10uF, 20%	C2	Cap2	1	\$ 0,15
Capacitor, 10uF, 20%	C3	Cap2	1	\$ 0,15
Capacitor, 100nF, 20%	C4	Cap	1	\$ 0,10
Capacitor, 100nF, 20%	C5	Cap	1	\$ 0,10
Capacitor, 100nF, 20%	C6	Cap	1	\$ 0,10
Capacitor, 100nF, 20%	C7	Cap	1	\$ 0,10
Capacitor, 100nF, 20%	C8	Cap	1	\$ 0,10
Capacitor, 100nF, 20%	C9	Cap	1	\$ 0,10
Capacitor, 100nF, 20%	C10	Cap	1	\$ 0,10
Capacitor, 100nF, 20%	C11	Cap	1	\$ 0,10
Capacitor, 33nF, 5%	C12	Cap	1	\$ 0,25
Capacitor, 33nF, 5%	C13	Cap	1	\$ 0,25
Capacitor, 33nF, 5%	C14	Cap	1	\$ 0,25
Capacitor, 33nF, 5%	C15	Cap	1	\$ 0,25
Capacitor, 22pF, 5%	C16	Cap	1	\$ 0,08
Capacitor, 22pF, 5%	C17	Cap	1	\$ 0,08
Capacitor, 22pF, 20%	C18	Cap	1	\$ 0,08
Capacitor, 22pF, 20%	C19	Cap	1	\$ 0,08
Capacitor, 470 pF, 20%	C20	Cap	1	\$ 0,10
Capacitor, 1uF, 20%	C21	Cap2	1	\$ 0,12
Capacitor, 1uF, 20%	C22	Cap2	1	\$ 0,12
Antena	E1	Antenna	1	\$ 0,01
Fusible, 250mA, 250V	F1	Fuse 1	1	\$ 0,25
Fusible, 250mA, 250V	F2	Fuse 1	1	\$ 0,25
Portafusible	F1	PF1	1	\$ 0,25
Portafusible	F2	PF1	1	\$ 0,25
Bornera, 2 contactos	JP1	Header 2	1	\$ 0,60
Bornera, 2 contactos	JP2	Header 2	1	\$ 0,60
Bornera, 2 contactos	JP3	Header 2	1	\$ 0,60
Ferrita	L1	Inductor Iron	1	\$ 0,13
Ferrita	L2	Inductor Iron	1	\$ 0,13
Ferrita	L3	Inductor Iron	1	\$ 0,13
Ferrita SMT	L4	Inductor	1	\$ 0,24
Ferrita	L5	Inductor Iron	1	\$ 0,13
Bi-color LED	LED_BI1	DSB	1	\$ 0,24
Varistor	MOV1	Res Varistor	1	\$ 2,50
Resistor, 10k, 1/4W, 5%	R1	Res1	1	\$ 0,08
Resistor, 220, 1/4W, 5%	R2	Res1	1	\$ 0,08
Resistor, 4.7k, 1/4W, 5%	R3	Res1	1	\$ 0,08

Descripción	Designación	Componente	Cant.	Precio
Resistor, 4.7k, 1/4W, 5%	R4	Res1	1	\$ 0,08
Resistor, 1k, 1/4W, 1%	R5	Res1	1	\$ 0,11
Resistor, 1k, 1/4W, 1%	R6	Res1	1	\$ 0,11
Resistor, 1k, 1/4W, 1%	R7	Res1	1	\$ 0,11
Resistor, 1k, 1/4W, 1%	R8	Res1	1	\$ 0,11
Resistor, 332k, 1/4W, 1%	R9	Res1	1	\$ 0,11
Resistor, 332k, 1/4W, 1%	R10	Res1	1	\$ 0,11
Resistor, 10, 1/4W, 5%	R11	Res1	1	\$ 0,08
Resistor, 10k, 1/4W, 5%	R12	Res1	1	\$ 0,08
Resistor, 10k, 1/4W, 5%	R13	Res1	1	\$ 0,08
Resistor, 10k, 1/4W, 5%	R14	Res1	1	\$ 0,08
Resistor, 68k, 1/4W, 5%	R15	Res1	1	\$ 0,08
Transceptor RF	RF1	AT-XTR-903	1	\$ 72,00
DIP Switch, 2 pos.	SW	SW DIP-2	1	\$ 0,75
Transformador de corriente	TC1	TC	1	\$ 9,21
CI medidor de energía	U1	ADE7753	1	\$ 5,58
Microcontrolador 8 bits	U2	PIC16F877A	1	\$ 10,00
I2C EEPROM 64k*8	U3	AT24C512	1	\$ 2,74
64 X 8 Serial Real-Time Clock	U4	DS1307	1	\$ 3,74
Buffer colector abierto	U5	7407	1	\$ 0,50
Regulador 5V	VR1	7805	1	\$ 0,50
Regulador 3V	VR2	TC1265	1	\$ 2,34
Cristal, 3.579545M	Y1	XTAL	1	\$ 0,58
Cristal, 20M	Y2	XTAL	1	\$ 1,00
Cristal, 32.768k	Y3	XTAL	1	\$ 0,27
Adaptador AC/DC			1	\$ 3,50
Sujetador de fuente			1	\$ 3,00
Placa circuito impreso	PCB1	PCB	1	\$ 47,37
Caja	Caja1	KEMAKEUR	1	\$ 8,25
Costos de importación			1	\$ 97,90
Total				\$ 280,83

COSTO DEL MAESTRO

Tabla An 2: Costo del maestro

Descripción	Designación	Componente	Cant.	Precio
Capacitor, 100nF, 20%	C1	Cap	1	\$ 0,10
Capacitor, 100nF, 20%	C2	Cap	1	\$ 0,10
Capacitor, 100nF, 20%	C3	Cap	1	\$ 0,10
Capacitor, 100nF, 20%	C4	Cap	1	\$ 0,10
Capacitor, 100nF, 20%	C5	Cap	1	\$ 0,10

Descripción	Designación	Componente	Cant.	Precio
Capacitor, 100nF, 20%	C6	Cap	1	\$ 0,10
Capacitor, 1uF, 20%	C7	Cap2	1	\$ 0,12
DB9, ángulo recto	COM	D Connector 9	1	\$ 0,30
Antena	E1	Antenna	1	\$ 0,01
Espadines, 2 pines	JP1	Header 2	1	\$ 0,20
Bornera, 2 contactos	JP2	Header 2	1	\$ 0,60
Resistor, 1k, 1/4W, 5%	R1	Res1	1	\$ 0,08
Resistor, .51k, 1/4W, 5%	R2	Res1	1	\$ 0,08
Trnasceptor RF	RF1	AT-XTR-903	1	\$ 72,00
Manejador RS232	U1	MAX3232ECPE	1	\$ 5,04
Regulador variable	U2	LM317AT	1	\$ 0,50
Cable serial, 5 hilos	Cable1	Cable	1	\$ 1,10
Placa de circuito impreso	PCB2	PCB	1	\$ 12,63
Caja	Caja2	Caja	1	\$ 2,00
Costos de importación			1	\$ 97,90
Total				\$ 193,16

COSTO TOTAL

Tabla An 3: Costo total

Descripción	Precio
Esclavo	\$ 280,83
Maestro	\$ 193,16
Total	\$ 473,99

FIGURA 1.1: MEDIDOR ELECTROMECAÁNICO [29].....	7
FIGURA 1.2: DIAGRAMA DE MEDIDOR ELECTROMECAÁNICO [30]	8
FIGURA 1.3: UBICACIÓN DE IMÁN (MAGNETO) PERMANENTE [30]	9
FIGURA 1.4: TRAMA RS-232	14
FIGURA 1.5: ARQUITECTURA DEL ESCLAVO	16
FIGURA 1.6: ARQUITECTURA DEL MAESTRO	18
FIGURA 2.1: DIAGRAMA DE CONEXIÓN DEL ADE7753	22
FIGURA 2.2: DIAGRAMA DE BLOQUES FUNCIONAL DEL ADE7753 [12]	24
FIGURA 2.3: DISTRIBUCIÓN DE PINES (EMPAQUETADO SSOP) [12]	25
FIGURA 2.4: CÁLCULO DE POTENCIA Y ENERGÍA ACTIVA EN EL ADE7753 [12]	25
FIGURA 2.5: CÁLCULO DE POTENCIA ACTIVA [12]	27
FIGURA 2.6: RESPUESTA DE FRECUENCIA DE LPF2 [12].....	27
FIGURA 2.7: RANGO DE SALIDA DEL CÁLCULO DE POTENCIA ACTIVA [12].....	28
FIGURA 2.8: PROCESAMIENTO DE SEÑAL DE POTENCIA ACTIVA [12].....	29
FIGURA 2.9: CONVERSIÓN ENERGÍA A FRECUENCIA DEL ADE7753 [12].....	30
FIGURA 2.10: CÁLCULO DE ENERGÍA, MODO DE ACUMULACIÓN DE ENERGÍA DE CICLOS DE LÍNEA [12]	31
FIGURA 2.11: PROCESAMIENTO DE SEÑAL DE POTENCIA REACTIVA [12].....	32
FIGURA 2.12: PROCESAMIENTO DE SEÑAL DE POTENCIA APARENTE [12]	34
FIGURA 2.13: PROCESAMIENTO DE SEÑAL RMS EN EL CANAL 1 [12].....	35
FIGURA 2.14: PROCESAMIENTO DE SEÑAL RMS EN EL CANAL 2 [12].....	36
FIGURA 2.15: CÁLCULO DE ENERGÍA APARENTE EN EL ADE7753 [12].....	38
FIGURA 2.16: MODO ACUMULACIÓN DE ENERGÍA APARENTE [12].....	39
FIGURA 2.17: CALIBRACIÓN DE ENERGÍA ACTIVA [12]	40
FIGURA 2.18: CALIBRACIÓN DE ENERGÍA ACTIVA Y APARENTE [12].....	40
FIGURA 2.19: CALIBRACIÓN DE FASE [12]	43
FIGURA 2.20: DIRECCIONAMIENTO DE LOS REGISTROS DEL ADE7753 A TRAVÉS DEL REGISTRO DE COMUNICACIONES [12].....	46
FIGURA 2.21: LECTURA DE DATOS DEL ADE7753 A TRAVÉS DE LA INTERFAZ SERIAL [12].....	46
FIGURA 2.22: ESCRITURA DE DATOS AL ADE7753 A TRAVÉS DE LA INTERFAZ SERIAL [12]	47
FIGURA 2.23: DIAGRAMA DE TIEMPOS DE ESCRITURA DE LA INTERFAZ SERIAL [12]	47
FIGURA 2.24: OPERACIÓN DE ESCRITURA SERIAL DE 12 BITS [12]	48
FIGURA 2.25: DIAGRAMA DE TIEMPOS DE LECTURA DE LA INTERFAZ SERIAL [12].....	48
FIGURA 2.26: MANEJO DE BUS SPI CON EL PIC16F877A.....	49
FIGURA 2.27: MANEJO DE INTERRUPCIONES DEL ADE7753 [12]	50
FIGURA 2.28: DIAGRAMA DE TIEMPOS DE LAS INTERRUPCIONES DEL ADE7753 [12].....	51
FIGURA 2.29: EFECTO DE OFFSETS EN CÁLCULO DE POTENCIA ACTIVA [12]	52
FIGURA 2.30: DETECCIÓN DE CRUCE POR CERO EN EL CANAL 2 [12]	52
FIGURA 2.31: MONITOR DE FUENTE DE PODER EN EL CHIP [12].....	53
FIGURA 2.32: CONVERTOR ADC $\Sigma - \Delta$ DE PRIMER ORDEN [12].....	55
FIGURA 2.33: REDUCCIÓN DEL RUIDO DEBIDO AL SOBREMUESTREO Y MOLDEO DEL RUIDO EN EL MODULADOR ANÁLOGO [12].....	56
FIGURA 2.34: EFECTOS DEL ALIASING EN EL ADE7753 [12]	57
FIGURA 3.1: DIAGRAMA DE CONEXIÓN DEL AT-XTR-903 EN EL ESCLAVO.....	61
FIGURA 3.2: DIAGRAMA DE CONEXIÓN DEL AT-XTR-903 EN EL MAESTRO	62
FIGURA 3.3: DISTRIBUCIÓN DE PINES DEL AT-XTR-903 [8]	64
FIGURA 3.4: DOS AT-XTR-903S EN COMUNICACIÓN [8].....	67
FIGURA 3.5: TRAMA RS232 DEL AT-XTR-903 [8]	67
FIGURA 3.6: DIAGRAMA DE ESTADOS DEL AT-XTR-903 [8].....	68
FIGURA 3.7: DIAGRAMA DE TIEMPOS DE LA TRANSMISIÓN DE UN PAQUETE DE DATOS [8]	69
FIGURA 4.1: ARQUITECTURA DEL ESCLAVO	76
FIGURA 4.2: CIRCUITO DEL ESCLAVO (MEDIDOR).....	78
FIGURA 4.3: ARQUITECTURA DEL HARDWARE DE MEDICIÓN DE ENERGÍA	79
FIGURA 4.4: CIRCUITO DE MEDICIÓN DE ENERGÍA	80
FIGURA 4.5: ACONDICIONADOR DE CORRIENTE.....	81
FIGURA 4.6: ACONDICIONADOR DE VOLTAJE.....	82

FIGURA 4.7: FILTRO RC SIMPLE	83
FIGURA 4.8: RESPUESTA DE MAGNITUD DEL FILTRO RC [10]	84
FIGURA 4.9: RESPUESTA DE FRECUENCIA DEL FILTRO RC [10]	84
FIGURA 4.10: DESPLAZAMIENTO DE FASE A 50 HZ DEBIDO A LA TOLERANCIA DE COMPONENTES [10]	85
FIGURA 4.11: CONEXIÓN DEL ADE7753 CON EL PIC16F877A	86
FIGURA 4.12: CONEXIONES ADICIONALES DEL ADE7753	88
FIGURA 4.13: DIVISIÓN DE FUENTE DE PODER [24]	89
FIGURA 4.14: ARQUITECTURA DEL HARDWARE DE CONTEO DEL TIEMPO	90
FIGURA 4.15: CIRCUITO DE CONTEO DEL TIEMPO	91
FIGURA 4.16: DIAGRAMA DE BLOQUES DEL DS1307 [15]	93
FIGURA 4.17: CONFIGURACIÓN TÍPICA DEL BUS DE 2 HILOS [15]	95
FIGURA 4.18: VALIDACIÓN DE DATOS [14]	96
FIGURA 4.19: TRANSFERENCIA DE DATOS SOBRE EL BUS SERIAL A 2 HILOS [15]	97
FIGURA 4.20: ESCRITURA DEL DS1307 [15]	98
FIGURA 4.21: LECTURA DEL DS1307 [15]	98
FIGURA 4.22: ARQUITECTURA DEL HARDWARE DE ALMACENAMIENTO	99
FIGURA 4.23: CIRCUITO DE ALMACENAMIENTO	100
FIGURA 4.24: DIRECCIÓN DE DISPOSITIVO DE LA AT24C512 [14]	101
FIGURA 4.25: DIAGRAMA DE BLOQUES DE LA AT24C512 [14]	102
FIGURA 4.26: ESCRITURA DE UN BYTE [14]	103
FIGURA 4.27: ESCRITURA DE UNA PÁGINA [14]	103
FIGURA 4.28: LECTURA DE LA DIRECCIÓN ACTUAL [14]	103
FIGURA 4.29: LECTURA ALEATORIA [14]	103
FIGURA 4.30: LECTURA SECUENCIAL [14]	104
FIGURA 4.31: ARQUITECTURA DEL HARDWARE DE COMUNICACIÓN INALÁMBRICA	104
FIGURA 4.32: CIRCUITO DE COMUNICACIÓN INALÁMBRICA	105
FIGURA 4.33: CIRCUITO DE SELECCIÓN DE MODO DE TRABAJO Y SEÑALIZACIÓN	107
FIGURA 4.34: ARQUITECTURA DEL HARDWARE DE PROCESAMIENTO	108
FIGURA 4.35: CIRCUITO DEL PIC16F877A	110
FIGURA 4.36: CIRCUITO DE ALIMENTACIÓN	111
FIGURA 4.37: CARACTERÍSTICA DE IMPEDANCIA DE LAS FERRITAS EXC-ELSA39 [34]	113
FIGURA 4.38: CARACTERÍSTICA DE IMPEDANCIA DE LA FERRITA SMT 1806 [9]	113
FIGURA 4.39: ACOPLAMIENTO DE RUIDO A TRAVÉS DE LA IMPEDANCIA DE RETORNO DE TIERRA [9]	114
FIGURA 4.40: PLANO DE TIERRA DIGITAL (DGND) EN LA CAPA SUPERIOR	115
FIGURA 4.41: PLANO DE TIERRA DIGITAL (DGND) EN LA CAPA INFERIOR	116
FIGURA 4.42: PLANO DE TIERRA ANALÓGICA (AGND) EN LA CAPA INFERIOR	116
FIGURA 4.43: ARQUITECTURA DEL HARDWARE DEL MAESTRO	117
FIGURA 4.44: CIRCUITO DEL MAESTRO	118
FIGURA 4.45: ESQUEMÁTICO DEL CABLE SERIAL	120
FIGURA 4.46: POLARIZACIÓN DEL MAESTRO	120
FIGURA 5.1: DIAGRAMA DE PROTOCOLO	125
FIGURA 5.2: TRAMA DE PREGUNTA	127
FIGURA 5.3: TRAMA DE RESPUESTA	129
FIGURA 5.4: TRAMAS DE PREGUNTA Y RESPUESTA DE LA FUNCIÓN LEER RTC	130
FIGURA 5.5: MANEJO DEL PROTOCOLO DESDE EL MAESTRO	132
FIGURA 5.6: MANEJO DEL PROTOCOLO DESDE EL ESCLAVO	133
FIGURA 5.7: DIAGRAMA DE FLUJO DEL PROGRAMA PRINCIPAL	134
FIGURA 5.8: DIAGRAMA DE FLUJO DE MODO NORMAL	136
FIGURA 5.9: DIAGRAMA DE FLUJO DE RUTINA DE INTERRUPCIONES	138
FIGURA 5.10: DIAGRAMA DE FLUJO DEL MODO RTC	143
FIGURA 5.11: DIAGRAMA DE FLUJO DE MODO EEPROM	144
FIGURA 5.12: DIAGRAMA DE FLUJO DE MODO CALIBRACIÓN	145
FIGURA 5.13: VENTANA PRINCIPAL	152
FIGURA 5.14: DIAGRAMA DE FLUJO DE PROGRAMA PRINCIPAL	154
FIGURA 5.15: VISUALIZACIÓN DE DATOS	156
FIGURA 5.16: DIAGRAMA DE FLUJO DE ASISTENTE DE CALIBRACIÓN	157
FIGURA 6.1: ASISTENTE DE CALIBRACIÓN	164

FIGURA 6.2: ARCHIVO DE CALIBRACIÓN GENERADO	166
FIGURA 6.3: ARCHIVO PRUEBA.DEM	170
FIGURA 6.4: ENERGÍA ACTIVA INICIAL Y FINAL	170
FIGURA 6.5: ENERGÍA APARENTE INICIAL Y FINAL	170
FIGURA 6.6: LECTURA DE DATOS	171
FIGURA 6.7: ARCHIVO DE CONSUMO	173
FIGURA 6.8: DEMANDA HORARIA	174
FIGURA 6.9: DEMANDA DIARIA	175
FIGURA 6.10: DATOS ENERGÍA – TIEMPO	176
FIGURA 6.11: CORRIENTE CONSUMIDA POR EL DISPOSITIVO ESCLAVO	179

FIGURA AN 1: VENTANA PRINCIPAL	201
FIGURA AN 2: MENÚ ARCHIVO	203
FIGURA AN 3: MENÚ PUERTO	203
FIGURA AN 4: MENÚ MEDICIÓN	204
FIGURA AN 5: MENÚ CALIBRACIÓN	204
FIGURA AN 6: ASISTENTE DE CALIBRACIÓN	205
FIGURA AN 7: CALIBRACIÓN MANUAL	205
FIGURA AN 8: PERÍODOS DE ACUMULACIÓN Y REGISTRO	206
FIGURA AN 9: ARCHIVO DE DEMANDA	207
FIGURA AN 10: DIAGRAMA DE CONEXIÓN EXTERNA DEL MEDIDOR	210
FIGURA AN 11: POSICIÓN RELATIVA DE LA BORNERA EXTERNA DEL MEDIDOR	210
FIGURA AN 12: DIAGRAMA DE CONEXIÓN INTERNA DEL MEDIDOR	211
FIGURA AN 13: DIAGRAMA ESQUEMÁTICO DEL CABLE SERIAL	217
FIGURA AN 14: DIAGRAMA DE CONEXIÓN INTERNA DEL MAESTRO	219

FOTOGRAFÍA 1: MEDIDOR	209
FOTOGRAFÍA 2: POSICIÓN RELATIVA DE LA BORNERA EXTERNA DEL MEDIDOR	211
FOTOGRAFÍA 3: CONEXIONES INTERNAS DEL MEDIDOR	212
FOTOGRAFÍA 4: UBICACIÓN DE LA EEPROM EXTERNA AT24C512	212
FOTOGRAFÍA 5: DISPOSITIVO MAESTRO	216
FOTOGRAFÍA 6: CONECTOR INTERNO DE LA BATERÍA	217
FOTOGRAFÍA 7: CABLE SERIAL	218
FOTOGRAFÍA 8: UBICACIÓN DEL CONECTOR DB9	218
FOTOGRAFÍA 9: CONEXIÓN INTERNA DEL DISPOSITIVO MAESTRO	219



AT-XTR-903-A4 Multi-Channel Micro Embedded Transceiver Module

The AT-XTR-903-A4 radio transceiver represents a simple and economic solution to wireless data communications. The employment of an embedded microprocessor creates a transparent TTL RS-232 interface, and eliminates any need for packetizing and data encoding. The designer does not have to write complex software routines for the transmission management.

The input serial data speed (9600, 19200, 38400 bps) is configured via two input lines (SP1 and SP2). Different degrees of encoding redundancy and data protection is automatically assigned to the forwarded RF packet depending on the selected speed:

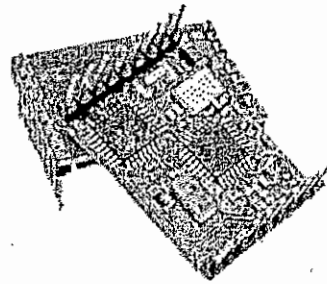
- Hamming + Manchester at 9600 bps
- Manchester at 19200 bps
- Scrambling at 38400 bps

These schemes are designed to ensure a high level of data integrity.

The module is a multi-channel RF transceiver which features selection of 10 channels between 433 and 434MHz. Channel selection is very straightforward and takes place through simple AT commands. RF output power may be selected (from -8 dBm to +10 dBm) and monitoring of channel occupation is also performed through simple AT commands.

The device implements frequency modulation (GFSK) which guarantees a better noise immunity compared to amplitude modulation. Open air range of up to 200 m with omni directional antennas can be achieved.

The AT-XTR-903 is extremely compact measuring only 33 x 23 mm. Timing guarantees a maximum latency of only 20 ms between sending data and its reception. This minimal delay includes the necessary time for the device to switch from RX to TX and transmit a synchronization header. Supply voltage is 3V regulated and a power down mode is available, reducing current consumption to less than 10 μ A. Even in the power down state, the AT-XTR-903 retains valid interface levels with the user's host application.



Features

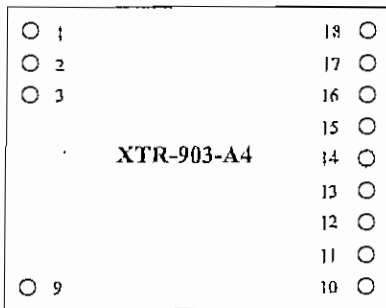
- Transparent throughput of RS-232 data
- Also available on 900MHz and 868MHz
- No data encoding and no preamble required
- No data packaging
- Easy AT commands for channel selection, emitted power level and monitoring of channel occupation and signal strength
- HyperTerminal* compatible
- 10 Selectable Operating Channels: 433-434 MHz model
- 169 Selectable Operating Channels: 902- 928 MHz model (AT-XTR-903-A9)
- Embedded microprocessor
- Small size (23x33 mm)
- Emitted power: user adjustable to 10mW

* Trademark registered by Hilgraeve

Typical Applications

- Handheld Wireless
- Home automation
- Telemetry
- Access control
- Instruments monitoring
- Data acquisition
- POS terminals
- Robotics

Pin Description



Pin Number	Pin Designation
1,3	RF GND
2	ANT
9,10,18	GND
11	SP1
12	RSRX
13	485EN
14	RSTX
15	SP2
16	PWRDN
17	Vcc
4,5,6,7,8	Not used

RF GND – pins 1,3

RF ground plane connection.

ANT – pin 2

Antenna terminal. 50Ω impedance.

GND – pins 9,10,18

Ground (0V).

SP1, SP2 – pins 11,15

These pins configure the serial data rate. Table 1 indicates the configuration voltage levels of SP1 and SP2 for the three different data rates.

Data Rate Configuration

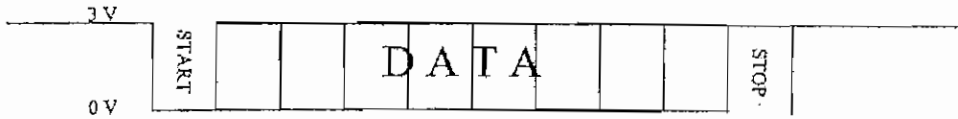
SP1	SP2	I/O Data Rate
Vcc	Vcc	9600
GND	Vcc	19200
Vcc	GND	38400
GND	GND	TEST Mode

Table 1

A different degree of redundancy and protection is associated with the RF packet according to the selected speed. This means that slower data rate results in a higher level of reliability and/or longer communication distance.

RSRX – pin 12

Data output of the receiver in TTL RS-232 logic levels with 1 start bit (0V), 8 data bits and 1 stop bit (3V). Output is normally high (3V).



485EN – pin 13

Enable pin to control an external RS-485 transceiver chip.

RSTX – pin 14

Data input to the transmitter in TTL RS-232 logic levels with 1 start bit (0V), 8 data bits and 1 stop bit (3V). Input is normally high (3V).

PWRDN – pin 16

Enable pin to switch the power-saving feature ON or OFF . Applying 3V sets the module to Power Down mode, switching off all active circuitry and reducing consumption to less than 10 μ A. In the Power Down state, the logic levels of input/output data lines are still maintained at logic High levels (3V). Applying 0V to pin 16 configures the module for normal operating mode.

PWRDN	MODULE STATE
GND	ON
Vcc	OFF

Vcc – pin 17

Positive supply voltage (3V). Should be properly filtered and regulated.

Technical Characteristics

Absolute Limits	
Operating Temperature	-20 °C to +70 °C
Storage Temperature	-40 °C to +100 °C
Max. Supply Voltage	+6V
Input pin Voltage	-1,0 to Vcc + 0,3V
Output pin Voltage	-1,0 to Vcc + 0,3V

DC values	Min.	Typ.	Max.	Units
Supply Voltage	2.7	3	3.3	V
Current (rx mode)		30		mA
Current (tx mode @ -8 dBm)		25		mA
Current (tx mode @ 10 dBm)		40		mA
Current (stand-by mode)		8	10	µA
Input/output Logical 1 Level	0.7xVcc		Vcc	V
Input/output Logical 0 Level	0		0,3xVcc	V
RF				
Modulation Type		GFSK		
Frequency Band		433,05 to 434,87		MHz
Rx Sensitivity		-104		dBm
Tx Max Power Output	-8		10	dBm
Performance				
Input Bit Rate ¹		9600, 19200 and 38400		bps
Outdoor range		200		m
Available Channels			10	
Channel Spacing		153,6		KHz
Timing				
PWRDN to RX	20			ms
PWRDN to TX				ms
TX to RX			20	ms
RX to TX			20	ms
Default Values (NO programming) ²				
Operating Channel		433,96		MHz
Tx Output Power		10		dBm

¹ Input signal consists of 1 start bit, 8 data bits and 1 stop bit, no parity.

² Default values are factory configured. May be changed with AT command programming.

Application

Integration of a powerful embedded microprocessor relieves the designer of the need to implement a synchronization protocol between the transmitting and receiving unit, thus significantly reducing the design cycle time. The AT-XTR-903 RF transceiver module allows the transfer of serial data in RS232-TTL logic, as output from a microprocessor host or from a PC serial port (with electrical level conversion), without the need for any further coding. The radio transmission is completely transparent, allowing the radio transfer of data packets of any length* and with a latency of no longer than 20 ms between the data delivery and the actual reception. This time is required to "open" the communication connection. Thereafter, the data transfer occurs at the actual serial port speed (9600, 19200 or 38400 bps).

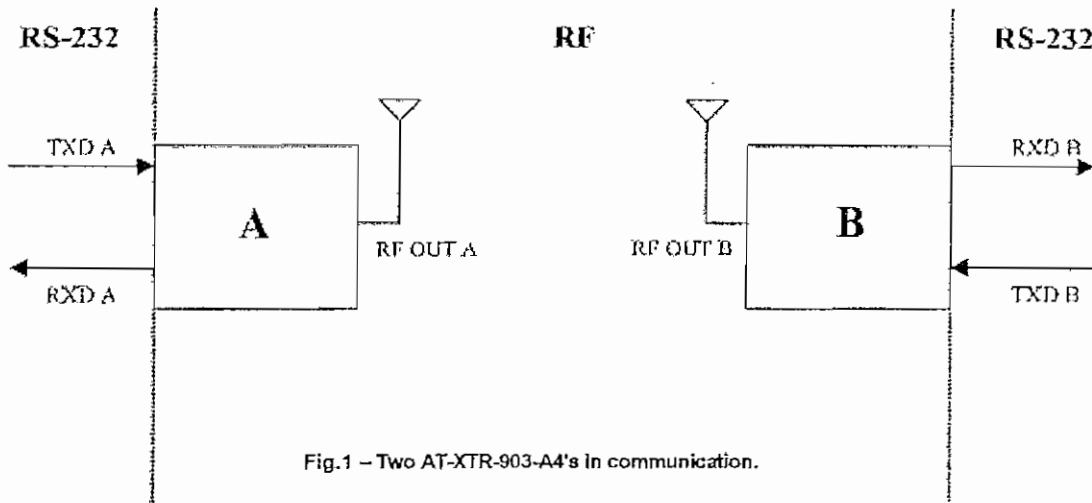


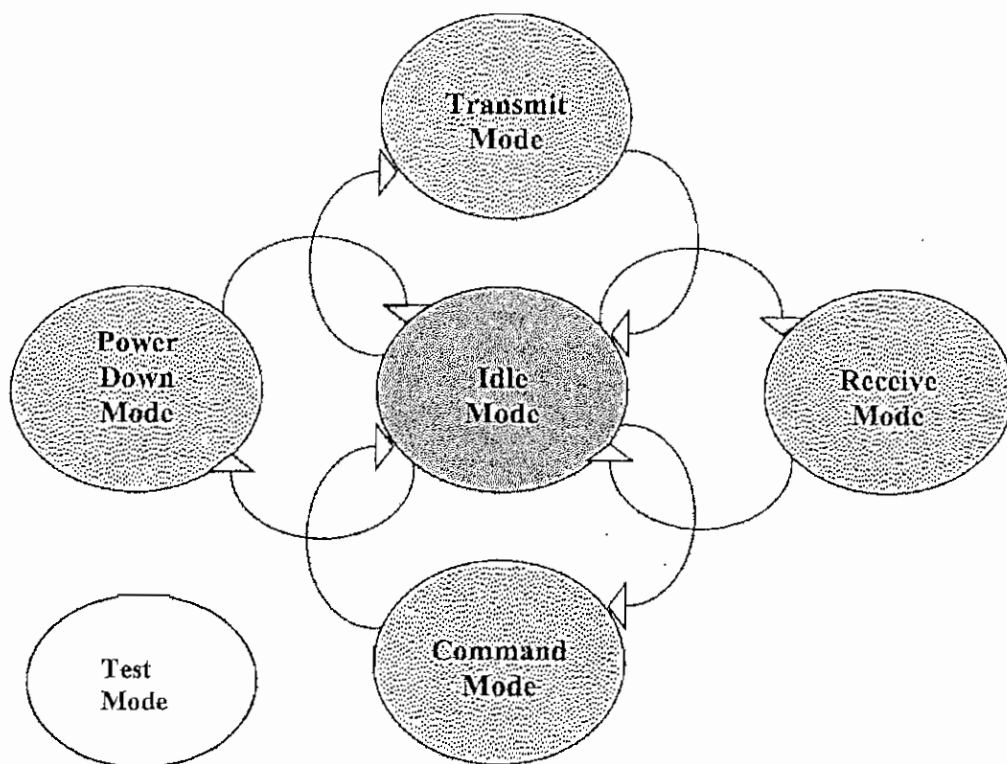
Fig.1 – Two AT-XTR-903-A4's in communication.

AT-XTR-903-A4 operation status may be summarized as follows:

- Test Mode
- Idle Mode
- RF Transmit Mode
- RF Receive Mode
- Command mode
- Power Down mode

The following pages discuss these modes in detail.

*The maximum length of the input data packet is directly related to the precision of the bit rate of the signal. We recommend that data packet sizes should be kept to within 4Kbytes. A packetizing protocol should be implemented for applications that require the transfer of data exceeding 4Kbytes in size.



Test Mode

Test mode is entered into at power-up when SP1 and SP2 are at 0V (GND). In this mode, the carrier frequency is continuously modulated by a 20KHz pseudorandom data sequence. The test mode may be put to good use when setting up the link and may be used in conjunction with the RSSI read command. (see command mode for details on reading the RSSI value). To exit the test mode, SP1 and SP2 must be reconfigured under a power off state.

Idle mode

This is the rest state of the transceiver, when initially powered. In this mode the transceiver will be "listening", waiting for either RF synchronization sequence or data presence on the serial line input. If any of the two conditions occur, the transceiver will exit the idle mode, and switch to the new relevant status.

Transmit mode

From the rest state in idle mode, the transceiver will automatically go to transmit status (Transmit mode) as soon as it detects a start bit on the serial data input line (pin 14). RF data transfer is transparent to user, and the data packet will be delivered without any buffering, and with no limit on the packet length. No checksum is added or CRC performed. Error detection and correction is left to the designer to perform if required.

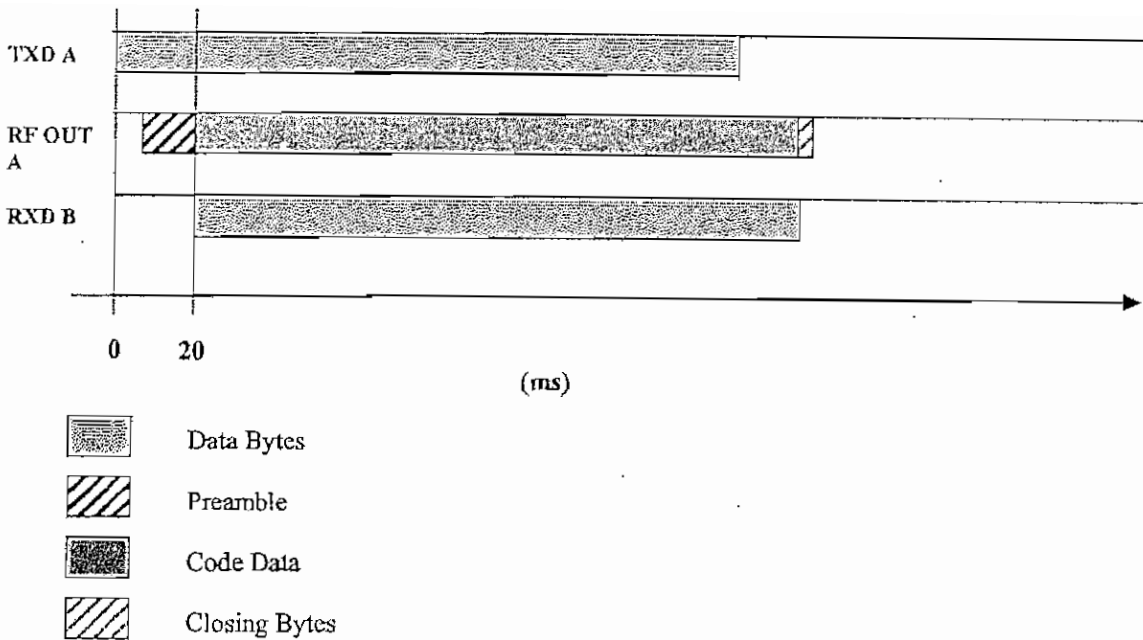


Fig. 3 – Timing Diagram of a data packet transmission

As shown in the Timing Diagram (Fig. 3) above, from the starting time (0 ms), when the first data bit arrives at the transmitting module's input, to the time when the same first data bit is received at the remote unit, is about 20ms. This delay accounts for the preamble transmission that the transmitting module automatically places before the packet of the data that is to be sent. This preamble is necessary to wake up and synchronize the receiver at the remote AT-XTR-903. A closing (end of packet) data sequence is also automatically appended to packet that is being sent.

The data rates at which the host may send data to the AT-XTR-903 on TXD, pin 14, is 9600 bps, 19200 bps or 38400 bps. The AT-XTR-903 is configured for the specific data rate via pin SP1 (pin 11) and SP2 (pin 15), in accordance with Table 1. Depending on the serial data rate configured, a different level of redundancy will be added in order to optimize RF transmission. These can be helpful in finding the most suitable configuration of the complete system according to all the possible conditions that can affect Radio Frequency propagation.

Data Rate	RF Data Encoding Scheme
38400	Any single byte of the data packet to be sent is affected with pseudo-random balancing. There is no assurance that data received at remote module was not corrupted during radio transmission.
19200	Any single byte of the data packet to be sent is balanced with the same number of '0's and '1' s (Manchester). The system can recognize any single error per data bit and, if this occurs, the system will stop the data output on the receiving module's data line.
9600	Manchester + Hamming. Hamming code allows correction of any single error occurring in any data nibble. This is the safest speed to send data, since the protocol implemented provides for error detection and correction.

Table 2 – Redundancy options vs. serial data speed

RF Receive mode

Transfer from Idle to Receive mode will occur as soon as the module recognizes the synchronization preamble on the incoming RF signal. At this point the transceiver will stay in Receive mode up to the reception of packet closing sequence.

Any data in input from the serial line will be discarded while the module is in Receive mode.

Command mode

Command mode allows the designer /user to configure the main parameters which change the module's operating conditions, such as selecting a new operating frequency channel or setting the RF output power to desired value. This allows a high degree of flexibility to customize the AT-XTR-903 transceiver module for a specific application.

Programming is carried out via simple AT commands. To enter the Command mode from Idle mode, the following data string must be sent via serial RSTX line to the module:

- 3 consecutive ASCII plus characters (+++) without pauses

Within 35ms, the module will respond with **OK<CR><LF>** string to confirm it is in Command mode. (<CR> represents 'Carriage Return') (<LF> represents 'Line Feed')

Programming information is stored in 16 available registers (from 1 to 16). Some of these are available only for read operations, whilst others are available for read/write operations.

The syntax to read a value stored in a register is as follows:

ATSx<CR> (x= register 1, ..., 16)

Assuming that the command was issued correctly, the answer to this command is the value of the contents of the register. For a command issued with errors, the following answer is returned:

ERROR<CR><LF>

To change the value of parameter in a register, the following syntax is used:

ATSx=Y<CR> (x= 1, ..., 16) , Y= value to be inserted

A command issued correctly will receive **OK<CR><LF>** response. If the command contained a syntax error or if the value that was entered to be written is an unacceptable parameter for that register, an **ERROR<CR><LF>** response will be received.

All the values written into registers are volatile and will be lost when the module is powered OFF, unless they were previously saved into the EEPROM memory available in the embedded microprocessor. In this case, the modified values will be non-volatile and will be retained even if the module's power supply is cycled.

The command for non-volatile saving of ALL the values in register is:

ATWR<CR>

To exit Command Mode and return the transceiver to normal operating , the following command is issued:

ATCC<CR>

When in Command mode, it is possible to include multiple commands in a single command line by separating each command by a comma (,) operator. With following command line, for example, register 3 is set to value 2, the change is permanently saved and the Command Mode is exited:

**Example: AT+ATS3=2,WR,CC <CR>
OK<CR><LF>**

As shown in the above example, the prefix -AT- is only used once in the beginning of the command of line and not required for the following commands which are separated with the comma operator.

Command chaining is possible only for write operations. If used in read operations, an "ERROR" message will be returned as in the following example:

**Example: at+ats1,cc <CR>
ERROR <CR><LF>**

Commands are not case sensitive, so either uppercase or lowercase characters may be used.

Refer to **Appendix A**, for details on register values and possible configurations.

Power Down Mode

Setting pin 16 (PWRDN) high (+3V) configures the transceiver to power saving mode, limiting its current consumption to less than 10 μ A. Whilst in Power Down the transceiver is not in a condition to receive or transmit but will continue to maintain the correct logic levels with the externally interfaced devices, for example, the received data line (RXD) will be kept HIGH (+3V) associated with a STOP bit. To bring the transceiver back to an operating state (Idle Mode), pin 16 must be taken low (0V).

Applications

Fig.3 shows a typical AT-XTR-903 application, with the transceiver connected to a microprocessor that, in addition to data reception and transmission on the input and output lines (TXD & RXD), is also controlling two lines dedicated to serial interface speed selection (SP1 & SP2) plus the PWRDN line.

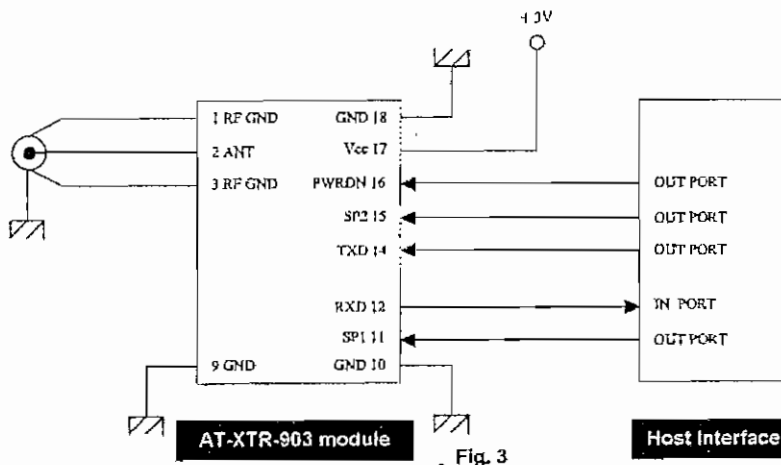


Fig.4, shows a typical connection between the AT-XTR-903-A4 module and PC serial port. The integrated circuit between the transceiver and the RS232 port is only used to convert the electrical level voltages between RS-232 and TTL logic. (eg. MAX 232)

With the use of the RTS line (pin 7 of DB9 connector) it is possible to drive the PWRDN line, while the serial data speed selection is set to 19200 bps.

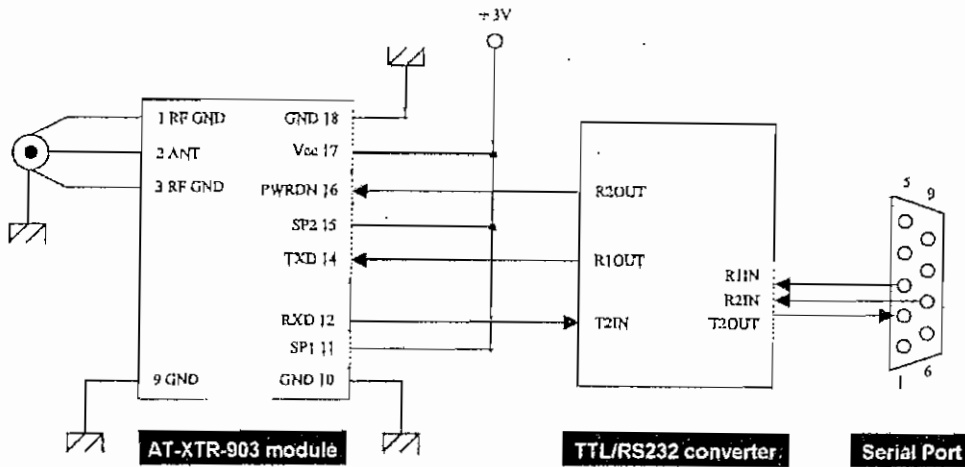


Fig.4 – Example connection of XTR-903-A4 and RS-232 serial port at 9600 bps.

Application Suggestions

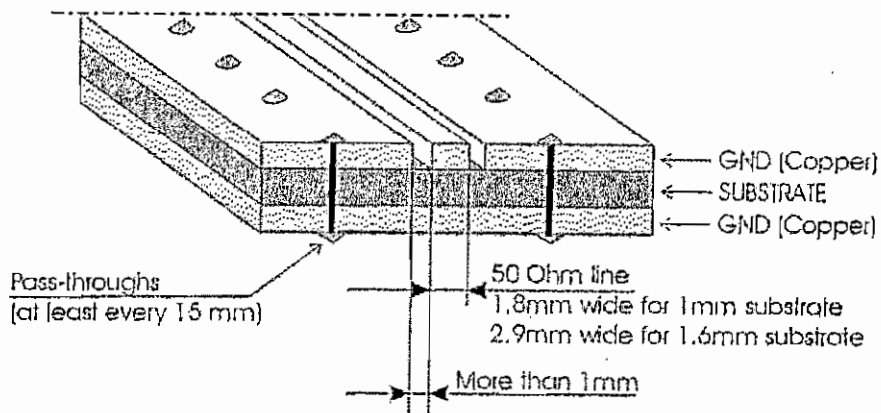
The following suggestions serve as guidelines in the final design and should not be considered as essential for prototyping purposes.

GROUND Circuit

- The module should be surrounded with ground plane. The circuit is best designed on double sided through plated PCB, with the ground planes on each side connected with via's (pass-through's) at least every 15 mm.
- Ground plane must be present around the antenna connection

50 Ω Transmission lines (connection between pin 2 and Antenna)

- Should be as short as possible
- Trace width of 1.8 mm for FR4 PCB substrates with 1 mm cross section and 2.9 mm for substrates with 1.6 mm cross section. Trace distance from surrounding ground plane should be more than 1 mm (2 mm is better).
- The bottom side of the PCB should have a relatively large ground plane area.



Antenna connection

- Can be used to directly connect a radiating stylus (165 mm straight wire)
- Can be used to connect the central conductor of a coaxial cable to an off-board remote antenna. The cable's outer braid must be connected to GND near the antenna connection.

Antenna

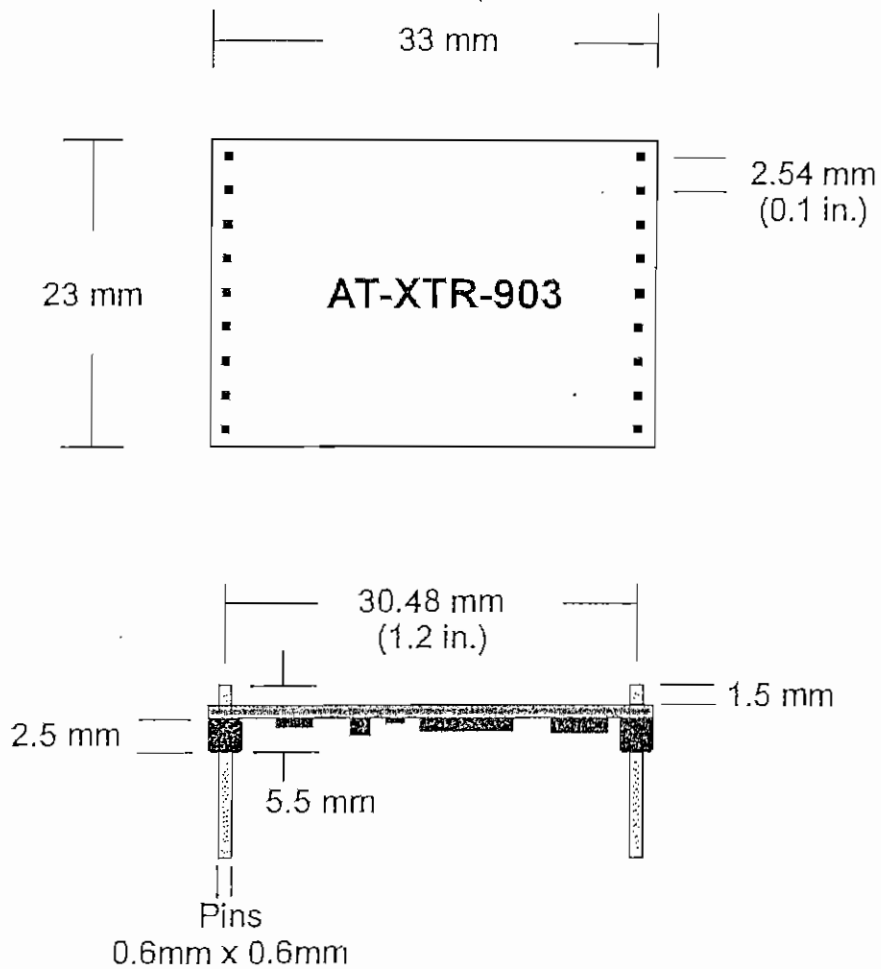
- An antenna must be connected to the transceiver antenna pin. A 16.5 cm whip antenna of 1mm diameter copper or brass may be used or 22 gauge solid core insulated wire also works well. The body of the antenna should be as straight as possible and should be kept away from any other circuits or metal surface areas (at least 5 cm clearance is suggested)
- Antenna can be oriented either vertically or horizontally, with an abundant ground area around the connection feed point.

Note: ABACOM Technologies, Inc. offers a variety of manufactured antenna suitable for use with the AT-XTR-903 modules.

Other components

- Position the RF module as far from other circuit components as possible (min. 5 mm)
- Keep microprocessor clock circuits as far away as possible. Apply GND shields.
- Do not install components around the 50Ω line(s). Keep at least 10mm clearance.
- If a PCB antenna is implemented, the area allocated for the antenna should not have any other circuits in close proximity.
- If the antenna connection is via coaxial cable, then other components may be placed around the connection point but approximately 5mm clearance away from the connection point should be given.

Mechanical dimensions



Appendix A – Register Programming

Different operating characteristics of the transceiver, such as RF channel selection, RF emitted power, etc..., can be programmed by the user through setting special parameters in 16 available registers.

The following information provides the meaning and programming possibilities for each register.

The current AT-XTR-903 transceiver modules implement 4 out of 16 registers - registers 1,2,3 and 16. Only these registers will be described, the remaining registers are reserved for possible future enhancements.

Register 1 - Frequency Band

This register is READ ONLY and will supply information relating to the module's operating RF band. The AT-XTR-903 transceiver modules are available in three different models, 433MHz, 868MHz and 915MHz .

Command	Values	Read (R) / Write (W)
ATS1	0=433-434 MHz	R
	1=868-870 MHz	
	2=902-928 MHz	

Example 1: Reading the operational band of the module

```
+++OK<CR><LF>
ATS1<CR>
0                (0 = 433-434MHz band)
```

Example 2:

```
+++OK<CR><LF>
ATS1=2<CR>
NO ACCESS<CR><LF>
```

Syntax Error: This register is available for Read only!

Register 2 – RF CHANNEL

This register is available for read and write operations. It allows to get feed backs of the RF frequency (channel) setting for both receiving and transmitting circuits. Makes it possible to "write" a different frequency (channel).

Command	Values	Read (R)/ Write (W)
ATS2	0 = 433,19 MHz 1 = 433,34 MHz 2 = 433,50 MHz 3 = 433,65 MHz 4 = 433,80 MHz 5 = 433,96 MHz 6 = 434,11 MHz 7 = 434,27 MHz 8 = 434,42 MHz 9 = 434,57 MHz	R/W

Example 1: Reading the configured RF channel (433,5 MHz)

```
+++OK<CR><LF>  
ATS2<CR>  
2
```

Example 2: Selecting channel 8 as the operating frequency (434,42 MHz)

```
+++OK<CR><LF>  
ATS2=8<CR>  
OK<CR>
```

Register 3 – EMITTED RF POWER

This register is available for read and write operations. With the read command, feedback is given about the RF output power emitted from the module's transmitter section. The write command enables the user to configure the transmitter section for the preferred RF output power.

Command	Values	Read (R)/ Write (W)
ATS3	0 = - 8 dBm 1 = - 2 dBm 2 = + 4 dBm 3 = +10 dBm	RAW

Example 1: Reading the configured RF output power (-2 dBm)

```
+++OK<CR><LF>  
ATS3<CR>  
1
```

Example 2: Setting RF output power to +10 dBm

```
+++OK<CR><LF>  
ATS3=3<CR>  
OK<CR><LF>
```


Register 16 – RSSI (Received Strength Signal Indicator)

The register is read only and will supply a numeric value proportional to the RF Field Strength sensed from the receiving circuitry. The range of possible values returned from the register are 0 through 9. Reading register 16 starts a process of analysis of the RF channel that the module is programmed to operate on. This routine has a fixed duration of 200ms and the analysis result is given after this period. The analysis period should be allowed to run its course without interruption through issuing another command. The signal strength command is useful for determining possible channel occupation or for setting up the link in conjunction with the TEST mode.

Command	Values	Read (R)/ Write (W)
ATS16	0 = Minimum Field Strength 1 2 3 4 5 6 7 8 9 = Maximum Field Strength	R

Example 1: Reading Field Strength (strong received signal)

```
+++OK<CR><LF>  
ATS16<CR>  
9
```

Example 2: Reading Field Strength (very weak or no received signal)

```
+++OK<CR><LF>  
ATS16<CR>  
0
```

Example 3: Syntax Error: register is read only!

```
+++OK<CR><LF>  
ATS16=3<CR>  
ERROR<CR><LF>
```

Disclaimer:

Technical specifications are subject to change without notice. Whilst every effort has been made to ensure the accuracy of the information contained in this document, ABACOM Technologies Inc. does not assume responsibility for any errors or omissions that may exist. ABACOM Technologies Inc. does not assume responsibility for any damage caused through use or misuse of their products and the onus lies entirely with the end user in determining the suitability of and use of the product for any particular application. ABACOM Technologies Inc. products are not recommended for applications where human life may be at risk.

FEATURES

- High accuracy; supports IEC 60687/61036/61268 and IEC 62053-21/62053-22/62053-23
- On-chip digital integrator enables direct interface to current sensors with di/dt output
- Active, reactive, and apparent energy; sampled waveform; current and voltage rms
- Less than 0.1% error in active energy measurement over a dynamic range of 1000 to 1 at 25°C
- Positive-only energy accumulation mode available
- On-chip user programmable threshold for line voltage surge and SAG and PSU supervisory
- Digital calibration for power, phase, and input offset
- On-chip temperature sensor ($\pm 3^\circ\text{C}$ typical)
- SPI* compatible serial interface
- Pulse output with programmable frequency
- Interrupt request pin (IRQ) and status register
- Reference 2.4 V with external overdrive capability
- Single 5 V supply, low power (25 mW typical)

GENERAL DESCRIPTION

The ADE7753 features proprietary ADCs and DSP for high accuracy over large variations in environmental conditions and time. The ADE7753 incorporates two second-order 16-bit $\Sigma\text{-}\Delta$ ADCs, a digital integrator (on CH1), reference circuitry, temperature sensor, and all the signal processing required to perform active, reactive, and apparent energy measurements, line-voltage period measurement, and rms calculation on the

voltage and current. The selectable on-chip digital integrator provides direct interface to di/dt current sensors such as Rogowski coils, eliminating the need for an external analog integrator and resulting in excellent long-term stability and precise phase matching between the current and voltage channels.

The ADE7753 provides a serial interface to read data, and a pulse output frequency (CF), which is proportional to the active power. Various system calibration features, i.e., channel offset correction, phase calibration, and power calibration, ensure high accuracy. The part also detects short duration low or high voltage variations.

The positive-only accumulation mode gives the option to accumulate energy only when positive power is detected. An internal no-load threshold ensures that the part does not exhibit any creep when there is no load. The zero-crossing output (ZX) produces a pulse that is synchronized to the zero-crossing point of the line voltage. This signal is used internally in the line cycle active and apparent energy accumulation modes, which enables faster calibration.

The interrupt status register indicates the nature of the interrupt, and the interrupt enable register controls which event produces an output on the IRQ pin, an open-drain, active low logic output.

The ADE7753 is available in a 20-lead SSOP package.

FUNCTIONAL BLOCK DIAGRAM

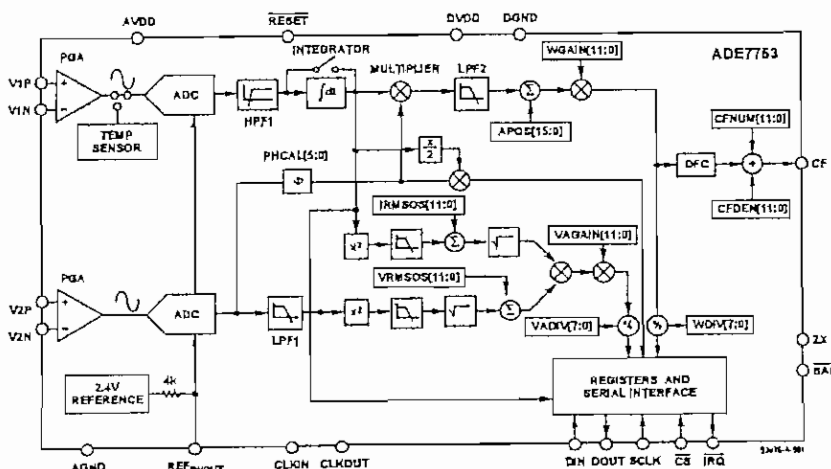


Figure 1.

*U.S. Patents 5,745,323; 5,760,617; 5,862,069; 5,872,469; others pending.

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

TABLE OF CONTENTS

Specifications.....	3	Energy-to-Frequency Conversion	30
Timing Characteristics.....	5	Line Cycle Energy Accumulation Mode	32
Absolute Maximum Ratings.....	6	Positive-Only Accumulation Mode	32
ESD Caution.....	6	No-Load Threshold.....	32
Terminology	7	Reactive Power Calculation	33
Pin Configuration and Function Descriptions.....	8	Sign of Reactive Power Calculation	34
Typical Performance Characteristics	10	Apparent Power Calculation.....	34
Theory of Operation	15	Apparent Energy Calculation	35
Analog Inputs.....	15	Line Apparent Energy Accumulation	36
di/dt Current Sensor and Digital Integrator	16	Energies Scaling.....	37
Zero-Crossing Detection.....	17	Calibrating an Energy Meter Based on the ADE7753.....	37
Period Measurement.....	18	CLKIN Frequency.....	47
Power Supply Monitor	18	Suspending ADE7753 Functionality.....	47
Line Voltage Sag Detection.....	18	Checksum Register.....	47
Peak Detection	19	ADE7753 Serial Interface	48
ADE7753 Interrupts.....	20	ADE7753 Registers.....	51
Temperature Measurement	21	ADE7753 Register Descriptions.....	54
ADE7753 Analog-to-Digital Conversion.....	21	Communications Register.....	54
Channel 1 ADC.....	22	Mode Register (0x09).....	54
Channel 2 ADC.....	24	Interrupt Status Register (0x0B), Reset Interrupt Status Register (0x0C), Interrupt Enable Register (0x0A)	56
Phase Compensation.....	26	CHIOS Register (0x0D).....	57
Active Power Calculation	27	Outline Dimensions	58
Energy Calculation.....	28	Ordering Guide	58
Power Offset Calibration.....	30		

REVISION HISTORY

6/04—Changed from Rev. 0 to Rev A

Changes IEC Standards	1	Changes to Figure 71.....	33
Changes to Phase Error Between Channels Definition.....	7	Changes to the Apparent Energy Section.....	36
Changes to Figure 24.....	13	Changes to Energies Scaling Section	37
Changes to CH2OS Register	16	Changes to Calibration Section.....	37
Change to the Period Measurement Section.....	18		
Change to Temperature Measurement Section	21	8/03—Revision 0: Initial Version	
Changes to Figure 69.....	31		

SPECIFICATIONS

$AV_{DD} = DV_{DD} = 5\text{ V} \pm 5\%$, $AGND = DGND = 0\text{ V}$, on-chip reference, $CLKIN = 3.579545\text{ MHz XTAL}$, T_{MIN} to $T_{MAX} = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$.

Table 1.

Parameter ¹	Spec	Unit	Test Conditions/Comments
ENERGY MEASUREMENT ACCURACY			
Active Power Measurement Error			
Channel 1 Range = 0.5 V Full Scale			
Gain = 1	0.1	% typ	CLKIN = 3.579545 MHz Channel 2 = 300 mV rms/60 Hz, gain = 2 Over a dynamic range 1000 to 1
Gain = 2	0.1	% typ	Over a dynamic range 1000 to 1
Gain = 4	0.1	% typ	Over a dynamic range 1000 to 1
Gain = 8	0.1	% typ	Over a dynamic range 1000 to 1
Channel 1 Range = 0.25 V Full Scale			
Gain = 1	0.1	% typ	Over a dynamic range 1000 to 1
Gain = 2	0.1	% typ	Over a dynamic range 1000 to 1
Gain = 4	0.1	% typ	Over a dynamic range 1000 to 1
Gain = 8	0.2	% typ	Over a dynamic range 1000 to 1
Channel 1 Range = 0.125 V Full Scale			
Gain = 1	0.1	% typ	Over a dynamic range 1000 to 1
Gain = 2	0.1	% typ	Over a dynamic range 1000 to 1
Gain = 4	0.2	% typ	Over a dynamic range 1000 to 1
Gain = 8	0.2	% typ	Over a dynamic range 1000 to 1
Active Power Measurement Bandwidth	14	kHz	
Phase Error 1 between Channels ²	± 0.05	max	Line Frequency = 45 Hz to 65 Hz, HPF on
AC Power Supply Rejection ²			
Output Frequency Variation (CF)	0.2	% typ	$AV_{DD} = DV_{DD} = 5\text{ V} + 175\text{ mV rms}/120\text{ Hz}$ Channel 1 = 20 mV rms, gain = 16, range = 0.5 V Channel 2 = 300 mV rms/60 Hz, gain = 1
DC Power Supply Rejection ²			
Output Frequency Variation (CF)	± 0.3	% typ	$AV_{DD} = DV_{DD} = 5\text{ V} \pm 250\text{ mV dc}$ Channel 1 = 20 mV rms/60 Hz, gain = 16, range = 0.5 V Channel 2 = 300 mV rms/60 Hz, gain = 1
IRMS Measurement Error	0.5	% typ	Over a dynamic range 100 to 1
IRMS Measurement Bandwidth	14	kHz	
VRMS Measurement Error	0.5	% typ	Over a dynamic range 20 to 1
VRMS Measurement Bandwidth	140	Hz	
ANALOG INPUTS³			
Maximum Signal Levels	± 0.5	V max	See the Analog Inputs section V1P, V1N, V2N, and V2P to AGND
Input Impedance (dc)	390	k min	
Bandwidth	14	kHz	CLKIN/256, CLKIN = 3.579545 MHz
Gain Error ^{2,3}			External 2.5 V reference, gain = 1 on Channels 1 and 2
Channel 1			
Range = 0.5 V Full Scale	± 4	% typ	V1 = 0.5 V dc
Range = 0.25 V Full Scale	± 4	% typ	V1 = 0.25 V dc
Range = 0.125 V Full Scale	± 4	% typ	V1 = 0.125 V dc
Channel 2			
	± 4	% typ	V2 = 0.5 V dc
Offset Error ²			
Channel 1		± 32	mV max
	± 13	mV max	Gain 16
Channel 2		± 32	mV max
	± 13	mV max	Gain 16
WAVEFORM SAMPLING			
Channel 1			
Signal-to-Noise Plus Distortion	62	dB typ	Sampling CLKIN/128, 3.579545 MHz/128 = 27.9 kSPS See the Channel 1 Sampling section
Bandwidth(-3 dB)	14	kHz	150 mV rms/60 Hz, range = 0.5 V, gain = 2 CLKIN = 3.579545 MHz.

Footnotes on next page.

ADE7753

Parameter	Spec	Unit	Test Conditions/Comments
Channel 2 Signal-to-Noise Plus Distortion Bandwidth (-3 dB)	60 140	dB typ Hz	See the Channel 2 Sampling section 150 mV rms/60 Hz, gain = 2 CLKIN = 3.579545 MHz
REFERENCE INPUT REF _{IN/OUT} Input Voltage Range	2.6 2.2	V max V min	2.4 V + 8% 2.4 V - 8%
Input Capacitance	10	pF max	
ON-CHIP REFERENCE Reference Error Current Source Output Impedance Temperature Coefficient	±200 10 3.4 30	mV max µA max kΩ min ppm/°C typ	Nominal 2.4 V at REF _{IN/OUT} pin
CLKIN Input Clock Frequency	4 1	MHz max MHz min	All specifications CLKIN of 3.579545 MHz
LOGIC INPUTS RESET, DIN, SCLK, CLKIN, and CS			
Input High Voltage, V _{INH}	2.4	V min	DV _{DD} = 5 V ± 10%
Input Low Voltage, V _{INL}	0.8	V max	DV _{DD} = 5 V ± 10%
Input Current, I _{IN}	±3	µA max	Typically 10 nA, V _{IN} = 0 V to DV _{DD}
Input Capacitance, C _{IN}	10	pF max	
LOGIC OUTPUTS SAG and IRQ			
Output High Voltage, V _{OH}	4	V min	Open-drain outputs, 10 kΩ pull-up resistor I _{SOURCE} = 5 mA
Output Low Voltage, V _{OL}	0.4	V max	I _{SINK} = 0.8 mA
ZX and DOUT			
Output High Voltage, V _{OH}	4	V min	I _{SOURCE} = 5 mA
Output Low Voltage, V _{OL}	0.4	V max	I _{SINK} = 0.8 mA
CF			
Output High Voltage, V _{OH}	4	V min	I _{SOURCE} = 5 mA
Output Low Voltage, V _{OL}	1	V max	I _{SINK} = 7 mA
POWER SUPPLY			
AVDD	4.75 5.25	V min V max	For specified performance 5 V - 5% 5 V + 5%
DVDD	4.75 5.25	V min V max	5 V - 5% 5 V + 5%
A _{DD}	3	mA max	Typically 2.0 mA
D _{DD}	4	mA max	Typically 3.0 mA

¹ See the plots in the Typical Performance Characteristics section.

² See the Terminology section for explanation of specifications.

³ See the Analog Inputs section.

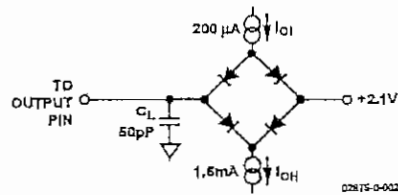


Figure 2. Load Circuit for Timing Specifications

TIMING CHARACTERISTICS

$V_{DD} = DV_{DD} = 5\text{ V} \pm 5\%$, $AGND = DGND = 0\text{ V}$, on-chip reference, $CLKIN = 3.579545\text{ MHz XTAL}$, T_{MIN} to $T_{MAX} = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$.

Table 2.

Parameter ^{1,2}	Spec	Unit	Test Conditions/Comments
Write Timing			
t_1	50	ns (min)	\overline{CS} falling edge to first SCLK falling edge.
t_2	50	ns (min)	SCLK logic high pulse width.
t_3	50	ns (min)	SCLK logic low pulse width.
t_4	10	ns (min)	Valid data setup time before falling edge of SCLK.
t_5	5	ns (min)	Data hold time after SCLK falling edge.
t_6	400	ns (min)	Minimum time between the end of data byte transfers.
t_7	50	ns (min)	Minimum time between byte transfers during a serial write.
t_8	100	ns (min)	\overline{CS} hold time after SCLK falling edge.
Read Timing			
t_9^3	4	μs (min)	Minimum time between read command (i.e., a write to communication register) and data read.
t_{10}	50	ns (min)	Minimum time between data byte transfers during a multibyte read.
t_{11}	30	ns (min)	Data access time after SCLK rising edge following a write to the communications register.
t_{12}^4	100	ns (max)	Bus relinquish time after falling edge of SCLK.
	10	ns (min)	
t_{13}^5	100	ns (max)	Bus relinquish time after rising edge of \overline{CS} .
	10	ns (min)	

¹ Sample tested during initial release and after any redesign or process change that could affect this parameter. All input signals are specified with $t_r = t_f = 5\text{ ns}$ (10% to 90%) and timed from a voltage level of 1.6 V.

² See Figure 3, Figure 4, and the ADE7753 Serial Interface section.

³ Minimum time between read command and data read for all registers except waveform register, which is $t_9 = 500\text{ ns min}$.

⁴ Measured with the load circuit in Figure 2 and defined as the time required for the output to cross 0.8 V or 2.4 V.

⁵ Derived from the measured time taken by the data outputs to change 0.5 V when loaded with the circuit in Figure 2. The measured number is then extrapolated back to remove the effects of charging or discharging the 50 pF capacitor. This means that the time quoted in the timing characteristics is the true bus relinquish time of the part and is independent of the bus loading.

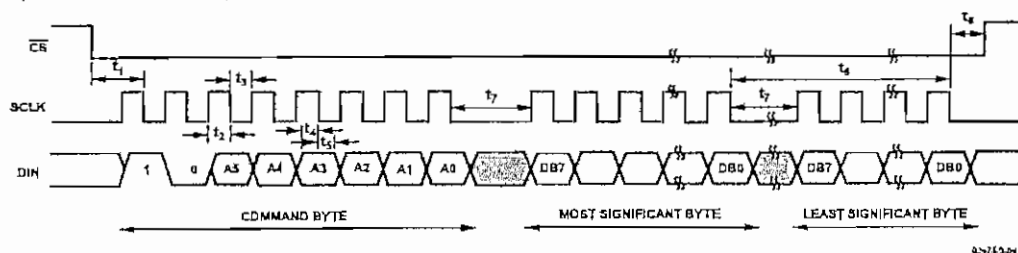


Figure 3. Serial Write Timing

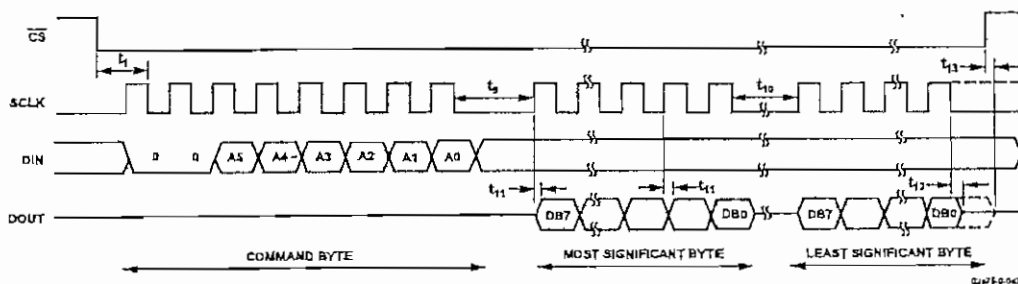


Figure 4. Serial Read Timing

ABSOLUTE MAXIMUM RATINGS

T_A = 25°C, unless otherwise noted.

Table 3.

Parameter	Rating
AVDD to AGND	-0.3 V to +7 V
DVDD to DGND	-0.3 V to +7 V
DVDD to AVDD	-0.3 V to +0.3 V
Analog Input Voltage to AGND V1P, V1N, V2P, and V2N	-6 V to +6 V
Reference Input Voltage to AGND	-0.3 V to AVDD + 0.3 V
Digital Input Voltage to DGND	-0.3 V to DVDD + 0.3 V
Digital Output Voltage to DGND	-0.3 V to DVDD + 0.3 V
Operating Temperature Range	
Industrial	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
20-Lead SSOP, Power Dissipation	450 mW
θ _{JA} Thermal Impedance	112°C/W
Lead Temperature, Soldering	
Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C

Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ESD CAUTION

ESD (electrostatic discharge) sensitive device. Electrostatic charges as high as 4000 V readily accumulate on the human body and test equipment and can discharge without detection. Although this product features proprietary ESD protection circuitry, permanent damage may occur on devices subjected to high energy electrostatic discharges. Therefore, proper ESD precautions are recommended to avoid performance degradation or loss of functionality.



TERMINOLOGY

Measurement Error

The error associated with the energy measurement made by the ADE7753 is defined by the following formula:

$$\text{Percentage Error} = \left(\frac{\text{Energy Register ADE7753} - \text{True Energy}}{\text{True Energy}} \right) \times 100\%$$

Phase Error between Channels

The digital integrator and the high-pass filter (HPF) in Channel 1 have a non-ideal phase response. To offset this phase response and equalize the phase response between channels, two phase-correction networks are placed in Channel 1: one for the digital integrator and the other for the HPF. The phase correction networks correct the phase response of the corresponding component and ensure a phase match between Channel 1 (current) and Channel 2 (voltage) to within $\pm 0.1^\circ$ over a range of 45 Hz to 65 Hz with the digital integrator off. With the digital integrator on, the phase is corrected to within $\pm 0.4^\circ$ over a range of 45 Hz to 65 Hz.

Power Supply Rejection

This quantifies the ADE7753 measurement error as a percentage of reading when the power supplies are varied. For the ac PSR measurement, a reading at nominal supplies (5 V) is taken. A second reading is obtained with the same input signal levels when an ac (175 mV rms/120 Hz) signal is introduced onto the

supplies. Any error introduced by this ac signal is expressed as a percentage of reading—see the Measurement Error definition.

For the dc PSR measurement, a reading at nominal supplies (5 V) is taken. A second reading is obtained with the same input signal levels when the supplies are varied $\pm 5\%$. Any error introduced is again expressed as a percentage of the reading.

ADC Offset Error

The dc offset associated with the analog inputs to the ADCs. It means that with the analog inputs connected to AGND, the ADCs still see a dc analog input signal. The magnitude of the offset depends on the gain and input range selection—see the Typical Performance Characteristics section. However, when HPF1 is switched on, the offset is removed from Channel 1 (current) and the power calculation is not affected by this offset. The offsets can be removed by performing an offset calibration—see the Analog Inputs section.

Gain Error

The difference between the measured ADC output code (minus the offset) and the ideal output code—see the Channel 1 ADC and Channel 2 ADC sections. It is measured for each of the input ranges on Channel 1 (0.5 V, 0.25 V, and 0.125 V). The difference is expressed as a percentage of the ideal code.

PIN CONFIGURATION AND FUNCTION DESCRIPTIONS

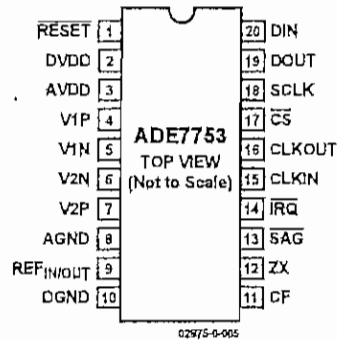


Figure 5. Pin Configuration (SSOP Package)

Table 4. Pin Function Descriptions

Pin No.	Mnemonic	Description
1	RESET	Reset Pin for the ADE7753. A logic low on this pin holds the ADCs and digital circuitry (including the serial interface) in a reset condition.
2	DVDD	Digital Power Supply. This pin provides the supply voltage for the digital circuitry in the ADE7753. The supply voltage should be maintained at $5\text{ V} \pm 5\%$ for specified operation. This pin should be decoupled to DGND with a $10\text{ }\mu\text{F}$ capacitor in parallel with a ceramic 100 nF capacitor.
3	AVDD	Analog Power Supply. This pin provides the supply voltage for the analog circuitry in the ADE7753. The supply should be maintained at $5\text{ V} \pm 5\%$ for specified operation. Every effort should be made to minimize power supply ripple and noise at this pin by the use of proper decoupling. The typical performance graphs show the power supply rejection performance. This pin should be decoupled to AGND with a $10\text{ }\mu\text{F}$ capacitor in parallel with a ceramic 100 nF capacitor.
4, 5	V1P, V1N	Analog Inputs for Channel 1. This channel is intended for use with a di/dt current transducer such as a Rogowski coil or another current sensor such as a shunt or current transformer (CT). These inputs are fully differential voltage inputs with maximum differential input signal levels of $\pm 0.5\text{ V}$, $\pm 0.25\text{ V}$, and $\pm 0.125\text{ V}$, depending on the full-scale selection—see the Analog Inputs section. Channel 1 also has a PGA with gain selections of 1, 2, 4, 8, or 16. The maximum signal level at these pins with respect to AGND is $\pm 0.5\text{ V}$. Both inputs have internal ESD protection circuitry, and, in addition, an overvoltage of $\pm 6\text{ V}$ can be sustained on these inputs without risk of permanent damage.
6, 7	V2N, V2P	Analog Inputs for Channel 2. This channel is intended for use with the voltage transducer. These inputs are fully differential voltage inputs with a maximum differential signal level of $\pm 0.5\text{ V}$. Channel 2 also has a PGA with gain selections of 1, 2, 4, 8, or 16. The maximum signal level at these pins with respect to AGND is $\pm 0.5\text{ V}$. Both inputs have internal ESD protection circuitry, and an overvoltage of $\pm 6\text{ V}$ can be sustained on these inputs without risk of permanent damage.
8	AGND	Analog Ground Reference. This pin provides the ground reference for the analog circuitry in the ADE7753, i.e., ADCs and reference. This pin should be tied to the analog ground plane or the quietest ground reference in the system. This quiet ground reference should be used for all analog circuitry, for example, anti-aliasing filters, current and voltage transducers, etc. To keep ground noise around the ADE7753 to a minimum, the quiet ground plane should be connected to the digital ground plane at only one point. It is acceptable to place the entire device on the analog ground plane.
9	REF _{IN/OUT}	Access to the On-Chip Voltage Reference. The on-chip reference has a nominal value of $2.4\text{ V} \pm 8\%$ and a typical temperature coefficient of $30\text{ ppm}/^\circ\text{C}$. An external reference source can also be connected at this pin. In either case, this pin should be decoupled to AGND with a $1\text{ }\mu\text{F}$ ceramic capacitor.
10	DGND	Digital Ground Reference. This pin provides the ground reference for the digital circuitry in the ADE7753, i.e., multiplier, filters, and digital-to-frequency converter. Because the digital return currents in the ADE7753 are small, it is acceptable to connect this pin to the analog ground plane of the system. However, high bus capacitance on the DOUT pin could result in noisy digital current, which could affect performance.
11	CF	Calibration Frequency Logic Output. The CF logic output gives active power information. This output is intended to be used for operational and calibration purposes. The full-scale output frequency can be adjusted by writing to the CFDEN and CFNUM registers—see the Energy-to-Frequency Conversion section.

Pin No.	Mnemonic	Description
12	ZX	Voltage Waveform (Channel 2) Zero-Crossing Output. This output toggles logic high and logic low at the zero crossing of the differential signal on Channel 2—see the Zero-Crossing Detection section.
13	$\overline{\text{SAG}}$	This open-drain logic output goes active low when either no zero crossings are detected or a low voltage threshold (Channel 2) is crossed for a specified duration—see the Line Voltage Sag Detection section.
14	$\overline{\text{iRQ}}$	Interrupt Request Output. This is an active low open-drain logic output. Maskable interrupts include active energy register rollover, active energy register at half level, and arrivals of new waveform samples—see the ADE7753 Interrupts section.
15	CLKIN	Master Clock for ADCs and Digital Signal Processing. An external clock can be provided at this logic input. Alternatively, a parallel resonant AT crystal can be connected across CLKIN and CLKOUT to provide a clock source for the ADE7753. The clock frequency for specified operation is 3.579545 MHz. Ceramic load capacitors of between 22 pF and 33 pF should be used with the gate oscillator circuit. Refer to the crystal manufacturer's data sheet for load capacitance requirements.
16	CLKOUT	A crystal can be connected across this pin and CLKIN as described for Pin 15 to provide a clock source for the ADE7753. The CLKOUT pin can drive one CMOS load when either an external clock is supplied at CLKIN or a crystal is being used.
17	$\overline{\text{CS}}$	Chip Select. Part of the 4-wire SPI serial interface. This active low logic input allows the ADE7753 to share the serial bus with several other devices—see the ADE7753 Serial Interface section.
18	SCLK	Serial Clock Input for the Synchronous Serial Interface. All serial data transfers are synchronized to this clock—see the ADE7753 Serial Interface section. The SCLK has a Schmitt-trigger input for use with a clock source that has a slow edge transition time, for example, opto-isolator output.
19	DOUT	Data Output for the Serial Interface. Data is shifted out at this pin on the rising edge of SCLK. This logic output is normally in a high impedance state unless it is driving data onto the serial data bus—see the ADE7753 Serial Interface section.
20	DIN	Data Input for the Serial Interface. Data is shifted in at this pin on the falling edge of SCLK—see the ADE7753 Serial Interface section.

TYPICAL PERFORMANCE CHARACTERISTICS

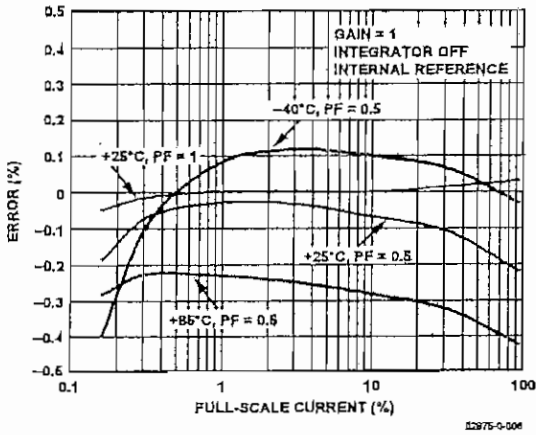


Figure 6. Active Energy Error as a Percentage of Reading (Gain = 1) over Power Factor with Internal Reference and Integrator Off

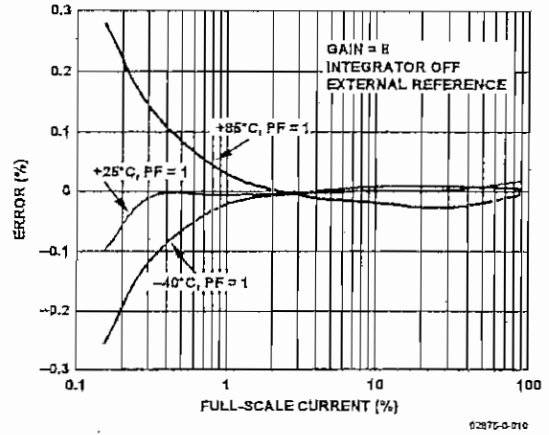


Figure 9. Active Energy Error as a Percentage of Reading (Gain = 8) over Temperature with External Reference and Integrator Off

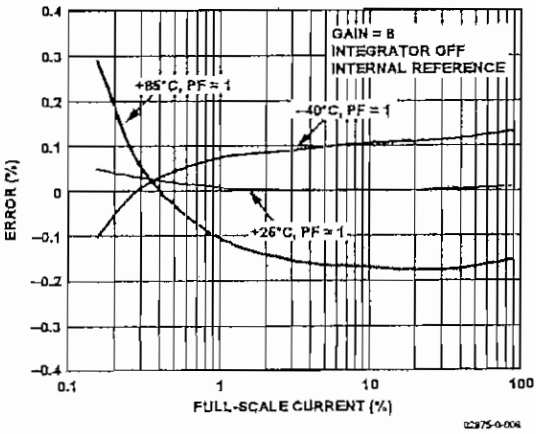


Figure 7. Active Energy Error as a Percentage of Reading (Gain = 8) over Temperature with Internal Reference and Integrator Off

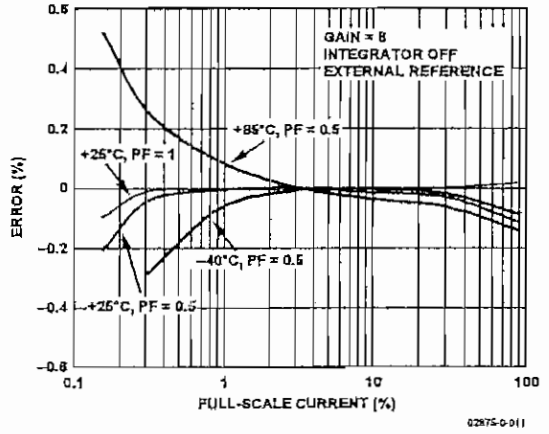


Figure 10. Active Energy Error as a Percentage of Reading (Gain = 8) over Power Factor with External Reference and Integrator Off

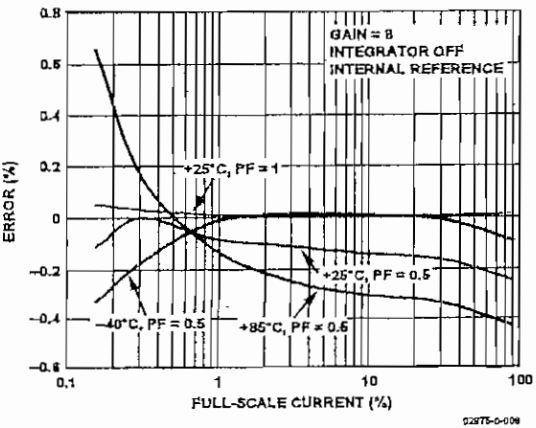


Figure 8. Active Energy Error as a Percentage of Reading (Gain = 8) over Power Factor with Internal Reference and Integrator Off

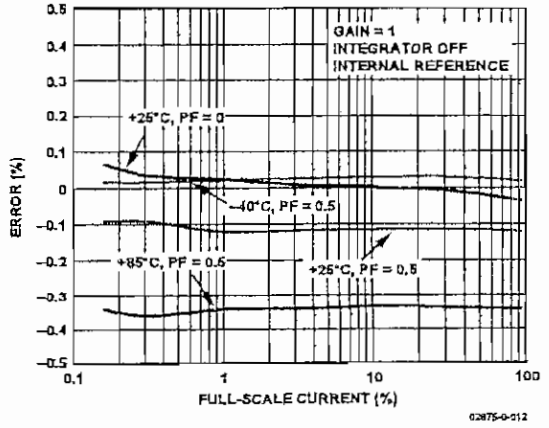


Figure 11. Reactive Energy Error as a Percentage of Reading (Gain = 1) over Power Factor with Internal Reference and Integrator Off

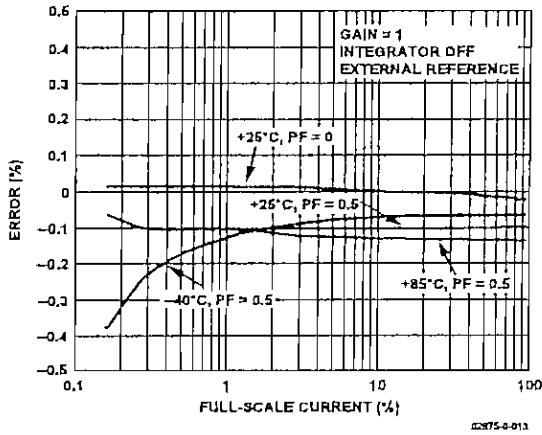


Figure 12. Reactive Energy Error as a Percentage of Reading (Gain = 1) over Power Factor with External Reference and Integrator Off

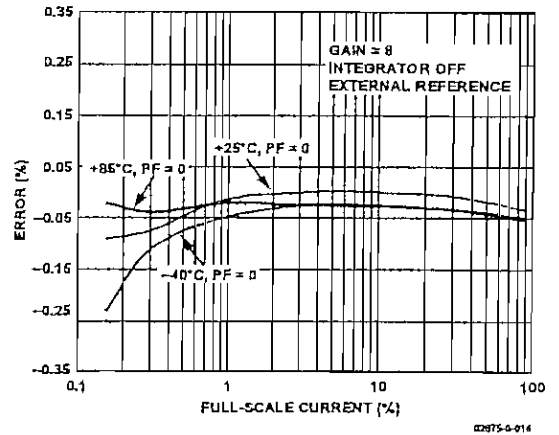


Figure 15. Reactive Energy Error as a Percentage of Reading (Gain = 8) over Temperature with External Reference and Integrator Off

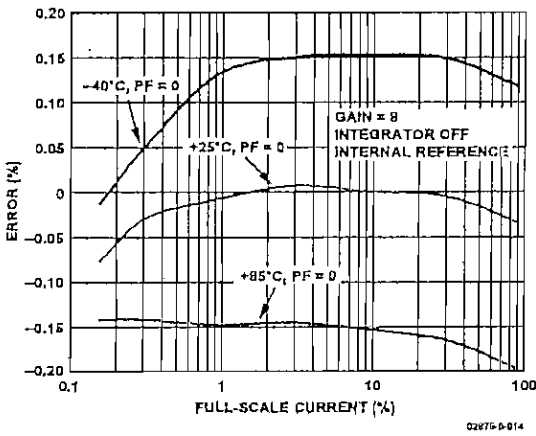


Figure 13. Reactive Energy Error as a Percentage of Reading (Gain = 8) over Temperature with Internal Reference and Integrator Off

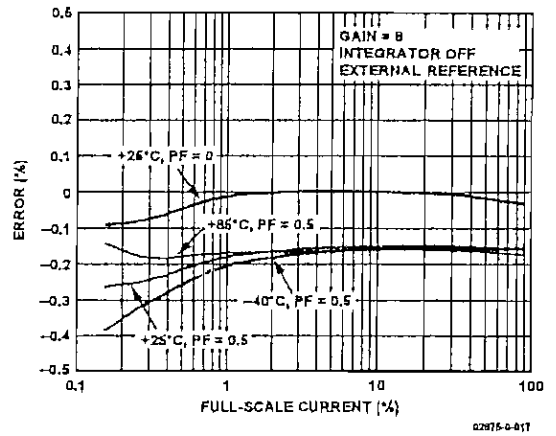


Figure 16. Reactive Energy Error as a Percentage of Reading (Gain = 8) over Power Factor with External Reference and Integrator Off

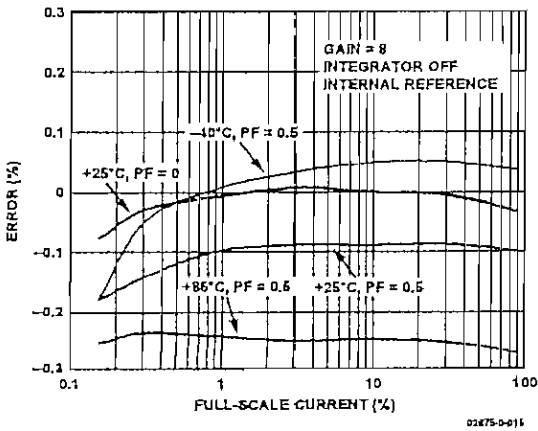


Figure 14. Reactive Energy Error as a Percentage of Reading (Gain = 8) over Power Factor with Internal Reference and Integrator Off

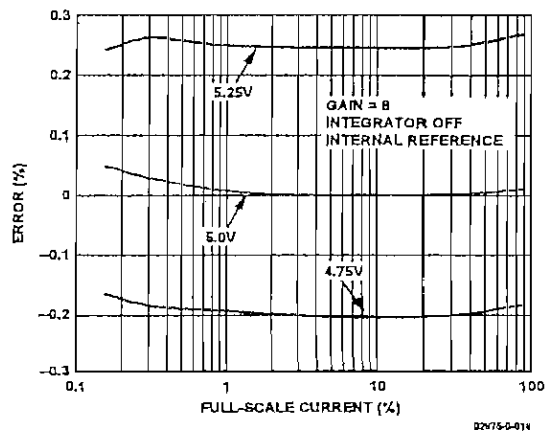


Figure 17. Active Energy Error as a Percentage of Reading (Gain = 8) over Power Supply with Internal Reference and Integrator Off

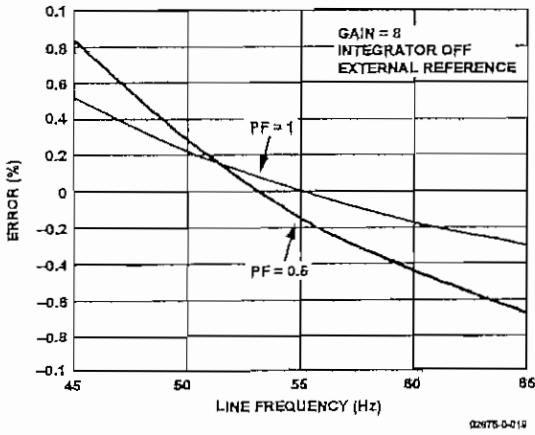


Figure 18. Active Energy Error as a Percentage of Reading (Gain = 8) over Frequency with External Reference and Integrator Off

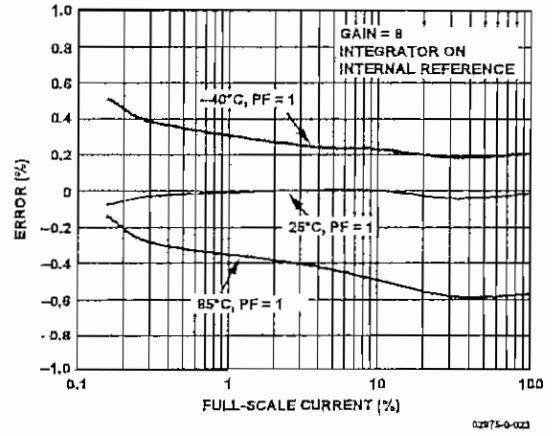


Figure 21. Active Energy Error as a Percentage of Reading (Gain = 8) over Temperature with Internal Reference and Integrator On

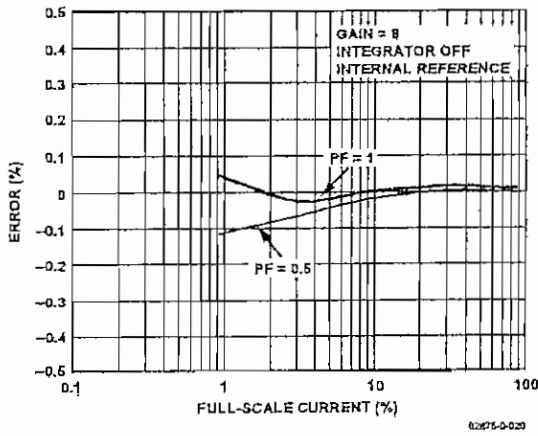


Figure 19. IRMS Error as a Percentage of Reading (Gain = 8) with Internal Reference and Integrator Off

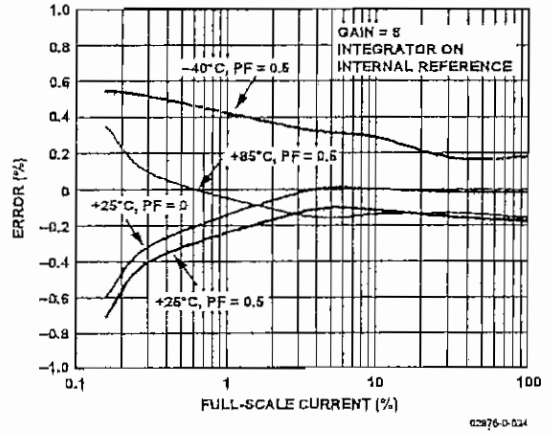


Figure 22. Reactive Energy Error as a Percentage of Reading (Gain = 8) over Power Factor with Internal Reference and Integrator On

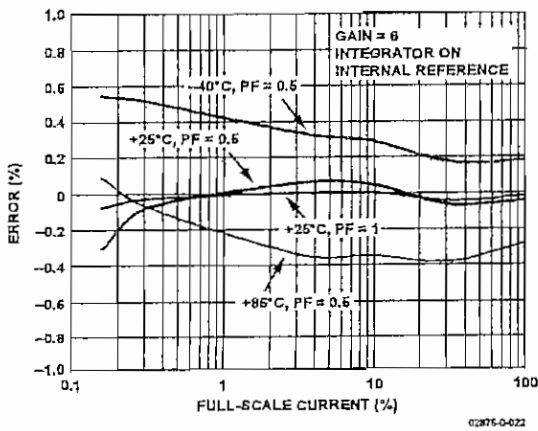


Figure 20. Active Energy Error as a Percentage of Reading (Gain = 8) over Power Factor with Internal Reference and Integrator On

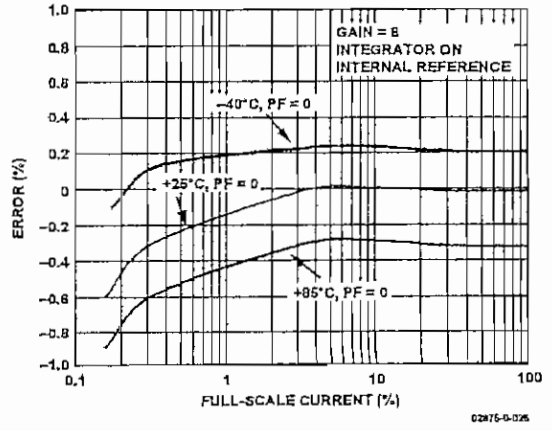


Figure 23. Reactive Energy Error as a Percentage of Reading (Gain = 8) over Temperature with Internal Reference and Integrator On

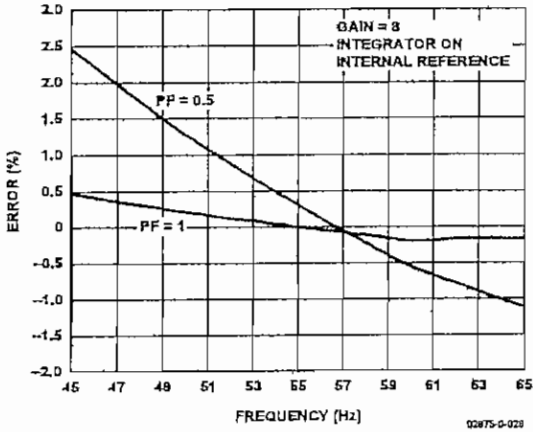


Figure 24. Active Energy Error as a Percentage of Reading (Gain = 8) over Power Factor with Internal Reference and Integrator On

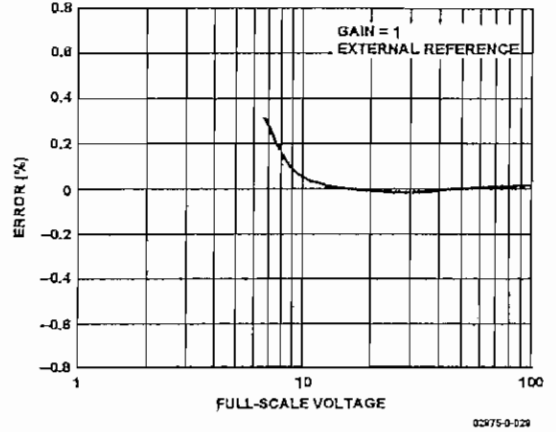


Figure 27. VRMS Error as a Percentage of Reading (Gain = 1) with External Reference

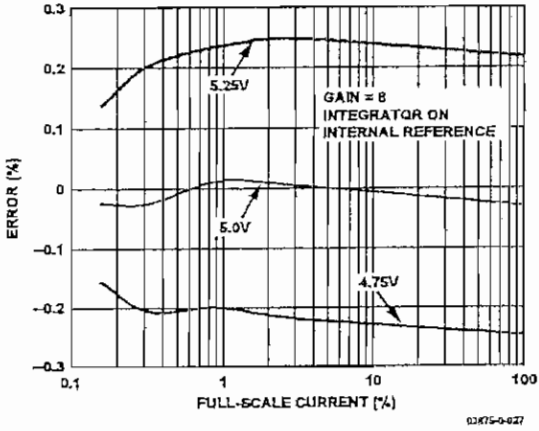


Figure 25. Active Energy Error as a Percentage of Reading (Gain = 8) over Power Supply with Internal Reference and Integrator On

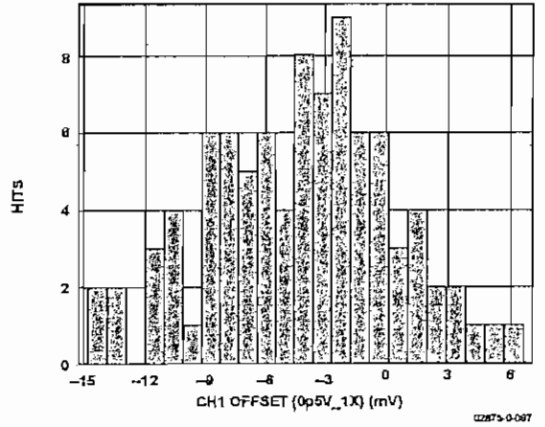


Figure 28. Channel 1 Offset (Gain = 1)

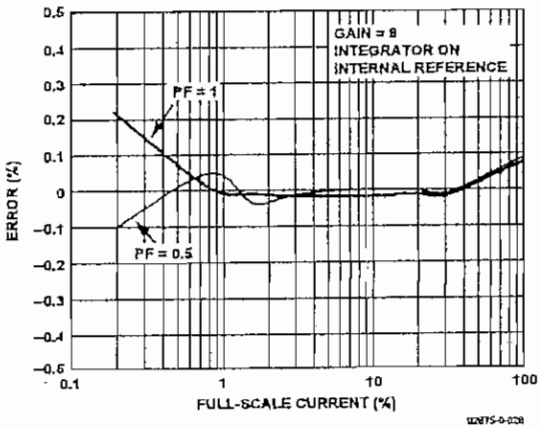


Figure 26. IRMS Error as a Percentage of Reading (Gain = 8) with Internal Reference and Integrator On

ADE7753

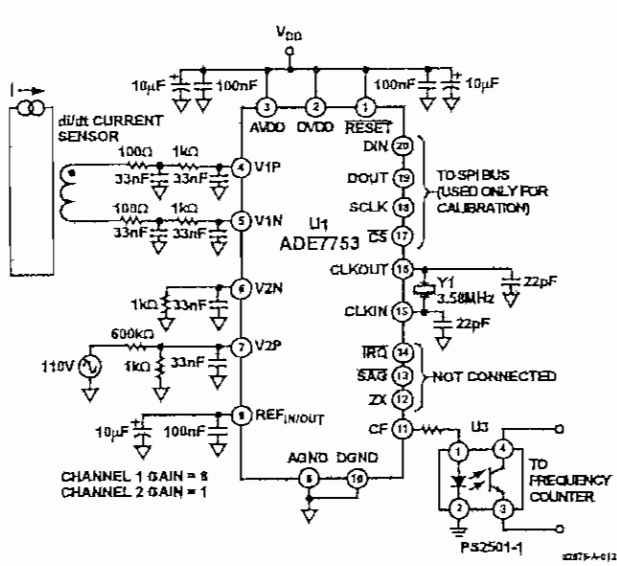


Figure 29. Test Circuit for Performance Curves with Integrator On

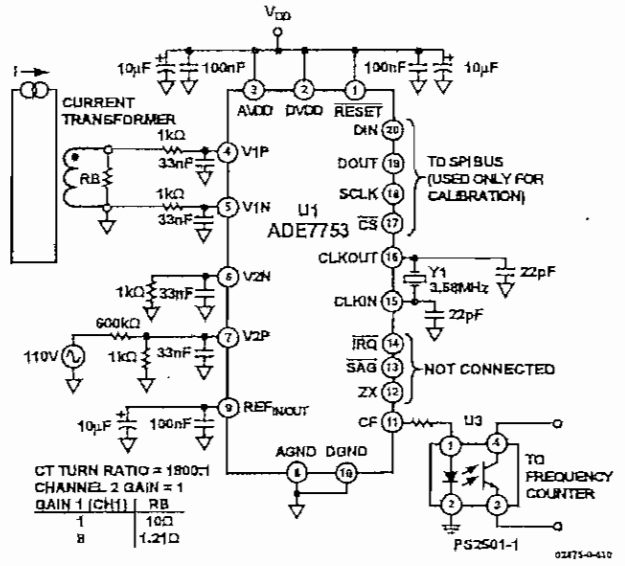


Figure 30. Test Circuit for Performance Curves with Integrator Off

THEORY OF OPERATION

ANALOG INPUTS

The ADE7753 has two fully differential voltage input channels. The maximum differential input voltage for input pairs V1P/V1N and V2P/V2N is ± 0.5 V. In addition, the maximum signal level on analog inputs for V1P/V1N and V2P/V2N is ± 0.5 V with respect to AGND.

Each analog input channel has a programmable gain amplifier (PGA) with possible gain selections of 1, 2, 4, 8, and 16. The gain selections are made by writing to the gain register—see Figure 32. Bits 0 to 2 select the gain for the PGA in Channel 1, and the gain selection for the PGA in Channel 2 is made via Bits 5 to 7. Figure 31 shows how a gain selection for Channel 1 is made using the gain register.

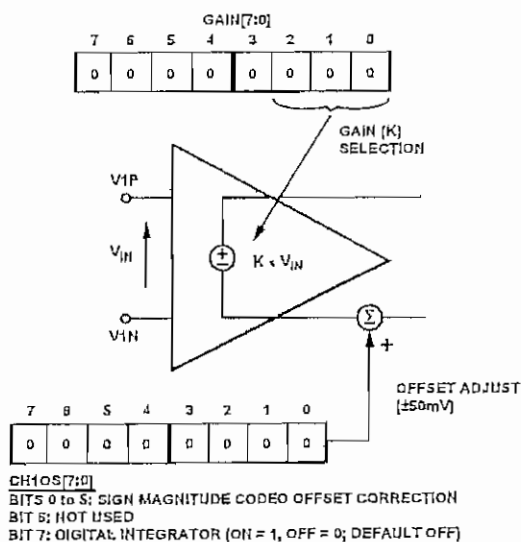


Figure 31. PGA in Channel 1

In addition to the PGA, Channel 1 also has a full-scale input range selection for the ADC. The ADC analog input range selection is also made using the gain register—see Figure 32. As mentioned previously, the maximum differential input voltage is 0.5 V. However, by using Bits 3 and 4 in the gain register, the maximum ADC input voltage can be set to 0.5 V, 0.25 V, or 0.125 V. This is achieved by adjusting the ADC reference—see the ADE7753 Reference Circuit section. Table 5 summarizes the maximum differential input signal level on Channel 1 for the various ADC range and gain selections.

Table 5. Maximum Input Signal Levels for Channel 1

Max Signal Channel 1	ADC Input Range Selection		
	0.5 V	0.25 V	0.125 V
0.5 V	Gain = 1	--	--
0.25 V	Gain = 2	Gain = 1	--
0.125 V	Gain = 4	Gain = 2	Gain = 1
0.0625 V	Gain = 8	Gain = 4	Gain = 2
0.0313 V	Gain = 16	Gain = 8	Gain = 4
0.0156 V	--	Gain = 16	Gain = 8
0.00781 V	--	--	Gain = 16

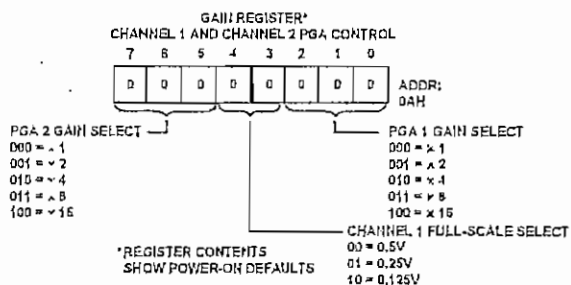


Figure 32. ADE7753 Analog Gain Register

It is also possible to adjust offset errors on Channel 1 and Channel 2 by writing to the offset correction registers, CH1OS and CH2OS, respectively. These registers allow channel offsets in the range ± 20 mV to ± 50 mV (depending on the gain setting) to be removed. Channel 1 and 2 offset registers are sign magnitude coded. A negative number is applied to the Channel 1 offset register, CH1OS, for a negative offset adjustment. Note that the Channel 2 offset register is inverted. A negative number is applied to CH2OS for a positive offset adjustment. It is not necessary to perform an offset correction in an energy measurement application if HPF in Channel 1 is switched on. Figure 33 shows the effect of offsets on the real power calculation. As seen from Figure 33, an offset on Channel 1 and Channel 2 contributes a dc component after multiplication. Because this dc component is extracted by LPF2 to generate the active (real) power information, the offsets contribute an error to the active power calculation. This problem is easily avoided by enabling HPF in Channel 1. By removing the offset from at least one channel, no error component is generated at dc by the multiplication. Error terms at $\cos(\omega t)$ are removed by LPF2 and by integration of the active power signal in the active energy register (AENERGY[23:0])—see the Energy Calculation section.

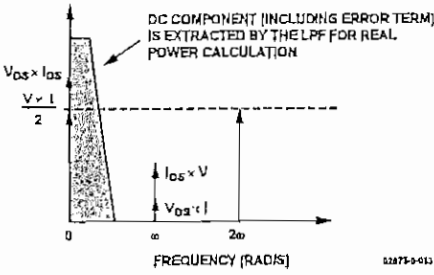


Figure 33. Effect of Channel Offsets on the Real Power Calculation

The contents of the offset correction registers are 6-bit, sign and magnitude coded. The weight of the LSB depends on the gain setting, i.e., 1, 2, 4, 8, or 16. Table 6 shows the correctable offset span for each of the gain settings and the LSB weight (mV) for the offset correction registers. The maximum value that can be written to the offset correction registers is $\pm 31d$ —see Figure 34. Figure 34 shows the relationship between the offset correction register contents and the offset (mV) on the analog inputs for a gain setting of 1. In order to perform an offset adjustment, the analog inputs should be first connected to AGND, and there should be no signal on either Channel 1 or Channel 2. A read from Channel 1 or Channel 2 using the waveform register indicates the offset in the channel. This offset can be canceled by writing an equal and opposite offset value to the Channel 1 offset register, or an equal value to the Channel 2 offset register. The offset correction can be confirmed by performing another read. Note when adjusting the offset of Channel 1, one should disable the digital integrator and the HPP.

Table 6. Offset Correction Range—Channels 1 and 2

Gain	Correctable Span	LSB Size
1	± 50 mV	1.61 mV/LSB
2	± 37 mV	1.19 mV/LSB
4	± 30 mV	0.97 mV/LSB
8	± 26 mV	0.84 mV/LSB
16	± 24 mV	0.77 mV/LSB

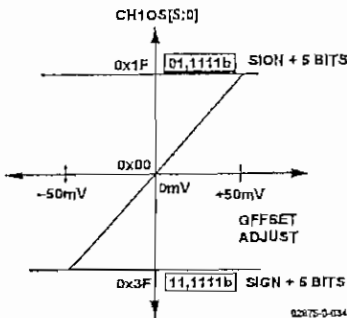


Figure 34. Channel 1 Offset Correction Range (Gain = 1)

The current and voltage rms offsets can be adjusted with the IRMSOS and VRMSOS registers—see Channel 1 RMS Offset Compensation and Channel 2 RMS Offset Compensation sections.

di/dt CURRENT SENSOR AND DIGITAL INTEGRATOR

A di/dt sensor detects changes in magnetic field caused by ac current. Figure 35 shows the principle of a di/dt current sensor.

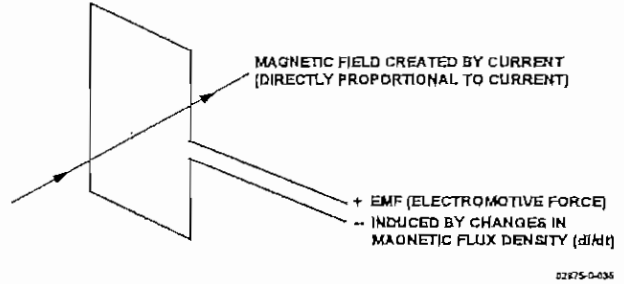


Figure 35. Principle of a di/dt Current Sensor

The flux density of a magnetic field induced by a current is directly proportional to the magnitude of the current. The changes in the magnetic flux density passing through a conductor loop generate an electromotive force (EMF) between the two ends of the loop. The EMF is a voltage signal, which is proportional to the di/dt of the current. The voltage output from the di/dt current sensor is determined by the mutual inductance between the current-carrying conductor and the di/dt sensor. The current signal needs to be recovered from the di/dt signal before it can be used. An integrator is therefore necessary to restore the signal to its original form. The ADE7753 has a built-in digital integrator to recover the current signal from the di/dt sensor. The digital integrator on Channel 1 is switched off by default when the ADE7753 is powered up. Setting the MSB of CH1OS register turns on the integrator. Figure 36 to Figure 39 show the magnitude and phase response of the digital integrator.

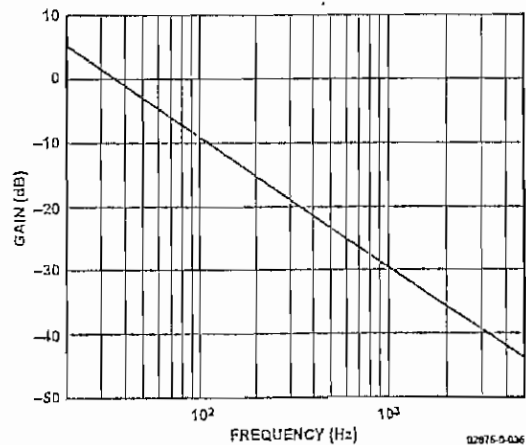


Figure 36. Combined Gain Response of the Digital Integrator and Phase Compensator

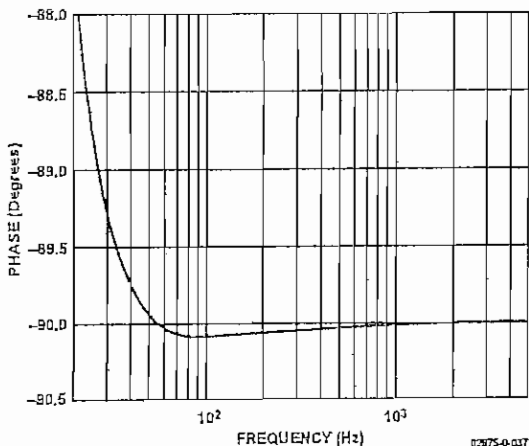


Figure 37. Combined Phase Response of the Digital Integrator and Phase Compensator

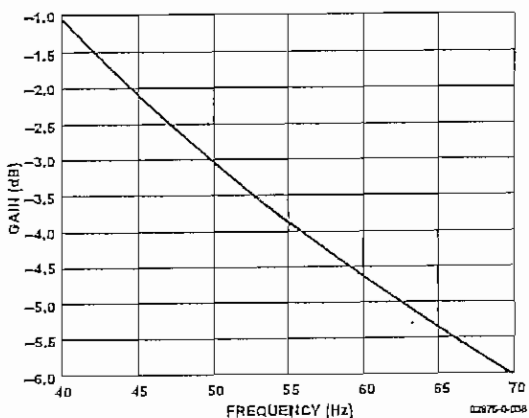


Figure 38. Combined Gain Response of the Digital Integrator and Phase Compensator (40 Hz to 70 Hz)

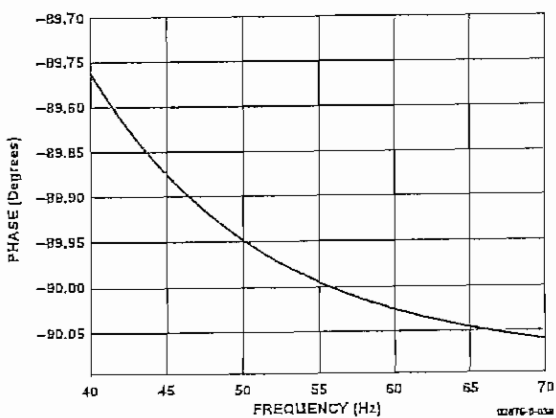


Figure 39. Combined Phase Response of the Digital Integrator and Phase Compensator (40 Hz to 70 Hz)

Note that the integrator has a -20 dB/dec attenuation and an approximately -90° phase shift. When combined with a di/dt sensor, the resulting magnitude and phase response should be a flat gain over the frequency band of interest. The di/dt sensor has a 20 dB/dec gain associated with it. It also generates significant high frequency noise, therefore a more effective anti-aliasing filter is needed to avoid noise due to aliasing—see the Antialias Filter section.

When the digital integrator is switched off, the ADE7753 can be used directly with a conventional current sensor such as a current transformer (CT) or with a low resistance current shunt.

ZERO-CROSSING DETECTION

The ADE7753 has a zero-crossing detection circuit on Channel 2. This zero crossing is used to produce an external zero-crossing signal (ZX), and it is also used in the calibration mode—see the Calibrating an Energy Meter Based on the ADE7753 section. The zero-crossing signal is also used to initiate a temperature measurement on the ADE7753—see the Temperature Measurement section.

Figure 40 shows how the zero-crossing signal is generated from the output of LPF1.

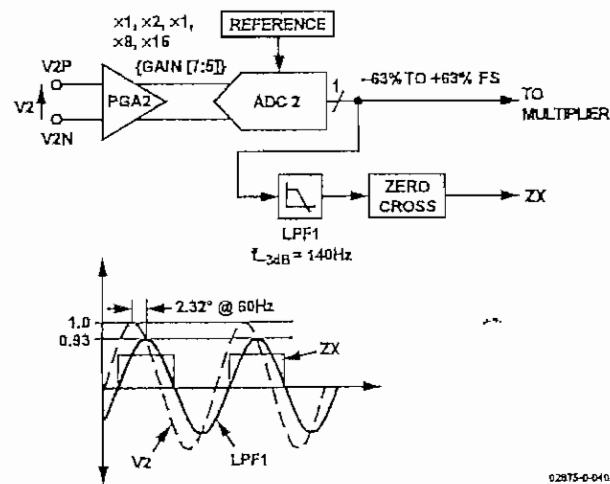


Figure 40. Zero-Crossing Detection on Channel 2

The ZX signal goes logic high on a positive-going zero crossing and logic low on a negative-going zero crossing on Channel 2. The zero-crossing signal ZX is generated from the output of LPF1. LPF1 has a single pole at 140 Hz (at $CLKIN = 3.579545$ MHz). As a result, there is a phase lag between the analog input signal V2 and the output of LPF1. The phase response of this filter is shown in the Channel 2 Sampling section. The phase lag response of LPF1 results in a time delay of approximately 1.14 ms ($@ 60$ Hz) between the zero crossing on the analog inputs of Channel 2 and the rising or falling edge of ZX.

ADE7753

The zero-crossing detection also drives the ZX flag in the interrupt status register. An active low in the \overline{IRQ} output also appears if the corresponding bit in the interrupt enable register is set to Logic 1.

The flag in the interrupt status register as well as the \overline{IRQ} output are reset to their default values when the interrupt status register with reset (RSTSTATUS) is read.

Zero-Crossing Timeout

The zero-crossing detection also has an associated timeout register, ZXTOUT. This unsigned, 12-bit register is decremented (1 LSB) every $128/CLKIN$ seconds. The register is reset to its user programmed full-scale value every time a zero crossing is detected on Channel 2. The default power on value in this register is 0xFFF. If the internal register decrements to 0 before a zero crossing is detected and the DISSAG bit in the mode register is Logic 0, the \overline{SAG} pin goes active low. The absence of a zero crossing is also indicated on the \overline{IRQ} pin if the ZXTO enable bit in the interrupt enable register is set to Logic 1. Irrespective of the enable bit setting, the ZXTO flag in the interrupt status register is always set when the internal ZXTOUT register is decremented to 0—see the ADE7753 Interrupts section.

The ZXOUT register can be written/read by the user and has an address of 1Dh—see the ADE7753 Serial Interface section. The resolution of the register is $128/CLKIN$ seconds per LSB. Thus the maximum delay for an interrupt is 0.15 second ($128/CLKIN \times 2^{12}$).

Figure 41 shows the mechanism of the zero-crossing timeout detection when the line voltage stays at a fixed dc level for more than $CLKIN/128 \times ZXTOUT$ seconds.

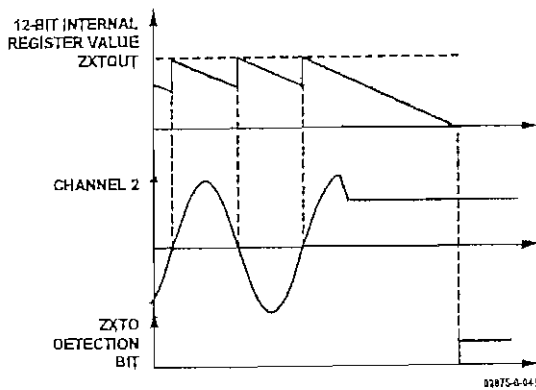


Figure 41. Zero-Crossing Timeout Detection

PERIOD MEASUREMENT

The ADE7753 also provides the period measurement of the line. The period register is an unsigned 16-bit register and is updated every period. The MSB of this register is always zero.

The resolution of this register is 2.2 ms/LSB when $CLKIN = 3.579545$ MHz, which represents 0.013% when the line frequency is 60 Hz. When the line frequency is 60 Hz, the value of the period register is approximately 7576d. The length of the register enables the measurement of line frequencies as low as 13.9 Hz.

The period register is stable at ± 1 LSB when the line is established and the measurement does not change. A settling time of 1.8 seconds is associated with this filter before the measurement is stable.

POWER SUPPLY MONITOR

The ADE7753 also contains an on-chip power supply monitor. The analog supply ($AVDD$) is continuously monitored by the ADE7753. If the supply is less than $4V \pm 5\%$, then the ADE7753 goes into an inactive state, that is, no energy is accumulated when the supply voltage is below 4 V. This is useful to ensure correct device operation at power-up and during power-down. The power supply monitor has built-in hysteresis and filtering, which give a high degree of immunity to false triggering due to noisy supplies.

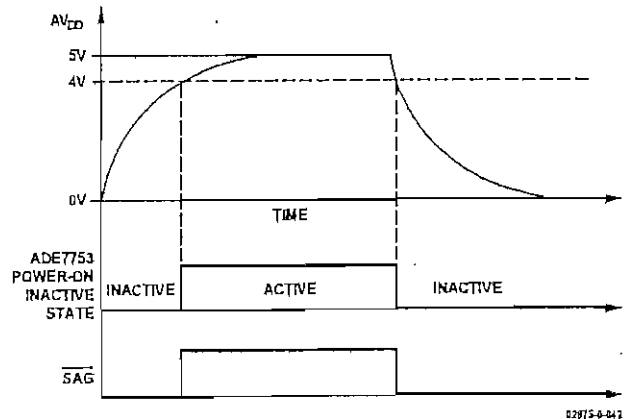


Figure 42. On-Chip Power Supply Monitor

As seen in Figure 42, the trigger level is nominally set at 4 V. The tolerance on this trigger level is about $\pm 5\%$. The \overline{SAG} pin can also be used as a power supply monitor input to the MCU. The \overline{SAG} pin goes logic low when the ADE7753 is in its inactive state. The power supply and decoupling for the part should be such that the ripple at $AVDD$ does not exceed $5V \pm 5\%$, as specified for normal operation.

LINE VOLTAGE SAG DETECTION

In addition to the detection of the loss of the line voltage signal (zero crossing), the ADE7753 can also be programmed to detect when the absolute value of the line voltage drops below a certain peak value for a number of line cycles. This condition is illustrated in Figure 43.

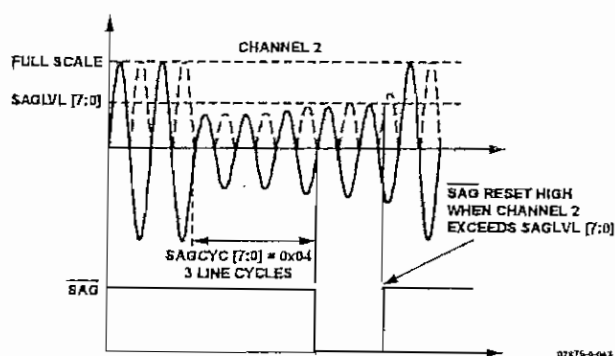


Figure 43. ADE7753 Sag Detection

Figure 43 shows the line voltage falling below a threshold that is set in the sag level register (SAGLVL[7:0]) for three line cycles. The quantities 0 and 1 are not valid for the SAGCYC register, and the contents represent one more than the desired number of full line cycles. For example, when the sag cycle (SAGCYC[7:0]) contains 0x04, the $\overline{\text{SAG}}$ pin goes active low at the end of the third line cycle for which the line voltage (Channel 2 signal) falls below the threshold, if the DISSAG bit in the mode register is Logic 0. As is the case when zero crossings are no longer detected, the sag event is also recorded by setting the SAG flag in the interrupt status register. If the SAG enable bit is set to Logic 1, the $\overline{\text{IRQ}}$ logic output goes active low—see the ADE7753 Interrupts section. The $\overline{\text{SAG}}$ pin goes logic high again when the absolute value of the signal on Channel 2 exceeds the sag level set in the sag level register. This is shown in Figure 43 when the $\overline{\text{SAG}}$ pin goes high again during the fifth line cycle from the time when the signal on Channel 2 first dropped below the threshold level.

Sag Level Set

The contents of the sag level register (1 byte) are compared to the absolute value of the most significant byte output from LPP1 after it is shifted left by one bit, thus, for example, the nominal maximum code from LPP1 with a full-scale signal on Channel 2 is 0x2518—see the Channel 2 Sampling section. Shifting one bit left gives 0x4A30. Therefore writing 0x4A to the SAG level register puts the sag detection level at full scale. Writing 0x00 or 0x01 puts the sag detection level at 0. The SAG level register is compared to the most significant byte of a waveform sample after the shift left and detection is made when the contents of the sag level register are greater.

PEAK DETECTION

The ADE7753 can also be programmed to detect when the absolute value of the voltage or current channel exceeds a specified peak value. Figure 44 illustrates the behavior of the peak detection for the voltage channel. Both Channel 1 and Channel 2 are monitored at the same time.

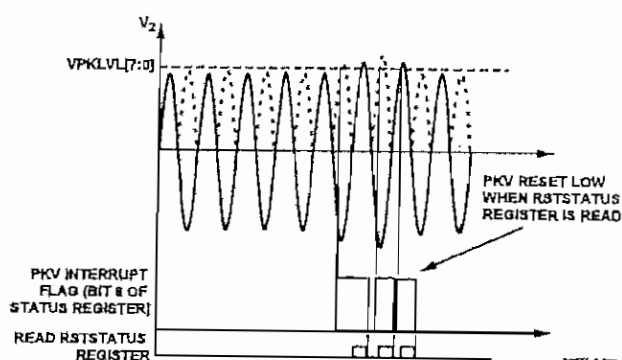


Figure 44. ADE7753 Peak Level Detection

Figure 44 shows a line voltage exceeding a threshold that is set in the voltage peak register (VPKLV[7:0]). The voltage peak event is recorded by setting the PKV flag in the interrupt status register. If the PKV enable bit is set to Logic 1 in the interrupt mask register, the $\overline{\text{IRQ}}$ logic output goes active low. Similarly, the current peak event is recorded by setting the PKI flag in the interrupt status register—see the ADE7753 Interrupts section.

Peak Level Set

The contents of the VPKLV and IPKLV registers are respectively compared to the absolute value of Channel 1 and Channel 2 after they are multiplied by 2. Thus, for example, the nominal maximum code from the Channel 1 ADC with a full-scale signal is 0x2851EC—see the Channel 1 Sampling section. Multiplying by 2 gives 0x50A3D8. Therefore, writing 0x50 to the IPKLV register, for example, puts the Channel 1 peak detection level at full scale and sets the current peak detection to its least sensitive value. Writing 0x00 puts the Channel 1 detection level at 0. The detection is done by comparing the contents of the IPKLV register to the incoming Channel 1 sample. The $\overline{\text{IRQ}}$ pin indicates that the peak level is exceeded if the PKI or PKV bits are set in the interrupt enable register (IRQEN[15:0]) at Address 0x0A.

Peak Level Record

The ADE7753 records the maximum absolute value reached by Channel 1 and Channel 2 in two different registers—IPEAK and VPEAK, respectively. VPEAK and IPEAK are 24-bit unsigned registers. These registers are updated each time the absolute value of the waveform sample from the corresponding channel is above the value stored in the VPEAK or IPEAK register. The contents of the VPEAK register correspond to $2 \times$ the maximum absolute value observed on the Channel 2 input. The contents of IPEAK represent the maximum absolute value observed on the Channel 1 input. Reading the RSTVPEAK and RSTIPEAK registers clears their respective contents after the read operation.

ADE7753 INTERRUPTS

ADE7753 interrupts are managed through the interrupt status register (STATUS[15:0]) and the interrupt enable register (IRQEN[15:0]). When an interrupt event occurs in the ADE7753, the corresponding flag in the status register is set to Logic 1—see the Interrupt Status Register section. If the enable bit for this interrupt in the interrupt enable register is Logic 1, then the $\overline{\text{IRQ}}$ logic output goes active low. The flag bits in the status register are set irrespective of the state of the enable bits.

To determine the source of the interrupt, the system master (MCU) should perform a read from the status register with reset (RSTSTATUS[15:0]). This is achieved by carrying out a read from Address 0x0C. The $\overline{\text{IRQ}}$ output goes logic high on completion of the interrupt status register read command—see the Interrupt Timing section. When carrying out a read with reset, the ADE7753 is designed to ensure that no interrupt events are missed. If an interrupt event occurs just as the status register is being read, the event is not lost and the $\overline{\text{IRQ}}$ logic output is guaranteed to go high for the duration of the interrupt status register data transfer before going logic low again to indicate the pending interrupt. See the next section for a more detailed description.

Using the ADE7753 Interrupts with an MCU

Figure 46 shows a timing diagram with a suggested implementation of ADE7753 interrupt management using an MCU. At time t_1 , the $\overline{\text{IRQ}}$ line goes active low indicating that one or more interrupt events have occurred in the ADE7753. The $\overline{\text{IRQ}}$ logic output should be tied to a negative edge-triggered external interrupt on the MCU. On detection of the negative edge, the MCU should be configured to start executing its interrupt service routine (ISR). On entering the ISR, all interrupts should be disabled by using the global interrupt enable bit. At this point, the MCU external interrupt flag can be cleared to capture interrupt events that occur during the current ISR. When the MCU interrupt flag is cleared, a read from the status register with reset is carried out. This causes the $\overline{\text{IRQ}}$ line to be reset logic high (t_2)—see the Interrupt Timing section. The status register contents are used to determine the source of the interrupt(s) and therefore the appropriate action to be taken. If a subsequent interrupt event occurs during the ISR, that event is recorded by the MCU external interrupt flag being set again (t_3). On returning from the ISR, the global interrupt mask is cleared (same instruction cycle), and the external interrupt flag causes the MCU to jump to its ISR once again. This ensures that the MCU does not miss any external interrupts.

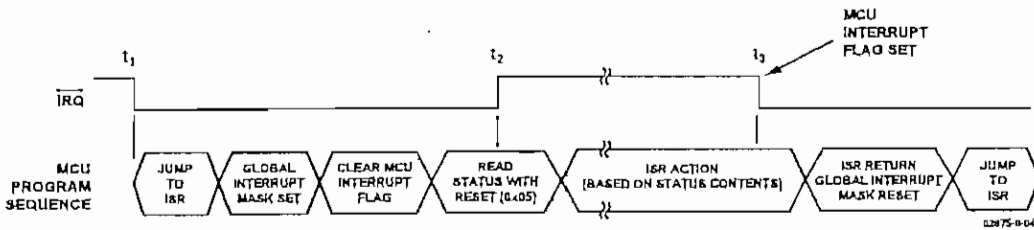


Figure 45. ADE7753 Interrupt Management

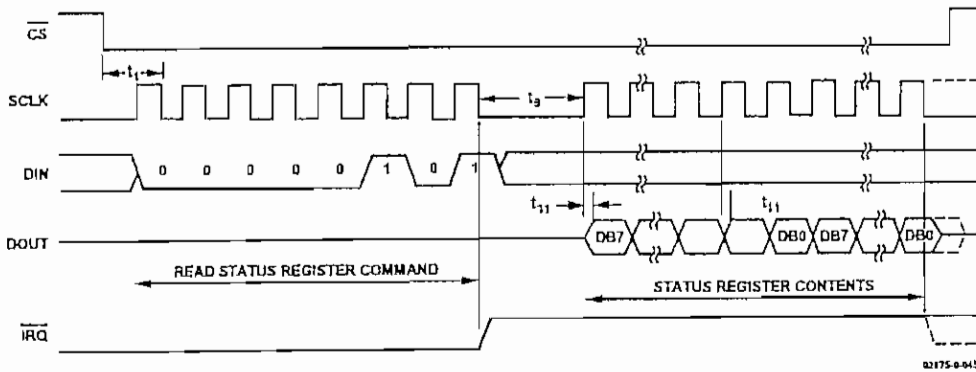


Figure 46. ADE7753 Interrupt Timing

Interrupt Timing

The ADE7753 Serial Interface section should be reviewed first before reviewing the interrupt timing. As previously described, when the $\overline{\text{IRQ}}$ output goes low, the MCU ISR must read the interrupt status register to determine the source of the interrupt. When reading the status register contents, the $\overline{\text{IRQ}}$ output is set high on the last falling edge of SCLK of the first byte transfer (read interrupt status register command). The $\overline{\text{IRQ}}$ output is held high until the last bit of the next 15-bit transfer is shifted out (interrupt status register contents)—see Figure 45. If an interrupt is pending at this time, the $\overline{\text{IRQ}}$ output goes low again. If no interrupt is pending, the $\overline{\text{IRQ}}$ output stays high.

TEMPERATURE MEASUREMENT

The ADE7753 also includes an on-chip temperature sensor. A temperature measurement can be made by setting Bit 5 in the mode register. When Bit 5 is set logic high in the mode register, the ADE7753 initiates a temperature measurement on the next zero crossing. When the zero crossing on Channel 2 is detected, the voltage output from the temperature sensing circuit is connected to ADC1 (Channel 1) for digitizing. The resulting code is processed and placed in the temperature register (TEMP[7:0]) approximately 26 μs later (24 CLKIN cycles). If enabled in the interrupt enable register (Bit 5), the $\overline{\text{IRQ}}$ output goes active low when the temperature conversion is finished.

The contents of the temperature register are signed (two complement) with a resolution of approximately 1.5 LSB/ $^{\circ}\text{C}$. The temperature register produces a code of 0x00 when the ambient temperature is approximately -25°C . The temperature measurement is uncalibrated in the ADE7753 and has an offset tolerance as high as $\pm 25^{\circ}\text{C}$.

ADE7753 ANALOG-TO-DIGITAL CONVERSION

The analog-to-digital conversion in the ADE7753 is carried out using two second-order Σ - Δ ADCs. For simplicity, the block diagram in Figure 47 shows a first-order Σ - Δ ADC. The converter is made up of the Σ - Δ modulator and the digital low-pass filter.

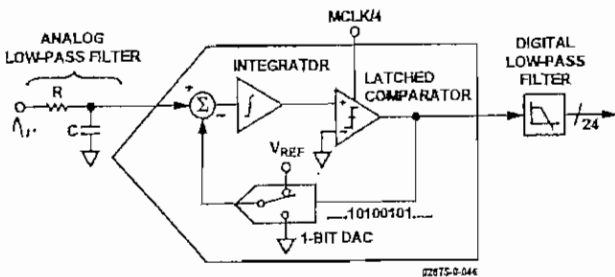


Figure 47. First-Order Σ - Δ ADC

A Σ - Δ modulator converts the input signal into a continuous serial stream of 1s and 0s at a rate determined by the sampling clock. In the ADE7753, the sampling clock is equal to CLKIN/4. The 1-bit DAC in the feedback loop is driven by the serial data stream. The DAC output is subtracted from the input signal. If the loop gain is high enough, the average value of the DAC output (and therefore the bit stream) can approach that of the input signal level. For any given input value in a single sampling interval, the data from the 1-bit ADC is virtually meaningless. Only when a large number of samples are averaged is a meaningful result obtained. This averaging is carried out in the second part of the ADC, the digital low-pass filter. By averaging a large number of bits from the modulator, the low-pass filter can produce 24-bit data-words that are proportional to the input signal level.

The Σ - Δ converter uses two techniques to achieve high resolution from what is essentially a 1-bit conversion technique. The first is oversampling. Oversampling means that the signal is sampled at a rate (frequency), which is many times higher than the bandwidth of interest. For example, the sampling rate in the ADE7753 is CLKIN/4 (894 kHz) and the band of interest is 40 Hz to 2 kHz. Oversampling has the effect of spreading the quantization noise (noise due to sampling) over a wider bandwidth. With the noise spread more thinly over a wider bandwidth, the quantization noise in the band of interest is lowered—see Figure 48. However, oversampling alone is not efficient enough to improve the signal-to-noise ratio (SNR) in the band of interest. For example, an oversampling ratio of 4 is required just to increase the SNR by only 6 dB (1 bit). To keep the oversampling ratio at a reasonable level, it is possible to shape the quantization noise so that the majority of the noise lies at the higher frequencies. In the Σ - Δ modulator, the noise is shaped by the integrator, which has a high-pass-type response for the quantization noise. The result is that most of the noise is at the higher frequencies where it can be removed by the digital low-pass filter. This noise shaping is shown in Figure 48.

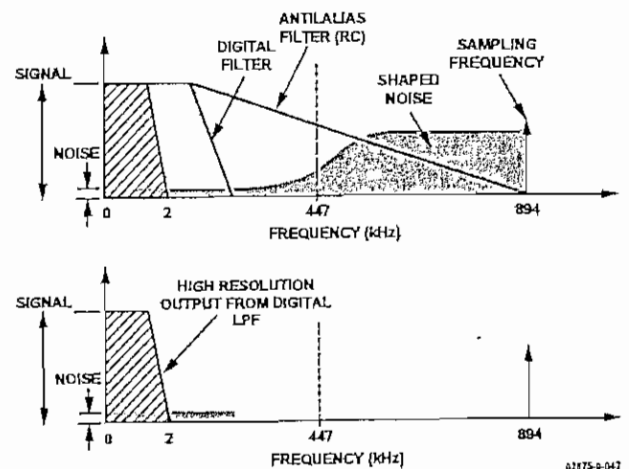


Figure 48. Noise Reduction Due to Oversampling and Noise Shaping in the Analog Modulator

Antialias Filter

Figure 47 also shows an analog low-pass filter (RC) on the input to the modulator. This filter is present to prevent aliasing. Aliasing is an artifact of all sampled systems. Aliasing means that frequency components in the input signal to the ADC, which are higher than half the sampling rate of the ADC, appear in the sampled signal at a frequency below half the sampling rate. Figure 49 illustrates the effect. Frequency components (arrows shown in black) above half the sampling frequency (also known as the Nyquist frequency, i.e., 447 kHz) are imaged or folded back down below 447 kHz. This happens with all ADCs regardless of the architecture. In the example shown, only frequencies near the sampling frequency, i.e., 894 kHz, move into the band of interest for metering, i.e., 40 Hz to 2 kHz. This allows the use of a very simple LPF (low-pass filter) to attenuate high frequency (near 900 kHz) noise, and prevents distortion in the band of interest. For conventional current sensors, a simple RC filter (single-pole LPF) with a corner frequency of 10 kHz produces an attenuation of approximately 40 dB at 894 kHz—see Figure 49. The 20 dB per decade attenuation is usually sufficient to eliminate the effects of aliasing for conventional current sensors. However, for a di/dt sensor such as a Rogowski coil, the sensor has a 20 dB per decade gain. This neutralizes the ~20 dB per decade attenuation produced by one simple LPF. Therefore, when using a di/dt sensor, care should be taken to offset the 20 dB per decade gain. One simple approach is to cascade two RC filters to produce the ~40 dB per decade attenuation needed.

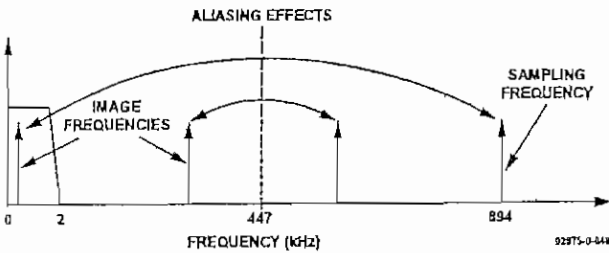


Figure 49. ADC and Signal Processing in Channel 1 Outline Dimensions

ADC Transfer Function

The following expression relates the output of the LPF in the Σ - Δ ADC to the analog input signal level. Both ADCs in the ADE7753 are designed to produce the same output code for the same input signal level.

$$\text{Code (ADC)} = 3.0492 \times \frac{V_{IN}}{V_{OV}} \times 262,144 \quad (1)$$

Therefore with a full-scale signal on the input of 0.5 V and an internal reference of 2.42 V, the ADC output code is nominally 165,151 or 2851Fh. The maximum code from the ADC is $\pm 262,144$; this is equivalent to an input signal level of ± 0.794 V. However, for specified performance, it is recommended that the full-scale input signal level of 0.5 V not be exceeded.

ADE7753 Reference Circuit

Figure 50 shows a simplified version of the reference output circuitry. The nominal reference voltage at the REF_{IN/OUT} pin is 2.42 V. This is the reference voltage used for the ADCs in the ADE7753. However, Channel 1 has three input range selections that are selected by dividing down the reference value used for the ADC in Channel 1. The reference value used for Channel 1 is divided down to $\frac{1}{2}$ and $\frac{1}{4}$ of the nominal value by using an internal resistor divider, as shown in Figure 50.

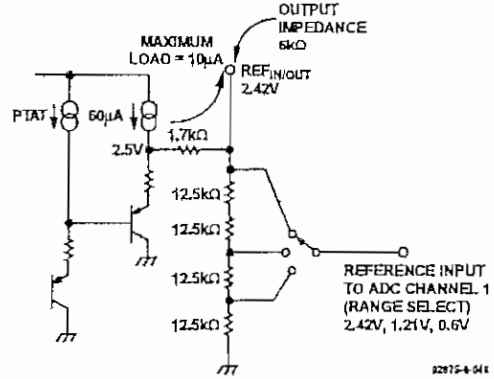


Figure 50. ADE7753 Reference Circuit Output

The REF_{IN/OUT} pin can be overdriven by an external source, for example, an external 2.5 V reference. Note that the nominal reference value supplied to the ADCs is now 2.5 V, not 2.42 V, which has the effect of increasing the nominal analog input signal range by $2.5/2.42 \times 100\% = 3\%$ or from 0.5 V to 0.5165 V.

The voltage of the ADE7753 reference drifts slightly with temperature—see the ADE7753 Specifications for the temperature coefficient specification (in ppm/°C). The value of the temperature drift varies from part to part. Since the reference is used for the ADCs in both Channels 1 and 2, any $x\%$ drift in the reference results in $2x\%$ deviation of the meter accuracy. The reference drift resulting from temperature changes is usually very small and it is typically much smaller than the drift of other components on a meter. However, if guaranteed temperature performance is needed, one needs to use an external voltage reference. Alternatively, the meter can be calibrated at multiple temperatures. Real-time compensation can be achieved easily by using the on-chip temperature sensor.

CHANNEL 1 ADC

Figure 51 shows the ADC and signal processing chain for Channel 1. In waveform sampling mode, the ADC outputs a signed twos complement 24-bit data-word at a maximum of 27.9 kSPS (CLKIN/128). With the specified full-scale analog input signal of 0.5 V (or 0.25 V or 0.125 V—see the Analog Inputs section) the ADC produces an output code that is approximately between 0x2851EC (+2,642,412d) and 0xD7AE14 (−2,642,412d)—see Figure 51.

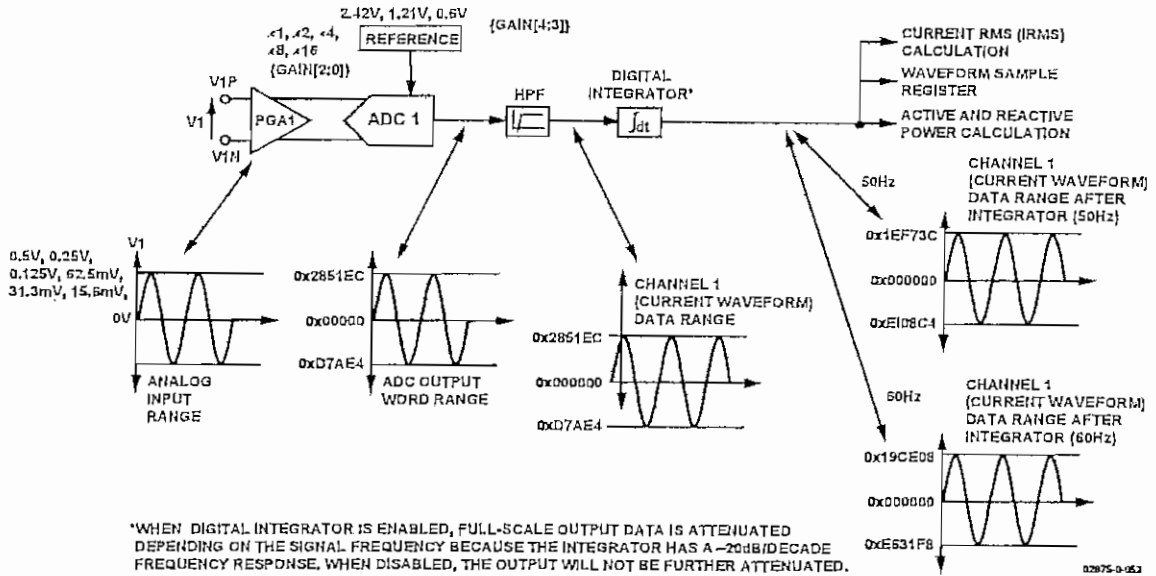


Figure S1. ADC and Signal Processing in Channel 1

Channel 1 Sampling

The waveform samples can also be routed to the waveform register (MODE[14:13] = 1,0) to be read by the system master (MCU). In waveform sampling mode, the WSMP bit (Bit 3) in the interrupt enable register must also be set to Logic 1. The active, apparent power, and energy calculation remain uninterrupted during waveform sampling.

When in waveform sampling mode, one of four output sample rates can be chosen by using Bits 11 and 12 of the mode register (WAVSEL1,0). The output sample rate can be 27.9 kSPS, 14 kSPS, 7 kSPS, or 3.5 kSPS—see the Mode Register (0X09) section. The interrupt request output, $\overline{\text{IRQ}}$, signals a new sample availability by going active low. The timing is shown in Figure 52. The 24-bit waveform samples are transferred from the ADE7753 one byte (eight bits) at a time, with the most significant byte shifted out first. The 24-bit data-word is right justified—see the ADE7753 Serial Interface section. The interrupt request output $\overline{\text{IRQ}}$ stays low until the interrupt routine reads the reset status register—see the ADE7753 Interrupts section.

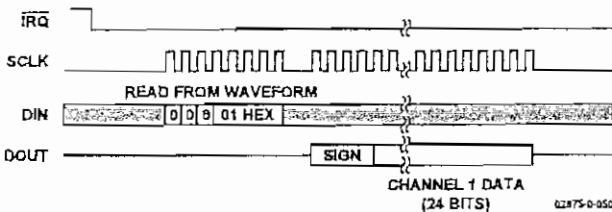


Figure 52. Waveform Sampling Channel 1

Channel 1 RMS Calculation

Root mean square (rms) value of a continuous signal $V(t)$ is defined as

$$V_{RMS} = V_{rms} = \sqrt{\frac{1}{T} \times \int_0^T V^2(t) dt} \tag{2}$$

For time sampling signals, rms calculation involves squaring the signal, taking the average and obtaining the square root:

$$V_{RMS} = V_{rms} = \sqrt{\frac{1}{N} \times \sum_{i=1}^N V^2(i)} \tag{3}$$

The ADE7753 simultaneously calculates the rms values for Channel 1 and Channel 2 in different registers. Figure 53 shows the detail of the signal processing chain for the rms calculation, on Channel 1. The Channel 1 rms value is processed from the samples used in the Channel 1 waveform sampling mode. The Channel 1 rms value is stored in an unsigned 24-bit register (IRMS). One LSB of the Channel 1 rms register is equivalent to one LSB of a Channel 1 waveform sample. The update rate of the Channel 1 rms measurement is $\text{CLKIN}/4$.

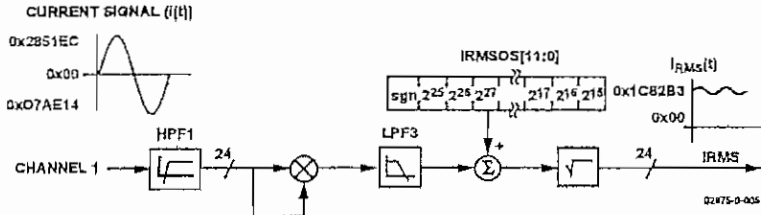


Figure 53. Channel 1 RMS Signal Processing

With the specified full-scale analog input signal of 0.5 V, the ADC produces an output code that is approximately $\pm 2,642,412d$ —see the Channel 1 ADC section. The equivalent rms value of a full-scale ac signal are 1,868,467d (0x1C82B3). The current rms measurement provided in the ADE7753 is accurate to within 1% for signal input between full scale and full scale/100. The conversion from the register value to amps must be done externally in the microprocessor using an amps/LSB constant. To minimize noise, synchronize the reading of the rms register with the zero crossing of the voltage input and take the average of a number of readings.

Channel 1 RMS Offset Compensation

The ADE7753 incorporates a Channel 1 rms offset compensation register (IRMSOS). This is a 12-bit signed register that can be used to remove offset in the Channel 1 rms calculation. An offset could exist in the rms calculation due to input noises that are integrated in the dc component of $V^2(t)$. The offset calibration allows the content of the IRMS register to be maintained at 0 when no input is present on Channel 1.

One LSB of the Channel 1 rms offset is equivalent to 32,768 LSB of the square of the Channel 1 rms register. Assuming that the maximum value from the Channel 1 rms calculation is 1,868,467d with full-scale ac inputs, then 1 LSB of the Channel 1 rms offset represents 0.46% of measurement error at -60 dB down of full scale.

$$IRMS = \sqrt{IRMS_0^2 + IRMSOS \times 32768} \tag{4}$$

where $IRMS_0$ is the rms measurement without offset correction. To measure the offset of the rms measurement, two data points are needed from non-zero input values, for example, the base current, I_b , and $I_{max}/100$. The offset can be calculated from these measurements.

**CHANNEL 2 ADC
Channel 2 Sampling**

In Channel 2 waveform sampling mode (MODE[14:13] = 1,1 and WSMP = 1), the ADC output code scaling for Channel 2 is not the same as Channel 1. The Channel 2 waveform sample is a 16-bit word and sign extended to 24 bits. For normal operation, the differential voltage signal between V2P and V2N should not exceed 0.5 V. With maximum voltage input (± 0.5 V at PGA gain of 1), the output from the ADC swings between 0x2852 and 0xD7AE ($\pm 10,322d$). However, before being passed to the waveform register, the ADC output is passed through a single-pole, low-pass filter with a cutoff frequency of 140 Hz. The plots in Figure 54 show the magnitude and phase response of this filter.

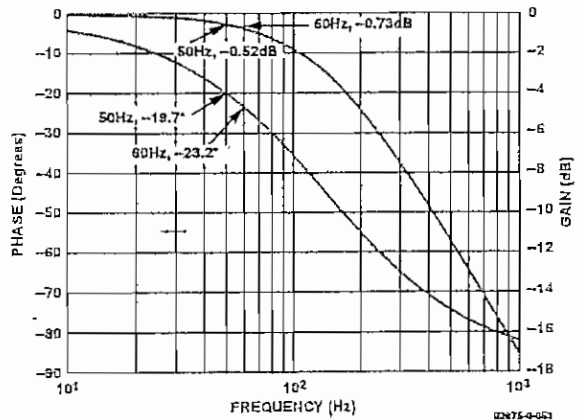


Figure 54. Magnitude and Phase Response of LPF1

The LPF1 has the effect of attenuating the signal. For example, if the line frequency is 60 Hz, then the signal at the output of LPF1 is attenuated by about 8%.

$$|H(f)| = \frac{1}{\sqrt{1 + \left(\frac{60 \text{ Hz}}{140 \text{ Hz}}\right)^2}} = 0.919 = -0.73 \text{ dB} \tag{5}$$

Note LPF1 does not affect the active power calculation. The signal processing chain in Channel 2 is illustrated in Figure 55.

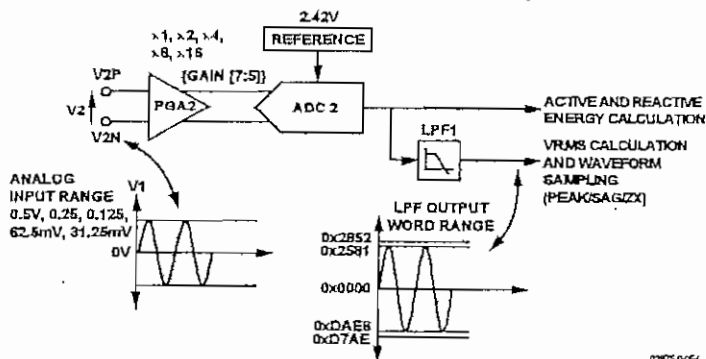


Figure 55. ADC and Signal Processing in Channel 2

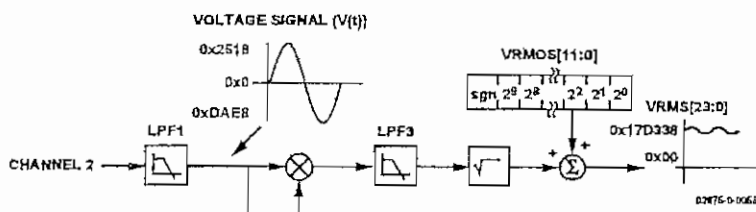


Figure 56. Channel 2 RMS Signal Processing

Channel 2 has only one analog input range (0.5 V differential). Like Channel 1, Channel 2 has a PGA with gain selections of 1, 2, 4, 8, and 16. For energy measurement, the output of the ADC is passed directly to the multiplier and is not filtered. An HPF is not required to remove any dc offset since it is only required to remove the offset from one channel to eliminate errors due to offsets in the power calculation. When in waveform sampling mode, one of four output sample rates can be chosen by using Bits 11 and 12 of the mode register. The available output sample rates are 27.9 kSPS, 14 kSPS, 7 kSPS, or 3.5 kSPS—see the Mode Register (0x09) section. The interrupt request output \overline{IRQ} signals that a sample is available by going active low. The timing is the same as that for Channel 1, as shown in Figure 52.

Channel 2 RMS Calculation

Figure 56 shows the details of the signal processing chain for the rms calculation on Channel 2. The Channel 2 rms value is processed from the samples used in the Channel 2 waveform sampling mode. The rms value is slightly attenuated because of LPF1. Channel 2 rms value is stored in the unsigned 24-bit VRMS register. The update rate of the Channel 2 rms measurement is CLKIN/4.

With the specified full-scale ac analog input signal of 0.5 V, the output from the LPF1 swings between 0x2518 and 0xDAE8 at 60 Hz—see the Channel 2 ADC section. The equivalent rms value of this full-scale ac signal is approximately 1,561,400 (0x17D338) in the VRMS register. The voltage rms measurement provided in the ADE7753 is accurate to within $\pm 0.5\%$ for signal input between full scale and full scale/20. The conversion

from the register value to volts must be done externally in the microprocessor using a volts/LSB constant. Since the low-pass filtering used for calculating the rms value is imperfect, there is some ripple noise from 2ω term present in the rms measurement. To minimize the noise effect in the reading, synchronize the rms reading with the zero crossings of the voltage input.

Channel 2 RMS Offset Compensation

The ADE7753 incorporates a Channel 2 rms offset compensation register (VRMSOS). This is a 12-bit signed register that can be used to remove offset in the Channel 2 rms calculation. An offset could exist in the rms calculation due to input noises and dc offset in the input samples. The offset calibration allows the contents of the VRMS register to be maintained at 0 when no voltage is applied. One LSB of the Channel 2 rms offset is equivalent to one LSB of the rms register. Assuming that the maximum value from the Channel 2 rms calculation is 1,561,400d with full-scale ac inputs, then one LSB of the Channel 2 rms offset represents 0.064% of measurement error at -60 dB down of full scale.

$$VRMS = VRMS_0 + VRMSOS \tag{6}$$

where $VRMS_0$ is the rms measurement without offset correction. The voltage rms offset compensation should be done by testing the rms results at two non-zero input levels. One measurement can be done close to full scale and the other at approximately full scale/10. The voltage offset compensation can be derived from these measurements. If the voltage rms offset register does not have enough range, the CH2OS register can also be used.

PHASE COMPENSATION

When the HPF is disabled, the phase error between Channel 1 and Channel 2 is 0 from dc to 3.5 kHz. When HPF is enabled, Channel 1 has the phase response illustrated in Figure 58 and Figure 59. Also shown in Figure 60 is the magnitude response of the filter. As can be seen from the plots, the phase response is almost 0 from 45 Hz to 1 kHz. This is all that is required in typical energy measurement applications. However, despite being internally phase compensated, the ADE7753 must work with transducers, which could have inherent phase errors. For example, a phase error of 0.1° to 0.3° is not uncommon for a current transformer (CT). These phase errors can vary from part to part, and they must be corrected in order to perform accurate power calculations. The errors associated with phase mismatch are particularly noticeable at low power factors. The ADE7753 provides a means of digitally calibrating these small phase errors. The ADE7753 allows a small time delay or time advance to be introduced into the signal processing chain to compensate for small phase errors. Because the compensation is in time, this technique should be used only for small phase errors in the range of 0.1° to 0.5° . Correcting large phase errors using a time shift technique can introduce significant phase errors at higher harmonics.

The phase calibration register (PHCAL[5:0]) is a two's complement signed single-byte register that has values ranging from 0x21 (-31d) to 0x1F (31d).

The register is centered at 0x0D, so that writing 0x0D to the register gives 0 delay. By changing the PHCAL register, the time delay in the Channel 2 signal path can change from $-102.12 \mu\text{s}$ to $+39.96 \mu\text{s}$ ($\text{CLKIN} = 3.579545 \text{ MHz}$). One LSB is equivalent to $2.22 \mu\text{s}$ ($\text{CLKIN}/8$) time delay or advance. A line frequency of 60 Hz gives a phase resolution of 0.048° at the fundamental (i.e., $360^\circ \times 2.22 \mu\text{s} \times 60 \text{ Hz}$). Figure 57 illustrates how the phase compensation is used to remove a 0.1° phase lead in Channel 1 due to the external transducer. To cancel the lead (0.1°) in Channel 1, a phase lead must also be introduced into Channel 2. The resolution of the phase adjustment allows the introduction of a phase lead in increment of 0.048° . The phase lead is achieved by introducing a time advance into Channel 2. A time advance of $4.48 \mu\text{s}$ is made by writing -2 (0x0B) to the time delay block, thus reducing the amount of time delay by $4.48 \mu\text{s}$, or equivalently, a phase lead of approximately 0.1° at line frequency of 60 Hz. 0x0B represents -2 because the register is centered with 0 at 0x0D.

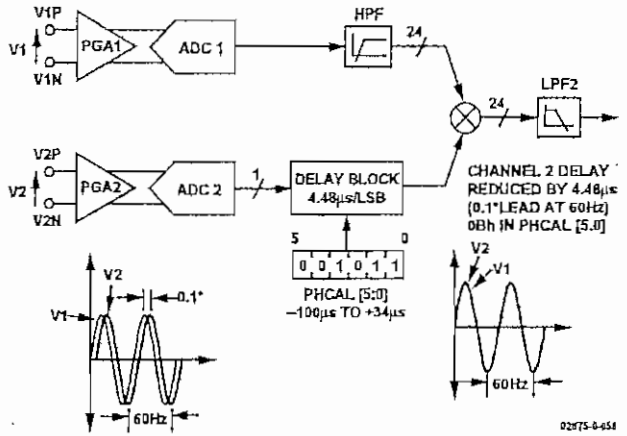


Figure 57. Phase Calibration

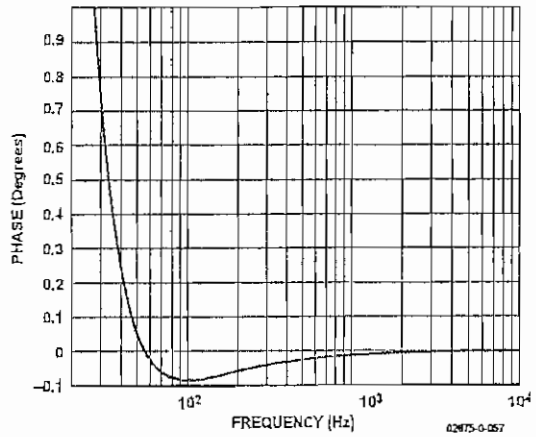


Figure 58. Combined Phase Response of the HPF and Phase Compensation (10 Hz to 1 kHz)

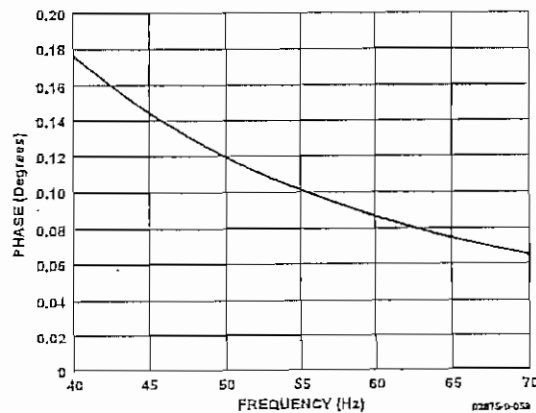


Figure 59. Combined Phase Response of the HPF and Phase Compensation (40 Hz to 70 Hz)

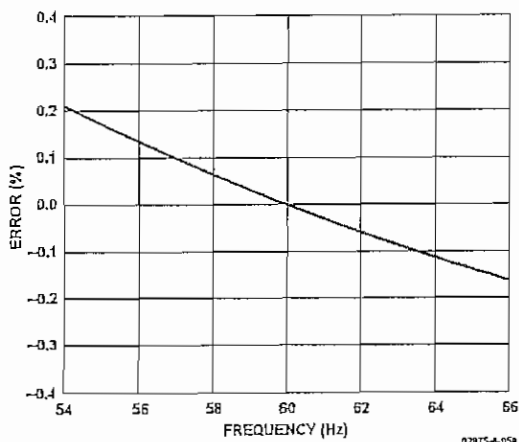


Figure 60. Combined Gain Response of the HPF and Phase Compensation

ACTIVE POWER CALCULATION

Power is defined as the rate of energy flow from source to load. It is defined as the product of the voltage and current waveforms. The resulting waveform is called the instantaneous power signal and is equal to the rate of energy flow at every instant of time. The unit of power is the watt or joules/sec. Equation 9 gives an expression for the instantaneous power signal in an ac system.

$$v(t) = \sqrt{2} \times V \sin(\omega t) \tag{7}$$

$$i(t) = \sqrt{2} \times I \sin(\omega t) \tag{8}$$

where:

V is the rms voltage.
I is the rms current.

$$p(t) = v(t) \times i(t) \tag{9}$$

$$p(t) = VI - VI \cos(2\omega t)$$

The average power over an integral number of line cycles (*n*) is given by the expression in Equation 10.

$$P = \frac{1}{nT} \int_0^{nT} p(t) dt = VI \tag{10}$$

where:

T is the line cycle period.
P is referred to as the active or real power.

Note that the active power is equal to the dc component of the instantaneous power signal *p(t)* in Equation 8, i.e., *VI*. This is the relationship used to calculate active power in the ADE7753.

The instantaneous power signal *p(t)* is generated by multiplying the current and voltage signals. The dc component of the instantaneous power signal is then extracted by LPF2 (low-pass filter) to obtain the active power information. This process is illustrated in Figure 61.

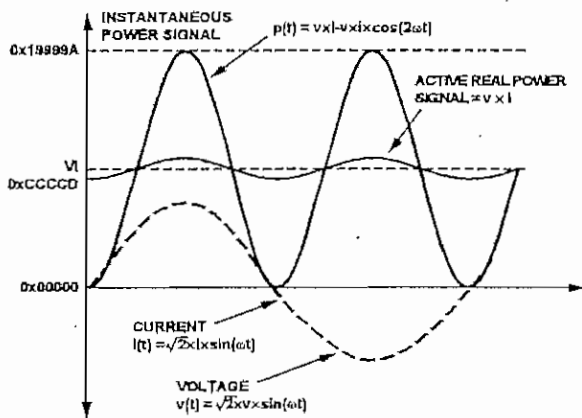


Figure 61. Active Power Calculation

Since LPF2 does not have an ideal “brick wall” frequency response—see Figure 62, the active power signal has some ripple due to the instantaneous power signal. This ripple is sinusoidal and has a frequency equal to twice the line frequency. Because the ripple is sinusoidal in nature, it is removed when the active power signal is integrated to calculate energy—see the Energy Calculation section.

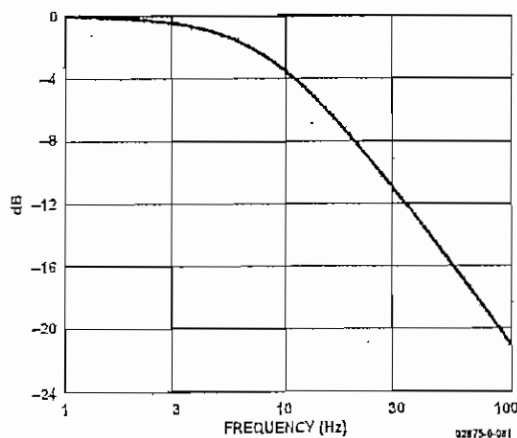


Figure 62. Frequency Response of LPF2

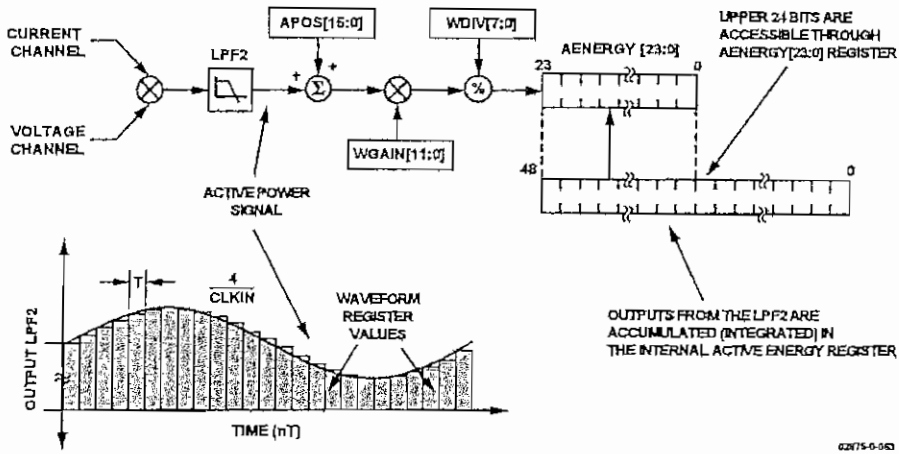


Figure 63. ADE7753 Active Energy Calculation

Figure 63 shows the signal processing chain for the active power calculation in the ADE7753. As explained, the active power is calculated by low-pass filtering the instantaneous power signal. Note that when reading the waveform samples from the output of LPF2, the gain of the active energy can be adjusted by using the multiplier and watt gain register (WGAIN[11:0]). The gain is adjusted by writing a twos complement 12-bit word to the watt gain register. Equation 11 shows how the gain adjustment is related to the contents of the watt gain register:

$$Output\ WGAIN = \left(Active\ Power \times \left\{ 1 + \frac{WGAIN}{2^{12}} \right\} \right) \quad (11)$$

For example, when 0x7FF is written to the watt gain register, the power output is scaled up by 50%. $0x7FF = 2047d$, $2047/2^{12} = 0.5$. Similarly, $0x800 = -2048d$ (signed twos complement) and power output is scaled by -50%. Each LSB scales the power output by 0.0244%. Figure 64 shows the maximum code (in hex) output range for the active power signal (LPF2). Note that the output range changes depending on the contents of the watt gain register. The minimum output range is given when the watt gain register contents are equal to 0x800, and the maximum range is given by writing 0x7FF to the watt gain register. This can be used to calibrate the active power (or energy) calculation in the ADE7753.

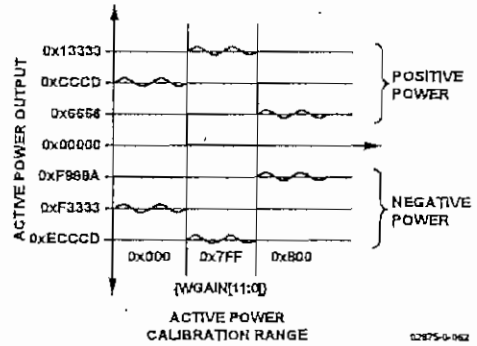


Figure 64. Active Power Calculation Output Range

ENERGY CALCULATION

As stated earlier, power is defined as the rate of energy flow. This relationship can be expressed mathematically in Equation 12.

$$P = \frac{dE}{dt} \quad (12)$$

where:

- P is power.
- E is energy.

Conversely, energy is given as the integral of power.

$$E = \int P dt \quad (13)$$

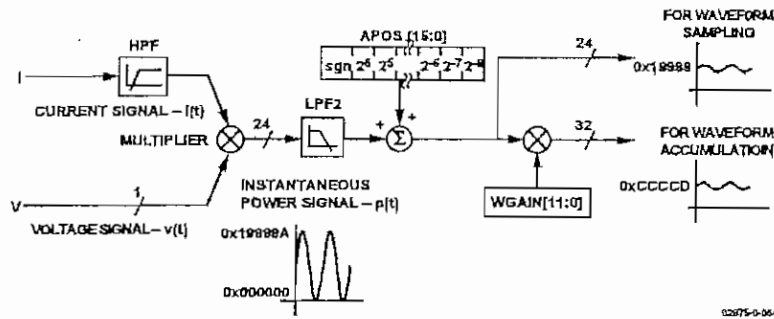


Figure 65. Active Power Signal Processing

The ADE7753 achieves the integration of the active power signal by continuously accumulating the active power signal in an internal nonreadable 49-bit energy register. The active energy register (AENERGY[23:0]) represents the upper 24 bits of this internal register. This discrete time accumulation or summation is equivalent to integration in continuous time. Equation 14 expresses the relationship.

$$E = \int p(t)dt = \lim_{T \rightarrow 0} \left\{ \sum_{n=1}^{\infty} p(nT) \times T \right\} \quad (14)$$

where:

n is the discrete time sample number.
 T is the sample period.

The discrete time sample period (T) for the accumulation register in the ADE7753 is $1.1\mu s$ ($4/CLKIN$). As well as calculating the energy, this integration removes any sinusoidal components that might be in the active power signal. Figure 65 shows this discrete time integration or accumulation. The active power signal in the waveform register is continuously added to the internal active energy register. This addition is a signed addition; therefore negative energy is subtracted from the active energy contents. The exception to this is when POAM is selected in the MODE[15:0] register. In this case, only positive energy contributes to the active energy accumulation—see the Positive-Only Accumulation Mode section.

The output of the multiplier is divided by WDIV. If the value in the WDIV register is equal to 0, then the internal active energy register is divided by 1. WDIV is an 8-bit unsigned register. After dividing by WDIV, the active energy is accumulated in a 49-bit internal energy accumulation register. The upper 24 bits of this register are accessible through a read to the active energy register (AENERGY[23:0]). A read to the RAENERGY register returns the content of the AENERGY register and the upper 24 bits of the internal register are cleared. As shown in Figure 65, the active power signal is accumulated in an internal 49-bit signed register. The active power signal can be read from the waveform register by setting MODE[14:13] = 0,0 and setting the WSMP bit (Bit 3) in the interrupt enable register to 1. Like the Channel

1 and Channel 2 waveform sampling modes, the waveform data is available at sample rates of 27.9 kSPS, 14 kSPS, 7 kSPS, or 3.5 kSPS—see Figure 52.

Figure 66 shows this energy accumulation for full-scale signals (sinusoidal) on the analog inputs. The three curves displayed illustrate the minimum period of time it takes the energy register to roll over when the active power gain register contents are 0x7FF, 0x000, and 0x800. The watt gain register is used to carry out power calibration in the ADE7753. As shown, the fastest integration time occurs when the watt gain register is set to maximum full scale, i.e., 0x7FF.

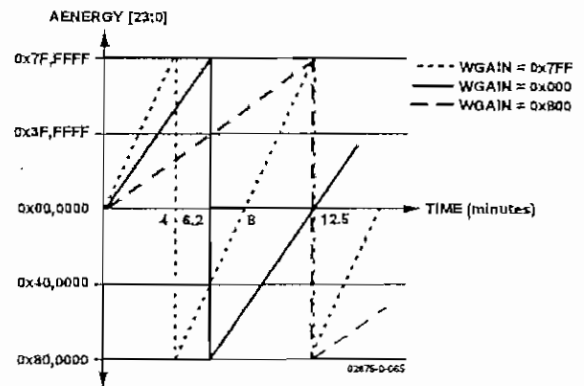


Figure 66. Energy Register Rollover Time for Full-Scale Power (Minimum and Maximum Power Gain)

Note that the energy register contents rolls over to full-scale negative (0x800000) and continues to increase in value when the power or energy flow is positive—see Figure 66. Conversely, if the power is negative, the energy register underflows to full-scale positive (0x7FFFFFFF) and continues to decrease in value.

By using the interrupt enable register, the ADE7753 can be configured to issue an interrupt (IRQ) when the active energy register is half-full (positive or negative) or when an overflow or underflow occurs.

Integration Time under Steady Load

As mentioned in the last section, the discrete time sample period (T) for the accumulation register is $1.1 \mu\text{s}$ ($4/\text{CLKIN}$). With full-scale sinusoidal signals on the analog inputs and the WGAIN register set to $0x000$, the average word value from each LPF2 is $0xCCCCD$ —see Figure 61. The maximum positive value that can be stored in the internal 49-bit register is 2^{48} or $0xFFFFFFFF$ before it overflows. The integration time under these conditions with $\text{WDIV} = 0$ is calculated as follows:

$$T_{\text{Time}} = \frac{0xFFFFFFFF}{0xCCCCD} \times 1.12 \mu\text{s} = 375.8 \text{ s} = 6.26 \text{ min} \quad (15)$$

When WDIV is set to a value different from 0, the integration time varies, as shown in Equation 16.

$$T_{\text{Time}} = T_{\text{Time}_{\text{WDIV}=0}} \times \text{WDIV} \quad (16)$$

POWER OFFSET CALIBRATION

The ADE7753 also incorporates an active power offset register ($\text{APOS}[15:0]$). This is a signed twos complement 16-bit register that can be used to remove offsets in the active power calculation—see Figure 65. An offset could exist in the power calculation due to crosstalk between channels on the PCB or in the IC itself. The offset calibration allows the contents of the active power register to be maintained at 0 when no power is being consumed.

The 256 LSBs ($\text{APOS} = 0x0100$) written to the active power offset register are equivalent to 1 LSB in the waveform sample register. Assuming the average value, output from LPF2 is $0xCCCCD$ (838,861d) when inputs on Channels 1 and 2 are both at full scale. At -60 dB down on Channel 1 ($1/1000$ of the Channel 1 full-scale input), the average word value output from LPF2 is 838.861 (838,861/1,000). One LSB in the LPF2 output has a measurement error of $1/838.861 \times 100\% \approx 0.119\%$ of the average value. The active power offset register has a resolution equal to $1/256$ LSB of the waveform register, therefore the power offset correction resolution is $0.00047\%/\text{LSB}$ ($0.119\%/256$) at -60 dB .

ENERGY-TO-FREQUENCY CONVERSION

ADE7753 also provides energy-to-frequency conversion for calibration purposes. After initial calibration at manufacturing, the manufacturer or end customer often verify the energy meter calibration. One convenient way to verify the meter calibration is for the manufacturer to provide an output frequency, which is proportional to the energy or active power under steady load conditions. This output frequency can provide a simple, single-wire, optically isolated interface to external calibration equipment. Figure 67 illustrates the energy-to-frequency conversion in the ADE7753.

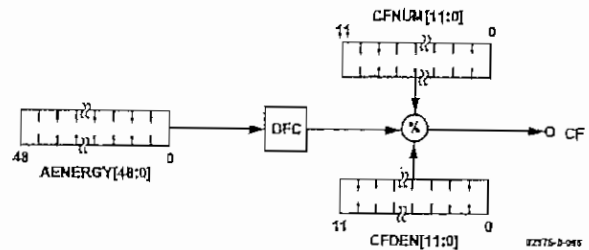


Figure 67. ADE7753 Energy-to-Frequency Conversion

A digital-to-frequency converter (DFC) is used to generate the CF pulsed output. The DFC generates a pulse each time 1 LSB in the active energy register is accumulated. An output pulse is generated when $(\text{CFDEN} + 1)/(\text{CFNUM} + 1)$ number of pulses are generated at the DFC output. Under steady load conditions, the output frequency is proportional to the active power.

The maximum output frequency, with ac input signals at full scale and $\text{CFNUM} = 0x00$ and $\text{CFDEN} = 0x00$, is approximately 23 kHz.

The ADE7753 incorporates two registers, $\text{CFNUM}[11:0]$ and $\text{CFDEN}[11:0]$, to set the CF frequency. These are unsigned 12-bit registers, which can be used to adjust the CF frequency to a wide range of values. These frequency-scaling registers are 12-bit registers, which can scale the output frequency by $1/2^{12}$ to 1 with a step of $1/2^{12}$.

If the value 0 is written to any of these registers, the value 1 would be applied to the register. The ratio $(\text{CFNUM} + 1)/(\text{CFDEN} + 1)$ should be smaller than 1 to ensure proper operation. If the ratio of the registers $(\text{CFNUM} + 1)/(\text{CFDEN} + 1)$ is greater than 1, the register values would be adjusted to a ratio $(\text{CFNUM} + 1)/(\text{CFDEN} + 1)$ of 1. For example, if the output frequency is 1.562 kHz while the contents of CFDEN are 0 ($0x000$), then the output frequency can be set to 6.1 Hz by writing $0xFF$ to the CFDEN register.

The output frequency has a slight ripple at a frequency equal to twice the line frequency. This is due to imperfect filtering of the instantaneous power signal to generate the active power signal—see the Active Power Calculation section. Equation 9 from the Active Power Calculation section gives an expression for the instantaneous power signal. This is filtered by LPF2 , which has a magnitude response given by Equation 17.

$$|H(f)| = \frac{1}{\sqrt{1 + \frac{f^2}{8.9^2}}} \quad (17)$$

The active power signal (output of LPF2) can be rewritten as

$$p(t) = VI - \left[\frac{VI}{\sqrt{1 + \left(\frac{2f_L}{8.9}\right)^2}} \right] \times \cos(4\pi f_L t) \tag{18}$$

where f_L is the line frequency, for example, 60 Hz.

From Equation 13,

$$E(t) = VI t - \left[\frac{VI}{4\pi f_L \sqrt{1 + \left(\frac{2f_L}{8.9}\right)^2}} \right] \times \sin(4\pi f_L t) \tag{19}$$

From Equation 19 it can be seen that there is a small ripple in the energy calculation due to a $\sin(2\omega t)$ component. This is shown graphically in Figure 68. The active energy calculation is shown by the dashed straight line and is equal to $V \times I \times t$. The sinusoidal ripple in the active energy calculation is also shown.

Since the average value of a sinusoid is 0, this ripple does not contribute to the energy calculation over time. However, the ripple can be observed in the frequency output, especially at higher output frequencies. The ripple gets larger as a percentage of the frequency at larger loads and higher output frequencies. The reason is simply that at higher output frequencies the integration or averaging time in the energy-to-frequency conversion process is shorter. As a consequence, some of the sinusoidal ripple is observable in the frequency output. Choosing a lower output frequency at CF for calibration can significantly reduce the ripple. Also, averaging the output frequency by using a longer gate time for the counter achieves the same results.

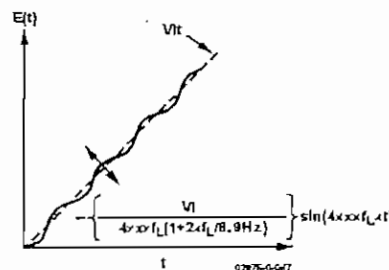


Figure 68. Output Frequency Ripple

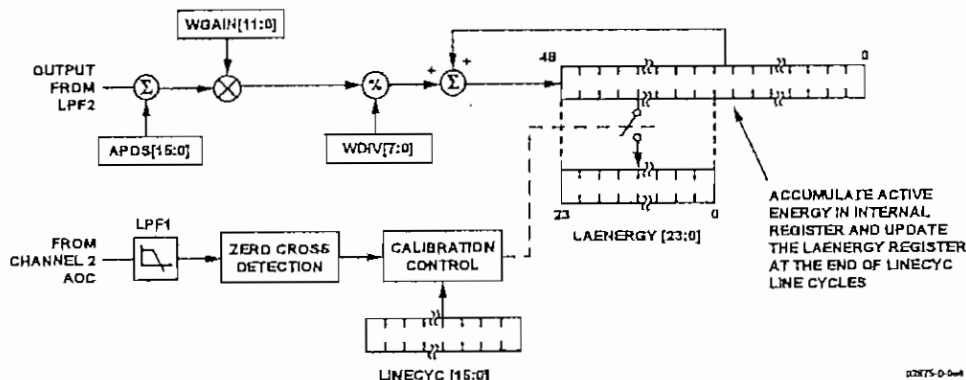


Figure 69. Energy Calculation Line Cycle Energy Accumulation Mode

LINE CYCLE ENERGY ACCUMULATION MODE

In line cycle energy accumulation mode, the energy accumulation of the ADE7753 can be synchronized to the Channel 2 zero crossing so that active energy can be accumulated over an integral number of half line cycles. The advantage of summing the active energy over an integer number of line cycles is that the sinusoidal component in the active energy is reduced to 0. This eliminates any ripple in the energy calculation. Energy is calculated more accurately and in a shorter time because the integration period can be shortened. By using the line cycle energy accumulation mode, the energy calibration can be greatly simplified, and the time required to calibrate the meter can be significantly reduced. The ADE7753 is placed in line cycle energy accumulation mode by setting Bit 7 (CYCMODE) in the mode register. In line cycle energy accumulation mode, the ADE7753 accumulates the active power signal in the LAENERGY register (Address 0x04) for an integral number of line cycles, as shown in Figure 69. The number of half line cycles is specified in the LINECYC register (Address 0x1C). The ADE7753 can accumulate active power for up to 65,535 half line cycles. Because the active power is integrated on an integral number of line cycles, at the end of a line cycle energy accumulation cycle the CYCEND flag in the interrupt status register is set (Bit 2). If the CYCEND enable bit in the interrupt enable register is enabled, the $\overline{\text{IRQ}}$ output also goes active low. Thus the $\overline{\text{IRQ}}$ line can also be used to signal the completion of the line cycle energy accumulation. Another calibration cycle can start as long as the CYCMODE bit in the mode register is set.

From Equations 13 and 18,

$$E(t) = \int_0^{nT} VI dt = \left[\frac{VI}{\sqrt{1 + \left(\frac{f}{8.9}\right)^2}} \right] \int_0^{nT} \cos(2\pi ft) dt \quad (20)$$

where:

n is an integer.

T is the line cycle period.

Since the sinusoidal component is integrated over an integer number of line cycles, its value is always 0. Therefore,

$$E = \int_0^{nT} VI dt = 0 \quad (21)$$

$$E(t) = VI nT \quad (22)$$

Note that in this mode, the 16-bit LINECYC register can hold a maximum value of 65,535. In other words, the line energy accumulation mode can be used to accumulate active energy for a maximum duration over 65,535 half line cycles. At 60 Hz line frequency, it translates to a total duration of $65,535/120 \text{ Hz} = 546 \text{ seconds}$.

POSITIVE-ONLY ACCUMULATION MODE

In positive-only accumulation mode, the energy accumulation is done only for positive power, ignoring any occurrence of negative power above or below the no-load threshold, as shown in Figure 70. The CF pulse also reflects this accumulation method when in this mode. The ADE7753 is placed in positive-only accumulation mode by setting the MSB of the mode register (MODE[15]). The default setting for this mode is off. Transitions in the direction of power flow, going from negative to positive or positive to negative, set the $\overline{\text{IRQ}}$ pin to active low if the interrupt enable register is enabled. The interrupt status registers, PPOS and PNEG, show which transition has occurred—see the ADE7753 register descriptions in Table 10.

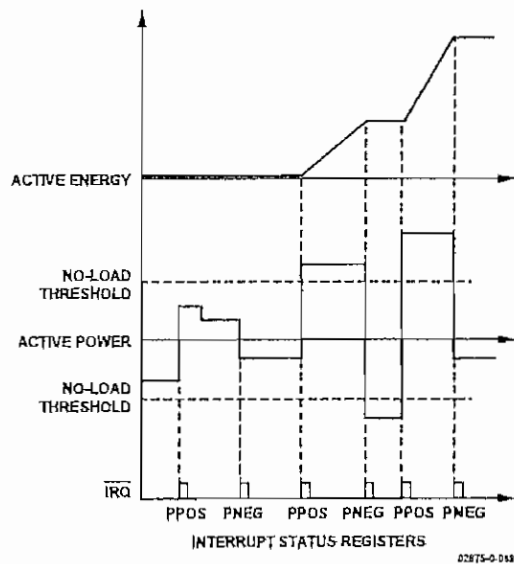


Figure 70. Energy Accumulation in Positive-Only Accumulation Mode

NO-LOAD THRESHOLD

The ADE7753 includes a no-load threshold feature on the active energy that eliminates any creep effects in the meter. The ADE7753 accomplishes this by not accumulating energy if the multiplier output is below the no-load threshold. This threshold is 0.001% of the full-scale output frequency of the multiplier. Compare this value to the IEC1036 specification, which states that the meter must start up with a load equal to or less than 0.4% Ib. This standard translates to .0167% of the full-scale output frequency of the multiplier.

REACTIVE POWER CALCULATION

Reactive power is defined as the product of the voltage and current waveforms when one of these signals is phase-shifted by 90°. The resulting waveform is called the instantaneous reactive power signal. Equation 25 gives an expression for the instantaneous reactive power signal in an ac system when the phase of the current channel is shifted by +90°.

$$v(t) = \sqrt{2}V \sin(\omega t + \theta) \tag{23}$$

$$i(t) = \sqrt{2}I \sin(\omega t)$$

$$i'(t) = \sqrt{2}I \sin\left(\omega t + \frac{\pi}{2}\right) \tag{24}$$

where:

θ is the phase difference between the voltage and current channel.

V is the rms voltage.

I is the rms current.

$$Rp(t) = v(t) \times i'(t) \tag{25}$$

$$Rp(t) = VI \sin(\theta) + VI \sin(2\omega t + \theta)$$

The average reactive power over an integral number of lines (n) is given in Equation 26.

$$RP = \frac{1}{nT} \int_0^{nT} Rp(t) dt = VI \sin(\theta) \tag{26}$$

where:

T is the line cycle period.

RP is referred to as the reactive power.

Note that the reactive power is equal to the dc component of the instantaneous reactive power signal $Rp(t)$ in Equation 25. This is the relationship used to calculate reactive power in the ADE7753. The instantaneous reactive power signal $Rp(t)$ is generated by multiplying Channel 1 and Channel 2. In this case, the phase of Channel 1 is shifted by +90°. The dc component of the instantaneous reactive power signal is then extracted by a low-pass filter in order to obtain the reactive power information. Figure 71 shows the signal processing in the reactive power calculation in the ADE7753.

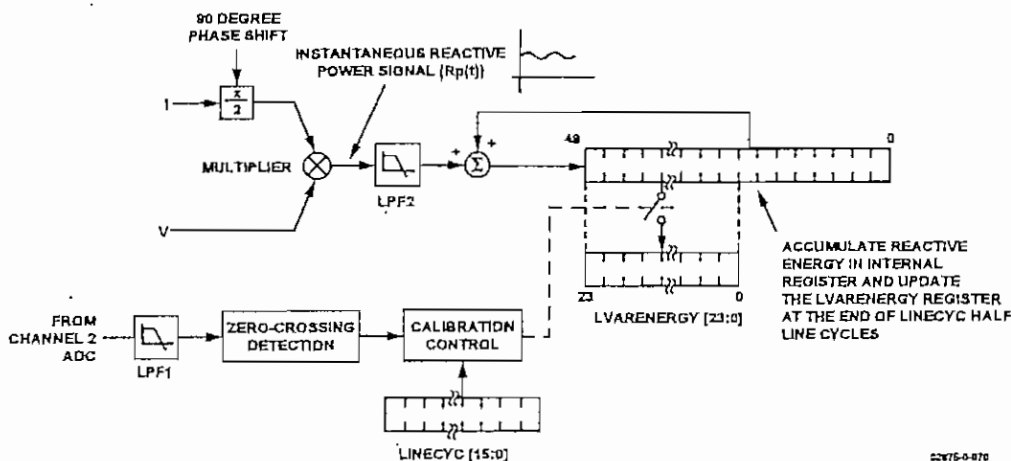


Figure 71. Reactive Power Signal Processing

ADE7753

The features of the line reactive energy accumulation are the same as the line active energy accumulation. The number of half line cycles is specified in the LINECYC register, LINECYC is an unsigned 16-bit register. The ADE7753 can accumulate reactive power for up to 65535 combined half cycles. At the end of an energy calibration cycle, the CYCEND flag in the interrupt status register is set. If the CYCEND mask bit in the interrupt mask register is enabled, the $\overline{\text{IRQ}}$ output also goes active low. Thus the $\overline{\text{IRQ}}$ line can also be used to signal the end of a calibration. The ADE7753 accumulates the reactive power signal in the LVARENERGY register for an integer number of half cycles, as shown in Figure 71.

SIGN OF REACTIVE POWER CALCULATION

Note that the average reactive power is a signed calculation. The phase shift filter has -90° phase shift when the integrator is enabled, and $+90^\circ$ phase shift when the integrator is disabled. Table 7 summarizes the relationship between the phase difference between the voltage and the current and the sign of the resulting VAR calculation.

Table 7. Sign of Reactive Power Calculation

Angle	Integrator	Sign
Between 0° to 90°	Off	Positive
Between -90° to 0°	Off	Negative
Between 0° to 90°	On	Positive
Between -90° to 0°	On	Negative

APPARENT POWER CALCULATION

The apparent power is defined as the maximum power that can be delivered to a load. V_{rms} and I_{rms} are the effective voltage and current delivered to the load; the apparent power (AP) is defined as $V_{rms} \times I_{rms}$. The angle θ between the active power and the apparent power generally represents the phase shift due to non-resistive loads. For single-phase applications, θ represents the angle between the voltage and the current signals—see Figure 72. Equation 28 gives an expression of the instantaneous power signal in an ac system with a phase shift.

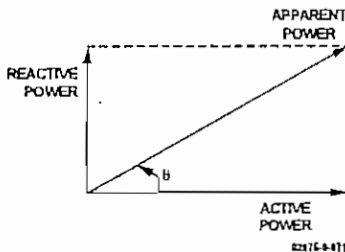


Figure 72. Power Triangle

$$v(t) = \sqrt{2} V_{rms} \sin(\omega t)$$

$$i(t) = \sqrt{2} I_{rms} \sin(\omega t + \theta) \quad (27)$$

$$p(t) = v(t) \times i(t)$$

$$p(t) = V_{rms} I_{rms} \cos(\theta) - V_{rms} I_{rms} \cos(2\omega t + \theta) \quad (28)$$

The apparent power is defined as $V_{rms} \times I_{rms}$. This expression is independent from the phase angle between the current and the voltage.

Figure 73 illustrates the signal processing in each phase for the calculation of the apparent power in the ADE7753.

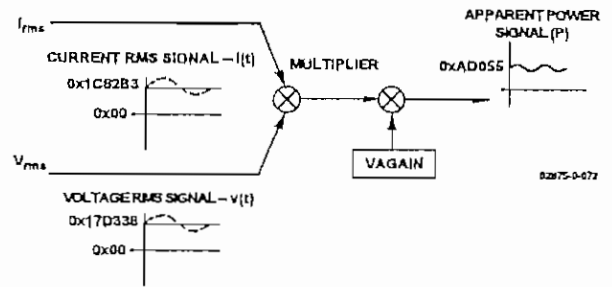


Figure 73. Apparent Power Signal Processing

The gain of the apparent energy can be adjusted by using the multiplier and VAGAIN register (VAGAIN[11:0]). The gain is adjusted by writing a two's complement, 12-bit word to the VAGAIN register. Equation 29 shows how the gain adjustment is related to the contents of the VAGAIN register.

$$\text{Output VAGAIN} = \left(\text{Apparent Power} \times \left\{ 1 + \frac{\text{VAGAIN}}{2^{12}} \right\} \right) \quad (29)$$

For example, when 0x7FF is written to the VAGAIN register, the power output is scaled up by 50%. $0x7FF = 2047d$, $2047/2^{12} = 0.5$. Similarly, $0x800 = -2047d$ (signed two's complement) and power output is scaled by -50% . Each LSB represents 0.0244% of the power output. The apparent power is calculated with the current and voltage rms values obtained in the rms blocks of the ADE7753. Figure 74 shows the maximum code (hexadecimal) output range of the apparent power signal. Note that the output range changes depending on the contents of the apparent power gain registers. The minimum output range is given when the apparent power gain register content is equal to 0x800 and the maximum range is given by writing 0x7FF to the apparent power gain register. This can be used to calibrate the apparent power (or energy) calculation in the ADE7753.

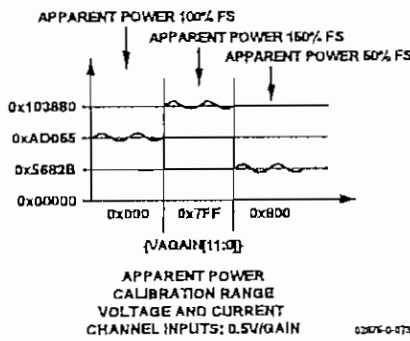


Figure 74. Apparent Power Calculation Output Range

Apparent Power Offset Calibration

Each rms measurement includes an offset compensation register to calibrate and eliminate the dc component in the rms value—see Channel 1 RMS Calculation and Channel 2 RMS Calculation sections. The Channel 1 and Channel 2 rms values are then multiplied together in the apparent power signal processing. Since no additional offsets are created in the multiplication of the rms values, there is no specific offset compensation in the apparent power signal processing. The offset compensation of the apparent power measurement is done by calibrating each individual rms measurement.

APPARENT ENERGY CALCULATION

The apparent energy is given as the integral of the apparent power.

$$Apparent\ Energy = \int Apparent\ Power(t) dt \quad (30)$$

The ADE7753 achieves the integration of the apparent power signal by continuously accumulating the apparent power signal in an internal 48-bit register. The apparent energy register (VAENERGY[23:0]) represents the upper 24 bits of this internal register. This discrete time accumulation or summation is equivalent to integration in continuous time. Equation 31 expresses the relationship

$$Apparent\ Energy = \lim_{T \rightarrow 0} \left\{ \sum_{n=0}^{\infty} Apparent\ Power(nT) \times T \right\} \quad (31)$$

where:

n is the discrete time sample number.
T is the sample period.

The discrete time sample period (*T*) for the accumulation register in the ADE7753 is 1.1 μs (4/CLKIN).

Figure 75 shows this discrete time integration or accumulation. The apparent power signal is continuously added to the internal register. This addition is a signed addition even if the apparent energy remains theoretically always positive.

The 49 bits of the internal register are divided by VADIV. If the value in the VADIV register is 0, then the internal active energy register is divided by 1. VADIV is an 8-bit unsigned register. The upper 24 bits are then written in the 24-bit apparent energy register (VAENERGY[23:0]). RVAENERGY register (24 bits long) is provided to read the apparent energy. This register is reset to 0 after a read operation.

Figure 76 shows this apparent energy accumulation for full-scale signals (sinusoidal) on the analog inputs. The three curves displayed illustrate the minimum time it takes the energy register to roll over when the VAGAIN registers content is equal to 0x7FF, 0x000, and 0x800. The VAGAIN register is used to carry out an apparent power calibration in the ADE7753. As shown, the fastest integration time occurs when the VAGAIN register is set to maximum full scale, i.e., 0x7FF.

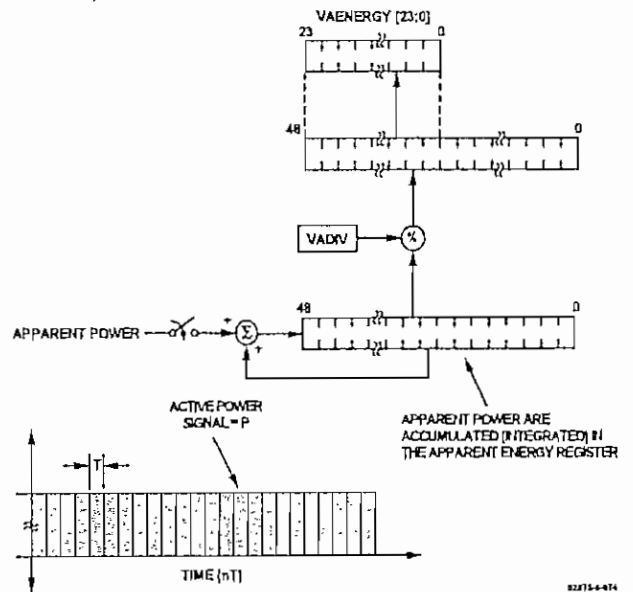


Figure 75. ADE7753 Apparent Energy Calculation

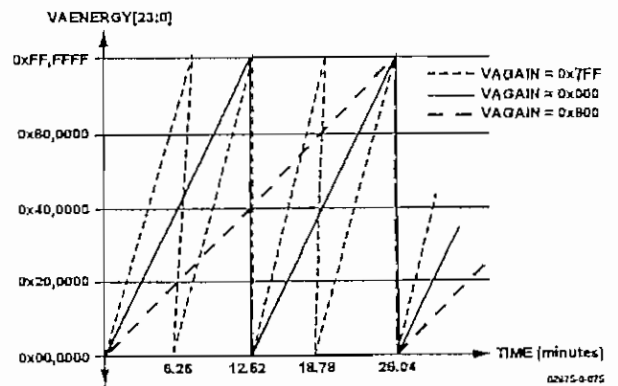


Figure 76. Energy Register Rollover Time for Full-Scale Power (Maximum and Minimum Power Gain)

Note that the apparent energy register is unsigned—see Figure 76. By using the interrupt enable register, the ADE7753 can be configured to issue an interrupt (IRQ) when the apparent energy register is half full or when an overflow occurs. The half full interrupt for the unsigned apparent energy register is based on 24 bits as opposed to 23 bits for the signed active energy register.

Integration Times under Steady Load

As mentioned in the last section, the discrete time sample period (T) for the accumulation register is 1.1 μs (4/CLKIN). With full-scale sinusoidal signals on the analog inputs and the VAGAIN register set to 0x000, the average word value from apparent power stage is 0xAD055—see the Apparent Power Calculation section. The maximum value that can be stored in the apparent energy register before it overflows is 2²⁴ or 0xFF,FFFF. The average word value is added to the internal register, which can store 2⁴⁶ or 0xFFFF,FFFF,FFFF before it overflows. Therefore, the integration time under these conditions with VADIV = 0 is calculated as follows:

$$Time = \frac{0xFFFF,FFFF,FFFF}{0xAD055} \times 1.2 \mu s = 888 s = 12.52 \text{ min} \quad (32)$$

When VADIV is set to a value different from 0, the integration time varies, as shown in Equation 33.

$$Time = Time_{VADIV=0} \times VADIV \quad (33)$$

LINE APPARENT ENERGY ACCUMULATION

The ADE7753 is designed with a special apparent energy accumulation mode, which simplifies the calibration process. By using the on-chip zero-crossing detection, the ADE7753 accumulates the apparent power signal in the LVAENERGY register for an integral number of half cycles, as shown in Figure 77. The line apparent energy accumulation mode is always active.

The number of half line cycles is specified in the LINCYC register, which is an unsigned 16-bit register. The ADE7753 can accumulate apparent power for up to 65535 combined half cycles. Because the apparent power is integrated on the same integral number of line cycles as the line active energy register, these two values can be compared easily. The active energy and the apparent energy are calculated more accurately because of this precise timing control and provide all the information needed for reactive power and power factor calculation. At the end of an energy calibration cycle, the CYCEND flag in the interrupt status register is set. If the CYCEND mask bit in the interrupt mask register is enabled, the IRQ output driver goes active low. Thus the IRQ line can also be used to signal the end of a calibration.

The line apparent energy accumulation uses the same signal path as the apparent energy accumulation. The LSB size of these two registers is equivalent.

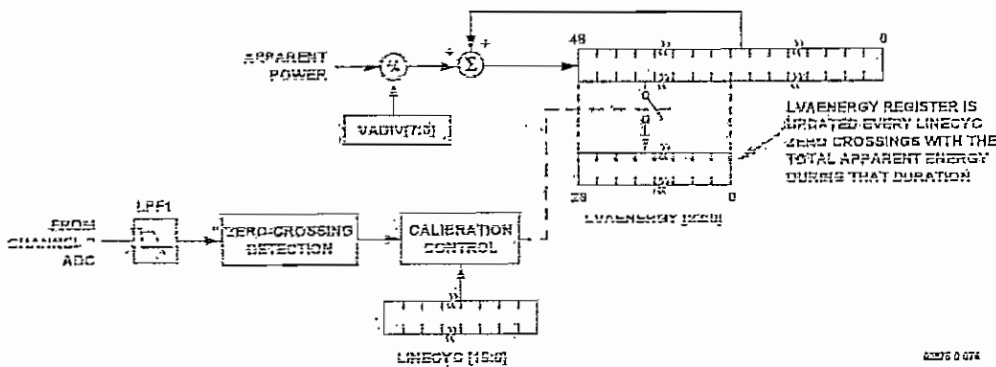


Figure 77. ADE7753 Apparent Energy Calibration

ENERGIES SCALING

The ADE7753 provides measurements of active, reactive, and apparent energies. These measurements do not have the same scaling and thus cannot be compared directly to each other.

Table 8. Energies Scaling

	PF = 1	PF = 0.707	PF = 0
Integrator On at 50 Hz			
Active	Wh	Wh × 0.707	0
Reactive	0	Wh × 0.508	Wh × 0.719
Apparent	Wh × 0.848	Wh × 0.848	Wh × 0.848
Integrator Off at 50 Hz			
Active	Wh	Wh × 0.707	0
Reactive	0	Wh × 0.245	Wh × 0.347
Apparent	Wh × 0.848	Wh × 0.848	Wh × 0.848
Integrator On at 60 Hz			
Active	Wh	Wh × 0.707	0
Reactive	0	Wh × 0.610	Wh × 0.863
Apparent	Wh × 0.827	Wh × 0.827	Wh × 0.827
Integrator Off at 60 Hz			
Active	Wh	Wh × 0.707	0
Reactive	0	Wh × 0.204	Wh × 0.289
Apparent	Wh × 0.827	Wh × 0.827	Wh × 0.827

When using a reference meter, the ADE7753 calibration output frequency, CF, is adjusted to match the frequency output of the reference meter. A pulse output is only provided for the active energy measurement in the ADE7753. If it is desired to use a reference meter for calibrating the VA and VAR, then additional code would have to be written in a microprocessor to produce a pulsed output for these quantities. Otherwise, VA and VAR calibration require an accurate source.

The ADE7753 provides a line cycle accumulation mode for calibration using an accurate source. In this method, the active energy accumulation rate is adjusted to produce a desired CF frequency. The benefit of using this mode is that the effect of the ripple noise in the active energy is eliminated. Up to 65535 half line cycles can be accumulated, thus providing a stable energy value to average. The accumulation time is calculated from the line cycle period, measured by the ADE7753 in the PERIOD register, and the number of half line cycles in the accumulation, fixed by the LINECYC register.

Current and voltage rms offset calibration removes any apparent energy offset. A gain calibration is also provided for apparent energy. Figure 79 shows an optimized calibration flow for active energy, rms, and apparent energy.

Active and apparent energy gain calibrations can take place concurrently, with a read of the accumulated apparent energy register following that of the accumulated active energy register.

Figure 78 shows the calibration flow for the active energy portion of the ADE7753.



Figure 78. Active Energy Calibration

The ADE7753 does not provide means to calibrate reactive energy gain and offset. The reactive energy portion of the ADE7753 can be calibrated externally, through a MCU.

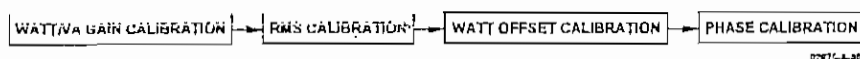


Figure 79. Apparent and Active Energy Calibration

Watt Gain

The first step of calibrating the gain is to define the line voltage, base current and the maximum current for the meter. A meter constant needs to be determined for CF, such as 3200 imp/kWh or 3.2 imp/Wh. Note that the line voltage and the maximum current scale to half of their respective analog input ranges in this example.

The expected CF in Hz is

$$CF_{\text{expected}}(\text{Hz}) = \frac{\text{MeterConstant}(\text{imp/Wh}) \times \text{Load}(\text{W})}{3600\text{s/h}} \times \cos(\varphi) \quad (34)$$

where φ is the angle between I and V, and $\cos(\varphi)$ is the power factor.

The ratio of active energy LSBs per CF pulse is adjusted using the CFNUM, CFDEN, and WDIV registers.

$$CF_{\text{expected}} = \frac{\text{LAENERGY}}{\text{AccumulationTime}(\text{s})} \times \text{WDIV} \times \frac{(\text{CFNUM} + 1)}{(\text{CFDEN} + 1)} \quad (35)$$

The relationship between watt-hours accumulated and the quantity read from AENERGY can be determined from the amount of active energy accumulated over time with a given load:

$$\frac{\text{Wh}}{\text{LSB}} = \frac{\text{Load}(\text{W}) \times \text{Accumulation Time}(\text{s})}{\text{LAENERGY} \times 3600\text{s/h}} \quad (36)$$

where *Accumulation Time* can be determined from the value in the line period and the number of half line cycles fixed in the LINECYC register.

$$\text{Accumulation time}(\text{s}) = \frac{\text{LINECYC}_{IB} \times \text{Line Period}(\text{s})}{2} \quad (37)$$

The line period can be determined from the PERIOD register:

$$\text{Line Period}(\text{s}) = \text{PERIOD} \times \frac{8}{\text{CLKIN}} \quad (38)$$

The AENERGY Wh/LSB ratio can also be expressed in terms of the meter constant:

$$\frac{\text{Wh}}{\text{LSB}} = \frac{\frac{(\text{CFNUM} + 1)}{(\text{CFDEN} + 1)} \times \text{WDIV}}{\text{MeterConstant}(\text{imp/Wh})} \quad (39)$$

In a meter design, WDIV, CFNUM, and CFDEN should be kept constant across all meters to ensure that the Wh/LSB constant is maintained. Leaving WDIV at its default value of 0 ensures maximum resolution. The WDIV register is not included in the CF signal chain so it does not affect the frequency pulse output.

The WGAIN register is used to finely calibrate each meter. Calibrating the WGAIN register changes both CF and AENERGY for a given load condition.

$$\text{AENERGY}_{\text{expected}} = \text{AENERGY}_{\text{nominal}} \times \left(1 + \frac{\text{WGAIN}}{2^{12}}\right) \quad (40)$$

$$CF_{\text{expected}}(\text{Hz}) = CF_{\text{nominal}} \times \frac{(\text{CFNUM} + 1)}{(\text{CFDEN} + 1)} \times \left(1 + \frac{\text{WGAIN}}{2^{12}}\right) \quad (41)$$

When calibrating with a reference meter, WGAIN is adjusted until CF matches the reference meter pulse output. If an accurate source is used to calibrate, WGAIN is modified until the active energy accumulation rate yields the expected CF pulse rate.

The steps of designing and calibrating the active energy portion of a meter with either a reference meter or an accurate source are outlined in the following examples. The specifications for this example are

Meter Constant:	<i>MeterConstant</i> (imp/Wh) = 3.2
Base Current:	$I_b = 10 \text{ A}$
Maximum Current:	$I_{\text{MAX}} = 60 \text{ A}$
Line Voltage:	$V_{\text{nominal}} = 220 \text{ V}$
Line Frequency:	$f_l = 50 \text{ Hz}$

The first step in calibration with either a reference meter or an accurate source is to calculate the CF denominator, CFDEN. This is done by comparing the expected CF pulse output to the nominal CF output with the default CFDEN = 0x3F and CFNUM = 0x3F and when the base current is applied.

The expected CF output for this meter with the base current applied is 1.9556 Hz using Equation 34.

$$CF_{IB(\text{expected})}(\text{Hz}) = \frac{3,200\text{imp/Wh} \times 10 \text{ A} \times 220 \text{ V}}{3600\text{s/h}} \times \cos(\varphi) = 1.9556 \text{ Hz}$$

Alternatively, CF_{expected} can be measured from a reference meter pulse output if available.

$$CF_{\text{expected}}(\text{Hz}) = CF_{\text{ref}} \quad (42)$$

The maximum CF frequency measured without any frequency division and with ac inputs at full scale is 23 kHz. For this example, the nominal CF with the test current, I_b , applied is 958 Hz. In this example the line voltage and maximum current scale half of their respective analog input ranges. The line voltage and maximum current should not be fixed at the maximum analog inputs to account for occurrences such as spikes on the line.

$$CF_{\text{nominal}}(\text{Hz}) = 23 \text{ kHz} \times \frac{1}{2} \times \frac{1}{2} \times \frac{I}{I_{\text{MAX}}} \quad (43)$$

$$CF_{IB(\text{nominal})}(\text{Hz}) = 23 \text{ kHz} \times \frac{1}{2} \times \frac{1}{2} \times \frac{10}{60} = 958 \text{ Hz}$$

The nominal CF on a sample set of meters should be measured using the default CFDEN, CFNUM, and WDIV to ensure that the best CFDEN is chosen for the design.

With the CFNUM register set to 0, CFDEN is calculated to be 489 for the example meter:

$$CFDEN = INT\left(\frac{CF_{IB(nominal)}}{CF_{IB(expected)}}\right) - 1 \tag{44}$$

$$CFDEN = INT\left(\frac{958}{1.9556}\right) - 1 = (490 - 1) = 489$$

This value for CFDEN should be loaded into each meter before calibration. The WGAIN and WDIV registers can then be used to finely calibrate the CF output. The following sections explain how to calibrate a meter based on ADE7753 when using a reference meter or an accurate source.

Calibrating Watt Gain Using a Reference Meter Example

The CFDEN and CFNUM values for the design should be written to their respective registers before beginning the calibration steps shown in Figure 80. When using a reference meter, the %ERROR in CF is measured by comparing the CF output of the ADE7753 meter with the pulse output of the reference meter with the same test conditions applied to both meters. Equation 45 defines the percent error with respect to the pulse outputs of both meters (using the base current, I_b):

$$\%ERROR_{CF(IB)} = \frac{CF_{IB} - CF_{ref(IB)}}{CF_{ref(IB)}} \times 100 \tag{45}$$

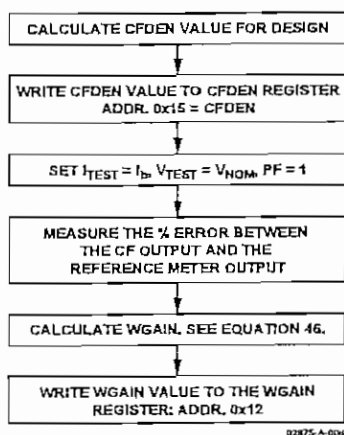


Figure 80. Calibrating Watt Gain Using a Reference Meter

For this example:

Meter Constant: $MeterConstant(imp/Wh) = 3.2$
 CF Numerator: $CFNUM = 0$
 CF Denominator: $CFDEN = 489$
 % Error measured at Base Current: $\%ERROR_{CF(IB)} = -3.07\%$

One LSB change in WGAIN changes the active energy registers and CF by 0.0244%. WGAIN is a signed twos complement register and can correct for up to a 50% error. Assuming a -3.07% error, WGAIN is 126:

$$WGAIN = INT\left(\frac{\%ERROR_{CF(IB)}}{0.0244\%}\right) \tag{46}$$

$$WGAIN = INT\left(\frac{-3.07\%}{0.0244\%}\right) = 126$$

When CF is calibrated, the AENERGY register has the same Wh/LSB constant from meter to meter if the meter constant, WDIV, and the CFNUM/CFDEN ratio remain the same. The Wh/LSB ratio for this meter is 6.378×10^{-4} using Equation 39 with WDIV at the default value.

$$\frac{Wh}{LSB} = \frac{(CFNUM + 1) \times WDIV}{(CFDEN + 1) \times MeterConstant(imp/Wh)}$$

$$\frac{Wh}{LSB} = \frac{1}{(490 + 1) \times 3.200 \text{ imp/Wh}} = \frac{1}{490 \times 3.2} = 6.378 \times 10^{-4}$$

Calibrating Watt Gain Using an Accurate Source Example

The CFDEN value calculated using Equation 44 should be written to the CFDEN register before beginning calibration and zero should be written to the CFNUM register. First, the line accumulation mode and the line accumulation interrupt should be enabled. Next, the number of half line cycles for the energy accumulation is written to the LINECYC register. This sets the accumulation time. Reset the interrupt status register and wait for the line cycle accumulation interrupt. The first line cycle accumulation results may not have used the accumulation time set by the LINECYC register and should be discarded. After resetting the interrupt status register, the following line cycle readings will be valid. When LINECYC half line cycles have elapsed, the \overline{IRQ} pin goes active low and the nominal LAENERGY with the test current applied can be read. This LAENERGY value is compared to the expected LAENERGY value to determine the WGAIN value. If apparent energy gain calibration is performed at the same time, LVAENERGY can be read directly after LAENERGY. Both registers should be read before the next interrupt is issued on the \overline{IRQ} pin. Refer to the Apparent Energy Calculation section for more details. Figure 81 details the steps that calibrate the watt gain using an accurate source.

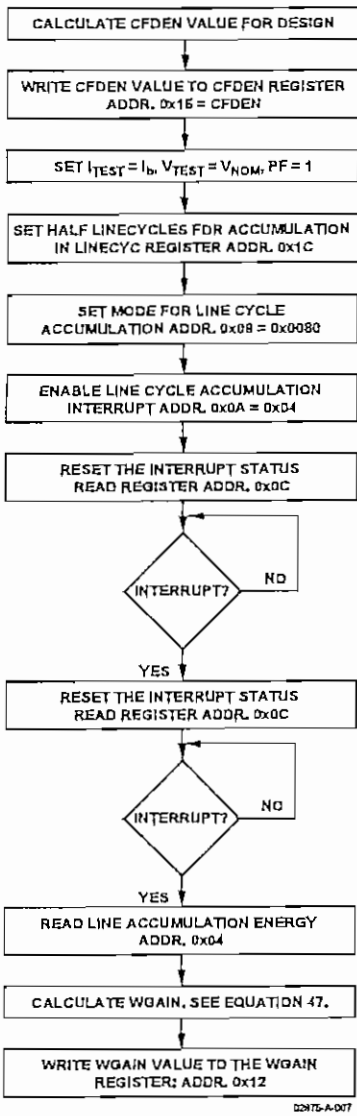


Figure 81. Calibrating Watt Gain Using an Accurate Source

Equation 47 describes the relationship between the expected LAENERGY value and the LAENERGY measured in the test condition:

$$WGAIN = INT \left(\left(\frac{LAENERGY_{IB(expected)}}{LAENERGY_{IB(nominal)}} - 1 \right) \times 2^{12} \right) \quad (47)$$

The nominal LAENERGY reading, $LAENERGY_{IB(nominal)}$, is the LAENERGY reading with the test current applied. The expected LAENERGY reading is calculated from the following equation:

$$LAENERGY_{IB(expected)} = INT \left(\frac{CF_{IB(expected)} \times Accumulation\ Time(s)}{\frac{CFNUM + 1}{CFDEN + 1} \times WDIV} \right) \quad (48)$$

where $CF_{IB(expected)}$ (Hz) is calculated from Equation 34, accumulation time is calculated from Equation 37, and the line period is determined from the PERIOD register according to Equation 38.

For this example:

Meter Constant:	$MeterConstant(imp/Wh) = 3.2$
Test Current:	$I_b = 10\ A$
Line Voltage:	$V_{nominal} = 220\ V$
Line Frequency:	$f_l = 50\ Hz$
Half Line Cycles:	$LINECYC_{IB} = 2000$
CF Numerator:	$CFNUM = 0$
CF Denominator:	$CFDEN = 489$
Energy Reading at Base Current:	$LAENERGY_{IB(nominal)} = 17174$
Period Register Reading:	$PERIOD = 8959$
Clock Frequency:	$CLKIN = 3.579545\ MHz$

$CF_{expected}$ is calculated to be 1.9556 Hz according to Equation 34. $LAENERGY_{expected}$ is calculated to be 19186 using Equation 48.

$$CF_{IB(expected)}(Hz) = \frac{3.200\ imp/Wh \times 220\ V \times 10\ A}{3600\ s/h} \times (\cos(\phi)) = 1.9556\ Hz$$

$$LAENERGY_{IB(expected)} = INT \left(\frac{CF_{IB(expected)} \times LINECYC_{IB} / 2 \times PERIOD \times 8 / CLKIN}{\frac{CFNUM + 1}{CFDEN + 1} \times WDIV} \right)$$

$$LAENERGY_{IB(expected)} = INT \left(\frac{1.9556 \times 2000 / 2 \times 8959 \times 8 / (3.579545 \times 10^6)}{\frac{1}{489 + 1}} \right) = 19186$$

$$INT(19186.4) = 19186$$

WGAIN is calculated to be 480 using Equation 47.

$$WGAIN = INT \left(\left(\frac{19186}{17174} - 1 \right) \times 2^{12} \right) = 480$$

Note that WGAIN is a signed two's complement register.

With *WDIV* and *CFNUM* set to 0, *LAENERGY* can be expressed as

$$LAENERGY_{IB(expected)} = INT(CF_{IB(expected)} \times LINECYC_{IB} / 2 \times PERIOD \times 8 / CLKIN \times (CFDEN + 1))$$

The calculated Wh/LSB ratio for the active energy register, using Equation 39 is 6.378×10^{-4} :

$$\frac{Wh}{LSB} = \frac{1}{3.200 \text{ imp/Wh} \times (489 + 1)} = 6.378 \times 10^{-4}$$

Watt Offset

Offset calibration allows outstanding performance over a wide dynamic range, for example, 1000:1. To do this calibration two measurements are needed at unity power factor, one at *I_b* and the other at the lowest current to be corrected. Either calibration frequency or line cycle accumulation measurements can be used to determine the energy offset. Gain calibration should be performed prior to offset calibration.

Offset calibration is performed by determining the active energy error rate. Once the active energy error rate has been determined, the value to write to the APOS register to correct the offset is calculated.

$$APOS = - \frac{AENERGY \text{ Error Rate} \times 2^{35}}{CLKIN} \tag{49}$$

The AENERGY registers update at a rate of CLKIN/4. The two complement APOS register provides a fine adjustment to the active power calculation. It represents a fixed amount of power offset to be adjusted every CLKIN/4. The 8 LSBs of the APOS register are fractional such that one LSB of APOS represents 1/256 of the least significant bit of the internal active energy register. Therefore, one LSB of the APOS register represents 2^{-33} of the AENERGY[23:0] active energy register.

The steps involved in determining the active energy error rate for both line accumulation and reference meter calibration options are shown in the following sections.

Calibrating Watt Offset Using a Reference Meter Example

Figure 82 shows the steps involved in calibrating watt offset with a reference meter.

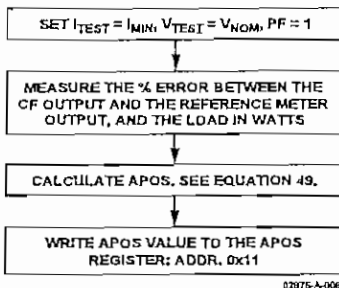


Figure 82. Calibrating Watt Offset Using a Reference Meter

For this example:

Meter Constant:	<i>MeterConstant</i> (imp/Wh) = 3.2
Minimum Current:	<i>I_{MIN}</i> = 40 mA
Load at Minimum Current:	<i>W_{MIN}</i> = 9.6 W
CF Error at Minimum Current:	% <i>ERROR</i> _{CF(MIN)} = 1.3%
CF Numerator:	<i>CFNUM</i> = 0
CF Denominator:	<i>CFDEN</i> = 489
Clock Frequency:	<i>CLKIN</i> = 3.579545 MHz

Using Equation 49, APOS is calculated to be -522 for this example.

$$CF \text{ Absolute Error} = CF_{IMIN(nominal)} - CF_{IMIN(expected)} \tag{50}$$

$$CF \text{ Absolute Error} = (\%ERROR_{CF(MIN)}) \times W_{MIN} \times \frac{MeterConstant(imp/Wh)}{3600} \tag{51}$$

$$CF \text{ Absolute Error} = \left(\frac{1.3\%}{100} \right) \times 9.6 \times \frac{3.200}{3600} = 0.000110933 \text{ Hz}$$

Then,

$$AENERGY \text{ Error Rate (LSB/s)} = CF \text{ Absolute Error} \times \frac{CFDEN + 1}{CFNUM + 1} \tag{52}$$

$$AENERGY \text{ Error Rate (LSB/s)} = 0.000110933 \times \frac{490}{1} = 0.05436$$

Using Equation 49, APOS is -522.

$$APOS = - \frac{0.05436 \times 2^{35}}{3,579,545 \times 10^6} = -522$$

APOS can be represented as follows with *CFNUM* and *WDIV* set at 0:

$$APOS = - \frac{(\%ERROR_{CF(MIN)}) \times W_{MIN} \times \frac{MeterConstant(imp/Wh)}{3600} \times (CFDEN + 1) \times 2^{35}}{CLKIN}$$

Calibrating Watt Offset with an Accurate Source Example

Figure 83 is the flowchart for watt offset calibration with an accurate source.

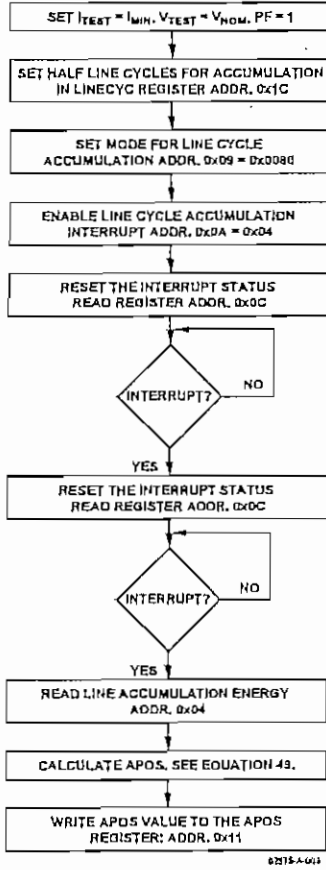


Figure 83. Calibrating Watt Offset with an Accurate Source

For this example:

- Meter Constant: $MeterConstant(\text{imp/Wh}) = 3.2$
- Line Voltage: $V_{nominal} = 220 \text{ V}$
- Line Frequency: $f_l = 50 \text{ Hz}$
- CF Numerator: $CFNUM = 0$
- CF Denominator: $CFDEN = 489$
- Base Current: $I_b = 10 \text{ A}$
- Half Line Cycles Used at Base Current: $LINECYC_{(Ib)} = 2000$
- Period Register Reading: $PERIOD = 8959$
- Clock Frequency: $CLKIN = 3.579545 \text{ MHz}$
- Expected LAENERGY Register Value at Base Current (from the Watt Gain section): $LAENERGY_{Ib(\text{expected})} = 19186$
- Minimum Current: $I_{MIN} = 40 \text{ mA}$
- Number of Half Line Cycles used at Minimum Current: $LINECYC_{(I_{MIN})} = 35700$
- Active energy Reading at Minimum Current: $LAENERGY_{I_{MIN}(\text{nominal})} = 1395$

The $LAENERGY_{\text{expected}}$ at I_{MIN} is 1370 using Equation 53.

$$LAENERGY_{I_{MIN}(\text{expected})} = INT \left(\frac{I_{MIN}}{I_b} \times LAENERGY_{Ib(\text{expected})} \times \frac{LINECYC_{I_{MIN}}}{LINECYC_{Ib}} \right) \quad (53)$$

$$LAENERGY_{I_{MIN}(\text{expected})} = INT \left(\frac{0.04}{10} \times 19186 \times \frac{35700}{2000} \right) = INT(1369.80) = 1370$$

where:

$LAENERGY_{Ib(\text{expected})}$ is the expected LAENERGY reading at I_b from the watt gain calibration.
 $LINECYC_{I_{MIN}}$ is the number of half line cycles that energy is accumulated over when measuring at I_{MIN} .

More line cycles could be required at the minimum current to minimize the effect of quantization error on the offset calibration. For example, if a test current of 40 mA results in an active energy accumulation of 113 after 2000 half line cycles, one LSB variation in this reading represents an 0.8% error. This measurement does not provide enough resolution to calibrate out a <1% offset error. However, if the active energy is accumulated over 37,500 half line cycles, one LSB variation results in 0.05% error, reducing the quantization error.

APOS is -672 using Equations 55 and 49.

$$LAENERGY_{\text{Absolute Error}} = LAENERGY_{I_{MIN}(\text{nominal})} - LAENERGY_{I_{MIN}(\text{expected})}$$

$$LAENERGY_{\text{Absolute Error}} = 1395 - 1370 = 25 \quad (54)$$

$$AENERGY_{\text{Error Rate (LSB/s)}} = \frac{LAENERGY_{\text{Absolute Error}}}{LINECYC/2} \times \frac{CLKIN}{8 \times PERIOD} \quad (55)$$

$$AENERGY_{\text{Error Rate (LSB/s)}} = \frac{25}{35700/2} \times \frac{3,579,545 \times 10^6}{8 \times 8959} = 0.069948771$$

$$APOS = - \frac{AENERGY_{\text{Error Rate}} \times 2^{35}}{CLKIN}$$

$$APOS = - \frac{0.069948771 \times 2^{35}}{3,579,545 \times 10^6} = -672$$

Phase Calibration

The PHCAL register is provided to remove small phase errors. The ADE7753 compensates for phase error by inserting a small time delay or advance on the voltage channel input. Phase leads up to 1.84° and phase lags up to 0.72° at 50 Hz can be corrected. The error is determined by measuring the active energy at I₁ and two power factors, PF = 1 and PF = 0.5 inductive.

Some CTs may introduce large phase errors that are beyond the range of the phase calibration register. In this case, coarse phase compensation has to be done externally with an analog filter.

The phase error can be obtained from either CF or LAENERGY measurements:

$$Error = \frac{LAENERGY_{IB, PF=0.5} - LAENERGY_{IB(expected)}/2}{LAENERGY_{IB(expected)}/2} \quad (56)$$

If watt gain and offset calibration have been performed, there should be 0% error in CF at unity power factor and then:

$$Error = \%ERROR_{CF(IPF=0.5)} / 100 \quad (57)$$

The phase error is

$$Phase\ Error\ (^{\circ}) = -\text{Arcsin}\left(\frac{Error}{\sqrt{3}}\right) \quad (58)$$

The relationship between phase error and the PHCAL phase correction register is

$$PHCAL = INT\left(Phase\ Error\ (^{\circ}) \times \frac{PERIOD}{360^{\circ}}\right) + 0x0D \quad (59)$$

The expression for PHCAL can be simplified using the assumption that at small x:

$$\text{Arcsin}(x) \approx x$$

The delay introduced in the voltage channel by PHCAL is

$$Delay = (PHCAL - 0x0D) \times 8 / CLKIN \quad (60)$$

The delay associated with the PHCAL register is a time delay if (PHCAL -- 0x0D) is positive but represents a time advance if this quantity is negative. There is no time delay if PHCAL = 0x0D.

The phase correction is in the opposite direction of the phase error.

$$Phase\ Correction\ (^{\circ}) = -(PHCAL - 0x0D) \times \frac{360^{\circ}}{PERIOD} \quad (61)$$

Calibrating Phase Using a Reference Meter Example

A power factor of 0.5 inductive can be assumed if the pulse output rate of the reference meter is half of its PF = 1 rate. Then the %ERROR between CF and the pulse output of the reference meter can be used to perform the preceding calculations.

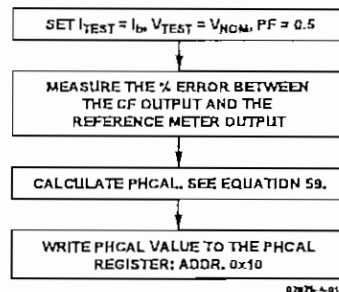


Figure 84. Calibrating Phase Using a Reference Meter

For this example:

CF % Error at PF = .5 Inductive: %ERROR_{CF(IPF=.5)} = 0.215%
 PERIOD Register Reading: PERIOD = 8959

Then PHCAL is 11 using Equations 57 through 59:

$$Error = 0.215\% / 100 = 0.00215$$

$$Phase\ Error\ (^{\circ}) = -\text{Arcsin}\left(\frac{0.00215}{\sqrt{3}}\right) = -0.07^{\circ}$$

$$PHCAL = INT\left(-0.07^{\circ} \times \frac{8959}{360^{\circ}}\right) + 0x0D = -2 + 13 = 11$$

PHCAL can be expressed as follows:

$$PHCAL = INT\left(-\text{Arcsin}\left(\frac{Error}{\sqrt{3}}\right) \times \frac{PERIOD}{2\pi}\right) + 0x0D \quad (62)$$

Note that PHCAL is a signed two's complement register.

Setting the PHCAL register to 11 provides a phase correction of 0.08° to correct the phase lead:

$$Phase\ Correction\ (^{\circ}) = -(PHCAL - 0x0D) \times \frac{360^{\circ}}{PERIOD}$$

$$Phase\ Correction\ (^{\circ}) = -(11 - 0x0D) \times \frac{360^{\circ}}{8960} = 0.08^{\circ}$$

Calibrating Phase with an Accurate Source Example

With an accurate source, line cycle accumulation is a good method of calibrating phase error. The value of LAENERGY must be obtained at two power factors, PF = 1 and PF = 0.5 inductive.

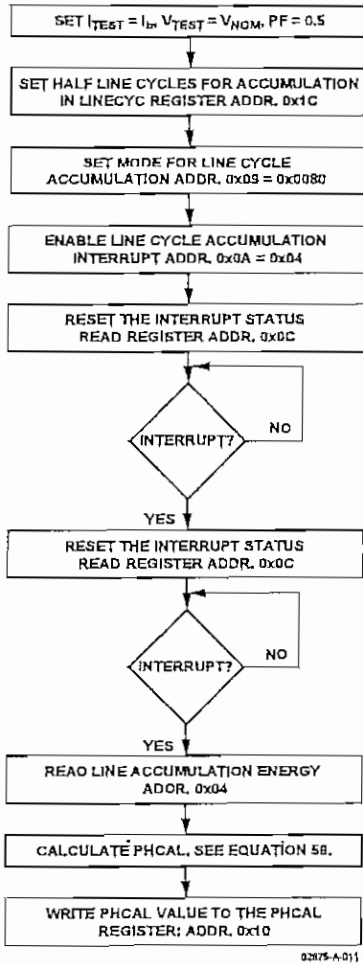


Figure 85. Calibrating Phase with an Accurate Source

For this example:

Meter Constant:	$MeterConstant(\text{imp/Wh}) = 3.2$
Line Voltage:	$V_{nominal} = 220 \text{ V}$
Line Frequency:	$f_l = 50 \text{ Hz}$
CF Numerator:	$CFNUM = 0$
CF Denominator:	$CFDEN = 489$
Base Current:	$I_b = 10 \text{ A}$
Half Line Cycles Used at Base Current:	$LINECYC_{Ib} = 2000$
PERIOD Register:	$PERIOD = 8959$
Expected Line Accumulation at Unity Power Factor (from Watt Gain Section):	$LAENERGY_{Ib, \text{expected}} = 19186$
Active Energy Reading at PF = .5 inductive:	$LAENERGY_{Ib, PF=.5} = 9613$

The error using Equation 56 is

$$Error = \frac{9613 - 19186/2}{19186/2} = 0.0021$$

$$Phase \text{ Error } (^{\circ}) = -\text{Arcsin}\left(\frac{0.0021}{\sqrt{3}}\right) = -0.07^{\circ}$$

Using Equation 59, PHCAL is calculated to be 11.

$$PHCAL = INT\left(-0.07^{\circ} \times \frac{8959}{360^{\circ}}\right) + 0x0D = -2 + 13 = 11$$

Note that PHCAL is a signed two's complement register.

The phase lead is corrected by 0.08° when the PHCAL register is set to 11:

$$Phase \text{ Correction } (^{\circ}) = -(PHCAL - 0x0D) \times \frac{360^{\circ}}{PERIOD}$$

$$Phase \text{ Correction } (^{\circ}) = -(11 - 0x0D) \times \frac{360^{\circ}}{8960} = 0.08^{\circ}$$

VRMS and IRMS Calibration

VRMS and IRMS are calculated by squaring the input in a digital multiplier.

$$v^2(t) = \sqrt{2} V \sin(\omega t) \times \sqrt{2} V \sin(\omega t) = V^2 - V^2 \times \cos(2\omega t) \quad (63)$$

The square of the rms value is extracted from $v^2(t)$ by a low-pass filter. The square root of the output of this low-pass filter gives the rms value. An offset correction is provided to cancel noise and offset contributions from the input.

There is ripple noise from the 2ω term because the low-pass filter does not completely attenuate the signal. This noise can be minimized by synchronizing the rms register readings with the zero crossing of the voltage signal. The IRQ output can be configured to indicate the zero crossing of the voltage signal.

This flowchart demonstrates how VRMS and IRMS readings are synchronized to the zero crossings of the voltage input.

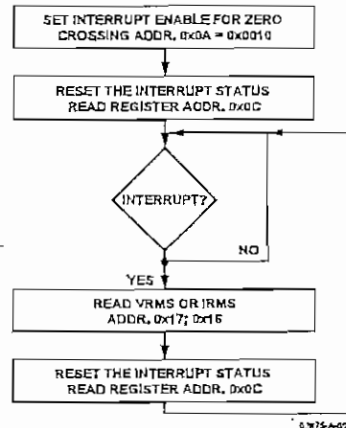


Figure 86. Synchronizing VRMS and IRMS Readings with Zero Crossings

Voltage rms compensation is done after the square root.

$$VRMS = VRMS0 + VRMSOS \quad (64)$$

where:

$VRMS0$ is the rms measurement without offset correction.

$VRMS$ is linear from full-scale to full-scale/20.

To calibrate the offset, two $VRMS$ measurements are required, for example, at $V_{nominal}$ and $V_{nominal}/10$. $V_{nominal}$ is set at half of the full-scale analog input range so the smallest linear $VRMS$ reading is at $V_{nominal}/10$.

$$VRMSOS = \frac{V_1 \times VRMS_2 - V_2 \times VRMS_1}{V_2 - V_1} \quad (65)$$

where $VRMS_1$ and $VRMS_2$ are rms register values without offset correction for input V_1 and V_2 , respectively.

If the range of the 12-bit, two's complement $VRMSOS$ register is not enough, the voltage channel offset register, $CH2OS$, can be used to correct the $VRMS$ offset.

Current rms compensation is performed before the square root:

$$IRMS^2 = IRMS0^2 + 32768 \times IRMSOS \quad (66)$$

where $IRMS0$ is the rms measurement without offset correction. The current rms calculation is linear from full-scale to full-scale/100.

To calibrate this offset, two $IRMS$ measurements are required, for example, at I_b and $I_{MAX}/50$. I_{MAX} is set at half of the full-scale analog input range so the smallest linear $IRMS$ reading is at $I_{MAX}/50$.

$$IRMSOS = \frac{1}{32768} \times \frac{I_1^2 \times IRMS_2^2 - I_2^2 \times IRMS_1^2}{I_2^2 - I_1^2} \quad (67)$$

where $IRMS_1$ and $IRMS_2$ are rms register values without offset correction for input I_1 and I_2 , respectively.

Apparent Energy

Apparent energy gain calibration is provided for both meter-to-meter gain adjustment and for setting the VAh/LSB constant.

$$VAENERGY = VAENERGY_{Initial} \times \frac{1}{VADIV} \times \left(1 + \frac{VAGAIN}{2^{12}}\right) \quad (68)$$

$VADIV$ is similar to the $CFDEN$ for the watt hour calibration. It should be the same across all meters and determines the VAh/LSB constant. $VAGAIN$ is used to calibrate individual meters.

Apparent energy gain calibration should be performed before rms offset correction to make most efficient use of the current test points. Apparent energy gain and watt gain compensation require testing at I_b while rms and watt offset correction require a lower test current. Apparent energy gain calibration can be done at the same time as the watt-hour gain calibration using line cycle accumulation. In this case, $LAENERGY$ and $LVAENERGY$, the line cycle accumulation apparent energy register, are both read following the line cycle accumulation interrupt. Figure 87 shows a flowchart for calibrating active and apparent energy simultaneously.

$$VAGAIN = INT \left(\left(\frac{LVAENERGY_{IB(expected)}}{LVAENERGY_{IB(nominal)}} - 1 \right) \times 2^{12} \right) \quad (69)$$

$$LVAENERGY_{IB(expected)} = INT \left(\frac{V_{nominal} \times I_b}{\frac{VAh}{LSB} \text{ constant} \times 3600 \text{ s/h}} \times \text{Accumulation time(s)} \right) \quad (70)$$

The accumulation time is determined from Equation 37 and the line period can be determined from the $PERIOD$ register according to Equation 38. The VAh represented by the $VAENERGY$ register is

$$VAh = VAENERGY \times VAh/LSB \text{ constant} \quad (71)$$

The VAh/LSB constant can be verified using this equation:

$$\frac{VAh}{LSB} \text{ constant} = \frac{VA \times \text{Accumulation time(s)}}{LVAENERGY / 3600} \quad (72)$$

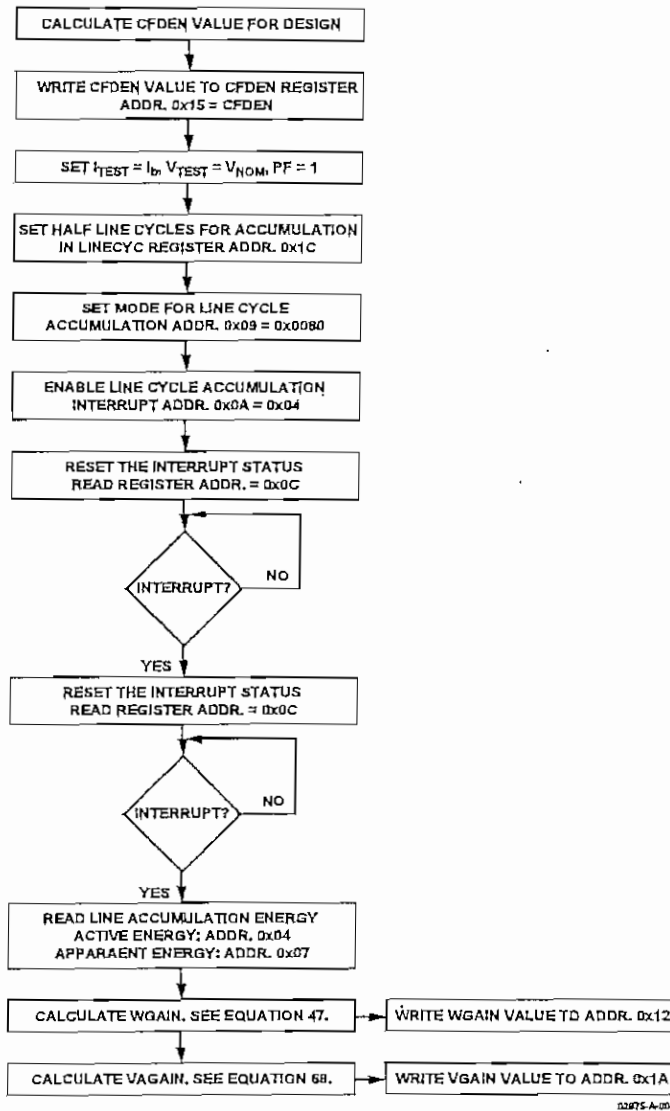


Figure 87. Active/Apparent Gain Calibration

Reactive Energy

Reactive energy is only available in line accumulation mode in the ADE7753. The accumulated reactive energy over LINECYC number of half line cycles is stored in the LVARENERGY register.

In the ADE7753, a low-pass filter at 2 Hz on the current channel is implemented for the reactive power calculation. This provides the 90 degree phase shift needed to calculate the reactive power. This filter introduces 1/f attenuation in the reactive energy accumulated. Compensation for this attenuation can be done externally in a microcontroller. The microcontroller can use the LVARENERGY register in order to produce a pulse output similar to the CF pulse for reactive energy.

To create a VAR pulse, an impulse/VARh constant must be determined. The 1/f attenuation correction factor is determined by comparing the nominal reactive energy accumulation rate to the expected value. The attenuation correction factor is multiplied by the contents of the LVARENERGY register, with the ADE7753 in line accumulation mode.

The impulse/LSB ratio used to convert the value in the LVARENERGY register into a pulse output can be expressed in terms of impulses/VARh and VARh/LSB.

$$imp/LSB = imp/VARh \times VARh/LSB = \frac{VARCF_{IB(expected)}}{VARCF_{nominal}} \quad (73)$$

$$VARCF_{IB(expected)} = \frac{VARConstant(imp/VARh) \times V_{nominal} \times I_b \times \sin(\varphi)}{3600s/h} \quad (74)$$

$$VARCF_{IB(nominal)} = \frac{LVARENERGY_{IB} \times PERIOD_{50Hz}}{Accumulation\ time(s) \times PERIOD} \quad (75)$$

where the accumulation time is calculated from Equation 37. The line period can be determined from the PERIOD register according to Equation 38. Then VAR can be determined from the LVARENERGY register value:

$$VARh = \frac{LVARENERGY_{IB} \times VARh/LSB \times PERIOD_{50Hz}}{PERIOD} \quad (76)$$

$$VAR = \frac{LVARENERGY_{IB} \times VARh/LSB \times 3600s/h \times PERIOD_{50Hz}}{Accumulation\ time(s) \times PERIOD} \quad (77)$$

The $PERIOD_{50Hz}/PERIOD$ factor in the preceding VAR equations is the correction factor for the 1/f frequency attenuation of the low-pass filter. The $PERIOD_{50Hz}$ term refers to the line period at calibration and could represent a frequency other than 50 Hz.

CLKIN FREQUENCY

In this data sheet, the characteristics of the ADE7753 are shown when CLKIN frequency is equal to 3.579545 MHz. However, the ADE7753 is designed to have the same accuracy at any CLKIN frequency within the specified range. If the CLKIN frequency is not 3.579545 MHz, various timing and filter characteristics need to be redefined with the new CLKIN frequency. For example, the cutoff frequencies of all digital filters such as LPF1, LPF2, or HPF1, shift in proportion to the change in CLKIN frequency according to the following equation:

$$New\ Frequency = Original\ Frequency \times \frac{CLKIN\ Frequency}{3.579545\ MHz} \quad (78)$$

The change of CLKIN frequency does not affect the timing characteristics of the serial interface because the data transfer is synchronized with serial clock signal (SCLK). But one needs to observe the read/write timing of the serial data transfer—see the ADE7753 timing characteristics in Table 2. Table 9 lists various timing changes that are affected by CLKIN frequency.

Table 9. Frequency Dependencies of the ADE7753 Parameters

Parameter	CLKIN Dependency
Nyquist Frequency for CH 1 and CH 2 ADCs	CLKIN/8
PHCAL Resolution (Seconds per LSB)	4/CLKIN
Active Energy Register Update Rate (Hz)	CLKIN/4
Waveform Sampling Rate (per Second)	
WAVSEL 1,0 = 00	CLKIN/128
01	CLKIN/256
10	CLKIN/512
11	CLKIN/1024
Maximum ZXTOUT Period	524,288/CLKIN

SUSPENDING ADE7753 FUNCTIONALITY

The analog and the digital circuit can be suspended separately. The analog portion of the ADE7753 can be suspended by setting the ASUSPEND bit (Bit 4) of the mode register to logic high—see the Mode Register (0x9) section. In suspend mode, all waveform samples from the ADCs are set to 0. The digital circuitry can be halted by stopping the CLKIN input and maintaining a logic high or low on the CLKIN pin. The ADE7753 can be reactivated by restoring the CLKIN input and setting the ASUSPEND bit to logic low.

CHECKSUM REGISTER

The ADE7753 has a checksum register (CHECKSUM[5:0]) to ensure the data bits received in the last serial read operation are not corrupted. The 6-bit checksum register is reset before the first bit (MSB of the register to be read) is put on the DOUT pin. During a serial read operation, when each data bit becomes available on the rising edge of SCLK, the bit is added to the checksum register. In the end of the serial read operation, the content of the checksum register is equal to the sum of all ones in the register previously read. Using the checksum register, the user can determine if an error has occurred during the last read operation. Note that a read to the checksum register also generates a checksum of the checksum register itself.

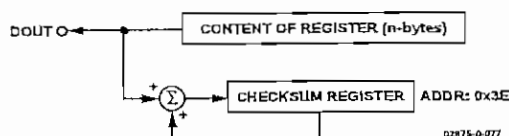


Figure 88. Checksum Register for Serial Interface Read

ADE7753

ADE7753 SERIAL INTERFACE

All ADE7753 functionality is accessible via several on-chip registers—see Figure 89. The contents of these registers can be updated or read using the on-chip serial interface. After power-on or toggling the RESET pin low or a falling edge on CS, the ADE7753 is placed in communications mode. In communications mode, the ADE7753 expects a write to its communications register. The data written to the communications register determines whether the next data transfer operation is a read or a write and also which register is accessed. Therefore all data transfer operations with the ADE7753, whether a read or a write, must begin with a write to the communications register.

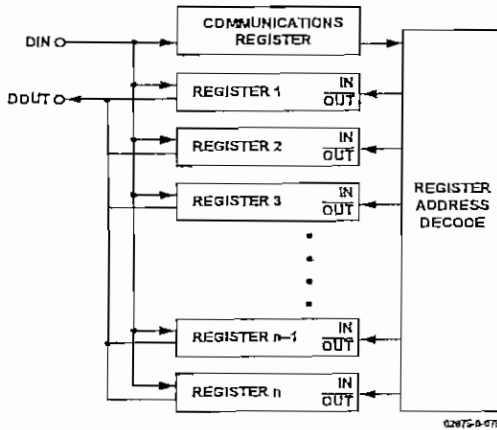


Figure 89. Addressing ADE7753 Registers via the Communications Register

The communications register is an 8-bit wide register. The MSB determines whether the next data transfer operation is a read or a write. The six LSBs contain the address of the register to be accessed—see the Communications Register section for a more detailed description.

Figure 90 and Figure 91 show the data transfer sequences for a read and write operation, respectively. On completion of a data transfer (read or write), the ADE7753 once again enters communications mode. A data transfer is complete when the LSB of the ADE7753 register being addressed (for a write or a read) is transferred to or from the ADE7753.

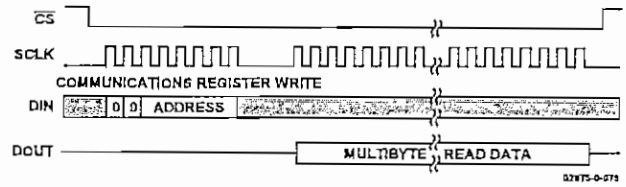


Figure 90. Reading Data from the ADE7753 via the Serial Interface

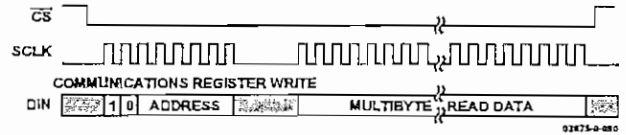


Figure 91. Writing Data to the ADE7753 via the Serial Interface

The serial interface of the ADE7753 is made up of four signals: SCLK, DIN, DOUT, and CS. The serial clock for a data transfer is applied at the SCLK logic input. This logic input has a Schmitt-trigger input structure that allows slow rising (and falling) clock edges to be used. All data transfer operations are synchronized to the serial clock. Data is shifted into the ADE7753 at the DIN logic input on the falling edge of SCLK. Data is shifted out of the ADE7753 at the DOUT logic output on a rising edge of SCLK. The CS logic input is the chip-select input. This input is used when multiple devices share the serial bus. A falling edge on CS also resets the serial interface and places the ADE7753 into communications mode. The CS input should be driven low for the entire data transfer operation. Bringing CS high during a data transfer operation aborts the transfer and places the serial bus in a high impedance state. The CS logic input can be tied low if the ADE7753 is the only device on the serial bus. However, with CS tied low, all initiated data transfer operations must be fully completed, i.e., the LSB of each register must be transferred because there is no other way of bringing the ADE7753 back into communications mode without resetting the entire device by using RESET.

ADE7753 Serial Write Operation

The serial write sequence takes place as follows. With the ADE7753 in communications mode (i.e., the \overline{CS} input logic low), a write to the communications register first takes place. The MSB of this byte transfer is a 1, indicating that the data transfer operation is a write. The LSBs of this byte contain the address of the register to be written to. The ADE7753 starts shifting in the register data on the next falling edge of SCLK. All remaining bits of register data are shifted in on the falling edge of subsequent SCLK pulses—see Figure 92. As explained earlier, the data write is initiated by a write to the communications register followed by the data. During a data write operation to the ADE7753, data is transferred to all on-chip registers one byte at a time. After a byte is transferred into the serial port, there is a finite time before it is transferred to one of the ADE7753 on-chip registers. Although another byte transfer to the serial port can start while the previous byte is being transferred to an on-chip register, this second byte transfer

should not finish until at least 4 μs after the end of the previous byte transfer. This functionality is expressed in the timing specification t_6 —see Figure 92. If a write operation is aborted during a byte transfer (\overline{CS} brought high), then that byte cannot be written to the destination register.

Destination registers can be up to 3 bytes wide—see the ADE7753 Register Description tables. Therefore the first byte shifted into the serial port at DIN is transferred to the MSB (most significant byte) of the destination register. If, for example, the addressed register is 12 bits wide, a 2-byte data transfer must take place. The data is always assumed to be right justified, therefore in this case, the four MSBs of the first byte would be ignored and the four LSBs of the first byte written to the ADE7753 would be the four MSBs of the 12-bit word. Figure 93 illustrates this example.

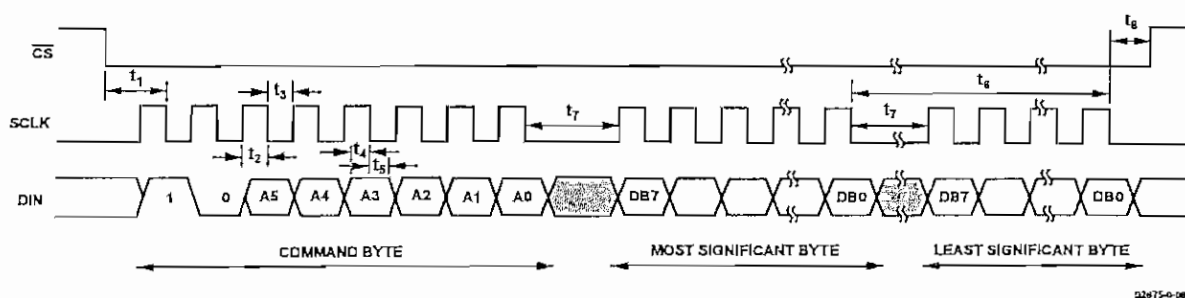


Figure 92. Serial Interface Write Timing

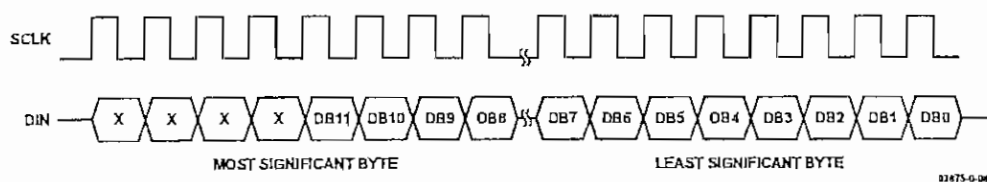


Figure 93. 12-Bit Serial Write Operation

ADE7753

ADE7753 Serial Read Operation

During a data read operation from the ADE7753, data is shifted out at the DOUT logic output on the rising edge of SCLK. As is the case with the data write operation, a data read must be preceded with a write to the communications register.

With the ADE7753 in communications mode (i.e., \overline{CS} logic low), an 8-bit write to the communications register first takes place. The MSB of this byte transfer is a 0, indicating that the next data transfer operation is a read. The LSBs of this byte contain the address of the register that is to be read. The ADE7753 starts shifting out of the register data on the next rising edge of SCLK—see Figure 94. At this point, the DOUT logic output leaves its high impedance state and starts driving the data bus. All remaining bits of register data are shifted out on subsequent SCLK rising edges. The serial interface also enters communications mode again as soon as the read has been completed. At this point, the DOUT logic output enters a

high impedance state on the falling edge of the last SCLK pulse. The read operation can be aborted by bringing the \overline{CS} logic input high before the data transfer is complete. The DOUT output enters a high impedance state on the rising edge of \overline{CS} .

When an ADE7753 register is addressed for a read operation, the entire contents of that register are transferred to the serial port. This allows the ADE7753 to modify its on-chip registers without the risk of corrupting data during a multibyte transfer.

Note that when a read operation follows a write operation, the read command (i.e., write to communications register) should not happen for at least 4 μs after the end of the write operation. If the read command is sent within 4 μs of the write operation, the last byte of the write operation could be lost. This timing constraint is given as timing specification t_9 .

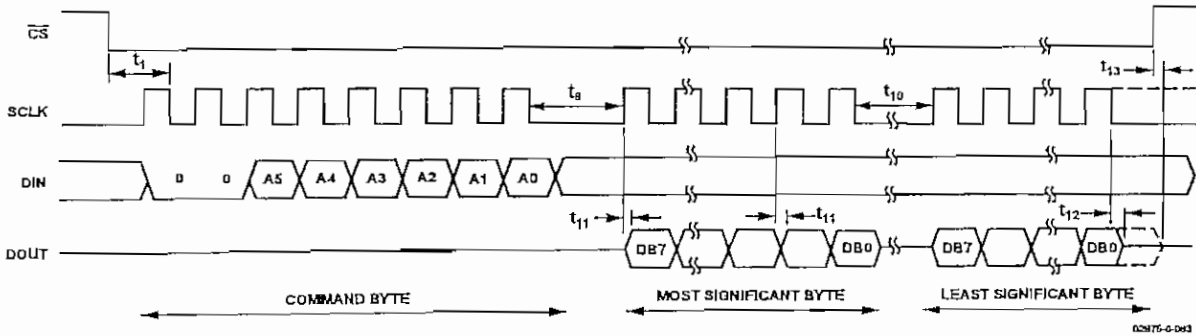


Figure 94. Serial Interface Read Timing

ADE7753 REGISTERS

Table 10. Summary of Registers by Address

Address	Name	R/W	No. Bits	Default	Type ¹	Description
0x01	WAVEFORM	R	24	0x0	S	Waveform Register. This read-only register contains the sampled waveform data from either Channel 1, Channel 2, or the active power signal. The data source and the length of the waveform registers are selected by data Bits 14 and 13 in the mode register—see the Channel 1 Sampling and Channel 2 Sampling sections.
0x02	AENERGY	R	24	0x0	S	Active Energy Register. Active power is accumulated (integrated) over time in this 24-bit, read-only register—see the Energy Calculation section.
0x03	RAENERGY	R	24	0x0	S	Same as the active energy register except that the register is reset to 0 following a read operation.
0x04	LAENERGY	R	24	0x0	S	Line Accumulation Active Energy Register. The instantaneous active power is accumulated in this read-only register over the LINECYC number of half line cycles.
0x05	VAENERGY	R	24	0x0	U	Apparent Energy Register. Apparent power is accumulated over time in this read-only register.
0x06	RVAENERGY	R	24	0x0	U	Same as the VAENERGY register except that the register is reset to 0 following a read operation.
0x07	LVAENERGY	R	24	0x0	U	Line Accumulation Apparent Energy Register. The instantaneous real power is accumulated in this read-only register over the LINECYC number of half line cycles.
0x08	LVARENERGY	R	24	0x0	S	Line Accumulation Reactive Energy Register. The instantaneous reactive power is accumulated in this read-only register over the LINECYC number of half line cycles.
0x09	MODE	R/W	16	0x000C	U	Mode Register. This is a 16-bit register through which most of the ADE7753 functionality is accessed. Signal sample rates, filter enabling, and calibration modes are selected by writing to this register. The contents can be read at any time—see the Mode Register (0x9) section.
0x0A	IRQEN	R/W	16	0x40	U	Interrupt Enable Register. ADE7753 interrupts can be deactivated at any time by setting the corresponding bit in this 16-bit enable register to Logic 0. The status register continues to register an interrupt event even if disabled. However, the IRQ output is not activated—see the ADE7753 Interrupts section.
0x0B	STATUS	R	16	0x0	U	Interrupt Status Register. This is an 16-bit read-only register. The status register contains information regarding the source of ADE7753 interrupts—the see ADE7753 Interrupts section.
0x0C	RSTSTATUS	R	16	0x0	U	Same as the interrupt status register except that the register contents are reset to 0 (all flags cleared) after a read operation.
0x0D	CH1OS	R/W	8	0x00	S*	Channel 1 Offset Adjust. Bit 6 is not used. Writing to Bits 0 to 5 allows offsets on Channel 1 to be removed—see the Analog Inputs and CH1OS Register (0x0D) sections. Writing a Logic 1 to the MSB of this register enables the digital integrator on Channel 1, a Logic 0 disables the integrator. The default value of this bit is 0.
0x0E	CH2OS	R/W	8	0x0	S*	Channel 2 Offset Adjust. Bits 6 and 7 are not used. Writing to Bits 0 to 5 of this register allows any offsets on Channel 2 to be removed—see the Analog Inputs section. Note that the CH2OS register is inverted. To apply a positive offset, a negative number is written to this register.
0x0F	GAIN	R/W	8	0x0	U	PGA Gain Adjust. This 8-bit register is used to adjust the gain selection for the PGA in Channels 1 and 2—see the Analog Inputs section.
0x10	PHCAL	R/W	6	0x0D	S	Phase Calibration Register. The phase relationship between Channel 1 and 2 can be adjusted by writing to this 6-bit register. The valid content of this two's complement register is between 0x1D to 0x21. At a line frequency of 60 Hz, this is a range from -2.06° to $+0.7^\circ$ —see the Phase Compensation section.
0x11	APOS	R/W	16	0x0	S	Active Power Offset Correction. This 16-bit register allows small offsets in the active power calculation to be removed—see the Active Power Calculation section.

ADE7753

Address	Name	R/W	No. Bits	Default	Type ¹	Description
0x12	WGAIN	R/W	12	0x0	S	Power Gain Adjust. This is a 12-bit register. The active power calculation can be calibrated by writing to this register. The calibration range is $\pm 50\%$ of the nominal full-scale active power. The resolution of the gain adjust is 0.02444%/LSB—see the Calibrating an Energy Meter Based on the ADE7753 section.
0x13	WDIV	R/W	8	0x0	U	Active Energy Divider Register. The internal active energy register is divided by the value of this register before being stored in the AENERGY register.
0x14	CFNUM	R/W	12	0x3F	U	CF Frequency Divider Numerator Register. The output frequency on the CF pin is adjusted by writing to this 12-bit read/write register—see the Energy-to-Frequency Conversion section.
0x15	CFDEN	R/W	12	0x3F	U	CF Frequency Divider Denominator Register. The output frequency on the CF pin is adjusted by writing to this 12-bit read/write register—see the Energy-to-Frequency Conversion section.
0x16	IRMS	R	24	0x0	U	Channel 1 RMS Value (Current Channel).
0x17	VRMS	R	24	0x0	U	Channel 2 RMS Value (Voltage Channel).
0x18	IRMSOS	R/W	12	0x0	S	Channel 1 RMS Offset Correction Register.
0x19	VRMSOS	R/W	12	0x0	S	Channel 2 RMS Offset Correction Register.
0x1A	VAGAIN	R/W	12	0x0	S	Apparent Gain Register. Apparent power calculation can be calibrated by writing to this register. The calibration range is 50% of the nominal full-scale real power. The resolution of the gain adjust is 0.02444%/LSB.
0x1B	VADIV	R/W	8	0x0	U	Apparent Energy Divider Register. The internal apparent energy register is divided by the value of this register before being stored in the VAENERGY register.
0x1C	LINECYC	R/W	16	0xFFFF	U	Line Cycle Energy Accumulation Mode Line-Cycle Register. This 16-bit register is used during line cycle energy accumulation mode to set the number of half line cycles for energy accumulation—see the Line Cycle Energy Accumulation Mode section.
0x1D	ZXTOUT	R/W	12	0xFFF	U	Zero-Crossing Timeout. If no zero crossings are detected on Channel 2 within a time period specified by this 12-bit register, the interrupt request line (IRQ) is activated—see the Zero-Crossing Detection section.
0x1E	SAGCYC	R/W	8	0xFF	U	Sag Line Cycle Register. This 8-bit register specifies the number of consecutive line cycles the signal on Channel 2 must be below SAGLVL before the SAG output is activated—see the Line Voltage Sag Detection section.
0x1F	SAGLVL	R/W	8	0x0	U	Sag Voltage Level. An 8-bit write to this register determines at what peak signal level on Channel 2 the SAG pin becomes active. The signal must remain low for the number of cycles specified in the SAGCYC register before the SAG pin is activated—see the Line Voltage Sag Detection section.
0x20	IPKLVL	R/W	8	0xFF	U	Channel 1 Peak Level Threshold (Current Channel). This register sets the level of the current peak detection. If the Channel 1 input exceeds this level, the PKI flag in the status register is set.
0x21	VPKLVL	R/W	8	0xFF	U	Channel 2 Peak Level Threshold (Voltage Channel). This register sets the level of the voltage peak detection. If the Channel 2 input exceeds this level, the PKV flag in the status register is set.
0x22	IPEAK	R	24	0x0	U	Channel 1 Peak Register. The maximum input value of the current channel since the last read of the register is stored in this register.
0x23	RSTIPEAK	R	24	0x0	U	Same as Channel 1 Peak Register except that the register contents are reset to 0 after read.
0x24	VPEAK	R	24	0x0	U	Channel 2 Peak Register. The maximum input value of the voltage channel since the last read of the register is stored in this register.
0x25	RSTVPEAK	R	24	0x0	U	Same as Channel 2 Peak Register except that the register contents are reset to 0 after a read.
0x26	TEMP	R	8	0x0	S	Temperature Register. This is an 8-bit register which contains the result of the latest temperature conversion—see the Temperature Measurement section.

Address	Name	R/W	No. Bits	Default	Type ¹	Description
0x27	PERIOD	R	16	0x0	U	Period of the Channel 2 (Voltage Channel) Input Estimated by Zero-Crossing Processing. The MSB of this register is always zero.
0x28– 0x3C						Reserved.
0x3D	TMODE	R/W	8	–	U	Test Mode Register.
0x3E	CHKSUM	R	6	0x0	U	Checksum Register. This 6-bit read-only register is equal to the sum of all the ones in the previous read—see the ADE7753 Serial Read Operation section.
0x3F	DIEREV	R	8	–	U	Die Revision Register. This 8-bit read-only register contains the revision number of the silicon.

¹ Type decoder: U = unsigned, S = signed by twos complement method, and S' = signed by sign magnitude method.

ADE7753

ADE7753 REGISTER DESCRIPTIONS

All ADE7753 functionality is accessed via the on-chip registers. Each register is accessed by first writing to the communications register and then transferring the register data. A full description of the serial interface protocol is given in the ADE7753 Serial Interface section.

COMMUNICATIONS REGISTER

The communications register is an 8-bit, write-only register which controls the serial data transfer between the ADE7753 and the host processor. All data transfer operations must begin with a write to the communications register. The data written to the communications register determines whether the next operation is a read or a write and which register is being accessed. Table 11 outlines the bit designations for the communications register.

DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
W/R	0	A5	A4	A3	A2	A1	A0

Table 11. Communications Register

Bit Location	Bit Mnemonic	Description
0 to 5	A0 to A5	The six LSBs of the communications register specify the register for the data transfer operation. Table 10 lists the address of each ADE7753 on-chip register.
6	RESERVED	This bit is unused and should be set to 0.
7	W/R	When this bit is a Logic 1, the data transfer operation immediately following the write to the communications register is interpreted as a write to the ADE7753. When this bit is a Logic 0, the data transfer operation immediately following the write to the communications register is interpreted as a read operation.

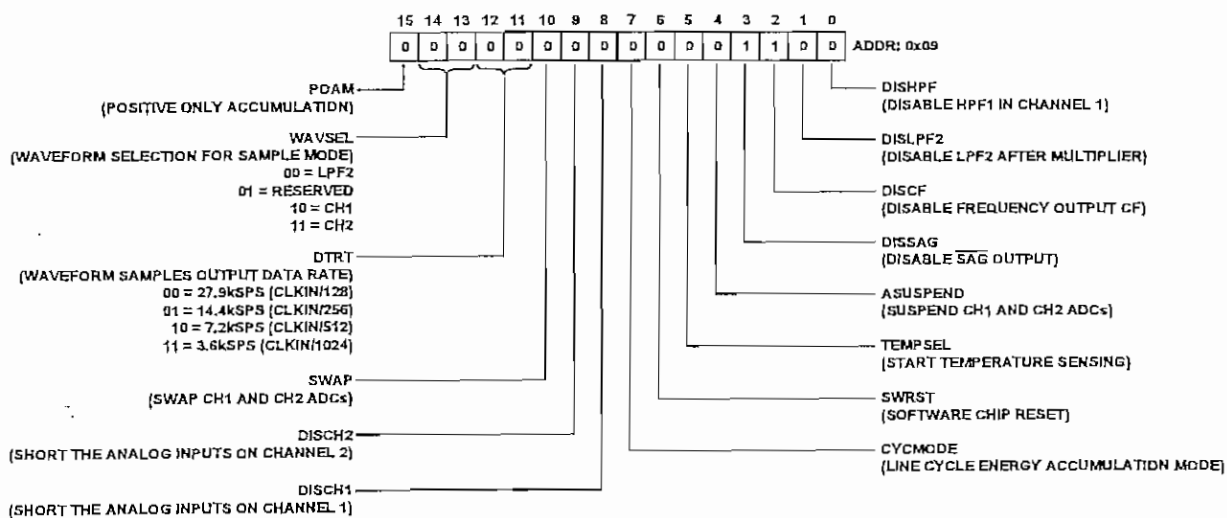
MODE REGISTER (0x09)

The ADE7753 functionality is configured by writing to the mode register. Table 12 describes the functionality of each bit in the register.

Table 12. Mode Register

Bit Location	Bit Mnemonic	Default Value	Description															
0	DISHPF	0	HPF (high-pass filter) in Channel 1 is disabled when this bit is set.															
1	DISLPF2	0	LPF (low-pass filter) after the multiplier (LPF2) is disabled when this bit is set.															
2	DISCF	1	Frequency output CF is disabled when this bit is set.															
3	DISSAG	1	Line voltage sag detection is disabled when this bit is set.															
4	ASUSPEND	0	By setting this bit to Logic 1, both ADE7753 A/D converters can be turned off. In normal operation, this bit should be left at Logic 0. All digital functionality can be stopped by suspending the clock signal at CLKIN pin.															
5	TEMPSEL	0	Temperature conversion starts when this bit is set to 1. This bit is automatically reset to 0 when the temperature conversion is finished.															
6	SWRST	0	Software Chip Reset. A data transfer should not take place to the ADE7753 for at least 18 μ s after a software reset.															
7	CYCMODE	0	Setting this bit to Logic 1 places the chip into line cycle energy accumulation mode.															
8	DISCH1	0	ADC 1 (Channel 1) inputs are internally shorted together.															
9	DISCH2	0	ADC 2 (Channel 2) inputs are internally shorted together.															
10	SWAP	0	By setting this bit to Logic 1 the analog inputs V2P and V2N are connected to ADC 1 and the analog inputs V1P and V1N are connected to ADC 2.															
12, 11	DTRT1, 0	00	These bits are used to select the waveform register update rate. <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>DTRT 1</th> <th>DTRT 0</th> <th>Update Rate</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>27.9 kSPS (CLKIN/128)</td> </tr> <tr> <td>0</td> <td>1</td> <td>14 kSPS (CLKIN/256)</td> </tr> <tr> <td>1</td> <td>0</td> <td>7 kSPS (CLKIN/512)</td> </tr> <tr> <td>1</td> <td>1</td> <td>3.5 kSPS (CLKIN/1024)</td> </tr> </tbody> </table>	DTRT 1	DTRT 0	Update Rate	0	0	27.9 kSPS (CLKIN/128)	0	1	14 kSPS (CLKIN/256)	1	0	7 kSPS (CLKIN/512)	1	1	3.5 kSPS (CLKIN/1024)
DTRT 1	DTRT 0	Update Rate																
0	0	27.9 kSPS (CLKIN/128)																
0	1	14 kSPS (CLKIN/256)																
1	0	7 kSPS (CLKIN/512)																
1	1	3.5 kSPS (CLKIN/1024)																

Bit Location	Bit Mnemonic	Default Value	Description
14, 13	WAVSEL1, 0	00	These bits are used to select the source of the sampled data for the waveform register. WAVSEL1, 0 Length Source 0 0 24 bits active power signal (output of LPF2) 0 1 Reserved 1 0 24 bits Channel 1 1 1 24 bits Channel 2
15	POAM	0	Writing Logic 1 to this bit allows only positive power to be accumulated in the ADE7753.



NOTE: REGISTER CONTENTS SHOW POWER-ON DEFAULTS

8275-0-094

Figure 95. Mode Register

INTERRUPT STATUS REGISTER (0x0B), RESET INTERRUPT STATUS REGISTER (0x0C), INTERRUPT ENABLE REGISTER (0x0A)

The status register is used by the MCU to determine the source of an interrupt request (\overline{IRQ}). When an interrupt event occurs in the ADE7753, the corresponding flag in the interrupt status register is set to logic high. If the enable bit for this flag is Logic 1 in the interrupt enable register, the \overline{IRQ} logic output goes active low. When the MCU services the interrupt, it must first carry out a read from the interrupt status register to determine the source of the interrupt.

Table 13. Interrupt Status Register, Reset Interrupt Status Register, and Interrupt Enable Register

Bit Location	Interrupt Flag	Description
0	AEHF	Indicates that an interrupt was caused by the 0-to-1 transition of the MSB of the active energy register, i.e., the AENERGY register is half full.
1	SAG	Indicates that an interrupt was caused by a SAG on the line voltage.
2	CYCEND	Indicates the end of energy accumulation over an integer number of half line cycles as defined by the content of the LINECYC register—see the Line Cycle Energy Accumulation Mode section.
3	WSMP	Indicates that new data is present in the waveform register.
4	ZX	This status bit reflects the status of the ZX logic output—see the Zero-Crossing Detection section.
5	TEMP	Indicates that a temperature conversion result is available in the temperature register.
6	RESET	Indicates the end of a reset (for both software or hardware reset). The corresponding enable bit has no function in the interrupt enable register, i.e., this status bit is set at the end of a reset, but it cannot be enabled to cause an interrupt.
7	AEOF	Indicates that the active energy register has overflowed.
8	PKV	Indicates that waveform sample from Channel 2 has exceeded the VPKLVL value.
9	PKI	Indicates that waveform sample from Channel 1 has exceeded the IPKLVL value.
A	VAEHF	Indicates that an interrupt was caused by the 0 to 1 transition of the MSB of the apparent energy register, i.e., the VAENERGY register is half full.
B	VAEOF	Indicates that the apparent energy register has overflowed.
C	ZXTO	Indicates that an interrupt was caused by a missing zero crossing on the line voltage for the specified number of line cycles—see the Zero-Crossing Timeout section.
D	PPOS	Indicates that the power has gone from negative to positive.
E	PNEG	Indicates that the power has gone from positive to negative.
F	RESERVED	Reserved.

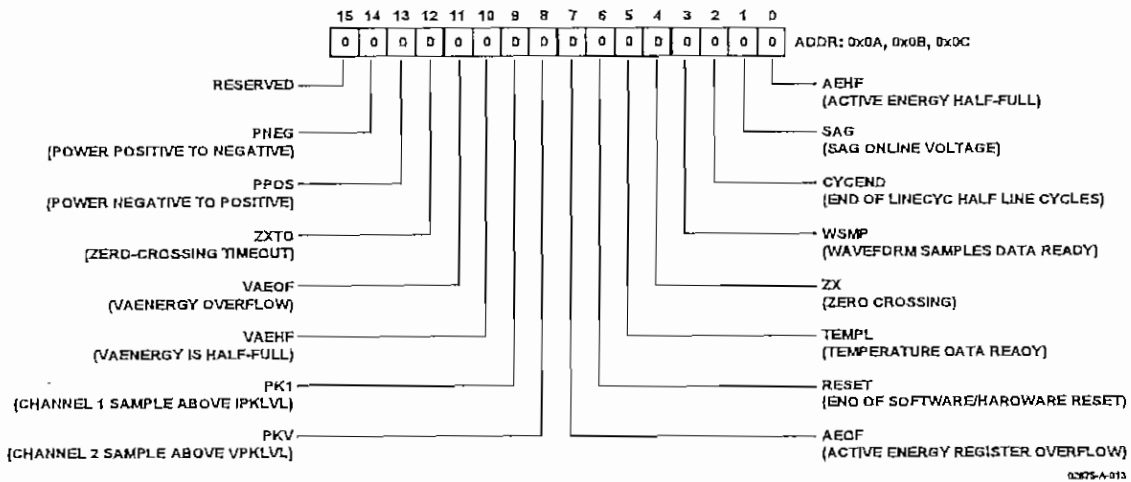


Figure 96. Interrupt Status/Interrupt Enable Register

CH1OS REGISTER (0x0D)

The CH1OS register is an 8-bit, read/write enabled register. The MSB of this register is used to switch on/off the digital integrator in Channel 1, and Bits 0 to 5 indicates the amount of the offset correction in Channel 1. Table 14 summarizes the function of this register.

Table 14. CH1OS Register

Bit Location	Bit Mnemonic	Description
0 to 5	OFFSET	The six LSBs of the CH1OS register control the amount of dc offset correction in Channel 1 ADC. The 6-bit offset correction is sign and magnitude coded. Bits 0 to 4 indicate the magnitude of the offset correction. Bit 5 shows the sign of the offset correction. A 0 in Bit 5 means the offset correction is positive and a 1 indicates the offset correction is negative.
6	Not Used	This bit is unused.
7	INTEGRATOR	This bit is used to activate the digital integrator on Channel 1. The digital integrator is switched on by setting this bit. This bit is set to be 0 on default.

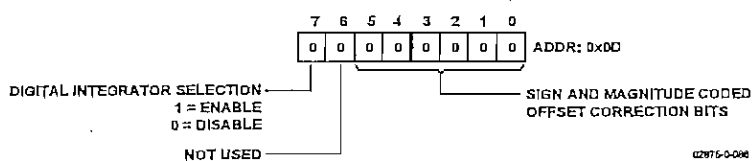


Figure 97. Channel 1 Offset Register

OUTLINE DIMENSIONS

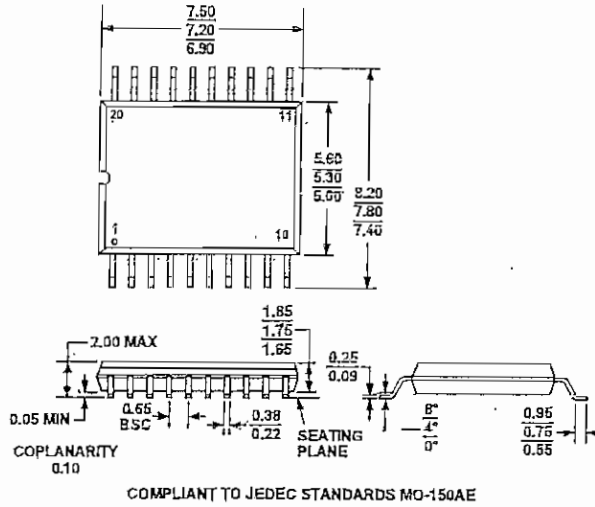


Figure 98. 20-Lead Shrink Small Outline Package (SSOP)

ORDERING GUIDE

Model	Package Description	Package Option	Temperature Range
ADF7753ARS	20-Lead SSOP	RS-20	-40°C to +85°C
ADE7753ARSRL	20-Lead SSOP	RS-20	-40°C to +85°C
ADE7753ARSZ ¹	20-Lead SSOP	RS-20	-40°C to +85°C
ADE7753ARSZRL	20-Lead SSOP	RS-20	-40°C to +85°C
EVAL-ADE7753EB	Evaluation Board		

¹Z = Pb-free part

NOTES

ADE7753

NOTES

Features

- Low-voltage and Standard-voltage Operation
 - 2.7 ($V_{CC} = 2.7V$ to 5.5V)
 - 1.8 ($V_{CC} = 1.8V$ to 3.6V)
- Internally Organized 65,536 x 8
- 2-wire Serial Interface
- Schmitt Triggers, Filtered Inputs for Noise Suppression
- Bidirectional Data Transfer Protocol
- 1 MHz (5V), 400 kHz (2.7V) and 100 kHz (1.8V) Compatibility
- Write Protect Pin for Hardware and Software Data Protection
- 128-byte Page Write Mode (Partial Page Writes Allowed)
- Self-timed Write Cycle (5 ms Typical)
- High Reliability
 - Endurance: 100,000 Write Cycles
 - Data Retention: 40 Years
- Automotive Grade and Extended Temperature Devices Available
- 8-lead PDIP, 8-lead JEDEC SOIC, 8-lead TSSOP, 8-lead LAP and 8-ball dBGAs™ Packages

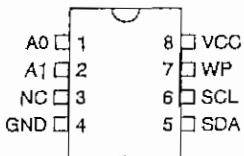
Description

The AT24C512 provides 524,288 bits of serial electrically erasable and programmable read only memory (EEPROM) organized as 65,536 words of 8 bits each. The device's cascadable feature allows up to 4 devices to share a common 2-wire bus. The device is optimized for use in many industrial and commercial applications where low-power and low-voltage operation are essential. The devices are available in space-saving 8-pin PDIP, 8-lead JEDEC SOIC, 8-lead TSSOP, 8-lead Leadless Array (LAP) and 8-ball dBGAs packages. In addition, the entire family is available in 2.7V (2.7V to 5.5V) and 1.8V (1.8V to 3.6V) versions.

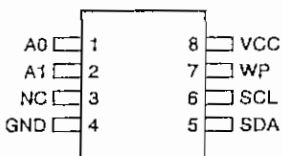
Pin Configurations

Pin Name	Function
A0 - A1	Address Inputs
SDA	Serial Data
SCL	Serial Clock Input
WP	Write Protect
NC	No Connect

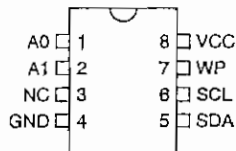
8-lead TSSOP



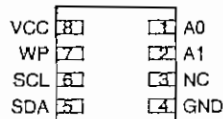
8-lead SOIC



8-lead PDIP

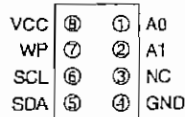


8-lead Leadless Array



Bottom View

8-ball dBGAs



Bottom View



2-wire Serial EEPROM

512K (65,536 x 8)

AT24C512

Rev. 1116H-SEEPR-08/02



FEATURES

- Real-time clock (RTC) counts seconds, minutes, hours, date of the month, month, day of the week, and year with leap-year compensation valid up to 2100
- 56-byte, battery-backed, nonvolatile (NV) RAM for data storage
- Two-wire serial interface
- Programmable squarewave output signal
- Automatic power-fail detect and switch circuitry
- Consumes less than 500nA in battery backup mode with oscillator running
- Optional industrial temperature range: -40°C to +85°C
- Available in 8-pin DIP or SOIC
- Underwriters Laboratory (UL) recognized

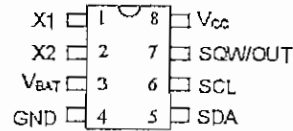
ORDERING INFORMATION

DS1307	8-Pin DIP (300-mil)
DS1307Z	8-Pin SOIC (150-mil)
DS1307N	8-Pin DIP (Industrial)
DS1307ZN	8-Pin SOIC (Industrial)

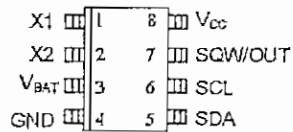
DESCRIPTION

The DS1307 Serial Real-Time Clock is a low-power, full binary-coded decimal (BCD) clock/calendar plus 56 bytes of NV SRAM. Address and data are transferred serially via a 2-wire, bi-directional bus. The clock/calendar provides seconds, minutes, hours, day, date, month, and year information. The end of the month date is automatically adjusted for months with fewer than 31 days, including corrections for leap year. The clock operates in either the 24-hour or 12-hour format with AM/PM indicator. The DS1307 has a built-in power sense circuit that detects power failures and automatically switches to the battery supply.

PIN ASSIGNMENT



DS1307 8-Pin DIP (300-mil)



DS1307 8-Pin SOIC (150-mil)

PIN DESCRIPTION

V _{cc}	- Primary Power Supply
X1, X2	- 32.768kHz Crystal Connection
V _{BAT}	- +3V Battery Input
GND	- Ground
SDA	- Serial Data
SCL	- Serial Clock
SQW/OUT	- Square Wave/Output Driver

DS1307 TIMEKEEPER REGISTERS Figure 3

	BIT 7								BIT 0	
00H	CH	10 SECONDS			SECONDS				00-59	
	0	10 MINUTES			MINUTES				00-59	
	0	12 24	10 HR A/P	10 HR	HOURS				01-12 00-23	
	0	0	0	0	0	DAY				1-7
	0	0	10 DATE		DATE				01-28/29 01-30 01-31	
	0	0	0	10 MONTH	MONTH				01-12	
	10 YEAR			YEAR				00-99		
07H	OUT	0	0	SQWE	0	0	RS1	RS0		

CONTROL REGISTER

The DS1307 control register is used to control the operation of the SQW/OUT pin.

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
OUT	0	0	SQWE	0	0	RS1	RS0

OUT (Output control): This bit controls the output level of the SQW/OUT pin when the square wave output is disabled. If SQWE = 0, the logic level on the SQW/OUT pin is 1 if OUT = 1 and is 0 if OUT = 0.

SQWE (Square Wave Enable): This bit, when set to a logic 1, will enable the oscillator output. The frequency of the square wave output depends upon the value of the RS0 and RS1 bits. With the square wave output set to 1Hz, the clock registers update on the falling edge of the square wave.

RS (Rate Select): These bits control the frequency of the square wave output when the square wave output has been enabled. Table 1 lists the square wave frequencies that can be selected with the RS bits.

SQUAREWAVE OUTPUT FREQUENCY Table 1

RS1	RS0	SQW OUTPUT FREQUENCY
0	0	1Hz
0	1	4.096kHz
1	0	8.192kHz
1	1	32.768kHz

800mA Fixed Output CMOS LDO with Shutdown

Features

- Very Low Dropout Voltage
- 800mA Output Current
- High Output Voltage Accuracy
- Standard or Custom Output Voltages
- Over Current and Over Temperature Protection
- $\overline{\text{SHDN}}$ Input for Active Power Management
- $\overline{\text{ERROR}}$ Output Can Be Used as a Low Battery Detector (SOIC only)

Applications

- Battery Operated Systems
- Portable Computers
- Medical Instruments
- Instrumentation
- Cellular/GSM/PHS Phones
- Linear Post-Regulators for SMPS
- Pagers

Device Selection Table

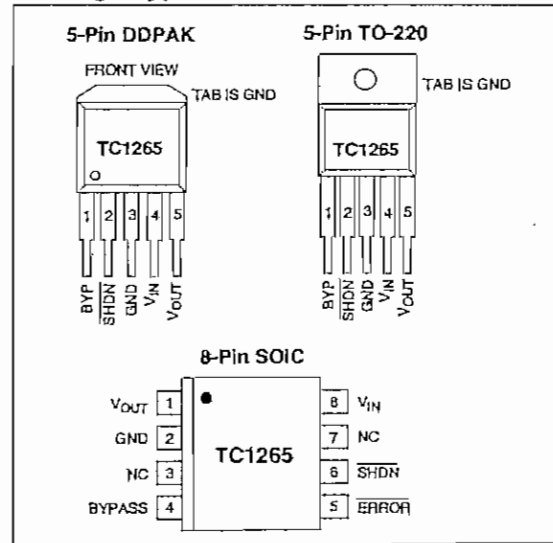
Part Number	Package	Junction Temp. Range
TC1265-xxVOA	8-Pin SOIC (Narrow)	-40°C to +125°C
TC1265-xxVAT	5-Pin TO-220	-40°C to +125°C
TC1265-xxVET	5-Pin DPAK	-40°C to +125°C

NOTE: xx indicates output voltages.

Available Output Voltages: 1.8, 2.5, 3.0, 3.3.

Other output voltages are available. Please contact Microchip Technology Inc. for details.

Package Type



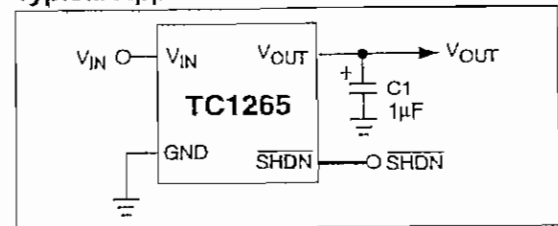
General Description

The TC1265 is a fixed output, high accuracy (typically $\pm 0.5\%$) CMOS low dropout regulator. Designed specifically for battery-operated systems, the TC1265's CMOS construction eliminates wasted ground current, significantly extending battery life. Total supply current is typically 80 μ A at full load (20 to 60 times lower than in bipolar regulators).

TC1265 key features include ultra low noise operation, very low dropout voltage (typically 450mV at full load), and fast response to step changes in load.

The TC1265 incorporates both over temperature and over current protection. The TC1265 is stable with an output capacitor of only 1 μ F and has a maximum output current of 800mA. It is available in 8-Pin SOIC, 5-Pin TO-220 and 5-Pin DPAK packages.

Typical Application





AC1030 • 30 Amp Current Transformer

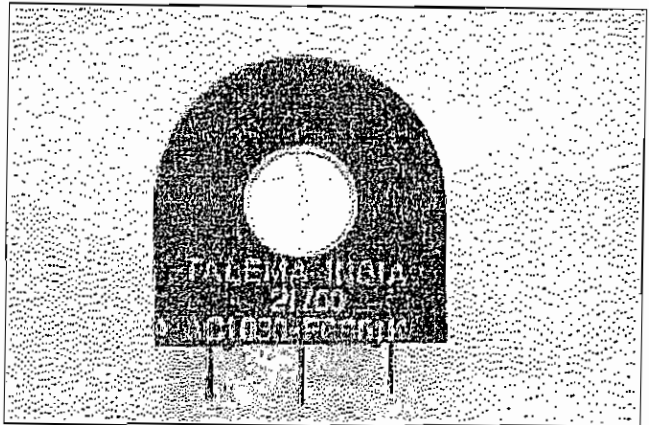
Low Cost 50/60Hz Current Transformers

Applications

- Sensing Overload Current
- Ground fault detection
- Metering
- Analog to Digital Circuits

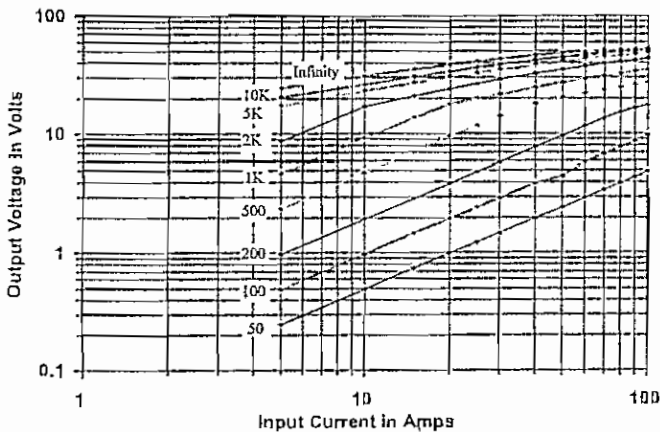
Electrical Specifications @ 20°C ambient

Electrical Specifications	
Primary Current	30A nom., 75A max.
Turns Ratio	1000:1 nominal
Volt per Amp Ratio at 30A for 100 ohm load	0.100 V/A
Volt per Amp Ratio at 3A for 100 ohm load	0.098 V/A
DC Resistance at 20°C	48 ohms
Dielectric Withstanding Voltage (Hi-pot)	4KVrms
Mechanical Specifications	
Case	Polycarbonate
Encapsulant	Epoxy
Flammability	Conforms to UL94-V0
Terminals	Pins Ø 1.0mm
Marking	TALEMA Date Code (W/Y) AC1030, Dot at start pin
Approximate Weight	35.5 grams
Tolerance	±0.2mm

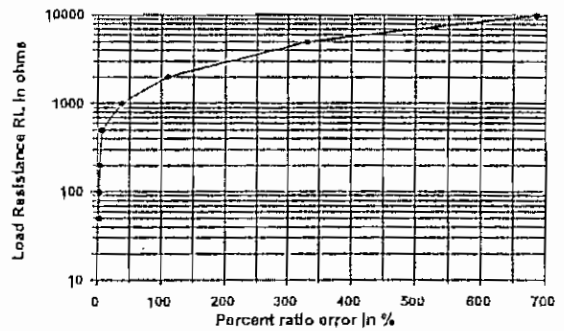


Environmental Specifications	
Storage Temperature	-55° to +130°C
Insulation Resistance	100 megohms min.

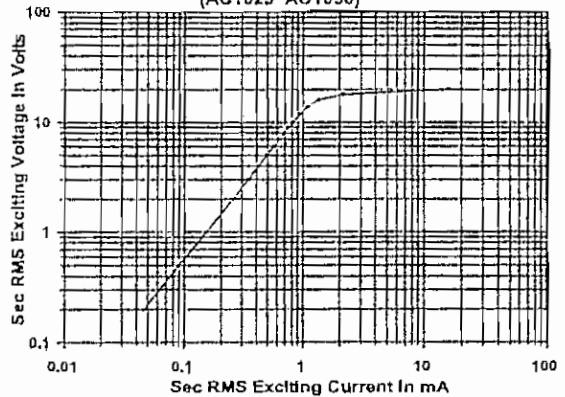
Output Voltage vs Input Current
For various ohmic loads



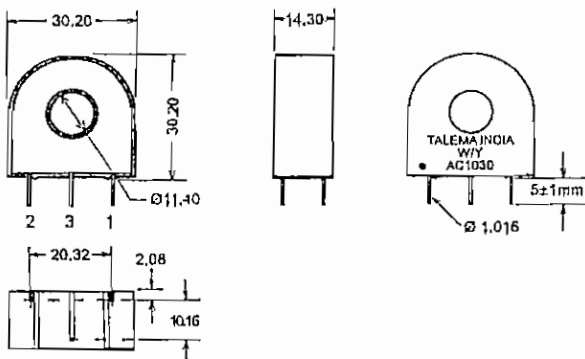
%RE vs RL at Rated primary current
(AC1030)



Typical Excitation Curve
(AC1025-AC1030)

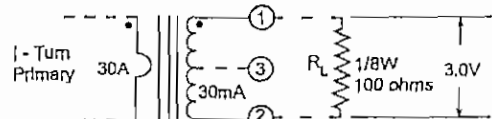


Dimensions



Notes:

- 1) Unless requested, the terminating resistor and the one-turn primary are not supplied
- 2) Pin 3: Normally for mechanical support only but will be used on center tapped designs





PIC16F87XA

28/40/44-Pin Enhanced Flash Microcontrollers

Devices Included in this Data Sheet:

- PIC16F873A
- PIC16F874A
- PIC16F876A
- PIC16F877A

High-Performance RISC CPU:

- Only 35 single-word instructions to learn
- All single-cycle instructions except for program branches, which are two-cycle
- Operating speed: DC – 20 MHz clock input
DC – 200 ns instruction cycle
- Up to 8K x 14 words of Flash Program Memory,
Up to 368 x 8 bytes of Data Memory (RAM),
Up to 256 x 8 bytes of EEPROM Data Memory
- Pinout compatible to other 28-pin or 40/44-pin PIC16CXXX and PIC16FXXX microcontrollers

Peripheral Features:

- Timer0: 8-bit timer/counter with 8-bit prescaler
- Timer1: 16-bit timer/counter with prescaler, can be incremented during Sleep via external crystal/clock
- Timer2: 8-bit timer/counter with 8-bit period register, prescaler and postscaler
- Two Capture, Compare, PWM modules
 - Capture is 16-bit, max. resolution is 12.5 ns
 - Compare is 16-bit, max. resolution is 200 ns
 - PWM max. resolution is 10-bit
- Synchronous Serial Port (SSP) with SPI™ (Master mode) and I²C™ (Master/Slave)
- Universal Synchronous Asynchronous Receiver Transmitter (USART/SCI) with 9-bit address detection
- Parallel Slave Port (PSP) – 8 bits wide with external RD, WR and CS controls (40/44-pin only)
- Brown-out detection circuitry for Brown-out Reset (BOR)

Analog Features:

- 10-bit, up to 8-channel Analog-to-Digital Converter (A/D)
- Brown-out Reset (BOR)
- Analog Comparator module with:
 - Two analog comparators
 - Programmable on-chip voltage reference (VREF) module
 - Programmable input multiplexing from device inputs and internal voltage reference
 - Comparator outputs are externally accessible

Special Microcontroller Features:

- 100,000 erase/write cycle Enhanced Flash program memory typical
- 1,000,000 erase/write cycle Data EEPROM memory typical
- Data EEPROM Retention > 40 years
- Self-reprogrammable under software control
- In-Circuit Serial Programming™ (ICSP™) via two pins
- Single-supply 5V In-Circuit Serial Programming
- Watchdog Timer (WDT) with its own on-chip RC oscillator for reliable operation
- Programmable code protection
- Power saving Sleep mode
- Selectable oscillator options
- In-Circuit Debug (ICD) via two pins

CMOS Technology:

- Low-power, high-speed Flash/EEPROM technology
- Fully static design
- Wide operating voltage range (2.0V to 5.5V)
- Commercial and industrial temperature ranges
- Low-power consumption

Device	Program Memory		Data SRAM (Bytes)	EEPROM (Bytes)	I/O	10-bit A/D (ch)	CCP (PWM)	MSSP		USART	Timers 8/16-bit	Comparators
	Bytes	# Single Word Instructions						SPI	Master I ² C			
PIC16F873A	7.2K	4096	192	128	22	5	2	Yes	Yes	Yes	2/1	2
PIC16F874A	7.2K	4096	192	128	33	8	2	Yes	Yes	Yes	2/1	2
PIC16F876A	14.3K	8192	368	256	22	5	2	Yes	Yes	Yes	2/1	2
PIC16F877A	14.3K	8192	368	256	33	8	2	Yes	Yes	Yes	2/1	2



±15kV ESD-Protected, Down to 10nA, 3.0V to 5.5V, Up to 1Mbps, True RS-232 Transceivers

General Description

The MAX3222E/MAX3232E/MAX3237E/MAX3241E are 3V-powered EIA/TIA-232 and V.28/V.24 communications interfaces with low power requirements, high data-rate capabilities, and enhanced electrostatic discharge (ESD) protection. All transmitter outputs and receiver inputs are protected to ±15kV using IEC 1000-4-2 Air-Gap Discharge, ±8kV using IEC 1000-4-2 Contact Discharge, and ±15kV using the Human Body Model. The MAX3237E's logic and receiver I/O pins are protected to the above standards, while the transmitter output pins are protected to ±15kV using the Human Body Model.

The transceivers have a proprietary low-dropout transmitter output stage, delivering true RS-232 performance from a +3.0V to +5.5V supply with a dual charge pump. The charge pump requires only four small 0.1µF capacitors for operation from a +3.3V supply. Each device is guaranteed to run at data rates of 250kbps while maintaining RS-232 output levels. The MAX3237E is guaranteed to run at data rates of 250kbps in the normal operating mode and 1Mbps in the MegaBaud™ operating mode while maintaining RS-232-compliant output levels.

The MAX3222E/MAX3232E have two receivers and two drivers. The MAX3222E features a 1µA shutdown mode that reduces power consumption and extends battery life in portable systems. Its receivers can remain active in shutdown mode, allowing external devices such as modems to be monitored using only 1µA supply current. Both the MAX3222E and MAX3232E are pin, package, and functionally compatible with the industry-standard MAX242 and MAX232, respectively.

The MAX3241E is a complete serial port (three drivers/five receivers) designed for notebook and sub-notebook computers. The MAX3237E (five drivers/three receivers) is ideal for peripheral applications that require fast data transfer. Both devices feature a shutdown mode in which all receivers can remain active while using a supply current of only 1µA (MAX3241E) or 10nA (MAX3237E). The MAX3237E/MAX3241E have additional receiver outputs that always remain active.

The MAX3222E, MAX3232E, and MAX3241E are available in space-saving SO, SSOP, and TSSOP packages. The MAX3237E is available in an SSOP package.

Applications

Battery-Powered Equipment	Printers
Cell Phones	Smart Phones
Cell-Phone Data Cables	xDSL Modems
Notebook, Subnotebook, and Palmtop Computers	

MegaBaud is a trademark of Maxim Integrated Products, Inc.

†Covered by U.S. Patent numbers 4,636,930; 4,679,134; 4,777,577; 4,797,899; 4,809,152; 4,897,774; 4,999,761; and other patents pending.



Maxim Integrated Products 1

For pricing, delivery, and ordering information, please contact Maxim/Dallas Direct! at 1-888-629-4642, or visit Maxim's website at www.maxim-ic.com.

Features

- ◆ ESD Protection for RS-232 I/O Pins (MAX3222E/MAX3232E/MAX3241E)
 - ±15kV—Human Body Model
 - ±8kV—IEC 1000-4-2, Contact Discharge
 - ±15kV—IEC 1000-4-2, Air-Gap Discharge
- ◆ ESD Protection For All Logic and Receiver I/O Pins (MAX3237E)
 - ±15kV—Human Body Model
 - ±8kV—IEC 1000-4-2, Contact Discharge
 - ±15kV—IEC 1000-4-2, Air-Gap Discharge
- ◆ ESD Protection for Transmitter Output Pins (MAX3237E)
 - ±15kV—Human Body Model
- ◆ Guaranteed Data Rate.
 - 250kbps (MAX3222E/MAX3232E/MAX3241E and MAX3237E, normal operation)
 - 1Mbps (MAX3237E, MegaBaud operation)
- ◆ Latchup Free
- ◆ Low-Power Shutdown with Receivers Active
 - 1µA (MAX3222E/MAX3241E)
 - 10nA (MAX3237E)
- ◆ Flow-Through Pinout (MAX3237E)
- ◆ Guaranteed Mouse Driveability (MAX3241E)
- ◆ Meets EIA/TIA-232 Specifications Down to 3.0V

Ordering Information

PART	TEMP. RANGE	PIN-PACKAGE
MAX3222ECUP	0°C to +70°C	20 TSSOP
MAX3222ECAP	0°C to +70°C	20 SSOP

Ordering Information continued at end of data sheet.

Selector Guide

PART	NO. OF DRIVERS/RECEIVERS	LOW-POWER SHUTDOWN	GUARANTEED DATA RATE (kbps)
MAX3222E	2/2	✓	250
MAX3232E	2/2	—	250
MAX3237E (Normal)	5/3	✓	250
MAX3237E (MegaBaud)	5/3	✓	250
MAX3241E	3/5	✓	1M

Pin Configurations appear at end of data sheet.

Typical Operating Circuits appear at end of data sheet.

MAX3222E/MAX3232E/MAX3237E/MAX3241E