

ESCUELA POLITÉCNICA NACIONAL

**ESCUELA DE INGENIERIA EN ELECTRÓNICA Y
TELECOMUNICACIONES**

**DISEÑO Y CONSTRUCCIÓN DE UN OSCILADOR
CONTROLADO POR VOLTAJE CON SELECCIÓN DE
FRECUENCIA**

**PROYECTO PREVIO A LA OBTENCIÓN DEL TITULO DE
INGENIERO EN ELECTRÓNICA Y TELECOMUNICACIONES**

MAYRA ELIZABETH VACA PEREZ

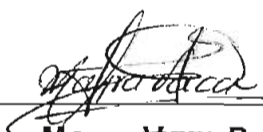
DIRECTOR: ING. MARIO CEVALLOS

Quito, Noviembre 2001

DECLARACIÓN

Yo Mayra Elizabeth Vaca Pérez, declaro que el trabajo aquí descrito es de mi autoría; que no ha sido previamente presentada para ningún grado o calificación profesional; y, que he consultado las referencias bibliográficas que se incluyen en este documento.

La Escuela Politécnica Nacional, puede hacer uso de los derechos correspondientes a este trabajo, según lo establecido por la Ley, Reglamento de Propiedad Intelectual y por la normatividad institucional vigente.



Mayra Vaca P.

CERTIFICACIÓN

Certifico que el presente trabajo fue desarrollado por Mayra Vaca Pérez, bajo mi supervisión.



Ing. Mario Cevallos
DIRECTOR DE PROYECTO

AGRADECIMIENTOS

Al Ing. Mario Cevallos por su acertada dirección en el presente Proyecto de Tesis por su paciencia y sus conocimientos.

Al Departamento de Geofísica por su apoyo económico para la realización del presente Proyecto de Titulación, y por sus enseñanzas de la ciencia con fin social.

Al Área de Electrónica del Departamento de Geofísica, por su respaldo, sus opiniones, sus consejos técnicos y por su amistad.

Al Fis. Ricardo Ascazubi y Fis. Omar Marcillo, por todo su apoyo en la programación y por compartir sus conocimientos.

Al personal del Departamento de Geofísica, mi segunda familia, por su amistad y apoyo durante todo este tiempo.

A mis padres, por su eterno amor su respaldo constante, y todas sus enseñanzas, que han permitido culmine mi carrera y sobre todo su enseñanza de moral y calidez humana.

A mis hermanos Sandra, María Elena y Hernán por todos los gratos momentos, respaldo, por sus sonrisas y el compartir diario.

A Marcelo por todo el amor, y los largos días de espera.

DEDICATORIA

A Daniela o Daniel.....

2.2.4.1.5	Registro de prueba	22
2.2.4.1.6	Registro de Calibración	22
2.2.4.2	Ventajas del uso del AD7706	23
2.2.4.2.1	Mejoramiento de la resolución	23
2.2.4.2.2	Frecuencia de muestreo	24
2.2.4.2.3	Ganancia	25
2.2.4.2.4	Interfase serial	25
2.2.5	Microcontrolador	26
2.2.6	Generador de la onda sinusoidal	28
2.2.6.1	Operación del circuito realimentado como oscilador	29
2.2.6.2	Oscilador controlado por voltaje	31
2.2.6.2.1	VCO con oscilador Colpitts	31
2.2.6.2.2	VCO con osciladores de base común	35
2.2.6.2.3	VCO con oscilador de relajación	35
2.2.6.2.4	VCO con osciladores de anillo	37
2.2.6.2.5	VCO con multiplicador de cuadratura	37
2.2.6.2.6	VCO de alto nivel	40
2.2.6.3	Oscilador enganchado en fase PLL	41
2.2.6.3.1	Enganche y captura	43
2.2.6.3.2	Captura transitoria	44
2.2.6.3.3	Efecto del filtro pasa bajo	46
2.2.6.3.4	Procedimiento general de diseño del filtro	46
2.2.6.4	Aplicaciones	50
2.2.6.4.1	Demodulación de frecuencia	50
2.2.6.4.2	Síntesis de frecuencia	51
2.2.6	Generador de la onda sinusoidal	52
2.2.6.1	Síntesis de frecuencia	53
2.2.6.2	Generador de onda sinusoidal digital	54
2.2.6.3	Prototipo inicial para generación de frecuencias	56

2.2.7 Terminal de comunicaciones	61
2.2.8 Sumador y salida al radio	62
2.29 Esquema de la tarjeta diseñada	62

CAPITULO 3 REQUERIMIENTOS DE SOFTWARE

3.1 Programa para el Microcontrolador MC68HC705C8A.-	65
3.1.1 Requerimientos Generales.-	65
3.1.2 Estructura general del programa	66
3.1.2.1 Programa principal	66
3.1.2.2 Desarrollo del software	69
3.1.2.2.1 Asignación de Pórticos	69
3.1.2.2.2 Asignación de Registros	70
3.1.2.2.3 Asignación de Variables	72
3.1.2.2 Desarrollo de Subrutinas en Assembler	74
3.1.2.2.1 Subrutina REEPROM	74
3.1.2.2.2 Subrutina WEEPROM	77
3.1.2.2.3 Subrutina TX_DATA	80
3.1.2.3 Desarrollo de Interrupciones en Assembler	81
3.1.2.3.1 Interrupción COM_INT.-	81
3.1.2.3.2 Interrupción TIMER_INT.-	88
3.1.2.3.3 Interrupción SPI_INT.-	90
3.1.2.3.4 Interrupción IRQ_INT.-	90
3.1.2.3.5 Interrupción SWI_INT.-	90
3.2 Programa para el almacenamiento de la función seno en la memoria EPROM	91
3.3 Programa para Comunicación con el Usuario	92

CAPITULO IV ASPECTOS CONSTRUCTIVOS

4.1 Ensamblaje de la tarjeta	95
------------------------------	----

4.2 Características Físicas	98
4.3 Análisis Técnico Económico	99
4.3.1 Alcance y limitaciones del equipo	103

CAPITULO V PRUEBAS EXPERIMENTALES Y RESULTADOS

5.1.- Operación del Sistema	105
5.2 Comparación con otros VCOs comerciales	113

CONCLUSIONES Y RECOMENDACIONES	119
--------------------------------	-----

REFERENCIAS BIBLIOGRAFICAS	122
----------------------------	-----

ANEXOS

Anexo 1

Diagrama del circuito del VCO (Diseño USGS)	123
Diagrama de la tarjeta amplificadora (VCO Kionometrics)	124
Diagrama del VCO Kinometrics	125
Diagrama del discriminador (Diseño USGS)	126
Diagrama del discriminador Kinometrics	127

Anexo2

Data Sheet AD620	128
Data Sheet AD7706	132
Data Sheet 74HC4046	139
Data Sheet MC145151-2	144
Data Sheet FM93C56	150

Anexo 3

Programa en ensamblador para el MC68HC705CA	154
Programa de inversión de datos para la función seno	186

Anexo 4

Manual de usuario	188
-------------------	-----

INTRODUCCION

El Departamento de Geofísica de la Escuela Politécnica Nacional, se encarga del Monitoreo Sísmico y Volcánico del país. Desde 1983, fecha de su creación se ha incrementando el número de estaciones dedicadas a esta labor, conforme se han conseguido los implementos necesarios para las mismas, a través de la ejecución de proyectos de investigación con otras instituciones u organismos tanto nacionales como internacionales.

Con la finalidad de dar una respuesta adecuada ante cualquier evento sísmico, se requiere realizar este monitoreo en tiempo real, por lo que el Área Técnica del Departamento de Geofísica se encarga de que las señales provenientes de las estaciones sísmicas lleguen a la estación central utilizando el sistema telemétrico.

Actualmente la Red Nacional de Sismógrafos, Acelerógrafos y Observatorios Volcánicos cuenta con mas de 50 estaciones instaladas a lo largo del país.

Debido a la topografía de la región interandina, se ha ido dificultando cada vez mas el poder llegar con las señales hasta la estación base ubicada en la Escuela Politécnica Nacional en Quito, lo que ha significado un incremento de trabajo, en especial en lo referente al mantenimiento y ubicación de la Red.

Para poder llevar las señales sísmicas de las diferentes estaciones hasta el Departamento de Geofísica se utiliza la forma de transmisión telemétrica y uno de los equipos principales es el Oscilador Controlado por Voltaje (VCO) por lo que se vio en la necesidad de diseñar un oscilador con selección de frecuencia que ayudaría a las labores de mantenimiento de la Red, además se podrá adecuar para realizar cambios hacia la transmisión digital y de esta manera llegar a un mejoramiento del equipo electrónico. Además se constituiría en un equipo inicial para empezar una serie de diseños propios para aplicaciones geofísicas.

Por este motivo en el presente proyecto de tesis se ha desarrollado el diseño y la construcción de un Oscilador Controlado por Voltaje con selección de frecuencia. Para ello se presenta en el Capítulo I una breve descripción de la Red Sísmica que dispone el Departamento de Geofísica.

En el Capítulo II se detalla el diseño realizado en el presente proyecto, cada una de las etapas especificadas claramente, así como también se incluyen los conceptos teóricos asociados al tema.

En el Capítulo III, se presenta en detalle el software desarrollado, tanto para el microcontrolador utilizado en el presente diseño, así como la explicación del programa para manejo del equipo.

En el Capítulo IV y V se indican las pruebas realizadas, el costo del equipo y también se pone en consideración las conclusiones y recomendaciones que se han obtenido al finalizar el presente trabajo.

Adicionalmente en los Anexos respectivos se incluye toda la información referente a los diversos componentes utilizados en el diseño con la finalidad de que sea un medio de consulta para quienes deseen utilizarlos en otras aplicaciones.

CAPITULO 1

GENERALIDADES

1.1 DESCRIPCIÓN DE LA RED SÍSMICA DEL DEPARTAMENTO DE GEOFÍSICA

En forma general, se puede decir que los sismos constituyen la manifestación de la liberación repentina de la energía acumulada en la tierra durante largos intervalos de tiempo. Las ondas sísmicas generadas se propagan desde el hipocentro del sismo en todas las direcciones, a través de la corteza terrestre. Dichas ondas viajan largas distancias y son detectadas por elementos sensitivos, llamados sismómetros, que se hallan ubicados en las proximidades de la superficie terrestre. Las ondas sísmicas pueden además ser registradas en diversos medios: archivos en disco de computador, bandas de papel ahumado, película fotográfica, etc.

Para realizar estudios e investigaciones sismológicas, es necesario tener una red de sismómetros altamente sensitivos. Esta red se denomina red sísmica, y puede ser operada ya sea por el envío de las señales sísmicas telemétricas hacia un sitio central de almacenamiento o en cada estación individual. Dependiendo de la aplicación, del trabajo particular deseado y de los recursos humanos y técnicos disponibles, la red puede tener desde algunas estaciones hasta cientos de ellas.

Las redes sísmicas constituyen herramientas muy útiles para el estudio de la naturaleza y el estado de los procesos tectónicos. Algunas de sus aplicaciones tienen que ver con el monitoreo de sismicidad para propósito de predicción sísmica, mapeo de fallas activas, para evaluación de peligros volcánicos,

exploración de recursos geotermales, investigación de la estructura de la corteza terrestre, entre otras cosas.

La Red Sísmica que posee el Departamento de Geofísica, en la actualidad consta de 53 estaciones sísmicas remotas que se hallan distribuidas dentro del callejón interandino, en la costa norte, en el norte del oriente ecuatoriano y en las Islas Galápagos, que además de monitorear los volcanes que se encuentran activos, permite controlar la actividad sismotectónica del país.

La red posee un sistema de transmisión de radioenlace que envía la señal desde las estaciones sísmicas remotas hasta la estación base localizada en el sexto piso del edificio de Ingeniería Civil en la Escuela Politécnica Nacional, en donde se poseen sistemas de registro analógico y digital en tiempo real, para el respectivo procesamiento de la señal sísmica. Para que esto sea posible se han colocado 17 repetidoras en sitios estratégicos con la finalidad de llegar con la señal hasta la estación base. Ocasionalmente en el mismo sitio se tiene también una estación sísmica y repetidora como se puede observar en las Fig. No.1.1 y Fig. No.1. 2

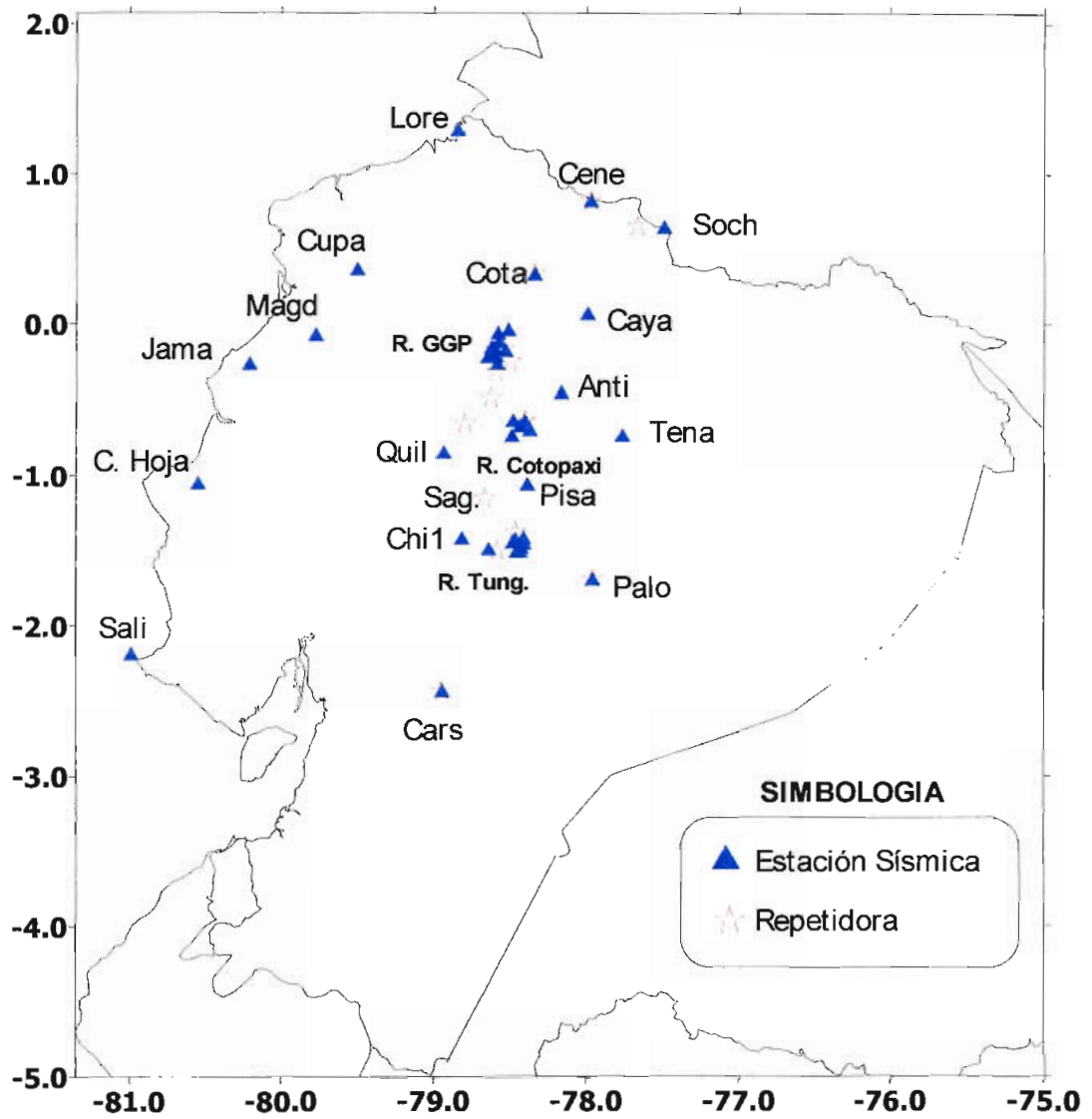


Fig No. 1.1 Red Sísmica Continental del Departamento de Geofísica

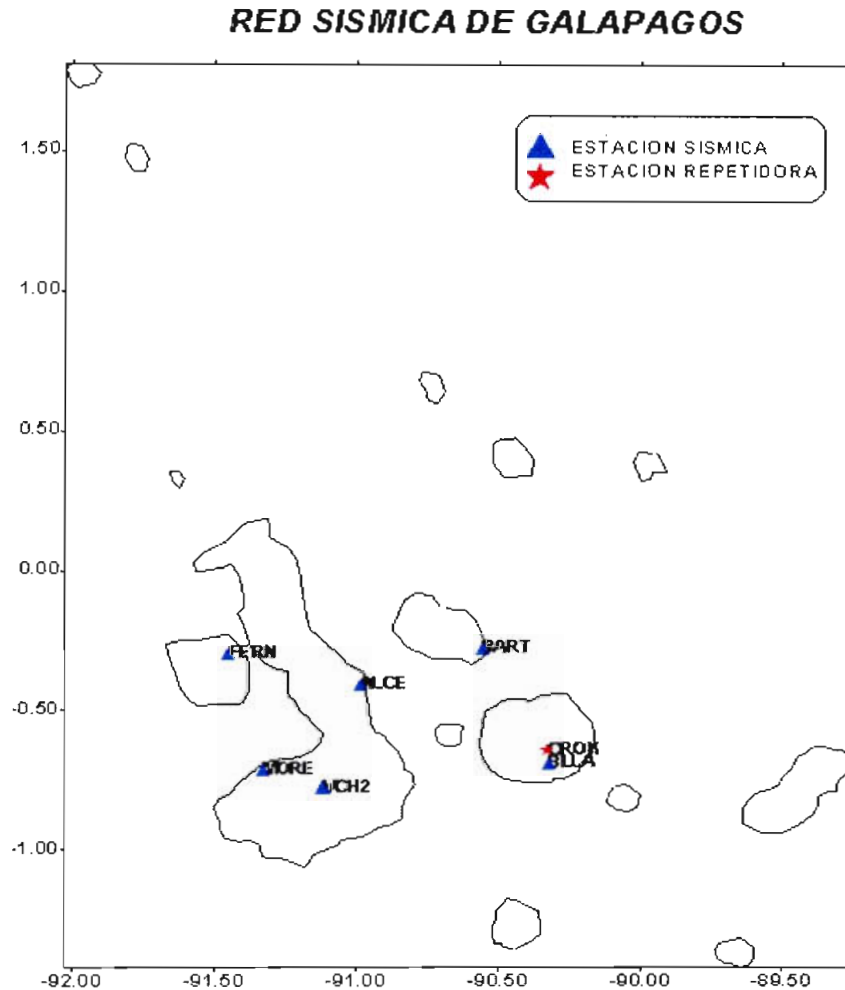


Fig. No.1. 2 Red Sísmica Insular del Departamento de Geofísica

1.2.- ESTACIONES SÍSMICAS REMOTAS

Una estación sísmica remota esta conformada básicamente por los siguientes elementos: sismómetro, oscilador controlado por voltaje (V.C.O.), radio transmisor, antena y sistema de alimentación.

1.2.1.- SISMÓMETRO.-

Es el principal elemento de la estación sísmica, por cuanto detecta las vibraciones del suelo, ondas sísmicas y las transforma en impulsos eléctricos.

El de mayor uso se basa en el principio de la inercia, Sismómetro de Péndulo, que consiste esencialmente de una masa inercial suspendida por elementos elásticos dentro de una armadura rígida. Ante el paso de las ondas sísmicas se altera el equilibrio de la armadura, y la inercia de la masa reacciona contra las fuerzas transmitidas a través de la suspensión, produciéndose un movimiento relativo entre la masa y la armadura. Estos movimientos son detectados y amplificados por un sistema electromagnético en donde la salida es proporcional a la velocidad relativa de sus elementos.

En forma general los sismómetros se clasifican de acuerdo a su respuesta de frecuencia en: período corto (1 Hz), período largo o intermedio (entre 20 Hz y 40 Hz) y período ultra largo o instrumentos de banda ancha (alrededor de 100 Hz). El Departamento de Geofísica dispone de sensores de periodo corto L4C (Mark Products) y Ranger SS1 (Kinematics).

1.2.2 OSCILADOR CONTROLADO POR VOLTAJE (VCO).-

La señal análoga proveniente del sismómetro es del orden de los milivoltios, por lo cual es necesario amplificarla, filtrarla y convertirla en una señal sinusoidal que posteriormente modulada pueda ser transmisible. Para realizar esta función se utiliza un amplificador y un oscilador controlado por voltaje (**VCO**), el cual a partir de una frecuencia central determinada produce una señal de salida sinusoidal, con una frecuencia proporcional al voltaje proveniente del sismómetro.

En el Departamento de Geofísica actualmente se utilizan dos tipos de VCO, el primero desarrollado y comercializado por la Kinematics y otro diseñado por United States Geological Survey USGS, cualquiera de ellos para una frecuencia central específica en los siguientes valores: 680 Hz, 1020 Hz, 1360Hz, 1700 Hz, 2040 Hz, 2380 Hz, 2720 Hz y 3060 Hz cubriendo todo el canal de audio, cada

portadora tiene un ancho de banda de 250 Hz, los diagramas correspondientes se adjuntan en el Anexo No. 1.

1.2.3.- EQUIPO DE TRANSMISIÓN.-

El envío de la señal desde la estación sísmica remota hacia la estación base se realiza por medio de radioenlaces en la banda de UHF. El transmisor es el elemento con la potencia necesaria que permite la transmisión de la señal a distancia. El Departamento de Geofísica utiliza los radios Monitron de 1 y 2 W de potencia. En la banda de 401.000 a 402.000 MHz.

Para este tipo de enlaces, se utilizan antenas Yagi Uda de las siguientes características:

Ganancia 11dB

SWR 1,3

Diagrama de radiación directivo

Para la alimentación de las estaciones sísmicas remotas se utilizan baterías de 12 Vdc. 60 Ah. Alimentadas por paneles solares de 43W.

1.3.- ESTACIÓN REPETIDORA.-

Debido a la condición geográfica del país, se han tenido que colocar estaciones repetidoras para enrutar los datos a la estación base.

Las estaciones repetidoras reciben la señal de una dirección y la encaminan hacia otra, básicamente esta conformada por: antena receptora, radio receptor, mezclador radio transmisor, antena transmisora y sistema de alimentación.

1.4.- ESTACIÓN BASE.

La Estación base, ubicada en el Departamento de Geofísica en el sexto piso del edificio de Ingeniería Civil de la Escuela Politécnica Nacional, se encuentra conformada básicamente por los siguientes elementos: antenas receptoras, radios receptores, discriminadores, registradores analógicos, sistema digital de adquisición de datos, software de procesamiento.

1.4.1.- RECEPTORES.-

El receptor recibe la señal de radiofrecuencia y la transforma en señal de audio, la misma que luego es discriminada, se dispone de receptores Monitron en el mismo rango de frecuencias que los transmisores.

1.4.2.- DISCRIMINADORES.-

El discriminador, recobra la señal del geófono, es el elemento que desarrolla el proceso inverso del VCO, transforma la información que viene en términos de frecuencia a variaciones de voltaje DC. En el Departamento de Geofísica se cuenta con dos modelos diferentes el DM-2 de fabricación Kinometrics y el J120d diseñado por el USGS, cuyos circuitos se encuentran en el Anexo No. 1.

Una vez que la señal ha sido discriminada pasa al registrador analógico y al digital.

1.4.3.- REGISTRO ANÁLOGO.-

El registrador analógico se encarga de amplificar, filtrar y transformar el voltaje que sale del discriminador en un movimiento mecánico, que representa la traza

del sismograma. Estos registradores utilizan, para grabar la señal, papel ahumado de forma continua para las 24 horas del día. En el Departamento de Geofísica se dispone de los siguientes modelos de registradores analógicos:

PS2 Kinematics

MQ-800 Sprengnether

1.4.4.- REGISTRO DIGITAL

La señal de salida del discriminador se convierte en señal digital para obtener un sistema digital de adquisición de datos, se utiliza una tarjeta de conversión analógica/digital, Data Translations, DT-2814 de 16 canales y 12 bits de resolución, frecuencia de muestreo programable y acceso directo a la memoria del computador, para ser aplicable al sistema de registro y procesamiento de datos en una computadora.

La tarjeta de adquisición posee un Controlador de Acceso Directo a Memoria DMA, que permite operar con la memoria RAM del computador (ya sea en tareas de lectura o escritura), sin que se haga necesaria la intervención del CPU del mismo. Esto brinda la posibilidad de utilizar la CPU en otras tareas como copiado y edición de archivos, impresión, etc., mientras el conversor A/D se mantiene permanentemente digitalizando y grabando la información sin perder ningún evento. En el Departamento de Geofísica se dispone de dos programas de adquisición de datos el ACQ (versión 2.7) y el EARTHWORM (versión 4.1).

El programa de adquisición ACQ3 despliega en pantalla cada una de las señales sísmicas (48 estaciones disponibles). Cuando al menos n estaciones de la Red registran un sismo (actualmente $n=3$), estas disparan el programa, el mismo que en ese instante almacena en disco fijo el sismo registrado. Caso contrario, si no

se dispara el programa, las señales se muestran en pantalla pero no se graban Fig. No. 1.3.

A continuación estos datos son procesados con el programa Sismalp ver 3.0 que permite transformar al formato adecuado para realizar la correlación de trazas, ya que guarda por separado el listado de eventos con fechas y las trazas de eventos sísmicos en sí, una vez completado este proceso los datos están en código ASCII para su procesamiento.

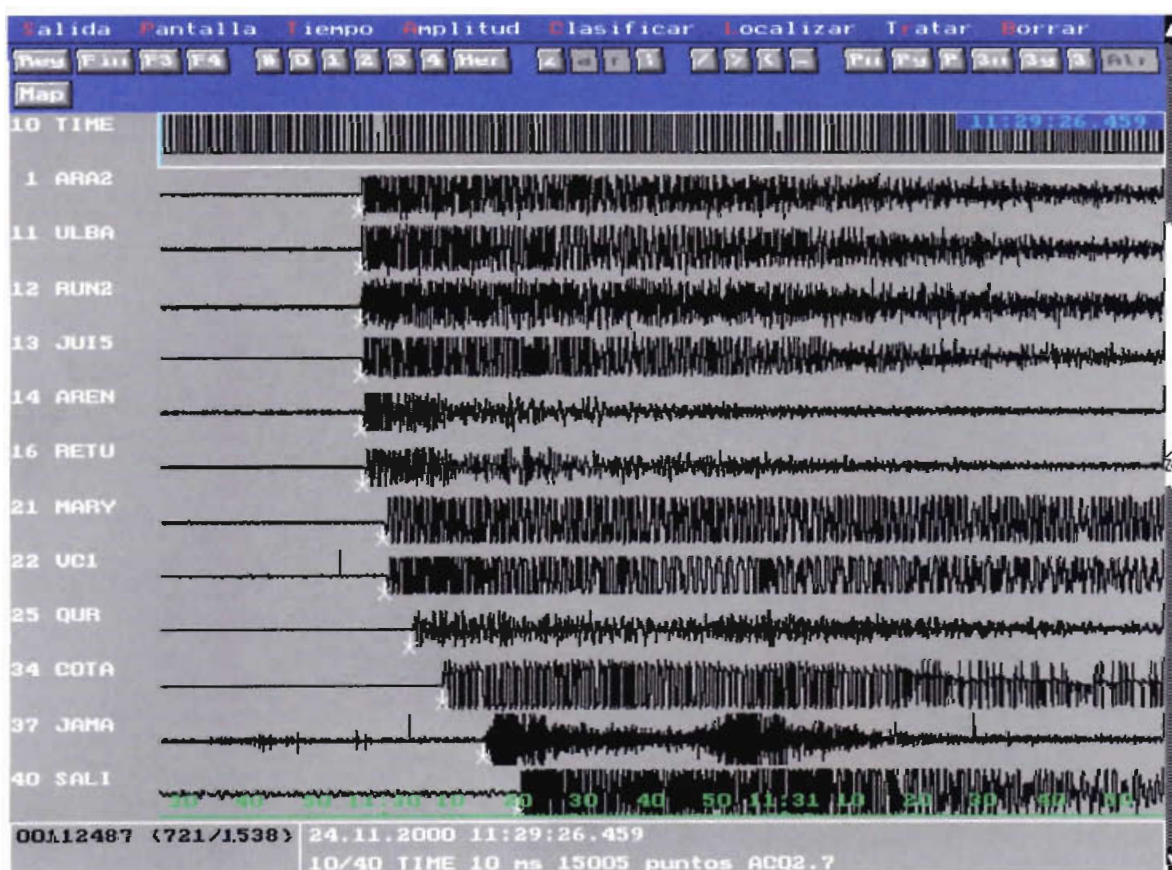


Fig. No. 1.3.- Señales sísmicas digitales, originadas por el programa ACQ3

El programa Earthworm es un sistema de adquisición de un conjunto de datos sísmicos, este sistema en red puede combinar datos en tiempo real, aumentando la capacidad de monitoreo y de interpretación. Tiene numerosos módulos para

funciones específicas calcula los valores de la medida de la amplitud del espectro sísmico SSAM y la medida de la amplitud sísmica en tiempo real RSAM, almacenan los datos de las estaciones sísmicas con un número mínimo de disparo y también en subredes, es de aplicación especial para el monitoreo volcánico Fig. No. 1.4.

Luego se ejecuta el programa PCEQ, el cual permite ubicar las fases P (onda primaria o de compresión, hace vibrar una partícula en el sentido de propagación de las ondas) y S (onda secundaria o de cizalla, hace vibrar una partícula en sentido perpendicular a la trayectoria de las ondas) de la onda sísmica con lo que se determina el tiempo de arribo de la señal a cada estación de la red. Con esta información se puede ubicar el lugar de origen o el epicentro del sismo.

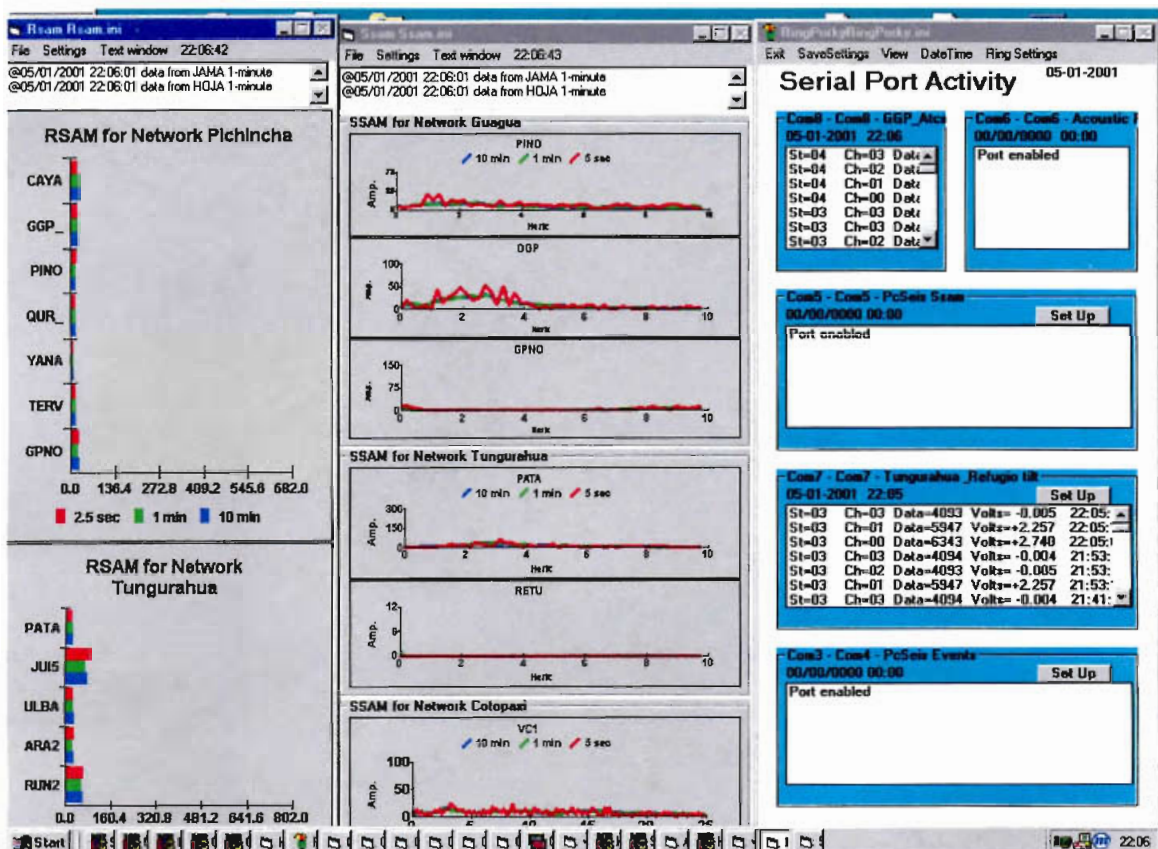


Fig. No. 1.4.- Señales sísmicas digitales, originadas por el programa Earthworm

La salida del programa PCEQ es un archivo en código ASCII llamado por defecto PHASE OUT.

Una vez que se ha realizado este proceso, la información contenida en el archivo phase out es analizado por uno de los dos programas localizadores de sismos: FASTHYPO, o HYPOCENTER, para encontrar el hipocentro más aproximado del sismo.

Al final, estos datos una vez procesados pasan a formar parte del "banco de datos sísmicos" clasificados en directorios de año y mes.

CAPITULO 2

DISEÑO DE LAS ETAPAS CONSTITUTIVAS DEL SISTEMA

2.1.- REQUERIMIENTOS DEL SISTEMA

En el diseño del Oscilador Controlado por Voltaje, VCO por sus siglas en Inglés, para aplicaciones sísmicas y volcanológicas dentro del Departamento de Geofísica se tomó en cuenta cumplir con los siguientes parámetros, para conservar las mismas características de los VCO comerciales; y además otras características adicionales para control y ayuda con la finalidad de pronosticar tempranamente si existe un daño en la estación remota, estas son:

- Los VCOs para usos telemétricos se los hace en la banda de audio, y debe permitir seleccionar cualquier valor de entre las siguientes frecuencias centrales: 680Hz, 1020Hz, 1360Hz, 1700Hz, 2040Hz, 2380Hz, 2720Hz y 3060Hz. Valores que han sido acordados para estos usos.
- El ancho de banda será de 250 Hz para la variación de la señal del sensor mas un valor adicional por las caídas de los filtros da un total de 340 Hz para cada frecuencia.
- Debe permitir seleccionar el valor de ganancia desde 0 dB, (ganancia 1); hasta 90 dB (31633 veces), en pasos de 6 dB.
- Se podrán interconectar una a otra las tarjetas para casos específicos como envío de señales de sensores de varias componentes, o en caso de requerirse para un mismo sensor dos valores de ganancia alto y bajo.

- Enviar señales de control como nivel de batería, prueba de la señal de sensor y comprobación del VCO, para facilitar la tarea de mantenimiento de la Red Sísmica.
- Permitir enviar señales de otros sensores como pluviómetros o inclinómetros suspendiendo momentáneamente la señal sísmica.

2.2.- DESCRIPCIÓN GENERAL.-

Para cumplir con los requerimientos anteriormente planteados se desarrollo el diseño de una tarjeta en base a un Microcontrolador MC68HC705C8A de la fabrica Motorola ya que se dispone del software necesario para su programación y a los PLL MC1451512 y 74HC4046. A continuación se dará una descripción detallada del diseño desarrollado

2.2.1.- DIAGRAMA DE BLOQUES.-

En la figura 2.1 se muestra el diagrama de bloques del sistema diseñado en el que se puede identificar las diferentes etapas del circuito:

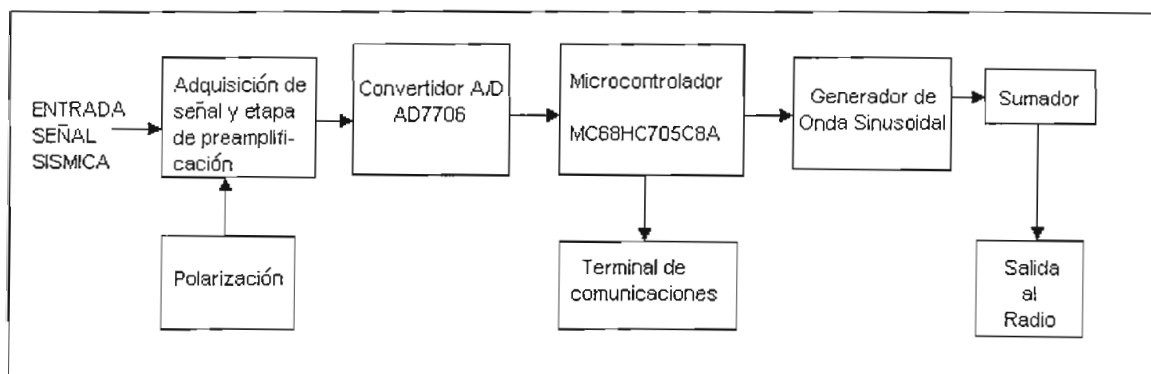


Fig. 2.1 Diagrama de bloques del Oscilador Controlado por Voltaje con frecuencia y ganancia programable.

2.2.2.- POLARIZACION.-

El VCO es parte fundamental del equipo que conforman las estaciones sísmicas, éstas generalmente se encuentran ubicadas en sitios remotos, donde no existe energía eléctrica; por lo cual el VCO se alimentará con baterías respaldadas por paneles solares. Esto obliga a usar como fuente de alimentación los niveles de una batería de 12 Vdc. Para conseguir los voltajes de polarización requeridos por la tarjeta se han incluido en el circuito un regulador de voltaje de 5 Vdc, 500 mA; el 78M05 y el inversor de voltaje ICL7662, para obtener -12 Vdc, con lo cual se cubren todos los voltajes de polarización necesarios en la tarjeta. Además se ha colocado un diodo para evitar la polarización inversa en la tarjeta, y un supresor de descargas eléctricas.

2.2.3.- ETAPA DE PREAMPLIFICACIÓN.-

Esta conformada por el amplificador de instrumentación AD620 desarrollado por la Analog Device Inc. Este amplificador permite fijar la ganancia colocando una resistencia externa a su entrada, de acuerdo a la siguiente fórmula:

$$G = \frac{49.4k\Omega}{R_G} + 1 \quad (\text{ec 2.1}^1)$$

Para el AD620 el valor de ganancia, puede ir de 1 a 1000. Para el presente diseño se ha escogido una resistencia de 390 Ω para obtener una ganancia de 127.66 es decir 42dB, cuando este colocado el jumper J1 en la tarjeta del VCO.

Internamente este amplificador operacional presenta seguidores de entrada de alta impedancia, bajo consumo de corriente (1.3 mA), y una reducción del voltaje de ruido a la entrada de 0.28 μ V p-p en la banda de 0.1 Hz a 10 Hz.

El AD620 nos proporciona un diseño con tres amplificadores operacionales en un arreglo de instrumentación, en un solo circuito como se muestra en la Fig. 2.2.

Posee un terminal de referencia lo cual nos permite colocar a la salida de la etapa preamplificadora un voltaje de 2.5V de referencia con el fin de centrar la señal alrededor de 2.5 V y de este modo, adaptarse al rango de entrada de la etapa de adquisición que es de 0 a 5 V, antes de su digitalización.

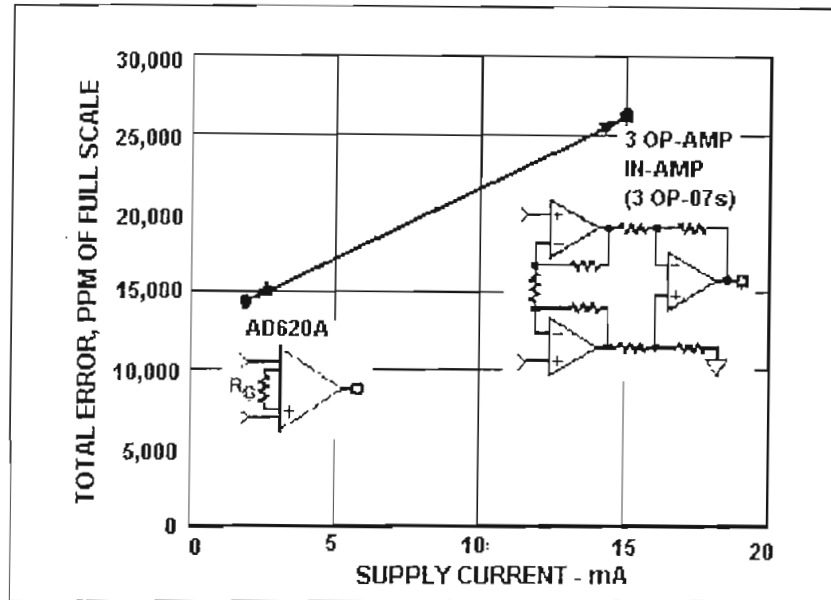


Fig. 2.2 Diseño interior del AD620

Para disminuir el problema del ruido por la línea de alimentación se ha colocado condensadores de tantalio y de cerámica así como inductores en serie a los voltajes de polarización.

2.2.4.- CONVERTIDOR ANÁLOGO DIGITAL.-

Para la etapa de conversión análogo digital, se usó el convertidor de tipo Sigma-Delta, el AD7706 de la Analog Device. Este dispositivo trabaja con una resolución de 16 bits y tiene un filtro pasabajos digital. Posee además del filtraje digital, de un proceso de autocalibración al encenderse, un pórto serial

¹ ANALOG DEVICE INC, AD620 Data Sheet, Pag.10 , USA 1999

sincrónico para comunicaciones bidireccional con el microcontrolador y la memoria de almacenamiento de parámetros de configuración. Su consumo de corriente es de 320 uA.

El convertidor AD7706 tiene 3 canales de entrada. El primero de ellos se utiliza en la señal sísmica, el segundo canal está libre para que se pueda digitalizar una señal de voltaje de propósito general como la que viene de un inclinómetro y; el tercer canal se ha destinado a medir el voltaje de la batería que alimenta al sistema.

2.2.4.1.- Registros del AD7706.-

El AD7706, posee ocho registros de encendido de 8 bits, la programación enviada a estos registros permiten la configuración de los diferentes parámetros, la programación para cada registro se indicará en el siguiente capítulo y a continuación se detallará cada uno de los mismos:

2.2.4.1.1.- Registro de Comunicaciones.-

Toda operación que se realiza en el AD7706 empieza con escribir operaciones a este registro, luego de polarizar; el integrado espera que se escriba a este registro, pues es el encargado de controlar el modo stand by, seleccionar el canal, decide cual es el siguiente registro a escribir o leer, si la siguiente operación a realizar es escritura o lectura, y muestra el estado del $\overline{\text{DRDY}}$, esta bandera cuando esta en bajo indica que una nueva palabra esta en la salida del data register y retorna a 1 cuando se completa la lectura. Su estructura es:

bit7							bit0
$\overline{\text{DRDY}}$	RS2	RS1	RS0	$\overline{\text{R/W}}$	STBY	CH1	CH0

siguientes 7 bits van a ser cargados al registro de comunicaciones porque se ha indicado la operación de escritura. Si tiene un 1 indica una operación de lectura y provee el estado de la bandera $\overline{\text{DRDY}}$ del AD7706, tomando los mismos valores que ésta.

RS2-RS0 Son los bits de selección de registro. Estos tres bits indican cual de los ocho registros ha sido seleccionado para la próxima operación de lectura o escritura de acuerdo a la tabla No.2.1 . Cuando la operación de lectura o escritura en el registro seleccionado ha finalizado, el AD7706 espera por una nueva instrucción de escritura al Registro de Comunicaciones.

DRDY Para indicar una operación de escritura debe estar en 0, entonces los siguientes 7 bits van a ser cargados al registro de comunicaciones porque se ha indicado la operación de escritura. Si tiene un 1 indica una operación de lectura y provee el estado de la bandera DRDY del AD7706, tomando los mismos valores que ésta.

RS2-RS0 Son los bits de selección de registro. Estos tres bits indican cual de los ocho registros ha sido seleccionado para la próxima operación de lectura o escritura de acuerdo a la tabla No.2.1 . Cuando la operación de lectura o escritura en el registro seleccionado ha finalizado, el AD7706 espera por una nueva instrucción de escritura al Registro de Comunicaciones.

RS2	RS1	RS0	Registro	Tamaño
0	0	0	Registro de Comunicaciones	8 Bits
0	0	1	Registro de Configuración	8 Bits
0	1	0	Registro de Reloj	8 Bits
0	1	1	Registro de Datos	16 Bits
1	0	0	Registro de Prueba	8 Bits
1	0	1	No Operación	
1	1	0	Registro de Calibración	24 Bits
1	1	1	Registro de Ganancia	24 Bits

Tabla No. 2.1 Selección de Registros para el AD7706

R/W Indica si la siguiente operación a llevarse a cabo en los registros es lectura (1) o escritura (0).

STBY Escribiendo 1 en este bit, el AD7706 permanece en estado dormido consumiendo solamente 10uA, sin perder su estado de calibración y

control de información. Escribiendo 0 en este bit el AD7706 permanece en operación normal

CH1-CH0 Selecciona el canal para la conversión de datos, de acuerdo a la Tabla No.2.2

CH1	CH0	AIN	Referencia
0	0	AIN1	COMUN
0	1	AIN2	COMUN
1	0	COMUN	COMUN
1	1	AIN3	COMUN

Tabla No. 2.2 Selección de canales para el AD7706

2.2.4.1.2.- Registro de configuración.-

Determina el modo de operación, calibración, ganancia, selección de operación bipolar / unipolar, y modo de preamplificación interna. Cuando se realiza cualquiera de las calibraciones posibles, y una vez terminadas las mismas el AD7706 regresa al modo normal de operación. El DRDY se pone en alto cuando empieza la calibración y retorna a bajo cuando esta se ha completado disponiendo de una nueva palabra en el registro de datos. La estructura del registro de configuración es:

bit7

bit0

MD1	MD0	G2	G1	G0	$\overline{B/U}$	BUF	FSYNC
-----	-----	----	----	----	------------------	-----	-------

MD1-MD0 Selecciona el modo de operación de acuerdo a la tabla No. 2.3.

MD1	MD0	Modo de Operación
0	0	Es el modo normal de operación
0	1	Activa la autocalibración en el canal seleccionado en el registro de comunicaciones.
1	0	Activa la calibración del cero en la escala en el canal seleccionado por el registro de comunicaciones. Esta calibración se realiza para el voltaje de entrada en el momento que es seleccionada, por lo cual este voltaje debe permanecer estable durante su ejecución.
1	1	Realiza la calibración de escala completa, se requiere que el voltaje de entrada permanezca estable durante su ejecución.

Tabla No. 2.3 Modos de Operación para el AD7706

G2-G0 Estos bits seleccionan la ganancia a la cual trabajara el AD7706 de acuerdo a la tabla No. 2.4

G2	G1	G0	Ganancia Configurada
0	0	0	1
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

Tabla No. 2.4 Selección de Ganancia para el AD7706

B/U Con un 0 en este bit se selecciona la operación Bipolar. Con un 1 se selecciona la operación Unipolar

BUF Buffer de Control. Con un 0 en este bit, el buffer de entrada esta desconectado de la entrada análoga, la corriente en la línea del VDD es reducida. Con un 1 en este bit, el buffer de entrada esta en serie con la entrada análoga teniendo una fuente de alta impedancia.

FSYNC Filtro de Sincronización. Cuando este bit es alto, el nodo del filtro digital, el control del filtro, la calibración y el modulador análogo están en un estado de reinicio. Cuando este bit esta en bajo, el modulador y filtro empiezan a procesar los datos y una palabra valida esta disponible. El bit FSYNC no afecta la interface digital, y tampoco a la salida DRDY si esta en bajo.

2.2.4.1.3.- Registro de Reloj.-

Permite seleccionar el valor de los filtros cambiando la frecuencia de muestreo, así como bits para determinar la frecuencia de reloj a la que trabaja. Su estructura es la siguiente:

bit7							bit0
ZERO	ZERO	ZERO	CLKDIS	CLKDIV	CLK	FS1	FS0

ZERO Para que la operación del AD7706 sea correcta estos bits deben estar en bajo.

CLKDIS Bit deshabilitador del reloj master. Cuando este bit es 1, se deshabilita el reloj del pin MCLKOUT, forzando a este a permanecer en bajo. Cuando se utiliza el reloj en el pin MCLKIN, el AD7706 continua trabajando con su reloj interno, cuando se activa este bit. Cuando se usa el reloj entre MCLKIN y MCLKOUT el AD7706 deja de funcionar cuando este bit esta en alto.

CLKDIV Bit divisor de reloj. Cuando esta en 1 la frecuencia de reloj que esta en MCLKIN es dividida para dos. Cuando el bit es 0, la frecuencia presente en MCLKIN es la frecuencia de trabajo para el AD7706.

CLK Bit de reloj. Este bit debe configurarse de acuerdo al CLKDIV. Por ejemplo si el reloj master es 2.4576 MHz (CLKDIV=0) o 4.9152MHz (CLKDIV=1) este bit debe estar en 1. Si el reloj master es de 1MHz (CLKDIV=0) o 2MHz (CLKDIV=1) este bit debe estar en 0. Este bit además proporciona la tasa de datos de salida conjuntamente con FS1 y FS0, si no esta configurado correctamente el AD7706 no trabaja.

FS1, FS0 Bits de selección de filtro. Conjuntamente con el CLK, seleccionan la tasa de salida de datos, así como fijan el nodo de -3dB de acuerdo a la tabla No. 2.5. El punto de - 3dB es determinado de acuerdo a la relación:

$$\text{Filter-3dB frecuencia} = 0.262 \times \text{primer nodo de frecuencia. (ec 2.2}^2)$$

CLK*	FS1	FS0	Tasa de datos de salida	Punto de - 3dB
0	0	0	20 Hz	5.24 Hz
0	0	1	25 Hz	6.55 Hz
0	1	0	100 Hz	26.2 Hz
0	1	1	200 Hz	52.4 Hz
1	0	0	50 Hz	13.1 Hz
1	0	1	60 Hz	15.7 Hz
1	1	0	250 Hz	65.5 Hz
1	1	1	500 Hz	131 Hz

Tabla No.2.5 Tasa de datos de salida para el AD7706

2.2.4.1.4.- Registro de Datos.-

Es un registro solo de lectura, que contiene el resultado de la conversión de datos cuando se enciende o se reinicia el componente, este registro tiene el valor 00Hex. Su estructura es:

RS2,RS1, RS0 = 0,0,1

2.2.4.1.5.- Registro de Prueba.-

Es un registro solo de lectura y se usa para poder probar el componente AD7706, cuando se enciende o se reinicia, este registro tiene el valor 00Hex. Su estructura es:

RS2,RS1, RS0 = 1,0,0

2.2.4.1.6.- Registros de Calibración.-

Existen dos registros para calibración, el primero es el registro de calibración de escala cero que como indica su nombre calibra el nivel cero cuando se enciende o se reinicia el componente, este registro tiene el valor 14F000Hex y su estructura es:

RS2,RS1, RS0 = 1,1,0.

El segundo es el registro de calibración de escala completa, que permite calibrar el máximo de la escala, cuando se enciende o se reinicia el dispositivo este registro tiene el valor 5761AB Hex y su estructura es: RS2, RS1, RS0 = 1,1,1.

Normalmente se realizan las dos calibraciones juntas para cada uno de los canales.

2.2.4.2.- Ventajas del uso del AD7706

En los VCOs comerciales, se observa que la señal sísmica está directamente conectada al oscilador después de una etapa amplificadora, en este caso se hace la adquisición de la señal luego que pasa por una etapa preamplificadora e inmediatamente se la digitaliza, obteniendo varias ventajas que nos permite el dispositivo AD7706 entre ellas tenemos:

2.2.4.2.1.- Mejoramiento de la Resolución.-

El convertidor mejora la resolución mediante “decimación”, que es un tratamiento matemático que obtiene un valor de alta precisión a partir de varios valores de menor precisión (equivalente a obtener un promedio). Esta tecnología lleva implícito un nivel de filtrado que tiene la forma $\left(\frac{\sin x}{x}\right)^3$. La forma del filtro es función de la tasa de muestreo de los datos en bruto y la tasa de salida de los datos filtrados. Además es función de la relación entre estas dos tasas. Este parámetro es fijo para el convertidor, por lo que al seleccionar una tasa de salida de datos se especifica toda la forma del filtro. La forma del filtro es:

$$H(f) = \left| \frac{1}{N} \cdot \frac{\sin\left(N \cdot \pi \cdot \frac{f}{f_s}\right)}{\sin\left(\pi \cdot \frac{f}{f_s}\right)} \right|^3 \quad \text{(ec. 2.3)}^3$$

Donde N es la relación entre la tasa de muestreo y la tasa de datos procesados y es un parámetro fijo. Los nodos del filtro ocurren en la frecuencia de salida y en sus múltiplos como se observa en la Figura No. 2.3.

³ ANALOG DEVICE INC, AD 7706 Data Sheet, USA 1998

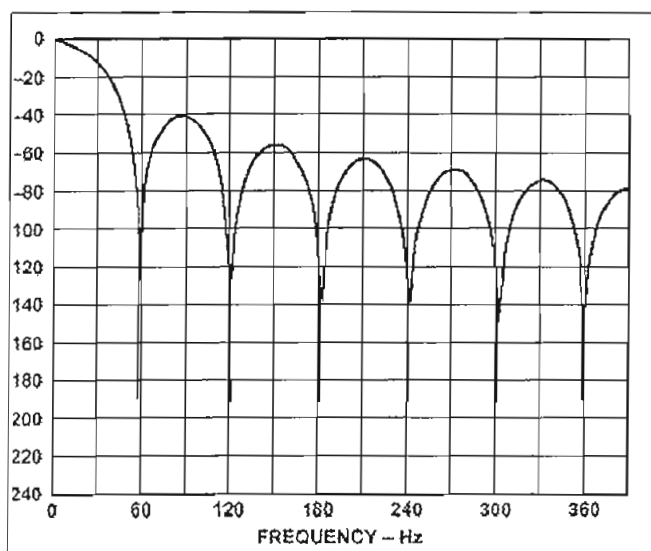


Fig. 2.3 Respuesta del filtro digital AD7706 para una tasa de muestreo de 60Hz

2.2.4.2.2.- Frecuencia de muestreo.-

Para la señal sísmica del VCO se han contemplado 4 frecuencias de muestreo como se indica en la tabla 2.6:

Modo	Tasa [Muestras por segundo]	Frecuencia de corte (-3dB)
0	Sin señal	-
1	184	48 Hz
2	92	24 Hz
3	46	12 Hz
4	23	6 Hz

Tabla 2.6.- Frecuencia de muestreo

Debido a la frecuencia de corte, esta opción nos permite implementar un filtro pasabajos en los valores de 48, 24, 12 y 6 Hz; de manera similar al VCO comercial desarrollado por la Kinematics.

2.2.4.2.3.- Ganancia.-

El AD7706 nos permite establecer ganancias que varían entre 1 a 128 es decir de 0 a 42 dB, a través de la programación requerida en el registro de seteo de acuerdo a la tabla 2.7:

G2	G1	G0	Ganancia
0	0	0	1
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

Tabla No. 2.7 Configuración de ganancia para el AD7706

2.2.4.2.4.- Interface Serial.-

El AD7706 dispone de un interfaz serial compuesta de cinco señales de control que son:

CS	Habilitación del componente
SCLK	Reloj de entrada para transferir datos
DIN	Ingresar datos al AD7706
DOUT	Sacar los datos desde el componente
DRDY	Nos permite conocer si hay un dato para lectura en el AD7706

A través de este interfaz serial es posible comunicarse con los registros del AD7706 para escribir o leer sus valores. Dicho interfaz en este diseño se encuentra comunicándose directamente con el Microcontrolador.

2.2.5.- MICROCONTROLADOR.-

En el presente trabajo se utilizó el microcontrolador MC68HC705C8A, de fabricación Motorola Inc. , que tiene de las siguientes características:

- Tecnología CMOS
- CPU de 8 bits
- 340 bytes de memoria RAM interna
- 240 bytes de memoria ROM interna
- 8 Kbytes de memoria programable EPROM
- 24 líneas de entrada / salida programables
- 7 líneas para el puerto de interfaz serial estándar y el interfaz de comunicación serial síncrono
- Oscilador interno
- Contador interno de 16 bits

En el diseño descrito, el microcontrolador MC68HC705C8A cumple con varias funciones que se irán describiendo conforme se analiza su conexión en la tarjeta, así tenemos:

Las ocho líneas del pórtilo A y las seis líneas del pórtilo B se utilizan para comunicarse con el generador de señal sinusoidal. El microcontrolador lee desde la memoria EEPROM 96C53 el valor de la frecuencia central, los valores de ganancia de hardware que asigna al AD7706, el de ganancia de software que realiza por sí mismo, el período de control de batería, el período de transmisión de pluviometría, el período de transmisión de inclinometría o de otro sensor

conectado al canal análogo libre del AD7706 y el período de tiempo para pruebas de VCO e interrupción de la transmisión telemétrica.

Una vez que conoce el valor de la frecuencia central, el microcontrolador va leyendo los datos del AD7706 y va sumando el valor de la frecuencia correspondiente a la desviación guardando relación con 2.5 V para un máximo de 125 Hz, y escribiendo instantáneamente este valor hacia el generador de la señal sinusoidal. Es decir va realizando la modulación de frecuencia. El control del proceso de modulación mediante software del microcontrolador impide también que la señal se salga del canal asignado y permite limitar las saturaciones de un modo seguro.

La relación de $\pm 2,5$ V a ± 125 Hz puede modificarse mediante software. Cambiar esta relación equivale a tener una ganancia adicional, estos nuevos valores de ganancia han sido denominados ganancia por software y varía entre 0 y 42 dB.

Las dos líneas restantes del pórtico B se comunican con la memoria EPROM donde se almacena la tabla de valores de la función sinusoidal para ubicar los valores de amplitud de la misma en caso de tener una, dos o tres componentes de señales sísmicas, en la memoria se han almacenado cuatro tablas de la función senoidal con diferentes amplitudes.

La primera línea del pórtico C (PC0) activa la memoria EEPROM 93C56A de la tarjeta para poder escribir o leer los valores a los cuales se ha configurado la tarjeta.

Las líneas PC1, PC2, y PC3 se comunican con el AD7706 para escribir en él los valores de ganancia, filtros, dan el valor necesario para la autocalibración cuando se inicia el funcionamiento o cuando se ha cambiado la configuración el VCO y leen los datos digitalizados del sensor cuando está en funcionamiento.

La línea PC4 activa el relé de entrada desconectando el sensor para realizar pruebas de funcionamiento de la tarjeta de VCO.

Las líneas PC5 y PC6 activan el relé para interrupción de funcionamiento del radio de transmisión, en caso que se quiera mandar datos intermitentes. El microcontrolador con su reloj interno suspende momentáneamente la adquisición de la señal sísmica para dar paso a los valores de monitoreo del voltaje de baterías como también activa el relé para pruebas de transmisión, y de comprobación del VCO.

La línea PC7 enciende intermitentemente el led como comprobación de que el microcontrolador este trabajando.

El interfaz de comunicación serial, se comunica tanto con el AD7706 como con la memoria EEPROM 93C56 para escribir y leer los datos de funcionamiento.

Las líneas PD7, TDI y TDD se comunican con el integrado MAX232 para la salida de comunicación serial a la que tiene acceso el usuario.

Por último la línea TCAP sirve para contar los pulsos generados por un sensor pluviométrico en caso de requerirlo, suspende la adquisición de la señal sísmica y transmite el valor almacenado en el contador interno.

En el siguiente capítulo se describirá detalladamente el programa que permite su funcionamiento.

2.2.6.- GENERADOR DE LA ONDA SINUSOIDAL.-

Antes de tratar el diseño que se realizó para el generador sinusoidal se requiere anotar varios conceptos teóricos como son osciladores, osciladores controlados

por voltaje y la teoría de phase lock looped (PLL), que se han aplicado en el presente diseño.

2.2.6.1- Operación del Circuito Realimentado como un Oscilador.-

El uso de realimentación positiva puede traducirse en que un amplificador realimentado tenga ganancia de lazo cerrada A_f mayor que 1 y satisfaga las condiciones de fase que resultan en una operación como un circuito oscilador. Un circuito oscilador entonces proporciona una señal de salida variable en el tiempo. Si la señal de salida varía sinusoidalmente, se denomina oscilador sinusoidal. Si el voltaje de salida sube rápidamente a un nivel de voltaje y posteriormente cae rápidamente a otro nivel de voltaje, el circuito generalmente se denomina un oscilador de pulso o un oscilador de onda cuadrada.

Para explicar su funcionamiento consideremos el circuito realimentado de la Fig. 2.4, cuando el interruptor en la entrada del amplificador está abierto, no ocurren oscilaciones.

Consideremos que tenemos un voltaje ficticio a la entrada del amplificador (V_i). Este se traduce en un voltaje de salida $V_o = AV_i$ después de la etapa amplificadora de base y en un voltaje $V_f = \beta(AV_i)$ después de la etapa de realimentación. Así tenemos, un voltaje de realimentación $V_f = \beta(AV_i)$, en donde βA se conoce como ganancia de lazo. Si los circuitos del amplificador básico y la red de realimentación proporcionan βA en la magnitud correcta y fase adecuada, V_f puede hacerse igual a V_i . Entonces, cuando el interruptor se cierra y se retira V_i , el circuito continuará operando puesto que el voltaje de realimentación es suficientemente alto para excitar al amplificador y los circuitos de realimentación obteniéndose un voltaje de entrada adecuado para sostener la operación de lazo. La forma de onda de salida existirá después de que el interruptor es cerrado si la condición $\beta A = 1$ se cumple. Esto se conoce como el Criterio de Barkhausen para oscilación.

En realidad no se necesita señal de entrada para que comiencen las oscilaciones. Solamente la condición $\beta A=1$ debe satisfacerse para mantener las oscilaciones.

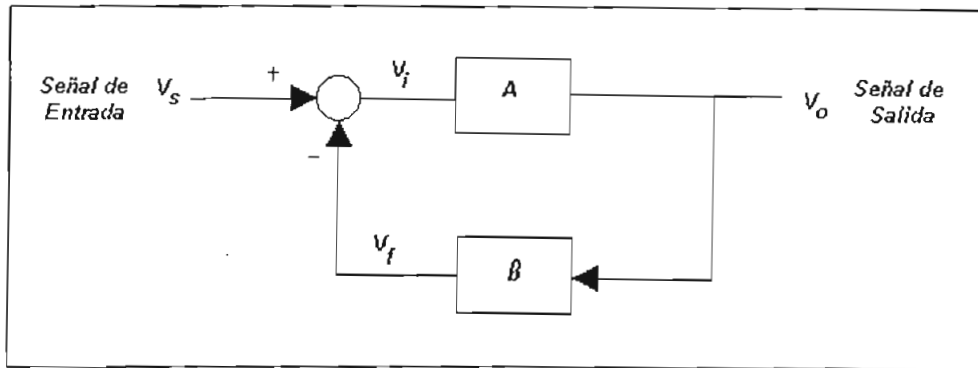


Fig. 2.4.- Circuito realimentado utilizado como oscilador

En la práctica βA se hace mayor que 1, y el sistema arranca a oscilar por el ruido que amplifica y que siempre se encuentra presente. Los factores de saturación en un circuito práctico proporcionan un valor promedio para βA de 1. Las formas de onda resultantes no son nunca exactamente sinusoidales. Sin embargo, entre más cercano este el valor de βA a la unidad más sinusoidal es la forma de onda.

Algunos de los circuitos más utilizados se muestran en la figura 2.5.

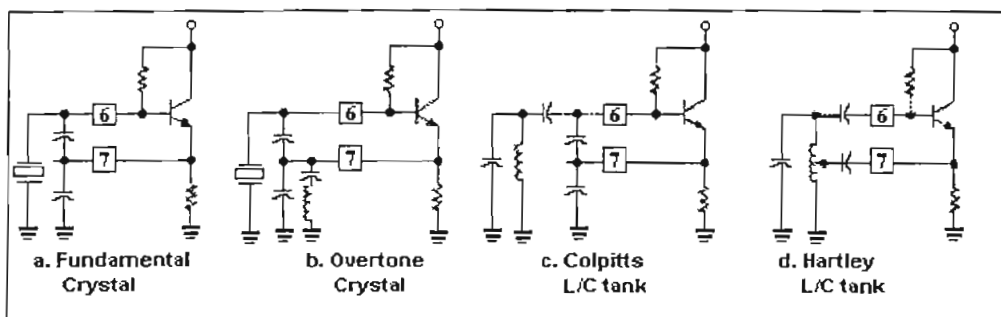


Fig No. 2.5.- Osciladores más comunes para la construcción de referencias.

2.2.6.2.- Oscilador Controlado por Voltaje.-

Un oscilador controlado por voltaje o VCO es un circuito que produce una señal de salida, generalmente una onda cuadrada, cuya frecuencia es proporcional al valor de un voltaje continuo aplicado en su entrada de control. Es decir, un VCO es un convertidor de voltaje a frecuencia. En condiciones normales un VCO opera a una frecuencia específica llamada frecuencia central f_0 . El VCO tiene un oscilador donde el principal elemento de sintonía es un diodo varactor, el voltaje dc es aplicado directamente a este diodo cambiando la capacitancia del circuito y esto permite la sintonía a la frecuencia central.

El diseño de estos circuitos es relativamente fácil para algunos casos sencillos, sin embargo el mismo se complica en mayor o menor grado según la alternativa seleccionada y la tolerancia deseada en distorsión, rango dinámico, estabilidad, amplitud etc.

El VCO tiene gran aplicación en los sistemas de radiocomunicación generalmente forman parte de los circuitos osciladores de radio frecuencia RF y también en los circuitos osciladores de frecuencia intermedia FI.

2.2.6.2.1.- VCO con Oscilador Colpitts

Uno de los circuitos osciladores más utilizados comúnmente es el Oscilador Colpitts, y por ello se desarrollarán sus expresiones a modo de ejemplo. Existe un método que se basa en el hecho de que un tanque LC con factor de calidad Q infinito, una vez excitado, oscilará de forma indefinida porque no hay una resistencia de pérdidas que disipe la energía. En el caso actual donde el inductor tiene un factor Q finito, las oscilaciones desaparecen porque existe una resistencia que disipa la energía. Esta es la función del amplificador, mantener la oscilación suministrando una cantidad de energía igual a la disipada. Ésta fuente de energía se puede interpretar como una resistencia negativa r_i en serie con el circuito sintonizado, tal como se muestra en la figura 2.6. Si la resistencia total

es positiva, las oscilaciones desaparecerán, mientras que la amplitud aumentará si la resistencia es negativa. Para mantener la oscilación las dos resistencias deben ser iguales. Para ver como realizar una resistencia negativa, se derivará la impedancia de entrada de la figura 2.7.

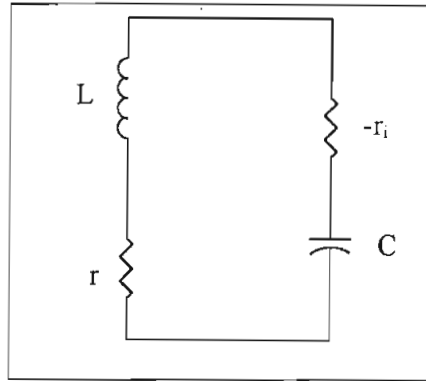


Fig. 2.6. Circuito resonante con una resistencia negativa incluida.

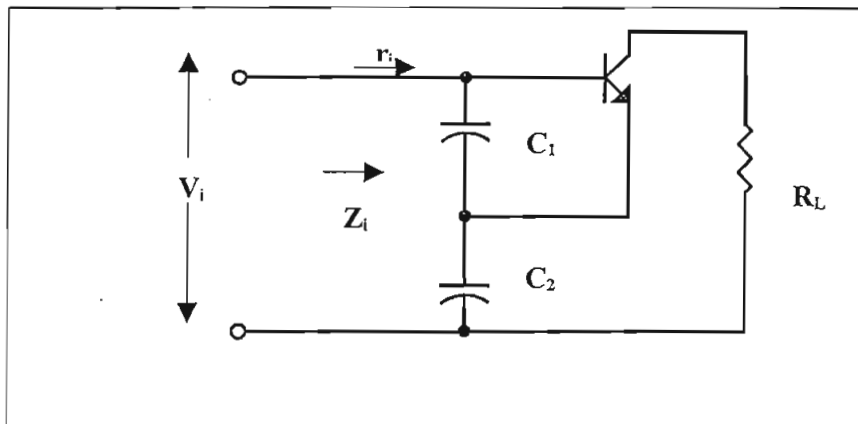


Fig. 2.7. Circuito para generar una resistencia negativa.

Si la impedancia del transistor es suficientemente grande, el circuito equivalente se muestra en la figura 2.8 y analizando las corrientes y tensiones del circuito se deducen las expresiones:

$$V_i = I_i(X_{C1} + X_{C2}) - I_b(X_{C1} - \beta X_{C2}) \quad (\text{ec. 2.4})$$

$$0 = -I_i(X_{C1}) + I_b(X_{C1} + r_{\pi}) \quad (\text{ec. 2.5})$$

De las expresiones 2.4 y 2.5 se puede extraer la impedancia de entrada como:

$$Z_i = \frac{V_i}{I_i} = \frac{(1 + \beta)X_{C1}X_{C2} + r_{\pi}(X_{C1} + X_{C2})}{X_{C1} + r_{\pi}} \quad (\text{ec. 2.6})$$

Si $X_{C1} \ll r_{\pi}$, la impedancia de entrada es aproximadamente igual a:

$$Z_i \approx \frac{1 + \beta}{r_{\pi}} X_{C1}X_{C2} + X_{C1} + X_{C2} \approx \frac{-gm}{\omega^2 C_1 C_2} + \left[j\omega \left(\frac{C_1 C_2}{C_1 + C_2} \right) \right]^{-1} \quad (\text{ec.2.7})$$

ccEsta es, la impedancia de entrada del circuito mostrado en la figura 2.7.

$$r_i = \frac{-gm}{\omega^2 C_1 C_2} \quad (\text{ec. 2.8})$$

$$C_i = \frac{C_1 C_2}{C_1 + C_2} \quad (\text{ec. 2.9})$$

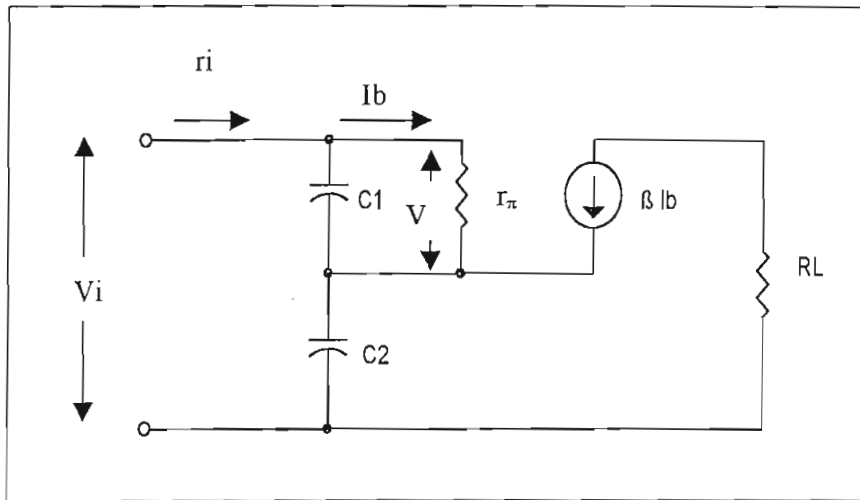


Fig. 2.8. Circuito en pequeña señal para el mostrado en la figura 2.7

Volviendo a la figura 2.6, con una inductancia L (con resistencia asociada r), la condición para que las oscilaciones se mantengan es que la resistencia r sea:

$$r = \frac{gm}{\omega^2 C_1 C_2} \quad (\text{ec. 2.10})$$

y la frecuencia de oscilación es:

$$f_o = \left[2\pi \left(L \frac{C_1 C_2}{C_1 + C_2} \right)^{1/2} \right]^{-1} \quad (\text{ec. 2.11})$$

En el caso de desear una frecuencia de salida variable en función de una tensión de control f_m , sólo basta con realizar un montaje como el de la figura 2.9. La señal de control suele variar lentamente en el tiempo en comparación con la onda de salida, así que f_m se considera como continua y en consecuencia el valor de la capacidad del varactor se considera constante.

Pudiendo aplicar el mismo análisis se llega a la conclusión de que la frecuencia de salida es :

$$W_o = \frac{1}{\sqrt{L \frac{(C+C_s)C_o}{C+C_s+C_o}}} \quad (\text{ec. 2.12})$$

siendo

C_s el paralelo de C_1 y C_2 .

C_o la capacidad del varactor.

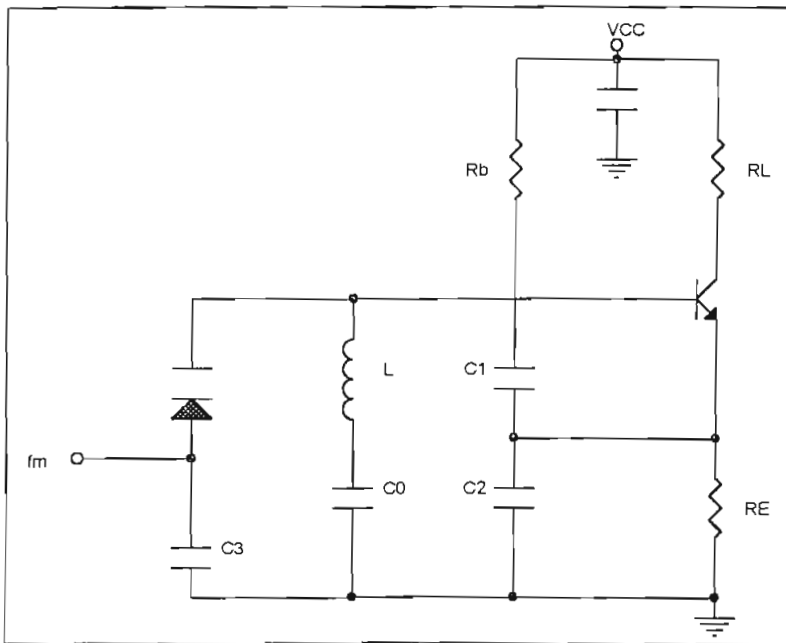


Fig. 2.9. Circuito de un VCO basado en un oscilador Colpitts

En los módulos comerciales para RF como parte del VCO se utiliza comúnmente el circuito oscilador Colpitts . Este oscilador es usado para un amplio rango de frecuencias de operación, desde IF a RF.

2.2.6.2.2.- VCO con Osciladores de base - común

Los VCO's basados en amplificadores de base - común eran bastante utilizados hasta hace pocos años, estos circuitos tienen relativamente alta eficacia y un conveniente pero limitado ancho de banda. El inconveniente principal de estos osciladores es su tendencia a cambiar la frecuencia con cualquier variación en la carga, reflejado en una desviación de frecuencia. Un ejemplo de estos osciladores se muestra en la figura 2.10:

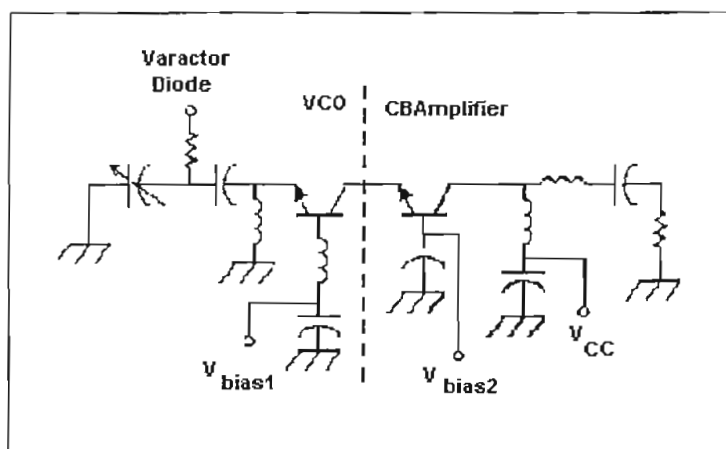


Fig. 2.10 VCO con amplificador base - común

2.2.6.2.3.- VCO con Oscilador de relajación (multivibradores acoplado en emisor)

Este VCO es el más usado en los diseños de CI, el circuito oscila al cargar y descargar continuamente un condensador entre dos niveles de voltaje. Se

controla con un voltaje de control que suministra la corriente para cargar y descargar el condensador (fig. 2.11).

Aunque el multivibrador es relativamente simple y requiere de pocos dispositivos, la frecuencia de oscilación es parcialmente dependiente del capacitor, y este es bastante sensible a los efectos de la temperatura debido a la configuración de voltaje de acople por emisor.

Estos circuitos pueden presentar bastante rapidez, algunos presentan picos de hasta 7.4 Ghz

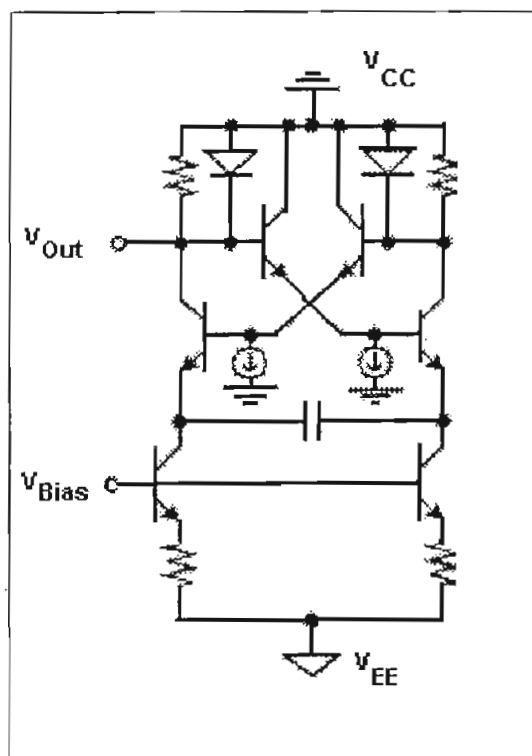


Fig. 2.11 VCO con oscilador multivibrador

Esta configuración acoplada en emisor es no saturada y contiene solo transistores *NPN* además dentro del circuito son pequeñas las variaciones de

voltaje . Aunque el circuito típicamente debería operar a altas frecuencias, la frecuencia utilizable es bastante limitada debido a un corrimiento de la frecuencia central por variaciones de la temperatura que se vuelven más grandes a frecuencias más altas. Esta sensibilidad a la temperatura se debe principalmente a las características de operación de los transistores y a la resistencia del circuito.

2.2.6.2.4.- VCO con Osciladores del anillo

El oscilador de anillo es diferente al multivibrador. El bloque principal del circuito básico es una celda de retardo no constante que está controlada por voltaje.

Al unir varios elementos de retardo el circuito oscilará con una frecuencia proporcional al voltaje de control, las celdas multiplican por dos el número de estados de retardo (el signo se cambia y debe pasar entonces dos veces por el mismo lugar para volver a su valor original).

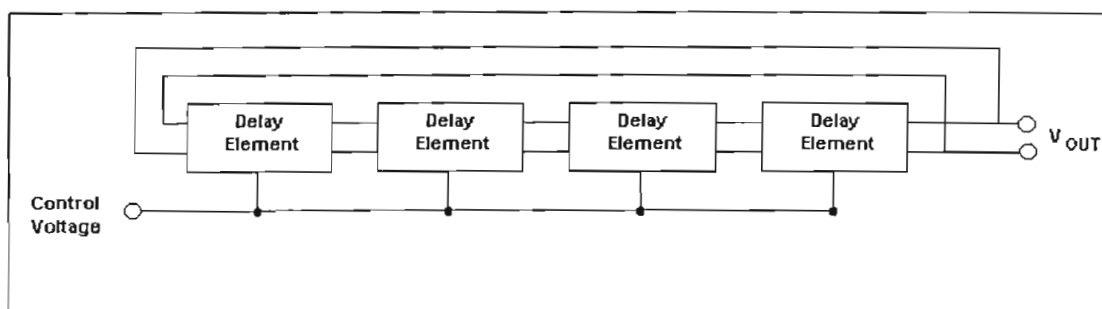


Fig. 2.12 Oscilador de anillo básico controlado por voltaje

2.2.6.2.5.- VCO con Multiplicador de cuadratura

Es un multivibrador diferente. Los osciladores de anillo controlados por voltaje no son muy sensibles a los cambios de temperatura o cambios en los valores del

condensador, por esto se crean los VCO de anillo con rendimientos de cuadratura múltiple que se usan para duplicar las frecuencias.

Este método permite tener dos señales fuera de fase 90° y consigue multiplicarlas para obtener dos veces la entrada en frecuencia.

Este método es utilizado en muchos PLL. El rendimiento de estos VCO hace posible multiplicaciones de factores de 4 e incluso más altos.

Para describir matemáticamente la multiplicación cuadrática de frecuencia considere un señal $A = \sin(\omega t)$, y otra $B = \sin(\omega t + \pi/2)$ que están 90° fuera de fase. Multiplicando las señales tenemos:

$$A \cdot B = \sin(\omega t) \cdot \sin(\omega t + \pi/2)$$

$$= \sin(\omega t) \cdot \cos(\omega t)$$

$$= \frac{1}{2} \sin(2\omega t) \text{ (ec. 2.13)}$$

En la figura 2.13 se da una explicación más gráfica donde dos señales tienen la misma frecuencia pero una fase cambia 90°.

Cada señal tiene un valor alto o bajo solo en la mitad del ciclo, esto correspondería a un $\frac{1}{4}$ de 360°, por consiguiente las dos señales tienen el mismo valor a $\frac{1}{4}$ del periodo.

Se utiliza un circuito excluyente XOR y así se genera una frecuencia 2ω .

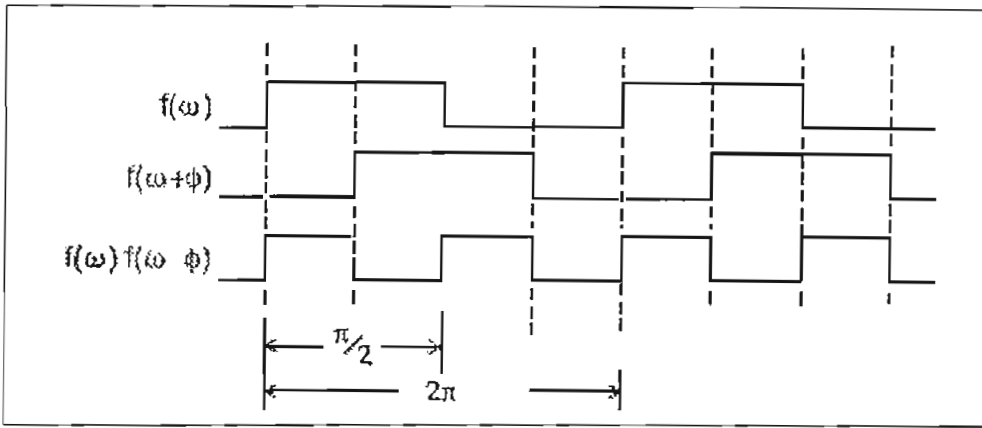


Fig. 2.13.- Señales desfasadas 90°

Se nota que para el primer impulso los dos ciclos están en fase, y tienen la misma frecuencia, el VCO está preparado para proporcionar una compensación de frecuencia ya que cualquier cambio en el ciclo será debido a un cambio de señal, el rendimiento de la señal se reduce a 2ω en favor de la frecuencia más baja, cuando este es el caso. En la figura 2.14 vemos como en el primer ciclo se ha acortado por δ mientras en el próximo ciclo aumenta por la misma cantidad. El problema es que las dos señales de entrada tienen ciclos diferentes

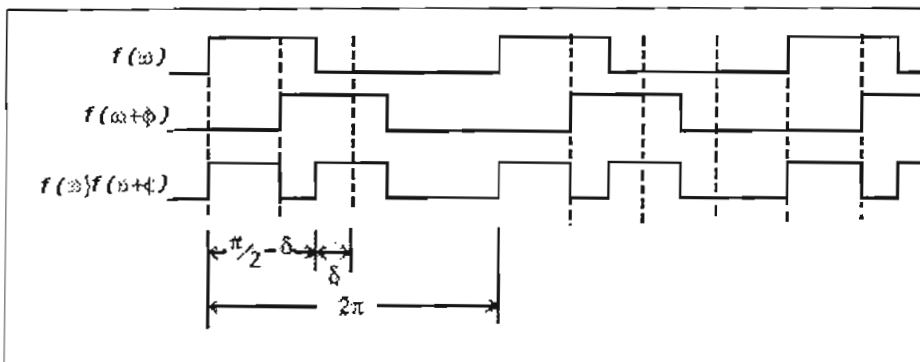


Fig. 2.14 Doblamiento de ciclo

Para generar una señal para los cuatro tiempos, la frecuencia del oscilador debe ser doblada de nuevo. Esto solo es posible cuando las dos señales están dentro de la cuadratura de la frecuencia 2ω .

En la figura 2.15 se muestra un ejemplo de esto, las señales cuadradas del centro (0° y 90° , 45° y 135°) son separadas por una fase de retraso del oscilador. La señal tiene que pasar dos veces por los elementos de retraso para completar un ciclo que represente $\frac{1}{2}$ ($n/4$), o 45° , entonces de un ciclo de 90° la fase se dobla y se combinó para generar una señal ahora de $4X$ de la frecuencia central.

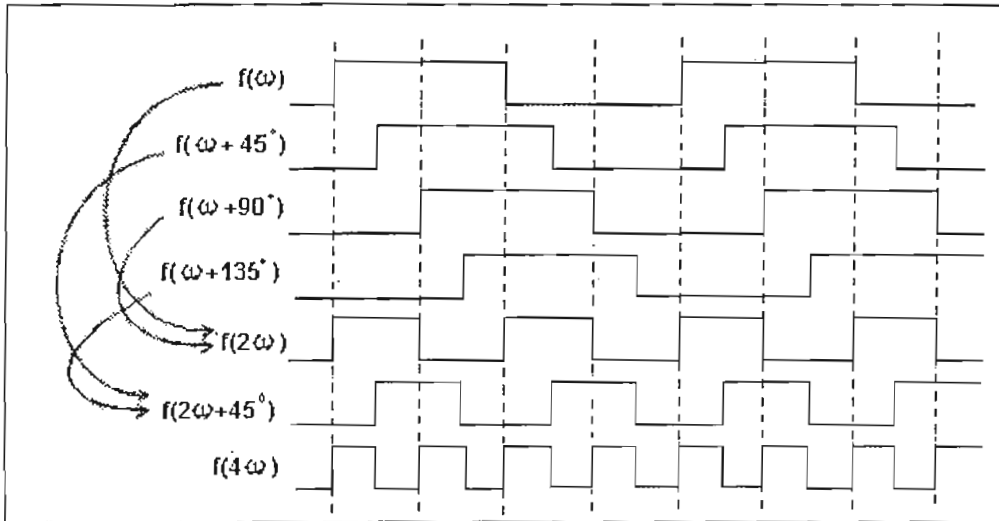


Fig. 2.15. Oscilador de anillo con frecuencia de $2X$ y $4X$

2.2.6.2.6.- VCO de alto nivel

Este es el nuevo avance en osciladores de alto rendimiento, está compuesto de un oscilador de anillo de retraso variable, el corazón de este VCO es un multiplicador y un divisor de frecuencia. Se alimenta de la señal central y aprovecha la naturaleza del oscilador cuadrático de anillo que genera signos a dos y cuatro tiempos respecto a la frecuencia central. El divisor toma una frecuencia central de la señal de entrada y la divide en múltiplos de 2, 4 u 8, además el VCO utiliza un oscilador de anillo de 24 estados.

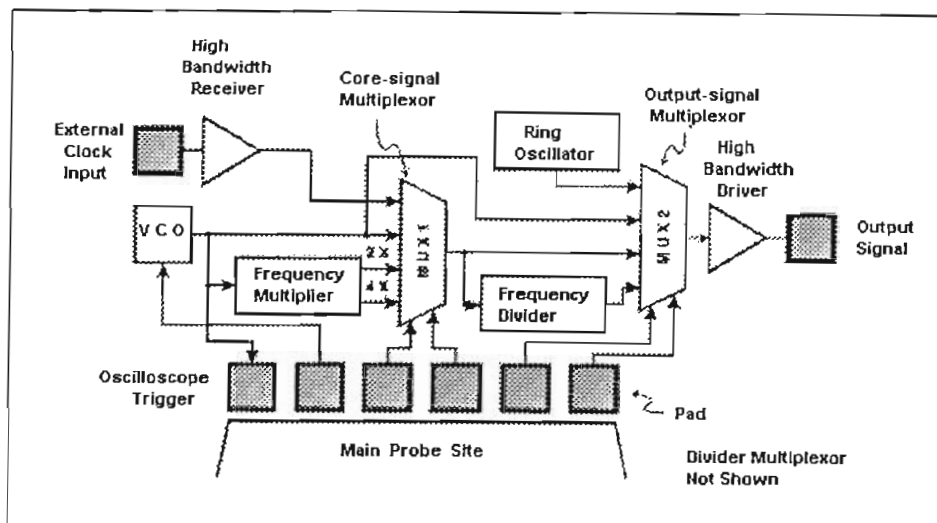


Fig. 2.16 VCO de alto nivel

Tres multiplexores se incluyen para proporcionar varios caminos, como las oscilaciones externas pueden presentar problemas, se proporcionan en el CI diversos puntos de chequeo de la señal.

El mutiplexor es el encargado de seleccionar un divisor adecuado para la frecuencia central, utilizando una señal de reloj que le permite elegir entre las señales de 2X y 4X.

2.2.6.3.- Oscilador enganchado en fase PLL.-

Un oscilador enganchado en fase también llamado lazo de amarre en fase o PLL (Phase Locked Loop), es un sistema de control de frecuencia constituido por un comparador o detector de fase, un filtro pasabajos y un oscilador controlado por voltaje VCO, interconectados como se indica en la Fig. No 2.17. El sistema opera en términos generales como sigue:

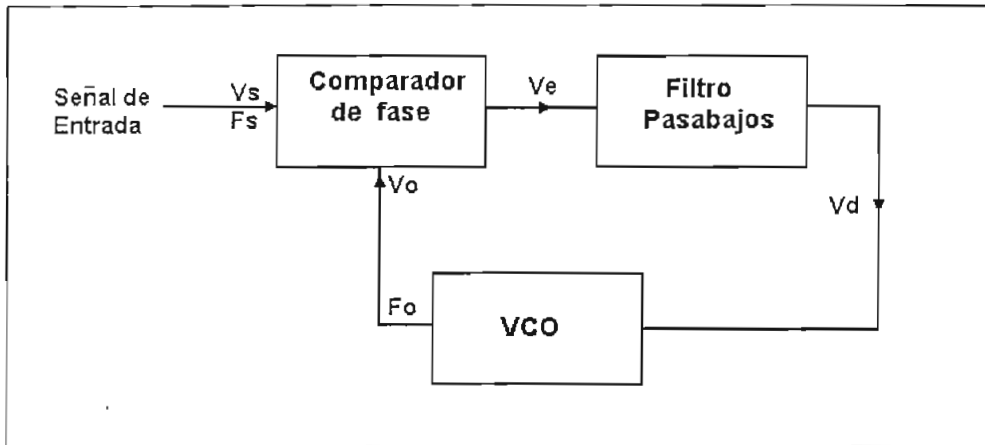


Fig No. 2.17 Estructura de un sistema PLL básico

En condiciones normales, sin señal de entrada, los voltajes de salida del comparador de fase (V_e) y el filtro pasabajos (V_d) son iguales a cero y el VCO oscila a una determinada frecuencia (F_o) llamada frecuencia central o frecuencia libre de oscilación determinada generalmente por circuito RC externo.

Cuando se aplica una señal de entrada, el detector de fase compara la frecuencia y fase de esta última (F_s) con la frecuencia del VCO y genera un voltaje de salida cuya magnitud es proporcional a la diferencia de fase de las dos señales. Este voltaje se denomina voltaje de error y controla, a través de un filtro pasabajo, la frecuencia del VCO. De esta manera, la tensión de control $V_d(t)$ fuerza a que la frecuencia de oscilación del VCO varíe de manera que reduzca la diferencia de fase entre f_o y la señal de entrada f_s .

Como consecuencia de la existencia de un voltaje de error, se inicia un proceso de captura altamente complejo que tiene por objeto enganchar a la frecuencia del VCO con la de la señal de salida, es decir, hacerlas iguales. Para que esto suceda, la frecuencia de la señal de entrada debe estar dentro del rango de captura del PLL.

El rango de captura es una banda de frecuencias alrededor de la frecuencia central del VCO dentro de la cual el PLL puede engancharse con una señal de entrada.

Una vez enganchado un PLL, la frecuencia del VCO será idéntica a la de la señal de entrada y el voltaje de error será igual a cero. Si por alguna circunstancia la frecuencia de entrada cambia, el VCO variará automáticamente su frecuencia hasta conseguir el enganche. Esto será posible mientras la nueva frecuencia se mantenga dentro del rango de enganche del PLL.

El rango de enganche es una banda de frecuencias alrededor de la frecuencia central del VCO dentro de la cual un PLL puede permanecer enganchado con una señal de entrada previamente capturada. Por regla general, el rango de enganche es siempre mayor que el rango de captura.

2.2.6.3.1.- Enganche y captura.-

Considerando el caso de que el bucle no este enganchado el comparador de fase mezcla nuevamente las señales de entrada y del VCO produciendo componentes suma y diferencia de frecuencia. Sin embargo la componente diferencia puede caer fuera del ancho de banda del filtro pasa bajos y anularse al mismo tiempo con la componente de frecuencia suma. Si este es el caso, no se transmite ninguna información al VCO y este permanece en su frecuencia libre inicial.

Cuando la frecuencia de entrada se aproxima a la del VCO, la componente diferencia de frecuencias disminuye y se acerca el borde de la banda del filtro pasa bajo. Ahora alguna componente de la diferencia de frecuencias pasará, haciendo que la frecuencia del VCO se acerque a la frecuencia de la señal de entrada. Esto producirá, a la vez, que disminuya la componente de la frecuencia diferencia lo que permite que pase más información a través del filtro pasa bajo

hacia el VCO. Esto es esencialmente un mecanismo de realimentación positiva que provoca que el VCO se enganche con la señal de entrada.

Entonces se puede definir el término gama de captura como la gama de frecuencias alrededor de la cual, la frecuencia inicial del VCO puede enganchar con la señal de entrada. La gama de captura es una medida de que frecuencias de señal de entrada debemos tener para enganchar al VCO. Esta gama de captura puede llegar a tener cualquier valor dentro de la gama de enganche y depende en primer lugar del flanco del ancho de banda del filtro pasa bajo y en segundo lugar de la ganancia de lazo cerrado del sistema.

Es este fenómeno de captura de señal, el que le da al bucle, las propiedades selectivas de frecuencia. Es importante distinguir entre gama de captura y gama de enganche que puede nuevamente definirse como la gama de frecuencias normalmente centradas alrededor de la frecuencia inicial libre del VCO por el que el lazo puede encaminar la señal de entrada una vez logrado el enganche.

Cuando el lazo esta enganchado, la componente diferencia de frecuencia a la salida del comparador de fase (voltaje error) es un nivel de voltaje continuo y pasará siempre a través del filtro pasa bajo. Así, la gama de enganche estará limitada por la gama de voltaje de error que puede generarse y la correspondiente desviación de frecuencia producida por el VCO. La gama de enganche es esencialmente un parámetro DC y no está afectada por el ancho de banda del filtro pasa bajo.

2.2.6.3.2.- Captura transitoria

A continuación se presenta una descripción cualitativa del mecanismo de captura. Sabiendo que la frecuencia es la derivada de la fase con respecto al tiempo, los incrementos (variaciones) de la frecuencia y de la fase en el bucle pueden relacionarse como $df = d\phi_e / dt$ donde, df es la variación de la frecuencia

instantánea entre las frecuencias de la señal del VCO, y F_e es la diferencia de fase entre la señal de entrada y la señal del VCO.

Si el lazo de realimentación del PLL se abriera entre el filtro pasa bajo y la entrada del VCO, entonces para una condición determinada de f_o y f_i la salida del comparador de fase sería un batido sinusoidal de una frecuencia fija df . Si f_o y f_i se acercaran suficientemente en su frecuencia, este batido aparecería a la salida del filtro con insignificante atenuación.

Supongamos ahora que el lazo de realimentación se cierra conectando la salida del filtro pasa bajo a la entrada del control del VCO. La frecuencia del oscilador VCO, estará modulada por este batido de frecuencia. Cuando esto sucede, df será una función de tiempo. Si, durante este proceso de modulación, la frecuencia del VCO se desplaza acercándose a f_i (es decir, disminuyendo df), entonces dF_e/dt disminuye y la salida del comparador de fase variará lentamente en función del tiempo. Del mismo modo, si el VCO se modula lejos de f_i , dF_e/dt aumenta y el voltaje de error, es decir, la salida del comparador de fase variará rápidamente en función del tiempo. Bajo esta condición la forma de onda de la nota de batido no será sinusoidal; sino que estará formado por una serie de picos aperiódicos.

A causa de su asimetría, esta nota de batido contiene una componente DC finita cuyo valor medio hace tender la frecuencias del VCO hacia f_i y se establece el enganche. Entonces df vale cero y el voltaje de error DC permanece constante.

El tiempo total que tarda el PLL en establecer el enganche se llama el pull in time. Dicho tiempo depende de las diferencias de fase y frecuencia inicial entre las dos señales, así como también de la ganancia total de lazo y del ancho de banda del filtro pasa bajo. En determinadas condiciones, el pull in time puede ser más corto que el período del batido y el bucle puede cerrar sin ninguna oscilación transitoria.

2.2.6.3.3.- Efecto del Filtro Pasa Bajo

En la manera de comportarse el lazo. El filtro pasa bajo efectúa una doble función. La primera, atenuar y rechazar las componentes de alta frecuencia a la salida del detector de fase, mejorando las características de rechazo a interferencias, la segunda, proporcionar durante corto tiempo (memoria del filtro) al PLL asegurando un rescate rápido de la señal si el sistema se sale del enganche debido a algún ruido transitorio. Disminuir el ancho de banda del filtro pasa bajo tiene los efectos siguientes sobre el rendimiento del sistema (constante de tiempo grande):

- El proceso de captura llega a ser mas lento, y el pull in time aumenta.
- La gama de frecuencias de captura disminuye.
- Las propiedades de rechazo a interferencias del PLL mejoran ya que el voltaje de error ocasionado por una frecuencia perturbadora adicional se atenúa por el filtro pasa bajo.
- La respuesta transitoria del bucle (la respuesta del PLL a los cambios súbitos de la frecuencia de entrada dentro de la gama de captura) llega a ser muy amortiguado.

2.2.6.3.4.- Procedimiento general de diseño del filtro.

Tomando como base la respuesta del PLL a un escalón se determinarán el factor de amortiguación, la frecuencia natural y el tiempo de estabilización. La figura x2.18 muestra diversas curvas de respuesta para la función de transferencia del PLL. Como se puede observar un valor pequeño del factor de amortiguación hace aumentar el rizado, y un factor de amortiguamiento mayor disminuye las oscilaciones y por tanto el tiempo de estabilización.

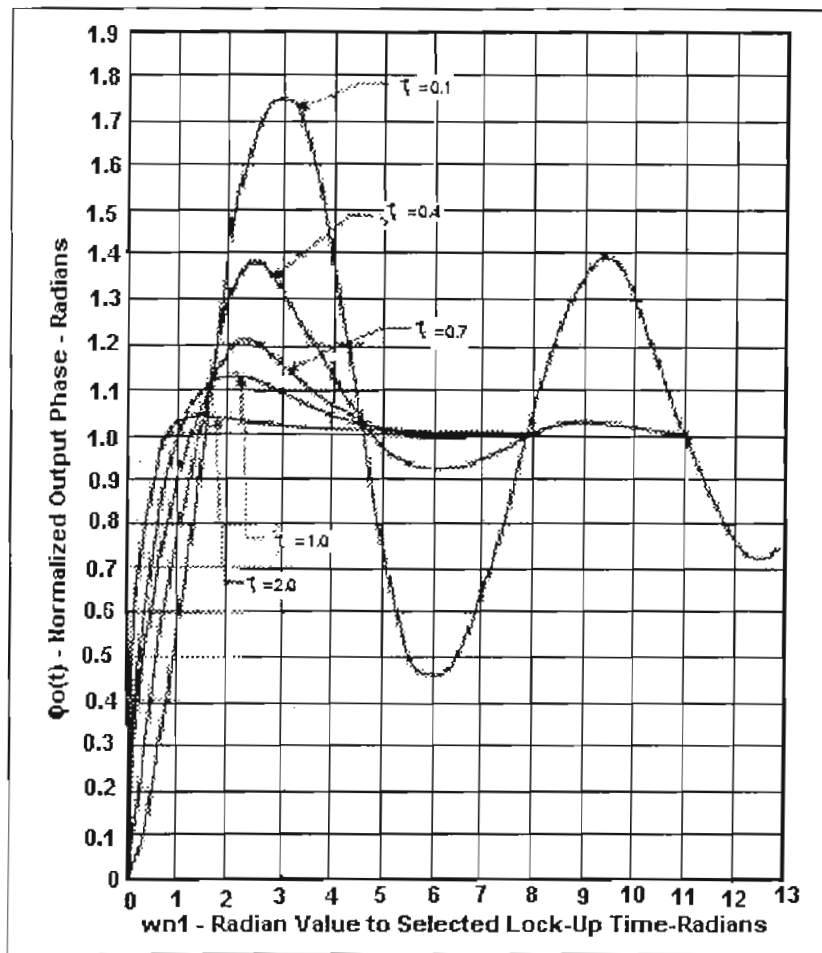


Fig. 2.18 Respuesta a un escalón de un sistema PLL normalizado.

Para diseñar un sistema basado en PLL's, ξ se escoge primero. Luego de la curva de respuesta se extrae el valor de $W_n t$ al cual la respuesta está dentro de los márgenes del 5% del valor final. Posteriormente $W_n t$ se divide por el tiempo deseado de enganche para así determinar la frecuencia natural W_n . Los siguientes pasos deberían seguirse.

- (1) ξ es una medida de estabilidad y normalmente ξ se escoge entre 0.6 y 0.8.
- (2) Asumir ξ un valor de 0.7
- (3) El valor de $W_n t$ de la gráfica de la respuesta se determina como 4.5
- (4) El valor del tiempo de establecimiento t_s depende de los requerimientos del sistema.
- (5) La frecuencia natural W_n es por lo tanto:

$$W_n = \frac{W_n t}{t_s} = \frac{4.5}{t_s} (\text{rad} / \text{s}) \quad (\text{ec. 2.14})$$

el criterio varia dependiendo de la aplicación. Es apropiado escoger o diseñar el sistema para que la frecuencia natural ($fn=Wn/2\pi$) sea unas centenas superior a la frecuencia de referencia, f_{ref} .

- (6) El factor de división se determina de acuerdo con la frecuencia de referencia y la frecuencia deseada.
- (7) Determinar la ganancia, K_v del VCO. Un ejemplo de una característica de oscilación de un VCO se muestra en la figura 2.19:

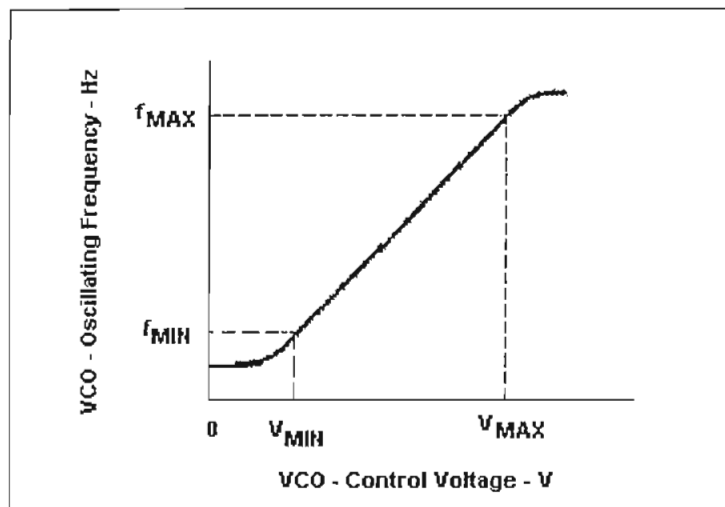


Fig. 2.19 .Respuesta de un VCO.

De esta curva se extrae de forma simple la ganancia como:

$$K_v = \frac{f_{MAX} - f_{MIN}}{V_{MAX} - V_{MIN}} \times 2\pi (\text{rad} / \text{sec} / \text{V}) \quad (\text{ec. 2.15})$$

- (8) Determinar la ganancia del detector de fase, K_p

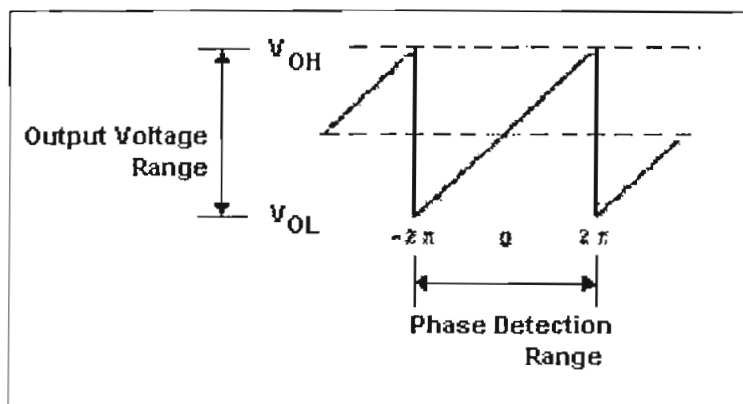


Fig. 2.20. Respuesta del detector de fase.

Según la característica de salida del detector de la figura 2.20, la ganancia se puede expresar como:

$$K_p = \frac{V_{OH} - V_{OL}}{4\pi} [V / rad] \quad (\text{ec. 2.16})$$

Para otro tipo de detectores la ganancia K_p se determina de la misma forma

- (9) Los parámetros del filtro se determinan sustituyendo cada uno de los valores determinados en los pasos del 1 al 8 en las correspondientes ecuaciones.

Para el filtro pasa bajo, sustituyendo W_n , ξ , N y K , los parámetros del filtro se pueden encontrar fijando un valor apropiado de $C1$.

Para un filtro practico se suele usar un filtro de segundo orden añadiendo un segundo condensador $C2$, como se muestra en la figura 2.21. Se usa para eliminar señales no deseadas en la entrada del VCO.

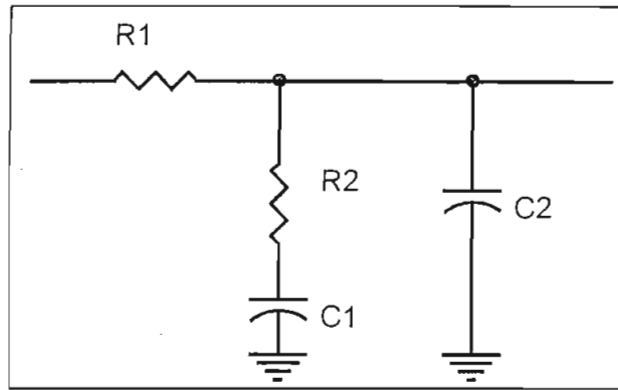


Fig. 2.21. Filtro pasa bajos de segundo orden.

El valor de C2 debe ser inferior a C1/10 para que no afecte la característica del filtro pasa bajos, mientras se añade un filtro adecuado para ruido.

El condensador adicional C2 se usa para compensar la respuesta de R2 en alta frecuencia. La frecuencia de corte, W_c de C2 y R2 se escogerá de la siguiente forma:

$$W_c = \frac{1}{(C_2 * R_2)} \cong 10W_n \text{ (ec. 2.17)}$$

2.2.6.4.- Aplicaciones

El PLL puede utilizarse en una amplia variedad de aplicaciones, que comprenden: Demodulación de frecuencias, síntesis de frecuencia, decodificadores FSK, etc.

2.2.6.4.1.- Demodulación de frecuencia.-

La demodulación de frecuencia o detección puede lograrse directamente utilizando el circuito PLL. Si la frecuencia central del PLL es seleccionada o diseñada como la frecuencia de portadora FM, el voltaje de salida filtrado en el circuito de la Fig 2.22 es el voltaje demodulado deseado, que varía proporcionalmente en relación a las variaciones de la frecuencia de la señal. El circuito PLL opera así como un conjunto completo de frecuencia intermedia (FI) limitador y demodulador como se utiliza en los circuitos FM.

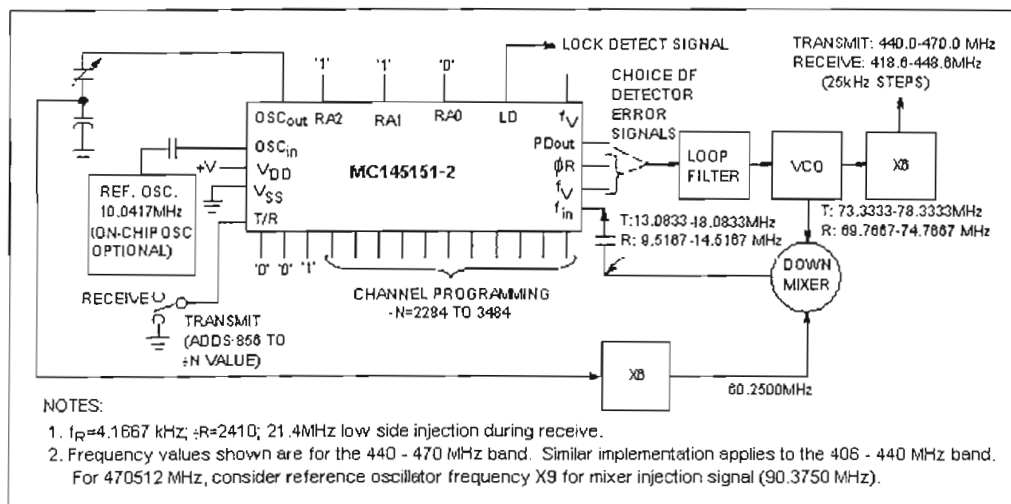


Fig. No. 2.22 Sintetizador para radio móvil UHF (Aplicaciones del MC145151-2)

2.2.6.4.2. - Síntesis de Frecuencia

El término sintetizador de frecuencia se aplica a un dispositivo electrónico que acepta alguna referencia de frecuencia y se vale de esta para generar una o mas mediante una variable de control. La calidad de la frecuencia de salida se juzga mediante muchos factores, incluyendo la degradación que sufre el cristal de referencia a lo largo de la síntesis, pero para considerarse un buen sintetizador tendría que haber una perfecta correlación entre la referencia y la salida en cuanto a estabilidad y precisión

Los sintetizadores indirectos están diseñados en base a Phase lock loop o PLL's, comparan la salida de un oscilador controlado por tensión (VCO) con alguna referencia. Cuando la salida se desplaza se produce un error y se provoca una correlación sobre el VCO, el cual responde adecuadamente. La detección del error se lleva a cabo en el detector de fase, el cual introduce ruido de fase muy cercano a la portadora sobre todo cuando se pretende una precisión muy alta. Mediante este método se pueden alcanzar frecuencias muy altas, pero la conmutación entre frecuencias no es todo lo rápido que se quisiera

Un sintetizador de frecuencia puede construirse alrededor de un PLL como se muestra en la Fig. No. 2.23. Un divisor de frecuencia se inserta entre la salida del VCO y el comparador de fase para que la señal de lazo del comparador este a una frecuencia f_0 , mientras que la salida del VCO esta a Nf_0 .

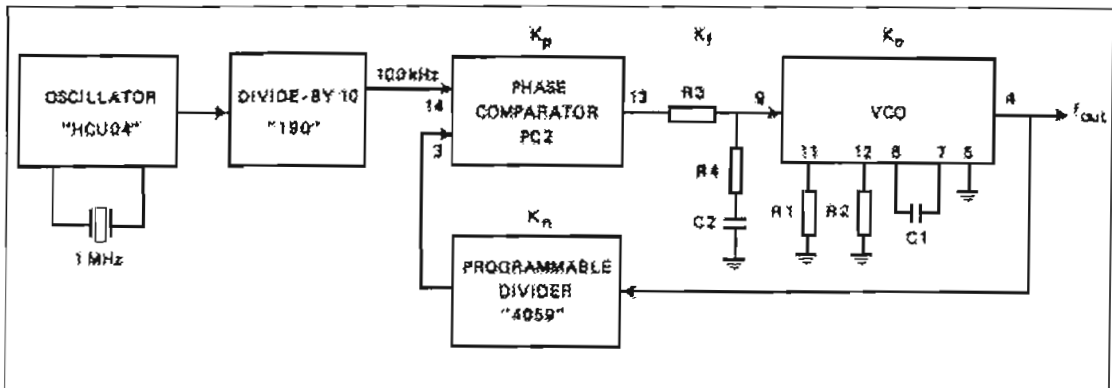


Fig. 2.23 Sintetizador de Frecuencia (Aplicaciones del 74HC4046)

Esta salida es un múltiplo de la frecuencia de entrada siempre y cuando el lazo este enclavado. La señal de entrada puede estabilizarse por un cristal f_1 con la salida resultante del VCO en Nf_1 si el lazo se ajusta para enclavar a la frecuencia fundamental (cuando $f_0=f_1$)

2.2.6.- GENERADOR DE LA ONDA SINUSOIDAL.-

La generación de la onda sinusoidal para los diferentes valores de frecuencia que se requieren para el funcionamiento del VCO, se realiza a través de un circuito que sintetiza cualquier valor de frecuencia y el propio generador de la onda sinusoidal, como se muestra en el diagrama de bloques de la Fig. No. 2.24 y que se detallan a continuación:



Fig. No. 2.24 Diagrama del Generador de Onda Sinusoidal

2.2.6.1.- Síntesis de Frecuencias

El sintetizador de frecuencia se basa en un Phase lock loop PLL, que se muestra en la Fig. No. 2.25. Esta tecnología permite multiplicar una frecuencia base, obtenida de un cristal (1.84 MHz), por un número entero arbitrario. Este circuito es el corazón del VCO pues a partir de él podemos sintetizar las frecuencias acorde a las portadoras que se requiera, incluso es posible transmitir datos a baja velocidad. El sintetizador de frecuencias (PLL) realiza la síntesis con referencia a un cristal de cuarzo, por lo que las señales producidas no son susceptibles de derivas térmicas o de otro tipo.

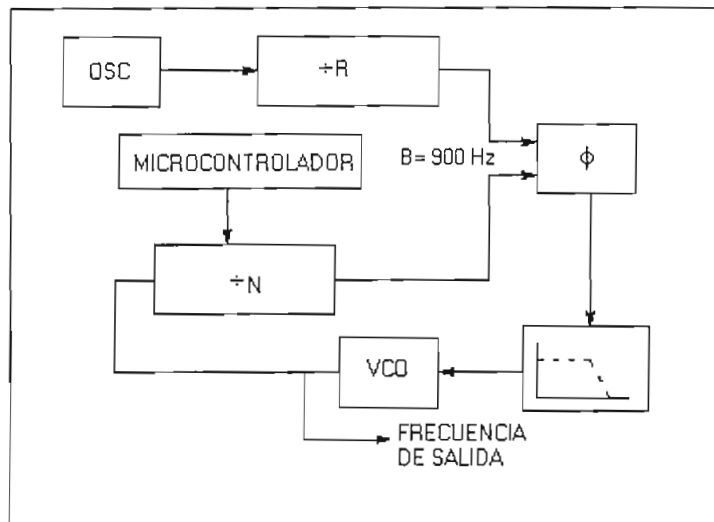


Fig. No. 2.25 Esquema del Sintetizador de Frecuencias (PLL)

La onda producida por el PLL es una señal cuadrada de una frecuencia $f = B \cdot N$ donde B es una base que debe ser de al menos algunos centenares de Hz. Para el presente diseño se ha hecho que $B = 900\text{Hz}$.

Entonces es necesario producir una señal sinusoidal que cumpla dos objetivos: En primer término lograr una onda sinusoidal de baja distorsión a cualquier frecuencia dentro del canal de audio, y que además logre hacer una división para el valor de base B y que de este modo la frecuencia producida corresponda directamente al valor arbitrario introducido en el PLL por el microcontrolador.

Para conseguir estos objetivos se utilizaron los PLLs MC145151-2 que realiza la función de comparador de fases y tiene un consumo de 10 mA y el 74HC4046 que funciona como VCO dentro del circuito para permitir el enganche del comparador de fase y tiene un consumo de 8 mA.

Como tiene tanta importancia en el diseño el sintetizador de fase se desarrolló un prototipo inicial que se detallará mas adelante.

2.2.6.2.- Generador de Onda Sinusoidal Digital

La generación de una señal sinusoidal a partir de una onda cuadrada se logra mediante un Convertidor Digital-Análogo DAC0808 cuyo consumo de corriente es de 22 mA y una memoria EPROM en la que se han almacenado los valores correspondientes a una onda sinusoidal. El contador 74HC4040 va realizando un barrido de los valores almacenados en la memoria ROM que a su vez son enviados al convertidor Digital-Análogo que produce la onda sinusoidal resultante.

El circuito digital que produce el barrido es simplemente un contador binario de 12 etapas y la característica especial de este conjunto es que mantiene una relación directa entre la frecuencia de entrada y el barrido producido. Colocando un detector de flancos conformado por el diodo D3 y el capacitor C14 (Fig. 2.27),

envía un pulso al reset del contador. Esto hace posible lograr que el barrido se realice en un número arbitrario de pasos para hacerlo coincidir con el valor B.

El valor de la onda sinusoidal que ha sido grabada en la memoria EPROM se la ha hecho de la siguiente manera:

Se ha efectuado el cálculo en una hoja electrónica con la siguiente fórmula:

$$f(x) = \left[\text{Sen} \left(\frac{x}{900} * 2\pi \right) + 1 \right] * 128 \quad (\text{ec.2.18})$$

Dándole valores a x de cero a 900 y en intervalos de 0.5 para conseguir una tabla lo suficientemente detallada para la señal sinusoidal, se divide para 900 ya que este es el valor del contador para barrer la función seno grabada en la memoria EPROM, le sumamos 1 para obtener solamente valores positivos y finalmente se multiplica por 128 para obtener 256 valores diferentes que serán almacenados en la tabla de valores en la memoria EPROM.

Esta tabla de valores se ha guardado en la memoria reubicando sus datos con la finalidad de simplificar el trazado del circuito tanto de los datos de entrada como de los de salida; para lo cual se ha desarrollado un programa: "Función Seno" que se lo analizará en el siguiente capítulo.

A la salida del convertidor DAC0808 se han colocado dos amplificadores operacionales para amplificar el valor de la amplitud de la señal sinusoidal.

De esta manera se ha logrado cumplir con las dos funciones producir una onda sinusoidal de baja distorsión y de una frecuencia B veces menor que la onda cuadrada de entrada.

2.2.6.3.- Prototipo inicial para generación de frecuencias

En nuestro circuito el PLL MC145151-2 se utiliza como divisor programable y comparador de fases, que se igualará, a la frecuencia de referencia de 900 Hz, la señal que oscila como VCO en el 74HC4046A, por lo tanto este último necesita oscilar a una frecuencia central de tal forma que varíe dentro del rango de frecuencias necesarias multiplicadas por B (900) y por 2 para conseguir una exactitud de 0.5 Hz en las variaciones de frecuencia para lo cual debe cumplir con la tabla No. 2.8

Frecuencia de la portadora	frec. Con desviación de $\pm 125\text{Hz}$	$f_1 = f \cdot 900$	$f_2 = f_1 \cdot 2$
680	555	499,500	999,000
	805	724,500	1,449,000
1,020	895	805,500	1,611,000
	1,145	1,030,500	2,061,000
1,360	1,235	1,111,500	2,223,000
	1,485	1,336,500	2,673,000
1,700	1,575	1,417,500	2,835,000
	1,825	1,642,500	3,285,000
2,040	1,915	1,723,500	3,447,000
	2,165	1,948,500	3,897,000
2,380	2,255	2,029,500	4,059,000
	2,505	2,254,500	4,509,000
2,720	2,595	2,335,500	4,671,000
	2,845	2,560,500	5,121,000
3,060	2,935	2,641,500	5,283,000
	3,185	2,866,500	5,733,000

Tabla No. 2.8 Rango de frecuencias para el generador sinusoidal

Entonces tenemos la frecuencia central de oscilación para el VCO será:

$$f_0 = \frac{(5.933 - 999) \cdot 10^3 \text{ Hz}}{2}$$

$$f_0 = 2467 \cdot 10^3 \text{ Hz}$$

Para el MC145151 se colocaron los valores de 1,0,1 para RA0, RA1 y RA2 respectivamente dividiendo así para 2048 nuestra señal de reloj obteniendo 900 Hz como valor de referencia.

$$B = \frac{1.8432MHz}{2048} = 900Hz$$

Los valores de los condensadores y resistencias R30, R33, C21 y, C24 nos dará el tiempo de enganche del PLL, dichos elementos de calculan de la siguiente manera:

$$N_{max} = \frac{5733kHz}{900Hz}$$

$$N_{max} = 6370$$

$$N_{min} = \frac{999kHz}{900Hz}$$

$$N_{min} = 1110$$

$$f_L = \frac{f_{max} - f_{min}}{2}$$

$$f_L = \frac{5733kHz - 999kHz}{2}$$

$$f_L = 2367kHz$$

La ganancia del VCO está dada por la ecuación:

$$K_V = \frac{2f_L * 2 * \pi}{0.9 - (V_{CC} - 0.9)} \quad (4)$$

$$K_V = \frac{2 * 2367 * 10^3 * 2 * \pi}{0.9 - (5 - 0.9)}$$

⁴ PILLIPS SEMICONDUCTORS, 74HC4046 Data Sheet, Nov 1995

$$K_v = 9295,18 \times 10^3 r/s/V$$

La ganancia del comparador de fase esta dada por la relación:

$$K_p = \frac{V_{cc}}{4 * \pi} \quad (4)$$

$$K_p = 0.4V/r$$

El coeficiente de amortiguamiento ξ se asume que sea 0,45% para que no produzca un sobredisparo, y se requiere que la señal se iguale inmediatamente por lo cual asumo un período de igualación unitario, entonces tenemos:

$$w_n t = 1$$

El tiempo que toma este período es 10 ms (frecuencia muestreo típica 100Hz)

$$w_n = \frac{1}{10ms} = 100r/s$$

Además la frecuencia natural esta definida como:

$$w_n = \sqrt{\frac{K_p * K_v * K_n}{(\tau_1 + \tau_2)}} \quad (4)$$

$$(\tau_1 + \tau_2) = \frac{0.4 * 9295,18 \times 10^3}{(100)^2 * 2 * 3185}$$

$$(\tau_1 + \tau_2) = 58,3ms$$

Conocemos que:

$$\xi = \frac{1}{2w_n} * \frac{1 + K_p * K_v * K_n * \tau_2}{(\tau_1 + \tau_2)} \quad (4)$$

$$\xi = \frac{1}{2 \times 100} * \frac{1 + 0.4 * 9295,18 \times 10^3 * 6370^{-1} * \tau_2}{(\tau_1 + \tau_2)}$$

$$\tau_1 = R_{30} * C_{24}$$

$$\tau_2 = R_{33} * C_{24}$$

Asumiendo:

$$C_{24} = 4.7\mu F$$

Tenemos que:

$$R_{30} = 10.85k\Omega \text{ y,}$$

$$R_{33} = 1.548k\Omega$$

Una vez armado el prototipo de prueba se obtuvieron buenos resultados para 10 k Ω , 1.5k Ω y 4,7 uF para R3, R4 y C2 que en el esquema del circuito final corresponden a R18, R19 y C18 respectivamente.

Dentro de las consideraciones de diseño para el circuito integrado 74HC4046, se necesitaba definir los valores de resistencias y capacitores de acuerdo a la característica mostrada en la Fig. No. 2.26

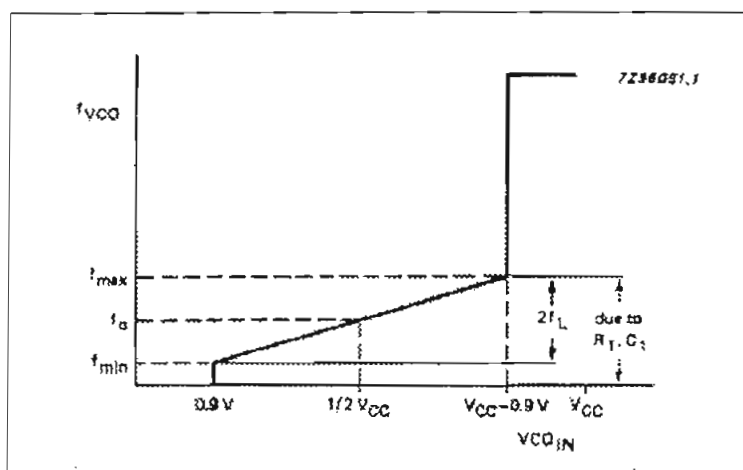


Fig. No 2.26. Característica de frecuencia de operación de VCO C.I. 74HC4046

Se armó el circuito conformado por los PLLs y el generador de la onda sinusoidal con dip switches de entrada para simular una variación en los valores de frecuencia, y se determinó los valores de R y C de manera experimental para lograr que oscile dentro de los valores indicados en la tabla, siendo estos valores:

$$C1 = 150 \text{ pF}$$

$$R1 = 27 \text{ k}\Omega$$

$$R2 = 8$$

Que en el circuito definitivo corresponden a C5 y R12.

El circuito correspondiente al prototipo se muestra en la Fig. No. 2.27 y su fotografía en la Fig. No. 2.28

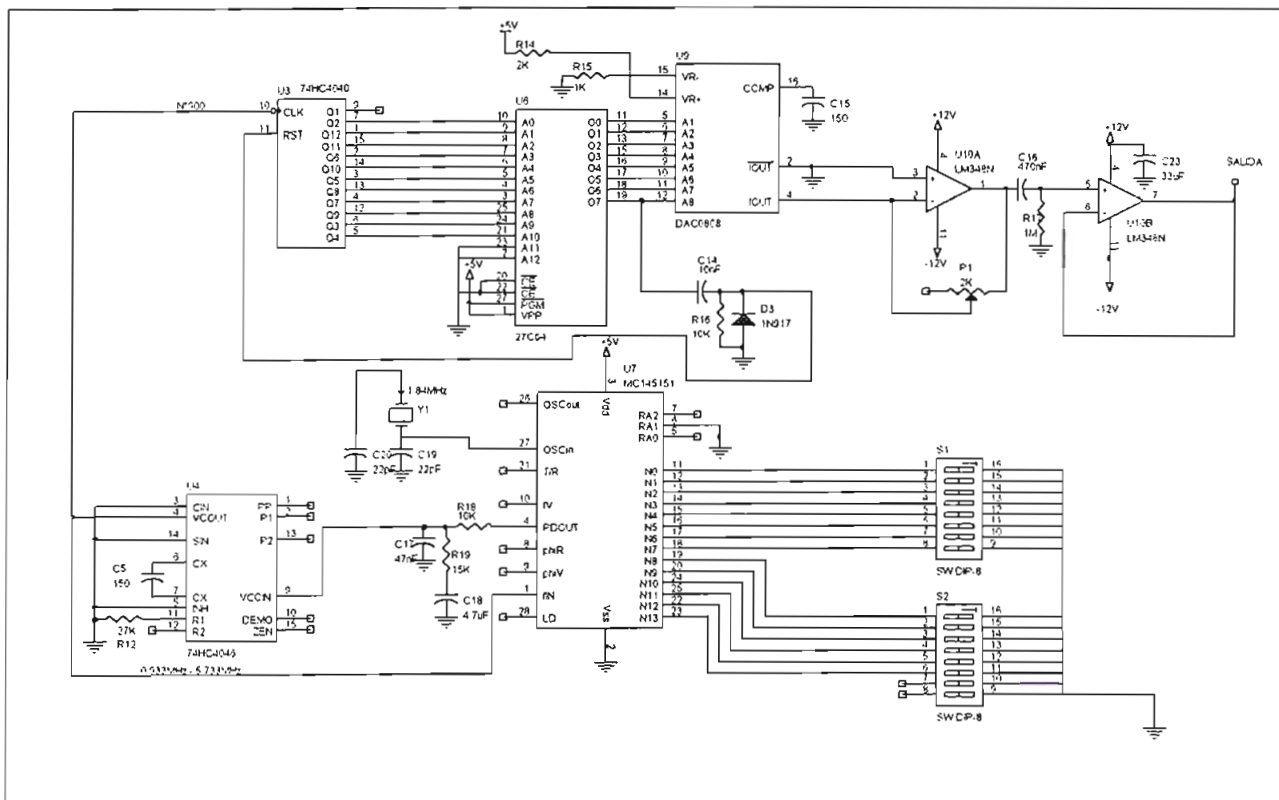


Fig. 2.27.- Circuito del prototipo para generación de frecuencias

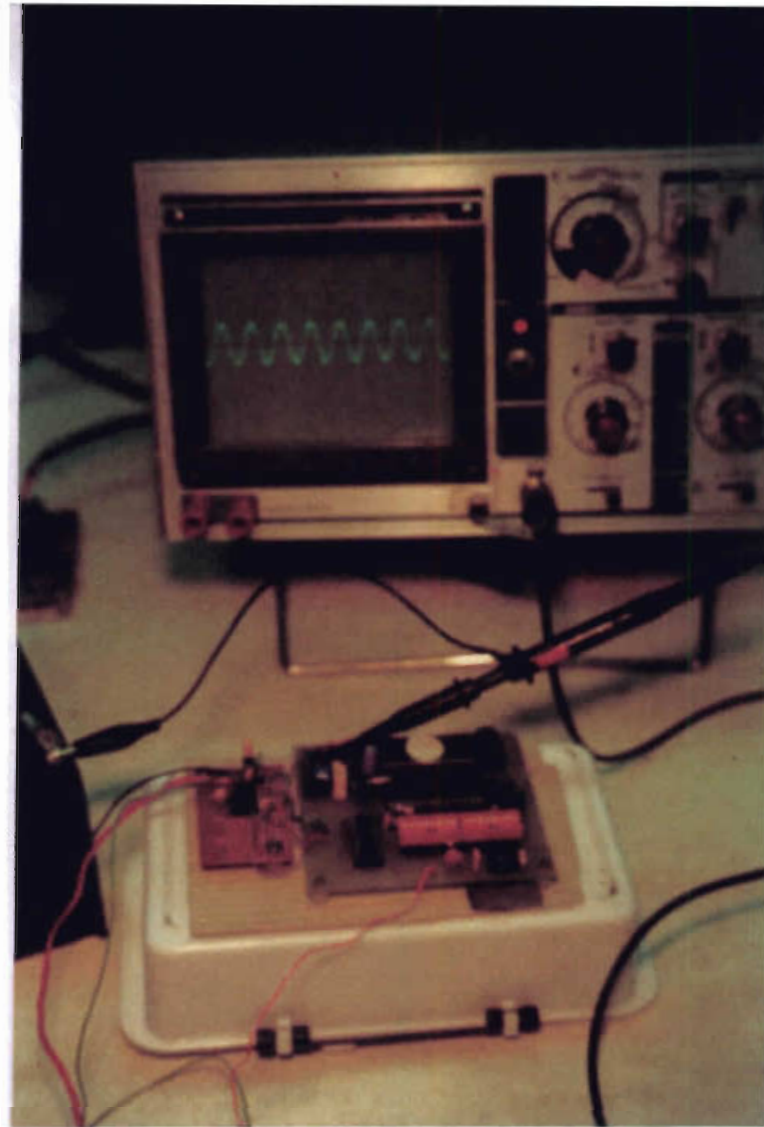


Fig. 2.28.- Vista del prototipo para generación de frecuencias

2.2.7.- TERMINAL DE COMUNICACIONES.-

Para poder realizar todas las instrucciones, tanto en el Microcontrolador, como configurar los parámetros de ganancia, de frecuencias, filtros pasa bajos, períodos para prueba de voltaje de alimentación, funcionamiento de VCO, interrupción de la transmisión; se ha colocado en la tarjeta un terminal MAX 232, para este interfaz de comunicaciones cuyo consumo es de 1 μ A.

Con la finalidad de colocar cada uno de los valores que manejará los parámetros anteriormente mencionados, se ha desarrollado un programa de comunicaciones para un computador portátil conectado a este puerto serial que se detallará en el siguiente capítulo.

Adicionalmente para poder mantener los parámetros en memoria cuando la tarjeta se apague se ha colocado una memoria EEPROM 93C56, la misma que almacenará los valores para el funcionamiento del VCO, cuyo consumo de corriente es de 10 uA.

2.2.8.- SUMADOR Y SALIDA AL RADIO.

Al final de la tarjeta se ha colocado un amplificador operacional para sumar la señal proveniente de otra tarjeta de VCO en caso de requerir instalar dos tarjetas para ganancias alta y baja en una misma estación sísmica, o instalar una estación con un sensor de tres componentes, para ello en la memoria EPROM donde se encuentra grabada la onda sinusoidal también se han incluido valores correspondientes a la mitad de la amplitud y a la tercera parte de la amplitud, para poder calibrar mas fácilmente las señales antes de sumarse en forma inmediata y por programación a través del pórtico serial.

2.2.9.- ESQUEMA DE LA TARJETA DISEÑADA.-

Con las consideraciones anteriormente mencionadas el circuito final de la tarjeta se muestra en la Fig. No. 2.29, y la vista inferior y superior del VCO armado en las figuras No. 2.30 y No. 2.31

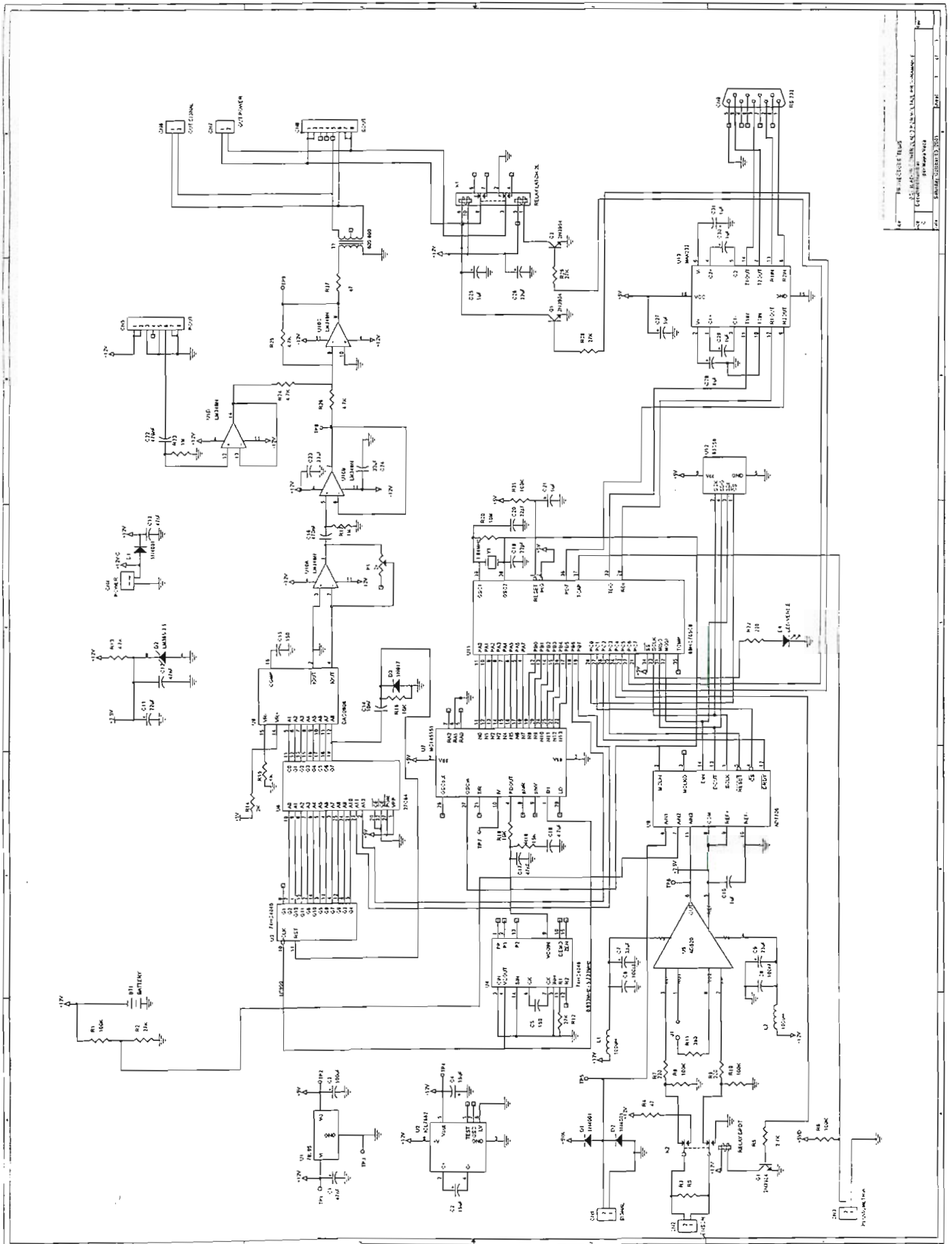


Fig. No. 2.29 Esquema del VCO

74101 D-TYPE FLIP-FLOP
74102 D-TYPE FLIP-FLOP
74103 D-TYPE FLIP-FLOP
74104 MONOSTABLE MULTIVIBRATOR
74105 D-TYPE FLIP-FLOP
74106 NAND GATE
74107 D-TYPE FLIP-FLOP
74108 D-TYPE FLIP-FLOP
74109 D-TYPE FLIP-FLOP
74110 D-TYPE FLIP-FLOP
74111 D-TYPE FLIP-FLOP
74112 D-TYPE FLIP-FLOP
74113 D-TYPE FLIP-FLOP
74114 D-TYPE FLIP-FLOP
74115 D-TYPE FLIP-FLOP
74116 D-TYPE FLIP-FLOP
74117 D-TYPE FLIP-FLOP
74118 D-TYPE FLIP-FLOP
74119 D-TYPE FLIP-FLOP
74120 D-TYPE FLIP-FLOP
74121 D-TYPE FLIP-FLOP
74122 D-TYPE FLIP-FLOP
74123 D-TYPE FLIP-FLOP
74124 D-TYPE FLIP-FLOP
74125 D-TYPE FLIP-FLOP
74126 D-TYPE FLIP-FLOP
74127 D-TYPE FLIP-FLOP
74128 D-TYPE FLIP-FLOP
74129 D-TYPE FLIP-FLOP
74130 D-TYPE FLIP-FLOP
74131 D-TYPE FLIP-FLOP
74132 D-TYPE FLIP-FLOP
74133 D-TYPE FLIP-FLOP
74134 D-TYPE FLIP-FLOP
74135 D-TYPE FLIP-FLOP
74136 D-TYPE FLIP-FLOP
74137 D-TYPE FLIP-FLOP
74138 D-TYPE FLIP-FLOP
74139 D-TYPE FLIP-FLOP
74140 D-TYPE FLIP-FLOP
74141 D-TYPE FLIP-FLOP
74142 D-TYPE FLIP-FLOP
74143 D-TYPE FLIP-FLOP
74144 D-TYPE FLIP-FLOP
74145 D-TYPE FLIP-FLOP
74146 D-TYPE FLIP-FLOP
74147 D-TYPE FLIP-FLOP
74148 D-TYPE FLIP-FLOP
74149 D-TYPE FLIP-FLOP
74150 D-TYPE FLIP-FLOP
74151 D-TYPE FLIP-FLOP
74152 D-TYPE FLIP-FLOP
74153 D-TYPE FLIP-FLOP
74154 D-TYPE FLIP-FLOP
74155 D-TYPE FLIP-FLOP
74156 D-TYPE FLIP-FLOP
74157 D-TYPE FLIP-FLOP
74158 D-TYPE FLIP-FLOP
74159 D-TYPE FLIP-FLOP
74160 D-TYPE FLIP-FLOP
74161 D-TYPE FLIP-FLOP
74162 D-TYPE FLIP-FLOP
74163 D-TYPE FLIP-FLOP
74164 D-TYPE FLIP-FLOP
74165 D-TYPE FLIP-FLOP
74166 D-TYPE FLIP-FLOP
74167 D-TYPE FLIP-FLOP
74168 D-TYPE FLIP-FLOP
74169 D-TYPE FLIP-FLOP
74170 D-TYPE FLIP-FLOP
74171 D-TYPE FLIP-FLOP
74172 D-TYPE FLIP-FLOP
74173 D-TYPE FLIP-FLOP
74174 D-TYPE FLIP-FLOP
74175 D-TYPE FLIP-FLOP
74176 D-TYPE FLIP-FLOP
74177 D-TYPE FLIP-FLOP
74178 D-TYPE FLIP-FLOP
74179 D-TYPE FLIP-FLOP
74180 D-TYPE FLIP-FLOP
74181 D-TYPE FLIP-FLOP
74182 D-TYPE FLIP-FLOP
74183 D-TYPE FLIP-FLOP
74184 D-TYPE FLIP-FLOP
74185 D-TYPE FLIP-FLOP
74186 D-TYPE FLIP-FLOP
74187 D-TYPE FLIP-FLOP
74188 D-TYPE FLIP-FLOP
74189 D-TYPE FLIP-FLOP
74190 D-TYPE FLIP-FLOP
74191 D-TYPE FLIP-FLOP
74192 D-TYPE FLIP-FLOP
74193 D-TYPE FLIP-FLOP
74194 D-TYPE FLIP-FLOP
74195 D-TYPE FLIP-FLOP
74196 D-TYPE FLIP-FLOP
74197 D-TYPE FLIP-FLOP
74198 D-TYPE FLIP-FLOP
74199 D-TYPE FLIP-FLOP
74200 D-TYPE FLIP-FLOP

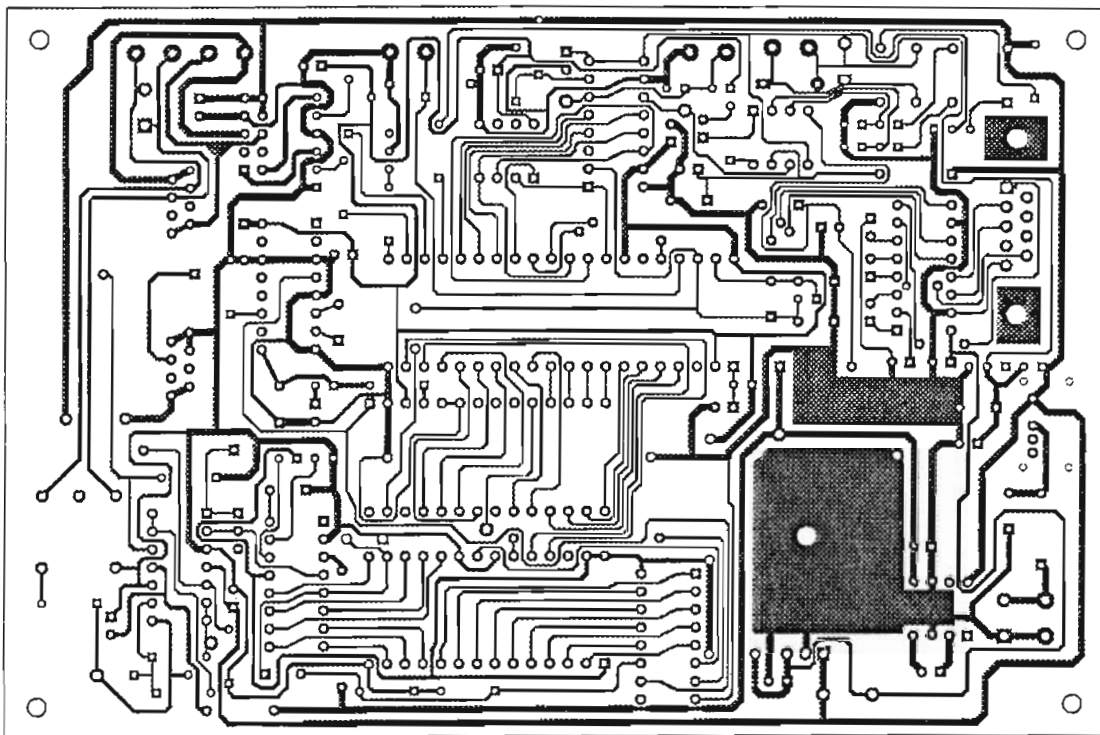


Fig. No. 2.30.- Vista Inferior de la tarjeta implementada

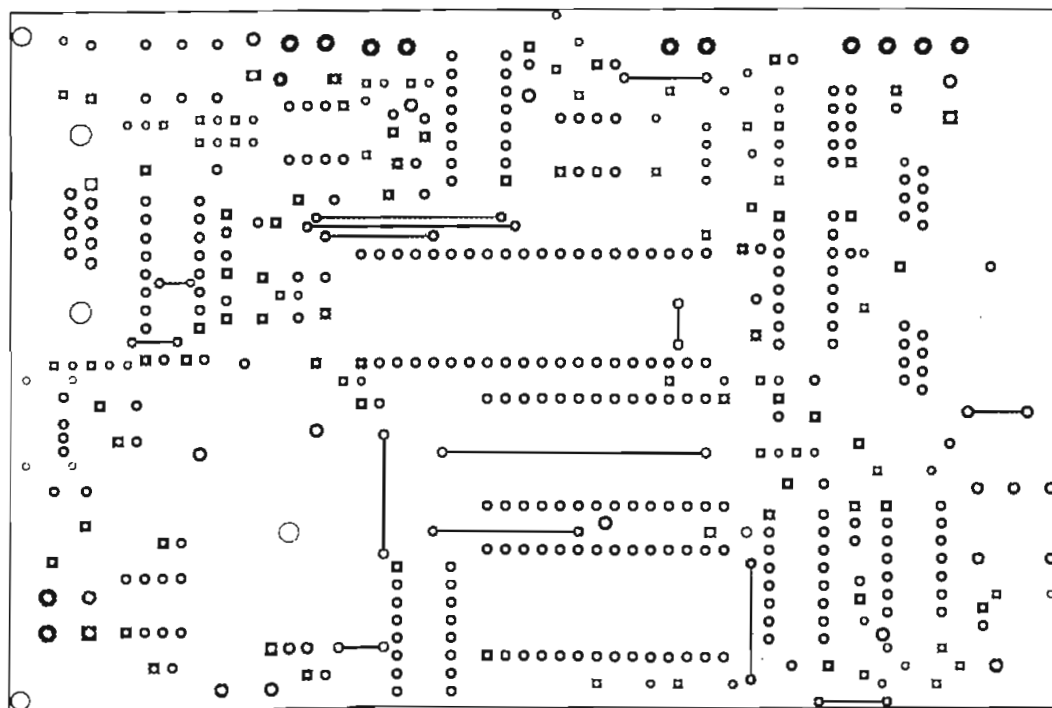


Fig. No. 2.31.- Vista Superior de la tarjeta armada.

CAPITULO 3

REQUERIMIENTOS DE SOFTWARE

En este Capítulo analizaremos el software desarrollado para el funcionamiento del presente diseño, empezaremos por la revisión del programa para el Microcontrolador MC68HC705C8A, luego analizaremos el software para el almacenamiento de la señal sinusoidal en la memoria Eprom 27C64 y finalmente el programa desarrollado para la comunicación con el usuario así como para la programación del VCO.

3.1.- PROGRAMA PARA EL MICROCONTROLADOR MC68HC705C8A

3.1.1.- REQUERIMIENTOS GENERALES.-

El microcontrolador debe realizar las tareas que permitan cumplir con los requerimientos y funciones del equipo diseñado. Las tareas son rutinas en assembler que se ejecutarán en forma secuencial.

El programa de operación del equipo se encontrará almacenado en la memoria PROM incorporada al microcontrolador MC68HC705C8A. En esta memoria también estarán grabadas las constantes correspondientes a los parámetros de ganancia y frecuencia en los que operara el VCO, una vez que se ha encendido el VCO y el microcontrolador haya realizado la lectura de las mismas desde la memoria EEPROM 93C56. Los valores a los cuales fueron configurados el VCO se almacenaran en una memoria eléctricamente borrrable 93C56 (EEPROM) para que no se pierdan al apagar el equipo, de esta manera se podrá realizar cualquier programación y pruebas en laboratorio y llevar al sitio de trabajo ya con los valores adecuados para su operación.

El microcontrolador envía la salida en dos vías. En primer término escribe los valores para el generador de la señal sinusoidal (PLL) para obtener el valor de la frecuencia y, además envía los datos correspondientes al pórtico serial directamente pudiendo conectarse en éste, un radio digital, de disponer de este equipo, o ver la traza que dibuja en el programa para comunicación con el usuario para determinar si el nivel de ganancia es el adecuado de acuerdo al ruido del sitio en el que se va a instalar el equipo.

3.1.2.- ESTRUCTURA GENERAL DEL PROGRAMA

La estructura del software se va a dividir en programa principal, subrutinas e interrupciones para poder explicarlo detalladamente, el listado del programa para el Microcontrolador se encuentra en el Anexo No. 3

3.1.2.1.- Programa Principal

El programa principal empieza con la inicialización de todos los registros destinados a especificar ciertas funciones de los elementos del microcontrolador.

Se asignan etiquetas a las localidades de memoria RAM interna. Se inicializa el puntero de la pila (stack pointer) en 50H, el programa en sí empieza en la localidad 100H de la memoria ROM interna.

En el programa principal se configura el convertidor análogo digital AD7706 para iniciar la adquisición de datos y rutinas de autocalibración, carga los datos desde la memoria EEPROM 93C56 para los valores de frecuencia central, ganancia de hardware, software, filtro así como para los períodos de transmisión de otros sensores de voltaje DC, nivel de batería, sismometría, etc. Una vez con estos valores inicia la adquisición digital del AD7706 configurando a este último para los valores con que trabajará en el VCO, también el programa principal escoge

una de las cuatro tablas de valores para el barrido de la función sinusoidal que se han almacenado en la memoria EPROM 27C64 en caso de que la señal sea parte de un arreglo de VCOs, por último enciende el relay para conectar la alimentación a la salida del radio para dar paso a la transmisión.

Habiendo completado esta rutina de iniciación espera el envío de datos del AD7706, opera el valor de ganancia de software si se ha asignado algún valor para éste, revisa si existe algún dato que sobrepasa los límites superior e inferior colocando los valores máximo y mínimo respectivamente para que no exista una sobresaturación de la señal; suma el valor de la frecuencia central, y por último escribe al PLL el valor de frecuencia obtenido al que se enganchará, adicionalmente el microcontrolador escribe el valor del dato digital correspondiente al pórtilo serial de datos. Permanece constantemente realizando este lazo indefinidamente mientras está trabajando, solamente sale de este lazo en el caso de que se realice alguna interrupción.

Este procedimiento de escalar y sumar el valor adquirido a otro valor de frecuencia central es en si el proceso de modulación de voltaje a frecuencia lo que por tratarse de un proceso matemático y al realizarlo el microcontrolador nos proporciona estabilidad en la frecuencia evitando la deriva de la señal como ocurre ocasionalmente con los VCOs comerciales.

Dentro del programa existen varias subrutinas de mayor prioridad llamadas interrupciones, a las cuales atiende inmediatamente en cualquier proceso que se encuentre cuando una de ellas se active y una vez finalizada la interrupción regresa a la siguiente instrucción desde donde fue interrumpido el programa.

Dentro del programa se atiende a la interrupción, por puerto serial, para definir una nueva configuración para los parámetros con los cuales trabajará el VCO.

Se usa las interrupciones del timer para la transmisión de los periodos de voltaje, de pluviometría o de otro sensor de voltaje DC que se desee transmitir.

El programa principal permanece trabajando en el lazo de adquisición y generación de datos continuamente mientras está prendido el VCO.

El diagrama del flujo principal del programa se presenta en la Fig. No. 3.1.

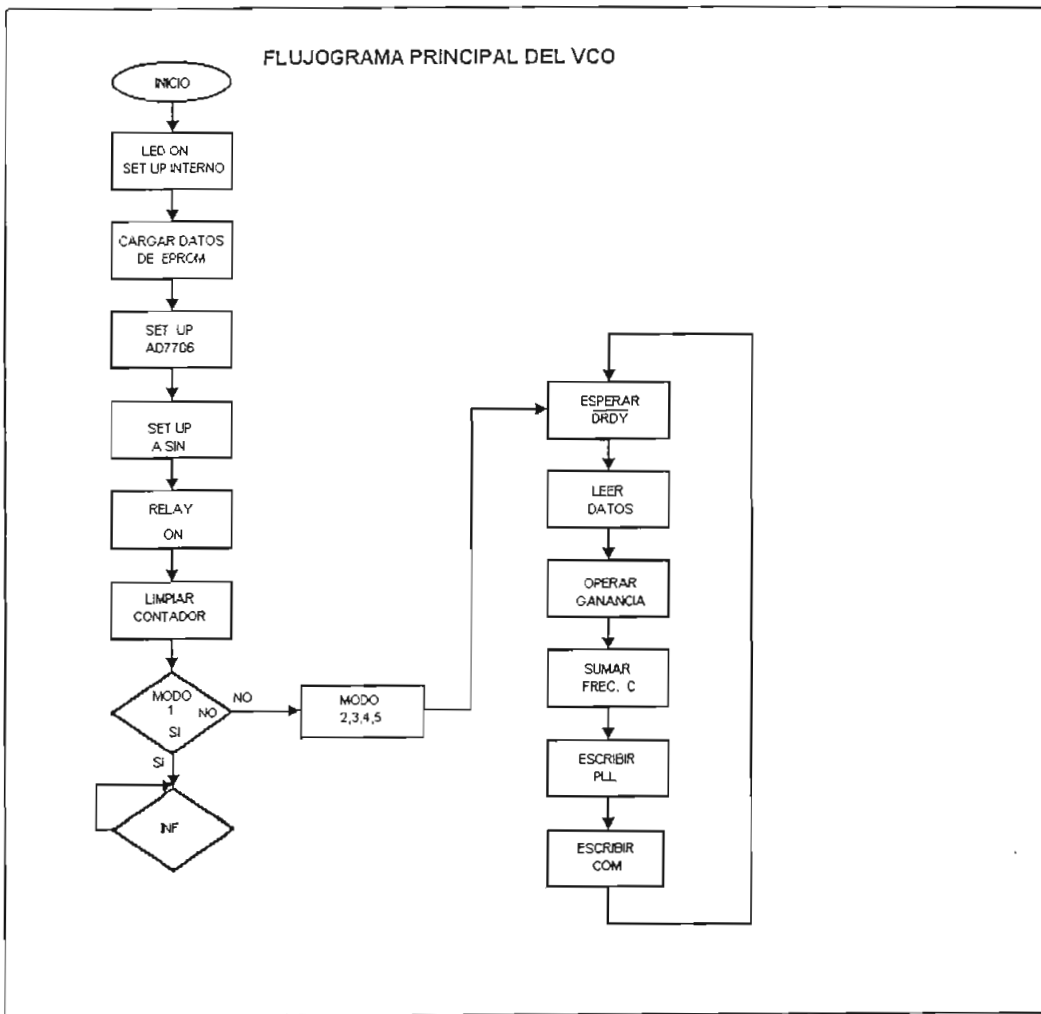


Fig. No. 3.1.- Diagrama de flujo del programa principal del Microcontrolador

3.1.2.2.- Desarrollo del Software

El software en assembler del programa principal y todas las subrutinas e interrupciones se presentan en el Anexo No.3.

Es conveniente indicar la designación y función de los registros utilizados, así como la asignación de las localidades de memoria RAM, tanto interna como externa

3.1.2.2.1.- Asignación de Pórticos.-

El microcontrolador MC68HC705C8A dispone de tres pórticos de 8 bits cada uno para dar un total de 24 líneas para entradas o salidas del Microcontrolador, que fueron usados de la siguiente manera:

Las ocho líneas del pórtico A (PA0 – PA7) y seis líneas del puerto B (PB0 –PB5) se utilizan para comunicarse con el generador de señal sinusoidal, directamente escriben al PLL MC145151-2, el valor de la frecuencia a la cual se va a enganchar.

Las dos líneas restantes del pórtico B (PB6 y PB7) se comunican con la memoria EPROM 27C64 donde se han almacenado cuatro tablas de la función sinusoidal con diferentes amplitudes para seleccionar el valor adecuado de acuerdo a la aplicación, en el caso de que el VCO forme parte de un arreglo para sensores de varias componentes.

La primera línea del pórtico C (PC0) activa la memoria EEPROM 93C56A de la tarjeta para poder escribir o leer los valores a los cuales se ha configurado el VCO.

Las líneas PC1, PC2, y PC3 se comunican con el AD7706 al habilitador, DRDY, y reset; para ayudar a coordinar la acción de escritura para los valores de ganancia, filtro programado, dan el valor necesario para la autocalibración cuando se inicia el funcionamiento o cuando se ha reiniciado el VCO.

La línea PC4 activa el relé de entrada desconectando el sensor y dando un pulso de voltaje para pruebas de funcionamiento de la tarjeta de VCO.

Las líneas PC5 y PC6 activan el relé para conexión o interrupción de funcionamiento del radio de transmisión, en caso que se quiera mandar datos intermitentes.

La línea PC7 enciende intermitentemente al led, como comprobación de que el microcontrolador este trabajando, cada 0,2 segundos.

El interfaz de comunicación serial sincrónica con periféricos SPI (MISO, MOSI y SCLK), se comunica tanto con el AD7706 como con la memoria EEPROM 93C56 para escribir y leer los datos de funcionamiento.

Las líneas PD7, RDI y TDO se comunican con el MAX232 para la salida de comunicación serial a la que tiene acceso el usuario, o para transmitir la señal del VCO en forma digital.

Por último la línea TCAP sirve para contar los pulsos generados por un sensor pluviométrico que internamente van al timer del Microcontrolador..

3.1.2.2.2.- Asignación de Registros.-

La tabla No. 3.1 muestra la asignación de registros que se ha realizado para el desarrollo del programa:

ETIQUETA	DIRECCION	FUNCION
PORTA	00	Pórtico A, tiene 8 líneas bidireccionales de entrada o salida
PORTB	01	Pórtico B, tiene 8 líneas bidireccionales de entrada o salida
PORTC	02	Pórtico C, tiene 8 líneas bidireccionales de entrada o salida
PORT D	03	Pórtico D, tiene 7 líneas de datos de entrada, para comunicación serial SPI y SCI
DDRA	04	Dirección de datos del Registro A, indica si los datos en el pórtico A corresponden a entrada (0) o a salida (1)
DDRB	05	Dirección de datos del Registro B, indica si los datos en el pórtico B corresponden a entrada (0) o a salida (1)
DDRC	06	Dirección de datos del Registro C, indica si los datos en el pórtico C corresponden a entrada (0) o a salida (1)
SPICNTL	0A	Registro de control del interfaz serial de periféricos
SPISTAT	0B	Registro del estado del interfaz serial de periféricos
SPIDATA	0C	Registro de datos del interfaz serial de periféricos
SCISTAT	10	Registro del estado del interfaz de comunicación serial
SCIDATA	11	Registro de datos del interfaz de comunicación serial
TCR	12	Registro de control del timer
TSR	13	Registro de estatus del timer

ICRH	14	Registro de captura de entrada solo de lectura (bits altos)
ICRL	15	Registro de captura de entrada solo de lectura (bits bajos)
OCRH	16	Registro de comparación de salida (bits altos)
OCRL	17	Registro de comparación de salida (bits bajos)
TRH	18	Registro del timer solo de lectura (bits altos)
TRL	19	Registro del timer solo de lectura (bits bajos)

Tabla No. 3.1.- Asignación de Registros

3.1.2.2.3.- Asignación de Variables

Para el desarrollo del programa en Assembler se han asignado las siguientes variables:

ETIQUETA	TAMAÑO (BYTES)	FUNCION
FRECH	1	Valor de frecuencia (bits altos)
FRECL	1	Valor de frecuencia (bits bajos)
GAINH	1	Valor de ganancia en hardware (AD7706)
GAINS	1	Valor de ganancia en software (MC68HC705C8A)
FILTRO	1	Valor correspondiente al filtro
PPLUVH	1	Período de transmisión de pluviometría bits altos
PPLUVL	1	Período de transmisión de pluviometría bits bajos

PVOLTH	1	Período de transmisión de voltaje (bits altos)
PVOLTL	1	Período de transmisión de voltaje (bits bajos)
PSCVH	1	Período de transmisión de señal (bits altos)
PSCVL	1	Período de transmisión de señal (bits bajos)
PBATTH	1	Período de transmisión de batería (bits altos)
PBATTL	1	Período de transmisión de batería (bits bajos)
PRELAYH	1	Período de transmisión del relay (bits altos)
PRELAYL	1	Período de transmisión del relay (bits bajos)
AMPLI	1	Valor de la amplitud para la función senoidal
PLUVIH	1	Valor del pluviómetro (bits altos)
PLUVIL	1	Valor del pluviómetro (bits bajos)
DATAH	1	Variable para manejo de datos (bits altos)
DATAL	1	Variable para manejo de datos (bits bajos)
BDATAH	1	Valor del voltaje de batería (bits altos)
BATAL	1	Valor del voltaje de batería (bits bajos)
QUINTO	1	Constante de un quinto de segundo
SEGUNDO	1	Constante de un segundo
LDCOM	1	Variable para contador de buffer
BUFF	86	Espacio de memoria para guardar datos de programación

Tabla No. 3.2.- Asignación de variables

3.1.2.2.- Desarrollo de Subrutinas en Assembler

En la siguiente tabla No. 3.3. se presentan las subrutinas que se crearon y la función que desempeñan. Posteriormente se hace un análisis minucioso de cada una de ellas.

SUBROUTINA	FUNCION QUE REALIZA
REEPROM	Lee los datos de la memoria EEPROM
WEEPROM	Escribe los datos en la memoria EEPROM
TXDATA	Permite transmitir datos, (0 y 1)

Tabla No. 3.3.- Subrutinas que se han desarrollado

3.1.2.2.1.- Subrutina REEPROM.-

Desde el programa principal se llama continuamente a esta subrutina, que como podemos observar en el diagrama de flujo en la Fig. No. 3.2, empieza por deshabilitar el AD7706, para proceder luego a la habilitación de la memoria EEPROM 93C56 indicándole que realizará el proceso de lectura.

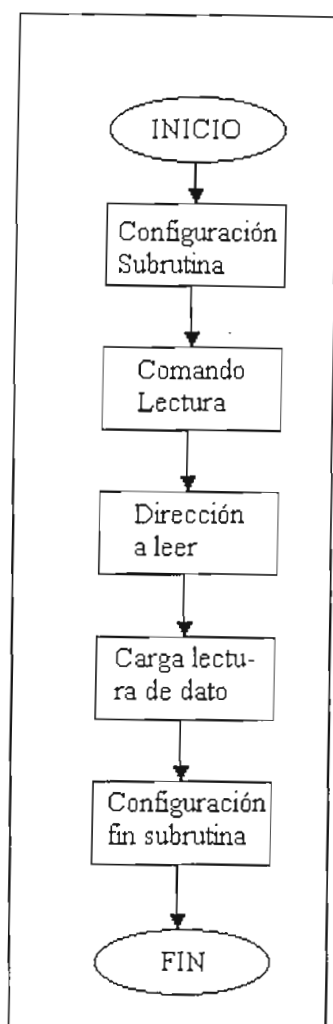


Fig No. 3.2.- Diagrama de Flujo de la subrutina REEPROM

Antes de saltar a esta subrutina, se ha colocado en el registro índice el valor de la dirección de memoria donde está el parámetro a leer, que se han asignado al azar de acuerdo a la tabla No. 3.4 que se muestra a continuación:

Dirección de memoria	No. de bits	Nombre de variables	Valor al que corresponden
02	16	frech, frecl	Frecuencia central
03	8	gainh	Ganancia en el AD7706
04	8	gains	Ganancia en el microcontrolador
05	8	filtro	Filtro
06	8	ampli	Amplitud de señal sinusoidal
07	16	ppluvh, ppluvi	Período pluviómetro
08	16	pvolth, pvolti	Período prueba de VCO
09	16	pscvh, pscvi	Período otro Sensor
0A	16	pbatth, pbattl	Período medición de batería
0B	16	prelayh, prelayl	Período relay del transmisor

Tabla No. 3.4.- Asignación del espacio de memoria en la EEPROM 93C56

Una vez que accede al espacio de memoria donde se encuentra la variable, procede a la operación de lectura, espera la recepción del dato y carga en DATAH la primera variable, luego hace lo mismo para la segunda variable cargando el dato en DATAL. Como se puede observar en la Fig. No. 3.3, el proceso de lectura en la memoria proporciona un bit dormido (dummy bit) por lo

cual se procede a realizar una tercera lectura con la finalidad de conseguir el bit menos significativo del dato a leer, y por último se realiza la rotación del dato para grabar al final en las variables DATAH y DATAL los valores respectivos una vez corregido este bit en el proceso de lectura.

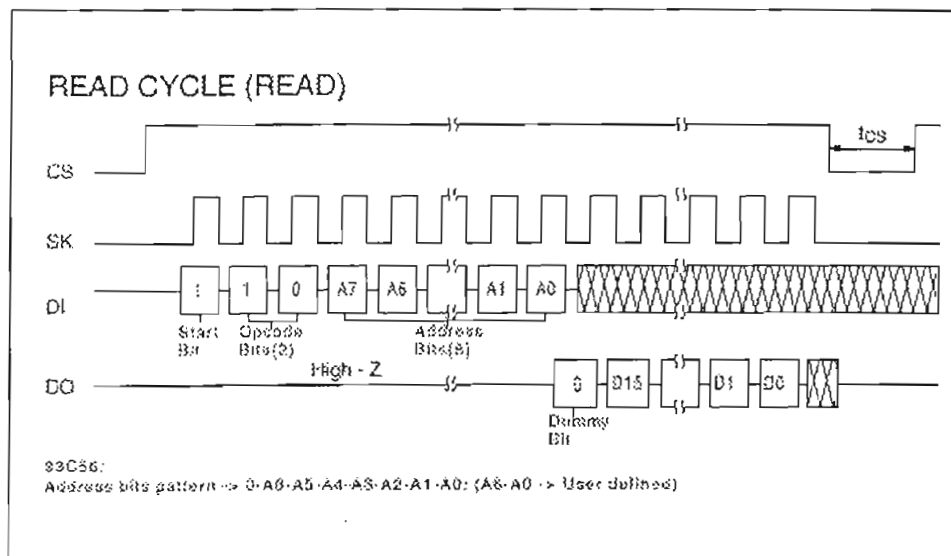


Fig. No. 3.3.- Diagrama de tiempo para lectura de datos en EEPROM 93C56

3.1.2.2.2.- Subrutina WEEPROM.

A esta subrutina se accede desde la interrupción de comunicación serial sincrónica SPI_INT, con la finalidad de grabar los parámetro de funcionamiento que el usuario indicará por medio del programa desarrollado para esta finalidad. El diagrama de flujo de esta subrutina se indica en la Fig. No. 3.4, y como podemos observar es muy similar a la subrutina REEPROM, primeramente se deshabilita el AD7706 y se habilita la EEPROM 93C56 para proceder a la escritura al inicio se debe enviar el habilitador de escritura, se indica entonces la

dirección donde guardará el dato y se va pasando DATAH y DATAL que son las variables donde se han guardado los parámetros en correspondencia a la Tabla No. 3.4, indicada anteriormente.

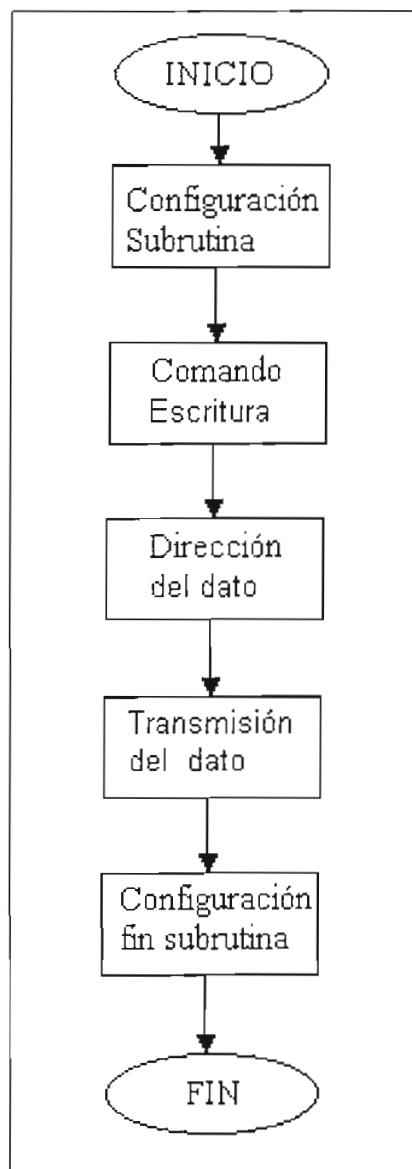


Fig. No. 3.4.- Diagrama de flujo de la subrutina WEEPROM

A continuación se pueden observar en las figuras No. 3.5 y 3.6 la secuencia para el habilitador de escritura WEN y la escritura en sí de los datos; finalmente

en la subrutina se deshabilita la EEPROM y se vuelve a activar el AD7706 retornando a la siguiente instrucción desde donde se produjo la llamada de esta subrutina.

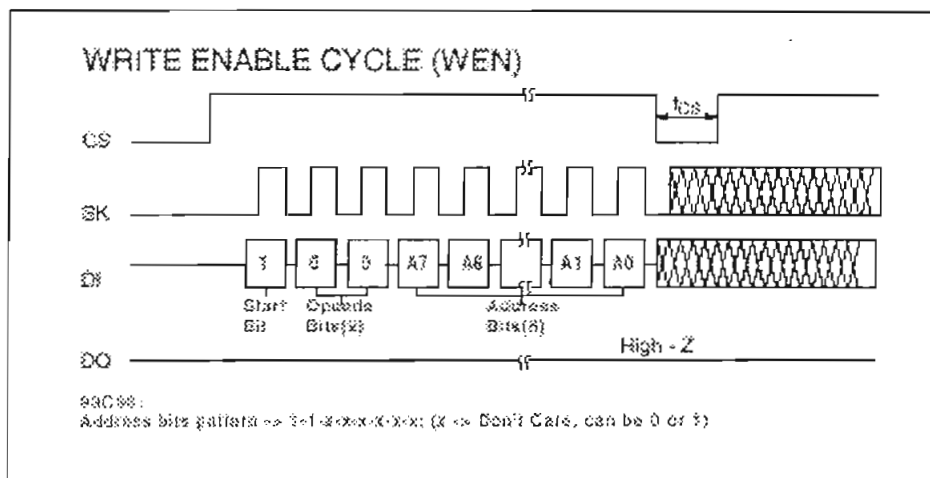


Fig. No. 3.5.- Diagrama de tiempo para el habilitador de escritura (WEN) del 93C56

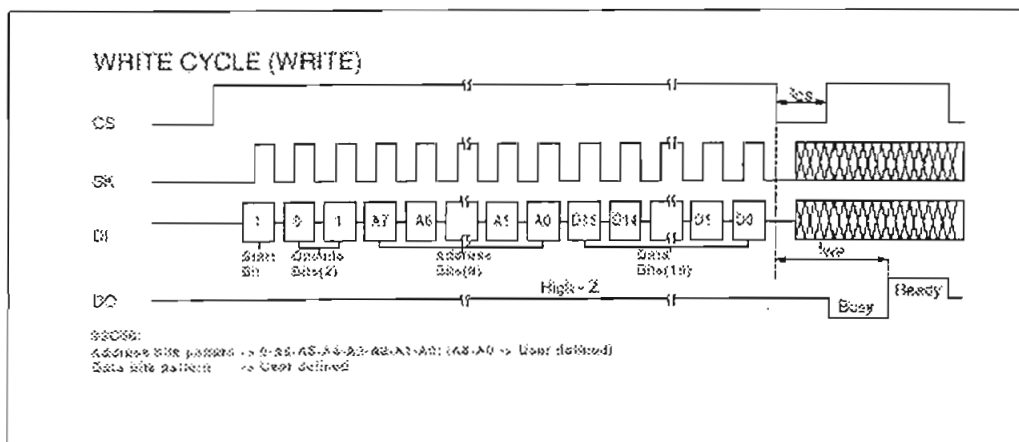


Fig. No. 3.6.- Diagrama de tiempo para la escritura en la EEPROM 93C56

3.1.2.2.3.- Subrutina TX_DATA

A esta subrutina se accede desde la interrupción del timer TIMER_INT, con la finalidad de transmitir los datos cuando alguno de los períodos de tiempo se ha cumplido.

El diagrama de flujo de esta subrutina se indica en la Fig. No. 3.7, y transmite 10 datos para cada valor un bit de inicio, un bit de parada y el dato en sí de 8 bits, al principio siempre pasa un carácter que identificará que variable es la que ha llegado a su período de transmisión y a continuación el valor de la misma. Una vez terminada esta subrutina regresa a la siguiente instrucción de la interrupción desde donde fue llamada.

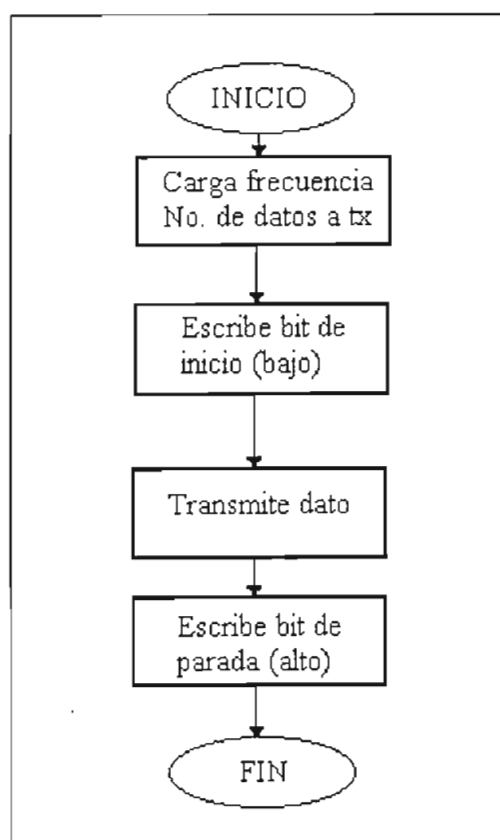


Fig. No. 3.7.- Diagrama de flujo para la subrutina TX_DATA

3.1.2.3.- Desarrollo de Interrupciones en Assembler

Para el microcontrolador MC68HC705CA existen varias interrupciones posibles, en la tabla No. 3.5, se presentan las que se han realizado y la función que desempeñan. Posteriormente se hace un análisis minucioso de cada una de ellas.

INTERRUPCIONES	FUNCION QUE REALIZA
COM_INT	Interrupción por el interfaz de comunicación serial
TIMER_INT	Interrupción a través del reloj interno
IRQ_INT	Interrupción por medio externo
SPI_INT	Interrupción por comunicación con el puerto serial sincrónico
SWI_INT	Interrupción por software

Tabla No. 3.5.- Cuadro de interrupciones realizadas

3.1.2.3.1 .- Interrupción COM_INT.-

Una interrupción en el puerto serial de comunicaciones SCI ocurre cuando una de las banderas de interrupción en el registro de estado del interfaz de comunicación serial está en alto, colocando un uno en la bandera del registro de condiciones y códigos. Esta interrupción se la ha utilizado en el desarrollo del presente programa para poder comunicarse con el usuario con la finalidad de colocar los parámetros a los cuales trabajará el VCO; la primera parte del diagrama de flujo de esta interrupción se presenta en la Fig. No. 3.8 .

Para comunicarse con el usuario se ha desarrollado el programa de tal forma que se escriba %% al inicio de cualquier valor de los diversos parámetros a fijar, y también se asignó un espacio en la memoria donde se guardarán momentáneamente estos parámetros, llamada BUFF, una vez que existe la

bandera para esta interrupción, se borra el registro índice; que es el que indicará la posición en BUFF donde se guardará el dato. El microcontrolador lee los dos primeros datos y compara con %, si son exactamente los mismos entonces espera los siguientes datos incrementando el registro índice en cada ocasión hasta guardar 6 datos. Una vez que el usuario ha presionado la tecla enter salta a la etiqueta PCOM en donde empieza a comparar la información guardada, si se ha ingresado un dato diferente regresa de la interrupción.

A continuación el microcontrolador ubica en LDCOM el valor del registro índice, borrando luego el mismo para utilizar este registro como el contador de que dato es el que vamos a leer, carga entonces en el acumulador el dato que está dado por la posición del registro índice en la pila BUFF y compara con F, G, P, A, T o R.

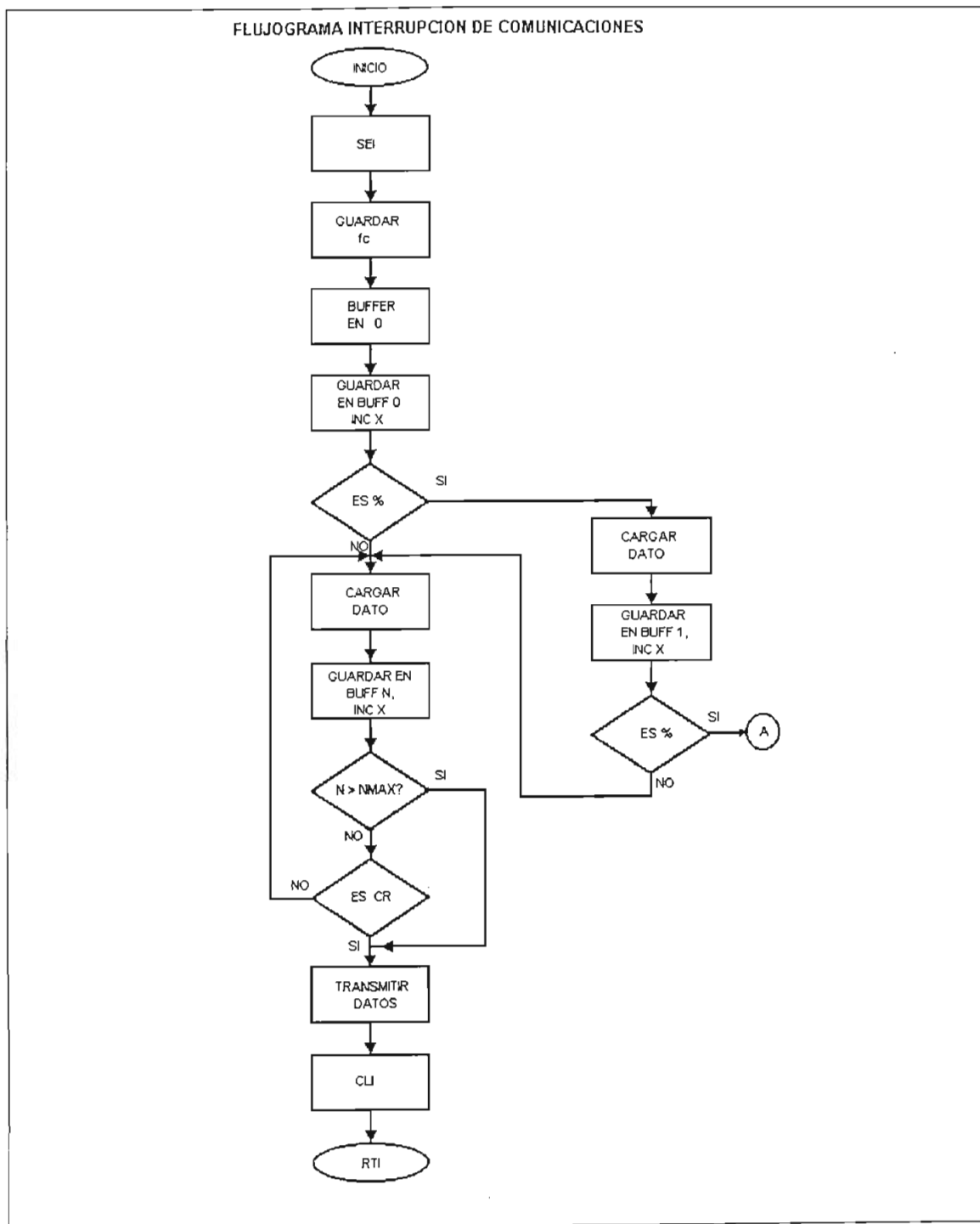


Fig. No. 3.8.- Diagrama de flujo de la interrupción de comunicaciones (Parte 1)

Una vez que se obtiene una igualdad en cualquiera de las primeras letras verifica la segunda identificando el dato que va a escribir de acuerdo a la tabla No. 3.6 y como se pueden observar en la figura No. 3.8 y 3.9 donde consta el resto del diagrama de flujo de ésta interrupción.

SECUENCIA DE LECTURA	DATOS A LEER	VARIABLE
%%FR	frech, frecl	Frecuencia
%%FL	filtro	Filtro
%%GH	Gainh	Ganancia AD7706
%%GS	gains	Ganancia por software
%%PP	ppluvh, ppluvt	Período de transmisión pluviómetro
%%PV	pvolth, pvoltl	Período de transmisión otro sensor
%%PB	pbath, pbattl	Período de transmisión batería
%%PR	prelayh, prelayl	Período de transmisión relay
%%PS	pscvh, pscvl	Período de transmisión señal
%%AM		Amplitud señal sinusoidal
%%RT		Reporte total

%%TU		Texto lectura
%%TE		Texto escritura

Tabla No. 3.6.- Asignación de secuencia para lectura de datos

A continuación llama a la subrutina WEEPROM para guardar el dato en la memoria EEPROM, que es desde donde lee los parámetros el microcontrolador para el funcionamiento del VCO y cuando retorna se envía el mensaje de regreso como comprobación de que el dato ha sido escrito correctamente y regresa al programa principal una vez terminada la interrupción; si la secuencia de lectura no es ninguna de las indicadas la interrupción termina inmediatamente y regresa al programa principal.

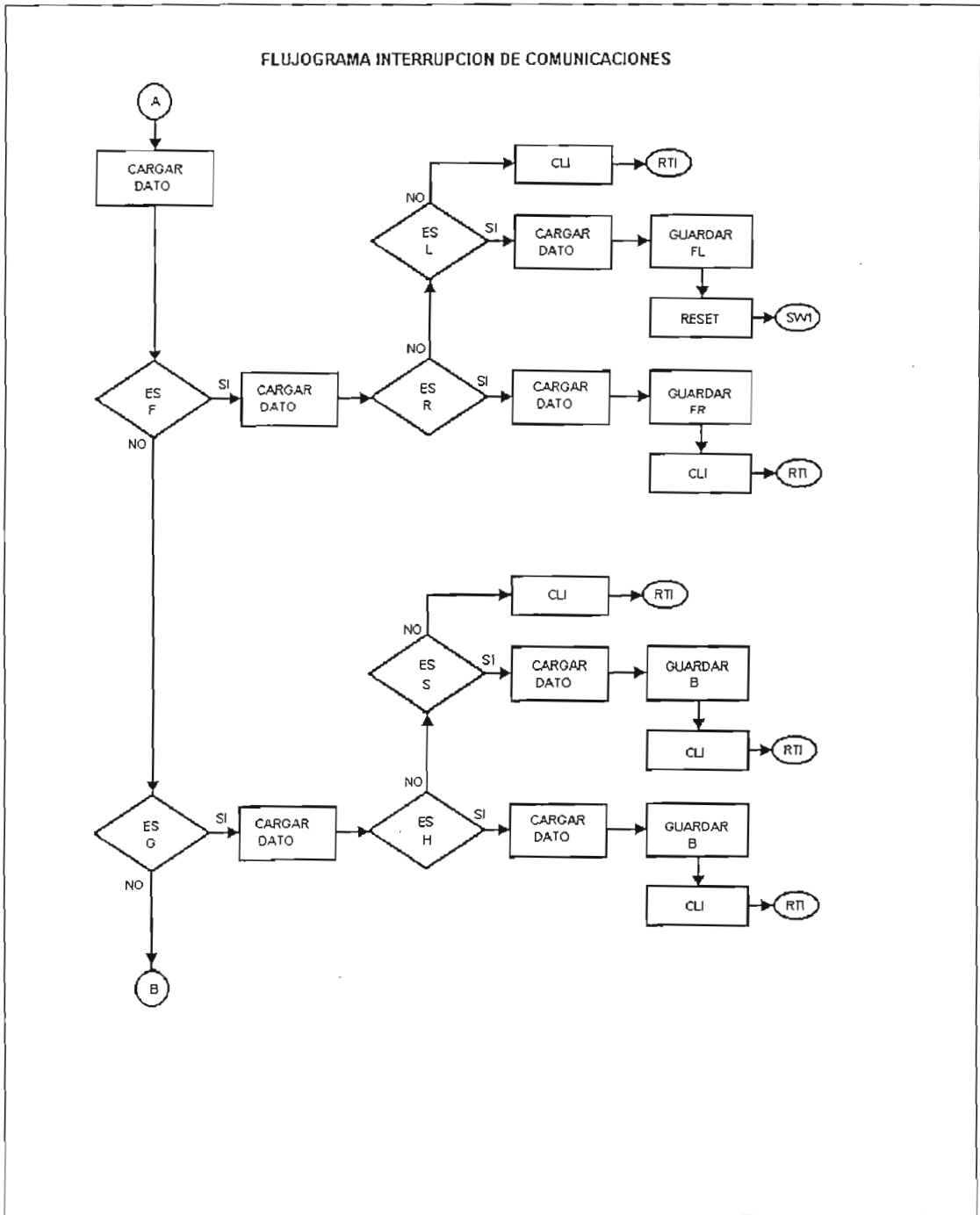


Fig. No. 3.8.- Diagrama de flujo de la interrupción COM_INT (Parte2)

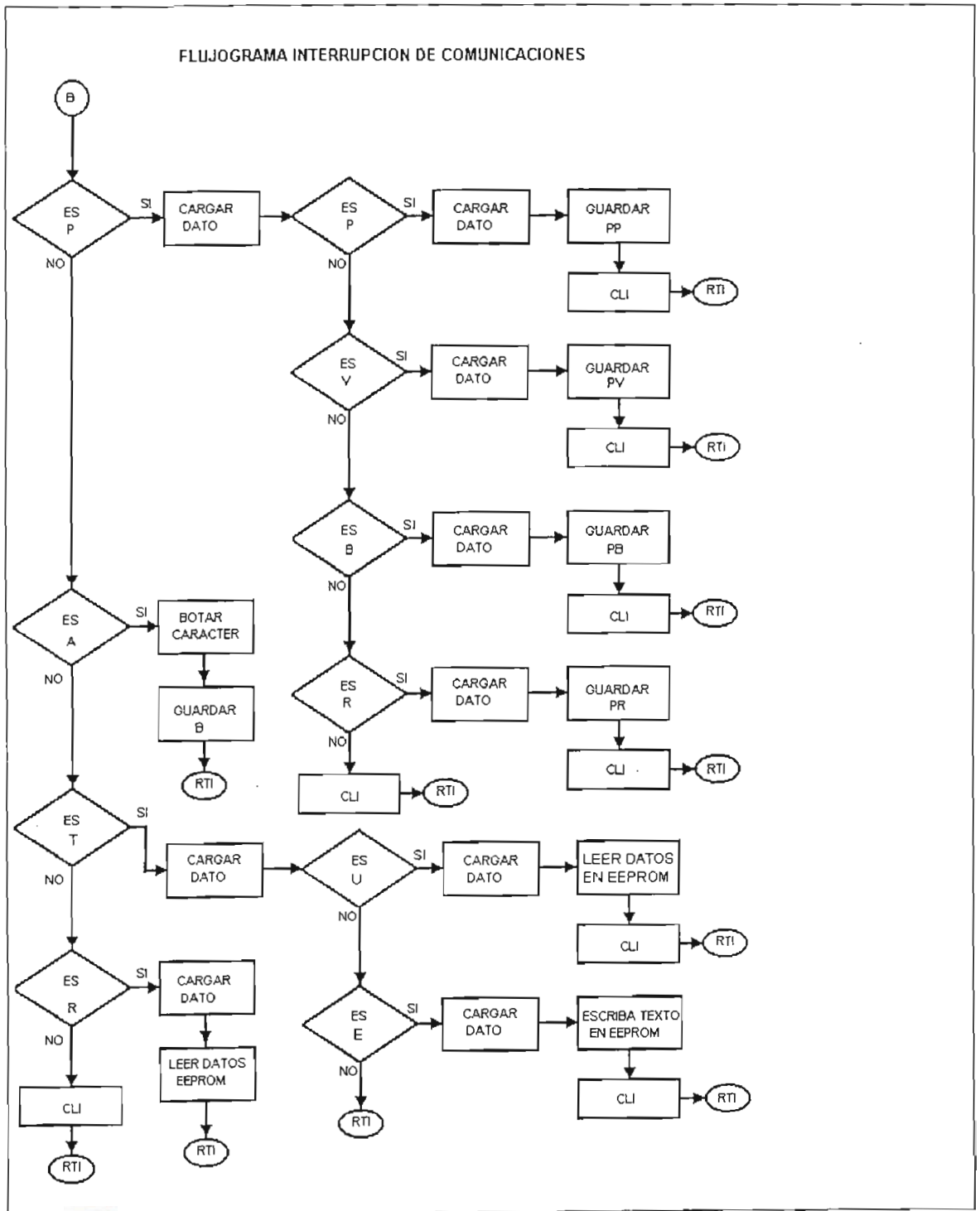


Fig. No. 3.9.- Diagrama de flujo de la interrupción COM_INT (Parte3)

3.1.2.3.2.- Interrupción *TIMER_INT*.-

La interrupción por timer puede suceder en tres casos. El primero si existe un overflow, esta posibilidad esta deshabilitada en el presente programa; un segundo caso es por ingreso de dato INCAP y la tercera por comparación por registros del timer OUTCMP. Para nuestro caso tenemos presente estas dos últimas interrupciones, las mismas que al suceder encienden la bandera respectiva. De ser este el caso el microcontrolador atiende a esta interrupción y una vez terminada regresa al siguiente paso en el programa desde donde fue llamado.

El diagrama de flujo de ésta interrupción se muestra en la figura No. 3.9, y empieza por reconocer que tipo de interrupción ha sucedido. En caso de ser por ingreso del contador INCAP, el microcontrolador incrementa la variable respectiva, es decir el contador del pluviómetro; luego compara si está en el valor máximo si es así transmite el dato; caso contrario regresa de la interrupción.

En caso de tratarse de una interrupción por comparación con los registros contadores, primeramente incrementa la variable QUINTO equivalente a 0,2 seg. en base de la cual va contando 1 segundo y 1 minuto, también esta variable le permite prender intermitentemente el led conectado al pin 7 del puerto C en el microcontrolador. Cuando completa el minuto compara con los diversos períodos de medición, a los mismos que en cada ocasión va decrementando de tal forma que cuando alguno de ellos es cero el microcontrolador envía la orden de transmitir el dato respectivo.

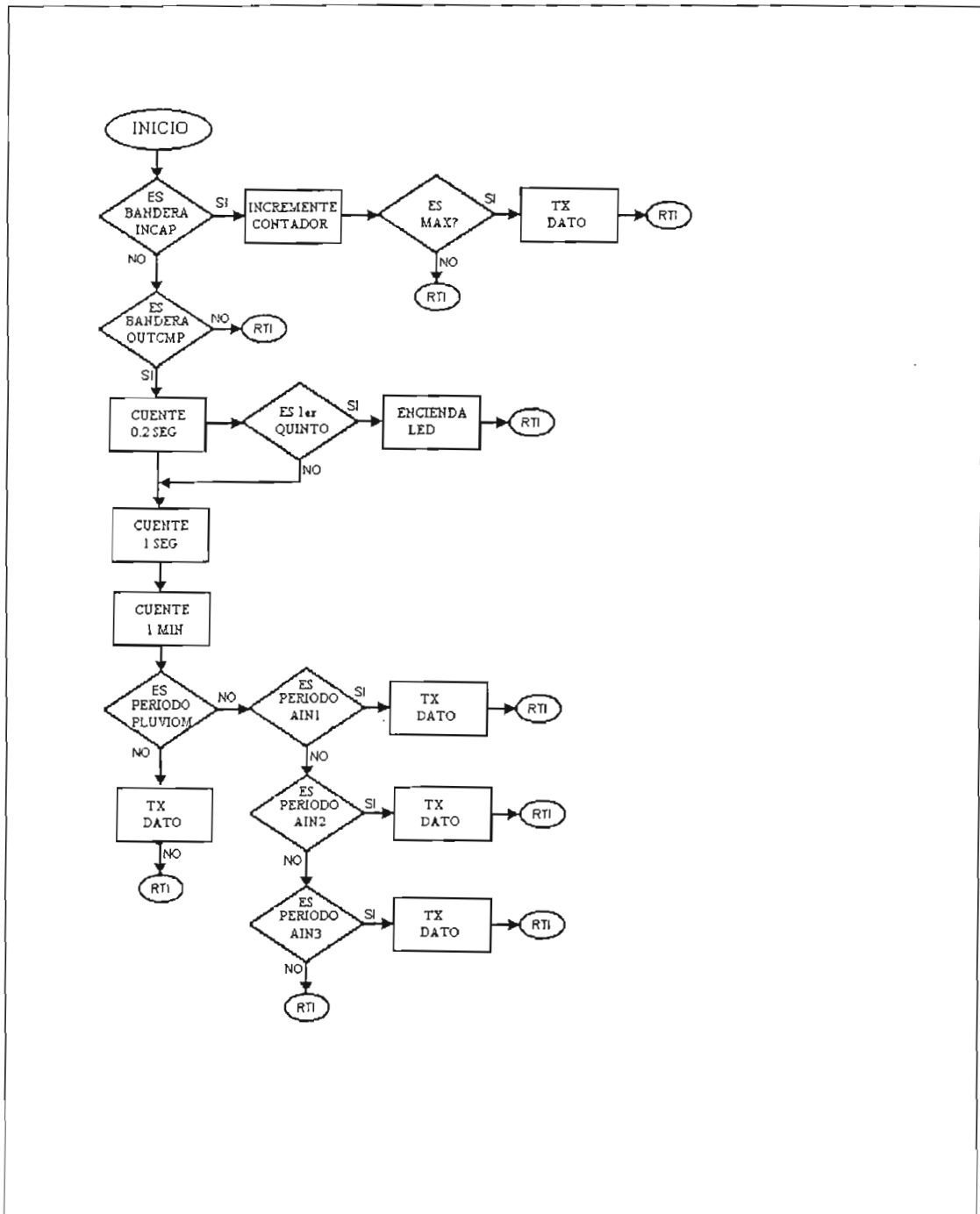


Fig. No. 3.9 Diagrama de flujo de la interrupción `TIMER_INT`

3.1.2.3.3.- Interrupción SPI_INT.-

Una interrupción en el puerto serial sincrónico ocurre cuando la bandera en el registro de comunicaciones serial se pone en alto, este tipo de interrupción no se ha utilizado para ningún caso dentro del programa desarrollado; sin embargo, por seguridad se ha escrito que en caso de ser activado este tipo de interrupción el microcontrolador escriba un nivel alto e inmediatamente un nivel bajo en el pin 0 del puerto A, de esta forma si estuviese presente la oscilación en este punto nos daríamos cuenta de que existe algún error.

3.1.2.3.4.- Interrupción IRQ_INT.-

Una interrupción externa se reconoce cuando el bit I del registro de códigos ha sido limpiada y el pin de interrupción externa está en bajo, este tipo de interrupción no se ha utilizado para ningún caso dentro del programa desarrollado; sin embargo, de igual manera como el caso anterior por seguridad se ha escrito que en caso de ser activado este tipo de interrupción el microcontrolador escriba un nivel alto e inmediatamente un nivel bajo en el pin 3 del puerto A.

3.1.2.3.5.- Interrupción SWI_INT.-

Una interrupción por software es similar a una interrupción por hardware y se produce cuando se ejecuta la instrucción SWI, este tipo de interrupción no se ha utilizado para ningún caso dentro del programa desarrollado; sin embargo, de igual manera como en los dos casos anteriores por seguridad se ha escrito que en caso de ser activado este tipo de interrupción el microcontrolador escriba un nivel alto e inmediatamente un nivel bajo, es decir permanezca oscilando en el pin 4 del puerto A.

3.2.- PROGRAMA PARA EL ALMACENAMIENTO DE LA FUNCIÓN SENO EN LA MEMORIA EPROM.-

Como se explico en el capitulo anterior se ha desarrollado un programa para la reorganización de datos de la tabla de valores calculada para la función seno con la finalidad de hacer más sencillo el enrutamiento desde el contador a la memoria así como desde su salida hacia el DAC0808, en la figura No. 3.10 se observa el diagrama de flujo del programa desarrollado en Turbo C, y el listado del mismo se encuentra en el Anexo No.3.

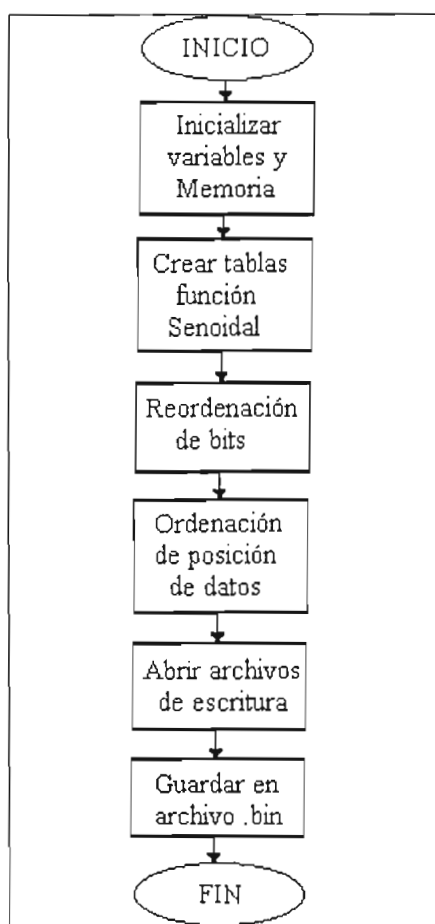


Tabla No. 3.10.- Diagrama de flujo del programa de la función Seno

3.3.- PROGRAMA PARA COMUNICACIÓN CON EL USUARIO.-

Para poder programar el VCO se utilizó una adaptación del programa DAS desarrollado por Fis. Ricardo Ascazubi en el proyecto DAS (Sistema de adquisición digital de datos), el mismo que está desarrollado en Visual Basic.

Las adaptaciones que se tuvieron que realizar obedecen al formato de código de comunicaciones entre el VCO y el mencionado software. En esta adaptación del programa se la ha denominado DAS_VCO, y presenta las siguientes características:

Comunicación y configuración del VCO.

Presentación gráfica de la traza sísmica en tiempo real, y

Lectura de los parámetros a los cuales se ha programado el VCO.

A continuación se muestra en la tabla No. 3.7 los diferentes eventos que hacen posible la utilización de este software para la programación del VCO diseñado.

EVENTO	COMANDO	ACCION
ComAmp_Change()	%%AM##(CR)	Establece valor de la amplitud
ComFil_Click()	%%FL##(CR)	Establece el valor del filtro
ComFre_Cen_Click()	%%FR##(CR)	Establece el valor de la frecuencia central

ComGan_Click()	%%GH##(CR)	Establece el valor de la ganancia
Command1_Click()	%%RT(CR)	Pide que el VCO envíe todos los parámetros
Command2_Click()		Envía todos los parámetros al VCO

Tabla No. 3.7.- Descripción de eventos añadidos al programa DAS

Significa un carácter numérico de 8 bits.

En el programa las variables presentan opciones para los parámetros: ganancia, filtro, frecuencia central; y para los períodos de voltaje, batería, pluviometría y relay se debe introducir el valor deseado en minutos. En la figura No. 3.11 se presenta la ventana abierta por la ejecución del programa DAS_VCO. En la parte inferior de la misma el programa muestra la traza sísmica en tiempo real, lo que facilita al usuario la programación con valores adecuados de acuerdo al sitio.

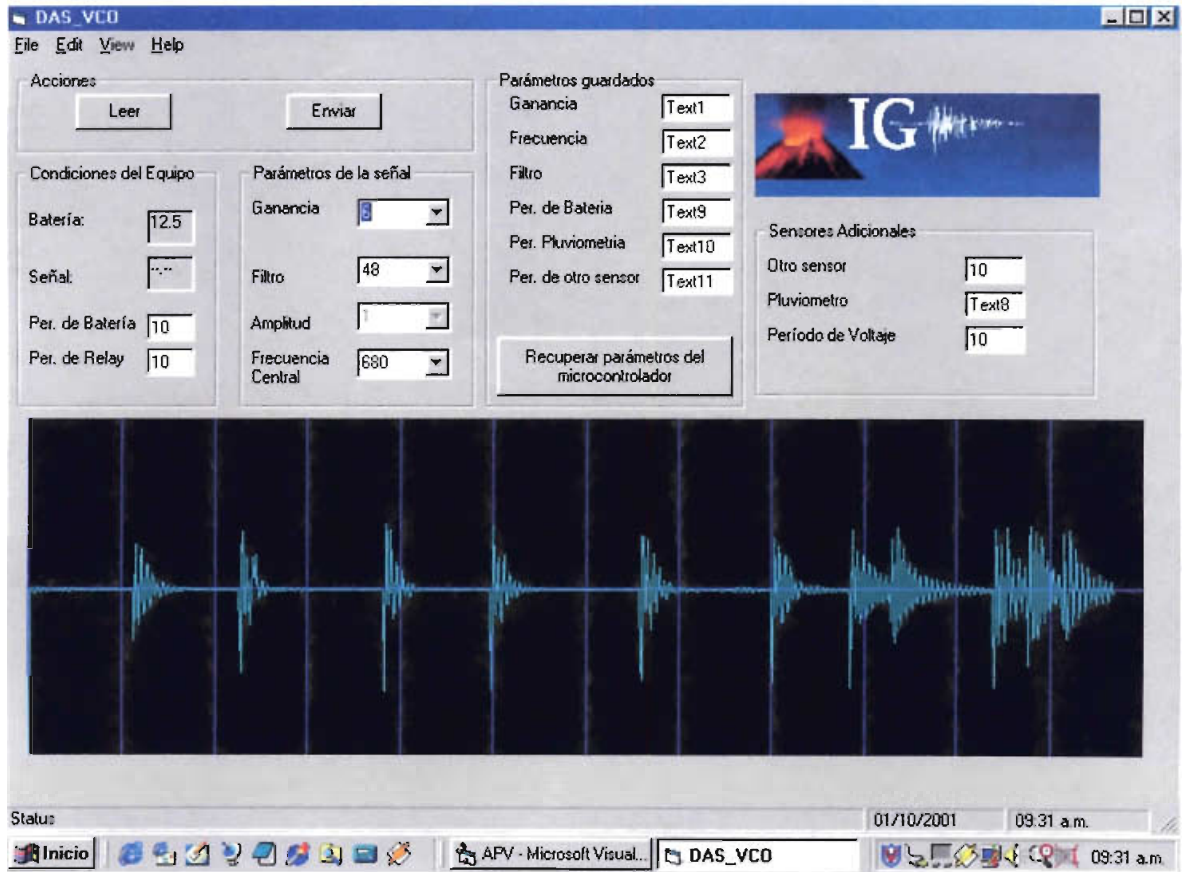


Fig No. 3.11.- Ventana desplegada por el programa VCO_DAS

CAPITULO 4

ASPECTOS CONSTRUCTIVOS

4.1.- ENSAMBLAJE DE LA TARJETA

El VCO diseñado se armó sobre una tarjeta de circuito impreso que mide 15.5x10.4cm. Para la fabricación de la misma, una vez realizado el diseño del circuito, se procedió a implementar el circuito impreso haciendo uso del programa Tango (ver. 12). Con la finalidad de obtener una buena calidad en el circuito impreso primeramente se envió el archivo para la realización del negativo del diseño en una imprenta y luego con este negativo se mandó a la fabricación misma de la tarjeta por fotograbado, obteniéndose un circuito impreso de buena calidad.

Una vez que se tenía la tarjeta con las condiciones requeridas se procedió al ensamblaje de los componentes, para lo cual se utilizó zócalos de contactos metálicos para todos los circuitos integrados, y además se tuvo cuidado de no dejar pasta residual entre los diferentes contactos.

Los elementos utilizados en el presente diseño se compraron en el exterior especialmente los circuitos integrados ya que no se encontraron en el mercado local, lo que ocasionó un retardo en la implementación del sistema.

Una vez finalizado el ensamblaje de la tarjeta se empezó con la realización del programa del microcontrolador, hasta llegar a la versión 7 para obtener el mejor resultado de su funcionamiento. En las figuras No. 4.1 y 4.2 se pueden apreciar la vista exterior e interior del VCO.

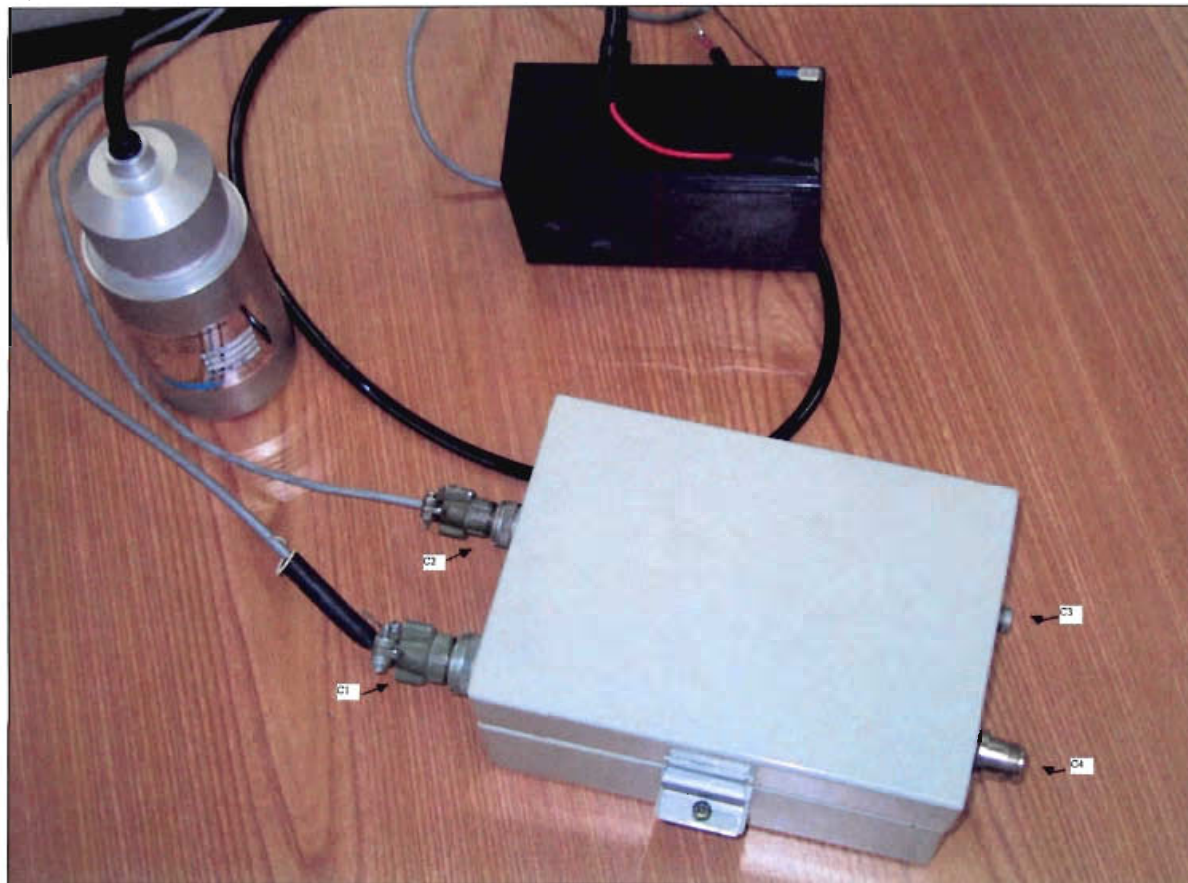


Fig. No. 4.1.- Vista exterior del VCO diseñado

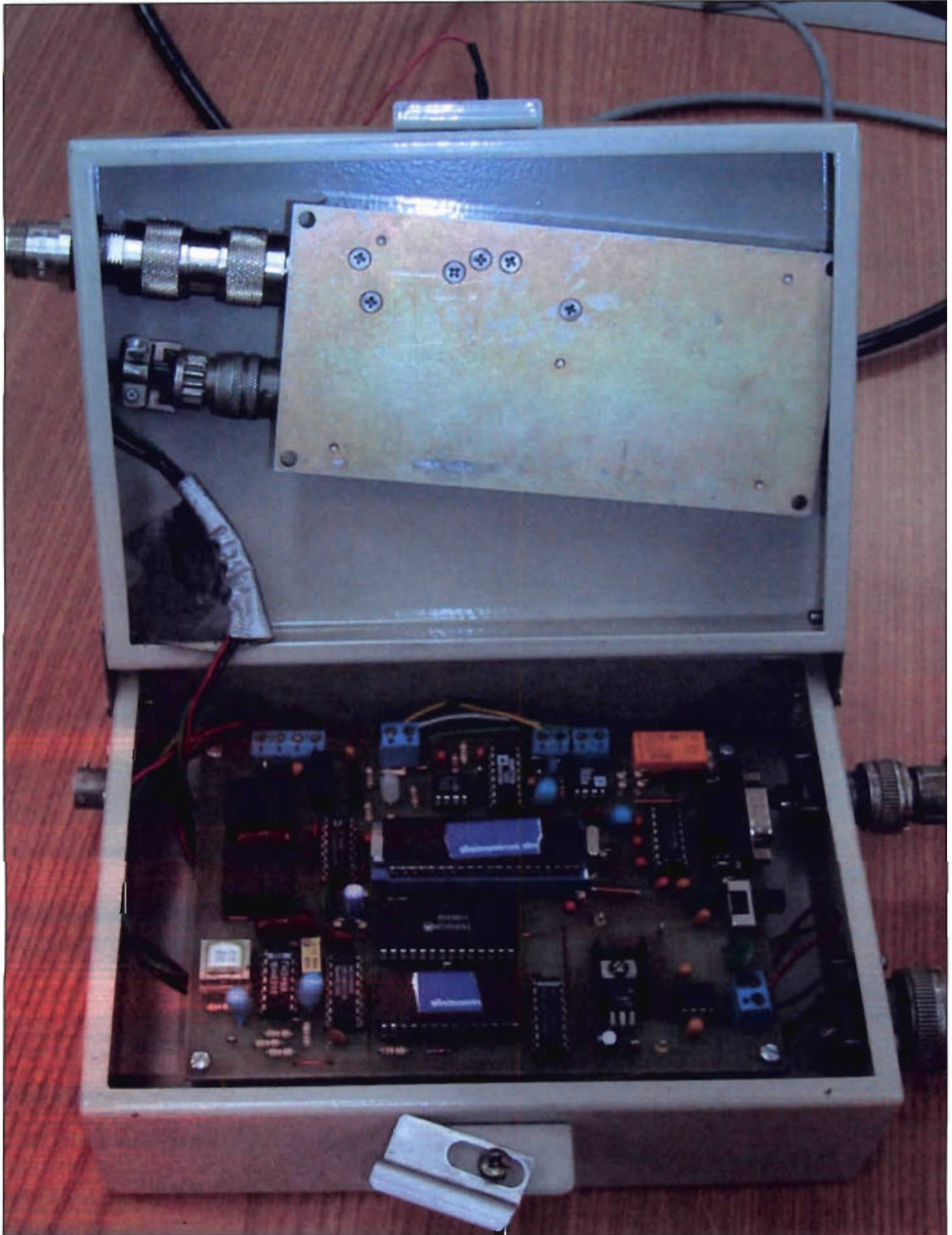


Fig. No. 4.2.- Vista interior del VCO diseñado

4.2.- CARACTERÍSTICAS FÍSICAS

El VCO esta alojado en una caja de acero con pintura antielectrostática y cuyas dimensiones son 20x14x10 cm. El peso aproximado del VCO es de ½ Kg. En el interior se encuentra la tarjeta del circuito impreso correspondiente que mide 15.5x10.4cm, que además cuenta con 9 puntos de prueba en la misma, los que se muestran en la Fig. No. 4.3 y cuya descripción está en la tabla No. 4.1.

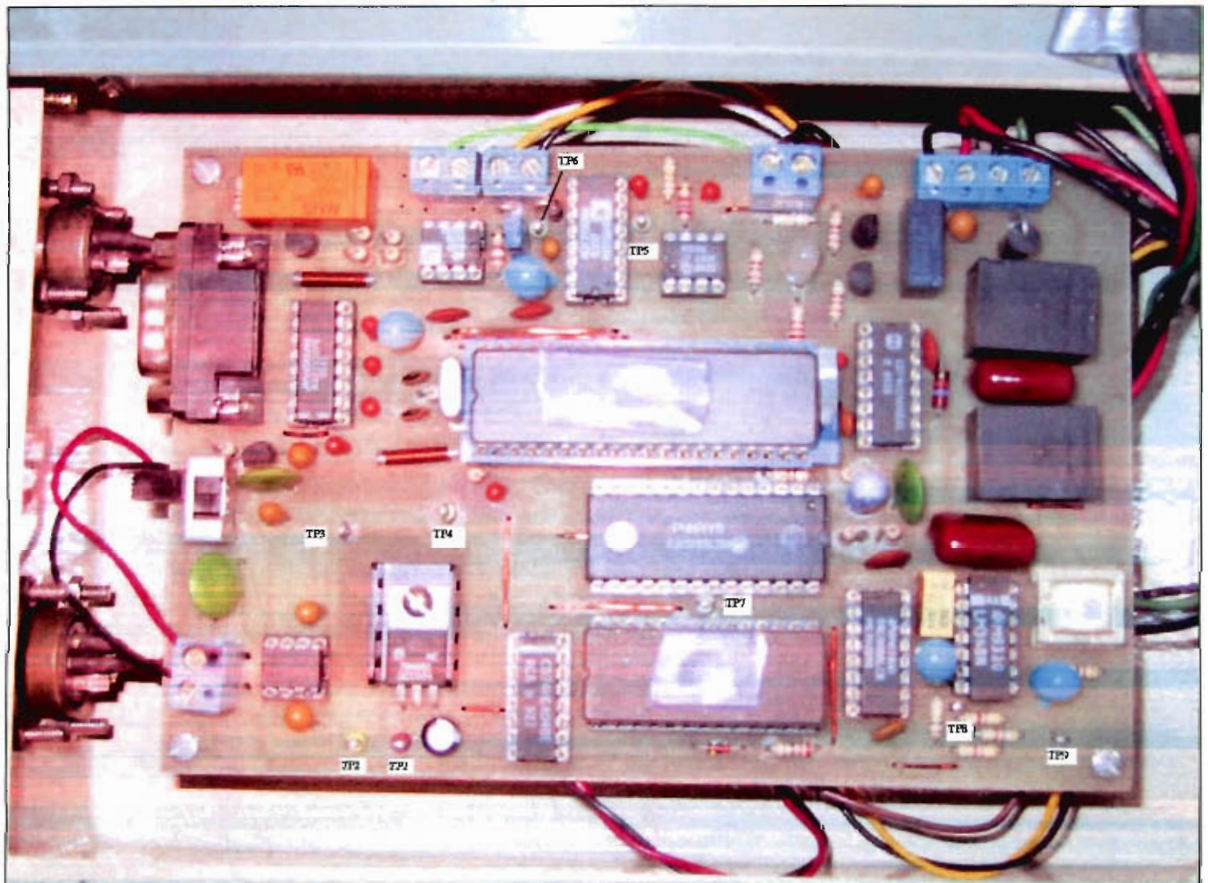


Fig. No. 4.1.- Ubicación de los puntos de prueba

Punto de Prueba	Descripción
TP1	Voltaje de alimentación 12 Vdc
TP2	Voltaje de alimentación 5 Vdc
TP3	Tierra
TP4	Voltaje de alimentación -12 Vdc
TP5	Entrada del sensor de voltaje DC
TP6	Salida del AD620
TP7	Pin 10 del MC145151
TP8	Señal de salida del VCO
TP9	Señal de salida mezclada en caso de ser parte de un arreglo

Tabla No. 4.1.- Descripción de los puntos de prueba que se disponen en el VCO

En el exterior se encuentran ubicados 4 conectores metálicos, uno para alimentación 12 Vdc (de 5 pines), otro para el ingreso de la señal del sensor sísmico (de 3 pines), un tercero para conectar otro sensor de niveles DC y/o el pluviómetro (de 4 pines) y el último que se encuentra en la tapa de la caja es para conectar la antena con la finalidad de colocar el transmisor al interior de la misma (conector tipo N hembra para montaje), como se señala en la Fig. No. 4.1.

4.3.- ANÁLISIS TÉCNICO ECONÓMICO

En la tabla No. 4.2 se encuentra la lista de elementos necesarios para el presente equipo así como el costo del mismo.

El equipo ha sido desarrollado con elementos digitales y analógicos. La parte central del sistema es el microcontrolador que por la función que realiza sustituye una gran cantidad de dispositivos analógicos, y que además permitirá con cambios en el

software realizar varias versiones del equipo diseñado en caso de ser necesarios dando una flexibilidad para ocupar el presente diseño en otras aplicaciones similares, como sería para mediciones meteorológicas, etc.

DETALLE DE COSTOS DEL VCO

RESISTENCIAS

Cantidad	Elemento No.	Descripción	Valor unitario	Valor Total
1	R4	Resistencia de 10 Ω al 5%	0.005	0.005
1	R27	Resistencia de 47 Ω al 5%	0.005	0.005
2	R7, R9	Resistencia de 100 Ω al 5%	0.005	0.01
1	R11	Resistencia de 390 Ω al 5%	0.005	0.005
1	R16	Resistencia de 1.5 k Ω al 5%	0.005	0.005
4	R1, R6, R8, R10	Resistencia de 100 k Ω al 5%	0.005	0.02
1	R18	Resistencia de 10 k Ω al 5%	0.005	0.005
1	R19	Resistencia de 15 k Ω al 5%	0.005	0.005
1	R15	Resistencia de 1 k Ω al 5%	0.005	0.005
2	R17, R23	Resistencia de 1 M Ω al 5%	0.005	0.01
1	R5	Resistencia de 2.7 k Ω al 5%	0.005	0.005
1	R22	Resistencia de 220 M Ω al 5%	0.005	0.005
4	R2, R12, R28, 229	Resistencia de 27 k Ω al 5%	0.005	0.02
1	P1	Potenciómetro de 2 k Ω	2.36	2.36
1	R14	Resistencia de 2 k Ω al 5%	0.005	0.005
4	R13, R24, R25, R26	Resistencia de 4.7 k Ω al 5%	0.005	0.02

CONDENSADORES

Cantidad	Elemento No.	Descripción	Valor unitario	Valor Total
3	C1,C12,C13	Capacitor cerámico 47 nF	0.24	0.72
2	C16,C22	Capacitor cerámico 470 nF, 250V	2.56	5.12
2	C6, C8	Capacitor cerámico 100 nF	0.2	0.4
1	C15	Capacitor cerámico 150 pF	0.42	0.42
1	C14	Capacitor cerámico 1nF	0.17	0.17
2	C19, C20	Capacitor cerámico 22 pF	0.17	0.34
2	C5,C17	Capacitor cerámico 47 nF	0.05	0.1
1	C27	Capacitor polarizado 1 μ F, 16V	0.23	0.23
7	C10,C21, C25, C28, C29, C30, C31	Capacitor polarizado 1 μ F, 35V	0.19	1.33
1	C2	Capacitor polarizado 100 μ F, 16V	0.22	0.22
2	C3, C4	Capacitor polarizado 15 μ F, 16V	0.52	1.04
2	C11,C26	Capacitor polarizado 22 μ F, 10V	0.49	0.98

4	C7, C9, C23, C24	Capacitor polarizado 33 uF, 25V	1.19	4.76
1	C18	Capacitor polarizado 4.7 uF, 50V	0.78	0.78

VARIOS

Cantidad	Elemento No.	Descripción	Valor unitario	Valor Total
1	S1	Interruptor	0.59	0.59
3	D1, D2, D4	1N4001	0.007	0.021
1	D5	LM385-2.5	0.73	0.73
1	D3	1N917	0.1	0.1
1	D6	LED-GREEN	0.39	0.39
6	CN1, CN2, CN3, CN4, CN6, CN7	SRW-2-1	0.49	2.94
2	CN5, CN8	RJ-45	0.45	0.9
1	CN9	DB9R,	0.49	0.49
1	T1	Transformador de audio	1.49	1.49
1	J1	JMP2	0.25	0.25
1	K2	MURATA-TN	4.95	4.95
1	K1	R16-DPDT	4.95	4.95
2	L1, L2	100mH	0.01	0.02
3	Q1, Q2, Q3	2N3904	0.31	0.93
1	Y1	1.84MHz	0.99	0.99
1		Tarjeta de circuito impreso	26	26
3		Zócalo de 8 pines	0.29	0.87
1		Zócalo de 14 pines	0.39	0.39
5		Zócalo de 16 pines	0.45	2.25
2		Zócalo de 28 pines	0.75	1.5
1		Zócalo de 40 pines	0.89	0.89
1		Disipador de calor	0.29	0.29

CIRCUITOS INTEGRADOS

Cantidad	Elemento No.	Descripción	Valor unitario	Valor Total
1	U1	78L05	0.29	0.29
1	U2	ICL7662	1.79	1.79
1	U3	74HC4040	0.69	0.69
1	U4	74HC4046	0.99	0.99
1	U5	AD620	6.37	6.37
1	U6	27C64	5.95	5.95
1	U7	MC145151	5.95	5.95
1	U8	AD7706	13.8	13.8
1	U9	DAC0808	1.49	1.49
1	U10	LM348	0.87	0.87
1	U11	68HC705C8	34.95	34.95
1	U12	93C56	0.81	0.81
1	U13	MAX232	1.54	1.54
SUBTOTAL				144.031

CONECTORES

Cantidad	Elemento No.	Descripción	Valor unitario	Valor Total
1	C1	Conector para montaje 5S	11.8	11.8
1	C2	Conector para montaje 3S	12.21	12.21
1	C3	Conector para montaje 4p	10	10
1	C4	Conector para montaje tipo N	12.05	12.05
1		Caja para ensamblaje	19	19
1		Juego de tornillos y postes	1	1
COSTO TOTAL				210.091

Tabla No. 4.2 Lista de elementos y detalle de costos del VCO

La implementación práctica del equipo se ha llevado a cabo a partir de una serie de pruebas y un diseño previo del generador de onda sinusoidal. Al realizar dichas pruebas se produjeron problemas por lo que se destruyeron algunos elementos, cuyo valor representa también parte del costo de desarrollo del equipo que actualmente se encuentra ya probado y en funcionamiento.

El costo del equipo no puede ser determinado tan solo por los elementos que lo componen sino que además, se debe tomar en cuenta todo lo que representa pérdidas. Estas deben incluir, de alguna manera, el tiempo tomado en el diseño y en la construcción del equipo para que este opere de manera satisfactoria. Tomando en cuenta este parámetro, el costo se elevaría aproximadamente al doble de lo establecido en la tabla No. 4.2, es decir se atribuye un 25% del costo total en pérdidas de elementos en las pruebas y un 75% al tiempo empleado en el diseño y construcción. Por lo tanto el costo total real aproximado sería igual a \$ 400,00 (cuatrocientos dólares).

Sin embargo cabe recalcar que de requerir fabricar el VCO, se puede implementar nuevamente la tarjeta con un microcontrolador sin dispositivo ultravioleta y sin considerar los costos de conectores y caja el precio será de \$115,00 (ciento quince dólares), es decir más conveniente que la tarjeta de VCO diseñada por la USGS cuyo costo es de \$150,00 (ciento cincuenta dólares) y la décima parte del costo de

un VCO comercial Kinematics, que actualmente solo el adquirir las tarjetas de VCO y amplificadora de acuerdo a su diseño llega a la suma de \$1200,00 mil doscientos dólares.

En base a esta estimación del costo de desarrollo del equipo, resulta evidente que el esfuerzo económico, el tiempo de diseño y pruebas es considerablemente alto; sin embargo, es normal en el desarrollo de un equipo, pero la reproducción del mismo resulta más económica, y se puede realizar los cambios necesarios de acuerdo a nuestras propias necesidades.

4.3.1.- ALCANCE Y LIMITACIONES DEL EQUIPO.-

Los objetivos y metas planteados al declarar el presente tema de tesis han sido cubiertos en su totalidad, comprobándose una vez que se han realizado todas las pruebas del funcionamiento del equipo desarrollando; inclusive por medio de adecuaciones de software otras funciones que no fueron contempladas inicialmente en este proyecto.

El equipo permite reemplazar los VCOs comerciales a un costo razonable y con la ventaja de tener mayor control sobre la estación, y sobre todo de contar con una tarjeta única que permite disminuir el costo del mantenimiento de la Red, ya que los VCOs comerciales tienen una tarjeta para cada frecuencia, lo que encarece el sistema y no permite mayor flexibilidad en las estaciones repetidoras.

En el equipo se ha desarrollado el hardware y software para la comunicación serial con el usuario para que este pueda programar a los valores que requiera para su funcionamiento.

Los datos del VCO en sí, es decir la traza sísmica ingresa en forma análoga directamente a trabajar con el software que dispone el Departamento, no así con los datos adicionales de control o datos de otros sensores, para los cuales no se incluye

el software de procesamiento, este deberá ser desarrollado por parte del personal de procesamiento de datos del Departamento de Geofísica.

El equipo tiene el limitante de la frecuencia de trabajo del PLL, lo que no permite que se realice una adquisición de mayor precisión, el diseño actual nos da una precisión de 0,5 Hz; al intentar incrementar esta precisión el generador de la función senoidal basado en el sistema de PLLs no lograba engancharse adecuadamente, sin embargo de ello los resultados que se presentan están de acuerdo a las necesidades del Departamento de Geofísica.

CAPITULO 5

PRUEBAS EXPERIMENTALES Y RESULTADOS

5.1.- OPERACIÓN DEL SISTEMA.-

El VCO esta diseñado para adecuar la señal de los sensores sísmicos y que ésta señal se pueda enviar de forma telemétrica, variando su frecuencia central en relación directa a la variación del voltaje que entrega el sensor. El presente VCO nos permite escoger la frecuencia y la ganancia de acuerdo a los valores preestablecidos para estos parámetros.

Para que el VCO empiece a operar es necesario alimentarlo con 12 Vdc (en el conector C1) y colocar el switch S1 en la posición de ON.

Para poder configurar los diversos valores se requiere conectar un cable de comunicación serial a un computador donde este cargado el programa DAS_VCO, dicho cable estará conectado entre el DB9 de la tarjeta y el COM1 del computador.

El programa DAS_VCO despliega una ventana principal, en donde se cuenta con los casilleros respectivos para colocar cada uno de los parámetros a configurar muy bien definidos, además cuenta con botones de acción como son el ENVIAR, LEER. En dicha ventana el usuario deberá escoger el valor de frecuencia requerido del cuadro de valores posibles 680, 1020, 1360, 1700, 2040, 2380, 2720 y 3060, como se puede observar en la Fig. No. 5.1

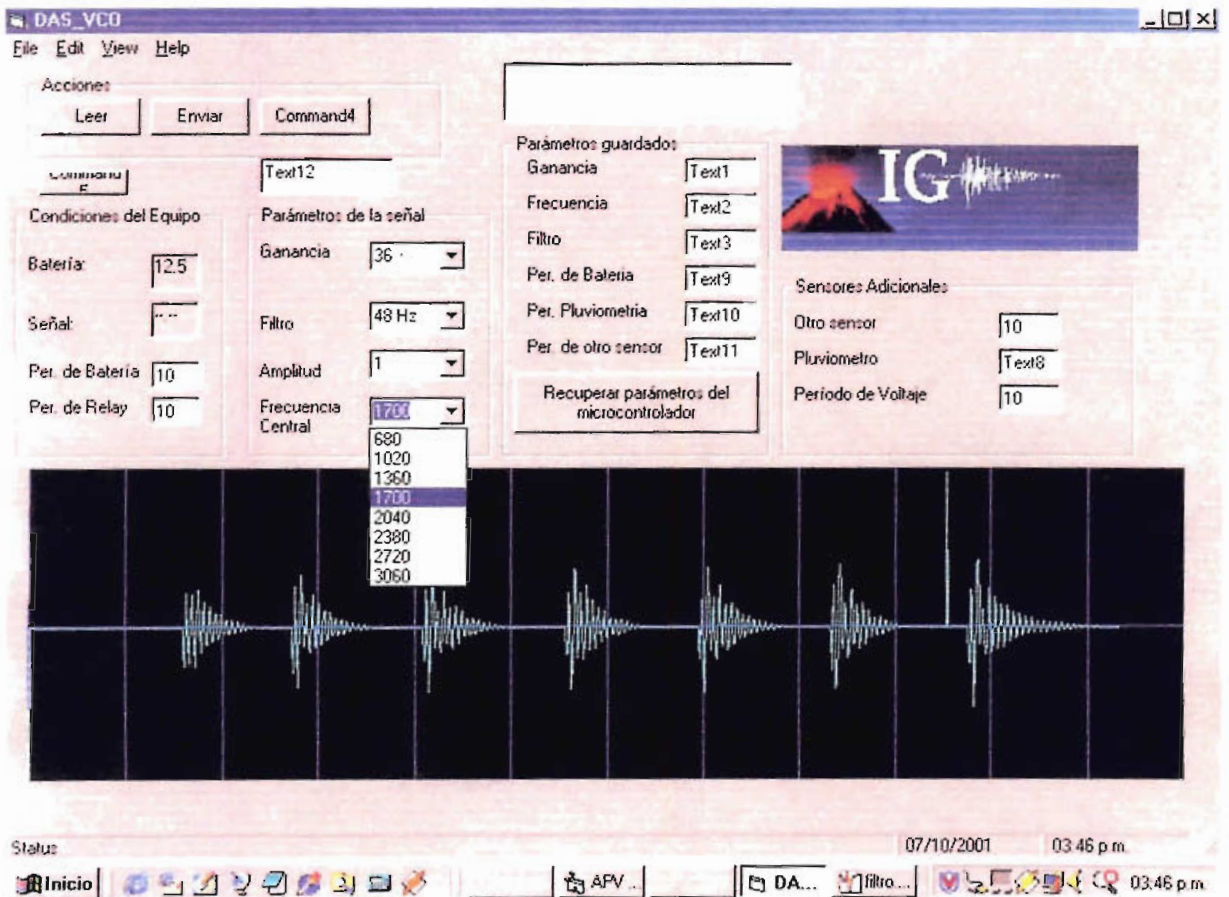


Fig. No. 5.1.- Ventana que despliega el programa DAS_VCO, donde se observa los posibles valores de frecuencia central

De igual manera el usuario podrá escoger el valor de ganancia, de los valores presentes en el cuadro establecido 6, 12, 18, 24, 30, 36, 42, 48, 54, 60, 66, 72, 78, 84, 90 para los valores superiores a 42 dB el programa le muestra la indicación COLOCAR EL JUMPER, lo que significa que el usuario deberá físicamente poner el jumper para lograr la ganancia requerida como se puede observar en la Fig. No. 5.2. De la misma manera podrá escoger el valor del filtro como se observa en la figura No. 5.3. entre los valores predeterminados para este parámetro 6,12,24 y 48 Hz

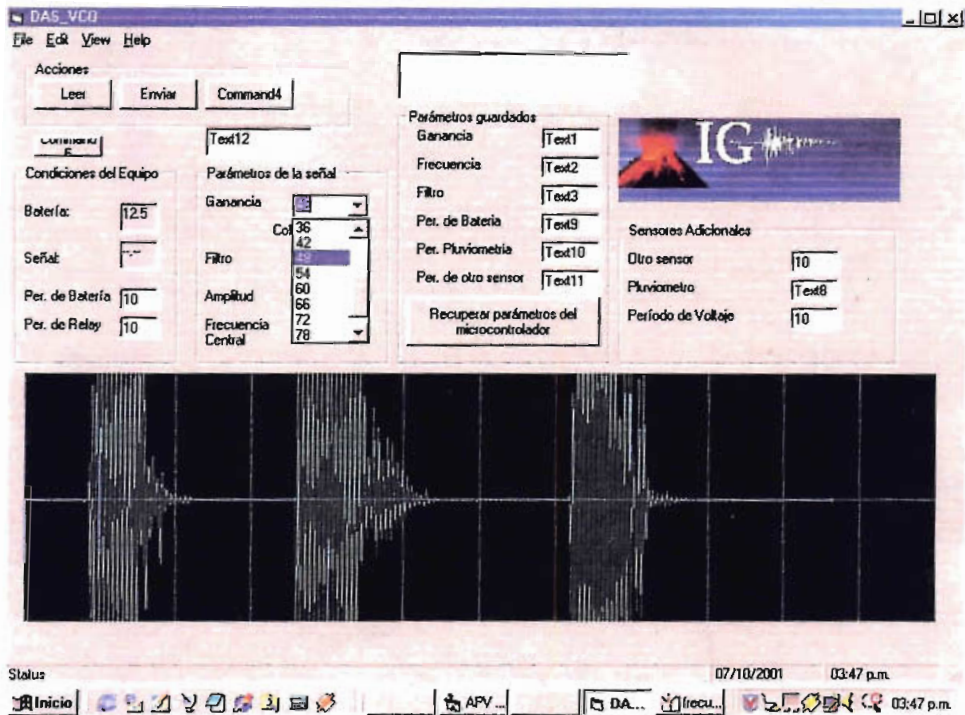


Fig. No. 5.2.- Ventana que despliega el programa DAS_VCO, donde se observa los posibles valores de ganancia



Fig. No. 5.3.- Ventana que despliega el programa DAS_VCO, donde se observa los posibles valores del filtro

El usuario podrá colocar en los diversos espacios disponibles en la ventana que despliega el programa DAS_VCO los parámetros de transmisión para pruebas y otros sensores que se encuentran especificados claramente en los espacios destinados a dichos valores, estos períodos de tiempo se deberán poner en minutos. Cada parámetro modificado es transmitido inmediatamente al VCO, sin embargo por seguridad el usuario podrá enviar todos los parámetros para el funcionamiento del VCO.

Adicionalmente en la parte inferior el usuario podrá observar la traza del sensor lo que le permitirá observar el ruido de fondo y decidir la ganancia mas adecuada para el funcionamiento.

A continuación en las figuras No. 5.4 a la 5.11 se podrán observar la señal en el programa picoscope con su respectivo espectro de frecuencia para ver la portadora centrada en sus respectivos valores.

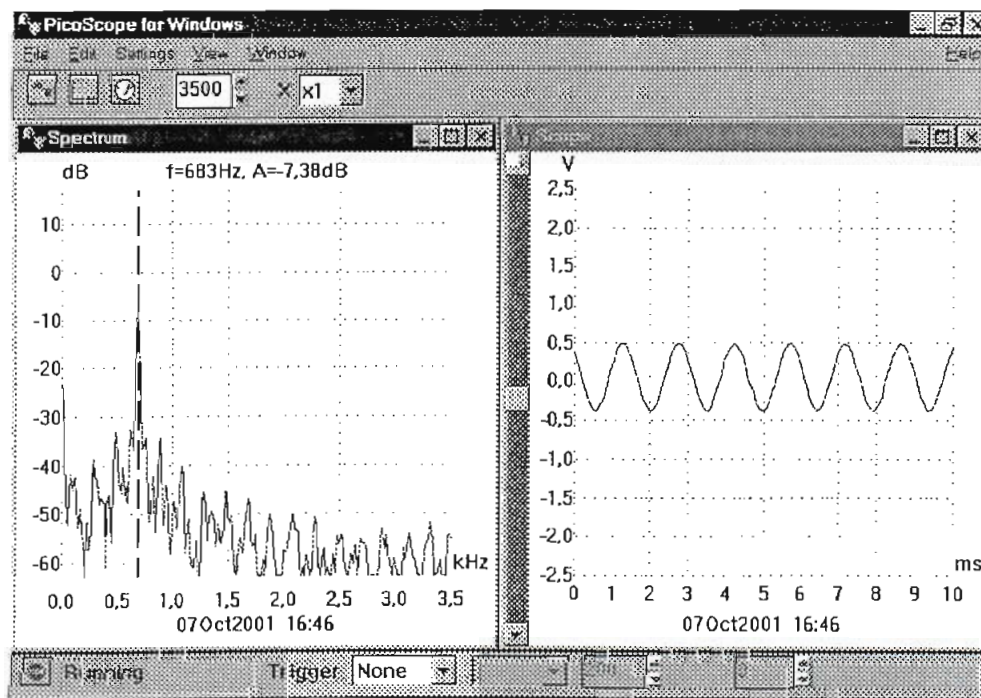


Fig. No. 5.4.- Vista en el osciloscopio y espectro de frecuencia para frecuencia central de 680Hz

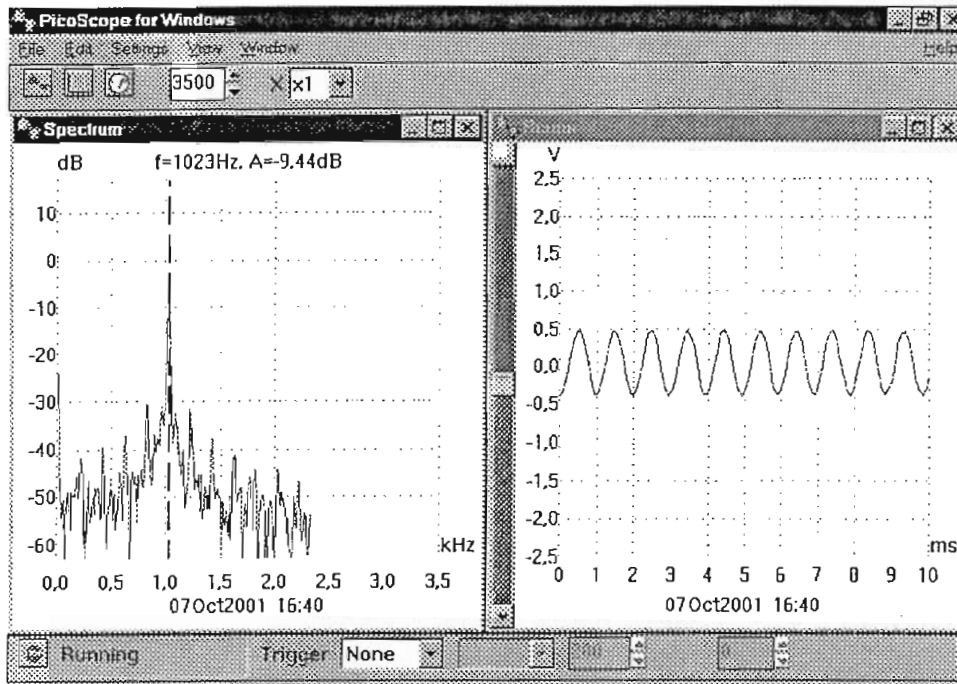


Fig. No. 5.5.- Vista en el osciloscopio y espectro de frecuencia para frecuencia central de 1020Hz

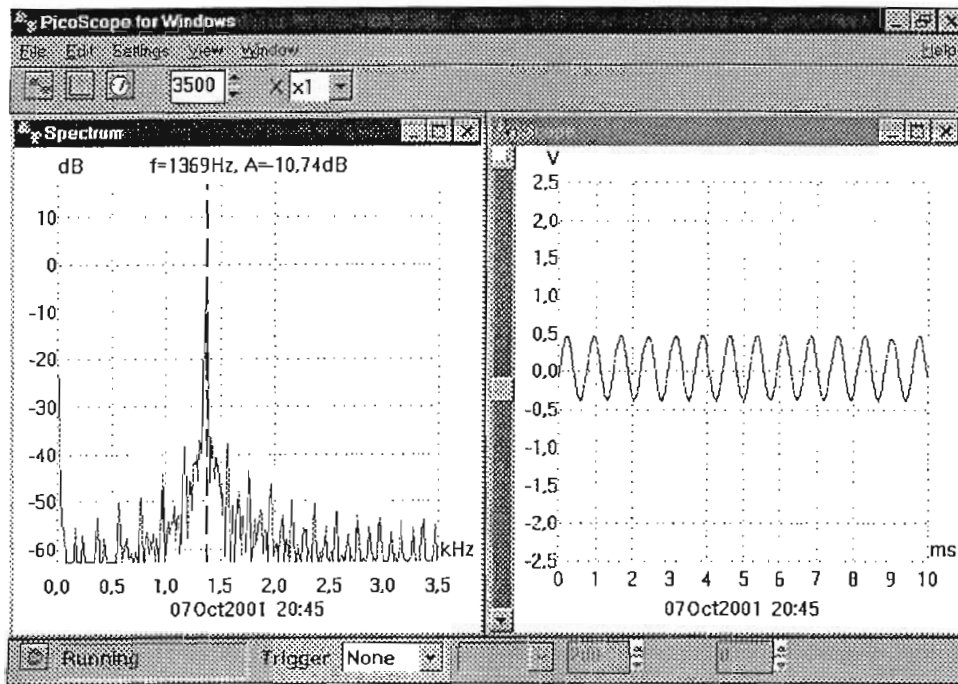


Fig. No. 5.6.- Vista en el osciloscopio y espectro de frecuencia para frecuencia central de 1360Hz

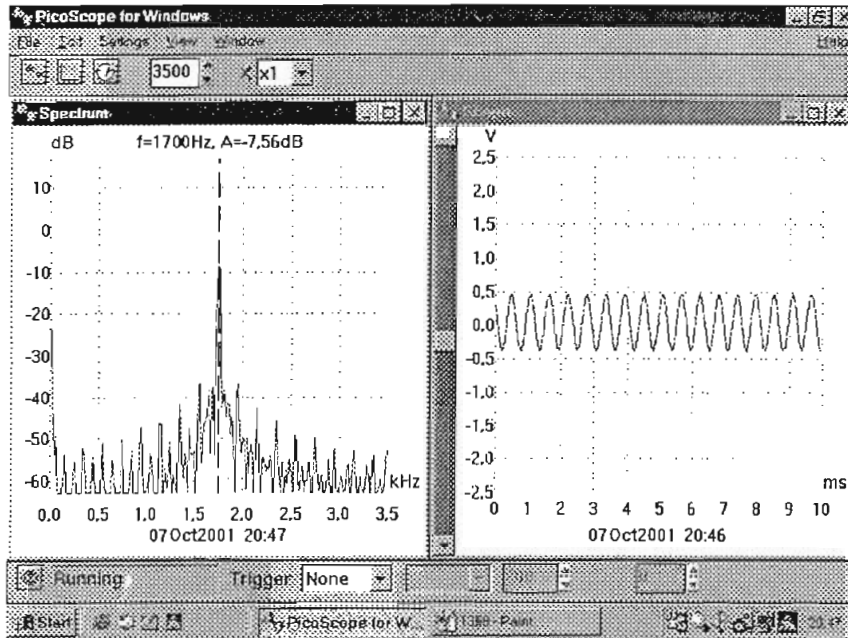


Fig. No. 5.7.- Vista en el osciloscopio y espectro de frecuencia para frecuencia central de 1700Hz

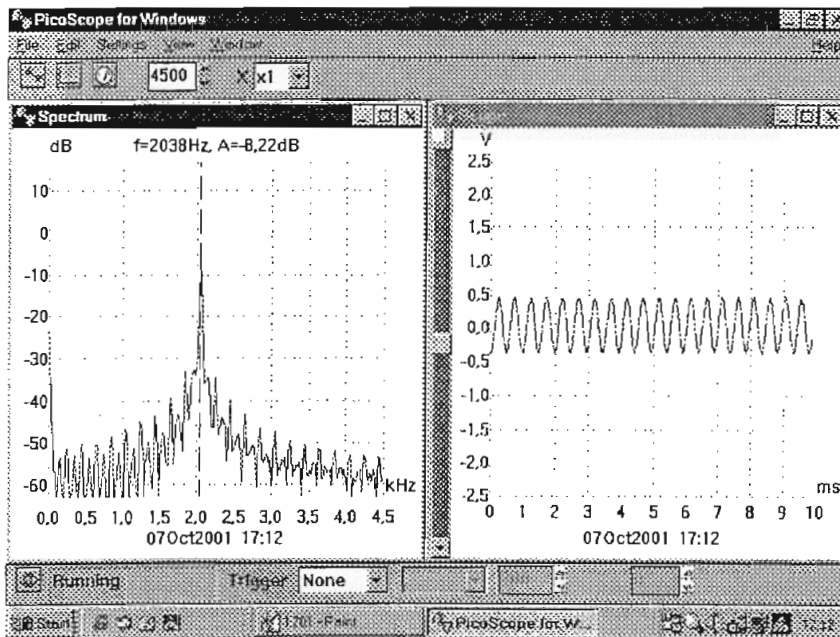


Fig. No. 5.8.- Vista en el osciloscopio y espectro de frecuencia para frecuencia central de 2040Hz

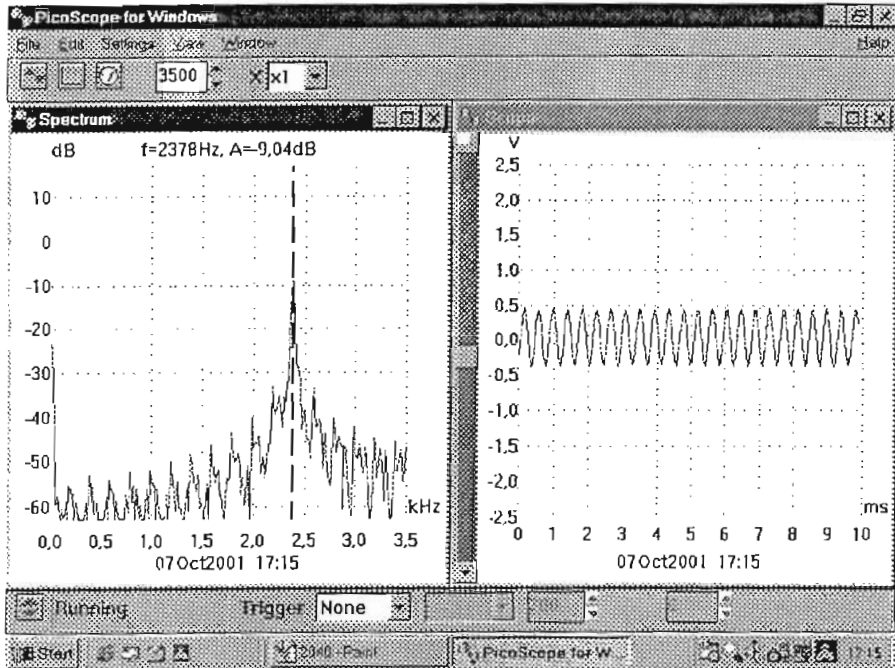


Fig. No. 5.9.- Vista en el osciloscopio y espectro de frecuencia para frecuencia central de 2380Hz

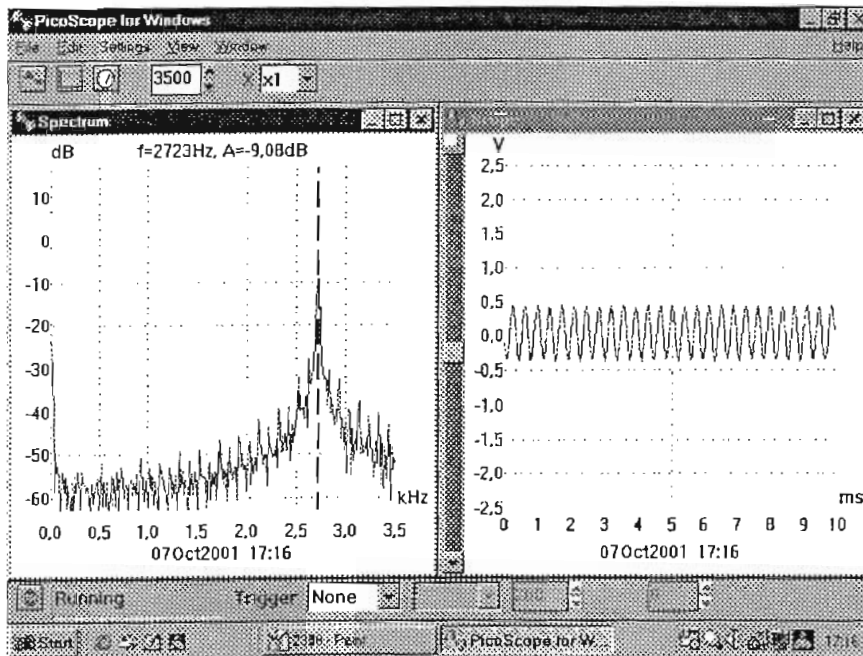


Fig. No. 5.10.- Vista en el osciloscopio y espectro de frecuencia para frecuencia central de 2720Hz

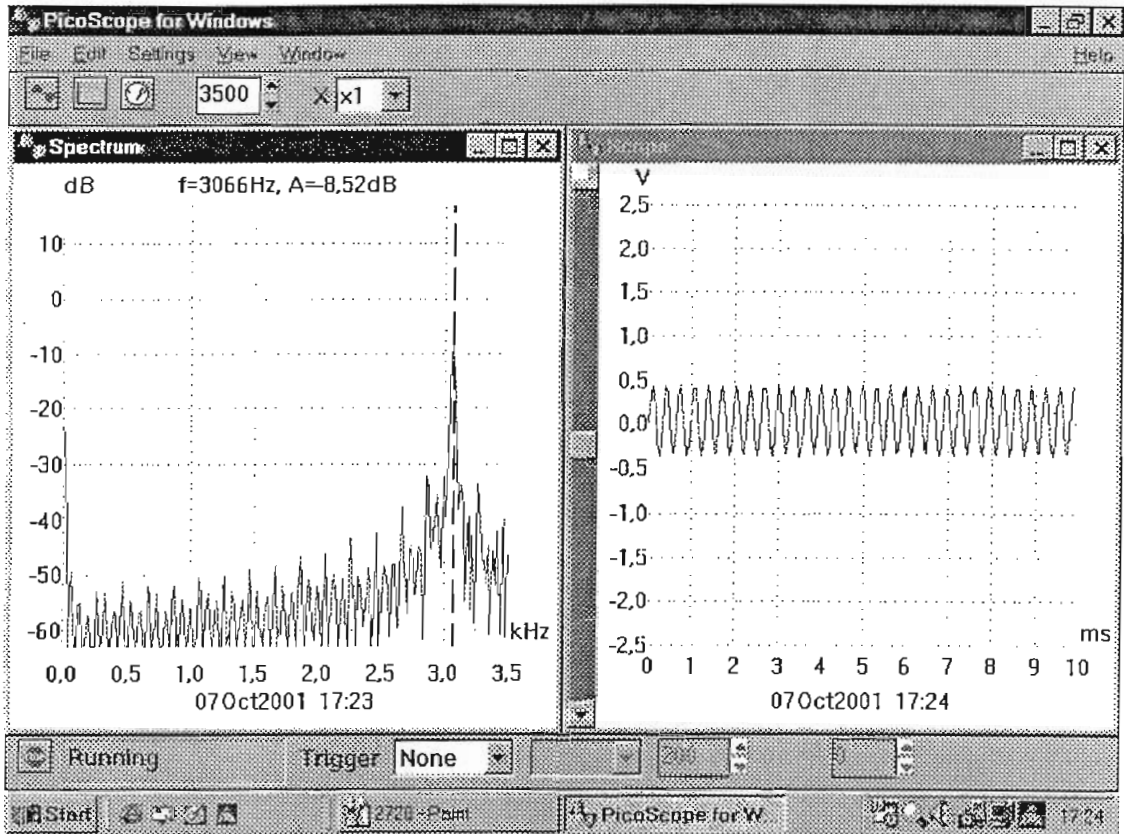


Fig. No. 5.11.- Vista en el osciloscopio y espectro de frecuencia para frecuencia central de 3060Hz

En la figura No. 5.12 se muestra una traza de señal desde un registrador análogo, donde se puede apreciar los diferentes valores de ganancia, y en cada ocasión se ha realizado un ligero golpe para tener una apreciación de su variación.

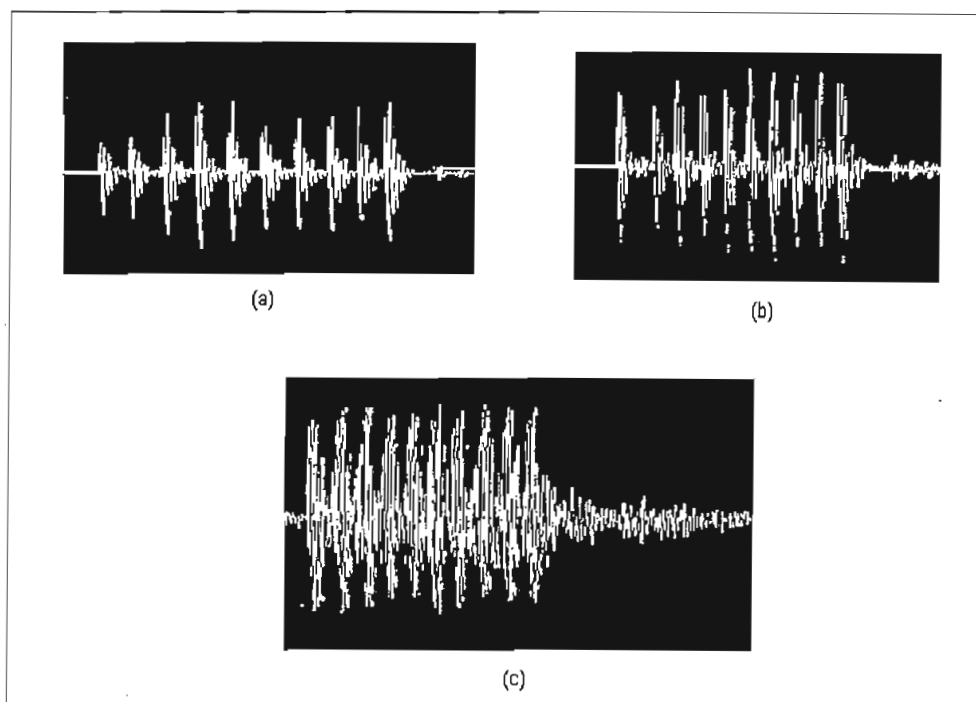


Fig. No. 5.12.- Vista de una traza sísmica para diversos valores de ganancia en un registrador análogo PS-2

(a) Ganancia 24 dB. Máxima deflexión vertical 12 mm

(b) Ganancia 30 dB. Máxima deflexión vertical 21 mm

(c) Ganancia 42 dB. Máxima deflexión vertical 27 mm

5.2.-COMPARACIÓN CON OTROS VCOS COMERCIALES

Para comparar la respuesta del VCO diseñado con los otros VCOS comerciales, se procedió a probar los dos equipos con una señal de generador conocida en lugar de la señal de sensor y observamos la respuesta obtenida en el registrador analógico PS2, que se muestra en las figuras No. 5.13, 5.14

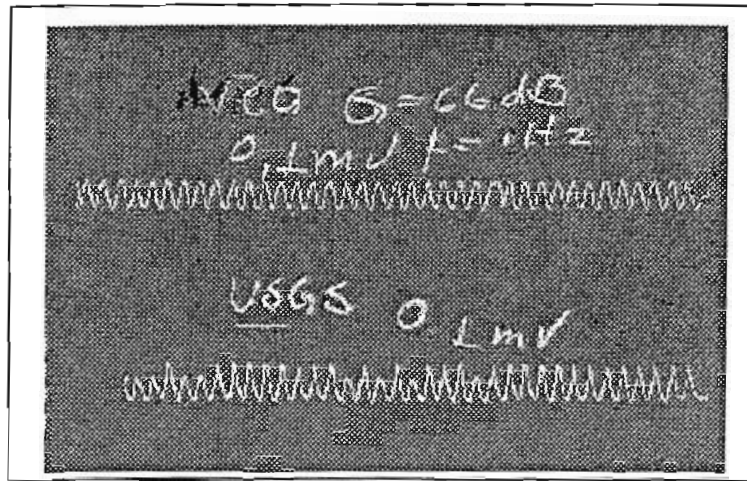


Fig. No. 5.13.- Comparación de la traza sísmica para la misma señal de entrada entre el VCO diseñado y uno fabricado por la USGS en un registrador análogo PS-2

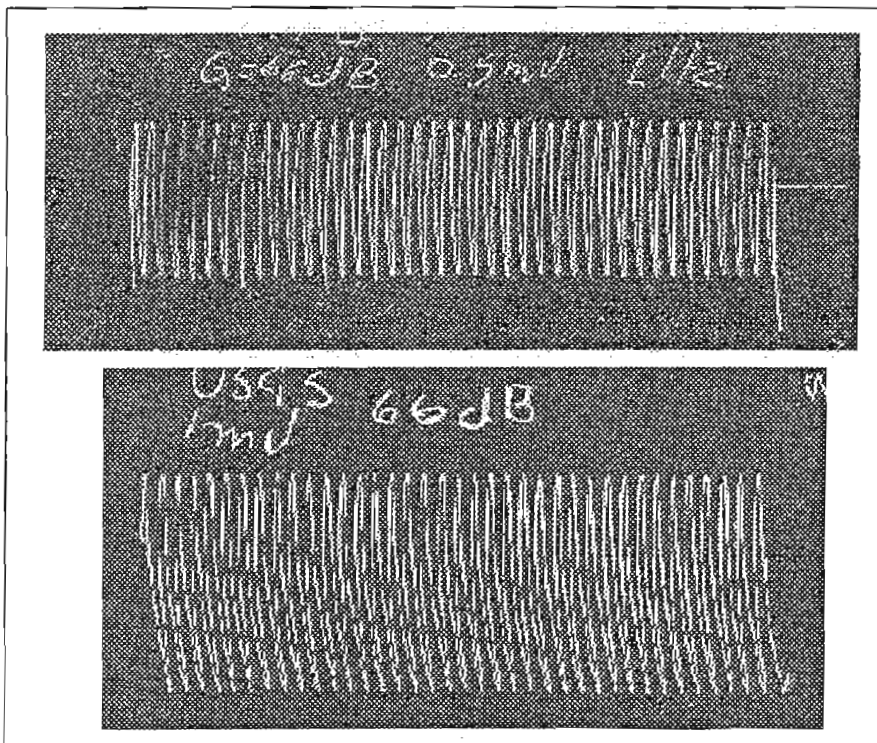


Fig. No. 5.14.- Comparación de la traza sísmica para la misma señal de entrada entre el VCO diseñado y uno fabricado por la USGS en un registrador análogo PS-2. Los valores de la deflexión vertical están en la Tabla 5.1

Pudiendo establecer en la siguiente tabla (No. 5.1), una comparación entre el VCO diseñado y el VCO diseñado por la USGS para el valor de frecuencia central de 1360 Hz, las amplitudes han sido medidas en centímetros.

Señal del Generador	Amplitud VCO diseñado	Amplitud VCO USGS	Ganancia
50uV, 1Hz	0.2	0.2	66
0.1mV, 1Hz	0.4	0.4	66
0,5 mV 1Hz	1.8	1.7	66
10 mV 1 Hz	3.5	3.5	66

Tabla No. 5.1.- Comparación del VCO construido con un VCO USGS

Como se puede establecer vemos la misma respuesta del VCO diseñado en el presente trabajo y el de la USGS, inclusive como se puede observar en la figura No. 5.14 vemos que el VCO construido responde mejor a señales más pequeñas, mientras que el VCO de la USGS tiene problemas de estabilidad para este caso.

Para la frecuencia central de 2720 Hz se comparo la respuesta del VCO construido con un VCO Kinematics obteniéndose los valores que se muestran en la tabla No. 5.2, nuevamente se puede observar la respuesta adecuada del VCO diseñado y cuyas trazas se presentan en las figuras 5.15 y 5.16.

Señal del Generador	Amplitud VCO diseñado	Amplitud VCO USGS	Ganancia
30mV, 1Hz	1.55	1.6	30
10mV, 1Hz	1.1	1.1	36
10mV, 1Hz	2.1	2.1	42
1mV, 1Hz	0.5	0.5	48
1mV, 1Hz	0.9	0.9	54
1mV, 1Hz	1.8	1.8	60
100 uV 1 Hz	0.3	0.3	66

Tabla No. 5.2.- Comparación del VCO construido con un VCO USGS

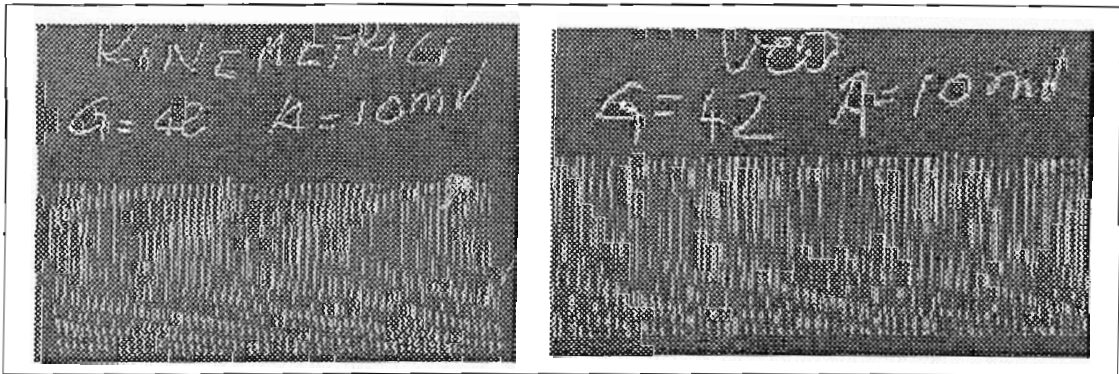


Fig. No. 5.14.- Comparación de la traza sísmica para la misma señal de entrada entre el VCO diseñado y uno fabricado por la KINEMETRICS en un registrador análogo PS-2, los valores de la deflexión vertical se encuentran en la tabla No. 5.2

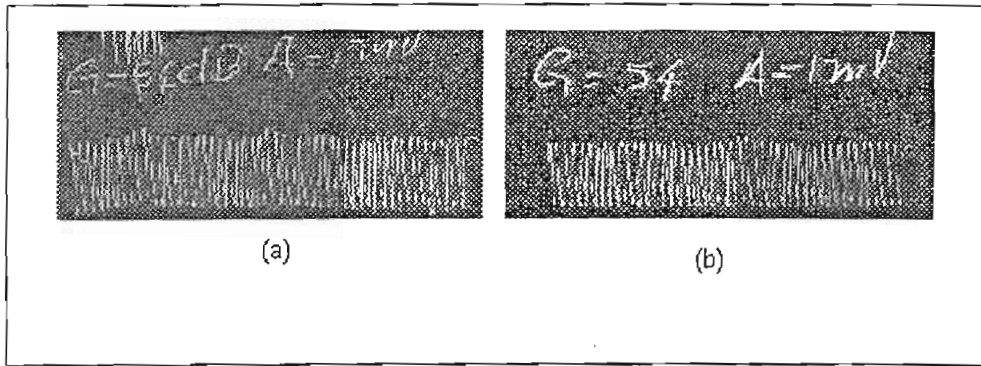


Fig. No. 5.14.- Comparación de la traza sísmica para la misma señal de entrada entre el VCO diseñado y uno fabricado por la KINEMATRICS en un registrador análogo PS-2 para una señal de entrada de 1mV. (a) Traza para un VCO Kinematics $G=54$ dB. (b) Traza para el VCO diseñado $G=54$ dB

En general si comparamos con los otros VCO, el que fue motivo del presente proyecto de tesis, tiene la ventaja de ser una tarjeta general que se cambia fácilmente el valor de la frecuencia central; a diferencia de los otros ya que en estos se requiere cambiar toda una etapa formada por varios componentes como resistencias y capacitores para lograr el mismo objetivo.

Para la salida hacia el radio el VCO diseñado tiene al igual que los otros VCOs un transformador de salida para el acoplamiento con el radio, otra de las ventajas que tiene es que dispone de salida digital; mientras que los otros VCOs comerciales no dan esta facilidad.

Adicionalmente el VCO diseñado es más barato que el comercial, y tiene flexibilidad ya que con un cambio en el software del microcontrolador se puede adaptar a nuevas necesidades del Departamento de Geofísica o para implementaciones en etapas de control con sensores que entreguen niveles de voltaje DC.

A continuación se presentan en la figura 5.16 y 5.17 parte del registro análogo obtenidos con el funcionamiento del VCO construido.

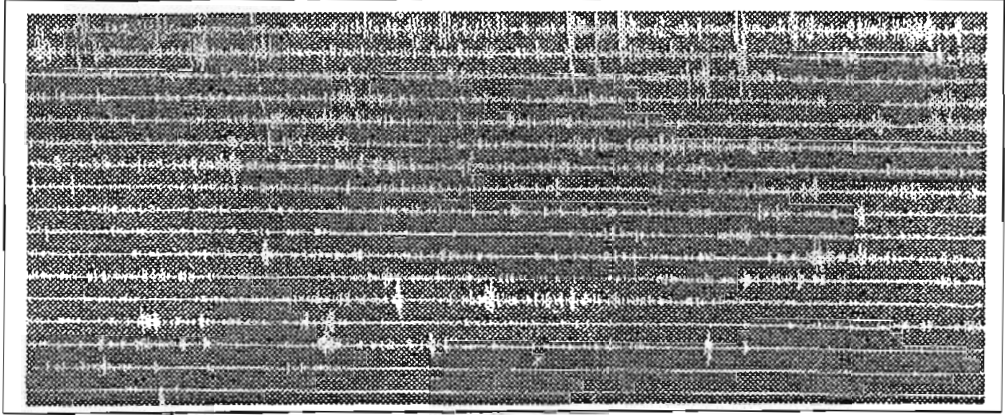


Fig. No. 5.16.- Vista de una traza sísmica para el VCO construido en un registrador análogo PS-2

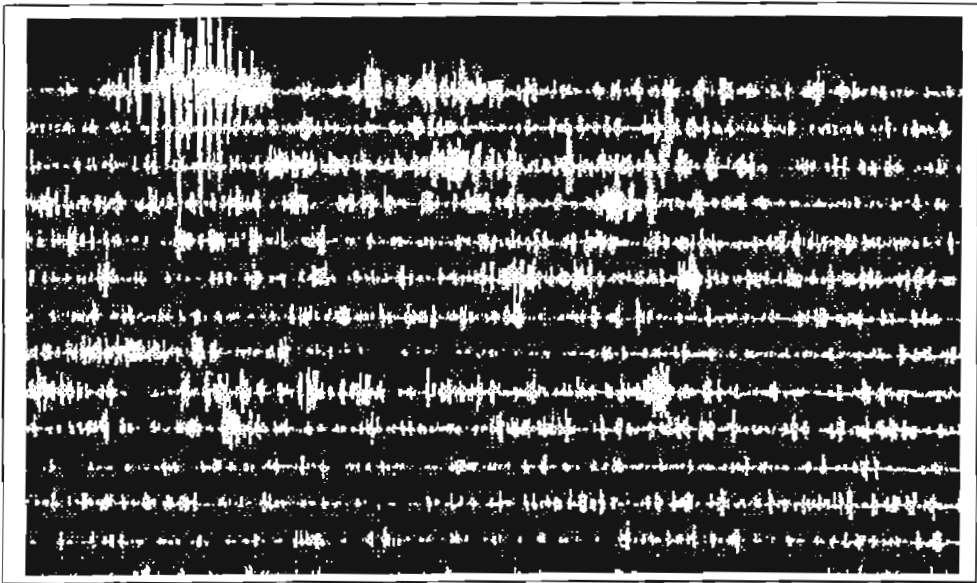


Fig. No. 5.17.- Vista de una traza sísmica para el VCO construido en un registrador análogo PS-2

CONCLUSIONES Y RECOMENDACIONES

A continuación se presentan algunas conclusiones y recomendaciones una vez concluido el diseño y la construcción de un Oscilador Controlado por Voltaje con selección de frecuencia, tomando en cuenta las dificultades y limitaciones encontradas. Sin embargo, es necesario recalcar la importancia que tiene el realizar un proyecto desde la etapa de diseño y construcción práctica, ya que en el proceso del desarrollo del mismo se verifican los conceptos teóricos con respecto a los temas involucrados, y además se adquiere seguridad y se desarrollan destrezas para realizar futuros diseños prácticos.

- Una vez realizadas las pruebas necesarias y el análisis técnico respectivo se puede indicar que el equipo opera en forma satisfactoria y cumple con los requisitos inicialmente planteados.
- Estamos en capacidad tecnológica para construir un VCO programable en frecuencia y ganancia para aplicaciones sísmicas y vulcanológicas con tecnología digital en el mercado ecuatoriano.
- El desarrollo del VCO ha permitido elaborar un conjunto de implementos necesarios para la construcción del mismo como son: programadores de memorias EPROM y del microcontrolador MC68HC05CA, que actualmente constituyen un laboratorio para el desarrollo de futuros proyectos,
- La utilización del microcontrolador M68HC05C8A presenta muchas facilidades y confiabilidad en el funcionamiento del VCO proporcionando mayor estabilidad en el sistema.

- Todas las operaciones desarrolladas en el microcontrolador se hicieron en pasos secuenciales de tal forma que las operaciones que realiza toma poco tiempo y permite una respuesta adecuada para los requerimientos de los estudios geológicos necesarios para la labor de monitoreo sísmico y volcánico.
- El VCO no solo permite realizar las funciones de los VCOs comerciales, sino que también permite enviar otras señales suspendiendo temporalmente la señal sísmica, lo que le da flexibilidad y ayuda al proceso de mantenimiento de la Red Nacional de Sismógrafos.
- El VCO presenta la opción de la señal en el formato adecuado para realizar transmisión digital, lo que proporcionaría mejoras a la Red Nacional de Sismógrafos y a la calidad de señal enviada en caso de disponer de radios digitales para el efecto.
- Se recomienda tener cuidado en la operación del equipo, leer el manual de usuario antes de trabajar con el mismo.
- Se puede realizar trabajos adicionales para que la tarjeta con leves cambios en hardware y los cambios necesarios en el programa del microcontrolador, pueda trabajar como un equipo para transmitir otro tipo de señales de aplicaciones en el monitoreo volcánico como sensores de inclinometría o lahares.
- El costo del VCO desarrollado está muy por abajo del costo de un VCO comercial, y proporciona mayores ventajas; como es el ser una tarjeta única a la que se puede cambiar fácilmente de frecuencia mientras que el comercial tiene toda una etapa de elementos análogos para el mismo cambio.

- Sería adecuado completar el presente diseño realizando un control remoto para programar el VCO a distancia, de esta manera en sitios inaccesibles se podría cambiar cualquier parámetro con un esfuerzo mínimo tanto económica como físicamente, así como; sin arriesgar la integridad del personal que trabaja en este campo en situaciones de alto riesgo, como es el proceso eruptivo de un volcán.
- Es necesario implementar un programa en una computadora portátil que disponga de un puerto de salida para que sea más fácil la transportación a sitios remotos donde se encuentran las estaciones sísmicas.
- Sería conveniente desarrollar el programa para recepción de datos adicionales que transmite el VCO, ya que esta parte no se encuentra implementada.

Hemos llegado al final del presente trabajo, no sin algunos contratiempos que se han tratado de superar en la forma más conveniente. No obstante, se han cumplido con lo que nos hemos planteado y confiamos que el VCO desarrollado sirva para trabajos posteriores, tanto aplicados al área electrónica como a la instrumentación geofísica.

REFERENCIAS

- ANALOG DEVICE INC, AD7706 Data Sheet, USA 1998
- ANALOG DEVICE INC, AD620 Data Sheet, USA 1999
- PHILLIPS SEMICONDUCTOR, 74HC4046, Phase locked loop with VCO Data Sheet, USA Nov 1997
- FAIRCHILD SEMICONDUCTOR INTERNATIONAL, FM93C56A, Data Sheet, Nov. 1997
- MOTOROLA INC, MC68HC705C8A Technical Data, 1996
- MOTOROLA INC, M68HC05 Aplications Guide, 1996
- JARAMILLO R., Diseño y construcción de un Sistema Digital de adquisición de datos y calibración de sensores sísmicos para el Instituto Geofísico de la Escuela Politécnica Nacional, Tesis de grado previa a la obtención del título de Ingeniero en electrónica y Telecomunicaciones, Quito-Ecuador, 1994
- MOTOROLA INC, MC145151-2 Data Sheet, USA 1995
- INSTITUTO GEOFISICO, Informe Técnico Trimestral, Quito-Ecuador, 1993
- USGS, Draft Glow Worm User's guide,. Vancouver – USA, Marzo 2000
- BOYLESTAD R, Circuitos Electrónicos
- MORRIS SMITH, An Improved PLL design Method without W_n and ζ , Motorola Inc. USA 1998
- GARDNER F., Phaselock Techniques, New York – USA, 1979
- ASCAZUBI R., INFORME TECNICO DAS, Quito – Ecuador, Mayo 2001

ANEXO 1

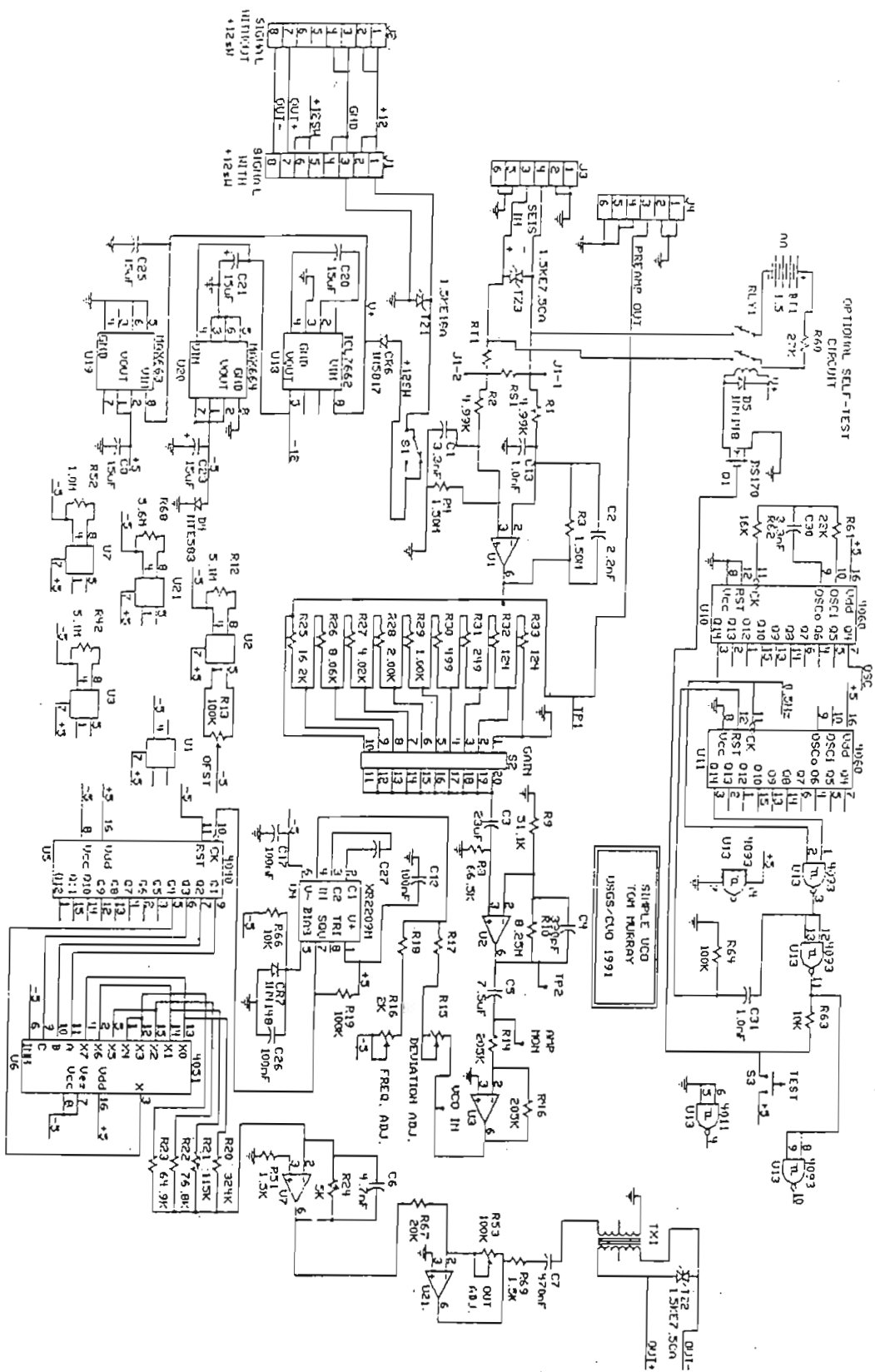


DIAGRAMA DEL CIRCUITO DEL VCO (Diseño USGS)

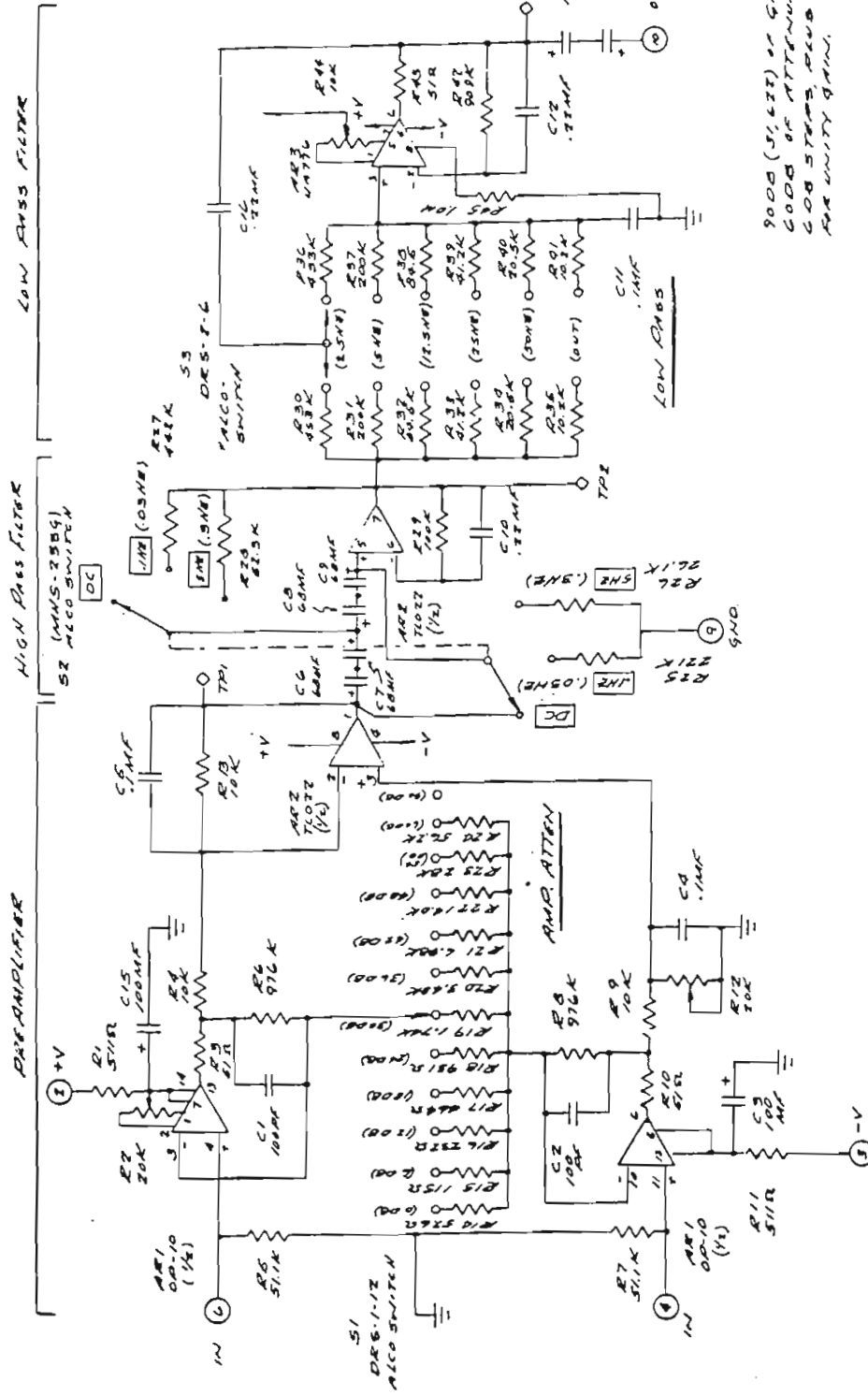
REVISIONS

ZONE/LTR	DESCRIPTION	DATE	APPROVED
A	REVISED R1, R2, R3, R4, R5, R6, R7, R8, R9, R10, R11, R12, R13, R14, R15, R16, R17, R18, R19, R20, R21, R22, R23, R24, R25, R26, R27, R28, R29, R30, R31, R32, R33, R34, R35, R36, R37, R38, R39, R40, R41, R42, R43, R44, R45, R46, R47, R48, R49, R50, R51, R52, R53, R54, R55, R56, R57, R58, R59, R60, R61, R62, R63, R64, R65, R66, R67, R68, R69, R70, R71, R72, R73, R74, R75, R76, R77, R78, R79, R80, R81, R82, R83, R84, R85, R86, R87, R88, R89, R90, R91, R92, R93, R94, R95, R96, R97, R98, R99, R100		
B	...		
C	...		

2

3

4



9000 (5,122) OF GAIN
 6000 OF ATTENUATION IN
 600 STOPS, PLUS ONE STOP
 FOR UNITY GAIN.

KINEMATICS		KINEMATICS, INC.	
CONTRACT		DRAWN BY	
UNLESS OTHERWISE SPECIFIED		CHECKER	
DIMENSIONS ARE IN INCHES		DESIGNER	
BREAK SHARP EDGES .015 MAX		PROJECT ENGINEER	
TOLERANCES		MATERIAL	
FRACT	XX	ANGLES	
± 1/64	± .010	± .005	± 0° 30'
FINISH		SCALE	
		WEIGHT	
		SIZE	
		REV	
		106656	
		SHEET / OF	

1. LACT RES. DESIGNATIONS USED: AR3, C12
 R45, P53
 NOTES

DIAGRAMA DE LA TARJETA AMPLIFICADORA
 (Parte del VCO Kinemetrics)

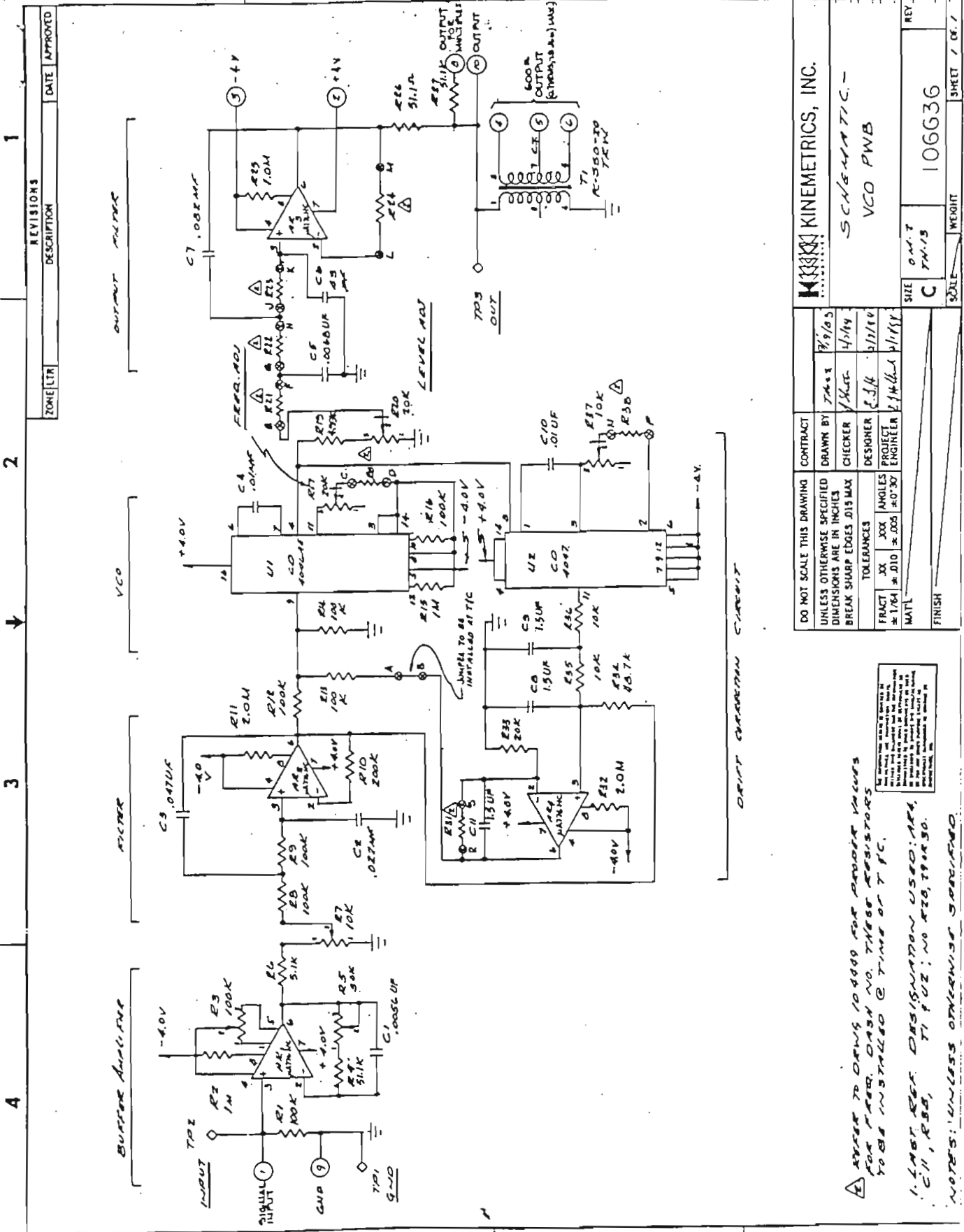
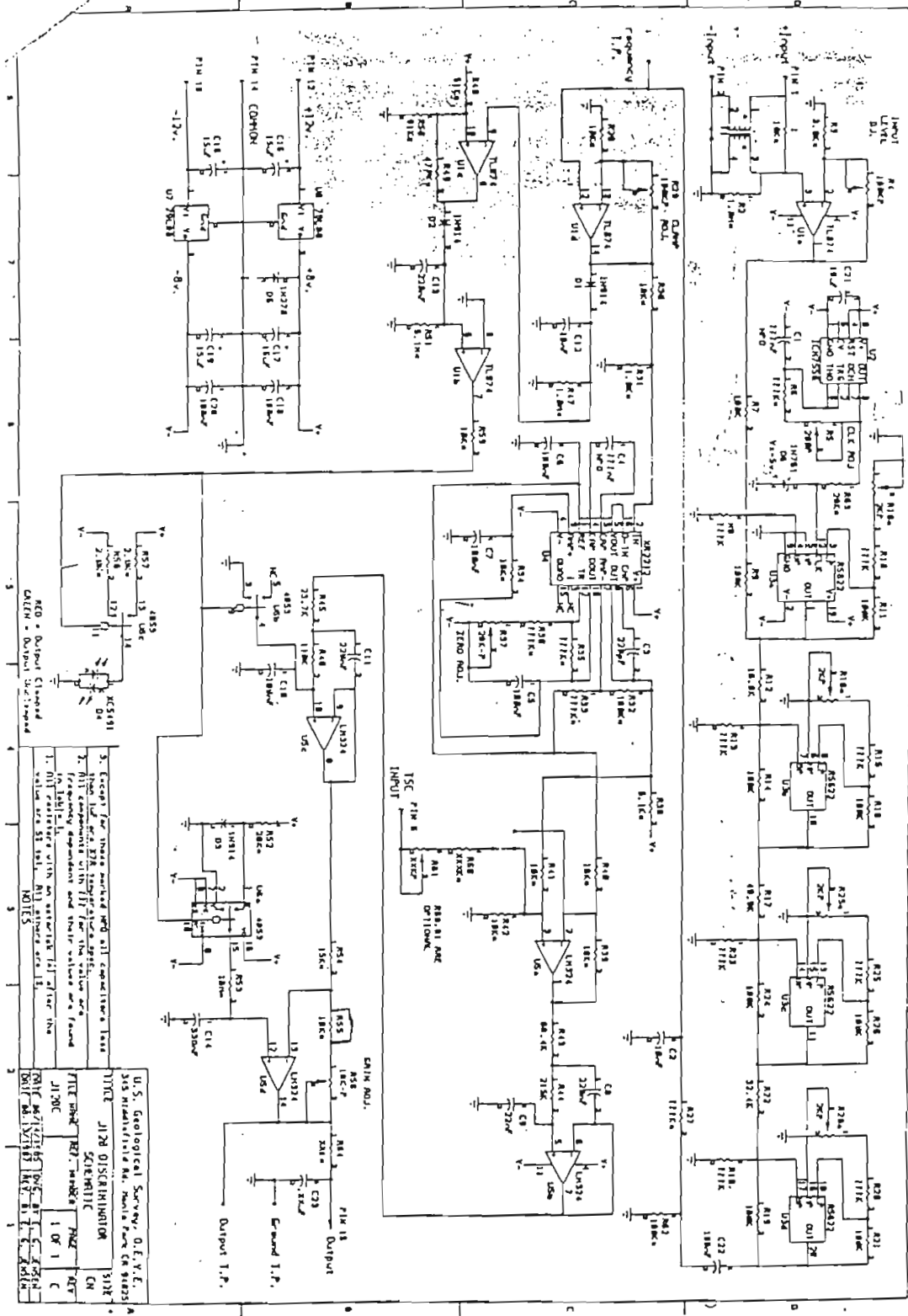


DIAGRAMA DEL VCO KINEMATICS



REC'D - Output Cleared
 REGEN - Output Set/Reset

NOTES:
 1. All values are in ohms unless otherwise specified.
 2. All components are 1/4W unless otherwise specified.
 3. Except for those marked with a * the values are typical values at 25°C temperature unless otherwise specified.
 4. All components with a * in the value are frequently dependent and their values are found by calculation.

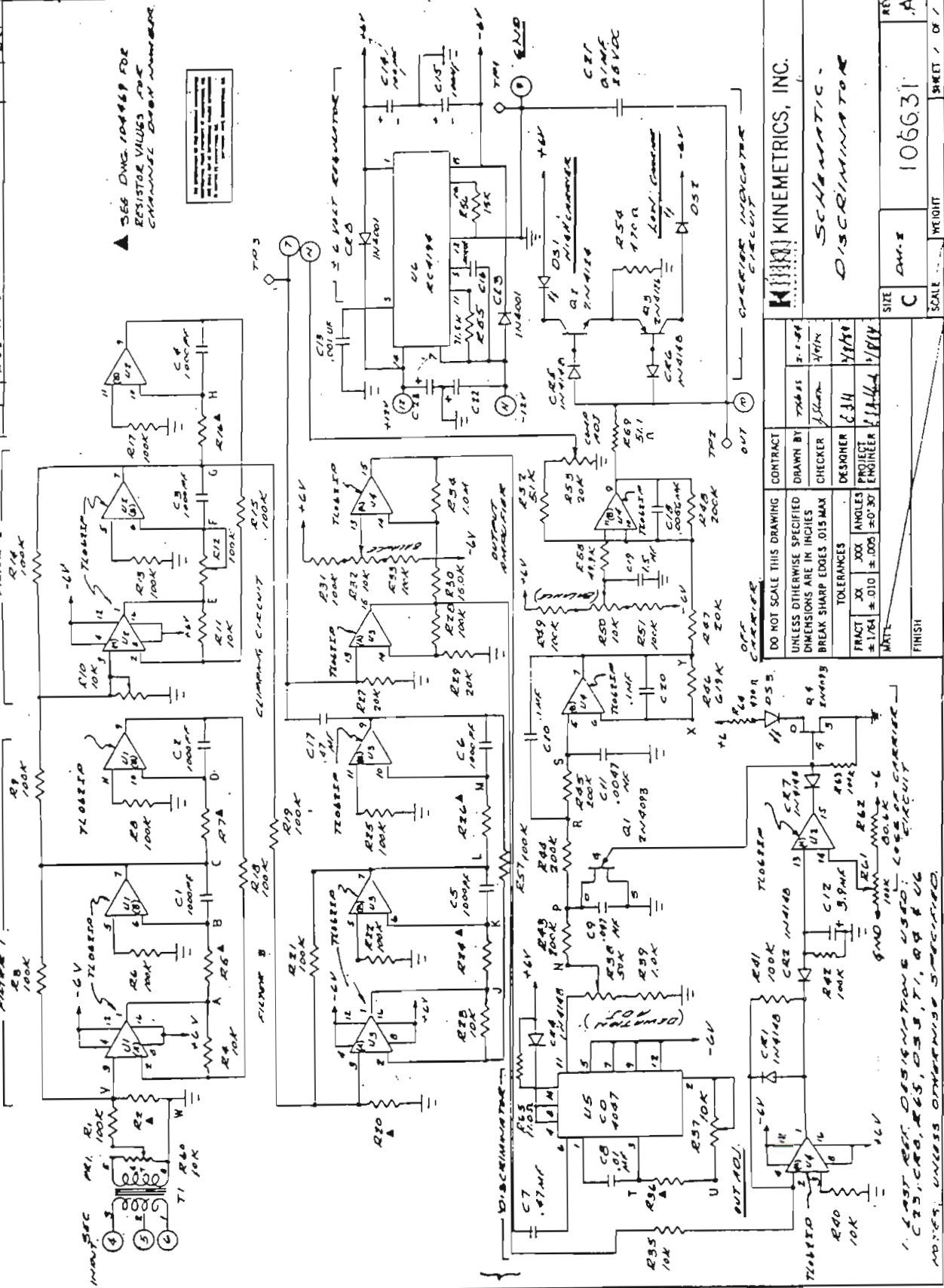
U.S. Geological Survey, D.E.V.E.	3128
345 Hilda Street, Santa Fe, N.M. 87505	3128
TITLE: J120 DISCRIMINATION	3128
FILE NO: 74130	3128
REV: 1 OF 1	3128
DATE: 10/17/74	3128
BY: J. C. ...	3128
CHECKED: ...	3128
APPROVED: ...	3128

DIAGRAMA DEL DISCRIMINADOR (Diseño USGS)

REDUCED MASTER

1 2 3 4

ZONE/LTR	REVISIONS	DESCRIPTION	DATE	APPROVED
A	1	REVISED	11/17/71	[Signature]



▲ SEE DWG 106631 FOR RESISTOR VALUES AND CHANGE DASH NUMBER

RESISTOR VALUES AND CHANGE DASH NUMBER

KINEMATICS, INC.
DISCRIMINATOR

CONTRACT	70631
DRAWN BY	JLW
CHECKER	JLW
DESIGNER	JLW
PROJECT ENGINEER	JLW

DO NOT SCALE THIS DRAWING
UNLESS OTHERWISE SPECIFIED
DIMENSIONS ARE IN INCHES
BREAK SHARP EDGES .015 MAX

TOLERANCES
FRACT .XX .XX .XX
ANGLES .010 ± .005 ± 0.30
MATE .1761 ± 0.10 ± 0.30

FINISH

1. PART REF. DESIGNATIONS USED: C75, C76, R25, R26, R27, R28 & U6
NOTES: UNLESS OTHERWISE SPECIFIED.

DIAGRAMA DEL DISCRIMINADOR KINEMATICS

SCALE: C DWG: 106631 SHEET: OF: A

ANEXO 2



Low Cost, Low Power Instrumentation Amplifier

AD620

FEATURES

EASY TO USE

Gain Set with One External Resistor
(Gain Range 1 to 1000)

Wide Power Supply Range (± 2.3 V to ± 18 V)
Higher Performance than Three Op Amp IA Designs
Available in 8-Lead DIP and SOIC Packaging
Low Power, 1.3 mA max Supply Current

EXCELLENT DC PERFORMANCE ("B GRADE")

50 μ V max, Input Offset Voltage
0.6 μ V/ $^{\circ}$ C max, Input Offset Drift
1.0 nA max, Input Bias Current
100 dB min Common-Mode Rejection Ratio (G = 10)

LOW NOISE

9 nV/ $\sqrt{\text{Hz}}$, @ 1 kHz, Input Voltage Noise
0.28 μ V p-p Noise (0.1 Hz to 10 Hz)

EXCELLENT AC SPECIFICATIONS

120 kHz Bandwidth (G = 100)
15 μ s Settling Time to 0.01%

APPLICATIONS

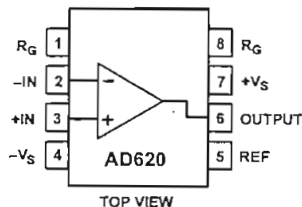
- Weigh Scales
- ECG and Medical Instrumentation
- Transducer Interface
- Data Acquisition Systems
- Industrial Process Controls
- Battery Powered and Portable Equipment

PRODUCT DESCRIPTION

The AD620 is a low cost, high accuracy instrumentation amplifier that requires only one external resistor to set gains of 1 to

CONNECTION DIAGRAM

8-Lead Plastic Mini-DIP (N), Cerdip (Q)
and SOIC (R) Packages



1000. Furthermore, the AD620 features 8-lead SOIC and DIP packaging that is smaller than discrete designs, and offers lower power (only 1.3 mA max supply current), making it a good fit for battery powered, portable (or remote) applications.

The AD620, with its high accuracy of 40 ppm maximum nonlinearity, low offset voltage of 50 μ V max and offset drift of 0.6 μ V/ $^{\circ}$ C max, is ideal for use in precision data acquisition systems, such as weigh scales and transducer interfaces. Furthermore, the low noise, low input bias current, and low power of the AD620 make it well suited for medical applications such as ECG and noninvasive blood pressure monitors.

The low input bias current of 1.0 nA max is made possible with the use of Superbeta processing in the input stage. The AD620 works well as a preamplifier due to its low input voltage noise of 9 nV/ $\sqrt{\text{Hz}}$ at 1 kHz, 0.28 μ V p-p in the 0.1 Hz to 10 Hz band, 0.1 pA/ $\sqrt{\text{Hz}}$ input current noise. Also, the AD620 is well suited for multiplexed applications with its settling time of 15 μ s to 0.01% and its cost is low enough to enable designs with one in-amp per channel.

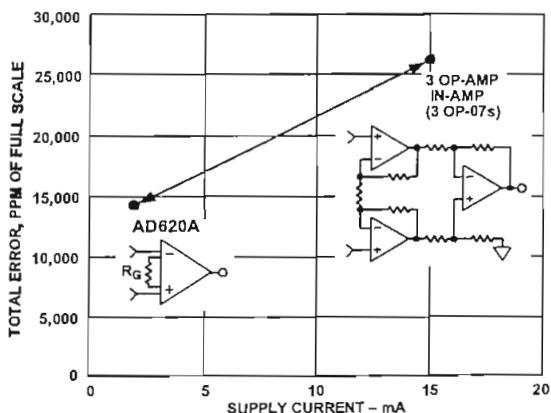


Figure 1. Three Op Amp IA Designs vs. AD620

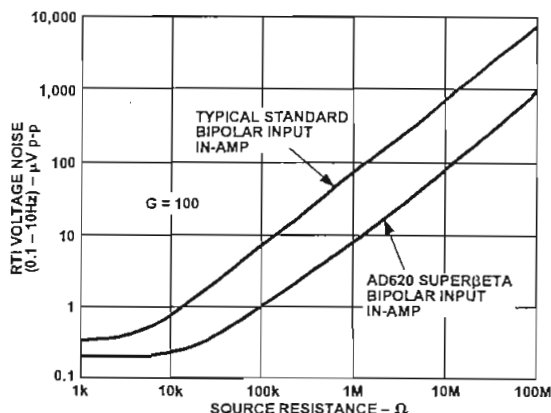


Figure 2. Total Voltage Noise vs. Source Resistance

REV. E

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781/329-4700 World Wide Web Site: <http://www.analog.com>
Fax: 781/326-8703 © Analog Devices, Inc., 1999

AD620—SPECIFICATIONS

(Typical @ +25°C, $V_S = \pm 15$ V, and $R_L = 2$ k Ω , unless otherwise noted)

Model	Conditions	AD620A			AD620B			AD620S ¹			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
GAIN	$G = 1 + (49.4 \text{ k}/R_G)$	1		10,000	1		10,000	1		10,000	
Gain Range											
Gain Error ²	$V_{OUT} = \pm 10$ V										
G = 1			0.03	0.10		0.01	0.02		0.03	0.10	%
G = 10			0.15	0.30		0.10	0.15		0.15	0.30	%
G = 100			0.15	0.30		0.10	0.15		0.15	0.30	%
G = 1000			0.40	0.70		0.35	0.50		0.40	0.70	%
Nonlinearity,	$V_{OUT} = -10$ V to $+10$ V,										
G = 1-1000	$R_L = 10$ k Ω		10	40		10	40		10	40	ppm
G = 1-100	$R_L = 2$ k Ω		10	95		10	95		10	95	ppm
Gain vs. Temperature	G = 1			10			10			10	ppm/°C
	Gain > 1 ²			-50			-50			-50	ppm/°C
VOLTAGE OFFSET	(Total RTI Error = $V_{OS1} + V_{OSO}/G$)										
Input Offset, V_{OS1}	$V_S = \pm 5$ V to ± 15 V		30	125		15	50		30	125	μ V
Over Temperature	$V_S = \pm 5$ V to ± 15 V			185			85			225	μ V
Average TC	$V_S = \pm 5$ V to ± 15 V		0.3	1.0		0.1	0.6		0.3	1.0	μ V/°C
Output Offset, V_{OSO}	$V_S = \pm 15$ V		400	1000		200	500		400	1000	μ V
Over Temperature	$V_S = \pm 5$ V			1500			750			1500	μ V
Average TC	$V_S = \pm 5$ V to ± 15 V		5.0	15		2.5	7.0		5.0	15	μ V/°C
Offset Referred to the											
Input vs.											
Supply (PSR)	$V_S = \pm 2.3$ V to ± 18 V										
G = 1		80	100		80	100		80	100		dB
G = 10		95	120		100	120		95	120		dB
G = 100		110	140		120	140		110	140		dB
G = 1000		110	140		120	140		110	140		dB
INPUT CURRENT											
Input Bias Current			0.5	2.0		0.5	1.0		0.5	2	nA
Over Temperature				2.5			1.5			4	nA
Average TC			3.0			3.0			8.0		pA/°C
Input Offset Current			0.3	1.0		0.3	0.5		0.3	1.0	nA
Over Temperature				1.5			0.75			2.0	nA
Average TC			1.5			1.5			8.0		pA/°C
INPUT											
Input Impedance											
Differential			10 2			10 2			10 2		G Ω pF
Common-Mode			10 2			10 2			10 2		G Ω pF
Input Voltage Range ³	$V_S = \pm 2.3$ V to ± 5 V	- $V_S + 1.9$		+ $V_S - 1.2$	- $V_S + 1.9$		+ $V_S - 1.2$	- $V_S + 1.9$		+ $V_S - 1.2$	V
Over Temperature	$V_S = \pm 5$ V to ± 18 V	- $V_S + 2.1$		+ $V_S - 1.3$	- $V_S + 2.1$		+ $V_S - 1.3$	- $V_S + 2.1$		+ $V_S - 1.3$	V
Over Temperature		- $V_S + 1.9$		+ $V_S - 1.4$	- $V_S + 1.9$		+ $V_S - 1.4$	- $V_S + 1.9$		+ $V_S - 1.4$	V
Over Temperature		- $V_S + 2.1$		+ $V_S - 1.4$	- $V_S + 2.1$		+ $V_S - 1.4$	- $V_S + 2.3$		+ $V_S - 1.4$	V
Common-Mode Rejection											
Ratio DC to 60 Hz with	$V_{CM} = 0$ V to ± 10 V										
1 k Ω Source Imbalance											
G = 1		73	90		80	90		73	90		dB
G = 10		93	110		100	110		93	110		dB
G = 100		110	130		120	130		110	130		dB
G = 1000		110	130		120	130		110	130		dB
OUTPUT											
Output Swing	$R_L = 10$ k Ω ,										
Over Temperature	$V_S = \pm 2.3$ V to ± 5 V	- $V_S + 1.1$		+ $V_S - 1.2$	- $V_S + 1.1$		+ $V_S - 1.2$	- $V_S + 1.1$		+ $V_S - 1.2$	V
Over Temperature	$V_S = \pm 5$ V to ± 18 V	- $V_S + 1.4$		+ $V_S - 1.3$	- $V_S + 1.4$		+ $V_S - 1.3$	- $V_S + 1.6$		+ $V_S - 1.3$	V
Over Temperature		- $V_S + 1.2$		+ $V_S - 1.4$	- $V_S + 1.2$		+ $V_S - 1.4$	- $V_S + 1.2$		+ $V_S - 1.4$	V
Over Temperature		- $V_S + 1.6$		+ $V_S - 1.5$	- $V_S + 1.6$		+ $V_S - 1.5$	- $V_S + 2.3$		+ $V_S - 1.5$	V
Short Current Circuit			± 18			± 18			± 18		mA

Model	Conditions	AD620A			AD620B			AD620S ¹			Units	
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
DYNAMIC RESPONSE												
Small Signal -3 dB Bandwidth	10 V Step											
G = 1			1000			1000			1000		kHz	
G = 10			800			800			800		kHz	
G = 100			120			120			120		kHz	
G = 1000			12			12			12		kHz	
Slew Rate			0.75	1.2		0.75	1.2		0.75	1.2	V/μs	
Settling Time to 0.01%												
G = 1-100			15			15			15		μs	
G = 1000			150			150			150		μs	
NOISE												
Voltage Noise, 1 kHz	Total RTI Noise = $\sqrt{(e_{ni}^2) + (e_{no}/G)^2}$											
Input, Voltage Noise, e_{ni}			9	13		9	13		9	13	nV/√Hz	
Output, Voltage Noise, e_{no}			72	100		72	100		72	100	nV/√Hz	
RTI, 0.1 Hz to 10 Hz												
G = 1				3.0			3.0	6.0		3.0	6.0	μV p-p
G = 10				0.55			0.55	0.8		0.55	0.8	μV p-p
G = 100-1000				0.28			0.28	0.4		0.28	0.4	μV p-p
Current Noise	f = 1 kHz		100			100			100		fA/√Hz	
0.1 Hz to 10 Hz				10			10			10		pA p-p
REFERENCE INPUT												
R_{IN}	$V_{IN+}, V_{REF} = 0$		20			20			20		kΩ	
I_{IN}			+50	+60		+50	+60		+50	+60	μA	
Voltage Range			$-V_S + 1.6$	$+V_S - 1.6$		$-V_S + 1.6$	$+V_S - 1.6$		$-V_S + 1.6$	$+V_S - 1.6$	V	
Gain to Output				1 ± 0.0001			1 ± 0.0001			1 ± 0.0001		
POWER SUPPLY												
Operating Range ⁴	$V_S = \pm 2.3$ V to ± 18 V		± 2.3	± 18		± 2.3	± 18		± 2.3	± 18	V	
Quiescent Current			0.9	1.3		0.9	1.3		0.9	1.3	mA	
Over Temperature			1.1	1.6		1.1	1.6		1.1	1.6	mA	
TEMPERATURE RANGE												
For Specified Performance			-40 to +85			-40 to +85			-55 to +125		°C	

NOTES

¹See Analog Devices military data sheet for 883B tested specifications.²Does not include effects of external resistor R_G .³One input grounded. $G = 1$.⁴This is defined as the same supply range which is used to specify PSR.

Specifications subject to change without notice.

AD620

ABSOLUTE MAXIMUM RATINGS¹

Supply Voltage	±18 V
Internal Power Dissipation ²	650 mW
Input Voltage (Common Mode)	±V _S
Differential Input Voltage	±25 V
Output Short Circuit Duration	Indefinite
Storage Temperature Range (Q)	-65°C to +150°C
Storage Temperature Range (N, R)	-65°C to +125°C
Operating Temperature Range	
AD620 (A, B)	-40°C to +85°C
AD620 (S)	-55°C to +125°C
Lead Temperature Range	
(Soldering 10 seconds)	+300°C

ORDERING GUIDE

Model	Temperature Ranges	Package Options*
AD620AN	-40°C to +85°C	N-8
AD620BN	-40°C to +85°C	N-8
AD620AR	-40°C to +85°C	SO-8
AD620AR-REEL	-40°C to +85°C	13" REEL
AD620AR-REEL7	-40°C to +85°C	7" REEL
AD620BR	-40°C to +85°C	SO-8
AD620BR-REEL	-40°C to +85°C	13" REEL
AD620BR-REEL7	-40°C to +85°C	7" REEL
AD620ACHIPS	-40°C to +85°C	Die Form
AD620SQ/883B	-55°C to +125°C	Q-8

*N = Plastic DIP; Q = Cerdip; SO = Small Outline.

NOTES

¹Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; functional operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

²Specification is for device in free air.

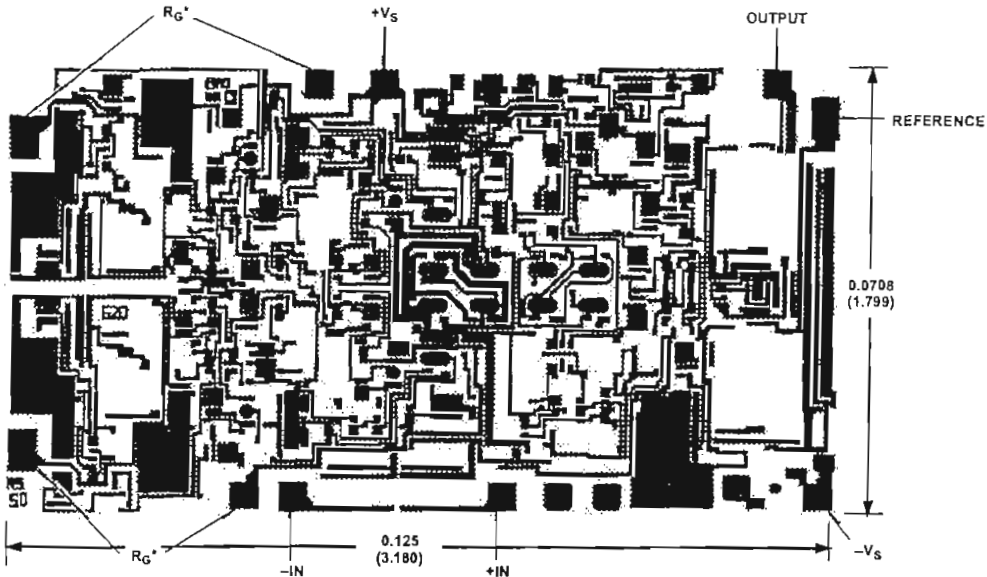
8-Lead Plastic Package: $\theta_{JA} = 95^{\circ}\text{C}/\text{W}$

8-Lead Cerdip Package: $\theta_{JA} = 110^{\circ}\text{C}/\text{W}$

8-Lead SOIC Package: $\theta_{JA} = 155^{\circ}\text{C}/\text{W}$

METALIZATION PHOTOGRAPH

Dimensions shown in inches and (mm).
Contact factory for latest dimensions.



*FOR CHIP APPLICATIONS: THE PADS $1R_G$ AND $8R_G$ MUST BE CONNECTED IN PARALLEL TO THE EXTERNAL GAIN REGISTER R_G . DO NOT CONNECT THEM IN SERIES TO R_G . FOR UNITY GAIN APPLICATIONS WHERE R_G IS NOT REQUIRED, THE PADS $1R_G$ MAY SIMPLY BE BONDED TOGETHER, AS WELL AS THE PADS $8R_G$.

CAUTION

ESD (electrostatic discharge) sensitive device. Electrostatic charges as high as 4000 V readily accumulate on the human body and test equipment and can discharge without detection. Although the AD620 features proprietary ESD protection circuitry, permanent damage may occur on devices subjected to high energy electrostatic discharges. Therefore, proper ESD precautions are recommended to avoid performance degradation or loss of functionality.





3 V/5 V, 1 mW 2-/3-Channel 16-Bit, Sigma-Delta ADCs

AD7705/AD7706*

FEATURES

AD7705: Two Fully Differential Input Channel ADCs

AD7706: Three Pseudo Differential Input Channel ADCs

16 Bits No Missing Codes

0.003% Nonlinearity

Programmable Gain Front End

Gains from 1 to 128

Three-Wire Serial Interface

SPI™, QSPI™, MICROWIRE™ and DSP Compatible

Schmitt Trigger Input on SCLK

Ability to Buffer the Analog Input

2.7 V to 3.3 V or 4.75 V to 5.25 V Operation

Power Dissipation 1 mW max @ 3 V

Standby Current 8 μ A max

16-Lead DIP, 16-Lead SOIC and TSSOP Packages

GENERAL DESCRIPTION

The AD7705/AD7706 are complete analog front ends for low frequency measurement applications. These two-/three-channel devices can accept low level input signals directly from a transducer and produce a serial digital output. They employ a sigma-delta conversion technique to realize up to 16 bits of no missing codes performance. The selected input signal is applied to a proprietary programmable gain front end based around an analog modulator. The modulator output is processed by an on-chip digital filter. The first notch of this digital filter can be programmed via an on-chip control register allowing adjustment of the filter cutoff and output update rate.

The AD7705/AD7706 operate from a single 2.7 V to 3.3 V or 4.75 V to 5.25 V supply. The AD7705 features two fully differential analog input channels while the AD7706 features three pseudo differential input channels. Both devices feature a differential reference input. Input signal ranges of 0 mV to +20 mV through 0 V to +2.5 V can be incorporated on both devices when operating with a V_{DD} of 5 V and a reference of 2.5 V. They can also handle bipolar input signal ranges of ± 20 mV through ± 2.5 V, which are referenced to the AIN(-) inputs on the AD7705 and to the COMMON input on the AD7706. The AD7705/AD7706, with 3 V supply and a 1.225 V reference, can handle unipolar input signal ranges of 0 mV to +10 mV through 0 V to +1.225 V. Its bipolar input signal ranges are ± 10 mV through ± 1.225 V. The AD7705/AD7706 thus perform all signal conditioning and conversion for a two- or three-channel system.

The AD7705/AD7706 are ideal for use in smart, microcontroller or DSP-based systems. They feature a serial interface that can be configured for three-wire operation. Gain settings, signal polarity and update rate selection can be configured in software

*Protected by U.S. Patent Number 5,134,401.

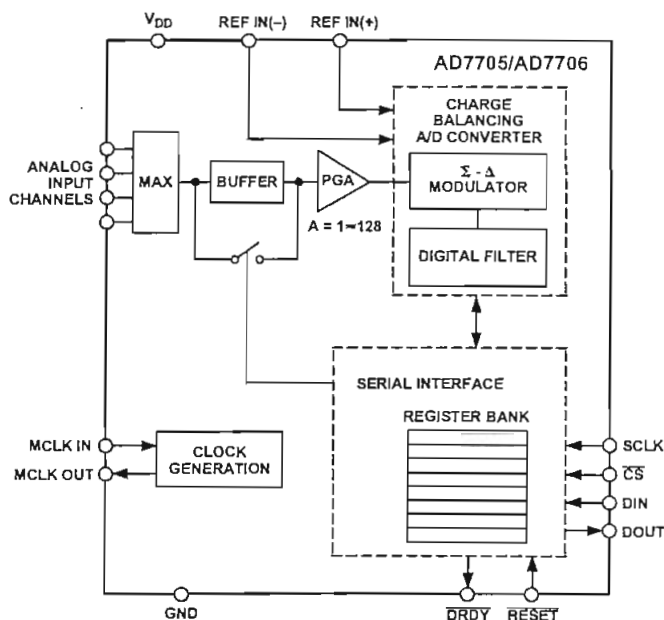
SPI and QSPI are trademarks of Motorola, Inc.

MICROWIRE is a trademark of National Semiconductor.

REV. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

FUNCTIONAL BLOCK DIAGRAM



using the input serial port. The part contains self-calibration and system calibration options to eliminate gain and offset errors on the part itself or in the system.

CMOS construction ensures very low power dissipation, and the power-down mode reduces the standby power consumption to 20 μ W typ. These parts are available in a 16-lead, 0.3 inch-wide, plastic dual-in-line package (DIP), a 16-lead wide body (0.3 inch) small outline (SOIC) package and also a low profile 16-lead TSSOP.

PRODUCT HIGHLIGHTS

1. The AD7705/AD7706 consumes less than 1 mW at 3 V supplies and 1 MHz master clock, making it ideal for use in low power systems. Standby current is less than 8 μ A.
2. The programmable gain input allows the AD7705/AD7706 to accept input signals directly from a strain gage or transducer, removing a considerable amount of signal conditioning.
3. The AD7705/AD7706 is ideal for microcontroller or DSP processor applications with a three-wire serial interface reducing the number of interconnect lines and reducing the number of opto-couplers required in isolated systems.
4. The part features excellent static performance specifications with 16 bits, no missing codes, $\pm 0.003\%$ accuracy and low rms noise (<600 nV). Endpoint errors and the effects of temperature drift are eliminated by on-chip calibration options, which remove zero-scale and full-scale errors.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781/329-4700 World Wide Web Site: <http://www.analog.com>
Fax: 781/326-8703 © Analog Devices, Inc., 1998

AD7705/AD7706—SPECIFICATIONS

($V_{DD} = +3\text{ V}$ or 5 V , $\text{REF IN}(+) = +1.225\text{ V}$ with $V_{DD} = 3\text{ V}$ and $+2.5\text{ V}$ with $V_{DD} = 5\text{ V}$; $\text{REF IN}(-) = \text{GND}$; $\text{MCLK IN} = 2.4576\text{ MHz}$ unless otherwise noted. All specifications T_{MIN} to T_{MAX} unless otherwise noted.)

Parameter	B Version ¹	Units	Conditions/Comments
STATIC PERFORMANCE			
No Missing Codes	16	Bits min	Guaranteed by Design. Filter Notch < 60 Hz
Output Noise	See Tables I and III		Depends on Filter Cutoffs and Selected Gain
Integral Nonlinearity ²	± 0.003	% of FSR max	Filter Notch < 60 Hz. Typically $\pm 0.0003\%$
Unipolar Offset Error	See Note 3		
Unipolar Offset Drift ⁴	0.5	$\mu\text{V}/^\circ\text{C}$ typ	
Bipolar Zero Error	See Note 3		
Bipolar Zero Drift ⁴	0.5	$\mu\text{V}/^\circ\text{C}$ typ	For Gains 1, 2 and 4
	0.1	$\mu\text{V}/^\circ\text{C}$ typ	For Gains 8, 16, 32, 64 and 128
Positive Full-Scale Error ⁵	See Note 3		
Full-Scale Drift ^{4,6}	0.5	$\mu\text{V}/^\circ\text{C}$ typ	
Gain Error ⁷	See Note 3		
Gain Drift ^{4,8}	0.5	ppm of FSR/ $^\circ\text{C}$ typ	
Bipolar Negative Full-Scale Error ²	± 0.003	% of FSR typ	Typically $\pm 0.001\%$
Bipolar Negative Full-Scale Drift ⁴	1	$\mu\text{V}/^\circ\text{C}$ typ	For Gains of 1 to 4
	0.6	$\mu\text{V}/^\circ\text{C}$ typ	For Gains of 8 to 128
ANALOG INPUTS/REFERENCE INPUTS			
Specifications for AIN and REF IN Unless Noted			
Input Common-Mode Rejection (CMR) ²			
$V_{DD} = 5\text{ V}$			
Gain = 1	96	dB typ	
Gain = 2	105	dB typ	
Gain = 4	110	dB typ	
Gain = 8→128	130	dB typ	
$V_{DD} = 3\text{ V}$			
Gain = 1	105	dB typ	
Gain = 2	110	dB typ	
Gain = 4	120	dB typ	
Gain = 8→128	130	dB typ	
Normal-Mode 50 Hz Rejection ²	98	dB typ	For Filter Notches of 25 Hz, 50 Hz, $\pm 0.02 \times f_{\text{NOTCH}}$
Normal-Mode 60 Hz Rejection ²	98	dB typ	For Filter Notches of 20 Hz, 60 Hz, $\pm 0.02 \times f_{\text{NOTCH}}$
Common-Mode 50 Hz Rejection ²	150	dB typ	For Filter Notches of 25 Hz, 50 Hz, $\pm 0.02 \times f_{\text{NOTCH}}$
Common-Mode 60 Hz Rejection ²	150	dB typ	For Filter Notches of 20 Hz, 60 Hz, $\pm 0.02 \times f_{\text{NOTCH}}$
Absolute/Common-Mode REF IN Voltage ²	GND to V_{DD}	V min to V max	
Absolute/Common-Mode AIN Voltage ^{2,9}	GND - 30 mV	V min	BUF Bit of Setup Register = 0
	$V_{DD} + 30\text{ mV}$	V max	
Absolute/Common-Mode AIN Voltage ^{2,9}	GND + 50 mV	V min	BUF Bit of Setup Register = 1
	$V_{DD} - 1.5\text{ V}$	V max	
AIN DC Input Current ²	1	nA max	
AIN Sampling Capacitance ²	10	pF max	
AIN Differential Voltage Range ¹⁰	0 to $+V_{\text{REF}}/\text{GAIN}$ ¹¹	nom	Unipolar Input Range (B/U Bit of Setup Register = 1)
	$\pm V_{\text{REF}}/\text{GAIN}$	nom	Bipolar Input Range (B/U Bit of Setup Register = 0)
AIN Input Sampling Rate, f_s	$\text{GAIN} \times f_{\text{CLKIN}}/64$		For Gains of 1 to 4
	$f_{\text{CLKIN}}/8$		For Gains of 8 to 128
Reference Input Range			
REF IN(+) - REF IN(-) Voltage	1/1.75	V min/max	$V_{DD} = 2.7\text{ V}$ to 3.3 V . $V_{\text{REF}} = 1.225 \pm 1\%$ for Specified Performance
REF IN(+) - REF IN(-) Voltage	1/3.5	V min/max	$V_{DD} = 4.75\text{ V}$ to 5.25 V . $V_{\text{REF}} = 2.5 \pm 1\%$ for Specified Performance
REF IN Input Sampling Rate, f_s	$f_{\text{CLKIN}}/64$		
LOGIC INPUTS			
Input Current			
All Inputs Except MCLK IN	± 1	μA max	Typically $\pm 20\text{ nA}$
MCLK	± 10	μA max	Typically $\pm 2\text{ }\mu\text{A}$
All Inputs Except SCLK and MCLK IN			
V_{INL} , Input Low Voltage	0.8	V max	$V_{DD} = 5\text{ V}$
	0.4	V max	$V_{DD} = 3\text{ V}$
V_{INH} , Input High Voltage	2.0	V min	$V_{DD} = 3\text{ V}$ and 5 V
			$V_{DD} = 5\text{ V}$ NOMINAL
SCLK Only (Schmitt Triggered Input)			
V_{T+}	1.4/3	V min/V max	
V_{T-}	0.8/1.4	V min/V max	
$V_{T+} - V_{T-}$	0.4/0.8	V min/V max	
SCLK Only (Schmitt Triggered Input)			
V_{T+}	1/2.5	V min/V max	$V_{DD} = 3\text{ V}$ NOMINAL
V_{T-}	0.4/1.1	V min/V max	
$V_{T+} - V_{T-}$	0.375/0.8	V min/V max	
MCLK IN Only			
V_{INL} , Input Low Voltage	0.8	V max	$V_{DD} = 5\text{ V}$ NOMINAL
V_{INH} , Input High Voltage	3.5	V min	
MCLK IN Only			
V_{INL} , Input Low Voltage	0.4	V max	$V_{DD} = 3\text{ V}$ NOMINAL
V_{INH} , Input High Voltage	2.5	V min	

AD7705/AD7706

Parameter	B Version ¹	Units	Conditions/Comments
LOGIC OUTPUTS (Including MCLK OUT) V _{OL} , Output Low Voltage V _{OL} , Output Low Voltage V _{OH} , Output High Voltage V _{OH} , Output High Voltage Floating State Leakage Current Floating State Output Capacitance ¹³ Data Output Coding	0.4 0.4 4 V _{DD} -0.6 ±10 9 Binary Offset Binary	V max V max V min V min µA max pF typ	I _{SINK} = 800 µA Except for MCLK OUT. ¹² V _{DD} = 5 V. I _{SINK} = 100 µA Except for MCLK OUT. ¹² V _{DD} = 3 V. I _{SOURCE} = 200 µA Except for MCLK OUT. ¹² V _{DD} = 5 V. I _{SOURCE} = 100 µA Except for MCLK OUT. ¹² V _{DD} = 3 V. Unipolar Mode Bipolar Mode
SYSTEM CALIBRATION Positive Full-Scale Calibration Limit ¹⁴ Negative Full-Scale Calibration Limit ¹⁴ Offset Calibration Limit ¹⁴ Input Span ¹⁵	(1.05 × V _{REF})/GAIN -(1.05 × V _{REF})/GAIN -(1.05 × V _{REF})/GAIN (0.8 × V _{REF})/GAIN (2.1 × V _{REF})/GAIN	V max V max V max V min V max	GAIN Is the Selected PGA Gain (1 to 128) GAIN Is the Selected PGA Gain (1 to 128) GAIN Is the Selected PGA Gain (1 to 128) GAIN Is the Selected PGA Gain (1 to 128) GAIN Is the Selected PGA Gain (1 to 128)
POWER REQUIREMENTS V _{DD} Voltage Power Supply Currents ¹⁶ V _{DD} Voltage Power Supply Currents ¹⁶ Standby (Power-Down) Current ¹⁷ Power Supply Rejection ¹⁸	+2.7 to +3.3 0.32 0.6 0.4 0.6 0.7 1.1 +4.75 to +5.25 0.45 0.7 0.6 0.85 0.9 1.3 16 8 See Note I9	V min to V max mA max mA max mA max mA max mA max V min to V max mA max mA max mA max mA max mA max µA max µA max dB typ	For Specified Performance Digital I/Ps = 0 V or V _{DD} . External MCLK IN and CLK DIS = 1 BUF Bit = 0. f _{CLKIN} = 1 MHz. Gains of 1 to 128 BUF Bit = 1. f _{CLKIN} = 1 MHz. Gains of 1 to 128 BUF Bit = 0. f _{CLKIN} = 2.4576 MHz. Gains of 1 to 4 BUF Bit = 0. f _{CLKIN} = 2.4576 MHz. Gains of 8 to 128 BUF Bit = 1. f _{CLKIN} = 2.4576 MHz. Gains of 1 to 4 BUF Bit = 1. f _{CLKIN} = 2.4576 MHz. Gains of 8 to 128 For Specified Performance Digital I/Ps = 0 V or V _{DD} . External MCLK IN and CLK DIS = 1. BUF Bit = 0. f _{CLKIN} = 1 MHz. Gains of 1 to 128 BUF Bit = 1. f _{CLKIN} = 1 MHz. Gains of 1 to 128 BUF Bit = 0. f _{CLKIN} = 2.4576 MHz. Gains of 1 to 4 BUF Bit = 0. f _{CLKIN} = 2.4576 MHz. Gains of 8 to 128 BUF Bit = 1. f _{CLKIN} = 2.4576 MHz. Gains of 1 to 4 BUF Bit = 1. f _{CLKIN} = 2.4576 MHz. Gains of 8 to 128 External MCLK IN = 0 V or V _{DD} . V _{DD} = 5 V. See Figure 9 External MCLK IN = 0 V or V _{DD} . V _{DD} = 3 V

NOTES

- ¹Temperature range as follows: B Version, -40°C to +85°C.
²These numbers are established from characterization or design at initial product release.
³A calibration is effectively a conversion so these errors will be of the order of the conversion noise shown in Tables I and III. This applies after calibration at the temperature of interest.
⁴Recalibration at any temperature will remove these drift errors.
⁵Positive Full-Scale Error includes Zero-Scale Errors (Unipolar Offset Error or Bipolar Zero Error) and applies to both unipolar and bipolar input ranges.
⁶Full-Scale Drift includes Zero-Scale Drift (Unipolar Offset Drift or Bipolar Zero Drift) and applies to both unipolar and bipolar input ranges.
⁷Gain Error does not include Zero-Scale Errors. It is calculated as Full-Scale Error–Unipolar Offset Error for unipolar ranges and Full-Scale Error–Bipolar Zero Error for bipolar ranges.
⁸Gain Error Drift does not include Unipolar Offset Drift/Bipolar Zero Drift. It is effectively the drift of the part if zero scale calibrations only were performed.
⁹This common-mode voltage range is allowed provided that the input voltage on analog inputs does not go more positive than V_{DD} + 30 mV or go more negative than GND – 30 mV. Parts are functional with voltages down to GND – 200 mV, but with increased leakage at high temperature.
¹⁰The analog input voltage range on AIN(+) is given here with respect to the voltage on AIN(-) on the AD7705 and is given with respect to the COMMON input on the AD7706. The absolute voltage on the analog inputs should not go more positive than V_{DD} + 30 mV, or go more negative than GND – 30 mV for specified performance, input voltages of GND – 200 mV can be accommodated, but with increased leakage at high temperature.
¹¹V_{REF} = REF IN(+) – REF IN(-).
¹²These logic output levels apply to the MCLK OUT only when it is loaded with one CMOS load.
¹³Sample tested at +25°C to ensure compliance.
¹⁴After calibration, if the analog input exceeds positive full scale, the converter will output all 1s. If the analog input is less than negative full scale, the device will output all 0s.
¹⁵These calibration and span limits apply provided the absolute voltage on the analog inputs does not exceed V_{DD} + 30 mV or go more negative than GND – 30 mV. The offset calibration limit applies to both the unipolar zero point and the bipolar zero point.
¹⁶When using a crystal or ceramic resonator across the MCLK pins as the clock source for the device, the V_{DD} current and power dissipation will vary depending on the crystal or resonator type (see Clocking and Oscillator Circuit section).
¹⁷If the external master clock continues to run in standby mode, the standby current increases to 150 µA typical at 5 V and 75 µA at 3 V. When using a crystal or ceramic resonator across the MCLK pins as the clock source for the device, the internal oscillator continues to run in standby mode and the power dissipation depends on the crystal or resonator type (see Standby Mode section).
¹⁸Measured at dc and applies in the selected passband. PSRR at 50 Hz will exceed 120 dB with filter notches of 25 Hz or 50 Hz. PSRR at 60 Hz will exceed 120 dB with filter notches of 20 Hz or 60 Hz.
¹⁹PSRR depends on both gain and V_{DD}.

Gain	1	2	4	8–128
V _{DD} = 3 V	86	78	85	93
V _{DD} = 5 V	90	78	84	91

Specifications subject to change without notice.

AD7705/AD7706

TIMING CHARACTERISTICS^{1, 2} ($V_{DD} = +2.7\text{ V to }+5.25\text{ V}$; $GND = 0\text{ V}$; $f_{CLKIN} = 2.4576\text{ MHz}$; Input Logic 0 = 0 V, Logic 1 = V_{DD} unless otherwise noted.)

Parameter	Limit at T_{MIN} , T_{MAX} (B Version)	Units	Conditions/Comments
f_{CLKIN} ^{3, 4}	400 2.5	kHz min MHz max	Master Clock Frequency: Crystal Oscillator or Externally Supplied for Specified Performance
$t_{CLKIN\ LO}$	$0.4 \times t_{CLKIN}$	ns min	Master Clock Input Low Time. $t_{CLKIN} = 1/f_{CLKIN}$
$t_{CLKIN\ HI}$	$0.4 \times t_{CLKIN}$	ns min	Master Clock Input High Time
t_1	$500 \times t_{CLKIN}$	ns nom	\overline{DRDY} High Time
t_2	100	ns min	\overline{RESET} Pulsewidth
Read Operation			
t_3	0	ns min	\overline{DRDY} to \overline{CS} Setup Time
t_4	120	ns min	\overline{CS} Falling Edge to SCLK Rising Edge Setup Time
t_5 ⁵	0	ns min	SCLK Falling Edge to Data Valid Delay
	80	ns max	$V_{DD} = +5\text{ V}$
	100	ns max	$V_{DD} = +3.0\text{ V}$
t_6	100	ns min	SCLK High Pulsewidth
t_7	100	ns min	SCLK Low Pulsewidth
t_8	0	ns min	\overline{CS} Rising Edge to SCLK Rising Edge Hold Time
t_9 ⁶	10	ns min	Bus Relinquish Time after SCLK Rising Edge
	60	ns max	$V_{DD} = +5\text{ V}$
	100	ns max	$V_{DD} = +3.0\text{ V}$
t_{10} [—]	100	ns max	SCLK Falling Edge to \overline{DRDY} High ⁷
Write Operation			
t_{11}	120	ns min	\overline{CS} Falling Edge to SCLK Rising Edge Setup Time
t_{12}	30	ns min	Data Valid to SCLK Rising Edge Setup Time
t_{13}	20	ns min	Data Valid to SCLK Rising Edge Hold Time
t_{14}	100	ns min	SCLK High Pulsewidth
t_{15}	100	ns min	SCLK Low Pulsewidth
t_{16}	0	ns min	\overline{CS} Rising Edge to SCLK Rising Edge Hold Time

NOTES

¹Sample tested at +25°C to ensure compliance. All input signals are specified with $t_r = t_f = 5\text{ ns}$ (10% to 90% of V_{DD}) and timed from a voltage level of 1.6 V.

²See Figures 16 and 17.

³ f_{CLKIN} Duty Cycle range is 45% to 55%. f_{CLKIN} must be supplied whenever the AD7705/AD7706 is not in Standby mode. If no clock is present in this case, the device can draw higher current than specified and possibly become uncalibrated.

⁴The AD7705/AD7706 is production tested with f_{CLKIN} at 2.4576 MHz (1 MHz for some I_{DD} tests). It is guaranteed by characterization to operate at 400 kHz.

⁵These numbers are measured with the load circuit of Figure 1 and defined as the time required for the output to cross the V_{OL} or V_{OH} limits.

⁶These numbers are derived from the measured time taken by the data output to change 0.5 V when loaded with the circuit of Figure 1. The measured number is then extrapolated back to remove effects of charging or discharging the 50 pF capacitor. This means that the times quoted in the timing characteristics are the true bus relinquish times of the part and as such are independent of external bus loading capacitances.

⁷ \overline{DRDY} returns high after the first read from the device after an output update. The same data can be read again, if required, while \overline{DRDY} is high, although care should be taken that subsequent reads do not occur close to the next output update.

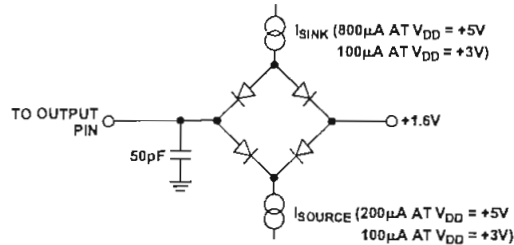


Figure 1. Load Circuit for Access Time and Bus Relinquish Time

AD7705/AD7706

ABSOLUTE MAXIMUM RATINGS*(T_A = +25°C unless otherwise noted)

V _{DD} to GND	−0.3 V to +7 V
Analog Input Voltage to GND	−0.3 V to V _{DD} + 0.3 V
Reference Input Voltage to GND	−0.3 V to V _{DD} + 0.3 V
Digital Input Voltage to GND	−0.3 V to V _{DD} + 0.3 V
Digital Output Voltage to GND	−0.3 V to V _{DD} + 0.3 V
Operating Temperature Range	
Commercial (B Version)	−40°C to +85°C
Storage Temperature Range	−65°C to +150°C
Junction Temperature	+150°C
Plastic DIP Package, Power Dissipation	450 mW
θ _{JA} Thermal Impedance	105°C/W
Lead Temperature, (Soldering, 10 sec)	+260°C

SOIC Package, Power Dissipation	450 mW
θ _{JA} Thermal Impedance	75°C/W
Lead Temperature, Soldering	
Vapor Phase (60 sec)	+215°C
Infrared (15 sec)	+220°C
SSOP Package, Power Dissipation	450 mW
θ _{JA} Thermal Impedance	139°C/W
Lead Temperature, Soldering	
Vapor Phase (60 sec)	+215°C
Infrared (15 sec)	+220°C
ESD Rating	>4000 V

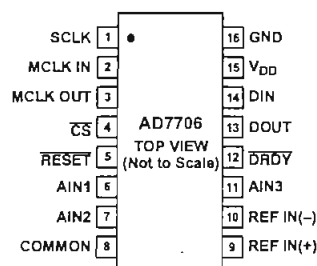
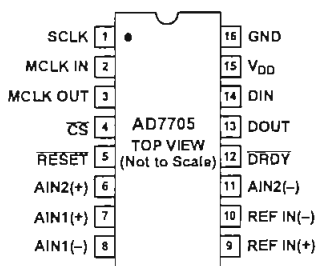
*Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; functional operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ORDERING GUIDE

Model	V _{DD} Supply	Temperature Range	Package Description	Package Options
AD7705BN	2.7 V to 5.25 V	−40°C to +85°C	Plastic DIP	N-16
AD7705BR	2.7 V to 5.25 V	−40°C to +85°C	SOIC	R-16
AD7705BRU	2.7 V to 5.25 V	−40°C to +85°C	TSSOP	RU-16
EVAL-AD7705EB		Evaluation Board		
AD7706BN	2.7 V to 5.25 V	−40°C to +85°C	Plastic DIP	N-16
AD7706BR	2.7 V to 5.25 V	−40°C to +85°C	SOIC	R-16
AD7706BRU	2.7 V to 5.25 V	−40°C to +85°C	TSSOP	RU-16
EVAL-AD7706EB		Evaluation Board		

AD7705/AD7706

PIN CONFIGURATIONS



PIN FUNCTION DESCRIPTIONS

Pin No.	Mnemonic	Function
1	SCLK	Serial Clock. Schmitt-Triggered Logic Input. An external serial clock is applied to this input to access serial data from the AD7705/AD7706. This serial clock can be a continuous clock with all data transmitted in a continuous train of pulses. Alternatively, it can be a noncontinuous clock with the information being transmitted to the AD7705/AD7706 in smaller batches of data.
2	MCLK IN	Master Clock signal for the device. This can be provided in the form of a crystal/resonator or external clock. A crystal/resonator can be tied across the MCLK IN and MCLK OUT pins. Alternatively, the MCLK IN pin can be driven with a CMOS-compatible clock and MCLK OUT left unconnected. The part can be operated with clock frequencies in the range 500 kHz to 5 MHz.
3	MCLK OUT	When the master clock for the device is a crystal/resonator, the crystal/resonator is connected between MCLK IN and MCLK OUT. If an external clock is applied to MCLK IN, MCLK OUT provides an inverted clock signal. This clock can be used to provide a clock source for external circuitry and is capable of driving one CMOS load. If the user does not require it, this MCLK OUT can be turned off via the CLK DIS bit of the Clock Register. This ensures that the part is not burning unnecessary power driving capacitive loads on MCLK OUT.
4	\overline{CS}	Chip Select. Active low Logic Input used to select the AD7705/AD7706. With this input hard-wired low, the AD7705/AD7706 can operate in its three-wire interface mode with SCLK, DIN and DOUT used to interface to the device. \overline{CS} can be used to select the device in systems with more than one device on the serial bus or as a frame synchronization signal in communicating with the AD7705/AD7706.
5	\overline{RESET}	Logic Input. Active low input that resets the control logic, interface logic, calibration coefficients, digital filter and analog modulator of the part to power-on status.
6	AIN2(+)[AIN1]	AD7705: Positive input of the differential Analog Input Channel 2. AD7706: Analog Input Channel 1.
7	AIN1(+)[AIN2]	AD7705: Positive input of the differential Analog Input Channel 1. AD7706: Analog Input Channel 2.
8	AIN1(-)[COMMON]	AD7705: Negative input of the differential Analog Input Channel 1. AD7706: COMMON Input. Analog inputs for Channels 1, 2 and 3 are referenced to this input.
9	REF IN(+)	Reference Input. Positive input of the differential Reference Input to the AD7705/AD7706. The reference input is differential with the provision that REF IN(+) must be greater than REF IN(-). REF IN(+) can lie anywhere between V _{DD} and GND.

AD7705/AD7706

Pin No.	Mnemonic	Function
10	REF IN(-)	Reference Input. Negative input of the differential reference input to the AD7705/AD7706. The REF IN(-) can lie anywhere between V_{DD} and GND provided REF IN(+) is greater than REF IN(-).
11	AIN2(-)[AIN3]	AD7705: Negative input of the differential analog Input Channel 2. AD7706: Analog Input Channel 3.
12	\overline{DRDY}	Logic Output. A logic low on this output indicates that a new output word is available from the AD7705/AD7706 data register. The \overline{DRDY} pin will return high upon completion of a read operation of a full output word. If no data read has taken place between output updates, the \overline{DRDY} line will return high for $500 \times t_{CLK IN}$ cycles prior to the next output update. While \overline{DRDY} is high, a read operation should neither be attempted nor in progress to avoid reading from the data register as it is being updated. The \overline{DRDY} line will return low again when the update has taken place. \overline{DRDY} is also used to indicate when the AD7705/AD7706 has completed its on-chip calibration sequence.
13	DOUT	Serial Data Output with serial data being read from the output shift register on the part. This output shift register can contain information from the setup register, communications register, clock register or data register, depending on the register selection bits of the Communications Register.
14	DIN	Serial Data Input with serial data being written to the input shift register on the part. Data from this input shift register is transferred to the setup register, clock register or communications register, depending, on the register selection bits of the Communications Register.
15	V_{DD}	Supply Voltage, +2.7 V to +5.25 V operation.
16	GND	Ground reference point for the AD7705/AD7706's internal circuitry.

OUTPUT NOISE (5 V OPERATION)

Table I shows the AD7705/AD7706 output rms noise for the selectable notch and -3 dB frequencies for the part, as selected by FS0 and FS1 of the Clock Register. The numbers given are for the bipolar input ranges with a V_{REF} of +2.5 V and $V_{DD} = 5$ V. These numbers are typical and are generated at an analog input voltage of 0 V with the part used in either buffered or unbuffered mode. Table II meanwhile shows the output *peak-to-peak* noise for the selectable notch and -3 dB frequencies for the part. *It is important to note that these numbers represent the resolution for which there will be no code flicker. They are not calculated based on rms noise but on peak-to-peak noise.* The numbers given are for bipolar input ranges with a V_{REF} of +2.5 V and for either buffered or unbuffered mode. These numbers are typical and are rounded to the nearest LSB. The numbers apply for the CLK DIV bit of the Clock Register set to 0.

Table I. Output RMS Noise vs. Gain and Output Update Rate @ 5 V

Filter First Notch and O/P Data Rate	-3 dB Frequency	Typical Output RMS Noise in μ V							
		Gain of 1	Gain of 2	Gain of 4	Gain of 8	Gain of 16	Gain of 32	Gain of 64	Gain of 128
MCLK IN = 2.4576 MHz									
50 Hz	13.1 Hz	4.1	2.1	1.2	0.75	0.7	0.66	0.63	0.6
60 Hz	15.72 Hz	5.1	2.5	1.4	0.8	0.75	0.7	0.67	0.62
250 Hz	65.5 Hz	110	49	31	17	8	3.6	2.3	1.7
500 Hz	131 Hz	550	285	145	70	41	22	9.1	4.7
MCLK IN = 1 MHz									
20 Hz	5.24 Hz	4.1	2.1	1.2	0.75	0.7	0.66	0.63	0.6
25 Hz	6.55 Hz	5.1	2.5	1.4	0.8	0.75	0.7	0.67	0.62
100 Hz	26.2 Hz	110	49	31	17	8	3.6	2.3	1.7
200 Hz	52.4 Hz	550	285	145	70	41	22	9.1	4.7

Phase-locked-loop with VCO

74HC/HCT4046A

FEATURES

- Low power consumption
- Centre frequency of up to 17 MHz (typ.) at $V_{CC} = 4.5\text{ V}$
- Choice of three phase comparators: EXCLUSIVE-OR; edge-triggered JK flip-flop; edge-triggered RS flip-flop
- Excellent VCO frequency linearity
- VCO-inhibit control for ON/OFF keying and for low standby power consumption
- Minimal frequency drift
- Operating power supply voltage range:
VCO section 3.0 to 6.0 V
digital section 2.0 to 6.0 V
- Zero voltage offset due to op-amp buffering
- Output capability: standard
- I_{CC} category: MSI.

GENERAL DESCRIPTION

The 74HC/HCT4046A are high-speed Si-gate CMOS devices and are pin compatible with the "4046" of the "4000B" series. They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT4046A are phase-locked-loop circuits that comprise a linear voltage-controlled oscillator (VCO) and three different phase comparators (PC1, PC2 and PC3) with a common signal input amplifier and a common comparator input.

The signal input can be directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. A self-bias input circuit keeps small voltage signals within the linear region of the input amplifiers. With a passive low-pass filter, the "4046A" forms a second-order loop PLL. The excellent VCO linearity is achieved by the use of linear op-amp techniques.

The VCO requires one external capacitor C1 (between C1A and C1B) and one external resistor R1 (between R1 and GND) or two external resistors R1 and R2 (between R1 and GND, and R2 and GND). Resistor R1 and capacitor C1 determine the frequency range of the VCO. Resistor R2 enables the VCO to have a frequency offset if required.

The high input impedance of the VCO simplifies the design of low-pass filters by giving the designer a wide choice of resistor/capacitor ranges. In order not to load the low-pass filter, a demodulator output of the VCO input voltage is

provided at pin 10 (DEM_{OUT}). In contrast to conventional techniques where the DEM_{OUT} voltage is one threshold voltage lower than the VCO input voltage, here the DEM_{OUT} voltage equals that of the VCO input. If DEM_{OUT} is used, a load resistor (R_S) should be connected from DEM_{OUT} to GND; if unused, DEM_{OUT} should be left open. The VCO output (VCO_{OUT}) can be connected directly to the comparator input (COMP_{IN}), or connected via a frequency-divider. The VCO output signal has a duty factor of 50% (maximum expected deviation 1%), if the VCO input is held at a constant DC level. A LOW level at the inhibit input (INH) enables the VCO and demodulator, while a HIGH level turns both off to minimize standby power consumption.

The only difference between the HC and HCT versions is the input level specification of the INH input. This input disables the VCO section. The sections of the comparator are identical, so that there is no difference in the SIG_{IN} (pin 14) or COMP_{IN} (pin 3) inputs between the HC and HCT versions.

Phase comparators

The signal input (SIG_{IN}) can be directly coupled to the self-biasing amplifier at pin 14, provided that the signal swing is between the standard HC family input logic levels. Capacitive coupling is required for signals with smaller swings.

Phase comparator 1 (PC1)

This is an EXCLUSIVE-OR network. The signal and comparator input frequencies (f_i) must have a 50% duty factor to obtain the maximum locking range. The transfer characteristic of PC1, assuming ripple ($f_r = 2f_i$) is

$$\text{suppressed, is: } V_{\text{DEMOUT}} = \frac{V_{CC}}{\pi} (\phi_{\text{SIGIN}} - \phi_{\text{COMPIN}})$$

where V_{DEMOUT} is the demodulator output at pin 10; $V_{\text{DEMOUT}} = V_{\text{PC1OUT}}$ (via low-pass filter).

The phase comparator gain is: $K_p = \frac{V_{CC}}{\pi} (V/r)$.

The average output voltage from PC1, fed to the VCO input via the low-pass filter and seen at the demodulator output at pin 10 (V_{DEMOUT}), is the resultant of the phase differences of signals (SIG_{IN}) and the comparator input (COMP_{IN}) as shown in Fig.6. The average of V_{DEMOUT} is equal to $\frac{1}{2}V_{CC}$ when there is no signal or noise at SIG_{IN} and with this input the VCO oscillates at the centre frequency (f_o). Typical waveforms for the PC1 loop locked at f_o are shown in Fig.7.

Phase-locked-loop with VCO

74HC/HCT4046A

The frequency capture range ($2f_c$) is defined as the frequency range of input signals on which the PLL will lock if it was initially out-of-lock. The frequency lock range ($2f_l$) is defined as the frequency range of input signals on which the loop will stay locked if it was initially in lock. The capture range is smaller or equal to the lock range.

With PC1, the capture range depends on the low-pass filter characteristics and can be made as large as the lock range.

This configuration retains lock even with very noisy input signals. Typical behaviour of this type of phase comparator is that it can lock to input frequencies close to the harmonics of the VCO centre frequency.

Phase comparator 2 (PC2)

This is a positive edge-triggered phase and frequency detector. When the PLL is using this comparator, the loop is controlled by positive signal transitions and the duty factors of SIG_{IN} and $COMP_{IN}$ are not important. PC2 comprises two D-type flip-flops, control-gating and a 3-state output stage. The circuit functions as an up-down counter (Fig.5) where SIG_{IN} causes an up-count and $COMP_{IN}$ a down-count. The transfer function of PC2, assuming ripple ($f_r = f_i$) is suppressed,

$$\text{is: } V_{\text{DEMOUT}} = \frac{V_{\text{CC}}}{4\pi} (\phi_{\text{SIGIN}} - \phi_{\text{COMPIN}})$$

where V_{DEMOUT} is the demodulator output at pin 10;
 $V_{\text{DEMOUT}} = V_{\text{PC2OUT}}$ (via low-pass filter).

The phase comparator gain is: $K_p = \frac{V_{\text{CC}}}{4\pi} (V/r)$.

V_{DEMOUT} is the resultant of the initial phase differences of SIG_{IN} and $COMP_{IN}$ as shown in Fig.8. Typical waveforms for the PC2 loop locked at f_o are shown in Fig.9.

When the frequencies of SIG_{IN} and $COMP_{IN}$ are equal but the phase of SIG_{IN} leads that of $COMP_{IN}$, the p-type output driver at $PC2_{OUT}$ is held "ON" for a time corresponding to the phase difference (ϕ_{DEMOUT}). When the phase of SIG_{IN} lags that of $COMP_{IN}$, the n-type driver is held "ON".

When the frequency of SIG_{IN} is higher than that of $COMP_{IN}$, the p-type output driver is held "ON" for most of the input signal cycle time, and for the remainder of the cycle both n and p-type drivers are "OFF" (3-state). If the SIG_{IN} frequency is lower than the $COMP_{IN}$ frequency, then it is the n-type driver that is held "ON" for most of the cycle. Subsequently, the voltage at the capacitor (C2) of the low-pass filter connected to $PC2_{OUT}$ varies until the signal

and comparator inputs are equal in both phase and frequency. At this stable point the voltage on C2 remains constant as the PC2 output is in 3-state and the VCO input at pin 9 is a high impedance. Also in this condition, the signal at the phase comparator pulse output (PCP_{OUT}) is a HIGH level and so can be used for indicating a locked condition.

Thus, for PC2, no phase difference exists between SIG_{IN} and $COMP_{IN}$ over the full frequency range of the VCO. Moreover, the power dissipation due to the low-pass filter is reduced because both p and n-type drivers are "OFF" for most of the signal input cycle. It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range and is independent of the low-pass filter. With no signal present at SIG_{IN} the VCO adjusts, via PC2, to its lowest frequency.

Phase comparator 3 (PC3)

This is a positive edge-triggered sequential phase detector using an RS-type flip-flop. When the PLL is using this comparator, the loop is controlled by positive signal transitions and the duty factors of SIG_{IN} and $COMP_{IN}$ are not important. The transfer characteristic of PC3, assuming ripple ($f_r = f_i$) is suppressed,

$$\text{is: } V_{\text{DEMOUT}} = \frac{V_{\text{CC}}}{2\pi} (\phi_{\text{SIGIN}} - \phi_{\text{COMPIN}})$$

where V_{DEMOUT} is the demodulator output at pin 10;
 $V_{\text{DEMOUT}} = V_{\text{PC3OUT}}$ (via low-pass filter).

The phase comparator gain is: $K_p = \frac{V_{\text{CC}}}{2\pi} (V/r)$.

The average output from PC3, fed to the VCO via the low-pass filter and seen at the demodulator output at pin 10 (V_{DEMOUT}), is the resultant of the phase differences of SIG_{IN} and $COMP_{IN}$ as shown in Fig.10. Typical waveforms for the PC3 loop locked at f_o are shown in Fig.11.

The phase-to-output response characteristic of PC3 (Fig.10) differs from that of PC2 in that the phase angle between SIG_{IN} and $COMP_{IN}$ varies between 0° and 360° and is 180° at the centre frequency. Also PC3 gives a greater voltage swing than PC2 for input phase differences but as a consequence the ripple content of the VCO input signal is higher. The PLL lock range for this type of phase comparator and the capture range are dependent on the low-pass filter. With no signal present at SIG_{IN} the VCO adjusts, via PC3, to its lowest frequency.

Phase-locked-loop with VCO

74HC/HCT4046A

QUICK REFERENCE DATAGND = 0 V; T_{amb} = 25 °C

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
f _o	VCO centre frequency	C1 = 40 pF; R1 = 3 kΩ; V _{CC} = 5 V	19	19	MHz
C _I	input capacitance (pin 5)		3.5	3.5	pF
C _{PD}	power dissipation capacitance per package	notes 1 and 2	24	24	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in μW):

$$P_D = C_{PD} \times V_{CC}^2 \times f_i + \sum (C_L \times V_{CC}^2 \times f_o) \text{ where:}$$

f_i = input frequency in MHz.

f_o = output frequency in MHz.

C_L = output load capacitance in pF.

V_{CC} = supply voltage in V.

∑ (C_L × V_{CC}² × f_o) = sum of outputs.

2. Applies to the phase comparator section only (VCO disabled). For power dissipation of the VCO and demodulator sections see Figs 22, 23 and 24.

ORDERING INFORMATION

See "74HC/HCT/HCU/HCMOS Logic Package Information".

APPLICATIONS

- FM modulation and demodulation
- Frequency synthesis and multiplication
- Frequency discrimination
- Tone decoding
- Data synchronization and conditioning
- Voltage-to-frequency conversion
- Motor-speed control.

PACKAGE OUTLINES

See "74HC/HCT/HCU/HCMOS Logic Package Outlines".

Phase-locked-loop with VCO

74HC/HCT4046A

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1	PCP _{OUT}	phase comparator pulse output
2	PC1 _{OUT}	phase comparator 1 output
3	COMP _{IN}	comparator input
4	VCO _{OUT}	VCO output
5	INH	inhibit input
6	C1 _A	capacitor C1 connection A
7	C1 _B	capacitor C1 connection B
8	GND	ground (0 V)
9	VCO _{IN}	VCO input
10	DEM _{OUT}	demodulator output
11	R ₁	resistor R1 connection
12	R ₂	resistor R2 connection
13	PC2 _{OUT}	phase comparator 2 output
14	SIG _{IN}	signal input
15	PC3 _{OUT}	phase comparator 3 output
16	V _{CC}	positive supply voltage

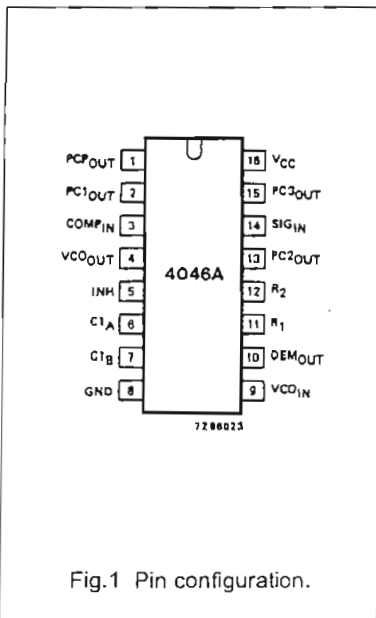


Fig.1 Pin configuration.

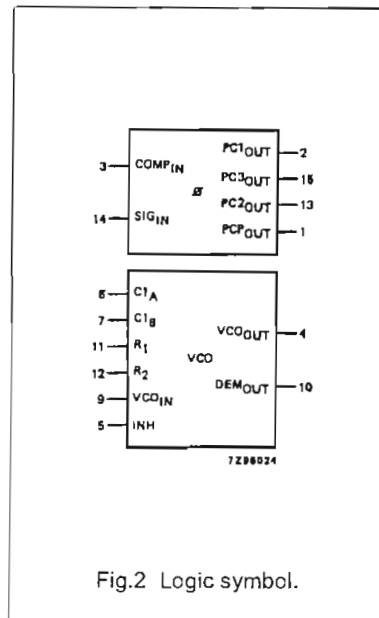


Fig.2 Logic symbol.

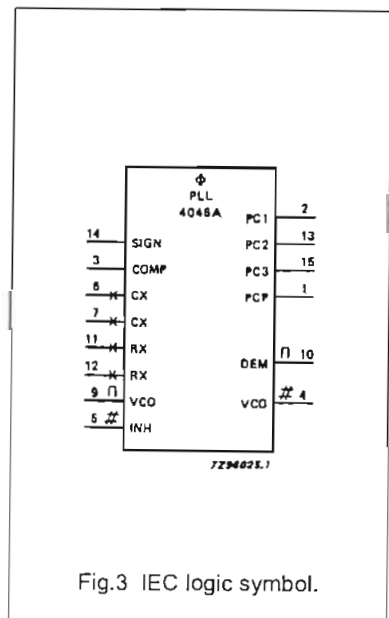


Fig.3 IEC logic symbol.

Phase-locked-loop with VCO

74HC/HCT4046A

RECOMMENDED OPERATING CONDITIONS FOR 74HC/HCT

SYMBOL	PARAMETER	74HC			74HCT			UNIT	CONDITIONS
		min.	typ.	max.	min.	typ.	max.		
V _{CC}	DC supply voltage	3.0	5.0	6.0	4.5	5.0	5.5	V	
V _{CC}	DC supply voltage if VCO section is not used	2.0	5.0	6.0	4.5	5.0	5.5	V	
V _I	DC input voltage range	0		V _{CC}	0		V _{CC}	V	
V _O	DC output voltage range	0		V _{CC}	0		V _{CC}	V	
T _{amb}	operating ambient temperature range	-40		+85	-40		+85	°C	see DC and AC CHARACTERISTICS
T _{amb}	operating ambient temperature range	-40		+125	-40		+125	°C	
t _r , t _f	input rise and fall times (pin 5)		6.0	1000		6.0	500	ns	V _{CC} = 2.0 V
			6.0	500		6.0	500	ns	V _{CC} = 4.5 V
			6.0	400		6.0	500	ns	V _{CC} = 6.0 V

RATINGS

Limiting values in accordance with the Absolute Maximum System (IEC 134)

Voltages are referenced to GND (ground = 0 V)

SYMBOL	PARAMETER	MIN.	MAX.	UNIT	CONDITIONS
V _{CC}	DC supply voltage	-0.5	+7	V	
±I _{IK}	DC input diode current		20	mA	for V _I < -0.5 V or V _I > V _{CC} + 0.5 V
±I _{OK}	DC output diode current		20	mA	for V _O < -0.5 V or V _O > V _{CC} + 0.5 V
±I _O	DC output source or sink current		25	mA	for -0.5 V < V _O < V _{CC} + 0.5 V
±I _{CC} ; ±I _{GND}	DC V _{CC} or GND current		50	mA	
T _{stg}	storage temperature range	-65	+150	°C	
P _{tot}	power dissipation per package				for temperature range: -40 to +125 °C
	plastic DIL		750	mW	74HC/HCT above +70 °C: derate linearly with 12 mW/K
	plastic mini-pack (SO)		500	mW	above +70 °C: derate linearly with 8 mW/K

MC145151-2
MC145152-2
MC145155-2
MC145156-2
MC145157-2
MC145158-2

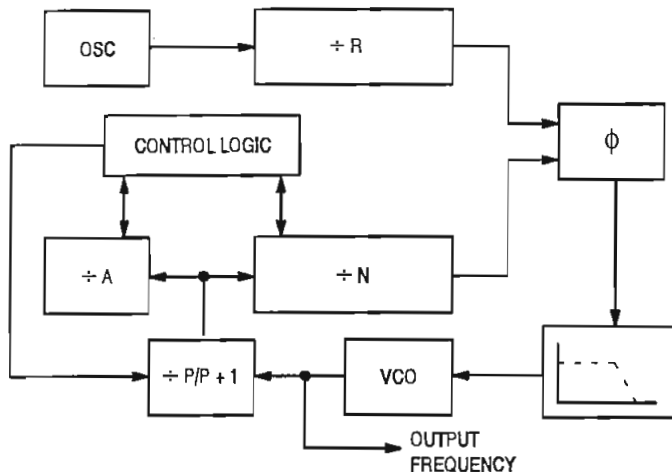
PLL Frequency Synthesizer Family

CMOS

The devices described in this document are typically used as low-power, phase-locked loop frequency synthesizers. When combined with an external low-pass filter and voltage-controlled oscillator, these devices can provide all the remaining functions for a PLL frequency synthesizer operating up to the device's frequency limit. For higher VCO frequency operation, a down mixer or a prescaler can be used between the VCO and the synthesizer IC.

These frequency synthesizer chips can be found in the following and other applications:

- CATV
- AM/FM Radios
- Two-Way Radios
- TV Tuning
- Scanning Receivers
- Amateur Radio



CONTENTS

	Page
DEVICE DETAIL SHEETS	
MC145151-2 Parallel-Input, Single-Modulus	2
MC145152-2 Parallel-Input, Dual-Modulus	5
MC145155-2 Serial-Input, Single-Modulus	9
MC145156-2 Serial-Input, Dual-Modulus	13
MC145157-2 Serial-Input, Single-Modulus	17
MC145158-2 Serial-Input, Dual-Modulus	20
FAMILY CHARACTERISTICS	
Maximum Ratings	23
DC Electrical Characteristics	23
AC Electrical Characteristics	25
Timing Requirements	26
Frequency Characteristics	27
Phase Detector/Lock Detector Output Waveforms	27
DESIGN CONSIDERATIONS	
Phase-Locked Loop — Low-Pass Filter Design	28
Crystal Oscillator Considerations	29
Dual-Modulus Prescaling	30

MOTOROLA

SEMICONDUCTOR TECHNICAL DATA

Parallel-Input PLL Frequency Synthesizer

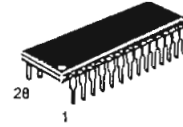
Interfaces with Single-Modulus Prescalers

The MC145151-2 is programmed by 14 parallel-input data lines for the N counter and three input lines for the R counter. The device features consist of a reference oscillator, selectable-reference divider, digital-phase detector, and 14-bit programmable divide-by-N counter.

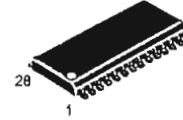
The MC145151-2 is an improved-performance drop-in replacement for the MC145151-1. The power consumption has decreased and ESD and latch-up performance have improved.

- Operating Temperature Range: -40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On- or Off-Chip Reference Oscillator Operation
- Lock Detect Signal
- + N Counter Output Available
- Single Modulus/Parallel Programming
- 8 User-Selectable + R Values: 8, 128, 256, 512, 1024, 2048, 2410, 8192
- + N Range = 3 to 16383
- "Linearized" Digital Phase Detector Enhances Transfer Function Linearity
- Two Error Signal Options: Single-Ended (Three-State) or Double-Ended
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates

MC145151-2



P SUFFIX
PLASTIC DIP
CASE 710



DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

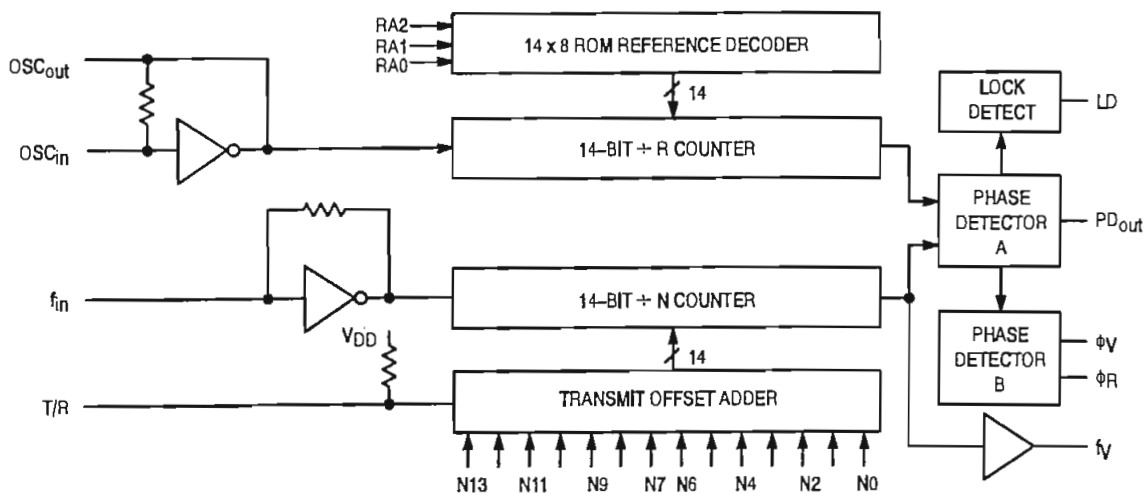
MC145151P2 Plastic DIP
MC145151DW2 SOG Package

PIN ASSIGNMENT

f_{in}	1	28	LD
V _{SS}	2	27	OSC _{in}
V _{DD}	3	26	OSC _{out}
PD _{out}	4	25	N11
RA0	5	24	N10
RA1	6	23	N13
RA2	7	22	N12
ϕ_R	8	21	T/R
ϕ_V	9	20	N9
f_V	10	19	N8
N0	11	18	N7
N1	12	17	N6
N2	13	16	N5
N3	14	15	N4



MC145151-2 BLOCK DIAGRAM



NOTE: N0 – N13 inputs and inputs RA0, RA1, and RA2 have pull-up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

f_{in}
Frequency Input (Pin 1)

Input to the +N portion of the synthesizer. f_{in} is typically derived from loop VCO and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0 – RA2
Reference Address Inputs (Pins 5, 6, 7)

These three inputs establish a code defining one of eight possible divide values for the total reference divider, as defined by the table below.

Pull-up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	128
0	1	0	256
0	1	1	512
1	0	0	1024
1	0	1	2048
1	1	0	2410
1	1	1	8192

N0 – N11
N Counter Programming Inputs (Pins 11 – 20, 22 – 25)

These inputs provide the data that is preset into the +N counter when it reaches the count of zero. N0 is the least significant and N13 is the most significant. Pull-up resistors en-

sure that inputs left open remain at a logic 1 and require only an SPST switch to alter data to the zero state.

T/R
Transmit/Receive Offset Adder Input (Pin 21)

This input controls the offset added to the data provided at the N inputs. This is normally used for offsetting the VCO frequency by an amount equal to the IF frequency of the transceiver. This offset is fixed at 856 when T/R is low and gives no offset when T/R is high. A pull-up resistor ensures that no connection will appear as a logic 1 causing no offset addition.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on-chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally-generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

PD_{out}
Phase Detector A Output (Pin 4)

Three-state output of phase detector for use as loop-error signal. Double-ended outputs are also available for this purpose (see φ_V and φ_R).

Frequency f_V > f_R or f_V Leading: Negative Pulses

Frequency f_V < f_R or f_V Lagging: Positive Pulses

Frequency f_V = f_R and Phase Coincidence: High-Impedance State

ϕ_R, ϕ_V

Phase Detector B Outputs (Pins 8, 9)

These phase detector outputs can be combined externally for a loop-error signal. A single-ended output is also available for this purpose (see **PD_{out}**).

If frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕ_V pulsing low. ϕ_R remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕ_R pulsing low. ϕ_V remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕ_V and ϕ_R remain high except for a small minimum time period when both pulse low in phase.

f_V

N Counter Output (Pin 10)

This is the buffered output of the + N counter that is inter-

nally connected to the phase detector input. With this output available, the + N counter can be used independently.

LD

Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

V_{DD}

Positive Power Supply (Pin 3)

The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS} .

V_{SS}

Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

TYPICAL APPLICATIONS

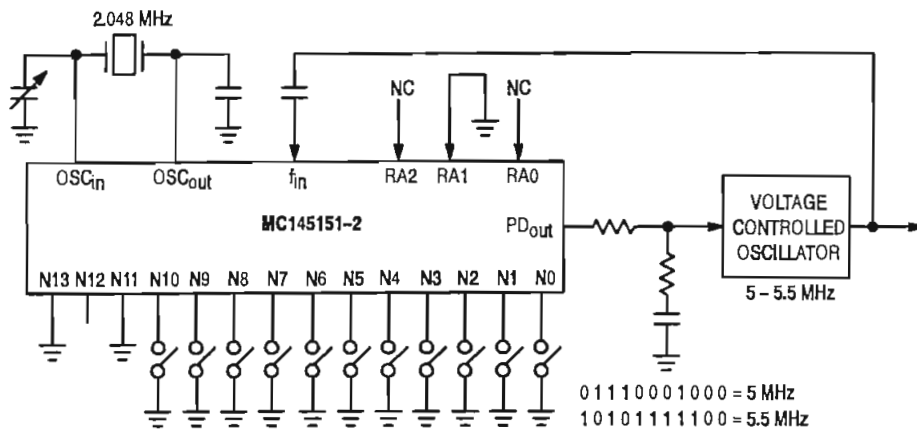
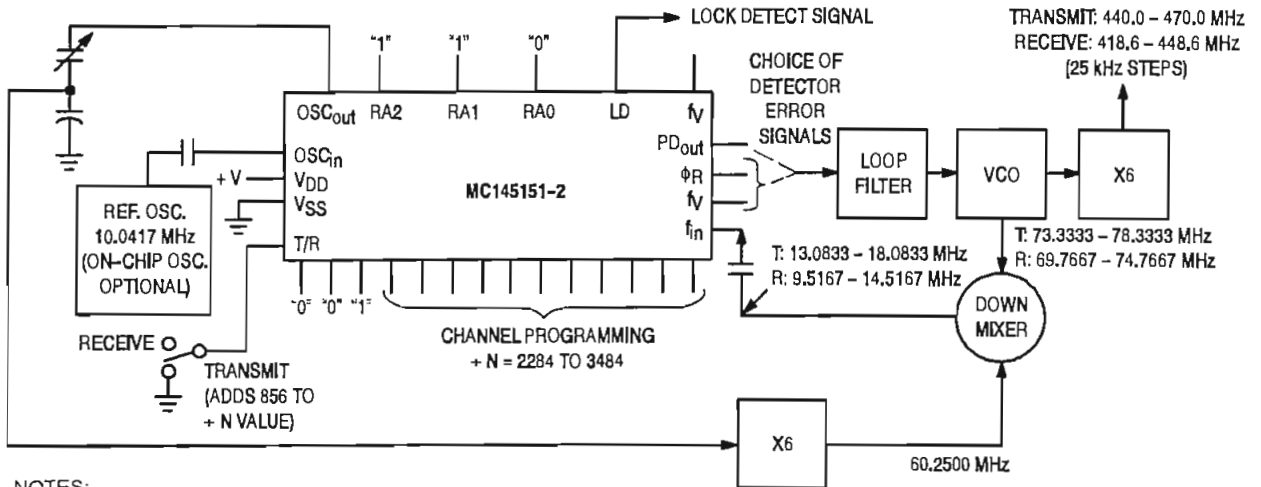


Figure 1. 5 MHz to 5.5 MHz Local Oscillator Channel Spacing = 1 kHz



NOTES:

1. $f_R = 4.1667$ kHz; + R = 2410; 21.4 MHz low side injection during receive.
2. Frequency values shown are for the 440 - 470 MHz band. Similar implementation applies to the 406 - 440 MHz band. For 470 - 512 MHz, consider reference oscillator frequency X9 for mixer injection signal (90.3750 MHz).

Figure 2. Synthesizer for Land Mobile Radio UHF Bands

MC145151-2 Data Sheet Continued on Page 23

MC14515X-2 FAMILY CHARACTERISTICS AND DESCRIPTIONS

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V _{DD}	DC Supply Voltage	- 0.5 to + 10.0	V
V _{in} , V _{out}	Input or Output Voltage (DC or Transient) except SW1, SW2	- 0.5 to V _{DD} + 0.5	V
V _{out}	Output Voltage (DC or Transient), SW1, SW2 (R _{pull-up} = 4.7 kΩ)	- 0.5 to + 15	V
I _{in} , I _{out}	Input or Output Current (DC or Transient), per Pin	± 10	mA
I _{DD} , I _{SS}	Supply Current, V _{DD} or V _{SS} Pins	± 30	mA
P _D	Power Dissipation, per Package†	500	mW
T _{stg}	Storage Temperature	- 65 to + 150	°C
T _L	Lead Temperature, 1 mm from Case for 10 seconds	260	°C

These devices contain protection circuitry to protect against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to these high-impedance circuits. For proper operation, V_{in} and V_{out} should be constrained to the range V_{SS} ≤ (V_{in} or V_{out}) ≤ V_{DD} except for SW1 and SW2.

SW1 and SW2 can be tied through external resistors to voltages as high as 15 V, independent of the supply voltage.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}), except for inputs with pull-up devices. Unused outputs must be left open.

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the limits in the Electrical Characteristics tables or Pin Descriptions section.

† Power Dissipation Temperature Derating:

Plastic DIP: - 12 mW/°C from 65 to 85°C

SOG Package: - 7 mW/°C from 65 to 85°C

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Symbol	Parameter	Test Condition	V _{DD} V	- 40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
V _{DD}	Power Supply Voltage Range		—	3	9	3	9	3	9	V
I _{SS}	Dynamic Supply Current	f _{in} = OSC _{in} = 10 MHz, 1 V p-p ac coupled sine wave R = 128, A = 32, N = 128	3 5 9	— — —	3.5 10 30	— — —	3 7.5 24	— — —	3 7.5 24	mA
I _{SS}	Quiescent Supply Current (not including pull-up current component)	V _{in} = V _{DD} or V _{SS} I _{out} = 0 μA	3 5 9	— — —	800 1200 1600	— — —	800 1200 1600	— — —	1600 2400 3200	μA
V _{in}	Input Voltage — f _{in} , OSC _{in}	Input ac coupled sine wave	—	500	—	500	—	500	—	mV p-p
V _{IL}	Low-Level Input Voltage — f _{in} , OSC _{in}	V _{out} ≥ 2.1 V Input dc V _{out} ≥ 3.5 V coupled V _{out} ≥ 6.3 V square wave	3 5 9	— — —	0 0 0	— — —	0 0 0	— — —	0 0 0	V
V _{IH}	High-Level Input Voltage — f _{in} , OSC _{in}	V _{out} ≤ 0.9 V Input dc V _{out} ≤ 1.5 V coupled V _{out} ≤ 2.7 V square wave	3 5 9	3.0 5.0 9.0	— — —	3.0 5.0 9.0	— — —	3.0 5.0 9.0	— — —	V
V _{IL}	Low-Level Input Voltage — except f _{in} , OSC _{in}		3 5 9	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	— — —	0.9 1.5 2.7	V
V _{IH}	High-Level Input Voltage — except f _{in} , OSC _{in}		3 5 9	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	2.1 3.5 6.3	— — —	V
I _{in}	Input Current (f _{in} , OSC _{in})	V _{in} = V _{DD} or V _{SS}	9	± 2	± 50	± 2	± 25	± 2	± 22	μA
I _{IL}	Input Leakage Current (Data, CLK, ENB — without pull-ups)	V _{in} = V _{SS}	9	—	- 0.3	—	- 0.1	—	- 1.0	μA
I _{IH}	Input Leakage Current (all inputs except f _{in} , OSC _{in})	V _{in} = V _{DD}	9	—	0.3	—	0.1	—	1.0	μA

(continued)

DC ELECTRICAL CHARACTERISTICS (continued)

Symbol	Parameter	Test Condition	V _{DD} V	- 40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
I _{IL}	Pull-up Current (all inputs with pull-ups)	V _{in} = V _{SS}	9	- 20	- 400	- 20	- 200	- 20	- 170	μA
C _{in}	Input Capacitance		—	—	10	—	10	—	10	pF
V _{OL}	Low-Level Output Voltage — OSC _{out}	I _{out} ≈ 0 μA V _{in} = V _{DD}	3	—	0.9	—	0.9	—	0.9	V
			5	—	1.5	—	1.5	—	1.5	
			9	—	2.7	—	2.7	—	2.7	
V _{OH}	High-Level Output Voltage — OSC _{out}	I _{out} ≈ 0 μA V _{in} = V _{SS}	3	2.1	—	2.1	—	2.1	—	V
			5	3.5	—	3.5	—	3.5	—	
			9	6.3	—	6.3	—	6.3	—	
V _{OL}	Low-Level Output Voltage — Other Outputs	I _{out} = 0 μA	3	—	0.05	—	0.05	—	0.05	V
			5	—	0.05	—	0.05	—	0.05	
			9	—	0.05	—	0.05	—	0.05	
V _{OH}	High-Level Output Voltage — Other Outputs	I _{out} = 0 μA	3	2.95	—	2.95	—	2.95	—	V
			5	4.95	—	4.95	—	4.95	—	
			9	8.95	—	8.95	—	8.95	—	
V(BR)DSS	Drain-to-Source Breakdown Voltage — SW1, SW2	R _{pull-up} = 4.7 kΩ	—	15	—	15	—	15	—	V
I _{OL}	Low-Level Sinking Current — MC	V _{out} = 0.3 V V _{out} = 0.4 V V _{out} = 0.5 V	3	1.30	—	1.10	—	0.66	—	mA
			5	1.90	—	1.70	—	1.08	—	
			9	3.80	—	3.30	—	2.10	—	
I _{OH}	High-Level Sourcing Current — MC	V _{out} = 2.7 V V _{out} = 4.6 V V _{out} = 8.5 V	3	- 0.60	—	- 0.50	—	- 0.30	—	mA
			5	- 0.90	—	- 0.75	—	- 0.50	—	
			9	- 1.50	—	- 1.25	—	- 0.80	—	
I _{OL}	Low-Level Sinking Current — LD	V _{out} = 0.3 V V _{out} = 0.4 V V _{out} = 0.5 V	3	0.25	—	0.20	—	0.15	—	mA
			5	0.64	—	0.51	—	0.36	—	
			9	1.30	—	1.00	—	0.70	—	
I _{OH}	High-Level Sourcing Current — LD	V _{out} = 2.7 V V _{out} = 4.6 V V _{out} = 8.5 V	3	- 0.25	—	- 0.20	—	- 0.15	—	mA
			5	- 0.64	—	- 0.51	—	- 0.36	—	
			9	- 1.30	—	- 1.00	—	- 0.70	—	
I _{OL}	Low-Level Sinking Current — SW1, SW2	V _{out} = 0.3 V V _{out} = 0.4 V V _{out} = 0.5 V	3	0.80	—	0.48	—	0.24	—	mA
			5	1.50	—	0.90	—	0.45	—	
			9	3.50	—	2.10	—	1.05	—	
I _{OL}	Low-Level Sinking Current — Other Outputs	V _{out} = 0.3 V V _{out} = 0.4 V V _{out} = 0.5 V	3	0.44	—	0.35	—	0.22	—	mA
			5	0.64	—	0.51	—	0.36	—	
			9	1.30	—	1.00	—	0.70	—	
I _{OH}	High-Level Sourcing Current — Other Outputs	V _{out} = 2.7 V V _{out} = 4.6 V V _{out} = 8.5 V	3	- 0.44	—	- 0.35	—	- 0.22	—	mA
			5	- 0.64	—	- 0.51	—	- 0.36	—	
			9	- 1.30	—	- 1.00	—	- 0.70	—	
I _{OZ}	Output Leakage Current — PD _{out}	V _{out} = V _{DD} or V _{SS} Output in Off State	9	—	± 0.3	—	± 0.1	—	± 1.0	μA
I _{OZ}	Output Leakage Current — SW1, SW2	V _{out} = V _{DD} or V _{SS} Output in Off State	9	—	± 0.3	—	± 0.1	—	± 3.0	μA
C _{out}	Output Capacitance — PD _{out}	PD _{out} — Three-State	—	—	10	—	10	—	10	pF

July 2000



FM93C56

2048-Bit Serial CMOS EEPROM

(MICROWIRE™ Synchronous Bus)

General Description

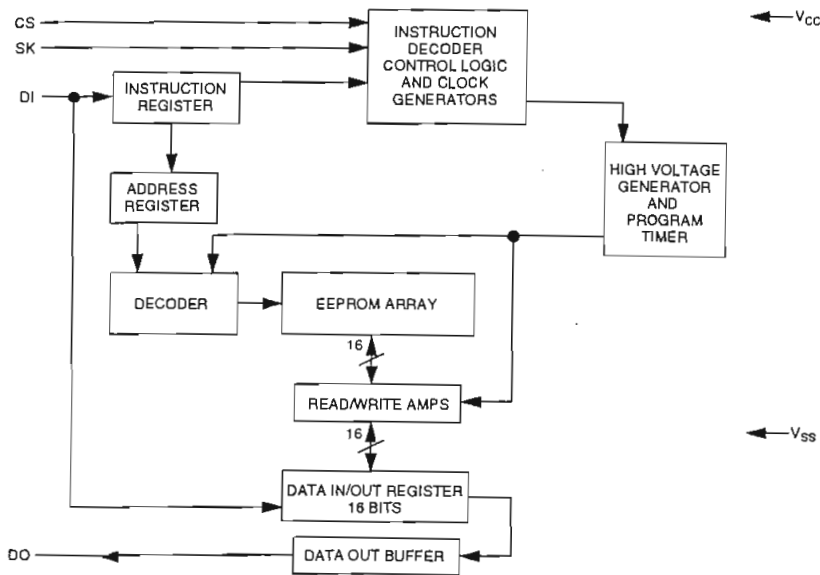
FM93C56 is a 2048-bit CMOS non-volatile EEPROM organized as 128 x 16-bit array. This device features MICROWIRE interface which is a 4-wire serial bus with chipselect (CS), clock (SK), data input (DI) and data output (DO) signals. This interface is compatible to many of standard Microcontrollers and Microprocessors. There are 7 instructions implemented on the FM93C56 for various Read, Write, Erase, and Write Enable/Disable operations. This device is fabricated using Fairchild Semiconductor floating-gate CMOS process for high reliability, high endurance and low power consumption.

"LZ" and "L" versions of FM93C56 offer very low standby current making them suitable for low power applications. This device is offered in both SO and TSSOP packages for small space considerations.

Features

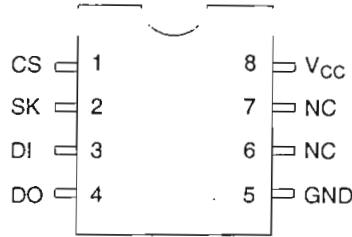
- Wide V_{CC} 2.7V - 5.5V
- Typical active current of 200 μ A
10 μ A standby current typical
1 μ A standby current typical (L)
0.1 μ A standby current typical (LZ)
- No Erase instruction required before Write instruction
- Self timed write cycle
- Device status during programming cycles
- 40 year data retention
- Endurance: 1,000,000 data changes
- Packages available: 8-pin SO, 8-pin DIP, 8-pin TSSOP

Functional Diagram



Connection Diagram

**Dual-In-Line Package (N)
8-Pin SO (M8) and 8-Pin TSSOP (MT8)**



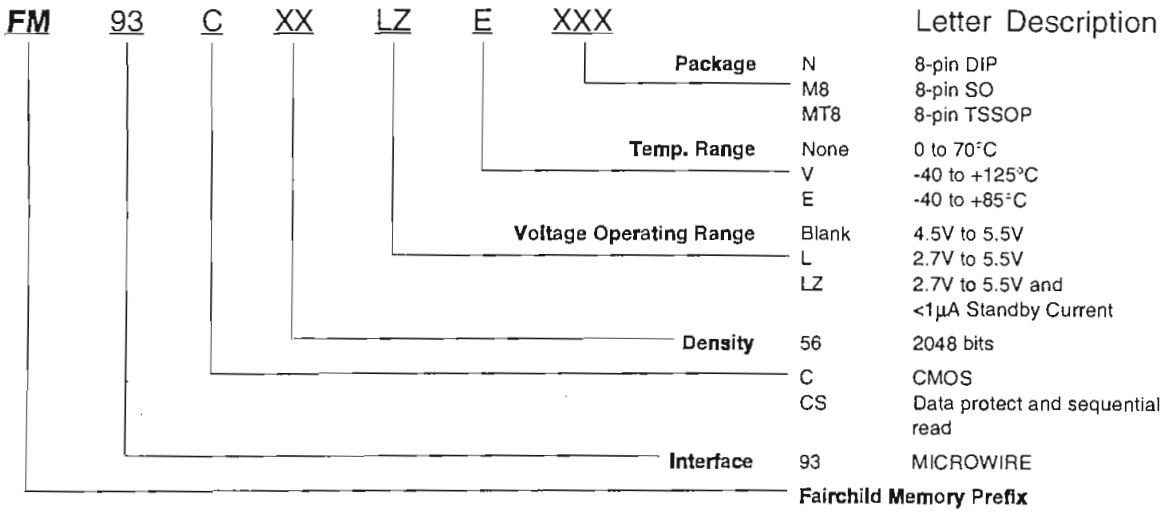
**Top View
Package Number
N08E, M08A and MTC08**

Pin Names

CS	Chip Select
SK	Serial Data Clock
DI	Serial Data Input
DO	Serial Data Output
GND	Ground
NC	No Connect
V _{CC}	Power Supply

NOTE: Pins designated as "NC" are typically unbonded pins. However some of them are bonded for special testing purposes. Hence if a signal is applied to these pins, care should be taken that the voltage applied on these pins does not exceed the V_{CC} applied to the device. This will ensure proper operation.

Ordering Information



Absolute Maximum Ratings (Note 1)

Ambient Storage Temperature	-65°C to +150°C
All Input or Output Voltages with Respect to Ground	+6.5V to -0.3V
Lead Temperature (Soldering, 10 sec.)	+300°C
ESD rating	2000V

Operating Conditions

Ambient Operating Temperature	FM93C56	0°C to +70°C
	FM93C56E	-40°C to +85°C
	FM93C56V	-40°C to +125°C
Power Supply (V _{CC})		4.5V to 5.5V

DC and AC Electrical Characteristics V_{CC} = 4.5V to 5.5V unless otherwise specified

Symbol	Parameter	Conditions	Min	Max	Units
I _{CCA}	Operating Current	CS = V _{IH} , SK=1.0 MHz		1	mA
I _{CCS}	Standby Current	CS = V _{IL}		50	μA
I _{IL} I _{OL}	Input Leakage Output Leakage	V _{IN} = 0V to V _{CC} (Note 2)		±1	μA
V _{IL} V _{IH}	Input Low Voltage Input High Voltage		-0.1 2	0.8 V _{CC} +1	V
V _{OL1} V _{OH1}	Output Low Voltage Output High Voltage	I _{OL} = 2.1 mA I _{OH} = -400 μA	2.4	0.4	V
V _{OL2} V _{OH2}	Output Low Voltage Output High Voltage	I _{OL} = 10 μA I _{OH} = -10 μA	V _{CC} - 0.2	0.2	V
f _{SK}	SK Clock Frequency	(Note 3)		1	MHz
t _{SKH}	SK High Time	0°C to +70°C -40°C to +125°C	250 300		ns
t _{SKL}	SK Low Time		250		ns
t _{CS}	Minimum CS Low Time	(Note 4)	250		ns
t _{CSS}	CS Setup Time		50		ns
t _{DH}	DO Hold Time		70		ns
t _{OIS}	DI Setup Time		100		ns
t _{CSH}	CS Hold Time		0		ns
t _{DIH}	DI Hold Time		20		ns
t _{PD}	Output Delay			500	ns
t _{SV}	CS to Status Valid			500	ns
t _{DF}	CS to DO in Hi-Z	CS = V _{IL}		100	ns
t _{WP}	Write Cycle Time			10	ms

Absolute Maximum Ratings (Note 1)

Ambient Storage Temperature	-65°C to +150°C
All Input or Output Voltages with Respect to Ground	+6.5V to -0.3V
Lead Temperature (Soldering, 10 sec.)	+300°C
ESD rating	2000V

Operating Conditions

Ambient Operating Temperature	0°C to +70°C
FM93C56L/LZ	-40°C to +85°C
FM93C56LE/LZE	-40°C to +125°C
FM93C56LV/LZV	-40°C to +125°C
Power Supply (V _{CC})	2.7V to 5.5V

DC and AC Electrical Characteristics V_{CC} = 2.7V to 4.5V unless otherwise specified. Refer to page 3 for V_{CC} = 4.5V to 5.5V.

Symbol	Parameter	Conditions	Min	Max	Units
I _{CCA}	Operating Current	CS = V _{IH} , SK=250 KHz		1	mA
I _{CCS}	Standby Current L LZ (2.7V to 4.5V)	CS = V _{IL}		10 1	μA μA
I _{IL} I _{OL}	Input Leakage Output Leakage	V _{IN} = 0V to V _{CC} (Note 2)		±1	μA
V _{IL} V _{IH}	Input Low Voltage Input High Voltage		-0.1 0.8V _{CC}	0.15V _{CC} V _{CC} + 1	V
V _{OL} V _{OH}	Output Low Voltage Output High Voltage	I _{OL} = 10μA I _{OH} = -10μA	0.9V _{CC}	0.1V _{CC}	V
f _{SK}	SK Clock Frequency	(Note 3)	0	250	KHz
t _{SKH}	SK High Time		1		μs
t _{SKL}	SK Low Time		1		μs
t _{CS}	Minimum CS Low Time	(Note 4)	1		μs
t _{CSS}	CS Setup Time		0.2		μs
t _{DH}	DO Hold Time		70		ns
t _{DIS}	DI Setup Time		0.4		μs
t _{CSSH}	CS Hold Time		0		ns
t _{OIH}	DI Hold Time		0.4		μs
t _{PD}	Output Delay			2	μs
t _{SV}	CS to Status Valid			1	μs
t _{DF}	CS to DO in Hi-Z	CS = V _{IL}		0.4	μs
t _{WP}	Write Cycle Time			15	ms

Capacitance T_A = 25°C, f = 1 MHz or 250 KHz (Note 5)

Symbol	Test	Typ	Max	Units
C _{OUT}	Output Capacitance		5	pF
C _{IN}	Input Capacitance		5	pF

Note 1: Stress above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of the specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Note 2: Typical leakage values are in the 20nA range.

Note 3: The shortest allowable SK clock period = 1/f_{SK} (as shown under the f_{SK} parameter). Maximum SK clock speed (minimum SK period) is determined by the interaction of several AC parameters stated in the datasheet. Within this SK period, both t_{SKH} and t_{SKL} limits must be observed. Therefore, it is not allowable to set 1/f_{SK} = t_{SKH/minimum} + t_{SKL/minimum} for shorter SK cycle time operation.

Note 4: CS (Chip Select) must be brought low (to V_{IL}) for an interval of t_{CS} in order to reset all internal device registers (device reset) prior to beginning another opcode cycle. (This is shown in the opcode diagram on the following page.)

Note 5: This parameter is periodically sampled and not 100% tested.

AC Test Conditions

V _{CC} Range	V _{IL} /V _{IH} Input Levels	V _{IL} /V _{IH} Timing Level	V _{OL} /V _{OH} Timing Level	I _{OL} /I _{OH}
2.7V ≤ V _{CC} ≤ 5.5V (Extended Voltage Levels)	0.3V/1.8V	1.0V	0.8V/1.5V	±10μA
4.5V ≤ V _{CC} ≤ 5.5V (TTL Levels)	0.4V/2.4V	1.0V/2.0V	0.4V/2.4V	2.1mA/-0.4mA

Output Load: 1 TTL Gate (C_L = 100 pF)

ANEXO 3

```

*****
*** vco07 .ASM - Programa de VCO ***
*****

*****
**Declaración de puertos y registros**
*****

1   porta equ $00
2   portb equ $01
3   portc equ $02
4   portd equ $03
5   ddra  equ $04
6   ddrb  equ $05
7   ddrc  equ $06
8   spicntl equ $0A
9   spistat equ $0B
10  spidata equ $0C
11  scistat equ $10
12  scidata equ $11
13  tcr    equ $12
14  tsr    equ $13
15  icrh   equ $14
16  icrl   equ $15
17  ocrh   equ $16
18  ocrl   equ $17
19  trh    equ $18
20  trl    equ $19
21
22  ;*****
23  ;**Declaración de variables**
24  ;*****
25  org $50
26  frech ds 1      ;frecuencia central
27  frecl ds 1
28  gainh ds 1     ;ganancia AD7706
29  gains ds 1
30  filtro ds 1    ;filtros
31  ppluvh ds 1    ;periodo pluviometro
32  ppluvl ds 1
33  pvolth ds 1
34  pvoltl ds 1
35  pscvh ds 1     ;período de otro sensor
36  pscvl ds 1
37  pbatth ds 1    ;período voltaje batería
38  pbattl ds 1
39  prelayh ds 1
40  prelayl ds 1
41  ampli ds 1     ;amplitud de senoide
42  pluvih ds 1    ;pluviómetro
43  pluvil ds 1

```

```

44  datah ds 1
45  datal ds 1
46  bdatah ds 1      ;dato voltaje batería
47  bdatal ds 1
48  quinto ds 1
49  segundo ds 1
50  pluvioh ds 1     ;dato pluviómetro
51  pluvioh ds 1
52  volth ds 1      ;dato voltaje otro sensor
53  voltl ds 1
54  scvh ds 1
55  scvl ds 1
56  batth ds 1
57  battl ds 1
58  relayh ds 1
59  relayl ds 1
60  recalh ds 1
61  recall ds 1
62  ldcom ds 1
63  buff ds $86
64  org $100         ;*****
65  ;*** Setup interno ***
66  ;*****
67
68  inicio: clrx      ;limpia el registro X para interrupciones
69  lda #$FB         ;1111 1011
70  sta ddrh         ;direcciona los datos del puerto C
71  lda #$82         ;1000 0010
72  sta portc
73  lda #$FF         ;1111 1111
74  sta ddrb         ;direcciona los datos del puerto B
75  sta ddra
76  clra
77  sta porta        ; coloca 0 en el puerto A
78  sta portb        ;coloca cero en el puerto B
79  lda #$50         ;spi control EEPROM 0101 0000 ADC 0101 1100
80  sta spicntl
81  lda #$11         ;sci baud rate 0001 0001 9600
82  sta $0D
83  clra            ;sci control 1
84  sta $0E
85  lda #$2C         ;sci control 2 no ints 0000 1100 recieved ints 0010 1100

86  sta $0F
87  lda #$C0         ;timer control 1100 0000
88  sta tcr         ;inicio el timer
89  lda trh
90  add #$B4
91  sta ocrh
92  lda trl
93  sta ocrl

```

```

94      lda #$08      ;0000 1000
95      sta $1E      ;cop control
96
97      ;*****
98      ;*** Cargar datos de EEPROM ***
99      ;*****
100
101     ·  ldx #$02      ;Frecuencia central
102     jsr reeprom
103     lda datah
104     sta frech
105     lda datal
106     sta frecl
107
108     ldx #$03      ;00 G2 G1 G0 000 0000 0000 0011 1000
109     jsr reeprom   ;00 08 10 18 20 28 30 38
110     lda datal     ; 0 6 12 18 24 30 36 42 dB
111     and #$38
112     sta gainh
113
114     ldx #$04      ; 7 6 5 4 3 2 1 0
115     jsr reeprom   ; 0 6 12 18 24 30 36 42 dB
116     lda datal
117     and #$07
118     sta gains
119
120     ldx #$05      ;0000 CDV 0 FS1 FS0
121     jsr reeprom   ;0000 0000 OFF 0000 1011 OUT 0000 1010 24Hz
122     lda datal     ;0000 0001 12Hz 0000 1001 6Hz
123     and #$0B
124     sta filtro   ;00 0B 0A      01 09
125
126     ldx #$06      ;amplitud de salida
127     jsr reeprom
128     lda datal
129     and #$C0
130     sta ampli
131
132     ldx #$07      ;
133     jsr reeprom
134     lda datah     ;
135     sta ppluvh    ; período de pluviometría
136     lda datal
137     sta ppluvl
138     clr pluvioh   ;
139     clr pluvioi   ;
140
141     ldx #$08
142     jsr reeprom
143     lda datah
144     sta pvolth    ;

```

```

145     lda datah
146     sta pvolti
147     clr volth ;
148     clr voltl
149
150     ldx #$09
151     jsr reeprom
152     lda datah
153     sta pscvh
154     lda datah
155     sta pscvl
156     clr scvh
157     clr scvl
158
159     ldx #$0A
160     jsr reeprom
161     lda datah
162     sta pbatth ;
163     lda datah
164     sta pbattl
165     clr batth
166     clr battl ;
167
168     ldx #$0B
169     jsr reeprom
170     lda datah
171     sta prelayh ;
172     lda datah
173     sta prelayl
174     clr relayh ;
175     clr relayl
176
177     ;
178     ;*****
179     ;*** Setup AD7706 ***
180     ;*****
181     lda #$5C
182     sta spicntl
183     bclr 1,portc ;Activando CS AD7706
184     bclr 3,portc ;RESET del AD7706
185     nop
186     nop
187     bset 3,portc
188     nop
189     nop
190     nop
191     nop
192     nop
193     lda #$23 ;indica el communication register escribir 23Hex al clock
register 0010 0011
194     sta spidata

```



```

195     brclr 7,spistat,*      ; espera que pasen los 8 bits
196     lda filtro
197     sta spidata
198     brclr 7,spistat,*
199
200     lda #$10               ;indica al CR escribir al setup register 0001 0000
201     sta spidata           ;Calibracion de canal 1
202     brclr 7,spistat,*
203     lda #$46              ;0100 0110
204     sta spidata
205     brclr 7,spistat,*
206     lda spidata
207     brset 2,portc,*
208     brclr 2,portc,*
209     brset 2,portc,*
210
211     lda #$11              ;indica al CR escribir al setup register 0001 0001
212     sta spidata           ;Calibracion de canal 2
213     brclr 7,spistat,*
214     lda #$46              ;0100 0110
215     sta spidata
216     brclr 7,spistat,*
217     lda spidata
218     brset 2,portc,*
219     brclr 2,portc,*
220     brset 2,portc,*
221
222     lda #$13              ;indica al CR escribir al setup register 0001 0011
223     sta spidata
224     brclr 7,spistat,*
225     lda gainh             ;0010 1000
226     ora #$42              ;0100 0010 calibracion canal 3 manteniendo la ganancia

227     sta spidata
228     brclr 7,spistat,*
229     lda spidata
230     brset 2,portc,*
231     brclr 2,portc,*
232     brset 2,portc,*
233
234     bset 1,portc          ;deshabilita el AD7706
235
236     ;*****
237     ;*** Setup ASIN ***
238     ;*****
239     lda ampli
240     sta portb             ;coloca el valor de amplitud en puerto B
241     ;*****
242     ;*** Relay Radio ON ***
243     ;*****
244     brclr 5,tsr,*        ;espera reinicio contador

```

```

245     lda trl
246     bset 5,portc
247     brclr 5,tsr,*      ;prueba del rele
248     lda trl
249     bclr 5,portc      ;prende el radio
250     ;*****
251     ;*** Limpiar Contador ***
252     ;*****
253     clra
254     sta pluvih        ;limpia valores de pluviómetro
255     sta pluvil
256     ;*****
257     ;*** Modo 1 ***
258     ;*****
259     bset 5,portb
260     lda filtro
261     bne modos
262     brclr 5,tsr,*
263     lda trl
264     bset 6,portc      ;corta la transmisión
265     brclr 5,tsr,*
266     lda trl
267     bclr 6,portc
268     cli
269     jmp *            ;espera alguna interrupción
270     ;*****+****
271     ;*** Modo 2,3,4,5 ***
272     ;*****
273
274     ;*****
275     ;*** Esperar DRDY ***
276     ;*****
277     modos: cli      ;limpia bandera interrupciones
278     brset 2,portc,* ;espera un dato
279     sei            ;deshabilita interrupciones
280     ;*****
281     ;*** Leer datos ***
282     ;*****
283     bclr 1,portc    ; selecciona el AD7706
284     nop
285     nop
286     lda #$3B      ; 0011 1011 indica al CR lectura del data register canal 3

287     sta spidata
288     brclr 7,spistat,* ;espera escribir la orden
289     lda #$FF
290     sta spidata
291     brclr 7,spistat,* ;espera que los datos sean recibidos
292     lda spidata
293     sta datah      ;almacena los 8 bits msb datah
294     sta bdatah

```

```

295     lda #$FF      ;lee y almacena los 8 bits lsb data1
296     sta spidata
297     brclr 7,spistat,*
298     lda spidata
299     sta data1
300     sta bdata1
301     bset 1,portc  ;deshabilita el AD7706
302     lda datah    ;coloca el signo a los datos
303     add #$80
304     sta datah
305     ;*****
306     ;*** Operar Ganancia ***
307     ;*****
308     ldx gains    ;guarda en el registro X el valor de ganancia software
309 ogan: beq lcan
310     asr datah    ;rota el dato
311     ror data1
312     decx
313     jmp ogan
314 lcan: brset 7,datah,llimit
315     lda datah
316     and #$FE    ;1111 1110
317     beq sfc
318     lda #$01    ;0000 0001
319     sta datah
320     lda #$FF
321     sta data1
322     jmp sfc
323 llimit: lda datah
324     coma      ;saca el complemento 1
325     and #$FE
326     beq sfc
327     lda #$FE
328     sta datah
329     lda #$00
330     sta data1
331     ;*****
332     ;*** Sumar Frecuencia Central ***
333     ;*****
334 sfc:  lda data1
335     add frecl   ;suma frecuencia central al dato
336     sta data1
337     lda datah
338     adc frech
339     and #$3F
340     sta datah
341     ;*****
342     ;*** Escribir PLL ***
343     ;*****
344     lda data1
345     sta porta

```

```

346     lda datah
347     add ampli
348     sta portb
349     ,*****
350     ,*** Escribir SCI ***
351     ,*****
352     clra
353     sta scidata
354     brclr 6,scistat,*
355     lda bdatah
356     sta scidata ;escribe el dato al SCI
357     brclr 6,scistat,*
358     lda bdatah
359     sta scidata ; escribe el dato al SCI
360     brclr 6,scistat,*
361     jmp modos
362
363     org $800
364
365 txdata: sta datah
366     stx datah
367     lda frecl
368     sub #$40 ;(-32 Hz)
369     sta porta ;Escribir START bit
370     lda frech ;en PLL
371     sbc #$00
372     add ampli
373     sta portb
374
375     ldx #$0A
376
377 txstart:decx
378     beq txstop ;espera a que se transmita los 10 bits
379     lda tsr ;Borra la bandera OCF
380     lda ocr1
381     lda trh
382     add #$B4
383     sta ocrh
384     lda trl ;sincroniza ocr1
385     sta ocr1
386     brclr 6,tsr,* ;Esperar 1/5 de segundo
387
388     lsr datah
389     bcs dhigh
390     lda frecl ;Transmitir un CERO
391     sub #$40
392     sta porta
393     lda frech
394     sbc #$00
395     add ampli
396     sta portb

```

```

397      jmp txstart
398  dhigh: lda frecl      ;Trasmitir un UNO
399      add #$40
400      sta porta
401      lda frech
402      adc #$00
403      add ampli
404      sta portb
405      jmp txstart
406  txstop: lda frecl
407      add #$40
408      sta porta
409      lda frech
410      adc #$00
411      add ampli
412      sta portb
413      lda tsr
414      lda ocrl
415      lda trh      ;reinicia conteo
416      add #$B4
417      sta ocrh
418      lda trl
419      sta ocrl
420      brclr 6,tsr,*  ;Esperar 1/5 de segundo
421      ldx datal
422      rts
423
424  txcad: clrx
425  txcadi: lda buff,X
426      jsr txdata
427      incx
428      cmp #$0D
429      beq fds2
430      cpx #$20
431      bne txcadi
432  fds2: rts
433
434  weeprom: bset 1,portc      ; Desactivando CS del AD7706
435      lda #$50      ;spi control EEPROM 0101 0000
436      sta spicntl
437      bset 0,portc      ;Activando EEPROM
438
439      lda #$04      ;Opcode WRITE ENABLE
440      sta spidata      ;0000 0100
441      brclr 7,spistat,*
442      lda spidata
443      lda #$C0      ;Address 1100 0000
444      sta spidata
445      brclr 7,spistat,*
446      lda spidata
447      nop

```

```
448      bclr 0,portc
449      nop
450      bset 0,portc
451
452      lda #$05          ;Opcode
453      sta spidata      ;0000 0101
454      brclr 7,spistat,*
455      lda spidata
456      stx spidata      ;Address
457      brclr 7,spistat,*
458      lda spidata
459      lda datah        ;Data 15-8
460      sta spidata
461      brclr 7,spistat,*
462      lda spidata
463      lda datal        ;Data 7-0
464      sta spidata
465      brclr 7,spistat,*
466      lda spidata
467
468      bclr 0,portc      ;Descativando EEPROM
469      lda #$5C          ;spi control ADC 0101 1100
470      sta spicntl
471      bclr 1,portc      ;Activando CS del AD7706
472
473      rts
474
475      reeprom:bset 1,portc      ; Desactivando CS del AD7706
476      lda #$50          ;spi control EEPROM 0101 0000
477      sta spicntl
478      bset 0,portc      ;Activando EEPROM
479
480      lda #$06          ;READ op code 0000 0110
481      sta spidata
482      brclr 7,spistat,*
483      lda spidata
484      stx spidata      ;Address
485      brclr 7,spistat,*
486      lda spidata
487      lda #$FF
488      sta spidata
489      brclr 7,spistat,*
490      lda spidata
491      sta datah
492      lda #$FF
493      sta spidata
494      brclr 7,spistat,*
495      lda spidata
496      sta datal
497      lda #$FF
498      sta spidata
```

```

499     brclr 7,spistat,*    ;lee el bit dummy
500     lda spidata
501     asla                ;rota el dato
502     rol data1
503     rol datah
504
505     bclr 0,portc        ;Descativando EEPROM
506     lda #$5C           ;spi control ADC 0101 1100
507     sta spicntl
508     bclr 1,portc        ;Activando CS del AD7706
509
510     rts
511     ,*****
512     ,*****INTERRUPCIONES*****
513     ,*****
514     org $1000
515
516
517 spi_int:                ;interrupcion del SPI
518     lda spistat
519     lda spidata
520     bset 0,porta
521     nop
522     bclr 0,porta
523     nop
524     jmp spi_int
525     rti
526
527 com_int:                ; interrupción del SPI
528     clr x
529     lda scistat
530     lda scidata
531     cmp #'%'            ;compara el primer %
532     bne regr
533     brclr 5,scistat,*
534     lda scistat
535     lda scidata
536     cmp #'%'            ;compara el segundo %
537     bne regr
538 nbeb: brclr 5,scistat,*
539     lda scistat
540     lda scidata
541     sta buff,X
542     inc x
543     cmp #$0D
544     beq pcom
545     cpx #$06
546     beq regr
547     jmp nbeb
548
549 regr: rti

```

```

550
551 pcom: stx ldcom
552     clrx
553     lda buff,X
554     incx
555     cmp #'F'           ;compara con F,G,P,A,T,R
556     beq comf
557     cmp #'G'
558     beq comg
559     cmp #'P'
560     beq comp
561     cmp #'A'
562     beq coma
563     cmp #'T'
564     beq comt
565     cmp #'R'
566     beq comr
567     rti
568 comg: jmp comgl
569 coma: jmp comal
570 comp: jmp compl
571 comt: jmp comtl
572 comr: jmp comrl
573 comf: lda buff,X
574     incx
575     cmp #'R'
576     beq comfr
577     cmp #'L'
578     beq comfl
579     rti
580 comfr: lda buff,X    ; Comando FR (frecuencia central)
581     incx
582     sta frech
583     lda buff,X
584     incx
585     sta frecl
586
587     ldx #$02         ;direccion de la variable frecuencia
588     lda frech
589     sta datah
590     lda frecl
591     sta datal
592     jsr weeprom
593
594     lda #'%'         ;regresa el valor de frecuencia
595     sta scidata
596     brclr 6,scistat,*
597     lda #'%'
598     sta scidata
599     brclr 6,scistat,*
600     lda #'F'

```



```
601      sta scidata
602      brclr 6,scistat,*
603      lda #'R'
604      sta scidata
605      brclr 6,scistat,*
606      lda frech
607      sta scidata
608      brclr 6,scistat,*
609      lda frecl
610      sta scidata
611      brclr 6,scistat,*
612      lda #$0D
613      sta scidata
614      brclr 6,scistat,*
615
616      rti
617
618      comfl: lda buff,X      ; Comando FL (filtro)
619      incx
620      sta filtro
621
622      ldx #$05      ;dirección para el valor del filtro
623      clr datah
624      lda filtro
625      sta datah
626      jsr weeprom
627
628      lda #'%'      ;regresa el valor guardado
629      sta scidata
630      brclr 6,scistat,*
631      lda #'%'
632      sta scidata
633      brclr 6,scistat,*
634      lda #'F'
635      sta scidata
636      brclr 6,scistat,*
637      lda #'L'
638      sta scidata
639      brclr 6,scistat,*
640      lda filtro
641      sta scidata
642      brclr 6,scistat,*
643      lda #$0D
644      sta scidata
645      brclr 6,scistat,*
646
647
648      lda #$5C      ;recalibración de AD7706
649      sta spicntl
650      bclr 1,portc ;Activando CS AD7706
651      bclr 3,portc ;RESET del AD7706
```

```
652      nop
653      nop
654      nop
655      bset 3,portc
656      nop
657      nop
658      nop
659      nop
660      nop
661      lda #$23          ;write clock register 0010 0011
662      sta spidata
663      brclr 7,spistat,*
664      lda filtro
665      sta spidata
666      brclr 7,spistat,*
667      lda #$13          ;write setup register 0001 0011
668      sta spidata
669      brclr 7,spistat,*
670      lda gainh         ;0010 1000
671      ora #$42         ;0100 0010
672      sta spidata
673      brclr 7,spistat,*
674      lda spidata
675      bset 1,portc
676      brset 2,portc,*
677      brclr 2,portc,*
678      brset 2,portc,*
679
680
681      rti
682
683 comgl: lda buff,X
684      incx
685      cmp #'H'
686      beq comgh
687      cmp #'S'
688      beq comgs
689      rti
690
691 comgh: lda buff,X    ; Comando GH (ganancia hardware)
692      incx
693      sta gainh
694
695      ldx #$03        ;dirección para el dato
696      clr datah
697      lda gainh
698      sta datah
699      jsr weeprom
700
701      lda #$5C        ;recalibración de AD7706
702      sta spicntl
```

```
703      bclr 1,portc ;Activando CS AD7706
704      bclr 3,portc ;RESET del AD7706
705      nop
706      nop
707      nop
708      bset 3,portc
709      nop
710      nop
711      nop
712      nop
713      nop
714      lda #$23 ;le indica al com reg. que escriba en el clock reg. 0010 0011

715      sta spidata
716      brclr 7,spistat,*
717      lda filtro
718      sta spidata
719      brclr 7,spistat,*
720      lda #$13 ;write setup register 0001 0011
721      sta spidata
722      brclr 7,spistat,*
723      lda gainh ;0010 1000
724      ora #$42 ;0100 0010
725      sta spidata
726      brclr 7,spistat,*
727      lda spidata
728      bset 1,portc
729      brset 2,portc,*
730      brclr 2,portc,*
731      brset 2,portc,*
732
733      lda #'%' ;regresa el valor
734      sta scidata
735      brclr 6,scistat,*
736      lda #'%'
737      sta scidata
738      brclr 6,scistat,*
739      lda #'G'
740      sta scidata
741      brclr 6,scistat,*
742      lda #'H'
743      sta scidata
744      brclr 6,scistat,*
745      lda gainh
746      sta scidata
747      brclr 6,scistat,*
748      lda #$0D
749      sta scidata
750      brclr 6,scistat,*
751
752      rti
```

```
753
754  comgs: lda buff,X ; Comando GS (ganancia software)
755         incx
756         sta gains
757
758         ldx #$04 ;dirección para el dato
759         clr datah
760         lda gains
761         sta datah
762         jsr weeprom
763
764         lda #'%' ;regresa el dato
765         sta scidata
766         brclr 6,scistat,*
767         lda #'%'
768         sta scidata
769         brclr 6,scistat,*
770         lda #'G'
771         sta scidata
772         brclr 6,scistat,*
773         lda #'S'
774         sta scidata
775         brclr 6,scistat,*
776         lda gains
777         sta scidata
778         brclr 6,scistat,*
779         lda #$0D
780         sta scidata
781         brclr 6,scistat,*
782
783         rti
784
785  compl: lda buff,X ;compara el siguiente caracter en la secuencia
786         incx
787         cmp #'P'
788         beq compp
789         cmp #'V'
790         beq compv
791         cmp #'B'
792         beq compb
793         cmp #'Y'
794         beq compr
795         cmp #'S'
796         beq comps
797         rti
798
799  comps: jmp compl
800  compr: jmp comprl
801  compb: jmp compbl
802  compv: lda buff,X ; Comando PP (periodo tx de pluviometro)
803         incx
```

```
804     sta ppluvh
805     lda buff,X
806     incx
807     sta ppluvl
808
809     ldx #$07     ;carga la direccion del dato a escribir
810     lda ppluvh
811     sta datah
812     lda ppluvl
813     sta datal
814     jsr weeprom
815
816     lda #'%'     ;regresa al serial el dato
817     sta scidata
818     brclr 6,scistat,*
819     lda #'%'
820     sta scidata
821     brclr 6,scistat,*
822     lda #'P'
823     sta scidata
824     brclr 6,scistat,*
825     lda #'P'
826     sta scidata
827     brclr 6,scistat,*
828     lda ppluvh
829     sta scidata
830     brclr 6,scistat,*
831     lda ppluvl
832     sta scidata
833     brclr 6,scistat,*
834     lda #$0D
835     sta scidata
836     brclr 6,scistat,*
837
838     rti
839
840     compv: lda buff,X     ; Comando PV (periodo tx de inclinometro)
841           incx
842           sta pvolth
843           lda buff,X
844           incx
845           sta pvoltl
846
847           ldx #$08     ;indica la dirección del dato a escribir
848           lda pvolth
849           sta datah
850           lda pvoltl
851           sta datal
852           jsr weeprom
853
854           lda #'%'     ;regresa el dato introducido
```

```
855     sta scidata
856     brclr 6,scistat,*
857     lda #'%'
858     sta scidata
859     brclr 6,scistat,*
860     lda #'P'
861     sta scidata
862     brclr 6,scistat,*
863     lda #'V'
864     sta scidata
865     brclr 6,scistat,*
866     lda pvolth
867     sta scidata
868     brclr 6,scistat,*
869     lda pvoltl
870     sta scidata
871     brclr 6,scistat,*
872     lda #$0D
873     sta scidata
874     brclr 6,scistat,*
875
876     rti
877
878     compbl: lda buff,X   ; Comando PB (periodo tx de bateria)
879           incx
880           sta pbatth
881           lda buff,X
882           sta pbattl
883
884           idx #$0A      ;coloca la dirección del dato a ingresar
885           lda pbatth
886           sta datah
887           lda pbattl
888           sta datal
889           jsr weeprom
890
891           lda #'%'      ;regresa el dto al puerto serial
892           sta scidata
893           brclr 6,scistat,*
894           lda #'%'
895           sta scidata
896           brclr 6,scistat,*
897           lda #'P'
898           sta scidata
899           brclr 6,scistat,*
900           lda #'B'
901           sta scidata
902           brclr 6,scistat,*
903           lda pbatth
904           sta scidata
905           brclr 6,scistat,*
```

```

906     lda pbattl
907     sta scidata
908     brclr 6,scistat,*
909     lda #$0D
910     sta scidata
911     brclr 6,scistat,*
912
913     rti
914
915     compri: lda buff,X           ; Comando PR (periodo tx de relay)
916           incx
917           sta prelayh
918           lda buff,X
919           sta prelayl
920
921           ldx #$0B             ;indica la dirección del dato a escribir
922           lda prelayh
923           sta datah
924           lda prelayl
925           sta datal
926           jsr weeprom
927
928           lda #'%'            ;regresa el dato al serial
929           sta scidata
930           brclr 6,scistat,*
931           lda #'%'
932           sta scidata
933           brclr 6,scistat,*
934           lda #'P'
935           sta scidata
936           brclr 6,scistat,*
937           lda #'R'
938           sta scidata
939           brclr 6,scistat,*
940           lda prelayh
941           sta scidata
942           brclr 6,scistat,*
943           lda prelayl
944           sta scidata
945           brclr 6,scistat,*
946           lda #$0D
947           sta scidata
948           brclr 6,scistat,*
949
950     rti
951
952     compsl: lda buff,X         ; Comando PS (periodo tx de señal)
953           incx
954           sta pscvh
955           lda buff,X
956           sta pscvl

```

```
957
958     ldx #$09           ;indica la direccion deonde guarda el dato a escribir
959     lda pscvh
960     sta datah
961     lda pscvl
962     sta datal
963     jsr weeprom
964
965     lda #'%'           ;retorna el dato al serial
966     sta scidata
967     brclr 6,scistat,*
968     lda #'%'
969     sta scidata
970     brclr 6,scistat,*
971     lda #'P'
972     sta scidata
973     brclr 6,scistat,*
974     lda #'S'
975     sta scidata
976     brclr 6,scistat,*
977     lda pscvh
978     sta scidata
979     brclr 6,scistat,*
980     lda pscvl
981     sta scidata
982     brclr 6,scistat,*
983     lda #$0D
984     sta scidata
985     brclr 6,scistat,*
986
987     rti
988
989 comal: lda buff,X
990     incx
991     cmp #'M'
992     beq comam
993     rti
994 comam: lda buff,X     ; Comando AM (amplitud de salida)
995     incx
996     sta ampli
997
998     ldx #$06           ;indica la direccion donde guardara el dato
999     clr datah
1000    lda ampli
1001    sta datal
1002    jsr weeprom
1003
1004    lda #'%'           ;retorna el dato al serial
1005    sta scidata
1006    brclr 6,scistat,*
1007    lda #'%'
```



```
1008     sta scidata
1009     brclr 6,scistat,*
1010     lda #'A'
1011     sta scidata
1012     brclr 6,scistat,*
1013     lda #'M'
1014     sta scidata
1015     brclr 6,scistat,*
1016     lda ampli
1017     sta scidata
1018     brclr 6,scistat,*
1019     lda #$0D
1020     sta scidata
1021     brclr 6,scistat,*
1022
1023     rti
1024
1025 comtl: lda buff,X      ;Comando de texto
1026     incx
1027     cmp #'U'
1028     beq comtu
1029     cmp #'E'
1030     beq comte
1031     rti
1032
1033 comtu: ldx #$40        ;Comando de lectura de texto
1034     nop
1035     nop
1036     nop
1037     nop
1038     nop
1039     lda #'%'
1040     sta scidata
1041     brclr 6,scistat,*
1042
1043 brte:  jsr reeprom     ;Empieza la lectura del texto
1044     lda datah
1045     sta scidata
1046     brclr 6,scistat,*
1047     cmp #$0D
1048     beq frte
1049     lda datal
1050     sta scidata
1051     brclr 6,scistat,*
1052     cmp #$0D
1053     beq frte
1054     cpx #$7F
1055     beq frte
1056     incx
1057     jmp brte
1058
```

```
1059 frte: rti
1060
1061 comte: ldx #$40           ;Comando de escritura de texto
1062 bcte: brclr 5,scistat,*
1063     lda scistat
1064     lda scidata
1065     sta datah
1066     cmp #$0D
1067     beq nmts
1068     brclr 5,scistat,*
1069     lda scistat
1070     lda scidata
1071     sta datal
1072     cmp #$0D
1073     beq nmts
1074     jsr weeprom
1075     incx
1076     cpx #$7F
1077     beq nmte
1078     jmp bcte
1079
1080 nmte: rti
1081 nmts: jsr weeprom
1082     rti
1083 comrl:           ;Comando de reporte total
1084     nop
1085     nop
1086     nop
1087     nop
1088     nop
1089     lda #'%'
1090     sta scidata
1091     brclr 6,scistat,*
1092     lda #'%'
1093     sta scidata
1094     brclr 6,scistat,*
1095     lda #'F'
1096     sta scidata
1097     brclr 6,scistat,*
1098     lda #'R'
1099     sta scidata
1100     brclr 6,scistat,*
1101     lda frech
1102     sta scidata
1103     brclr 6,scistat,*
1104     lda frecl
1105     sta scidata
1106     brclr 6,scistat,*
1107     lda #$0D
1108     sta scidata
1109     brclr 6,scistat,*
```

```
1110     lda #'%'
1111     sta scidata
1112     brclr 6,scistat,*
1113     lda #'%'
1114     sta scidata
1115     brclr 6,scistat,*
1116     lda #'F'
1117     sta scidata
1118     brclr 6,scistat,*
1119     lda #'L'
1120     sta scidata
1121     brclr 6,scistat,*
1122     lda filtro
1123     sta scidata
1124     brclr 6,scistat,*
1125     lda #$0D
1126     sta scidata
1127     brclr 6,scistat,*
1128     lda #'%'
1129     sta scidata
1130     brclr 6,scistat,*
1131     lda #'%'
1132     sta scidata
1133     brclr 6,scistat,*
1134     lda #'G'
1135     sta scidata
1136     brclr 6,scistat,*
1137     lda #'H'
1138     sta scidata
1139     brclr 6,scistat,*
1140     lda gainh
1141     sta scidata
1142     brclr 6,scistat,*
1143     lda #$0D
1144     sta scidata
1145     brclr 6,scistat,*
1146     lda #'%'
1147     sta scidata
1148     brclr 6,scistat,*
1149     lda #'%'
1150     sta scidata
1151     brclr 6,scistat,*
1152     lda #'G'
1153     sta scidata
1154     brclr 6,scistat,*
1155     lda #'S'
1156     sta scidata
1157     brclr 6,scistat,*
1158     lda gains
1159     sta scidata
1160     brclr 6,scistat,*
```

```
1161     lda #$0D
1162     sta scidata
1163     brclr 6,scistat,*
1164     lda #'%'
1165     sta scidata
1166     brclr 6,scistat,*
1167     lda #'%'
1168     sta scidata
1169     brclr 6,scistat,*
1170     lda #'P'
1171     sta scidata
1172     brclr 6,scistat,*
1173     lda #'P'
1174     sta scidata
1175     brclr 6,scistat,*
1176     lda ppluvh
1177     sta scidata
1178     brclr 6,scistat,*
1179     lda ppluvl
1180     sta scidata
1181     brclr 6,scistat,*
1182     lda #$0D
1183     sta scidata
1184     brclr 6,scistat,*
1185     lda #'%'
1186     sta scidata
1187     brclr 6,scistat,*
1188     lda #'%'
1189     sta scidata
1190     brclr 6,scistat,*
1191     lda #'P'
1192     sta scidata
1193     brclr 6,scistat,*
1194     lda #'V'
1195     sta scidata
1196     brclr 6,scistat,*
1197     lda pvolth
1198     sta scidata
1199     brclr 6,scistat,*
1200     lda pvolti
1201     sta scidata
1202     brclr 6,scistat,*
1203     lda #$0D
1204     sta scidata
1205     brclr 6,scistat,*
1206     lda #'%'
1207     sta scidata
1208     brclr 6,scistat,*
1209     lda #'%'
1210     sta scidata
1211     brclr 6,scistat,*
```

```
1212    lda #'P'
1213    sta scidata
1214    brclr 6,scistat,*
1215    lda #'B'
1216    sta scidata
1217    brclr 6,scistat,*
1218    lda pbatth
1219    sta scidata
1220    brclr 6,scistat,*
1221    lda pbattl
1222    sta scidata
1223    brclr 6,scistat,*
1224    lda #$0D
1225    sta scidata
1226    brclr 6,scistat,*
1227    lda #'%'
1228    sta scidata
1229    brclr 6,scistat,*
1230    lda #'%'
1231    sta scidata
1232    brclr 6,scistat,*
1233    lda #'P'
1234    sta scidata
1235    brclr 6,scistat,*
1236    lda #'R'
1237    sta scidata
1238    brclr 6,scistat,*
1239    lda prelayh
1240    sta scidata
1241    brclr 6,scistat,*
1242    lda prelayl
1243    sta scidata
1244    brclr 6,scistat,*
1245    lda #$0D
1246    sta scidata
1247    brclr 6,scistat,*
1248    lda #'%'
1249    sta scidata
1250    brclr 6,scistat,*
1251    lda #'%'
1252    sta scidata
1253    brclr 6,scistat,*
1254    lda #'P'
1255    sta scidata
1256    brclr 6,scistat,*
1257    lda #'S'
1258    sta scidata
1259    brclr 6,scistat,*
1260    lda pscvh
1261    sta scidata
1262    brclr 6,scistat,*
```

```

1263     lda pscvl
1264     sta scidata
1265     brclr 6,scistat,*
1266     lda #$0D
1267     sta scidata
1268     brclr 6,scistat,*
1269     lda #'%'
1270     sta scidata
1271     brclr 6,scistat,*
1272     lda #'%'
1273     sta scidata
1274     brclr 6,scistat,*
1275     lda #'A'
1276     sta scidata
1277     brclr 6,scistat,*
1278     lda #'M'
1279     sta scidata
1280     brclr 6,scistat,*
1281     lda ampli
1282     sta scidata
1283     brclr 6,scistat,*
1284     lda #$0D
1285     sta scidata
1286     brclr 6,scistat,*
1287     lda #'%'
1288     sta scidata
1289     brclr 6,scistat,*
1290     lda #'%'
1291     sta scidata
1292     brclr 6,scistat,*
1293     rti
1294
1295 timer_int:
1296     brset 7,tsr,incap      ;ve si la interrupción es por ingreso de dato
1297     brset 6,tsr,outcmp    ;ve si la interrupción se produce por comparación

1298 incap: lda tsr
1299     lda icrl
1300     inc pluvil
1301     bcs inpvh
1302     rti
1303 inpvh: inc pluvih
1304     bcs tplv
1305     rti
1306 tplv: lda 'P'           ;si el registro esta lleno transmite el dato
1307     jsr txdata
1308     lda #$FF
1309     jsr txdata
1310     lda #$FF
1311     jsr txdata
1312     rti

```

```

1313 outcmp: lda tsr
1314     ldx ocr1
1315     lda trh
1316     add #$B4
1317     sta ocrh
1318     stx ocr1
1319
1320     inc quinto
1321     lda quinto
1322     cmp #05
1323     beq qll
1324     lda quinto
1325     cmp #01
1326     beq qeu
1327     bclr 7,portc
1328     rti
1329 qeu:  bset 7,portc
1330     rti
1331 qll:  clr quinto           ;enciende el led 0,2seg de cada seg
1332     inc segundo
1333     cmp #$60
1334     beq micom
1335     rti
1336 micom: clr segundo       ;compara a ver si se cumple el periodo de pluviometro

1337     lda ppluvh
1338     cmp #$FF
1339     beq dvolt
1340     dec pluviol
1341     bcc dvolt
1342     dec pluvioh
1343     bcc dvolt
1344     lda #'P'             ;Enviar datos pluviom
1345     jsr txdata
1346     lda pluvih
1347     jsr txdata
1348     lda pluvil
1349     jsr txdata
1350     clr pluvih
1351     clr pluvil
1352     lda ppluvh
1353     sta pluvioh
1354     lda ppluvl
1355     sta pluviol
1356     rti
1357 dvolt: lda pvolth
1358     cmp #$FF           ;Compara a ve si se cumple el periodo de AIN1
1359     beq dscv
1360     dec voltl
1361     bcc dscv
1362     dec volth

```

```
1363     bcc dscv
1364     bclr 1,portc      ;Leer voltaje externo (AIN1)
1365     nop
1366     lda #$38         ; 0011 1000
1367     sta spidata
1368     brclr 7,spistat,*
1369     brset 2,portc,*
1370     brclr 2,portc,*
1371     brset 2,portc,*
1372     lda #$FF
1373     sta spidata
1374     brclr 7,spistat,*
1375     lda spidata
1376     sta datah
1377     lda #$FF
1378     sta spidata
1379     brclr 7,spistat,*
1380     lda spidata
1381     sta datal
1382     bset 1,portc
1383     lda #'V'         ;Envia el dato
1384     jsr txdata
1385     lda datah
1386     jsr txdata
1387     lda datal
1388     jsr txdata
1389     lda pvolth
1390     sta volth
1391     lda pvoltl
1392     sta voltl
1393     rti
1394 dscv: lda pscvh         ;Compara a ver si se cumple el priodo de AIN3
1395     cmp #$FF
1396     beq dbatt
1397     dec scvl
1398     bcc dbatt
1399     dec scvh
1400     bcc dbatt
1401     bclr 1,portc      ;Leer voltaje señal (AIN3)
1402     nop
1403     lda #$3B         ; 0011 1011
1404     sta spidata
1405     brclr 7,spistat,*
1406     brset 2,portc,*
1407     brclr 2,portc,*
1408     brset 2,portc,*
1409     lda #$FF
1410     sta spidata
1411     brclr 7,spistat,*
1412     lda spidata
1413     sta datah
```



```

1414    lda #$FF
1415    sta spidata
1416    brclr 7,spistat,*
1417    lda spidata
1418    sta datah
1419    bset 1,portc
1420    lda #'W'           ;Envia el dato
1421    jsr txdata
1422    lda datah
1423    jsr txdata
1424    lda datah
1425    jsr txdata
1426    lda pscvh
1427    sta scvh
1428    lda pscvl
1429    sta scvl
1430    rti
1431    dbatt: lda pbathh           ;Compara a ver si se cumple el periodo de bateria

1432    cmp #$FF
1433    beq drelay
1434    dec battl
1435    bcc drelay
1436    dec batth
1437    bcc drelay
1438    bclr 1,portc       ;Leer voltaje de bateria (AIN2)
1439    nop
1440    lda #$39           ; 0011 1001
1441    sta spidata
1442    brclr 7,spistat,*
1443    brset 2,portc,*
1444    brclr 2,portc,*
1445    brset 2,portc,*
1446    lda #$FF
1447    sta spidata
1448    brclr 7,spistat,*
1449    lda spidata
1450    sta datah
1451    lda #$FF
1452    sta spidata
1453    brclr 7,spistat,*
1454    lda spidata
1455    sta datah
1456    bset 1,portc
1457    ldx #!235         ;constante de medicion de bateria
1458    lda datah
1459    mul
1460    stx datah
1461    lda #'B'           ;transmite el dato
1462    jsr txdata
1463    lda datah

```

```

1464      jsr txdata
1465      lda pbatth
1466      sta batth
1467      lda pbattl
1468      sta battl
1469      fds1 rti
1470      drelay: lda prelayh          ;compara a ver si se cumple el periodo de relay

1471      cmp #$FF
1472      beq fds1
1473      dec relayl
1474      bcc fds1
1475      dec relayh
1476      bcc fds1
1477      bset 4,portc
1478      clr recalh
1479      clr recall
1480      ldx #$20
1481      edrdy: brset 2,portc,*
1482      brclr 2,portc,*
1483      decx
1484      bne edrdy
1485      lda #$5C
1486      sta spicntl
1487      bclr 1,portc          ;Activando CS AD7706
1488      lda #$13          ;write setup register 0001 0011
1489      sta spidata
1490      brclr 7,spistat,*
1491      lda gainh          ;0010 1000
1492      ora #$42          ;0100 0010
1493      sta spidata
1494      brclr 7,spistat,*
1495      lda spidata
1496
1497      clrx
1498      ircular: brset 2,portc,*
1499      brclr 2,portc,*
1500      brset 2,portc,*
1501      brclr 2,portc,*
1502      brset 2,portc,*
1503      brclr 2,portc,*
1504      brset 2,portc,*
1505      lda #$3B          ; 0011 1011
1506      sta spidata
1507      brclr 7,spistat,*
1508      lda #$FF
1509      sta spidata
1510      brclr 7,spistat,*
1511      lda spidata
1512      sta datah
1513      lda #$FF

```

```

1514     sta spidata
1515     bclr 7,spistat,*
1516     lda spidata
1517     sta datal
1518     bset 1,portc
1519     lda datah     ; transformar a complemento de 2
1520     add #$80
1521     sta datah
1522     ;*****
1523     ;*** Operar Ganancia ***
1524     ;*****
1525     lda gains
1526 rogan: beq rsfc
1527     asr datah
1528     ror datal
1529     deca
1530     jmp rogan
1531     ;*****
1532     ;*** Sumar Frecuencia Central ***
1533     ;*****
1534 rsfc: lda datal
1535     add recall
1536     sta recall
1537     lda datah
1538     adc recalh
1539     sta recalh
1540     incx
1541     cpx #$10
1542     bne ircal
1543
1544     lda #$4
1545 rdcal: beq rfdh
1546     asr recalh
1547     ror recall
1548     deca
1549     jmp rdcal
1550 rfdh: bclr 4,portc
1551 fds:  rti
1552
1553
1554 irq_int:           ;Interrupción IRQ
1555     bset 3,porta
1556     nop
1557     bclr 3,porta
1558     nop
1559     jmp irq_int
1560     rti
1561
1562 swi_int:           ;interrupción SWI
1563     bset 4,porta
1564     nop

```

```
1565     bclr 4,porta
1566     nop
1567     jmp swi_int
1568     rti
1569
1570
1571     org $1ff0
1572     db $00           ;MOR1 set for portb interrupts
1573     db $00           ;MOR2 set for nothing
1574
1575     org $1ff4
1576     dw spi_int       ;SPI interrupt vector
1577     dw com_int       ;SCI interrupt vector
1578     dw timer_int    ;timer interrupt vector
1579     dw irq_int       ;IRQ interrupt vector
1580     dw swi_int       ;SWI interrupt vector
1581     dw inicio        ;RESET interrupt vector
```

PROGRAMA DE INVERSION DE DATOS EN LA EPROM

```

#include <studio.h>
#include <conio.h>
#include <math.h>
#include <alloc.h>
#include <mem.h>

int main ( ){
char far *fptrd;
char far *fptrd1;
char far *fptre;
char far *fptrel;

/*allocate memory for the far pointer */
fptrd = (char far*) farmalloc (8192); //131072
if (fptrd==NULL) {
    cprintf ("no hay memoria");
    getch ();
}
_fmemset (fptrd,0,8192); // 131072
fptrd1=fptrd;

fptre = (char far*) farmalloc (8192); //131072
if (fptre==NULL) {
    cprintf ("no hay memoria");
    getch ();
}
fptrel=fptre;

int I,k,j;
FILE *outd;
FILE *outf;

for (k=0;k<2048;k++) {
    *fptrd=0x80+int(sin((k*6.28318)/900)*128);
    fptrd++;
}
for (k=0;k<2048;k++) {
    *fptrd=0x80+int(sin((k*6.28318)/900)*90);
    fptrd++;
}
for (k=0;k<2048;k++) {
    *fptrd=0x80+int(sin((k*6.28318)/900)*74);
    fptrd++;
}
for (k=0;k<2048;k++) {
    *fptrd=0x80+int(sin((k*6.28318)/900)*64);
    fptrd++;
}
}

```

```

fptrd=fptrd1;

for (i=0;i<8192;i++) {
    *fptre=0;

    *fptre+=((*fptrd&0x20)/0x20)*0x01;
    *fptre+=((*fptrd&0x08)/0x08)*0x02;
    *fptre+=((*fptrd&0x10)/0x10)*0x04;
    *fptre+=((*fptrd&0x01)/0x01)*0x08;
    *fptre+=((*fptrd&0x80)/0x80)*0x10;
    *fptre+=((*fptrd&0x02)/0x02)*0x20;
    *fptre+=((*fptrd&0x40)/0x40)*0x40;
    *fptre+=((*fptrd&0x04)/0x04)*0x80;
    fptre++;
    fptrd++;
}
for (i=0;i<8192;i++) {
j=0; //add
j+=((i&0x0400)/0x0400)*0x0001; //0
j+=((i&0x0200)/0x0200)*0x0002; //1
j+=((i&0x0010)/0x0010)*0x0004;
j+=((i&0x0100)/0x0100)*0x0008; //3
j+=((i&0x0008)/0x0008)*0x0010;
j+=((i&0x0040)/0x0040)*0x0020; //5
j+=((i&0x0020)/0x0020)*0x0040;
j+=((i&0x0080)/0x0080)*0x0080;
j+=((i&0x1000)/0x1000)*0x0100; //8
j+=((i&0x0800)/0x0800)*0x0200;
j+=((i&0x0002)/0x0002)*0x0400;
j+=((i&0x0001)/0x0001)*0x0800;
j+=((i&0x0004)/0x0004)*0x1000;

*(fptrd1+j) =*(fptre1+i) ;
}
if ((outd=fopen ("c:\\temp\\data.bin", "wb")) == null) {
    fprintf (stderr, "No se puede abrir el archivo");
    return 1;
}

fwrite(fptre1,8192,1,outf) ;
fwrite(fptrd1,8192,1,outd) ;
fclose(outd) ;
fclose(outf) ;
return 0;
}

```