

ESCUELA POLITÉCNICA NACIONAL

FACULTAD DE INGENIERÍA ELÉCTRICA Y ELECTRÓNICA

DISEÑO Y CONSTRUCCIÓN DE UN GENERADOR DE SEÑALES DEL CORAZÓN

PROYECTO PREVIO A LA OBTENCIÓN DEL TÍTULO DE INGENIERO EN ELECTRÓNICA Y CONTROL

JUAN FERNANDO BASTIDAS ACUÑA
juferbas@yahoo.com

DIRECTOR: Dr. LUIS CORRALES
lcorrales@epn.edu.ec

Quito, septiembre de 2008

DECLARACIÓN

Yo Bastidas Acuña Juan Fernando, declaro bajo juramento que el trabajo aquí descrito es de mi autoría; que no ha sido previamente presentada para ningún grado o calificación profesional; y, que he consultado las referencias bibliográficas que se incluyen en este documento.

A través de la presente declaración cedo mis derechos de propiedad intelectual correspondientes a este trabajo, a la Escuela Politécnica Nacional, según lo establecido por la Ley de Propiedad Intelectual, por su Reglamento y por la normatividad institucional vigente.

Bastidas Acuña Juan Fernando

CERTIFICACIÓN

Certifico que el presente trabajo fue desarrollado por Juan Bastidas, bajo mi supervisión.

Dr. Luis Corrales
DIRECTOR DEL PROYECTO

AGRADECIMIENTOS

A todas aquellas personas que colaboraron en la realización del presente Proyecto de Titulación y en forma especial agradecer la guía y contribución brindada por mi director de tesis el Dr. Luis Corrales.

DEDICATORIA

Dedico este trabajo a mis padres, quienes con la confianza y ejemplo que me han dado a lo largo de la vida han hecho de mí una persona de bien y me han permitido culminar con éxito esta etapa de mi vida.

A mi familia, que siempre me han ofrecido su respeto y compañía y han sido el motivo para salir adelante.

A Andrea Gabriel por su amor, comprensión y ayuda incondicional en los últimos años

CONTENIDO

CAPITULO 1

INTRODUCCIÓN.....	1
1.1	Análisis de las principales causas de muerte..... 1
1.1.1	Análisis según tipo de sexo..... 2
1.1.2	Hipertensión arterial..... 5
1.1.2.1	Causas..... 6
1.1.2.1.1	Herencia..... 6
1.1.2.1.2	Sexo..... 6
1.1.2.1.3	Edad y raza..... 7
1.1.2.1.4	Sobrepeso..... 7
1.1.2.2	Síntomas..... 7
1.1.2.3	Tratamientos..... 8
1.2	Anatomía del corazón..... 9
1.2.1	Sistema de conducción auriculoventricular del corazón 10
1.3	Fisiología cardiaca..... 12
1.4	Electrocardiograma..... 14
1.4.1	Frecuencia cardiaca..... 17
1.4.2	Derivaciones electrocardiográficas..... 18
1.4.2.1	Derivaciones del plano frontal..... 18
1.4.2.2	Derivaciones aumentadas..... 19
1.4.2.3	Derivaciones del plano horizontal..... 20
1.4.2.4	Eje eléctrico del corazón..... 21
1.5	Electrocardiografía..... 23

CAPITULO 2

2.1	Diagrama de bloques del equipo..... 25
2.2	Diseño del módulo de generación..... 26
2.2.1	Requerimientos del sistema..... 26
2.3	Generador de señales..... 26
2.4	Sistema de visualización..... 29
2.4	Acondicionador de señales..... 31
2.5	Diseño y construcción del generador..... 35
2.5.1	Manejo de entradas..... 35
2.5.2	Generación de señales..... 39
2.6	Diseño y construcción del visualizador..... 40
2.6.1	Interfaz de visualización..... 40
2.7	Diseño y construcción del acondicionador..... 41
2.7.1	Conversión d/a..... 41
2.7.2	Filtros activos..... 43
2.7.3	Ganancia del sistema..... 47
2.7.3.1	Acondicionamiento de señal..... 48
2.8	Diagrama de generación y acondicionamiento de una señal..... 52

2.9	Diseño de fuentes.....	52
2.9.1	Fuente regulada de 5vdc.....	52
2.9.2	Fuente regulada de ± 12 vdc.....	55
2.10	Diseño de circuitos impresos.....	55
2.10.1	Etapa digital, visualización, conversión d/a y fuente de 5vdc.....	57
2.10.2	Etapa análoga.....	57
2.10.3	Etapa de acondicionamiento y filtrado final.....	58
2.10.4	Fuente regulada de ± 12 vdc.....	59

CAPITULO 3

3.1	Desarrollo del software del módulo generador de señales del corazón...60	60
3.2	Desarrollo del software del generador.....	61
3.2.1	Inicializar PIC16F877A.....	62
3.2.2	Lectura de tablas.....	62
3.2.3	Interrupción externa.....	63
3.2.4	Enviar datos al visualizador.....	65
3.2.5	Generar señales.....	66
3.2.6	Seleccionar frecuencia cardiaca.....	67
3.2.7	Seleccionar ECG normal o anormal.....	67
3.2.8	Cálculo de frecuencia cardiaca.....	68
3.3	Desarrollo del software para el pic16f628a.....	70
3.3.1	Inicializar pic16f628a.....	72
3.3.2	Inicializar lcd.....	72
3.3.3	Escribir en lcd.....	73
3.4	Digitalización de señales de voltajes precordiales.....	73

CAPITULO 4

4.1	Equipo utilizado para las pruebas.....	80
4.2	Realización de la prueba.....	83
4.3	Resultados obtenidos.....	84
4.4	Cálculo de errores.....	87
4.4.1	Error de frecuencia a 60bmp.....	87
4.4.2	Error de frecuencia a 80bmp.....	87
4.4.3	Análisis de v1 a 60bmp de un corazón sano.....	87
4.4.4	Análisis de v2 a 60bmp de un corazón sano.....	88
4.4.5	Análisis de v3 a 60bmp de un corazón sano.....	89
4.4.6	Análisis de v4 a 60bmp de un corazón sano.....	90
4.4.7	Análisis de v5 a 60bmp de un corazón sano.....	91
4.4.8	Análisis de v6 a 60bmp de un corazón sano.....	92
4.4.9	Análisis de v1 a 60bmp de un corazón enfermo.....	92
4.4.10	Análisis de v2 a 60bmp de un corazón enfermo.....	93
4.4.11	Análisis de v3 a 60bmp de un corazón enfermo.....	94
4.4.12	Análisis de v4 a 60bmp de un corazón enfermo.....	95
4.4.13	Análisis de v5 a 60bmp de un corazón enfermo.....	96
4.4.14	Análisis de v6 a 60bmp de un corazón enfermo.....	96
4.4.15	Análisis de v1 a 80bmp de un corazón sano.....	97
4.4.16	Análisis de v2 a 80bmp de un corazón sano.....	98

4.4.17	Análisis de v3 a 80bmp de un corazón sano.....	99
4.4.18	Análisis de v4 a 80bmp de un corazón sano.....	100
4.4.19	Análisis de v5 a 80bmp de un corazón sano.....	100
4.4.20	Análisis de v6 a 80bmp de un corazón sano.....	101
4.4.21	Análisis de v1 a 80bmp de un corazón enfermo.....	102
4.4.22	Análisis de v2 a 80bmp de un corazón enfermo.....	103
4.4.23	Análisis de v3 a 80bmp de un corazón enfermo.....	104
4.4.24	Análisis de v4 a 80bmp de un corazón enfermo.....	104
4.4.25	Análisis de v5 a 80bmp de un corazón enfermo.....	105
4.4.26	Análisis de v6 a 80bmp de un corazón enfermo.....	106
4.5	Análisis y cálculo del promedio del porcentaje de error.....	107

CAPITULO 5

5.1	Conclusiones.....	109
5.2	Recomendaciones.....	112

RESUMEN

En este proyecto se diseña y construye un generador de las señales que produce el corazón humano en las seis derivaciones precordiales. Las señales producidas por este generador son para probar que un electrocardiógrafo está funcionando o ha sido reparado correctamente.

Con este objetivo, primero se analizó el funcionamiento del corazón para determinar las formas de onda de las derivaciones y el plano eléctrico en el que se encuentra. Luego se diseñó y construyó un sistema micro procesado que genera las señales usando la técnica PWM para poder ser convertidas a análogas y así acondicionarlas a los voltajes requeridos por los electrocardiógrafos comerciales.

El generador produce las señales generadas por un corazón sano y aquellos afectados con la patología más recurrente en el país que es la hipertensión arterial, cuyo efecto más común en las personas es el infarto al miocardio.

Luego de realizadas pruebas al equipo empleando un electrocardiógrafo comercial, se obtuvo señales que en promedio tenían un error de aproximadamente $\pm 7.11\%$, error valorado por especialistas como aceptable.

PRESENTACIÓN

El presente Proyecto de Titulación está dirigido al diseño e implementación de un sistema de generación de señales del corazón y está organizado en cinco capítulos, a continuación se da una breve descripción del contenido de cada uno de ellos.

En el Capítulo 1 se realiza un análisis del comportamiento fisiológico del corazón, iniciando con la generación del impulso eléctrico que activa el ciclo cardiaco, se estudian las señales tomadas desde la derivaciones del triangulo de Eithoven y luego sus derivaciones en el plano horizontal que es el plano en el que se trabajará, es decir con las terminales precordiales. También se realiza un estudio de la principal causa de muerte en el país, que en base a la publicación del INEC en el 2006 muestra que es el infarto al miocardio.

En el Capítulo 2 se hace referencia al diseño e implementación del hardware. Para esto se realiza una breve descripción del sistema y se definen los componentes que serán parte del mismo como los microcontroladores, amplificadores operacionales y reguladores de voltaje. Son descritas las principales características de operación y especificaciones técnicas de éstos elementos. Posteriormente se detalla el diseño de la generación de señales, comunicación con el visualizador, conversión D/A, amplificadores y filtrado activo y pasivo; y se describen los circuitos de la tarjeta electrónica que se encarga de la generación de las señales, su acondicionamiento y la alimentación.

En el Capítulo 3 se definen las funciones del software para el microcontrolador generador de señales y del visualizador; en la primera parte se exponen las rutinas de programación del microcontrolador generador que tiene como funciones: el manejo de entradas y salidas, la comunicación con el visualizador y el manejo de las tablas de datos. La segunda parte explica las funciones del

visualizador que son: la lectura del puerto de salida del generador e interpretar el código enviado para ser escrito en una pantalla LCD

En el Capítulo 4 se detallan las pruebas y resultados realizados para comprobar el funcionamiento del sistema. Estas pruebas consisten básicamente en verificar la generación de las señales en un electrocardiógrafo comercial y verificar su amplitud y su frecuencia de generación, esta prueba fue realizada en el departamento de cardiopulmonar del Hospital Vozandes Quito. En este capítulo también se muestra las formas de onda obtenidas para un corazón sano y uno presentando un infarto al miocardio en las primeras horas de producido. Finalmente se calcula el error existente entre las señales generadas y las tomadas como estándar obteniendo un error que evaluado por especialistas está dentro de un rango aceptable.

Para finalizar en el capítulo 5 se presentan las conclusiones y recomendaciones obtenidas en el desarrollo del proyecto de titulación.

CAPITULO 1

MARCO TEÓRICO

1 INTRODUCCIÓN

La ciencia médica cuenta con aparatos de diagnóstico, indispensables para poder diagnosticar de mejor manera a la gente que lo requiera. Este tipo de aparatos (llámese electrocardiógrafos, electroencefalógrafos, rayos x, etc.) son muy útiles para el médico.

El electrocardiógrafo es un equipo que ayuda a visualizar las señales generadas por el corazón y mediante el electrocardiograma, que es el resultado que entrega este equipo, se puede hacer un análisis del estado del corazón. Estos equipos se ven afectados en su funcionamiento por fallas producidas por su uso o su manipulación constante y deben ser reparados. Pero, luego de realizada la reparación, como se puede afirmar de que el equipo esté funcionando correctamente. Si se piensa detenidamente, esta tarea se la podría realizar si se cuenta primeramente con un voluntario; luego, uno que genere una onda previamente conocida, lo cual no es fácil o práctico de lograrlo. Por esta razón, se ha visto la necesidad de contar con un generador de señales que simule el funcionamiento del corazón y genere señales que permitan comprobar si el equipo está o no reparado correctamente.

Para dar una visión sobre la posible demanda que podría tener este equipo conviene revisar algunas estadísticas al respecto.

1.1 ANÁLISIS DE LAS PRINCIPALES CAUSAS DE MUERTE

Las tablas siguientes tienen como fuente al Instituto Nacional de Estadísticas y Censos (INEC) publicadas en el artículo de causas de Mortalidad en el 2006.

1.1.1 ANÁLISIS SEGÚN TIPO DE SEXO:

En la Tabla 1.1 se muestra las principales causas de mortandad masculina, en la que, según realizado el censo, se ubica en tercer lugar la muerte por enfermedades cerebrovasculares con un porcentaje de 4.9%, seguida por las enfermedades isquémicas del corazón con un porcentaje igual de 4.9% y en quinto lugar las enfermedades hipertensivas con un 4.3%. Estos porcentajes se basan en una población estimada del 2006 de 6'523.631 y un total de defunciones de 32.775.

PRINCIPALES CAUSAS DE MORTALIDAD MASCULINA

LISTA CORTA DE AGRUPAMIENTO DE CAUSAS DE MUERTE (L.C. CIE-10) - 2006

			POBLACIÓN ESTIMADA 2006			
			TOTAL DE DEFUNCIONES			
			TASA DE MORTALIDAD GENERAL (x 10.000 hab.)			
Nº Orden	CODIGO L.C.	CÓD. CIE-10 DETALLADA	CAUSAS DE MUERTE	Número	%	Tasa
1	64	X85-Y09	AGRESIONES (HOMICIDIOS)	2.138	6,5	32,8
2	57	V00-V89	ACCIDENTES DE TRANSPORTE TERRESTRE	1.974	6,0	30,3
3	42	I60-I69	ENFERMEDADES CEREBROVASCULARES	1.622	4,9	24,9
4	35	I20-I25	ENFERMEDADES ISQUÉMICAS DEL CORAZÓN	1.606	4,9	24,6
5	46	J10-J18	INFLUENZA Y NEUMONÍA	1.581	4,8	24,2
6	34	I10-I15	ENFERMEDADES HIPERTENSIVAS	1.395	4,3	21,4
7	26	E10-E14	DIABETES MELLITUS	1.277	3,9	19,6
8	41	I50-I51	INSUFICIENCIA CARDIACA, COMPLICACIONES Y ENFERMEDADES MAL DEFINIDAS	1.275	3,9	19,5
9	51	K70-K76	CIRROSIS Y OTRAS ENFERMEDADES DEL HÍGADO	1.224	3,7	18,8
10	55	P00-P96	CIERTAS AFECCIONES ORIGINADAS EN EL PERÍODO PERINATAL	1.000	3,1	15,3
11	09	C16	NEOPLASIA MALIGNA DEL ESTÓMAGO	868	2,6	13,3
12	53	N00-N39	ENFERMEDADES DEL SISTEMA URINARIO	854	2,6	13,1
13	20	C61	NEOPLASIA MALIGNA DE LA PRÓSTATA	707	2,2	10,8
14	47	J40-J47	ENFERMEDADES CRÓNICAS DE LAS VÍAS RESPIR. INFERIORES	637	1,9	9,8
15	63	X60-X84	LESIONES AUTOINFLINGIDAS INTENCIONALMENTE (SUICIDIO)	602	1,8	9,2
16	07	B20-B24	ENFERMEDAD POR VIRUS DE LA INMUNODEFICIENCIA (VIH)	557	1,7	8,5
17	02	A15-A19	TUBERCULOSIS	498	1,5	7,6
18	24	C81-C96	NEOPLASIA MALIGNA DEL TEJIDO LINFÁTICO,HEMAT.Y AFÍN	432	1,3	6,6
19	60	W65-W74	AHOGAMIENTO Y SUMERSIÓN ACCIDENTALES	425	1,3	6,5
20	27	D50-D53, E40-E64	DESNUTRICIÓN Y ANEMIAS NUTRICIONALES	380	1,2	5,8
	88		RESTO DE CAUSAS	6.719	20,5	-
	99	R00-R99	CAUSAS MAL DEFINIDAS	3.331	10,2	51,1

Tabla 1.1: Censo de mortalidad masculina

En la Tabla 1.2 se muestra las principales causas de mortandad femenina, en la cual se destacan las enfermedades hipertensivas en el cuarto lugar con un porcentaje de 5.4%, seguida por insuficiencia cardiaca con un 5.1% y las enfermedades isquémicas del corazón en sexto lugar con un 4.1%. Estos porcentajes se basan en una población estimada del 2006 de 6'684.639 y un total de defunciones de 25.165.

PRINCIPALES CAUSAS DE MORTALIDAD FEMENINA

LISTA CORTA DE AGRUPAMIENTO DE CAUSAS DE MUERTE (L.C. CIE-10) - 2006

			POBLACIÓN ESTIMADA 2006	6.684.639		
			TOTAL DE DEFUNCIONES	25.165		
			TASA DE MORTALIDAD GENERAL (x 10.000 hab.)	37,6		
Nº Orden	CODIGO L.C.	CÓD. CIE-10 DETALLADA	CAUSAS DE MUERTE	Número	%	Tasa
1	26	E10-E14	DIABETES MELLITUS	1.697	6,7	25,4
2	42	I60-I69	ENFERMEDADES CEREBROVASCULARES	1.545	6,1	23,1
3	46	J10-J18	INFLUENZA Y NEUMONÍA	1.507	6,0	22,5
4	34	I10-I15	ENFERMEDADES HIPERTENSIVAS	1.371	5,4	20,5
5	41	I50-I51	INSUFICIENCIA CARDIACA, COMPLICACIONES Y ENFERMEDADES MAL DEFINIDAS	1.274	5,1	19,1
6	35	I20-I25	ENFERMEDADES ISQUÉMICAS DEL CORAZÓN	1.024	4,1	15,3
7	55	P00-P96	CIERTAS AFECCIONES ORIGINADAS EN EL PERÍODO PERINATAL	802	3,2	12,0
8	53	N00-N39	ENFERMEDADES DEL SISTEMA URINARIO	792	3,1	11,8
9	09	C16	NEOPLASIA MALIGNA DEL ESTÓMAGO	728	2,9	10,9
10	18	C53-C55	NEOPLASIA MALIGNA DEL ÚTERO	724	2,9	10,8
11	51	K70-K76	CIRROSIS Y OTRAS ENFERMEDADES DEL HÍGADO	610	2,4	9,1
12	57	V00-V89	ACCIDENTES DE TRANSPORTE TERRESTRE	546	2,2	8,2
13	47	J40-J47	ENFERMEDADES CRÓNICAS DE LAS VÍAS RESPIR. INFERIORES	430	1,7	6,4
14	17	C50	NEOPLASIA MALIGNA DE LA MAMA	405	1,6	6,1
15	11	C22	NEOPLASIA MALIGNA DEL HÍGADO Y DE LAS VÍAS BILIARES	369	1,5	5,5
16	24	C81-C96	NEOPLASIA MALIGNA DEL TEJIDO LINFÁTICO,HEMAT.Y AFÍN	364	1,4	5,4
17	27	D50-D53, E40-E64	DESNUTRICIÓN Y ANEMIAS NUTRICIONALES	358	1,4	5,4
18	06	A40-A41	SEPTICEMIA	308	1,2	4,6
19	56	Q00-Q99	MALFORMACIONES CONGENITAS,DEFORMID.Y ANOMALÍAS CROMOSÓMICAS	302	1,2	4,5
20	63	X60-X84	LESIONES AUTOINFLINGIDAS INTENCIONALMENTE (SUICIDIO)	298	1,2	4,5
	88		RESTO	5.444	21,6	-
	99	R00-R99	CAUSAS MAL DEFINIDAS	3.001	11,9	44,9

Tabla 1.2: Censo de mortalidad femenina

Los datos mostrados en las siguientes tablas tienen como fuente al Instituto Nacional de Estadísticas y Censos (INEC) en el artículo publicado en el 2006. En la Tabla 1.3 se muestra la causa de mortalidad general, siendo las enfermedades cerebrovasculares las que presentan un mayor porcentaje, con el 5.5% de un total de 57940 defunciones, y en el orden quinto se presentan las enfermedades hipertensivas (Hipertensión Arterial), con un porcentaje total de 4.8%, seguida de las enfermedades isquémicas del corazón con el 4.5%, tomado en relación a 57.940 defunciones del año 2006.

PRINCIPALES CAUSAS DE MORTALIDAD GENERAL

LISTA CORTA DE AGRUPAMIENTO DE CAUSAS DE MUERTE (L.C. CIE-10) 2006

			TOTAL DE DEFUNCIONES	57.940		
			TASA DE MORTALIDAD GENERAL (x 10.000 hab.)	43,2		
Nº Orden	CODIGO L.C.	CÓD. CIE-10 DETALLADA	CAUSAS DE MUERTE	Número	%	Tasa
1	42	I60-I69	ENFERMEDADES CEREBROVASCULARES	3.167	5,5	23,6
2	46	J10-J18	INFLUENZA Y NEUMONÍA	3.088	5,3	23,0
3	26	E10-E14	DIABETES MELLITUS	2.974	5,1	22,2
4	34	I10-I15	ENFERMEDADES HIPERTENSIVAS	2.766	4,8	20,6
5	35	I20-I25	ENFERMEDADES ISQUÉMICAS DEL CORAZÓN	2.630	4,5	19,6
6	41	I50-I51	INSUFICIENCIA CARDIACA, COMPLICACIONES Y ENFERMEDADES MAL DEFINIDAS	2.549	4,4	19,0
7	57	V00-V89	ACCIDENTES DE TRANSPORTE TERRESTRE	2.520	4,3	18,8
8	64	X85-Y09	AGRESIONES (HOMICIDIOS)	2.357	4,1	17,6
9	51	K70-K76	CIRROSIS Y OTRAS ENFERMEDADES DEL HÍGADO	1.834	3,2	13,7
10	55	P00-P96	CIERTAS AFECCIONES ORIGINADAS EN EL PERÍODO PERINATAL	1.802	3,1	13,4
11	53	N00-N39	ENFERMEDADES DEL SISTEMA URINARIO	1.646	2,8	12,3
12	09	C16	NEOPLASIA MALIGNA DEL ESTÓMAGO	1.596	2,8	11,9
13	47	J40-J47	ENFERMEDADES CRÓNICAS DE LAS VÍAS RESPIR. INFERIORES	1.067	1,8	8,0
14	63	X60-X84	LESIONES AUTOINFLINGIDAS INTENCIONALMENTE (SUICIDIO)	900	1,6	6,7
15	24	C81-C96	NEOPLASIA MALIGNA DEL TEJIDO LINFÁTICO,HEMAT.Y AFÍN	796	1,4	5,9
16	02	A15-A19	TUBERCULOSIS	774	1,3	5,8
17	27	D50-D53, E40-E64	DESNUTRICIÓN Y ANEMIAS NUTRICIONALES	738	1,3	5,5
18	18	C53-C55	NEOPLASIA MALIGNA DEL ÚTERO	724	1,2	5,4
19	20	C61	NEOPLASIA MALIGNA DE LA PRÓSTATA	707	1,2	5,3
20	07	B20-B24	ENFERMEDAD POR VIRUS DE LA INMUNODEFICIENCIA (VIH)	699	1,2	5,2
	88		RESTO DE CAUSAS	13.206	22,8	-
	99	R00-R99	CAUSAS MAL DEFINIDAS	6.332	10,9	47,2

Tabla 1.3: Censo de mortalidad general

De las enfermedades descritas, se considera pertinente estudiar aparte las que se relacionan con el corazón.

1.1.2 HIPERTENSIÓN ARTERIAL

La hipertensión arterial es el aumento de la presión arterial de forma crónica. Es una enfermedad que no da síntomas durante mucho tiempo y, si no se trata, puede desencadenar complicaciones severas como un infarto de miocardio, una hemorragia o trombosis cerebral, lo que se puede evitar si se controla adecuadamente. Las primeras consecuencias de la hipertensión las sufren las arterias, que se endurecen a medida que soportan la presión arterial alta de forma continua, se hacen más gruesas y puede verse dificultado el paso de la sangre. Los límites de presión normal sistólica [1] como diastólica [2] se muestran en la Tabla 1.4 y no se manifiesta en cambios electro fisiológico.

CATEGORÍA	SISTÓLICA (mmHg)	DIASTÓLICA (mmHG)
Optima	<120	<80
Normal	<130	<85
Normal Alta	130-139	85-89
Grado 1 Hipertensión ("leve")	140-159	90-99
Subgrupo: Límitrofe	140-149	90-94
Grado 2 Hipertensión ("moderada")	160-179	100-109
Grado 3 Hipertensión ("severa")	180≥	110≥
Hipertensión Sistólica Aislada	140≥	<90
Subgrupo: Límitrofe	140-149	<90

Tabla 1.4: Valores de presión arterial

[1] SISTÓLICA: Significa que la cavidad ya sea aurícula o ventrículo se están contrayendo, también conocida como despolarización.

[2] DIASTÓLICA: Significa que las cavidades se están relajando, también conocida como repolarización.

1.1.2.1 Causas

Se desconoce el mecanismo de la hipertensión arterial más frecuente, denominada "hipertensión esencial", "primaria". En la hipertensión esencial no se han descubierto todavía las causas específicas, aunque se ha relacionado con una serie de factores que suelen estar presentes en la mayoría de las personas que la sufren. Conviene separar aquellos relacionados con la herencia, el sexo, la edad y la raza y por tanto poco modificables, de aquellos otros que se podrían cambiar al variar los hábitos, ambiente, y las costumbres de las personas, como: la obesidad, la sensibilidad al sodio, el consumo excesivo de alcohol, el uso de anticonceptivos orales y un estilo de vida muy sedentario.

1.1.2.1.1 Herencia:

Cuando se transmite de padres a hijos se hereda una tendencia o predisposición a desarrollar cifras elevadas de tensión arterial. Se desconoce su mecanismo exacto, pero la experiencia acumulada demuestra que cuando una persona tiene un progenitor (o ambos) hipertensos, las posibilidades de desarrollar hipertensión son el doble que las de otras personas con ambos padres sin problemas de hipertensión.

1.1.2.1.2 Sexo:

Los hombres tienen más predisposición a desarrollar hipertensión arterial que las mujeres hasta que éstas llegan a la edad de la menopausia. A partir de esta etapa la frecuencia en ambos sexos se iguala. Esto es así porque la naturaleza ha dotado a la mujer con unas hormonas protectoras mientras se encuentra en edad fértil, los estrógenos, y por ello tienen menos riesgo de padecer enfermedades cardiovasculares. Sin embargo, en las mujeres más jóvenes existe un riesgo especial cuando toman píldoras anticonceptivas.

1.1.2.1.3 Edad y raza:

La edad es otro factor, por desgracia no modificable, que va a influir sobre las cifras de presión arterial, de manera que tanto la presión arterial sistólica o máxima como la diastólica o mínima aumentan con los años y lógicamente se encuentra un mayor número de hipertensos a medida que aumenta la edad. En cuanto a la raza, los individuos de raza negra tienen el doble de posibilidades de desarrollar hipertensión que los de raza blanca, además de tener un peor pronóstico.

1.1.2.1.4 Sobrepeso:

Los individuos con sobrepeso están más expuestos a tener más alta la presión arterial que un individuo con peso normal. A medida que se aumenta de peso se eleva la tensión arterial y esto es mucho más evidente en los menores de 40 años y en las mujeres. La frecuencia de la hipertensión arterial entre los obesos, independientemente de la edad, es entre dos y tres veces superior a la de los individuos con un peso normal. No se sabe con claridad si es la obesidad por sí misma la causa de la hipertensión, o si hay un factor asociado que aumente la presión en personas con sobrepeso, aunque las últimas investigaciones apuntan a que a la obesidad se asocian otra serie de alteraciones que serían en parte responsables del aumento de presión arterial. También es cierto que la reducción de peso hace que desaparezcan estas alteraciones.

1.1.2.2 Síntomas

La presión arterial elevada rara vez presenta síntomas. Estar nervioso o tenso, por ejemplo, no es sinónimo de tener la presión arterial elevada.

La única manera de detectar la hipertensión en sus inicios es con revisiones periódicas. Mucha gente tiene la presión arterial elevada durante años sin saberlo. El

diagnóstico se puede realizar a través de los antecedentes familiares y personales, una exploración física y otras pruebas complementarias.

1.1.2.3 Tratamientos

La hipertensión no puede curarse en la mayoría de los casos, pero puede controlarse. En general debe seguirse un tratamiento regular de por vida para bajar la presión y mantenerla estable. Las pastillas son sólo parte del tratamiento de la hipertensión, ya que el médico también suele recomendar una dieta para perder peso y medidas como no abusar del consumo de sal, hacer ejercicio con regularidad.

Consejos para el paciente con hipertensión:

- Reducir el peso corporal si se tiene sobrepeso.
- Reducir el consumo de sal a 4-6 gramos al día; consumir menos productos preparados y en conserva. No obstante, existen pacientes que no responden a la restricción salina.
- Reducir la ingesta de alcohol, que en las mujeres debe ser inferior a 140 gramos a la semana y en los hombres inferior a 210 gramos.
- Realizar ejercicio físico, preferentemente pasear, correr moderadamente, nadar o ir en bicicleta, de 30 a 45 minutos, un mínimo de 3 veces por semana.
- Reducir el consumo de café y no consumir más de 2-3 cafés al día.
- Consumir alimentos ricos en potasio, como legumbres, frutas y verduras.
- Abandonar el hábito de fumar.

Seguir una dieta rica en ácidos grasos poli saturados y pobre en grasas saturadas. Además de las medidas recomendadas, el hipertenso dispone de una amplia variedad de fármacos que le permiten controlar la enfermedad. El tratamiento debe ser siempre individualizado. Para la elección del fármaco, hay que considerar factores como la edad y el sexo del paciente, el grado de hipertensión, la presencia de otros trastornos (como diabetes o valores elevados de colesterol), los efectos secundarios y el coste de los fármacos y las pruebas necesarias para controlar su seguridad. Habitualmente los pacientes toleran bien los fármacos, pero cualquier fármaco anti hipertensivo puede provocar efectos secundarios, de modo que si éstos aparecen, se debería informar de ello al médico para que ajuste la dosis o cambie el tratamiento.

El infarto al miocardio se produce al interrumpirse el flujo sanguíneo al corazón al verse afectadas las arterias, este tema será tratado a fondo en las arritmias.

Los datos recopilados explican el porqué todo centro médico cuenta con un electrocardiógrafo.

En la medicina existen muchos electrocardiógrafos, por lo cual se puede concluir que el equipo tendría demanda.

1.2 ANATOMÍA DEL CORAZÓN

El corazón es el órgano principal del sistema circulatorio de la sangre, localizado en el tórax levemente a la izquierda del esternón. Se divide principalmente en dos partes que son el corazón izquierdo y el derecho, a esta división se la conoce como Septum cada uno conformado por una aurícula y un ventrículo. La circulación de la sangre se controla mediante cuatro válvulas: Tricúspide, Mitral, Pulmonar y Aórtica, las cuales, se encargan de permitir el paso de la sangre entre las cavidades al interior y al

exterior del corazón. El tamaño es aproximadamente el de un puño y las salidas y entradas de la sangre son las arterias y las venas respectivamente. En la Figura 1.1 se muestra las partes más relevantes que conforman al corazón.

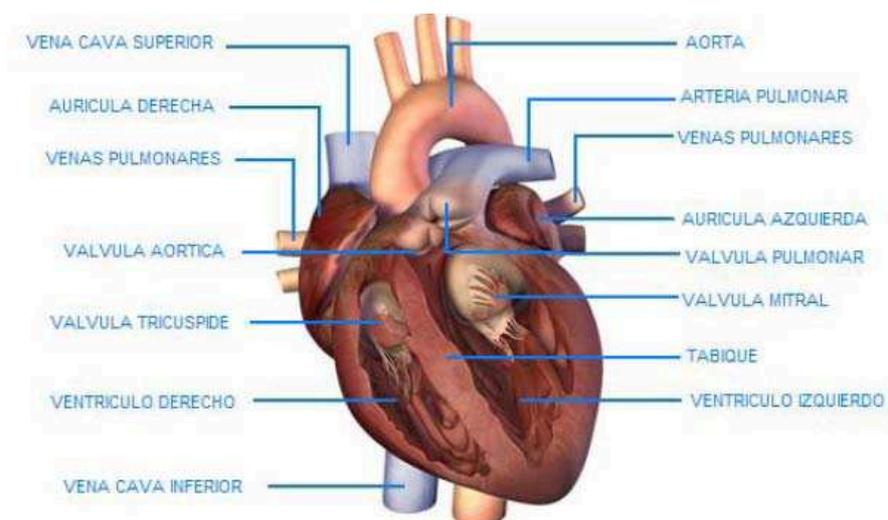


Figura 1.1: Anatomía del corazón

1.2.1 SISTEMA DE CONDUCCIÓN AURICULOVENTRICULAR DEL CORAZÓN

Un latido cardíaco es una acción de bombeo que toma aproximadamente un segundo. A medida que se va acumulando sangre en las aurículas se produce una contracción en las mismas que impulsa la sangre a través de las válvulas Tricúspide y Mitral hacia las cavidades inferiores que se encuentran en reposo (ventrículos derecho e izquierdo). Esta contracción se origina a partir de un impulso eléctrico generado en el nodo Sinusal (SA) (denominado también el marcapasos).

Las señales eléctricas enviadas por el nódulo SA se propagan por una vía de conducción eléctrica hasta el nodo auriculoventricular (AV), el cual, retrasa el impulso cardíaco hasta que los ventrículos estén llenos de sangre; después de cerrarse firmemente las válvulas tricúspide y mitral para impedir que la sangre retorne, el impulso eléctrico pasa del nodo AV al haz de His y el sistema de Purkinje (Figura

1.2), los cuales estimulan la contracción de los ventrículos y abren las válvulas pulmonar y aórtica, al mismo tiempo. Así el ventrículo derecho impulsa la sangre hacia los pulmones para oxigenarla y retorne hacia la aurícula izquierda para que luego fluya la sangre oxigenada desde el ventrículo izquierdo a otras partes del cuerpo. Cuando la sangre pasa a la arteria pulmonar y aorta, los ventrículos se relajan y las válvulas pulmonar y aórtica se cierran. Al reducirse la presión en los ventrículos se abren las válvulas tricúspide y mitral y el ciclo comienza de nuevo.

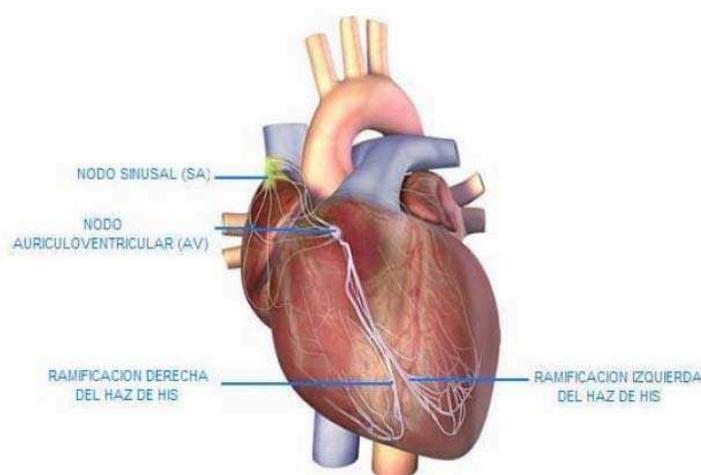
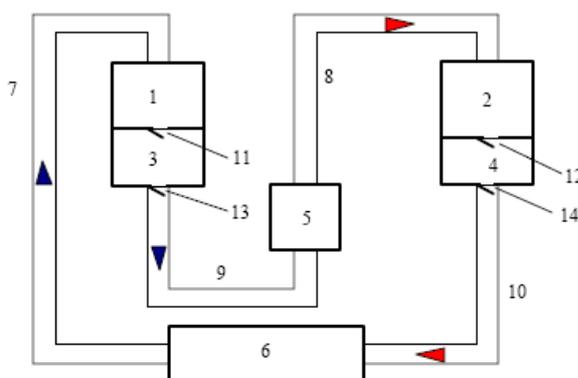


Figura 1.2: Fisiología del corazón

Un esquema de cómo se desplaza la sangre en un diagrama de bloques se ilustran en la Figura 1.3.

- 1- aurícula derecha
- 2- aurícula izquierda
- 3- ventrículo derecho
- 4- ventrículo izquierdo
- 5- pulmones
- 6- circulación
- 7- vena cava
- 8- vena pulmonar
- 9- arteria pulmonar
- 10- aorta
- 11- válvula tricúspide



- 12- válvula mitral
- 13- válvula pulmonar
- 14- válvula aórtica

Figura 1.3: Diagrama de bloques de funcionamiento del corazón

1.3 FISIOLÓGÍA CARDIACA

Los movimientos de los diferentes órganos del cuerpo, incluyendo el de las extremidades son producidos por la excitación eléctrica de los músculos asociados a esas estructuras. Si no hay excitación eléctrica el musculo permanece relajado.

La excitación de los músculos que forman el corazón es provocada por el sistema autónomo con el que cuenta este órgano, el cual se encarga de dar un pulso periódico para que inicie el ciclo de bombeo de la sangre.

Estos potenciales se presentan debido a que en las células se generan corrientes eléctricas de muy baja intensidad como consecuencia de desplazamientos iónicos de Potasio (K^+), Sodio (Na^+), Cloro (Cl^-) y Calcio (Ca^{++}) que continuamente se están produciendo en un flujo continuo bidireccional a través de la membrana celular.

La membrana celular se encuentra en estado de reposo (polarización Figura 1.4) si en el interior de la célula predominan los iones K^+ mientras que en el exterior prevalecen los iones Na^+ , generando así una superioridad de cargas negativas en el interior (aproximadamente $-90mV$) y de positivas en el exterior.

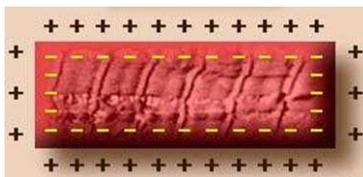


Figura 1.4: Estado de reposo celular

El impulso de excitación generado por la inestabilidad del potencial de reposo en células automáticas (nodo SA) o a partir de un estímulo externo sobre células no automáticas, hace disminuir el potencial de la membrana celular a un nivel de disparo de -70mV , la membrana deja pasar iones de Sodio (Na^+) y cambia la polaridad interna hasta llegar a un nivel de $+30\text{mV}$. En este punto se genera la salida de iones Potasio (K^+) y la entrada de iones cloro (Cl^-) haciendo regresar el potencial a 0mV que se aprecia de mejor manera en la Figura 1.5, lo cual permite la entrada de iones calcio (Ca^{2+}) y la salida posterior de iones de potasio (K^+) llevando a la célula a su repolarización [2] (aprox. -90mV).

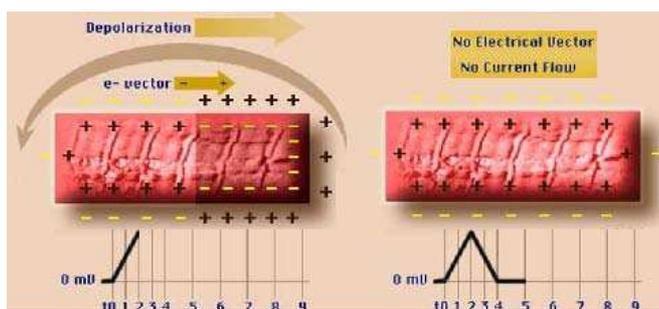


Figura 1.5: Despolarización media y completa de las células.

Este impulso producido logra la contracción muscular y va desplazándose a través del corazón como se muestra en la Figura 1.6.

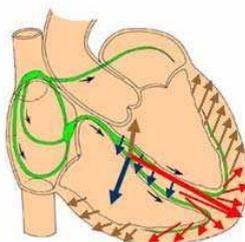


Figura 1.6: Circulación del impulso eléctrico por el corazón

El corazón está conformado por dos tipos de células:

- Células automáticas o de respuesta lenta (nodo SA)
- Células no automáticas o de respuesta rápida (masa muscular)

La diferencia fundamental entre estas células se basa en que las primeras poseen un potencial de reposo inestable que de forma automática va a despolarizarse [1] y que al alcanzar un potencial de umbral, generan un potencial de acción que va a transmitirse a las células vecinas. Por el contrario, las células no automáticas poseen un potencial de reposo estable y necesitan de un estímulo externo que lo sitúe en el potencial de umbral para posteriormente generar un potencial de acción (Figura 1.7).

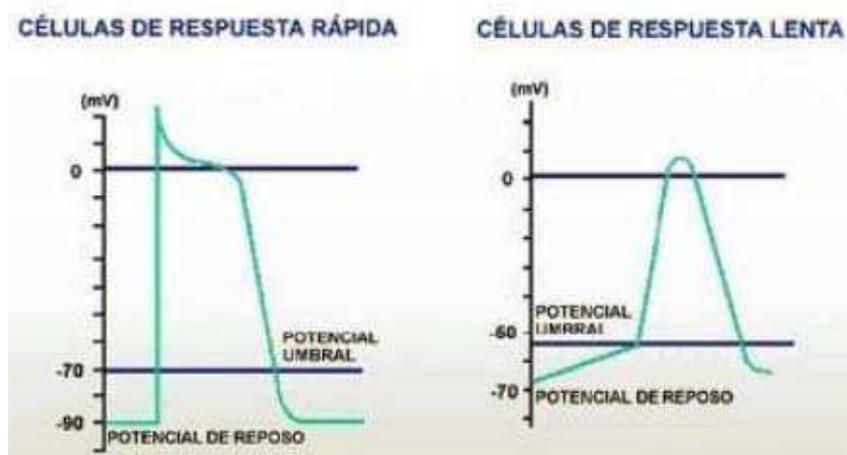


Figura 1.7: Tipos de células cardíacas

1.4 ELECTROCARDIOGRAMA

El electrocardiograma es la gráfica resultante de la actividad eléctrica cardíaca, la cual es adquirida a través del electrocardiógrafo. Las deflexiones obtenidas son interpretadas de acuerdo a su amplitud y duración tomando como referencia la cuadrícula del papel en el cual se imprime el electrocardiograma. Este papel está milimetrado de manera que el tiempo se mida sobre el eje de abscisas y la amplitud

sobre el de ordenadas; cada cinco milímetros (5 cuadros pequeños), aparece una línea más gruesa conformando cuadros de 5mm de lado (Figura 1.8). La velocidad del papel es de 25 mm/seg y por tanto cada milímetro en el eje de abscisas supone 0,04 seg y cada 5mm representa 0,2 segundos. Cada milivoltio (mV) registrado se traduce en un desplazamiento de la aguja de 10 mm en el eje de ordenadas.

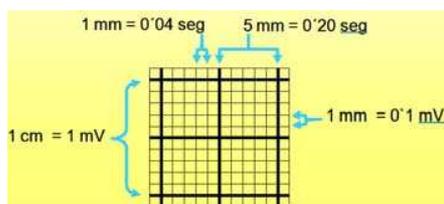


Figura 1.8: Papel milimetrado para impresión de electrocardiogramas

Las ondas del corazón están formadas por deflexiones positivas o negativas. Una onda puede ser positiva o negativa con relación a la línea isoelectrica (cero voltios). En la Figura 1.9 se muestra el trazado de un electrocardiograma que es considerado como estándar. En el corazón hay una parte donde no hay actividad eléctrica, entonces en el trazado del papel se interpreta que está en línea isoelectrica. Cuando la deflexión está por encima de la línea isoelectrica (ondas P, R y T) entonces esa onda es positiva; por el contrario si la línea está por debajo (ondas Q y S) la onda es negativa.

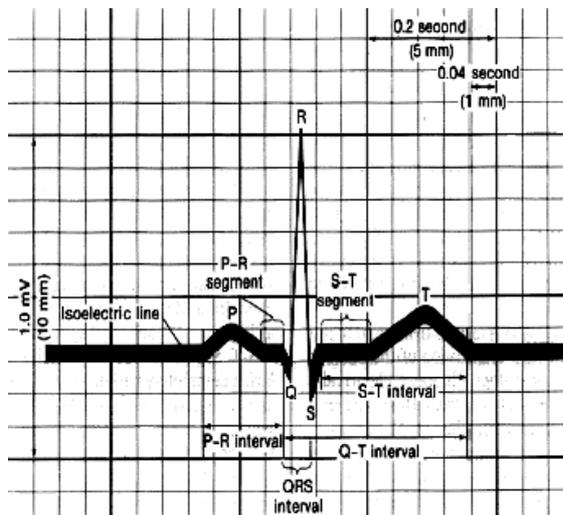


Figura 1.9: Forma de onda estándar del electrocardiograma

- **Onda P:** Es la deflexión producida por la despolarización auricular. Es una onda redondeada con una amplitud normal no mayor de 0.25mV y una duración entre 60ms y 100ms. El eje de una onda P en el plano frontal bajo condiciones normales está entre 30 y 60°.
- **Intervalo PR (PQ):** Se denomina así al intervalo desde el inicio de la onda P al comienzo del complejo QRS cualquiera que sea su primera deflexión, suele ser isoelectrico. En los adultos su valor normal va entre 120 y 200 ms. Es reflejo del tiempo de conducción auriculoventricular (AV) que incluye el retardo fisiológico a través del nodo AV. Su duración disminuye con el aumento de la frecuencia cardiaca. Este intervalo es producido por la despolarización del ventrículo derecho
- **Complejo QRS:** Corresponde a la contracción ventricular. En adultos su intervalo normal va entre 60 y 100 ms.
- **Segmento ST:** Comprende desde el fin del complejo QRS (punto J) hasta el inicio de la onda T. Se debe tener en cuenta su relación con la línea de base.

Tiene valor patológico si hay desniveles mayores a 1 mm. Debido a que no hay mayor cambio de potencial durante esta fase, el segmento ST suele ser isoeléctrico en los electrocardiogramas normales.

- **Onda T:** Corresponde con la repolarización (relajación) ventricular y aparece al final del segmento ST. La forma de la onda T es redondeada pero asimétrica, por lo general la rama ascendente de la T suele ser de inscripción lenta mientras que la descendente busca la isoeléctrica de forma rápida. La amplitud de la onda T es bastante variable de unas a otras derivaciones, aunque nunca debe exceder de 0.6mV.
- **Intervalo QT:** El intervalo QT se mide desde el comienzo del complejo QRS hasta el final de la onda T. Se relaciona, dentro de ciertos límites con la duración de la despolarización y de la repolarización de las aurículas y los ventrículos. El intervalo QT a veces no indica con precisión el tiempo de recuperación de los ventrículos, su duración habitualmente es de 0.38 segundos a 0.44 segundos. Sin embargo, varía de acuerdo a la frecuencia cardíaca. Bazett propuso una fórmula que permite calcular el intervalo QT corregido en cuanto a la frecuencia cardíaca: $QT_c = QT/RR$ donde QT_c es el intervalo QT corregido, QT es el intervalo QT y RR es el intervalo medido entre dos picos R de dos ondas ECG consecutivas.

1.4.1 FRECUENCIA CARDIACA

El tiempo que existe entre dos ondas R sucesivas sirve para calcular la frecuencia cardíaca, parámetro que define la rapidez con la que se expande el impulso eléctrico del corazón. La frecuencia es considerada normal si está entre 60 y 100 latidos por minuto.

Recordando que un segundo equivale a 5 cuadros de 5mm (cuadros grandes), luego en un minuto habrá 300 cuadros grandes y 1500 cuadros de 1mm (cuadros pequeños), existen varios métodos para medir este parámetro como son:

- Método estándar: consiste en dividir 300 entre el número de cuadros de 5mm que hay entre dos ondas R.
- Método de los 1500: consiste en dividir 1500 entre el número de cuadros de 1mm que existen entre dos ondas R.
- Método del muestreo: se divide 60000 (un minuto tiene 60000 milisegundos) entre la longitud en milisegundos que hay entre dos ondas R consecutivas.

1.4.2 DERIVACIONES ELECTROCARDIOGRÁFICAS

La disposición de los electrodos sobre el cuerpo del paciente durante el registro de ECG es denominada derivación, un electrocardiograma completo está compuesto por 12 derivaciones que pueden ser clasificadas dependiendo de su posición en el cuerpo y del tipo de polaridad utilizada.

1.4.2.1 Derivaciones del plano frontal

Las derivaciones bipolares son tres, cada una de ellas corresponde a dos electrodos aproximadamente equidistantes al corazón. Fueron desarrolladas por Willem Einthoven (Figura 1.10).

- Derivación I (DI): diferencia de potencial entre el brazo derecho (polo negativo) y el izquierdo (polo positivo). El eje de la derivación es 0° .

- Derivación II (DII): diferencia de potencial entre el brazo derecho (polo negativo) y la pierna izquierda (polo positivo). El eje de la derivación es $+60^\circ$.
- Derivación III (DIII): diferencia de potencial entre el brazo izquierdo (polo negativo) y la pierna izquierda (polo positivo). El eje de la derivación es $+120^\circ$ o -60° .

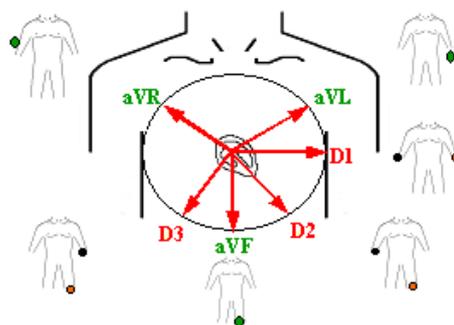


Figura 1.10: Derivaciones del electrocardiograma

1.4.2.2 Derivaciones aumentadas:

En este grupo, dos de las extremidades se conectan mediante resistencias eléctricas al polo negativo del amplificador, mientras el polo positivo se conecta con otra resistencia a la tercera extremidad (Figura 1.11). Fueron desarrolladas por Wilson y Goldberger.

- aVR: polo positivo en el brazo derecho. El eje de la derivación es 210° (-150°).
- aVL: polo positivo en el brazo izquierdo. El eje de la derivación es -30° .
- aVF: polo positivo en la pierna izquierda. El eje de la derivación es $+90^\circ$.

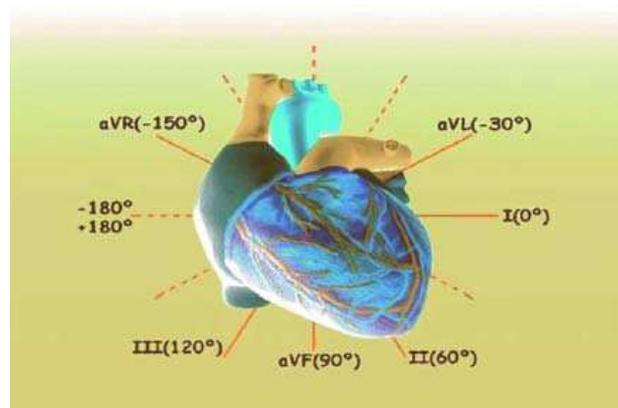


Figura 1.11: Derivaciones aumentadas del electrocardiograma

1.4.2.3 Derivaciones del plano horizontal

Las derivaciones precordiales son positivas y usan el centro del campo eléctrico del corazón como punto negativo. El electrodo se coloca en la superficie anterior del tórax, encima del corazón, como polo positivo (Figura 1.12), mientras el polo negativo, se conecta mediante resistencias eléctricas provenientes de los electrodos en las extremidades. Estas derivaciones son:

- V1: cuarto espacio intercostal. Borde derecho del esternón.
- V2: cuarto espacio intercostal. Borde izquierdo del esternón.
- V3: quinto espacio intercostal. Línea media clavicular.
- V4: entre V3 y V5
- V5: quinto espacio intercostal. Línea axilar anterior.
- V6: quinto espacio intercostal. Línea media axilar.

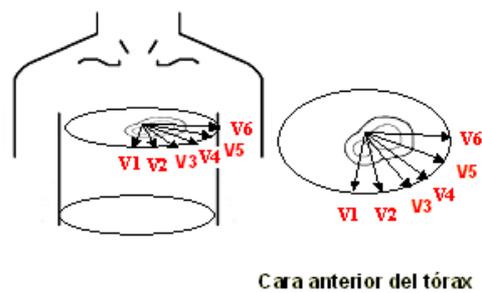


Figura 1.12: Derivaciones en el plano horizontal

1.4.3 EJE ELÉCTRICO DEL CORAZÓN

El eje eléctrico puede definirse como el vector resultante del conjunto de la actividad eléctrica de cada ciclo cardiaco y representa la resultante eléctrica determinada por la despolarización de ambos ventrículos.

Es de gran utilidad clínica, ya que orienta en el diagnóstico electrocardiográfico. Su colocación entre 0° y 90° se considera normal (ver la Figura 1.13); aunque existen electrocardiogramas patológicos con eje eléctrico normal, su desviación es indicación de alguna patología. Se determina mediante la valoración de las seis derivaciones del plano frontal, permitiéndose su cálculo con una variación de $\pm 15^\circ$ sin existir ningún sistema que permita mayor precisión en su determinación.

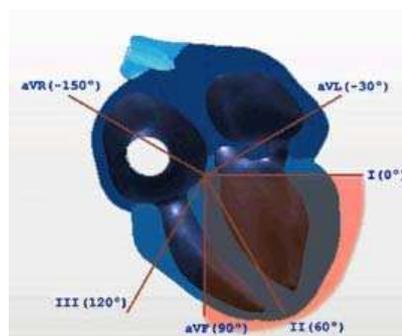


Figura 1.13: Eje eléctrico del corazón

Después de la inspección de las seis derivaciones del plano frontal, se decide en que derivación la suma algebraica de sus deflexiones se aproxima a cero.

En la Figura 1.14a se observa que la derivación en la que la suma algebraica de sus deflexiones, teniendo en cuenta que a las ondas Q y S se les asigna un valor negativo y a la onda R positivo, es +3, mientras que en la Figura 1.14b el resultado del cálculo sería igual a cero. Una vez identificada la derivación con deflexiones que sumen cero o cerca de cero, también llamada derivación isodifásica [3], se sabe que el eje eléctrico se localiza a 90° de dicha derivación

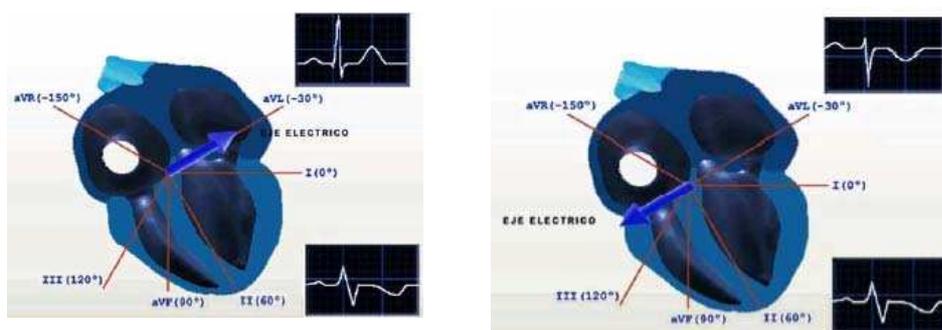


Figura 1.14a: Eje eléctrico con resultado +3 **Figura 1.14b:** Eje eléctrico con resultado 0

En la Figura 1.14a se observa que la derivación DII (con electrodo explorador a $+60^\circ$) es isodifásica; por lo tanto el eje eléctrico se localizará a 90° de ella, en una u otra dirección y se encontrará en aVL (-30°) o a $+150^\circ$. La inspección de aVL dará la clave definitiva: si es predominantemente positiva, el eje eléctrico se localizará a -30° ; y si es predominantemente negativa se localizara a 150° .

En los casos en los que la suma algebraica no sea cero o sea que no haya una derivación isodifásica, se identificará el que más se aproxime a cero, el eje se localizará aproximadamente a 90° de una de ellas. Una vez identificada se procede a corregir su localización definitiva: si la derivación original era más positiva que [3] ISODIFÁSICA: El eje tomado como referencia, se ubica a 90° de dicho eje.

negativa, el eje se localizará 15° más cerca, mientras que si fuese más negativa que positiva, el eje se localizará 15° más lejos.

Para calcular el eje eléctrico se toma en cuenta al complejo QRS en el cual se toma en cuenta la suma algebraica del valor en milímetros de los puntos Q, R y S de las siguientes señales:

- Derivación bipolar I
- Derivación monopolar aVF

Un ejemplo de cálculo de eje eléctrico se muestra en la Figura 1.15 siguiente:

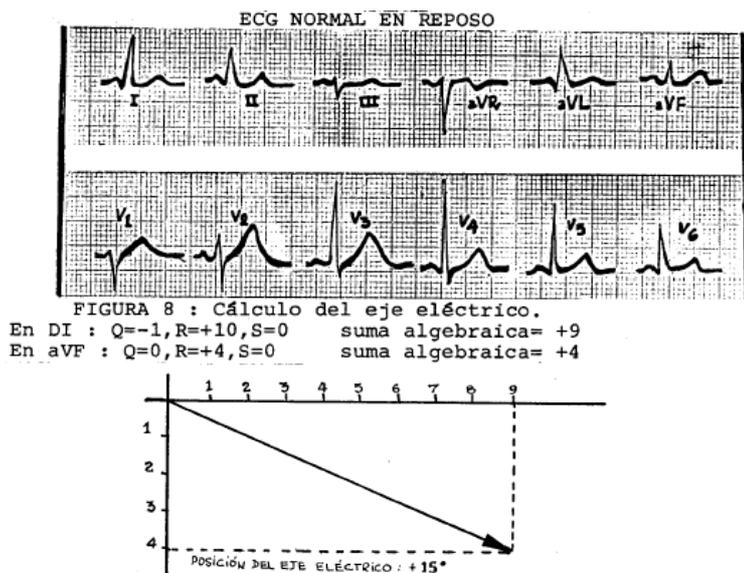


Figura 1.15: Cálculo de eje eléctrico.

1.5 ELECTROCARDIOGRAFÍA

La electrocardiografía es el estudio de la actividad eléctrica del corazón que representa los cambios en el potencial de acción ocurridos durante el ciclo cardiaco;

estos cambios son descritos como una serie de vectores que indican la dirección de la despolarización celular en cada una de las cavidades cardiacas; por ello, el análisis de la secuencia de propagación del impulso hace factible la deducción del comportamiento electro fisiológico de las estructuras del corazón y de posibles anomalías.

El registro de dicha actividad se ve representado por el desplazamiento del impulso eléctrico que muestra una serie de deflexiones en la medida en la que el impulso cardiaco se propaga y es obtenida a través de aparatos llamados electrocardiógrafos, los cuales, son conectados al paciente mediante cables unidos a electrodos de superficie ubicados sobre el cuerpo, según normas establecidas, llamadas derivaciones.

La señal electrocardiográfica puede interpretarse de acuerdo a la derivación con la que es captada, ya que cada una de estas, representa la lectura de la magnitud y dirección de los vectores del potencial de acción desde distintos lugares de referencia.

Tomando todo lo antes mencionado se realizará un sistema que genere una señal tomada como estándar en el plano horizontal del corazón y además una señal producida por un corazón presentando un infarto en las primeras horas de producido el mismo.

CAPITULO 2

DISEÑO Y CONSTRUCCIÓN DEL HARDWARE

El objetivo del presente capítulo es describir el diseño del hardware construido, así como las características del equipo utilizado y la función de cada uno de ellos.

2.1 DIAGRAMA DE BLOQUES DEL EQUIPO

El proyecto a diseñarse es un generador de señales del corazón que produce los voltajes de las terminales precordiales en el plano horizontal.

El hardware del módulo se lo puede resumir mediante el siguiente diagrama de bloques (Figura 2.1):

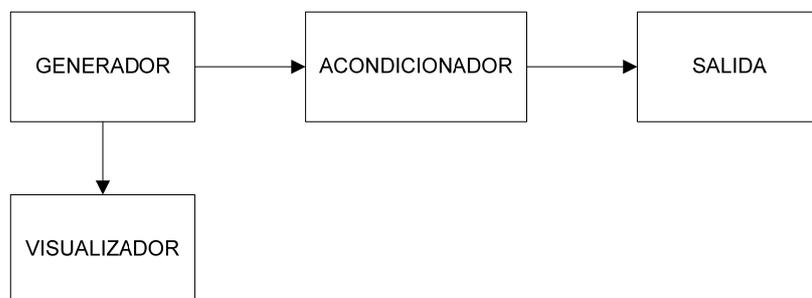


Figura 2.1: Diagrama de bloques del módulo

2.2 DISEÑO DEL MÓDULO DE GENERACIÓN

El módulo a diseñar debe cumplir con las funciones de generar las señales producidas por el corazón. Las señales a su salida deben tener valores que van en el orden de las unidades de milivoltios.

Para el diseño del módulo se deben considerar elementos para acondicionar las señales que tengan un coeficiente bajo de admisión de ruido. Para la generación se necesita un microprocesador que tenga la capacidad de trabajar con señales de frecuencias altas y posea puertos de entrada salida suficientes para soportar los requerimientos del sistema.

2.2.1 REQUERIMIENTOS DEL SISTEMA

Entrada de pulsantes para seleccionar la operación que se desea realizar.

Salida de señales PWM, un puerto para cada una frecuencia cardiaca, seis señales para cada ritmo cardiaco.

Un visualizador que muestre al exterior la función que se encuentra realizando el módulo.

Acondicionador de señales para que las salidas estén en el orden antes mencionados.

2.3 GENERADOR DE SEÑALES

Esta etapa necesita de entradas que se activen cuando se seleccione la opción, por lo tanto las entradas seleccionadas serán pulsantes. Se necesita de un microcontrolador para manejar dichas entradas y tenga dos puertos más para la

generación de las señales PWM. Además que tenga un puerto para enviar datos a un sistema de visualización.

Análisis de requerimientos:

- Se necesitan seis entradas de pulsantes que realicen las siguientes funciones:
 - Encendido
 - Apagado
 - Selección de generar un corazón sano
 - Selección de generar un corazón enfermo
 - Selección de frecuencia a 60BMP
 - Selección de frecuencia a 80BMP

Para que sea identificado se necesitaría que cada uno genere una interrupción para que puedan ser leídos, por lo tanto se implementa un sistema digital que ayude a que, cada vez que se presione un pulsante, se genere una interrupción en común.

- El microprocesador debe contar por lo menos con cuatro puertos empleados para:
 - Lectura de pulsantes
 - Generación de señales PWM para una frecuencia cardiaca de 60BMP
 - Generación de señales PWM para una frecuencia cardiaca de 80BMP
 - Enviar datos al sistema de visualización

Se necesita que trabaje con una frecuencia de oscilación de 20MHz para realizar las operaciones en un tiempo pequeño que no afecte a la generación

de las señales. Además de una memoria que pueda abarcar a todo el software con el que funcionará el sistema.

Los requisitos identificados apuntaron a un microprocesador de la familia de 16F de los que cumplen con un mínimo de cuatro puertos de entrada/salida, una alta capacidad de memoria. De los microprocesadores analizados y por su facilidad de conseguir en el país se ha seleccionado al microcontrolador PIC16F877A, las principales características de este elemento son:

- Voltaje de alimentación de corriente continua de 5Vdc con una variación de 3 a 5.5Vdc,
- Temperatura de operación que va de -55 a +125°C
- Potencia máxima de disipación de 1W
- Máxima corriente de 250mA.
- Puede trabajar hasta una frecuencia con un cristal interno que va desde 4MHz hasta 48kHz.
- Memoria flash de 8KB, memoria de datos de 368KB y una memoria EEPROM de 256KB
- Interrupciones: 15
- Puertos de entrada salida cinco
- Timers: 3

El datasheet del microcontrolador PIC16F877A se muestra en el Anexo 1.

Tiene un empaquetamiento tipo SOIC de 40 pines, los cuales se muestran en la Figura 2.2.

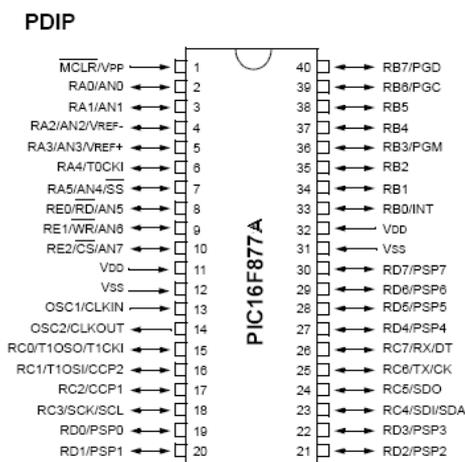


Figura 2.2: Microcontrolador PIC16F877A

2.4 SISTEMA DE VISUALIZACIÓN

Este sistema se encargará de realizar una interfaz visual que muestre al usuario la función que se encuentra realizando el generador. También debe contar con una pantalla y un microprocesador que se encargue de traducir el código enviado desde el generador para mostrarlo en la pantalla.

Análisis de requerimientos:

- Pantalla tipo LCD que tenga al menos dos líneas para mostrar el tipo de corazón que se está simulando (normal o con anomalía) y la frecuencia cardiaca.
- Microprocesador para lectura de código del generador y manejo del LCD. Para la lectura del puerto se necesita de un puerto y para el manejo de LCD se necesita de otro puerto, por lo tanto se requiere de un microprocesador que posea 2 puertos.

- LCD. De las pantallas comerciales la que se ajusta a los requerimientos del sistema son: una de dos líneas con dieciséis caracteres cada una. Por tanto se escoge el LCD LM016L cuyo esquema se muestra en la Figura 2.3.

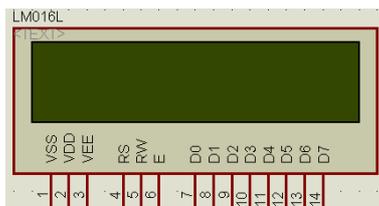


Figura 2.3: LCD LM016L

- El microprocesador perteneciente a la familia 16F que cumple con estos otros requerimientos del sistema es el PIC16F628A, seleccionado estar comercialmente disponible y sus características de memoria y funcionamiento con o sin cristal de oscilación lo que facilita el diseño del hardware. La características del microprocesador se muestran a continuación:
 - Voltaje de alimentación de corriente continua de 5Vdc con una variación de 3 a 5.5Vdc,
 - Temperatura de operación que va de -40 a +125°C
 - Potencia máxima de disipación de 0.8W
 - Máxima corriente de 250mA.
 - Puede trabajar hasta una frecuencia que va desde DC hasta 20MHz.
 - Memoria flash de 2KB, memoria de datos de 224KB y una memoria EEPROM de 128KB
 - Interrupciones: 10
 - Puertos de entrada salida: 2
 - Timmers: 3
- El datasheet del microcontrolador PIC16F628A se muestra en el Anexo 2.

Tiene un empaquetamiento tipo SOIC de 18 pines, los cuales se muestran en la Figura 2.3.

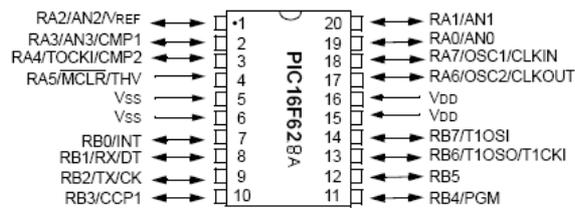


Figura 2.3: Microcontrolador PIC16F628A

2.4 ACONDICIONADOR DE SEÑALES

Para realizar esta fase se debe primeramente convertir la señal a análoga, luego filtrarla, para luego amplificarla al nivel de salida deseada, como se muestra en la Figura 2.4 siguiente.



Figura 2.4: Diagrama de acondicionamiento de señales

Esta etapa está dividida en las siguientes fases:

- Conversión D/A
- Filtros activos
- Amplificadores diferenciales
- Filtros pasivos
- Amplificadores inversores

- Conversión D/A, para convertir las señales digitales PWM a análogas se utiliza un convertidor del tipo RC formado como su nombre lo indica por una resistencia y un capacitor. Esta conversión se basa en tomar el valor promedio en DC del tiempo de duración en alto de la señal PWM, obteniéndose un valor promedio a la salida, calculado mediante la siguiente ecuación:

$$V_{dc} = CU * 5V$$

Ecuación 2.1: Ecuación de conversor D/A

Donde CU es el porcentaje del valor en alto con respecto al periodo que tiene la señal PWM.

- Filtro Activo. Al tratarse de señales que tienen un valor pequeño en amplitud y frecuencia, se necesita de un filtro que permita el paso de una determinada banda de frecuencias. Las frecuencias cardíacas generadas son de 1 Hz y de 1.33Hz, pero poseen componentes que llegan a valores aproximados de 70Hz, calculados a partir de las formas de onda de los voltajes generados por el corazón en el plano horizontal, como se muestra en la Figura 2.5, y de debe permitir el paso de todas las componentes para formar la señal final. Por lo tanto se emplearan filtros pasa-bajos.

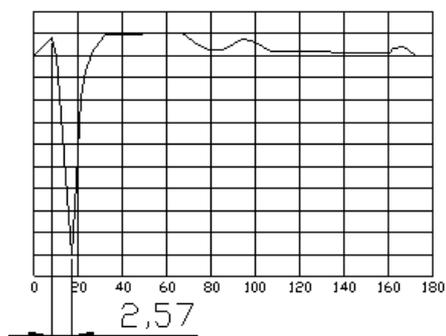


Figura 2.5: Voltaje de la terminal precordial V1

Un filtro adecuado para eliminar el ruido de estas señales es el filtro Butterworth que puede ser de primero, segundo o tercer orden. De los mencionados se seleccionó un filtro activo Butterworth de segundo orden para tener una atenuación de -40dB de las señales superiores a la de corte.

- Amplificador diferencial. Este tipo de amplificador se utiliza en modo de rechazo en modo común (CMMR) que es una de las ventajas que poseen los amplificadores operacionales y además de que se le puede dar una ganancia menor a uno que es lo que se desea para tener la amplitud de las señales a los valores deseados. La desventaja que tienen los amplificadores operacionales es la ganancia máxima recomendada por el fabricante que es de 50 veces.

Debido a la conversión D/A de una señal Positiva y al necesitar que a la salida esta señal tenga un valor tanto positivo como negativo por la despolarización y repolarización de las células, como se vio anteriormente, es necesario sumar un valor negativo a la señal generada.

- Filtros pasivos. Este tipo de filtro se lo emplea para tener una segunda etapa de filtrado debido al uso de potenciómetros, estos generan ruido que contaminará a la señal generada. El tipo de filtro empleado al igual que en la fase anterior será un pasa-bajos con una frecuencia igual a la anterior, calculada de la misma forma.
- Amplificador inversor. Utilizado para dar la ganancia final al sistema. No se puede implementar un amplificador no inversor debido a que no trabaja con ganancias menores a 1, por esta razón la señal generada debe ser invertida para obtener a la salida la forma de onda deseada.

Debido a la ganancia de los amplificadores se ve la necesidad de aumentar una etapa de amplificación, de tal modo que el diagrama final de acondicionamiento quedará de la siguiente forma:

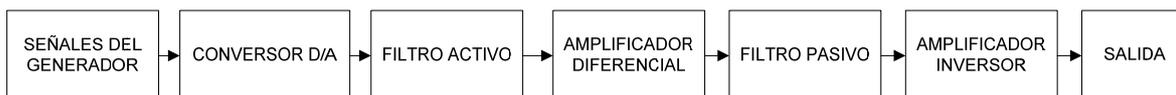


Figura 2.5: Diagrama final de acondicionamiento de señales

Para la implementación de los filtros se necesita de un amplificador operacional, el cual será seleccionado de acuerdo a los requerimientos del acondicionador y los niveles de voltaje a la salida, tomando en cuenta admisión de ruido y el coeficiente CMMR.

Un amplificador que cumple con los requisitos es el TL084 el cual presenta las siguientes características eléctricas:

- Tipo de entradas: JFET.
- Impedancia de entrada/salida: Alta.
- Admisión de ruido: Bajo.
- Niveles de voltaje de alimentación de $\pm 5\text{Vdc}$ a $\pm 15\text{Vdc}$.

El datasheet del amplificador operacional TL084 se muestra en el Anexo 3.

Tiene un empaquetamiento DIP tipo SOIC de 14 pines en el cual están implementados 4 amplificadores operacionales. La distribución de pines y la función se muestran en la Figura 2.6:

TL084, TL084A, TL084B
D, J, N, NS, OR PW PACKAGE
(TOP VIEW)

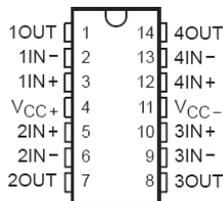


Figura 2.6: Amplificador operacional TL084

En la Tabla 2.1 se muestran las características especiales del amplificador operacional TL084, el dato más importante por el que fue seleccionado es el ruido equivalente de entrada de voltaje que es de $4 \text{ nV}/\sqrt{\text{Hz}}$ para una resistencia de carga de 20Ω a una frecuencia de 10Hz a 10KHz.

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
SR Slew rate at unity gain	$V_I = 10 \text{ V}$, $R_L = 2 \text{ k}\Omega$, $C_L = 100 \text{ pF}$, See Figure 1	8	13		$\text{V}/\mu\text{s}$
t_r Rise time	$V_I = 20 \text{ mV}$, $R_L = 2 \text{ k}\Omega$, $C_L = 100 \text{ pF}$, See Figure 1		0.05		μs
Overshoot factor			20		%
V_n Equivalent input noise voltage	$R_S = 20 \Omega$	$f = 1 \text{ kHz}$	18		$\text{nV}/\sqrt{\text{Hz}}$
		$f = 10 \text{ Hz to } 10 \text{ kHz}$	4		μV
I_n Equivalent input noise current	$R_S = 20 \Omega$, $f = 1 \text{ kHz}$		0.01		$\text{pA}/\sqrt{\text{Hz}}$
THD Total harmonic distortion	$V_{\text{rms}} = 6 \text{ V}$, $f = 1 \text{ kHz}$, $A_{VD} = 1$, $R_S \leq 1 \text{ k}\Omega$, $R_L \geq 2 \text{ k}\Omega$		0.003		%

Tabla 2.1: Características especiales del TL084

2.5 DISEÑO Y CONSTRUCCIÓN DEL GENERADOR

Como se vio anteriormente las etapas que conforman el generador es el manejo de entradas y la generación de señales, estas dos etapas se detallan a continuación.

2.5.1 MANEJO DE ENTRADAS

Como se mencionó, se necesita de un sistema digital que produzca un pulso positivo para activar la interrupción cada vez que se presione un pulsante. Este sistema se

basa en compuertas digitales NAND y OR, cuyas tablas de verdad se muestran a continuación:

NAND			OR		
A	B	C	A	B	C
0	0	1	0	0	0
0	1	1	0	1	1
1	0	1	1	0	1
1	1	0	1	1	1

Tabla 2.2: Tablas de verdad de compuertas utilizadas.

Al existir solo una interrupción externa en el microcontrolador a través del bit "0" del puerto B (RB0) y seis entradas que sensar, se emplea un arreglo de compuertas lógicas para provocar la interrupción formada por: compuertas OR (74LS32) y compuertas NAND (74LS00).

La respuesta de un pulsante es discreta (ON – OFF) y se deben colocar resistencias limitadoras de corriente entre la alimentación y el pulsante normalmente abierto para obtener una respuesta en reposo de 1L y activado de 0L. Por ser un elemento mecánico que produce ruido se deben colocar elementos atenuadores de ruido, en este caso capacitores recomendados para el microcontrolador con un valor de 0.1uf.

El circuito para manejar las entradas se basa en comparar los pulsantes de dos en dos mediante una compuerta NAND, para luego ser sumadas con una compuerta OR como se muestra en la Figura 2.7:

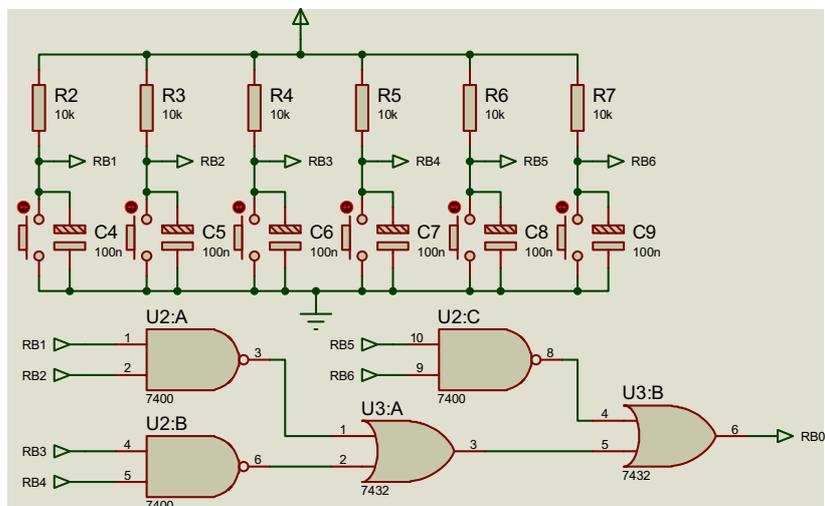


Figura 2.7: Manejo de entradas

Con este arreglo se tiene a la salida un valor de 0L cuando ningún pulsante se encuentra presionado y un valor de 1L cuando se presiona algún pulsante. De esta manera se tiene la entrada deseada para la interrupción externa del microcontrolador.

A continuación se muestra la comprobación del funcionamiento descrito mediante la tabla de verdad.

A	B	C	D	E	F	A*B	C*D	E*F	(A+B)(+B)(A+B)
0	0	0	0	0	0	1	1	1	1
0	0	0	0	0	1	1	1	1	1
0	0	0	0	1	0	1	1	1	1
0	0	0	0	1	1	1	1	0	1
0	0	0	1	0	0	1	1	1	1
0	0	0	1	0	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1
0	0	0	1	1	1	1	1	0	1
0	0	1	0	0	0	1	1	1	1
0	0	1	0	0	1	1	1	1	1
0	0	1	0	1	0	1	1	1	1
0	0	1	0	1	1	1	1	0	1
0	0	1	1	0	0	1	0	1	1
0	0	1	1	0	1	1	0	1	1
0	0	1	1	1	0	1	0	1	1
0	0	1	1	1	1	1	0	0	1
0	1	0	0	0	0	1	1	1	1
0	1	0	0	0	1	1	1	1	1
0	1	0	0	1	0	1	1	1	1
0	1	0	0	1	1	1	1	0	1
0	1	0	1	0	0	1	1	1	1
0	1	0	1	0	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1
0	1	0	1	1	1	1	1	0	1
0	1	1	0	0	0	1	1	1	1
0	1	1	0	0	1	1	1	1	1
0	1	1	0	1	0	1	1	1	1
0	1	1	0	1	1	1	1	0	1
0	1	1	1	0	0	1	0	1	1
0	1	1	1	0	1	1	0	1	1
0	1	1	1	1	0	1	1	0	1
0	1	1	1	1	1	1	1	0	0
1	0	0	0	0	0	1	1	1	1

A	B	C	D	E	F	A*B	C*D	E*F	(A+B)(+B)(A+B)
1	0	0	0	0	1	1	1	1	1
1	0	0	0	1	0	1	1	1	1
1	0	0	0	1	1	1	1	0	1
1	0	0	1	0	0	1	1	1	1
1	0	0	1	0	1	1	1	1	1
1	0	0	1	1	0	1	1	1	1
1	0	0	1	1	1	1	1	0	1
1	0	1	0	0	0	1	1	1	1
1	0	1	0	0	1	1	1	1	1
1	0	1	0	1	0	1	1	1	1
1	0	1	0	1	1	1	1	0	1
1	0	1	1	0	0	1	0	1	1
1	0	1	1	0	1	1	0	1	1
1	0	1	1	1	1	1	1	0	1
1	1	0	0	0	0	0	1	1	1
1	1	0	0	0	1	0	1	1	1
1	1	0	0	1	0	0	1	1	1
1	1	0	0	1	1	0	1	0	1
1	1	0	1	0	0	0	1	1	1
1	1	0	1	0	1	0	1	1	1
1	1	0	1	1	0	1	0	1	1
1	1	1	0	0	0	0	1	1	1
1	1	1	0	0	1	0	1	1	1
1	1	1	0	1	1	0	1	0	1
1	1	1	1	0	0	0	0	1	1
1	1	1	1	0	1	0	0	1	1
1	1	1	1	1	0	0	0	1	1
1	1	1	1	1	1	0	0	0	0

Tabla 2.3: Tabla de verdad de circuito digital

2.5.2 GENERACIÓN DE SEÑALES

La generación de señales la realiza el microcontrolador PIC16F877A, que opera con un cristal de oscilación de 20MHz. Esta frecuencia se escogió por ser la más alta a la que puede trabajar el microcontrolador y es lo que se necesita para no perder resolución del sistema durante la generación como se verá más adelante. Las señales del corazón generadas se reproducen por dos puertos del microcontrolador, tal como se muestra en la Figura 2.8, los cuales son:

- Puerto D para la generación a 60BMP
- Puerto C para la generación a 80BMP

La generación a 60BMP presenta la siguiente configuración: RD0 para V1, RD1 para V2, RD2 para V3, RD3 para V4, RD4 para V5, RD5 para V6; de igual manera para 80BMP se tiene: RC0 para V1, RC1 para V2, RC2 para V3, RC3 para V4, RC4 para V5, RC5 para V6.

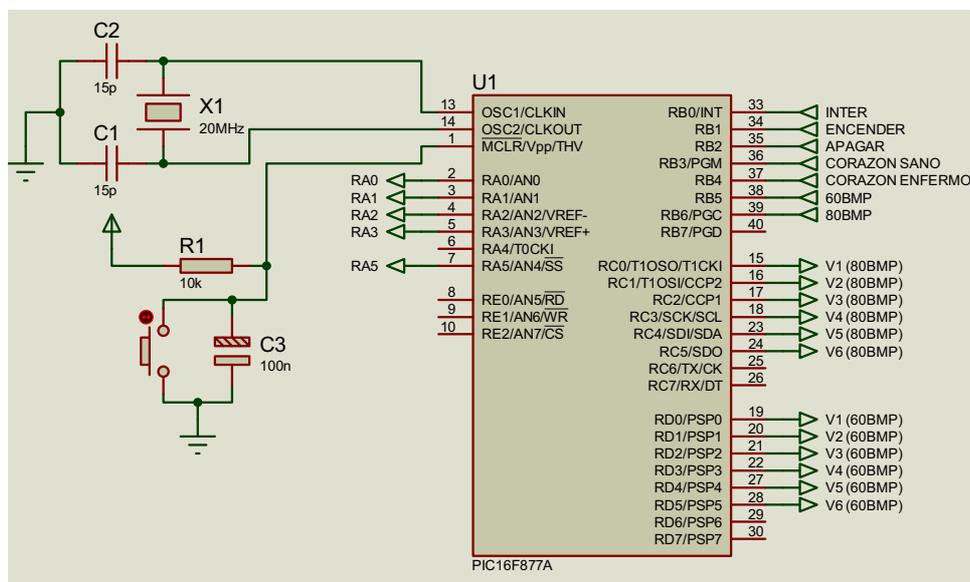


Figura 2.8: Generación de señales

2.6 DISEÑO Y CONSTRUCCIÓN DEL VISUALIZADOR

Esta etapa como se vio anteriormente consta de una pantalla LCD y de un microcontrolador el cual fue seleccionado en el análisis, siendo este el PIC16F628A. El diseño de las fases se muestra a continuación:

2.6.1 INTERFAZ DE VISUALIZACIÓN

Para el modo de operación del PIC16F877A (generador de señales del corazón) se utiliza un microcontrolador PIC16F628A el cual se encarga de leer el dato enviado desde el puerto A del microcontrolador PIC16F877A acopladas con resistencias de 330Ω para disminuir la corriente. Este dato es mostrado en un LCD. La configuración utilizada para este sistema se muestra en la Figura 2.9 siguiente:

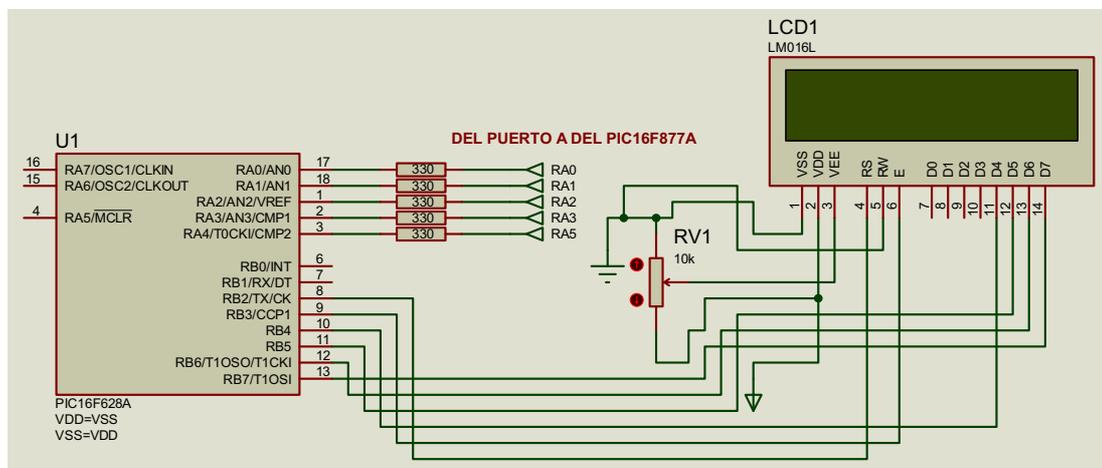


Figura 2.9: Esquema de visualización

Se utiliza al LCD en el modo de 4bits empleando los pines del 4 al 8 del puerto B del microcontrolador, la línea de RW del LCD de control es conectada a la referencia debido a que solo se realiza la función de escritura y por las líneas restantes del pòrtico B del microcontrolador 16F628A se controlan los pines de habilitación y la

línea de código de instrucción. Por el pórtico A se leen los pines del microcontrolador 16F877A. El contraste es controlado mediante un potenciómetro de 10K Ω con el cual se controla el voltaje aplicado al pin VEE del LCD.

2.7 DISEÑO Y CONSTRUCCIÓN DEL ACONDICIONADOR

Las distintas fases de esta etapa se muestran a continuación:

2.7.1 CONVERSIÓN D/A

Cada salida cuenta con conversores D/A basados en un filtro RC pasa bajos de distintos valores de frecuencia de corte de acuerdo a la forma de onda de cada señal de voltaje. A pesar de que son iguales en período, porque son generadas simultáneamente, están formadas por un conjunto de señales de una frecuencia mayor a la deseada. La configuración del filtro pasivo pasa bajos se muestra en la Figura 2.10, un ejemplo de cálculo para la frecuencia de 70Hz correspondiente al voltaje de la terminal precordial 1 (V1) a una frecuencia cardiaca de 60BMP (latidos por minuto) de un corazón sano, se muestra a continuación:

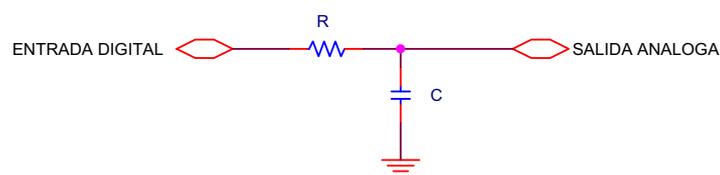


Figura 2.10: Conversor digital-análogo

$$W_c = \frac{1}{RC}$$

$$f = \frac{1}{2\pi RC}$$

Asumir C = 0.68uf

$$R = \frac{1}{2\pi f C} = \frac{1}{2 * \pi * 70 * 0.68e - 6}$$

$$R = 3343.67\Omega$$

La forma de determinar la frecuencia de corte correspondiente a la componente de mayor frecuencia se obtiene de relacionar el período de la señal con una componente. Para esto se recurre a la Figura 2.5 en la cual se detalla la señal del voltaje de la terminal V1 a 60BPM de un corazón sano.

Como se puede observar en la Figura 2.5 la componente que tiene el mayor valor de frecuencia es la de 2.57, que con una regla de 3 se obtiene que la frecuencia equivale a 70Hz. El mismo proceso se realizó con las terminales faltantes.

Los cálculos realizados para la selección de los filtros se muestran a continuación en las siguientes tablas:

FILTROS PARA 60BPM			
TERMINAL PRECORDIAL	FRECUENCIA MÁXIMA DE PASO (Hz)	CAPACITOR UTILIZADO (uf)	RESISTENCIA (Ω)
V1	70	0,68	3343,672826
V2	70	0,68	3343,672826
V3	60	0,68	3900,95163
V4	40	0,68	5851,427445
V5	40	0,68	5851,427445
V6	70	0,68	3343,672826

Tabla 2.4a: Filtros para una frecuencia de 60BPM

FILTROS PARA 80BPM			
TERMINAL PRECORDIAL	FRECUENCIA MÁXIMA DE PASO (Hz)	CAPACITOR UTILIZADO (uf)	RESISTENCIA (Ω)
V1	60	0,68	3900,95163
V2	40	0,68	5851,427445
V3	50	0,68	4681,141956
V4	60	0,68	3900,95163
V5	40	0,68	5851,427445
V6	60	0,68	3900,95163

Tabla 2.4b: Filtros para una frecuencia de 80BPM

La razón por la cual las salidas tienen un filtro pasivo antes del activo es conseguir una señal análoga con un nivel de ruido pequeño para que este sea eliminado por el filtro activo, ya que presenta problemas de picos en la señal de salida.

Para este tipo de filtro se deben utilizar potenciómetros de precisión para no tener que aproximar a valores estándar y variar la frecuencia de corte.

2.7.2 FILTROS ACTIVOS

Esta etapa se encarga de eliminar completamente el ruido de las señales generadas para posteriormente ser acondicionadas. El módulo tiene implementado filtros activos Butterworth de segundo orden pasa bajos.

Los filtros Butterworth presentan una atenuación que depende del grado del filtro y que puede ser calculado con la Ecuación 1. Esta atenuación está relacionada directamente con la frecuencia de corte del filtro.

$$\text{Atenuación} = -20 * n * \log\left(\frac{w}{w_c}\right)$$

$$n = 1,2,3,\dots\dots\dots$$

Ecuación 2.2: Relación de atenuación con la frecuencia de corte

El tipo de filtro implementado es uno de segundo orden siendo un filtro de -40db, con una atenuación de 0.707 (3db) en amplitud de la señal, cuyas características se observan en la Figura 2.11, en la que se detalla la respuesta del filtro ideal y la del filtro real.

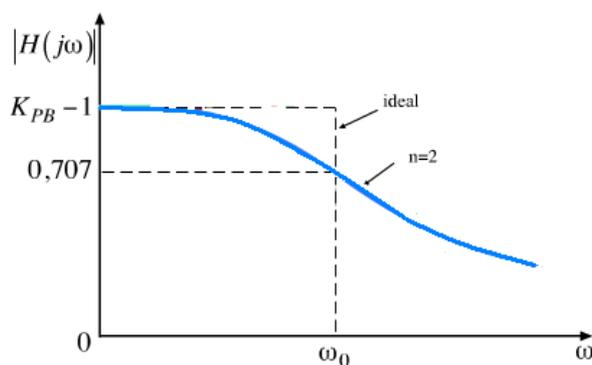


Figura 2.11: Atenuación para un filtro Butterworth de segundo orden

La configuración del filtro pasa bajos de segundo orden basado en el amplificador operacional TL084 se muestra en la Figura 2.12, detallándose a continuación el diseño del mismo:

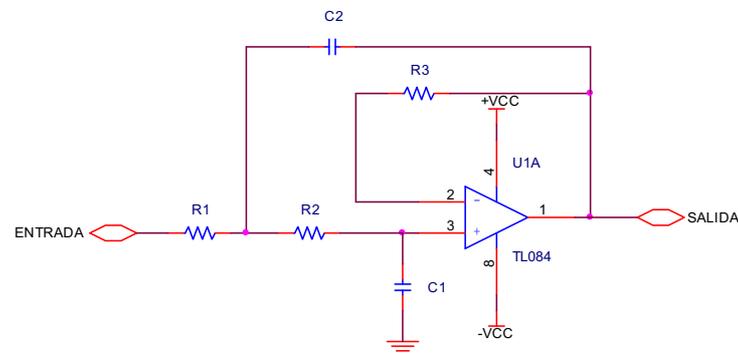


Figura 2.12: Filtro Butterworth pasa bajos de segundo orden

$$C2 = 2 * C1$$

$$R1 = R2 = R$$

$$Rf = 2 * R$$

$$R = \frac{0.707}{2 * \pi * fc * C}$$

Para un funcionamiento óptimo del filtro se recomienda utilizar capacitores en un rango que va de 100pf a 0.1uf.

De igual manera que los filtros pasivos anteriormente mencionados se deben implementar filtros activos de distintos valores de frecuencia de corte. En este caso son los mismos valores de frecuencia que poseen los filtros pasivos. Los cálculos de los elementos de los filtros se los muestra en las Tablas 2.2

El cálculo para una frecuencia de corte de 60hz se muestra a continuación:

Sea C=0.022uf

$$R = \frac{0.707}{2 * \pi * 60 * 0.022e-6} = 82246.4321\Omega$$

Aproximando

$$R = 82000\Omega$$

$$C2 = 2 * 0.022\mu f = 0.044\mu f$$

Aproximando

$$C2 = 0.047\mu f$$

Racalculando la frecuencia se obtiene que :

$$f = \frac{0.707}{2 * \pi * 82000 * 0.022e-6} = 62.375Hz$$

El cálculo para los distintos filtros a las frecuencias correspondientes se muestra en las Tablas 2.5

FILTROS PARA GENERACIÓN A 60BPM							
TERMINAL PRECORDIAL	FRECUENCIA MÁXIMA DE PASO (Hz)	C1 (uf)	C2 (uf)	R (Ω)	R1 (KΩ)	Rf (KΩ)	FRECUENCIA FINAL DE CORTE (Hz)
V1	60	0,022	0,047	85246,4321	82	160	62,3754381
V2	40	0,022	0,047	127869,648	120	220	42,62321604
V3	50	0,022	0,047	102295,718	100	200	51,14785924
V4	60	0,022	0,047	85246,4321	82	160	62,3754381
V5	40	0,022	0,047	127869,648	120	220	42,62321604
V6	60	0,022	0,047	85246,4321	82	160	62,3754381

Tabla 2.5a: Cálculo de filtros activos para 60BMP

FILTROS PARA GENERACIÓN A 80BPM							
TERMINAL PRECORDIAL	FRECUENCIA MÁXIMA DE PASO (Hz)	C1 (uf)	C2 (uf)	R (Ω)	R1 (K Ω)	Rf (K Ω)	FRECUENCIA FINAL DE CORTE (Hz)
V1	70	0,022	0,047	73068,3703	75	150	68,19714566
V2	70	0,022	0,047	73068,3703	75	150	68,19714566
V3	60	0,022	0,047	85246,4321	82	160	62,3754381
V4	40	0,022	0,047	127869,648	120	220	42,62321604
V5	40	0,022	0,047	127869,648	120	220	42,62321604
V6	70	0,022	0,047	73068,3703	75	150	68,19714566

Tabla 2.5b: Cálculo de filtros activos para 80BPM

2.7.3 GANANCIA DEL SISTEMA

Se generan señales de 2mV (pico-pico), ya que es una entrada aceptable para el electrocardiógrafo. Cabe destacar que no todas las señales tienen la misma amplitud, y por esta razón se toma a la señal más pequeña, que es V1, con una amplitud de 1mVpp y como la digitalización de las señales se la realizo con señales a escala se tomará la misma ganancia para todas las señales restantes.

Según la digitalización se tiene que el valor máximo en digital es de 70 y el menor de 11 hay una diferencia de 59.

El valor de la señal a la salida de conversor D/A es de 300mVdc, con lo que para obtener a la salida un voltaje de 1mV es necesario reducirla en 300veces:

Con una ganancia de 0.1 en el amplificador diferencial una reducción final de 0.33 en el amplificador inversor, se tiene una ganancia de 0.033 que es lo que se requiere para el sistema.

2.7.3.1 ACONDICIONAMIENTO DE SEÑAL

Este proceso se implementa mediante amplificadores operacionales en la configuración de diferencial, con una ganancia menor a uno para reducir la amplitud de la señal. Dicha configuración se muestra en la Figura 2.13

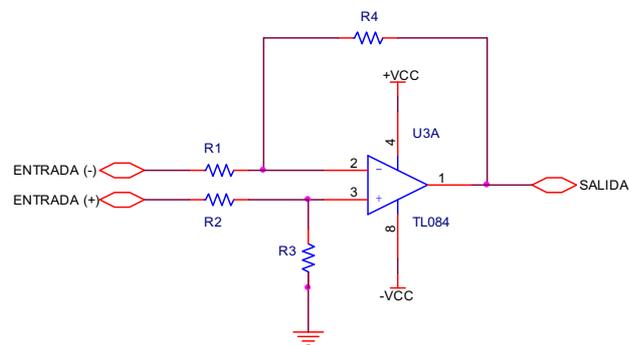


Figura 2.13: Amplificador diferencial

Una ventaja que presenta este modo de operación es el de eliminación de ruido ya que si ingresan dos señales en modo común estas se eliminan entre sí. La señal será no solo amplificada sino además nivelada a un valor en el cual la señal sea simétrica con respecto al nivel de 0V. Como las señales se generan independientemente, todas las señales deben pasar por esta etapa.

Para hacer más fácil el análisis del funcionamiento y los cálculos de resistencias se asumen las siguientes consideraciones:

$$R1 = R2 = R$$

$$R3 = R4 = Rf$$

$$G = \frac{Rf}{R}$$

Entonces el circuito modificado para el análisis se muestra a continuación en la Figura 2.14:

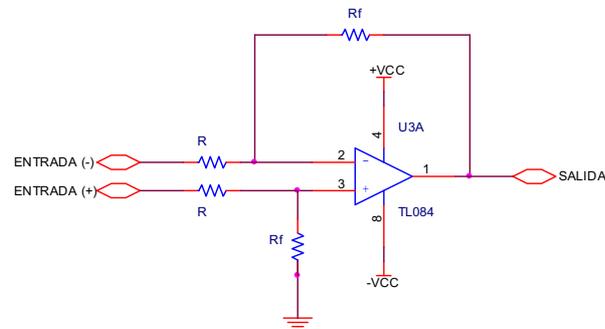


Figura 2.14: Modificación del amplificador diferencial

Los cálculos para el diseño del diferencial, se muestran a continuación:

$$G = 0.1$$

$$V_o = G * V_i$$

$$V_i = 100mV$$

$$V_o = 0.1 * 100mV = 10mV$$

Se asume $R_1 = 10K\Omega$

$$G = \frac{R_f}{R} \Rightarrow R_f = 0.1 * R$$

$$R_f = 1K\Omega$$

El circuito implementado en el módulo para cada una de las señales se muestra en la Figura 2.12. La entrada positiva corresponde a la salida del filtro pasivo, mientras que la entrada negativa al potenciómetro de nivelación de cero con un voltaje positivo ya que al entrar por la entrada negativa este invierte su polaridad. No se pueden colocar resistencias fijas debido a que el nivel de cada señal debe ser exacto para que el sistema funcione correctamente.

Antes de pasar a la segunda etapa de amplificación se hace pasar a las señales por un filtro pasivo para reducir los niveles de ruido inducidos por la utilización de potenciómetros en la nivelación de las señales. Estos filtros tienen la configuración básica con resistencias y capacitores fijos, cumpliendo con la frecuencia de corte de los filtros anteriores pero con un poco de variación en el ancho de la banda pasante para descartar cortes de las señales. En este caso se utilizaron capacitores de 0.47uf, siguiendo el mismo procedimiento de cálculo se determinaron y escogieron los valores de resistencia ilustrado en las Tablas 2.6.

FRECUENCIA DE 60BPM				
TERMINAL PRECORDIAL	FRECUENCIA MÁXIMA DE PASO (Hz)	CAPACITOR UTILIZADO (uf)	RESISTENCIA (Ω)	RESISTENCIA ESTÁNDAR (Ω)
V1	60	0,47	5643,930018	5600
V2	40	0,47	8465,895027	8200
V3	50	0,47	6772,716021	6800
V4	60	0,47	5643,930018	5600
V5	40	0,47	8465,895027	8200
V6	60	0,47	5643,930018	5600

Tabla 2.6a

FRECUENCIA DE 80BPM				
TERMINAL PRECORDIAL	FRECUENCIA MÁXIMA DE PASO (Hz)	CAPACITOR UTILIZADO (uf)	RESISTENCIA (Ω)	RESISTENCIA ESTÁNDAR (Ω)
V1	70	0,47	4837,654301	4700
V2	70	0,47	4837,654301	4700
V3	60	0,47	5643,930018	5600
V4	40	0,47	8465,895027	8200
V5	40	0,47	8465,895027	8200
V6	70	0,47	4837,654301	4700

Tabla 2.6b

Por último, la señal pasa por otra etapa de amplificación para disminuir el voltaje a la salida, en este caso implementado con amplificadores inversores debido a que el amplificador no inversor no permite tener ganancias menores que 1. Por este motivo, las señales deben ser generadas en forma inversa para que a la salida se obtengan las señales de la forma requerida. La Figura 2.15 muestra la configuración de un amplificador no inversor implementado con el mismo amplificador operacional utilizado en las otras etapas.

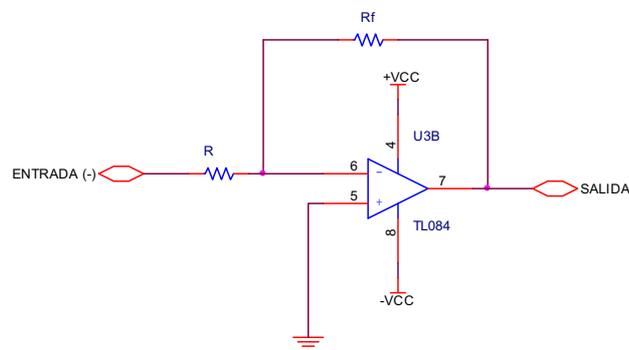


Figura 2.15: Filtro Butterworth de segundo orden

$$G = \frac{V_o}{V_i} = \frac{R_f}{R}$$

El valor de la amplificación de esta etapa es de 1/30, de esta manera se obtendrán señales del valor de 2mVpico-pico, que es un valor aceptable para la entrada de un electrocardiógrafo comercial. El diseño para este amplificador se lo realiza de la siguiente manera:

$$G = \frac{1}{30} = \frac{R_f}{R}$$

$$R = 30R_f$$

$$\text{Sea } R_f = 1K\Omega$$

$$R = 30K\Omega$$

2.8 DIAGRAMA DE GENERACIÓN Y ACONDICIONAMIENTO DE UNA SEÑAL

El diagrama de la Figura 2.16, muestra el acondicionamiento completo de una señal generada desde uno de los puertos C y D del microcontrolador PIC16F877A. Cada elemento de los circuitos posee un valor de acuerdo a lo calculado anteriormente.

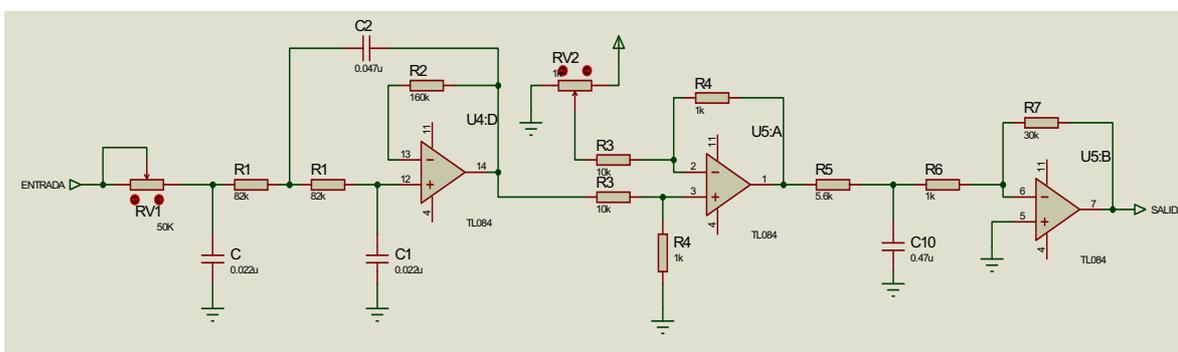


Figura 2.16: Acondicionamiento completo de una señal

2.9 DISEÑO DE FUENTES

La alimentación requerida para el funcionamiento tomando en cuenta la etapa digital tanto como la análoga es:

- Fuente regulada de 5Vdc
- Fuente regulada de ± 12 Vdc

2.9.1 FUENTE REGULADA DE 5Vdc

Consta de un transformador el cual se encarga de reducir el voltaje de alimentación que es de 120Vac, a una salida de 12Vac, un rectificador tipo puente para rectificar la onda de voltaje y de esta manera obtener un voltaje continuo. Para obtener una

señal continua mejor se coloca un filtro para eliminar el rizado. El filtro usado es un capacitor que posee una alta capacitancia y este voltaje resultante es regulado con un C.I. 7805, que es un regulador de voltaje integrado, a cuya salida entrega un voltaje estable de 5Vdc a una corriente de 500mA. Esta corriente es suficiente para el funcionamiento del circuito debido a que cada microcontrolador tiene un consumo a temperatura ambiente (25°C) de 780uA para el PIC16F628A según la Figura 2.17y de 5mA para el PIC16F877A según la Figura 2.18. Teniendo además el consumo del LCD, que es de 100mA, se tiene un total de 105.78mA.

A la salida se colocan filtros de capacitores con capacitancias bajas para mejorar su rendimiento. Para la protección de la fuente y del circuito al cual va a alimentar se coloca un fusible a la entrada de la fuente el cual tiene un valor igual al máximo que puede entregar el regulador (500mA). El esquema de la fuente se muestra en la Figura 2.19

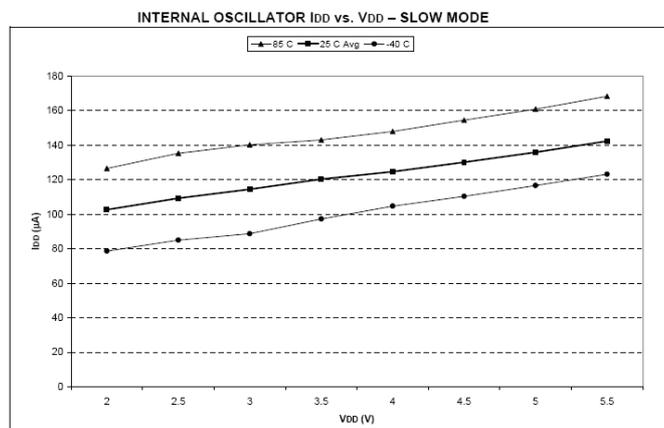


Figura 2.17: Característica de corriente vs. Voltaje respecto al oscilador, PIC16F628A

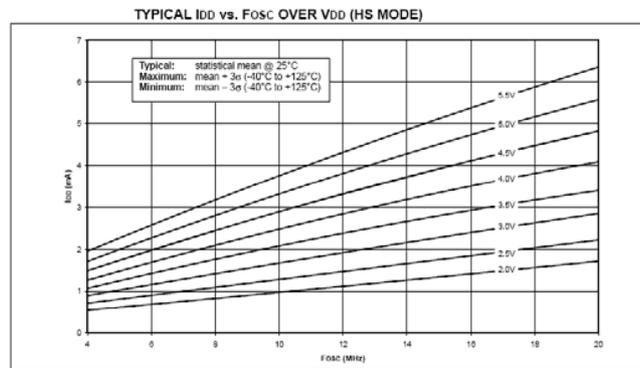


Figura 2.18: Característica de corriente vs. Voltaje respecto al oscilador, PIC16F877A

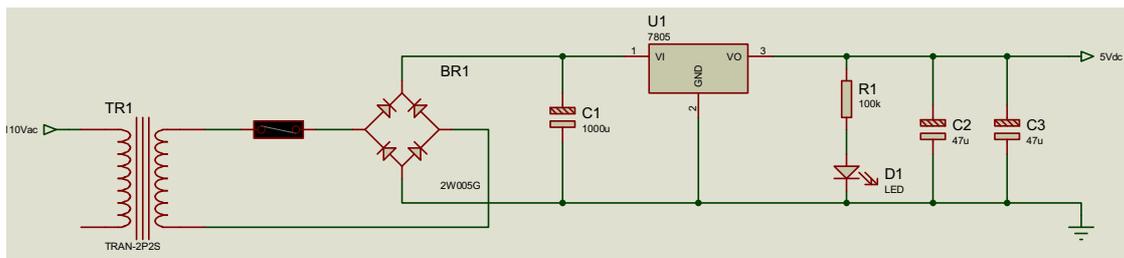


Figura 2.19: Fuente regulada de 5Vdc

Los valores de capacitancia asumidos en el diseño fueron escogidos debido a las siguientes características:

Capacitor de entrada. Debe tener un valor alto para eliminar el rizado del rectificador y el regulador tenga un buen funcionamiento.

Capacitores de salida. Se colocan dos para obtener una disminución de la caída de potencial en el regulador debido a que el sistema genera señales PWM y va a requerir picos de corriente, los cuales asumen los capacitores.

El datasheet del regulador de voltaje 7805 se muestra en el Anexo 4.

2.6.2 FUENTE REGULADA DE $\pm 12\text{Vdc}$

Formado por un transformador con tab central el cual se encarga de reducir el voltaje de alimentación, que es de 120Vac , a una salida de 24Vac , con un voltaje entre el tab y los terminales del secundario del transformador de 12Vac . Un rectificador tipo puente para rectificar la onda de voltaje y de esta manera obtener un voltaje continuo tomado desde los extremos del transformador y la referencia desde el tab central del transformador.

Para obtener una señal continua mejor se coloca un filtro para eliminar el rizado. El filtro usado es un capacitor que posea una alta capacitancia ($1000\mu\text{f}$) y este voltaje resultante es regulado con un C.I. 7812 que es un regulador de voltaje integrado a cuya salida entrega un voltaje estable de $+12\text{Vdc}$ y un C.I. 7912 que es un regulador de voltaje integrado a cuya salida entrega un voltaje estable de -12Vdc con una corriente de 500mA máxima. El Análisis de consumo de corriente de los amplificadores operacionales que van a ser alimentados por esta fuente se la realiza en base al consumo de uno de ellos el cual se detalla en la Figura 2.20 de la cual obtenemos que el consumo a $\pm 12\text{Vdc}$ de alimentación es de 1.4mA , por tanto se tiene un consumo total para los 9 amplificadores de 12.6mA .

A la salida se colocan filtros de capacitores con capacitancias bajas para mejorar su rendimiento como se analizó en la fuente anterior. Para la protección de la fuente y del circuito al cual va a alimentar, se coloca un fusible a la entrada de la fuente el cual tiene un valor igual al máximo que puede entregar el regulador (500mA), el esquema de la fuente se muestra en la Figura 2.21

El datasheet del regulador de voltaje 7812 y 7912 se muestra en el Anexo 5.

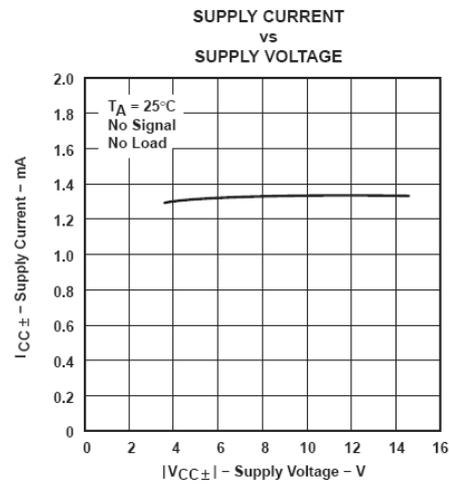


Figura 2.20: Fuente regulada doble de $\pm 12\text{Vdc}$

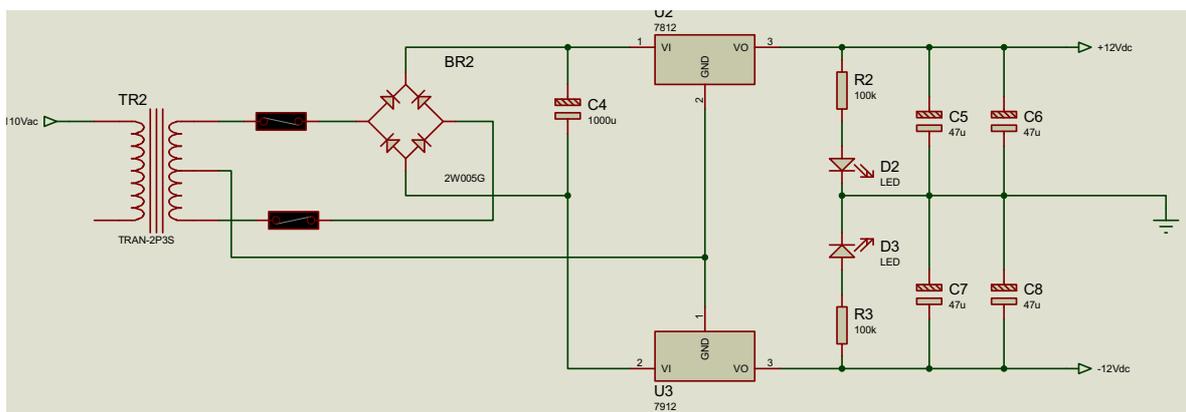


Figura 2.21: Fuente regulada doble de $\pm 12\text{Vdc}$

2.7 DISEÑO DE CIRCUITOS IMPRESOS

El diseño de los circuitos impresos fue realizado en el paquete computacional PROTEL DXP el cual permite un ambiente interactivo y dinámico en el diseño, teniendo como características el ancho de conexiones y eliminación de capacitancia

parasita para un correcto funcionamiento del sistema y un apropiado plano de referencia y en una baquelita de 2 lados para facilitar el ruteado debido a la cantidad de conexiones requeridas.

2.7.1 ETAPA DIGITAL, VISUALIZACIÓN, CONVERSIÓN D/A Y FUENTE DE 5Vdc

Montado el microcontrolador PIC16F877A con sus respectivas entradas de pulsantes y los capacitores para eliminación de rebotes en las entradas, así como la etapa de conversión D/A mediante filtros pasivos. También el microcontrolador PIC16F628A con el conector de salida para la conexión del LCD. Por último la fuente de 5Vdc, La Figura 2.19 muestra una imagen en 3D de la tarjeta diseñada.

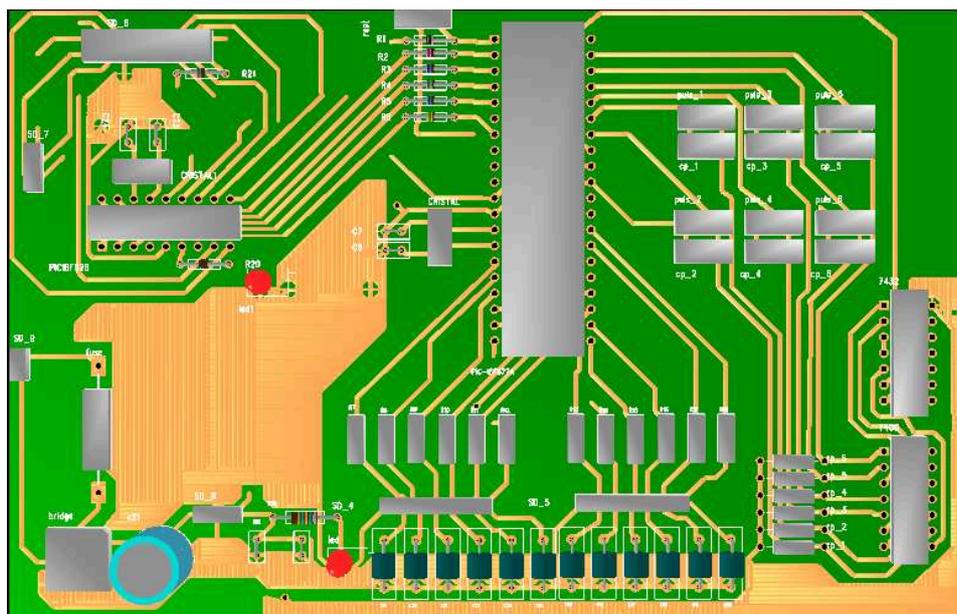


Figura 2.19: Tarjeta digital, conversión D/A y fuente de 5Vdc

2.7.2 ETAPA ANÁLOGA

La primera parte está formada por los filtros Butterworth de segundo orden, seguido de la etapa de acondicionamiento formada por los amplificadores diferenciales de

ganancia 0.1 y los potenciómetros para nivelación de señal. La Figura 2.20 muestra una imagen en 3D de la tarjeta.

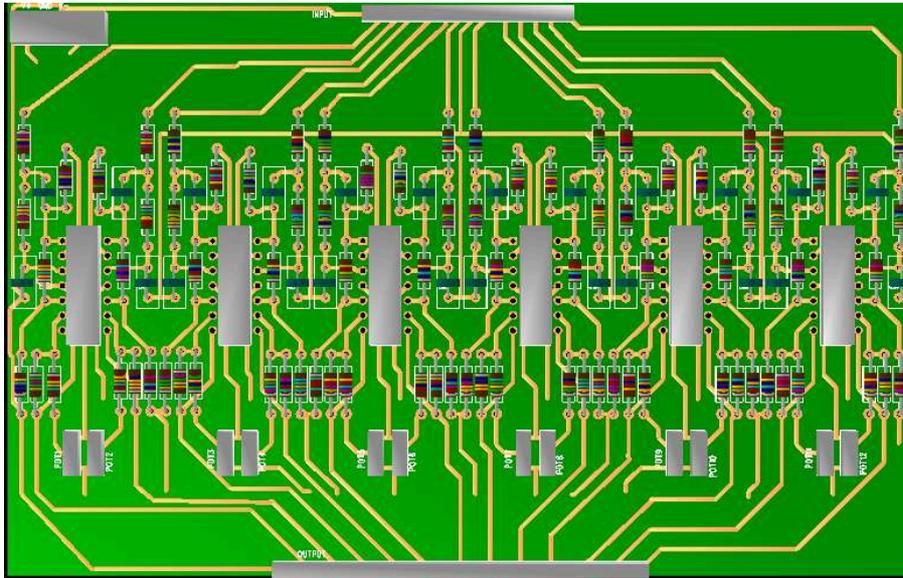


Figura 2.20: Filtros activos y amplificadores diferenciales

2.7.3 ETAPA DE ACONDICIONAMIENTO Y FILTRADO FINAL

En esta tarjeta se montó la etapa de filtros pasivos y la etapa de amplificación con amplificadores operacionales y ganancia 0.33. La Figura 2.21 muestra una imagen en 3D de la tarjeta.

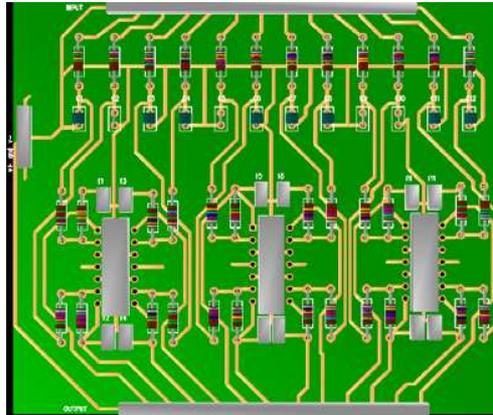


Figura 2.21: Filtros pasivos y amplificador inversor

2.7.3 FUENTE REGULADA DE $\pm 12\text{Vdc}$

Se muestra el diseño realizado en un solo lado debido a que no necesita de muchas conexiones. La Figura 2.22 muestra la imagen en 3D de la tarjeta.

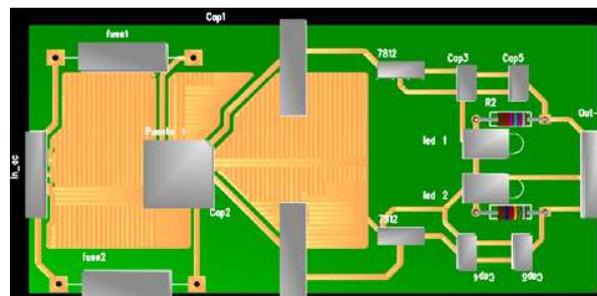


Figura 2.22: Fuente doble de $\pm 12\text{Vdc}$

Todo esto está construido en forma modular debido a la ventaja que tiene de que puede ser reparada o sustituida la tarjeta que presente mal funcionamiento o se deteriore por el tiempo.

CAPITULO 3

DESARROLLO DEL SOFTWARE

El objetivo del presente capítulo es dar a conocer la estructura del software con el cual funciona el módulo de generación de señales del corazón, así como la obtención de tablas para generar dichas señales.

3.1 DESARROLLO DEL SOFTWARE DEL MÓDULO GENERADOR DE SEÑALES DEL CORAZÓN.

El generador de señales diseñado en este proyecto requiere el desarrollo del software para:

- El microcontrolador PIC16F877A
- El microcontrolador PIC16F628A

El programa del generador se encarga de reproducir seis señales del tipo PWM correspondientes a las terminales precordiales para cada frecuencia cardiaca; es decir, genera 12 señales independientes de seis en seis. El modo de generar estas señales es utilizar la modulación por ancho de pulso mediante la cual se obtiene un valor medio de voltaje que se puede controlar para reproducir las señales.

El programa del visualizador se encarga de leer el puerto A de salida del generador de señales para mostrarlo en el LCD. El algoritmo para manejar el LCD se podía haber implementado en el software del generador de señales, pero el generador debe tener la mayor precisión posible para evitar que una de las salidas presente un pico indeseable de voltaje.

3.2 DESARROLLO DEL SOFTWARE DEL GENERADOR

El programa en el generador de señales está realizado en un lenguaje de programación de bajo nivel, es decir, en lenguaje assembler. Para la compilación y construcción del archivo ejecutable se utilizó el paquete computacional MPLAB.

Las funciones que debe llevar a cabo el microcontrolador se muestran en el diagrama de bloques de la Figura 3.1 siguiente:

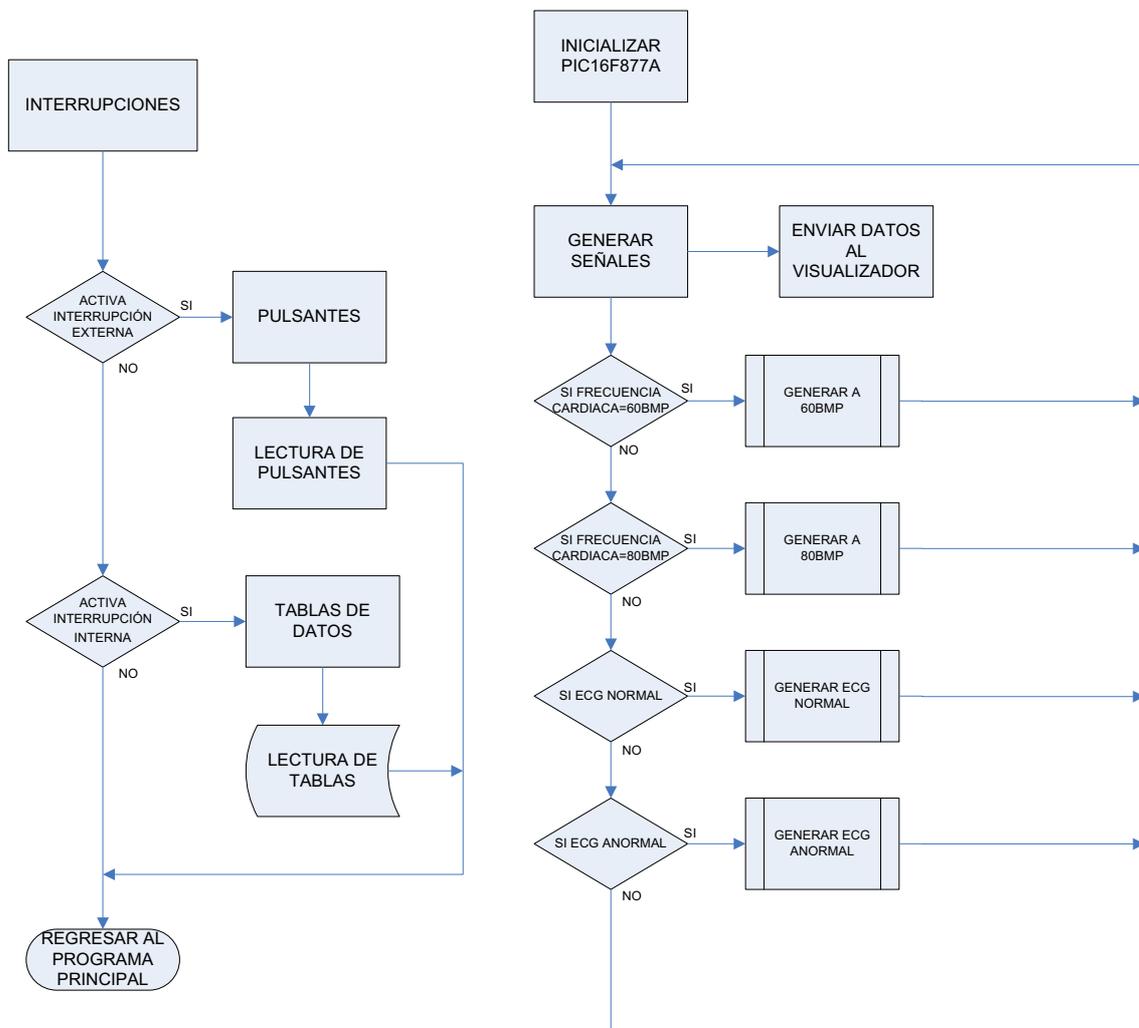


Figura 3.1: Diagrama general del software del microcontrolador PIC16F877A

3.2.1 Inicializar PIC16F877A:

Configurar puertos

Configurar puerto A como digital

Configurar puerto A como salida

Configurar puerto B como entrada

Configurar puerto C como salida

Configurar puerto D como salida

Configurar pre escalador de timmer 2 para cumplir con frecuencia de 1Hz y 1.33Hz.

Asignar nombres a registros para almacenar datos de tablas:

UNO para datos de voltaje precordial 1 (0X20)

DOS para datos de voltaje precordial 2 (0X21)

TRES para datos de voltaje precordial 3 (0X22)

CUATRO para datos de voltaje precordial 4 (0X23)

CINCO para datos de voltaje precordial 5 (0X24)

SEIS para datos de voltaje precordial 6 (0X25)

Configurar interrupciones:

Configurar interrupción externa

Configurar interrupción de timmer 2

Habilitar interrupciones

Fin de inicialización.

3.2.2 Lectura de tablas:

Si bandera de interrupción interna se activa

Si se ha seleccionado generar a 60BMP

Si se no debe cambiar de dato

Poner puerto D en alto

Si se debe cambiar de dato

Poner puerto D en alto

Leer siguiente dato de tabla de cada voltaje precordial

Limpiar bandera

Salir interrupción

Si se ha seleccionado generar a 80BMP

Si se no debe cambiar de dato

Poner puerto D en alto

Si se debe cambiar de dato

Poner puerto D en alto

Leer siguiente dato de tabla de cada voltaje
precordial

Limpiar bandera

Salir interrupción

Limpiar bandera

Salir de interrupción.

3.2.3 Interrupción externa:

Si bandera de interrupción externa se activa

Leer puerto de entrada B

Si bit1=0

Encender sistema

Encender timmer 2,

Leer primer dato de cada tabla

Habilitar generar señales

Limpiar banderas

Salir de interrupción

Si bit2=0

Apagar sistema

Apagar timmer 2

Deshabilitar la generación de señales

Limpiar banderas

Salir de interrupción

Si bit3=0

ECG normal

Leer tablas de datos de ECG normal

Limpiar banderas

Salir de interrupción

Si bit4=0

ECG anormal

Leer tablas de datos de ECG anormal
Limpiar banderas
Salir de interrupción
Si bit5=0
Frecuencia cardiaca de 60BMP
Generar por el puerto D de salida
Limpiar banderas
Salir de interrupción
Si bit6=0
Frecuencia cardiaca de 80BMP
Generar por el puerto C de salida
Limpiar banderas
Salir de interrupción
Limpiar banderas
Salir de interrupción

Para una mejor comprensión de lo explicado aquí se detalla en la Figura 3.2

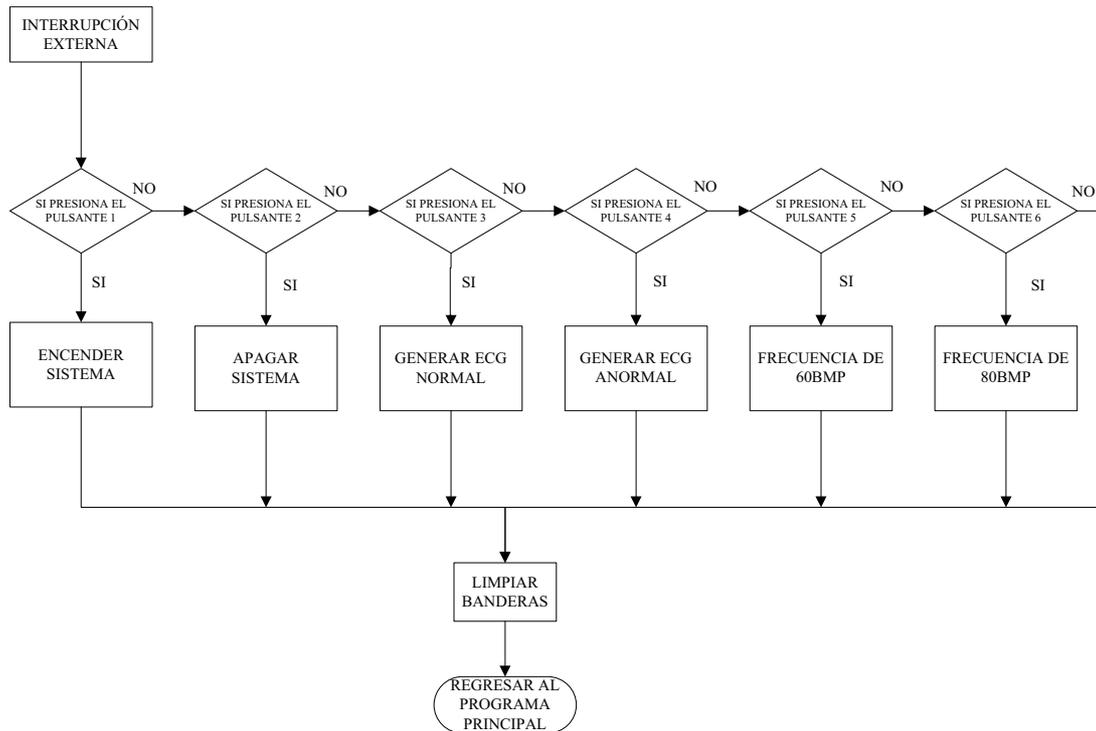


Figura 3.2: Diagrama de bloques de lectura de pulsantes

3.2.4 Enviar datos al visualizador:

Enviar datos por puerto A

Si bit0=0:

Mostrar: SISTEMA APAGADO

Si bit0=1:

Mostrar: SISTEMA ENCENDIDO

Si bit1=0:

Sin función

Si bit1=1:

Mostrar: CORAZÓN SANO

Si bit2=0:

Sin función

Si bit2=1:

Mostrar: CORAZÓN ENFERMO

Si bit3=0:

Sin función

Si bit3=1:

Mostrar: FRECUENCIA = 60BMP

Si bit4=0:

Sin función

Si bit4=1:

Sin función

Si bit5=0:

Sin función

Si bit5=1:

Mostrar: FRECUENCIA = 80BMP

3.2.5 Generar señales:

Si se habilita generar señales:

Si se ha seleccionado generar a frecuencia cardiaca de 60BMP

Generar por puerto D de salida del generador

Comparar registros TMR2 y UNO:

Comparar registros TMR2 y DOS:

Comparar registros TMR2 y TRES:

Comparar registros TMR2 y CUATRO:

Comparar registros TMR2 y CINCO:

Comparar registros TMR2 y SEIS:

Si se ha seleccionado generar a frecuencia cardiaca de 80BMP

Generar por puerto C de salida del generador

Comparar registros TMR2 y UNO:

Comparar registros TMR2 y DOS:

Comparar registros TMR2 y TRES:

Comparar registros TMR2 y CUATRO:

Comparar registros TMR2 y CINCO:

Comparar registros TMR2 y SEIS:

Regresar a inicio de programa

Si deshabilitar generar señales

Regresar a inicio de programa

La generación de las señales se las detalla en el siguiente diagrama

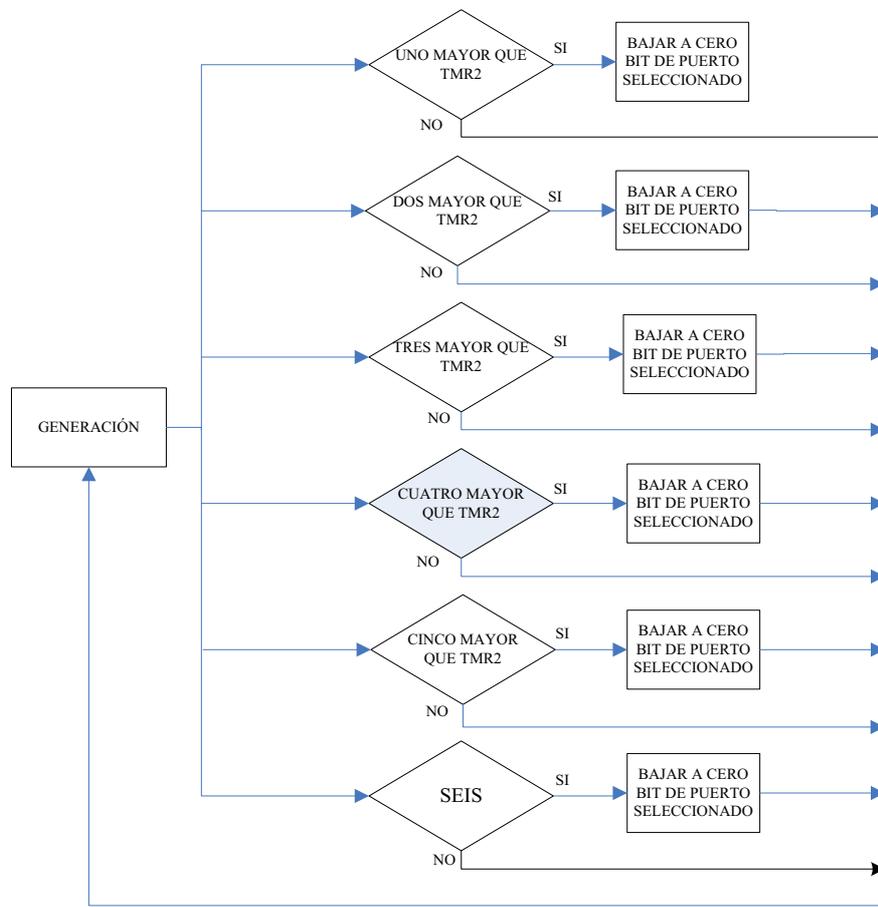


Figura 3.3: Generación de señales

3.2.6 Seleccionar frecuencia cardiaca:

Si se ha seleccionado generar a 60BMP

Sacar señal por puerto D

Salir de subrutina

Si se ha seleccionado generar a 80BMP

Sacar señal por puerto C

Salir de subrutina

3.2.7 Seleccionar ECG normal o anormal:

Seleccionar ECG normal

Seleccionar tablas:

Tabla 1: voltaje precordial 1

Tabla 2: voltaje precordial 2

Tabla 3: voltaje precordial 3

Tabla 4: voltaje precordial 4

Tabla 5: voltaje precordial 5

Tabla 6: voltaje precordial 6

Seleccionar ECG anormal

Seleccionar tablas:

Tabla 7: voltaje precordial 1

Tabla 8: voltaje precordial 2

Tabla 9: voltaje precordial 3

Tabla 10: voltaje precordial 4

Tabla 11: voltaje precordial 5

Tabla 12: voltaje precordial 6

Fin de selección

3.2.8 CÁLCULO DE FRECUENCIA CARDIACA.

Por medio del registro llamado AFREC (auxiliar de frecuencia), se mantiene registrada la frecuencia cardiaca en el generador de señales.

La frecuencia cardiaca considerada como normal va desde 60BMP hasta 100BMP, el módulo de generación reproduce señales de 60BMP y 80BMP, equivalentes a 1Hz y 1.33Hz, respectivamente.

Para obtener la frecuencia deseada se utiliza el timer 2 del microcontrolador con un pre escalador de 4, lo que significa que pasan 4 ciclos de máquina para que haya un incremento en el registro TMR2. Funcionando con un cristal de 20MHz se tiene un ciclo de máquina de:

$$cm = \frac{4}{f_{osc}} = \frac{4}{20MHz} = 0.2\mu seg$$

Por tanto el timer se desbordará para producir una interrupción cada:

$$T0IF = 256 * 4 * 0.2 \mu\text{seg} = 204.8 \mu\text{seg}$$

$$60\text{BMP} = 1\text{Hz}$$

$$t = \frac{1}{f} = \frac{1}{1\text{Hz}} = 1\text{seg.}$$

$$80\text{BMP} = 1.33\text{Hz}$$

$$t = \frac{1}{f} = \frac{1}{1.33\text{Hz}} = 0.75\text{seg.}$$

Con estos datos se calcula el número de interrupciones que deben transcurrir antes de realizar un cambio de dato.

$$\text{Periodo} = (\text{Numero de datos}) * x * (\text{Tiempo entre interrupciones})$$

$$x = \frac{\text{Periodo}}{(\text{Numero de datos}) * (\text{Tiempo entre interrupciones})}$$

Para 60BMP

$$x = \frac{1\text{seg}}{180 * 204.8 \mu\text{seg}}$$

$$x = 27,12$$

$$x = 27$$

Para 80BMP

$$x = \frac{0,75\text{seg}}{180 * 204.8 \mu\text{seg}}$$

$$x = 20,34$$

$$x = 20$$

Para una frecuencia de 60BMP se requiere:

Que hayan sucedido 20 interrupciones antes de leer al siguiente dato de la tabla y,

Para una frecuencia de 80BMP se requiere:

Que hayan sucedido 27 interrupciones antes de leer al siguiente dato de la tabla.

3.3 DESARROLLO DEL SOFTWARE PARA EL PIC16F628A

El programa del PIC16F628A está realizado en un lenguaje de programación de alto nivel, en este caso, en lenguaje BASIC. Para la compilación y construcción del archivo ejecutable se utilizó el paquete computacional MICROCODE ESTUDIO.

Las funciones que debe llevar a cabo el microcontrolador se muestran en el diagrama de bloques de la Figura 3.4 siguiente:

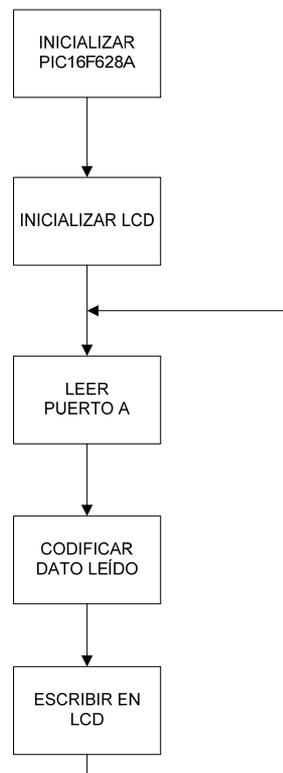


Figura 3.4: Diagrama de bloques del software del visualizador

- **Inicializar PIC16F628A**

- Configurar puertos

- Configurar puerto A como digital

Configurar puerto A como entrada

Configurar puerto B como salida

Bit 2 habilitación de escritura del LCD

Bit 3 habilitación del LCD

Bit 4-7 envío de datos

- **Inicializar LCD**

Configurar para escritura de datos en modo multiplexado (4bits)

Línea de lectura a cero voltios (solo se escribirá)

- **Leer puerto A**

Lee el puerto A mediante el cual recibe la instrucción del generador de señales.

- **Codificar dato leído**

Codificar:

Si puerto A=0 escribir:

SISTEMA APAGADO

Si puerto A=1 escribir:

SISTEMA ENCENDIDO

Si puerto A=3 escribir:

CORAZÓN SANO

Si puerto A=5 escribir:

CORAZÓN ENFERMO

Si puerto A=9 escribir:

FRECUENCIA=60BMP

Si puerto A=11 escribir:

FRECUENCIA=80BM

Si puerto A=13 escribir:

CORAZÓN SANO
FRECUENCIA=60BMP

Si puerto A=17 escribir:

CORAZÓN SANO
FRECUENCIA=80BM

Si puerto A=19 escribir:

CORAZÓN ENFERMO

FRECUENCIA=60BMP

Si puerto A=21 escribir:

CORAZÓN ENFERMO

FRECUENCIA=80BM

- **Escribir en LCD**

Retardo de 500mseg entre cada instrucción

Enviar código de ubicación de cursor y línea mediante instrucción LCDOUT:

Primera línea y cursor a la izquierda:

lcdout \$fe, 1

Segunda línea y cursor a la izquierda:

lcdout \$fe, \$c0

Enviar frases mediante instrucción:

lcdout

Regresar a leer puerto

3.3.1 INICIALIZAR PIC16F628A.

La configuración del microcontrolador se la realiza de acuerdo a los requerimientos del hardware, siendo estos:

Puertos A entrada

Puerto B salida

Puerto C no se utiliza para este módulo.

3.3.2 INICIALIZAR LCD.

Enviar código de configuración de funcionamiento en modo multiplexado, ubicar cursor y seleccionar línea de escritura

3.3.3 ESCRIBIR EN LCD.

Para realizar la escritura se debe cumplir:

Habilitar escritura

Habilitar LCD

Ubicar cursor desde donde se escribirá

Ubicar línea para escribir

Enviar dato

3.4 DIGITALIZACIÓN DE SEÑALES DE VOLTAJES PRECORDIALES.

Debido a que no se cuenta con una ecuación que represente a una señal cardiaca para realizar las proyecciones de las mismas y a que el cuerpo humano no es un medio homogéneo para que las proyecciones tengan el valor deseado en cada punto, como se mencionó anteriormente, el software del generador tiene integradas 12 tablas en su programa, las cuales tienen su origen del siguiente análisis:

Las señales obtenidas del Atlas de cardiología, electrocardiogramas y rayos-x se tienen las siguientes imágenes de las mismas:

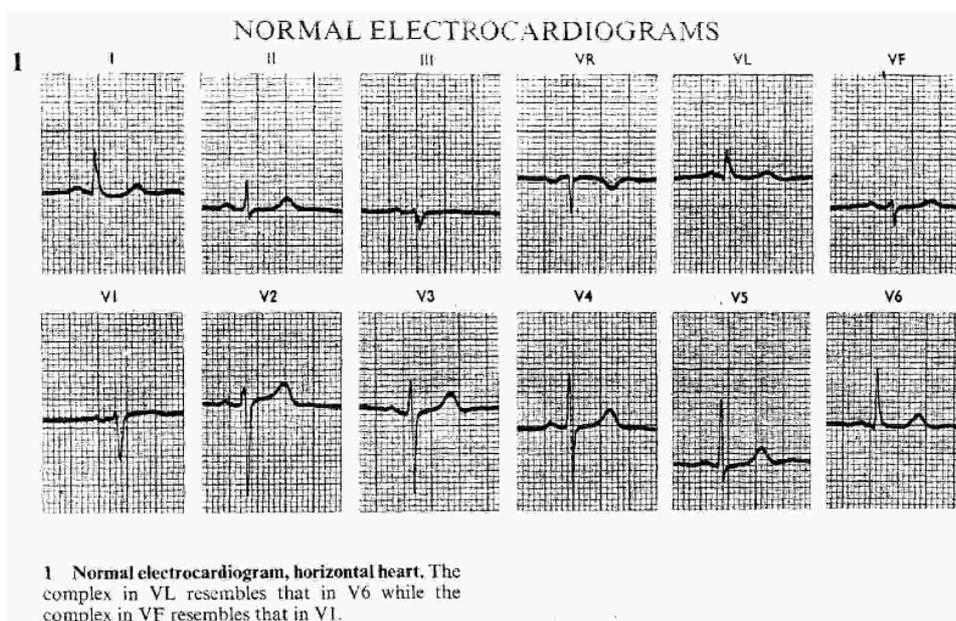


Figura 3.5: Corazón normal en el plano horizontal

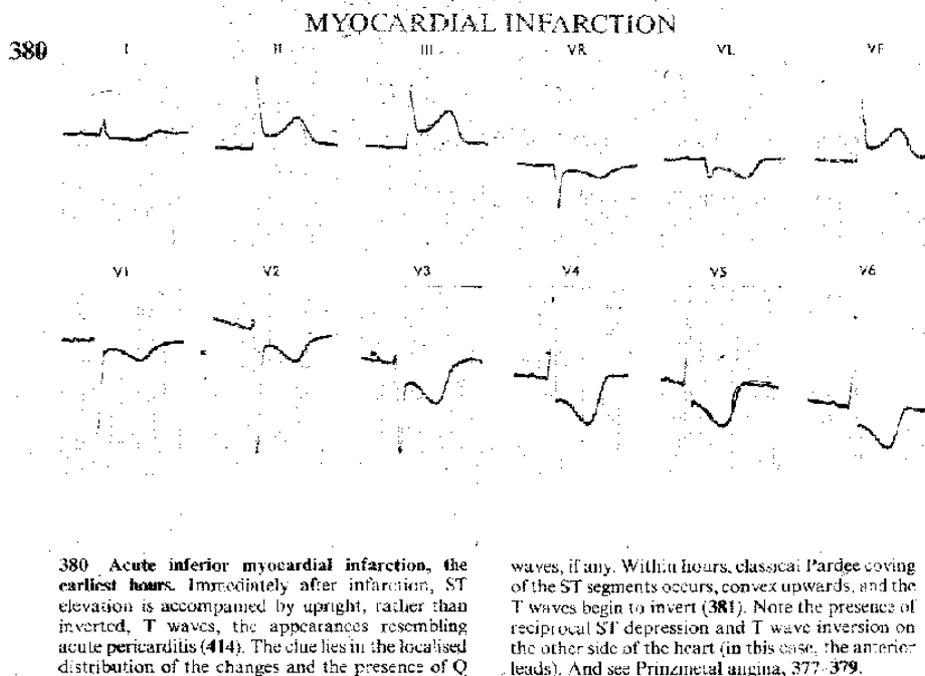


Figura 3.6: Corazón con un infarto agudo inferior del miocardio en las primeras horas

Las Figuras 3.5 y 3.6 tienen como fuente el libro “AN ATLAS OF CARDIOLOGY AND CHEST X-RAYS”

Con estas ondas se procedió a utilizar el paquete computacional Autocad2006 mediante el cual se reprodujeron las imágenes para luego estas ser escaladas y colocadas en una cuadrícula milimetrada que posee una escala horizontal de 180mm y de alto 255mm, con lo cual se obtiene valores a ser cargados al generador y poder reproducir dichas ondas. El resultado de este proceso se muestra en el Anexo1 y las graficas de lo obtenido por medio del paquete EXCEL se muestran a continuación:

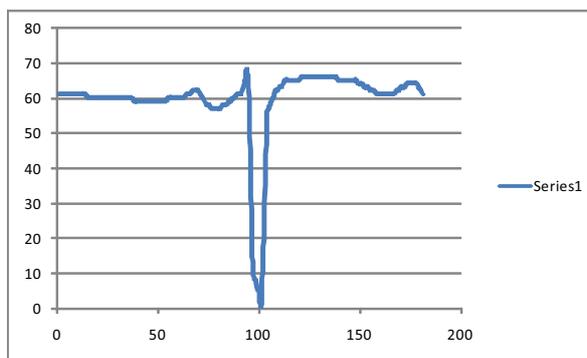


Figura 3.7: Voltaje precordial 1 de un corazón sano

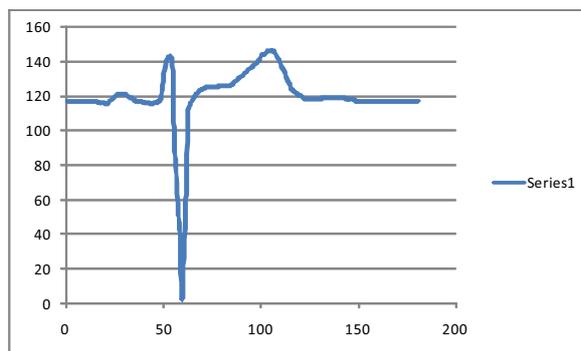


Figura 3.8: Voltaje precordial 2 de un corazón sano

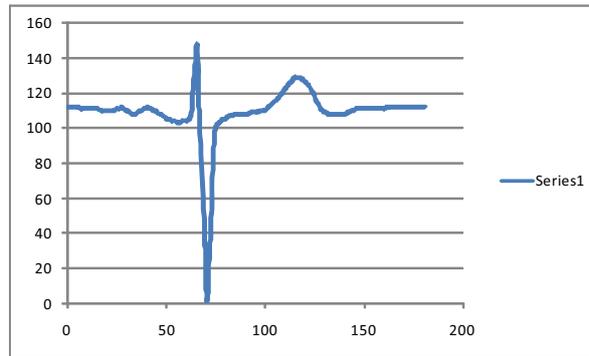


Figura 3.9: Voltaje precordial 3 de un corazón sano

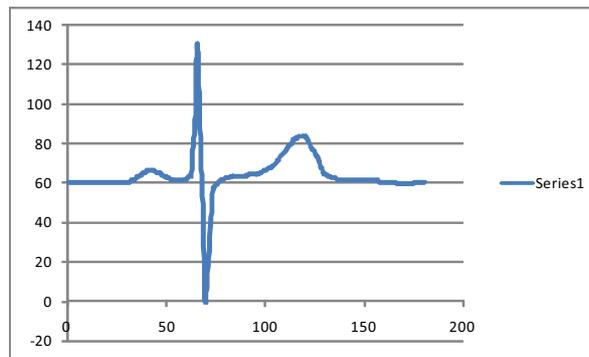


Figura 3.10: Voltaje precordial 4 de un corazón sano

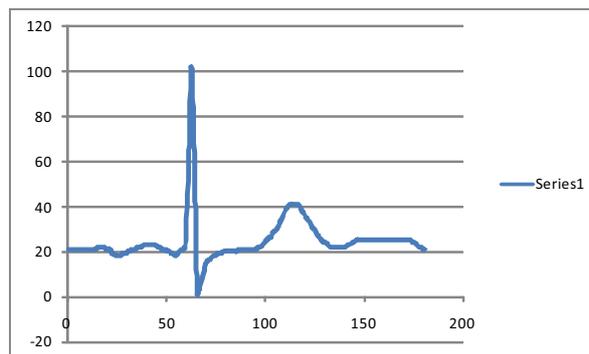


Figura 3.11: Voltaje precordial 5 de un corazón sano

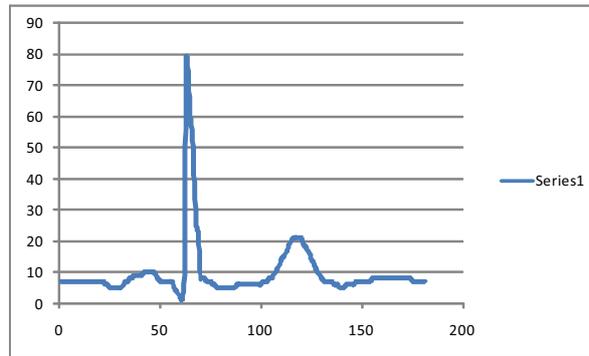


Figura 3.12: Voltaje precordial 6 de un corazón sano

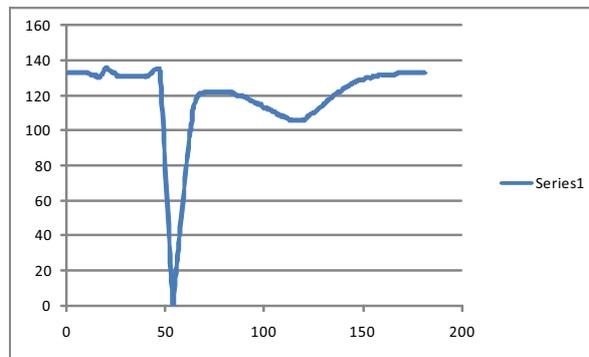


Figura 3.13: Voltaje precordial 1 de un corazón enfermo

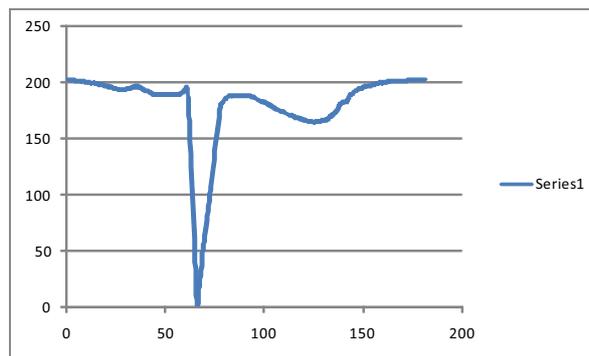


Figura 3.14: Voltaje precordial 2 de un corazón enfermo

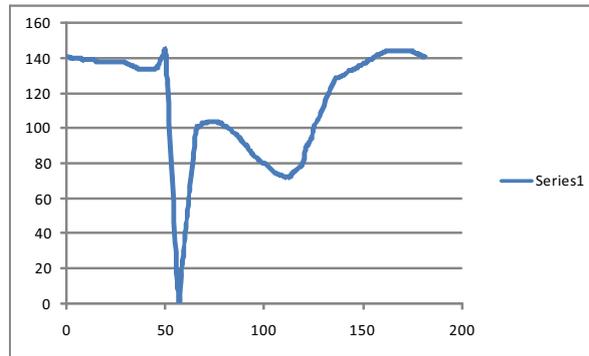


Figura 3.15: Voltaje precordial 3 de un corazón enfermo

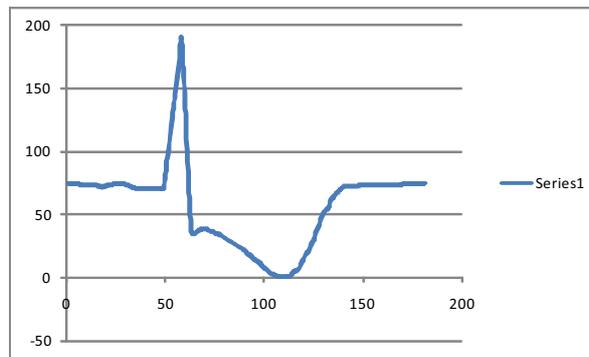


Figura 3.16: Voltaje precordial 4 de un corazón enfermo

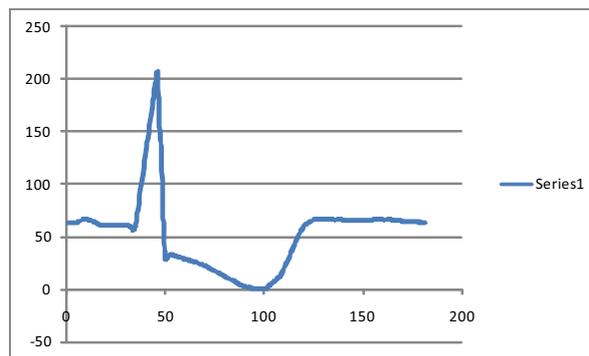


Figura 3.17: Voltaje precordial 5 de un corazón enfermo

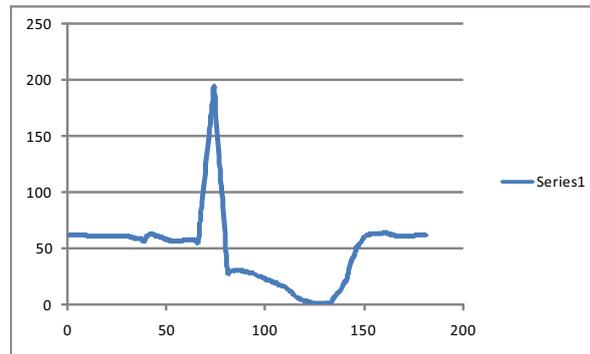


Figura 3.18: Voltaje precordial 6 de un corazón enfermo

Haciendo una comparación entre las graficas normalizadas y las digitalizadas manualmente no se observa un cambio significativo, por tanto se trabaja con las tablas obtenidas de esta manera.

CAPITULO 4

PRUEBAS Y RESULTADOS

Este capítulo tiene como objetivo la describir las pruebas que se realizaron para determinar la calidad del módulo de generación de señales del corazón.

4.1 EQUIPO UTILIZADO PARA LAS PRUEBAS

El equipo usado para realizar las pruebas de funcionamiento del módulo es el CARDIOVIT AT-1, el cual posee entradas para las terminales precordiales. El equipo se muestra en la Figura 4.1 en la que se puede apreciar sus controles y la impresora incorporada. Este equipo necesita que todos los electrodos estén conectados y no flotando (no conectados) ya que se dispara la alarma de electrodo suelto y no realiza el análisis.



Figura 4.1: Electrocardiógrafo SCHILLER modelo CARDIOVIT AT-1

Marca: SCHILLER

Modelo: CARDIOVIT AT-1

- Formato de impresión de 3 canales
- Rango de voltajes de entrada: $\pm 100\text{mV}$

- Perteneciente a: HOSPITAL VOZANDES QUITO (Villalengua Oe 2.37 y 10 de Agosto)
- Dimensiones: 290 x 210 x 69 mm/11.4 x 8.3 x 2.7 pulgadas. (l/w/h)
- Peso: Ca. 2.9 kg / aproximadamente 6.7 libras
- Necesidades de fuente de alimentación: 220 - 240 (nominal) en forma de V, 50/60 Hz o 110--115 v (nominal), 50/60 operación independiente Hz con recargar incorporado batería, indicador de LED para parte principal y batería, la unidad de cargador incorporada
- Tiempo de carga de batería: 15 hrs. de una batería completamente descargado.
- Capacidad de batería: 2 hrs del uso normal
- Sistema de circuitos de entrada paciente: Enteramente flotante y aislado, protección de desfibrilación (sólo con el cable de paciente original SCHILLER)
- Rango de frecuencia de la grabadora digital: 0 Hz para > 150 Hz (IEC/AHA) amplificador de ECG:
 - El registro simultáneo, sincrónico de todo 9 avisos de electrodo activo (= 12 direcciones estándar)
 - Probar frecuencia: 1000 Hz
 - Detección de corredor que marca el paso: $\geq \pm 2 \text{ mV} / \geq \pm 0.1 \text{ ms}$
- Representación gráfica de los fenómenos musculares (tremor de músculo) con ayuda de un filtro programable:
 - 25 Hz (40 dB/dec) y 35 Hz (20 dB/dec), programable.
- Filtro de frecuencia de línea: Supresión de interferencias sinusoidal mediante un filtro digital adaptable
- Panel de control: Teclas de block e indicadores tipo LED:
 - Grupo principal -- bandeja de papel vacío o atascado.
 - Operación de batería - electrodo suelto (destellos de indicador)
- Estándares de seguridad: IEC / ENE 60601-1; UL 60601 - 1; No. C22.2 601.1-M90; IEC/EN 60601-2-25; IEC / EN 60601 - 1 - 2 (EMC)

- Clase de protección: Según IEC/EN 60601-1 (con la fuente de alimentación interna)
- Parte aplicada: CF acordando IEC/EN 60601-1
- Conformidad: acuerdo directivo 93/42/EEC (dispositivos médicos)
- Clasificación: según acuerdo Ila de la norma 93/92/EEC
- Condiciones ambientales:
 - La temperatura de operación: 10°C a 40°C.
 - Temperatura, almacenamiento: -10° a 50 ° C/14 ° a 122 ° F
 - Humedad relativa: 25 al 95% (sin condensación)
- Velocidad de papel: 5/25/50 mm/s (directo)
- Sensibilidad: 5/10/20 mm/mV, ajuste de forma automática o manual
- Papel de gráfico: Termo sensible
- Impresión térmica de alta resolución:
 - 8 puntos por mm/200 puntos por in (pulgadas de amplitud)
 - 40 puntos por mm/1000 puntos por in (pulgadas de tiempo, a 25 mm/s)
- Pistas de grabación: 3 canales.
- Cable de paciente de 10 derivaciones
- 1 conjunto de electrodos, consiste de 4 electrodos de extremidad de acero inoxidable, 6 electrodos precordiales o electrodos disponibles
- Gel de electrodo
- Cable de fuerza
- Función manual
- Transporte (opcional)
- Medida automática y programa de interpretación de resultados no confiable al 100%.

4.2 REALIZACIÓN DE LA PRUEBA

La realización de las pruebas se la realizaron en el Hospital Vozandes Quito, en el departamento de CARDIOPULMONAR ubicado en el segundo piso del hospital.



Figura 4.2: Hospital Vozandes Quito

A continuación se muestran las fotografías del equipo utilizado y del módulo generador de señales del corazón conectado al mismo.



Figura 4.3: Electrocardiógrafo CARDIOVIT AT-1

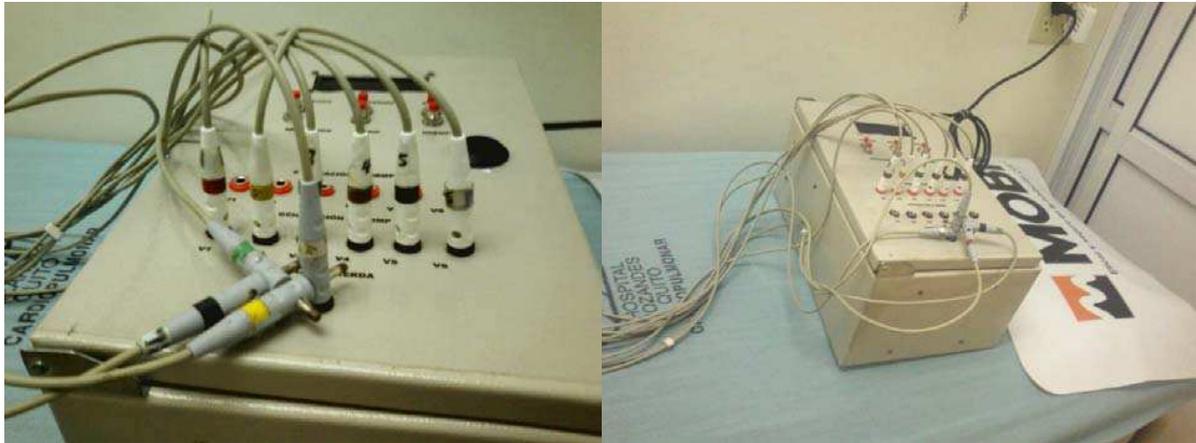


Figura 4.4: Módulo generador de señales del corazón

4.3 RESULTADOS OBTENIDOS

Los resultados obtenidos se muestran a continuación como imágenes para cada frecuencia cardiaca y estado (normal, anormal).

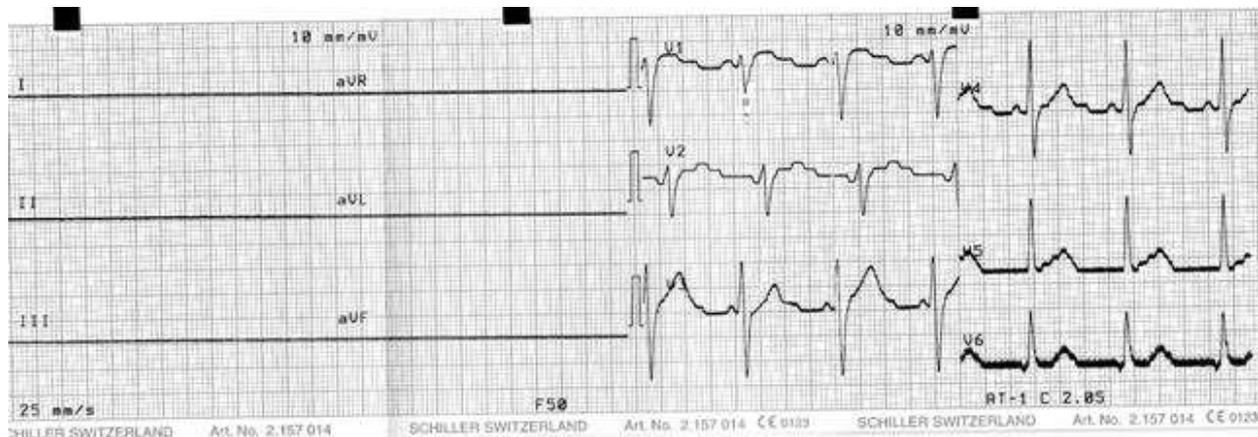


Figura 4.5: Señales tomadas de un corazón sano a una frecuencia cardiaca de 60BMP

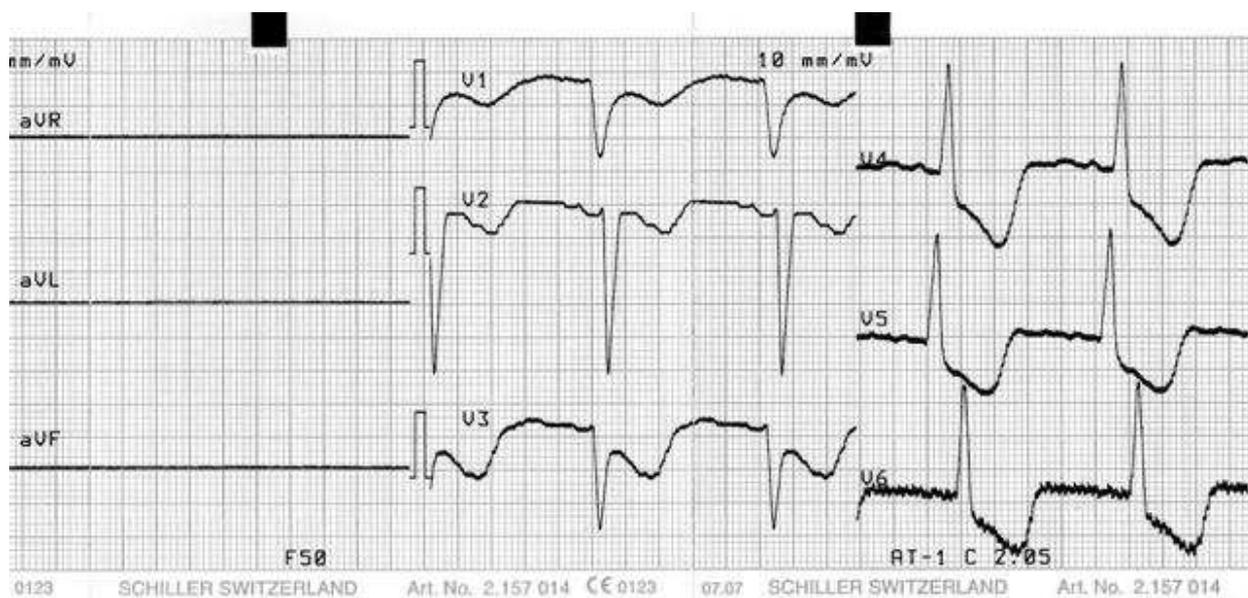


Figura 4.5: Señales tomadas de un corazón enfermo a una frecuencia cardiaca de 60BMP

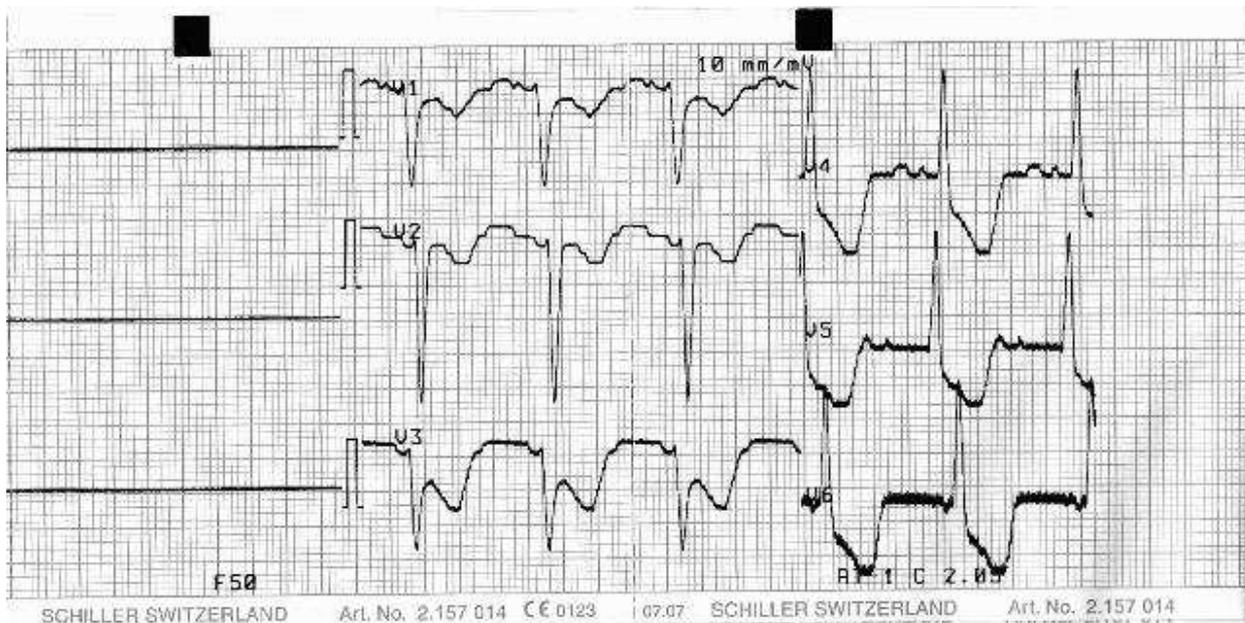


Figura 4.5: Señales tomadas de un corazón sano a una frecuencia cardiaca de 80BMP

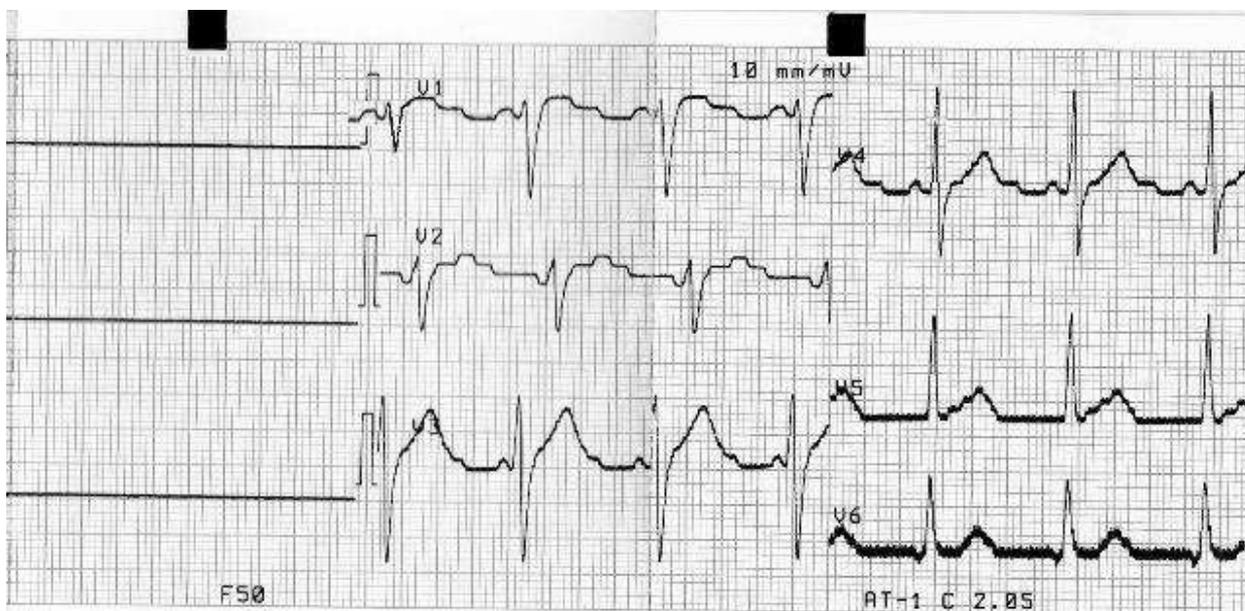


Figura 4.5: Señales tomadas de un corazón enfermo a una frecuencia cardiaca de 80BMP

4.4 CÁLCULO DE ERRORES.

4.4.1 ERROR DE FRECUENCIA A 60BMP

La frecuencia medida por el electrocardiógrafo es de 58bmp, y la real es de 60bmp por lo tanto se tiene que:

$$Error = \frac{\text{Valor Real} - \text{Valor Medido}}{\text{Valor Real}}$$

$$Error = \frac{60 - 58}{60} = 0.03333$$

$$Error = 3.33\%$$

4.4.2 ERROR DE FRECUENCIA A 80BMP

La frecuencia medida por el electrocardiógrafo es de 78bmp, y la real es de 80bmp por lo tanto se tiene que:

$$Error = \frac{\text{Valor Real} - \text{Valor Medido}}{\text{Valor Real}}$$

$$Error = \frac{80 - 78}{80} = 0.025$$

$$Error = 2.5\%$$

4.4.3 ANÁLISIS DE V1 A 60BMP DE UN CORAZÓN SANO

En la Figura 4.1 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro *An atlas of cardiology and chest x-rays*

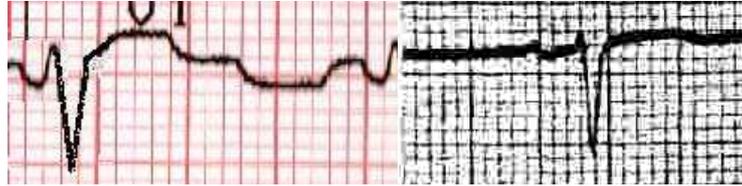


Figura 4.1: Voltaje precordial 1 de un corazón sano a 60BMP

De las figuras se obtienen los datos siguientes:

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
	7.5	8	6.25

Tabla 4.1: Error de amplitud del voltaje precordial 1 de un corazón sano a 60BMP

La Tabla 4.1 presenta un error de 6.25%, pero muestra todas las deflexiones que forman la señal de la derivación y se puede apreciar tanto la onda P como el complejo QRS dentro de los límites normales, por lo que se considera una onda normal producida por un corazón sin ninguna anomalía.

4.4.4 ANÁLISIS DE V2 A 60BMP DE UN CORAZÓN SANO

En la Figura 4.2 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro *An atlas of cardiology and chest x-rays*

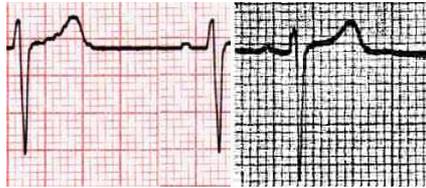


Figura 4.2: Voltaje precordial 2 de un corazón sano a 60BMP

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
		19	20

Tabla 4.2: Error de amplitud del voltaje precordial 2 de un corazón sano a 60BMP

La Tabla 4.2 presenta un error de 5%, pero muestra todas las deflexiones que forman la señal de la derivación, se puede apreciar el complejo QRS dentro de los límites normales, por lo que se considera una onda normal producida por un corazón sin ninguna anomalía.

4.4.5 ANÁLISIS DE V3 A 60BMP DE UN CORAZÓN SANO

En la Figura 4.3 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro An atlas of cardiology and chest x-rays



Figura 4.3: Voltaje precordial 3 de un corazón sano a 60BMP

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
		24	21

Tabla 4.3: Error de amplitud del voltaje precordial 3 de un corazón sano a 60BMP

La Tabla 4.3 presenta un error de -14.28% que es un error considerable, pero muestra todas las deflexiones que forman la señal de la derivación, se puede apreciar el complejo QRS dentro de los límites normales, por lo que se considera una onda normal producida por un corazón sin ninguna anomalía.

4.4.6 ANÁLISIS DE V4 A 60BMP DE UN CORAZÓN SANO

En la Figura 4.4 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro An atlas of cardiology and chest x-rays

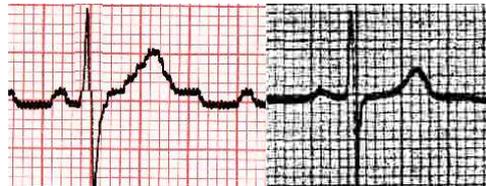


Figura 4.4: Voltaje precordial 4 de un corazón sano a 60BMP

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
		20	19

Tabla 4.4: Error de amplitud del voltaje precordial 4 de un corazón sano a 60BMP

La Tabla 4.4 presenta un error de 5.26%, pero muestra todas las deflexiones que forman la señal de la derivación, se puede apreciar el complejo QRS dentro de los límites normales, por lo que se considera una onda normal producida por un corazón sin ninguna anomalía.

4.4.7 ANÁLISIS DE V5 A 60BMP DE UN CORAZÓN SANO

En la Figura 4.5 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro An atlas of cardiology and chest x-rays

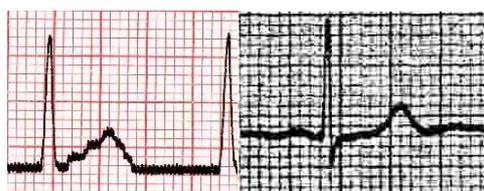


Figura 4.5: Voltaje precordial 5 de un corazón sano a 60BMP

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
	15	15	0

Tabla 4.5: Error de amplitud del voltaje precordial 5 de un corazón sano a 60BMP

La Tabla 4.5 presenta un error de 0%, pero muestra todas las deflexiones que forman la señal de la derivación, se puede apreciar el complejo QRS a pesar de que no se produce el pico negativo se encuentra dentro de los límites normales, por lo que se considera una onda normal producida por un corazón sin ninguna anomalía.

4.4.8 ANÁLISIS DE V6 A 60BMP DE UN CORAZÓN SANO

En la Figura 4.6 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro An atlas of cardiology and chest x-rays

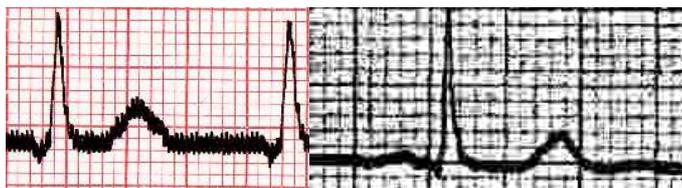


Figura 4.6: Voltaje precordial 6 de un corazón sano a 60BMP

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
	13	12	-8.33

Tabla 4.6: Error de amplitud del voltaje precordial 6 de un corazón sano a 60BMP

La Tabla 4.6 presenta un error de -8.33%, pero muestra todas las deflexiones que forman la señal de la derivación, se puede apreciar el complejo QRS dentro de los límites normales, por lo que se considera una onda normal producida por un corazón sin ninguna anomalía.

4.4.9 ANÁLISIS DE V1 A 60BMP DE UN CORAZÓN ENFERMO

En la Figura 4.7 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro An atlas of cardiology and chest x-rays

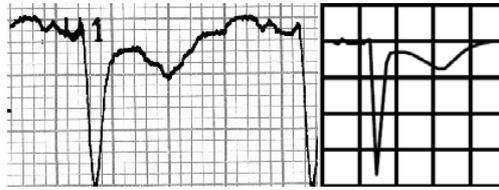


Figura 4.7: Voltaje precordial 1 de un corazón enfermo a 60BMP

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
		15	16

Tabla 4.7: Error de amplitud del voltaje precordial 1 de un corazón enfermo a 60BMP

La Tabla 4.7 presenta un error de 6.25%, pero muestra todas las deflexiones que forman la señal de la derivación, se puede apreciar tanto la onda P como el complejo QRS anormal reflejándose como un infarto al miocardio, por lo que se considera una onda normal producida por un corazón con un infarto al corazón.

4.4.10 ANÁLISIS DE V2 A 60BMP DE UN CORAZÓN ENFERMO

En la Figura 4.8 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro An atlas of cardiology and chest x-rays

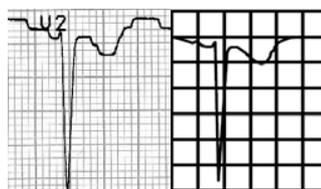


Figura 4.8: Voltaje precordial 2 de un corazón enfermo a 60BMP

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
		24	25

Tabla 4.8: Error de amplitud del voltaje precordial 2 de un corazón enfermo a 60BMP

La Tabla 4.8 presenta un error de 4%, pero muestra todas las deflexiones que forman la señal de la derivación, se puede apreciar el complejo QRS anormal reflejándose como un infarto al miocardio, por lo que se considera una onda normal producida por un corazón con un infarto al corazón.

4.4.11 ANÁLISIS DE V3 A 60BMP DE UN CORAZÓN ENFERMO

En la Figura 4.9 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro *An atlas of cardiology and chest x-rays*

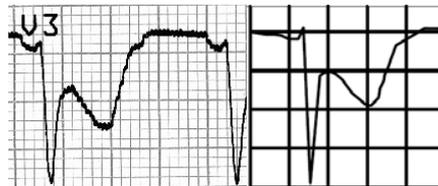


Figura 4.9: Voltaje precordial 3 de un corazón enfermo a 60BMP

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
		14	15

Tabla 4.9: error de amplitud del voltaje precordial 3 de un corazón enfermo a 60BMP

La Tabla 4.9 presenta un error de 6.66%, pero muestra todas las deflexiones que forman la señal de la derivación, se puede apreciar el complejo QRS anormal reflejándose como un infarto al miocardio, por lo que se considera una onda normal producida por un corazón con un infarto al corazón.

4.4.12 ANÁLISIS DE V4 A 60BMP DE UN CORAZÓN ENFERMO

En la Figura 4.10 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro *An atlas of cardiology and chest x-rays*

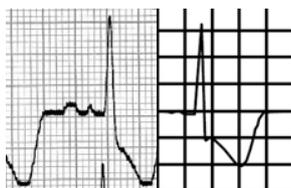


Figura 4.10: Voltaje precordial 4 de un corazón enfermo a 60BMP

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
	26	24	-8.33

Tabla 4.10: Error de amplitud del voltaje precordial 4 de un corazón enfermo a 60BMP

La Tabla 4.10 presenta un error de -8.88%, pero muestra todas las deflexiones que forman la señal de la derivación, se puede apreciar el complejo QRS anormal reflejándose como un infarto al miocardio, por lo que se considera una onda normal producida por un corazón con un infarto al corazón.

4.4.13 ANÁLISIS DE V5 A 60BMP DE UN CORAZÓN ENFERMO

En la Figura 4.11 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro An atlas of cardiology and chest x-rays



Figura 4.11: Voltaje precordial 5 de un corazón enfermo a 60BMP

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
	25	26	3.84

Tabla 4.11: Error de amplitud del voltaje precordial 5 de un corazón enfermo a 60BMP

La Tabla 4.11 presenta un error de 3.84%, pero muestra todas las deflexiones que forman la señal de la derivación y un pulso que se lo puede despreciar, se puede apreciar el complejo QRS anormal reflejándose como un infarto al miocardio, por lo que se considera una onda normal producida por un corazón con un infarto al corazón.

4.4.14 ANÁLISIS DE V6 A 60BMP DE UN CORAZÓN ENFERMO

En la Figura 4.12 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro An atlas of cardiology and chest x-rays

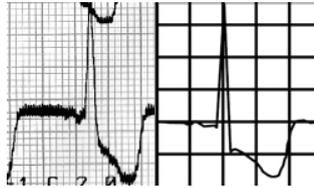


Figura 4.12: Voltaje precordial 6 de un corazón enfermo a 60BMP

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
		27	25

Tabla 4.12: Error de amplitud del voltaje precordial 6 de un corazón enfermo a 60BMP

La Tabla 4.12 presenta un error de -8%, pero muestra todas las deflexiones que forman la señal de la derivación, se puede apreciar el complejo QRS anormal reflejándose como un infarto al miocardio, por lo que se considera una onda normal producida por un corazón con un infarto al corazón.

4.4.15 ANÁLISIS DE V1 A 80BMP DE UN CORAZÓN SANO

En la Figura 4.13 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro *An atlas of cardiology and chest x-rays*

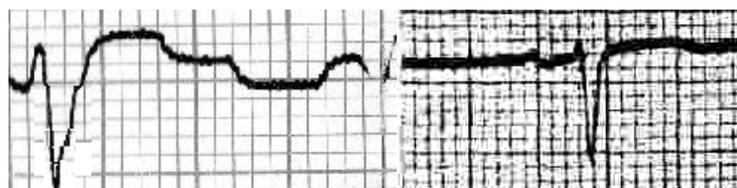


Figura 4.13: Voltaje precordial 1 de un corazón sano a 80BMP

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
	9	8	-12.5

Tabla 4.13: Error de amplitud del voltaje precordial 1 de un corazón sano a 80BMP

La Tabla 4.13 presenta un error de -12.5% que es un error apreciable, pero muestra todas las deflexiones que forman la señal de la derivación, se puede apreciar tanto la onda P como el complejo QRS dentro de los límites normales, por lo que se considera una onda normal producida por un corazón sin ninguna anomalía.

4.4.16 ANÁLISIS DE V2 A 80BMP DE UN CORAZÓN SANO

En la Figura 4.14 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro An atlas of cardiology and chest x-rays

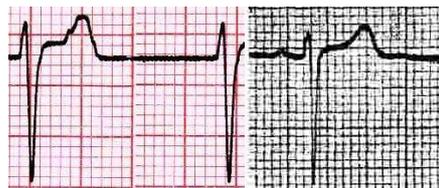


Figura 4.14: Voltaje precordial 2 de un corazón sano a 80BMP

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
	18	20	10

Tabla 4.14: Error de amplitud del voltaje precordial 2 de un corazón sano a 80BMP

La Tabla 4.14 presenta un error de -10%, pero muestra todas las deflexiones que forman la señal de la derivación, se puede apreciar el complejo QRS dentro de los límites normales, por lo que se considera una onda normal producida por un corazón sin ninguna anomalía.

4.4.17 ANÁLISIS DE V3 A 80BMP DE UN CORAZÓN SANO

En la Figura 4.15 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro An atlas of cardiology and chest x-rays

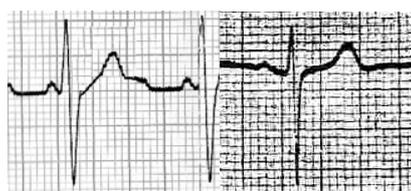


Figura 4.15: Voltaje precordial 3 de un corazón sano a 80BMP

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
	23	21	-9.52

Tabla 4.15: Error de amplitud del voltaje precordial 3 de un corazón sano a 80BMP

La Tabla 4.15 presenta un error de -9.52%, pero muestra todas las deflexiones que forman la señal de la derivación, se puede apreciar el complejo QRS dentro de los límites normales, por lo que se considera una onda normal producida por un corazón sin ninguna anomalía.

4.4.18 ANÁLISIS DE V4 A 80BMP DE UN CORAZÓN SANO

En la Figura 4.16 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro An atlas of cardiology and chest x-rays



Figura 4.16: Voltaje precordial 4 de un corazón sano a 80BMP

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
	21	19	-10.52

Tabla 4.16: Error de amplitud del voltaje precordial 4 de un corazón sano a 80BMP

La Tabla 4.16 presenta un error de -10.52% que es un error apreciable, pero muestra todas las deflexiones que forman la señal de la derivación, se puede apreciar el complejo QRS dentro de los límites normales, por lo que se considera una onda normal producida por un corazón sin ninguna anomalía.

4.4.19 ANÁLISIS DE V5 A 80BMP DE UN CORAZÓN SANO

En la Figura 4.17 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro An atlas of cardiology and chest x-rays

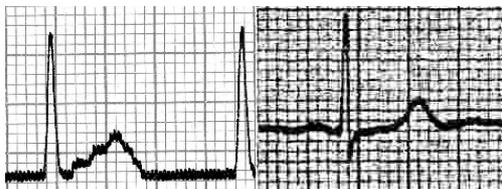


Figura 4.17: Voltaje precordial 5 de un corazón sano a 80BMP

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
		15	15

Tabla 4.17: Error de amplitud del voltaje precordial 5 de un corazón sano a 80BMP

La Tabla 4.17 presenta un error de 0%, pero muestra todas las deflexiones que forman la señal de la derivación, se puede apreciar el complejo QRS aunque no muestra el pico del punto s la señal se encuentra dentro de los límites normales, por lo que se considera una onda normal producida por un corazón sin ninguna anomalía.

4.4.20 ANÁLISIS DE V6 A 80BMP DE UN CORAZÓN SANO

En la Figura 4.18 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro An atlas of cardiology and chest x-rays

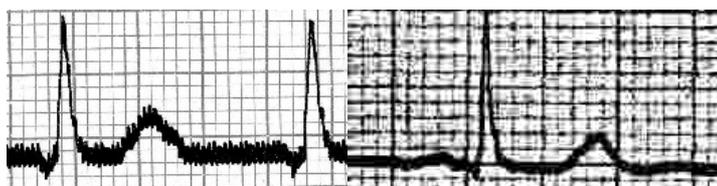


Figura 4.18: Voltaje precordial 6 de un corazón sano a 80BMP

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
	13	12	-8

Tabla 4.18: Error de amplitud del voltaje precordial 6 de un corazón sano a 80BMP

La Tabla 4.18 presenta un error de -8%, pero muestra todas las deflexiones que forman la señal de la derivación, se puede apreciar el complejo QRS dentro de los límites normales, por lo que se considera una onda normal producida por un corazón sin ninguna anomalía.

4.4.21 ANÁLISIS DE V1 A 80BMP DE UN CORAZÓN ENFERMO

En la Figura 4.19 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro An atlas of cardiology and chest x-rays

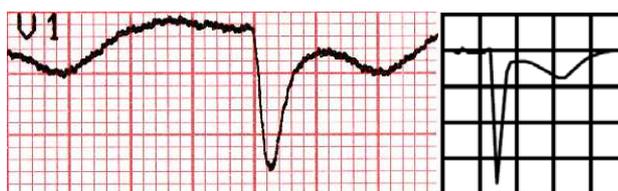


Figura 4.19: Voltaje precordial 1 de un corazón enfermo a 80BMP

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
	13	15	13.33

Tabla 4.19: Error de amplitud del voltaje precordial 1 de un corazón enfermo a 80BMP

La Tabla 4.19 presenta un error de 13.33% que es apreciable, pero muestra todas las deflexiones que forman la señal de la derivación, se puede apreciar tanto la onda P como el complejo QRS anormal reflejándose como un infarto al miocardio, por lo que se considera una onda normal producida por un corazón con un infarto al corazón.

4.4.22 ANÁLISIS DE V2 A 80BMP DE UN CORAZÓN ENFERMO

En la Figura 4.20 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro An atlas of cardiology and chest x-rays



Figura 4.20: Voltaje precordial 2 de un corazón enfermo a 80BMP

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
	25	25	0

Tabla 4.20: Error de amplitud del voltaje precordial 2 de un corazón enfermo a 80BMP

La Tabla 4.20 presenta un error de 0%, pero muestra todas las deflexiones que forman la señal de la derivación, se puede apreciar el complejo QRS anormal reflejándose como un infarto al miocardio, por lo que se considera una onda normal producida por un corazón con un infarto al corazón.

4.4.23 ANÁLISIS DE V3 A 80BMP DE UN CORAZÓN ENFERMO

En la Figura 4.21 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro An atlas of cardiology and chest x-rays



Figura 4.21: Voltaje precordial 3 de un corazón enfermo a 80BMP

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
	16	15	-6.66

Tabla 4.21: Error de amplitud del voltaje precordial 3 de un corazón enfermo a 80BMP

La Tabla 4.21 presenta un error de -6.66%, pero muestra todas las deflexiones que forman la señal de la derivación, se puede apreciar el complejo QRS anormal reflejándose como un infarto al miocardio, por lo que se considera una onda normal producida por un corazón con un infarto al corazón.

4.4.24 ANÁLISIS DE V4 A 80BMP DE UN CORAZÓN ENFERMO

En la Figura 4.22 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro An atlas of cardiology and chest x-rays



Figura 4.22: Voltaje precordial 4 de un corazón enfermo a 80BMP

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
		27	25

Tabla 4.22: Error de amplitud del voltaje precordial 4 de un corazón enfermo a 80BMP

La Tabla 4.22 presenta un error de -8%, pero muestra todas las deflexiones que forman la señal de la derivación, se puede apreciar el complejo QRS anormal reflejándose como un infarto al miocardio, por lo que se considera una onda normal producida por un corazón con un infarto al corazón.

4.4.25 ANÁLISIS DE V5 A 80BMP DE UN CORAZÓN ENFERMO

En la Figura 4.23 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro *An atlas of cardiology and chest x-rays*



Figura 4.23: Voltaje precordial 5 de un corazón enfermo a 80BMP

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
	25	26	3.84

Tabla 4.23: Error de amplitud del voltaje precordial 5 de un corazón enfermo a 80BMP

La Tabla 4.23 presenta un error de -3.84%, pero muestra todas las deflexiones que forman la señal de la derivación, se puede apreciar el complejo QRS anormal reflejándose como un infarto al miocardio, por lo que se considera una onda normal producida por un corazón con un infarto al corazón.

4.4.26 ANÁLISIS DE V6 A 80BMP DE UN CORAZÓN ENFERMO

En la Figura 4.24 se muestra a la izquierda la señal obtenida con el generador mediante un electrocardiógrafo comercial y a la derecha la señal considerada como estándar obtenidas del libro An atlas of cardiology and chest x-rays



Figura 4.24: Voltaje precordial 6 de un corazón enfermo a 80BMP

AMPLITUD	SEÑAL GENERADA (mm)	SEÑAL ESTÁNDAR (mm)	PORCENTAJE DE ERROR
	28	25	-12

Tabla 4.24: Error de amplitud del voltaje precordial 6 de un corazón enfermo a 80BMP

La Tabla 4.24 presenta un error de -12% que es apreciable, pero muestra todas las deflexiones que forman la señal de la derivación, se puede apreciar el complejo QRS anormal reflejándose como un infarto al miocardio, por lo que se considera una onda normal producida por un corazón con un infarto al corazón.

4.5 ANÁLISIS Y CÁLCULO DEL PROMEDIO DEL PORCENTAJE DE ERROR

		%ERROR	VALOR ABSOLUTO
ECG NORMAL	V1 a 60BMP	6,25	6,25
	V2 a 60BMP	5	5
	V3 a 60BMP	-14,28	14,28
	V4 a 60BMP	5,26	5,26
	V5 a 60BMP	0	0
	V6 a 60BMP	-8,33	8,33
	V1 a 60BMP	6,25	6,25
	V2 a 60BMP	4	4
	V3 a 60BMP	6,66	6,66
	V4 a 60BMP	-8,33	8,33
	V5 a 60BMP	3,84	3,84
	V6 a 60BMP	-8	8
ECG ANORMAL	V1 a 80BMP	-12,5	12,5
	V2 a 80BMP	10	10
	V3 a 80BMP	-9,52	9,52
	V4 a 80BMP	-10,52	10,52
	V5 a 80BMP	0	0
	V6 a 80BMP	-8	8
	V1 a 80BMP	13,33	13,33
	V2 a 80BMP	0	0
	V3 a 80BMP	-6,66	6,66
	V4 a 80BMP	-8	8
	V5 a 680BMP	3,84	3,84
	V6 a 80BMP	-12	12
TOTAL			170,57
PROMEDIO			7,11
DESVIACIÓN			0,080930523

Tabla 4.3: Promedio de error y desviación estándar

Del análisis realizado se tiene un error global de 7.11% con lo que se puede concluir que el equipo tiene un correcto funcionamiento tomando en cuenta que el cuerpo humano no es un medio homogéneo y no se obtendrán las señales exactamente iguales para cada persona debido a su constitución física, sexo y edad.

De lo que se ha podido apreciar en los resultados de distintos pacientes en el hospital, la señal varía en amplitud por las razones antes mencionadas, por lo que los médicos se basan en la forma de onda, y especialmente a las principales deflexiones como son: la onda P y el complejo QRS que presenta cada señal y la onda U que casi nunca aparece.

CAPITULO 5

CONCLUSIONES Y RECOMENDACIONES

Luego de realizado el proyecto y probado su funcionamiento, de los resultados obtenidos es posible extraer las conclusiones que se indican a continuación. Por otro lado, la experiencia acumulada durante este trabajo permite la emisión de ciertas recomendaciones respecto a este proyecto o posteriores.

5.1 CONCLUSIONES

- La teoría revisada y los resultados que se obtuvieron con el electrocardiógrafo comercial permiten comprobar que la señal generada por un corazón varía según el sexo y edad de la persona, así como también de su constitución física. Es por esto que el modelo del EGC que se tomó como patrón no necesariamente corresponde al de un corazón real sino que es un modelo fabricado sobre la base de miles criterios y experiencias de muchos médicos.
- En todas las derivaciones se puede apreciar el complejo QRS, que es el más usado para determinar anomalías en el corazón, incluso el eje eléctrico se calcula con dicho complejo. Es por esto que en el presente proyecto se trató de reproducir este complejo con el menor error posible.
- Para el voltaje V1 correspondiente a la derivación precordial 1 de un corazón sano generado a una frecuencia cardíaca de 60BMP, se tiene un error del 6.25%, equivalente a una diferencia de amplitudes de 0.5mm. Médicos y libros consultados respecto a estas diferencias, la consideran insignificante, tomando en cuenta que en pacientes reales se presentan diferencias similares. De lo indicado se puede concluir que se genera una señal buena para esta terminal precordial.

Para cada una de las señales se muestra el error en la siguiente tabla.

		%ERROR	VALOR ABSOLUTO	
ECG NORMAL	V1 a 60BMP	6,25	6,25	
	V2 a 60BMP	5	5	
	V3 a 60BMP	-14,28	14,28	
	V4 a 60BMP	5,26	5,26	
	V5 a 60BMP	0	0	
	V6 a 60BMP	-8,33	8,33	
	V1 a 60BMP	6,25	6,25	
	V2 a 60BMP	4	4	
	V3 a 60BMP	6,66	6,66	
	V4 a 60BMP	-8,33	8,33	
	V5 a 60BMP	3,84	3,84	
	V6 a 60BMP	-8	8	
ECG ANORMAL	V1 a 80BMP	-12,5	12,5	
	V2 a 80BMP	10	10	
	V3 a 80BMP	-9,52	9,52	
	V4 a 80BMP	-10,52	10,52	
	V5 a 80BMP	0	0	
	V6 a 80BMP	-8	8	
	V1 a 80BMP	13,33	13,33	
	V2 a 80BMP	0	0	
	V3 a 80BMP	-6,66	6,66	
	V4 a 80BMP	-8	8	
	V5 a 680BMP	3,84	3,84	
	V6 a 80BMP	-12	12	
	TOTAL			170,57
	PROMEDIO			7,11
DESVIACIÓN			0,080930523	

- Del análisis realizado al error porcentual del sistema se tiene un valor de 7.11% con una desviación estándar de 0.0809 con lo que se puede afirmar que el sistema tiene un correcto funcionamiento, debido a que las señales no son iguales para cada persona.

5.2 RECOMENDACIONES

- Para tener una medida correcta con el sistema se recomienda chequear que todos los electrodos estén conectados firmemente, igualmente la referencia a tierra. Conexiones flojas produjeron desperfectos durante la prueba. Adicionalmente, algunos electrocardiógrafos no operan si detectan un electrodo suelto.
- Los electrocardiógrafos cuentan con entradas para las terminales precordiales y para las extremidades (triangulo de EITHOVEN). El módulo cuenta con seis salidas para cada frecuencia con una referencia. Se recomienda conectar los terminales sobrantes del electrocardiógrafo a la referencia del módulo para no tener problemas de ruido o tener una mala medición.
- Antes de conectar el sistema a un electrocardiógrafo se deben ver las especificaciones del equipo para evitar posibles daños.
- No se recomienda tomar el diagnostico del electrocardiógrafo como algo indiscutible, ya que el resultado debe ser analizado por un cardiólogo.
- Se recomienda que la conexión del modulo sea a un toma con tierra porque la estructura del módulo actúa como una barrera contra el ruido externo que puede afectar al correcto funcionamiento del sistema.
- Se recomienda la creación de otras soluciones electro-medicas. Ya que este trabajo demuestra que no es necesario importar todo.

BIBLIOGRAFÍA

1. NEVILLE, Conway; Escuela Politécnica Nacional, **An Atlas Of Cardiology Electrocardiograms And Chestx-Rays**. Primera edición. Wolfe medical publications LTD. México.
2. BOYLESTAD, Roberth; Escuela Politécnica Nacional. **ELECTRONICA Teoría De Circuitos**. Sexta edición. Pearson Educación. México. 2003.
3. SERALD, Greme; Escuela Politécnica Nacional. **Applications Of Operational Amplifiers**. Primera Edición. BURR-BROWN editorial.
4. DUBIN, Darle; Anónimo. **Electrocardiografía Práctica**. Tercera edición. McGraw Hill. Interamericana México. 2002
5. DE LA SERNA, Fernando; Anónimo. **Insuficiencia Cardiaca Crónica**. Tercera Actualización. Editorial FAC. México. 1998
6. TORRES, M.; **MANUAL DE PRÓTEL**. España. RA-MA editorial 2006. www.protel.com/manuales
7. MICROCHIP; Datasheet PIC16F87X. www.microchip.com
8. MICROCHIP; Datasheet PIC16F62X. www.microchip.com
9. NATIONAL SEMICONDUCTOR; Datasheet TL084. www.dataseets.com

ANEXO 1



MICROCHIP

PIC16F87X
Data Sheet

28/40-Pin 8-Bit CMOS FLASH
Microcontrollers

28/40-Pin 8-Bit CMOS FLASH Microcontrollers

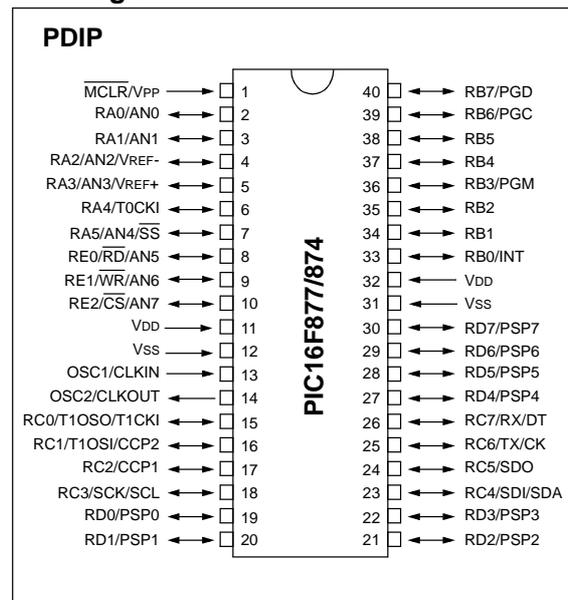
Devices Included in this Data Sheet:

- PIC16F873
- PIC16F876
- PIC16F874
- PIC16F877

Microcontroller Core Features:

- High performance RISC CPU
- Only 35 single word instructions to learn
- All single cycle instructions except for program branches which are two cycle
- Operating speed: DC - 20 MHz clock input
DC - 200 ns instruction cycle
- Up to 8K x 14 words of FLASH Program Memory,
Up to 368 x 8 bytes of Data Memory (RAM)
Up to 256 x 8 bytes of EEPROM Data Memory
- Pinout compatible to the PIC16C73B/74B/76/77
- Interrupt capability (up to 14 sources)
- Eight level deep hardware stack
- Direct, indirect and relative addressing modes
- Power-on Reset (POR)
- Power-up Timer (PWRT) and
Oscillator Start-up Timer (OST)
- Watchdog Timer (WDT) with its own on-chip RC
oscillator for reliable operation
- Programmable code protection
- Power saving SLEEP mode
- Selectable oscillator options
- Low power, high speed CMOS FLASH/EEPROM
technology
- Fully static design
- In-Circuit Serial Programming™ (ICSP) via two
pins
- Single 5V In-Circuit Serial Programming capability
- In-Circuit Debugging via two pins
- Processor read/write access to program memory
- Wide operating voltage range: 2.0V to 5.5V
- High Sink/Source Current: 25 mA
- Commercial, Industrial and Extended temperature
ranges
- Low-power consumption:
 - < 0.6 mA typical @ 3V, 4 MHz
 - 20 µA typical @ 3V, 32 kHz
 - < 1 µA typical standby current

Pin Diagram

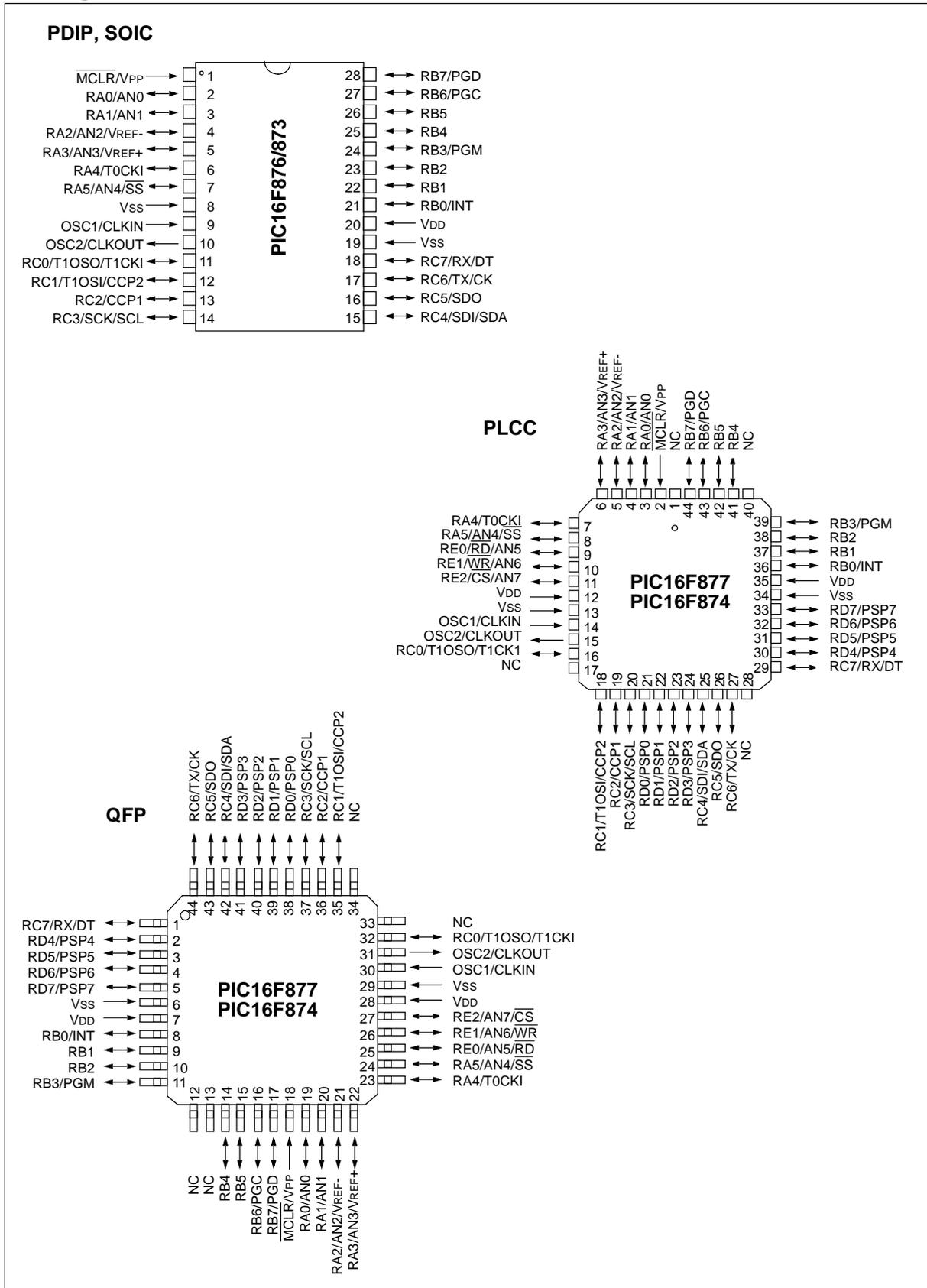


Peripheral Features:

- Timer0: 8-bit timer/counter with 8-bit prescaler
- Timer1: 16-bit timer/counter with prescaler,
can be incremented during SLEEP via external
crystal/clock
- Timer2: 8-bit timer/counter with 8-bit period
register, prescaler and postscaler
- Two Capture, Compare, PWM modules
 - Capture is 16-bit, max. resolution is 12.5 ns
 - Compare is 16-bit, max. resolution is 200 ns
 - PWM max. resolution is 10-bit
- 10-bit multi-channel Analog-to-Digital converter
- Synchronous Serial Port (SSP) with SPI™ (Master
mode) and I²C™ (Master/Slave)
- Universal Synchronous Asynchronous Receiver
Transmitter (USART/SCI) with 9-bit address
detection
- Parallel Slave Port (PSP) 8-bits wide, with
external RD, WR and CS controls (40/44-pin only)
- Brown-out detection circuitry for
Brown-out Reset (BOR)

PIC16F87X

Pin Diagrams



PIC16F87X

Key Features PICmicro™ Mid-Range Reference Manual (DS33023)	PIC16F873	PIC16F874	PIC16F876	PIC16F877
Operating Frequency	DC - 20 MHz			
RESETS (and Delays)	POR, BOR (PWRT, OST)	POR, BOR (PWRT, OST)	POR, BOR (PWRT, OST)	POR, BOR (PWRT, OST)
FLASH Program Memory (14-bit words)	4K	4K	8K	8K
Data Memory (bytes)	192	192	368	368
EEPROM Data Memory	128	128	256	256
Interrupts	13	14	13	14
I/O Ports	Ports A,B,C	Ports A,B,C,D,E	Ports A,B,C	Ports A,B,C,D,E
Timers	3	3	3	3
Capture/Compare/PWM Modules	2	2	2	2
Serial Communications	MSSP, USART	MSSP, USART	MSSP, USART	MSSP, USART
Parallel Communications	—	PSP	—	PSP
10-bit Analog-to-Digital Module	5 input channels	8 input channels	5 input channels	8 input channels
Instruction Set	35 instructions	35 instructions	35 instructions	35 instructions

PIC16F87X

Table of Contents

1.0	Device Overview	5
2.0	Memory Organization.....	11
3.0	I/O Ports.....	29
4.0	Data EEPROM and FLASH Program Memory.....	41
5.0	Timer0 Module	47
6.0	Timer1 Module	51
7.0	Timer2 Module	55
8.0	Capture/Compare/PWM Modules	57
9.0	Master Synchronous Serial Port (MSSP) Module.....	65
10.0	Addressable Universal Synchronous Asynchronous Receiver Transmitter (USART)	95
11.0	Analog-to-Digital Converter (A/D) Module.....	111
12.0	Special Features of the CPU.....	119
13.0	Instruction Set Summary.....	135
14.0	Development Support	143
15.0	Electrical Characteristics.....	149
16.0	DC and AC Characteristics Graphs and Tables.....	177
17.0	Packaging Information	189
Appendix A:	Revision History	197
Appendix B:	Device Differences	197
Appendix C:	Conversion Considerations	198
Index		199
On-Line Support.....		207
Reader Response		208
PIC16F87X Product Identification System		209

TO OUR VALUED CUSTOMERS

It is our intention to provide our valued customers with the best documentation possible to ensure successful use of your Microchip products. To this end, we will continue to improve our publications to better suit your needs. Our publications will be refined and enhanced as new volumes and updates are introduced.

If you have any questions or comments regarding this publication, please contact the Marketing Communications Department via E-mail at docerrors@mail.microchip.com or fax the **Reader Response Form** in the back of this data sheet to (480) 792-4150. We welcome your feedback.

Most Current Data Sheet

To obtain the most up-to-date version of this data sheet, please register at our Worldwide Web site at:

<http://www.microchip.com>

You can determine the version of a data sheet by examining its literature number found on the bottom outside corner of any page. The last character of the literature number is the version number, (e.g., DS30000A is version A of document DS30000).

Errata

An errata sheet, describing minor operational differences from the data sheet and recommended workarounds, may exist for current devices. As device/documentation issues become known to us, we will publish an errata sheet. The errata will specify the revision of silicon and revision of document to which it applies.

To determine if an errata sheet exists for a particular device, please check with one of the following:

- Microchip's Worldwide Web site; <http://www.microchip.com>
- Your local Microchip sales office (see last page)
- The Microchip Corporate Literature Center; U.S. FAX: (480) 792-7277

When contacting a sales office or the literature center, please specify which device, revision of silicon and data sheet (include literature number) you are using.

Customer Notification System

Register on our web site at www.microchip.com/cn to receive the most current information on all of our products.

PIC16F87X

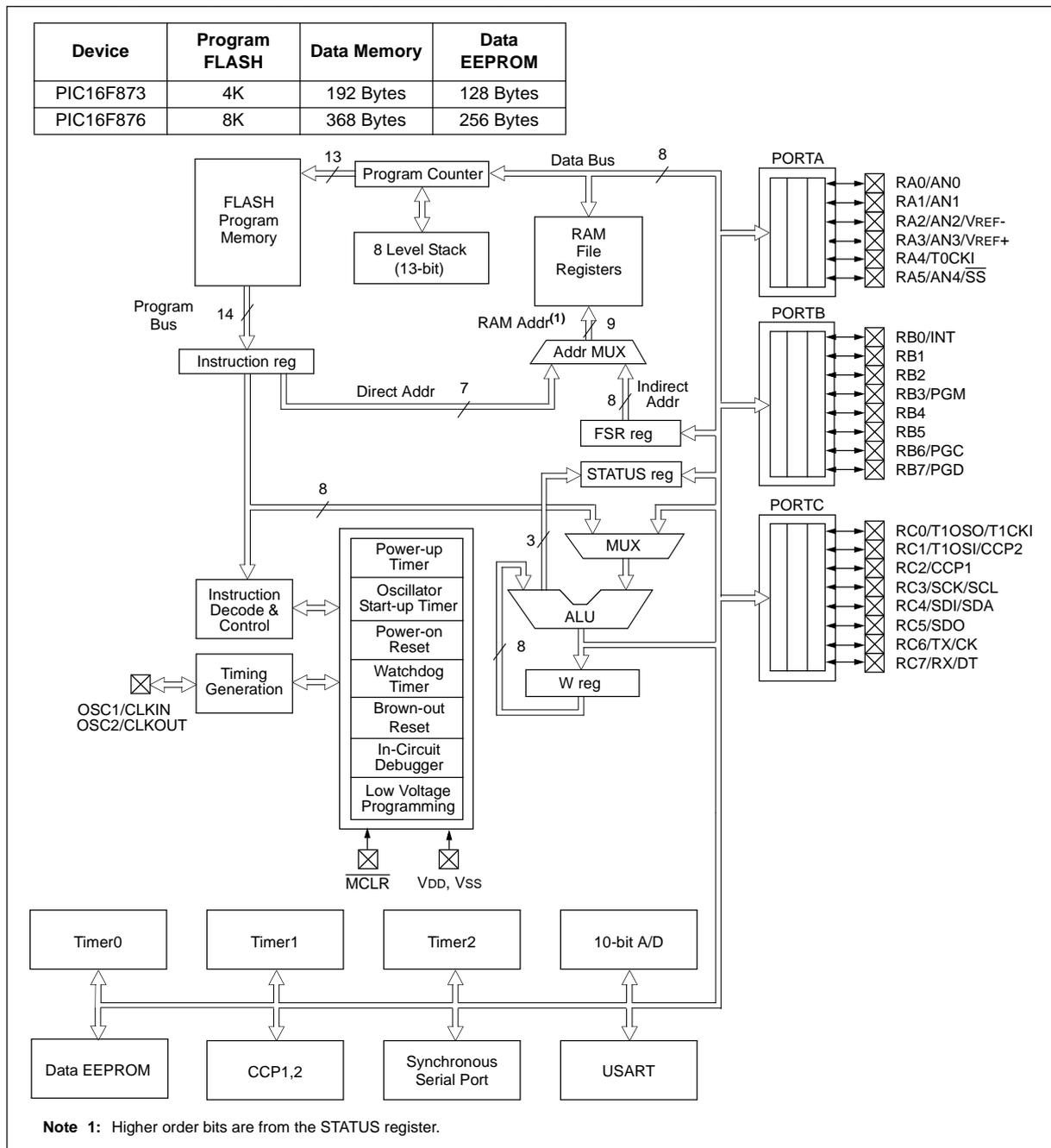
1.0 DEVICE OVERVIEW

This document contains device specific information. Additional information may be found in the PICmicro™ Mid-Range Reference Manual (DS33023), which may be obtained from your local Microchip Sales Representative or downloaded from the Microchip website. The Reference Manual should be considered a complementary document to this data sheet, and is highly recommended reading for a better understanding of the device architecture and operation of the peripheral modules.

There are four devices (PIC16F873, PIC16F874, PIC16F876 and PIC16F877) covered by this data sheet. The PIC16F876/873 devices come in 28-pin packages and the PIC16F877/874 devices come in 40-pin packages. The Parallel Slave Port is not implemented on the 28-pin devices.

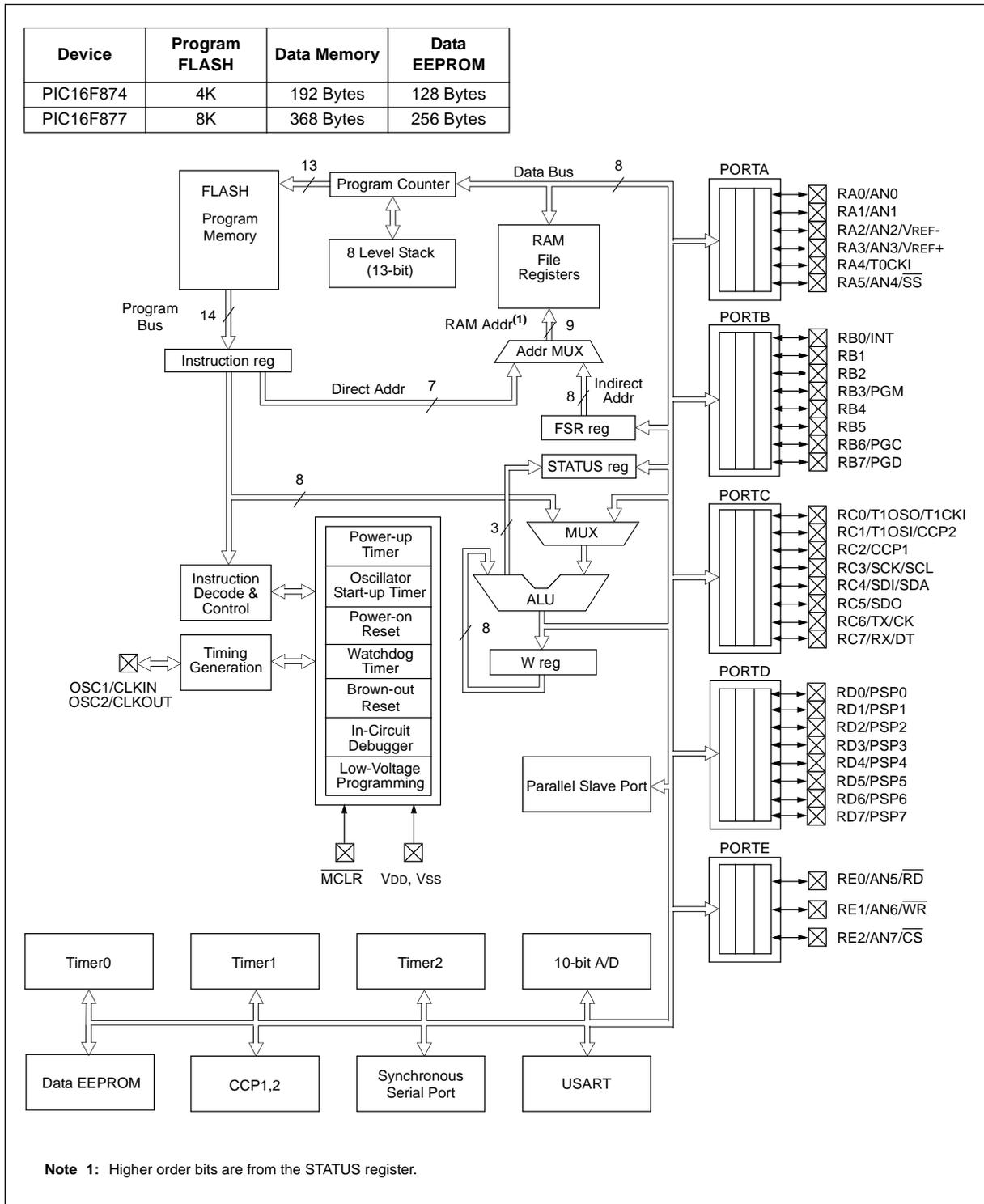
The following device block diagrams are sorted by pin number; 28-pin for Figure 1-1 and 40-pin for Figure 1-2. The 28-pin and 40-pin pinouts are listed in Table 1-1 and Table 1-2, respectively.

FIGURE 1-1: PIC16F873 AND PIC16F876 BLOCK DIAGRAM



PIC16F87X

FIGURE 1-2: PIC16F874 AND PIC16F877 BLOCK DIAGRAM



PIC16F87X

2.2.2.1 STATUS Register

The STATUS register contains the arithmetic status of the ALU, the RESET status and the bank select bits for data memory.

The STATUS register can be the destination for any instruction, as with any other register. If the STATUS register is the destination for an instruction that affects the Z, DC or C bits, then the write to these three bits is disabled. These bits are set or cleared according to the device logic. Furthermore, the \overline{TO} and \overline{PD} bits are not writable, therefore, the result of an instruction with the STATUS register as destination may be different than intended.

For example, `CLRF STATUS` will clear the upper three bits and set the Z bit. This leaves the STATUS register as `000u u1uu` (where u = unchanged).

It is recommended, therefore, that only `BCF`, `BSF`, `SWAPF` and `MOVWF` instructions are used to alter the STATUS register, because these instructions do not affect the Z, C or DC bits from the STATUS register. For other instructions not affecting any status bits, see the "Instruction Set Summary."

Note: The \overline{C} and \overline{DC} bits operate as a borrow and digit borrow bit, respectively, in subtraction. See the `SUBLW` and `SUBWF` instructions for examples.

REGISTER 2-1: STATUS REGISTER (ADDRESS 03h, 83h, 103h, 183h)

	R/W-0	R/W-0	R/W-0	R-1	R-1	R/W-x	R/W-x	R/W-x
	IRP	RP1	RP0	\overline{TO}	\overline{PD}	Z	DC	C
bit 7								bit 0

- bit 7 **IRP:** Register Bank Select bit (used for indirect addressing)
 1 = Bank 2, 3 (100h - 1FFh)
 0 = Bank 0, 1 (00h - FFh)
 - bit 6-5 **RP1:RP0:** Register Bank Select bits (used for direct addressing)
 11 = Bank 3 (180h - 1FFh)
 10 = Bank 2 (100h - 17Fh)
 01 = Bank 1 (80h - FFh)
 00 = Bank 0 (00h - 7Fh)
 Each bank is 128 bytes
 - bit 4 **\overline{TO} :** Time-out bit
 1 = After power-up, `CLRWDT` instruction, or `SLEEP` instruction
 0 = A WDT time-out occurred
 - bit 3 **\overline{PD} :** Power-down bit
 1 = After power-up or by the `CLRWDT` instruction
 0 = By execution of the `SLEEP` instruction
 - bit 2 **Z:** Zero bit
 1 = The result of an arithmetic or logic operation is zero
 0 = The result of an arithmetic or logic operation is not zero
 - bit 1 **DC:** Digit carry/borrow bit (`ADDWF`, `ADDLW`, `SUBLW`, `SUBWF` instructions)
 (for borrow, the polarity is reversed)
 1 = A carry-out from the 4th low order bit of the result occurred
 0 = No carry-out from the 4th low order bit of the result
 - bit 0 **C:** Carry/borrow bit (`ADDWF`, `ADDLW`, `SUBLW`, `SUBWF` instructions)
 1 = A carry-out from the Most Significant bit of the result occurred
 0 = No carry-out from the Most Significant bit of the result occurred
- Note:** For borrow, the polarity is reversed. A subtraction is executed by adding the two's complement of the second operand. For rotate (`RRF`, `RLF`) instructions, this bit is loaded with either the high, or low order bit of the source register.

Legend:

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
- n = Value at POR	'1' = Bit is set	'0' = Bit is cleared x = Bit is unknown

2.2.2.2 OPTION_REG Register

The OPTION_REG Register is a readable and writable register, which contains various control bits to configure the TMR0 prescaler/WDT postscaler (single assignable register known also as the prescaler), the External INT Interrupt, TMR0 and the weak pull-ups on PORTB.

Note: To achieve a 1:1 prescaler assignment for the TMR0 register, assign the prescaler to the Watchdog Timer.

REGISTER 2-2: OPTION_REG REGISTER (ADDRESS 81h, 181h)

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
RBPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
bit 7						bit 0	

- bit 7 **RBPU:** PORTB Pull-up Enable bit
 1 = PORTB pull-ups are disabled
 0 = PORTB pull-ups are enabled by individual port latch values
- bit 6 **INTEDG:** Interrupt Edge Select bit
 1 = Interrupt on rising edge of RB0/INT pin
 0 = Interrupt on falling edge of RB0/INT pin
- bit 5 **T0CS:** TMR0 Clock Source Select bit
 1 = Transition on RA4/T0CKI pin
 0 = Internal instruction cycle clock (CLKOUT)
- bit 4 **T0SE:** TMR0 Source Edge Select bit
 1 = Increment on high-to-low transition on RA4/T0CKI pin
 0 = Increment on low-to-high transition on RA4/T0CKI pin
- bit 3 **PSA:** Prescaler Assignment bit
 1 = Prescaler is assigned to the WDT
 0 = Prescaler is assigned to the Timer0 module
- bit 2-0 **PS2:PS0:** Prescaler Rate Select bits
- | Bit Value | TMR0 Rate | WDT Rate |
|-----------|-----------|----------|
| 000 | 1 : 2 | 1 : 1 |
| 001 | 1 : 4 | 1 : 2 |
| 010 | 1 : 8 | 1 : 4 |
| 011 | 1 : 16 | 1 : 8 |
| 100 | 1 : 32 | 1 : 16 |
| 101 | 1 : 64 | 1 : 32 |
| 110 | 1 : 128 | 1 : 64 |
| 111 | 1 : 256 | 1 : 128 |

Legend:

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
- n = Value at POR	'1' = Bit is set	'0' = Bit is cleared x = Bit is unknown

Note: When using low voltage ICSP programming (LVP) and the pull-ups on PORTB are enabled, bit 3 in the TRISB register must be cleared to disable the pull-up on RB3 and ensure the proper operation of the device

PIC16F87X

2.2.2.3 INTCON Register

The INTCON Register is a readable and writable register, which contains various enable and flag bits for the TMR0 register overflow, RB Port change and External RB0/INT pin interrupts.

Note: Interrupt flag bits are set when an interrupt condition occurs, regardless of the state of its corresponding enable bit or the global enable bit, GIE (INTCON<7>). User software should ensure the appropriate interrupt flag bits are clear prior to enabling an interrupt.

REGISTER 2-3: INTCON REGISTER (ADDRESS 0Bh, 8Bh, 10Bh, 18Bh)

R/W-0	R/W-x							
GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	
bit 7								bit 0

- bit 7 **GIE:** Global Interrupt Enable bit
 1 = Enables all unmasked interrupts
 0 = Disables all interrupts
- bit 6 **PEIE:** Peripheral Interrupt Enable bit
 1 = Enables all unmasked peripheral interrupts
 0 = Disables all peripheral interrupts
- bit 5 **TOIE:** TMR0 Overflow Interrupt Enable bit
 1 = Enables the TMR0 interrupt
 0 = Disables the TMR0 interrupt
- bit 4 **INTE:** RB0/INT External Interrupt Enable bit
 1 = Enables the RB0/INT external interrupt
 0 = Disables the RB0/INT external interrupt
- bit 3 **RBIE:** RB Port Change Interrupt Enable bit
 1 = Enables the RB port change interrupt
 0 = Disables the RB port change interrupt
- bit 2 **TOIF:** TMR0 Overflow Interrupt Flag bit
 1 = TMR0 register has overflowed (must be cleared in software)
 0 = TMR0 register did not overflow
- bit 1 **INTF:** RB0/INT External Interrupt Flag bit
 1 = The RB0/INT external interrupt occurred (must be cleared in software)
 0 = The RB0/INT external interrupt did not occur
- bit 0 **RBIF:** RB Port Change Interrupt Flag bit
 1 = At least one of the RB7:RB4 pins changed state; a mismatch condition will continue to set the bit. Reading PORTB will end the mismatch condition and allow the bit to be cleared (must be cleared in software).
 0 = None of the RB7:RB4 pins have changed state

Legend:

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
- n = Value at POR	'1' = Bit is set	'0' = Bit is cleared x = Bit is unknown

2.2.2.4 PIE1 Register

The PIE1 register contains the individual enable bits for the peripheral interrupts.

Note: Bit PEIE (INTCON<6>) must be set to enable any peripheral interrupt.

REGISTER 2-4: PIE1 REGISTER (ADDRESS 8Ch)

	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	PSPIE ⁽¹⁾	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE
bit 7								bit 0

- bit 7 **PSPIE⁽¹⁾:** Parallel Slave Port Read/Write Interrupt Enable bit
 1 = Enables the PSP read/write interrupt
 0 = Disables the PSP read/write interrupt
- bit 6 **ADIE:** A/D Converter Interrupt Enable bit
 1 = Enables the A/D converter interrupt
 0 = Disables the A/D converter interrupt
- bit 5 **RCIE:** USART Receive Interrupt Enable bit
 1 = Enables the USART receive interrupt
 0 = Disables the USART receive interrupt
- bit 4 **TXIE:** USART Transmit Interrupt Enable bit
 1 = Enables the USART transmit interrupt
 0 = Disables the USART transmit interrupt
- bit 3 **SSPIE:** Synchronous Serial Port Interrupt Enable bit
 1 = Enables the SSP interrupt
 0 = Disables the SSP interrupt
- bit 2 **CCP1IE:** CCP1 Interrupt Enable bit
 1 = Enables the CCP1 interrupt
 0 = Disables the CCP1 interrupt
- bit 1 **TMR2IE:** TMR2 to PR2 Match Interrupt Enable bit
 1 = Enables the TMR2 to PR2 match interrupt
 0 = Disables the TMR2 to PR2 match interrupt
- bit 0 **TMR1IE:** TMR1 Overflow Interrupt Enable bit
 1 = Enables the TMR1 overflow interrupt
 0 = Disables the TMR1 overflow interrupt

Note 1: PSPIE is reserved on PIC16F873/876 devices; always maintain this bit clear.

Legend:

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
- n = Value at POR	'1' = Bit is set	'0' = Bit is cleared x = Bit is unknown

PIC16F87X

2.2.2.5 PIR1 Register

The PIR1 register contains the individual flag bits for the peripheral interrupts.

Note: Interrupt flag bits are set when an interrupt condition occurs, regardless of the state of its corresponding enable bit or the global enable bit, GIE (INTCON<7>). User software should ensure the appropriate interrupt bits are clear prior to enabling an interrupt.

REGISTER 2-5: PIR1 REGISTER (ADDRESS 0Ch)

R/W-0	R/W-0	R-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0
PSPIF ⁽¹⁾	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF
							bit 0
							bit 7

- bit 7 **PSPIF⁽¹⁾:** Parallel Slave Port Read/Write Interrupt Flag bit
 1 = A read or a write operation has taken place (must be cleared in software)
 0 = No read or write has occurred
- bit 6 **ADIF:** A/D Converter Interrupt Flag bit
 1 = An A/D conversion completed
 0 = The A/D conversion is not complete
- bit 5 **RCIF:** USART Receive Interrupt Flag bit
 1 = The USART receive buffer is full
 0 = The USART receive buffer is empty
- bit 4 **TXIF:** USART Transmit Interrupt Flag bit
 1 = The USART transmit buffer is empty
 0 = The USART transmit buffer is full
- bit 3 **SSPIF:** Synchronous Serial Port (SSP) Interrupt Flag
 1 = The SSP interrupt condition has occurred, and must be cleared in software before returning from the Interrupt Service Routine. The conditions that will set this bit are:
- SPI
 - A transmission/reception has taken place.
 - I²C Slave
 - A transmission/reception has taken place.
 - I²C Master
 - A transmission/reception has taken place.
 - The initiated START condition was completed by the SSP module.
 - The initiated STOP condition was completed by the SSP module.
 - The initiated Restart condition was completed by the SSP module.
 - The initiated Acknowledge condition was completed by the SSP module.
 - A START condition occurred while the SSP module was idle (Multi-Master system).
 - A STOP condition occurred while the SSP module was idle (Multi-Master system).
- 0 = No SSP interrupt condition has occurred.
- bit 2 **CCP1IF:** CCP1 Interrupt Flag bit
Capture mode:
 1 = A TMR1 register capture occurred (must be cleared in software)
 0 = No TMR1 register capture occurred
Compare mode:
 1 = A TMR1 register compare match occurred (must be cleared in software)
 0 = No TMR1 register compare match occurred
PWM mode:
 Unused in this mode
- bit 1 **TMR2IF:** TMR2 to PR2 Match Interrupt Flag bit
 1 = TMR2 to PR2 match occurred (must be cleared in software)
 0 = No TMR2 to PR2 match occurred
- bit 0 **TMR1IF:** TMR1 Overflow Interrupt Flag bit
 1 = TMR1 register overflowed (must be cleared in software)
 0 = TMR1 register did not overflow
- Note 1:** PSPIF is reserved on PIC16F873/876 devices; always maintain this bit clear.

Legend:

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
- n = Value at POR	'1' = Bit is set	'0' = Bit is cleared x = Bit is unknown

2.2.2.6 PIE2 Register

The PIE2 register contains the individual enable bits for the CCP2 peripheral interrupt, the SSP bus collision interrupt, and the EEPROM write operation interrupt.

REGISTER 2-6: PIE2 REGISTER (ADDRESS 8Dh)

U-0	R/W-0	U-0	R/W-0	R/W-0	U-0	U-0	R/W-0	
—	Reserved	—	EEIE	BCLIE	—	—	CCP2IE	
bit 7								bit 0

- bit 7 **Unimplemented:** Read as '0'
- bit 6 **Reserved:** Always maintain this bit clear
- bit 5 **Unimplemented:** Read as '0'
- bit 4 **EEIE:** EEPROM Write Operation Interrupt Enable
1 = Enable EE Write Interrupt
0 = Disable EE Write Interrupt
- bit 3 **BCLIE:** Bus Collision Interrupt Enable
1 = Enable Bus Collision Interrupt
0 = Disable Bus Collision Interrupt
- bit 2-1 **Unimplemented:** Read as '0'
- bit 0 **CCP2IE:** CCP2 Interrupt Enable bit
1 = Enables the CCP2 interrupt
0 = Disables the CCP2 interrupt

Legend:

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
- n = Value at POR	'1' = Bit is set	'0' = Bit is cleared x = Bit is unknown

PIC16F87X

2.2.2.7 PIR2 Register

The PIR2 register contains the flag bits for the CCP2 interrupt, the SSP bus collision interrupt and the EEPROM write operation interrupt.

Note: Interrupt flag bits are set when an interrupt condition occurs, regardless of the state of its corresponding enable bit or the global enable bit, GIE (INTCON<7>). User software should ensure the appropriate interrupt flag bits are clear prior to enabling an interrupt.

REGISTER 2-7: PIR2 REGISTER (ADDRESS 0Dh)

U-0	R/W-0	U-0	R/W-0	R/W-0	U-0	U-0	R/W-0	
—	Reserved	—	EEIF	BCLIF	—	—	CCP2IF	
bit 7								bit 0

- bit 7 **Unimplemented:** Read as '0'
- bit 6 **Reserved:** Always maintain this bit clear
- bit 5 **Unimplemented:** Read as '0'
- bit 4 **EEIF:** EEPROM Write Operation Interrupt Flag bit
 1 = The write operation completed (must be cleared in software)
 0 = The write operation is not complete or has not been started
- bit 3 **BCLIF:** Bus Collision Interrupt Flag bit
 1 = A bus collision has occurred in the SSP, when configured for I2C Master mode
 0 = No bus collision has occurred
- bit 2-1 **Unimplemented:** Read as '0'
- bit 0 **CCP2IF:** CCP2 Interrupt Flag bit
Capture mode:
 1 = A TMR1 register capture occurred (must be cleared in software)
 0 = No TMR1 register capture occurred
Compare mode:
 1 = A TMR1 register compare match occurred (must be cleared in software)
 0 = No TMR1 register compare match occurred
PWM mode:
 Unused

Legend:

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
- n = Value at POR	'1' = Bit is set	'0' = Bit is cleared x = Bit is unknown

2.2.2.8 PCON Register

The Power Control (PCON) Register contains flag bits to allow differentiation between a Power-on Reset (POR), a Brown-out Reset (BOR), a Watchdog Reset (WDT), and an external MCLR Reset.

Note: $\overline{\text{BOR}}$ is unknown on POR. It must be set by the user and checked on subsequent RESETS to see if BOR is clear, indicating a brown-out has occurred. The BOR status bit is a “don’t care” and is not predictable if the brown-out circuit is disabled (by clearing the BODEN bit in the configuration word).

REGISTER 2-8: PCON REGISTER (ADDRESS 8Eh)

	U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-1
	—	—	—	—	—	—	$\overline{\text{POR}}$	$\overline{\text{BOR}}$
bit 7							bit 0	

bit 7-2 **Unimplemented:** Read as '0'

bit 1 **POR:** Power-on Reset Status bit

1 = No Power-on Reset occurred

0 = A Power-on Reset occurred (must be set in software after a Power-on Reset occurs)

bit 0 **BOR:** Brown-out Reset Status bit

1 = No Brown-out Reset occurred

0 = A Brown-out Reset occurred (must be set in software after a Brown-out Reset occurs)

Legend:

R = Readable bit

W = Writable bit

U = Unimplemented bit, read as '0'

- n = Value at POR

'1' = Bit is set

'0' = Bit is cleared

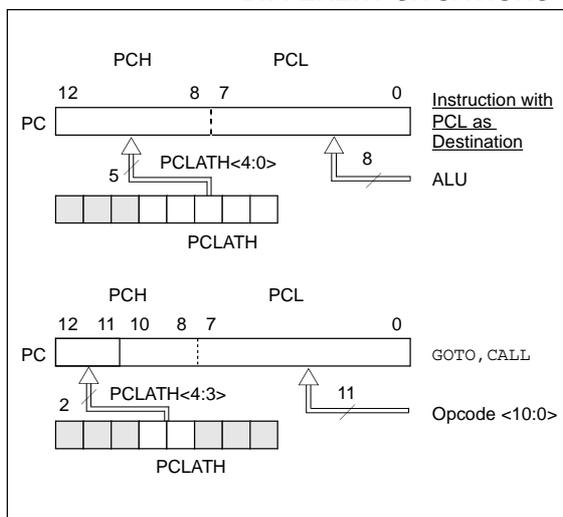
x = Bit is unknown

PIC16F87X

2.3 PCL and PCLATH

The program counter (PC) is 13-bits wide. The low byte comes from the PCL register, which is a readable and writable register. The upper bits (PC<12:8>) are not readable, but are indirectly writable through the PCLATH register. On any RESET, the upper bits of the PC will be cleared. Figure 2-5 shows the two situations for the loading of the PC. The upper example in the figure shows how the PC is loaded on a write to PCL (PCLATH<4:0> → PCH). The lower example in the figure shows how the PC is loaded during a CALL or GOTO instruction (PCLATH<4:3> → PCH).

FIGURE 2-5: LOADING OF PC IN DIFFERENT SITUATIONS



2.3.1 COMPUTED GOTO

A computed GOTO is accomplished by adding an offset to the program counter (ADDWF PCL). When doing a table read using a computed GOTO method, care should be exercised if the table location crosses a PCL memory boundary (each 256 byte block). Refer to the application note, "Implementing a Table Read" (AN556).

2.3.2 STACK

The PIC16F87X family has an 8-level deep x 13-bit wide hardware stack. The stack space is not part of either program or data space and the stack pointer is not readable or writable. The PC is PUSHed onto the stack when a CALL instruction is executed, or an interrupt causes a branch. The stack is POPed in the event of a RETURN, RETLW or a RETFIE instruction execution. PCLATH is not affected by a PUSH or POP operation.

The stack operates as a circular buffer. This means that after the stack has been PUSHed eight times, the ninth push overwrites the value that was stored from the first push. The tenth push overwrites the second push (and so on).

Note 1: There are no status bits to indicate stack overflow or stack underflow conditions.

2: There are no instructions/mnemonics called PUSH or POP. These are actions that occur from the execution of the CALL, RETURN, RETLW and RETFIE instructions, or the vectoring to an interrupt address.

2.4 Program Memory Paging

All PIC16F87X devices are capable of addressing a continuous 8K word block of program memory. The CALL and GOTO instructions provide only 11 bits of address to allow branching within any 2K program memory page. When doing a CALL or GOTO instruction, the upper 2 bits of the address are provided by PCLATH<4:3>. When doing a CALL or GOTO instruction, the user must ensure that the page select bits are programmed so that the desired program memory page is addressed. If a return from a CALL instruction (or interrupt) is executed, the entire 13-bit PC is popped off the stack. Therefore, manipulation of the PCLATH<4:3> bits is not required for the return instructions (which POPs the address from the stack).

Note: The contents of the PCLATH register are unchanged after a RETURN or RETFIE instruction is executed. The user must rewrite the contents of the PCLATH register for any subsequent subroutine calls or GOTO instructions.

Example 2-1 shows the calling of a subroutine in page 1 of the program memory. This example assumes that PCLATH is saved and restored by the Interrupt Service Routine (if interrupts are used).

EXAMPLE 2-1: CALL OF A SUBROUTINE IN PAGE 1 FROM PAGE 0

```

ORG 0x500
BCF PCLATH,4
BSF PCLATH,3 ;Select page 1
               ; (800h-FFFh)

CALL SUB1_P1 ;Call subroutine in
:           ;page 1 (800h-FFFh)
:
ORG 0x900 ;page 1 (800h-FFFh)
SUB1_P1
:           ;called subroutine
               ;page 1 (800h-FFFh)
:
RETURN ;return to
               ;Call subroutine
               ;in page 0
               ; (000h-7FFh)
    
```

2.5 Indirect Addressing, INDF and FSR Registers

The INDF register is not a physical register. Addressing the INDF register will cause indirect addressing.

Indirect addressing is possible by using the INDF register. Any instruction using the INDF register actually accesses the register pointed to by the File Select Register, FSR. Reading the INDF register itself, indirectly (FSR = '0') will read 00h. Writing to the INDF register indirectly results in a no operation (although status bits may be affected). An effective 9-bit address is obtained by concatenating the 8-bit FSR register and the IRP bit (STATUS<7>), as shown in Figure 2-6.

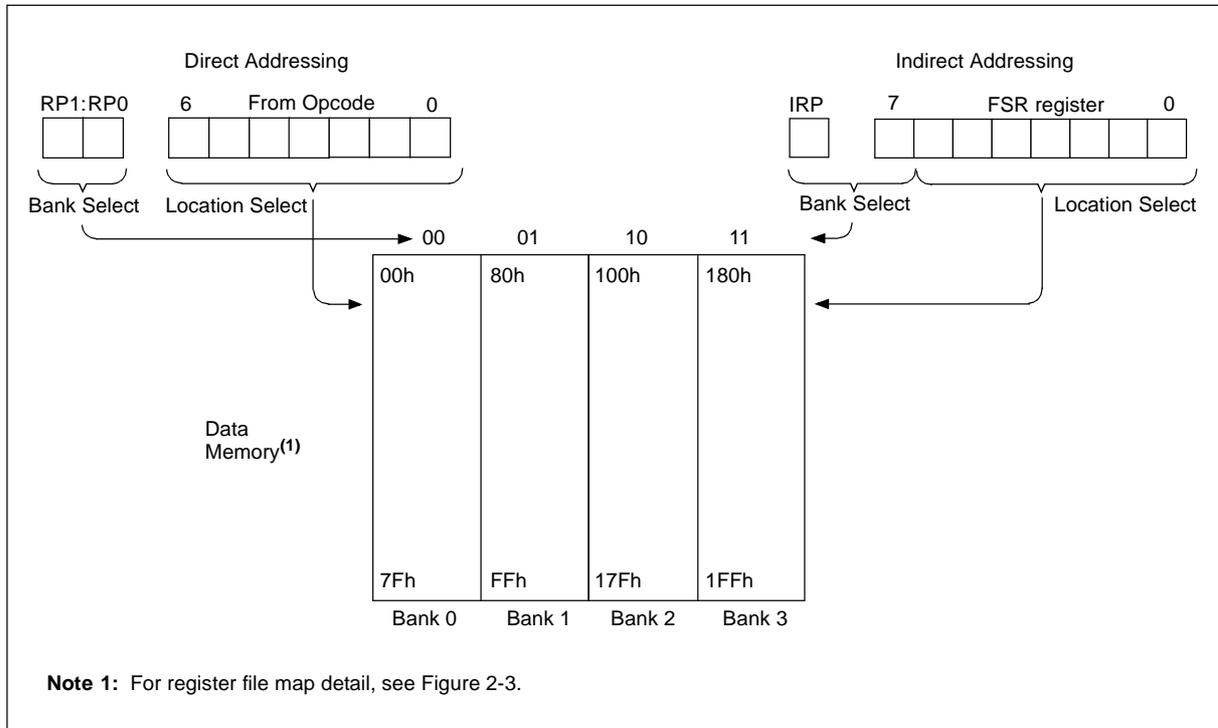
A simple program to clear RAM locations 20h-2Fh using indirect addressing is shown in Example 2-2.

EXAMPLE 2-2: INDIRECT ADDRESSING

```

MOV LW 0x20      ;initialize pointer
MOV WF FSR      ;to RAM
NEXT  CLR F INDF ;clear INDF register
      INC FSR,F  ;inc pointer
      BTFS FSR,4 ;all done?
      GOTO NEXT  ;no clear next
CONTINUE
      :          ;yes continue
    
```

FIGURE 2-6: DIRECT/INDIRECT ADDRESSING



PIC16F87X

NOTES:

3.0 I/O PORTS

Some pins for these I/O ports are multiplexed with an alternate function for the peripheral features on the device. In general, when a peripheral is enabled, that pin may not be used as a general purpose I/O pin.

Additional information on I/O ports may be found in the PICmicro™ Mid-Range Reference Manual, (DS33023).

3.1 PORTA and the TRISA Register

PORTA is a 6-bit wide, bi-directional port. The corresponding data direction register is TRISA. Setting a TRISA bit (= 1) will make the corresponding PORTA pin an input (i.e., put the corresponding output driver in a Hi-Impedance mode). Clearing a TRISA bit (= 0) will make the corresponding PORTA pin an output (i.e., put the contents of the output latch on the selected pin).

Reading the PORTA register reads the status of the pins, whereas writing to it will write to the port latch. All write operations are read-modify-write operations. Therefore, a write to a port implies that the port pins are read, the value is modified and then written to the port data latch.

Pin RA4 is multiplexed with the Timer0 module clock input to become the RA4/T0CKI pin. The RA4/T0CKI pin is a Schmitt Trigger input and an open drain output. All other PORTA pins have TTL input levels and full CMOS output drivers.

Other PORTA pins are multiplexed with analog inputs and analog VREF input. The operation of each pin is selected by clearing/setting the control bits in the ADCON1 register (A/D Control Register1).

Note: On a Power-on Reset, these pins are configured as analog inputs and read as '0'.

The TRISA register controls the direction of the RA pins, even when they are being used as analog inputs. The user must ensure the bits in the TRISA register are maintained set when using them as analog inputs.

EXAMPLE 3-1: INITIALIZING PORTA

```
BCF    STATUS, RP0 ;
BCF    STATUS, RP1 ; Bank0
CLRWF PORTA       ; Initialize PORTA by
                  ; clearing output
                  ; data latches
BSF    STATUS, RP0 ; Select Bank 1
MOVLW 0x06        ; Configure all pins
MOVWF  ADCON1     ; as digital inputs
MOVLW 0xCF        ; Value used to
                  ; initialize data
                  ; direction
MOVWF  TRISA      ; Set RA<3:0> as inputs
                  ; RA<5:4> as outputs
                  ; TRISA<7:6> are always
                  ; read as '0'.
```

FIGURE 3-1: BLOCK DIAGRAM OF RA3:RA0 AND RA5 PINS

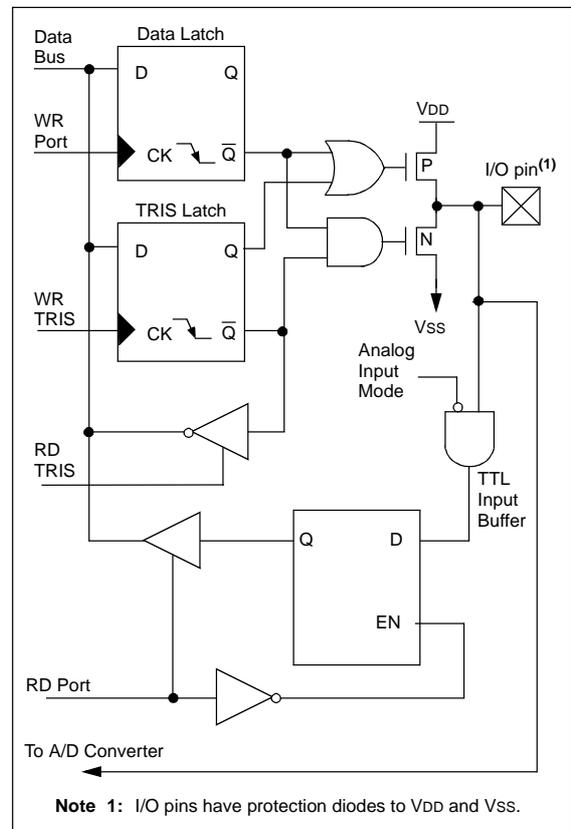
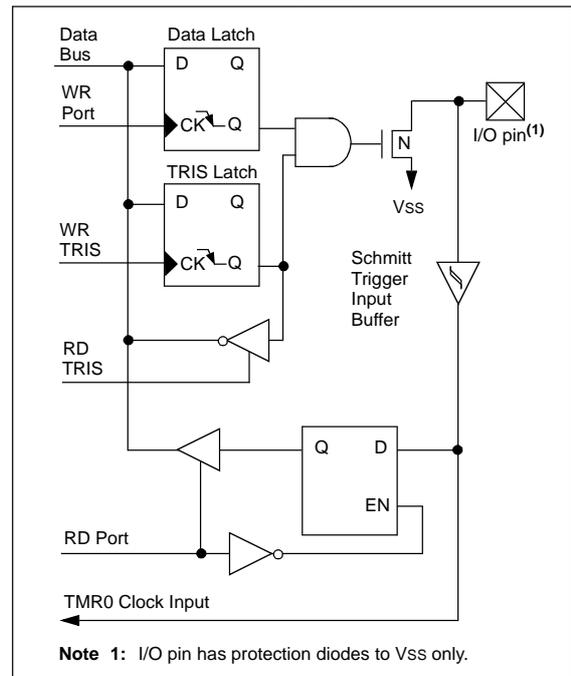


FIGURE 3-2: BLOCK DIAGRAM OF RA4/T0CKI PIN



PIC16F87X

TABLE 3-1: PORTA FUNCTIONS

Name	Bit#	Buffer	Function
RA0/AN0	bit0	TTL	Input/output or analog input.
RA1/AN1	bit1	TTL	Input/output or analog input.
RA2/AN2	bit2	TTL	Input/output or analog input.
RA3/AN3/VREF	bit3	TTL	Input/output or analog input or VREF.
RA4/T0CKI	bit4	ST	Input/output or external clock input for Timer0. Output is open drain type.
RA5/ $\overline{\text{SS}}$ /AN4	bit5	TTL	Input/output or slave select input for synchronous serial port or analog input.

Legend: TTL = TTL input, ST = Schmitt Trigger input

TABLE 3-2: SUMMARY OF REGISTERS ASSOCIATED WITH PORTA

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
05h	PORTA	—	—	RA5	RA4	RA3	RA2	RA1	RA0	--0x 0000	--0u 0000
85h	TRISA	—	—	PORTA Data Direction Register						--11 1111	--11 1111
9Fh	ADCON1	ADFM	—	—	—	PCFG3	PCFG2	PCFG1	PCFG0	--0- 0000	--0- 0000

Legend: x = unknown, u = unchanged, - = unimplemented locations read as '0'.

Shaded cells are not used by PORTA.

Note: When using the SSP module in SPI Slave mode and $\overline{\text{SS}}$ enabled, the A/D converter must be set to one of the following modes, where PCFG3:PCFG0 = 0100, 0101, 011x, 1101, 1110, 1111.

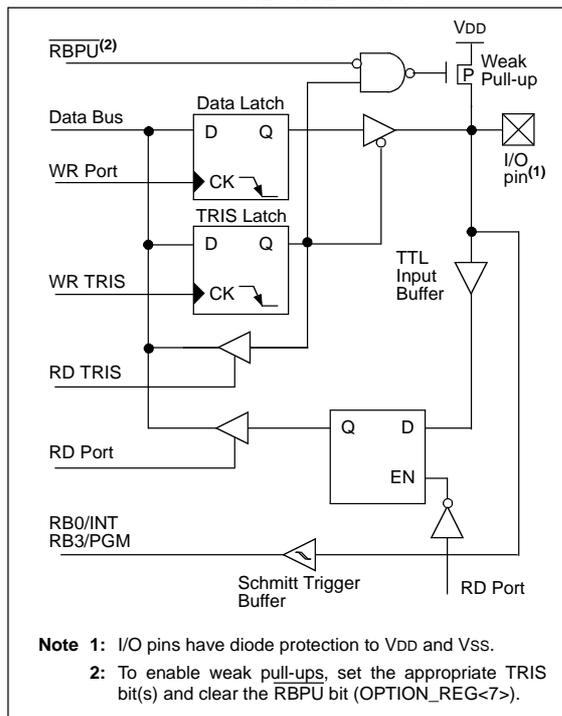
3.2 PORTB and the TRISB Register

PORTB is an 8-bit wide, bi-directional port. The corresponding data direction register is TRISB. Setting a TRISB bit (= 1) will make the corresponding PORTB pin an input (i.e., put the corresponding output driver in a Hi-Impedance mode). Clearing a TRISB bit (= 0) will make the corresponding PORTB pin an output (i.e., put the contents of the output latch on the selected pin).

Three pins of PORTB are multiplexed with the Low Voltage Programming function: RB3/PGM, RB6/PGC and RB7/PGD. The alternate functions of these pins are described in the Special Features Section.

Each of the PORTB pins has a weak internal pull-up. A single control bit can turn on all the pull-ups. This is performed by clearing bit RBPU (OPTION_REG<7>). The weak pull-up is automatically turned off when the port pin is configured as an output. The pull-ups are disabled on a Power-on Reset.

FIGURE 3-3: BLOCK DIAGRAM OF RB3:RB0 PINS



Four of the PORTB pins, RB7:RB4, have an interrupt-on-change feature. Only pins configured as inputs can cause this interrupt to occur (i.e., any RB7:RB4 pin configured as an output is excluded from the interrupt-on-change comparison). The input pins (of RB7:RB4) are compared with the old value latched on the last read of PORTB. The "mismatch" outputs of RB7:RB4 are OR'ed together to generate the RB Port Change Interrupt with flag bit RBIF (INTCON<0>).

This interrupt can wake the device from SLEEP. The user, in the Interrupt Service Routine, can clear the interrupt in the following manner:

- Any read or write of PORTB. This will end the mismatch condition.
- Clear flag bit RBIF.

A mismatch condition will continue to set flag bit RBIF. Reading PORTB will end the mismatch condition and allow flag bit RBIF to be cleared.

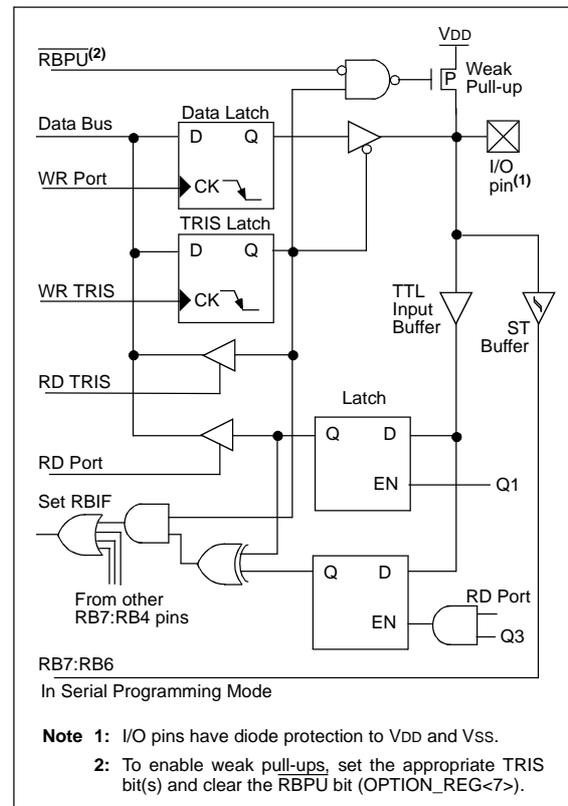
The interrupt-on-change feature is recommended for wake-up on key depression operation and operations where PORTB is only used for the interrupt-on-change feature. Polling of PORTB is not recommended while using the interrupt-on-change feature.

This interrupt-on-mismatch feature, together with software configurable pull-ups on these four pins, allow easy interface to a keypad and make it possible for wake-up on key depression. Refer to the Embedded Control Handbook, "Implementing Wake-up on Key Strokes" (AN552).

RB0/INT is an external interrupt input pin and is configured using the INTEDG bit (OPTION_REG<6>).

RB0/INT is discussed in detail in Section 12.10.1.

FIGURE 3-4: BLOCK DIAGRAM OF RB7:RB4 PINS



PIC16F87X

TABLE 3-3: PORTB FUNCTIONS

Name	Bit#	Buffer	Function
RB0/INT	bit0	TTL/ST ⁽¹⁾	Input/output pin or external interrupt input. Internal software programmable weak pull-up.
RB1	bit1	TTL	Input/output pin. Internal software programmable weak pull-up.
RB2	bit2	TTL	Input/output pin. Internal software programmable weak pull-up.
RB3/PGM ⁽³⁾	bit3	TTL	Input/output pin or programming pin in LVP mode. Internal software programmable weak pull-up.
RB4	bit4	TTL	Input/output pin (with interrupt-on-change). Internal software programmable weak pull-up.
RB5	bit5	TTL	Input/output pin (with interrupt-on-change). Internal software programmable weak pull-up.
RB6/PGC	bit6	TTL/ST ⁽²⁾	Input/output pin (with interrupt-on-change) or In-Circuit Debugger pin. Internal software programmable weak pull-up. Serial programming clock.
RB7/PGD	bit7	TTL/ST ⁽²⁾	Input/output pin (with interrupt-on-change) or In-Circuit Debugger pin. Internal software programmable weak pull-up. Serial programming data.

Legend: TTL = TTL input, ST = Schmitt Trigger input

Note 1: This buffer is a Schmitt Trigger input when configured as the external interrupt.

2: This buffer is a Schmitt Trigger input when used in Serial Programming mode.

3: Low Voltage ICSP Programming (LVP) is enabled by default, which disables the RB3 I/O function. LVP must be disabled to enable RB3 as an I/O pin and allow maximum compatibility to the other 28-pin and 40-pin mid-range devices.

TABLE 3-4: SUMMARY OF REGISTERS ASSOCIATED WITH PORTB

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
06h, 106h	PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	xxxx xxxx	uuuu uuuu
86h, 186h	TRISB	PORTB Data Direction Register								1111 1111	1111 1111
81h, 181h	OPTION_REG	RBPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111

Legend: x = unknown, u = unchanged. Shaded cells are not used by PORTB.

3.3 PORTC and the TRISC Register

PORTC is an 8-bit wide, bi-directional port. The corresponding data direction register is TRISC. Setting a TRISC bit (= 1) will make the corresponding PORTC pin an input (i.e., put the corresponding output driver in a Hi-Impedance mode). Clearing a TRISC bit (= 0) will make the corresponding PORTC pin an output (i.e., put the contents of the output latch on the selected pin).

PORTC is multiplexed with several peripheral functions (Table 3-5). PORTC pins have Schmitt Trigger input buffers.

When the I²C module is enabled, the PORTC<4:3> pins can be configured with normal I²C levels, or with SMBus levels by using the CKE bit (SSPSTAT<6>).

When enabling peripheral functions, care should be taken in defining TRIS bits for each PORTC pin. Some peripherals override the TRIS bit to make a pin an output, while other peripherals override the TRIS bit to make a pin an input. Since the TRIS bit override is in effect while the peripheral is enabled, read-modify-write instructions (BSF, BCF, XORWF) with TRISC as destination, should be avoided. The user should refer to the corresponding peripheral section for the correct TRIS bit settings.

FIGURE 3-5: PORTC BLOCK DIAGRAM (PERIPHERAL OUTPUT OVERRIDE) RC<2:0>, RC<7:5>

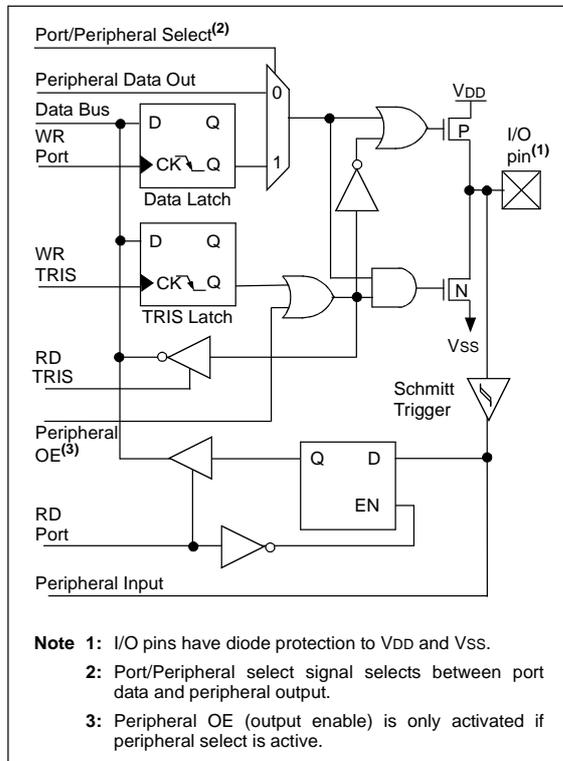
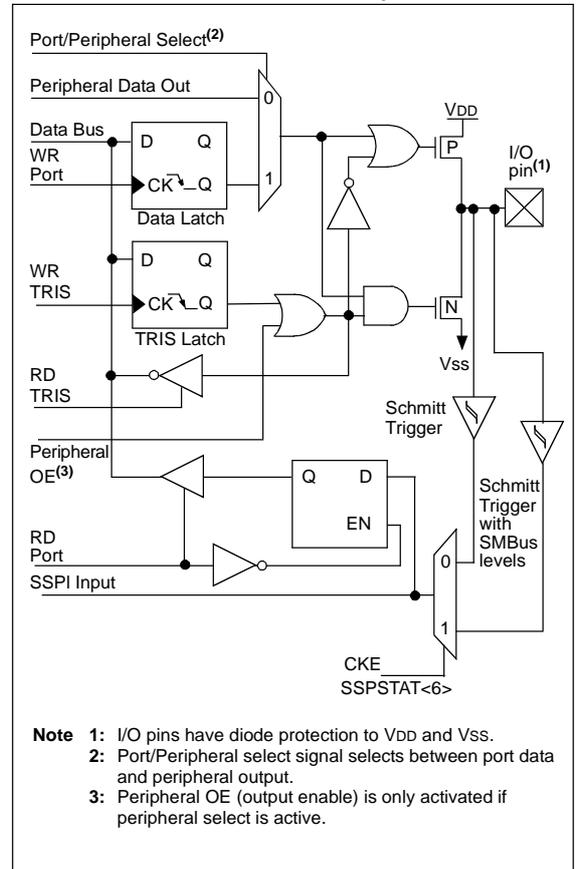


FIGURE 3-6: PORTC BLOCK DIAGRAM (PERIPHERAL OUTPUT OVERRIDE) RC<4:3>



PIC16F87X

TABLE 3-5: PORTC FUNCTIONS

Name	Bit#	Buffer Type	Function
RC0/T1OSO/T1CKI	bit0	ST	Input/output port pin or Timer1 oscillator output/Timer1 clock input.
RC1/T1OSI/CCP2	bit1	ST	Input/output port pin or Timer1 oscillator input or Capture2 input/Compare2 output/PWM2 output.
RC2/CCP1	bit2	ST	Input/output port pin or Capture1 input/Compare1 output/PWM1 output.
RC3/SCK/SCL	bit3	ST	RC3 can also be the synchronous serial clock for both SPI and I ² C modes.
RC4/SDI/SDA	bit4	ST	RC4 can also be the SPI Data In (SPI mode) or data I/O (I ² C mode).
RC5/SDO	bit5	ST	Input/output port pin or Synchronous Serial Port data output.
RC6/TX/CK	bit6	ST	Input/output port pin or USART Asynchronous Transmit or Synchronous Clock.
RC7/RX/DT	bit7	ST	Input/output port pin or USART Asynchronous Receive or Synchronous Data.

Legend: ST = Schmitt Trigger input

TABLE 3-6: SUMMARY OF REGISTERS ASSOCIATED WITH PORTC

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
07h	PORTC	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	xxxx xxxx	uuuu uuuu
87h	TRISC	PORTC Data Direction Register								1111 1111	1111 1111

Legend: x = unknown, u = unchanged

3.4 PORTD and TRISD Registers

PORTD and TRISD are not implemented on the PIC16F873 or PIC16F876.

PORTD is an 8-bit port with Schmitt Trigger input buffers. Each pin is individually configureable as an input or output.

PORTD can be configured as an 8-bit wide microprocessor port (parallel slave port) by setting control bit PSPMODE (TRISE<4>). In this mode, the input buffers are TTL.

FIGURE 3-7: PORTD BLOCK DIAGRAM (IN I/O PORT MODE)

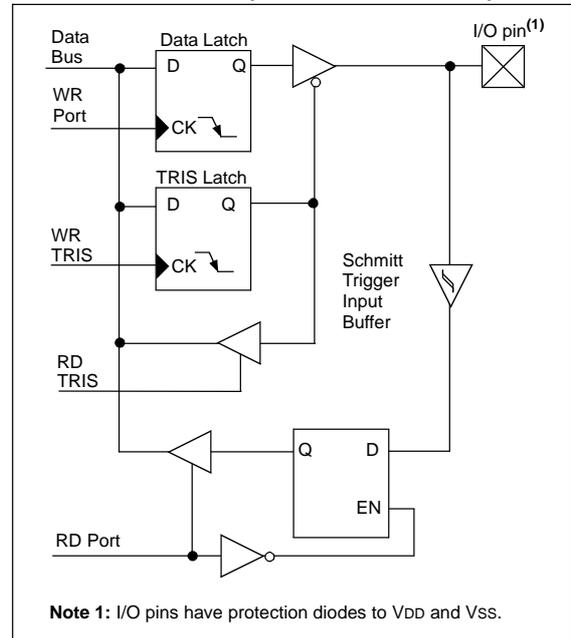


TABLE 3-7: PORTD FUNCTIONS

Name	Bit#	Buffer Type	Function
RD0/PSP0	bit0	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit0.
RD1/PSP1	bit1	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit1.
RD2/PSP2	bit2	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit2.
RD3/PSP3	bit3	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit3.
RD4/PSP4	bit4	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit4.
RD5/PSP5	bit5	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit5.
RD6/PSP6	bit6	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit6.
RD7/PSP7	bit7	ST/TTL ⁽¹⁾	Input/output port pin or parallel slave port bit7.

Legend: ST = Schmitt Trigger input, TTL = TTL input

Note 1: Input buffers are Schmitt Triggers when in I/O mode and TTL buffers when in Parallel Slave Port mode.

TABLE 3-8: SUMMARY OF REGISTERS ASSOCIATED WITH PORTD

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
08h	PORTD	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	xxxx xxxx	uuuu uuuu
88h	TRISD	PORTD Data Direction Register								1111 1111	1111 1111
89h	TRISE	IBF	OBF	IBOV	PSPMODE	—	PORTE Data Direction Bits			0000 -111	0000 -111

Legend: x = unknown, u = unchanged, - = unimplemented, read as '0'. Shaded cells are not used by PORTD.

PIC16F87X

3.5 PORTE and TRISE Register

PORTE and TRISE are not implemented on the PIC16F873 or PIC16F876.

PORTE has three pins ($RE0/\overline{RD}/AN5$, $RE1/\overline{WR}/AN6$, and $RE2/\overline{CS}/AN7$) which are individually configureable as inputs or outputs. These pins have Schmitt Trigger input buffers.

The PORTE pins become the I/O control inputs for the microprocessor port when bit PSMODE ($TRISE<4>$) is set. In this mode, the user must make certain that the $TRISE<2:0>$ bits are set, and that the pins are configured as digital inputs. Also ensure that ADCON1 is configured for digital I/O. In this mode, the input buffers are TTL.

Register 3-1 shows the TRISE register, which also controls the parallel slave port operation.

PORTE pins are multiplexed with analog inputs. When selected for analog input, these pins will read as '0's.

TRISE controls the direction of the RE pins, even when they are being used as analog inputs. The user must make sure to keep the pins configured as inputs when using them as analog inputs.

Note: On a Power-on Reset, these pins are configured as analog inputs, and read as '0'.

FIGURE 3-8: PORTE BLOCK DIAGRAM (IN I/O PORT MODE)

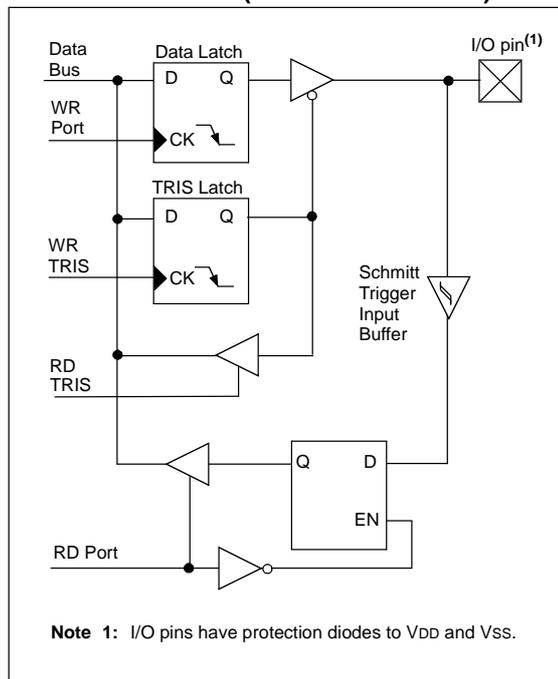


TABLE 3-9: PORTE FUNCTIONS

Name	Bit#	Buffer Type	Function
$RE0/\overline{RD}/AN5$	bit0	ST/TTL ⁽¹⁾	I/O port pin or read control input in Parallel Slave Port mode or analog input: \overline{RD} 1 = Idle 0 = Read operation. Contents of PORTD register are output to PORTD I/O pins (if chip selected)
$RE1/\overline{WR}/AN6$	bit1	ST/TTL ⁽¹⁾	I/O port pin or write control input in Parallel Slave Port mode or analog input: \overline{WR} 1 = Idle 0 = Write operation. Value of PORTD I/O pins is latched into PORTD register (if chip selected)
$RE2/\overline{CS}/AN7$	bit2	ST/TTL ⁽¹⁾	I/O port pin or chip select control input in Parallel Slave Port mode or analog input: \overline{CS} 1 = Device is not selected 0 = Device is selected

Legend: ST = Schmitt Trigger input, TTL = TTL input

Note 1: Input buffers are Schmitt Triggers when in I/O mode and TTL buffers when in Parallel Slave Port mode.

TABLE 3-10: SUMMARY OF REGISTERS ASSOCIATED WITH PORTE

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
09h	PORTE	—	—	—	—	—	RE2	RE1	RE0	---- -xxx	---- -uuu
89h	TRISE	IBF	OBF	IBOV	PSPMODE	—	PORTE Data Direction Bits			0000 -111	0000 -111
9Fh	ADCON1	ADFM	—	—	—	PCFG3	PCFG2	PCFG1	PCFG0	--0- 0000	--0- 0000

Legend: x = unknown, u = unchanged, - = unimplemented, read as '0'. Shaded cells are not used by PORTE.

REGISTER 3-1: TRISE REGISTER (ADDRESS 89h)

R-0	R-0	R/W-0	R/W-0	U-0	R/W-1	R/W-1	R/W-1
IBF	OBF	IBOV	PSPMODE	—	Bit2	Bit1	Bit0
bit 7							bit 0

Parallel Slave Port Status/Control Bits:

- bit 7 **IBF:** Input Buffer Full Status bit
 1 = A word has been received and is waiting to be read by the CPU
 0 = No word has been received
- bit 6 **OBF:** Output Buffer Full Status bit
 1 = The output buffer still holds a previously written word
 0 = The output buffer has been read
- bit 5 **IBOV:** Input Buffer Overflow Detect bit (in Microprocessor mode)
 1 = A write occurred when a previously input word has not been read (must be cleared in software)
 0 = No overflow occurred
- bit 4 **PSPMODE:** Parallel Slave Port Mode Select bit
 1 = PORTD functions in Parallel Slave Port mode
 0 = PORTD functions in general purpose I/O mode
- bit 3 **Unimplemented:** Read as '0'
- PORTE Data Direction Bits:**
- bit 2 **Bit2:** Direction Control bit for pin RE2/ $\overline{\text{CS}}$ /AN7
 1 = Input
 0 = Output
- bit 1 **Bit1:** Direction Control bit for pin RE1/ $\overline{\text{WR}}$ /AN6
 1 = Input
 0 = Output
- bit 0 **Bit0:** Direction Control bit for pin RE0/ $\overline{\text{RD}}$ /AN5
 1 = Input
 0 = Output

Legend:

R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
- n = Value at POR	'1' = Bit is set	'0' = Bit is cleared x = Bit is unknown

7.0 TIMER2 MODULE

Timer2 is an 8-bit timer with a prescaler and a postscaler. It can be used as the PWM time-base for the PWM mode of the CCP module(s). The TMR2 register is readable and writable, and is cleared on any device RESET.

The input clock ($F_{osc}/4$) has a prescale option of 1:1, 1:4, or 1:16, selected by control bits T2CKPS1:T2CKPS0 (T2CON<1:0>).

The Timer2 module has an 8-bit period register, PR2. Timer2 increments from 00h until it matches PR2 and then resets to 00h on the next increment cycle. PR2 is a readable and writable register. The PR2 register is initialized to FFh upon RESET.

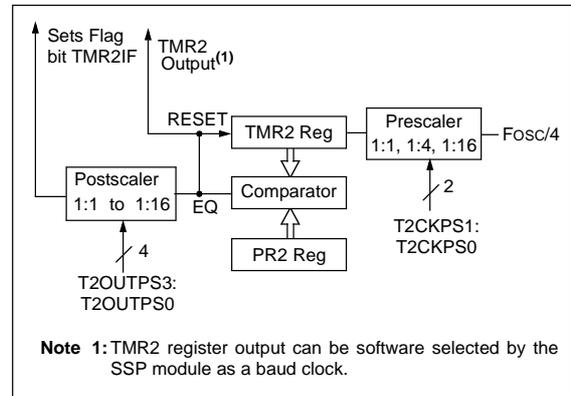
The match output of TMR2 goes through a 4-bit postscaler (which gives a 1:1 to 1:16 scaling inclusive) to generate a TMR2 interrupt (latched in flag bit TMR2IF, (PIR1<1>)).

Timer2 can be shut-off by clearing control bit TMR2ON (T2CON<2>), to minimize power consumption.

Register 7-1 shows the Timer2 control register.

Additional information on timer modules is available in the PICmicro™ Mid-Range MCU Family Reference Manual (DS33023).

FIGURE 7-1: TIMER2 BLOCK DIAGRAM



REGISTER 7-1: T2CON: TIMER2 CONTROL REGISTER (ADDRESS 12h)

	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
bit 7	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0
								bit 0

- bit 7 **Unimplemented:** Read as '0'
- bit 6-3 **TOUTPS3:TOUTPS0:** Timer2 Output Postscale Select bits
 0000 = 1:1 Postscale
 0001 = 1:2 Postscale
 0010 = 1:3 Postscale
 •
 •
 •
 1111 = 1:16 Postscale
- bit 2 **TMR2ON:** Timer2 On bit
 1 = Timer2 is on
 0 = Timer2 is off
- bit 1-0 **T2CKPS1:T2CKPS0:** Timer2 Clock Prescale Select bits
 00 = Prescaler is 1
 01 = Prescaler is 4
 1x = Prescaler is 16

Legend:		
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
- n = Value at POR	'1' = Bit is set	'0' = Bit is cleared x = Bit is unknown

PIC16F87X

7.1 Timer2 Prescaler and Postscaler

The prescaler and postscaler counters are cleared when any of the following occurs:

- a write to the TMR2 register
- a write to the T2CON register
- any device RESET (POR, $\overline{\text{MCLR}}$ Reset, WDT Reset, or BOR)

TMR2 is not cleared when T2CON is written.

7.2 Output of TMR2

The output of TMR2 (before the postscaler) is fed to the SSP module, which optionally uses it to generate shift clock.

TABLE 7-1: REGISTERS ASSOCIATED WITH TIMER2 AS A TIMER/COUNTER

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
0Bh,8Bh, 10Bh,18Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF ⁽¹⁾	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE ⁽¹⁾	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
11h	TMR2	Timer2 Module's Register								0000 0000	0000 0000
12h	T2CON	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	-000 0000
92h	PR2	Timer2 Period Register								1111 1111	1111 1111

Legend: x = unknown, u = unchanged, - = unimplemented, read as '0'. Shaded cells are not used by the Timer2 module.

Note 1: Bits PSPIE and PSPIF are reserved on the PIC16F873/876; always maintain these bits clear.

8.0 CAPTURE/COMPARE/PWM MODULES

Each Capture/Compare/PWM (CCP) module contains a 16-bit register which can operate as a:

- 16-bit Capture register
- 16-bit Compare register
- PWM Master/Slave Duty Cycle register

Both the CCP1 and CCP2 modules are identical in operation, with the exception being the operation of the special event trigger. Table 8-1 and Table 8-2 show the resources and interactions of the CCP module(s). In the following sections, the operation of a CCP module is described with respect to CCP1. CCP2 operates the same as CCP1, except where noted.

CCP1 Module:

Capture/Compare/PWM Register1 (CCPR1) is comprised of two 8-bit registers: CCPR1L (low byte) and CCPR1H (high byte). The CCP1CON register controls the operation of CCP1. The special event trigger is generated by a compare match and will reset Timer1.

CCP2 Module:

Capture/Compare/PWM Register2 (CCPR2) is comprised of two 8-bit registers: CCPR2L (low byte) and CCPR2H (high byte). The CCP2CON register controls the operation of CCP2. The special event trigger is generated by a compare match and will reset Timer1 and start an A/D conversion (if the A/D module is enabled).

Additional information on CCP modules is available in the PICmicro™ Mid-Range MCU Family Reference Manual (DS33023) and in application note AN594, "Using the CCP Modules" (DS00594).

TABLE 8-1: CCP MODE - TIMER RESOURCES REQUIRED

CCP Mode	Timer Resource
Capture	Timer1
Compare	Timer1
PWM	Timer2

TABLE 8-2: INTERACTION OF TWO CCP MODULES

CCPx Mode	CCPy Mode	Interaction
Capture	Capture	Same TMR1 time-base
Capture	Compare	The compare should be configured for the special event trigger, which clears TMR1
Compare	Compare	The compare(s) should be configured for the special event trigger, which clears TMR1
PWM	PWM	The PWMs will have the same frequency and update rate (TMR2 interrupt)
PWM	Capture	None
PWM	Compare	None

PIC16F87X

REGISTER 8-1: CCP1CON REGISTER/CCP2CON REGISTER (ADDRESS: 17h/1Dh)

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	
—	—	CCPxX	CCPxY	CCPxM3	CCPxM2	CCPxM1	CCPxM0	
bit 7								bit 0

bit 7-6 **Unimplemented:** Read as '0'

bit 5-4 **CCPxX:CCPxY:** PWM Least Significant bits

Capture mode:

Unused

Compare mode:

Unused

PWM mode:

These bits are the two LSbs of the PWM duty cycle. The eight MSbs are found in CCPRxL.

bit 3-0 **CCPxM3:CCPxM0:** CCPx Mode Select bits

0000 = Capture/Compare/PWM disabled (resets CCPx module)

0100 = Capture mode, every falling edge

0101 = Capture mode, every rising edge

0110 = Capture mode, every 4th rising edge

0111 = Capture mode, every 16th rising edge

1000 = Compare mode, set output on match (CCPxIF bit is set)

1001 = Compare mode, clear output on match (CCPxIF bit is set)

1010 = Compare mode, generate software interrupt on match (CCPxIF bit is set, CCPx pin is unaffected)

1011 = Compare mode, trigger special event (CCPxIF bit is set, CCPx pin is unaffected); CCP1 resets TMR1; CCP2 resets TMR1 and starts an A/D conversion (if A/D module is enabled)

11xx = PWM mode

Legend:

R = Readable bit

W = Writable bit

U = Unimplemented bit, read as '0'

- n = Value at POR

'1' = Bit is set

'0' = Bit is cleared

x = Bit is unknown

8.1 Capture Mode

In Capture mode, CCPR1H:CCPR1L captures the 16-bit value of the TMR1 register when an event occurs on pin RC2/CCP1. An event is defined as one of the following:

- Every falling edge
- Every rising edge
- Every 4th rising edge
- Every 16th rising edge

The type of event is configured by control bits CCP1M3:CCP1M0 (CCPxCON<3:0>). When a capture is made, the interrupt request flag bit CCP1IF (PIR1<2>) is set. The interrupt flag must be cleared in software. If another capture occurs before the value in register CCPR1 is read, the old captured value is overwritten by the new value.

8.1.1 CCP PIN CONFIGURATION

In Capture mode, the RC2/CCP1 pin should be configured as an input by setting the TRISC<2> bit.

Note: If the RC2/CCP1 pin is configured as an output, a write to the port can cause a capture condition.

8.1.2 TIMER1 MODE SELECTION

Timer1 must be running in Timer mode, or Synchronized Counter mode, for the CCP module to use the capture feature. In Asynchronous Counter mode, the capture operation may not work.

8.1.3 SOFTWARE INTERRUPT

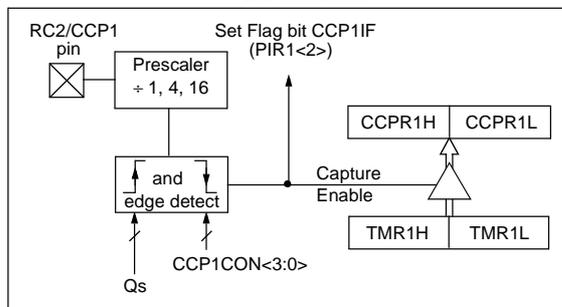
When the Capture mode is changed, a false capture interrupt may be generated. The user should keep bit CCP1IE (PIE1<2>) clear to avoid false interrupts and should clear the flag bit CCP1IF, following any such change in operating mode.

8.1.4 CCP PRESCALER

There are four prescaler settings, specified by bits CCP1M3:CCP1M0. Whenever the CCP module is turned off, or the CCP module is not in Capture mode, the prescaler counter is cleared. Any RESET will clear the prescaler counter.

Switching from one capture prescaler to another may generate an interrupt. Also, the prescaler counter will not be cleared, therefore, the first capture may be from a non-zero prescaler. Example 8-1 shows the recommended method for switching between capture prescalers. This example also clears the prescaler counter and will not generate the "false" interrupt.

FIGURE 8-1: CAPTURE MODE OPERATION BLOCK DIAGRAM



EXAMPLE 8-1: CHANGING BETWEEN CAPTURE PRESCALERS

```

CLRf   CCP1CON      ; Turn CCP module off
MOVLW  NEW_CAPT_PS ; Load the W reg with
                    ; the new prescaler
MOVWF  CCP1CON      ; move value and CCP ON
                    ; Load CCP1CON with this
                    ; value
    
```

PIC16F87X

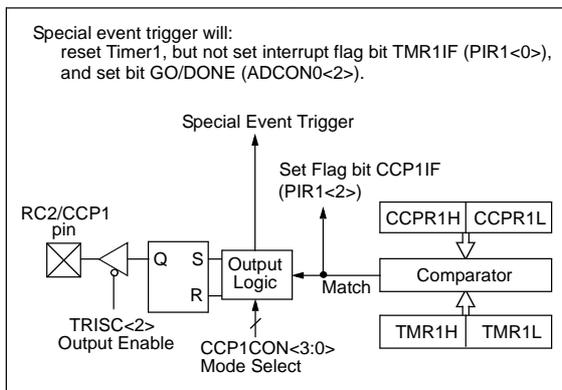
8.2 Compare Mode

In Compare mode, the 16-bit CCPR1 register value is constantly compared against the TMR1 register pair value. When a match occurs, the RC2/CCP1 pin is:

- Driven high
- Driven low
- Remains unchanged

The action on the pin is based on the value of control bits CCP1M3:CCP1M0 (CCP1CON<3:0>). At the same time, interrupt flag bit CCP1IF is set.

FIGURE 8-2: COMPARE MODE OPERATION BLOCK DIAGRAM



8.2.1 CCP PIN CONFIGURATION

The user must configure the RC2/CCP1 pin as an output by clearing the TRISC<2> bit.

Note: Clearing the CCP1CON register will force the RC2/CCP1 compare output latch to the default low level. This is not the PORTC I/O data latch.

8.2.2 TIMER1 MODE SELECTION

Timer1 must be running in Timer mode, or Synchronized Counter mode, if the CCP module is using the compare feature. In Asynchronous Counter mode, the compare operation may not work.

8.2.3 SOFTWARE INTERRUPT MODE

When Generate Software Interrupt mode is chosen, the CCP1 pin is not affected. The CCP1IF bit is set, causing a CCP interrupt (if enabled).

8.2.4 SPECIAL EVENT TRIGGER

In this mode, an internal hardware trigger is generated, which may be used to initiate an action.

The special event trigger output of CCP1 resets the TMR1 register pair. This allows the CCPR1 register to effectively be a 16-bit programmable period register for Timer1.

The special event trigger output of CCP2 resets the TMR1 register pair and starts an A/D conversion (if the A/D module is enabled).

Note: The special event trigger from the CCP1 and CCP2 modules will not set interrupt flag bit TMR1IF (PIR1<0>).

8.3 PWM Mode (PWM)

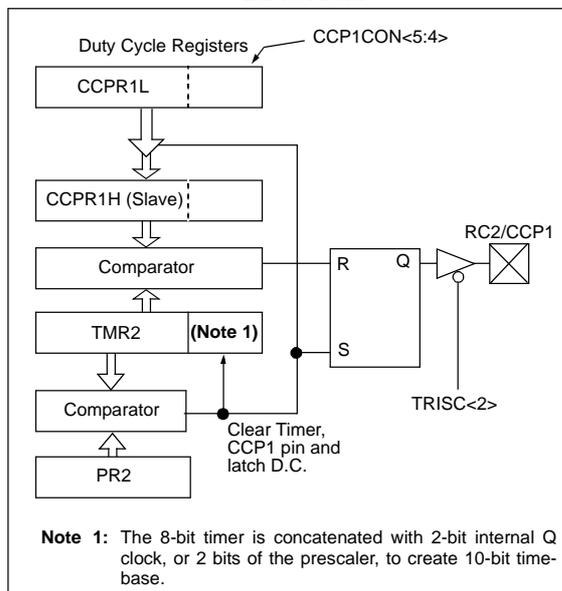
In Pulse Width Modulation mode, the CCPx pin produces up to a 10-bit resolution PWM output. Since the CCP1 pin is multiplexed with the PORTC data latch, the TRISC<2> bit must be cleared to make the CCP1 pin an output.

Note: Clearing the CCP1CON register will force the CCP1 PWM output latch to the default low level. This is not the PORTC I/O data latch.

Figure 8-3 shows a simplified block diagram of the CCP module in PWM mode.

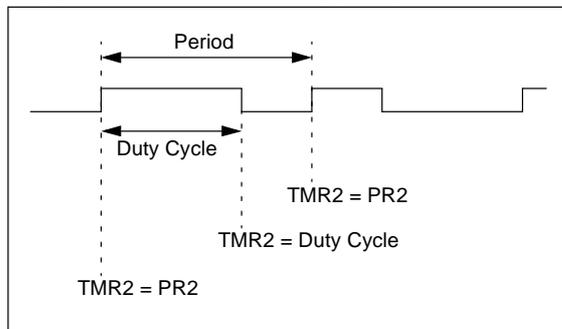
For a step-by-step procedure on how to set up the CCP module for PWM operation, see Section 8.3.3.

FIGURE 8-3: SIMPLIFIED PWM BLOCK DIAGRAM



A PWM output (Figure 8-4) has a time-base (period) and a time that the output stays high (duty cycle). The frequency of the PWM is the inverse of the period (1/period).

FIGURE 8-4: PWM OUTPUT



8.3.1 PWM PERIOD

The PWM period is specified by writing to the PR2 register. The PWM period can be calculated using the following formula:

$$\text{PWM period} = [(PR2) + 1] \cdot 4 \cdot T_{osc} \cdot (\text{TMR2 prescale value})$$

PWM frequency is defined as $1 / [\text{PWM period}]$.

When TMR2 is equal to PR2, the following three events occur on the next increment cycle:

- TMR2 is cleared
- The CCP1 pin is set (exception: if PWM duty cycle = 0%, the CCP1 pin will not be set)
- The PWM duty cycle is latched from CCPR1L into CCPR1H

Note: The Timer2 postscaler (see Section 7.1) is not used in the determination of the PWM frequency. The postscaler could be used to have a servo update rate at a different frequency than the PWM output.

8.3.2 PWM DUTY CYCLE

The PWM duty cycle is specified by writing to the CCPR1L register and to the CCP1CON<5:4> bits. Up to 10-bit resolution is available. The CCPR1L contains the eight MSBs and the CCP1CON<5:4> contains the two LSBs. This 10-bit value is represented by CCPR1L:CCP1CON<5:4>. The following equation is used to calculate the PWM duty cycle in time:

$$\text{PWM duty cycle} = (\text{CCPR1L:CCP1CON<5:4>}) \cdot T_{osc} \cdot (\text{TMR2 prescale value})$$

CCPR1L and CCP1CON<5:4> can be written to at any time, but the duty cycle value is not latched into CCPR1H until after a match between PR2 and TMR2 occurs (i.e., the period is complete). In PWM mode, CCPR1H is a read-only register.

The CCPR1H register and a 2-bit internal latch are used to double buffer the PWM duty cycle. This double buffering is essential for glitch-free PWM operation.

When the CCPR1H and 2-bit latch match TMR2, concatenated with an internal 2-bit Q clock, or 2 bits of the TMR2 prescaler, the CCP1 pin is cleared.

The maximum PWM resolution (bits) for a given PWM frequency is given by the formula:

$$\text{Resolution} = \frac{\log\left(\frac{F_{osc}}{F_{PWM}}\right)}{\log(2)} \text{ bits}$$

Note: If the PWM duty cycle value is longer than the PWM period, the CCP1 pin will not be cleared.

PIC16F87X

8.3.3 SETUP FOR PWM OPERATION

The following steps should be taken when configuring the CCP module for PWM operation:

1. Set the PWM period by writing to the PR2 register.
2. Set the PWM duty cycle by writing to the CCPR1L register and CCP1CON<5:4> bits.
3. Make the CCP1 pin an output by clearing the TRISC<2> bit.
4. Set the TMR2 prescale value and enable Timer2 by writing to T2CON.
5. Configure the CCP1 module for PWM operation.

TABLE 8-3: EXAMPLE PWM FREQUENCIES AND RESOLUTIONS AT 20 MHz

PWM Frequency	1.22 kHz	4.88 kHz	19.53 kHz	78.12kHz	156.3 kHz	208.3 kHz
Timer Prescaler (1, 4, 16)	16	4	1	1	1	1
PR2 Value	0xFFh	0xFFh	0xFFh	0x3Fh	0x1Fh	0x17h
Maximum Resolution (bits)	10	10	10	8	7	5.5

TABLE 8-4: REGISTERS ASSOCIATED WITH CAPTURE, COMPARE, AND TIMER1

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
0Bh,8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF ⁽¹⁾	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
0Dh	PIR2	—	—	—	—	—	—	—	CCP2IF	---- --0	---- --0
8Ch	PIE1	PSPIE ⁽¹⁾	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
8Dh	PIE2	—	—	—	—	—	—	—	CCP2IE	---- --0	---- --0
87h	TRISC	PORTC Data Direction Register								1111 1111	1111 1111
0Eh	TMR1L	Holding Register for the Least Significant Byte of the 16-bit TMR1 Register								xxxx xxxx	uuuu uuuu
0Fh	TMR1H	Holding Register for the Most Significant Byte of the 16-bit TMR1 Register								xxxx xxxx	uuuu uuuu
10h	T1CON	—	—	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	TMR1CS	TMR1ON	--00 0000	--uu uuuu
15h	CCPR1L	Capture/Compare/PWM Register1 (LSB)								xxxx xxxx	uuuu uuuu
16h	CCPR1H	Capture/Compare/PWM Register1 (MSB)								xxxx xxxx	uuuu uuuu
17h	CCP1CON	—	—	CCP1X	CCP1Y	CCP1M3	CCP1M2	CCP1M1	CCP1M0	--00 0000	--00 0000
1Bh	CCPR2L	Capture/Compare/PWM Register2 (LSB)								xxxx xxxx	uuuu uuuu
1Ch	CCPR2H	Capture/Compare/PWM Register2 (MSB)								xxxx xxxx	uuuu uuuu
1Dh	CCP2CON	—	—	CCP2X	CCP2Y	CCP2M3	CCP2M2	CCP2M1	CCP2M0	--00 0000	--00 0000

Legend: x = unknown, u = unchanged, - = unimplemented, read as '0'. Shaded cells are not used by Capture and Timer1.

Note 1: The PSP is not implemented on the PIC16F873/876; always maintain these bits clear.

PIC16F87X

TABLE 8-5: REGISTERS ASSOCIATED WITH PWM AND TIMER2

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other RESETS
0Bh,8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	TOIE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF ⁽¹⁾	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
0Dh	PIR2	—	—	—	—	—	—	—	CCP2IF	---- --0	---- --0
8Ch	PIE1	PSPIE ⁽¹⁾	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
8Dh	PIE2	—	—	—	—	—	—	—	CCP2IE	---- --0	---- --0
87h	TRISC	PORTC Data Direction Register								1111 1111	1111 1111
11h	TMR2	Timer2 Module's Register								0000 0000	0000 0000
92h	PR2	Timer2 Module's Period Register								1111 1111	1111 1111
12h	T2CON	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	-000 0000
15h	CCPR1L	Capture/Compare/PWM Register1 (LSB)								xxxx xxxx	uuuu uuuu
16h	CCPR1H	Capture/Compare/PWM Register1 (MSB)								xxxx xxxx	uuuu uuuu
17h	CCP1CON	—	—	CCP1X	CCP1Y	CCP1M3	CCP1M2	CCP1M1	CCP1M0	--00 0000	--00 0000
1Bh	CCPR2L	Capture/Compare/PWM Register2 (LSB)								xxxx xxxx	uuuu uuuu
1Ch	CCPR2H	Capture/Compare/PWM Register2 (MSB)								xxxx xxxx	uuuu uuuu
1Dh	CCP2CON	—	—	CCP2X	CCP2Y	CCP2M3	CCP2M2	CCP2M1	CCP2M0	--00 0000	--00 0000

Legend: x = unknown, u = unchanged, - = unimplemented, read as '0'. Shaded cells are not used by PWM and Timer2.

Note 1: Bits PSPIE and PSPIF are reserved on the PIC16F873/876; always maintain these bits clear.

11.0 ANALOG-TO-DIGITAL CONVERTER (A/D) MODULE

The Analog-to-Digital (A/D) Converter module has five inputs for the 28-pin devices and eight for the other devices.

The analog input charges a sample and hold capacitor. The output of the sample and hold capacitor is the input into the converter. The converter then generates a digital result of this analog level via successive approximation. The A/D conversion of the analog input signal results in a corresponding 10-bit digital number. The A/D module has high and low voltage reference input that is software selectable to some combination of V_{DD}, V_{SS}, RA2, or RA3.

The A/D converter has a unique feature of being able to operate while the device is in SLEEP mode. To operate in SLEEP, the A/D clock must be derived from the A/D's internal RC oscillator.

The A/D module has four registers. These registers are:

- A/D Result High Register (ADRESH)
- A/D Result Low Register (ADRESL)
- A/D Control Register0 (ADCON0)
- A/D Control Register1 (ADCON1)

The ADCON0 register, shown in Register 11-1, controls the operation of the A/D module. The ADCON1 register, shown in Register 11-2, configures the functions of the port pins. The port pins can be configured as analog inputs (RA3 can also be the voltage reference), or as digital I/O.

Additional information on using the A/D module can be found in the PICmicro™ Mid-Range MCU Family Reference Manual (DS33023).

REGISTER 11-1: ADCON0 REGISTER (ADDRESS: 1Fh)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0
ADCS1	ADCS0	CHS2	CHS1	CHS0	GO/DONE	—	ADON
bit 7							bit 0

- bit 7-6 **ADCS1:ADCS0:** A/D Conversion Clock Select bits
 00 = FOSC/2
 01 = FOSC/8
 10 = FOSC/32
 11 = FRC (clock derived from the internal A/D module RC oscillator)
- bit 5-3 **CHS2:CHS0:** Analog Channel Select bits
 000 = channel 0, (RA0/AN0)
 001 = channel 1, (RA1/AN1)
 010 = channel 2, (RA2/AN2)
 011 = channel 3, (RA3/AN3)
 100 = channel 4, (RA5/AN4)
 101 = channel 5, (RE0/AN5)⁽¹⁾
 110 = channel 6, (RE1/AN6)⁽¹⁾
 111 = channel 7, (RE2/AN7)⁽¹⁾
- bit 2 **GO/DONE:** A/D Conversion Status bit
If ADON = 1:
 1 = A/D conversion in progress (setting this bit starts the A/D conversion)
 0 = A/D conversion not in progress (this bit is automatically cleared by hardware when the A/D conversion is complete)
- bit 1 **Unimplemented:** Read as '0'
- bit 0 **ADON:** A/D On bit
 1 = A/D converter module is operating
 0 = A/D converter module is shut-off and consumes no operating current

Note 1: These channels are not available on PIC16F873/876 devices.

Legend:			
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
- n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown

PIC16F87X

REGISTER 11-2: ADCON1 REGISTER (ADDRESS 9Fh)

U-0	U-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
ADFM	—	—	—	PCFG3	PCFG2	PCFG1	PCFG0
bit 7				bit 0			

- bit 7 **ADFM:** A/D Result Format Select bit
1 = Right justified. 6 Most Significant bits of ADRESH are read as '0'.
0 = Left justified. 6 Least Significant bits of ADRESL are read as '0'.
- bit 6-4 **Unimplemented:** Read as '0'
- bit 3-0 **PCFG3:PCFG0:** A/D Port Configuration Control bits:

PCFG3: PCFG0	AN7 ⁽¹⁾ RE2	AN6 ⁽¹⁾ RE1	AN5 ⁽¹⁾ RE0	AN4 RA5	AN3 RA3	AN2 RA2	AN1 RA1	AN0 RA0	VREF+	VREF-	CHAN/ Refs ⁽²⁾
0000	A	A	A	A	A	A	A	A	VDD	VSS	8/0
0001	A	A	A	A	VREF+	A	A	A	RA3	VSS	7/1
0010	D	D	D	A	A	A	A	A	VDD	VSS	5/0
0011	D	D	D	A	VREF+	A	A	A	RA3	VSS	4/1
0100	D	D	D	D	A	D	A	A	VDD	VSS	3/0
0101	D	D	D	D	VREF+	D	A	A	RA3	VSS	2/1
011x	D	D	D	D	D	D	D	D	VDD	VSS	0/0
1000	A	A	A	A	VREF+	VREF-	A	A	RA3	RA2	6/2
1001	D	D	A	A	A	A	A	A	VDD	VSS	6/0
1010	D	D	A	A	VREF+	A	A	A	RA3	VSS	5/1
1011	D	D	A	A	VREF+	VREF-	A	A	RA3	RA2	4/2
1100	D	D	D	A	VREF+	VREF-	A	A	RA3	RA2	3/2
1101	D	D	D	D	VREF+	VREF-	A	A	RA3	RA2	2/2
1110	D	D	D	D	D	D	D	A	VDD	VSS	1/0
1111	D	D	D	D	VREF+	VREF-	D	A	RA3	RA2	1/2

A = Analog input D = Digital I/O

- Note 1:** These channels are not available on PIC16F873/876 devices.
Note 2: This column indicates the number of analog channels available as A/D inputs and the number of analog channels used as voltage reference inputs.

Legend:			
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
- n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown

The ADRESH:ADRESL registers contain the 10-bit result of the A/D conversion. When the A/D conversion is complete, the result is loaded into this A/D result register pair, the GO/DONE bit (ADCON0<2>) is cleared and the A/D interrupt flag bit ADIF is set. The block diagram of the A/D module is shown in Figure 11-1.

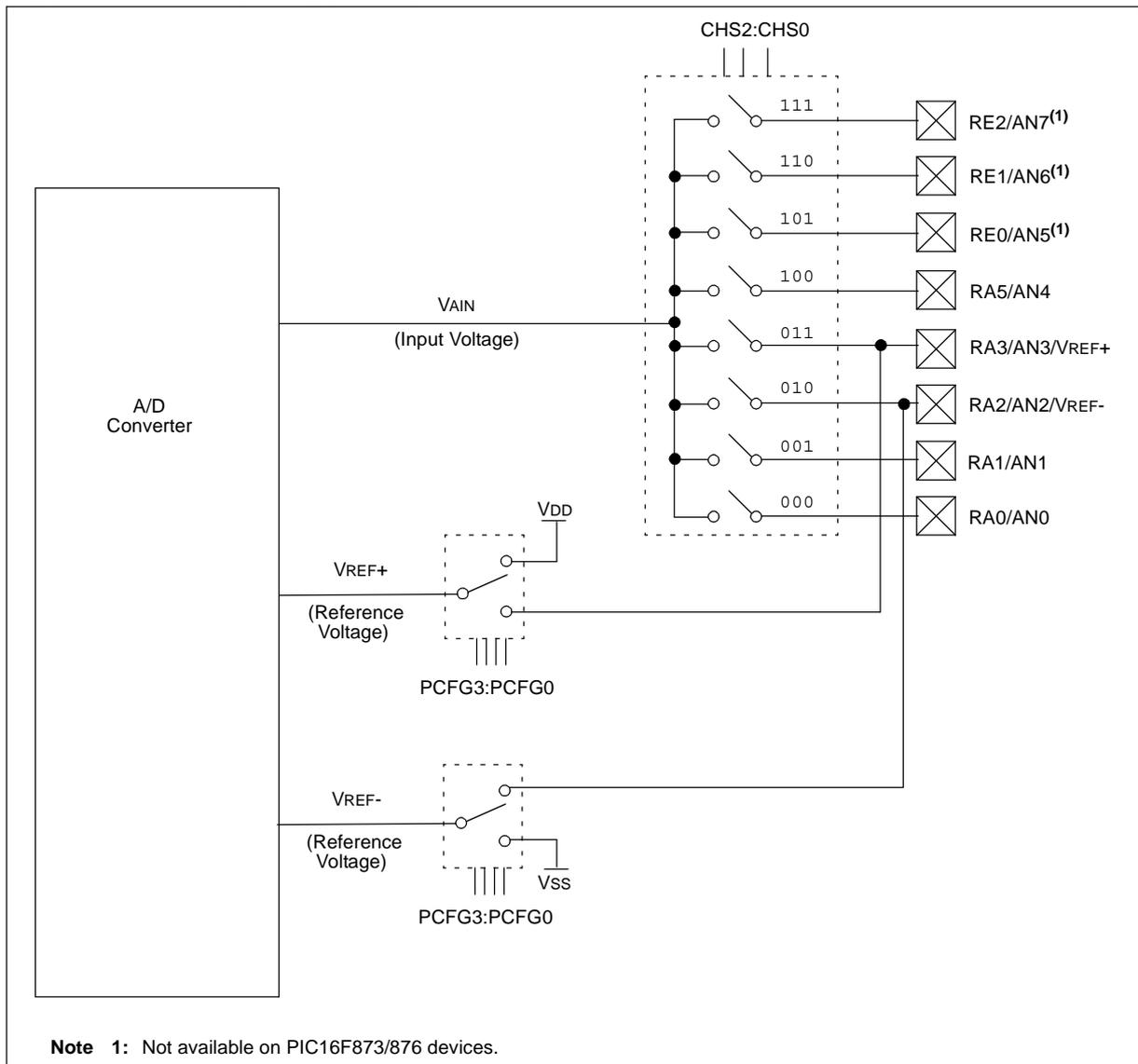
After the A/D module has been configured as desired, the selected channel must be acquired before the conversion is started. The analog input channels must have their corresponding TRIS bits selected as inputs.

To determine sample time, see Section 11.1. After this acquisition time has elapsed, the A/D conversion can be started.

These steps should be followed for doing an A/D Conversion:

1. Configure the A/D module:
 - Configure analog pins/voltage reference and digital I/O (ADCON1)
 - Select A/D input channel (ADCON0)
 - Select A/D conversion clock (ADCON0)
 - Turn on A/D module (ADCON0)
2. Configure A/D interrupt (if desired):
 - Clear ADIF bit
 - Set ADIE bit
 - Set PEIE bit
 - Set GIE bit
3. Wait the required acquisition time.
4. Start conversion:
 - Set $\overline{\text{GO/DONE}}$ bit (ADCON0)
5. Wait for A/D conversion to complete, by either:
 - Polling for the $\overline{\text{GO/DONE}}$ bit to be cleared (with interrupts enabled); OR
 - Waiting for the A/D interrupt
6. Read A/D result register pair (ADRESH:ADRESL), clear bit ADIF if required.
7. For the next conversion, go to step 1 or step 2, as required. The A/D conversion time per bit is defined as T_{AD} . A minimum wait of $2T_{AD}$ is required before the next acquisition starts.

FIGURE 11-1: A/D BLOCK DIAGRAM



PIC16F87X

11.1 A/D Acquisition Requirements

For the A/D converter to meet its specified accuracy, the charge holding capacitor (CHOLD) must be allowed to fully charge to the input channel voltage level. The analog input model is shown in Figure 11-2. The source impedance (RS) and the internal sampling switch (RSS) impedance directly affect the time required to charge the capacitor CHOLD. The sampling switch (RSS) impedance varies over the device voltage (VDD), see Figure 11-2. **The maximum recommended impedance for analog sources is 10 kΩ.** As the impedance is decreased, the acquisition time may be decreased.

After the analog input channel is selected (changed), this acquisition must be done before the conversion can be started.

To calculate the minimum acquisition time, Equation 11-1 may be used. This equation assumes that 1/2 LSB error is used (1024 steps for the A/D). The 1/2 LSB error is the maximum error allowed for the A/D to meet its specified resolution.

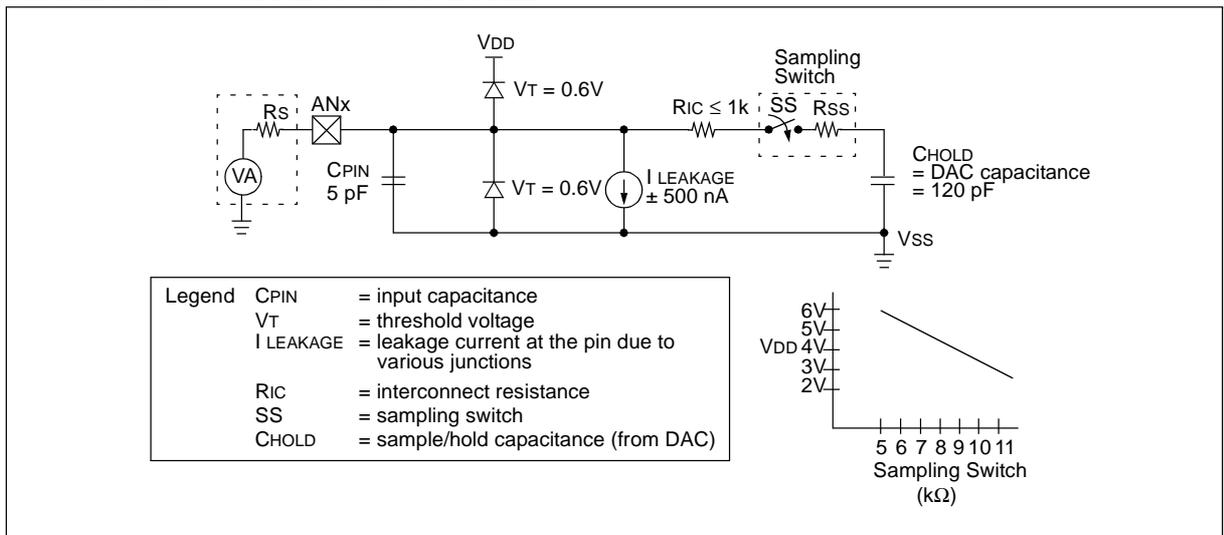
To calculate the minimum acquisition time, TACQ, see the PICmicro™ Mid-Range Reference Manual (DS33023).

EQUATION 11-1: ACQUISITION TIME

TACQ	=	Amplifier Settling Time + Hold Capacitor Charging Time + Temperature Coefficient
	=	TAMP + TC + TCOFF
	=	2μs + TC + [(Temperature - 25°C)(0.05μs/°C)]
TC	=	CHOLD (RIC + RSS + RS) ln(1/2047)
	=	- 120pF (1kΩ + 7kΩ + 10kΩ) ln(0.0004885)
	=	16.47μs
TACQ	=	2μs + 16.47μs + [(50°C - 25°C)(0.05μs/°C)]
	=	19.72μs

- Note 1:** The reference voltage (VREF) has no effect on the equation, since it cancels itself out.
- Note 2:** The charge holding capacitor (CHOLD) is not discharged after each conversion.
- Note 3:** The maximum recommended impedance for analog sources is 10 kΩ. This is required to meet the pin leakage specification.
- Note 4:** After a conversion has completed, a 2.0TAD delay must complete before acquisition can begin again. During this time, the holding capacitor is not connected to the selected A/D input channel.

FIGURE 11-2: ANALOG INPUT MODEL



11.2 Selecting the A/D Conversion Clock

The A/D conversion time per bit is defined as TAD. The A/D conversion requires a minimum 12TAD per 10-bit conversion. The source of the A/D conversion clock is software selected. The four possible options for TAD are:

- 2Tosc
- 8Tosc
- 32Tosc
- Internal A/D module RC oscillator (2-6 μ s)

For correct A/D conversions, the A/D conversion clock (TAD) must be selected to ensure a minimum TAD time of 1.6 μ s.

Table 11-1 shows the resultant TAD times derived from the device operating frequencies and the A/D clock source selected.

TABLE 11-1: TAD vs. MAXIMUM DEVICE OPERATING FREQUENCIES (STANDARD DEVICES (C))

AD Clock Source (TAD)		Maximum Device Frequency
Operation	ADCS1:ADCS0	Max.
2Tosc	00	1.25 MHz
8Tosc	01	5 MHz
32Tosc	10	20 MHz
RC ^(1, 2, 3)	11	(Note 1)

Note 1: The RC source has a typical TAD time of 4 μ s, but can vary between 2-6 μ s.

2: When the device frequencies are greater than 1 MHz, the RC A/D conversion clock source is only recommended for SLEEP operation.

3: For extended voltage devices (LC), please refer to the Electrical Characteristics (Sections 15.1 and 15.2).

11.3 Configuring Analog Port Pins

The ADCON1 and TRIS registers control the operation of the A/D port pins. The port pins that are desired as analog inputs must have their corresponding TRIS bits set (input). If the TRIS bit is cleared (output), the digital output level (VOH or VOL) will be converted.

The A/D operation is independent of the state of the CHS2:CHS0 bits and the TRIS bits.

Note 1: When reading the port register, any pin configured as an analog input channel will read as cleared (a low level). Pins configured as digital inputs will convert an analog input. Analog levels on a digitally configured input will not affect the conversion accuracy.

2: Analog levels on any pin that is defined as a digital input (including the AN7:AN0 pins), may cause the input buffer to consume current that is out of the device specifications.

PIC16F87X

11.4 A/D Conversions

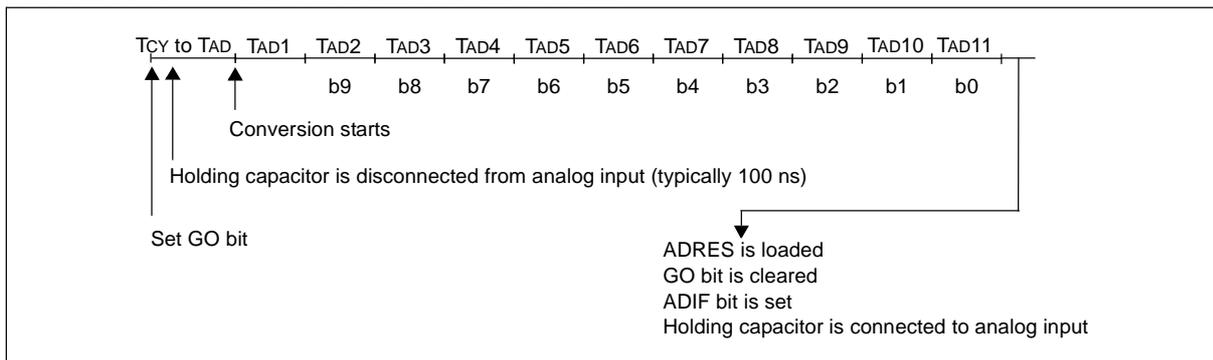
Clearing the $\overline{\text{GO/DONE}}$ bit during a conversion will abort the current conversion. The A/D result register pair will NOT be updated with the partially completed A/D conversion sample. That is, the ADRESH:ADRESL registers will continue to contain the value of the last completed conversion (or the last value written to the ADRESH:ADRESL registers). After the A/D conversion is aborted, a 2TAD wait is required before the next

acquisition is started. After this 2TAD wait, acquisition on the selected channel is automatically started. The $\overline{\text{GO/DONE}}$ bit can then be set to start the conversion.

In Figure 11-3, after the GO bit is set, the first time segment has a minimum of T_{CY} and a maximum of TAD.

Note: The $\overline{\text{GO/DONE}}$ bit should **NOT** be set in the same instruction that turns on the A/D.

FIGURE 11-3: A/D CONVERSION TAD CYCLES

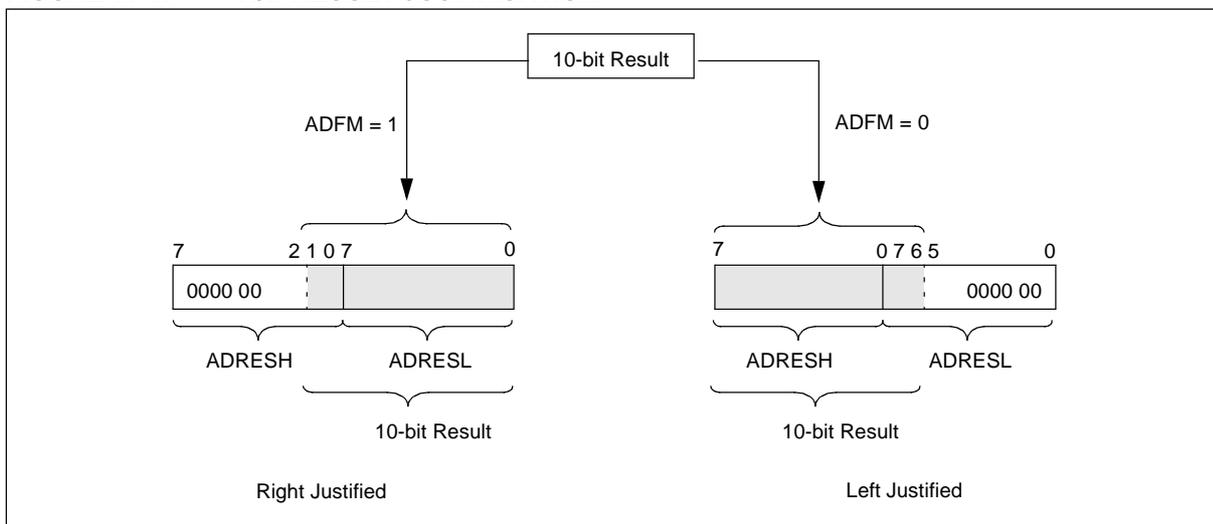


11.4.1 A/D RESULT REGISTERS

The ADRESH:ADRESL register pair is the location where the 10-bit A/D result is loaded at the completion of the A/D conversion. This register pair is 16-bits wide. The A/D module gives the flexibility to left or right justify the 10-bit result in the 16-bit result register. The A/D

Format Select bit (ADFM) controls this justification. Figure 11-4 shows the operation of the A/D result justification. The extra bits are loaded with '0's'. When an A/D result will not overwrite these locations (A/D disable), these registers may be used as two general purpose 8-bit registers.

FIGURE 11-4: A/D RESULT JUSTIFICATION



11.5 A/D Operation During SLEEP

The A/D module can operate during SLEEP mode. This requires that the A/D clock source be set to RC (ADCS1:ADCS0 = 11). When the RC clock source is selected, the A/D module waits one instruction cycle before starting the conversion. This allows the SLEEP instruction to be executed, which eliminates all digital switching noise from the conversion. When the conversion is completed, the GO/DONE bit will be cleared and the result loaded into the ADRES register. If the A/D interrupt is enabled, the device will wake-up from SLEEP. If the A/D interrupt is not enabled, the A/D module will then be turned off, although the ADON bit will remain set.

When the A/D clock source is another clock option (not RC), a SLEEP instruction will cause the present conversion to be aborted and the A/D module to be turned off, though the ADON bit will remain set.

Turning off the A/D places the A/D module in its lowest current consumption state.

Note: For the A/D module to operate in SLEEP, the A/D clock source must be set to RC (ADCS1:ADCS0 = 11). To allow the conversion to occur during SLEEP, ensure the SLEEP instruction immediately follows the instruction that sets the GO/DONE bit.

11.6 Effects of a RESET

A device RESET forces all registers to their RESET state. This forces the A/D module to be turned off, and any conversion is aborted. All A/D input pins are configured as analog inputs.

The value that is in the ADRESH:ADRESL registers is not modified for a Power-on Reset. The ADRESH:ADRESL registers will contain unknown data after a Power-on Reset.

TABLE 11-2: REGISTERS/BITS ASSOCIATED WITH A/D

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on MCLR, WDT
0Bh,8Bh,10Bh,18Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF ⁽¹⁾	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE ⁽¹⁾	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
1Eh	ADRESH	A/D Result Register High Byte								xxxx xxxx	uuuu uuuu
9Eh	ADRESL	A/D Result Register Low Byte								xxxx xxxx	uuuu uuuu
1Fh	ADCON0	ADCS1	ADCS0	CHS2	CHS1	CHS0	GO/DONE	—	ADON	0000 00-0	0000 00-0
9Fh	ADCON1	ADFM	—	—	—	PCFG3	PCFG2	PCFG1	PCFG0	--0- 0000	--0- 0000
85h	TRISA	—	—	PORTA Data Direction Register						--11 1111	--11 1111
05h	PORTA	—	—	PORTA Data Latch when written: PORTA pins when read						--0x 0000	--0u 0000
89h ⁽¹⁾	TRISE	IBF	OBF	IBOV	PSPMODE	—	PORTE Data Direction bits			0000 -111	0000 -111
09h ⁽¹⁾	PORTE	—	—	—	—	—	RE2	RE1	RE0	---- -xxx	---- -uuu

Legend: x = unknown, u = unchanged, - = unimplemented, read as '0'. Shaded cells are not used for A/D conversion.

Note 1: These registers/bits are not available on the 28-pin devices.

12.2 Oscillator Configurations

12.2.1 OSCILLATOR TYPES

The PIC16F87X can be operated in four different oscillator modes. The user can program two configuration bits (FOSC1 and FOSC0) to select one of these four modes:

- LP Low Power Crystal
- XT Crystal/Resonator
- HS High Speed Crystal/Resonator
- RC Resistor/Capacitor

12.2.2 CRYSTAL OSCILLATOR/CERAMIC RESONATORS

In XT, LP or HS modes, a crystal or ceramic resonator is connected to the OSC1/CLKIN and OSC2/CLKOUT pins to establish oscillation (Figure 12-1). The PIC16F87X oscillator design requires the use of a parallel cut crystal. Use of a series cut crystal may give a frequency out of the crystal manufacturers specifications. When in XT, LP or HS modes, the device can have an external clock source to drive the OSC1/CLKIN pin (Figure 12-2).

FIGURE 12-1: CRYSTAL/CERAMIC RESONATOR OPERATION (HS, XT OR LP OSC CONFIGURATION)

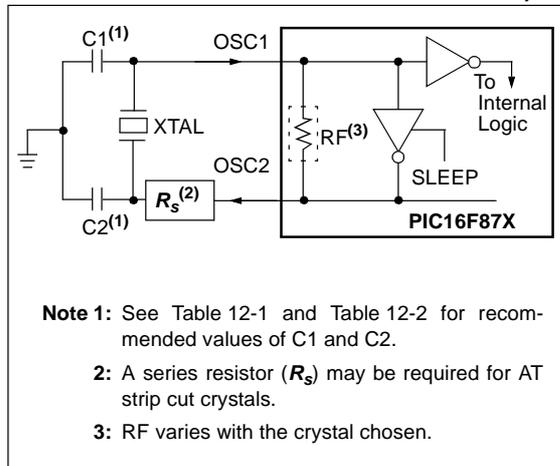


FIGURE 12-2: EXTERNAL CLOCK INPUT OPERATION (HS, XT OR LP OSC CONFIGURATION)

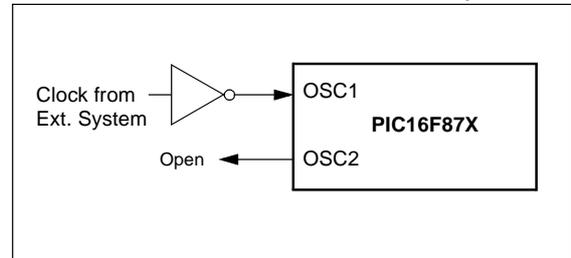


TABLE 12-1: CERAMIC RESONATORS

Ranges Tested:			
Mode	Freq.	OSC1	OSC2
XT	455 kHz	68 - 100 pF	68 - 100 pF
	2.0 MHz	15 - 68 pF	15 - 68 pF
	4.0 MHz	15 - 68 pF	15 - 68 pF
HS	8.0 MHz	10 - 68 pF	10 - 68 pF
	16.0 MHz	10 - 22 pF	10 - 22 pF
These values are for design guidance only. See notes following Table 12-2.			
Resonators Used:			
455 kHz	Panasonic EFO-A455K04B	± 0.3%	
2.0 MHz	Murata Erie CSA2.00MG	± 0.5%	
4.0 MHz	Murata Erie CSA4.00MG	± 0.5%	
8.0 MHz	Murata Erie CSA8.00MT	± 0.5%	
16.0 MHz	Murata Erie CSA16.00MX	± 0.5%	
All resonators used did not have built-in capacitors.			

PIC16F87X

TABLE 12-2: CAPACITOR SELECTION FOR CRYSTAL OSCILLATOR

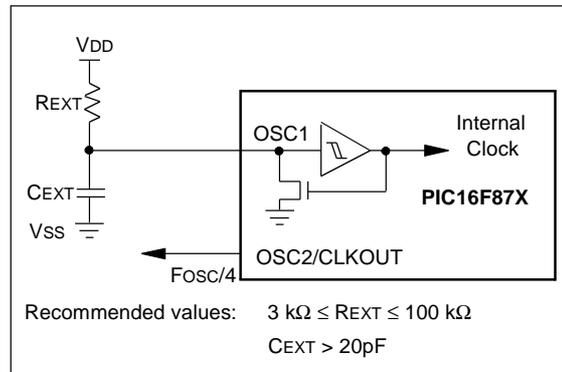
Osc Type	Crystal Freq.	Cap. Range C1	Cap. Range C2
LP	32 kHz	33 pF	33 pF
	200 kHz	15 pF	15 pF
XT	200 kHz	47-68 pF	47-68 pF
	1 MHz	15 pF	15 pF
	4 MHz	15 pF	15 pF
HS	4 MHz	15 pF	15 pF
	8 MHz	15-33 pF	15-33 pF
	20 MHz	15-33 pF	15-33 pF
These values are for design guidance only. See notes following this table.			
Crystals Used			
32 kHz	Epson C-001R32.768K-A	± 20 PPM	
200 kHz	STD XTL 200.000KHz	± 20 PPM	
1 MHz	ECS ECS-10-13-1	± 50 PPM	
4 MHz	ECS ECS-40-20-1	± 50 PPM	
8 MHz	EPSON CA-301 8.000M-C	± 30 PPM	
20 MHz	EPSON CA-301 20.000M-C	± 30 PPM	

- Note 1:** Higher capacitance increases the stability of oscillator, but also increases the start-up time.
- 2:** Since each resonator/crystal has its own characteristics, the user should consult the resonator/crystal manufacturer for appropriate values of external components.
- 3:** R_s may be required in HS mode, as well as XT mode, to avoid overdriving crystals with low drive level specification.
- 4:** When migrating from other PICmicro devices, oscillator performance should be verified.

12.2.3 RC OSCILLATOR

For timing insensitive applications, the “RC” device option offers additional cost savings. The RC oscillator frequency is a function of the supply voltage, the resistor (R_{EXT}) and capacitor (C_{EXT}) values, and the operating temperature. In addition to this, the oscillator frequency will vary from unit to unit due to normal process parameter variation. Furthermore, the difference in lead frame capacitance between package types will also affect the oscillation frequency, especially for low C_{EXT} values. The user also needs to take into account variation due to tolerance of external R and C components used. Figure 12-3 shows how the R/C combination is connected to the PIC16F87X.

FIGURE 12-3: RC OSCILLATOR MODE



PIC16F87X

TABLE 13-2: PIC16F87X INSTRUCTION SET

Mnemonic, Operands	Description	Cycles	14-Bit Opcode				Status Affected	Notes	
			MSb		LSb				
BYTE-ORIENTED FILE REGISTER OPERATIONS									
ADDWF	f, d	Add W and f	1	00	0111	dfff	ffff	C,DC,Z	1,2
ANDWF	f, d	AND W with f	1	00	0101	dfff	ffff	Z	1,2
CLRF	f	Clear f	1	00	0001	1fff	ffff	Z	2
CLRWF	-	Clear W	1	00	0001	0xxx	xxxx	Z	
COMF	f, d	Complement f	1	00	1001	dfff	ffff	Z	1,2
DECf	f, d	Decrement f	1	00	0011	dfff	ffff	Z	1,2
DECFSZ	f, d	Decrement f, Skip if 0	1(2)	00	1011	dfff	ffff		1,2,3
INCF	f, d	Increment f	1	00	1010	dfff	ffff	Z	1,2
INCFSZ	f, d	Increment f, Skip if 0	1(2)	00	1111	dfff	ffff		1,2,3
IORWF	f, d	Inclusive OR W with f	1	00	0100	dfff	ffff	Z	1,2
MOVF	f, d	Move f	1	00	1000	dfff	ffff	Z	1,2
MOVWF	f	Move W to f	1	00	0000	1fff	ffff		
NOP	-	No Operation	1	00	0000	0xx0	0000		
RLF	f, d	Rotate Left f through Carry	1	00	1101	dfff	ffff	C	1,2
RRF	f, d	Rotate Right f through Carry	1	00	1100	dfff	ffff	C	1,2
SUBWF	f, d	Subtract W from f	1	00	0010	dfff	ffff	C,DC,Z	1,2
SWAPF	f, d	Swap nibbles in f	1	00	1110	dfff	ffff		1,2
XORWF	f, d	Exclusive OR W with f	1	00	0110	dfff	ffff	Z	1,2
BIT-ORIENTED FILE REGISTER OPERATIONS									
BCF	f, b	Bit Clear f	1	01	00bb	bfff	ffff		1,2
BSF	f, b	Bit Set f	1	01	01bb	bfff	ffff		1,2
BTFSC	f, b	Bit Test f, Skip if Clear	1 (2)	01	10bb	bfff	ffff		3
BTFSS	f, b	Bit Test f, Skip if Set	1 (2)	01	11bb	bfff	ffff		3
LITERAL AND CONTROL OPERATIONS									
ADDLW	k	Add literal and W	1	11	111x	kkkk	kkkk	C,DC,Z	
ANDLW	k	AND literal with W	1	11	1001	kkkk	kkkk	Z	
CALL	k	Call subroutine	2	10	0kkk	kkkk	kkkk		
CLRWDt	-	Clear Watchdog Timer	1	00	0000	0110	0100	$\overline{TO}, \overline{PD}$	
GOTO	k	Go to address	2	10	1kkk	kkkk	kkkk		
IORLW	k	Inclusive OR literal with W	1	11	1000	kkkk	kkkk	Z	
MOVLW	k	Move literal to W	1	11	00xx	kkkk	kkkk		
RETFIE	-	Return from interrupt	2	00	0000	0000	1001		
RETLW	k	Return with literal in W	2	11	01xx	kkkk	kkkk		
RETURN	-	Return from Subroutine	2	00	0000	0000	1000		
SLEEP	-	Go into standby mode	1	00	0000	0110	0011	$\overline{TO}, \overline{PD}$	
SUBLW	k	Subtract W from literal	1	11	110x	kkkk	kkkk	C,DC,Z	
XORLW	k	Exclusive OR literal with W	1	11	1010	kkkk	kkkk	Z	

- Note 1:** When an I/O register is modified as a function of itself (e.g., MOVF PORTB, 1), the value used will be that value present on the pins themselves. For example, if the data latch is '1' for a pin configured as input and is driven low by an external device, the data will be written back with a '0'.
- 2:** If this instruction is executed on the TMR0 register (and, where applicable, d = 1), the prescaler will be cleared if assigned to the Timer0 module.
- 3:** If Program Counter (PC) is modified, or a conditional test is true, the instruction requires two cycles. The second cycle is executed as a NOP.

Note: Additional information on the mid-range instruction set is available in the PICmicro™ Mid-Range MCU Family Reference Manual (DS33023).

13.1 Instruction Descriptions

ADDLW Add Literal and W

Syntax: *[label]* ADDLW *k*
 Operands: $0 \leq k \leq 255$
 Operation: $(W) + k \rightarrow (W)$
 Status Affected: C, DC, Z
 Description: The contents of the W register are added to the eight bit literal 'k' and the result is placed in the W register.

ADDWF Add W and f

Syntax: *[label]* ADDWF *f,d*
 Operands: $0 \leq f \leq 127$
 $d \in [0,1]$
 Operation: $(W) + (f) \rightarrow (\text{destination})$
 Status Affected: C, DC, Z
 Description: Add the contents of the W register with register 'f'. If 'd' is 0, the result is stored in the W register. If 'd' is 1, the result is stored back in register 'f'.

ANDLW AND Literal with W

Syntax: *[label]* ANDLW *k*
 Operands: $0 \leq k \leq 255$
 Operation: $(W) .\text{AND.} (k) \rightarrow (W)$
 Status Affected: Z
 Description: The contents of W register are AND'ed with the eight bit literal 'k'. The result is placed in the W register.

ANDWF AND W with f

Syntax: *[label]* ANDWF *f,d*
 Operands: $0 \leq f \leq 127$
 $d \in [0,1]$
 Operation: $(W) .\text{AND.} (f) \rightarrow (\text{destination})$
 Status Affected: Z
 Description: AND the W register with register 'f'. If 'd' is 0, the result is stored in the W register. If 'd' is 1, the result is stored back in register 'f'.

BCF Bit Clear f

Syntax: *[label]* BCF *f,b*
 Operands: $0 \leq f \leq 127$
 $0 \leq b \leq 7$
 Operation: $0 \rightarrow (f)$
 Status Affected: None
 Description: Bit 'b' in register 'f' is cleared.

BSF Bit Set f

Syntax: *[label]* BSF *f,b*
 Operands: $0 \leq f \leq 127$
 $0 \leq b \leq 7$
 Operation: $1 \rightarrow (f)$
 Status Affected: None
 Description: Bit 'b' in register 'f' is set.

BTFSS Bit Test f, Skip if Set

Syntax: *[label]* BTFSS *f,b*
 Operands: $0 \leq f \leq 127$
 $0 \leq b < 7$
 Operation: skip if $(f) = 1$
 Status Affected: None
 Description: If bit 'b' in register 'f' is '0', the next instruction is executed. If bit 'b' is '1', then the next instruction is discarded and a NOP is executed instead, making this a 2TCY instruction.

BTFSC Bit Test, Skip if Clear

Syntax: *[label]* BTFSC *f,b*
 Operands: $0 \leq f \leq 127$
 $0 \leq b \leq 7$
 Operation: skip if $(f) = 0$
 Status Affected: None
 Description: If bit 'b' in register 'f' is '1', the next instruction is executed. If bit 'b', in register 'f', is '0', the next instruction is discarded, and a NOP is executed instead, making this a 2TCY instruction.

PIC16F87X

CALL **Call Subroutine**

Syntax: [*label*] CALL *k*
Operands: $0 \leq k \leq 2047$
Operation: (PC)+ 1 → TOS,
 k → PC<10:0>,
 (PCLATH<4:3>) → PC<12:11>
Status Affected: None
Description: Call Subroutine. First, return address (PC+1) is pushed onto the stack. The eleven-bit immediate address is loaded into PC bits <10:0>. The upper bits of the PC are loaded from PCLATH. CALL is a two-cycle instruction.

CLRWDT **Clear Watchdog Timer**

Syntax: [*label*] CLRWDT
Operands: None
Operation: 00h → WDT
 0 → WDT prescaler,
 1 → \overline{TO}
 1 → \overline{PD}
Status Affected: \overline{TO} , \overline{PD}
Description: CLRWDT instruction resets the Watchdog Timer. It also resets the prescaler of the WDT. Status bits \overline{TO} and \overline{PD} are set.

CLRF **Clear f**

Syntax: [*label*] CLRF *f*
Operands: $0 \leq f \leq 127$
Operation: 00h → (*f*)
 1 → Z
Status Affected: Z
Description: The contents of register 'f' are cleared and the Z bit is set.

COMF **Complement f**

Syntax: [*label*] COMF *f*,*d*
Operands: $0 \leq f \leq 127$
 d ∈ [0,1]
Operation: (\bar{f}) → (destination)
Status Affected: Z
Description: The contents of register 'f' are complemented. If 'd' is 0, the result is stored in W. If 'd' is 1, the result is stored back in register 'f'.

CLRW **Clear W**

Syntax: [*label*] CLRW
Operands: None
Operation: 00h → (W)
 1 → Z
Status Affected: Z
Description: W register is cleared. Zero bit (Z) is set.

DECF **Decrement f**

Syntax: [*label*] DECF *f*,*d*
Operands: $0 \leq f \leq 127$
 d ∈ [0,1]
Operation: (*f*) - 1 → (destination)
Status Affected: Z
Description: Decrement register 'f'. If 'd' is 0, the result is stored in the W register. If 'd' is 1, the result is stored back in register 'f'.

DECFSZ Decrement f, Skip if 0

Syntax: [*label*] DECFSZ f,d

Operands: $0 \leq f \leq 127$
 $d \in [0,1]$

Operation: $(f) - 1 \rightarrow (\text{destination})$;
 skip if result = 0

Status Affected: None

Description: The contents of register 'f' are decremented. If 'd' is 0, the result is placed in the W register. If 'd' is 1, the result is placed back in register 'f'.
 If the result is 1, the next instruction is executed. If the result is 0, then a NOP is executed instead making it a 2TCY instruction.

INCFSZ Increment f, Skip if 0

Syntax: [*label*] INCFSZ f,d

Operands: $0 \leq f \leq 127$
 $d \in [0,1]$

Operation: $(f) + 1 \rightarrow (\text{destination})$,
 skip if result = 0

Status Affected: None

Description: The contents of register 'f' are incremented. If 'd' is 0, the result is placed in the W register. If 'd' is 1, the result is placed back in register 'f'.
 If the result is 1, the next instruction is executed. If the result is 0, a NOP is executed instead, making it a 2TCY instruction.

GOTO Unconditional Branch

Syntax: [*label*] GOTO k

Operands: $0 \leq k \leq 2047$

Operation: $k \rightarrow \text{PC}\langle 10:0 \rangle$
 $\text{PCLATH}\langle 4:3 \rangle \rightarrow \text{PC}\langle 12:11 \rangle$

Status Affected: None

Description: GOTO is an unconditional branch. The eleven-bit immediate value is loaded into PC bits $\langle 10:0 \rangle$. The upper bits of PC are loaded from PCLATH $\langle 4:3 \rangle$. GOTO is a two-cycle instruction.

IORLW Inclusive OR Literal with W

Syntax: [*label*] IORLW k

Operands: $0 \leq k \leq 255$

Operation: $(W) .OR. k \rightarrow (W)$

Status Affected: Z

Description: The contents of the W register are OR'ed with the eight bit literal 'k'. The result is placed in the W register.

INCF Increment f

Syntax: [*label*] INCF f,d

Operands: $0 \leq f \leq 127$
 $d \in [0,1]$

Operation: $(f) + 1 \rightarrow (\text{destination})$

Status Affected: Z

Description: The contents of register 'f' are incremented. If 'd' is 0, the result is placed in the W register. If 'd' is 1, the result is placed back in register 'f'.

IORWF Inclusive OR W with f

Syntax: [*label*] IORWF f,d

Operands: $0 \leq f \leq 127$
 $d \in [0,1]$

Operation: $(W) .OR. (f) \rightarrow (\text{destination})$

Status Affected: Z

Description: Inclusive OR the W register with register 'f'. If 'd' is 0 the result is placed in the W register. If 'd' is 1 the result is placed back in register 'f'.

PIC16F87X

MOVF **Move f**

Syntax: [*label*] MOVF f,d

Operands: $0 \leq f \leq 127$
 $d \in [0,1]$

Operation: (f) → (destination)

Status Affected: Z

Description: The contents of register f are moved to a destination dependant upon the status of d. If d = 0, destination is W register. If d = 1, the destination is file register f itself. d = 1 is useful to test a file register, since status flag Z is affected.

MOVLW **Move Literal to W**

Syntax: [*label*] MOVLW k

Operands: $0 \leq k \leq 255$

Operation: $k \rightarrow (W)$

Status Affected: None

Description: The eight bit literal 'k' is loaded into W register. The don't cares will assemble as 0's.

MOVWF **Move W to f**

Syntax: [*label*] MOVWF f

Operands: $0 \leq f \leq 127$

Operation: (W) → (f)

Status Affected: None

Description: Move data from W register to register 'f'.

NOP **No Operation**

Syntax: [*label*] NOP

Operands: None

Operation: No operation

Status Affected: None

Description: No operation.

RETFIE **Return from Interrupt**

Syntax: [*label*] RETFIE

Operands: None

Operation: TOS → PC,
 1 → GIE

Status Affected: None

RETLW **Return with Literal in W**

Syntax: [*label*] RETLW k

Operands: $0 \leq k \leq 255$

Operation: $k \rightarrow (W)$;
 TOS → PC

Status Affected: None

Description: The W register is loaded with the eight bit literal 'k'. The program counter is loaded from the top of the stack (the return address). This is a two-cycle instruction.

RLF **Rotate Left f through Carry**

Syntax: [*label*] RLF f,d

Operands: $0 \leq f \leq 127$
 $d \in [0,1]$

Operation: See description below

Status Affected: C

Description: The contents of register 'f' are rotated one bit to the left through the Carry Flag. If 'd' is 0, the result is placed in the W register. If 'd' is 1, the result is stored back in register 'f'.



SLEEP

Syntax: [*label*] SLEEP

Operands: None

Operation: 00h → WDT,
0 → WDT prescaler,
1 → \overline{TO} ,
0 → \overline{PD}

Status Affected: \overline{TO} , \overline{PD}

Description: The power-down status bit, \overline{PD} is cleared. Time-out status bit, \overline{TO} is set. Watchdog Timer and its prescaler are cleared. The processor is put into SLEEP mode with the oscillator stopped.

RETURN **Return from Subroutine**

Syntax: [*label*] RETURN

Operands: None

Operation: TOS → PC

Status Affected: None

Description: Return from subroutine. The stack is POPed and the top of the stack (TOS) is loaded into the program counter. This is a two-cycle instruction.

SUBLW **Subtract W from Literal**

Syntax: [*label*] SUBLW k

Operands: $0 \leq k \leq 255$

Operation: $k - (W) \rightarrow (W)$

Status Affected: C, DC, Z

Description: The W register is subtracted (2's complement method) from the eight-bit literal 'k'. The result is placed in the W register.

RRF **Rotate Right f through Carry**

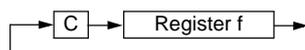
Syntax: [*label*] RRF f,d

Operands: $0 \leq f \leq 127$
 $d \in [0,1]$

Operation: See description below

Status Affected: C

Description: The contents of register 'f' are rotated one bit to the right through the Carry Flag. If 'd' is 0, the result is placed in the W register. If 'd' is 1, the result is placed back in register 'f'.



SUBWF **Subtract W from f**

Syntax: [*label*] SUBWF f,d

Operands: $0 \leq f \leq 127$
 $d \in [0,1]$

Operation: $(f) - (W) \rightarrow (\text{destination})$

Status Affected: C, DC, Z

Description: Subtract (2's complement method) W register from register 'f'. If 'd' is 0, the result is stored in the W register. If 'd' is 1, the result is stored back in register 'f'.

PIC16F87X

SWAPF

Swap Nibbles in f

Syntax: `[label] SWAPF f,d`

Operands: $0 \leq f \leq 127$
 $d \in [0,1]$

Operation: $(f<3:0>) \rightarrow (\text{destination}<7:4>)$,
 $(f<7:4>) \rightarrow (\text{destination}<3:0>)$

Status Affected: None

Description: The upper and lower nibbles of register 'f' are exchanged. If 'd' is 0, the result is placed in the W register. If 'd' is 1, the result is placed in register 'f'.

XORWF

Exclusive OR W with f

Syntax: `[label] XORWF f,d`

Operands: $0 \leq f \leq 127$
 $d \in [0,1]$

Operation: $(W) .XOR. (f) \rightarrow (\text{destination})$

Status Affected: Z

Description: Exclusive OR the contents of the W register with register 'f'. If 'd' is 0, the result is stored in the W register. If 'd' is 1, the result is stored back in register 'f'.

XORLW

Exclusive OR Literal with W

Syntax: `[label] XORLW k`

Operands: $0 \leq k \leq 255$

Operation: $(W) .XOR. k \rightarrow (W)$

Status Affected: Z

Description: The contents of the W register are XOR'ed with the eight-bit literal 'k'. The result is placed in the W register.

16.0 DC AND AC CHARACTERISTICS GRAPHS AND TABLES

The graphs and tables provided in this section are for **design guidance** and are **not tested**.

In some graphs or tables, the data presented is **outside specified operating range** (i.e., outside specified V_{DD} range). This is for **information only** and devices are ensured to operate properly only within the specified range.

The data presented in this section is a **statistical summary** of data collected on units from different lots over a period of time and matrix samples. 'Typical' represents the mean of the distribution at 25°C. 'max' or 'min' represents (mean + 3 σ) or (mean - 3 σ) respectively, where σ is standard deviation, over the whole temperature range.

FIGURE 16-1: TYPICAL I_{DD} vs. F_{osc} OVER V_{DD} (HS MODE)

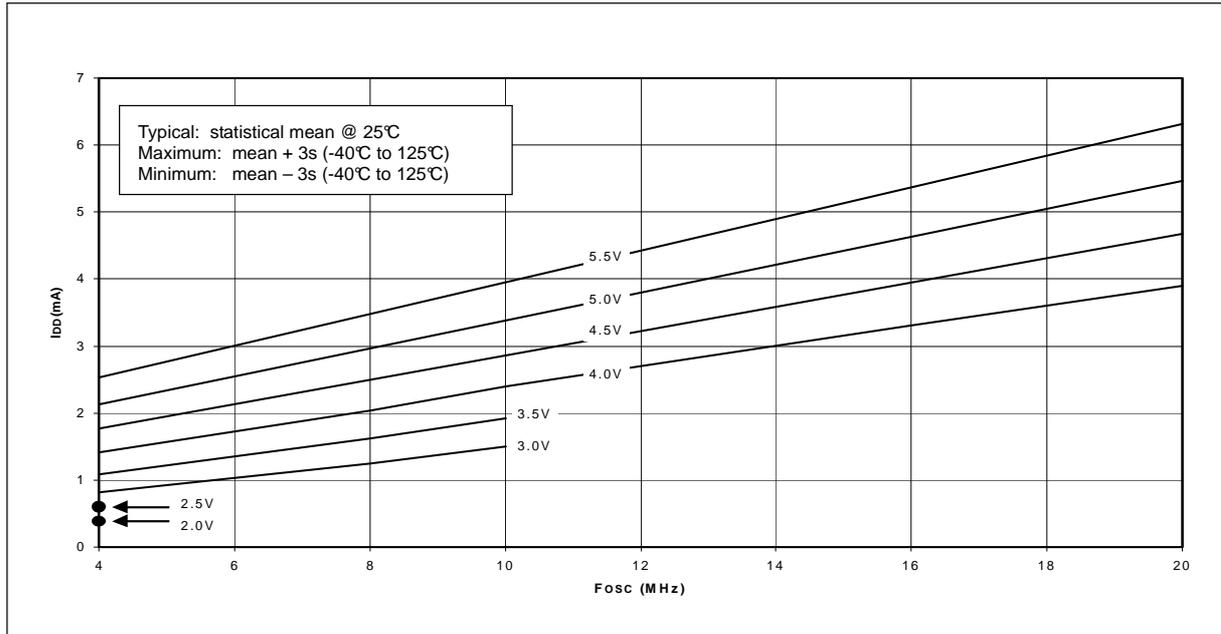
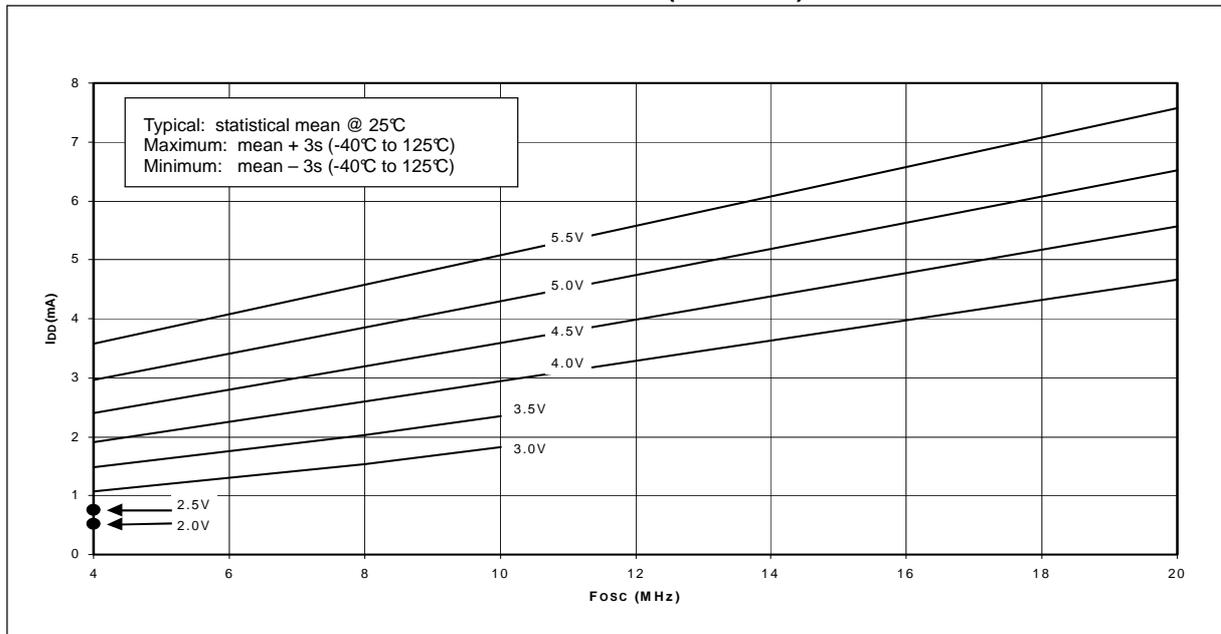


FIGURE 16-2: MAXIMUM I_{DD} vs. F_{osc} OVER V_{DD} (HS MODE)



PIC16F87X

FIGURE 16-3: TYPICAL I_{DD} vs. F_{osc} OVER V_{DD} (XT MODE)

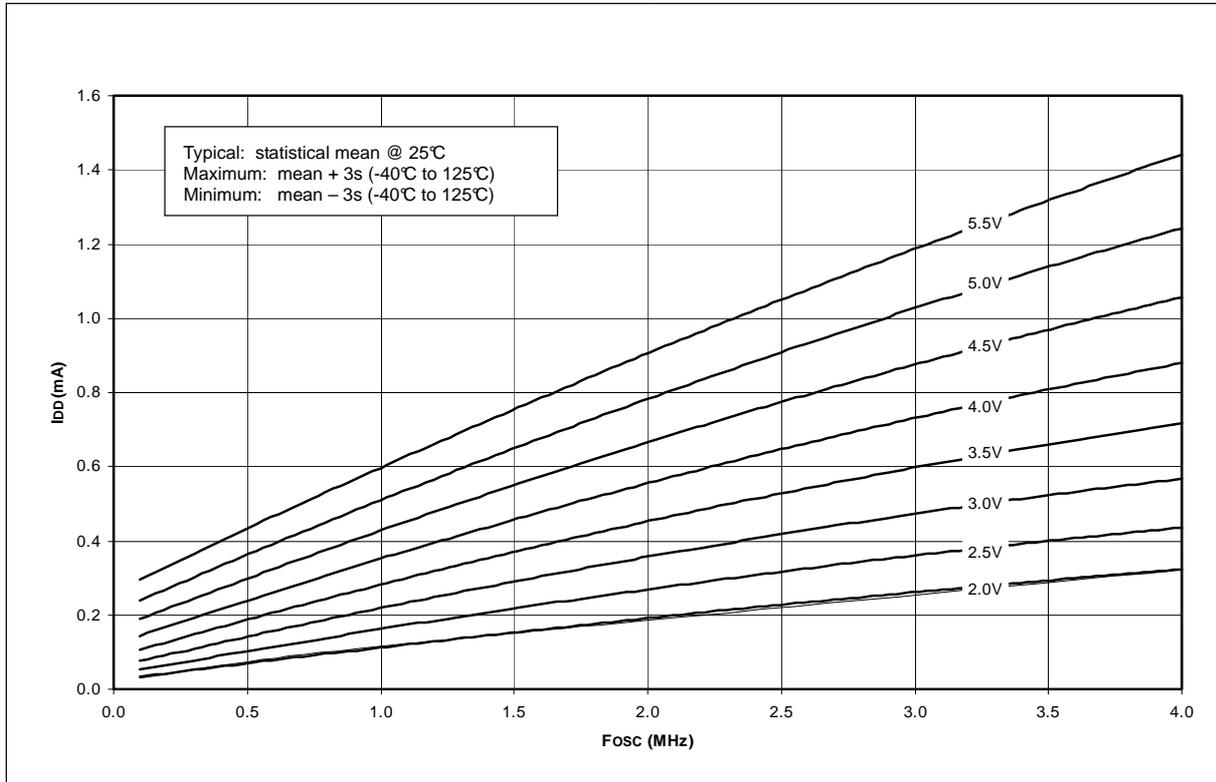


FIGURE 16-4: MAXIMUM I_{DD} vs. F_{osc} OVER V_{DD} (LP MODE)

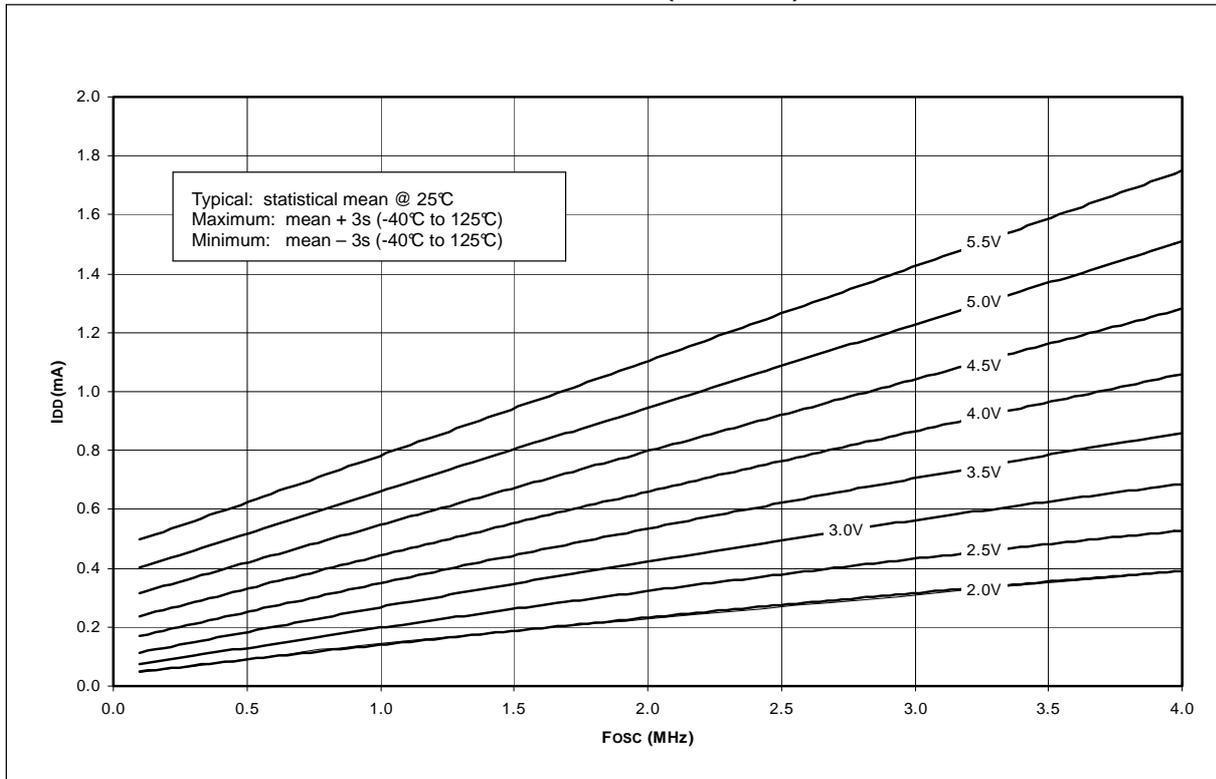


FIGURE 16-5: TYPICAL I_{DD} vs. F_{OSC} OVER V_{DD} (LP MODE)

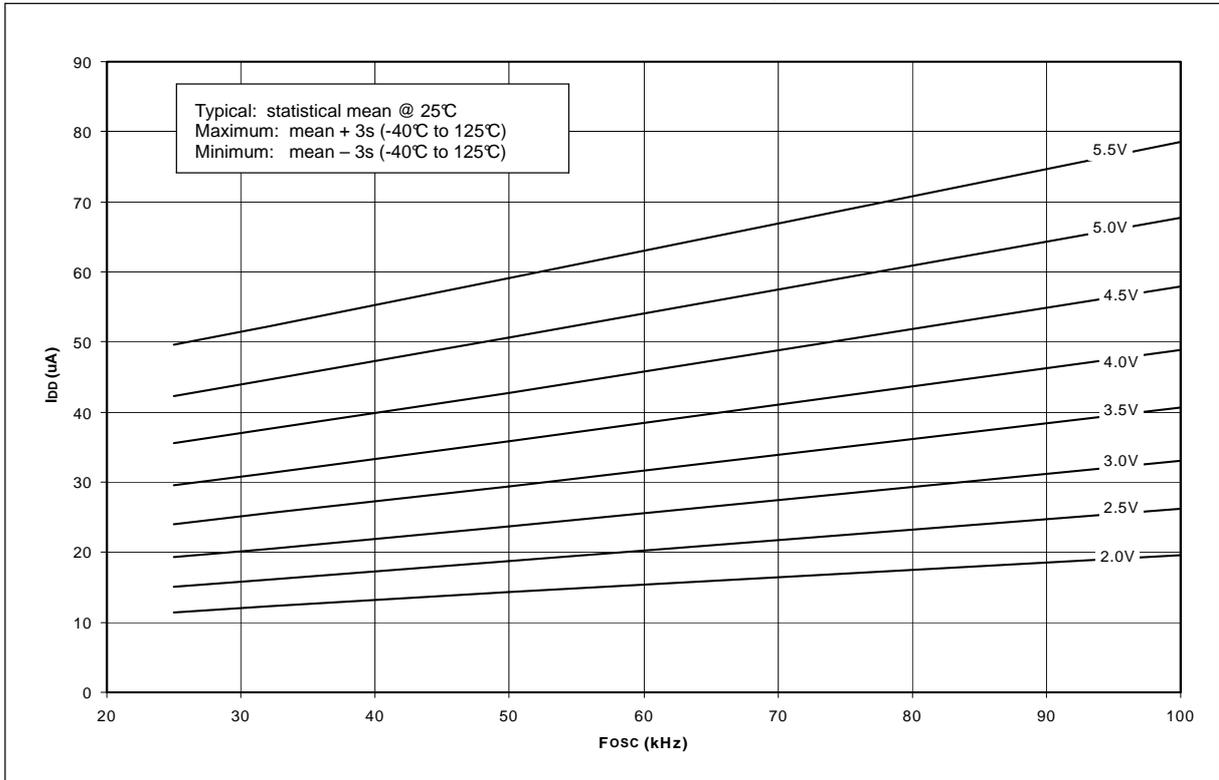
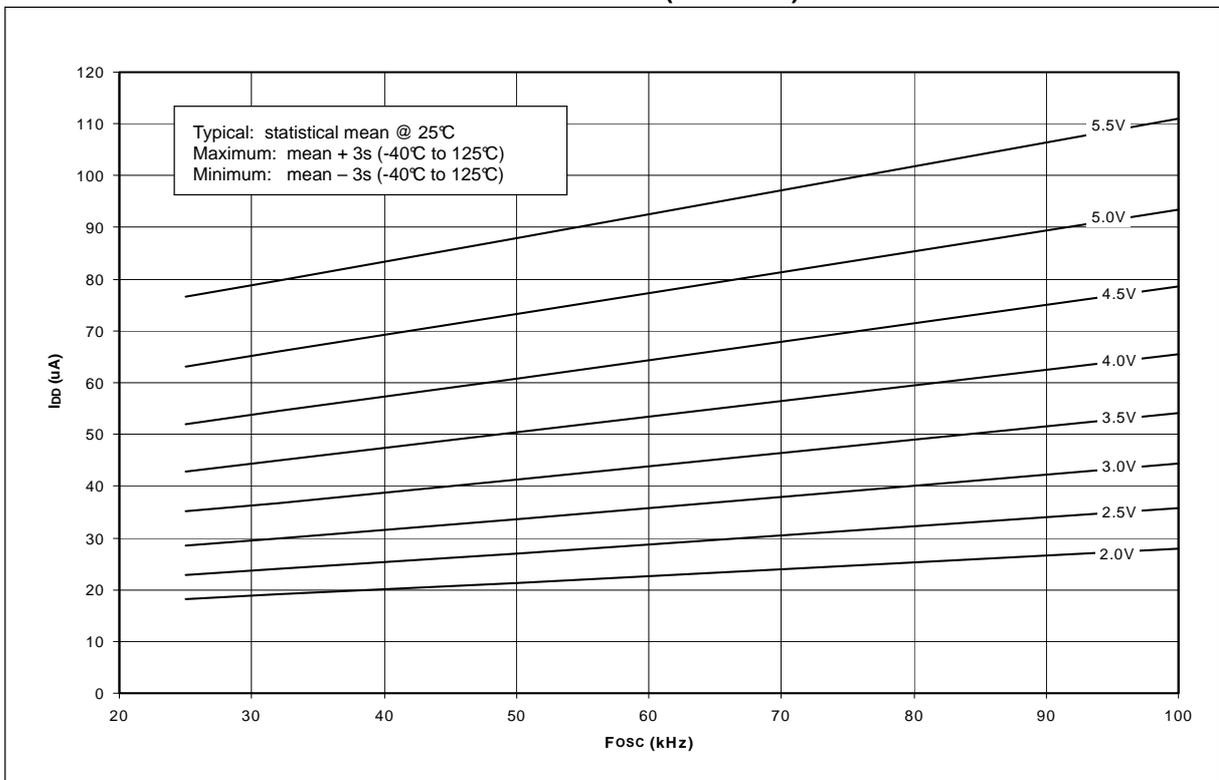


FIGURE 16-6: MAXIMUM I_{DD} vs. F_{OSC} OVER V_{DD} (XT MODE)



PIC16F87X

FIGURE 16-7: AVERAGE F_{OSC} vs. V_{DD} FOR VARIOUS VALUES OF R (RC MODE, C = 20 pF, 25°C)

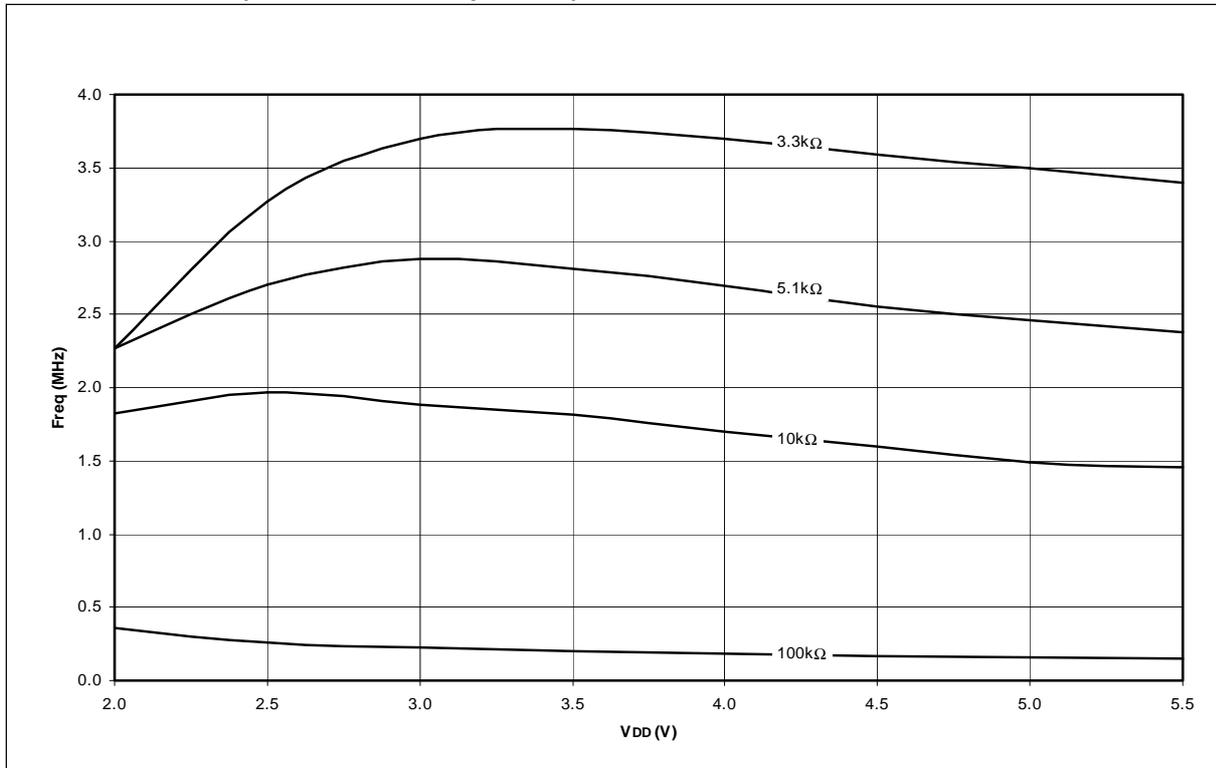


FIGURE 16-8: AVERAGE F_{OSC} vs. V_{DD} FOR VARIOUS VALUES OF R (RC MODE, C = 100 pF, 25°C)

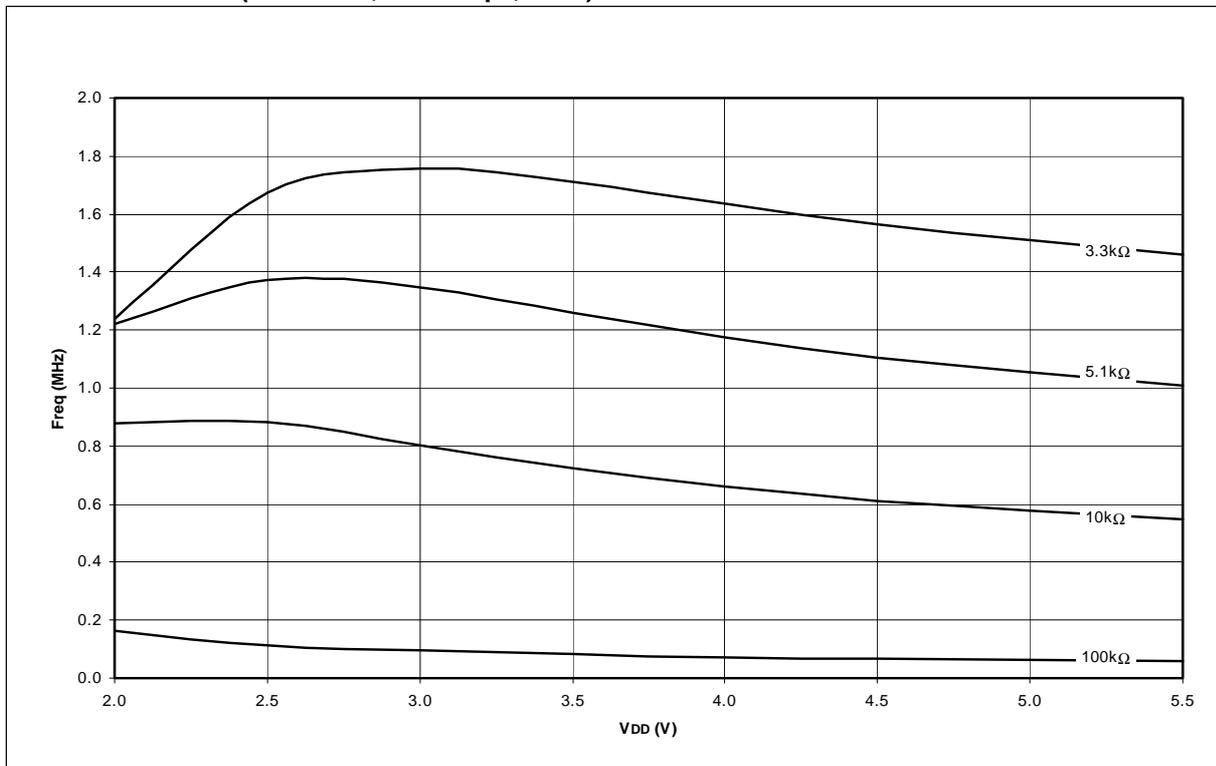


FIGURE 16-9: AVERAGE F_{OSC} vs. V_{DD} FOR VARIOUS VALUES OF R (RC MODE, C = 300 pF, 25°C)

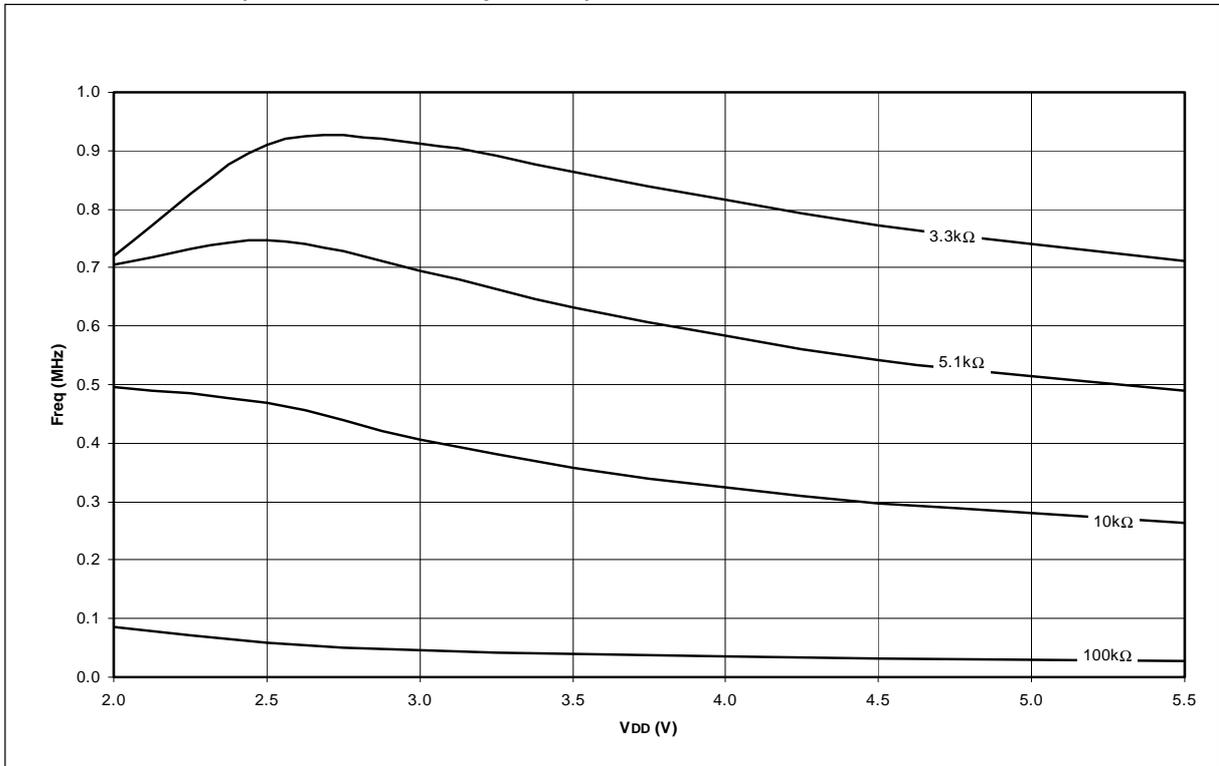
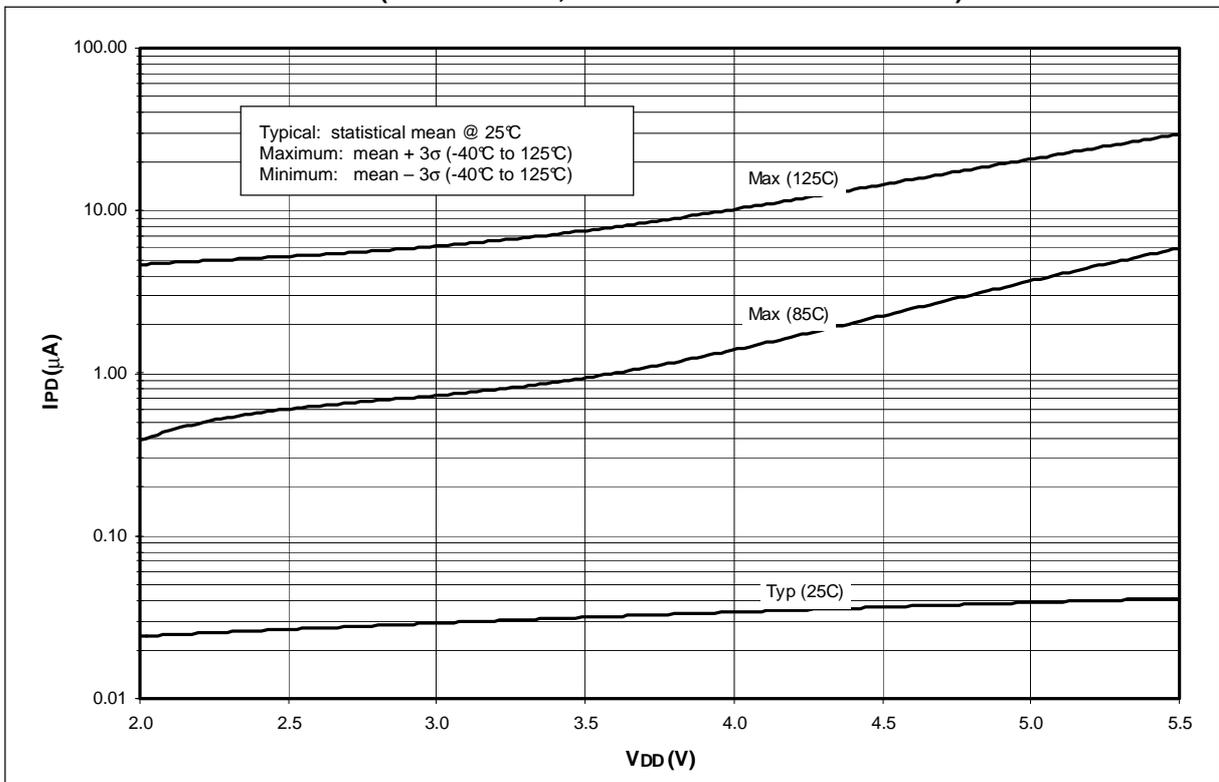


FIGURE 16-10: I_{PD} vs. V_{DD} (SLEEP MODE, ALL PERIPHERALS DISABLED)



PIC16F87X

FIGURE 16-11: ΔI_{BOR} vs. V_{DD} OVER TEMPERATURE

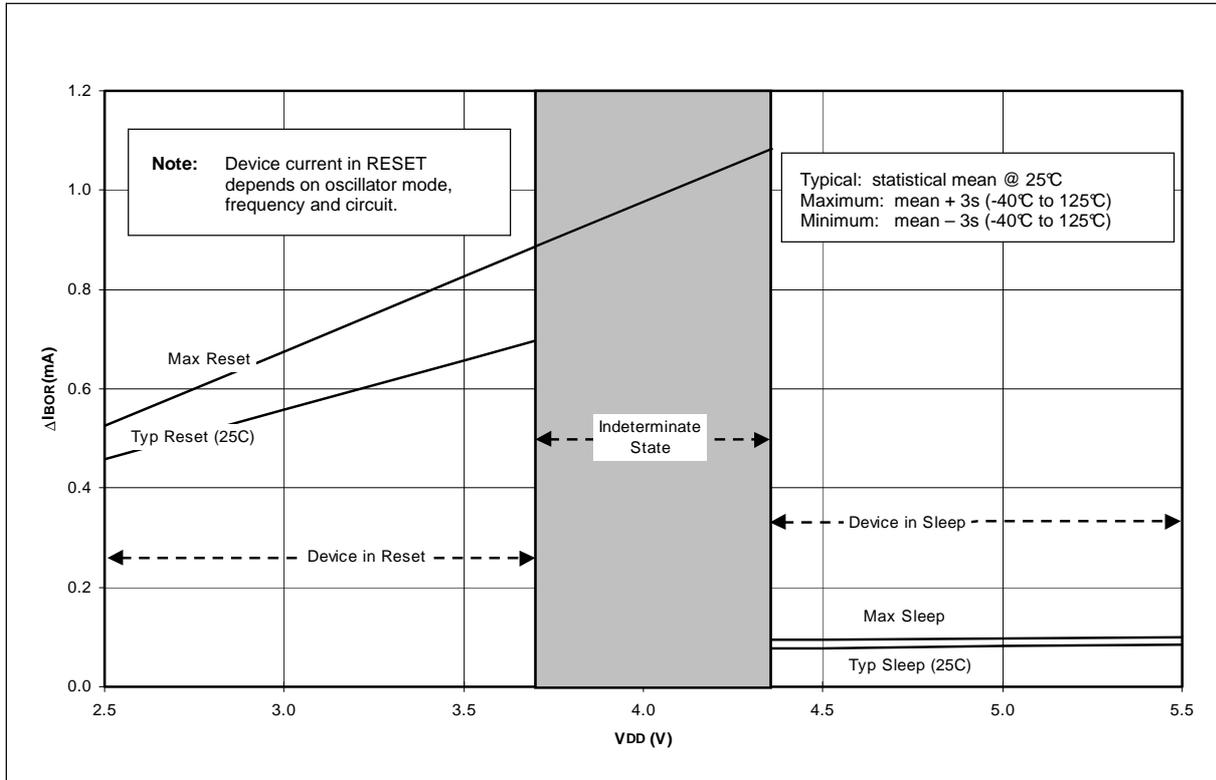


FIGURE 16-12: TYPICAL AND MAXIMUM ΔI_{TMR1} vs. V_{DD} OVER TEMPERATURE (-10°C TO 70°C, TIMER1 WITH OSCILLATOR, XTAL=32 KHZ, C1 AND C2=50 pF)

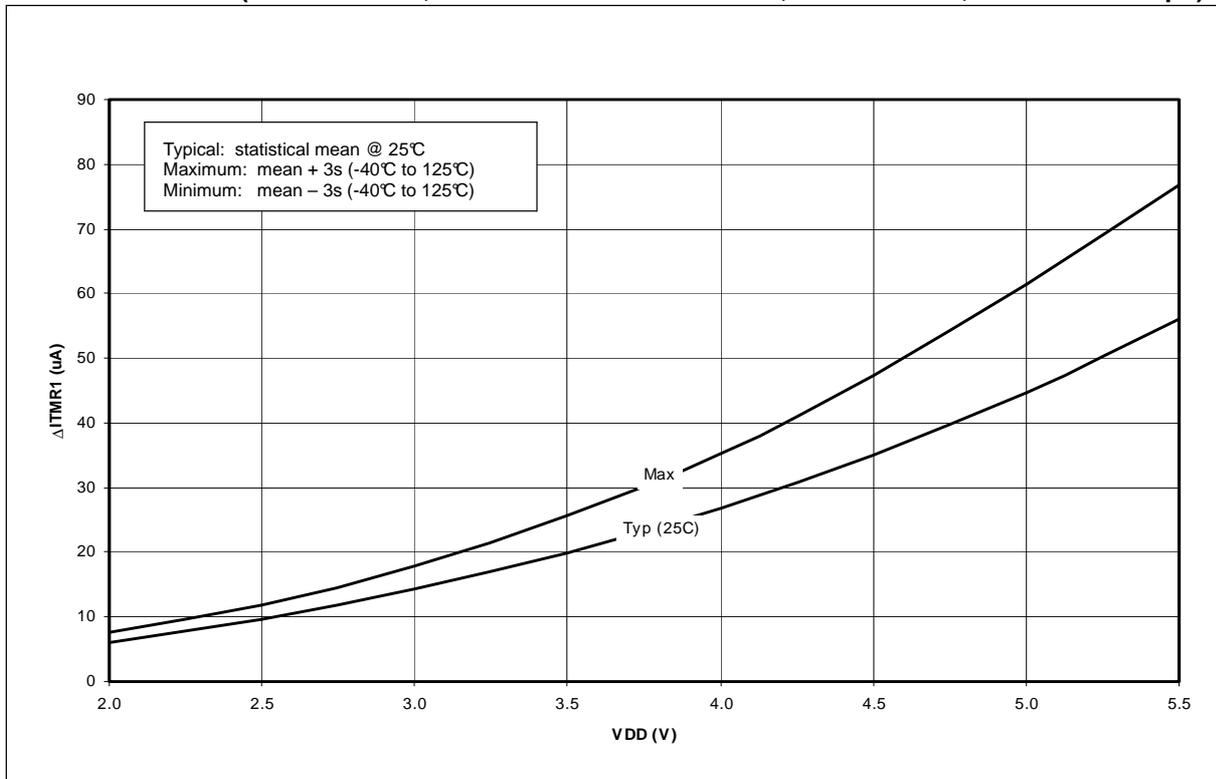


FIGURE 16-13: TYPICAL AND MAXIMUM ΔI_{WDT} vs. V_{DD} OVER TEMPERATURE

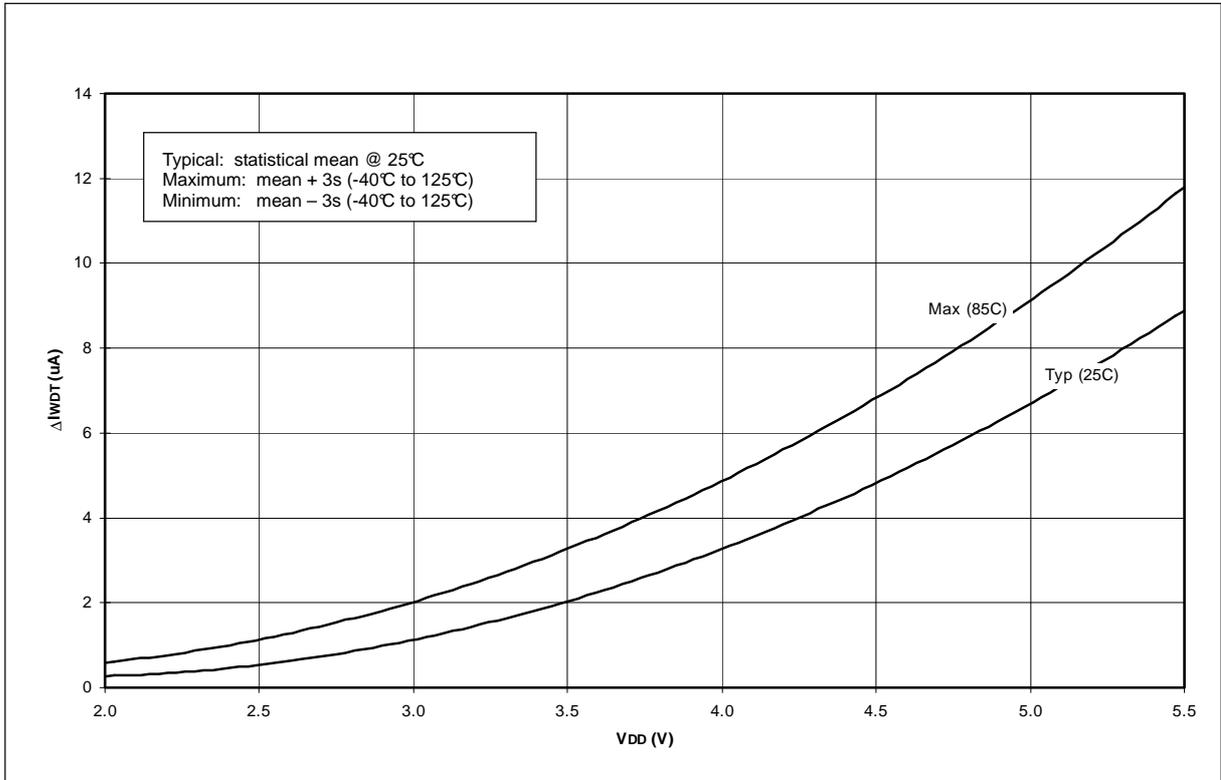
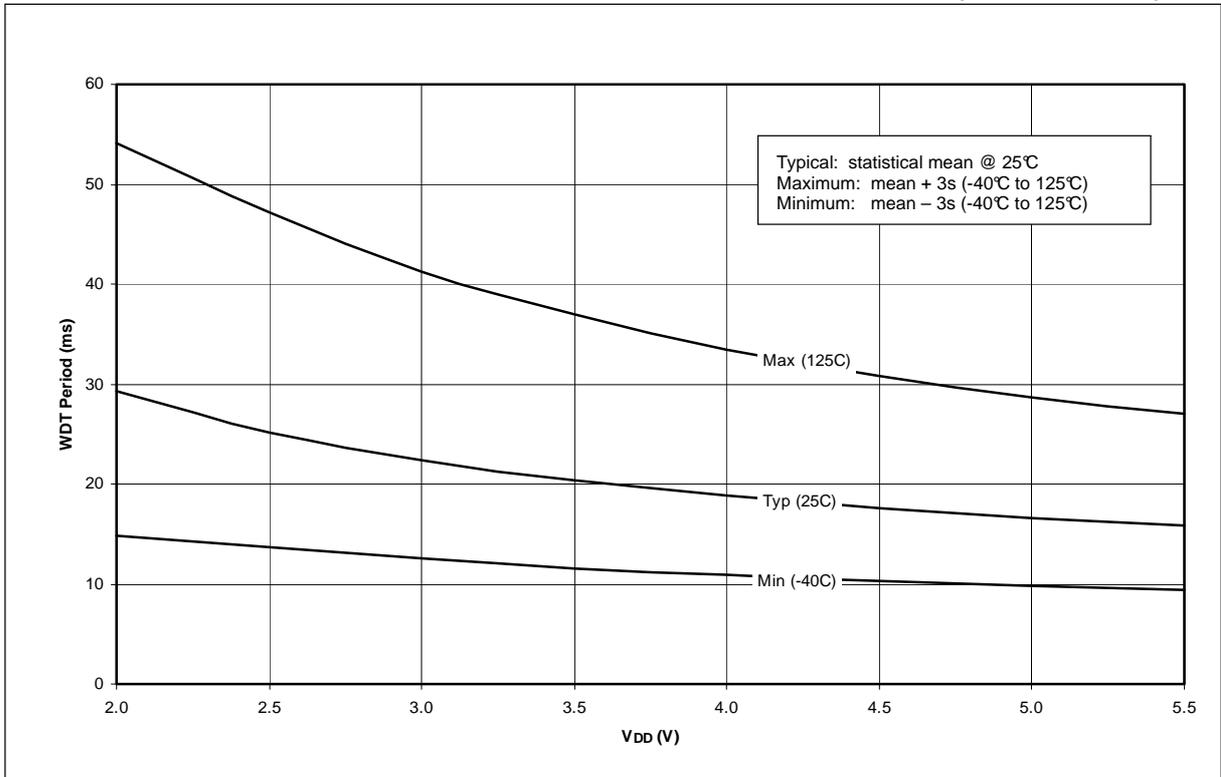


FIGURE 16-14: TYPICAL, MINIMUM AND MAXIMUM WDT PERIOD vs. V_{DD} (-40°C TO 125°C)



PIC16F87X

FIGURE 16-15: AVERAGE WDT PERIOD vs. V_{DD} OVER TEMPERATURE (-40°C TO 125°C)

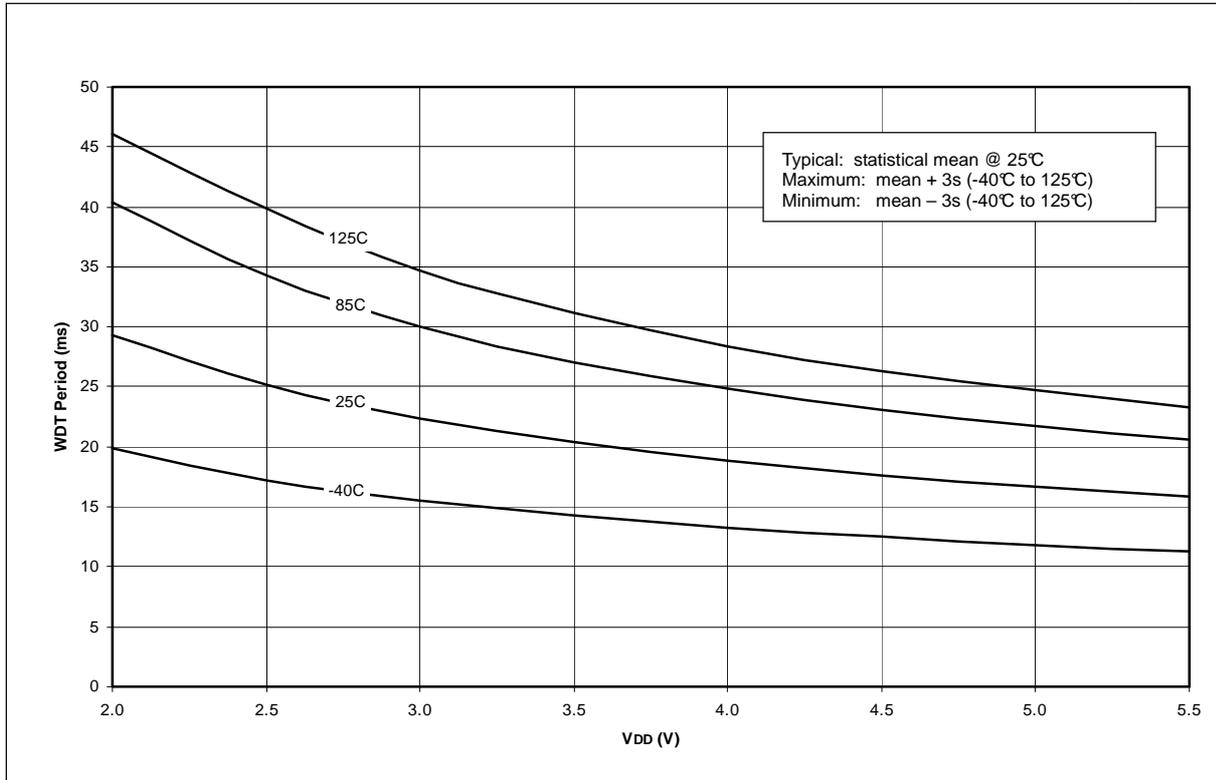


FIGURE 16-16: TYPICAL, MINIMUM AND MAXIMUM V_{OH} vs. I_{OH} (V_{DD}=5V, -40°C TO 125°C)

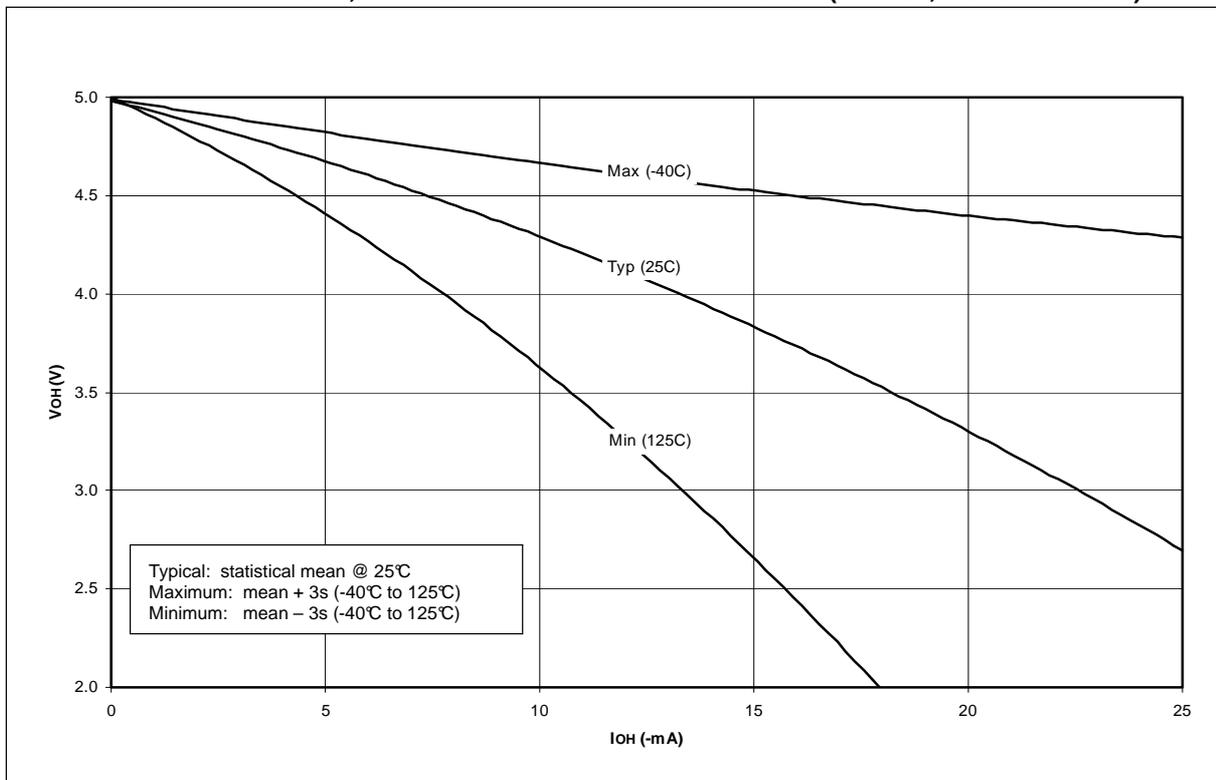


FIGURE 16-17: TYPICAL, MINIMUM AND MAXIMUM V_{OH} vs. I_{OH} ($V_{DD}=3V$, $-40^{\circ}C$ TO $125^{\circ}C$)

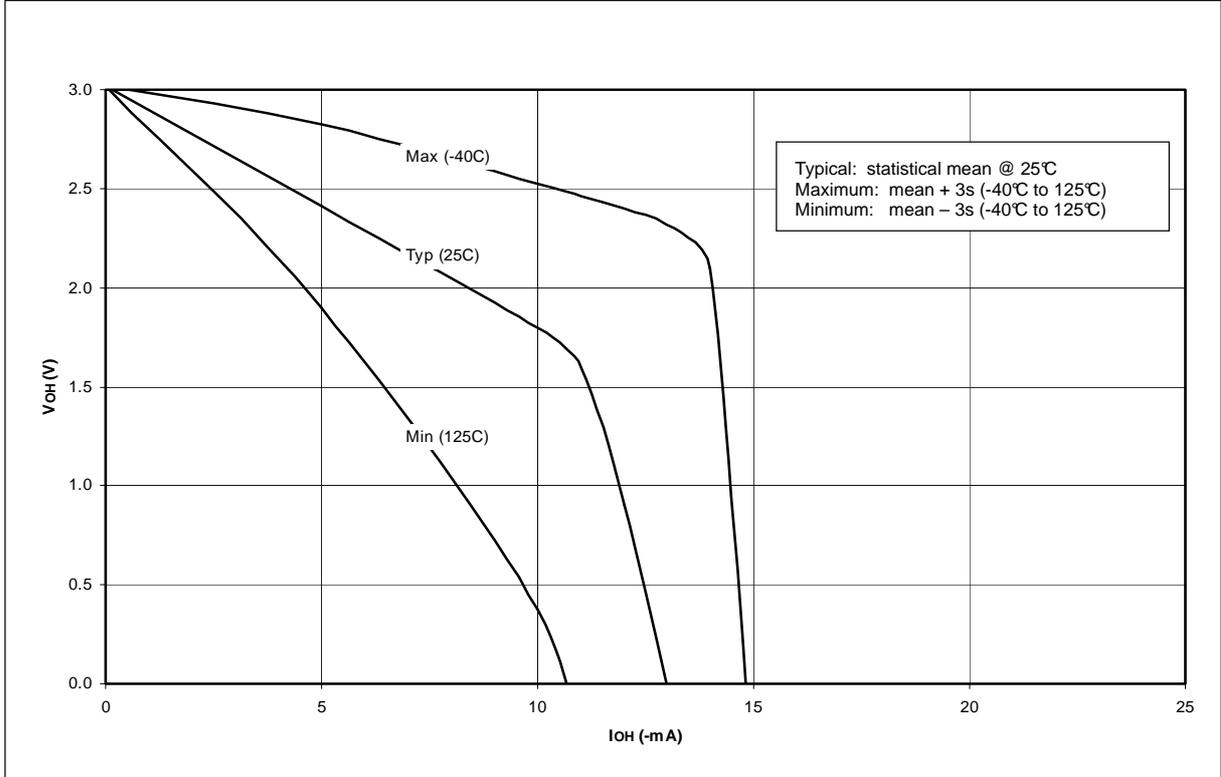
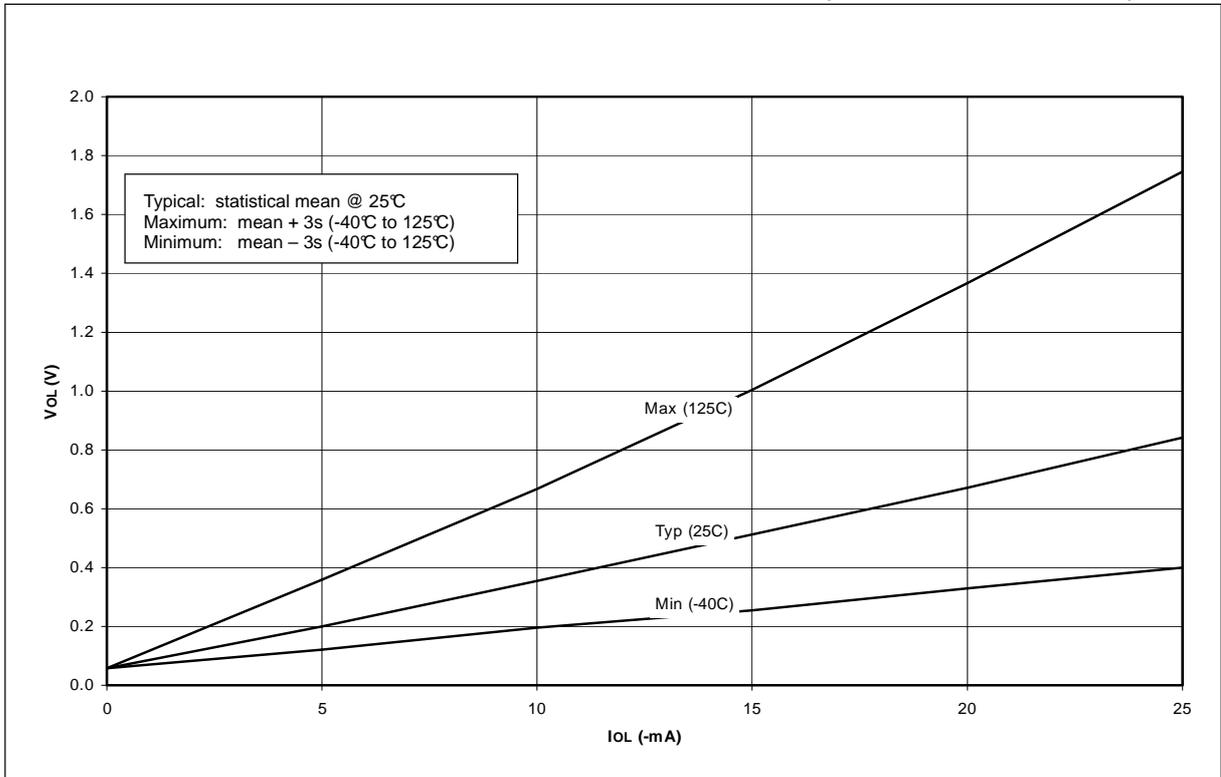


FIGURE 16-18: TYPICAL, MINIMUM AND MAXIMUM V_{OL} vs. I_{OL} ($V_{DD}=5V$, $-40^{\circ}C$ TO $125^{\circ}C$)



ON-LINE SUPPORT

Microchip provides on-line support on the Microchip World Wide Web (WWW) site.

The web site is used by Microchip as a means to make files and information easily available to customers. To view the site, the user must have access to the Internet and a web browser, such as Netscape or Microsoft Explorer. Files are also available for FTP download from our FTP site.

Connecting to the Microchip Internet Web Site

The Microchip web site is available by using your favorite Internet browser to attach to:

www.microchip.com

The file transfer site is available by using an FTP service to connect to:

<ftp://ftp.microchip.com>

The web site and file transfer site provide a variety of services. Users may download files for the latest Development Tools, Data Sheets, Application Notes, User's Guides, Articles and Sample Programs. A variety of Microchip specific business information is also available, including listings of Microchip sales offices, distributors and factory representatives. Other data available for consideration is:

- Latest Microchip Press Releases
- Technical Support Section with Frequently Asked Questions
- Design Tips
- Device Errata
- Job Postings
- Microchip Consultant Program Member Listing
- Links to other useful web sites related to Microchip Products
- Conferences for products, Development Systems, technical information and more
- Listing of seminars and events

Systems Information and Upgrade Hot Line

The Systems Information and Upgrade Line provides system users a listing of the latest versions of all of Microchip's development systems software products. Plus, this line provides information on how customers can receive any currently available upgrade kits. The Hot Line Numbers are:

1-800-755-2345 for U.S. and most of Canada, and

1-480-792-7302 for the rest of the world.

001024

ANEXO 2



PIC16F627A/628A/648A
Data Sheet

Flash-Based 8-Bit CMOS
Microcontrollers with nanoWatt Technology



PIC16F627A/628A/648A

18-pin Flash-Based 8-Bit CMOS Microcontrollers with nanoWatt Technology

- Operating speeds from DC - 20 MHz
- Interrupt capability
- 8-level deep hardware stack
- Direct, Indirect and Relative Addressing modes
- 35 single word instructions
 - All instructions single cycle except branches

Special Microcontroller Features:

- Internal and external oscillator options
 - Precision Internal 4 MHz oscillator factory calibrated to $\pm 1\%$
 - Low Power Internal 37 kHz oscillator
 - External Oscillator support for crystals and resonators.
- Power saving Sleep mode
- Programmable weak pull-ups on PORTB
- Multiplexed Master Clear/Input-pin
- Watchdog Timer with independent oscillator for reliable operation
- Low voltage programming
- In-Circuit Serial Programming™ (via two pins)
- Programmable code protection
- Brown-out Reset
- Power-on Reset
- Power-up Timer and Oscillator Start-up Timer
- Wide operating voltage range. (2.0 - 5.5V)
- Industrial and extended temperature range
- High Endurance Flash/EEPROM Cell
 - 100,000 write Flash endurance
 - 1,000,000 write EEPROM endurance
 - 100 year data retention

- Standby Current:
 - 100 nA @ 2.0V, typical
- Operating Current:
 - 12 μ A @ 32 kHz, 2.0V, typical
 - 120 μ A @ 1 MHz, 2.0V, typical
- Watchdog Timer Current
 - 1 μ A @ 2.0V, typical
- Timer1 oscillator current:
 - 1.2 μ A @ 32 kHz, 2.0V, typical
- Dual Speed Internal Oscillator:
 - Run-time selectable between 4 MHz and 37 kHz
 - 4 μ s wake-up from Sleep, 3.0V, typical

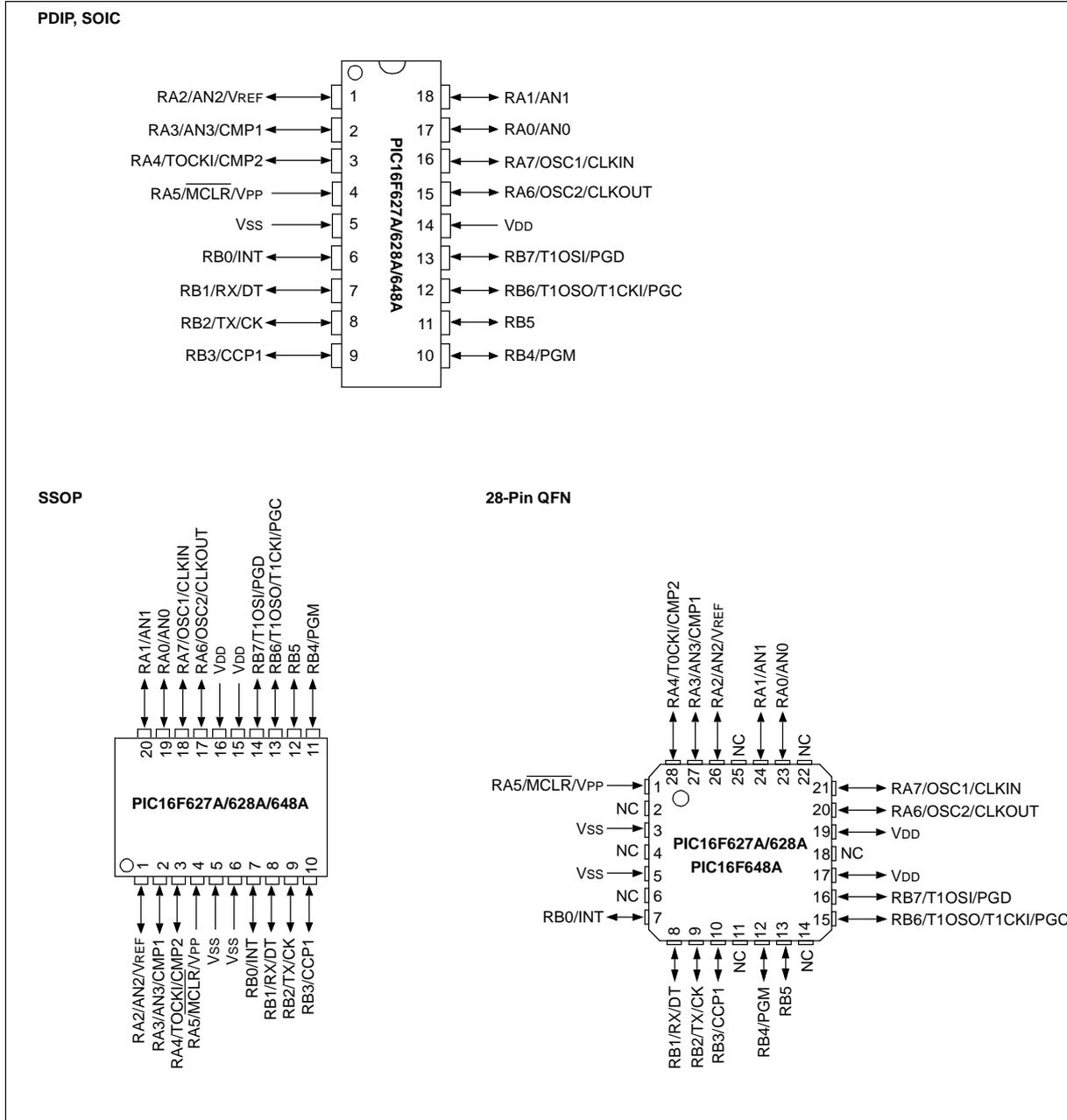
Peripheral Features:

- 16 I/O pins with individual direction control
- High current sink/source for direct LED drive
- Analog comparator module with:
 - Two analog comparators
 - Programmable on-chip voltage reference (VREF) module
 - Selectable internal or external reference
 - Comparator outputs are externally accessible
- Timer0: 8-bit timer/counter with 8-bit programmable prescaler
- Timer1: 16-bit timer/counter with external crystal/clock capability
- Timer2: 8-bit timer/counter with 8-bit period register, prescaler and postscaler
- Capture, Compare, PWM module
 - 16-bit Capture/Compare
 - 10-bit PWM
- Addressable Universal Synchronous/Asynchronous Receiver/Transmitter USART/SCI

Device	Program Memory	Data Memory		I/O	CCP (PWM)	USART	Comparators	Timers 8/16-bit
	Flash (words)	SRAM (bytes)	EEPROM (bytes)					
PIC16F627A	1024	224	128	16	1	Y	2	2/1
PIC16F628A	2048	224	128	16	1	Y	2	2/1
PIC16F648A	4096	256	256	16	1	Y	2	2/1

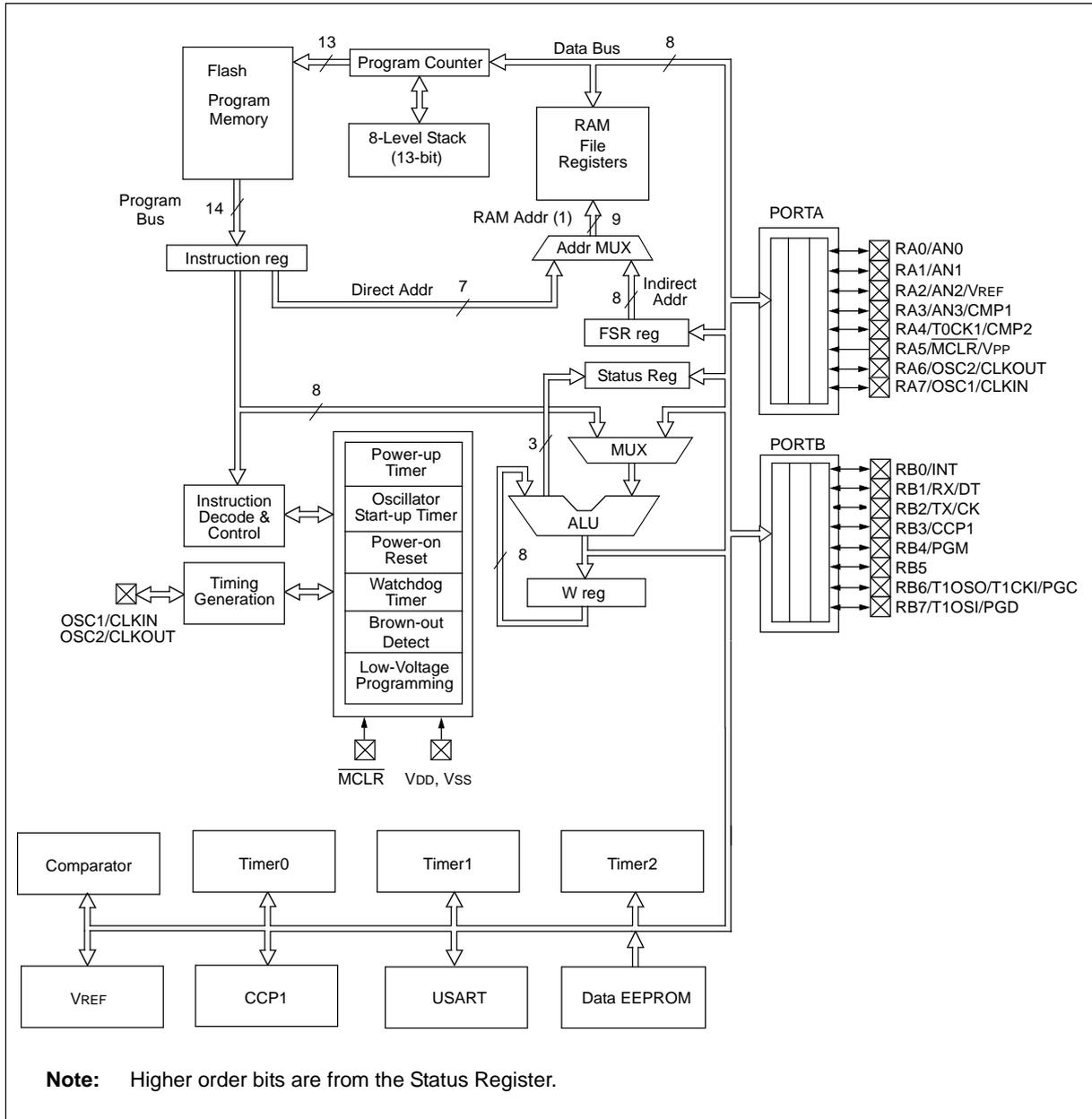
PIC16F627A/628A/648A

Pin Diagrams



PIC16F627A/628A/648A

FIGURE 3-1: BLOCK DIAGRAM



PIC16F627A/628A/648A

TABLE 3-2: PIC16F627A/628A/648A PINOUT DESCRIPTION

Name	Function	Input Type	Output Type	Description
RA0/AN0	RA0	ST	CMOS	Bidirectional I/O port
	AN0	AN	—	Analog comparator input
RA1/AN1	RA1	ST	CMOS	Bidirectional I/O port
	AN1	AN	—	Analog comparator input
RA2/AN2/VREF	RA2	ST	CMOS	Bidirectional I/O port
	AN2	AN	—	Analog comparator input
	VREF	—	AN	VREF output
RA3/AN3/CMP1	RA3	ST	CMOS	Bidirectional I/O port
	AN3	AN	—	Analog comparator input
	CMP1	—	CMOS	Comparator 1 output
RA4/T0CKI/CMP2	RA4	ST	OD	Bidirectional I/O port
	T0CKI	ST	—	Timer0 clock input
	CMP2	—	OD	Comparator 2 output
RA5/ $\overline{\text{MCLR}}$ /VPP	RA5	ST	—	Input port
	$\overline{\text{MCLR}}$	ST	—	Master clear. When configured as $\overline{\text{MCLR}}$, this pin is an active low Reset to the device. Voltage on $\overline{\text{MCLR}}$ /VPP must not exceed VDD during normal device operation.
	VPP	—	—	Programming voltage input.
RA6/OSC2/CLKOUT	RA6	ST	CMOS	Bidirectional I/O port
	OSC2	—	XTAL	Oscillator crystal output. Connects to crystal or resonator in Crystal Oscillator mode.
	CLKOUT	—	CMOS	In RC/INTOSC mode, OSC2 pin can output CLKOUT, which has 1/4 the frequency of OSC1
RA7/OSC1/CLKIN	RA7	ST	CMOS	Bidirectional I/O port
	OSC1	XTAL	—	Oscillator crystal input
	CLKIN	ST	—	External clock source input. RC biasing pin.
RB0/INT	RB0	TTL	CMOS	Bidirectional I/O port. Can be software programmed for internal weak pull-up.
	INT	ST	—	External interrupt.
RB1/RX/DT	RB1	TTL	CMOS	Bidirectional I/O port. Can be software programmed for internal weak pull-up.
	RX	ST	—	USART receive pin
	DT	ST	CMOS	Synchronous data I/O.
RB2/TX/CK	RB2	TTL	CMOS	Bidirectional I/O port. Can be software programmed for internal weak pull-up.
	TX	—	CMOS	USART transmit pin
	CK	ST	CMOS	Synchronous clock I/O.
RB3/CCP1	RB3	TTL	CMOS	Bidirectional I/O port. Can be software programmed for internal weak pull-up.
	CCP1	ST	CMOS	Capture/Compare/PWM I/O

Legend: O = Output CMOS = CMOS Output P = Power
 — = Not used I = Input ST = Schmitt Trigger Input
 TTL = TTL Input OD = Open Drain Output AN = Analog

PIC16F627A/628A/648A

TABLE 3-2: PIC16F627A/628A/648A PINOUT DESCRIPTION

Name	Function	Input Type	Output Type	Description
RB4/PGM	RB4	TTL	CMOS	Bidirectional I/O port. Interrupt-on-pin change. Can be software programmed for internal weak pull-up.
	PGM	ST	—	Low voltage programming input pin. When low voltage programming is enabled, the interrupt-on-pin change and weak pull-up resistor are disabled.
RB5	RB5	TTL	CMOS	Bidirectional I/O port. Interrupt-on-pin change. Can be software programmed for internal weak pull-up.
RB6/T1OSO/T1CKI/PGC	RB6	TTL	CMOS	Bidirectional I/O port. Interrupt-on-pin change. Can be software programmed for internal weak pull-up.
	T1OSO	—	XTAL	Timer1 oscillator output.
	T1CKI	ST	—	Timer1 clock input.
	PGC	ST	—	ICSP Programming Clock.
RB7/T1OSI/PGD	RB7	TTL	CMOS	Bidirectional I/O port. Interrupt-on-pin change. Can be software programmed for internal weak pull-up.
	T1OSI	XTAL	—	Timer1 oscillator input.
	PGD	ST	CMOS	ICSP Data I/O
Vss	Vss	Power	—	Ground reference for logic and I/O pins
VDD	VDD	Power	—	Positive supply for logic and I/O pins

Legend: O = Output CMOS = CMOS Output P = Power
 — = Not used I = Input ST = Schmitt Trigger Input
 TTL = TTL Input OD = Open Drain Output AN = Analog

PIC16F627A/628A/648A

TABLE 15-2: PIC16F627A/628A/648A INSTRUCTION SET

Mnemonic, Operands	Description	Cycles	14-Bit Opcode				Status Affected	Notes	
			MSb	LSb					
BYTE-ORIENTED FILE REGISTER OPERATIONS									
ADDWF	f, d	Add W and f	1	00	0111	dfff	ffff	C,DC,Z	1,2
ANDWF	f, d	AND W with f	1	00	0101	dfff	ffff	Z	1,2
CLRF	f	Clear f	1	00	0001	1fff	ffff	Z	2
CLRWF	—	Clear W	1	00	0001	0000	0011	Z	
COMF	f, d	Complement f	1	00	1001	dfff	ffff	Z	1,2
DECf	f, d	Decrement f	1	00	0011	dfff	ffff	Z	1,2
DECFSZ	f, d	Decrement f, Skip if 0	1(2)	00	1011	dfff	ffff		1,2,3
INCF	f, d	Increment f	1	00	1010	dfff	ffff	Z	1,2
INCFSZ	f, d	Increment f, Skip if 0	1(2)	00	1111	dfff	ffff		1,2,3
IORWF	f, d	Inclusive OR W with f	1	00	0100	dfff	ffff	Z	1,2
MOVF	f, d	Move f	1	00	1000	dfff	ffff	Z	1,2
MOVWF	f	Move W to f	1	00	0000	1fff	ffff		
NOP	—	No Operation	1	00	0000	0xx0	0000		
RLF	f, d	Rotate Left f through Carry	1	00	1101	dfff	ffff	C	1,2
RRF	f, d	Rotate Right f through Carry	1	00	1100	dfff	ffff	C	1,2
SUBWF	f, d	Subtract W from f	1	00	0010	dfff	ffff	C,DC,Z	1,2
SWAPF	f, d	Swap nibbles in f	1	00	1110	dfff	ffff		1,2
XORWF	f, d	Exclusive OR W with f	1	00	0110	dfff	ffff	Z	1,2
BIT-ORIENTED FILE REGISTER OPERATIONS									
BCF	f, b	Bit Clear f	1	01	00bb	bfff	ffff		1,2
BSF	f, b	Bit Set f	1	01	01bb	bfff	ffff		1,2
BTFSC	f, b	Bit Test f, Skip if Clear	1(2)	01	10bb	bfff	ffff		3
BTFSS	f, b	Bit Test f, Skip if Set	1(2)	01	11bb	bfff	ffff		3
LITERAL AND CONTROL OPERATIONS									
ADDLW	k	Add literal and W	1	11	111x	kkkk	kkkk	C,DC,Z	
ANDLW	k	AND literal with W	1	11	1001	kkkk	kkkk	Z	
CALL	k	Call subroutine	2	10	0kkk	kkkk	kkkk		
CLRWDt	—	Clear Watchdog Timer	1	00	0000	0110	0100	$\overline{TO}, \overline{PD}$	
GOTO	k	Go to address	2	10	1kkk	kkkk	kkkk		
IORLW	k	Inclusive OR literal with W	1	11	1000	kkkk	kkkk	Z	
MOVLW	k	Move literal to W	1	11	00xx	kkkk	kkkk		
RETFIE	—	Return from interrupt	2	00	0000	0000	1001		
RETLW	k	Return with literal in W	2	11	01xx	kkkk	kkkk		
RETURN	—	Return from Subroutine	2	00	0000	0000	1000		
SLEEP	—	Go into Standby mode	1	00	0000	0110	0011	$\overline{TO}, \overline{PD}$	
SUBLW	k	Subtract W from literal	1	11	110x	kkkk	kkkk	C,DC,Z	
XORLW	k	Exclusive OR literal with W	1	11	1010	kkkk	kkkk	Z	

- Note 1:** When an I/O register is modified as a function of itself (e.g., MOVF PORTB, 1), the value used will be that value present on the pins themselves. For example, if the data latch is '1' for a pin configured as input and is driven low by an external device, the data will be written back with a '0'.
- Note 2:** If this instruction is executed on the TMR0 register (and, where applicable, d = 1), the prescaler will be cleared if assigned to the Timer0 Module.
- Note 3:** If Program Counter (PC) is modified or a conditional test is true, the instruction requires two cycles. The second cycle is executed as a NOP.

PIC16F627A/628A/648A

15.1 Instruction Descriptions

ADDLW Add Literal and W

Syntax: [*label*] ADDLW *k*

Operands: $0 \leq k \leq 255$

Operation: $(W) + k \rightarrow (W)$

Status Affected: C, DC, Z

Encoding:

11	111x	kkkk	kkkk
----	------	------	------

Description: The contents of the W register are added to the eight bit literal 'k' and the result is placed in the W register.

Words: 1

Cycles: 1

Example
ADDLW 0x15
Before Instruction
W = 0x10
After Instruction
W = 0x25

ANDLW AND Literal with W

Syntax: [*label*] ANDLW *k*

Operands: $0 \leq k \leq 255$

Operation: $(W) .AND. (k) \rightarrow (W)$

Status Affected: Z

Encoding:

11	1001	kkkk	kkkk
----	------	------	------

Description: The contents of W register are AND'ed with the eight bit literal 'k'. The result is placed in the W register.

Words: 1

Cycles: 1

Example
ANDLW 0x5F
Before Instruction
W = 0xA3
After Instruction
W = 0x03

ADDWF Add W and f

Syntax: [*label*] ADDWF *f,d*

Operands: $0 \leq f \leq 127$
 $d \in [0,1]$

Operation: $(W) + (f) \rightarrow (dest)$

Status Affected: C, DC, Z

Encoding:

00	0111	dfff	ffff
----	------	------	------

Description: Add the contents of the W register with register 'f'. If 'd' is 0 the result is stored in the W register. If 'd' is 1 the result is stored back in register 'f'.

Words: 1

Cycles: 1

Example
ADDWF REG1, 0
Before Instruction
W = 0x17
REG1 = 0xC2
After Instruction
W = 0xD9
REG1 = 0xC2
Z = 0
C = 0
DC = 0

ANDWF AND W with f

Syntax: [*label*] ANDWF *f,d*

Operands: $0 \leq f \leq 127$
 $d \in [0,1]$

Operation: $(W) .AND. (f) \rightarrow (dest)$

Status Affected: Z

Encoding:

00	0101	dfff	ffff
----	------	------	------

Description: AND the W register with register 'f'. If 'd' is 0 the result is stored in the W register. If 'd' is 1 the result is stored back in register 'f'.

Words: 1

Cycles: 1

Example
ANDWF REG1, 1
Before Instruction
W = 0x17
REG1 = 0xC2
After Instruction
W = 0x17
REG1 = 0x02

PIC16F627A/628A/648A

BCF Bit Clear f

Syntax: [*label*] BCF f,b

Operands: $0 \leq f \leq 127$
 $0 \leq b \leq 7$

Operation: $0 \rightarrow (f)$

Status Affected: None

Encoding:

01	00bb	bfff	ffff
----	------	------	------

Description: Bit 'b' in register 'f' is cleared.

Words: 1

Cycles: 1

Example

```
BCF    REG1, 7

Before Instruction
REG1  = 0xC7
After Instruction
REG1  = 0x47
```

BSF Bit Set f

Syntax: [*label*] BSF f,b

Operands: $0 \leq f \leq 127$
 $0 \leq b \leq 7$

Operation: $1 \rightarrow (f)$

Status Affected: None

Encoding:

01	01bb	bfff	ffff
----	------	------	------

Description: Bit 'b' in register 'f' is set.

Words: 1

Cycles: 1

Example

```
BSF    REG1, 7

Before Instruction
REG1  = 0x0A
After Instruction
REG1  = 0x8A
```

BTFSC Bit Test f, Skip if Clear

Syntax: [*label*] BTFSC f,b

Operands: $0 \leq f \leq 127$
 $0 \leq b \leq 7$

Operation: skip if (f) = 0

Status Affected: None

Encoding:

01	10bb	bfff	ffff
----	------	------	------

Description: If bit 'b' in register 'f' is '0' then the next instruction is skipped. If bit 'b' is '0' then the next instruction fetched during the current instruction execution is discarded, and a NOP is executed instead, making this a two-cycle instruction.

Words: 1

Cycles: 1(2)

Example

```
HERE   BTFSC   REG1
FALSE  GOTO   PROCESS_CODE
TRUE   .
      .
      .
```

Before Instruction
PC = address HERE

After Instruction
if REG<1> = 0,
PC = address TRUE
if REG<1> = 1,
PC = address FALSE

PIC16F627A/628A/648A

BTFSS	Bit Test f, Skip if Set				
Syntax:	[<i>label</i>] BTFSS f,b				
Operands:	0 ≤ f ≤ 127 0 ≤ b < 7				
Operation:	skip if (f) = 1				
Status Affected:	None				
Encoding:	<table border="1"> <tr> <td>01</td> <td>11bb</td> <td>bfff</td> <td>ffff</td> </tr> </table>	01	11bb	bfff	ffff
01	11bb	bfff	ffff		
Description:	If bit 'b' in register 'f' is '1' then the next instruction is skipped. If bit 'b' is '1', then the next instruction fetched during the current instruction execution, is discarded and a NOP is executed instead, making this a two-cycle instruction.				
Words:	1				
Cycles:	1(2)				
Example	<pre> HERE BTFSS REG1 FALSE GOTO PROCESS_CODE TRUE . . . Before Instruction PC = address HERE After Instruction if FLAG<1> = 0, PC = address FALSE if FLAG<1> = 1, PC = address TRUE </pre>				

CALL	Call Subroutine				
Syntax:	[<i>label</i>] CALL k				
Operands:	0 ≤ k ≤ 2047				
Operation:	(PC)+ 1 → TOS, k → PC<10:0>, (PCLATH<4:3>) → PC<12:11>				
Status Affected:	None				
Encoding:	<table border="1"> <tr> <td>10</td> <td>0kkk</td> <td>kkkk</td> <td>kkkk</td> </tr> </table>	10	0kkk	kkkk	kkkk
10	0kkk	kkkk	kkkk		
Description:	Call Subroutine. First, return address (PC+1) is pushed onto the stack. The eleven bit immediate address is loaded into PC bits <10:0>. The upper bits of the PC are loaded from PCLATH. CALL is a two-cycle instruction.				
Words:	1				
Cycles:	2				
Example	<pre> HERE CALL THERE Before Instruction PC = Address HERE After Instruction PC = Address THERE TOS = Address HERE+1 </pre>				

CLRF	Clear f				
Syntax:	[<i>label</i>] CLRF f				
Operands:	0 ≤ f ≤ 127				
Operation:	00h → (f) 1 → Z				
Status Affected:	Z				
Encoding:	<table border="1"> <tr> <td>00</td> <td>0001</td> <td>1fff</td> <td>ffff</td> </tr> </table>	00	0001	1fff	ffff
00	0001	1fff	ffff		
Description:	The contents of register 'f' are cleared and the Z bit is set.				
Words:	1				
Cycles:	1				
Example	<pre> CLRF REG1 Before Instruction REG1 = 0x5A After Instruction REG1 = 0x00 Z = 1 </pre>				

PIC16F627A/628A/648A

CLRW Clear W

Syntax:	[<i>label</i>] CLRW				
Operands:	None				
Operation:	00h → (W) 1 → Z				
Status Affected:	Z				
Encoding:	<table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td>00</td> <td>0001</td> <td>0000</td> <td>0011</td> </tr> </table>	00	0001	0000	0011
00	0001	0000	0011		
Description:	W register is cleared. Zero bit (Z) is set.				
Words:	1				
Cycles:	1				
Example	<pre>CLRW Before Instruction W = 0x5A After Instruction W = 0x00 Z = 1</pre>				

COMF Complement f

Syntax:	[<i>label</i>] COMF f,d				
Operands:	0 ≤ f ≤ 127 d ∈ [0,1]				
Operation:	(\bar{f}) → (dest)				
Status Affected:	Z				
Encoding:	<table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td>00</td> <td>1001</td> <td>dfff</td> <td>ffff</td> </tr> </table>	00	1001	dfff	ffff
00	1001	dfff	ffff		
Description:	The contents of register 'f' are complemented. If 'd' is 0 the result is stored in W. If 'd' is 1 the result is stored back in register 'f'.				
Words:	1				
Cycles:	1				
Example	<pre>COMF REG1, 0 Before Instruction REG1 = 0x13 After Instruction REG1 = 0x13 W = 0xEC</pre>				

CLRWDT Clear Watchdog Timer

Syntax:	[<i>label</i>] CLRWDT				
Operands:	None				
Operation:	00h → WDT 0 → WDT prescaler, 1 → \overline{TO} 1 → PD				
Status Affected:	\overline{TO} , PD				
Encoding:	<table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td>00</td> <td>0000</td> <td>0110</td> <td>0100</td> </tr> </table>	00	0000	0110	0100
00	0000	0110	0100		
Description:	CLRWDT instruction resets the Watchdog Timer. It also resets the prescaler of the WDT. Status bits \overline{TO} and PD are set.				
Words:	1				
Cycles:	1				
Example	<pre>CLRWDT Before Instruction WDT counter = ? After Instruction WDT counter = 0x00 WDT prescaler = 0 \overline{TO} = 1 PD = 1</pre>				

DECF Decrement f

Syntax:	[<i>label</i>] DECF f,d				
Operands:	0 ≤ f ≤ 127 d ∈ [0,1]				
Operation:	(f) - 1 → (dest)				
Status Affected:	Z				
Encoding:	<table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td>00</td> <td>0011</td> <td>dfff</td> <td>ffff</td> </tr> </table>	00	0011	dfff	ffff
00	0011	dfff	ffff		
Description:	Decrement register 'f'. If 'd' is 0 the result is stored in the W register. If 'd' is 1 the result is stored back in register 'f'.				
Words:	1				
Cycles:	1				
Example	<pre>DECF CNT, 1 Before Instruction CNT = 0x01 Z = 0 After Instruction CNT = 0x00 Z = 1</pre>				

PIC16F627A/628A/648A

DECFSZ **Decrement f, Skip if 0**

Syntax: [*label*] DECFSZ f,d

Operands: $0 \leq f \leq 127$
 $d \in [0,1]$

Operation: (f) - 1 → (dest); skip if result = 0

Status Affected: None

Encoding:

00	1011	dfff	ffff
----	------	------	------

Description: The contents of register 'f' are decremented. If 'd' is 0 the result is placed in the W register. If 'd' is 1 the result is placed back in register 'f'.
 If the result is 0, the next instruction, which is already fetched, is discarded. A NOP is executed instead making it a two-cycle instruction.

Words: 1

Cycles: 1(2)

Example

```

HERE        DECFSZ    REG1, 1
                      GOTO        LOOP
CONTINUE •
                      •
                      •
  
```

Before Instruction
 PC = address HERE

After Instruction
 REG1 = REG1 - 1
 if REG1 = 0,
 PC = address CONTINUE
 if REG1 ≠ 0,
 PC = address HERE+1

GOTO **Unconditional Branch**

Syntax: [*label*] GOTO k

Operands: $0 \leq k \leq 2047$

Operation: $k \rightarrow PC<10:0>$
 $PCLATH<4:3> \rightarrow PC<12:11>$

Status Affected: None

Encoding:

10	1kkk	kkkk	kkkk
----	------	------	------

Description: GOTO is an unconditional branch. The eleven-bit immediate value is loaded into PC bits <10:0>. The upper bits of PC are loaded from PCLATH<4:3>. GOTO is a two-cycle instruction.

Words: 1

Cycles: 2

Example

```

GOTO THERE
  
```

After Instruction
 PC = Address THERE

PIC16F627A/628A/648A

INCF Increment f

Syntax: [*label*] INCF f,d

Operands: $0 \leq f \leq 127$
 $d \in [0,1]$

Operation: $(f) + 1 \rightarrow (\text{dest})$

Status Affected: Z

Encoding:

00	1010	dfff	ffff
----	------	------	------

Description: The contents of register 'f' are incremented. If 'd' is 0 the result is placed in the W register. If 'd' is 1 the result is placed back in register 'f'.

Words: 1

Cycles: 1

Example INCF REG1, 1

Before Instruction
 REG1 = 0xFF
 Z = 0
 After Instruction
 REG1 = 0x00
 Z = 1

INCFSZ Increment f, Skip if 0

Syntax: [*label*] INCFSZ f,d

Operands: $0 \leq f \leq 127$
 $d \in [0,1]$

Operation: $(f) + 1 \rightarrow (\text{dest})$, skip if result = 0

Status Affected: None

Encoding:

00	1111	dfff	ffff
----	------	------	------

Description: The contents of register 'f' are incremented. If 'd' is 0 the result is placed in the W register. If 'd' is 1 the result is placed back in register 'f'.

If the result is 0, the next instruction, which is already fetched, is discarded. A NOP is executed instead making it a two-cycle instruction.

Words: 1

Cycles: 1(2)

Example HERE INCFSZ REG1, 1

GOTO LOOP

CONTINUE
 •
 •
 •

Before Instruction
 PC = address HERE

After Instruction
 REG1 = REG1 + 1
 if CNT = 0,
 PC = address CONTINUE
 if REG1 ≠ 0,
 PC = address HERE + 1

PIC16F627A/628A/648A

IORLW Inclusive OR Literal with W

Syntax:	[<i>label</i>] IORLW <i>k</i>				
Operands:	$0 \leq k \leq 255$				
Operation:	(W) .OR. <i>k</i> → (W)				
Status Affected:	Z				
Encoding:	<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">11</td><td style="padding: 2px;">1000</td><td style="padding: 2px;">kkkk</td><td style="padding: 2px;">kkkk</td></tr></table>	11	1000	kkkk	kkkk
11	1000	kkkk	kkkk		
Description:	The contents of the W register is OR'ed with the eight bit literal 'k'. The result is placed in the W register.				
Words:	1				
Cycles:	1				
Example	<pre> IORLW 0x35 Before Instruction W = 0x9A After Instruction W = 0xBF Z = 0 </pre>				

MOVLW Move Literal to W

Syntax:	[<i>label</i>] MOVLW <i>k</i>				
Operands:	$0 \leq k \leq 255$				
Operation:	<i>k</i> → (W)				
Status Affected:	None				
Encoding:	<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">11</td><td style="padding: 2px;">00xx</td><td style="padding: 2px;">kkkk</td><td style="padding: 2px;">kkkk</td></tr></table>	11	00xx	kkkk	kkkk
11	00xx	kkkk	kkkk		
Description:	The eight bit literal 'k' is loaded into W register. The don't cares will assemble as 0's.				
Words:	1				
Cycles:	1				
Example	<pre> MOVLW 0x5A After Instruction W = 0x5A </pre>				

IORWF Inclusive OR W with f

Syntax:	[<i>label</i>] IORWF <i>f,d</i>				
Operands:	$0 \leq f \leq 127$ $d \in [0,1]$				
Operation:	(W) .OR. (<i>f</i>) → (<i>dest</i>)				
Status Affected:	Z				
Encoding:	<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">00</td><td style="padding: 2px;">0100</td><td style="padding: 2px;">dfff</td><td style="padding: 2px;">ffff</td></tr></table>	00	0100	dfff	ffff
00	0100	dfff	ffff		
Description:	Inclusive OR the W register with register 'f'. If 'd' is 0 the result is placed in the W register. If 'd' is 1 the result is placed back in register 'f'.				
Words:	1				
Cycles:	1				
Example	<pre> IORWF REG1, 0 Before Instruction REG1 = 0x13 W = 0x91 After Instruction REG1 = 0x13 W = 0x93 Z = 1 </pre>				

MOVF Move f

Syntax:	[<i>label</i>] MOVF <i>f,d</i>				
Operands:	$0 \leq f \leq 127$ $d \in [0,1]$				
Operation:	(<i>f</i>) → (<i>dest</i>)				
Status Affected:	Z				
Encoding:	<table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td style="padding: 2px;">00</td><td style="padding: 2px;">1000</td><td style="padding: 2px;">dfff</td><td style="padding: 2px;">ffff</td></tr></table>	00	1000	dfff	ffff
00	1000	dfff	ffff		
Description:	The contents of register <i>f</i> is moved to a destination dependent upon the status of <i>d</i> . If <i>d</i> = 0, destination is W register. If <i>d</i> = 1, the destination is file register <i>f</i> itself. <i>d</i> = 1 is useful to test a file register since status flag Z is affected.				
Words:	1				
Cycles:	1				
Example	<pre> MOVF REG1, 0 After Instruction W = value in REG1 register Z = 1 </pre>				

PIC16F627A/628A/648A

MOVWF Move W to f

Syntax:	[<i>label</i>] MOVWF f				
Operands:	0 ≤ f ≤ 127				
Operation:	(W) → (f)				
Status Affected:	None				
Encoding:	<table border="1" style="display: inline-table; border-collapse: collapse;"> <tr> <td style="padding: 2px 10px;">00</td> <td style="padding: 2px 10px;">0000</td> <td style="padding: 2px 10px;">1fff</td> <td style="padding: 2px 10px;">ffff</td> </tr> </table>	00	0000	1fff	ffff
00	0000	1fff	ffff		
Description:	Move data from W register to register 'f'.				
Words:	1				
Cycles:	1				
Example	<pre>MOVWF REG1 Before Instruction REG1 = 0xFF W = 0x4F After Instruction REG1 = 0x4F W = 0x4F</pre>				

OPTION Load Option Register

Syntax:	[<i>label</i>] OPTION				
Operands:	None				
Operation:	(W) → OPTION				
Status Affected:	None				
Encoding:	<table border="1" style="display: inline-table; border-collapse: collapse;"> <tr> <td style="padding: 2px 10px;">00</td> <td style="padding: 2px 10px;">0000</td> <td style="padding: 2px 10px;">0110</td> <td style="padding: 2px 10px;">0010</td> </tr> </table>	00	0000	0110	0010
00	0000	0110	0010		
Description:	The contents of the W register are loaded in the OPTION register. This instruction is supported for code compatibility with PIC16C5X products. Since OPTION is a readable/writable register, the user can directly address it. Using only register instruction such as MOVWF.				
Words:	1				
Cycles:	1				
Example	<div style="border: 1px solid black; padding: 5px; width: fit-content;"> <p>To maintain upward compatibility with future PICmicro® products, do not use this instruction.</p> </div>				

NOP No Operation

Syntax:	[<i>label</i>] NOP				
Operands:	None				
Operation:	No operation				
Status Affected:	None				
Encoding:	<table border="1" style="display: inline-table; border-collapse: collapse;"> <tr> <td style="padding: 2px 10px;">00</td> <td style="padding: 2px 10px;">0000</td> <td style="padding: 2px 10px;">0xx0</td> <td style="padding: 2px 10px;">0000</td> </tr> </table>	00	0000	0xx0	0000
00	0000	0xx0	0000		
Description:	No operation.				
Words:	1				
Cycles:	1				
Example	NOP				

RETfie Return from Interrupt

Syntax:	[<i>label</i>] RETfie				
Operands:	None				
Operation:	TOS → PC, 1 → GIE				
Status Affected:	None				
Encoding:	<table border="1" style="display: inline-table; border-collapse: collapse;"> <tr> <td style="padding: 2px 10px;">00</td> <td style="padding: 2px 10px;">0000</td> <td style="padding: 2px 10px;">0000</td> <td style="padding: 2px 10px;">1001</td> </tr> </table>	00	0000	0000	1001
00	0000	0000	1001		
Description:	Return from Interrupt. Stack is POPed and Top of Stack (TOS) is loaded in the PC. Interrupts are enabled by setting Global Interrupt Enable bit, GIE (INTCON<7>). This is a two-cycle instruction.				
Words:	1				
Cycles:	2				
Example	<pre>RETfie After Interrupt PC = TOS GIE = 1</pre>				

PIC16F627A/628A/648A

RETLW Return with Literal in W

Syntax: `[label] RETLW k`

Operands: $0 \leq k \leq 255$

Operation: $k \rightarrow (W)$;
TOS \rightarrow PC

Status Affected: None

Encoding:

11	01xx	kkkk	kkkk
----	------	------	------

Description: The W register is loaded with the eight bit literal 'k'. The program counter is loaded from the top of the stack (the return address). This is a two-cycle instruction.

Words: 1

Cycles: 2

Example

```
CALL TABLE;W contains table
;offset value
• ;W now has table value
•
TABLE
ADDWF PC;W = offset
RETLW k1;Begin table
RETLW k2;
•
•
RETLW kn; End of table
```

Before Instruction
W = 0x07

After Instruction
W = value of k8

RETURN Return from Subroutine

Syntax: `[label] RETURN`

Operands: None

Operation: TOS \rightarrow PC

Status Affected: None

Encoding:

00	0000	0000	1000
----	------	------	------

Description: Return from subroutine. The stack is POPed and the top of the stack (TOS) is loaded into the program counter. This is a two-cycle instruction.

Words: 1

Cycles: 2

Example

```
RETURN
```

After Interrupt
PC = TOS

RLF Rotate Left f through Carry

Syntax: `[label] RLF f,d`

Operands: $0 \leq f \leq 127$
 $d \in [0,1]$

Operation: See description below

Status Affected: C

Encoding:

00	1101	dfff	ffff
----	------	------	------

Description: The contents of register 'f' are rotated one bit to the left through the Carry Flag. If 'd' is 0 the result is placed in the W register. If 'd' is 1 the result is stored back in register 'f'.



Words: 1

Cycles: 1

Example

```
RLF    REG1, 0
```

Before Instruction
REG1=1110 0110
C = 0

After Instruction
REG1=1110 0110
W = 1100 1100
C = 1

PIC16F627A/628A/648A

RRF Rotate Right f through Carry

Syntax: [*label*] RRF *f,d*
 Operands: $0 \leq f \leq 127$
 $d \in [0,1]$
 Operation: See description below
 Status Affected: C
 Encoding:

00	1100	dfff	ffff
----	------	------	------

Description: The contents of register 'f' are rotated one bit to the right through the Carry Flag. If 'd' is 0 the result is placed in the W register. If 'd' is 1 the result is placed back in register 'f'.



Words: 1
 Cycles: 1
 Example RRF REG1, 0

Before Instruction
 REG1 = 1110 0110
 C = 0
 After Instruction
 REG1 = 1110 0110
 W = 0111 0011
 C = 0

SLEEP

Syntax: [*label*] SLEEP
 Operands: None
 Operation: 00h → WDT,
 0 → WDT prescaler,
 1 → \overline{TO} ,
 0 → \overline{PD}
 Status Affected: \overline{TO} , \overline{PD}
 Encoding:

00	0000	0110	0011
----	------	------	------

Description: The power-down Status bit, \overline{PD} is cleared. Time out Status bit, \overline{TO} is set. Watchdog Timer and its prescaler are cleared. The processor is put into Sleep mode with the oscillator stopped. See **Section 14.8 "Power-Down Mode (Sleep)"** for more details.

Words: 1
 Cycles: 1
 Example: SLEEP

SUBLW Subtract W from Literal

Syntax: [*label*] SUBLW *k*
 Operands: $0 \leq k \leq 255$
 Operation: $k - (W) \rightarrow (W)$
 Status Affected: C, DC, Z
 Encoding:

11	110x	kkkk	kkkk
----	------	------	------

Description: The W register is subtracted (2's complement method) from the eight bit literal 'k'. The result is placed in the W register.

Words: 1
 Cycles: 1
 Example 1: SUBLW 0x02

Before Instruction
 W = 1
 C = ?
 After Instruction
 W = 1
 C = 1; result is positive

Example 2: Before Instruction
 W = 2
 C = ?
 After Instruction
 W = 0
 C = 1; result is zero

Example 3: Before Instruction
 W = 3
 C = ?
 After Instruction
 W = 0xFF
 C = 0; result is negative

PIC16F627A/628A/648A

SUBWF **Subtract W from f**

Syntax: [*label*] SUBWF f,d

Operands: $0 \leq f \leq 127$
 $d \in [0,1]$

Operation: $(f) - (W) \rightarrow (\text{dest})$

Status Affected: C, DC, Z

Encoding:

00	0010	dfff	ffff
----	------	------	------

Description: Subtract (2's complement method) W register from register 'f'. If 'd' is 0 the result is stored in the W register. If 'd' is 1 the result is stored back in register 'f'.

Words: 1

Cycles: 1

Example 1: SUBWF REG1, 1

Before Instruction

REG1 = 3
W = 2
C = ?

After Instruction

REG1 = 1
W = 2
C = 1; result is positive
DC = 1
Z = 0

Example 2: Before Instruction

REG1 = 2
W = 2
C = ?

After Instruction

REG1 = 0
W = 2
C = 1; result is zero
Z = DC = 1

Example 3: Before Instruction

REG1 = 1
W = 2
C = ?

After Instruction

REG1 = 0xFF
W = 2
C = 0; result is negative
Z = DC = 0

SWAPF **Swap Nibbles in f**

Syntax: [*label*] SWAPF f,d

Operands: $0 \leq f \leq 127$
 $d \in [0,1]$

Operation: $(f<3:0>) \rightarrow (\text{dest}<7:4>)$,
 $(f<7:4>) \rightarrow (\text{dest}<3:0>)$

Status Affected: None

Encoding:

00	1110	dfff	ffff
----	------	------	------

Description: The upper and lower nibbles of register 'f' are exchanged. If 'd' is 0 the result is placed in W register. If 'd' is 1 the result is placed in register 'f'.

Words: 1

Cycles: 1

Example SWAPF REG1, 0

Before Instruction

REG1 = 0xA5

After Instruction

REG1 = 0xA5
W = 0x5A

TRIS	Load TRIS Register				
Syntax:	[<i>label</i>] TRIS f				
Operands:	$5 \leq f \leq 7$				
Operation:	$(W) \rightarrow \text{TRIS register } f$;				
Status Affected:	None				
Encoding:	<table border="1"> <tr> <td>00</td> <td>0000</td> <td>0110</td> <td>0fff</td> </tr> </table>	00	0000	0110	0fff
00	0000	0110	0fff		
Description:	The instruction is supported for code compatibility with the PIC16C5X products. Since TRIS registers are readable and writable, the user can directly address them.				
Words:	1				
Cycles:	1				
Example	<div style="border: 1px solid black; padding: 5px; margin-top: 10px;"> <p>To maintain upward compatibility with future PICmicro[®] products, do not use this instruction.</p> </div>				

PIC16F627A/628A/648A

XORLW Exclusive OR Literal with W

Syntax: [*label*] XORLW *k*
Operands: $0 \leq k \leq 255$
Operation: (W) .XOR. *k* → (W)
Status Affected: Z
Encoding:

11	1010	kkkk	kkkk
----	------	------	------

Description: The contents of the W register are XOR'ed with the eight bit literal '*k*'. The result is placed in the W register.
Words: 1
Cycles: 1
Example: XORLW 0xAF
Before Instruction
W = 0xB5
After Instruction
W = 0x1A

XORWF Exclusive OR W with f

Syntax: [*label*] XORWF *f,d*
Operands: $0 \leq f \leq 127$
 $d \in [0,1]$
Operation: (W) .XOR. (*f*) → (*dest*)
Status Affected: Z
Encoding:

00	0110	dfff	ffff
----	------	------	------

Description: Exclusive OR the contents of the W register with register '*f*'. If '*d*' is 0 the result is stored in the W register. If '*d*' is 1 the result is stored back in register '*f*'.
Words: 1
Cycles: 1
Example: XORWF REG1, 1
Before Instruction
REG1 = 0xAF
W = 0xB5
After Instruction
REG1 = 0x1A
W = 0xB5

PIC16F627A/628A/648A

FIGURE 17-1: PIC16F627A/628A/648A VOLTAGE-FREQUENCY GRAPH, $-40^{\circ}\text{C} \leq \text{TA} \leq +125^{\circ}\text{C}$

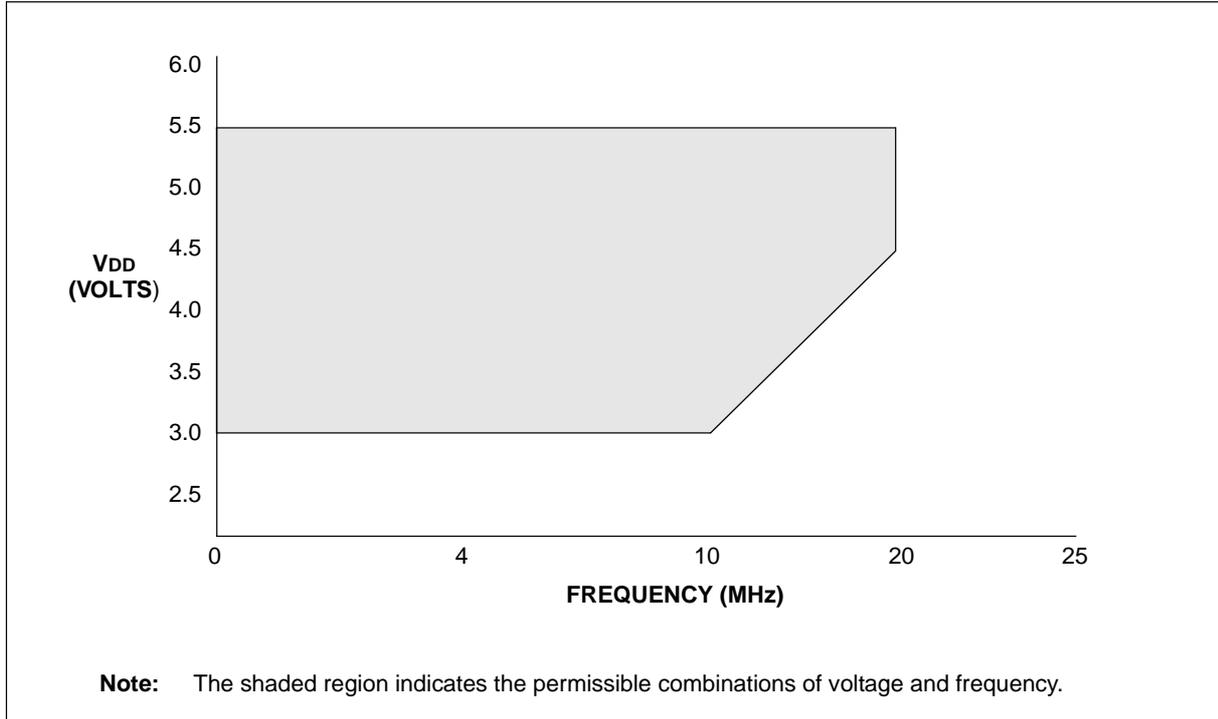
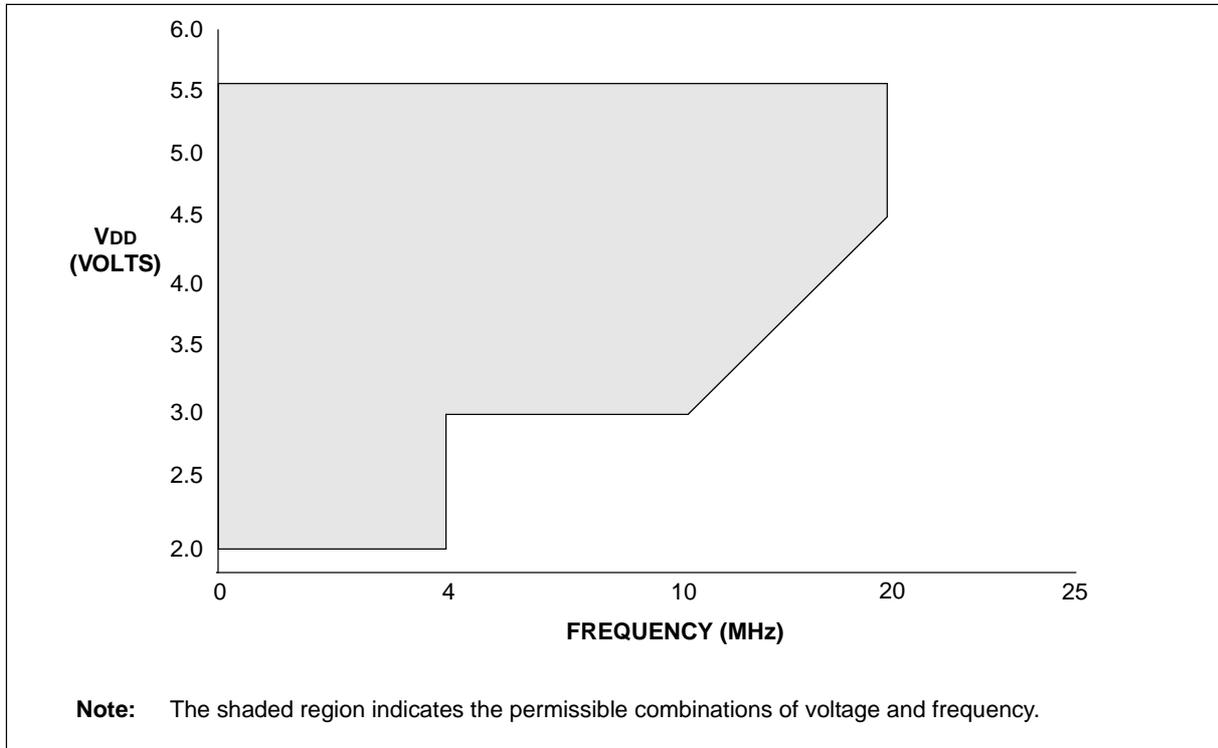


FIGURE 17-2: PIC16LF627A/628A/648A VOLTAGE-FREQUENCY GRAPH, $-40^{\circ}\text{C} \leq \text{TA} \leq +85^{\circ}\text{C}$



PIC16F627A/628A/648A

17.1 DC Characteristics: PIC16F627A/628A/648A (Industrial, Extended) PIC16LF627A/628A/648A (Industrial)

PIC16LF627A/628A/648A (Industrial)			Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_a \leq +85^{\circ}\text{C}$ for industrial				
PIC16F627A/628A/648A (Industrial, Extended)			Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_a \leq +85^{\circ}\text{C}$ for industrial and $-40^{\circ}\text{C} \leq T_a \leq +125^{\circ}\text{C}$ for extended				
Param No.	Sym	Characteristic/Device	Min	Typ†	Max	Units	Conditions
D001	VDD	Supply Voltage					
		PIC16LF627A/628A/648A	2.0	—	5.5	V	
		PIC16F627A/628A/648A	3.0	—	5.5	V	
D002	VDR	RAM Data Retention Voltage⁽¹⁾	—	1.5*	—	V	Device in Sleep mode
D003	VPOR	VDD Start Voltage to ensure Power-on Reset	—	VSS	—	V	See Section 14.4 on Power-on Reset for details
D004	SVDD	VDD Rise Rate to ensure Power-on Reset	0.05*	—	—	V/ms	See Section 14.4 on Power-on Reset for details
D005	VBOR	Brown-out Reset Voltage	3.65	4.0	4.35	V	BOREN configuration bit is set BOREN configuration bit is set, Extended
			3.65	4.0	4.4	V	

Legend: Rows with standard voltage device data only are shaded for improved readability.

* These parameters are characterized but not tested.

† Data in "Typ" column is at 5.0 V, 25°C, unless otherwise stated. These parameters are for design guidance only and are not tested.

Note 1: This is the limit to which VDD can be lowered in Sleep mode without losing RAM data.

PIC16F627A/628A/648A

17.2 DC Characteristics: PIC16F627A/628A/648A (Industrial) PIC16LF627A/628A/648A (Industrial)

		Standard Operating Conditions (unless otherwise stated)					
		Operating temperature $-40^{\circ}\text{C} \leq T_a \leq +85^{\circ}\text{C}$ for industrial					
Param No.	LF and F Device Characteristics	Min†	Typ	Max	Units	Conditions	
						VDD	Note
Supply Voltage (VDD)							
D001	LF	2.0	—	5.5	V	—	
	LF/F	3.0	—	5.5	V	—	
Power-down Base Current (IPD)							
D020	LF	—	0.1	0.80	μA	2.0	WDT, BOR, Comparators, VREF, and T1OSC: disabled
	LF/F	—	0.1	0.85	μA	3.0	
		—	0.2	2.7	μA	5.0	
Peripheral Module Current (ΔI_{Mod})⁽¹⁾							
D021	LF	—	1	2.0	μA	2.0	WDT Current
	LF/F	—	2	3.4	μA	3.0	
		—	9	17.0	μA	5.0	
D022	LF/F	—	32	TBD	μA	4.5	BOR Current
		—	33	TBD	μA	5.0	
D023	LF	—	15	TBD	μA	2.0	Comparator Current
	LF/F	—	27	TBD	μA	3.0	
		—	49	TBD	μA	5.0	
D024	LF	—	34	TBD	μA	2.0	VREF Current
	LF/F	—	50	TBD	μA	3.0	
		—	80	TBD	μA	5.0	
D025	LF	—	1.2	2.0	μA	2.0	T1Osc Current
	LF/F	—	1.3	2.2	μA	3.0	
		—	1.8	2.9	μA	5.0	
Supply Current (IDD)							
D010	LF	—	12	15	μA	2.0	Fosc = 32 kHz LP Oscillator Mode
	LF/F	—	21	25	μA	3.0	
		—	38	48	μA	5.0	
D011	LF	—	130	190	μA	2.0	Fosc = 1 MHz XT Oscillator Mode
	LF/F	—	220	340	μA	3.0	
		—	370	520	μA	5.0	
D012	LF	—	270	350	μA	2.0	Fosc = 4 MHz XT Oscillator Mode
	LF/F	—	430	600	μA	3.0	
		—	780	995	μA	5.0	
D013	LF/F	—	2.6	2.9	mA	4.5	Fosc = 20 MHz HS Oscillator Mode
		—	3	3.3	mA	5.0	

Note 1: The “ Δ ” current is the additional current consumed when this peripheral is enabled. This current should be added to the base IDD or IPD measurement. Max values should be used when calculating total current consumption.

PIC16F627A/628A/648A

17.3 DC Characteristics: PIC16F627A/628A/648A (Extended)

		Standard Operating Conditions (unless otherwise stated)					
		Operating temperature $-40^{\circ}\text{C} \leq T_a \leq +125^{\circ}\text{C}$ for extended					
Param No.	Device Characteristics	Min†	Typ	Max	Units	Conditions	
						VDD	Note
Supply Voltage (VDD)							
D001	—	3.0	—	5.5	V	—	
Power-down Base Current (IPD)							
D020E	—	—	0.1	TBD	μA	3.0	WDT, BOR, Comparators, VREF, and T1OSC: disabled
		—	0.2	TBD	μA	5.0	
Peripheral Module Current ($\Delta\text{I}_{\text{Mod}}$)⁽¹⁾							
D021E	—	—	2	TBD	μA	3.0	WDT Current
		—	9	TBD	μA	5.0	
D022E	—	—	32	TBD	μA	4.5	BOR Current
		—	33	TBD	μA	5.0	
D023E	—	—	27	TBD	μA	3.0	Comparator Current
		—	49	TBD	μA	5.0	
D024E	—	—	50	TBD	μA	3.0	VREF Current
		—	83	TBD	μA	5.0	
D025E	—	—	1.3	TBD	μA	3.0	T1OSC Current
		—	1.8	TBD	μA	5.0	
Supply Current (IDD)							
D010E	—	—	21	TBD	μA	3.0	Fosc = 32 kHz LP Oscillator Mode
		—	38	TBD	μA	5.0	
D011E	—	—	220	TBD	μA	3.0	Fosc = 1 MHz XT Oscillator Mode
		—	370	TBD	μA	5.0	
D012E	—	—	430	TBD	μA	3.0	Fosc = 4 MHz XT Oscillator Mode
		—	780	TBD	μA	5.0	
D013E	—	—	2.6	TBD	mA	4.5	Fosc = 20 MHz HS Oscillator Mode
		—	3	TBD	mA	5.0	

Note 1: The “ Δ ” current is the additional current consumed when this peripheral is enabled. This current should be added to the base IDD or IPD measurement. Max values should be used when calculating total current consumption.

PIC16F627A/628A/648A

17.4 DC Characteristics: PIC16F627A/628A/648A (Industrial, Extended) PIC16LF627A/628A/648A (Industrial)

DC CHARACTERISTICS			Standard Operating Conditions (unless otherwise stated)				
			Operating temperature $-40^{\circ}\text{C} \leq \text{TA} \leq +85^{\circ}\text{C}$ for industrial and $-40^{\circ}\text{C} \leq \text{TA} \leq +125^{\circ}\text{C}$ for extended				
			Operating voltage V_{DD} range as described in DC spec Table 17-2 and Table 17-3				
Param. No.	Sym	Characteristic/Device	Min	Typ†	Max	Unit	Conditions
	V_{IL}	Input Low Voltage					
D030		I/O ports with TTL buffer	V_{SS}	—	0.8	V	$V_{DD} = 4.5\text{V}$ to 5.5V otherwise
D031		with Schmitt Trigger input ⁽⁴⁾	V_{SS}	—	$0.15 V_{DD}$	V	
D032		MCLR, RA4/T0CKI, OSC1	V_{SS}	—	$0.2 V_{DD}$	V	(Note1)
D033		(in RC mode) OSC1 (in HS) OSC1 (in LP and XT)	V_{SS}	—	$0.3 V_{DD}$	V	
	V_{IH}	Input High Voltage					
D040		I/O ports with TTL buffer	2.0 V	—	V_{DD}	V	$V_{DD} = 4.5\text{V}$ to 5.5V otherwise
D041		with Schmitt Trigger input ⁽⁴⁾	$.25 V_{DD} + 0.8\text{V}$	—	V_{DD}	V	
D042		MCLR RA4/T0CKI	$0.8 V_{DD}$	—	V_{DD}	V	(Note1)
D043		OSC1 (XT, HS and LP)	$0.7 V_{DD}$	—	V_{DD}	V	
D043A		OSC1 (in RC mode)	$0.9 V_{DD}$	—	V_{DD}	V	
D070	IPURB	PORTB weak pull-up current	50	200	400	μA	$V_{DD} = 5.0\text{V}$, $V_{PIN} = V_{SS}$
	I_{IL}	Input Leakage Current^{(2), (3)}					
D060		I/O ports (Except PORTA)	—	—	± 1.0	μA	$V_{SS} \leq V_{PIN} \leq V_{DD}$, pin at hi-impedance
D061		PORTA ⁽⁴⁾	—	—	± 0.5	μA	$V_{SS} \leq V_{PIN} \leq V_{DD}$, pin at hi-impedance
D063		RA4/T0CKI	—	—	± 1.0	μA	$V_{SS} \leq V_{PIN} \leq V_{DD}$
		OSC1, MCLR	—	—	± 5.0	μA	$V_{SS} \leq V_{PIN} \leq V_{DD}$, XT, HS and LP osc configuration
	V_{OL}	Output Low Voltage					
D080		I/O ports ⁽⁴⁾	—	—	0.6	V	$I_{OL} = 8.5\text{mA}$, $V_{DD} = 4.5\text{V}$, -40° to $+85^{\circ}\text{C}$ $I_{OL} = 7.0\text{mA}$, $V_{DD} = 4.5\text{V}$, $+85^{\circ}$ to $+125^{\circ}\text{C}$
			—	—	0.6	V	
	V_{OH}	Output High Voltage⁽³⁾					
D090		I/O ports (Except RA4 ⁽⁴⁾)	$V_{DD} - 0.7$	—	—	V	$I_{OH} = -3.0\text{mA}$, $V_{DD} = 4.5\text{V}$, -40° to $+85^{\circ}\text{C}$ $I_{OH} = -2.5\text{mA}$, $V_{DD} = 4.5\text{V}$, $+85^{\circ}$ to $+125^{\circ}\text{C}$
			$V_{DD} - 0.7$	—	—	V	
D150	V_{OD}	Open-Drain High Voltage	—	—	8.5*	V	RA4 pin PIC16F627A/628A/648A, PIC16LF627A/628A/648A
		Capacitive Loading Specs on Output Pins					
D100*	COSC2	OSC2 pin	—	—	15	pF	In XT, HS and LP modes when external clock used to drive OSC1.
D101*	Cio	All I/O pins/OSC2 (in RC mode)	—	—	50	pF	

* These parameters are characterized but not tested.

† Data in "Typ" column is at 5.0V, 25°C unless otherwise stated. These parameters are for design guidance only and are not tested.

Note 1: In RC oscillator configuration, the OSC1 pin is a Schmitt Trigger input. It is not recommended that the PIC16F627A/628A/648A be driven with external clock in RC mode.

2: The leakage current on the MCLR pin is strongly dependent on applied voltage level. The specified levels represent normal operating conditions. Higher leakage current may be measured at different input voltages.

3: Negative current is defined as coming out of the pin.

4: Includes OSC1 and OSC2 when configured as I/O pins, CLKIN, or CLKOUT.

PIC16F627A/628A/648A

**TABLE 17-1: DC Characteristics: PIC16F627A/628A/648A (Industrial, Extended)
PIC16LF627A/628A/648A (Industrial)**

DC Characteristics		Standard Operating Conditions (unless otherwise stated)					
		Operating temperature -40°C ≤ TA ≤ +85°C for industrial and -40°C ≤ TA ≤ +125°C for extended					
		Operating voltage VDD range as described in DC spec Table 17-2 and Table 17-3					
Parameter No.	Sym	Characteristic	Min	Typ†	Max	Units	Conditions
Data EEPROM Memory							
D120	ED	Endurance	100K	1M	—	E/W	-40°C ≤ TA ≤ 85°C
D120A	ED	Endurance	10K	100K	—	E/W	85°C ≤ TA ≤ 125°C
D121	VDRW	VDD for read/write	V _{MIN}	—	5.5	V	V _{MIN} = Minimum operating voltage
D122	TDEW	Erase/Write cycle time	—	4	8*	ms	Provided no other specifications are violated
D123	TRETD	Characteristic Retention	100	—	—	Year	
D124	TREF	Number of Total Erase/Write Cycles before Refresh ⁽¹⁾	1M	10M	—	E/W	
Program Flash Memory							
D130	EP	Endurance	10K	100K	—	E/W	-40°C ≤ TA ≤ 85°C
D130A	EP	Endurance	1000	10K	—	E/W	85°C ≤ TA ≤ 125°C
D131	VPR	VDD for read	V _{MIN}	—	5.5	V	V _{MIN} = Minimum operating voltage
D132	VIE	VDD for Block erase	4.5	—	5.5	V	V _{MIN} = Minimum operating voltage
D132A	VPEW	VDD for write	V _{MIN}	—	5.5	V	
D133	TIE	Block Erase cycle time	—	4	8*	ms	VDD > 4.5V
D133A	TPEW	Write cycle time	—	2	4*	ms	Provided no other specifications are violated
D134	TRETP	Characteristic Retention	100	—	—	year	

* These parameters are characterized but not tested.

† Data in "Typ" column is at 5.0 V, 25°C unless otherwise stated. These parameters are for design guidance only and are not tested.

Note 1: Refer to **Section 13.7 "Using the Data EEPROM"** for a more detailed discussion on data EEPROM endurance.

PIC16F627A/628A/648A

TABLE 17-2: COMPARATOR SPECIFICATIONS

Operating Conditions: 2.0V < VDD < 5.5V, -40°C < TA < +125°C, unless otherwise stated.							
Param No.	Characteristics	Sym	Min	Typ	Max	Units	Comments
D300	Input Offset Voltage	V _{IOFF}	—	±5.0	±10	mV	
D301	Input Common Mode Voltage	V _{ICM}	0	—	V _{DD} - 1.5*	V	
D302	Common Mode Rejection Ratio	CMRR	55*	—	—	db	
D303	Response Time ⁽¹⁾	T _{RESP}	—	300	400*	ns	V _{DD} = 3.0V to 5.5V -40° to +85°C
			—	400	600*	ns	V _{DD} = 3.0V to 5.5V -85° to +125°C
			—	400	600*	ns	V _{DD} = 2.0V to 3.0V -40° to +85°C
D304	Comparator Mode Change to Output Valid	T _{MC2OV}	—	300	10*	μs	

* These parameters are characterized but not tested.

Note 1: Response time measured with one comparator input at (V_{DD} - 1.5)/2 while the other input transitions from V_{SS} to V_{DD}.

TABLE 17-3: VOLTAGE REFERENCE SPECIFICATIONS

Operating Conditions: 2.0V < VDD < 5.5V, -40°C < TA < +125°C, unless otherwise stated.							
Spec No.	Characteristics	Sym	Min	Typ	Max	Units	Comments
D310	Resolution	V _{RES}	—	—	V _{DD} /24	LSb	Low Range (VRR = 1)
					V _{DD} /32	LSb	High Range (VRR = 0)
D311	Absolute Accuracy	V _{RAA}	—	—	1/4 ^{(2)*}	LSb	Low Range (VRR = 1)
					1/2 ^{(2)*}	LSb	High Range (VRR = 0)
D312	Unit Resistor Value (R)	V _{RUR}	—	2k*	—	Ω	
D313	Settling Time ⁽¹⁾	T _{SET}	—	—	10*	μs	

* These parameters are characterized but not tested.

Note 1: Settling time measured while VRR = 1 and VR<3:0> transitions from 0000 to 1111.

Note 2: When V_{DD} is between 2.0V and 3.0V the V_{REF} output voltage levels on RA2 described by the equation: [V_{DD}/2 ± (3-V_{DD})/2] may cause the Absolute Accuracy (V_{RAA}) of the V_{REF} output signal on RA2 to be greater than the stated max.

PIC16F627A/628A/648A

17.5 Timing Parameter Symbolology

The timing parameter symbols have been created with one of the following formats:

1. TppS2ppS
2. TppS

T			
F	Frequency	T	Time

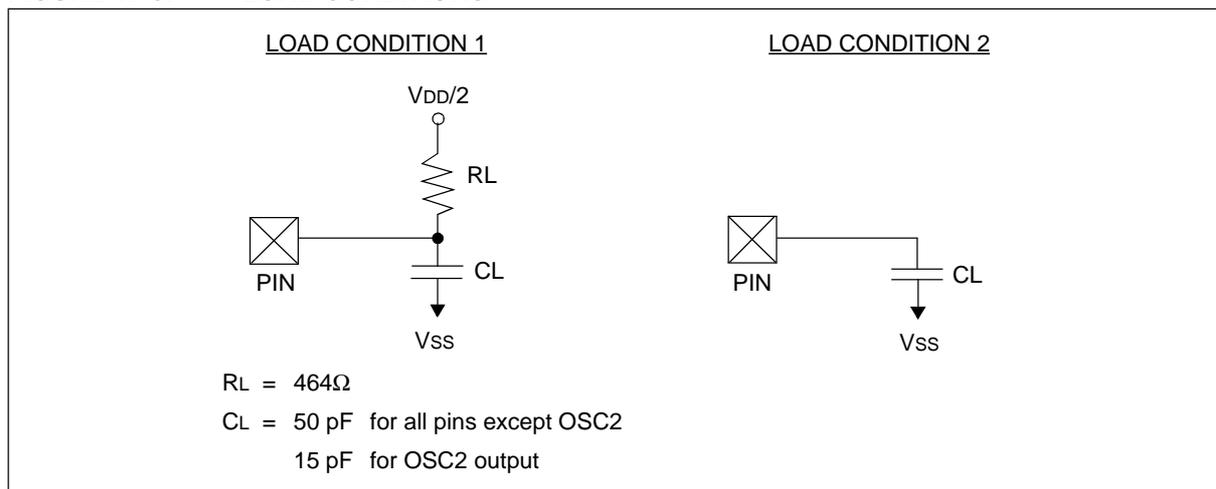
Lowercase subscripts (pp) and their meanings:

pp			
ck	CLKOUT	osc	OSC1
io	I/O port	t0	T0CKI
mc	MCLR		

Uppercase letters and their meanings:

S			
F	Fall	P	Period
H	High	R	Rise
I	Invalid (Hi-impedance)	V	Valid
L	Low	Z	Hi-Impedance

FIGURE 17-3: LOAD CONDITIONS



PIC16F627A/628A/648A

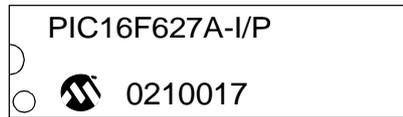
19.0 PACKAGING INFORMATION

19.1 Package Marking Information

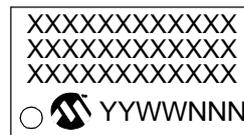
18-LEAD PDIP (.300")



EXAMPLE



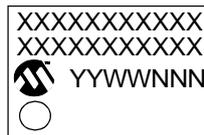
18-LEAD SOIC (.300")



EXAMPLE



20-LEAD SSOP



EXAMPLE



28-LEAD QFN



EXAMPLE

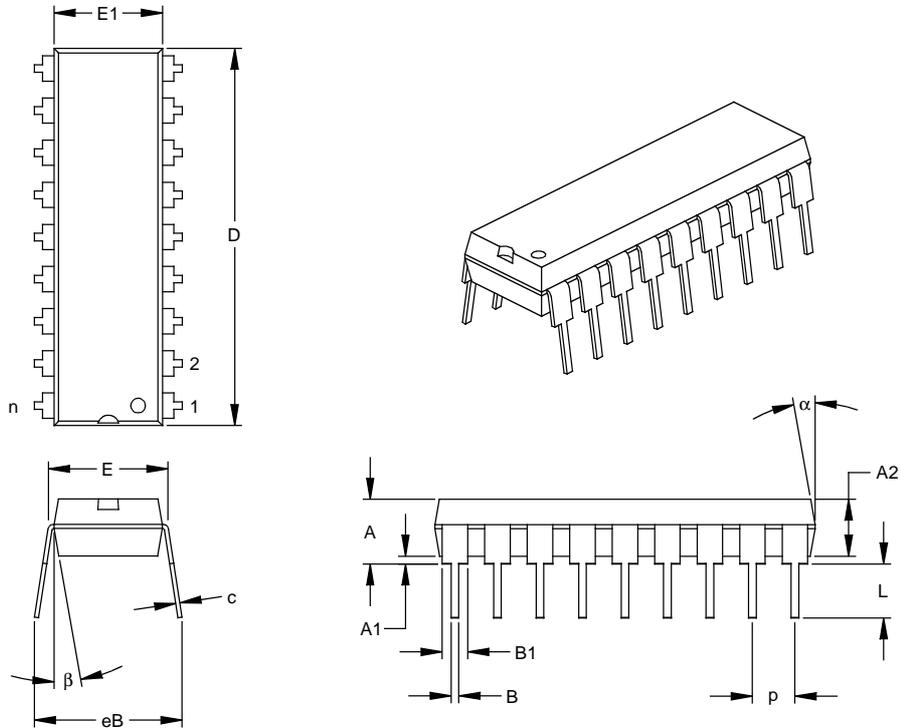


Legend: XX...X	Customer specific information*
YY	Year code (last 2 digits of calendar year)
WW	Week code (week of January 1 is week '01')
NNN	Alphanumeric traceability code
Note:	In the event the full Microchip part number cannot be marked on one line, it will be carried over to the next line thus limiting the number of available characters for customer specific information.

* Standard PICmicro device marking consists of Microchip part number, year code, week code, and traceability code. For PICmicro device marking beyond this, certain price adders apply. Please check with your Microchip Sales Office. For QTP devices, any special marking adders are included in QTP price.

PIC16F627A/628A/648A

18-Lead Plastic Dual In-line (P) – 300 mil (PDIP)



Units		INCHES*			MILLIMETERS		
Dimension Limits		MIN	NOM	MAX	MIN	NOM	MAX
Number of Pins	n		18			18	
Pitch	p		.100			2.54	
Top to Seating Plane	A	.140	.155	.170	3.56	3.94	4.32
Molded Package Thickness	A2	.115	.130	.145	2.92	3.30	3.68
Base to Seating Plane	A1	.015			0.38		
Shoulder to Shoulder Width	E	.300	.313	.325	7.62	7.94	8.26
Molded Package Width	E1	.240	.250	.260	6.10	6.35	6.60
Overall Length	D	.890	.898	.905	22.61	22.80	22.99
Tip to Seating Plane	L	.125	.130	.135	3.18	3.30	3.43
Lead Thickness	c	.008	.012	.015	0.20	0.29	0.38
Upper Lead Width	B1	.045	.058	.070	1.14	1.46	1.78
Lower Lead Width	B	.014	.018	.022	0.36	0.46	0.56
Overall Row Spacing	§ eB	.310	.370	.430	7.87	9.40	10.92
Mold Draft Angle Top	α	5	10	15	5	10	15
Mold Draft Angle Bottom	β	5	10	15	5	10	15

* Controlling Parameter

§ Significant Characteristic

Notes:

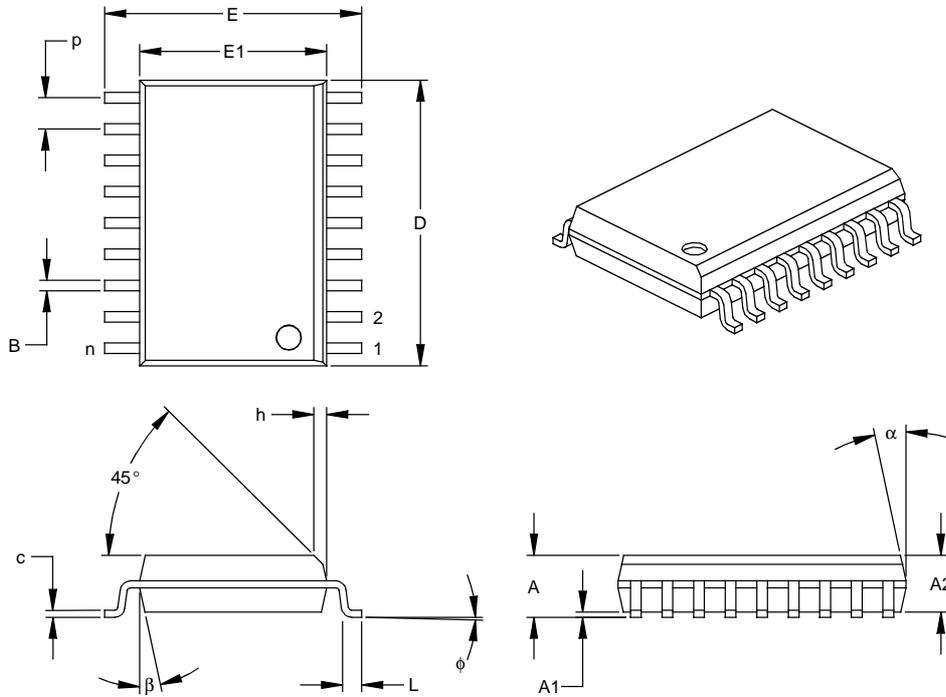
Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed .010" (0.254mm) per side.

JEDEC Equivalent: MS-001

Drawing No. C04-007

PIC16F627A/628A/648A

18-Lead Plastic Small Outline (SO) – Wide, 300 mil (SOIC)



Dimension Limits	Units	INCHES*			MILLIMETERS		
		MIN	NOM	MAX	MIN	NOM	MAX
Number of Pins	n		18			18	
Pitch	p		.050			1.27	
Overall Height	A	.093	.099	.104	2.36	2.50	2.64
Molded Package Thickness	A2	.088	.091	.094	2.24	2.31	2.39
Standoff §	A1	.004	.008	.012	0.10	0.20	0.30
Overall Width	E	.394	.407	.420	10.01	10.34	10.67
Molded Package Width	E1	.291	.295	.299	7.39	7.49	7.59
Overall Length	D	.446	.454	.462	11.33	11.53	11.73
Chamfer Distance	h	.010	.020	.029	0.25	0.50	0.74
Foot Length	L	.016	.033	.050	0.41	0.84	1.27
Foot Angle	ϕ	0	4	8	0	4	8
Lead Thickness	c	.009	.011	.012	0.23	0.27	0.30
Lead Width	B	.014	.017	.020	0.36	0.42	0.51
Mold Draft Angle Top	α	0	12	15	0	12	15
Mold Draft Angle Bottom	β	0	12	15	0	12	15

* Controlling Parameter

§ Significant Characteristic

Notes:

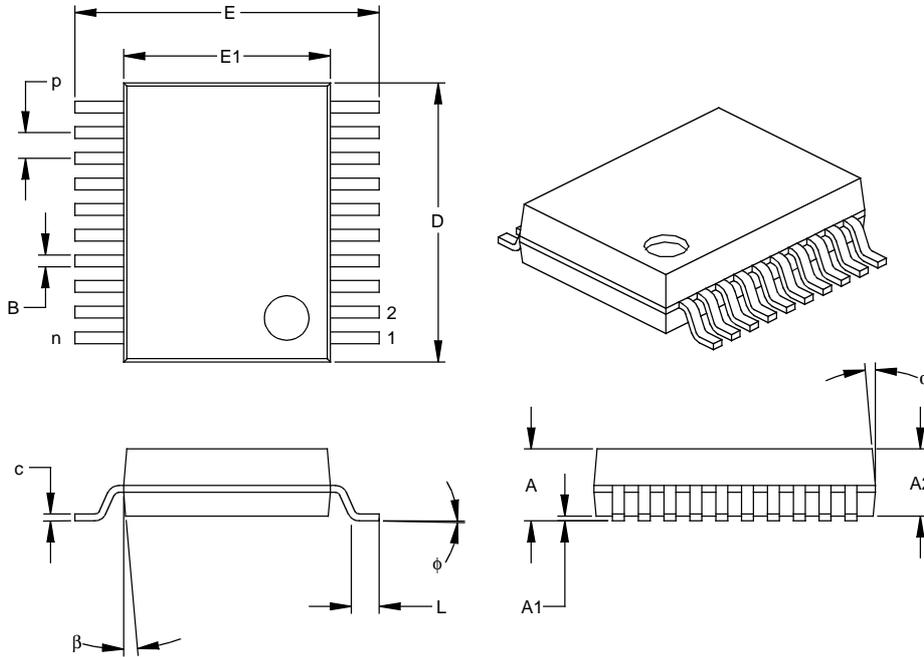
Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed .010" (0.254mm) per side.

JEDEC Equivalent: MS-013

Drawing No. C04-051

PIC16F627A/628A/648A

20-Lead Plastic Shrink Small Outline (SS) – 209 mil, 5.30 mm (SSOP)



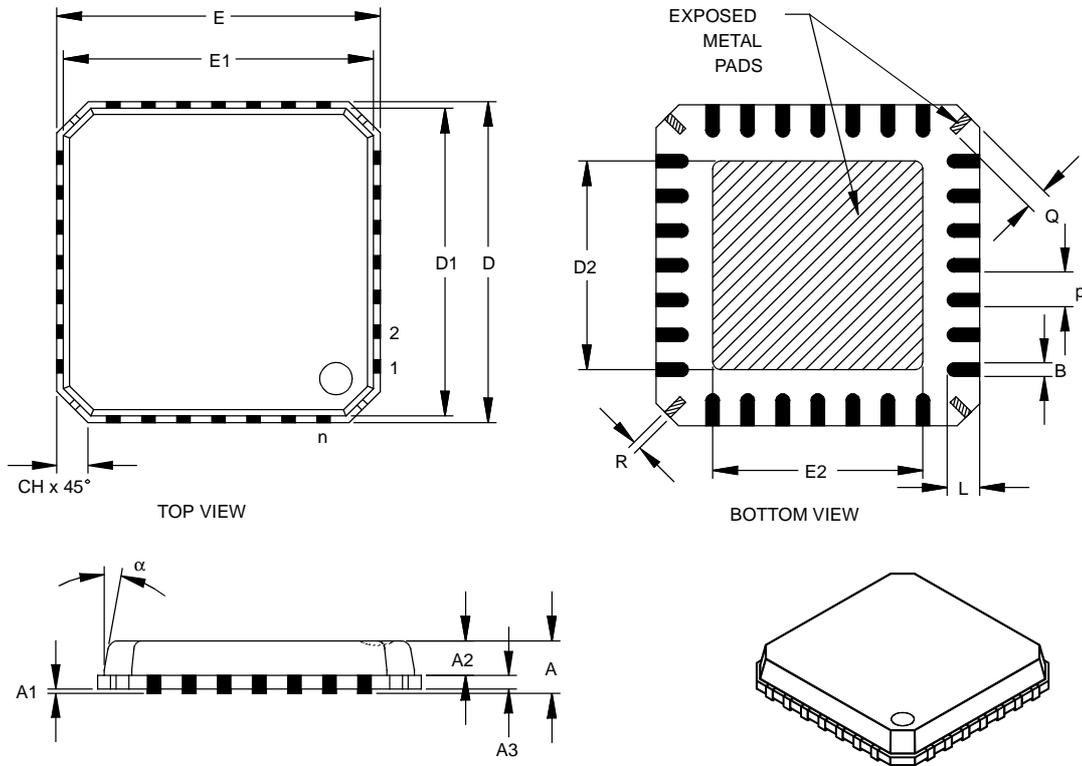
Dimension Limits	Units	INCHES*			MILLIMETERS		
		MIN	NOM	MAX	MIN	NOM	MAX
Number of Pins	n		20			20	
Pitch	P		.026			0.65	
Overall Height	A	.068	.073	.078	1.73	1.85	1.98
Molded Package Thickness	A2	.064	.068	.072	1.63	1.73	1.83
Standoff §	A1	.002	.006	.010	0.05	0.15	0.25
Overall Width	E	.299	.309	.322	7.59	7.85	8.18
Molded Package Width	E1	.201	.207	.212	5.11	5.25	5.38
Overall Length	D	.278	.284	.289	7.06	7.20	7.34
Foot Length	L	.022	.030	.037	0.56	0.75	0.94
Lead Thickness	c	.004	.007	.010	0.10	0.18	0.25
Foot Angle	φ	0	4	8	0.00	101.60	203.20
Lead Width	B	.010	.013	.015	0.25	0.32	0.38
Mold Draft Angle Top	α	0	5	10	0	5	10
Mold Draft Angle Bottom	β	0	5	10	0	5	10

* Controlling Parameter
 § Significant Characteristic

Notes:
 Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed .010" (0.254mm) per side.
 JEDEC Equivalent: MO-150
 Drawing No. C04-072

PIC16F627A/628A/648A

28-Lead Plastic Quad Flat No Lead Package (ML) 6x6 mm Body (QFN)



Dimension Limits	Units	INCHES			MILLIMETERS*		
		MIN	NOM	MAX	MIN	NOM	MAX
Number of Pins	n		28			28	
Pitch	P		.026 BSC			0.65 BSC	
Overall Height	A		.033	.039		0.85	1.00
Molded Package Thickness	A2		.026	.031		0.65	0.80
Standoff	A1	.000	.0004	.002	0.00	0.01	0.05
Base Thickness	A3		.008 REF.			0.20 REF.	
Overall Width	E		.236 BSC			6.00 BSC	
Molded Package Width	E1		.226 BSC			5.75 BSC	
Exposed Pad Width	E2	.140	.146	.152	3.55	3.70	3.85
Overall Length	D		.236 BSC			6.00 BSC	
Molded Package Length	D1		.226 BSC			5.75 BSC	
Exposed Pad Length	D2	.140	.146	.152	3.55	3.70	3.85
Lead Width	B	.009	.011	.014	0.23	0.28	0.35
Lead Length	L	.020	.024	.030	0.50	0.60	0.75
Tie Bar Width	R	.005	.007	.010	0.13	0.17	0.23
Tie Bar Length	Q	.012	.016	.026	0.30	0.40	0.65
Chamfer	CH	.009	.017	.024	0.24	0.42	0.60
Mold Draft Angle Top	α			12°			12°

*Controlling Parameter

Notes:

Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed .010" (0.254mm) per side.
JEDEC equivalent: M0-220

Drawing No. C04-114

ANEXO 3

TL081, TL081A, TL081B, TL082, TL082A, TL082B TL084, TL084A, TL084B JFET-INPUT OPERATIONAL AMPLIFIERS

SLOS081G – FEBRUARY 1977 – REVISED SEPTEMBER 2004

- Low Power Consumption
- Wide Common-Mode and Differential Voltage Ranges
- Low Input Bias and Offset Currents
- Output Short-Circuit Protection
- Low Total Harmonic Distortion . . . 0.003% Typ
- High Input Impedance . . . JFET-Input Stage
- Latch-Up-Free Operation
- High Slew Rate . . . 13 V/ μ s Typ
- Common-Mode Input Voltage Range Includes V_{CC+}

description/ordering information

The TL08x JFET-input operational amplifier family is designed to offer a wider selection than any previously developed operational amplifier family. Each of these JFET-input operational amplifiers incorporates well-matched, high-voltage JFET and bipolar transistors in a monolithic integrated circuit. The devices feature high slew rates, low input bias and offset currents, and low offset-voltage temperature coefficient. Offset adjustment and external compensation options are available within the TL08x family.

The C-suffix devices are characterized for operation from 0°C to 70°C. The I-suffix devices are characterized for operation from –40°C to 85°C. The Q-suffix devices are characterized for operation from –40°C to 125°C. The M-suffix devices are characterized for operation over the full military temperature range of –55°C to 125°C.

ORDERING INFORMATION

T_J	V_{IOmax} AT 25°C	PACKAGE†	ORDERABLE PART NUMBER	TOP-SIDE MARKING	
0°C to 70°C	15 mV	PDIP (P)	Tube of 50	TL081CP	TL081CP
			Tube of 50	TL082CP	TL082CP
		PDIP (N)	Tube of 25	TL084CN	TL084CN
		SOIC (D)	Tube of 75	TL081CD	TL081C
			Reel of 2500	TL081CDR	
			Tube of 75	TL082CD	TL082C
			Reel of 2500	TL082CDR	
			Tube of 50	TL084CD	TL084C
			Reel of 2500	TL084CDR	
		SOP (PS)	Reel of 2000	TL081CPSR	T081
			Reel of 2000	TL082CPSR	T082
		SOP (NS)	Reel of 2000	TL084CNSR	TL084
		TSSOP (PW)	Tube of 150	TL082CPW	T082
			Reel of 2000	TL082CPWR	
Tube of 90	TL084CPW		T084		
Reel of 2000	TL084CPWR				

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at www.ti.com/sc/package.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

 **TEXAS
INSTRUMENTS**

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2004, Texas Instruments Incorporated
On products compliant to MIL-PRF-38535, all parameters are tested unless otherwise noted. On all other products, production processing does not necessarily include testing of all parameters.

TL081, TL081A, TL081B, TL082, TL082A, TL082B
TL084, TL084A, TL084B
JFET-INPUT OPERATIONAL AMPLIFIERS
 SLOS081G – FEBRUARY 1977 – REVISED SEPTEMBER 2004

description/ordering information (continued)

ORDERING INFORMATION

T _J	V _{IO} max AT 25°C	PACKAGE†		ORDERABLE PART NUMBER	TOP-SIDE MARKING
0°C to 70°C	6 mV	PDIP (P)	Tube of 50	TL081ACP	TL081ACP
			Tube of 50	TL082ACP	TL082ACP
		PDIP (N)	Tube of 25	TL084ACN	TL084ACN
		SOIC (D)	Tube of 75	TL081ACD	081AC
			Reel of 2500	TL081ACDR	
			Tube of 75	TL082ACD	082AC
			Reel of 2500	TL082ACDR	
			Tube of 50	TL084ACD	TL084AC
	Reel of 2500		TL084ACDR		
	SOP (PS)	Reel of 2000	TL082ACPSR	T082A	
	SOP (NS)	Reel of 2000	TL084ACNSR	TL084A	
	3 mV	PDIP (P)	Tube of 50	TL081BCP	TL081BCP
			Tube of 50	TL082BCP	TL082BCP
		PDIP (N)	Tube of 25	TL084BCN	TL084BCN
SOIC (D)		Tube of 75	TL081BCD	081BC	
		Reel of 2500	TL081BCDR		
		Tube of 75	TL082BCD	082BC	
		Reel of 2500	TL082BCDR		
		Tube of 50	TL084BCD	TL084BC	
	Reel of 2500	TL084BCDR			
-40°C to 85°C	6 mV	PDIP (P)	Tube of 50	TL081IP	TL081IP
			Tube of 50	TL082IP	TL082IP
		PDIP (N)	Tube of 25	TL084IN	TL081IN
			SOIC (D)	Tube of 75	TL081ID
		Reel of 2500		TL081IDR	
		Tube of 75		TL082ID	TL082I
		Reel of 2500		TL082IDR	
		TSSOP (PW)	Tube of 50	TL084ID	TL084I
	Reel of 2500		TL084IDR		
	-40°C to 125°C	9 mV	SOIC (D)	Tube of 50	TL084QD
Reel of 2500				TL084QDR	
-55°C to 125°C	9 mV	CDIP (J)	Tube of 25	TL084MJ	TL084MJ
		LCCC (FK)	Reel of 55	TL084FK	TL084FK
	6 mV	CDIP (JG)	Tube of 50	TL082MJG	TL082MJG
		LCCC (FK)	Tube of 55	TL082MFK	TL082MFK

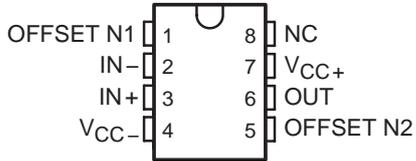
† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at www.ti.com/sc/package.



TL081, TL081A, TL081B, TL082, TL082A, TL082B TL084, TL084A, TL084B JFET-INPUT OPERATIONAL AMPLIFIERS

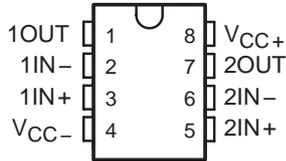
SLOS081G – FEBRUARY 1977 – REVISED SEPTEMBER 2004

TL081, TL081A, TL081B
D, P, OR PS PACKAGE
(TOP VIEW)

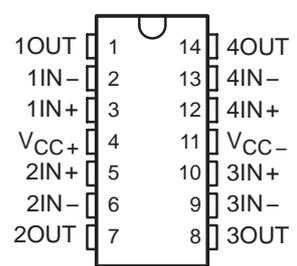


NC – No internal connection

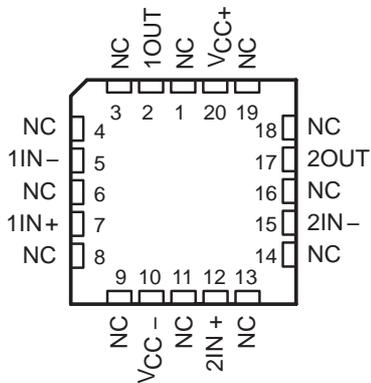
TL082, TL082A, TL082B
D, JG, P, PS, OR PW PACKAGE
(TOP VIEW)



TL084, TL084A, TL084B
D, J, N, NS, OR PW PACKAGE
(TOP VIEW)

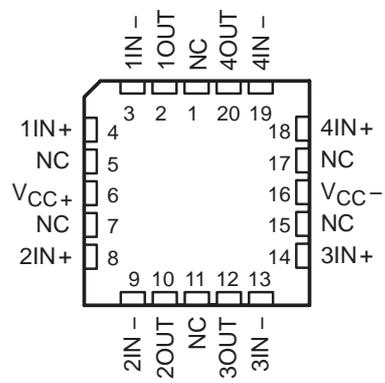


TL082M . . . FK PACKAGE
(TOP VIEW)



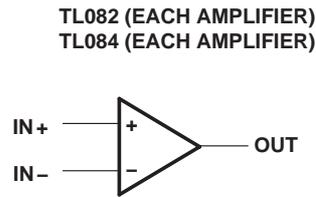
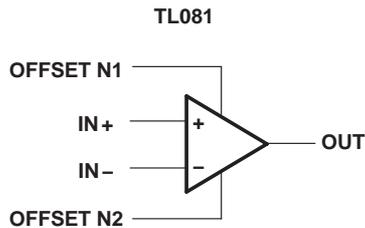
NC – No internal connection

TL084M . . . FK PACKAGE
(TOP VIEW)



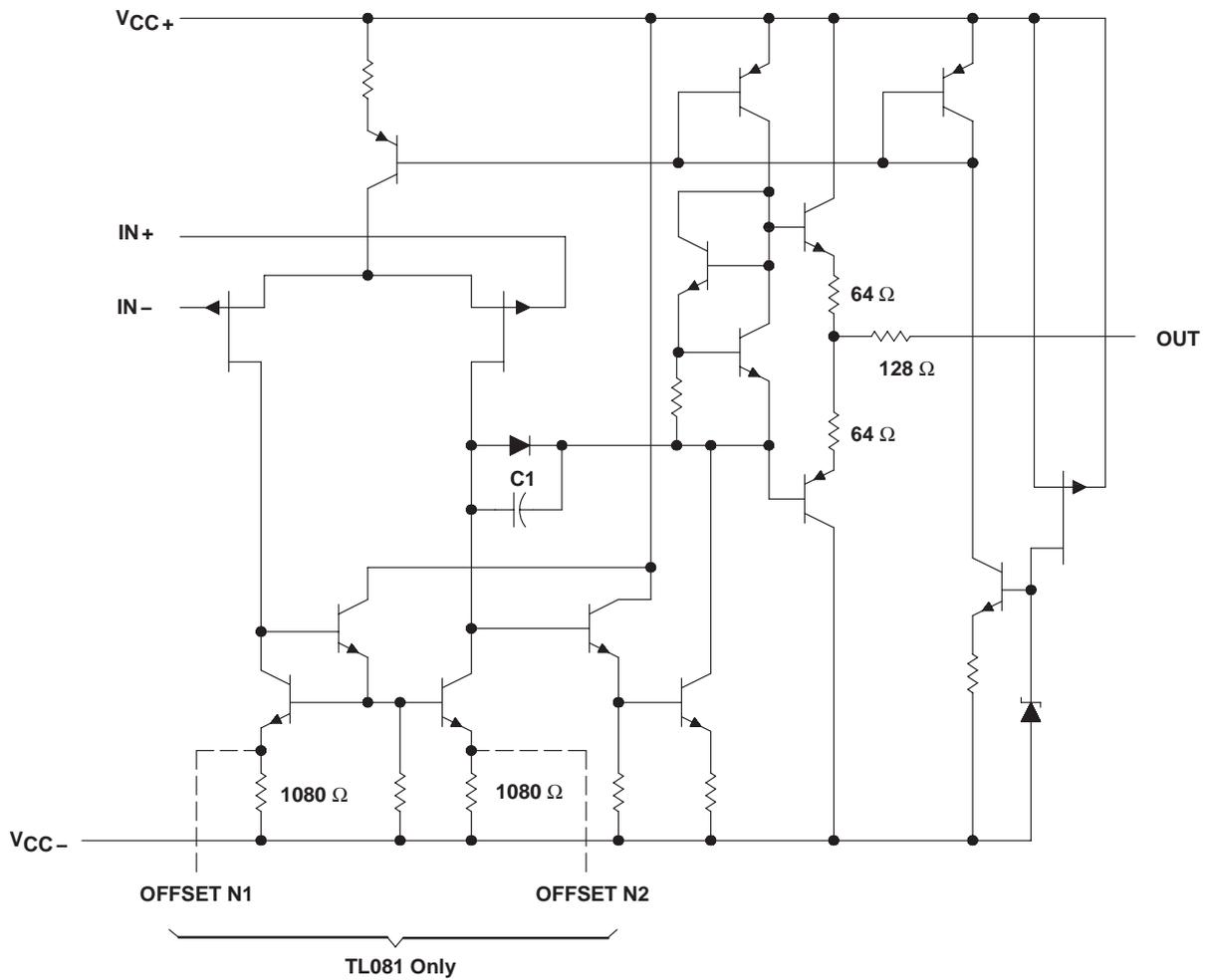
NC – No internal connection

symbols



TL081, TL081A, TL081B, TL082, TL082A, TL082B
TL084, TL084A, TL084B
JFET-INPUT OPERATIONAL AMPLIFIERS
 SLOS081G – FEBRUARY 1977 – REVISED SEPTEMBER 2004

schematic (each amplifier)



Component values shown are nominal.

**TL081, TL081A, TL081B, TL082, TL082A, TL082B
TL084, TL084A, TL084B
JFET-INPUT OPERATIONAL AMPLIFIERS**
SLOS081G – FEBRUARY 1977 – REVISED SEPTEMBER 2004

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

	TL08_C TL08_AC TL08_BC	TL08_I	TL084Q	TL08_M	UNIT
Supply voltage, V_{CC+} (see Note 1)	18	18	18	18	V
Supply voltage V_{CC-} (see Note 1)	-18	-18	-18	-18	V
Differential input voltage, V_{ID} (see Note 2)	± 30	± 30	± 30	± 30	V
Input voltage, V_I (see Notes 1 and 3)	± 15	± 15	± 15	± 15	V
Duration of output short circuit (see Note 4)	Unlimited	Unlimited	Unlimited	Unlimited	
Continuous total power dissipation	See Dissipation Rating Table				
Operating free-air temperature range, T_A	0 to 70	-40 to 85	-40 to 125	-55 to 125	$^{\circ}\text{C}$
Package thermal impedance, θ_{JA} (see Notes 5 and 6)	D package (8-pin)	97	97		$^{\circ}\text{C}/\text{W}$
	D package (14-pin)	86	86		
	N package (14-pin)	76	76		
	NS package (14-pin)	80			
	P package (8-pin)	85	85		
	PS package (8-pin)	95	95		
	PW package (8-pin)	149			
PW package (14-pin)	113	113			
Operating virtual junction temperature	150	150	150	150	$^{\circ}\text{C}$
Case temperature for 60 seconds, T_C	FK package			260	$^{\circ}\text{C}$
Lead temperature 1.6 mm (1/16 inch) from case for 60 seconds	J or JG package			300	$^{\circ}\text{C}$
Storage temperature range, T_{stg}	-65 to 150	-65 to 150	-65 to 150	-65 to 150	$^{\circ}\text{C}$

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

- NOTES:
1. All voltage values, except differential voltages, are with respect to the midpoint between V_{CC+} and V_{CC-} .
 2. Differential voltages are at $IN+$ with respect to $IN-$.
 3. The magnitude of the input voltage must never exceed the magnitude of the supply voltage or 15 V, whichever is less.
 4. The output may be shorted to ground or to either supply. Temperature and/or supply voltages must be limited to ensure that the dissipation rating is not exceeded.
 5. Maximum power dissipation is a function of $T_J(\text{max})$, θ_{JA} , and T_A . The maximum allowable power dissipation at any allowable ambient temperature is $P_D = (T_J(\text{max}) - T_A)/\theta_{JA}$. Operating at the absolute maximum T_J of 150 $^{\circ}\text{C}$ can affect reliability.
 6. The package thermal impedance is calculated in accordance with JESD 51-7.

DISSIPATION RATING TABLE

PACKAGE	$T_A \leq 25^{\circ}\text{C}$ POWER RATING	DERATING FACTOR	DERATE ABOVE T_A	$T_A = 70^{\circ}\text{C}$ POWER RATING	$T_A = 85^{\circ}\text{C}$ POWER RATING	$T_A = 125^{\circ}\text{C}$ POWER RATING
D (14 pin)	680 mW	7.6 mW/ $^{\circ}\text{C}$	60 $^{\circ}\text{C}$	604 mW	490 mW	186 mW
FK	680 mW	11.0 mW/ $^{\circ}\text{C}$	88 $^{\circ}\text{C}$	680 mW	680 mW	273 mW
J	680 mW	11.0 mW/ $^{\circ}\text{C}$	88 $^{\circ}\text{C}$	680 mW	680 mW	273 mW
JG	680 mW	8.4 mW/ $^{\circ}\text{C}$	69 $^{\circ}\text{C}$	672 mW	546 mW	210 mW



electrical characteristics, $V_{CC\pm} = \pm 15$ V (unless otherwise noted)

PARAMETER	TEST CONDITIONS	T_A †	TL081C TL082C TL084C			TL081AC TL082AC TL084AC			TL081BC TL082BC TL084BC			TL081I TL082I TL084I			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
V_{IO} Input offset voltage	$V_O = 0$ $R_S = 50 \Omega$	25°C		3	15		3	6		2	3		3	6	mV
		Full range			20			7.5			5			9	
αV_{IO} Temperature coefficient of input offset voltage	$V_O = 0$ $R_S = 50 \Omega$	Full range		18			18			18			18	$\mu V/^\circ C$	
I_{IO} Input offset current ‡	$V_O = 0$	25°C		5	200		5	100		5	100		5	100	pA
		Full range			2			2			2			10	nA
I_{IB} Input bias current ‡	$V_O = 0$	25°C		30	400		30	200		30	200		30	200	pA
		Full range			10			7			7			20	nA
V_{ICR} Common-mode input voltage range		25°C	± 11	-12 to 15		± 11	-12 to 15		± 11	-12 to 15		± 11	-12 to 15	V	
V_{OM} Maximum peak output voltage swing	$R_L = 10 \text{ k}\Omega$	25°C	± 12	± 13.5		± 12	± 13.5		± 12	± 13.5		± 12	± 13.5	V	
	$R_L \geq 10 \text{ k}\Omega$	Full range	± 12			± 12			± 12			± 12			
	$R_L \geq 2 \text{ k}\Omega$		± 10	± 12		± 10	± 12		± 10	± 12		± 10	± 12		
A_{VD} Large-signal differential voltage amplification	$V_O = \pm 10 \text{ V}$, $R_L \geq 2 \text{ k}\Omega$	25°C	25	200		50	200		50	200		50	200	V/mV	
	$V_O = \pm 10 \text{ V}$, $R_L \geq 2 \text{ k}\Omega$	Full range	15			25			25			25			
B_1 Unity-gain bandwidth		25°C		3			3			3			3	MHz	
r_i Input resistance		25°C		10^{12}			10^{12}			10^{12}			10^{12}	Ω	
CMRR Common-mode rejection ratio	$V_{IC} = V_{ICRmin}$, $V_O = 0$, $R_S = 50 \Omega$	25°C	70	86		75	86		75	86		75	86	dB	
kSVR Supply-voltage rejection ratio ($\Delta V_{CC\pm} / \Delta V_{IO}$)	$V_{CC} = \pm 15 \text{ V}$ to $\pm 9 \text{ V}$, $V_O = 0$, $R_S = 50 \Omega$	25°C	70	86		80	86		80	86		80	86	dB	
I_{CC} Supply current (per amplifier)	$V_O = 0$, No load	25°C		1.4	2.8		1.4	2.8		1.4	2.8		1.4	2.8	mA
V_{O1}/V_{O2} Crosstalk attenuation	$A_{VD} = 100$	25°C		120			120			120			120	dB	

† All characteristics are measured under open-loop conditions with zero common-mode voltage, unless otherwise specified. Full range for T_A is 0°C to 70°C for TL08_C, TL08_AC, TL08_BC and -40°C to 85°C for TL08_I.

‡ Input bias currents of an FET-input operational amplifier are normal junction reverse currents, which are temperature sensitive, as shown in Figure 17. Pulse techniques must be used that maintain the junction temperature as close to the ambient temperature as possible.

TL081, TL081A, TL081B, TL082, TL082A, TL082B
TL084, TL084A, TL084B
JFET-INPUT OPERATIONAL AMPLIFIERS
SLOS081G – FEBRUARY 1977 – REVISED SEPTEMBER 2004

**TL081, TL081A, TL081B, TL082, TL082A, TL082B
TL084, TL084A, TL084B
JFET-INPUT OPERATIONAL AMPLIFIERS**
SLOS081G – FEBRUARY 1977 – REVISED SEPTEMBER 2004

electrical characteristics, $V_{CC\pm} = \pm 15\text{ V}$ (unless otherwise noted)

PARAMETER	TEST CONDITION [†]	T_A	TL081M, TL082M			TL084Q, TL084M			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	
V_{IO} Input offset voltage	$V_O = 0, R_S = 50\ \Omega$	25°C		3	6		3	9	mV
		Full range			9			15	
α_{VIO} Temperature coefficient of input offset voltage	$V_O = 0, R_S = 50\ \Omega$	Full range		18			18		$\mu\text{V}/^\circ\text{C}$
I_{IO} Input offset current [‡]	$V_O = 0$	25°C		5	100		5	100	pA
		125°C			20			20	nA
I_{IB} Input bias current [‡]	$V_O = 0$	25°C		30	200		30	200	pA
		125°C			50			50	nA
V_{ICR} Common-mode input voltage range		25°C	± 11	-12 to 15		± 11	-12 to 15		V
V_{OM} Maximum peak output voltage swing	$R_L = 10\ \text{k}\Omega$	25°C	± 12	± 13.5		± 12	± 13.5		V
	$R_L \geq 10\ \text{k}\Omega$	Full range	± 12			± 12			
	$R_L \geq 2\ \text{k}\Omega$		± 10	± 12		± 10	± 12		
A_{VD} Large-signal differential voltage amplification	$V_O = \pm 10\ \text{V}, R_L \geq 2\ \text{k}\Omega$	25°C	25	200		25	200		V/mV
	$V_O = \pm 10\ \text{V}, R_L \geq 2\ \text{k}\Omega$	Full range	15			15			
B_1 Unity-gain bandwidth		25°C		3			3		MHz
r_i Input resistance		25°C		10^{12}			10^{12}		Ω
CMRR Common-mode rejection ratio	$V_{IC} = V_{ICRmin}, V_O = 0, R_S = 50\ \Omega$	25°C	80	86		80	86		dB
k_{SVR} Supply-voltage rejection ratio ($\Delta V_{CC\pm}/\Delta V_{IO}$)	$V_{CC} = \pm 15\ \text{V}$ to $\pm 9\ \text{V}, V_O = 0, R_S = 50\ \Omega$	25°C	80	86		80	86		dB
I_{CC} Supply current (per amplifier)	$V_O = 0, \text{No load}$	25°C		1.4	2.8		1.4	2.8	mA
V_{O1}/V_{O2} Crosstalk attenuation	$A_{VD} = 100$	25°C		120			120		dB

[†] All characteristics are measured under open-loop conditions, with zero common-mode input voltage, unless otherwise specified.

[‡] Input bias currents of a FET-input operational amplifier are normal junction reverse currents, which are temperature sensitive, as shown in Figure 17. Pulse techniques must be used that maintain the junction temperatures as close to the ambient temperature as possible.

operating characteristics, $V_{CC\pm} = \pm 15\ \text{V}, T_A = 25^\circ\text{C}$ (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
SR Slew rate at unity gain	$V_I = 10\ \text{V}, R_L = 2\ \text{k}\Omega, C_L = 100\ \text{pF}, \text{See Figure 1}$	8*	13		V/ μs
	$V_I = 10\ \text{V}, R_L = 2\ \text{k}\Omega, C_L = 100\ \text{pF}, T_A = -55^\circ\text{C}$ to $125^\circ\text{C}, \text{See Figure 1}$	5*			
t_r Rise time	$V_I = 20\ \text{mV}, R_L = 2\ \text{k}\Omega, C_L = 100\ \text{pF}, \text{See Figure 1}$		0.05		μs
Overshoot factor			20		%
V_n Equivalent input noise voltage	$R_S = 20\ \Omega$	$f = 1\ \text{kHz}$	18		$\text{nV}/\sqrt{\text{Hz}}$
		$f = 10\ \text{Hz}$ to $10\ \text{kHz}$	4		μV
I_n Equivalent input noise current	$R_S = 20\ \Omega, f = 1\ \text{kHz}$		0.01		$\text{pA}/\sqrt{\text{Hz}}$
THD Total harmonic distortion	$V_{I\text{rms}} = 6\ \text{V}, f = 1\ \text{kHz}, A_{VD} = 1, R_S \leq 1\ \text{k}\Omega, R_L \geq 2\ \text{k}\Omega$		0.003		%

*On products compliant to MIL-PRF-38535, this parameter is not production tested.



TL081, TL081A, TL081B, TL082, TL082A, TL082B
TL084, TL084A, TL084B
JFET-INPUT OPERATIONAL AMPLIFIERS
 SLOS081G – FEBRUARY 1977 – REVISED SEPTEMBER 2004

operating characteristics, $V_{CC\pm} = \pm 15\text{ V}$, $T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS			MIN	TYP	MAX	UNIT
SR Slew rate at unity gain	$V_I = 10\text{ V}$,	$R_L = 2\text{ k}\Omega$,	$C_L = 100\text{ pF}$,	8	13		$\text{V}/\mu\text{s}$
t_r Rise time	$V_I = 20\text{ mV}$,	$R_L = 2\text{ k}\Omega$,	$C_L = 100\text{ pF}$,	See Figure 1			
Overshoot factor				0.05		μs	
V_n Equivalent input noise voltage	$R_S = 20\ \Omega$	f = 1 kHz			18		$\text{nV}/\sqrt{\text{Hz}}$
		f = 10 Hz to 10 kHz			4		μV
I_n Equivalent input noise current	$R_S = 20\ \Omega$,	f = 1 kHz			0.01		$\text{pA}/\sqrt{\text{Hz}}$
THD Total harmonic distortion	$V_{I\text{rms}} = 6\text{ V}$,	$A_{VD} = 1$,	$R_S \leq 1\text{ k}\Omega$,	$R_L \geq 2\text{ k}\Omega$,	0.003		%
	f = 1 kHz						

PARAMETER MEASUREMENT INFORMATION

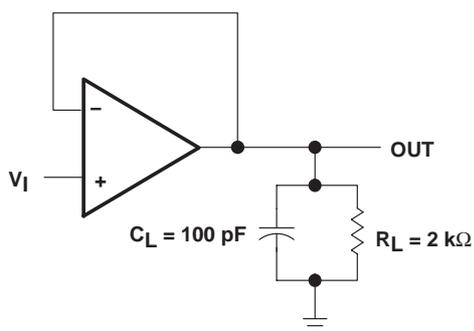


Figure 1

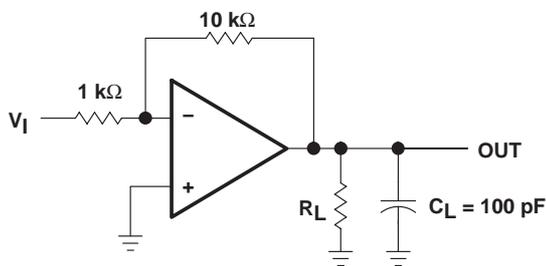


Figure 2

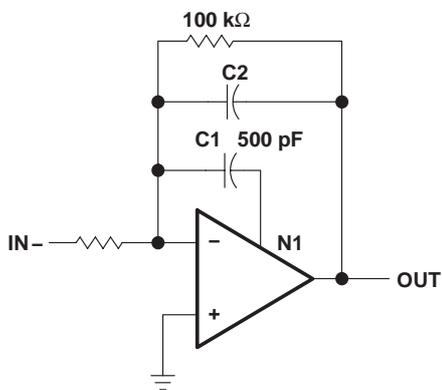


Figure 3

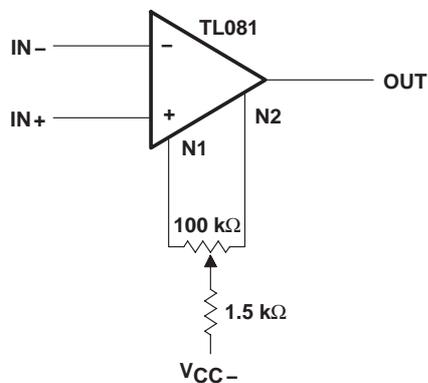


Figure 4

**TL081, TL081A, TL081B, TL082, TL082A, TL082B
TL084, TL084A, TL084B
JFET-INPUT OPERATIONAL AMPLIFIERS**
SLOS081G – FEBRUARY 1977 – REVISED SEPTEMBER 2004

TYPICAL CHARACTERISTICS

Table of Graphs

		FIGURE
V _{OM}	Maximum peak output voltage	vs Frequency
		vs Free-air temperature
		vs Load resistance
		vs Supply voltage
A _{VD}	Large-signal differential voltage amplification	vs Free-air temperature
		vs Frequency
	Differential voltage amplification	vs Frequency with feed-forward compensation
P _D	Total power dissipation	vs Free-air temperature
I _{CC}	Supply current	vs Free-air temperature
		vs Supply voltage
I _{IB}	Input bias current	vs Free-air temperature
	Large-signal pulse response	vs Time
V _O	Output voltage	vs Elapsed time
CMRR	Common-mode rejection ratio	vs Free-air temperature
V _n	Equivalent input noise voltage	vs Frequency
THD	Total harmonic distortion	vs Frequency

**MAXIMUM PEAK OUTPUT VOLTAGE
vs
FREQUENCY**

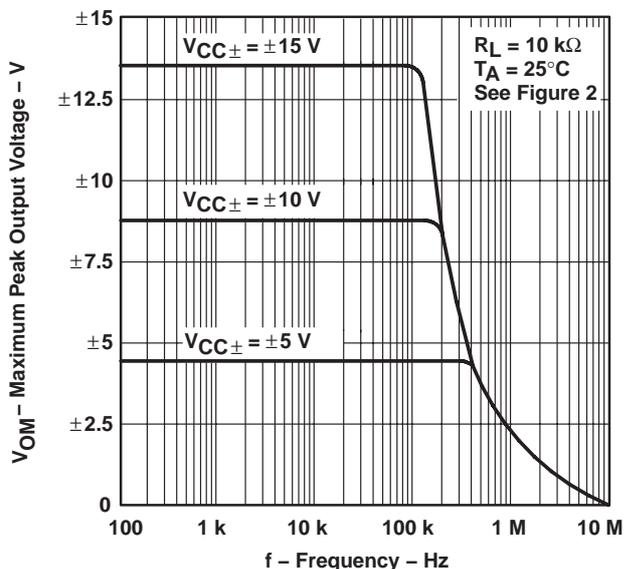


Figure 5

**MAXIMUM PEAK OUTPUT VOLTAGE
vs
FREQUENCY**

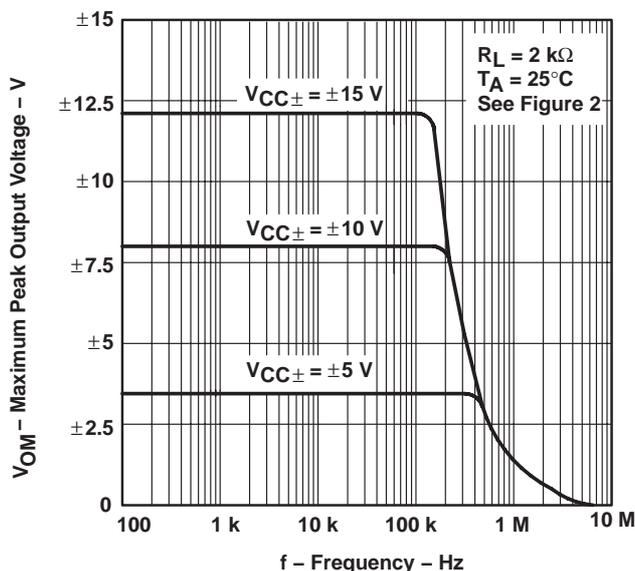


Figure 6

TYPICAL CHARACTERISTICS†

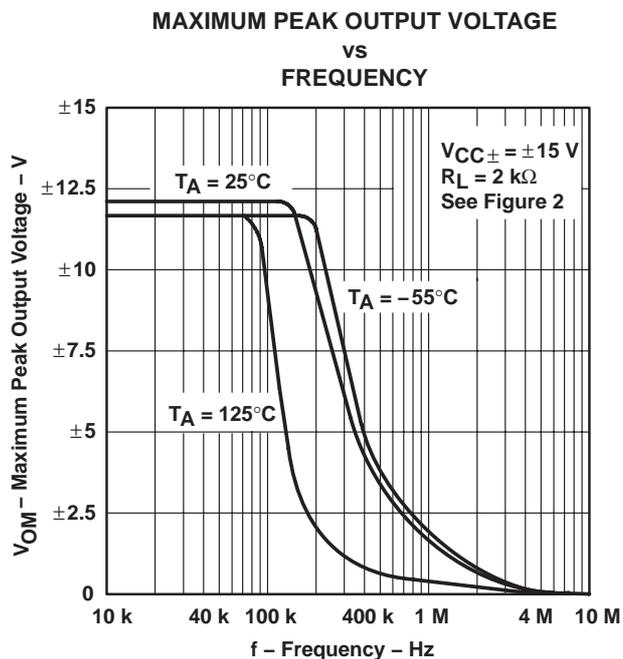


Figure 7

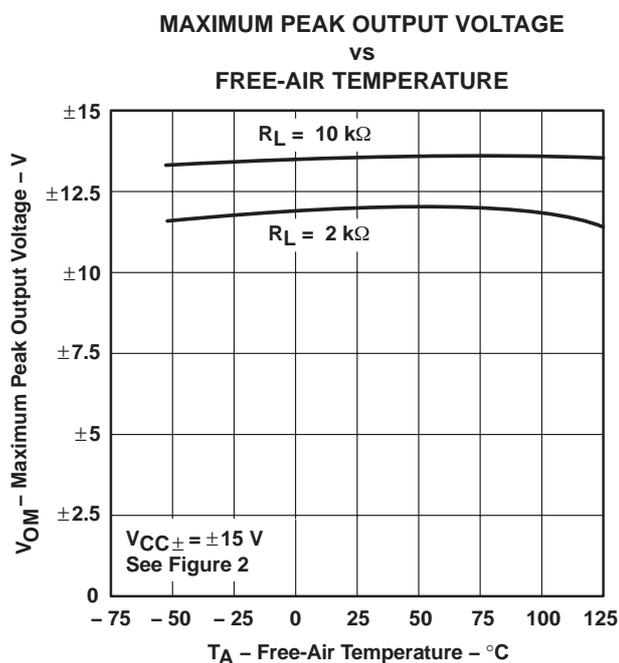


Figure 8

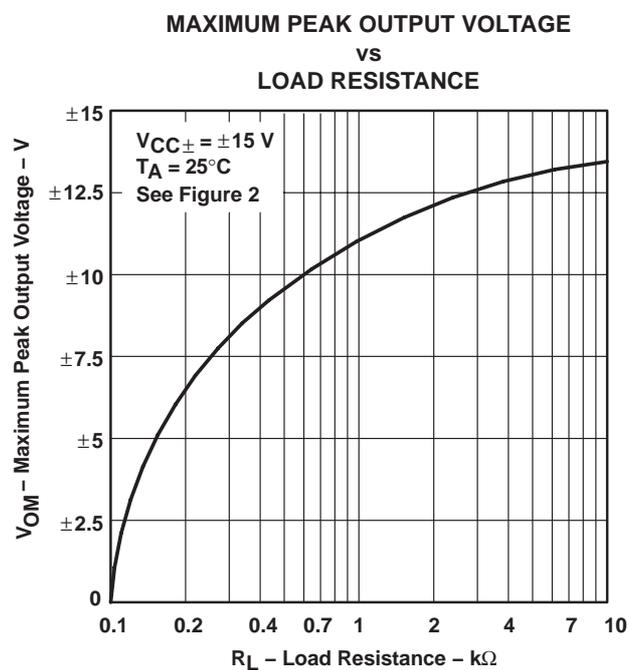


Figure 9

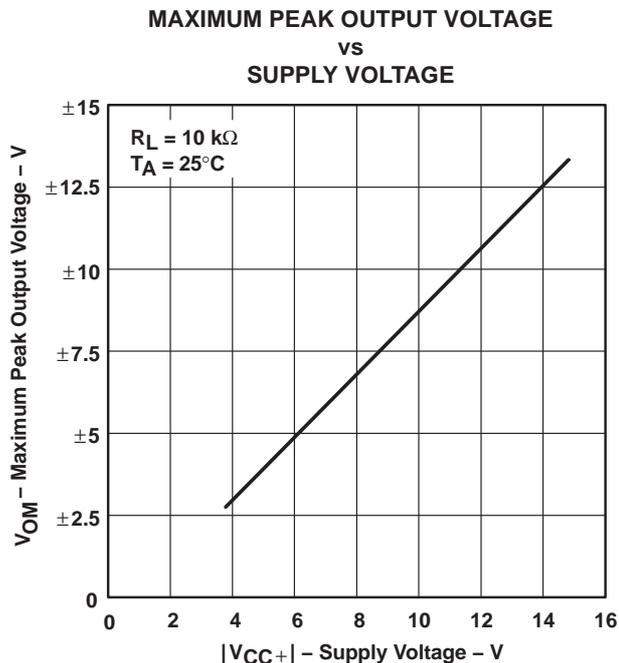


Figure 10

† Data at high and low temperatures are applicable only within the rated operating free-air temperature ranges of the various devices.

TL081, TL081A, TL081B, TL082, TL082A, TL082B
 TL084, TL084A, TL084B
JFET-INPUT OPERATIONAL AMPLIFIERS

SLOS081G – FEBRUARY 1977 – REVISED SEPTEMBER 2004

TYPICAL CHARACTERISTICS†

**LARGE-SIGNAL
 DIFFERENTIAL VOLTAGE AMPLIFICATION
 vs
 FREE-AIR TEMPERATURE**

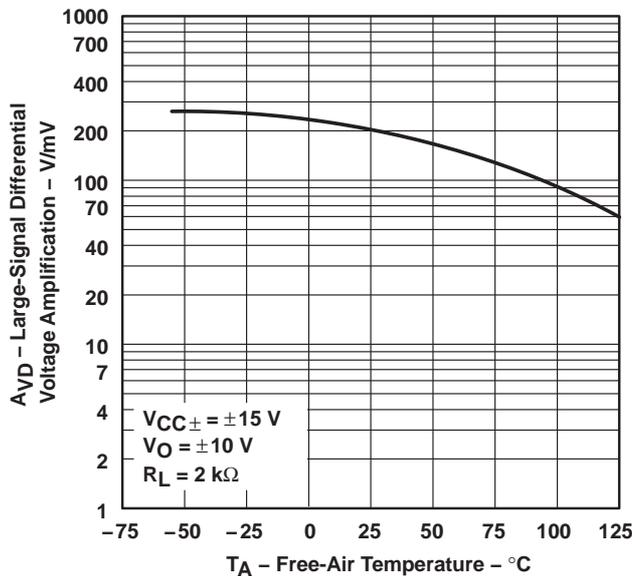


Figure 11

**LARGE-SIGNAL
 DIFFERENTIAL VOLTAGE AMPLIFICATION
 vs
 FREQUENCY**

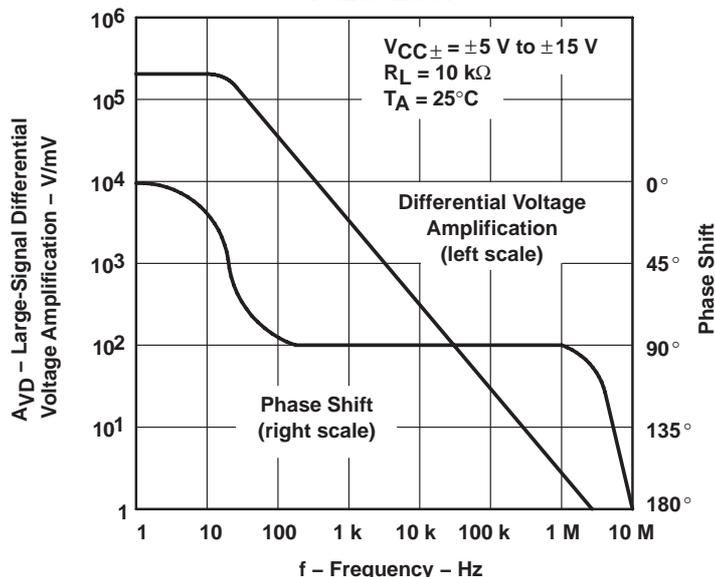


Figure 12

† Data at high and low temperatures are applicable only within the rated operating free-air temperature ranges of the various devices.



TL081, TL081A, TL081B, TL082, TL082A, TL082B
TL084, TL084A, TL084B
JFET-INPUT OPERATIONAL AMPLIFIERS
 SLOS081G – FEBRUARY 1977 – REVISED SEPTEMBER 2004

TYPICAL CHARACTERISTICS†

DIFFERENTIAL VOLTAGE AMPLIFICATION
 vs
FREQUENCY WITH FEED-FORWARD COMPENSATION

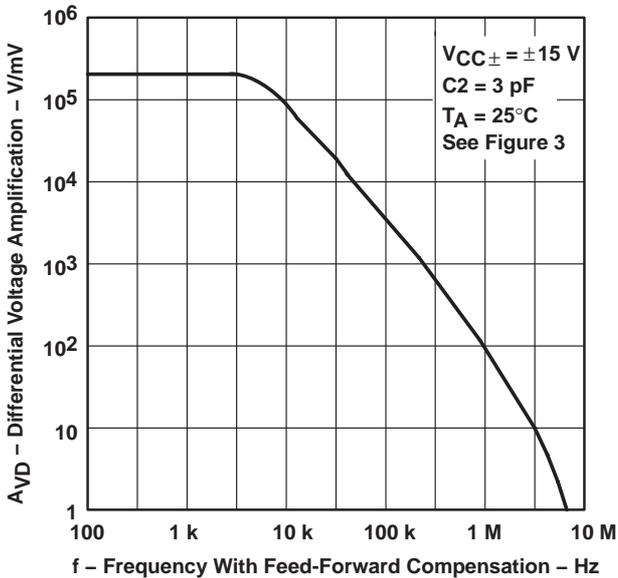


Figure 13

TOTAL POWER DISSIPATION
 vs
FREE-AIR TEMPERATURE

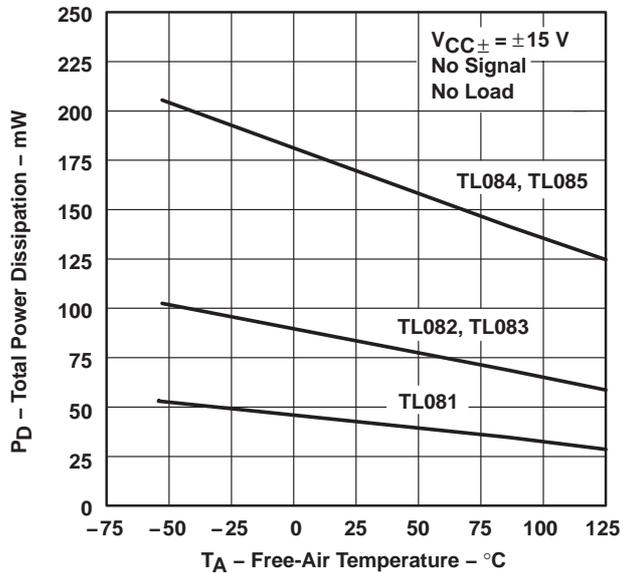


Figure 14

SUPPLY CURRENT PER AMPLIFIER
 vs
FREE-AIR TEMPERATURE

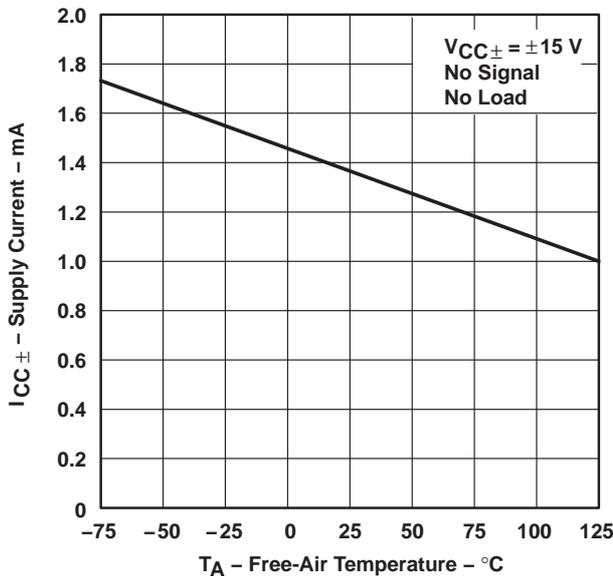


Figure 15

SUPPLY CURRENT
 vs
SUPPLY VOLTAGE

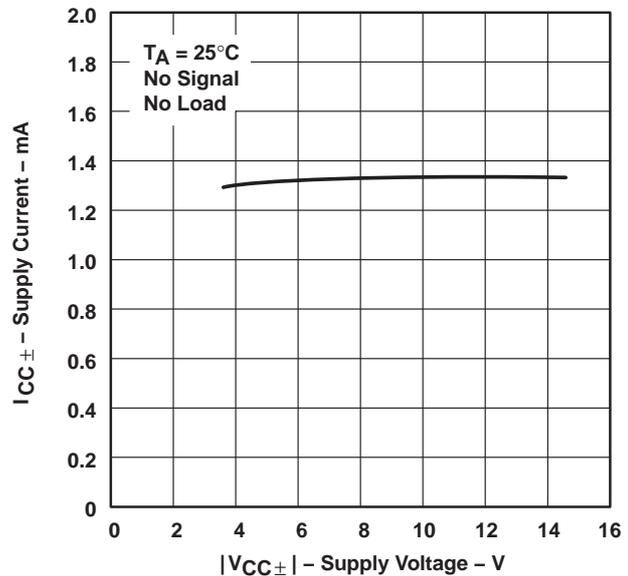


Figure 16

† Data at high and low temperatures are applicable only within the rated operating free-air temperature ranges of the various devices.



TYPICAL CHARACTERISTICS†

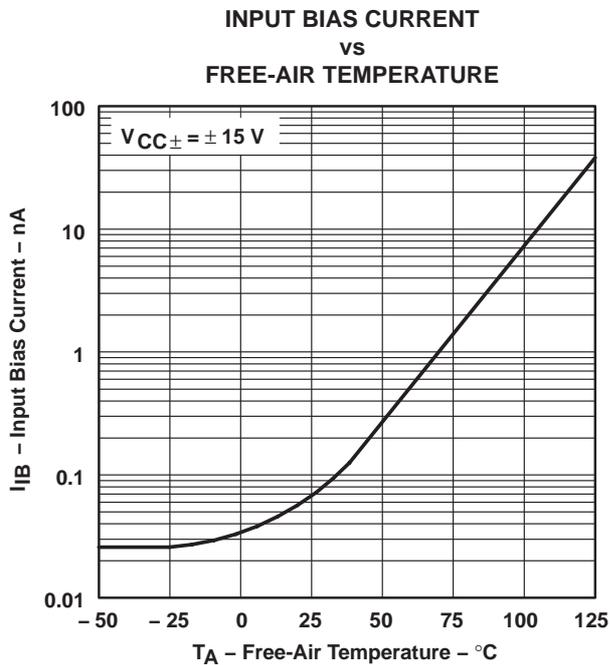


Figure 17

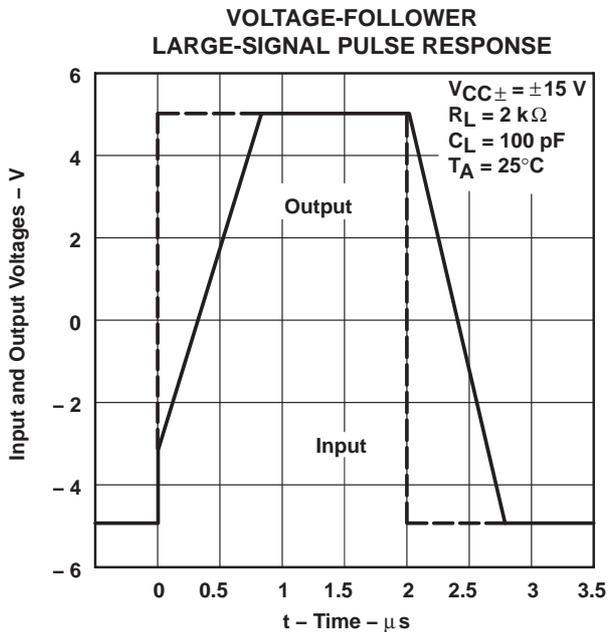


Figure 18

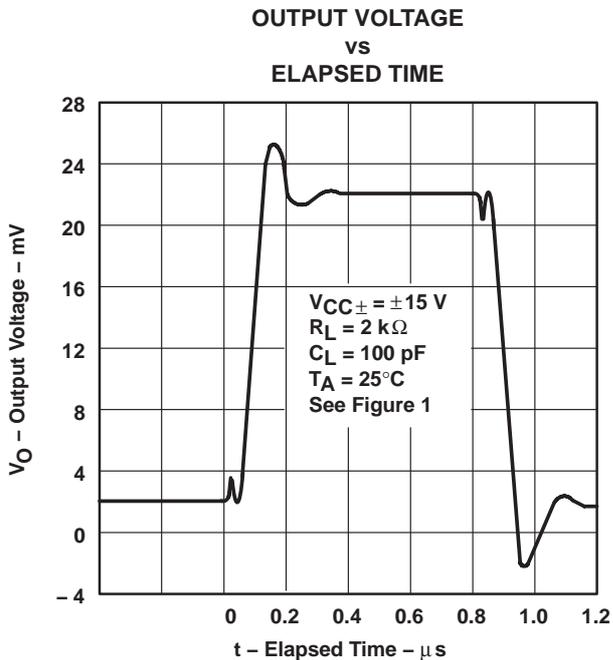


Figure 19

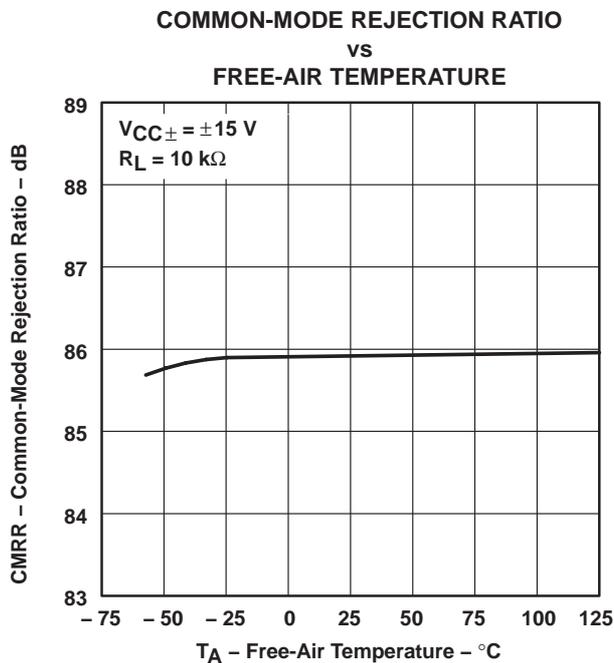


Figure 20

† Data at high and low temperatures are applicable only within the rated operating free-air temperature ranges of the various devices.

**TL081, TL081A, TL081B, TL082, TL082A, TL082B
TL084, TL084A, TL084B
JFET-INPUT OPERATIONAL AMPLIFIERS**
SLOS081G – FEBRUARY 1977 – REVISED SEPTEMBER 2004

TYPICAL CHARACTERISTICS†

**EQUIVALENT INPUT NOISE VOLTAGE
VS
FREQUENCY**

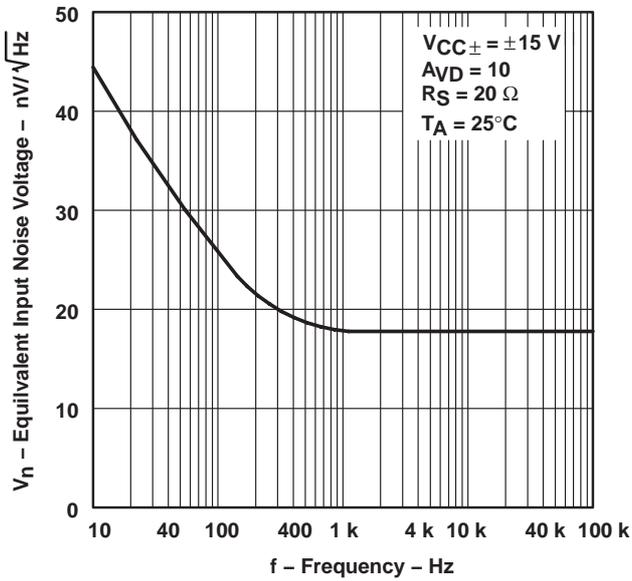


Figure 21

**TOTAL HARMONIC DISTORTION
VS
FREQUENCY**

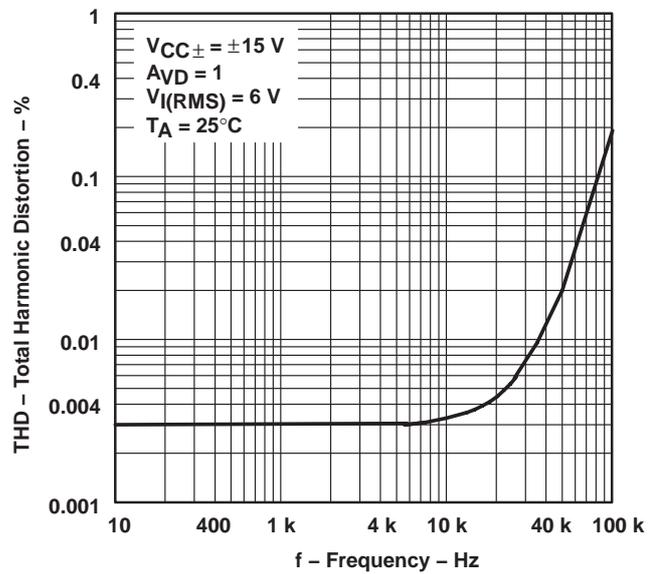


Figure 22

† Data at high and low temperatures are applicable only within the rated operating free-air temperature ranges of the various devices.

APPLICATION INFORMATION

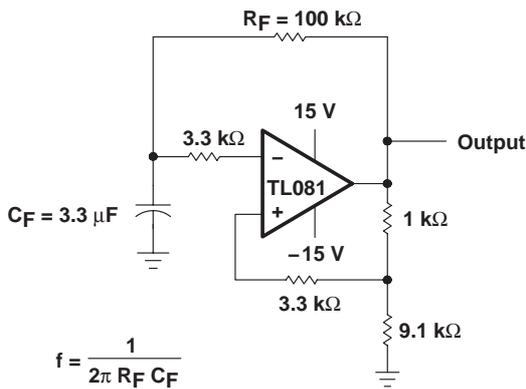


Figure 23

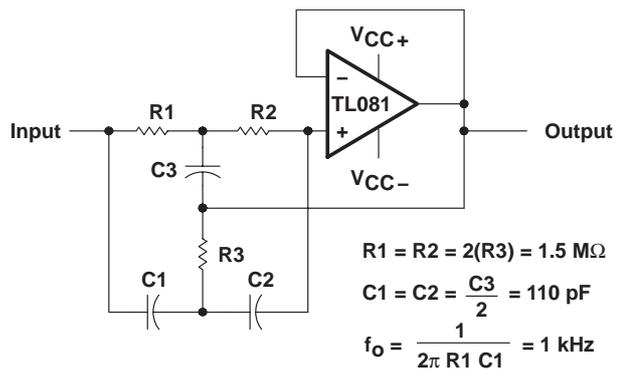


Figure 24

APPLICATION INFORMATION

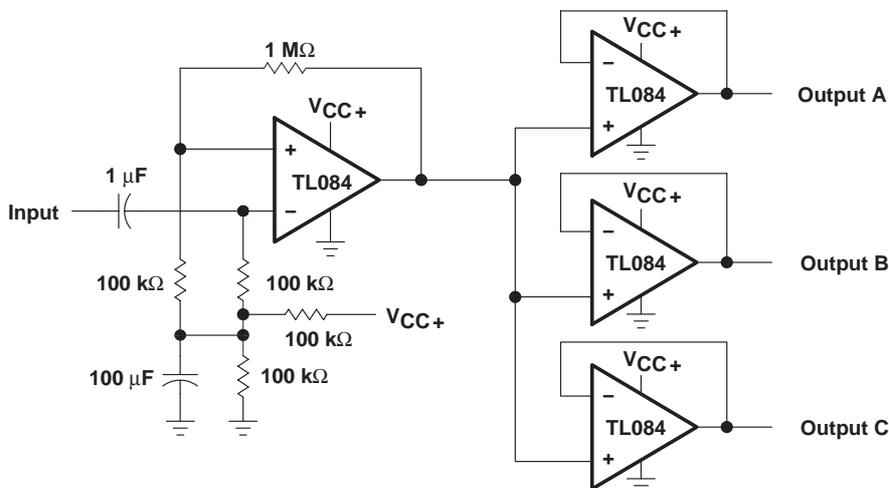
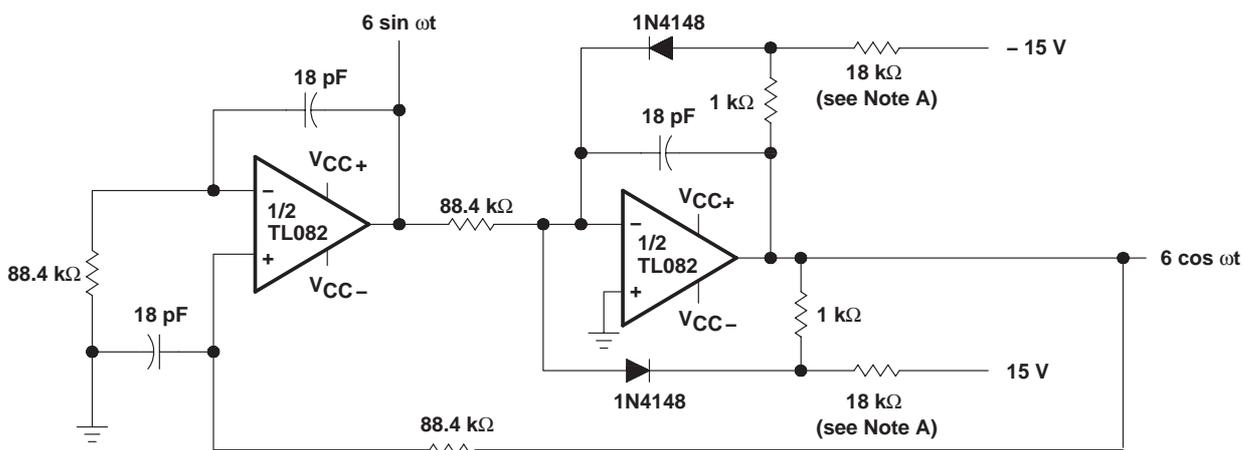


Figure 25. Audio-Distribution Amplifier



NOTE A: These resistor values may be adjusted for a symmetrical output.

Figure 26. 100-KHz Quadrature Oscillator

APPLICATION INFORMATION

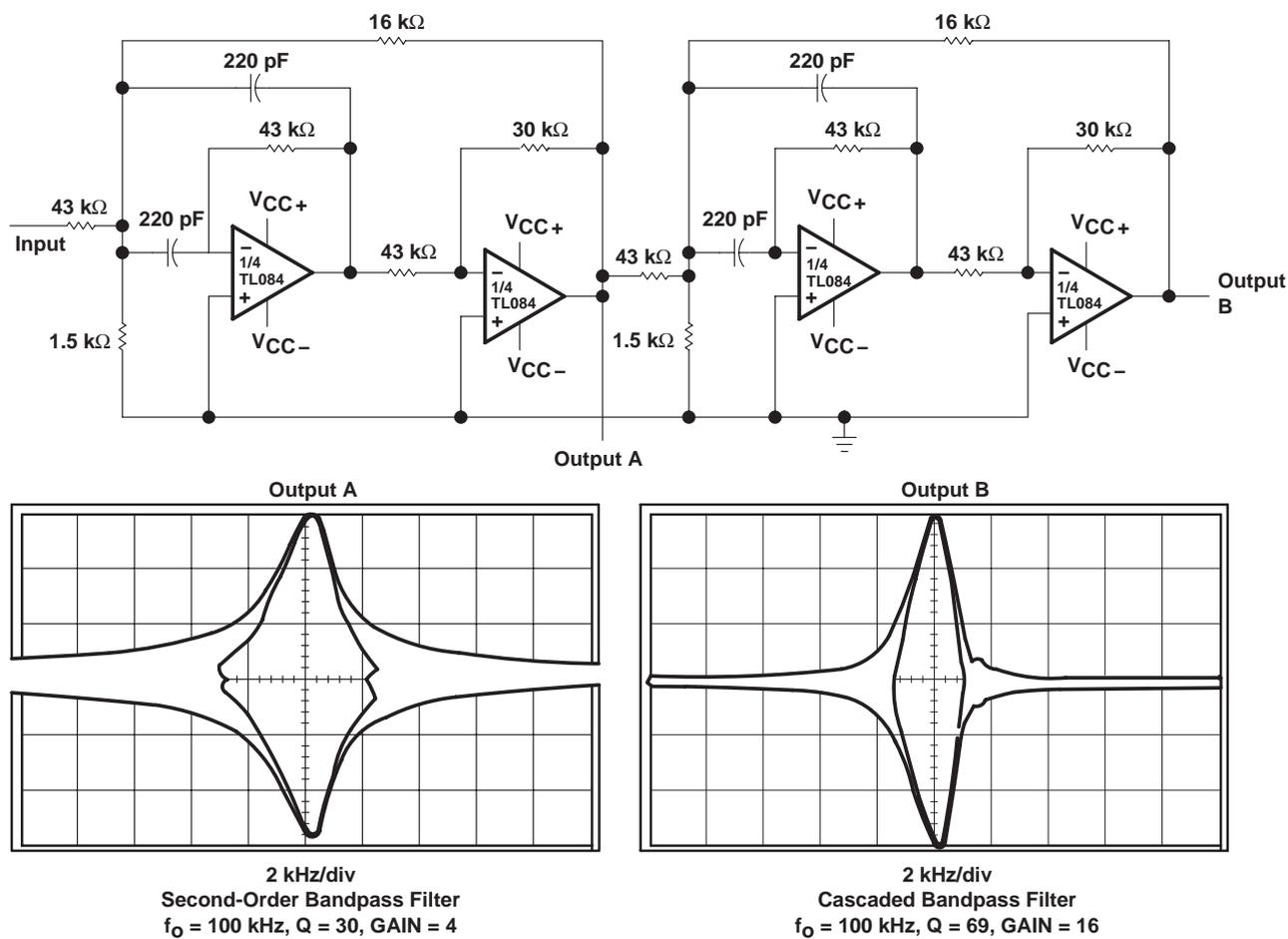


Figure 27. Positive-Feedback Bandpass Filter

PACKAGING INFORMATION

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
5962-9851501Q2A	ACTIVE	LCCC	FK	20	1	TBD	POST-PLATE	N / A for Pkg Type
5962-9851501QPA	ACTIVE	CDIP	JG	8	1	TBD	A42 SNPB	N / A for Pkg Type
5962-9851503Q2A	ACTIVE	LCCC	FK	20	1	TBD	POST-PLATE	N / A for Pkg Type
5962-9851503QCA	ACTIVE	CDIP	J	14	1	TBD	A42 SNPB	N / A for Pkg Type
TL081ACD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081ACDE4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081ACDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081ACDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081ACDRE4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081ACDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081ACJG	OBSOLETE	CDIP	JG	8		TBD	Call TI	Call TI
TL081ACP	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL081ACPE4	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL081BCD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081BCDE4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081BCDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081BCDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081BCDRE4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081BCDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081BCP	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL081BCPE4	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL081CD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081CDE4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081CDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081CDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081CDRE4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081CDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TL081CP	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL081CPE4	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL081CPSR	ACTIVE	SO	PS	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081CPSRE4	ACTIVE	SO	PS	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081CPSRG4	ACTIVE	SO	PS	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081CPWLE	OBSOLETE	TSSOP	PW	8		TBD	Call TI	Call TI
TL081ID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081IDE4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081IDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081IDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081IDRE4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081IDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL081IP	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL081IPE4	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL081MFKB	OBSOLETE	LCCC	FK	20		TBD	Call TI	Call TI
TL081MJG	OBSOLETE	CDIP	JG	8		TBD	Call TI	Call TI
TL081MJGB	OBSOLETE	CDIP	JG	8		TBD	Call TI	Call TI
TL082ACD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082ACDE4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082ACDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082ACDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082ACDRE4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082ACDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082ACP	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL082ACPE4	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL082ACPSR	ACTIVE	SO	PS	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082ACPSRE4	ACTIVE	SO	PS	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082ACPSRG4	ACTIVE	SO	PS	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
						no Sb/Br		
TL082BCD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082BCDE4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082BCDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082BCDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082BCDRE4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082BCDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082BCP	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL082BCPE4	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL082CD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082CDE4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082CDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082CDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082CDRE4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082CDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082CJG	OBSOLETE	CDIP	JG	8		TBD	Call TI	Call TI
TL082CP	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL082CPE4	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL082CPSR	ACTIVE	SO	PS	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082CPSRG4	ACTIVE	SO	PS	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082CPW	ACTIVE	TSSOP	PW	8	150	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082CPWE4	ACTIVE	TSSOP	PW	8	150	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082CPWG4	ACTIVE	TSSOP	PW	8	150	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082CPWLE	OBSOLETE	TSSOP	PW	8		TBD	Call TI	Call TI
TL082CPWR	ACTIVE	TSSOP	PW	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082CPWRE4	ACTIVE	TSSOP	PW	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082CPWRG4	ACTIVE	TSSOP	PW	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TL082ID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082IDE4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082IDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082IDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082IDRE4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082IDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082IJG	OBSOLETE	CDIP	JG	8		TBD	Call TI	Call TI
TL082IP	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL082IPE4	ACTIVE	PDIP	P	8	50	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL082IPWR	ACTIVE	TSSOP	PW	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082IPWRE4	ACTIVE	TSSOP	PW	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082IPWRG4	ACTIVE	TSSOP	PW	8	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL082MFK	OBSOLETE	LCCC	FK	20		TBD	Call TI	Call TI
TL082MFKB	ACTIVE	LCCC	FK	20	1	TBD	POST-PLATE	N / A for Pkg Type
TL082MJG	ACTIVE	CDIP	JG	8	1	TBD	A42 SNPB	N / A for Pkg Type
TL082MJGB	ACTIVE	CDIP	JG	8	1	TBD	A42 SNPB	N / A for Pkg Type
TL084ACD	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084ACDE4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084ACDG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084ACDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084ACDRE4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084ACDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084ACN	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL084ACNE4	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL084ACNSR	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084ACNSRE4	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084ACNSRG4	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084BCD	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TL084BCDE4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084BCDG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084BCDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084BCDRE4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084BCDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084BCN	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL084BCNE4	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL084CD	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084CDE4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084CDG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084CDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084CDRE4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084CDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084CJ	OBSOLETE	CDIP	J	14		TBD	Call TI	Call TI
TL084CN	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL084CNE4	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL084CNSLE	OBSOLETE	SO	NS	14		TBD	Call TI	Call TI
TL084CNSR	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084CNSRG4	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084CPW	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084CPWE4	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084CPWG4	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084CPWLE	OBSOLETE	TSSOP	PW	14		TBD	Call TI	Call TI
TL084CPWR	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084CPWRE4	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084CPWRG4	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084ID	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TL084IDE4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084IDG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084IDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084IDRE4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084IDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084IJ	OBSOLETE	CDIP	J	14		TBD	Call TI	Call TI
TL084IN	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL084INE4	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
TL084MFK	ACTIVE	LCCC	FK	20	1	TBD	POST-PLATE	N / A for Pkg Type
TL084MFKB	ACTIVE	LCCC	FK	20	1	TBD	POST-PLATE	N / A for Pkg Type
TL084MJ	ACTIVE	CDIP	J	14	1	TBD	A42 SNPB	N / A for Pkg Type
TL084MJB	ACTIVE	CDIP	J	14	1	TBD	A42 SNPB	N / A for Pkg Type
TL084QD	ACTIVE	SOIC	D	14	50	TBD	CU NIPDAU	Level-1-220C-UNLIM
TL084QDG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
TL084QDR	ACTIVE	SOIC	D	14	2500	TBD	CU NIPDAU	Level-1-220C-UNLIM
TL084QDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS), Pb-Free (RoHS Exempt), or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

TBD: The Pb-Free/Green conversion plan has not been defined.

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

Pb-Free (RoHS Exempt): This component has a RoHS exemption for either 1) lead-based flip-chip solder bumps used between the die and package, or 2) lead-based die adhesive used between the die and leadframe. The component is otherwise considered Pb-Free (RoHS compatible) as defined above.

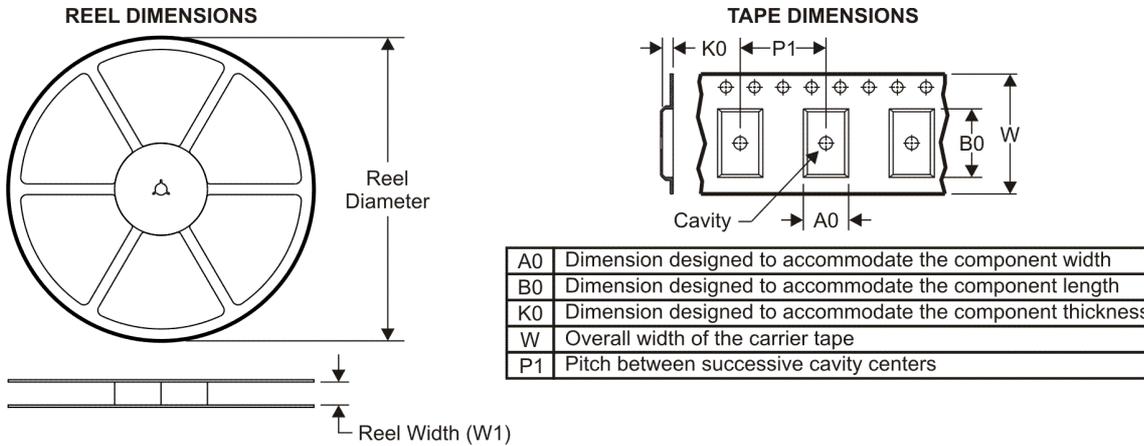
Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

⁽³⁾ MSL, Peak Temp. -- The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

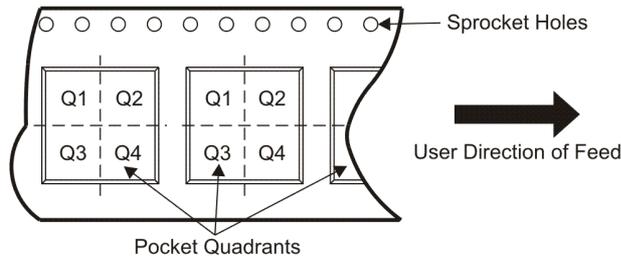
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

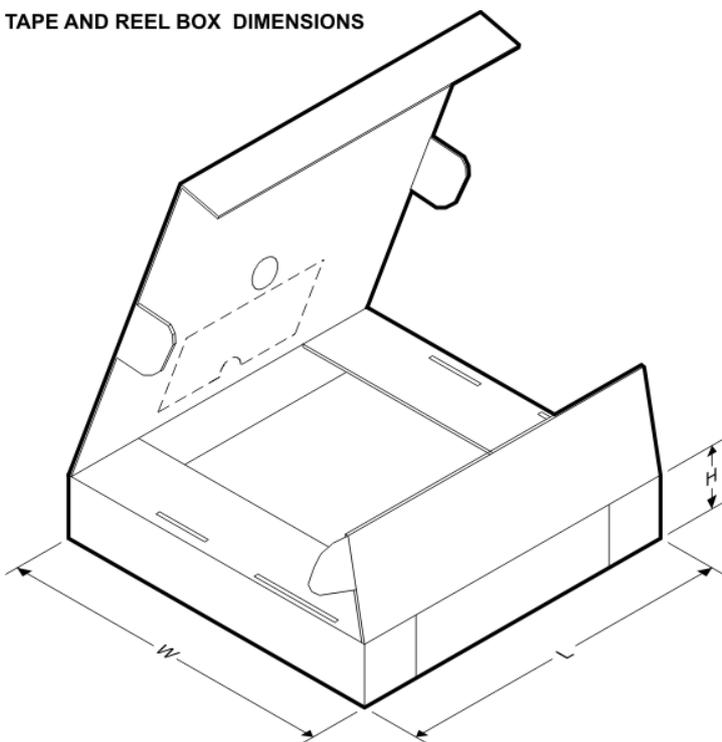


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TL081ACDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL081BCDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL081CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL081CPSR	SO	PS	8	2000	330.0	16.4	8.2	6.6	2.5	12.0	16.0	Q1
TL081IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL082ACDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL082ACDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL082ACPSR	SO	PS	8	2000	330.0	16.4	8.2	6.6	2.5	12.0	16.0	Q1
TL082BCDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL082CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL082CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL082CPSR	SO	PS	8	2000	330.0	16.4	8.2	6.6	2.5	12.0	16.0	Q1
TL082CPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TL082IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL082IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL082IPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TL084ACDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL084ACDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TL084ACNSR	SO	NS	14	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
TL084BCDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL084CDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL084CNSR	SO	NS	14	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
TL084CPWR	TSSOP	PW	14	2000	330.0	12.4	7.0	5.6	1.6	8.0	12.0	Q1
TL084IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TL081ACDR	SOIC	D	8	2500	340.5	338.1	20.6
TL081BCDR	SOIC	D	8	2500	340.5	338.1	20.6
TL081CDR	SOIC	D	8	2500	340.5	338.1	20.6
TL081CPSR	SO	PS	8	2000	346.0	346.0	33.0
TL081IDR	SOIC	D	8	2500	340.5	338.1	20.6
TL082ACDR	SOIC	D	8	2500	340.5	338.1	20.6
TL082ACDR	SOIC	D	8	2500	346.0	346.0	29.0
TL082ACPSR	SO	PS	8	2000	346.0	346.0	33.0
TL082BCDR	SOIC	D	8	2500	340.5	338.1	20.6
TL082CDR	SOIC	D	8	2500	346.0	346.0	29.0
TL082CDR	SOIC	D	8	2500	340.5	338.1	20.6

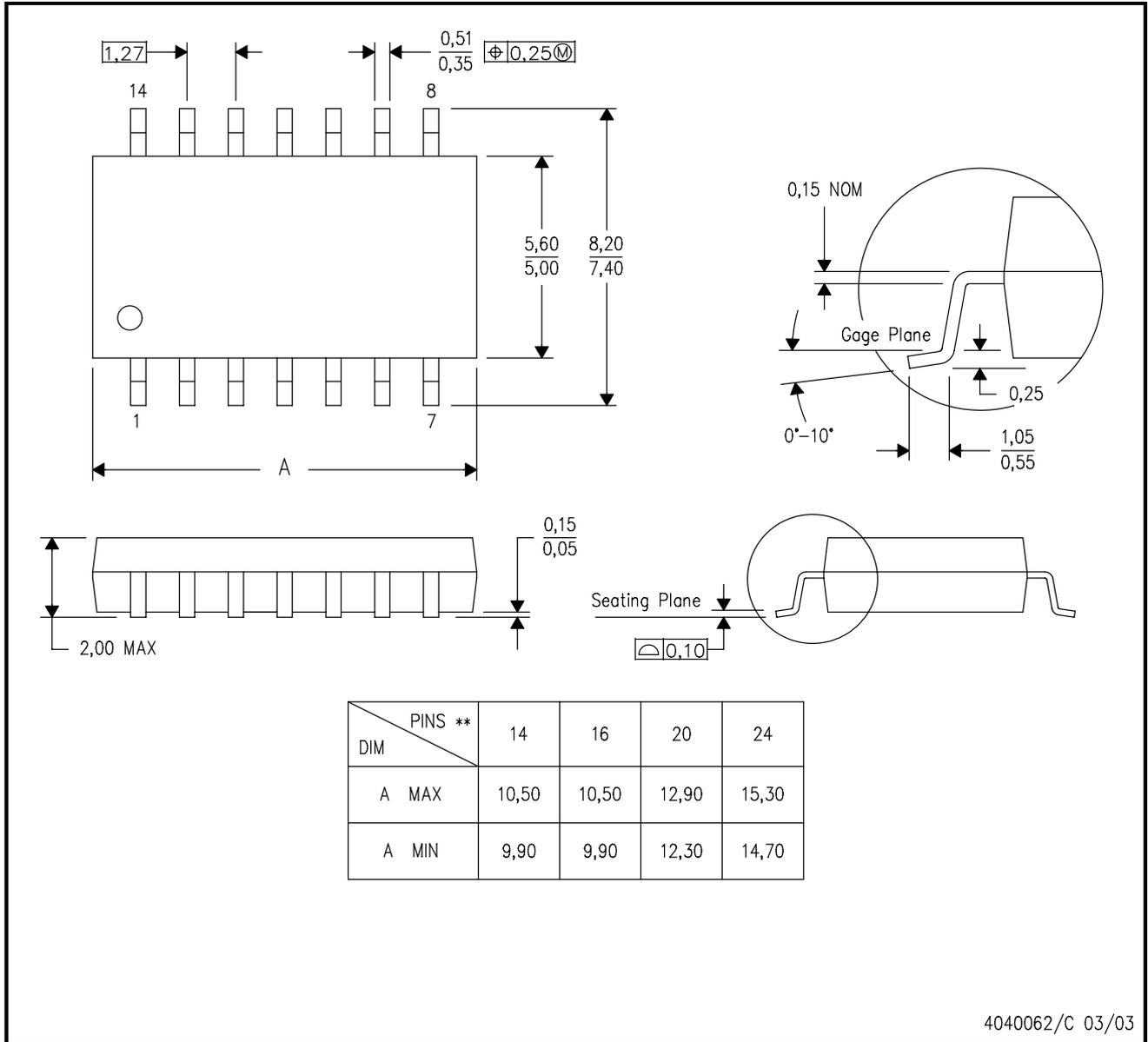
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TL082CPSR	SO	PS	8	2000	346.0	346.0	33.0
TL082CPWR	TSSOP	PW	8	2000	346.0	346.0	29.0
TL082IDR	SOIC	D	8	2500	346.0	346.0	29.0
TL082IDR	SOIC	D	8	2500	340.5	338.1	20.6
TL082IPWR	TSSOP	PW	8	2000	346.0	346.0	29.0
TL084ACDR	SOIC	D	14	2500	346.0	346.0	33.0
TL084ACDR	SOIC	D	14	2500	333.2	345.9	28.6
TL084ACNSR	SO	NS	14	2000	346.0	346.0	33.0
TL084BCDR	SOIC	D	14	2500	333.2	345.9	28.6
TL084CDR	SOIC	D	14	2500	333.2	345.9	28.6
TL084CNSR	SO	NS	14	2000	346.0	346.0	33.0
TL084CPWR	TSSOP	PW	14	2000	346.0	346.0	29.0
TL084IDR	SOIC	D	14	2500	333.2	345.9	28.6

MECHANICAL DATA

NS (R-PDSO-G)**

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

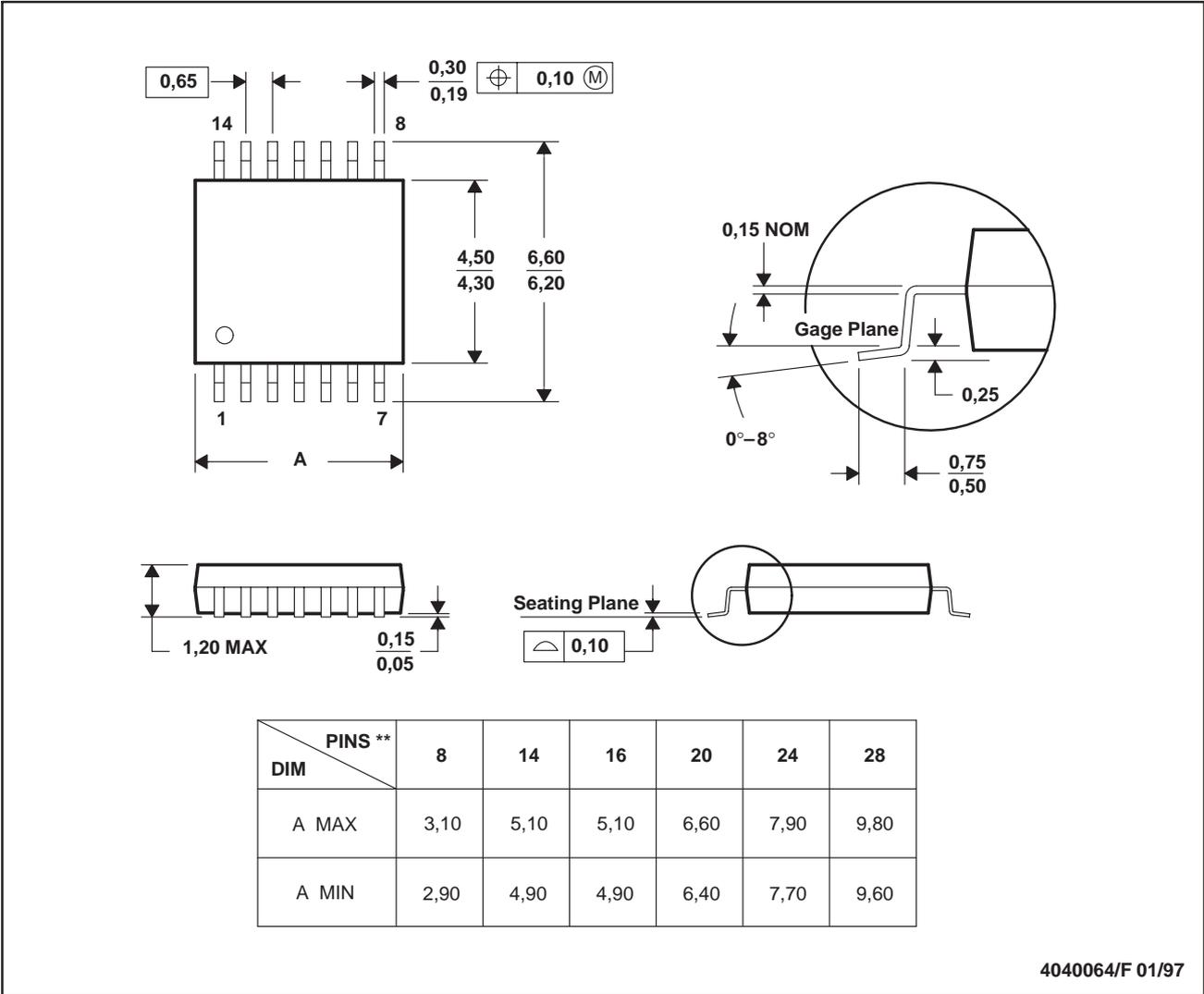
MECHANICAL DATA

MTSS001C – JANUARY 1995 – REVISED FEBRUARY 1999

PW (R-PDSO-G)**

PLASTIC SMALL-OUTLINE PACKAGE

14 PINS SHOWN



4040064/F 01/97

- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Body dimensions do not include mold flash or protrusion not to exceed 0,15.
 D. Falls within JEDEC MO-153



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

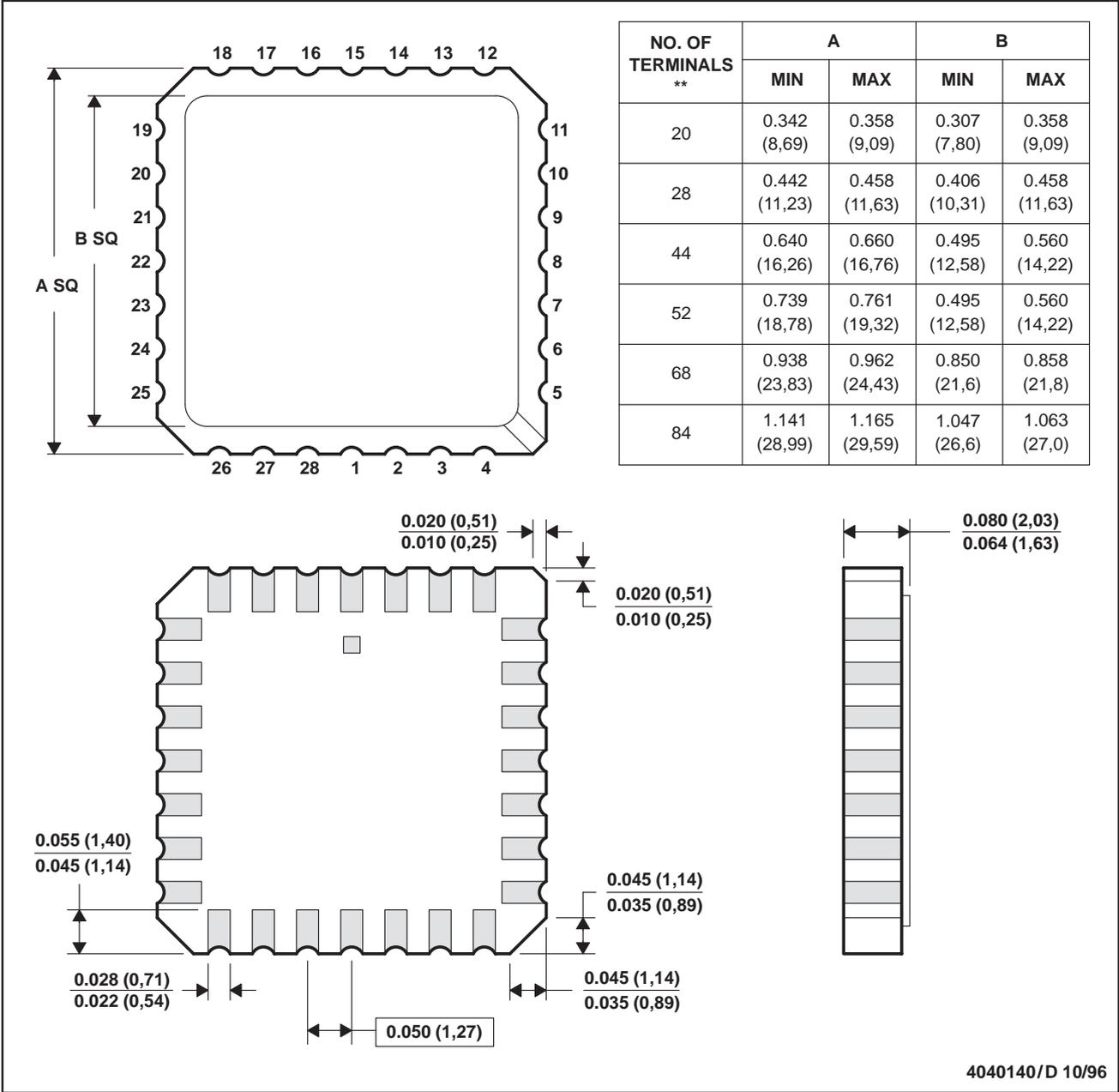
MECHANICAL DATA

MLCC006B – OCTOBER 1996

FK (S-CQCC-N**)

LEADLESS CERAMIC CHIP CARRIER

28 TERMINAL SHOWN



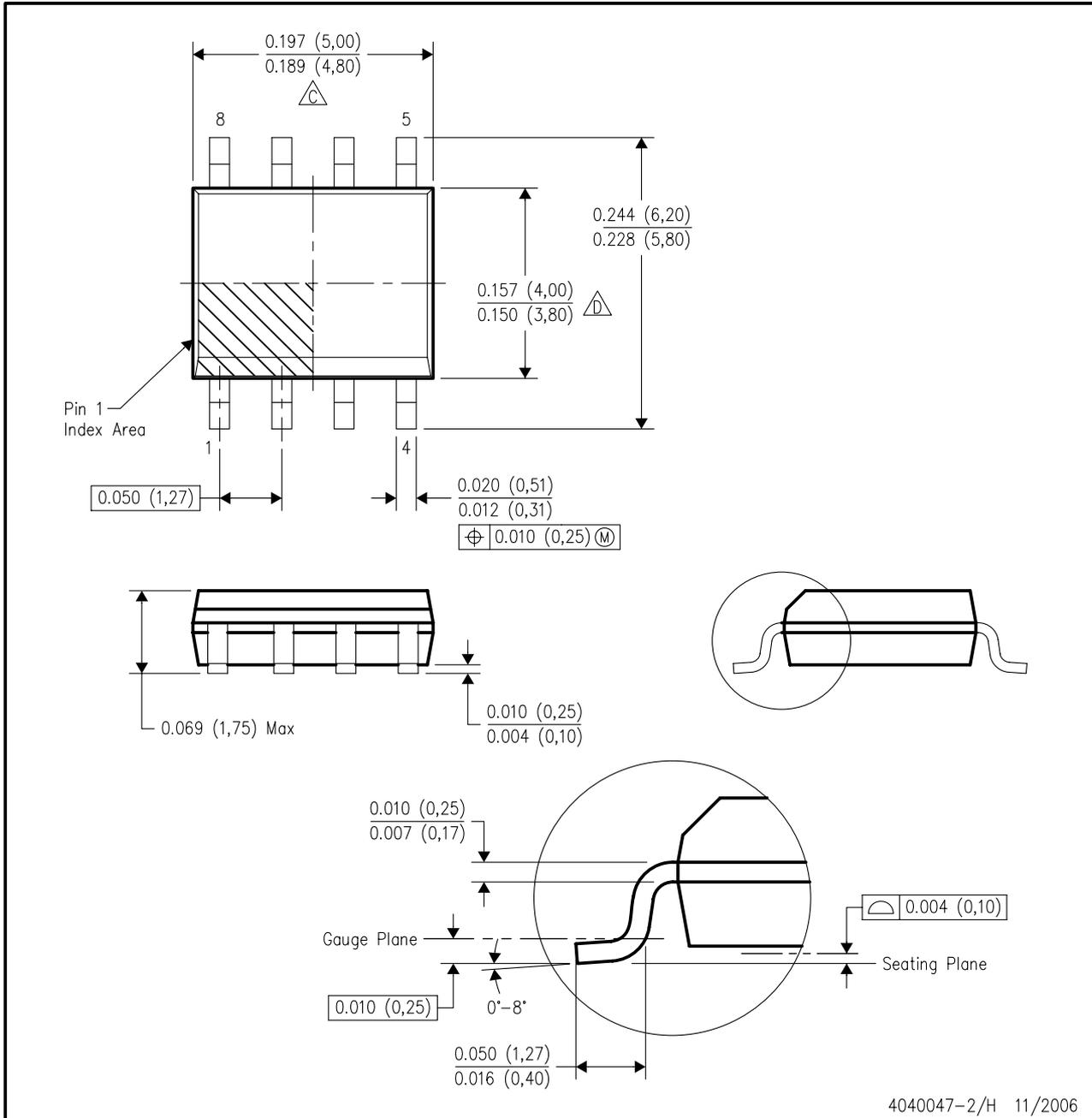
- NOTES: A. All linear dimensions are in inches (millimeters).
 B. This drawing is subject to change without notice.
 C. This package can be hermetically sealed with a metal lid.
 D. The terminals are gold plated.
 E. Falls within JEDEC MS-004



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

D (R-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE

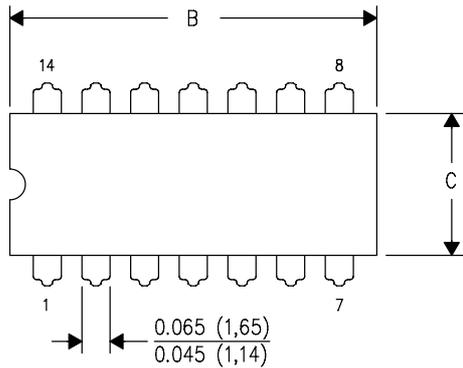


- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 (0,15) per end.
 - D. Body width does not include interlead flash. Interlead flash shall not exceed .017 (0,43) per side.
 - E. Reference JEDEC MS-012 variation AA.

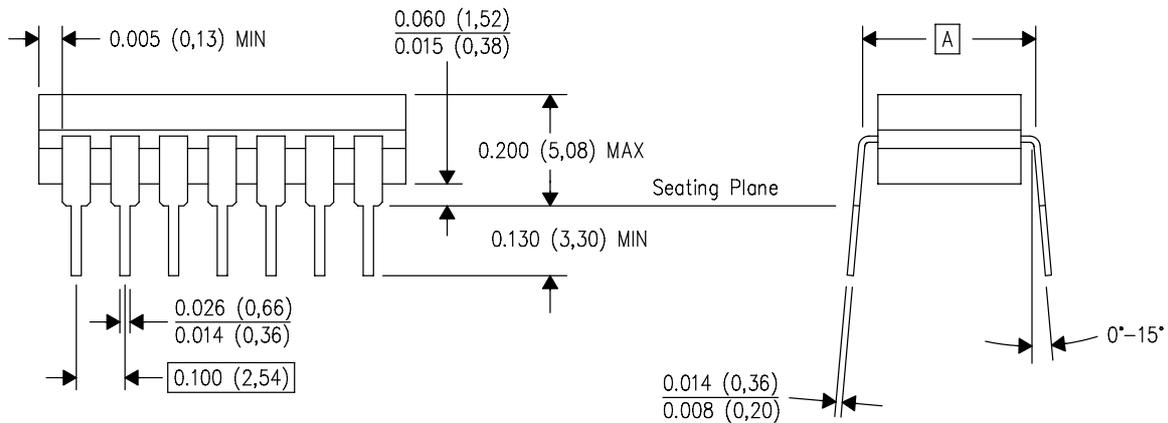
J (R-GDIP-T**)

14 LEADS SHOWN

CERAMIC DUAL IN-LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)

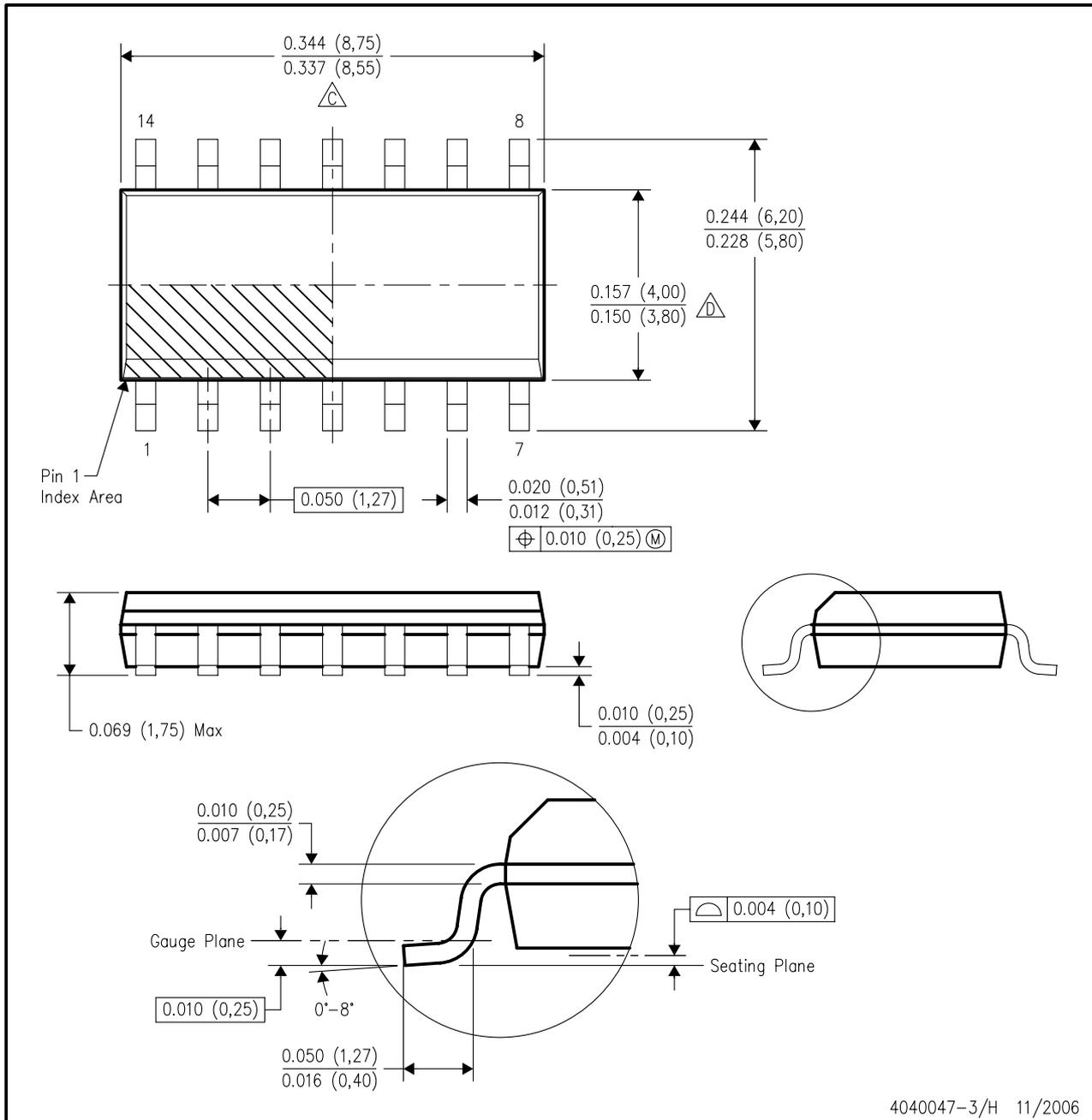


4040083/F 03/03

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. This package is hermetically sealed with a ceramic lid using glass frit.
 - D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
 - E. Falls within MIL STD 1835 GDIP1-T14, GDIP1-T16, GDIP1-T18 and GDIP1-T20.

D (R-PDSO-G14)

PLASTIC SMALL-OUTLINE PACKAGE

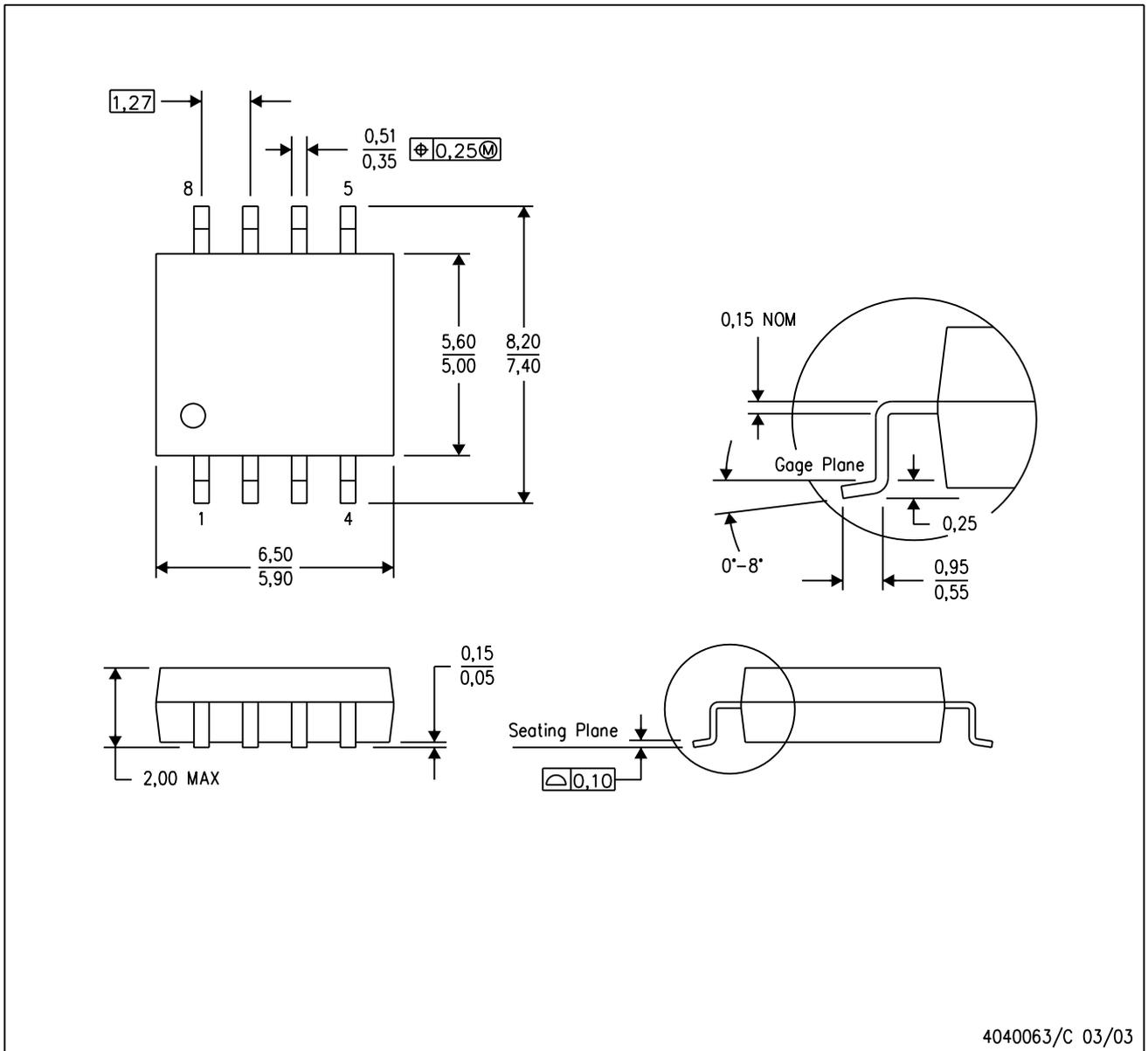


- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 (0,15) per end.
 - Body width does not include interlead flash. Interlead flash shall not exceed .017 (0,43) per side.
 - E. Reference JEDEC MS-012 variation AB.

MECHANICAL DATA

PS (R-PDSO-G8)

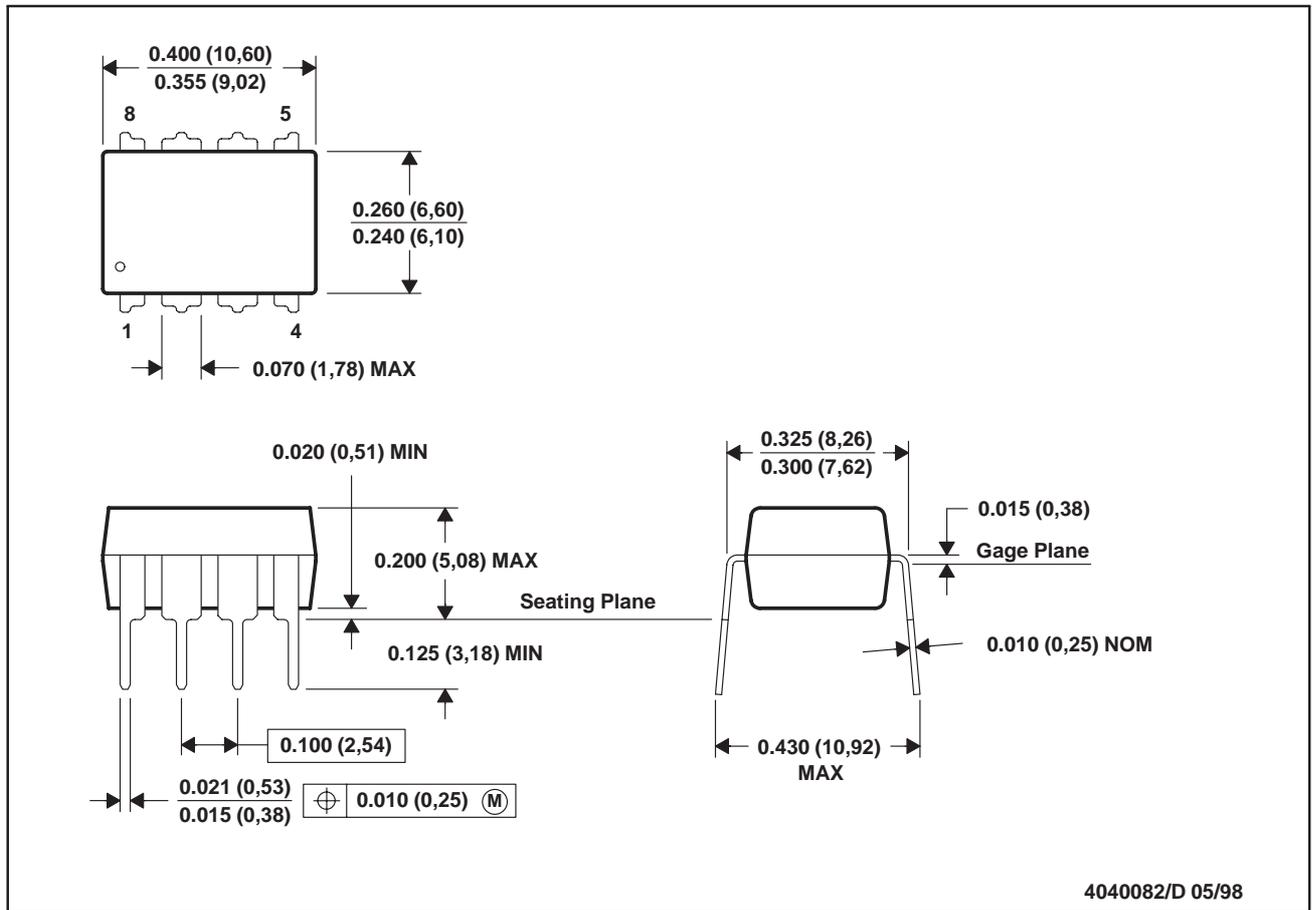
PLASTIC SMALL-OUTLINE PACKAGE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE



- NOTES: A. All linear dimensions are in inches (millimeters).
 B. This drawing is subject to change without notice.
 C. Falls within JEDEC MS-001

For the latest package information, go to http://www.ti.com/sc/docs/package/pkg_info.htm

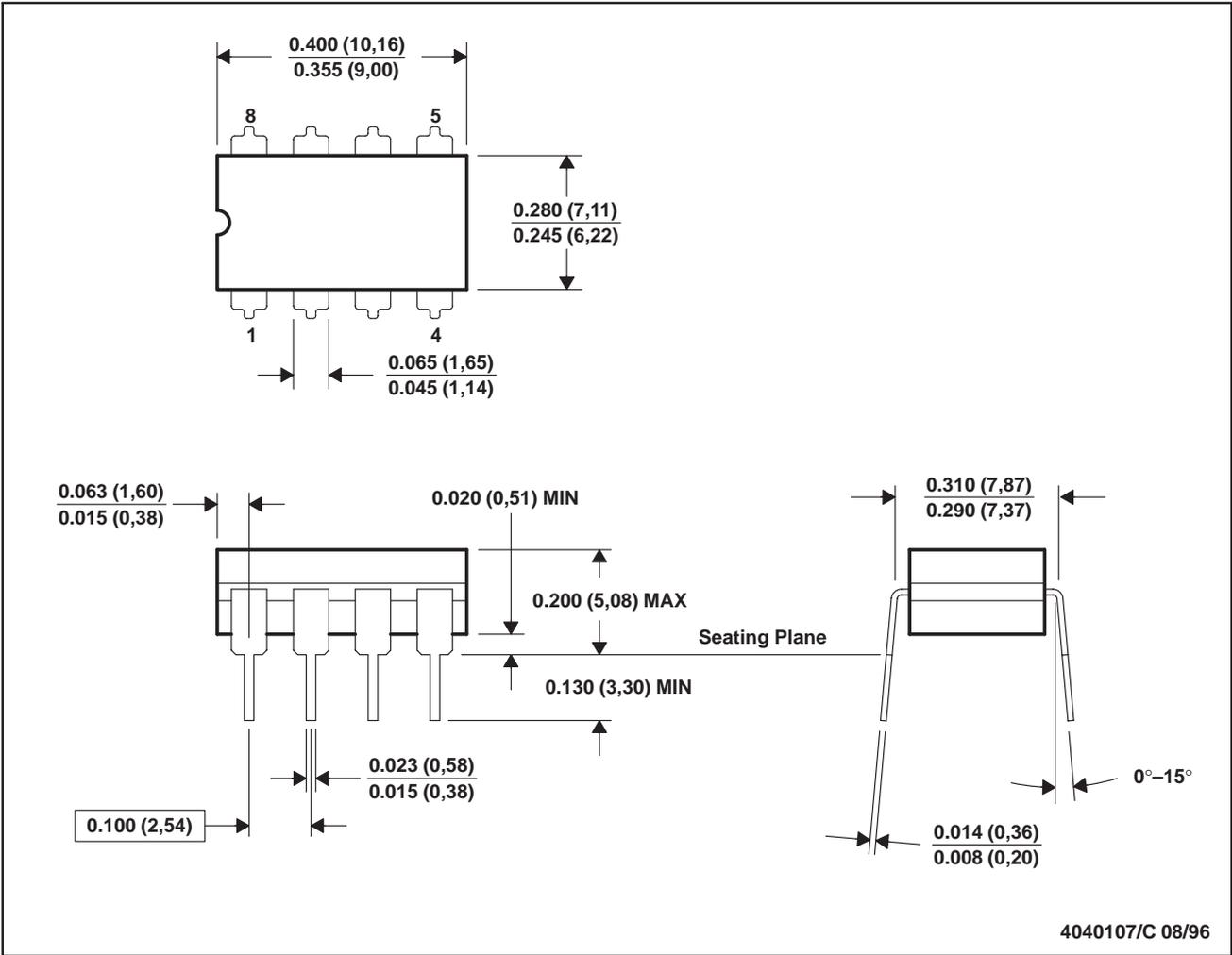


MECHANICAL DATA

MCER001A – JANUARY 1995 – REVISED JANUARY 1997

JG (R-GDIP-T8)

CERAMIC DUAL-IN-LINE



- NOTES: A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification.
E. Falls within MIL STD 1835 GDIP1-T8



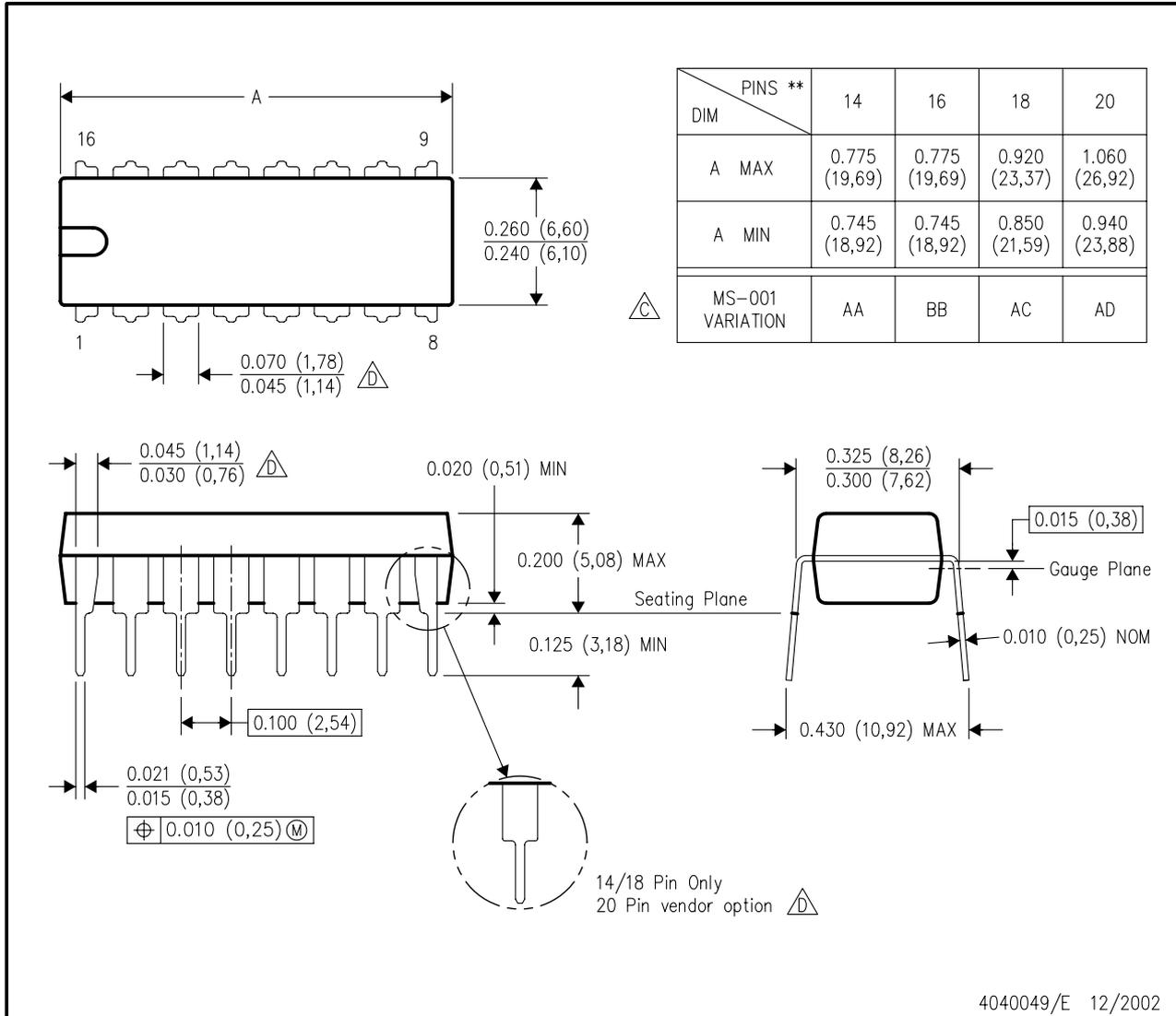
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

MECHANICAL DATA

N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.

IMPORTANT NOTICE

Texas Instruments Incorporated and its subsidiaries (TI) reserve the right to make corrections, modifications, enhancements, improvements, and other changes to its products and services at any time and to discontinue any product or service without notice. Customers should obtain the latest relevant information before placing orders and should verify that such information is current and complete. All products are sold subject to TI's terms and conditions of sale supplied at the time of order acknowledgment.

TI warrants performance of its hardware products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are used to the extent TI deems necessary to support this warranty. Except where mandated by government requirements, testing of all parameters of each product is not necessarily performed.

TI assumes no liability for applications assistance or customer product design. Customers are responsible for their products and applications using TI components. To minimize the risks associated with customer products and applications, customers should provide adequate design and operating safeguards.

TI does not warrant or represent that any license, either express or implied, is granted under any TI patent right, copyright, mask work right, or other TI intellectual property right relating to any combination, machine, or process in which TI products or services are used. Information published by TI regarding third-party products or services does not constitute a license from TI to use such products or services or a warranty or endorsement thereof. Use of such information may require a license from a third party under the patents or other intellectual property of the third party, or a license from TI under the patents or other intellectual property of TI.

Reproduction of TI information in TI data books or data sheets is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations, and notices. Reproduction of this information with alteration is an unfair and deceptive business practice. TI is not responsible or liable for such altered documentation. Information of third parties may be subject to additional restrictions.

Resale of TI products or services with statements different from or beyond the parameters stated by TI for that product or service voids all express and any implied warranties for the associated TI product or service and is an unfair and deceptive business practice. TI is not responsible or liable for any such statements.

TI products are not authorized for use in safety-critical applications (such as life support) where a failure of the TI product would reasonably be expected to cause severe personal injury or death, unless officers of the parties have executed an agreement specifically governing such use. Buyers represent that they have all necessary expertise in the safety and regulatory ramifications of their applications, and acknowledge and agree that they are solely responsible for all legal, regulatory and safety-related requirements concerning their products and any use of TI products in such safety-critical applications, notwithstanding any applications-related information or support that may be provided by TI. Further, Buyers must fully indemnify TI and its representatives against any damages arising out of the use of TI products in such safety-critical applications.

TI products are neither designed nor intended for use in military/aerospace applications or environments unless the TI products are specifically designated by TI as military-grade or "enhanced plastic." Only products designated by TI as military-grade meet military specifications. Buyers acknowledge and agree that any such use of TI products which TI has not designated as military-grade is solely at the Buyer's risk, and that they are solely responsible for compliance with all legal and regulatory requirements in connection with such use.

TI products are neither designed nor intended for use in automotive applications or environments unless the specific TI products are designated by TI as compliant with ISO/TS 16949 requirements. Buyers acknowledge and agree that, if they use any non-designated products in automotive applications, TI will not be responsible for any failure to meet such requirements.

Following are URLs where you can obtain information on other Texas Instruments products and application solutions:

Products

Amplifiers	amplifier.ti.com
Data Converters	dataconverter.ti.com
DSP	dsp.ti.com
Clocks and Timers	www.ti.com/clocks
Interface	interface.ti.com
Logic	logic.ti.com
Power Mgmt	power.ti.com
Microcontrollers	microcontroller.ti.com
RFID	www.ti-rfid.com
RF/IF and ZigBee® Solutions	www.ti.com/lprf

Applications

Audio	www.ti.com/audio
Automotive	www.ti.com/automotive
Broadband	www.ti.com/broadband
Digital Control	www.ti.com/digitalcontrol
Medical	www.ti.com/medical
Military	www.ti.com/military
Optical Networking	www.ti.com/opticalnetwork
Security	www.ti.com/security
Telephony	www.ti.com/telephony
Video & Imaging	www.ti.com/video
Wireless	www.ti.com/wireless

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2008, Texas Instruments Incorporated

ANEXO 4

LM78XX Series Voltage Regulators

General Description

The LM78XX series of three terminal regulators is available with several fixed output voltages making them useful in a wide range of applications. One of these is local on card regulation, eliminating the distribution problems associated with single point regulation. The voltages available allow these regulators to be used in logic systems, instrumentation, HiFi, and other solid state electronic equipment. Although designed primarily as fixed voltage regulators these devices can be used with external components to obtain adjustable voltages and currents.

The LM78XX series is available in an aluminum TO-3 package which will allow over 1.0A load current if adequate heat sinking is provided. Current limiting is included to limit the peak output current to a safe value. Safe area protection for the output transistor is provided to limit internal power dissipation. If internal power dissipation becomes too high for the heat sinking provided, the thermal shutdown circuit takes over preventing the IC from overheating.

Considerable effort was expended to make the LM78XX series of regulators easy to use and minimize the number of external components. It is not necessary to bypass the out-

put, although this does improve transient response. Input bypassing is needed only if the regulator is located far from the filter capacitor of the power supply.

For output voltage other than 5V, 12V and 15V the LM117 series provides an output voltage range from 1.2V to 57V.

Features

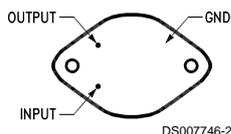
- Output current in excess of 1A
- Internal thermal overload protection
- No external components required
- Output transistor safe area protection
- Internal short circuit current limit
- Available in the aluminum TO-3 package

Voltage Range

LM7805C	5V
LM7812C	12V
LM7815C	15V

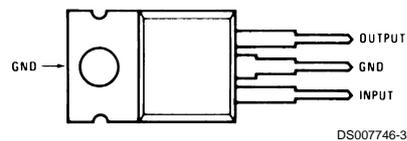
Connection Diagrams

**Metal Can Package
TO-3 (K)
Aluminum**



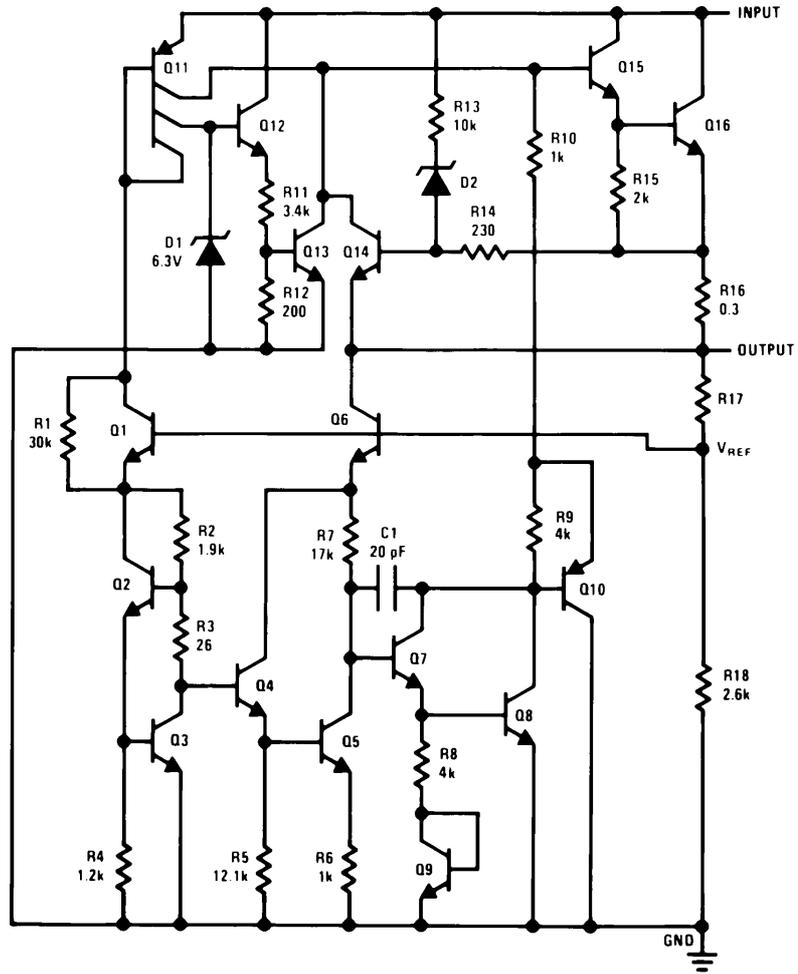
Bottom View
Order Number LM7805CK,
LM7812CK or LM7815CK
See NS Package Number KC02A

**Plastic Package
TO-220 (T)**



Top View
Order Number LM7805CT,
LM7812CT or LM7815CT
See NS Package Number T03B

Schematic



DS007746-1

Absolute Maximum Ratings (Note 3)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Input Voltage

 $(V_O = 5V, 12V \text{ and } 15V)$

35V

Internal Power Dissipation (Note 1)

Internally Limited

Operating Temperature Range (T_A)

0°C to +70°C

Maximum Junction Temperature

(K Package)

150°C

(T Package)

150°C

Storage Temperature Range

-65°C to +150°C

Lead Temperature (Soldering, 10 sec.)

TO-3 Package K

300°C

TO-220 Package T

230°C

Electrical Characteristics LM78XXC (Note 2)0°C ≤ T_J ≤ 125°C unless otherwise noted.

Output Voltage			5V			12V			15V			Units	
Input Voltage (unless otherwise noted)			10V			19V			23V				
Symbol	Parameter	Conditions	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
V_O	Output Voltage	$T_J = 25^\circ\text{C}$, $5 \text{ mA} \leq I_O \leq 1 \text{ A}$	4.8	5	5.2	11.5	12	12.5	14.4	15	15.6	V	
		$P_D \leq 15 \text{ W}$, $5 \text{ mA} \leq I_O \leq 1 \text{ A}$	4.75		5.25	11.4		12.6	14.25		15.75	V	
		$V_{\text{MIN}} \leq V_{\text{IN}} \leq V_{\text{MAX}}$			($7.5 \leq V_{\text{IN}} \leq 20$)			($14.5 \leq V_{\text{IN}} \leq 27$)			($17.5 \leq V_{\text{IN}} \leq 30$)	V	
ΔV_O	Line Regulation	$I_O = 500 \text{ mA}$	$T_J = 25^\circ\text{C}$		3	50		4	120		4	150	mV
				ΔV_{IN}		($7 \leq V_{\text{IN}} \leq 25$)		($14.5 \leq V_{\text{IN}} \leq 30$)		($17.5 \leq V_{\text{IN}} \leq 30$)		V	
			$0^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$			50		120		150		150	mV
		ΔV_{IN}			($8 \leq V_{\text{IN}} \leq 20$)		($15 \leq V_{\text{IN}} \leq 27$)		($18.5 \leq V_{\text{IN}} \leq 30$)		V		
		$I_O \leq 1 \text{ A}$	$T_J = 25^\circ\text{C}$			50		120		150		150	mV
				ΔV_{IN}		($7.5 \leq V_{\text{IN}} \leq 20$)		($14.6 \leq V_{\text{IN}} \leq 27$)		($17.7 \leq V_{\text{IN}} \leq 30$)		V	
$0^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$				25		60		75		75	mV		
	ΔV_{IN}		($8 \leq V_{\text{IN}} \leq 12$)		($16 \leq V_{\text{IN}} \leq 22$)		($20 \leq V_{\text{IN}} \leq 26$)		V				
ΔV_O	Load Regulation	$T_J = 25^\circ\text{C}$	$5 \text{ mA} \leq I_O \leq 1.5 \text{ A}$	10	50		12	120		12	150	mV	
			$250 \text{ mA} \leq I_O \leq 750 \text{ mA}$		25		60		75		75	mV	
		$5 \text{ mA} \leq I_O \leq 1 \text{ A}$, $0^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$		50		120		150		150	mV		
I_Q	Quiescent Current	$I_O \leq 1 \text{ A}$	$T_J = 25^\circ\text{C}$		8		8		8		8	mA	
				$0^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$		8.5		8.5		8.5		8.5	mA
ΔI_Q	Quiescent Current Change	$5 \text{ mA} \leq I_O \leq 1 \text{ A}$	$T_J = 25^\circ\text{C}$, $I_O \leq 1 \text{ A}$		0.5		0.5		0.5		0.5	mA	
				$V_{\text{MIN}} \leq V_{\text{IN}} \leq V_{\text{MAX}}$		1.0		1.0		1.0		1.0	mA
						($7.5 \leq V_{\text{IN}} \leq 20$)		($14.8 \leq V_{\text{IN}} \leq 27$)		($17.9 \leq V_{\text{IN}} \leq 30$)		V	
$I_O \leq 500 \text{ mA}$, $0^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$	$V_{\text{MIN}} \leq V_{\text{IN}} \leq V_{\text{MAX}}$		1.0		1.0		1.0		1.0	mA			
			($7 \leq V_{\text{IN}} \leq 25$)		($14.5 \leq V_{\text{IN}} \leq 30$)		($17.5 \leq V_{\text{IN}} \leq 30$)		V				
V_N	Output Noise Voltage	$T_A = 25^\circ\text{C}$, $10 \text{ Hz} \leq f \leq 100 \text{ kHz}$			40		75		90		μV		
$\frac{\Delta V_{\text{IN}}}{\Delta V_{\text{OUT}}}$	Ripple Rejection	$f = 120 \text{ Hz}$	$I_O \leq 1 \text{ A}$, $T_J = 25^\circ\text{C}$	62	80		55	72		54	70	dB	
			or										
			$I_O \leq 500 \text{ mA}$	62		55		54		dB			
	$0^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$		($8 \leq V_{\text{IN}} \leq 18$)		($15 \leq V_{\text{IN}} \leq 25$)		($18.5 \leq V_{\text{IN}} \leq 28.5$)		V				
R_O	Dropout Voltage	$T_J = 25^\circ\text{C}$, $I_{\text{OUT}} = 1 \text{ A}$			2.0		2.0		2.0		V		
	Output Resistance	$f = 1 \text{ kHz}$			8		18		19		$\text{m}\Omega$		

Electrical Characteristics LM78XXC (Note 2) (Continued)

$0^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$ unless otherwise noted.

Output Voltage			5V			12V			15V			Units
Input Voltage (unless otherwise noted)			10V			19V			23V			
Symbol	Parameter	Conditions	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Short-Circuit Current	$T_J = 25^{\circ}\text{C}$	2.1			1.5			1.2			A
	Peak Output Current	$T_J = 25^{\circ}\text{C}$	2.4			2.4			2.4			A
	Average TC of V_{OUT}	$0^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$, $I_O = 5\text{ mA}$	0.6			1.5			1.8			$\text{mV}/^{\circ}\text{C}$
V_{IN}	Input Voltage Required to Maintain Line Regulation	$T_J = 25^{\circ}\text{C}$, $I_O \leq 1\text{A}$	7.5			14.6			17.7			V

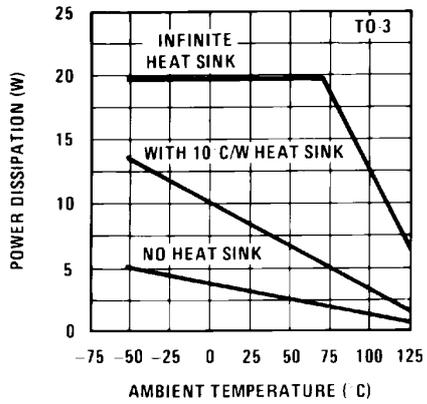
Note 1: Thermal resistance of the TO-3 package (K, KC) is typically $4^{\circ}\text{C}/\text{W}$ junction to case and $35^{\circ}\text{C}/\text{W}$ case to ambient. Thermal resistance of the TO-220 package (T) is typically $4^{\circ}\text{C}/\text{W}$ junction to case and $50^{\circ}\text{C}/\text{W}$ case to ambient.

Note 2: All characteristics are measured with capacitor across the input of $0.22\ \mu\text{F}$, and a capacitor across the output of $0.1\ \mu\text{F}$. All characteristics except noise voltage and ripple rejection ratio are measured using pulse techniques ($t_w \leq 10\ \text{ms}$, duty cycle $\leq 5\%$). Output voltage changes due to changes in internal temperature must be taken into account separately.

Note 3: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. For guaranteed specifications and the test conditions, see Electrical Characteristics.

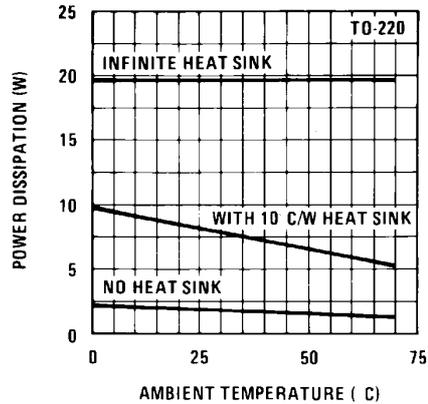
Typical Performance Characteristics

Maximum Average Power Dissipation



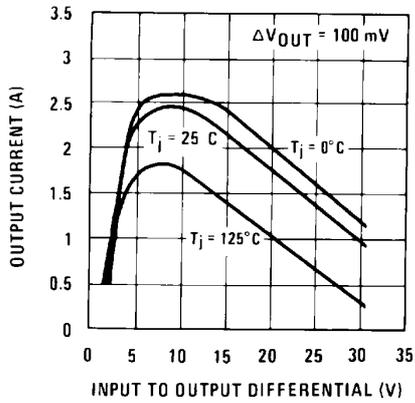
DS007746-5

Maximum Average Power Dissipation



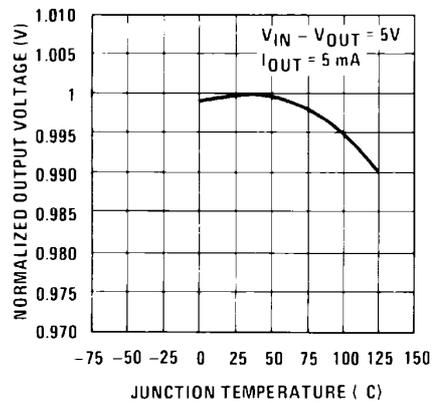
DS007746-6

Peak Output Current



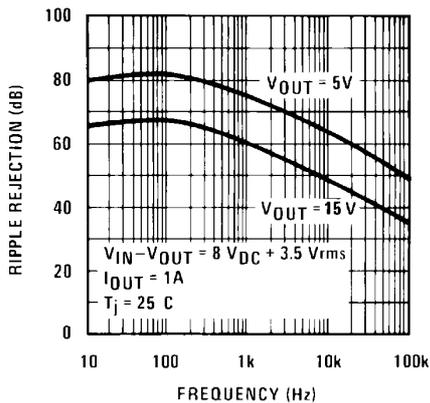
DS007746-7

Output Voltage (Normalized to 1V at $T_j = 25^\circ\text{C}$)



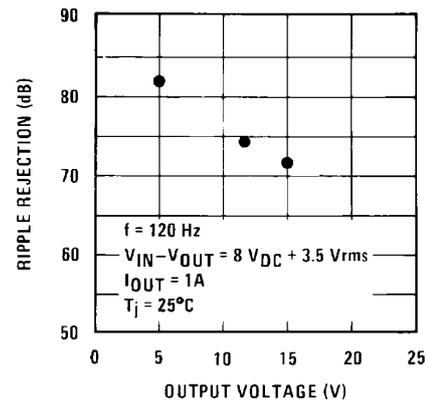
DS007746-8

Ripple Rejection



DS007746-9

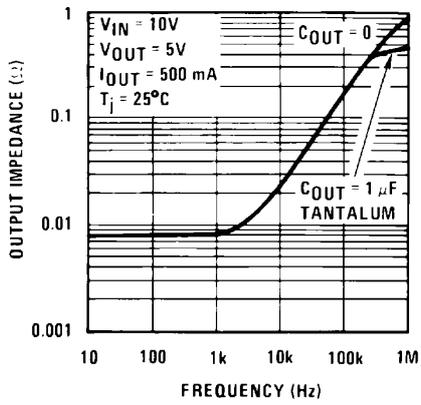
Ripple Rejection



DS007746-10

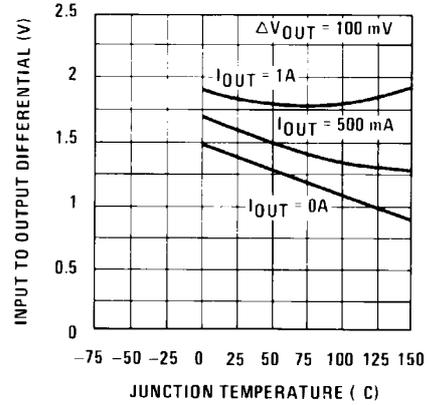
Typical Performance Characteristics (Continued)

Output Impedance



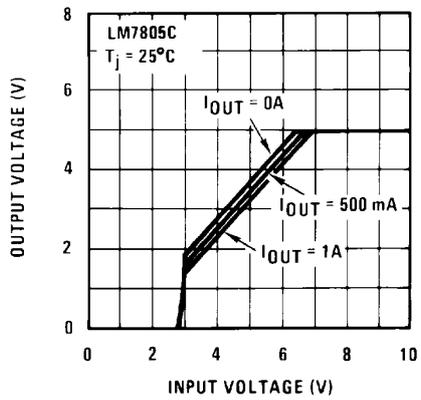
DS007746-11

Dropout Voltage



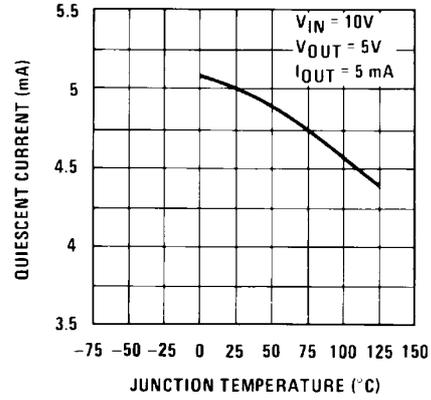
DS007746-12

Dropout Characteristics



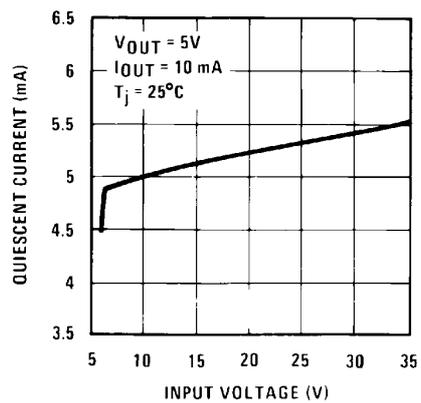
DS007746-13

Quiescent Current



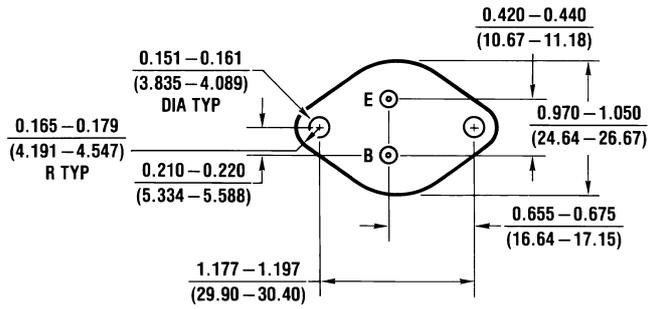
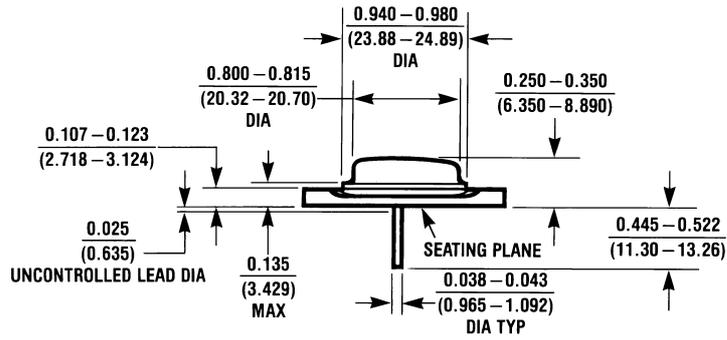
DS007746-14

Quiescent Current



DS007746-15

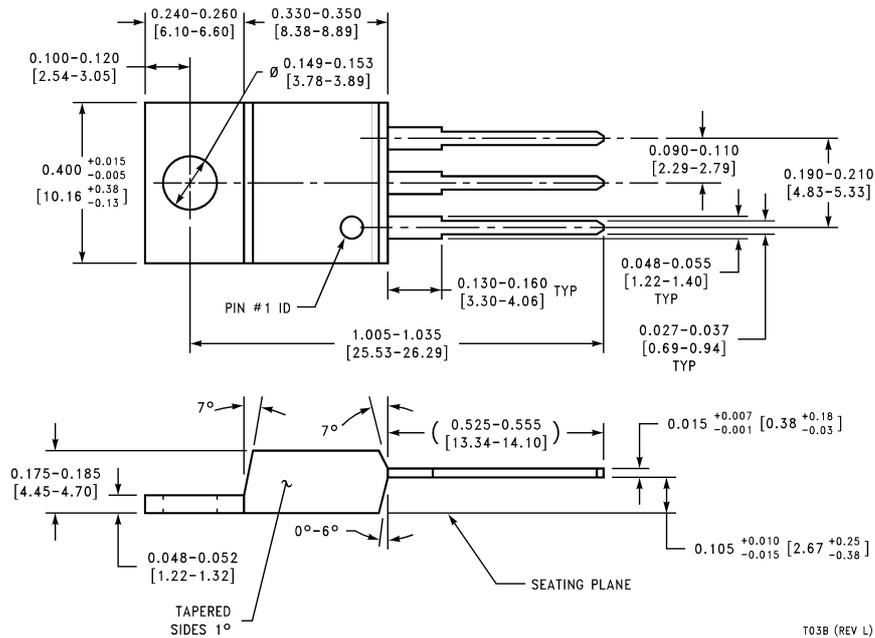
Physical Dimensions inches (millimeters) unless otherwise noted



KC02A (REV C)

Aluminum Metal Can Package (KC)
Order Number LM7805CK, LM7812CK or LM7815CK
NS Package Number KC02A

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



TO-220 Package (T)
Order Number LM7805CT, LM7812CT or LM7815CT
NS Package Number T03B

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



National Semiconductor Corporation
 Americas
 Tel: 1-800-272-9959
 Fax: 1-800-737-7018
 Email: support@nsc.com
 www.national.com

National Semiconductor Europe
 Fax: +49 (0) 180-530 85 86
 Email: europe.support@nsc.com
 Deutsch Tel: +49 (0) 69 9508 6208
 English Tel: +44 (0) 870 24 0 2171
 Français Tel: +33 (0) 1 41 91 8790

National Semiconductor Asia Pacific Customer Response Group
 Tel: 65-2544466
 Fax: 65-2504466
 Email: ap.support@nsc.com

National Semiconductor Japan Ltd.
 Tel: 81-3-5639-7560
 Fax: 81-3-5639-7507

This datasheet has been downloaded from:

www.DatasheetCatalog.com

Datasheets for electronic components.

ANEXO 5

LM79XX Series 3-Terminal Negative Regulators

General Description

The LM79XX series of 3-terminal regulators is available with fixed output voltages of $-5V$, $-8V$, $-12V$, and $-15V$. These devices need only one external component—a compensation capacitor at the output. The LM79XX series is packaged in the TO-220 power package and is capable of supplying 1.5A of output current.

These regulators employ internal current limiting safe area protection and thermal shutdown for protection against virtually all overload conditions.

Low ground pin current of the LM79XX series allows output voltage to be easily boosted above the preset value with a resistor divider. The low quiescent current drain of

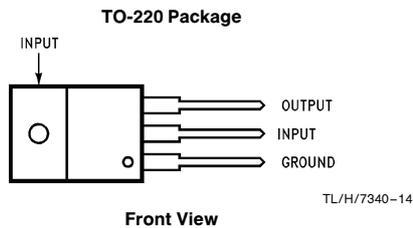
these devices with a specified maximum change with line and load ensures good regulation in the voltage boosted mode.

For applications requiring other voltages, see LM137 data sheet.

Features

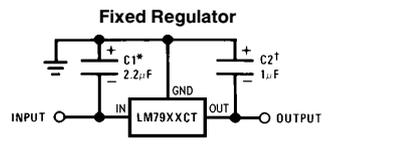
- Thermal, short circuit and safe area protection
- High ripple rejection
- 1.5A output current
- 4% tolerance on preset output voltage

Connection Diagrams



Order Number **LM7905CT**, **LM7912CT** or **LM7915CT**
See NS Package Number **TO3B**

Typical Applications



*Required if regulator is separated from filter capacitor by more than 3". For value given, capacitor must be solid tantalum. 25 μF aluminum electrolytic may be substituted.

†Required for stability. For value given, capacitor must be solid tantalum. 25 μF aluminum electrolytic may be substituted. Values given may be increased without limit.

For output capacitance in excess of 100 μF , a high current diode from input to output (1N4001, etc.) will protect the regulator from momentary input shorts.

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

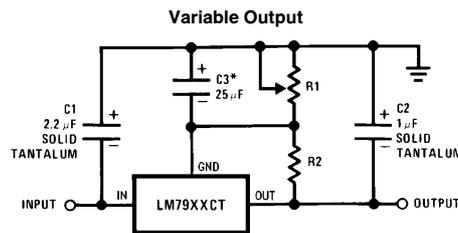
Input Voltage
 ($V_O = -5V$) -25V
 ($V_O = -12V$ and $-15V$) -35V

Input-Output Differential
 ($V_O = -5V$) 25V
 ($V_O = -12V$ and $-15V$) 30V
 Power Dissipation (Note 2) Internally Limited
 Operating Junction Temperature Range 0°C to +125°C
 Storage Temperature Range -65°C to +150°C
 Lead Temperature (Soldering, 10 sec.) 230°C

Electrical Characteristics Conditions unless otherwise noted: $I_{OUT} = 500$ mA, $C_{IN} = 2.2$ μ F, $C_{OUT} = 1$ μ F, 0°C $\leq T_J \leq +125$ °C, Power Dissipation ≤ 1.5 W.

Part Number			LM7905C			Units	
Output Voltage			-5V				
Input Voltage (unless otherwise specified)			-10V				
Symbol	Parameter	Conditions	Min	Typ	Max		
V_O	Output Voltage	$T_J = 25^\circ\text{C}$ $5\text{ mA} \leq I_{OUT} \leq 1\text{A}$, $P \leq 15\text{W}$	-4.8	-5.0	-5.2	V	
			-4.75		-5.25	V	
			($-20 \leq V_{IN} \leq -7$)				
ΔV_O	Line Regulation	$T_J = 25^\circ\text{C}$, (Note 3)	8		50	mV	
			($-25 \leq V_{IN} \leq -7$)				
			2		15	mV	
			($-12 \leq V_{IN} \leq -8$)				
ΔV_O	Load Regulation	$T_J = 25^\circ\text{C}$, (Note 3) $5\text{ mA} \leq I_{OUT} \leq 1.5\text{A}$ $250\text{ mA} \leq I_{OUT} \leq 750\text{ mA}$		15	100	mV	
				5	50	mV	
I_Q	Quiescent Current	$T_J = 25^\circ\text{C}$		1	2	mA	
ΔI_Q	Quiescent Current Change	With Line			0.5	mA	
		With Load, $5\text{ mA} \leq I_{OUT} \leq 1\text{A}$	($-25 \leq V_{IN} \leq -7$)		0.5	V	
V_n	Output Noise Voltage	$T_A = 25^\circ\text{C}$, $10\text{ Hz} \leq f \leq 100\text{ Hz}$		125		μ V	
	Ripple Rejection	$f = 120\text{ Hz}$	54	66		dB	
			($-18 \leq V_{IN} \leq -8$)			V	
	Dropout Voltage	$T_J = 25^\circ\text{C}$, $I_{OUT} = 1\text{A}$		1.1		V	
I_{OMAX}	Peak Output Current	$T_J = 25^\circ\text{C}$		2.2		A	
	Average Temperature Coefficient of Output Voltage	$I_{OUT} = 5\text{ mA}$, $0\text{ C} \leq T_J \leq 100^\circ\text{C}$		0.4		mV/°C	

Typical Applications (Continued)



TL/H/7340-2

*Improves transient response and ripple rejection. Do not increase beyond 50 μ F.

$$V_{OUT} = V_{SET} \left(\frac{R1 + R2}{R2} \right)$$

Select R2 as follows:
 LM7905CT 300 Ω
 LM7912CT 750 Ω
 LM7915CT 1k

Electrical Characteristics (Continued) Conditions unless otherwise noted: $I_{OUT} = 500\text{ mA}$, $C_{IN} = 2.2\ \mu\text{F}$, $C_{OUT} = 1\ \mu\text{F}$, $0^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$, Power Dissipation = 1.5W.

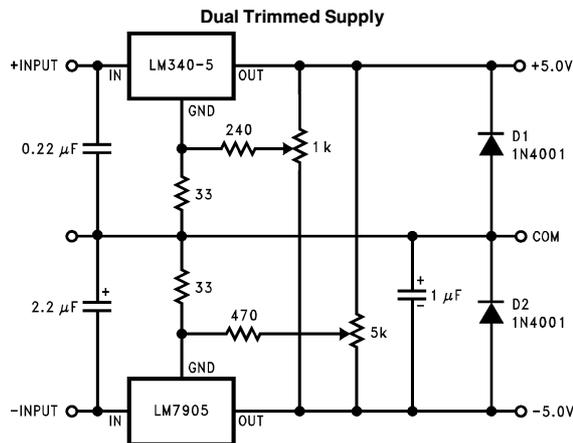
Part Number			LM7912C			LM7915C			Units
Output Voltage			-12V			-15V			
Input Voltage (unless otherwise specified)			-19V			-23V			
Symbol	Parameter	Conditions	Min	Typ	Max	Min	Typ	Max	
V_O	Output Voltage	$T_J = 25^\circ\text{C}$ $5\text{ mA} \leq I_{OUT} \leq 1\text{ A}$, $P \leq 15\text{ W}$	-11.5 -11.4 ($-27 \leq V_{IN} \leq -14.5$)	-12.0 -12.6	-12.5 -12.6	-14.4 -14.25 ($-30 \leq V_{IN} \leq -17.5$)	-15.0 -15.75	-15.6 -15.75	V V V
ΔV_O	Line Regulation	$T_J = 25^\circ\text{C}$, (Note 3)		5 3 ($-22 \leq V_{IN} \leq -16$)	80 30		5 3 ($-26 \leq V_{IN} \leq -20$)	100 50	mV V mV V
ΔV_O	Load Regulation	$T_J = 25^\circ\text{C}$, (Note 3) $5\text{ mA} \leq I_{OUT} \leq 1.5\text{ A}$ $250\text{ mA} \leq I_{OUT} \leq 750\text{ mA}$		15 5	200 75		15 5	200 75	mV mV
I_Q	Quiescent Current	$T_J = 25^\circ\text{C}$		1.5	3		1.5	3	mA
ΔI_Q	Quiescent Current Change	With Line With Load, $5\text{ mA} \leq I_{OUT} \leq 1\text{ A}$			0.5 0.5			0.5 0.5	mA V mA
V_n	Output Noise Voltage	$T_A = 25^\circ\text{C}$, $10\text{ Hz} \leq f \leq 100\text{ Hz}$		300			375		μV
	Ripple Rejection	$f = 120\text{ Hz}$	54 ($-25 \leq V_{IN} \leq -15$)	70		54 ($-30 \leq V_{IN} \leq -17.5$)	70		dB V
	Dropout Voltage	$T_J = 25^\circ\text{C}$, $I_{OUT} = 1\text{ A}$		1.1			1.1		V
I_{OMAX}	Peak Output Current	$T_J = 25^\circ\text{C}$		2.2			2.2		A
	Average Temperature Coefficient of Output Voltage	$I_{OUT} = 5\text{ mA}$, $0^\circ\text{C} \leq T_J \leq 100^\circ\text{C}$		-0.8			-1.0		$\text{mV}/^\circ\text{C}$

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is intended to be functional, but do not guarantee Specific Performance limits. For guaranteed specifications and test conditions, see the Electrical Characteristics.

Note 2: Refer to Typical Performance Characteristics and Design Considerations for details.

Note 3: Regulation is measured at a constant junction temperature by pulse testing with a low duty cycle. Changes in output voltage due to heating effects must be taken into account.

Typical Applications (Continued)



TL/H/7340-4

Design Considerations

The LM79XX fixed voltage regulator series has thermal overload protection from excessive power dissipation, internal short circuit protection which limits the circuit's maximum current, and output transistor safe-area compensation for reducing the output current as the voltage across the pass transistor is increased.

Although the internal power dissipation is limited, the junction temperature must be kept below the maximum specified temperature (125°C) in order to meet data sheet specifications. To calculate the maximum junction temperature or heat sink required, the following thermal resistance values should be used:

Package	Typ θ_{JC} °C/W	Max θ_{JC} °C/W	Typ θ_{JA} °C/W	Max θ_{JA} °C/W
TO-220	3.0	5.0	60	40

$$P_{D \text{ MAX}} = \frac{T_{J \text{ MAX}} - T_A}{\theta_{JC} + \theta_{CA}} \text{ or } \frac{T_{J \text{ MAX}} - T_A}{\theta_{JA}}$$

$$\theta_{CA} = \theta_{CS} + \theta_{SA} \text{ (without heat sink)}$$

Solving for T_J :

$$T_J = T_A + P_D (\theta_{JC} + \theta_{CA}) \text{ or}$$

$$= T_A + P_D \theta_{JA} \text{ (without heat sink)}$$

Where:

T_J = Junction Temperature

T_A = Ambient Temperature

P_D = Power Dissipation

θ_{JA} = Junction-to-Ambient Thermal Resistance

θ_{JC} = Junction-to-Case Thermal Resistance

θ_{CA} = Case-to-Ambient Thermal Resistance

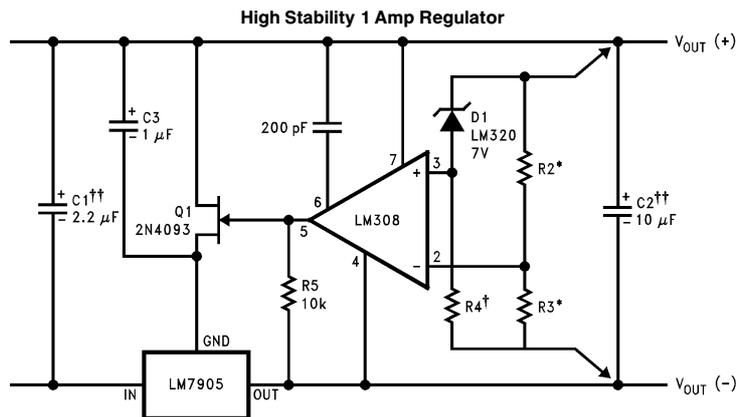
θ_{CS} = Case-to-Heat Sink Thermal Resistance

θ_{SA} = Heat Sink-to-Ambient Thermal Resistance

Typical Applications (Continued)

Bypass capacitors are necessary for stable operation of the LM79XX series of regulators over the input voltage and output current ranges. Output bypass capacitors will improve the transient response by the regulator.

The bypass capacitors, (2.2 μF on the input, 1.0 μF on the output) should be ceramic or solid tantalum which have good high frequency characteristics. If aluminum electrolytics are used, their values should be 10 μF or larger. The bypass capacitors should be mounted with the shortest leads, and if possible, directly across the regulator terminals.



TL/H/7340-5

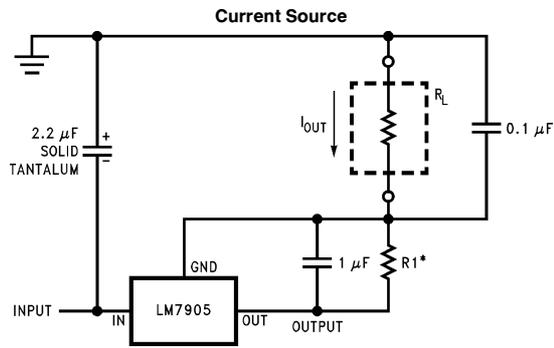
Load and line regulation < 0.01% temperature stability \leq 0.2%

†Determine Zener current

††Solid tantalum

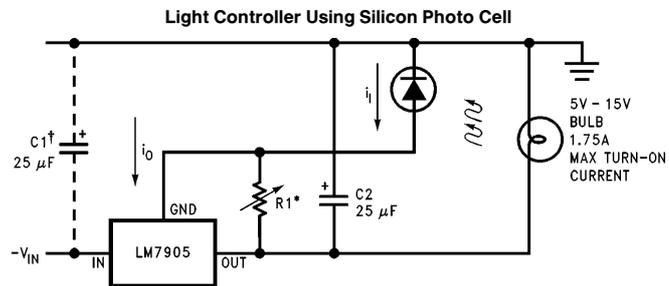
*Select resistors to set output voltage, 2 ppm/°C tracking suggested

Typical Applications (Continued)



$$*i_{OUT} = 1 \text{ mA} + \frac{5V}{R1}$$

TL/H/7340-7



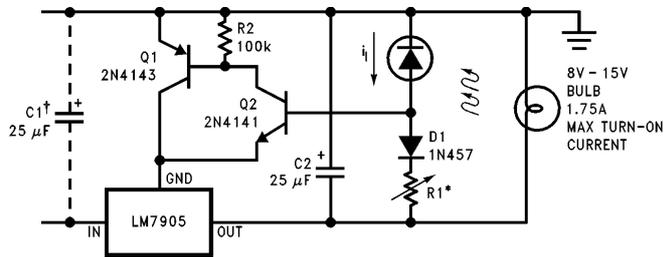
*Lamp brightness increase until $i_I = i_Q (\approx 1 \text{ mA}) + 5V/R1$.

†Necessary only if raw supply filter capacitor is more than 2" from LM7905CT

TL/H/7340-8

Typical Applications (Continued)

High-Sensitivity Light Controller

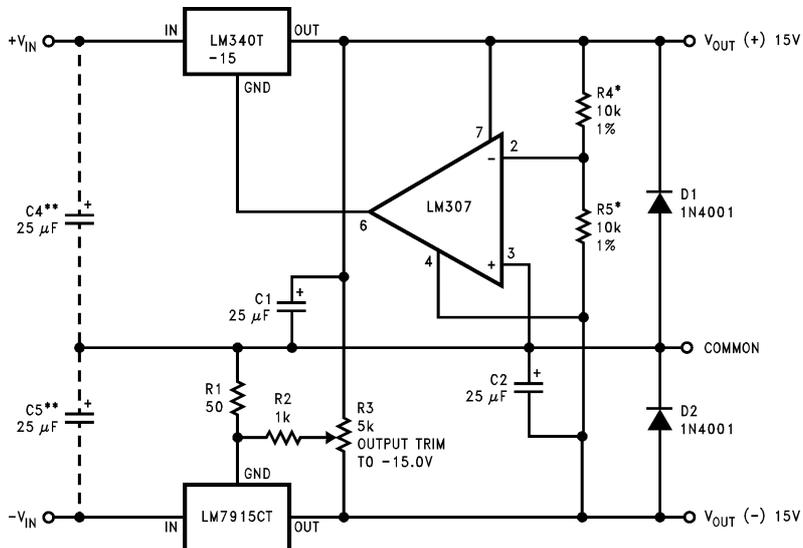


TL/H/7340-9

*Lamp brightness increases until $i_i = 5V/R1$ (i_i can be set as low as $1\ \mu A$)

†Necessary only if raw supply filter capacitor is more than 2" from LM7905

± 15V, 1 Amp Tracking Regulators



TL/H/7340-1

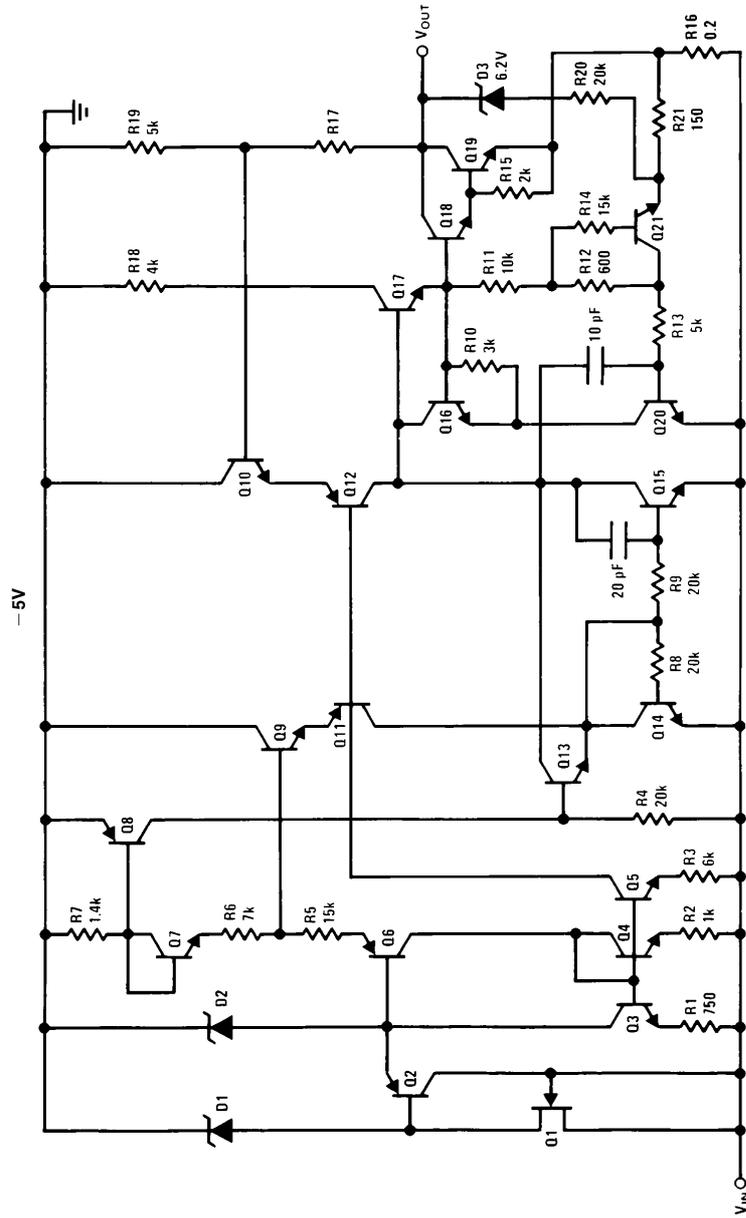
	(- 15)	(+ 15)
Load Regulation at $\Delta I_L = 1A$	40 mV	2 mV
Output Ripple, $C_{IN} = 3000\ \mu F, I_L = 1A$	100 μV_{rms}	100 μV_{rms}
Temperature Stability	50 mV	50 mV
Output Noise 10 Hz $\leq f \leq 10$ kHz	150 μV_{rms}	150 μV_{rms}

*Resistor tolerance of R4 and R5 determine matching of (+) and (-) outputs.

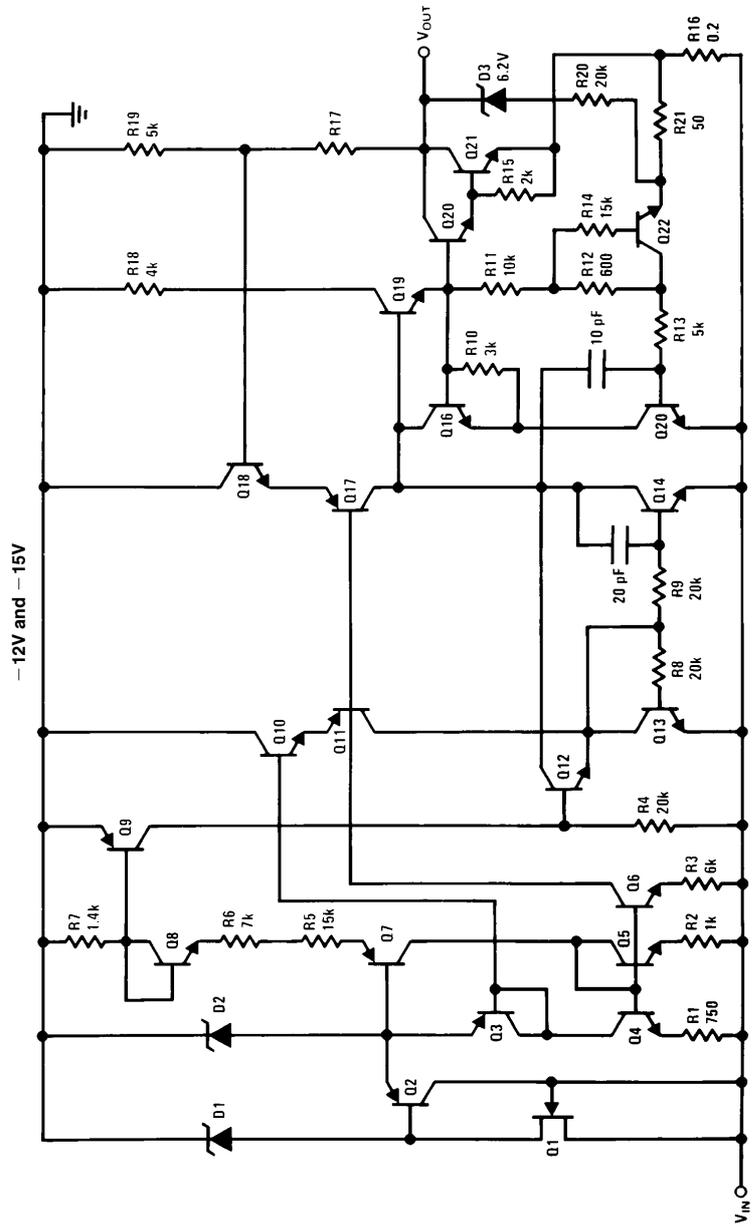
**Necessary only if raw supply filter capacitors are more than 3" from regulators.

Schematic Diagrams

TL/H/7340-12

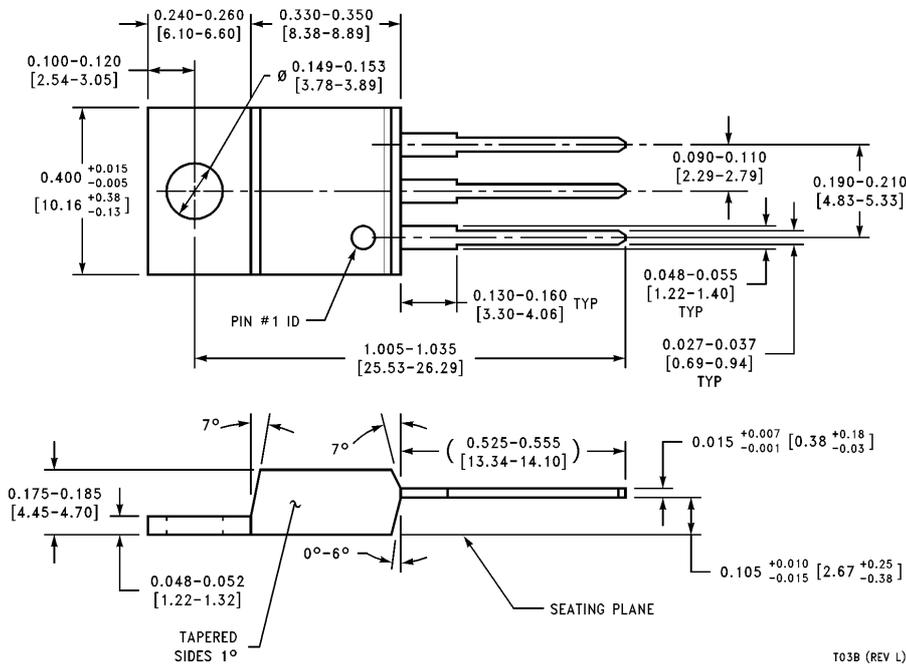


Schematic Diagrams (Continued)



TL/H/7340-13

Physical Dimensions inches (millimeters)



TO-220 Outline Package (T)
Order Number LM7905CT, LM7912CT or LM7915CT
NS Package Number T03B

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



National Semiconductor Corporation
 1111 West Bardin Road
 Arlington, TX 76017
 Tel: 1(800) 272-9959
 Fax: 1(800) 737-7018

National Semiconductor Europe
 Fax: (+49) 0-180-530 85 86
 Email: cnjwge@tevm2.nsc.com
 Deutsch Tel: (+49) 0-180-530 85 85
 English Tel: (+49) 0-180-532 78 32
 Français Tel: (+49) 0-180-532 93 58
 Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
 13th Floor, Straight Block,
 Ocean Centre, 5 Canton Rd.
 Tsimshatsui, Kowloon
 Hong Kong
 Tel: (852) 2737-1600
 Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
 Tel: 81-043-299-2309
 Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.