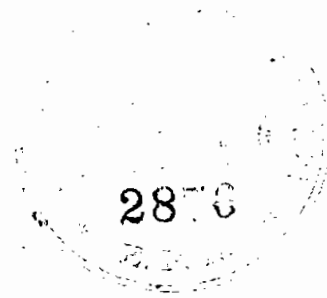


AUTOCORRELADOR DIGITAL PARA SEÑALES
DE BAJA RELACION SEÑAL A RUIDO

TESIS PREVIA A LA OBTENCION DE TITULO
DE INGENIERO EN LA ESPECIALIZACION DE
ELECTRONICA Y TELECOMUNICACIONES DE LA
ESCUELA POLITECNICA NACIONAL

AUTOR: HERNAN SOTOMAYOR



Quito, Diciembre de 1976

CERTIFICADO

Certifico que el Sr. Hernán Sotomayor
elaboró personalmente este trabajo
tanto en su parte teórica como práctica.



Ing. Jacinto Jijón

DEDICATORIA

Este trabajo esta dedicado a mis padres que con sacrificios y esfuerzos me permitieron realizar los estudios que se reflejan en este trabajo y que en las horas de mayor dificultad me supieron dar animos para continuar y terminarlo.

Gracias padres mios,

Vuestro hijo

AGRADECIMIENTO

Debo presentar mi más sincero agradecimiento a las personas que directa o indirectamente hicieron posible que este trabajo llegue a su culminación.

ING. HERBER JACOBSON, que con su dedicación, colaboración y entregando todos sus conocimientos, logré que mis esfuerzos culminen en este trabajo.

SRTA. MARIA GLORIA GRIJALVA, que levantó el texto en su primer borrador.

SRTAS. FABIOLA MORALES Y MARTHA ORELLANA, que escribiéron el texto definitivo.

SR. MARCO PROAÑO, que colaboró en la construcción del chasis y cubierta.

SR. FERNANDO VILLALBA, que colaboró en el dibujo definitivo de varios diseños.

HERNAN SOTOMAYOR

PRESENTACION

Este trabajo es la culminación de los estudios formales realizados durante seis años en la Escuela Politécnica Nacional y los estudios que fueron necesarios para lograr el diseño, construcción y bien funcionamiento del sistema que realiza la autocorrelación.

Si bien es necesario hacer notar que con excepción de los multiplicadores y sumadores todos los demás elementos usados en el sistema, son muy conocidos tanto en su funcionamiento, como en su uso, sin embargo lograr su coordinación resultó ser la parte más difícil en el diseño y construcción.

Los multiplicadores trabajan con un nuevo algoritmo que consiste en tomar trios de bits del multiplicador en lugar de bits individuales. Los sumadores utilizan el sistema de generación anticipada de excesos y propagación a lo largo del sumador, constituyendo ésta, una nueva forma de sumar.

Todo el sistema de conexiones es por alambrado y no por medio de circuitos impresos debido a la gran densidad de componentes.

Si bien el sistema puede ser mejorado mediante el uso de nuevos elementos que aumentarían la capacidad de datos, velocidad e incrementarían la exactitud; la incapacidad de disponer de ellos, imposibilitó construir un sistema de mayor rendimiento.

1. INTRODUCCION

Matemáticas sobre correlación y autocorrelación

1.1	Teoría sobre correlación y autocorrelación	1
1.2	Propiedades de las funciones de correlación y autocorrelación	5
1.3	Autocorrelación para funciones periódicas	10
1.4	Autocorrelación en forma discreta	11
1.5	Para poder implementar el sistema son necesarias las siguientes etapas:	12
1.6	Ciclos de funcionamiento	12
1.7	Consideraciones específicas	13
1.8	Funcionamiento del sistema	14

2. DEDUCCIONES MATEMATICAS CON ALGEBRA

BOOLEANA PARA LA REALIZACION DIGITAL

2.1	Muestreo de señales	19
2.2	Conversión analógica digital	21
2.3	Sumadores	
2.4	Multiplicación	40
2.5	Registros de datos	52
2.6	Conversión Digital/ Analógica	53

3. ANALISIS DEL SISTEMA

3.1	Consideraciones sobre cada sección	56
3.2	Ciclos de funcionamiento	57
3.3	Selección de los elementos	58
3.4	Diseño del sistema	60
3.5	Análisis de tiempos y demoras	69
3.6	Fuente de poder	88
3.7	Funcionamiento	95

4. APLICACIONES Y USOS

4.1	Sistema de autocorrelación	96
-----	----------------------------	----

5. COMENTARIOS

5.1	Características generales	99
5.2	Consideraciones para reparación	99

6.	BIBLIOGRAFIA	106
----	--------------	-----

Figura F-1.1	3
Figura F-1.2	14
Figura F-1.3	14
Tabla T-1.1	16
Tabla T-1.2	17
Figura F-2.1	19
Figura F-2.2	19
Figura F-2.3	21
Figura F-2.4	21
Figura F-2.5	22
Figura F-2.6	22
Figura F-2.7	23
Tabla T-2.1	24
Figura F-2.8	25
Tabla T-2.2	26
Tabla T-2.3	27
Tabla T-2.4	27
Tabla T-2.5	29
Tabla T-2.6	29
Tabla T-2.7	30
Figura F-2.9	31
Figura F-2.10	35
Figura F-2.11	35
Tabla T-2.8	37
Tabla T-2.9	39
Tabla T-2.10	40
Tabla T-2.11	41
Figura F-2.12	42
Tabla T-2.12	48
Tabla T-2.13	49
Tabla T-2.14	50
Figura F-2.13	52
Figura F-2.14	54
Figura F-3.1	61
Figura F-3.2	64
Figura F-3.3	64
Figura F-3.4	65
Figura F-3.5	67
Figura F-3.6	69
Tabla T-3.1	72
Tabla T-3.2	73
Tabla T-3.3	74
Tabla T-3.4	75
Tabla T-3.5	76
Tabla T-3.6	77
Tabla T-3.7	78
Figura F-3.5	79
Figura F-3.6	80
Figura F-3.7	80
Figura F-3.8	81
Figura F-3.9	81
Figura F-3.10	84
Figura F-3.11	84
Tabla T-3.10	86

Tabla T-3.8	87
Tabla T-3.9	87
Figura F-3.12	88
Figura F-3.13	89
Figura E -3.3	90
Figura E -3.4	91
Figura F-3.17	92
Figura F-3.18	93
Figura F-3.19	94
Tabla T-3.12	95

1. INTRODUCCION

MATEMATICAS SOBRE CORRELACION Y
AUTOCORRELACION

1. INTRODUCCION

1.1 Teoría sobre correlación y autocorrelación.

Para realizar el análisis de señales, se han desarrollado varias teorías como las transformadas de Fourier y Laplace, y se han construido diferentes aparatos y sistemas como filtros, analizadores de espectros, etc; cada uno de los cuales revela características especiales de las señales analizadas.

Una de las formas de análisis, consiste en determinar qué cantidad de una señal está contenida en otra, o el grado de similitud que tienen, lo que puede escribirse en forma de ecuación:

$$f_1(t) \approx C_{12} f_2(t) \quad t_1 < t < t_2 \quad (E - 1.1)$$

donde $f_1(t)$ y $f_2(t)$ son dos señales que se desea analizar y C_{12} es un factor que indica la cantidad de $f_2(t)$ contenida en $f_1(t)$, en el intervalo (t_1, t_2) .

Esta es una aproximación que introduce un error y que puede definirse con la siguiente ecuación:

$$f_e(t) = f_1(t) - C_{12} f_2(t) \quad (E - 1.2)$$

Dentro de cualquier análisis es necesario que se introduzca la menor cantidad de error, por lo cual, debe encontrarse el valor de C_{12} que hace mínimo el error E .

Se tomará E como el valor medio cuadrático de la función $f_e(t)$.

$$E = \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} f_e^2(t) dt$$

$$E = \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} \{ f_1(t) - C_{12} f_2(t) \}^2 dt$$

$$E = \frac{1}{t_2 - t_1} \left\{ \int_{t_1}^{t_2} f_1^2(t) dt - 2 \int_{t_1}^{t_2} f_1(t) C_{12} f_2(t) dt + \int_{t_1}^{t_2} C_{12}^2 f_2^2(t) dt \right\}$$

Para minimizar ^{o maximizar!} se tomará:

$$\frac{d^2 E}{d C_{12}^2} > 0$$

$$\frac{d E}{d C_{12}} = 0$$

$$\frac{d E}{d C_{12}} = \frac{1}{t_2 - t_1} \left\{ -2 \int_{t_1}^{t_2} f_1(t) f_2(t) dt + 2 C_{12} \int_{t_1}^{t_2} f_2^2(t) dt \right\} = 0$$

$$-2 \int_{t_1}^{t_2} f_1(t) f_2(t) dt + 2 C_{12} \int_{t_1}^{t_2} f_2^2(t) dt = 0$$

$$C = \frac{\int_{t_1}^{t_2} f_1(t) f_2(t) dt}{\int_{t_1}^{t_2} f_2^2(t) dt}$$

(E - 1.3)

La función

$$P = \int_{t_1}^{t_2} f_2^2(t) dt$$

(E - 1.4)

Indica solamente la cantidad de energía que tiene la función en el intervalo $(t_1 ; t_2)$, por lo tanto el grado de similitud estará dado por la función.

$$\phi_{12} = \int_{t_1}^{t_2} f_1 (t) f_2 (t) dt \quad (E - 1.5)$$

Cuando $\phi_{12} = 0$, las funciones $f_1 (t)$ y $f_2 (t)$ serán ortogonales en el intervalo $(t_1 ; t_2)$, no teniendo ningún grado de similitud.

Sin embargo esta consideración puede ser errónea, para el caso en que $f_1 (t)$ y $f_2 (t)$ sean iguales pero defasadas en tiempo (ver figura F - 1.1).

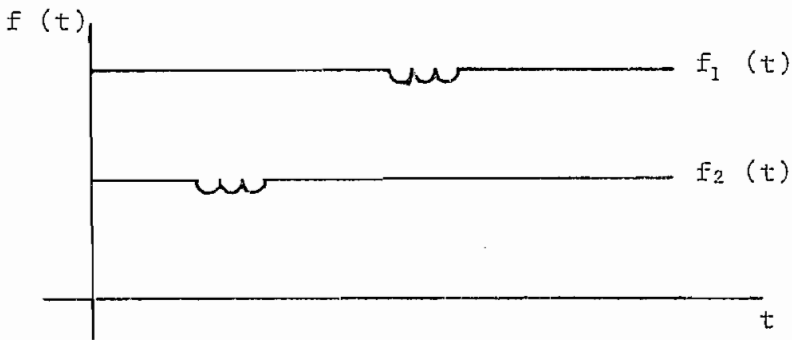


Figura F-1.1

Debido a que las dos funciones no existen al mismo tiempo, el producto de las dos será siempre cero.

Para corregir esta posibilidad de error, se pueden realizar desplazamientos de una función respecto de la otra, quedando la función expresada como:

$$\phi_{12}(\tau) = \int_{t_1}^{t_2} f_1(t) \cdot f_2(t - \tau) dt \quad (\text{E} - 1.6)$$

en donde τ es el parámetro de búsqueda o experimentación.

Además debemos considerar que las funciones pueden existir en cualquier tiempo, definiendo así la función $\phi_{12}(\tau)$ en forma general:

$$\phi_{12}(\tau) = \int_{-\infty}^{\infty} f_1(t) \cdot f_2(t - \tau) dt \quad (\text{E} - 1.7)$$

que recibe el nombre de correlación.

Cuando se realiza la comparación con la misma señal se denomina autocorrelación y se expresa como:

$$\phi_{11}(\tau) = \int_{-\infty}^{\infty} f_1(t) \cdot f_1(t - \tau) dt \quad (\text{E} - 1.8)$$

Debido a que el movimiento de las señales es algo relativo, si se mueve $f_2(t)$ hacia la derecha es equivalente a desplazar $f_1(t)$ a la izquierda.

$$\phi_{12}(\tau) = \int_{-\infty}^{\infty} f_1(t + \tau) \cdot f_2(t) dt \quad (\text{E} - 1.9)$$

$$\phi_{21}(\tau) = \int_{-\infty}^{\infty} f_2(t) f_1(t - \tau) dt = \int_{-\infty}^{\infty} f_2(t + \tau) f_1(t) dt$$

Por lo que $\phi_{12}(\tau) = \phi_{21}(-\tau)$

Cuando se analiza la misma señal se cumple que:

$$\phi_{11}(\tau) = \int_{-\infty}^{\infty} f_1(t + \tau) \cdot f_1(t) dt$$

por lo que: $\phi_{11}(\tau) = \phi_{11}(-\tau)$

1.2 Propiedades de las funciones de correlación y autocorrelación.

1.2.1 Similitud con la función convolución.

La función convolución está expresada como:

$$f_1(t) * f_2(t) = \int_{-\infty}^{\infty} f_1(\tau) \cdot f_2(t - \tau) d\tau$$

si se toma la convolución de $f_1(t)$ con $f_2(-t)$

$$f_1(t) * f_2(-t) = \int_{-\infty}^{\infty} f_1(\tau) \cdot f_2(\tau - t) d\tau$$

intercambiando las variables τ y t

$$f_1(t) * f_2(-t) \Big|_{t=\tau} = \int_{-\infty}^{\infty} f_1(t) \cdot f_2(t - \tau) dt$$

que es igual a la ecuación (E - 1.7) concluyendo que:

$$\phi_{12}(\tau) = f_1(t) * f_2(-t) \Big|_{t=\tau}$$

Para la función autocorrelación se concluye que:

$$\phi_{11}(\tau) = f_1(t) * f_1(-t) \Big|_{t=\tau}$$

para funciones pares se cumple que:

$$\text{si } f_1(t) = f_1(-t)$$

$$\phi_{11}(\tau) = f_1(t) * f_1(t) \quad | \quad t = \tau$$

1.2.1.1 La función correlación es igual a la convolución de la señal $f_1(t)$ con la señal $f_2(-t)$

1.2.1.2 La función autocorrelación es igual a la convolución de $f_1(t)$ con $f_1(-t)$. Para el caso de una función par, la convolución es igual a la autocorrelación.

1.2.2 Valor de $\phi_{11}(0)$.

De la ecuación E - 1.8 la autocorrelación está dada por:

$$\phi_{11}(\tau) = \int_{-\infty}^{\infty} f_1(t) \cdot f_1(t - \tau) dt$$

cuando $\tau = 0$

$$\phi_{11}(0) = \int_{-\infty}^{\infty} f_1^2(t) dt$$

El valor de la autocorrelación en el origen es igual a la energía de la señal.

1.2.3 Valor máximo de $\phi_{11}(\tau)$.

Tomando la ecuación :

$$\int_{-\infty}^{\infty} \{ f_1(t) \pm f_1(t + \tau) \}^2 dt$$

su valor será positivo y diferente de cero para todo $\tau \neq 0$, desarrollando se tendrá

$$\int_{-\infty}^{\infty} f_1^2(t) dt + \int_{-\infty}^{\infty} f_1^2(t + \tau) dt \pm 2 \int_{-\infty}^{\infty} f_1(t) f_1(t + \tau) dt > 0 \quad \tau \neq 0$$

$$\int_{-\infty}^{\infty} f_1^2(t) dt = \phi_{11}(0)$$

$$\int_{-\infty}^{\infty} f_1^2(t + \tau) dt = \phi_{11}(0)$$

$$\int_{-\infty}^{\infty} f_1(t) f_1(t + \tau) dt = \phi_{11}(\tau)$$

$$2 \phi_{11}(0) \pm 2 \phi_{11}(\tau) > 0$$

$$\phi_{11}(0) > \pm \phi_{11}(\tau) \quad \tau \neq 0$$

$$\phi_{11}(0) > | \phi_{11}(\tau) | \quad \tau \neq 0$$

Se puede concluir que el valor máximo de la autocorrelación ocurre en el origen, cuando $\tau = 0$, e irá disminuyendo conforme τ aumente.

1.2.4 Teorema de autocorrelación.

La transformada de Fourier de la función autocorrelación es π veces la función densidad de energía de cualquier señal $f(t)$.

La energía contenida en una señal está dada por:

$$E = \int_{-\infty}^{\infty} f^2(t) dt$$

Si para la función $f(t)$ existe la transformada de Fourier $F(\omega)$, tal que se cumpla que:

$$f(t) = \frac{1}{2\pi} \int_{-\infty}^{\infty} F(\omega) e^{j\omega t} d\omega \quad \text{y} \quad F(\omega) = \int_{-\infty}^{\infty} f(t) e^{-j\omega t} dt$$

Se cumplirá que:

$$E = \int_{-\infty}^{\infty} f^2(t) dt = \int_{-\infty}^{\infty} f(t) \cdot \left\{ \frac{1}{2\pi} \int_{-\infty}^{\infty} F(\omega) e^{j\omega t} d\omega \right\} dt$$

Intercambiando el orden de integración.

$$\int_{-\infty}^{\infty} f^2(t) dt = \frac{1}{2\pi} \int_{-\infty}^{\infty} F(\omega) \cdot \left\{ \int_{-\infty}^{\infty} f(t) e^{j\omega t} dt \right\} d\omega$$

$$\int_{-\infty}^{\infty} f^2(t) dt = \frac{1}{2\pi} \int_{-\infty}^{\infty} F(\omega) \cdot F(-\omega) d\omega$$

Para una función real se cumple que:

$$F(w) = F^*(-w)$$

$$F(w) \cdot F(-w) = |F(w)|^2$$

$$\int_{-\infty}^{\infty} f^2(t) dt = \frac{1}{2\pi} \int_{-\infty}^{\infty} |F(w)|^2 dw$$

Debido a que las funciones $F(w)$ y $|F(w)|^2$ son funciones pares, en el plano de frecuencia cuando se considere una banda de frecuencias, correspondiente a una señal de banda limitada.

$(w_1; w_2)$ debe también considerarse la banda $(-w_1; -w_2)$, de tal manera que :

$$\Delta E = 2 \cdot \frac{1}{2\pi} \int_{w_1}^{w_2} |F(w)|^2 dw \quad (w_1; w_2)$$

$$\Delta E = \frac{1}{\pi} \int_{w_1}^{w_2} |F(w)|^2 dw \quad (w_1; w_2)$$

$\frac{1}{\pi} |F(w)|^2$ es la energía por unidad de banda y se representa por $s(w)$.

La energía total estará dada por:

$$E = \int_0^{\infty} S(w) dw$$

La transformada de Fourier de $\phi_{11}(\tau)$ estará dada por:

$$\int_{-\infty}^{\infty} \phi_{11}(\tau) e^{-j\omega\tau} d\tau = \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \{ f_1(t) \cdot f_1(t-\tau) e^{j\omega\tau} dt \} d\tau$$

$$\int_{-\infty}^{\infty} \phi_{11}(\tau) e^{-j\omega\tau} d\tau = \int_{-\infty}^{\infty} f_1(t) e^{-j\omega t} dt \int_{-\infty}^{\infty} f_1(t-\tau) e^{j\omega(t-\tau)} d\tau$$

$$\int_{-\infty}^{\infty} \phi_{11}(\tau) e^{-j\omega\tau} d\tau = F_1(\omega) \int_{-\infty}^{\infty} f_1(x) e^{j\omega x} dx \quad \begin{array}{l} x = t - \tau \\ dx = d\tau \end{array}$$

$$\int_{-\infty}^{\infty} \phi_{11}(\tau) e^{-j\omega\tau} d\tau = F_1(\omega) F_1(-\omega)$$

$$\int_{-\infty}^{\infty} \phi_{11}(\tau) e^{-j\omega\tau} d\tau = |F(\omega)|^2 \quad \frac{1}{\pi} |F(\omega)|^2 = S(\omega)$$

$$\int_{-\infty}^{\infty} \phi_{11}(\tau) e^{-j\omega\tau} d\tau = \pi S(\omega)$$

1.3 Autocorrelación para funciones periódicas.

Si se considera la función:

$$f_1(t) = f_1(t + T_1)$$

$$f_1(t - \tau) = f_1(t - \tau + T_1)$$

La función autocorrelación también será periódica con el mismo período que la función $f_1(t)$

$$\phi_{11}(\tau) = \phi_{11}(\tau + T_1)$$

y se expresará como:

$$\phi_{11}(\tau) = \frac{1}{T_1} \int_{-T_1/2}^{T_1/2} f_1(t) f_1(t - \tau) dt$$

1.4 Autocorrelación en forma discreta.

La función autocorrelación continua está dada por:

$$\phi_{11} = \int_{-\infty}^{\infty} f_1(t) f_1(t - \tau) dt$$

En forma discreta está expresada como:

$$\phi_{11}(k) = \sum_{i=0}^{\infty} f(i) f(i - k) \Delta i \quad (E - 1.9)$$

$i = 0, \pm 1, \pm 2, \pm 3 \dots$
 $k = \text{parámetro de búsqueda}$

Debido a la imposibilidad de realizar la autocorrelación de la señal comprendida en todo el plano del tiempo $(-\infty; \infty)$; debe considerarse el diseño de tal manera que se realice por segmentos.

Para el caso de funciones periódicas el sistema es más sencillo, y eficiente debido a que la autocorrelación es también periódica; pero deberán tomarse segmentos de duración tal que sean múltiplos enteros del período de la función, para evitar problemas de discontinuidades.

El autocorrelar la función $f(i)$ con $f(i - k)$ en valores negativos en

el tiempo no es necesario debido a que si la función es periódica se repetirá en forma igual y habrá sido igual; de tal manera que la ecuación E-1.9 quedará expresada como:

$$\phi_{11}(k) = \sum_{i=0}^N \{f(i) \cdot f(i-k)\} \left\{ \frac{1}{T} \cdot \frac{T}{N} \right\} \quad i = 0, 1, 2, 3, 4, \dots, N$$

N será el factor de limitación y corresponde al número de muestras, que se habrán tomado del segmento que se está autocorrelando.

k es el parámetro de búsqueda y también, indica el número de desplazamientos que se podrán realizar, antes de terminar la autocorrelación del segmento analizado.

De acuerdo a la Tabla T-1.2 se puede concluir que el valor máximo de k es igual a N.

¿
 ←
 explicación de la tabla

1.5 Para poder implementar el sistema, son necesarias las siguientes etapas:

- a. Muestreo de la señal analógica
- b. Conversión analógica- digital de cada muestra
- c. Almacenamiento de las muestras
 - c.1 Almacenamiento y recirculación de las muestras correspondientes a la función $f_1(i)$.
 - c.2 Almacenamiento, retardo y recirculación de las muestras correspondientes a la función $f_1(i-k)$
- d. Multiplicación de las señales.
- e. Sumatorio de los totales de las multiplicaciones
- f. Conversión digital analógica

1.6 Ciclos de funcionamiento

1.6.1 Ciclo 1. Corresponderá a una multiplicación de:

$f(i) \cdot f(i-k)$ para cualquier valor de i y k.

1.6.2 Ciclo 2. Corresponderá a la suma de los totales de N multiplicaciones

$$\sum_{i=0}^N f(i) f(i-k) \text{ para un valor de } k$$

1.6.3 Ciclo 3. Corresponderá a la autocorrelación de un segmento de la señal y al cambio por un nuevo segmento.

$$\frac{1}{N} \sum_{i=0}^N f(i) f(i-k) \text{ para todos los valores posibles de } k$$

1.7 Consideraciones específicas

1.7.1 Número de muestras. Estará limitado y determinado por la capacidad de almacenamiento que se disponga, pudiéndose calcular de la siguiente forma:

$$N = \frac{C}{B}$$

N= número de muestras

C= Número de bits de la memoria

B= número de bits que tendrá cada muestra en su representación digital.

1.7.2 Memoria. Se dispondrá de una memoria para el almacenamiento de las muestras correspondientes a la función $f(i)$ y otra de igual capacidad para las de $f(i-t)$.

1.7.3 Desplazamiento. El desplazamiento de un grupo de muestras con respecto del otro, se logrará intercalando en la línea de recirculación de muestras de la función $f(i-t)$, un registro de tipo serial de

tal manera que, en cada Ciclo 2 se producirá un desplazamiento equivalente a una muestra, (ver figura F-1.2)

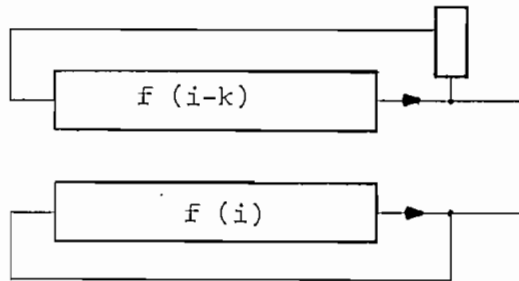


Figura F-1.2

El procedimiento se puede observar en la tabla T-1.2

1.7.4 Registros para el multiplicando y el multiplicador. Son necesarios registros para mantener los valores correspondientes al multiplicando y multiplicador durante el ciclo 1, para lo cual se tiene el sistema de acuerdo a la figura F-1.3

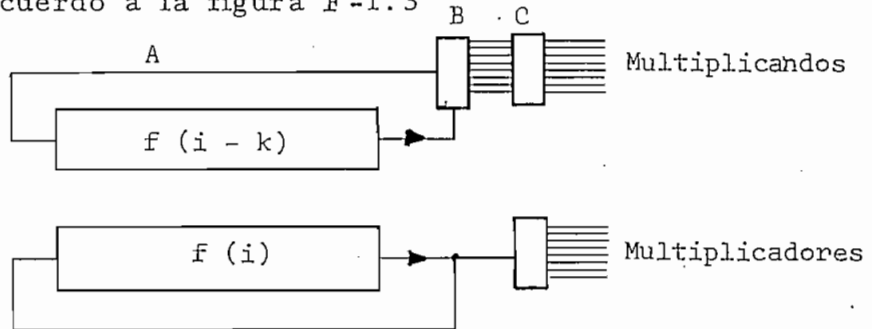


Figura F-1.3

A corresponde a la información contenida en las memorias.

B al contenido en el registro que produce el desplazamiento.

C al contenido de los registros del multiplicando y multiplicador.

1.8 Funcionamiento del sistema.

1.8.1 Se tendrá un ciclo de iniciación, con la introducción de las muestras correspondientes al primer segmento de señal, que se muestra en

la Tabla T-1.1, en la que cada número encerrado en un círculo, corresponde al ingreso de una nueva muestra, en la memoria correspondiente a la función $f(i)$, y se hará cada vez que se inicie un Ciclo 2.

1.8.2 En la tabla T-1.2 se describe el funcionamiento total del sistema.

El llamado (1) corresponde a un Ciclo 1

El intervalo (1-2) corresponde a un Ciclo 2, al inicio del cual se realiza el ingreso de una nueva muestra.

El intervalo (1-3) corresponde a un Ciclo 3.

Durante el intervalo (3-4), se realiza el ingreso de nuevo conjunto de muestras correspondiente al nuevo segmento a ser procesado.

En el Ciclo 1 en que se realiza la multiplicación de la muestra 0, con la última ingresada a la memoria de $f(i)$, se procede a la conversión digital - analógica del valor correspondiente al Ciclo 2 que se ha terminado.

A B C			A B C			A B C		
x x x x x x	x	x	x x x x x x	0	x	x x 0 x x x	x	x
x x x x x x		x	1 x x x x 2		1	x 5 4 3 2 1		x
x x x x x x	x	x	0 x x x x x	x	0	x x x 0 x x	x	x
x x x x x x		x	2 1 x x x x		2	1 x 5 4 3 2		1
x x x x x x	x	x	x 0 x x x x	x	x	x x x x 0 x	x	x
x x x x x x		x	③ 2 1 x x x	x	x	2 1 x 5 4 3		2
x x x x x x	0	x	x x 0 x x x	x	x	x x x x x 0	x	x
x x x x x x		x	x 3 2 1 x x		x	3 2 1 x 5 4		3
0 x x x x x	x	0	x x x 0 x x	x	x	x x x x x x	0	x
x x x x x x		x	x x 3 2 1 x		x	4 3 2 1 x 5		4
x 0 x x x x	x	x	x x x x 0 x	x	x	0 x x x x x	x	0
① x x x x x		x	x x x 3 2 1		x	5 4 3 2 1 x		5
x x 0 x x x	x	x	x x x x x 0	x	x	x 0 x x x x	x	x
x 1 x x x x		x	1 x x x 3 2		1	⑥ 5 4 3 2 1		x
x x x 0 x x	x	x	x x x x x x	0	x	x x 0 x x x	x	x
x x 1 x x x		x	2 1 x x x 3		2	1 6 5 4 3 2		1
x x x x 0 x	x	x	0 x x x x x	x	0	x x x 0 x x	x	x
x x x 1 x x		x	3 2 1 x x x		3	2 1 6 5 4 3		2
x x x x x 0	x	x	x 0 x x x x	x	x	x x x x 0 x	x	x
x x x x 1 x		x	④ 3 2 1 x x		x	3 2 1 6 5 4		3
x x x x x x	0	x	x x 0 x x x	x	x	x x x x x 0	x	x
x x x x x 1		x	x 4 3 2 1 x		x	4 3 2 1 6 5		4
0 x x x x x	x	0	x x x 0 x x	x	x	x x x x x x	0	x
1 x x x x x		1	x x 4 3 2 1		x	5 4 3 2 1 6		5
x 0 x x x x	x	x	x x x x 0 x	x	x	0 x x x x x	6	0
② 1 x x x x		x	1 x x 4 3 2		1	6 5 4 3 2 1		6
x x 0 x x x	x	x	x x x x x 0	x	2	1 0 x x x x	1	6
x 2 1 x x x		x	2 1 x x 4 3		x	⑦ 6 5 4 3 2		6
x x x 0 x x	x	x	x x x x x x	0	x	2 1 0 x x x	2	1
x x 2 1 x x		x	3 2 1 x x 4		3	2 7 6 5 4 3		1
x x x x 0 x	x	x	0 x x x x x	x	0	3 2 1 0 x x	3	2
x x x 2 1 x		x	4 3 2 1 x x		4	3 2 7 6 5 4		2
x x x x x 0	x	x	x 0 x x x x	x	x	4 3 2 1 0 x	4	3
x x x x 2 1		x	⑤ 4 3 2 1 x		x	4 3 2 7 6 5		3

	x x x x x x	0	x	2 1 0 6 5 4	3	2	5 9 3 2 1 0	6	5
	5 4 3 2 1 6		5	4 9 8 7 6 5		4	9 8 7 6 11 10		9
	0 x x x x x	6	0	3 2 1 0 6 5	4	3	6 5 4 3 2 1	0	6
	6 5 4 3 2 1		6	5 4 9 8 7 6		5	10 9 8 7 6 11		10
(1)	1 0 x x x x	1	6	4 3 2 1 0 6	5	4	0 6 5 4 3 2	1	0
	⑦ 6 5 4 3 2		6	6 5 4 9 8 7		6	11 10 9 8 7 6		11
	2 1 0 x x x	2	1	5 4 3 2 1 0	6	5	1 0 6 5 4 3	2	1
	2 7 6 5 4 3		1	7 6 5 4 9 8		7	⑫ 11 10 9 8 7		6
	3 2 1 0 x x	3	2	6 5 4 3 2 1	0	6	2 1 0 6 5 4	3	2
	3 2 7 6 5 4		2	8 7 6 5 4 9		8	7 12 11 10 9 8		7
	4 3 2 1 0 x	4	3	0 6 5 4 3 2	1	0	3 2 1 0 6 5	4	3
	4 3 2 7 6 5		3	9 8 7 6 5 4		9	8 7 12 11 10 9		8
	5 4 3 2 1 0	5	4	1 0 6 5 4 3	2	1	4 3 2 1 0 6	5	4
	5 4 3 2 7 6		4	⑩ 9 8 7 6 5		4	9 8 7 12 11 10		9
	6 5 4 3 2 1	0	5	2 1 0 6 5 4	3	2	5 4 3 2 1 0	6	5
	6 5 4 3 2 7		5	5 10 9 8 7 6		5	10 9 8 7 12 11		10
(2)	0 6 5 4 3 2	1	0	3 2 1 0 6 5	4	3	6 5 4 3 2 1	0	6
	7 6 5 4 3 2		7	6 5 10 9 8 7		6	11 10 9 8 7 12		11
	1 0 6 5 4 3	2	1	4 3 2 1 0 6	5	4	(3) 0 6 5 4 3 2	12	0
	⑧ 7 6 5 4 3		2	7 6 5 10 9 8		7	12 11 10 9 8 7		12
	2 1 0 6 5 4	3	2	5 4 3 2 1 0	6	5	7 0 6 5 4 3	7	12
	3 8 7 6 5 4		3	8 7 6 5 10 9		8	⑬ 12 11 10 9 8		12
	3 2 1 0 6 5	4	3	6 5 4 3 2 1	0	6	8 7 0 6 5 4	8	7
	4 3 8 7 6 5		4	9 8 7 6 5 10		9	8 13 12 11 10 9		7
	4 3 2 1 0 6	5	4	0 6 5 4 3 2	1	0	9 8 7 0 6 5	9	8
	5 4 3 8 7 6		5	10 9 8 7 6 5		10	9 8 13 12 11 10		8
	5 4 3 2 1 0	6	5	1 0 6 5 4 3	2	1	10 9 8 7 0 6	10	9
	6 5 4 3 8 7		6	⑪ 10 9 8 7 6		5	10 9 8 13 12 11		9
	6 5 4 3 2 1	0	6	2 1 0 6 5 4	3	2	11 10 9 8 7 0	11	10
	7 6 5 4 3 8		7	6 11 10 9 8 7		6	11 10 9 8 13 12		10
	0 6 5 4 3 2	1	0	3 2 1 0 6 5	4	3	(4) 12 11 10 9 8 7	0	11
	8 7 6 5 4 3		8	7 6 11 10 9 8		7	12 11 10 9 8 13		11
	1 0 6 5 4 3	2	1	4 3 2 1 0 6	5	4	0 12 11 10 9 8	7	0
	⑨ 8 7 6 5 4		3	8 7 6 11 10 9		8	13 12 11 10 9 8		13
							7 0 12 11 10 9	8	7
							⑭ 13 12 11 10 9		8

2. DEDUCCIONES MATEMATICAS

CON

ALGEBRA BOOLEANA PARA LA REALIZACION DIGITAL

2. DEDUCCIONES MATEMATICAS

2.1 Muestreo de señales. Cualquier señal de banda limitada que no tenga componentes de mayor frecuencia que f_{mx} , puede estar representada por valores tomados a intervalos uniformes menores que $1/2 f_{mx}$ (segundos), sin perder información.

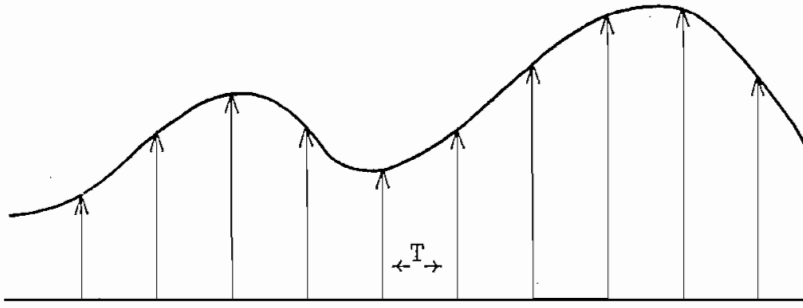


Figura F-2.1

La velocidad de muestreo tiene que ser por lo menos el doble que la frecuencia más alta que tenga el espectro de $f(t)$; o sea que la señal debe ser muestreada por lo menos dos veces durante cada período o ciclo de la componente de más alta frecuencia.

Para demostrar el teorema, se presenta el siguiente ejemplo:

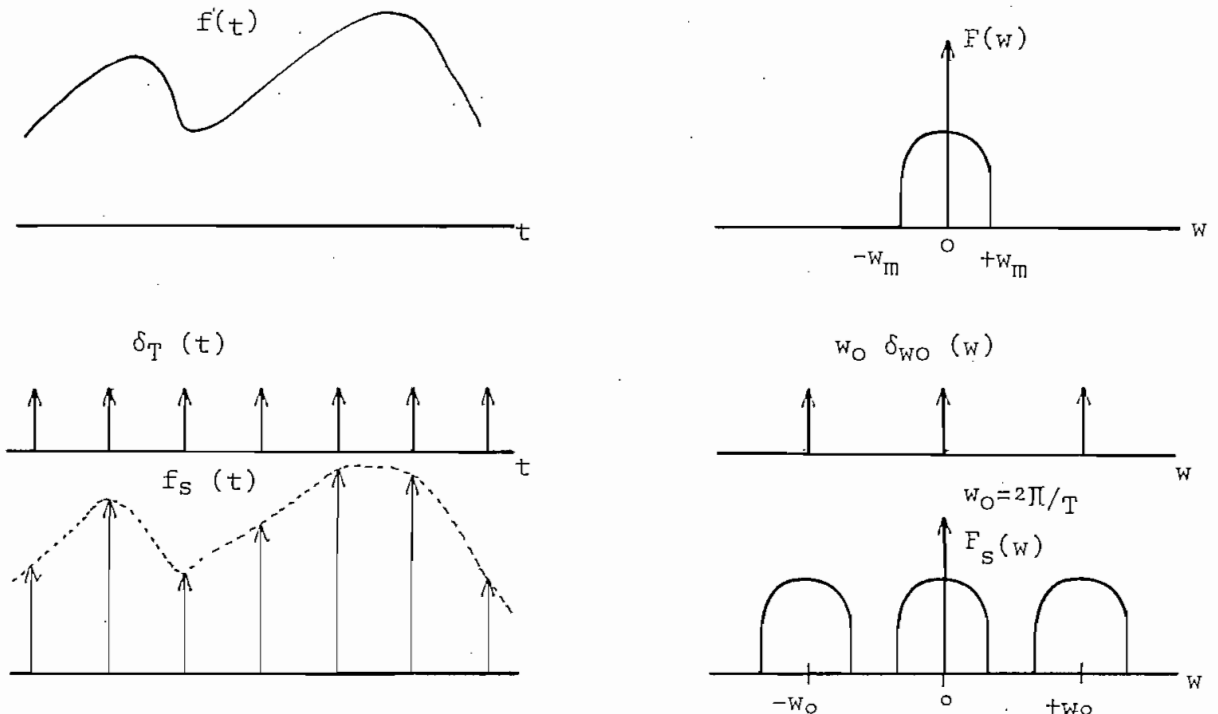


Figura F-2.2

Si la función $f(t)$ se la multiplica con un tren de impulsos $\delta_T(t)$ de amplitudes iguales y espaciados T segundos, la función producto es una secuencia de impulsos separados T segundos y de amplitud igual a la amplitud que tenga $f(t)$ en ese instante.

$$f_s(t) = f(t) \cdot \delta_T(t)$$

$$f(t) \leftrightarrow F(w)$$

$$\delta_T(t) \leftrightarrow w_0 \delta_{w_0}(w)$$

$$f_s(t) \leftrightarrow \frac{w_0}{2\pi} \{ F(w) * \delta_{w_0}(w) \} \quad w_0 = \frac{2\pi}{T}$$

$$f_s(t) \leftrightarrow \frac{1}{T} \{ F_s(w) \}$$

$F_s(w)$ es la misma función $F(w)$ pero localizada a $\pm w_0$, $\pm 2w_0$, $\pm 3w_0$, etc. Debe tomarse de tal manera que, no se produzca superposición de las señales.

$$w_0 \geq 2W_m$$

$$\frac{2\pi}{T} \geq 2 \cdot 2\pi f_m$$

$$T \leq \frac{1}{2f_m}$$

En la práctica es imposible generar impulsos y por lo tanto, podemos usar un sistema tal que siga la señal y la vaya cortando periódicamente; el mejor sistema para esto es un switch electrónico que está comandado por un reloj de tal manera que, se abra y cierre periódicamente.

Luego de tomar la muestra, es necesario almacenarla hasta procesarla en el convertidor analógico - digital; puede utilizarse un condensador que se cargue hasta el valor de la muestra y la retenga.

Para completar el sistema, podemos incluir dos amplificadores básicos que den mayor estabilidad.

Diseño general de un sistema de muestreo:

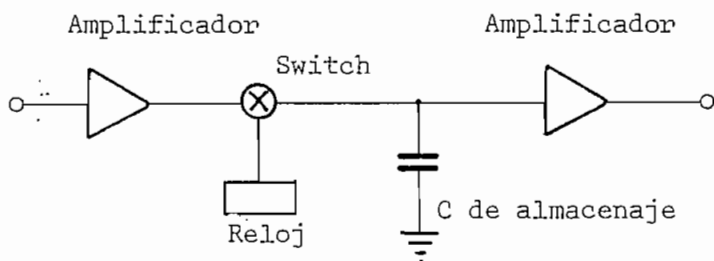


Figura F-2.3

Diagrama de tiempo de funcionamiento del switch

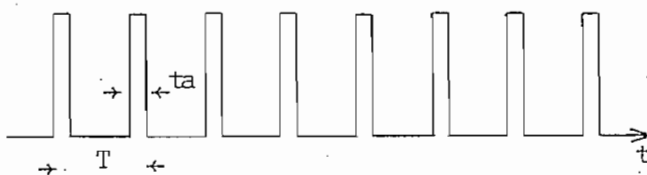


Figura F-2.4

$T =$ tiempo máximo de muestreo = *periodo del muestreo*.

$t_a =$ tiempo de apertura del switch durante el cual pasa la señal y tiene que ser mínima.

2.2 Conversión analógica digital. Luego de muestrear la señal es necesario pasar las muestras de la forma analógica a su representación digital, existiendo para esto variados arreglos de acuerdo a la necesidad de velocidad y exactitud.

2.2.1 Conversión A/D por conteo de pulsos. Este sistema convierte la amplitud de la señal en una magnitud de tiempo equivalente, mediante el

conteo de pulsos generados por un reloj, de tal manera que se tiene la señal en forma digital tomando las salidas del contador.

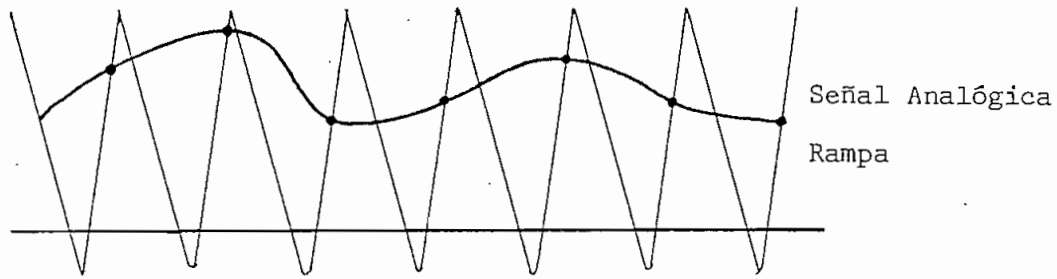


Figura F-2.5

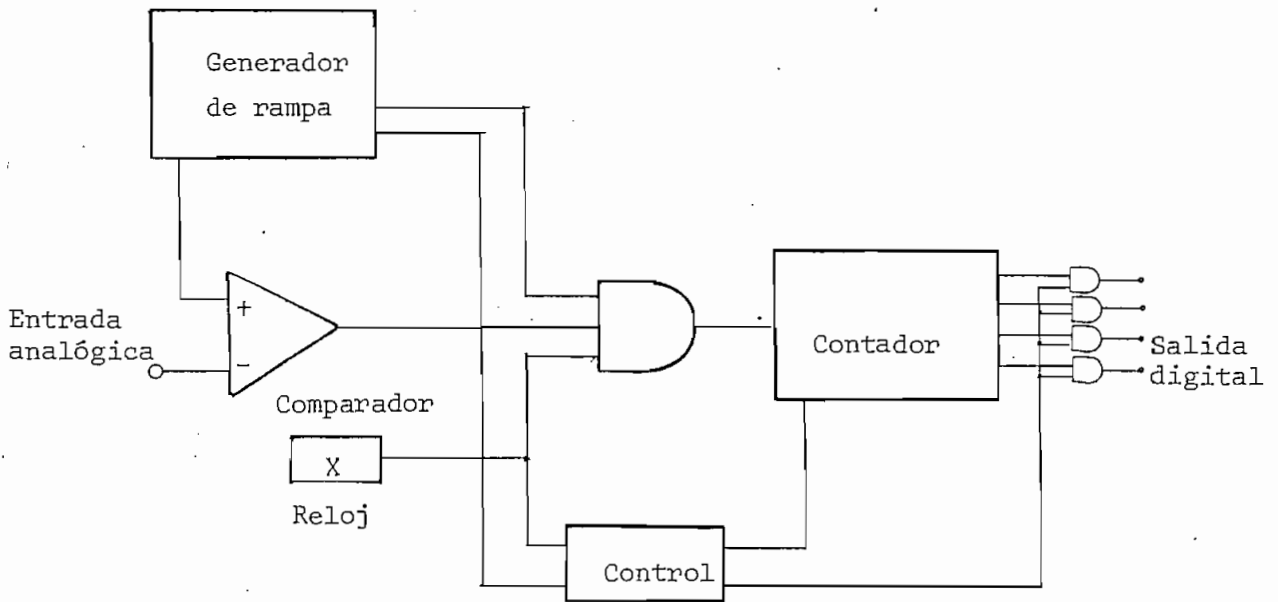


Figura F-2.6

Cuando la rampa se halla en su nivel cero el generador ordena a la unidad de control encerrar el contador y bloquear la salida digital, y permite el paso de pulsos de reloj al contador. Se inicia la comparación de la rampa con la señal analógica cuando se ha logrado su igualdad, el comparador bloquea el paso de pulsos de reloj y el bloque de control habilita la salida de la señal digital.

Este sistema está limitado en su velocidad por el contador y su exac-

titud estará de acuerdo a la dimensión que tenga este último.

Para el caso de tener máxima salida con ocho bits, es necesario realizar el conteo de 251 pulsos, por lo que el reloj deberá ser de alta frecuencia.

2.2.2 Conversión A/D por aproximaciones sucesivas. Este sistema compara la señal analógica con un voltaje generado por un convertidor D/A que incrementa su salida en pasos de $0,5 V_r$; $0,25 V_r$; $0,125 V_r$ etc., hasta alcanzar un nivel igual al de la señal de entrada.

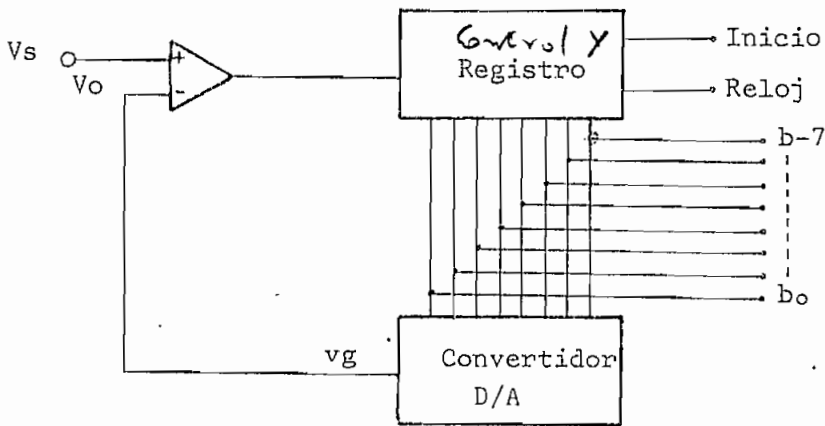


Figura F-2.7

El convertidor D/A dispone de una serie de voltajes que varían de acuerdo a la relación $1/2^n$, y son producidos por caídas de voltajes a través de resistencias de valores conocidos y de gran exactitud, a partir de un voltaje tomado de referencia (V_r). Cuando un bit tiene un valor de 1 lógico, a la salida le corresponde un valor que es proporcional a la posición que ocupa en el número binario; si el bit es 0 lógico, no participará en la salida del convertidor.

La función de transferencia está expresada como:

$$V_o = V_r \sum_{n=0}^{a-1} 2^{n-1} b_n \quad n = 0, -1, -2, -3, \dots -a$$

$$b_n = \begin{matrix} 0 \\ 1 \end{matrix}$$

En la siguiente tabla se da el voltaje de salida del convertidor que corresponde a cada bit cuando éstos son 1's .

n	b_n	V_n	
0	b-0	1/2	V_r
1	b-1	1/4	V_r
2	b-2	1/8	V_r
3	b-3	1/16	V_r
4	b-4	1/32	V_r
5	b-5	1/64	V_r
6	b-6	1/128	V_r
7	b-7	1/256	V_r

Tabla T-2-1

El proceso se inicia poniendo el bit mas significativo del registro en el nivel 1 lógico, ($b_0 = 1$) y los otros bits en nivel 0 lógico. El convertidor recibe estas señales y las transforma en una señal analógica $V_0 = 1/2 V_r$, que es comparada mediante un comparador, con la señal V_s de entrada.

Si V_s es mayor que V_0 , en el registro se mantiene el bit b_0 en el nivel 1, si V_s es menor que V_0 , el bit b_0 pasa al nivel 0; con el siguiente pulso de reloj el próximo bit menos significativo b-1 pasa a nivel 1, se retiene el valor de b_0 y los otros permanecen en el nivel 0 lógico.

De esta manera, se va determinando en forma sucesiva el valor de cada uno de los bits, hasta completar el ciclo de conversión.

Luego de que un bit ha sido analizado y determinado su valor (1 o 0), permanece invariable hasta completar un ciclo y que el registro reciba

una nueva orden de inicio.

En la figura F-2.8 se presenta un diagrama de flujo de como se realiza el proceso.

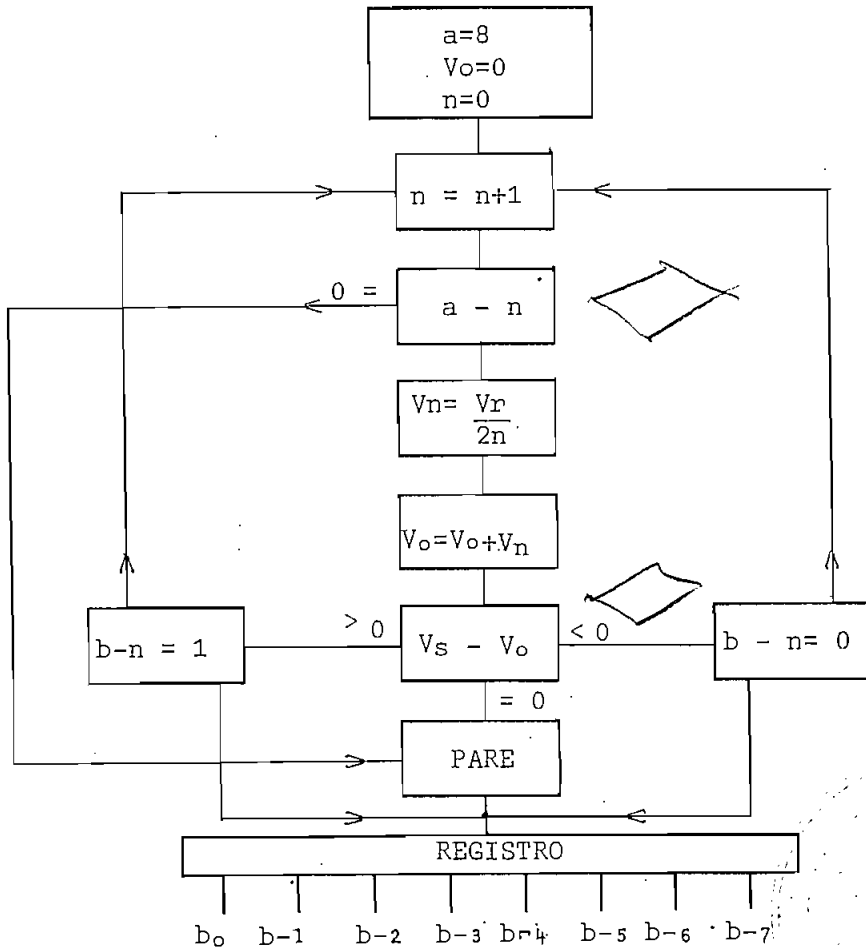


Figura F-2.8

En la tabla T-2.2 se describe el proceso y la forma en que se realizan las aproximaciones.

Este sistema es usado para el caso en que se desee tener una representación binaria extensa, en general su ventaja radica en que el reloj no necesita ser de alta frecuencia y su velocidad de conversión está limitada únicamente por la velocidad del convertidor D/A .

PASO	b ₀	b ₋₁	b ₋₂	b ₋₃	b ₋₄	b ₋₅	b ₋₆	b ₋₇	V _r	V ₀
INICIO	1	0	0	0	0	0	0	0	V_r	$(\frac{1}{2})$
1	$\frac{0}{1}$	1	0	0	0	0	0	0	V_r	$(\frac{b_0}{2} + \frac{1}{4})$
2	$\frac{0}{1}$	$\frac{0}{1}$	1	0	0	0	0	0	V_r	$(\frac{b_0}{2} + \frac{b-1}{4} + \frac{1}{8})$
3	$\frac{0}{1}$	$\frac{0}{1}$	$\frac{0}{1}$	1	0	0	0	0	V_r	$(\frac{b_0}{2} + \frac{b-1}{4} + \frac{b-2}{8} + \frac{1}{16})$
4	$\frac{0}{1}$	$\frac{0}{1}$	$\frac{0}{1}$	$\frac{0}{1}$	1	0	0	0	V_r	$(\frac{b_0}{2} + \frac{b-1}{4} + \frac{b-2}{8} + \frac{b-3}{16} + \frac{1}{32})$
5	$\frac{0}{1}$	$\frac{0}{1}$	$\frac{0}{1}$	$\frac{0}{1}$	$\frac{0}{1}$	1	0	0	V_r	$(\frac{b_0}{2} + \frac{b-1}{4} + \frac{b-2}{8} + \frac{b-3}{16} + \frac{b-4}{32} + \frac{1}{64})$
6	$\frac{0}{1}$	$\frac{0}{1}$	$\frac{0}{1}$	$\frac{0}{1}$	$\frac{0}{1}$	$\frac{0}{1}$	0	0	V_r	$(\frac{b_0}{2} + \frac{b-1}{4} + \frac{b-2}{8} + \frac{b-3}{16} + \frac{b-4}{32} + \frac{b-5}{64} + \frac{1}{128})$
7	$\frac{0}{1}$	$\frac{0}{1}$	$\frac{0}{1}$	$\frac{0}{1}$	$\frac{0}{1}$	$\frac{0}{1}$	$\frac{0}{1}$	0	V_r	$(\frac{b_0}{2} + \frac{b-1}{4} + \frac{b-2}{8} + \frac{b-3}{16} + \frac{b-4}{32} + \frac{b-5}{64} + \frac{b-6}{128} + \frac{1}{256})$
8	$\frac{0}{1}$	$\frac{0}{1}$	$\frac{0}{1}$	$\frac{0}{1}$	$\frac{0}{1}$	$\frac{0}{1}$	$\frac{0}{1}$	$\frac{0}{1}$	V_r	$\sum_{n=0}^{-a} 2^{n-1} b_n$

Tabla T - 2.2

aplicación.

~~Este sistema es usado para el caso en que se desee tener una representación binaria extensa, en general su ventaja radica en que el reloj, no necesita ser de alta frecuencia y su velocidad de conversión está limitada únicamente por la velocidad el convertidor D/A.~~

2.3 Sumadores. Debido a que la función integración se puede realizar únicamente en procesos continuos, cuando se realiza un análisis digital es necesario reemplazarla por un sumador.

2.3.1 Función suma. La forma más elemental de suma se realiza de acuerdo a la tabla T-2.3, en la que se toma en cuenta únicamente los dos bit a sumarse A y B, sin considerar el exceso que pueda producirse, y se ejecuta mediante una compuerta sumadora (OR).

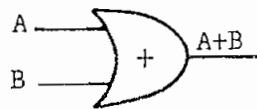
	A	B	A + B
	0	0	0
	0	1	1
	1	0	1
	1	1	1

Tabla T-2.3

Cuando se considera el exceso que pueda producirse en una suma, ésta se ejecutará de acuerdo a la tabla T-2.4 en la que A y B son los bits y Co el exceso. La función suma se denomina del tipo OR-EXCLUSIVO que tiene el símbolo \oplus .


	A	B	A \oplus B	Co
	0	0	0	0
	0	1	1	0
	1	0	1	0
	1	1	0	1

Tabla T-2.4

La función $A \oplus B$ está definida por la ecuación E-2.1 y el exceso producido por la ecuación E-2.2

$$A \oplus B = \bar{A} B + A \bar{B} \quad (\text{E-2.1})$$

$$C_o = A B \quad (\text{E-2.2})$$

Pero si se quiere sumar dos palabras de varios bits, es necesario considerar que el exceso producido en una etapa de suma, pasará a la siguiente y se sumará a los bits de ésta del modo OR - EXCLUSIVO, tal como se describe en la tabla T-2.5, en la que C_i es el exceso de la etapa anterior, C_o es el correspondiente a la etapa en análisis y S es la función suma definida por la ecuación E-2.3.

$$S = (A \oplus B) \oplus C_i \quad (\text{E-2.3})$$

que puede desarrollarse de acuerdo con la ecuación E-2.1 y quedar expresada como:

$$S = \overline{(A \oplus B)} \cdot C_i + (A \oplus B) \bar{C}_i$$

$$S = \overline{(\bar{A}B + A\bar{B})} \cdot C_i + (\bar{A}B + A\bar{B}) \bar{C}_i$$

Considerando el Teorema de Morgan que se expresa en la forma de:

$$\bar{A} \cdot \bar{B} = \overline{A + B} \quad (\text{E-2.4})$$

$$\overline{AB} = \bar{A} + \bar{B} \quad (\text{E-2.5})$$

se tendrá:

$$\begin{aligned} S &= \overline{(A \bar{B}) \cdot (\bar{A} B)} C_i + \bar{A} B \bar{C}_i + A \bar{B} \bar{C}_i \\ S &= (\bar{A} + B) (A + \bar{B}) C_i + \bar{A} B \bar{C}_i + A \bar{B} \bar{C}_i \\ S &= \bar{A} \bar{B} C_i + \bar{A} B \bar{C}_i + A \bar{B} \bar{C}_i + A B C_i \\ S &= \bar{A} \bar{B} C_i + \bar{A} B \bar{C}_i + A \bar{B} \bar{C}_i + A B C_i \quad (\text{E-2.7}) \end{aligned}$$

La ecuación E-2.7 corresponde exactamente a la función S de la tabla T-2-5.

	A	B	Ci	S	Co	
	0	0	0	0	0	
	0	0	1	1	0	(1)
	0	1	0	1	0	
	0	1	1	0	1	(2)
	1	0	0	1	0	
	1	0	1	0	1	(2)
	1	1	0	0	1	(3)
	1	1	1	1	1	(2)

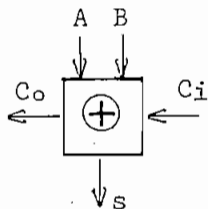


Tabla T - 2.5

La función exceso Co, generada en una etapa de suma, a partir de la tabla T-2.5 puede definirse como:

$$C_o = \bar{A} B C_i + A \bar{B} C_i + A B \bar{C}_i + A B C_i \quad (E-2.8)$$

$$(E-2.9)$$

Pero luego de simplificarla por el método de Karnaugh en la tabla T-2.6

		AB			
		00	01	11	10
Ci	0			1	
	1		1	1	1

Tabla T-2.6

Estará expresada como:

$$C_o = A B + A C + B C \quad (E-2.10)$$

$$C_o = A B + (A + B) C$$

La función suma no permite simplificación, como se vé en la tabla T-2.7

		AB			
		00	01	11	10
Ci	0		1		1
	1	1		1	

Tabla T-2.7

De la fila marcada con el número (1) de la tabla T-2.5 puede concluirse que, a pesar de existir un exceso de la etapa anterior, no hará uno en ésta, o sea que no se PROPAGARA cuando exista la función $\bar{A}\bar{B}$; de las filas marcadas con el número (2) puede concluirse que existiendo un exceso de la etapa anterior, existirá uno en ésta cuando exista la función $(A + B)$ o sea que el exceso se propagará y de la fila marcada con el número (3), se concluye que se GENERARA un exceso en la etapa considerada cuando exista la función AB .

Estas conclusiones pueden escribirse en forma de ecuaciones y estar expresadas como:

$$P = A + B \quad (E - 2.11)$$

$$G = A B \quad (E - 2.12)$$

y la función exceso de la etapa como:

$$Co = G + P \cdot Ci \quad (E - 2.13)$$

2.3.2 Clasificación de sumadores. Los sumadores de varias etapas pueden clasificarse de acuerdo a su velocidad, que básicamente depende del tiempo necesario para que se genere el exceso y se propague a lo

largo del sumador.

2.3.2.1 Sumador sincrónico. Es aquel, en el que mientras no se genere el exceso en las primeras etapas, las siguientes no pueden realizar la operación y tendrán que esperar que éste se propague a través de todas las etapas. El tiempo de una operación es igual al tiempo de propagación de un exceso en una etapa, multiplicado por el número de etapas que se usen.

2.3.2.2 Sumador de palabra completa. Este tipo de sumador realiza la suma or-exclusiva de los bits $A \oplus B$ y genera un exceso en cada una de las etapas. Luego comienza a propagarse el exceso a lo largo del sumador y se realiza $A \oplus B \oplus C_i$, corrigiéndose el sumatorio y el exceso de salida de cada etapa.

Este tipo de sumador, si bien realiza una operación previa, debe también esperar que el exceso se propague a lo largo de todo el sumador.

2.3.2.3 Sumador condicional. Es un sumador en el cual se produce un doble resultado de la suma y el exceso en cada etapa, asumiendo las dos posibilidades de exceso de entrada. En forma sucesiva, se determina cual de las dos es la verdadera.

En la figura F-2.9 se presenta el diagrama fundamental para estos tres tipos de sumadores que pueden calificarse como lentos.

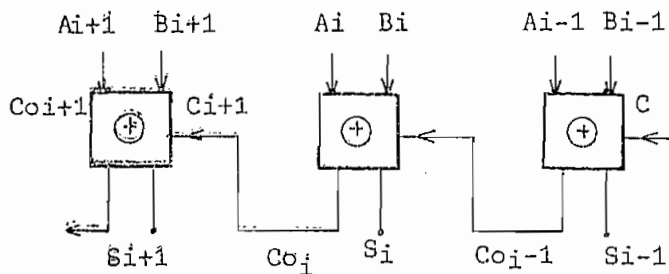


Figura F-2.9

2.3.2.4 Sumador de exceso anticipado. Esta forma de sumador tiene como principio básico el predecir los excesos para cada una de las etapas de tal manera que se dependa de la propagación del exceso.

Partiendo de las ecuaciones:

$$P = A + B \quad \text{función de propagación del exceso}$$

$$G = A B \quad \text{función de generación del exceso}$$

$$C_o = G + PC_i$$

que corresponden a una etapa de suma en la que A y B son los bits a sumarse en ella y C_i es el exceso producido en la etapa anterior y C_o es el exceso producido en esta etapa.

Para una etapa cualquiera se tendrá:

$$C_{i+1} = G_i + P_i \cdot C_i \qquad C_{i+2} = G_{i+1} + P_{i+1} C_{i+1}$$

Para la próxima etapa:

$$C_{i+2} = G_{i+1} + P_{i+1} C_{i+1}$$

$$C_{i+2} = G_{i+1} + P_{i+1} (G_i + P_i \cdot C_i)$$

$$C_{i+2} = G_{i+1} + P_{i+1} P_i \cdot P_{i+1} C_i$$

Para la siguiente etapa:

$$C_{i+3} = G_{i+2} + P_{i+2} \cdot C_{i+2}$$

$$C_{i+3} = G_{i+2} + P_{i+2} (G_{i+1} + G_i P_{i+1} + P_i P_{i+1} C_i)$$

$$C_{i+3} = G_{i+2} + G_{i+1} P_{i+2} + G_i P_{i+1} P_{i+2} + P_i P_{i+1} P_{i+2} C_i$$

En forma general para una etapa k el exceso corresponderá a la función:

$$C_{k+1} = G_k + G_{k-1} P_k + G_{k-2} P_{k-1} + G_{k-3} P_k P_{k-1} P_{k-2} + \dots$$

$$P_k P_{k-1} P_{k-2} \dots P_2 P_1 C$$

De esta manera es posible generar el exceso de cualquier etapa de suma pudiendo construirse una unidad generadora del exceso correspondiente a cada etapa de suma.

Sin embargo, si el sistema se lo construye demasiado extenso, la generación de los excesos requiere de una instrumentación demasiado compleja, y es así que se han agrupado cuatro etapas en bloques sumadores, pudiendo operarse en dos formas:

- a) Sumador de niveles múltiples
- b) Sumador con propagación.

2.3.2.4.1 Sumador de niveles múltiples. Este sistema utiliza una unidad auxiliar que utiliza las funciones de generación y propagación de excesos de cada una de las etapas, y el exceso que entra a la primera, para generar el exceso correspondiente a cada bloque sumador.

Para un bloque sumador se tienen las siguientes ecuaciones:

C_1 es el exceso que ingresa a la primera etapa.

$C_2 = G_1 + P_1 C_1$ es el exceso que se produce en la primera etapa y entra a la segunda.

$C_3 = G_2 + G_1 P_2 + P_2 P_1 C_1$ se produce en la segunda etapa y pasa a tercera.

$C_4 = G_3 + G_2 P_3 + G_1 P_3 P_2 + P_3 P_2 P_1 C_1$ se produce en la tercera etapa y pasa a la cuarta.

$C_5 = G_4 + G_3 P_4 + G_2 P_4 P_3 + G_1 P_4 P_3 P_2 + P_4 P_3 P_2 P_1 C_1$ se produce en la última etapa del bloque sumador.

La función suma representada por la ecuación E - 2.7 puede ser modificada de la siguiente manera:

$$S = \bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$

$$S = \bar{A}B\bar{C} + A\bar{B}\bar{C} + \bar{A}\bar{B}C + ABC$$

$$S = (\bar{A}B + A\bar{B})\bar{C} + (\bar{A}\bar{B} + AB)C$$

utilizando el teorema de Morgan y la propiedad de que $A\bar{A} = 0$,

$$S = (\bar{A}B + \bar{A}A + A\bar{B} + B\bar{B})\bar{C} + (\overline{A+B} + AB)C$$

$$S = (A+B)\bar{A} + (A+B)\bar{B}\bar{C} + (\overline{A+B} + AB)C$$

$$S = (A+B)(\bar{A}+\bar{B})\bar{C} + (\overline{A+B} + AB)C$$

$$S = (A+B)\overline{AB}\bar{C} + (\overline{A+B} + AB)C$$

que puede quedar expresada en forma de sumandos:

$$S = (\overline{A+B} + AB)C + (\overline{A+B} + AB)C$$

o en forma de productos:

$$S = (A+B)\overline{AB}\bar{C} + (A+B)\overline{AB}C$$

De cualquier forma puede notarse que siempre es necesario generar las mismas funciones $(A+B)$ y AB , sean reales o complementadas y sumadas o multiplicadas; siendo éstas además las funciones de generación y propagación del exceso.

El diseño del bloque sumador se dá en la figura F - 2.10, para la que:

GFA-E es el generador de las funciones auxiliares de cada etapa $G = AB$

y $P = (A+B)$

GE-E generador de excesos para las etapas de suma

SUM-E sumadores de cada etapa.

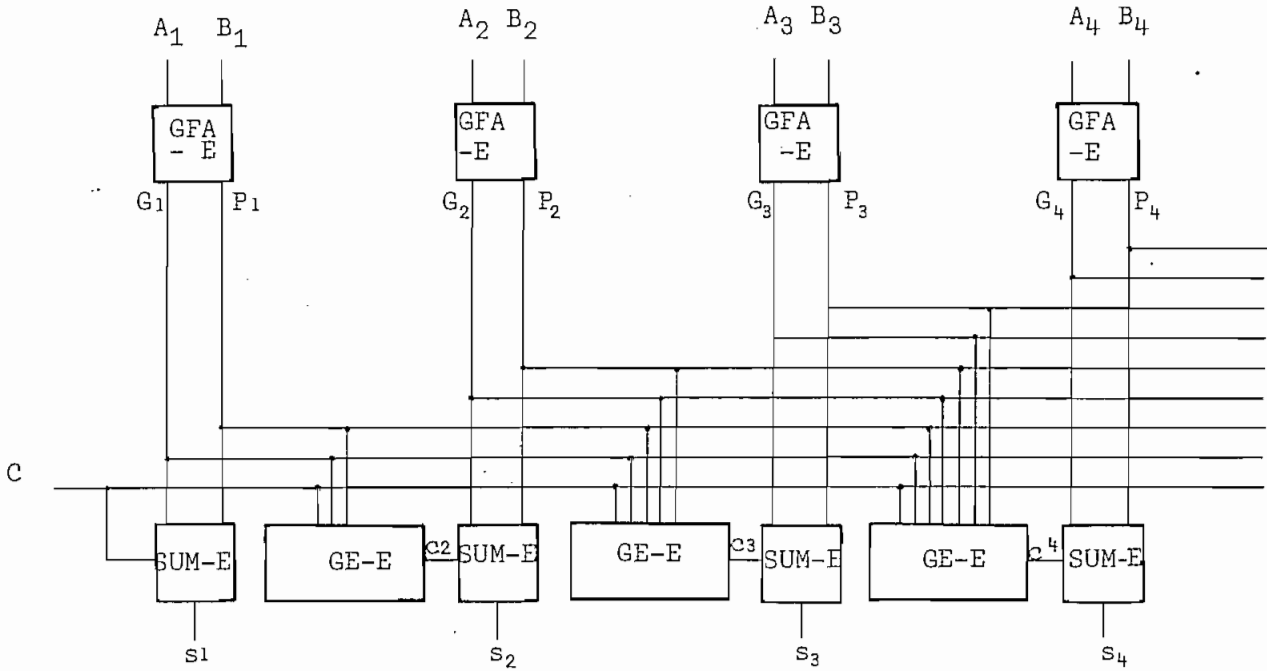


Figura F-2.10

Para el caso de tener niveles múltiples es necesario generar funciones auxiliares de generación y propagación del exceso para cada bloque sumador y sus ecuaciones son respectivamente:

$$X = G_4 + G_3 P_4 + G_2 P_4 P_3 + G_1 P_4 P_3 P_2$$

$$Y = P_4 P_3 P_2 P_1$$

En la figura F - 2.11 se presenta el sistema para el caso de un sumador de niveles múltiples en el que;

GFA-B generador de las funciones auxiliares para cada bloque

GE-B es el generador de exceso para cada bloque sumador.

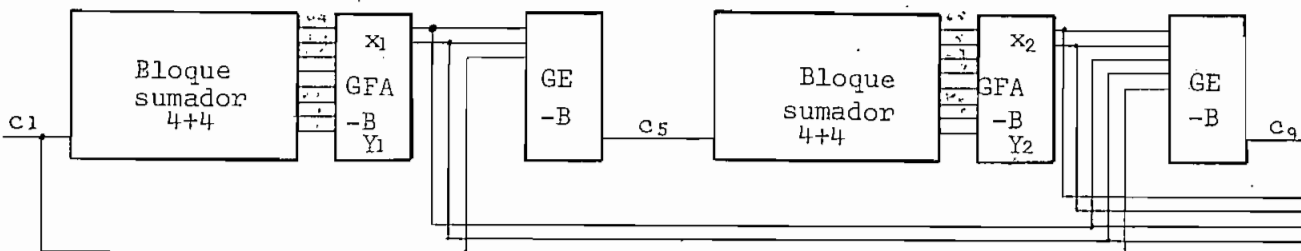


Figura F-2.11

Los GE-B tienen igual diseño que los GE-E y cumplen con la misma forma de ecuaciones, tal que para la figura F-2.11 se tendrá:

$$C_5 = X_1 + Y_1 C_1$$

$$C_9 = X_2 + X_1 Y_1 + Y_2 Y_1 C_1$$

etc.

2.3.2.4.2 Sumador con propagación de exceso. En este tipo de sumador se incluye en el mismo bloque una etapa adicional de generación de exceso que cumpla con la siguiente ecuación.

$$C_5 = G_4 + G_3 P_4 + G_2 P_4 P_3 + G_1 P_4 P_3 P_2 + P_4 P_3 P_2 P_1 C_1$$

en la que C_5 es el exceso producido en este bloque.

En este sistema el tiempo para una operación depende de la velocidad con que se propague el exceso a través de los bloques sumadores:

2.3.3 Error matemático. Cuando dos números son sumados o restados, el resultado debe estar dentro del rango del sistema y existe un error cuando se sobrepasa la capacidad y se denomina error por exceso que se lo representa por EEX. Además el signo del resultado de la operación debe corresponder a la operación que se realiza y los signos de los sumandos; cuando se produce un error se denomina error de signo y se lo representa por ESG.

Una magnitud en forma digital y representada en forma fraccionaria estará expresada como sigue:

$$A = a 2^{-(n-1)} + a_s = \frac{a}{2} + \frac{a}{4} + \frac{a}{8} + \dots - a_s$$

$a \cdot 2^{-(n-1)}$ representa los bits y su magnitud relativa^o

a_s representa el bit del signo.

Los dos tipos de error se producen en la última etapa del sumador y que corresponde a los bits del signo. De la Tabla T-2.8 que corresponde al funcionamiento de una etapa de suma puede hacerse la deducción de la fórmula del error. Los subíndices (s) se incluyen debido a que corresponde a los bits del signo.

Para la suma					Para la resta					
A_s	B_s	C_s	S_s	C_{s+1}	A_s	B_s	\bar{B}_s	C_s	S_s	C_{s+1}
0	0	0	0	0	0	0	1	0	1	0
0	0	1	1	0	0	0	1	1	0	1
0	1	0	1	0	0	1	0	0	0	0
0	1	1	0	1	0	1	0	1	1	0
1	0	0	1	0	1	0	1	0	0	1
1	0	1	0	1	1	0	1	1	1	1
1	1	0	0	1	1	1	0	0	1	0
1	1	1	1	1	1	1	0	1	0	1

Tabla T-2.8

A_s, B_s son los bits del signo

C_s es el exceso que entra a la etapa de suma

C_{s+1} es el exceso que se produce en la etapa de suma

2.3.3.1 Error en la suma

2.3.3.1.1 Cuando los dos sumandos son positivos debe cumplirse que el total también debe ser positivo.

A es positivo $A_s = 0$

B es positivo $B_s = 0$

S_s debe ser positivo $S_s = 0$

$$\begin{array}{rcl}
 A_s \oplus B_s \oplus C_s & = & 0 \\
 0 \oplus 0 \oplus 0 & = & 0 \\
 0 \oplus 0 \oplus 1 & = & 0
 \end{array}$$

Se producirá el error cuando tengamos $C_s = 1$ y exista la función:

$$\bar{A}_s \bar{B}_s C_s$$

2.3.3.1.2 Cuando los dos sumandos son negativos debe cumplirse que el total también debe ser negativos.

A	Es negativo	$A_s = 1$
B	es negativo	$B_s = 1$
S_s	debe ser negativo	$S_s = 1$

$$\begin{array}{rcl}
 A_s \oplus B_s \oplus C_s & = & 1 \\
 1 \oplus 1 \oplus 0 & = & 0 \\
 1 \oplus 1 \oplus 1 & = & 1
 \end{array}$$

Se producirá el error cuando $C_s = 0$ y exista la función

$$A_s B_s \bar{C}_s$$

2.3.3.2 Error en la resta

2.3.3.2.1 Cuando el minuendo es positivo y el sustraendo negativo deberá cumplirse que el resto sea positivo.

A	es positivo	$A_s = 0$
B	es negativo	$B_s = 1$
S_s	debe ser positivo	$S_s = 0$

$$\begin{array}{rcl}
 A_s \oplus B_s \oplus C_s & = & 0 \\
 0 \oplus 0 \oplus 0 & = & 0 \\
 0 \oplus 0 \oplus 1 & = & 1
 \end{array}$$

Se producirá un error cuando $C_s = 1$ y exista la función $\bar{A}_s B_s C_s$

2.3.3.2.2 Cuando el minuendo es negativo y el sustraendo es positivo debe cumplirse que el resto sea negativo.

A es negativo $A_s = 1$

B es positivo $B_s = 0$

S_s debe ser negativo $S_s = 1$

$$A_s \oplus B_s \oplus C_s = 1$$

$$1 \oplus 1 \oplus 0 = 0$$

$$1 \oplus 1 \oplus 1 = 1$$

Le producirá un error cuando $C_s = 0$ y exista la función:

$$A_s \bar{B}_s \bar{C}_s$$

Debe existir un operador OP que indique la operación que va a realizarse y será 0 cuando se sume y 1 cuando se reste. En la tabla T-2.9 se indica su funcionamiento.

OP	A_s	A_s'
0	0	0
0	1	1
1	0	1
1	1	0

Tabla T-2.9

$$\text{La función será} = \overline{OP} A_s + OP \bar{A}_s = OP \oplus A_s$$

De la tabla T-2.8 se puede notar que la función error tanto para la suma como para la resta, es igual a:

$$E = C_s \oplus C_{s+1}$$

En la última etapa del bloque sumador, deberá añadirse una etapa que realice la función E y corrija cuando éste se produzca.

2.4 Multiplicación. Esta operación matemática expresada en su forma más general, consiste en multiplicar cada número del multiplicador por el multiplicando, tomando en cuenta el factor que por la posición que tiene el número en el multiplicador y que se convierte en un desplazamiento del subtotal con respecto del multiplicando; luego se realiza el sumatorio de los sub-totales.

Cuando se tiene una representación binaria el subtotal podrá tener únicamente dos valores, cero si el bit del multiplicador considerado es cero o igual al multiplicando si el bit es 1 .

En la tabla T-2.10 se presenta la forma general de la multiplicación.

$$\begin{array}{r}
 01101011 \\
 \times 00110101 \\
 \hline
 01101011 \\
 00000000 \\
 01101011 \\
 00000000 \\
 01101011 \\
 01101011 \\
 00000000 \\
 00000000 \\
 \hline
 001011000100111
 \end{array}$$

Tabla T-2.10

Esta forma de multiplicación no es práctica para propósitos de procesamiento de información por ser muy lenta, además de exigir una implementación compleja, como por ejemplo un sumador con propagación de excesos a diferentes niveles.

2.4.1 Modificaciones básicas. Con el propósito de aumentar la velocidad del multiplicador se han instrumentado algunas modificaciones que se describen a continuación y se presentan en la tabla T-2.11 .

2.4.1.1 Como el desplazamiento entre el multiplicando y el subtotal es relativo, en lugar de desplazar el multiplicando a la izquierda un lugar por cada bit considerado, se desplaza el subtotal hacia la derecha.

2.4.1.2 Cuando el bit considerado es cero no se realiza ninguna operación y se pasa a considerar el siguiente, produciéndose únicamente el desplazamiento.

2.4.1.3 Cada vez que se realiza una multiplicación de un bit se realiza la suma del subtotal con el producto correspondiente a ese bit.

Al inicio de la operación el subtotal es cero.

12x5		
<pre> 7100 0101 ----- 0000 x 1100 ----- + 1100 -> 01100 ----- -> 001100 x 1100 ----- + 111100 -> 0111100 ----- -> 00111100 :65 Co </pre>	<pre> 01101011 M4 x 00110101 M5 ----- 00000000 S x 01101011 S + 01101011 S -> 00110101 1 S -> 00011010 11 ----- x 01101011 + 10000101 11 -> 01000010 111 -> 00100001 0111 ----- x 01101011 + 10001100 0111 -> 01000110 00111 ----- x 01101011 + 10110001 00111 -> 01011000 100111 -> 00101100 0100111 </pre>	<pre> 01101011 x 00110101 ----- 00000000 </pre>

Tabla T-2.11

En la figura F-2.12 se presenta en forma esquemática el funcionamiento de un aparato multiplicador, en el que se han introducido las modificaciones antes anotadas.

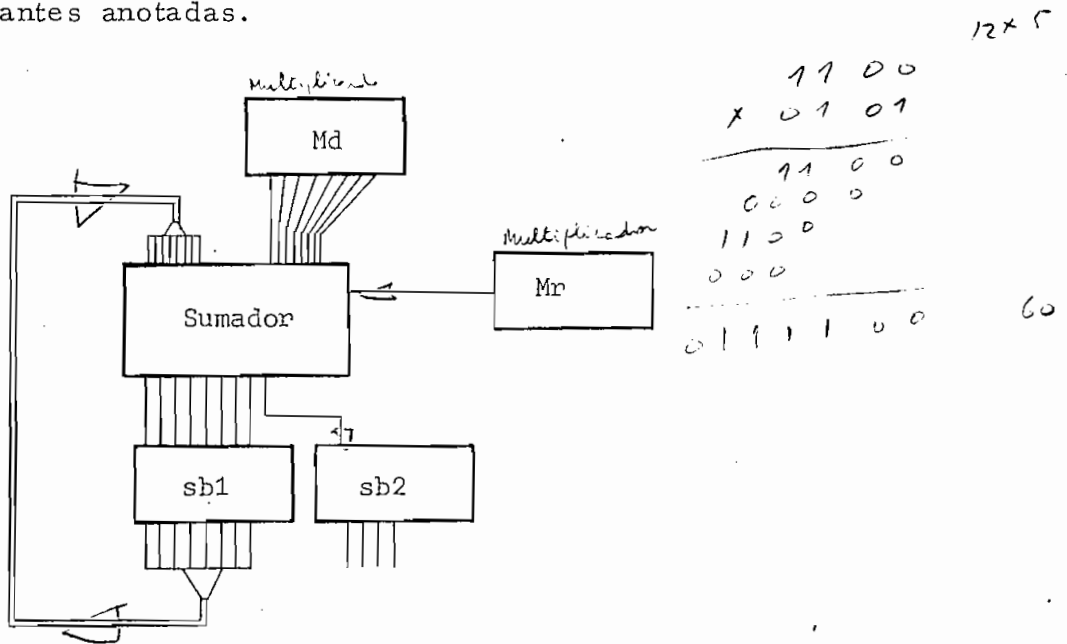


Figura F-2.12

Md, es el registro para el multiplicando

Mr, es el registro para el multiplicador

sb₁, es el registro para el subtotal, en el que se almacenan los bit que regresan al sumador.

sb₂, es el registro para los bits del subtotal que solamente se van desplazando.

2.4.2 Consideraciones de los signos de los factores. Debido a que pueden existir dos posibilidades para el signo de cada factor se tendrá cuatro formas para el producto.

2.4.2.1 Cuando el multiplicando y el multiplicador son cantidades positivas, el producto también será positivo y el proceso se desarrollará en la forma anteriormente descrita, llenando los lugares vacios en Sb₁, que

se producen por el desplazamiento del subtotal, con ceros (0's).

2.4.2.2 Cuando el multiplicando es negativo y el multiplicador positivo, se procede en forma similar pero llenando los lugares vacíos con unos (1's), debido a que el bit del signo del multiplicando es 1, (ver 2.4.2.1).

2.4.2.3 Si el multiplicando es positivo y el multiplicador negativo, antes de realizar la operación se tomará el 2º complemento del multiplicador para considerar los bits de la operación, y cuando el bit sea 1 debe tomarse el 2º complemento del multiplicando antes de sumarlo al subtotal, y los lugares vacíos en Sb_1 se llenarán con 1's .

2.4.2.4 Si el multiplicando y el multiplicador son cantidades negativas,, se procederá como en el caso anterior pero los lugares vacíos en Sb_1 se llenarán con 0's , (ver 2.4.2.3).

2.4.2.5 En forma generalizada puede decirse, que si el multiplicador es positivo la operación se realizará directamente, y los lugares vacíos en Sb_1 se llenarán con bits iguales al bit del signo del multiplicando. Si el multiplicador es negativo al subtotal, se sumará el 2º complemento del multiplicando y los lugares vacíos de Sb_1 se llenarán con el complemento del bit del signo del multiplicando.

Esta forma de multiplicación exige que se realicen tantos ciclos como bits tenga el multiplicador.

2.4.3 Multiplicación formando múltiplos del multiplicando. Este proceso consiste en formar múltiplos del multiplicando antes de realizar la operación de multiplicación y almacenarlos en registros. Durante el

proceso de multiplicación se toman grupos de bits del multiplicador y para cada grupo corresponderá sumar uno de los múltiplos del multiplicando al subtotal.

Esta forma de multiplicación incrementa la velocidad en un factor que está determinado por el número de bits del multiplicador que tomemos para formar el grupo.

Para el desarrollo de este proceso se utilizará la siguiente notación:

B_i = es el bit del multiplicador que esté en consideración.

A = representa el multiplicando

Q = es el subproducto

2^{-n} = es la magnitud que nos expresará el desplazamiento hacia la derecha.

$Q+A \rightarrow Q$ representa la suma del multiplicando al subtotal y pasa a formar el nuevo subtotal.

2.4.3.1 Considerando un solo bit del multiplicador a la vez se tendrá la siguiente expresión :

$$2^{-1} (Q + B_i A) \rightarrow Q$$

en la cual, si B es cero solamente se producirá el desplazamiento de un lugar, pero si B es uno se sumará el multiplicando al subtotal, y se producirá el desplazamiento para formar el nuevo subtotal.

2.4.3.2 Considerando dos bits del multiplicador a la vez se tendrá la siguiente ecuación característica:

$$2^{-2} (Q + 2 \cdot B_{i+1} \cdot A + B_i \cdot A) \rightarrow Q$$

2^{-2} significa que el desplazamiento se realizará dos lugares cada vez.

2. $B_{i+1} A$ significa que estamos tomando el duplo del multiplicando y es equivalente a desplazarlo un lugar a la izquierda.

La pareja de bits puede ser de cuatro formas y se tendrá los siguientes casos:

Caso 1 Si la pareja de bits es 00.

$$2^{-2} (Q + 2 \cdot 0 \cdot A + 0 \cdot A) \rightarrow Q$$

$$2^{-2} (Q) \rightarrow Q$$

Caso 2 Si la pareja de bits es 01

$$2^{-2} (Q + 2 \cdot 0 \cdot A + 1 \cdot A) \rightarrow Q$$

$$2^{-2} (Q + A) \rightarrow Q$$

Caso 3 Si la pareja de bits es 10

$$2^{-2} (Q + 2 \cdot 1 \cdot A + 0 \cdot A) \rightarrow Q$$

$$2^{-2} (Q + 2A) \rightarrow Q$$

Caso 4 Si la pareja de bits es 11

$$2^{-2} (Q + 2 \cdot 1 \cdot A + 1 \cdot A) \rightarrow Q$$

$$2^{-2} (Q + 2A + A) \rightarrow Q$$

$$2^{-2} (Q + 3A) \rightarrow Q$$

Este último caso exige que se genere en una unidad aparte el valor de $3A$ o se realicen sumas parciales, es decir que primeramente se sumará $2A$ y luego A , puesto que no es posible tener un valor de $3A$ por medio de desplazamientos del multiplicando, teniéndose el siguiente proceso.

$$2^{-1} (Q + B \cdot A) \rightarrow Q$$

$$2^{-1} (Q + B \cdot A) \rightarrow Q$$

Para esta forma de multiplicación deben generarse los siguientes múltiplos.

2 A

3 A

2.4.3.3 Considerando grupos de tres bits del multiplicador la ecuación característica es:

$$2^{-3} (Q + 4 \cdot B_{i+2} \cdot A + 2 \cdot B_{i+1} \cdot A + B_i \cdot A) \rightarrow Q$$

podrán existir los siguientes casos, en que la notación $i + N = i$ expresa el número de bits que se consideran de cada grupo. Debido a la dificultad de generar todos los múltiplos necesarios deberán realizarse sumas parciales.

Caso 1 Si el trío de bits es 000

$$\begin{aligned} 000 \quad & 2^{-3} (Q + 4 \cdot 0 \cdot A + 2 \cdot 0 \cdot A + 0 \cdot A) \rightarrow Q \\ & 2^{-3} (Q) \rightarrow Q \end{aligned}$$

Caso 2 Si en el trío de bits se tiene solamente un 1

$$\begin{aligned} 001 \quad & 2^{-3} (Q + 4 \cdot 0 \cdot A + 2 \cdot 0 \cdot A + 1 \cdot A) \rightarrow Q \\ & 2^{-3} (Q + A) \rightarrow A \end{aligned}$$

$$\begin{aligned} 010 \quad & 2^{-3} (Q + 4 \cdot 0 \cdot A + 2 \cdot 1 \cdot A + 0 \cdot A) \rightarrow Q \\ & 2^{-3} (Q + 2 \cdot A) \rightarrow Q \end{aligned}$$

$$\begin{aligned} 100 \quad & 2^{-3} (Q + 4 \cdot 1 \cdot A + 2 \cdot 0 \cdot A + 0 \cdot A) \rightarrow Q \\ & 2^{-3} (Q + 4A) \rightarrow Q \end{aligned}$$

Caso 3 Si el trío de bits se tiene dos 1's

$$\begin{aligned} 011 \quad & 2^{-3} (Q + 4 \cdot 0 \cdot A + 2 \cdot 1 \cdot A + 1 \cdot A) \rightarrow Q \\ & 2^{-3} (Q + 2A + A) \rightarrow Q \\ & 2^{-3} (Q + 3A) \rightarrow Q \quad i + 3 = i \\ & 2^{-1} (Q + A) \rightarrow Q \quad i + 1 = i \\ & 2^{-2} (Q + A) \rightarrow Q \quad i + 2 = i \end{aligned}$$

$$\begin{array}{ll}
101 & 2^{-3} (Q + 4 \cdot 1 \cdot A + 2 \cdot 0 \cdot A + 1 \cdot A) \rightarrow Q \\
& 2^{-3} (Q + 4A + A) \rightarrow Q \\
& 2^{-3} (Q + 5A) \rightarrow Q \qquad i + 3 = i \\
& 2^{-2} (Q + A) \rightarrow Q \qquad i + 2 = i \\
& 2^{-1} (Q + A) \rightarrow Q \qquad i + 1 = i
\end{array}$$

$$\begin{array}{ll}
110 & 2^{-3} (Q + 4 \cdot 1 \cdot A + 2 \cdot 1 \cdot A + 0 \cdot A) \rightarrow Q \\
& 2^{-3} (Q + 4A + 2A) \rightarrow Q \\
& 2^{-3} (Q + 6A) \rightarrow Q \qquad i + 3 = i \\
& 2^{-2} (Q + 2A) \rightarrow Q \qquad i + 2 = i \\
& 2^{-1} (Q + A) \rightarrow Q \qquad i + 1 = i
\end{array}$$

Caso 4 Si en el trío de bits se tiene tres 1's

$$\begin{array}{ll}
& 2^{-3} (Q + 4 \cdot 1 \cdot A + 2 \cdot 1 \cdot A + 1 \cdot A) \rightarrow Q \\
& 2^{-3} (Q + 4A + 2A + A) \rightarrow Q \\
& 2^{-3} (Q + 7A) \rightarrow Q \qquad i + 3 = 1 \\
& 2^{-1} (Q + A) \rightarrow Q \qquad i + 1 = i \\
& 2^{-1} (Q + A) \rightarrow Q \qquad i + 1 = i \\
& 2^{-1} (Q + A) \rightarrow Q \qquad i + 1 = i
\end{array}$$

Esta forma de multiplicación exige que se disponga de variados múltiplos del multiplicando como: $2A$, $3A$, $4A$, $5A$, $6A$, $7A$; o se realicen sumas parciales en dos o tres pasos.

Mientras se tomen grupos más numerosos de bits el sistema se complica en mayor forma.

2.4.4 Multiplicación ternaria con pasos fijos. Este método consiste en

tomar parejas de bits del multiplicador y realizar cualquiera de las siguientes operaciones = ± 0 , $\pm A$ $\pm 2A$ y luego desplazar el subtotal.

Si se considera las parejas de bits se tendrá:

$$\begin{array}{ll}
 00 & 2^{-2} (Q) \rightarrow Q \\
 01 & 2^{-2} (Q + A) \rightarrow Q \\
 10 & 2^{-2} (Q + 2A) \rightarrow Q \\
 11 & 2^{-2} (Q + 2^2 A + A) \rightarrow Q \\
 & 2^{-2} (Q + 3.A) \rightarrow Q \quad \text{que puede expresarse como:} \\
 & 2^{-2} (Q - A + 4.A) \rightarrow Q \\
 & 2^{-2} (Q - A + 2^2 A) \rightarrow Q \\
 & 2^{-2} (Q - A) + 2^{-2} \cdot 2^2 \cdot A \rightarrow Q \\
 & 2^{-2} (Q - A) + A \rightarrow Q \\
 & 2^{-2} (Q - \overset{\cdot}{A}) \rightarrow Q
 \end{array}$$

Teniendo un exceso de 1 para la siguiente pareja de bits.

Debido a que el sumar A luego del desplazamiento del subtotal respecto del multiplicando, equivale a sumar 4A, puede establecerse el procedimiento de forma general que se describe en la tabla T-2.12 .

Pareja de bits		Exceso de entrada	Operación realizada	Exceso de salida
B_{i+1}	B_i			
0	0	0	0	0
0	0	1	+A	0
0	1	0	+A	0
0	1	1	+2A	0
1	0	0	+2A	0
1	0	1	- A	1
1	1	0	- A	1
1	1	1	0	1

TABLA T-2.12

De esta tabla puede notarse que sumaremos 0, A o 2A cuando B_{i+1} sea 0 y restaremos 0, A o 2A y tendremos un exceso de salida cuando B_{i+1} sea 1 excepto en el caso de tener:

$$B_{i+1} = 1$$

$$B_i = 0$$

$$C_o = 0$$

pudiendo modificarse la expresión, como siguió:

$$2^{-2} (Q + 2A) \rightarrow Q$$

$$2^{-2} (Q - 2A + 4A) \rightarrow Q$$

$$2^{-2} (Q - 2A + 2^2 A) \rightarrow Q$$

$$2^{-2} (Q - 2A) + A \rightarrow Q$$

$$2^{-2} (Q - 2A) \rightarrow Q \quad \text{con un exceso de 1}$$

Introduciendo esta modificación el proceso quedará como se indica en la tabla T-2.13.

Pareja de bits		Exceso de entrada	Operación realizada	Exceso de salida
B_{i+1}	B_i			
0	0	0	0	0
0	0	1	+ A	0
0	1	0	+ A	0
0	1	1	+ 2A	0
1	0	0	- 2A	1
1	0	1	- A	1
1	1	0	- A	1
1	1	1	0	1

Tabla T-2.13

De esta última tabla puede notarse que cuando B_{i+1} es 1 se tiene un exceso de salida de ésta pareja de bits.

Si se analiza el multiplicador de derecha a izquierda, o sea desde el bit menos significativo hacia el más significativo, el bit más significativo de cada pareja, indicará cuando se produce un exceso para la siguiente.

Tomando en cuenta esta nueva consideración, puede escribirse el proceso como en la tabla T-2.14, en la que B_{i-1} , es el bit más significativo de la pareja anterior, B_{i+1} es el más significativo y B_i es el menos significativo de la pareja en consideración.

B_{i+1}	B_i	B_{i-1}	Operación
0	0	0	0
0	0	1	+ A
0	1	0	+ A
0	1	1	+ 2A
1	0	0	- 2A
1	0	1	- A
1	1	0	- A
1	1	1	0

Tabla T-2.14

2.4.4.1 Conclusiones

- El bit más significativo de la pareja anterior, B_{i-1} nos indica si se generó un exceso que debe ser tomado en cuenta por la pareja en consideración y de ésta se generará un exceso si B_{i+1} es 1.
 $B_{i+1} \rightarrow$ generará un exceso de salida.
- Se realizará una operación de suma de 0, A o 2A cuando B_{i+1} de la pareja en consideración sea 0 y se restará cuando B_{i+1} sea 1.
 $B_{i+1} \rightarrow$ suma/resta
- Se sumará o restará el multiplicando cuando exista la función:
 $B_i \oplus B_{i-1} = 1$

d) Sumaremos o restaremos el duplo del multiplicando cuando exista la función:

$$\bar{B}_{i+1} B_i B_{i-1} + B_{i+1} \bar{B}_i \bar{B}_{i-1} = 1$$

e) Sumaremos o restaremos cero cuando exista la función:

$$\bar{B}_{i+1} \bar{B}_i \bar{B}_{i-1} + B_{i+1} B_i B_{i-1} = 1$$

2.4.4.2 Para poder instrumentar este sistema es necesario disponer de:

a) Un decodificador que analice la pareja de bits en consideración, y el bit más significativo de la pareja anterior, e indique qué operación debe realizarse con el multiplicando antes de pasar al sumador.

Para 00,0 no se realiza ninguna operación y únicamente se desplaza el
11,1 producto parcial dos lugares a la derecha.

Para 00,1 pasa directamente el multiplicando al sumador
01,0

Para 10,1 se toma el 2º complemento del multiplicando antes de pasar-
11,0 al sumador.

Para 01,1 debe duplicarse el multiplicando y pasarlo al sumador.

Para 10,0 debe duplicarse el multiplicando, tomar su segundo comple-
mento y pasarlo al sumador.

b) Un duplicador, que permita duplicar el multiplicando mediante el

desplazamiento de éste un lugar a la izquierda.

- c) Un complementador, para generar el 2º complemento del multiplicando.
- d) Un sumador que reciba el subtotal, y el multiplicando con las correcciones ordenadas por el decodificador.
- e) Un detector de errores que puedan producirse en las sumas.

En la figura F -2.13 se indica el sistema completo para el aparato multiplicador.

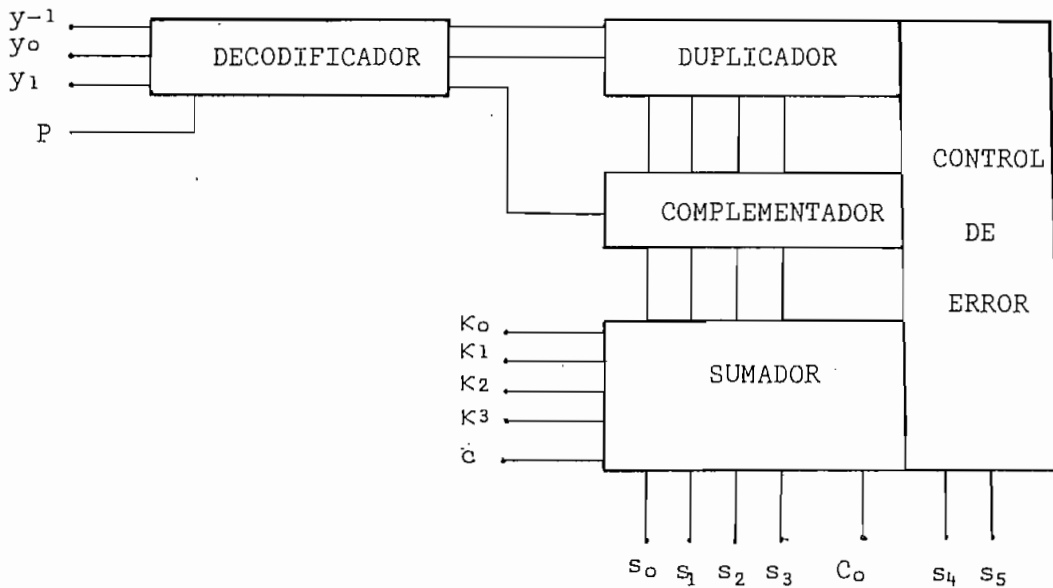


Figura F-2.13

2.5 Registros de datos. Son necesarios para almacenar o retener información mientras se la procesa.

2.5.1 Memoria. Es un conjunto de registros que están conectados en forma serial y se utiliza para almacenar gran cantidad de información.

Para su funcionamiento es necesario un reloj y un control de entrada.

2.5.2 Registros individuales. Se los denomina así puesto que son utilizados para retener un dato correspondiente a una muestra.

En general para su funcionamiento disponen de un reloj y un encerador que pone todas las salidas en 0 .

Los registros pueden ser de los siguientes tipos:

ENTRADA	SALIDA
Serial	Serial
Paralela	Serial
Serial	Paralela
Paralela	Paralela
Mixta	Mixta

De acuerdo al sistema que se desee implementar se seleccionará la capacidad de la memoria y el tipo de registros.

2.6 Conversión Digital / Analógica. Luego de procesada la información es necesario convertir el resultado, de su forma digital a su forma analógica.

A cada bit le corresponde un voltaje en la salida analógica, debiendo considerarse la posición relativa que tiene en la representación digital. Esto exige que para cada bit exista la posibilidad de que pueda seleccionarse un voltaje cero si el bit es cero o el voltaje correspondiente si el bit es 1.

La salida analógica corresponderá a la siguiente ecuación:

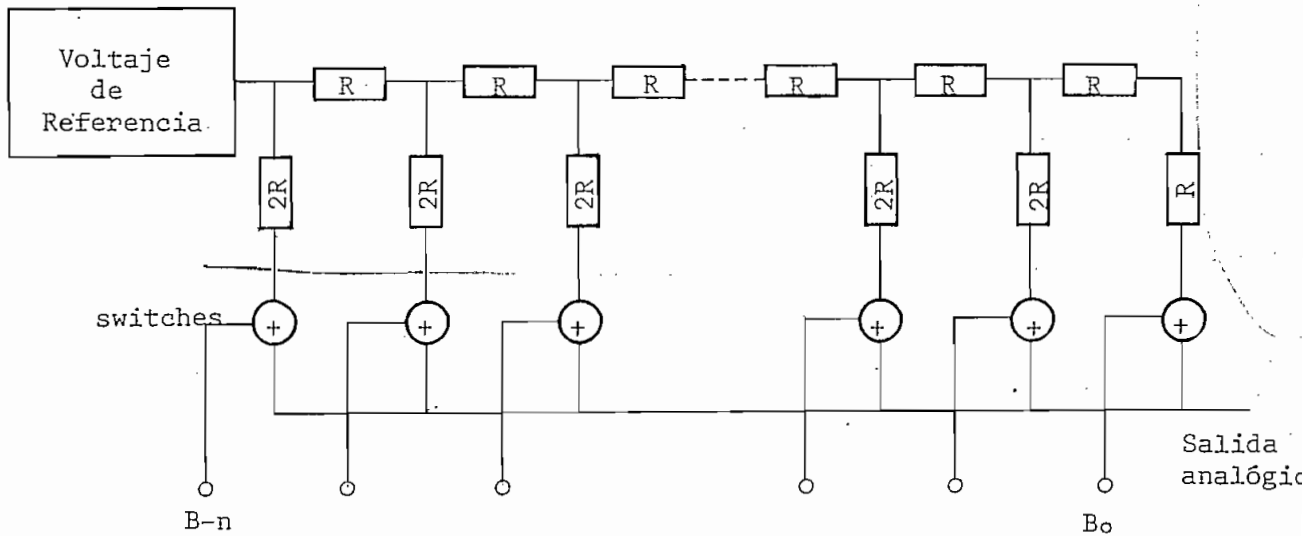
$$V_o = \sum_{i=0}^n b_i \frac{V_r}{2^i}$$

V_r es el voltaje de referencia, respecto del cual se toman partes proporcionales con el factor $1/2^i$

b_i es cada uno de los bits.
 V_o es la salida analógica.

En la figura F-2.14 se indica el principio básico de un convertidor analógico digital.

Este sistema consiste en una fuente que genera un voltaje de referencia V_r que se va subdividiendo mediante una red de resistencias de la forma $R-2R$ además se dispone de un conjunto de switches que permiten que los voltajes se sumen si el bit que lo acciona es 1.



Entrada digital
Figura F-2.14

3. ANALISIS DEL SISTEMA

3. ANALISIS DEL SISTEMA

3.1 Consideraciones sobre cada sección. Luego de analizada la teoría sobre cada una de las secciones de que estará compuesto el sistema para realizar la autocorrelación, es necesaria una evaluación para definir los criterios que guiarán el diseño.

3.1.1 Muestreo. Debido a que el tiempo utilizado para la conversión analógica-digital de una muestra es 32 veces menor que el intervalo entre cada muestra, no es necesario disponer de un sistema de muestreo.

3.1.2 Conversión A/D. Se utilizará la forma de aproximaciones sucesivas que es el de mayor velocidad para una conversión de 8 bits para cada muestra.

3.1.3 Memoria. Considerando que es necesario disponer de un almacenamiento para los multiplicandos y otro para los multiplicadores se usarán dos registros.

3.1.4 Multiplicación. La etapa de multiplicación realizará esta operación de la forma ternaria con pasos fijos, descrita en el numeral 2.4.4 y consiste en tomar dos bits del multiplicador y realizar la suma del multiplicando corregido, al subtotal.

3.1.5 Suma. Esta operación se realizará utilizando sumadores, generadores de exceso anticipado de un solo nivel, permitiendo que el exceso se propague entre los bloques sumadores.

3.1.6 Conversión D/A. Se utilizará la forma generalizada.

3.2 Ciclos de funcionamiento. Para que el diseño sea más fácil de realizar, se divide el proceso en varios ciclos.

3.2.1 Ciclo 1 . Durante este ciclo se realiza la multiplicación correspondiente a una pareja de bits, para lo cual en las entradas del multiplicador se tendrá el multiplicando, el subtotal, la pareja de bits en consideración y el bit más significativo de la pareja anterior.

Es necesario que el registro del multiplicador cambie la pareja de bits, y luego de realizada la operación el registro del subtotal cambie por el nuevo.

3.2.2 Ciclo 2. Este ciclo corresponde a la multiplicación completa de dos muestras de 8 bits.

Al inicio de éste ciclo es necesario que el subtotal sea cero, para lo cual se dispondrá de un control que permita realizar esto.

Se tendrá un nuevo multiplicando en el registro correspondiente y la pareja de bits menos significativa del multiplicador, debiendo tenerse un bit adicional menos significativo igual a cero.

Este ciclo tendrá una duración de cuatro veces el ciclo 1.

Luego de completado un ciclo 2, el producto deberá pasar al sumador, quien seguirá acumulando hasta completar un ciclo 3.

Los multiplicandos y multiplicadores luego de la operación regresan a su memoria respectiva.

3.2.3 Ciclo 3. Durante este ciclo se realizan 64 multiplicaciones cuyos p

ductos son sumados y almacenados, para luego constituir un punto de la función autocorrelación.

Al final de cada ciclo 3 entrará una nueva muestra en la memoria de los multiplicadores, remplazando al factor que ya ha sido utilizado durante un ciclo 3.

El total luego de completado un ciclo, pasará a los registros de conversión digital-analógica y los registros del sumador serán inicializados con cero.

3.2.4 Ciclo 4. Luego de realizadas 64 ciclos 3 se habrá completado la autocorrelación de un segmento de señal, debiendo iniciarse el proceso con el siguiente segmento, para lo cual transferimos las nuevas muestras que están almacenadas en la memoria de los multiplicadores a la memoria de los multiplicandos.

En las entradas de las memorias, deberá tenerse un sistema que controle la recirculación de muestras o el ingreso de nuevas muestras.

3.3 Selección de los elementos. Se realizará de tal manera que pueda realizarse el sistema con el máximo de optimización.

3.3.1 Conversión analógica - digital.

1408L8	Convertidor D/A de 8 bits
LM3111	Comparador
AM2502	Registro de aproximaciones sucesivas
74165	Registro de entradas paralelas y salida serial.

3.3.2 Memoria.

- AM1403 A Doble registro de 512 bits en cada uno.
- AM 9309 Multiplicador doble de cuatro entradas, a ser usado como control a la entrada de la memoria y control de dirección de los datos.
- 7408 Amplificador para la salida de la memoria.

3.3.3 Multiplicación.

- AM 2505 Multiplicadores 2x4 que realiza la operación de la forma ternaria y dispone de un sistema de control de error para la suma.
- 74164 Registro de entrada serial y salida paralela.
- 74195 Registros del multiplicando, de entrada paralela salida paralela.
- 74195 Registro del multiplicador de entrada serial y salida paralela.
- 7408 Control de ingreso del subtotal al multiplicador al iniciar la operación.
- 74174 Registros del subproducto y tienen entrada y salida paralela.

3.3.4 Suma.

- 7483 Son sumadores de 4+4 y generan un exceso en cada bloque sumador.
- 74174 Son los registros del subtotal y tienen entrada paralela y salida paralela.
- 74195

3.3.5 Conversión digital-analógica.

4910-B Convertidor digital - analógico de 10 bits.

74174 Registros del dato correspondiente a un punto de autocorrelación.

3.4 Diseño del sistema.

3.4.1 Conversión analógica - digital. Esta sección tendrá una entrada analógica con una variación en amplitud de ± 5 v, que se aplicará al comparador además de la señal emitida por el convertidor D/A, que es una corriente de 2 mA: *para un número*

Para poder realizar la comparación debe transformarse la señal de voltaje de entrada en una corriente, para lo cual se intercala en serie una resistencia de $5\text{ k}\Omega$, teniéndose 1 mA; en forma adicional proveemos 1 mA partiendo de la fuente de + 15 v, intercalando una resistencia de $15\text{ k}\Omega$ y un potenciómetro de $1,5\text{ k}\Omega$, que es usado como calibración del nivel de referencia, que se toma 0 v.

Para mejorar la respuesta, se ponen en forma de puente dos diodos entre la entrada y tierra.

Para favorecer la salida del comparador, se incluye una resistencia de $1\text{ k}\Omega$ entre la fuente de + 5 v, tal que se incrementa en 5 mA la entrada al registro de aproximaciones sucesivas. *open collector ?*

Debido a que el convertidor D/A no dispone de una fuente de referencia, es necesario proveerle de ésta. Como la salida es una corriente, la referencia deberá ser también una corriente de igual magnitud que se obtiene de la fuente de + 5 v intercalando una resistencia de $2\text{ k}\Omega$ y un potenciómetro de $1,5\text{ k}\Omega$ para lograr el ajuste.

Para pasar de la forma paralela a la forma serial, se usa un registro de entrada paralela y salida serial. Para su funcionamiento necesita de un control S L que cargue el registro y luego los datos se vayan desplazando con cada pulso de reloj.

3.4.2 Memoria. El registro seleccionado para esta etapa necesita únicamente de dos relojes en contrafase para su funcionamiento. Sin embargo para lograr controlar el ingreso de datos es necesario disponer de un sistema que permita seleccionar entre los datos que recirculan y los nuevos datos. Para este propósito se escogió un multiplicador doble de cuatro entradas, cuya función de transferencia está dada por las ecuaciones E - 3.1 y E - 3.2

$$Z_a = I_{0a} \bar{S}_1 \bar{S}_0 + I_{1a} \bar{S}_1 S_0 + I_{2a} S_1 \bar{S}_0 + I_{3a} S_1 S_0 \quad (E-3.1)$$

$$Z_b = I_{0b} \bar{S}_1 \bar{S}_0 + I_{1b} \bar{S}_1 S_0 + I_{2b} S_1 \bar{S}_0 + I_{3b} S_1 S_0 \quad (E-3.2)$$

Si en la ecuación E - 3.1 se considera:

$$I_{0a} = I_{2a} = I_{02a}$$

$$I_{1a} = I_{3a} = I_{13a}$$

$$Z_a = I_{02a} \bar{S}_1 \bar{S}_0 + I_{13a} \bar{S}_1 S_0 + I_{02a} S_1 \bar{S}_0 + I_{13a} S_1 S_0$$

$$Z_a = I_{02a} (\bar{S}_1 \bar{S}_0 + S_1 \bar{S}_0) + I_{13a} (\bar{S}_1 S_0 + S_1 S_0)$$

$$Z_a = I_{02a} \bar{S}_0 (\bar{S}_1 + S_1) + I_{13a} S_0 (\bar{S}_1 + S_1)$$

$$Z_a = I_{02a} \bar{S}_0 + I_{13a} S_0$$

De esta manera se puede seleccionar que datos deben pasar a la memoria usando el control S_0 sin importar el estado de S_1 .

Si en la ecuación E -3.2 se considera:

debe eliminarse el retardo de recirculación para lo cual el flujo de datos debe cambiar su dirección. En la figura F -3.2 se indica la forma en que trabaja en forma normal para recirculación de muestras y en la figura F-3.3 el cambio de dirección para el caso de reemplazo de datos; en las dos se incluye los registros del multiplicando y el multiplicador.

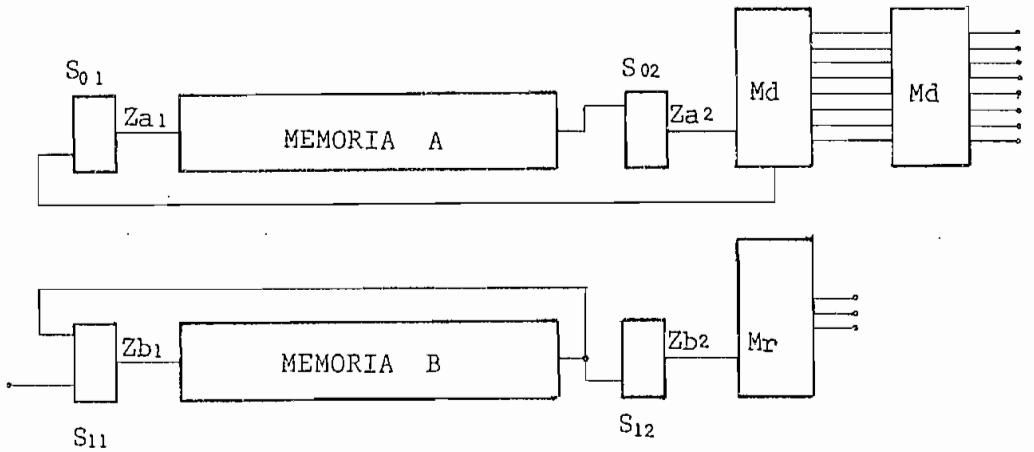


Figura F-3.2

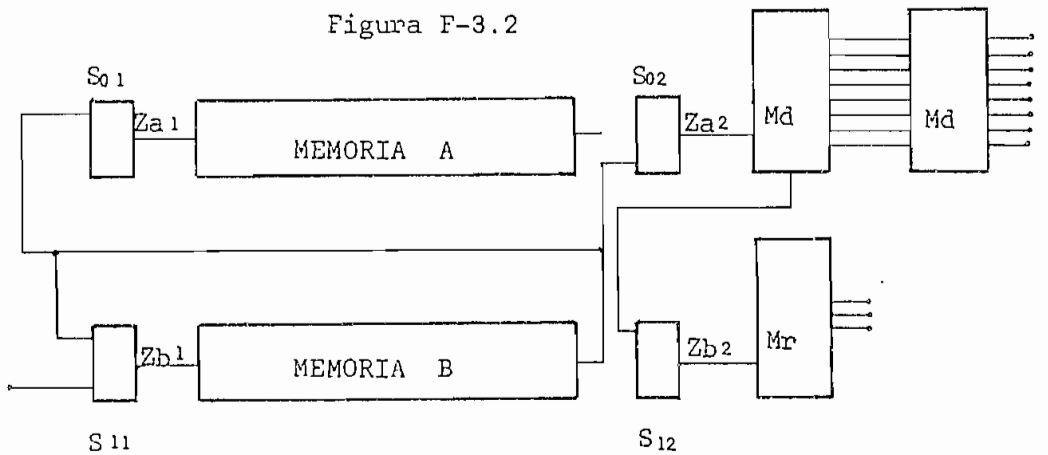


Figura F-3.3

Para mantener la continuidad del proceso el control S_{02} deberá

cambiar de 0 a 1, un tiempo equivalente a un ciclo 2, antes que S_{01} y S_{12} , siendo estos dos últimos iguales en duración y funcionamiento.

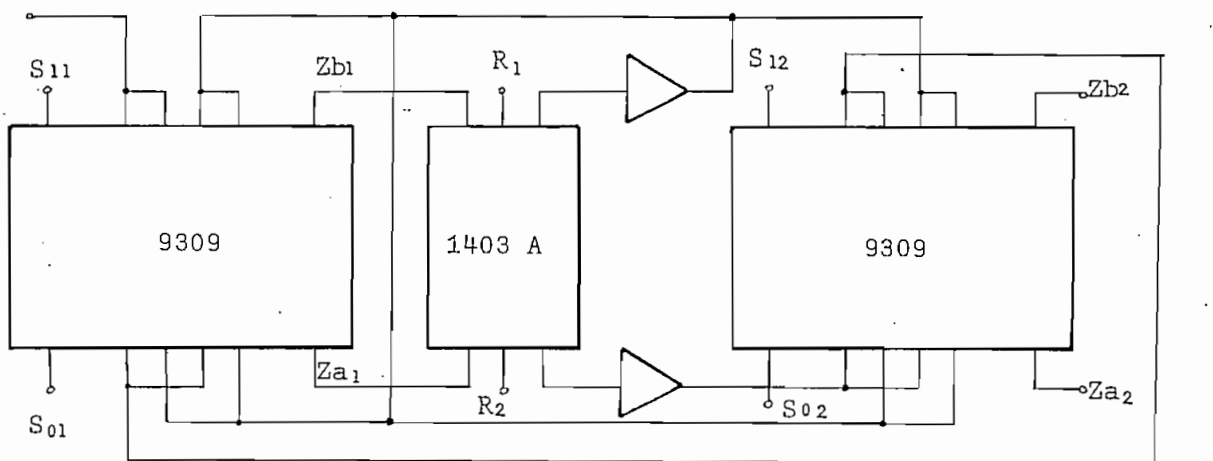
El control S_{11} iniciará el cambio al mismo tiempo que S_{01} y S_{12} pero su duración es de un ciclo 2 mientras que éstos últimos igual a un ciclo 3 menos un ciclo 2.

El conjunto formado por Mem A y el registro usado para el desplazamiento, tienen un total de 65 muestras mientras que Mem B tiene únicamente 64, debido a esto el proceso se modifica y el ciclo 3 constará de 65 multiplicaciones.

Durante el ciclo adicional de multiplicación se ingresa la nueva muestra en Mem B y el registro del multiplicando contiene una muestra que es cero de tal manera que, el producto sea cero y no se altere el total en el sumador. El convertidor D/A de salida realiza su operación durante este tiempo.

Para incrementar la corriente de salida de las memorias, se han localizado dos resistencias de $3\text{ k}\Omega$ conectadas entre la fuente de $+5\text{ v}$ y las salidas. Debido a que la salida de la memoria no puede manejar tanta carga se han dispuesto dos amplificadores que son dos compuertas AND de un 7408.

En la figura F-3.4 se indica el sistema de memoria en forma de bloques incluyendo los controles de dirección e ingreso de la memoria.



3.4.3 Multiplicación. Esta etapa consta de dos bloques multiplicadores de 2×4 , tal que pueda realizarse la operación de multiplicación de 8 bits del multiplicando por 2 bits del multiplicador. Externamente necesitan únicamente de un control de polaridad P, que selecciona una lógica positiva o negativa; en este caso se usa la lógica positiva, para lo cual debe conectarse al nivel 0.

En el bloque que realiza la operación con la parte más significativa del multiplicando, debe conectarse el bit más significativo de éste a la parte que realiza el control del error.

3.4.3.1 Regreso del subproducto. Al inicio de la operación el subtotal que ingresa a la parte de multiplicación debe ser cero, para lo cual se intercalan entre el registro de almacenamiento y las entradas, ocho compuertas de multiplicación de dos entradas cada una, tal que una entrada se use como control (CA) y la otra sea el paso del subproducto.

Este control CA será cero (0) lógico al inicio de cada ciclo 2 y con una duración de un ciclo 1 y el resto del tiempo será uno (1) lógico.

3.4.3.2 Registro del subproducto. Estos registros usan únicamente un reloj para el reemplazo del nuevo subproducto, trabajando con la transición positiva de éste, que deberá realizarse una vez luego de cada ciclo 1 de multiplicación.

3.4.3.3 Registros del multiplicando. Debido a que la salida de las memorias es de forma serial, es necesario pasarlas a la forma paralela, para lo cual se dispondrá de un registro que necesita únicamente de un reloj que tendrá igual frecuencia que los relojes de la memoria. Cuando una muestra completa esté presente en las salidas

de este registro se procede a pasarlas a un registro de entrada paralela y salida paralela, tal que puedan luego pasar al sistema de multiplicación.

Estos últimos registros necesitan únicamente de un reloj que funcione al inicio de cada ciclo 2 para cambiar el multiplicando.

3.4.3.4 Registros del multiplicador. Estos registros deben pasar las muestras de la forma serial a la forma paralela y dispondrán de un reloj con igual frecuencia que los de la memoria. Al inicio de cada ciclo 2 se usará el control de encendido, tal que pueda disponerse del bit adicional menos significativo con un nivel 0 lógico.

En la figura F- 3.5 se presenta el conjunto para realizar la operación de multiplicación.

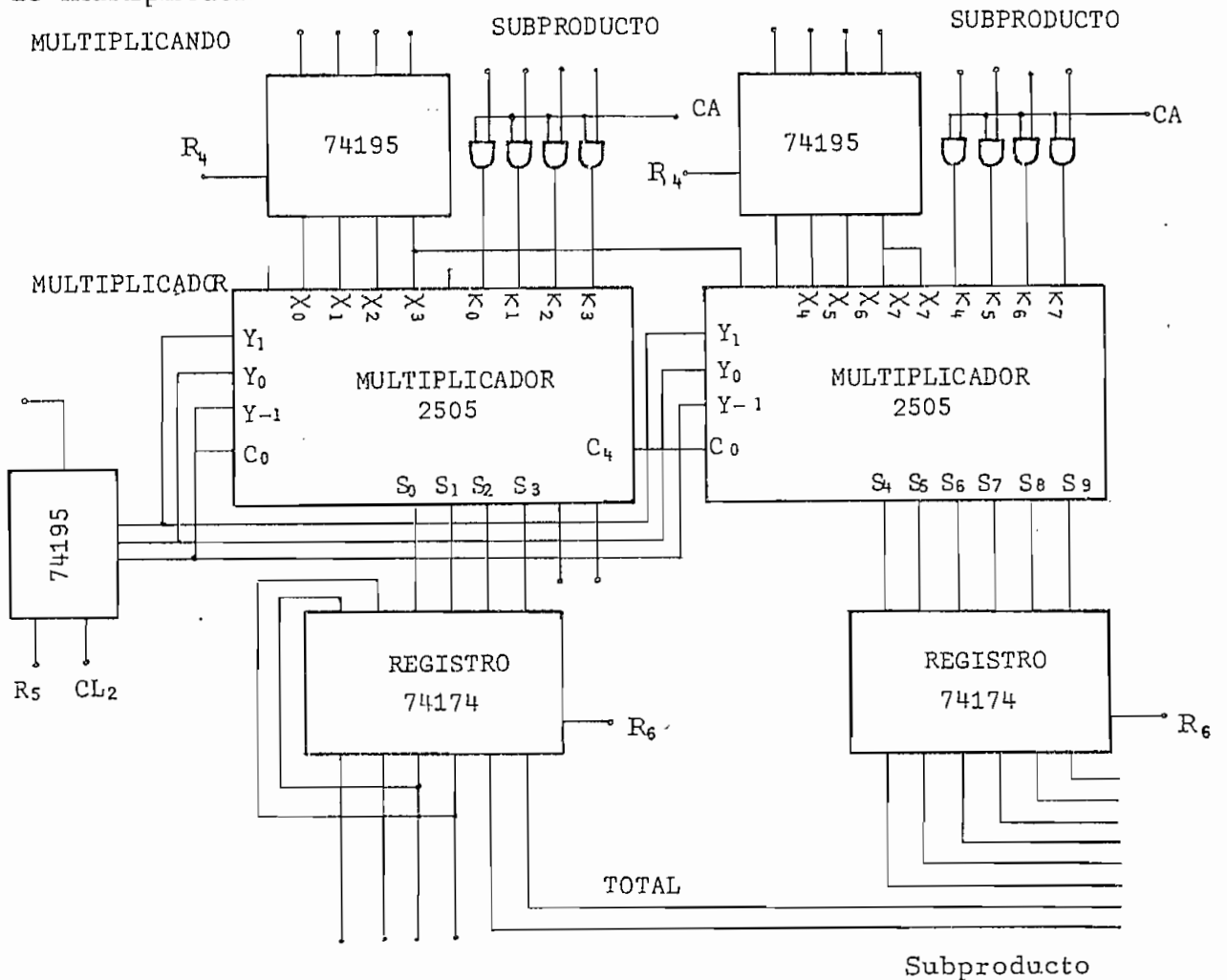


Figura F-3.5

El producto total luego de realizado el ciclo de multiplicación tendrá una extensión de 15 bits, debido a que cada uno de los factores tiene 8 bits, uno de signo y siete que representan la magnitud; pero para el diseño se tomarán únicamente el bit del signo y 11 bits de magnitud.

Debido a ésto el registro del subproducto deberá tener una capacidad de 12 bits únicamente.

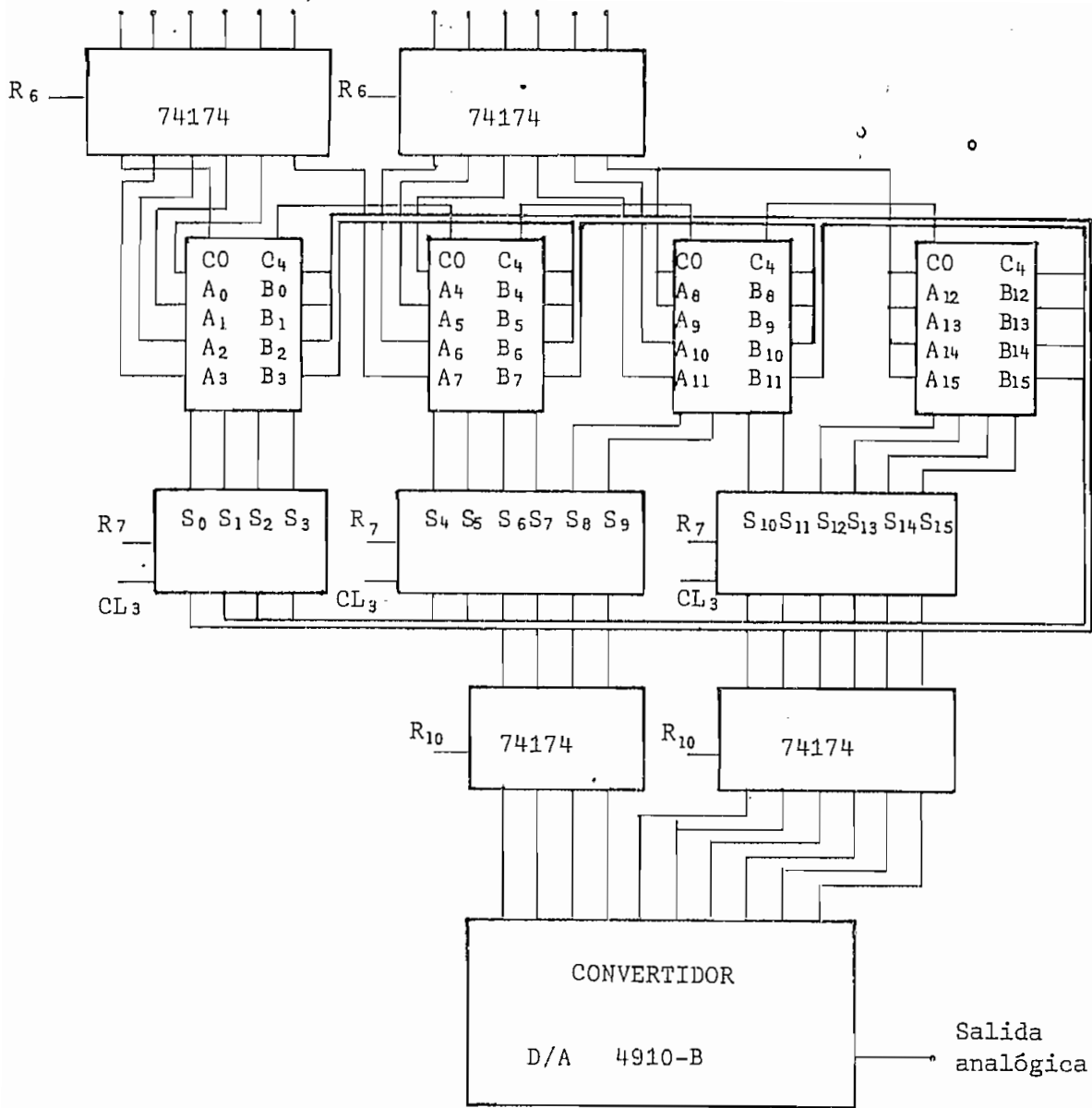
3.3.4 Suma. Esta operación se realiza mediante cuatro bloques sumadores de 4 + 4, debiendo realizarse la propagación del exceso a través de los bloques.

Los sumandos están constituidos por los productos generados en la etapa anterior y se hallan almacenados en los registros del subproducto. El bit menos significativo, se usa como exceso de entrada al bloque sumador menos significativo.

El subtotal tendrá una extensión de 16 bits debiendo proveerse de un sistema de almacenamiento con esta capacidad.

Estos registros de entrada y salida paralela, dispondrán de un reloj que funcione una vez en cada ciclo 2, luego de completada la operación de multiplicación y adicionalmente luego de completado un ciclo 3, deberá regresar a cero usando el control de encendido respectivo.

En la figura F-3.6 consta la etapa de suma.



3.4.5 Conversión D/A. Para implementar ésta etapa, es necesario disponer únicamente de un sistema para retener el total producido en la etapa de suma, mientras se realiza la conversión D/A; para ésto se usarán registros de entrada y salida paralela que trabajen con un reloj que funciona una vez cada ciclo 3. ver figura F-3.6

3.5 Análisis de tiempos y demoras. Debido a que ninguno de los elementos usados en la construcción, tienen una respuesta instantánea, es necesario considerar las demoras en propagación de la in-

formación y tiempos de ejecución de una operación. Para facilitar el análisis se analizará el sistema durante cada ciclo de funcionamiento, dándose a continuación de simbología que se usará en éste desarrollo.

CLn será el símbolo para los controles de encendido

Rn será el símbolo para los relojes

Sh/Ld representa el selector de desplazamiento o carga paralela y se simboliza como SL .

Ck/In será el símbolo para el control que no permite el paso de la señal de reloj.

Pn será el símbolo para las entradas de los registros.

Qn será el símbolo para las salidas de los registros

I será el símbolo para las entradas a los controles de ingreso a las memorias y dirección de datos.

Z será el símbolo para las salidas de éstos controles.

S será el símbolo para los controles de recirculación de datos.

Rn† Qn†† simboliza el tiempo de transición entre el cambio en el reloj para que se cambien los datos contenidos en un registro u otra pieza según corresponda.

↓ será el símbolo para un cambio negativo

↑ será el símbolo para un cambio positivo

†† será un cambio de datos.

En las tablas siguientes se presentan los números de las piezas, el control o entrada y el cambio que se produce en éstos y los números de pieza, el cambio en la entrada o control, respecto de los cuales se tiene una demora en tiempo que se presenta a la derecha de cada tabla. Cuando se ponga únicamente el número de la pieza al margen izquierdo, quiere decir que se considera únicamente el tiempo de transición en la misma pieza luego de un cambio en un reloj, control o entrada de datos.

En forma general los tiempos son: mínimo, típico o máximo, pero para el diseño se considerará únicamente los tiempos máximos.

Para mejor comprensión se presentan los ejemplos:

<u>Pieza N°</u>	<u>Función</u>	<u>Cambio</u>	<u>Función</u>	<u>Cambio</u>	<u>Pieza N°</u>	<u>Min.</u>	<u>Típico</u>	<u>Máximo</u>
(1) 9309	Zb1	↑↓	R ₁₋₂	↑	1403	--	30 ns	30 ns
(2) 74165	R ₁₀	↑	Qn	↑↓			21	31

(1) representa que entre el cambio a la salida Zb1 de la pieza 9309 y el cambio de los relojes R₁₋₂ debe existir un tiempo de demora de 30 ns .

(2) representa que entre el cambio en el reloj R₁₀ y el cambio a las salidas del registro, existe una demora de 31 ns por propagación de la información.

3.5.1 En la tabla T - 3.1 se presentan las denominaciones para cada reloj y control en cada pieza y los ciclos en que funcionan. La palabra clear significa limpieza y representa al control de encerado; start significa iniciar y corresponde a comenzar una conversión A/D de una muestra. Los asteriscos (*) indican en qué ciclos funcionan..

3.5.1.1 En las tablas T - 3.2, T-3.3 y T-3.4, se presentan los tiempos de cambio y demoras en el paso de los multiplicadores, multiplicandos y subproducto, respectivamente.

3.5.1.2 En la tabla T-3.5 se presentan las demoras para la etapa de suma.

3.5.1.3 En la tabla T-3.6 se presentan las demoras para la generación e ingreso de nuevas muestras.

3.5.1.4 En la tabla T-3.7 se presentan las demoras para la recirculación de muestras.

PASO DE MUESTRAS DEL MULTIPLICANDO

Pieza No.	Función	Cambio	Función	Cambio	Pieza No.	Mínimo	Típico	Máximo
1403	R ₁₋₂	↑	Q _{MEMA}	↑↑			90 ns	90 ns
7408	A-B	↑↑	Y	↑↑			18	22
9309	Ib ₂	↑↑	Zb ₂	↑↑			17	24
9309	Zb ₂	↑↑	R ₃	↑	74164		15	15
1403	R ₁₋₂	↓	R ₃	↑	74164		140	151
74164	R ₃	↑	Q _n	↑↑			25	37
74164	Q _n	↑↑	R ₄	↑	2 x 74195		15	15
74164	R ₃	↑	R ₄	↑			40	52
1403	R ₁₋₂	↓	R ₄	↑	2 x 74195		180	203

Tabla T - 3.3

REGRESO DEL SUBPRODUCTO

Pieza No.	Función	Cambio	Función	Cambio	Pieza No.	Mínimo	Típico	Máximo
3 x 74195	R ₃₋₅	↑	Qn	↑↑			17ns	26 ns
2 x 2505	Ymr	↑↑	Subp.	↑↑			60	84
2 x 74174	Pn	↑↑	R ₆	↑			20	20
2 x 74174	R ₆	↑	Qn	↑↑			21	30
2 x 7408	A-B	↑↑	CA	↑			18	27
74195	R ₄	↑	R ₅	↑	2 x 74195		22	31
2 x 74195	R ₅	↑	R ₆	↑	2 x 74174		97	130
2 x 7408	CA	↑	R ₅	↑	2 x 74195		50	

Tabla T-3.4

GENERACION E INGRESO DE NUEVAS MUESTRAS

Pieza No.	Función	Cambio	Función	Cambio	Pieza No.	Mínimo	Típico	Máximo
74165	SL	†	Qn	††			27 ns	40 ns
9309	Sh	†	Zb ₁	††			24	32
9309	Zb ₁	††	R ₁₋₂	†	1403		30	30
74165	SL	†	R ₁₋₂	†	1403		81	102
1403	R ₁₋₂	†	Sh	†	9309	20 ns		
74165	R ₁₀	†	Qn	††			21	31
9309	Ib ₁	††	Zb ₁	††			17	24
9309	Zb ₁	††	R ₁₋₂	†	1403		30	30
74165	R ₁₀	†	R ₁₋₂	†	1403		68	81
1403	R ₁₋₂	†	Sh	†	9309	20		
1408L8	Bn(D)		Salida (A)					300
2502	R ₈	†	Qn	††			30	50
2502	ST	†	Q7	†			25	25
2502	R ₈	†	Q ₆	††			10	10

Tabla T - 3.6

RECIRCULACION DE MUESTRAS

Pieza No.	Función	Cambio	Función	Cambio	Pieza No.	Mínimo	Típico	Máximo
74164	R ₃	↑	Q _n	↑↑			25 ns	37 ns
9309	Ia ₁	↑↑	Za ₁	↑↑			17	24
9309	Za ₁	↑↑	R ₁₋₂	↑	1403		30	30
74164	R ₃	↑	R ₁₋₂	↑	1403		72	91
1403	R ₁₋₂	↑	R ₃	↑	74163	20 ns		
1403	R ₁₋₂	↑	Q _n	↑↑			90	90
7408	A-B	↑↑	Y	↑↑			18	22
9309	Ib ₁	↑↑	Zb ₁	↑↑			17	24
9309	Zb ₁	↑↑	R ₁₋₂	↑	1403		30	30
1403	R ₁₋₂	↑	R ₁₋₂	↑	1403		155	166

Tabla T - 3.7

3.5.2 Diseño de los relojes y controles. Se realizará tomando en consideración los tiempos, demoras y ciclos de funcionamiento; el conjunto de señales se indican en el cuadro C-3.1 .

3.5.2.1 Para el ciclo 1 son necesarios los relojes R_{1-2} , R_3 , R_5 y R_6 que corresponden a la memoria y registros del multiplicando, multiplicador y subproducto, respectivamente.

3.5.2.1.1 Los relojes R_1 y R_2 de la memoria deben estar contrafase para tener un funcionamiento apropiado. En la figura F - 3.5 se presenta los requisitos de tiempos que deben cumplir, de acuerdo al análisis de tiempos y demoras.

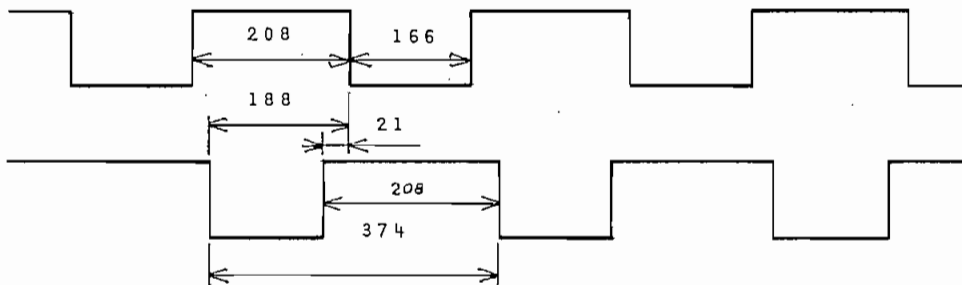


Figura F-3.5

Para disponer de un margen de confiabilidad, el período se incrementa a 400 ns, tal que el ancho del pulso negativo sea de 160 ns y al nivel uno le correspondan 240 ns. Para implementar ésto, es necesario generar una señal que tenga ancho de pulso de 160 ns y otra de 400 ns, para combinadas, formen las señales de los relojes, como se indica en la figura F-3.6

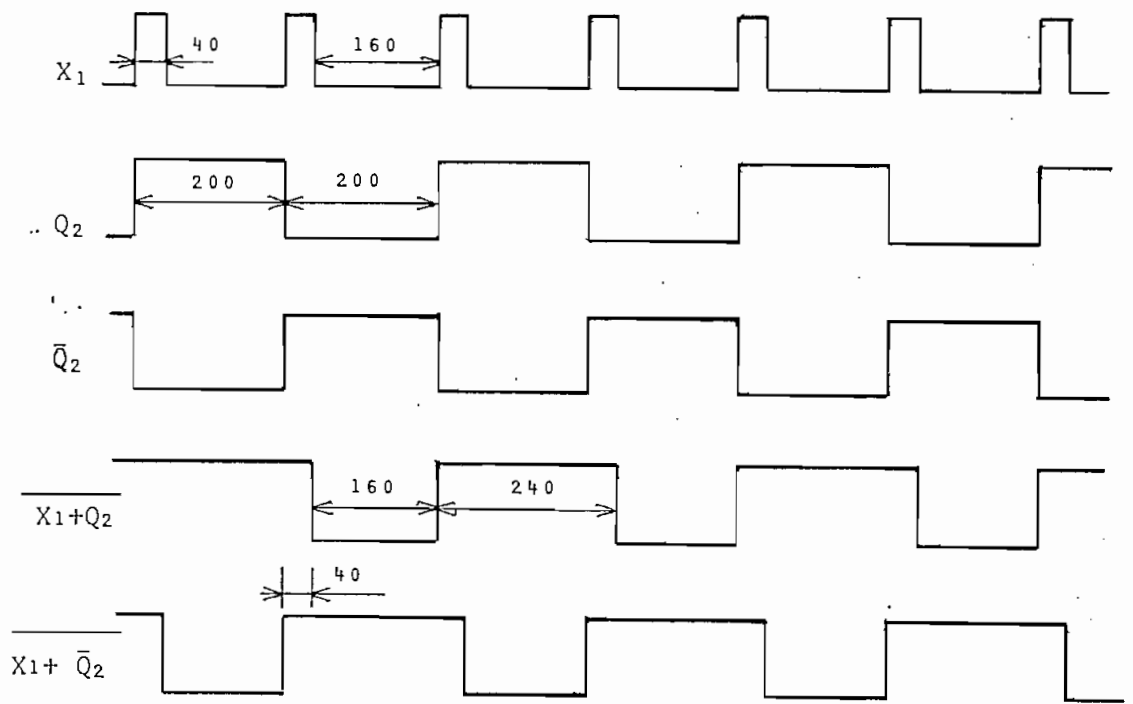


Figura F-3.6

Las funciones X_1 y Q_2 pueden ser generadas como se indica en la figura F - 3.7

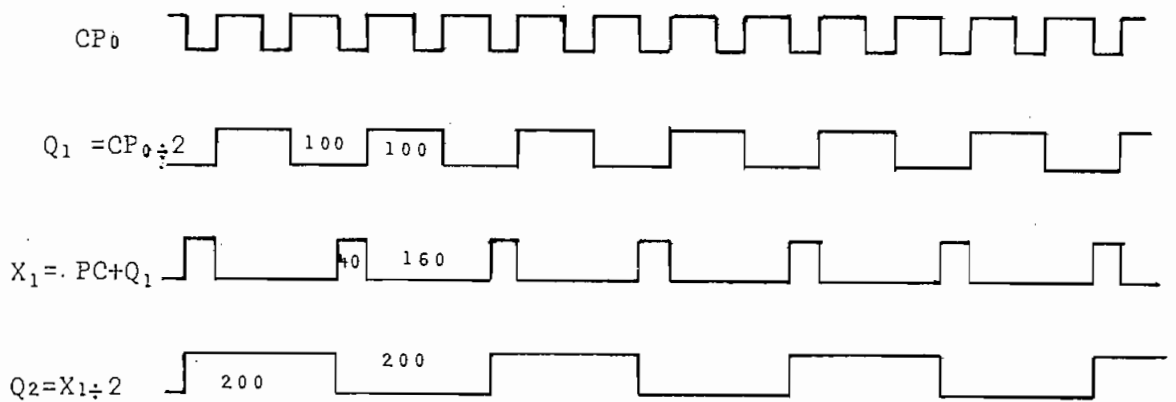


Figura F-3.7

La función CP_0 será el reloj maestro con una frecuencia de 10 M HZ y se generará usando un disparador de schmitt, teniéndose el circuito como se presenta en la figura F-3.8 en la que además se incluye todo el sistema para generar R_1 y R_2 .

La función Q_1 cumple con todos los requisitos, de tal manera que se usará como los relojes R_3 y R_6 .

3.5.2.1.3 El funcionamiento del reloj R_6 se presenta en la figura F-3.9 debiendo tener sus transiciones positivas distanciadas por lo menos 130 ns para permitir la realización de la multiplicación en cada ciclo 1 .

3.5.2.2 Para el funcionamiento durante un ciclo 2 es necesario que se disponga de la señales R_4 , CA y CL_2 que corresponden al ingreso de nuevos multiplicandos, control del subproducto, para que sea 0 al inicio de la multiplicación y encendido del registro de los bits del multiplicador.

3.5.2.2.1 El reloj R_4 debe cumplir con lo especificado en la figura F-3.9, tal que permita la realización de la multiplicación con la última pareja de bits del multiplicador, antes de cambiar de multiplicando al inicio de cada ciclo 2.

3.5.2.2.2 El control CA deberá cambiar al nivel 0 por lo menos 50 ns antes del ingreso del segundo bit del multiplicador y permanecer en ese estado durante por lo menos 203 ns para asegurar que la operación de multiplicación se realice en forma apropiada, como se indica en la figura F-3.9 .

3.5.2.2.3 El control de encendido del registro de multiplicadores CL_2 ; deberá pasar al nivel 0 por lo menos 130 ns después del ingreso del último bit y regresar a 1, 25 ns antes del ingreso del próximo bit, como se indica en la figura F-3.9

3.5.2.3 Para poder implementar el ciclo 3, es necesario disponer de un contador que registre el número de ciclos 2 que se ven realizando, sin embargo para lograr un sincronismo adecuado, se realiza un conteo de todos los bits que salen de la memoria, de tal manera que pueda cambiarse la recirculación de las muestras por ingreso de una nueva muestra en Mem B .

Las salidas del contador se usará para decodificar las señales que sean necesarias, como por ejemplo CL_1 que encera el registro 74164 introduciendo la muestra de 0's e indicando la finalización de un ciclo 3 .

Durante el ciclo 3 se realiza la generación de nuevas muestras debiendo funcionar el control ST por lo menos 9 pulsos de reloj R_{10} antes de que S_{11} cambie de su nivel 0 a 1.

El control SL para cargar el registro 74165 debe funcionar por lo menos 1D2 ns antes que el pulso de reloj de la memoria que dará ingreso al primer bit de la nueva muestra y 40 ns antes que S_{11} cambie de 0 a 1.

Además debe realizarse el cambio de dato en los registros de conversión D/A, mediante el reloj R_{10} que deberá cambiar 50 ns antes que el control CL_3 encere los registros del total del sumador.

Todas las señales se presentan en el cuadro C-3.1

3.5.2.4 El ciclo de cambio de muestras en la memoria Mem A con las correspondientes a un nuevo sector de señal, se efectuará luego de cumplidos 63 ciclos 3 y tendrá una duración de 64 ciclos 2; para lo cual debe disponerse de un contador auxiliar que registre el número de ciclos 3 que se realicen.

Para implementar este sistema que accionará los controles S_{01} , S_{02} y S_{12} es necesario disponer de una señal que indique cuando se termina cada ciclo 3 y que será usada como señal de entrada al contador auxiliar, del que, la salida correspondiente al conteo 64 indicará cuando se efectúa el cambio. Debe realizarse el encendido de éste contador luego de que haya contado 64 ciclos.

Para implementar este sistema se usan dos biestables que se dispararán con la señal 64 del contador y están limitados por una función que tiene una duración de 64 ciclos 2, de la forma en que se indica en la figura F-3.10 y con las señales presentadas en la figura F-3.11

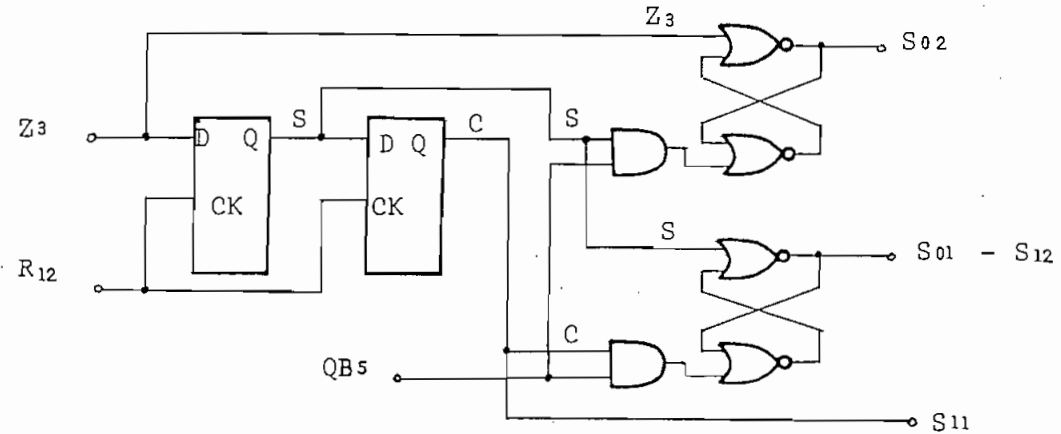


Figura F-3.10

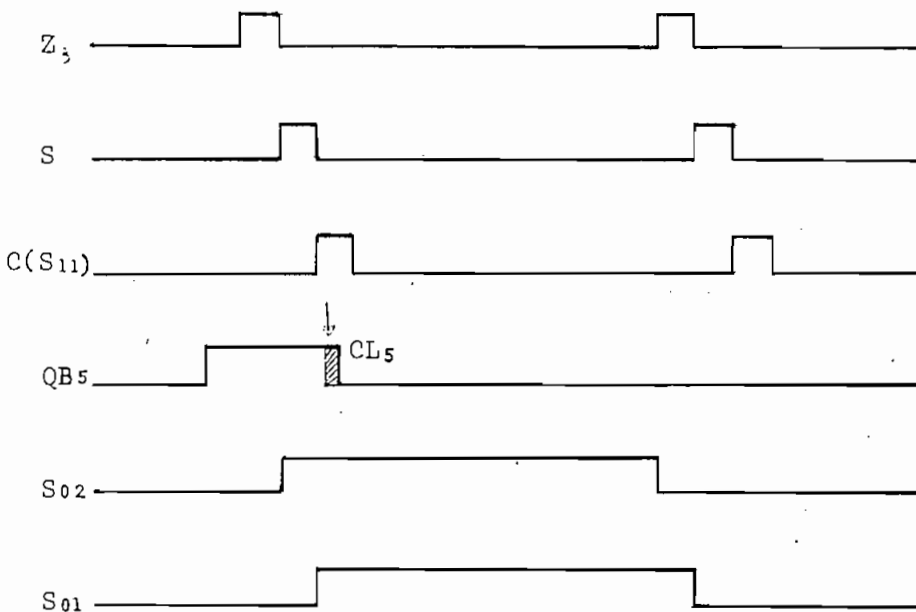


Figura F-3.11

Mientras Q_{c5} , que es la señal 64 del contador auxiliar, se mantenga en el nivel 0 se tiene:

$$Q_{c5} = 0$$

$$B_1 = 0$$

$$E_1 = 1$$

$$Z_3 = 0 \text{ o } 1$$

$$D_1 = 0$$

al momento en que

$$Q_{c5} = 1$$

$$S = 1$$

$$B_1 = 1$$

$$E_1 = 0$$

$$Z_3 = 0$$

se tiene que D_1 cambia su estado tal que

$$D_1 = 1$$

pero cuando Z_3 regresa a 1

$$Z_3 = 1$$

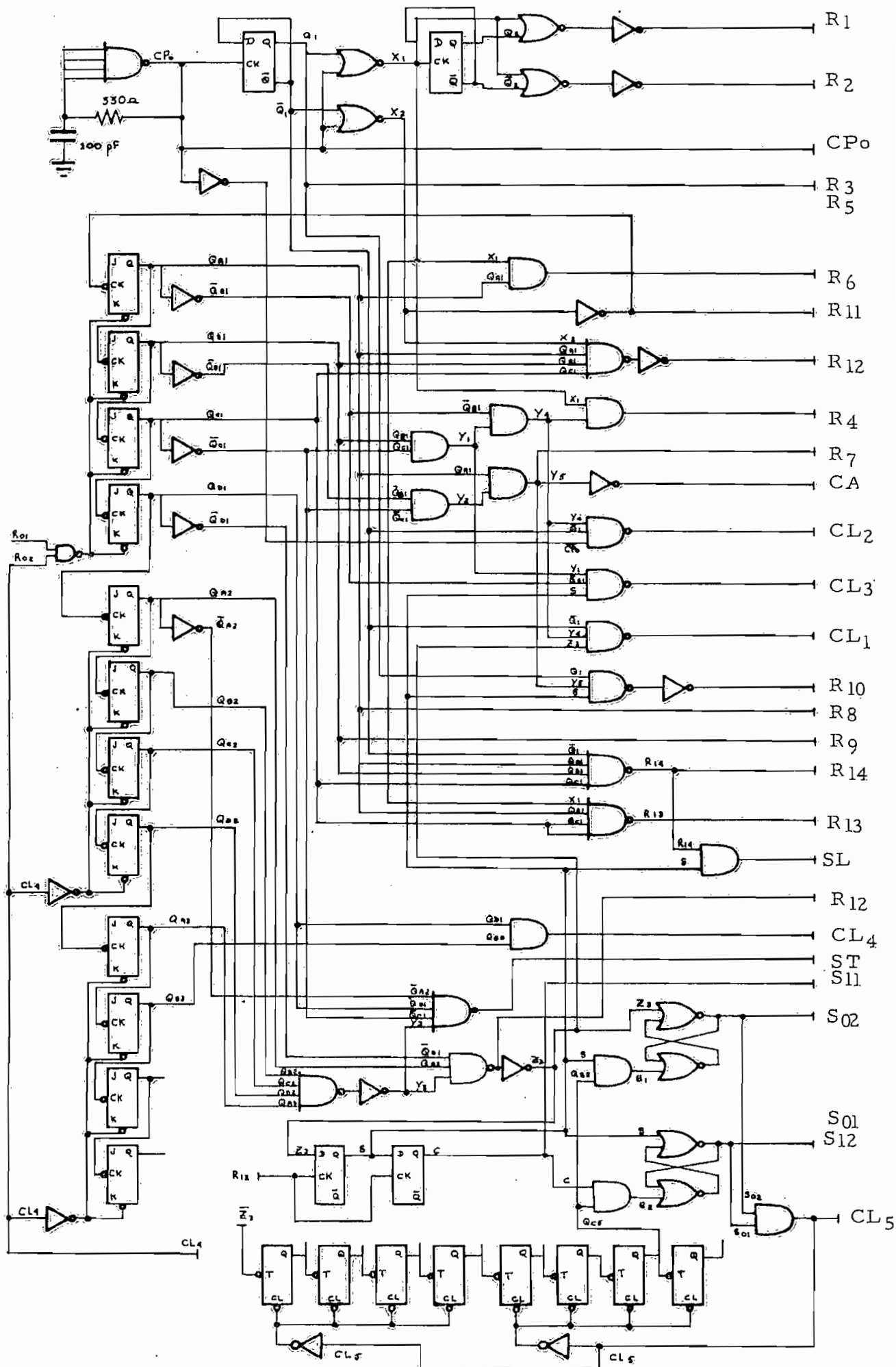
$$E_1 = 1$$

D_1 hace 0

3.5.2.5 La tabla de funciones para la implementación del sistema de relojes y controles se presenta en la tabla T-3.8 y el diagrama lógico en la figura F-3.12

Para simplificar las funciones es necesario generar las funciones auxiliares que constan en la tabla T-3.9, tal que las funciones de los relojes y controles quedan expresados como constan en la tabla T-3.10.

Figura F-3.12-



GENERACION DE RELOJES Y CONTROLES

R ₁	$Q_2 + X_1$
R ₂	$\overline{Q}_2 + X_1$
CL ₁	$\overline{Q}_1 \overline{Qa}_1 \overline{Qb}_1 \overline{Qc}_1 Qd_1 Qa_2 Qb_2 Qc_2 Qd_2 Qa_3$
R ₃	Q_1
R ₄	$X_1 \overline{Qa}_1 \overline{Qb}_1 \overline{Qc}_1$
CL ₂	$\overline{Cpo} \overline{Q}_1 \overline{Qa}_1 \overline{Qb}_1 \overline{Qc}_1$
R ₅	Q_1
R ₆	$X_1 Qa_1$
CL ₃	$\overline{Qa}_1 \overline{Qb}_1 \overline{Qc}_1 Qd_1 Qa_2 Qb_2 Qc_2 Qd_2 Qa_3$
R ₇	$Qa_1 \overline{Qb}_1 \overline{Qc}_1$
ST	$\overline{Qc}_1 Qd_1 \overline{Qa}_2 \overline{Qb}_2 \overline{Qc}_2 Qd_2 Qa_3$
R ₈	Qa_1
SL	$\overline{Q}_1 Qa_1 \overline{Qb}_1 \overline{Qc}_1 S$
R ₉	Qb_1
R ₁₀	$Q_1 Qa_1 \overline{Qb}_1 \overline{Qc}_1$
CL ₄	$Qd_1 Qb_3$
R ₁₁	X_2
CL ₅	$C. So_2$
R ₁₂	Z_3
R ₁₃	$X_1 Qa_1 \overline{Qb}_1 \overline{Qc}_1$
R ₁₄	$\overline{Q}_1 Qa_1 \overline{Qb}_1 \overline{Qc}_1$

Tabla T-3.8

FUNCIONES DE SIMPLIFICACION

Y ₁	=	$Qb_1 \overline{Qc}_1$
Y ₂	=	$\overline{Qb}_1 \overline{Qc}_1$
Y ₃	=	$Qb_2 Qc_2 Qd_2 Qa_3$
Y ₄	=	$\overline{Qa}_1 Y_2$
Y ₅	=	$Qa_1 Y_2$
Z ₃	=	$Qd_1 Qa_2 Y_3$
S	=	$Z_3 \text{ 1,6 ns}$
C	=	$Z_3 \text{ 3,2 ns}$

Tabla T-3.9

FUNCIONES DE RELOJES Y CONTROLES

R ₁	Q ₂ + X ₁
R ₂	Q ₂ + X ₁
CL ₁	$\overline{Q_1 Y_4 Z_3}$
R ₃	Q ₁
R ₄	X ₁ Y ₄
CL ₂	Cp ₀ Q ₁ Y ₄
R ₅	Q ₁
R ₆	X ₁ Qa ₁
CL ₃	Qa ₁ Y ₁ S
R ₇	Y ₅
ST	$\overline{Qc_1 Qd_1 Qa_2 Y_3}$
R ₈	Qa ₁
SL	$\overline{R_{14} S}$
R ₉	X ₂
R ₁₀	Q ₁ Y ₅ S
CL ₄	Qd ₁ Qb ₃
R ₁₁	X ₂
CL ₅	C. So ²
R ₁₂	Z ₃
R ₁₃	$\overline{X_1 Qa_1 Qc_1}$
R ₁₄	Q ₁ Qa ₁ Qb ₁ Qc ₁

Tabla T 3.10

3.6 Fuente de poder. Todos los elementos usados para la implementación del sistema, necesitan voltajes continuos, regulados con una máxima variación de $\pm 5\%$. Los voltajes necesarios son + 15 v; + 5 v; - 5 v; - 10 v y - 15 v.

Debido al alto consumo en la línea de +5 v es necesario diseñar un sistema independiente para esta fuente.

3.6.1 Sistema de regulación. Para regular los voltajes se usa el circuito 72723, que consta de: (ver figura F-3.12),

- Selector se conecta de acuerdo al voltaje a ser regulado, pudiendo ser positivo o negativo.
- Vref. es una fuente que genera un voltaje de referencia y a partir del cual por derivación se determina el rango en el que se va a trabajar.
- Comp. es un comparador que permite la regulación y seleccionar si el voltaje de salida será positivo o negativo.
- Salida se dispone de una etapa de potencia que puede manejar cargas desde 1 mA hasta 50 mA. Cuando se desee incrementar se dispondrá de transistores adecuados, conectados a la salida.
- Protección se provee además un sistema de protección contra cortocircuitos y compensación de frecuencia.

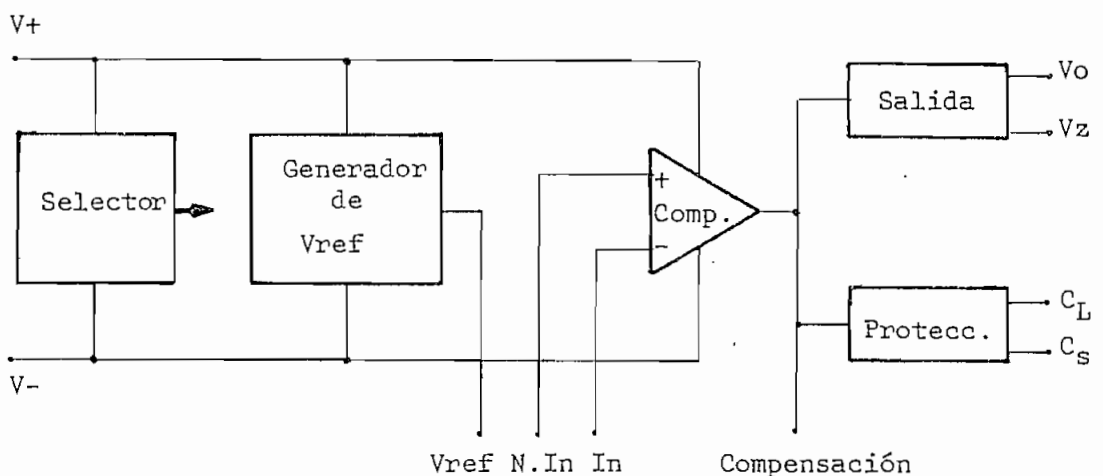


Figura F-3.12

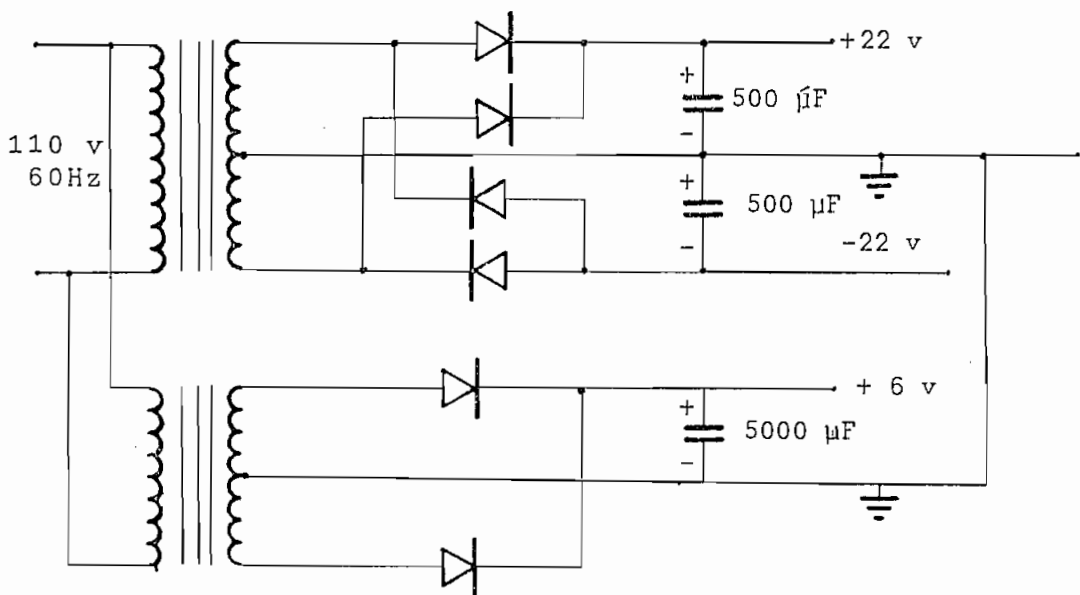
3.6.1.1 Selector. Cuando el voltaje a ser regulado es positivo, éste se conectará en la entrada $V+$ y la entrada $V-$ se conectará a tierra. Si el voltaje es negativo se conectará a $V-$ y $V+$ a tierra.

3.6.1.2 El voltaje de referencia, V_{ref} , tiene un valor típico de 7,15v, que para la operación se toma éste o un voltaje derivado y se aplica al terminal no invertido del comparador para el caso de voltajes positivos y al terminal invertido para voltajes negativos. Un voltaje proporcional al deseado en la salida es aplicado al otro terminal del comparador.

3.6.1.3 De acuerdo a cómo se conecte el comparador, será posible lograr la regulación de voltajes positivos o negativos.

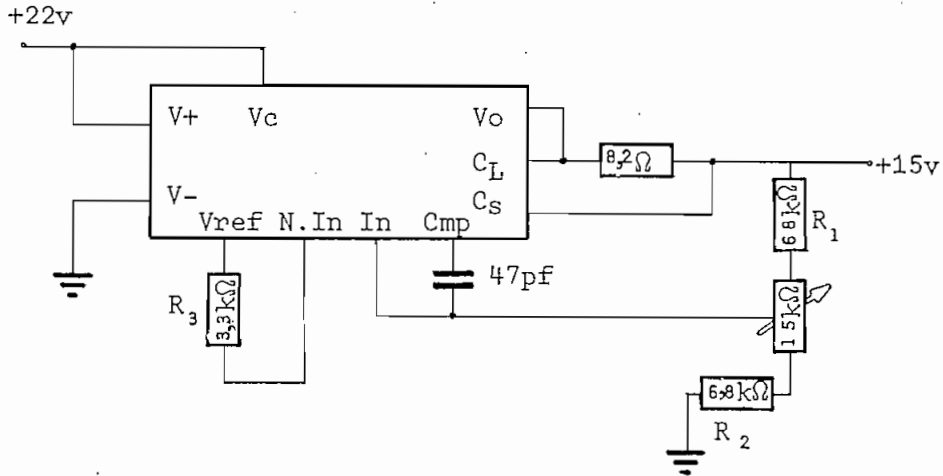
3.6.1.4 El rango de voltaje está determinado por el valor de V_{ref} que se tome. Para el caso de voltajes de 5v o menores se tomará un valor derivado y cuando sean mayores se tomará directamente el valor total de V_{ref} .

3.6.2 Rectificación. para esta etapa se usarán dos transformadores, el uno alimentará únicamente la fuente 5v y el otro las demás fuentes. Se usan díodos de 1A de capacidad de corriente.



3.6.3 Diseño de las fuentes. Tomando como referencia el regulador 72723 se realiza el diseño de las fuentes.

3.6.3.1 Fuente de +15v. En la figura F-3.14 se presenta el diseño de esta fuente y la señal de salida está en relación con la ecuación E-3.3.



$$V_o = \frac{(R_1 + R_2)}{R_2} \cdot V_{ref} \quad (E - 3.3)$$

$$V_o = 15v$$

$$V_{ref} = 7,15$$

$$15 R_2 = 7,15 R_1 + 7,15 R_2$$

$$7,85 R_2 = 7,15 R_1$$

$$R_2 = \frac{7,15}{7,85} R_1$$

$$R_2 = 0,91 R_1$$

Si:

$$R_2 = 6,8 k\Omega$$

$$R_1 = 7,47 k\Omega$$

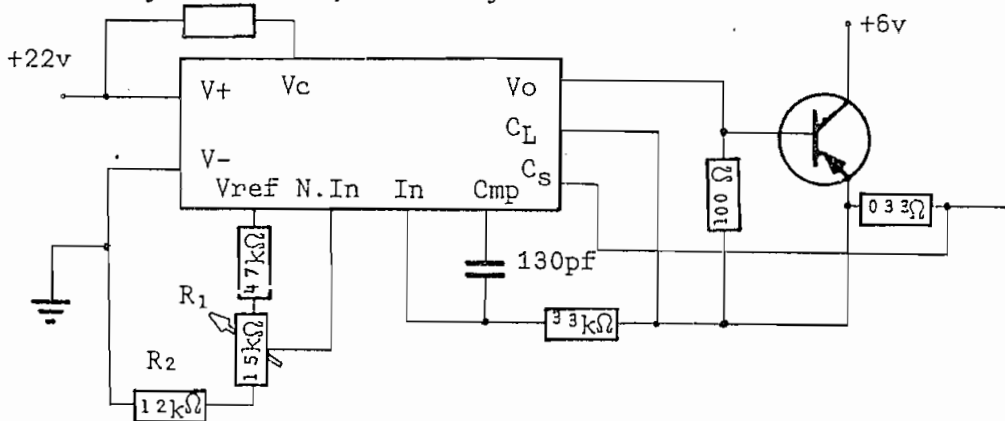
$$R_3 = \frac{R_1 R_2}{R_1 + R_2}$$

$$R_3 = \frac{R_1}{2} \approx 3,3 k\Omega$$

Para disponer de la regulación necesaria se toman $R_1 = R_2 = 6,8k\Omega$ y se intercala un potenciómetro de $1,5k\Omega$.

$R_{sc} = 8,2$ de acuerdo al gráfico del productor del regulador.

3.6.3.2 Fuente de +5v. en la figura F-3.15 se presenta el diseño de esta fuente. La ecuación E-3.4 corresponde a la relación entre el voltaje de salida y el voltaje de referencia.



$$V_o = \frac{R_2}{(R_1 + R_2)} V_{ref}$$

(E - 3.4)

$$V_o = 5v$$

$$V_{ref} = 7,15v$$

$$5 R_1 + 5 R_2 = 7,15 R_2$$

$$5 R_1 = 2,15 R_2$$

$$R_1 = \frac{2,15}{5} R_2$$

$$R_1 = 0,413 R_2$$

$$\text{Si: } R_2 = 12k\Omega$$

$$R_1 = 4,9 k\Omega$$

Para lograr la regulación se intercala un potenciómetro de $1,5k\Omega$ entre estas dos resistencias.

$R_{sc} = 0,33\Omega$ para el transistor

$R_{sc} = 100\Omega$ para el regulador

$$R_3 = \frac{R_1 R_2}{R_1 + R_2}$$

$$R_3 = \frac{4,9k\Omega \cdot 12k\Omega}{4,9k\Omega + 12k\Omega}$$

$$R_3 = \frac{58,8}{16,9} = 3,47k\Omega$$

$$R_3 = 3,3 k\Omega$$

3.6.3.3 Fuente de -15v. En la figura F-3.16 se presenta el diseño para esta fuente y la relación entre el voltaje de entrada y Vref está dada en la ecuación E-3.5.

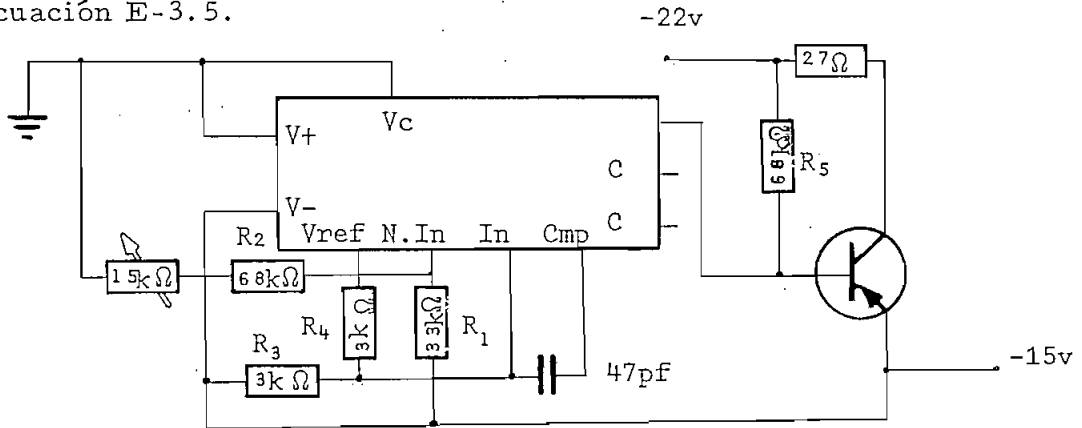


Figura F-3.17

$$-V_o = -\frac{(R_1 + R_2)}{R_1} \cdot \frac{V_{ref}}{2} \quad (E - 3.4)$$

$$V_o = -15v$$

$$V_{ref} = 7,15 v$$

$$2 \cdot R_1 \cdot 15 = 7,15 R_1 + 7,15 R_2$$

$$30 R_1 = 7,15 R_1 + 7,15 R_2$$

$$22,85 R_1 = 7,15 R_2$$

$$R_1 = \frac{7,15}{22,85} R_2$$

$$R_1 = 0,31 R_2$$

$$\text{Si: } R_2 = 11k\Omega$$

$$R_1 = 3,3 k\Omega$$

Para lograr la regulación se intercala un potenciómetro de 1,5kΩ entre R2 y la entrada no invertida del comparador.

Se incluye un transistor de salida para la corriente deseada.

3.6.3.4 Fuente de -11v. Para esta fuente se parte de la fuente de -15v, derivándola por medio de un puente de resistencias y utilizando un transistor para la regulación. El diseño se presenta en la figura F-3.18 y la salida está determinada por la ecuación E-3.5.

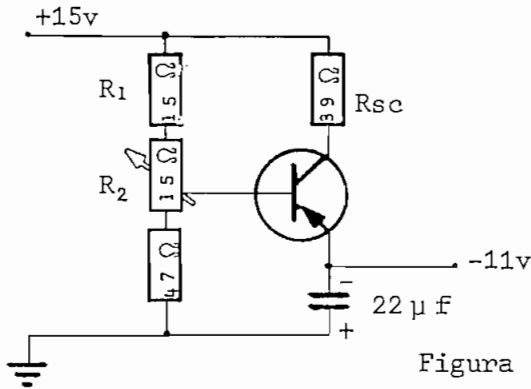


Figura F-3.18

$$V_o = \frac{R_2}{R_1 + R_2} V_x - 0,4 \quad (E - 3.5)$$

$$V_o = 11v$$

$$V_x = 15v$$

$$11 R_1 + 10 R_2 = 15R_2 - 0,4R_1 - 0,4 R_2$$

$$11,4R_1 = 4,6 R_2$$

$$R_1 = \frac{4,6}{11,4} R_2$$

$$R_1 = 0,4 R_2$$

$$\text{Si: } R_2 = 4,7 \text{ k } \Omega$$

$$R_1 = 1,88 \text{ k } \Omega$$

Tomamos un valor de $R_1 = 1,5 \text{ k } \Omega$ e incluimos un potenciómetro de $1,5 \text{ k } \Omega$ para regulación.

3.6.3.5 Fuente de - 5v. También se genera por derivación de la fuente de - 15 v y su ecuación característica es la E-3.5

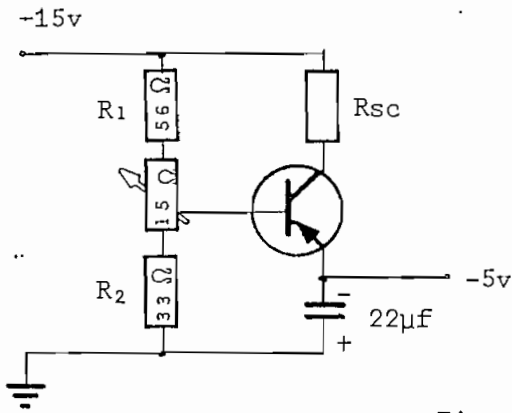


Figura 3.19

$$V_o = \frac{R_2}{(R_1 + R_2)} V_x - 0,4$$

$$V_o = 5v$$

$$V_x = 15$$

$$5 R_1 + 5 R_2 = 15 R_2 - 0,4 R_1 - 0,4 R_2$$

$$5,4 R_1 = 9,6 R_2$$

$$R_1 = \frac{9,6}{5,4} R_2$$

$$R_1 = 1,92 R_2$$

$$\text{Si: } R_2 = 3,3 \text{ k}\Omega$$

$$R_1 = 6,3 \text{ k}\Omega$$

Tomamos un valor de $R_1 = 5,6 \text{ k}\Omega$ e incluimos un potenciómetro de $1,5 \text{ k}\Omega$ para regulación.

3.6.4 El conjunto de fuentes se presenta en la Figura F-3.20. En la tabla T-3.11 se presenta el consumo individual de cada elemento y el consumo total,

3.7 Funcionamiento. Para evaluar el funcionamiento es necesario hacer referencia a la velocidad de operación del sistema, para lo cual se presenta la tabla T-3.12.

	PERIODO	FRECUENCIA
Reloj principal (CPo)	100 ns	10 MHz
Reloj de memoria (R _{1 2})	200 ns	5 MHz
Un ciclo 1	400 ns	2,5 MHz
Un ciclo 2	1,6 ns	625 kHz
Una conv. A/D	3,2 ns	312,5 kHz
Un ciclo 3	104 ns	9 615 Hz
Un ciclo 4	6 656 ns	150

Tabla T-3.12

Se tomará una muestra nueva cada 104 ns y el tiempo necesario para realizar la conversión A/D es de 3,2 ns; debido a lo cual no es necesario disponer de un sistema muestreo.

Cada 6,656 ms se realiza la autocorrelación de un segmento de señal.

El teorema de muestreo establece que la señal de más alta frecuencia debe ser muestreada por lo menos 2 veces en cada ciclo, que equivale a:

$$T < \frac{1}{2 f_m}$$

Si T es 104 ns, f_m será 4,8 kHz, que establece la limitación en frecuencia que tiene el sistema, es decir que no podrá realizar la autocorrelación de señales de frecuencia mayor que 4,8 kHz.

Debido a que cada segmento de señal a ser autocorrelado debe constar de por lo menos un período de señal se establece que la frecuencia mínima será de 150 Hz.

3.7.1 Resultados experimentales.

De acuerdo a lo manifestado en la ecuación E-1.9.1 la función correlación para funciones periódicas esta expresada como:

$$\Phi_{11}(\tau) = \frac{1}{T} \int_{-\tau/2}^{\tau/2} f(t) \cdot f(t-\tau) dt$$

3.7.1.1 Autocorrelación de la función $\sin A$.

$$\Phi_{11}(B) = \frac{1}{2\pi} \int_{-\pi}^{\pi} \sin A \cdot \sin(A - B) dA$$

$$\Phi_{11}(B) = \frac{1}{2\pi} \int_{-\pi}^{\pi} \sin A [\sin A \cos B - \cos A \sin B] dA$$

$$\Phi_{11}(B) = \frac{1}{2\pi} \int_{-\pi}^{\pi} [\sin^2 A \cos B - \sin A \cos A \sin B] dA$$

$$\Phi_{11}(B) = \frac{1}{2\pi} \left[\cos B \int_{-\pi}^{\pi} \sin^2 A dA - \sin B \int_{-\pi}^{\pi} \sin A \cos A dA \right]$$

$$\Phi_{11}(B) = \frac{1}{2\pi} \left[\cos B \int_{-\pi}^{\pi} \frac{1 - \cos 2A}{2} dA - \sin B \int_{-\pi}^{\pi} \frac{\sin 2A}{2} dA \right]$$

$$\Phi_{11}(B) = \frac{1}{4\pi} \left[\cos B \left(A - \frac{\sin 2A}{2} \right)_{-\pi}^{\pi} - \sin B \left(-\frac{\cos 2A}{2} \right)_{-\pi}^{\pi} \right]$$

$$\Phi_{11}(B) = \frac{1}{4\pi} \cos B (2\pi) + \text{sen } B (0)$$

$$\Phi_{11}(B) = \frac{2\pi}{4\pi} \cos B$$

$$\Phi_{11}(B) = \frac{\cos B}{2}$$

En la fotografía Foto 3-1 se presenta los resultados del experimento, en la que la señal continua es la señal de entrada y la señal segmentada es la señal de salida, coincidiendo los resultados teóricos con los experimentales.

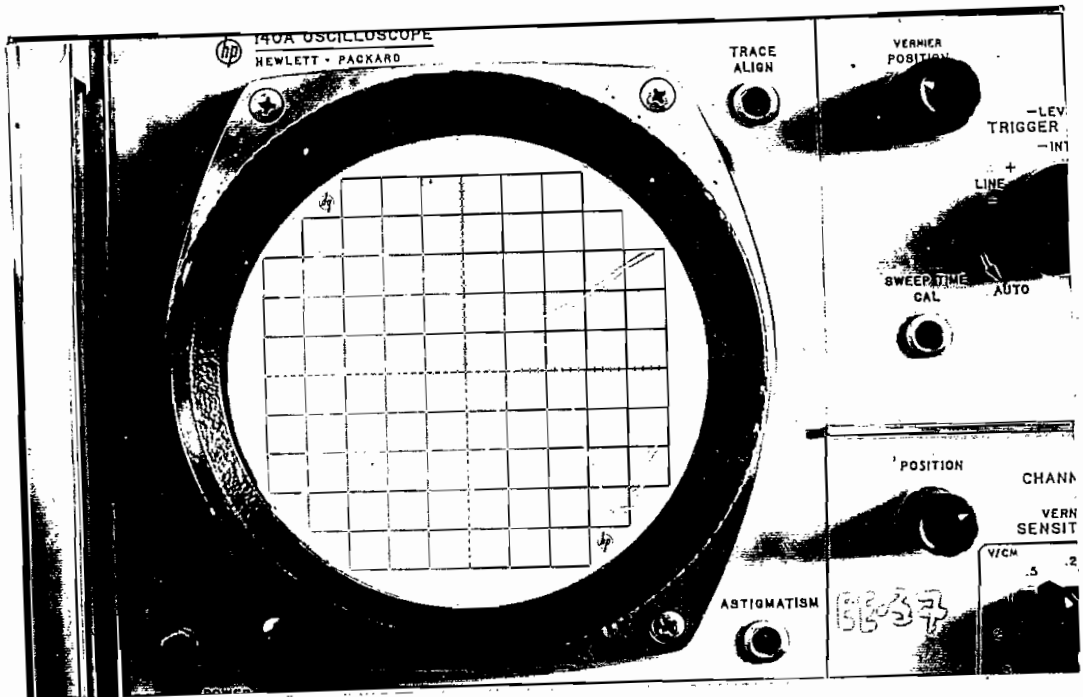
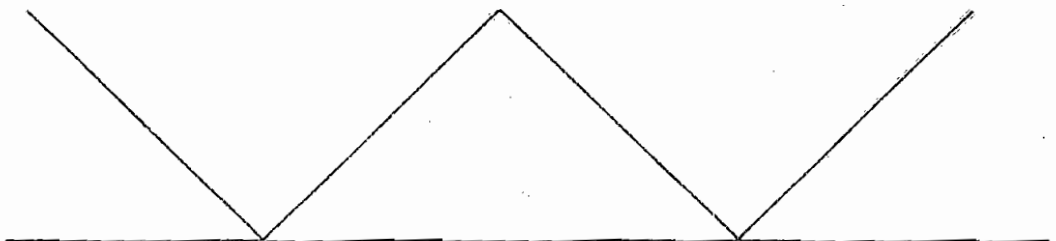


Foto 3.1

3.7.1.2 Autocorrelación de una señal triangular, usando el método gráfico.



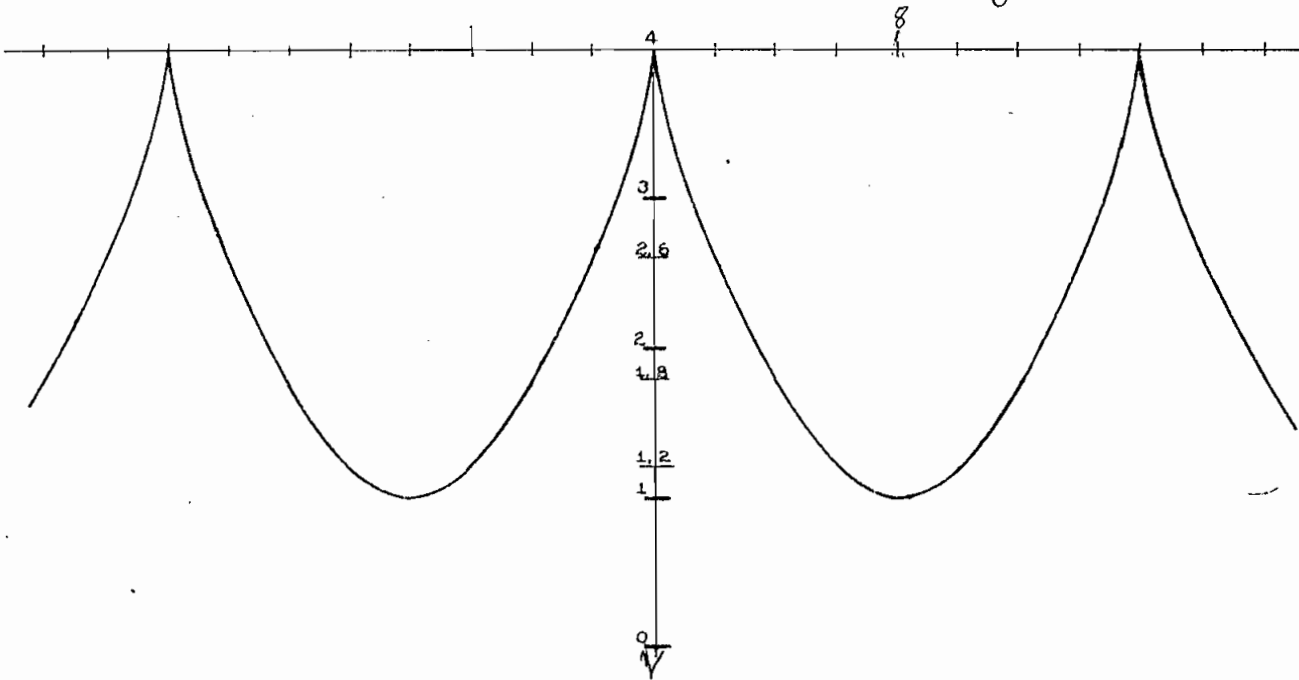
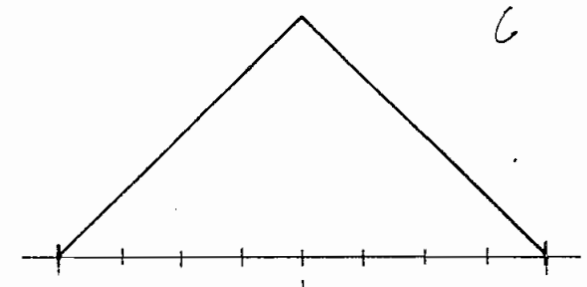
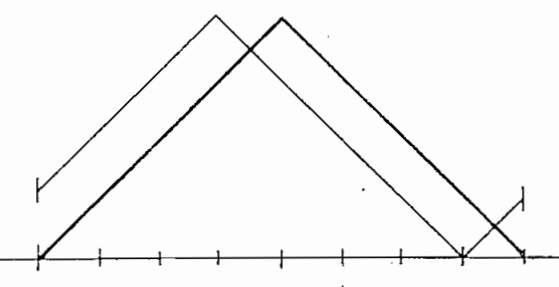
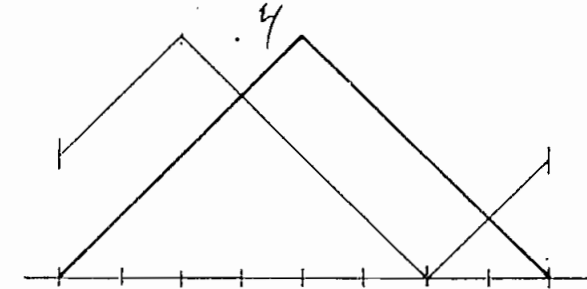
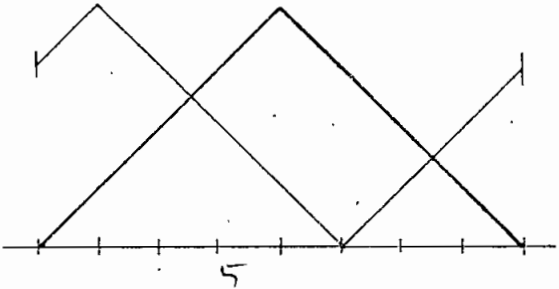
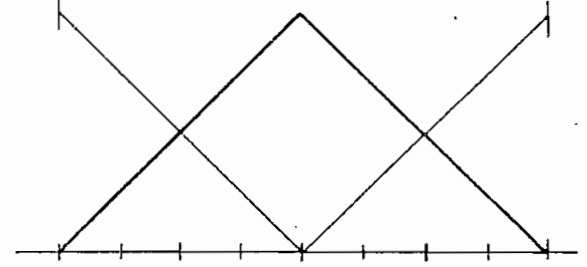
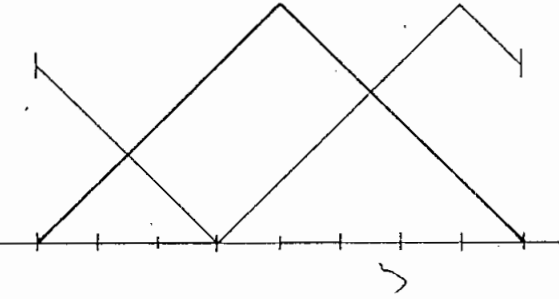
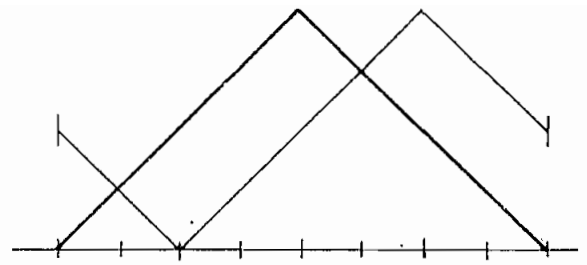
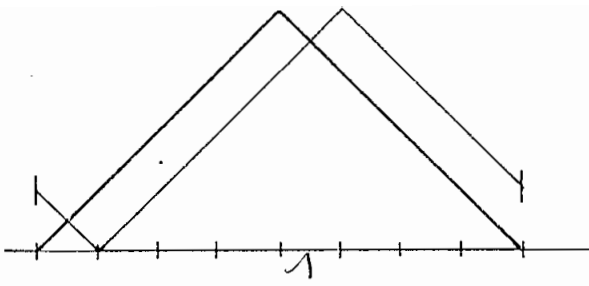


Figura F-3.21-

En la fotografía Foto 3.2 se presentan los resultados experimentales que concuerdan con el análisis teórico.

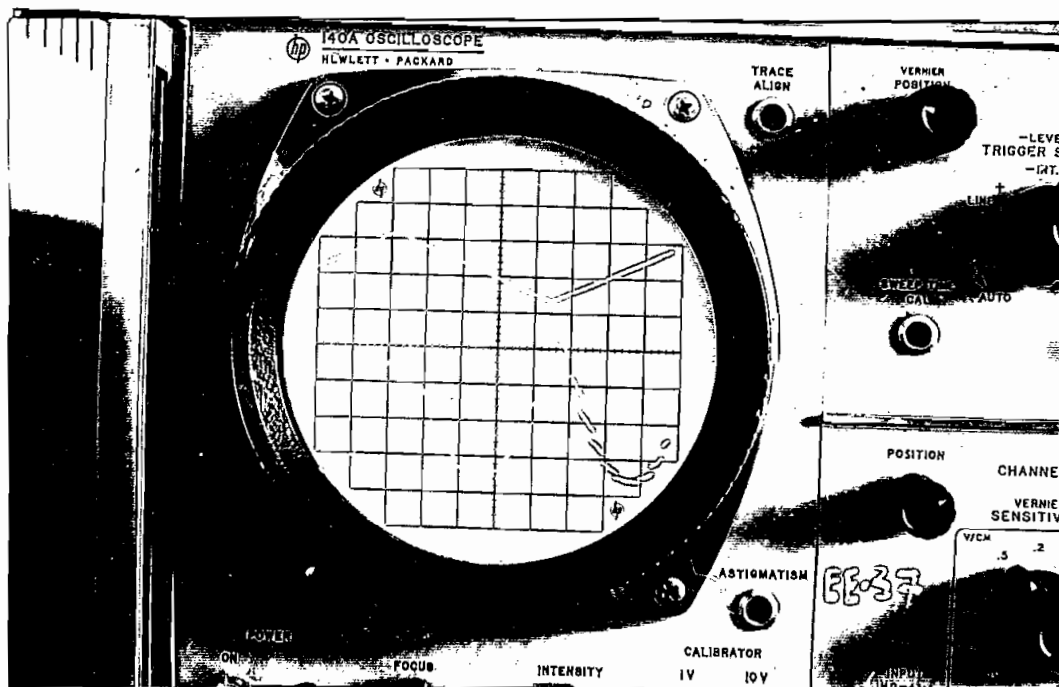


Foto 3.2

En la fotografía Foto 3.3 se presentan los equipos usados para los experimentos, y son de izquierda a derecha: autocorrelador, generador de señales, osciloscopio.

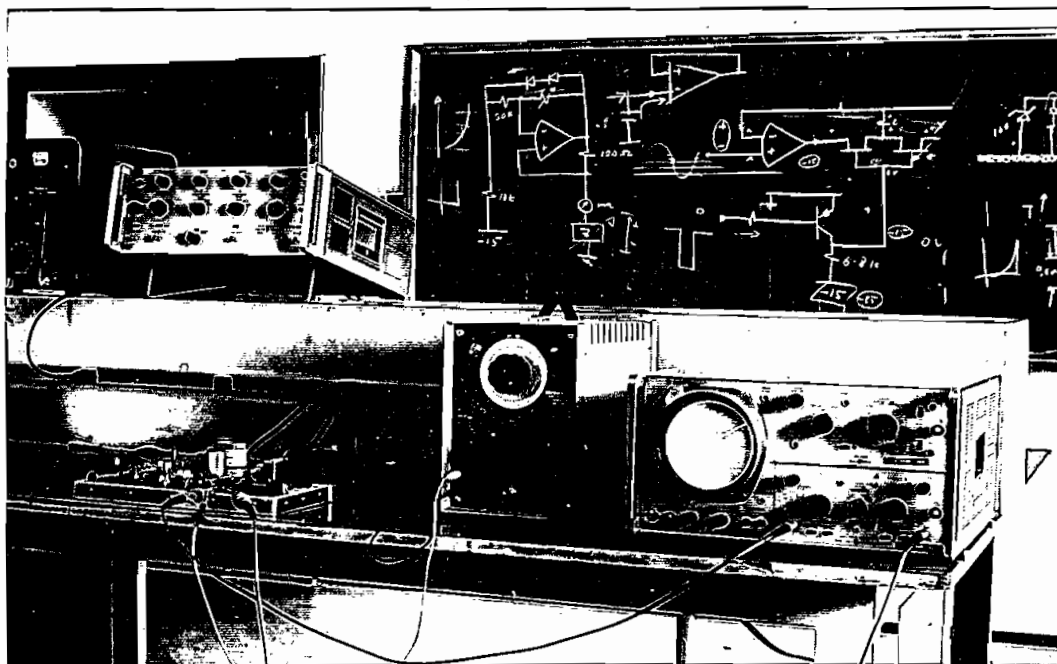


Foto 3.3

4. APLICACIONES Y USOS

4. APLICACIONES Y USOS

4.1 El sistema de autocorrelación se usa principalmente para extraer señales del ruido; en especial cuando la relación señal o ruido es muy pequeña, o cuando no puede usarse un filtro.

Para explicar lo anterior puede realizarse la siguiente deducción matemática, considerando que $f_s(t)$ es una señal periódica y contiene la información en un autocorrelador se tendrá:

$$f(t) = f_s(t) + f_r(t)$$

$$\phi_{11}(\tau) = \int_{-\infty}^{\infty} f(t) \cdot f(t-\tau) dt$$

$$\phi_{11}(\tau) = \int_{-\infty}^{\infty} [f_s(t) + f_r(t)] \cdot [f_s(t-\tau) + f_r(t-\tau)] dt$$

$$\phi_{11}(\tau) = \int_{-\infty}^{\infty} [f_s(t) f_s(t-\tau) dt + f_r(t) f_s(t-\tau)$$

$$f_s(t) f_r(t-\tau) dt + f_r(t) f_r(t-\tau) dt]$$

$$\phi_{11}(\tau) = \phi_{ss}(\tau) + \phi_{rs}(\tau) + \phi_{sr}(\tau) + \phi_{rr}(\tau)$$

$$\phi_{rs}(\tau) = \phi_{sr}(\tau) = 0 \quad \text{no pueden correlarse puesto que } f_r(t) \text{ no existe en todo el intervalo de } (-\infty; +\infty)$$

$\phi_{rr}(\tau)$ tiende a cero puesto que no es una función periódica haciéndose muy pequeña para grandes valores de τ , de allí que, queda únicamente la señal $f_s(t)$.

Actualmente se utilizan sistemas de autocorrelación en aparatos de radar; sonar; analizadores de ondas sísmicas, tanto de fenómenos naturales como las producidas en exploraciones mineras para localización de recursos petrolíferos.

Cuando se realizan experimentos como los antes mencionados, la señal utilizada es una señal cuya función de autocorrelación es conocida, tal que la evaluación de los datos no sea excesivamente complicada.

Los sistemas de autocorrelación han tenido mucho desarrollo en los últimos años y su uso es tan generalizado que se han incorporado inclusive a equipos de alta fidelidad de uso doméstico, siendo esto un índice del gran campo de aplicación, no solo en el campo científico o de investigación, sino también en el campo comercial.

El equipo construido está diseñado para un rango de frecuencia determinado por la frecuencia del reloj maestro CPO, sin embargo es posible disminuir la frecuencia de éste hasta 100 kHz siendo en este caso la frecuencia mínima de la señal de entrada de 1,5 Hz.

5. COMENTARIOS

5.1 Características generales

5.1.1 Máxima amplitud de la señal de entrada ± 5 v. Esta limitación se debe a que el convertidor D/A que se usa a la entrada tiene una máxima salida igual a ± 5 v y es aplicada al comparador al mismo tiempo que la señal de entrada, (ver 3.4.1 pag. 60).

5.1.2 Rango de frecuencia de operación. Se tiene una frecuencia máxima de operación de 4,8 kHz, debido a la frecuencia máxima de muestreo, y una frecuencia mínima de 150 Hz debida a la velocidad de operación y a que por lo menos debe tenerse un ciclo completo de señal en cada segmento, (ver 3.7 pag. 95).

5.1.3 Línea de alimentación 110 v, 60 Hz

5.2 Consideraciones para reparación.

5.2.1 Controlar que los voltajes de las fuentes sean correctos, en caso negativo, regularlos con los potenciómetros respectivos, de acuerdo a la figura F-3.20 (ver pag.94.a)

5.2.2 Controlar que la frecuencia del reloj maestro CPo sea de 10 MHz.

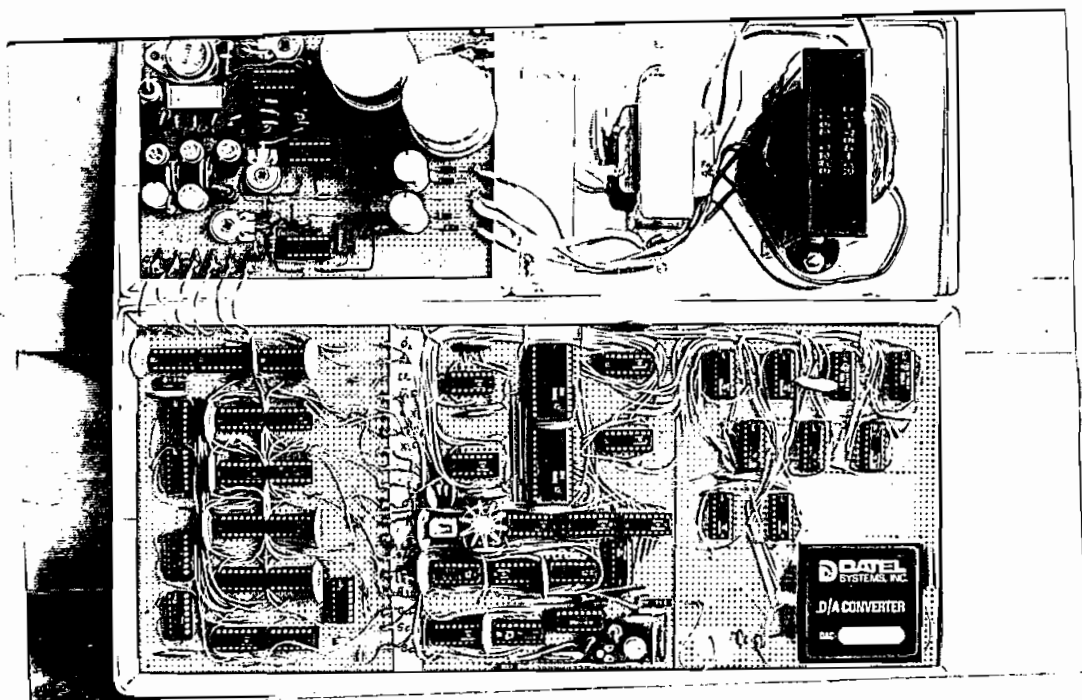
5.2.3 Controlar los relojes de la memoria R y R tanto en su forma, magnitud y frecuencia, (ver figura F-3.8; pag 81).

5.2.4 Verificar los controles de dirección de datos S_{01} S_{02} , S_{11} S_{12} , S (ver 3.5.2.4 pag 83).

5.2.6 Controlar que cada uno de los bit contenidos en el registro de conversión D/A, son estables.

5.3 Sistema completo. En la siguiente fotografía se presenta el ensamblado final del sistema.

En la figura F-5.1 se presenta el diagrama de bloques de los relojes y controles, y en la figura F-5.2 el diagrama de bloques del resto del sistema.



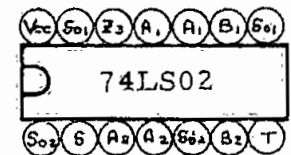
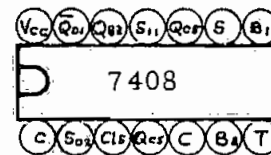
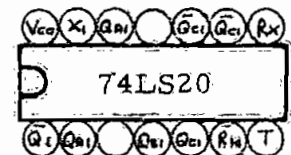
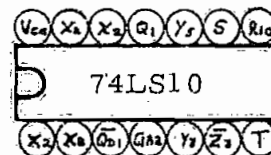
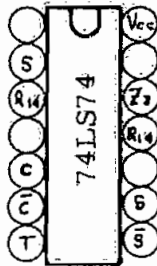
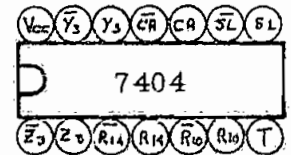
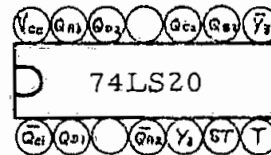
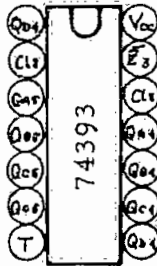
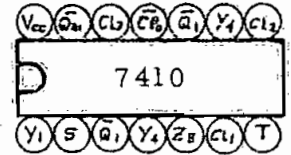
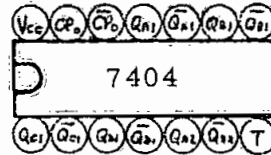
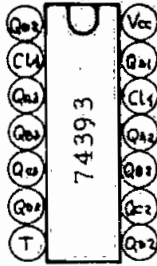
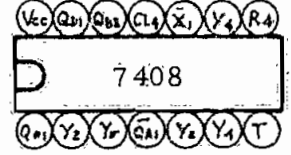
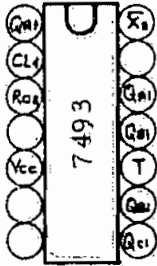
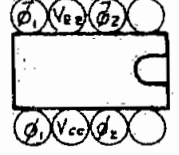
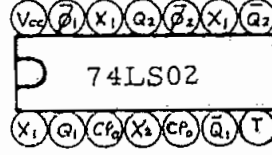
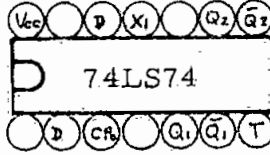
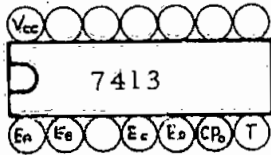


Figura F-5.1

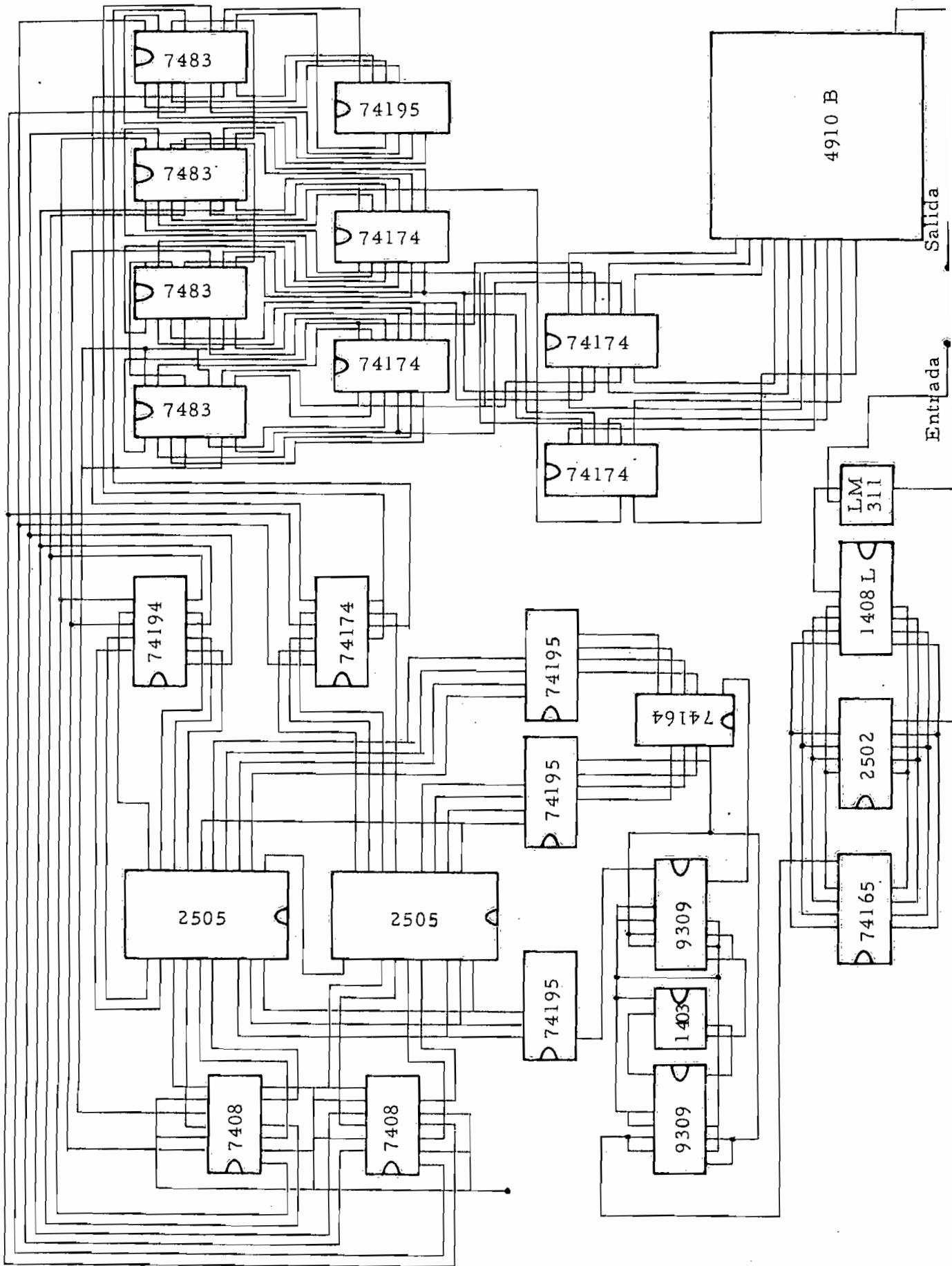


Figura F-5.2